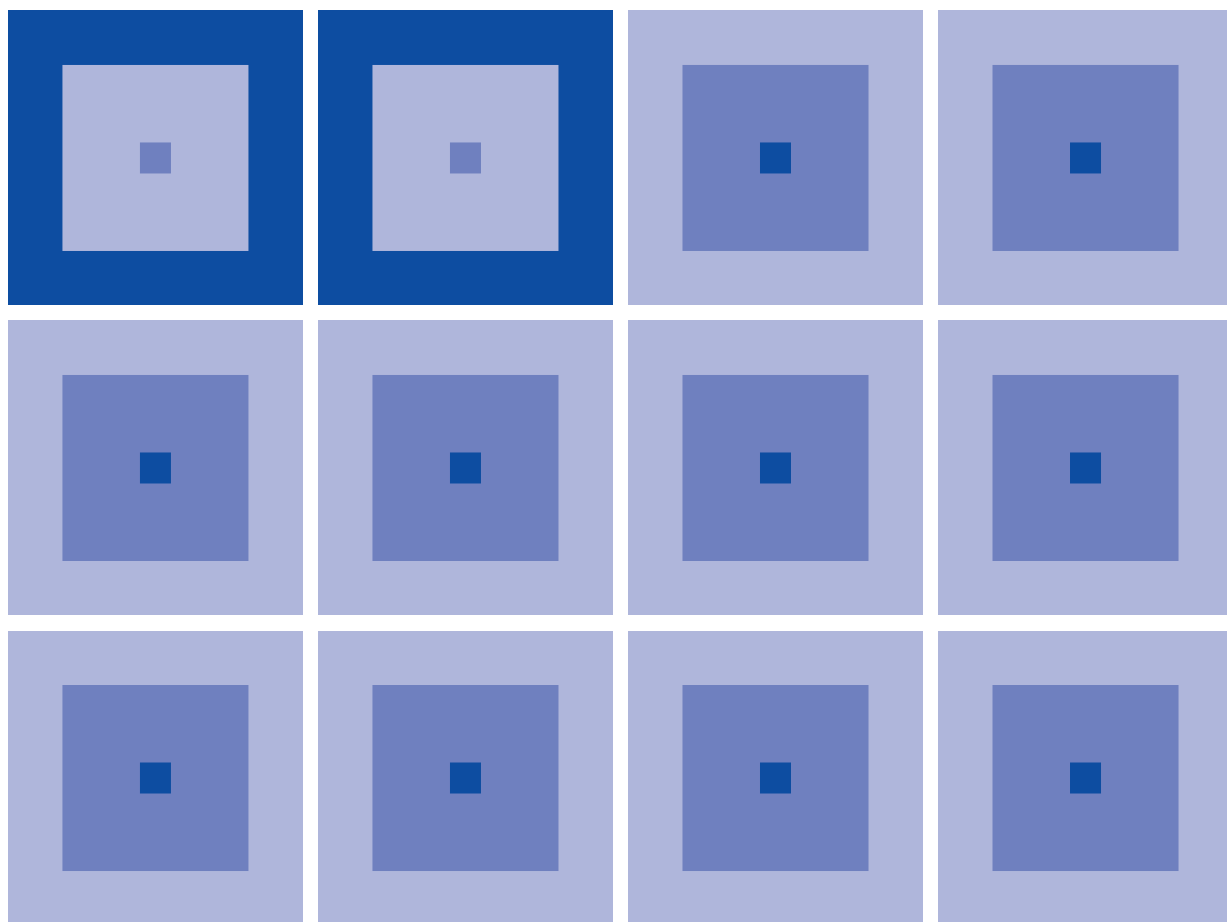


CMOS 32-BIT SINGLE CHIP MICROCOMPUTER

S1C33L05

テクニカルマニュアル

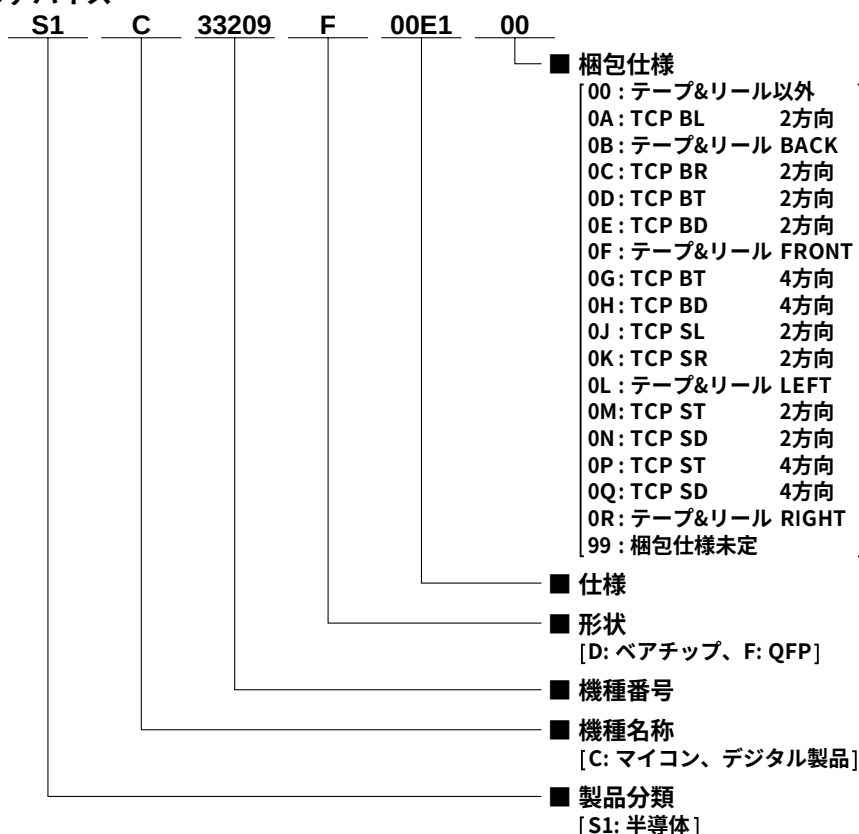


本資料のご使用につきましては、次の点にご留意願います。

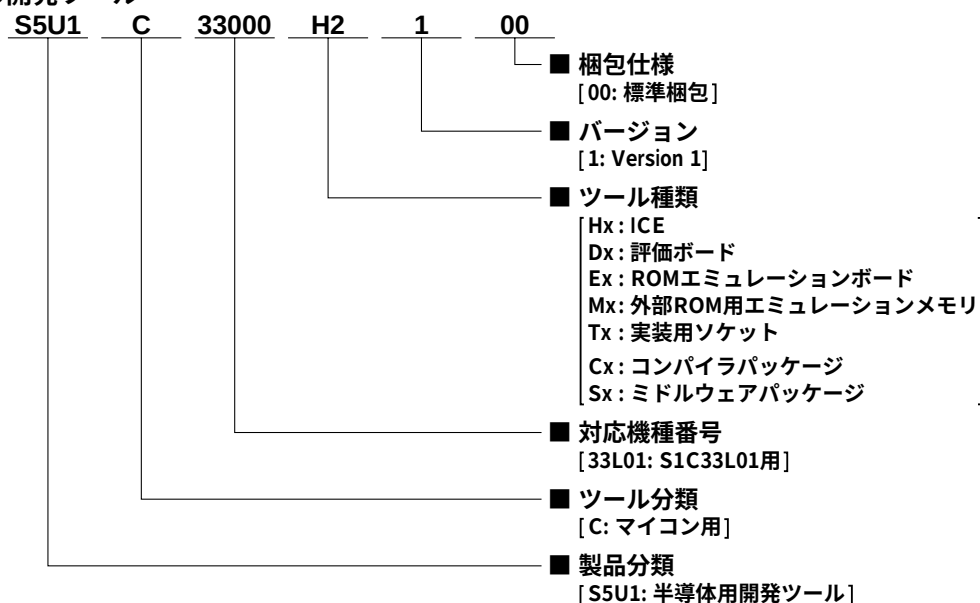
1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

製品型番体系

●デバイス



●開発ツール



S1C33L05 Technical Manual

I S1C33L05	I
I-1 概要	Outline
I-2 ブロック図	Block
I-3 端子説明	Pin
I-4 電源	Power
I-5 内蔵メモリ	RAM
I-6 電気的特性	E char
I-7 パッケージ	Package
I-8 パッド配置	Pad
I-9 基本外部結線図	Wiring
I-10 実装上の注意事項	Mount
II コアブロック	II
II-1 はじめに	Intro
II-2 CPUと動作モード	CPU
II-3 イニシャルリセット	Reset
II-4 BCU（バスコントロールユニット）	BCU
II-5 ITC（割り込みコントローラ）	ITC
II-6 CLG（クロックジェネレータ）	CLG
II-7 パワーダウン制御	P down
II-8 DBG（デバッグユニット）	DBG
III 周辺回路ブロック	III
III-1 はじめに	Intro
III-2 チップID/端子制御レジスタ	PUP
III-3 プリスケーラ	PSC
III-4 8ビットプログラマブルタイマ	8TM
III-5 16ビットプログラマブルタイマ	16TM
III-6 ウォッチドッグタイマ	WDT
III-7 低速(OSC1)発振回路	OSC1
III-8 計時タイマ	CTM
III-9 シリアルインタフェース	SIF
III-10 FIFO付きシリアルインタフェース	FSIF
III-11 入出力ポート	I/O
III-12 拡張ポート1 (P4～P6, EFP)	Ext I/O1
III-13 拡張ポート2 (PA～PD, FP)	Ext I/O2
III-14 NANDフラッシュインタフェース	NANDE
III-15 マルチメディアカード(SPIモード)インタフェース	SPI
III-16 シーケンシャルROMインタフェース	SQROM
III-17 S1C33L05クロック系とMiscレジスタ	Clock
IV アナログブロック	IV
IV-1 はじめに	Intro
IV-2 A/D変換器	A/D
V DMAブロック	V
V-1 はじめに	Intro
V-2 HSDMA（高速DMA）	HSDMA
V-3 IDMA（インテリジェントDMA）	IDMA

VI USBブロック	VI
VI-1 はじめに	Intro
VI-2 USBファンクションコントローラ	USB
VII LCDCブロック	VII
VII-1 はじめに	Intro
VII-2 LCDコントローラ	LCDC
VII-3 内蔵VRAMおよびIVRAMアービタ	IVRAM
VIII SDRAMCブロック	VIII
VIII-1 はじめに	Intro
VIII-2 SDRAMインタフェース	SDRAMC
VIII-3 命令/データキューバッファ	Queue
VIII-4 バスアービタ	BusArbi
Appendix	APP
A I/Oマップ	I/O map
B 参考資料: バス条件設定一覧	Ref

目 次

I S1C33L05

I-1 概要	I-1-1
特長	I-1-1
I-2 ブロック図	I-2-1
C33マクロブロック図	I-2-1
機能ブロック図	I-2-3
I-3 端子説明	I-3-1
端子配置図(プラスチックパッケージ)	I-3-1
端子機能	I-3-2
I-4 電源	I-4-1
電源端子	I-4-1
動作電圧(V _{DD} , V _{SS})	I-4-1
I/Oインタフェース電源(V _{DDE})	I-4-1
アナログ回路用電源(AV _{DDE})	I-4-2
電源に関する注意事項	I-4-3
I-5 内蔵メモリ	I-5-1
ROMとブートアドレス	I-5-4
RAM	I-5-4
外部アドレスバス	I-5-4
I-6 電気的特性	I-6-1
絶対最大定格	I-6-1
推奨動作条件	I-6-1
DC特性	I-6-2
USB DC & AC特性	I-6-3
消費電流	I-6-4
A/D変換器特性	I-6-5
発振特性	I-6-6
PLL特性	I-6-6
端子特性	I-6-7
AC特性	I-6-10
記号説明	I-6-10
AC特性測定条件	I-6-10
C33ブロックAC特性表	I-6-11
C33ブロックAC特性タイミングチャート	I-6-13
SDRAM AC特性	I-6-17
LCDC AC特性	I-6-20
〈参考資料〉外部デバイスとのインタフェースタイミング	I-6-31
ROM, バーストROM	I-6-32
SRAM(55ns)	I-6-34
SRAM(70ns)	I-6-36
8255A	I-6-38

I-7 パッケージ	I-7-1
プラスチックパッケージ	I-7-1
パッケージの熱抵抗	I-7-2
I-8 パッド配置	I-8-1
パッド配置図	I-8-1
パッド座標	I-8-2
I-9 基本外部結線図	I-9-1
I-10 実装上の注意事項	I-10-1

II コアブロック

II-1 はじめに	II-1-1
II-2 CPUと動作モード	II-2-1
CPU	II-2-1
スタンバイモード	II-2-1
HALTモード	II-2-1
SLEEPモード	II-2-1
注意事項	II-2-2
デバッグモード	II-2-2
トラップテーブル	II-2-2
II-3 イニシャルリセット	II-3-1
イニシャルリセット用端子	II-3-1
コールドスタートとホットスタート	II-3-1
パワーオンリセット	II-3-2
リセットパルス	II-3-2
ブートアドレス	II-3-2
イニシャルリセット時の注意事項	II-3-3
II-4 BCU(バスコントロールユニット)	II-4-1
外部システムインタフェース用の端子構成	II-4-1
入出力端子一覧	II-4-1
システムバス制御信号の組み合わせ	II-4-2
メモリエリア	II-4-3
メモリマップ	II-4-3
外部メモリマップとチップイネーブル	II-4-4
外部メモリ領域内での内蔵メモリの使用	II-4-6
エリア専用信号	II-4-6
エリア10	II-4-7
外部バス条件の設定	II-4-8
デバイスタイプとデバイスサイズの設定	II-4-8
SRAMタイプのタイミング条件設定	II-4-9
バーストロムタイプのタイミング条件設定	II-4-10
バスオペレーション	II-4-11
メモリ上のデータ配置	II-4-11
外部メモリのバスオペレーション	II-4-11

バスクロック	II-4-15
バススピードモード	II-4-16
バスクロックの外部出力	II-4-16
外部システムインタフェースのバスサイクル	II-4-17
SRAMタイプのリードサイクル	II-4-17
SRAMタイプのライトサイクル	II-4-21
バーストROMのリードサイクル	II-4-24
外部バスの解放	II-4-25
外部デバイスによるパワーダウン制御	II-4-25
BCUのI/Oメモリ	II-4-26
プログラミング上の注意事項	II-4-38
II-5 ITC(割り込みコントローラ)	II-5-1
割り込み機能概要	II-5-1
マスク可能な割り込み	II-5-1
割り込み要因とインテリジェントDMA	II-5-3
NMI(ノンマスカブル割り込み)	II-5-3
CPUの割り込み処理	II-5-3
割り込みによるスタンバイモードの解除	II-5-4
トラップテーブル	II-5-5
マスク可能な割り込みの制御	II-5-6
割り込みコントローラの構成	II-5-6
PSR(プロセッサステータスレジスタ)	II-5-6
割り込み要因フラグと割り込みイネーブルレジスタ	II-5-7
割り込みプライオリティレジスタと割り込みレベル	II-5-9
IDMAの起動	II-5-10
HSDMAの起動	II-5-12
割り込みコントローラのI/Oメモリ	II-5-13
プログラミング上の注意事項	II-5-25
II-6 CLG(クロックジェネレータ)	II-6-1
クロックジェネレータの構成	II-6-1
クロックジェネレータの入出力端子	II-6-2
高速(OSC3)発振回路	II-6-2
PLL	II-6-3
発振の制御	II-6-3
CPU動作クロックの設定と切り換え	II-6-4
パワーコントロールレジスタ保護フラグ	II-6-5
スタンバイモード時の動作	II-6-5
クロックジェネレータのI/Oメモリ	II-6-6
プログラミング上の注意事項	II-6-9
II-7 パワーダウン制御	II-7-1
II-8 DBG(デバッグユニット)	II-8-1
デバッグ回路	II-8-1
デバッグ回路の入出力端子	II-8-1

III 周辺回路ブロック

III-1 はじめに	III-1-1
III-2 チップID/端子制御レジスタ	III-2-1
チップIDレジスタ	III-2-1
プルアップ制御レジスタ	III-2-2
バスのLow駆動	III-2-2
レジスタをアクセスするためのBCUの設定	III-2-3
チップID/端子制御用I/Oメモリ	III-2-4
III-3 プリスケアラ	III-3-1
プリスケアラの構成	III-3-1
原振クロック	III-3-1
プリスケアラ分周比の選択と出力制御	III-3-2
8ビットプログラマブルタイマへの原振クロック出力	III-3-2
プリスケアラのI/Oメモリ	III-3-3
プログラミング上の注意事項	III-3-8
III-4 8ビットプログラマブルタイマ	III-4-1
8ビットプログラマブルタイマの構成	III-4-1
8ビットプログラマブルタイマの出力端子	III-4-2
8ビットプログラマブルタイマの用途	III-4-3
8ビットプログラマブルタイマの制御と動作	III-4-5
クロック出力の制御	III-4-8
8ビットプログラマブルタイマ割り込みとDMA	III-4-9
8ビットプログラマブルタイマのI/Oメモリ	III-4-11
プログラミング上の注意事項	III-4-19
III-5 16ビットプログラマブルタイマ	III-5-1
16ビットプログラマブルタイマの構成	III-5-1
16ビットプログラマブルタイマの入出力端子	III-5-2
16ビットプログラマブルタイマの用途	III-5-3
16ビットプログラマブルタイマの制御と動作	III-5-4
クロック出力の制御	III-5-7
16ビットプログラマブルタイマ割り込みとDMA	III-5-9
16ビットプログラマブルタイマのI/Oメモリ	III-5-12
プログラミング上の注意事項	III-5-26
III-6 ウォッチドッグタイマ	III-6-1
ウォッチドッグタイマの構成	III-6-1
ウォッチドッグタイマの制御	III-6-1
スタンバイモード時の動作	III-6-2
ウォッチドッグタイマのI/Oメモリ	III-6-3
プログラミング上の注意事項	III-6-3

III-7 低速(OSC1)発振回路	III-7-1
低速(OSC1)発振回路の構成	III-7-1
低速(OSC1)発振回路の入出力端子	III-7-1
発振回路の種類	III-7-2
発振の制御	III-7-2
CPU動作クロックの切り換え	III-7-3
パワーコントロールレジスタ保護フラグ	III-7-3
スタンバイモード時の動作	III-7-3
OSC1クロックの外部出力	III-7-4
低速(OSC1)発振回路のI/Oメモリ	III-7-5
プログラミング上の注意事項	III-7-8
III-8 計時タイマ	III-8-1
計時タイマの構成	III-8-1
計時タイマの制御と動作	III-8-2
計時タイマの割り込み機能	III-8-5
計時タイマの使用例	III-8-6
計時タイマのI/Oメモリ	III-8-7
プログラミング上の注意事項	III-8-12
III-9 シリアルインタフェース	III-9-1
シリアルインタフェースの構成	III-9-1
シリアルインタフェースの特長	III-9-1
シリアルインタフェースの入出力端子	III-9-2
転送モードの設定	III-9-3
クロック同期式インタフェース	III-9-4
クロック同期式インタフェースの概要	III-9-4
クロック同期式インタフェースの設定	III-9-5
クロック同期式転送の制御と動作	III-9-7
調歩同期式インタフェース	III-9-12
調歩同期式インタフェースの概要	III-9-12
調歩同期式インタフェースの設定	III-9-13
調歩同期式転送の制御と動作	III-9-16
IrDAインタフェース	III-9-21
IrDAインタフェースの概要	III-9-21
IrDAインタフェースの設定	III-9-21
IrDAインタフェースの制御と動作	III-9-23
シリアルインタフェース割り込みとDMA	III-9-24
シリアルインタフェースのI/Oメモリ	III-9-27
プログラミング上の注意事項	III-9-43
III-10 FIFO付きシリアルインタフェース	III-10-1
FIFO付きシリアルインタフェースの構成	III-10-1
FIFO付きシリアルインタフェースの特長	III-10-1
FIFO付きシリアルインタフェースの入出力端子	III-10-2
FIFO付きシリアルインタフェースを使用するためのBCUの設定	III-10-3
転送モードの設定	III-10-3
ボーレートタイマ(ボーレートの設定)	III-10-4

クロック同期式インタフェース	III-10-6
クロック同期式インタフェースの概要	III-10-6
クロック同期式インタフェースの設定	III-10-7
クロック同期式転送の制御と動作	III-10-8
調歩同期式インタフェース	III-10-14
調歩同期式インタフェースの概要	III-10-14
調歩同期式インタフェースの設定	III-10-15
調歩同期式転送の制御と動作	III-10-18
IrDAインタフェース	III-10-22
IrDAインタフェースの概要	III-10-22
IrDAインタフェースの設定	III-10-22
IrDAインタフェースの制御と動作	III-10-24
FIFO付きシリアルインタフェース割り込みとDMA	III-10-25
FIFO付きシリアルインタフェースのI/Oメモリ	III-10-27
プログラミング上の注意事項	III-10-37
III-11 入出力ポート	III-11-1
入力ポート(Kポート)	III-11-1
入力ポートの構成	III-11-1
入力ポート端子	III-11-2
使用上の注意	III-11-2
入力ポートのI/Oメモリ	III-11-3
入出力兼用ポート(Pポート)	III-11-4
入出力兼用ポートの構成	III-11-4
入出力兼用ポート端子	III-11-4
I/O制御レジスタと入力/出力モード	III-11-5
入出力兼用ポートのI/Oメモリ	III-11-6
入力割り込み	III-11-12
ポート入力割り込み	III-11-12
キー入力割り込み	III-11-13
割り込みコントローラの制御レジスタ	III-11-15
入力割り込みのI/Oメモリ	III-11-17
プログラミング上の注意事項	III-11-24
III-12 拡張ポート1(P4~P6, EFP)	III-12-1
拡張ポート1の構成	III-12-1
拡張ポート端子(P4~P6)	III-12-2
I/O制御レジスタと入力/出力モード	III-12-3
P4~P6、EFPレジスタをアクセスするためのBCUの設定	III-12-3
拡張ポート1のI/Oメモリ	III-12-4
III-13 拡張ポート2(PA~PD, FP)	III-13-1
拡張ポート2の構成	III-13-1
拡張ポート端子(PA~PD)	III-13-2
I/O制御レジスタと入力/出力モード	III-13-3
PA~PD、FPレジスタをアクセスするためのBCUの設定	III-13-3
拡張ポート2のI/Oメモリ	III-13-4

III-14	NANDフラッシュインタフェース	III-14-1
	NANDフラッシュインタフェースの構成	III-14-1
	NANDフラッシュインタフェースの出力端子	III-14-2
	#CEエリアの選択	III-14-2
	ECCジェネレータ	III-14-3
	NANDフラッシュからのブート	III-14-6
	NANDフラッシュインタフェースタイミング	III-14-10
	NANDフラッシュI/FレジスタをアクセスするためのBCUの設定	III-14-12
	NANDフラッシュインタフェースのI/Oメモリ	III-14-12
	プログラミング上の注意事項	III-14-15
	NANDフラッシュの動作速度	III-14-16
III-15	マルチメディアカード(SPIモード)インタフェース	III-15-1
	SPIの構成	III-15-1
	SPIの入出力端子	III-15-1
	SPI制御レジスタをアクセスするためのBCUの設定	III-15-2
	転送条件の設定	III-15-3
	データ転送の制御	III-15-4
	SPI割り込みとDMA	III-15-7
	SPIのI/Oメモリ	III-15-9
	プログラミング上の注意事項	III-15-17
III-16	シーケンシャルROMインタフェース	III-16-1
	シーケンシャルROMインタフェースの構成	III-16-1
	シーケンシャルROMインタフェースの出力端子	III-16-1
	シーケンシャルROMインタフェースの設定	III-16-2
	シーケンシャルROMの制御	III-16-3
	シーケンシャルROMインタフェースのI/Oメモリ	III-16-5
III-17	S1C33L05クロック系とMiscレジスタ	III-17-1
	S1C33L05クロック系の構成	III-17-1
	Miscレジスタ	III-17-2
	システムクロックの制御	III-17-3
	拡張周辺回路へのクロック供給の制御	III-17-5
	拡張周辺回路の補助機能設定	III-17-8
	MiscレジスタのI/Oメモリ	III-17-9
	プログラミング上の注意事項	III-17-16

IV アナログブロック

IV-1 はじめに	IV-1-1
IV-2 A/D変換器	IV-2-1
A/D変換器の特長と構成	IV-2-1
A/D変換器の入力端子	IV-2-2
A/D変換器の設定	IV-2-3
A/D変換の制御と動作	IV-2-7
A/D変換器割り込みとDMA	IV-2-10
A/D変換器のI/Oメモリ	IV-2-12
プログラミング上の注意事項	IV-2-25

V DMAブロック

V-1 はじめに	V-1-1
V-2 HSDMA(高速DMA)	V-2-1
HSDMAの機能概要	V-2-1
HSDMAの入出力端子	V-2-2
コントロール情報のプログラミング	V-2-3
デュアルアドレスモードのレジスタ設定	V-2-3
シングルアドレスモードのレジスタ設定	V-2-6
DMA転送の許可/禁止	V-2-7
トリガ要因	V-2-8
HSDMAの動作	V-2-9
デュアルアドレスモードの動作	V-2-9
シングルアドレスモードの動作	V-2-12
タイミングチャート	V-2-13
HSDMAの割り込み機能	V-2-14
HSDMAのI/Oメモリ	V-2-15
プログラミング上の注意事項	V-2-33
V-3 IDMA(インテリジェントDMA)	V-3-1
IDMAの機能概要	V-3-1
コントロール情報のプログラミング	V-3-1
IDMAの起動	V-3-5
IDMAの動作	V-3-8
リンク	V-3-12
IDMAの割り込み機能	V-3-13
IDMAのI/Oメモリ	V-3-14
プログラミング上の注意事項	V-3-17

VI USBブロック

VI-1 はじめに	VI-1-1
VI-2 USBファンクションコントローラ	VI-2-1
USBファンクションコントローラの概要	VI-2-1
USBインタフェース端子	VI-2-2
BCU, クロック制御, DMAレジスタの設定	VI-2-3
エリア11およびエリア4アクセス条件の設定	VI-2-3
USBクロックの制御	VI-2-4
DMAコントローラの設定	VI-2-4
機能説明	VI-2-7
USB制御	VI-2-8
FIFO管理	VI-2-25
ポートインタフェース	VI-2-28
スヌーズ	VI-2-33
レジスタ	VI-2-34
レジスタ一覧	VI-2-34
レジスタ詳細説明	VI-2-37

VII LCDCブロック

VII-1 はじめに	VII-1-1
VII-2 LCDコントローラ	VII-2-1
概要	VII-2-1
特長	VII-2-1
ブロック図	VII-2-2
LCDコントローラの入出力端子	VII-2-3
システム設定	VII-2-4
BCUの設定	VII-2-4
表示メモリ (VRAM) の選択	VII-2-4
LCDCクロックの設定	VII-2-4
LCDパネル設定	VII-2-6
パネルの種類	VII-2-6
解像度	VII-2-6
表示モード	VII-2-7
ルックアップテーブル	VII-2-11
フレームレート	VII-2-24
その他の設定	VII-2-25
表示の制御	VII-2-26
LCDパワーアップ/ダウン制御	VII-2-26
表示開始アドレスの設定	VII-2-27
表示データの書き込み	VII-2-27
表示の反転とブランク表示	VII-2-27
LCDC割り込みとDMA	VII-2-28
パワーセーブ	VII-2-30

ホストインタフェースバッファとLCDCキャッシュ	VII-2-31
ホストインタフェースバッファとアクセスタイムアウトエラー	VII-2-31
LCDCキャッシュ	VII-2-32
LCDコントローラのI/Oメモリ	VII-2-33
プログラミング上の注意事項	VII-2-46
システムパフォーマンス	VII-2-47
VII-3 内蔵VRAMとIVRAMアービタ	VII-3-1
概要	VII-3-1
内蔵VRAMの使用例	VII-3-1
内蔵VRAMを使用するためのBCUの設定	VII-3-2
IVRAMアービタ	VII-3-2

VIII SDRAMCブロック

VIII-1 はじめに	VIII-1-1
VIII-2 SDRAMインタフェース	VIII-2-1
SDRAMインタフェースの概要	VIII-2-1
入出力端子とSDRAMの接続	VIII-2-1
入出力端子	VIII-2-1
接続例	VIII-2-2
SDRAMの設定	VIII-2-4
端子の設定	VIII-2-4
SDRAMC用バスクロックの設定	VIII-2-4
BCUの設定	VIII-2-5
SDRAMアクセス条件設定	VIII-2-6
SDRAMインタフェースの動作	VIII-2-12
SDRAMの電源投入と初期化	VIII-2-12
SDRAMコマンド	VIII-2-13
リードサイクル	VIII-2-14
ライトサイクル	VIII-2-15
バンクインターリーブアクセス	VIII-2-15
リフレッシュモード	VIII-2-16
パワーダウンモード	VIII-2-18
SDRAMインタフェースのI/Oメモリ	VIII-2-19
プログラミング上の注意事項	VIII-2-26
VIII-3 命令/データキューバッファ	VIII-3-1
概要	VIII-3-1
IQB(命令キューバッファ)	VIII-3-2
DQB(データキューバッファ)	VIII-3-3
IQB/DQBの動作	VIII-3-4
SDRAMからのデータ読み出し	VIII-3-4
SDRAMへのデータ書き込み	VIII-3-5
IQB/DQBのI/Oメモリ	VIII-3-6

VIII-4 バスアービタ	VIII-4-1
概要	VIII-4-1
バスアービタの制御	VIII-4-2
BCUの設定	VIII-4-2
動作クロックの制御	VIII-4-2
デフォルトバスマスタの設定	VIII-4-3
ウェイトサイクル数の設定	VIII-4-3
バスアービタの起動	VIII-4-3
タイミングチャート	VIII-4-4
バスアービタのI/Oメモリ	VIII-4-8
プログラミング上の注意事項	VIII-4-9

Appendix

A I/Oマップ	Appendix-1
B 参考資料: バス条件設定一覧	Appendix-65

S1C33L05 Technical Manual

I S1C33L05

I-1 概要

S1C33L05は、高速動作、低消費電力、低電圧動作を特長とするセイコーエプソンオリジナルの32ビットマイクロコンピュータです。

S1C33L05は32ビットRISC型CPU C33 STDを中心に、バスコントロールユニット、DMAコントローラ、割り込みコントローラ、タイマ、FIFO内蔵シリアルインタフェース、A/D変換器、64Kカラー表示のカラーSTN LCDコントローラ、SDRAMコントローラ、USB1.1ファンクションコントローラ、シーケンシャルROMインタフェース、MMC(SPIモード)インタフェース、NANDフラッシュインタフェース等の周辺回路、および内蔵RAMで構成されます。2系統の発振回路とPLLを内蔵し、高速動作と省電力動作、および高度な計時機能に対応しています。S1C33L05は組込型プロセッサとして、PDAや電子辞書およびe-Bookリーダなど、高度なデータ処理を必要とする携帯機器への応用に最適です。

表I.1.1 機種構成

機種	パッケージ	内蔵RAM	内蔵VRAM	内蔵ROM
S1C33L05F00	QFP21-176pin	16Kバイト	40Kバイト	なし
S1C33L05D00	チップ(167パッド)	16Kバイト	40Kバイト	なし

特長

コアCPU

セイコーエプソンオリジナル32ビットRISC型CPU C33 STDを内蔵

- 16ビット固定長、105種類の基本命令セット
- 16本の32ビット汎用レジスタを内蔵
- 32ビットのALUと8ビットシフタを内蔵
- 乗除算命令および積和演算(MAC)命令をサポート
- 20.83nsの最小命令実行時間(48MHz動作時)

内蔵メモリ

汎用RAM: 16Kバイト(1サイクルアクセス)

表示データRAM: 40Kバイト(汎用RAMとして使用可能、2サイクルアクセス)

内蔵周辺回路

OSC3発振回路/PLL: PLLを使用しない場合
 水晶発振 5MHz min.~48MHz max.
 セラミック発振 48MHz(固定)
 外部クロック入力 2MHz min.~48MHz max.
 PLLを使用する場合
 水晶発振 20MHz min.~48MHz max.
 セラミック発振 48MHz(固定)
 外部クロック入力 20MHz min.~48MHz max.
 CPUとバス用のメインクロックを生成
 ソフトウェア制御PLLによりOSC3発振周波数の通倍が可能
 PLL入力クロック 10MHz min.~24MHz max.
 PLL出力クロック 10MHz min.~48MHz max.

OSC1発振回路: 水晶発振/外部クロック入力 32.768kHz typ.
 計時タイマ用クロックなどを生成

タイマ: 8ビットタイマ 6ch.
 16ビットタイマ 6ch.
 ウォッチドッグタイマ 1ch.(16ビットタイマ0の機能)
 計時タイマ 1ch.(アラーム機能付き)

シリアルインタフェース: 4ch.
 クロック同期式、調歩同期式、IrDA 1.0インタフェース選択可能
 Ch.0はバッファ付き(受信用4バイト、送信用2バイト)、またはバッファなしタイプを選択可能

割り込みコントローラ: DMA起動可能

入力割り込み	10種類(プログラマブル)
DMAコントローラ割り込み	5種類
16ビットプログラマブルタイマ割り込み	12種類
8ビットプログラマブルタイマ割り込み	6種類
シリアルインタフェース割り込み	15種類
A/D変換器割り込み	1種類
計時タイマ割り込み	1種類
LCDコントローラ割り込み	1種類
SPI割り込み	1種類
USBファンクションコントローラ割り込み	1種類

汎用入力/出力ポート: 周辺回路の入出力と兼用

入力ポート	9ビット(max.)
入出力兼用ポート	69ビット(max.)

* S1C33L05にはK54、K65～K67端子は存在しません。

* LEDを直接駆動可能なポート(8mA)が2ポート(P27とP26)用意されています。

* 汎用ポート数は使用する周辺機能により変わります。

外部バスインタフェース

BCU(バスコントロールユニット)内蔵

- 26ビットアドレスバス(内部28ビット処理)
- 16ビットデータバス(エリアごとにデータサイズを8または16ビットに設定可能)
- リトル/ビッグエンディアン方式によるメモリアクセス(エリアごとにエンディアン方式を設定可能)
- メモリマップドI/O
- チップイネーブルとウェイト制御回路を内蔵
- バーストROMに対応

動作条件, 消費電力

動作電圧:	コア(V _{DD})	1.65V～1.95V(1.8V±0.15V)	(水晶発振を使用する場合)
		1.70V～1.90V(1.8V±0.10V)	(セラミック発振を使用する場合)
	I/O(V _{DDE} , AV _{DDE})	2.70V～3.60V	(USBを使用しない場合)
		3.00V～3.60V	(USBを使用する場合)
動作周波数:	CPU	48MHz max. ^{注1}	
	バス(BCU)	40MHz max.	
	LCDコントローラ	48MHz max.	
	USBファンクションコントローラ	48MHz	
	SDRAM	48MHz	
動作温度:	-40～85°C	(水晶発振を使用する場合)	
		(セラミック発振を使用する場合)	
消費電力:	SLEEPモード時	12μW typ.	
	HALTモード時	18mW typ.	(48MHz、LCDCとUSBブロックを除きます)
	動作時	42mW typ. ^{注2}	(48MHz、LCDCとUSBブロックを除きます)
	LCDコントローラ		
	- 表示中	1.8mW typ.	(LCDCクロック=8MHz、16bpp、IVRAMモード、V _{DD} 、LCDCブロックのみ)
	USBファンクションコントローラ		
		- アイドル状態	14mW typ. (V _{DD} 、USBブロックのみ)

出荷形態

QFP21-176pin プラスチックパッケージ(24mm×24mm×1.4mm, 0.5mmピッチ)

またはチップ 167パッド(5.25mm×4.85mm, 100μmピッチ)

注: 1. CPU動作周波数(CPUシステムクロック)が40MHz以上の場合、#X2SPD端子="0"(x2スピードモード)で使用してください。また、内部バスも40MHzを越えないように使用してください。

2. 動作時の消費電力は、"ロード命令 55%、演算命令 23%、mac命令 1%、分岐命令 12%、ext命令 9%"の試験プログラムを連続動作させた場合の値です。

このページはブランクです。

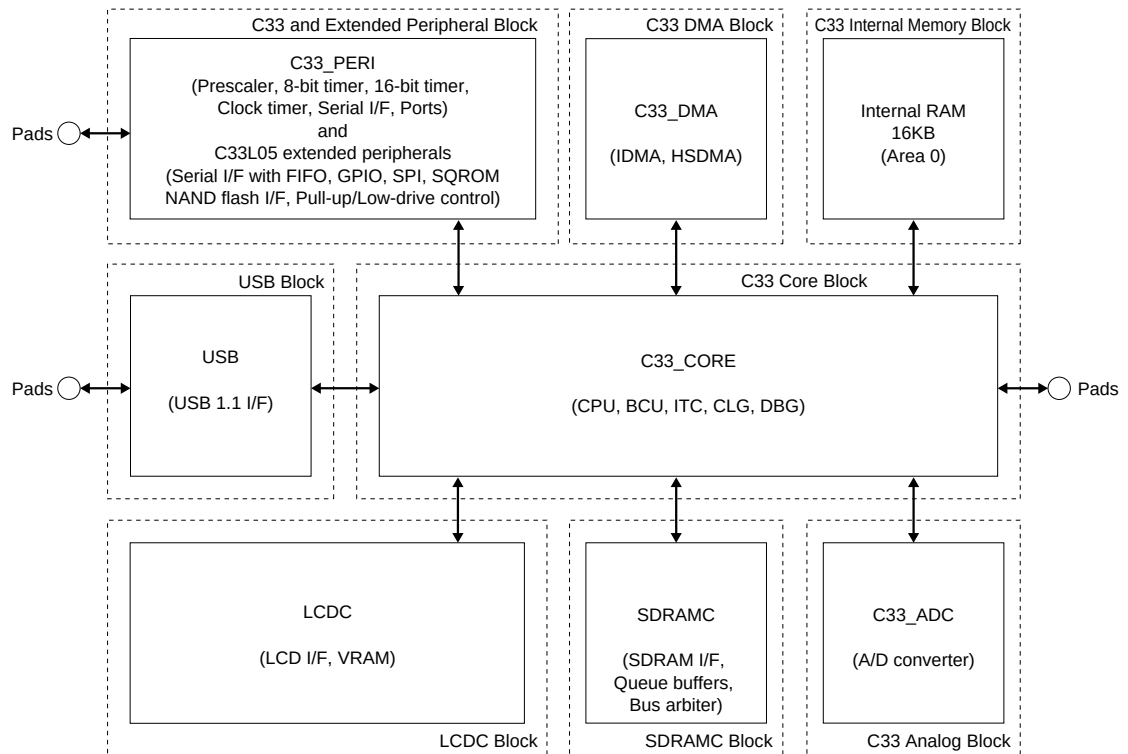
I-2 ブロック図

C33マクロブロック図

S1C33L05は、C33コアブロック、C33周辺回路ブロック、C33アナログブロック、C33 DMAブロック、C33内蔵メモリブロック、LCDCブロック、SDRAMCブロック、USBブロックの8つのマクロブロックで構成されています。

実際には、S1C33L05の拡張周辺回路が別のブロックとして内蔵されていますが、本書ではC33周辺回路ブロックに含めて説明します。

図I.2.1にマクロブロックの構成を示します。



図I.2.1 マクロブロック図

C33コアブロック

CPU	32ビットRISC型CPU C33 STD
BCU(バスコントロールユニット)	26ビット外部アドレスバス、16ビットデータバス BCUの全機能を使用可能
ITC(割り込みコントローラ)	53種類の割り込みが使用可能
CLG(クロックジェネレータ)	OSC3発振回路(48MHz Max.)、PLL OSC1発振回路(32.768kHz Typ.)
DBG(デバッグユニット)	S5U1C33000H(In-Circuit Debugger for S1C33 Family)によるデバッグ 用機能ブロック

詳細については、"II コアブロック"を参照してください。

C33周辺回路ブロック

C33標準マクロブロック

プリスケアラ	周辺回路用クロックをプログラマブルに設定可能
8ビットプログラマブルタイマ	6チャンネル(クロック出力機能付き)
16ビットプログラマブルタイマ	6チャンネル(イベントカウンタ、クロック出力、ウォッチドッグタイマ機能付き)
シリアルインタフェース	4チャンネル(調歩同期式、クロック同期式、IrDA選択可能)
入出力ポート	入力ポート: 9ビット、入出力兼用ポート: 29ビット (周辺回路の入出力として使用)
計時タイマ	1チャンネル(アラーム機能付き)

S1C33L05拡張周辺回路

FIFO付きシリアルインタフェース	1チャンネル(調歩同期式、クロック同期式、IrDA選択可能) 標準マクロブロックのシリアルインタフェースCh.0と切り換えて使用
NANDフラッシュインタフェース	BCUの信号から#SMWE、#SMRE信号を生成 スマートメディアおよびNANDフラッシュメモリを直接接続可能
MMC(SPIモード)インタフェース	マスタモードでの1~16ビットシリアルデータ転送をサポート
シーケンシャルROMインタフェース	シーケンシャルマスクROM(MX23L12813)と直接インタフェース可能なSQUALE、SQLALE、#SQRD信号を生成
入出力ポート	入出力兼用ポートを69ビット(29ビットの標準マクロポートを含む)に拡張
プルアップ/Low駆動制御回路	バスや入出力ポートのプルアップおよびLow駆動を制御
チップIDレジスタ	機種やバージョンを識別可能なIDレジスタを内蔵

詳細については、"III 周辺回路ブロック"を参照してください。

C33アナログブロック

A/D変換器	10ビットA/D変換器(入力: 5チャンネル) S1C33L05では、拡張機能が使用可能
--------	---

詳細については、"IV アナログブロック"を参照してください。

C33 DMAブロック

HSDMA(高速DMA)	4チャンネル	HSDMAのCh.3は内蔵のUSB1.1ファンクションコントローラ用に予約されています。
IDMA(インテリジェントDMA)	128チャンネル	

詳細については、"V DMAブロック"を参照してください。

C33メモリブロック

RAM	16KBのSRAMを内蔵
-----	--------------

詳細については、"I-5 内蔵メモリ"を参照してください。

USBブロック

USB1.1ファンクションコントローラ	コントロール、バルク、アイソクロナス、インタラプト転送をサポートしたUSB1.1インタフェース機能を内蔵
---------------------	--

詳細については、"VI USBブロック"を参照してください。

LCDCブロック

LCDコントローラ	4または8ビットパッシブLCDパネルインタフェース 40KB内蔵VRAMまたはUMAを介して1MB外部VRAMを使用可能
-----------	---

詳細については、"VII LCDCブロック"を参照してください。

SDRAMCブロック

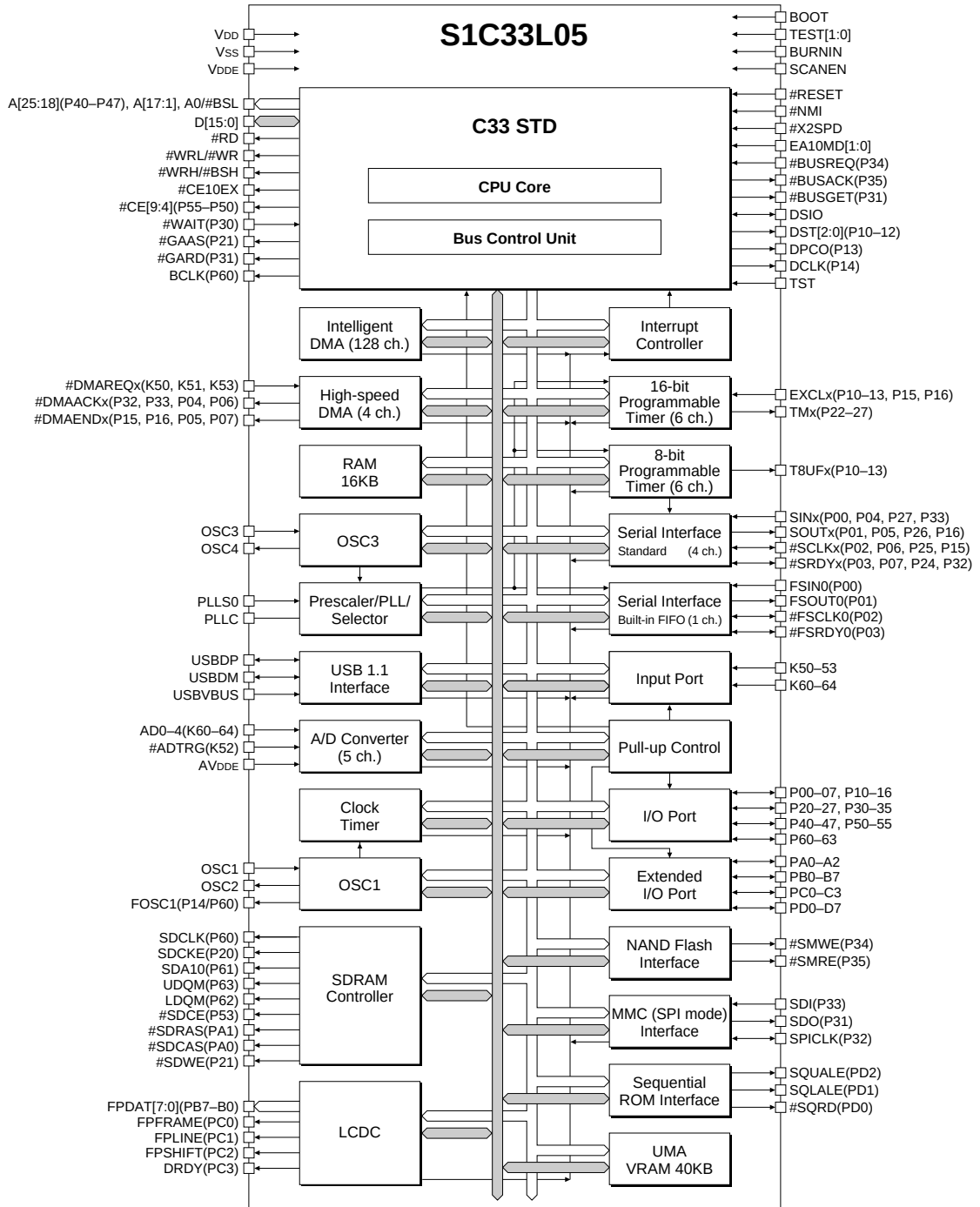
SDRAMコントローラ	最大256Mビット(32MB)SDRAMを直接接続可能 16段のIQB(32バイトの命令キューバッファ)と2段のDQB(4バイトのデータキューバッファ)を使用可能
-------------	--

詳細については、"VIII SDRAMCブロック"を参照してください。

機能ブロック図

I

Block



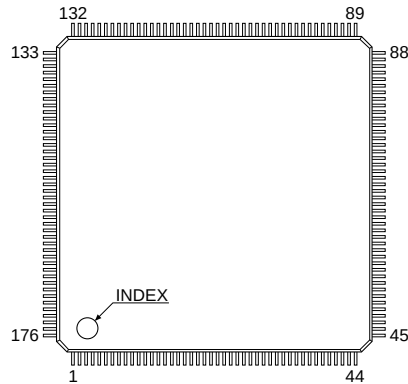
図I.2.2 S1C33L05機能ブロック図

このページはブランクです。

I-3 端子説明

端子配置図(プラスチックパッケージ)

QFP21-176pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	D9	45	P15/EXCL4/#DMAEND0/#SCLK3	89	P01/SOUT0/FSOUT0	133	A23/P42
2	D8	46	N.C.	90	P00/SIN0/FSIN0	134	N.C.
3	V _{DDE}	47	DSIO	91	USBDP	135	A22/P43
4	D7	48	V _{DDE}	92	USBDM	136	A21/P44
5	D6	49	DCLK/P14/FOSC1	93	N.C.	137	A20/P45
6	D5	50	DPC0/P13/EXCL3/T8UF3	94	USBVBUS	138	A19/P46
7	D4	51	DST2/P12/EXCL2/T8UF2	95	V _{DDE}	139	A18/P47
8	D3	52	DST1/P11/EXCL1/T8UF1	96	P31/#BUSGET/#GARD/SDO	140	A17
9	D2	53	DST0/P10/EXCL0/T8UF0	97	P32/#DMAACK0/#SRDY3/SPICLK	141	A16
10	D1	54	V _{DD}	98	V _{SS}	142	V _{DDE}
11	D0	55	#NMI	99	P33/#DMAACK1/SIN3/SDI	143	A15
12	V _{SS}	56	#RESET	100	P34/#BUSREQ/#CE6/#SMWE	144	A14
13	P30/#WAIT/#CE4&5/PA2	57	N.C.	101	P35/#BUSACK/#SMRE	145	N.C.
14	PD0/#SQRD	58	V _{SS}	102	V _{DD}	146	A13
15	PD1/SQALE	59	K60/AD0	103	#X2SPD	147	A12
16	PD2/SQALE	60	K61/AD1	104	EA10MD0	148	V _{SS}
17	PD3	61	K62/AD2	105	EA10MD1	149	A11
18	PD4	62	K63/AD3	106	V _{DDE}	150	A10
19	PD5	63	K64/AD4	107	PLLC	151	V _{DD}
20	PD6	64	TEST0	108	V _{SS}	152	A9
21	PD7	65	AV _{DDE}	109	PLLS0	153	A8
22	V _{DDE}	66	K53/#DMAREQ2	110	TST	154	A7
23	P22/TM0	67	K52/#ADTRG	111	BOOT	155	A6
24	P23/TM1	68	K51/#DMAREQ1	112	#CE4/#CE11/#CE11&12/P50	156	A5
25	P24/TM2/#SRDY2	69	K50/#DMAREQ0	113	V _{SS}	157	V _{SS}
26	P25/TM3/#SCLK2	70	V _{SS}	114	#CE5/#CE15/#CE15&16/P51	158	A4
27	P26/TM4/SOUT2	71	OSC1	115	#CE6/#CE7&8/P52	159	A3
28	P27/TM5/SIN2	72	OSC2	116	#CE7/#RAS0/#CE13/#RAS2/P53/#SDCE	160	V _{DDE}
29	V _{SS}	73	V _{DDE}	117	#CE8/#RAS1/#CE14/#RAS3/P54	161	A2
30	PB7/FPDAT7	74	BURNIN	118	#CE9/#CE17/#CE17&18/P55	162	A1
31	PB6/FPDAT6	75	SCANEN	119	#CE10EX/#CE9&10EX	163	A0/#BSL
32	PB5/FPDAT5	76	TEST1	120	P61/SDA10	164	#WRH/#BSH
33	PB4/FPDAT4	77	N.C.	121	P62/LDQM	165	N.C.
34	V _{DD}	78	V _{DD}	122	P63/UDQM	166	#WRL/#WR/#WE
35	PB3/FPDAT3	79	OSC3	123	P21/#DWE/#GAAS/#SDWE	167	#RD
36	PB2/FPDAT2	80	OSC4	124	#LCAS/PA0/#SDCAS	168	V _{SS}
37	PB1/FPDAT1	81	V _{SS}	125	V _{DD}	169	D15
38	PB0/FPDAT0	82	P07/#SRDY1/#DMAEND3	126	#HCAS/PA1/#SDRAS	170	D14
39	PC3/DRDY	83	P06/#SCLK1/#DMAACK3	127	P20/#DRD/SDCKE	171	D13
40	PC2/PPSHIFT	84	P05/#SOUT1/#DMAEND2	128	V _{DDE}	172	D12
41	PC1/FPLINE	85	P04/#SIN1/#DMAACK2	129	BCLK/P60/FOSC1/SDCLK	173	D11
42	PC0/FPFRAME	86	P03/#SRDY0/#FSRDY0	130	A25/P40	174	V _{DD}
43	V _{SS}	87	P02/#SCLK0/#FSCLK0	131	V _{SS}	175	D10
44	P16/EXCL5/#DMAEND1/SOUT3	88	N.C.	132	A24/P41	176	N.C.

太字: デフォルト設定の端子(信号)名

図I.3.1 端子配置図(QFP21-176pin)

端子機能

表I.3.1 電源系端子一覧

端子名	端子No.	I/O	Pull-up	機 能
V _{DD}	34,54, 78,102, 125,151, 174	—	—	内部ロジック用電源(+)
V _{SS}	12,29, 43,58, 70,81, 98,108, 113,131, 148,157, 168	—	—	電源(-)GND
V _{DDE}	3,22,48, 73,95, 106,128, 142,160	—	—	I/O用電源(+)
AV _{DDE}	65	—	—	アナログ系電源(+)

表I.3.2 外部インタフェース信号端子一覧

端子名	端子No.	I/O	Pull-up	機 能
A0 #BSL	163	I/O	*1	A0: アドレスバス(A0)/SBUSST(D3/0x4812E)="0"の場合(デフォルト) #BSL: バスストローブ(下位バイト)信号/SBUSST(D3/0x4812E)="1"の場合
A[17:1]	162,161, 159,158, 156-152, 150,149, 147,146, 144,143, 141,140	O	*1	アドレスバス(A1-A17)
A18 P47	139	I/O	*1	A18: アドレスバス(A18)/EFP47[1:0](D[7:6]/0x300049)="00"の場合(デフォルト) P47: 入出力兼用ポート/EFP47[1:0](D[7:6]/0x300049)="01"の場合
A19 P46	138	I/O	*1	A19: アドレスバス(A19)/EFP46[1:0](D[5:4]/0x300049)="00"の場合(デフォルト) P46: 入出力兼用ポート/EFP46[1:0](D[5:4]/0x300049)="01"の場合
A20 P45	137	I/O	*1	A20: アドレスバス(A20)/EFP45[1:0](D[3:2]/0x300049)="00"の場合(デフォルト) P45: 入出力兼用ポート/EFP45[1:0](D[3:2]/0x300049)="01"の場合
A21 P44	136	I/O	*1	A21: アドレスバス(A21)/EFP44[1:0](D[1:0]/0x300049)="00"の場合(デフォルト) P44: 入出力兼用ポート/EFP44[1:0](D[1:0]/0x300049)="01"の場合
A22 P43	135	I/O	*1	A22: アドレスバス(A22)/EFP43[1:0](D[7:6]/0x300048)="00"の場合(デフォルト) P43: 入出力兼用ポート/EFP43[1:0](D[7:6]/0x300048)="01"の場合
A23 P42	133	I/O	*1	A23: アドレスバス(A23)/EFP42[1:0](D[5:4]/0x300048)="00"の場合(デフォルト) P42: 入出力兼用ポート/EFP42[1:0](D[5:4]/0x300048)="01"の場合
A24 P41	132	I/O	*1	A24: アドレスバス(A24)/EFP41[1:0](D[3:2]/0x300048)="00"の場合(デフォルト) P41: 入出力兼用ポート/EFP41[1:0](D[3:2]/0x300048)="01"の場合
A25 P40	130	I/O	*1	A25: アドレスバス(A25)/EFP40[1:0](D[1:0]/0x300048)="00"の場合(デフォルト) P40: 入出力兼用ポート/EFP40[1:0](D[1:0]/0x300048)="01"の場合
#LCAS PA0 #SDCAS	124	I/O (H)	*1	#LCAS: DRAMカラムアドレスストローブ(下位バイト)信号 /FPA0[1:0](D[1:0]/0x300F60)="00"の場合(デフォルト) PA0: 入出力兼用ポート/FPA0[1:0](D[1:0]/0x300F60)="01"の場合 #SDCAS: SDRAMカラムアドレスストローブ信号/FPA0[1:0](D[1:0]/0x300F60)="10"の場合
#HCAS PA1 #SDRAS	126	I/O (H)	*1	#HCAS: DRAMカラムアドレスストローブ(上位バイト)信号 /FPA1[1:0](D[3:2]/0x300F60)="00"の場合(デフォルト) PA1: 入出力兼用ポート/FPA1[1:0](D[3:2]/0x300F60)="01"の場合 #SDRAS: SDRAMローアドレスストローブ信号/FPA1[1:0](D[3:2]/0x300F60)="10"の場合
D[15:0]	11-4, 2,1,175, 173-169	I/O	*2	データバス(D0-D15)

端子名	端子No.	I/O	Pull-up	機 能
#CE10EX #CE9&10EX	119	O	*1	#CE10EX: エリア10チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="00"または"01"の場合(デフォルト) #CE9&10EX: エリア9&10チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="1x"の場合
#CE9 #CE17 #CE17&18 P55	118	I/O	*1	#CE9: エリア9チップイネーブル/EFPP55[1:0](D[3:2]/0x30004B)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="00"の場合(デフォルト) #CE17: エリア17チップイネーブル/EFPP55[1:0](D[3:2]/0x30004B)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="01"の場合 #CE17&18: エリア17&18チップイネーブル/EFPP55[1:0](D[3:2]/0x30004B)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="1x"の場合 P55: 入出力兼用ポート/EFPP55[1:0](D[3:2]/0x30004B)="01"の場合
#CE8 #RAS1 #CE14 #RAS3 P54	117	I/O	*1	#CE8: エリア8チップイネーブル/EFPP54[1:0](D[1:0]/0x30004B)="00"、CEFUNC[1:0](D[A:9]/0x48130)="00"およびA8DRA(D8/0x48128)="0"の場合(デフォルト) #RAS1: エリア8 DRAMローストロープ/EFPP54[1:0](D[1:0]/0x30004B)="00"、CEFUNC[1:0](D[A:9]/0x48130)="00"およびA8DRA(D8/0x48128)="1"の場合 #CE14: エリア14チップイネーブル/EFPP54[1:0](D[1:0]/0x30004B)="00"、CEFUNC[1:0](D[A:9]/0x48130)="01"およびA14DRA(D8/0x48122)="0"の場合 #RAS3: エリア14 DRAMローストロープ/EFPP54[1:0](D[1:0]/0x30004B)="00"、CEFUNC[1:0](D[A:9]/0x48130)="01"およびA14DRA(D8/0x48122)="1"の場合 P54: 入出力兼用ポート/EFPP54[1:0](D[1:0]/0x30004B)="01"の場合
#CE7 #RAS0 #CE13 #RAS2 P53 #SDCE	116	I/O	*1	#CE7: エリア7チップイネーブル/EFPP53[1:0](D[7:6]/0x30004A)="00"、CEFUNC[1:0](D[A:9]/0x48130)="00"およびA7DRA(D7/0x48128)="0"の場合(デフォルト) #RAS0: エリア7 DRAMローストロープ/EFPP53[1:0](D[7:6]/0x30004A)="00"、CEFUNC[1:0](D[A:9]/0x48130)="00"およびA7DRA(D7/0x48128)="1"の場合 #CE13: エリア13チップイネーブル/EFPP53[1:0](D[7:6]/0x30004A)="00"、CEFUNC[1:0](D[A:9]/0x48130)="01"およびA13DRA(D7/0x48122)="0"の場合 #RAS2: エリア13 DRAMローストロープ/EFPP53[1:0](D[7:6]/0x30004A)="00"、CEFUNC[1:0](D[A:9]/0x48130)="01"およびA13DRA(D7/0x48122)="1"の場合 P53: 入出力兼用ポート/EFPP53[1:0](D[7:6]/0x30004A)="01"の場合 #SDCE: SDRAMチップイネーブル/EFPP53[1:0](D[7:6]/0x30004A)="10"の場合
#CE6 #CE7&8 P52	115	I/O	*1	#CE6: エリア6チップイネーブル/EFPP52[1:0](D[5:4]/0x30004A)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="00"または"01"の場合(デフォルト) #CE7&8: エリア7&8チップイネーブル/EFPP52[1:0](D[5:4]/0x30004A)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="1x"の場合 P52: 入出力兼用ポート/EFPP52[1:0](D[5:4]/0x30004A)="01"の場合
#CE5 #CE15 #CE15&16 P51	114	I/O	*1	#CE5: エリア5チップイネーブル/EFPP51[1:0](D[3:2]/0x30004A)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="00"の場合(デフォルト) #CE15: エリア15チップイネーブル/EFPP51[1:0](D[3:2]/0x30004A)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="01"の場合 #CE15&16: エリア15&16チップイネーブル/EFPP51[1:0](D[3:2]/0x30004A)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="1x"の場合 P51: 入出力兼用ポート/EFPP51[1:0](D[3:2]/0x30004A)="01"の場合
#CE4 #CE11 #CE11&12 P50	112	I/O	*1	#CE4: エリア4チップイネーブル/EFPP50[1:0](D[1:0]/0x30004A)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="00"の場合(デフォルト) #CE11: エリア11チップイネーブル/EFPP50[1:0](D[1:0]/0x30004A)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="01"の場合 #CE11&12: エリア11&12チップイネーブル/EFPP50[1:0](D[1:0]/0x30004A)="00"およびCEFUNC[1:0](D[A:9]/0x48130)="1x"の場合 P50: 入出力兼用ポート/EFPP50[1:0](D[1:0]/0x30004A)="01"の場合
#RD	167	O	*1	リード信号
#WRL #WR #WE	166	O	*1	#WRL: ライト(下位バイト)信号/SBUSST(D3/0x4812E)="0"の場合(デフォルト) #WR: ライト信号/SBUSST(D3/0x4812E)="1"の場合 #WE: DRAMライト信号
#WRH #BSH	164	O	*1	#WRH: ライト(上位バイト)信号/SBUSST(D3/0x4812E)="0"の場合(デフォルト) #BSH: バストロープ(上位バイト)信号/SBUSST(D3/0x4812E)="1"の場合
BCLK P60 FOSC1 SDCLK	129	I/O	*1	BCLK: バスクロック出力/EFPP60[1:0](D[1:0]/0x30004C)="00"の場合(デフォルト) P60: 入出力兼用ポート/EFPP60[1:0](D[1:0]/0x30004C)="01"の場合 FOSC1: OSC1クロック出力/EFPP60[1:0](D[1:0]/0x30004C)="10"の場合 SDCLK: SDRAMクロック出力/EFPP60[1:0](D[1:0]/0x30004C)="11"の場合

Pin

表I.3.3 ポート端子一覧

端子名	端子No.	I/O	Pull-up	機能
K50 #DMAREQ0	69	I	*1	K50: 入力ポート/CFK50(D0/0x402C0)="0"の場合(デフォルト) #DMAREQ0: HSDMA Ch.0要求入力CFK50(D0/0x402C0)="1"の場合
K51 #DMAREQ1	68	I	*1	K51: 入力ポート/CFK51(D1/0x402C0)="0"の場合(デフォルト) #DMAREQ1: HSDMA Ch.1要求入力CFK51(D1/0x402C0)="1"の場合
K52 #ADTRG	67	I	*1	K52: 入力ポート/CFK52(D2/0x402C0)="0"の場合(デフォルト) #ADTRG: A/D変換器トリガ入力/CFK52(D2/0x402C0)="1"の場合
K53 #DMAREQ2	66	I	*1	K53: 入力ポート/CFK53(D3/0x402C0)="0"の場合(デフォルト) #DMAREQ2: HSDMA Ch.2要求入力CFK53(D3/0x402C0)="1"の場合
K60 AD0	59	I	*1	K60: 入力ポート/CFK60(D0/0x402C3)="0"の場合(デフォルト) AD0: A/D変換器Ch.0入力/CFK60(D0/0x402C3)="1"の場合
K61 AD1	60	I	*1	K61: 入力ポート/CFK61(D1/0x402C3)="0"の場合(デフォルト) AD1: A/D変換器Ch.1入力/CFK61(D1/0x402C3)="1"の場合
K62 AD2	61	I	*1	K62: 入力ポート/CFK62(D2/0x402C3)="0"の場合(デフォルト) AD2: A/D変換器Ch.2入力/CFK62(D2/0x402C3)="1"の場合
K63 AD3	62	I	*1	K63: 入力ポート/CFK63(D3/0x402C3)="0"の場合(デフォルト) AD3: A/D変換器Ch.3入力/CFK63(D3/0x402C3)="1"の場合
K64 AD4	63	I	*1	K64: 入力ポート/CFK64(D4/0x402C3)="0"の場合(デフォルト) AD4: A/D変換器Ch.4入力/CFK64(D4/0x402C3)="1"の場合
P00 SIN0 FSIN0	90	I/O	*1	P00: 入出力兼用ポート/CFP00(D0/0x402D0)="0"および EFP00[1:0](D[1:0]/0x300040)="00"の場合(デフォルト) SIN0: シリアル/F Ch.0データ入力/CFP00(D0/0x402D0)="1"および EFP00[1:0](D[1:0]/0x300040)="00"の場合 FSIN0: FIFO付きシリアル/F Ch.0データ入力/EFP00[1:0](D[1:0]/0x300040)="01"の場合
P01 SOUT0 FSOUT0	89	I/O	*1	P01: 入出力兼用ポート/CFP01(D1/0x402D0)="0"および EFP01[1:0](D[3:2]/0x300040)="00"の場合(デフォルト) SOUT0: シリアル/F Ch.0データ出力/CFP01(D1/0x402D0)="1"および EFP01[1:0](D[3:2]/0x300040)="00"の場合 FSOUT0: FIFO付きシリアル/F Ch.0データ出力/EFP01[1:0](D[3:2]/0x300040)="01"の場合
P02 #SCLK0 #FSCLK0	87	I/O	*1	P02: 入出力兼用ポート/CFP02(D2/0x402D0)="0"および EFP02[1:0](D[5:4]/0x300040)="00"の場合(デフォルト) #SCLK0: シリアル/F Ch.0クロック入出力/CFP02(D2/0x402D0)="1"および EFP02[1:0](D[5:4]/0x300040)="00"の場合 #FSCLK0: FIFO付きシリアル/F Ch.0クロック入出力/EFP02[1:0](D[5:4]/0x300040)="01"の場合
P03 #SRDY0 #FSRDY0	86	I/O	*1	P03: 入出力兼用ポート/CFP03(D3/0x402D0)="0"および EFP03[1:0](D[7:6]/0x300040)="00"の場合(デフォルト) #SRDY0: シリアル/F Ch.0レディ信号入出力/CFP03(D3/0x402D0)="1"および EFP03[1:0](D[7:6]/0x300040)="00"の場合 #FSRDY0: FIFO付きシリアル/F Ch.0レディ信号入出力/EFP03[1:0](D[7:6]/0x300040)="01"の場合
P04 SIN1 #DMAACK2	85	I/O	*1	P04: 入出力兼用ポート/CFP04(D4/0x402D0)="0"およびCFEX4(D4/0x402DF)="0"の 場合(デフォルト) SIN1: シリアル/F Ch.1データ入力/CFP04(D4/0x402D0)="1"および CFEX4(D4/0x402DF)="0"の場合 #DMAACK2: HSDMA Ch.2応答出力/CFEX4(D4/0x402DF)="1"の場合
P05 SOUT1 #DMAEND2	84	I/O	*1	P05: 入出力兼用ポート/CFP05(D5/0x402D0)="0"およびCFEX5(D5/0x402DF)="0"の 場合(デフォルト) SOUT1: シリアル/F Ch.1データ出力/CFP05(D5/0x402D0)="1"および CFEX5(D5/0x402DF)="0"の場合 #DMAEND2: HSDMA Ch.2転送終了信号出力/CFEX5(D5/0x402DF)="1"の場合
P06 #SCLK1 #DMAACK3	83	I/O	*1	P06: 入出力兼用ポート/CFP06(D6/0x402D0)="0"およびCFEX6(D6/0x402DF)="0"の 場合(デフォルト) #SCLK1: シリアル/F Ch.1クロック入出力/CFP06(D6/0x402D0)="1"および CFEX6(D6/0x402DF)="0"の場合 #DMAACK3: HSDMA Ch.3応答出力/CFEX6(D6/0x402DF)="1"の場合
P07 #SRDY1 #DMAEND3	82	I/O	*1	P07: 入出力兼用ポート/CFP07(D7/0x402D0)="0"およびCFEX7(D7/0x402DF)="0"の 場合(デフォルト) #SRDY1: シリアル/F Ch.1レディ信号入出力/CFP07(D7/0x402D0)="1"および CFEX7(D7/0x402DF)="0"の場合 #DMAEND3: HSDMA Ch.3転送終了信号出力/CFEX7(D7/0x402DF)="1"の場合
P15 EXCL4 #DMAEND0 #SCLK3	45	I/O	*1	P15: 入出力兼用ポート/CFP15(D5/0x402D4)="0"の場合(デフォルト) EXCL4: 16ビットタイマ4イベントカウンタ入力/CFP15(D5/0x402D4)="1"および IOC15(D5/0x402D6)="0"の場合 #DMAEND0: HSDMA Ch.0転送終了信号出力/CFP15(D5/0x402D4)="1"および IOC15(D5/0x402D6)="1"の場合 #SCLK3: シリアル/F Ch.3クロック入出力/SSCLK3(D2/0x402D7)="1"および CFP15(D5/0x402D4)="0"の場合

端子名	端子No.	I/O	Pull-up	機 能
P16 EXCL5 #DMAEND1 SOUT3	44	I/O	*1	P16: 入出力兼用ポート/CFP16(D6/0x402D4)="0"の場合(デフォルト) EXCL5: 16ビットタイマ5イベントカウンタ入力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="0"の場合 #DMAEND1: HSDMA Ch.1転送終了信号出力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="1"の場合 SOUT3: シリアル/F Ch.3データ出力/SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"の場合
P20 #DRD SDCKE	127	I/O	*1	P20: 入出力兼用ポート/CFP20(D0/0x402D8)="0"およびEFP20[1:0](D[1:0]/0x300044)="00"の場合(デフォルト) #DRD: 連続RASモード用DRAMリード信号出力/CFP20(D0/0x402D8)="1"およびEFP20[1:0](D[1:0]/0x300044)="00"の場合 SDCKE: SDRAMクロックイネーブル出力/EFP20[1:0](D[1:0]/0x300044)="01"の場合
P21 #DWE #GAAS #SDWE	123	I/O	*1	P21: 入出力兼用ポート/CFP21(D1/0x402D8)="0"、CFEX2(D2/0x402DF)="0"およびEFP21[1:0](D[3:2]/0x300044)="00"の場合(デフォルト) #DWE: 連続RASモード用DRAMライト信号出力/CFP21(D1/0x402D8)="1"、CFEX2(D2/0x402DF)="0"およびEFP21[1:0](D[3:2]/0x300044)="00"の場合 #GAAS: GA用エリアアドレスストロブ出力/CFEX2(D2/0x402DF)="1"およびEFP21[1:0](D[3:2]/0x300044)="00"の場合 #SDWE: SDRAMライト信号出力/EFP21[1:0](D[3:2]/0x300044)="01"の場合
P22 TM0	23	I/O	*1	P22: 入出力兼用ポート/CFP22(D2/0x402D8)="0"の場合(デフォルト) TM0: 16ビットタイマ0出力/CFP22(D2/0x402D8)="1"の場合
P23 TM1	24	I/O	*1	P23: 入出力兼用ポート/CFP23(D3/0x402D8)="0"の場合(デフォルト) TM1: 16ビットタイマ1出力/CFP23(D3/0x402D8)="1"の場合
P24 TM2 #SRDY2	25	I/O	*1	P24: 入出力兼用ポート/CFP24(D4/0x402D8)="0"の場合(デフォルト) TM2: 16ビットタイマ2出力/CFP24(D4/0x402D8)="1"の場合 #SRDY2: シリアル/F Ch.2レディ信号入力/SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"の場合
P25 TM3 #SCLK2	26	I/O	*1	P25: 入出力兼用ポート/CFP25(D5/0x402D8)="0"の場合(デフォルト) TM3: 16ビットタイマ3出力/CFP25(D5/0x402D8)="1"の場合 #SCLK2: シリアル/F Ch.2クロック入出力/SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"の場合
P26 *3 TM4 SOUT2	27	I/O	*1	P26: 入出力兼用ポート/CFP26(D6/0x402D8)="0"の場合(デフォルト) TM4: 16ビットタイマ4出力/CFP26(D6/0x402D8)="1"の場合 SOUT2: シリアル/F Ch.2データ出力/SSOUT2(D1/0x402DB)="1"およびCFP26(D6/0x402D8)="0"の場合
P27 *3 TM5 SIN2	28	I/O	*1	P27: 入出力兼用ポート/CFP27(D7/0x402D8)="0"の場合(デフォルト) TM5: 16ビットタイマ5出力/CFP27(D7/0x402D8)="1"の場合 SIN2: シリアル/F Ch.2データ入力/SSIN2(D0/0x402DB)="1"およびCFP27(D7/0x402D8)="0"の場合
P30 *4 #WAIT #CE4&5 PA2	13	I/O	*1	P30: 入出力兼用ポート/CFP30(D0/0x402DC)="0"およびFPA2[1:0](D[5:4]/0x300F60)="00"の場合(デフォルト) #WAIT: ウェイトサイクル要求入力/CFP30(D0/0x402DC)="1"およびFPA2[1:0](D[5:4]/0x300F60)="00"の場合 #CE4&5: エリア4&5チップイネーブル/CFP30(D0/0x402DC)="1"、IOC30(D0/0x402DE)="1"およびFPA2[1:0](D[5:4]/0x300F60)="00"の場合 PA2: 入出力兼用ポート/FPA2[1:0](D[5:4]/0x300F60)="01"の場合
P31 #BUSGET #GARD SDO	96	I/O	*1	P31: 入出力兼用ポート/CFP31(D1/0x402DC)="0"、CFEX3(D3/0x402DF)="0"およびEFP31[1:0](D[3:2]/0x300046)="00"の場合(デフォルト) #BUSGET: バス解放要求用バス状態モニタ信号出力/CFP31(D1/0x402DC)="1"、CFEX3(D3/0x402DF)="0"およびEFP31[1:0](D[3:2]/0x300046)="00"の場合 #GARD: GA用エリアリード信号出力/CFEX3(D3/0x402DF)="1"およびEFP31[1:0](D[3:2]/0x300046)="00"の場合 SDO: SPIデータ出力/EFP31[1:0](D[3:2]/0x300046)="01"の場合
P32 #DMAACK0 #SRDY3 SPICLK	97	I/O	*1	P32: 入出力兼用ポート/CFP32(D2/0x402DC)="0"およびEFP32[1:0](D[5:4]/0x300046)="00"の場合(デフォルト) #DMAACK0: HSDMA Ch.0応答出力/CFP32(D2/0x402DC)="1"およびEFP32[1:0](D[5:4]/0x300046)="00"の場合 #SRDY3: シリアル/F Ch.3レディ信号入出力/SSRDY3(D3/0x402D7)="1"、CFP32(D2/0x402DC)="0"およびEFP32[1:0](D[5:4]/0x300046)="00"の場合 SPICLK: SPIクロック入出力/EFP32[1:0](D[5:4]/0x300046)="01"の場合

I-3 S1C33L05: 端子説明

端子名	端子No.	I/O	Pull-up	機 能
P33 #DMAACK1 SIN3 SDI	99	I/O	*1	P33: 入出力兼用ポート/CFP33(D3/0x402DC)="0"および EFP33[1:0](D[7:6]/0x300046)="00"の場合(デフォルト) #DMAACK1: HSDMA Ch.1応答出力/CFP33(D3/0x402DC)="1"および EFP33[1:0](D[7:6]/0x300046)="00"の場合 SIN3: シリアル/F Ch.3データ入力/SSIN3(D0/0x402D7)="1"、 CFP33(D3/0x402DC)="0"およびEFP33[1:0](D[7:6]/0x300046)="00"の場合 SDI: SPIデータ入力/EFP33[1:0](D[7:6]/0x300046)="01"の場合
P34 #BUSREQ #CE6 #SMWE	100	I/O	*1	P34: 入出力兼用ポート/CFP34(D4/0x402DC)="0"および EFP34[1:0](D[1:0]/0x300047)="00"の場合(デフォルト) #BUSREQ: バス解放要求入力/CFP34(D4/0x402DC)="1"および EFP34[1:0](D[1:0]/0x300047)="00"の場合 #CE6: エリア6チップイネーブル/CFP34(D4/0x402DC)="1"、IOC34 (D4/0x402DE)="1"およびEFP34[1:0](D[1:0]/0x300047)="00"の場合 #SMWE: NANDフラッシュライト信号/EFP34[1:0](D[1:0]/0x300047)="01"の場合
P35 #BUSACK #SMRE	101	I/O	*1	P35: 入出力兼用ポート/CFP35(D5/0x402DC)="0"および EFP35[1:0](D[3:2]/0x300047)="00"の場合(デフォルト) #BUSACK: バス解放要求応答出力/CFP35(D5/0x402DC)="1"および EFP35[1:0](D[3:2]/0x300047)="00"の場合 #SMRE: NANDフラッシュリード信号/EFP35[1:0](D[3:2]/0x300047)="01"の場合
P61 SDA10	120	I/O	*1	P61: 入出力兼用ポート/EFP61[1:0](D[3:2]/0x30004C)="00"の場合(デフォルト) SDA10: SDRAMアドレスA10/EFP61[1:0](D[3:2]/0x30004C)="01"の場合
P62 LDQM	121	I/O	*1	P62: 入出力兼用ポート/EFP62[1:0](D[5:4]/0x30004C)="00"の場合(デフォルト) LDQM: SDRAM下位バイト出力マスク/EFP62[1:0](D[5:4]/0x30004C)="01"の場合
P63 UDQM	122	I/O	*1	P63: 入出力兼用ポート/EFP63[1:0](D[7:6]/0x30004C)="00"の場合(デフォルト) UDQM: SDRAM上位バイト出力マスク/EFP63[1:0](D[7:6]/0x30004C)="01"の場合
PB0 FPDAT0	38	I/O	*1	PB0: 入出力兼用ポート/FPB0[1:0](D[1:0]/0x300F62)="00"の場合(デフォルト) FPDAT0: LCD表示データ出力/FPB0[1:0](D[1:0]/0x300F62)="01"の場合
PB1 FPDAT1	37	I/O	*1	PB1: 入出力兼用ポート/FPB1[1:0](D[3:2]/0x300F62)="00"の場合(デフォルト) FPDAT1: LCD表示データ出力/FPB1[1:0](D[3:2]/0x300F62)="01"の場合
PB2 FPDAT2	36	I/O	*1	PB2: 入出力兼用ポート/FPB2[1:0](D[5:4]/0x300F62)="00"の場合(デフォルト) FPDAT2: LCD表示データ出力/FPB2[1:0](D[5:4]/0x300F62)="01"の場合
PB3 FPDAT3	35	I/O	*1	PB3: 入出力兼用ポート/FPB3[1:0](D[7:6]/0x300F62)="00"の場合(デフォルト) FPDAT3: LCD表示データ出力/FPB3[1:0](D[7:6]/0x300F62)="01"の場合
PB4 FPDAT4	33	I/O	*1	PB4: 入出力兼用ポート/FPB4[1:0](D[1:0]/0x300F63)="00"の場合(デフォルト) FPDAT4: LCD表示データ出力/FPB4[1:0](D[1:0]/0x300F63)="01"の場合
PB5 FPDAT5	32	I/O	*1	PB5: 入出力兼用ポート/FPB5[1:0](D[3:2]/0x300F63)="00"の場合(デフォルト) FPDAT5: LCD表示データ出力/FPB5[1:0](D[3:2]/0x300F63)="01"の場合
PB6 FPDAT6	31	I/O	*1	PB6: 入出力兼用ポート/FPB6[1:0](D[5:4]/0x300F63)="00"の場合(デフォルト) FPDAT6: LCD表示データ出力/FPB6[1:0](D[5:4]/0x300F63)="01"の場合
PB7 FPDAT7	30	I/O	*1	PB7: 入出力兼用ポート/FPB7[1:0](D[7:6]/0x300F63)="00"の場合(デフォルト) FPDAT7: LCD表示データ出力/FPB7[1:0](D[7:6]/0x300F63)="01"の場合
PC0 FPFRAME	42	I/O	*1	PC0: 入出力兼用ポート/FPC0[1:0](D[1:0]/0x300F64)="00"の場合(デフォルト) FPFRAME: LCD垂直スキャン開始パルス出力/FPC0[1:0](D[1:0]/0x300F64)="01"の場合
PC1 FPLINE	41	I/O	*1	PC1: 入出力兼用ポート/FPC1[1:0](D[3:2]/0x300F64)="00"の場合(デフォルト) FPLINE: LCD表示データラッチクロック出力/FPC1[1:0](D[3:2]/0x300F64)="01"の場合
PC2 FPSHIFT	40	I/O	*1	PC2: 入出力兼用ポート/FPC2[1:0](D[5:4]/0x300F64)="00"の場合(デフォルト) FPSHIFT: LCD表示データシフトクロック出力/FPC2[1:0](D[5:4]/0x300F64)="01"の場合
PC3 DRDY	39	I/O	*1	PC3: 入出力兼用ポート/FPC3[1:0](D[7:6]/0x300F64)="00"の場合(デフォルト) DRDY: LCDバックプレーンバイアス信号出力/FPC3[1:0](D[7:6]/0x300F64)="01"の場合
PD0 #SQRD	14	I/O	*1	PD0: 入出力兼用ポート/FPD0[1:0](D[1:0]/0x300F66)="00"の場合(デフォルト) #SQRD: シーケンシャルROMリード信号出力/FPD0[1:0](D[1:0]/0x300F66)="01"の場合
PD1 SQLALE	15	I/O	*1	PD1: 入出力兼用ポート/FPD1[1:0](D[3:2]/0x300F66)="00"の場合(デフォルト) SQLALE: シーケンシャルROM下位バイトアドレスラッチイネーブル出力 /FPD1[1:0](D[3:2]/0x300F66)="01"の場合
PD2 SQUALE	16	I/O	*1	PD2: 入出力兼用ポート/FPD2[1:0](D[5:4]/0x300F66)="00"の場合(デフォルト) SQUALE: シーケンシャルROM上位バイトアドレスラッチイネーブル出力 /FPD2[1:0](D[5:4]/0x300F66)="01"の場合
PD3	17	I/O	*1	入出力兼用ポート
PD4	18	I/O	*1	入出力兼用ポート
PD5	19	I/O	*1	入出力兼用ポート
PD6	20	I/O	*1	入出力兼用ポート
PD7	21	I/O	*1	入出力兼用ポート

表I.3.4 デバッグインタフェース端子一覧

端子名	端子No.	I/O	Pull-up	機 能
DST0 P10 EXCL0 T8UF0	53	I/O (H)	*1	DST0: DST0信号出力/CFEX1(D1/0x402DF)="1"の場合(デフォルト) P10: 入出力兼用ポート/CFP10(D0/0x402D4)="0"およびCFEX1(D1/0x402DF)="0"の場合 EXCL0: 16ビットタイマ0イベントカウンタ入力/CFP10(D0/0x402D4)="1"、 IOC10(D0/0x402D6)="0"およびCFEX1(D1/0x402DF)="0"の場合 T8UF0: 8ビットタイマ0出力/CFP10(D0/0x402D4)="1"、IOC10(D0/0x402D6)="1"および CFEX1(D1/0x402DF)="0"の場合
DST1 P11 EXCL1 T8UF1	52	I/O (H)	*1	DST1: DST1信号出力/CFEX1(D1/0x402DF)="1"の場合(デフォルト) P11: 入出力兼用ポート/CFP11(D1/0x402D4)="0"およびCFEX1(D1/0x402DF)="0"の場合 EXCL1: 16ビットタイマ1イベントカウンタ入力/CFP11(D1/0x402D4)="1"、 IOC11(D1/0x402D6)="0"およびCFEX1(D1/0x402DF)="0"の場合 T8UF1: 8ビットタイマ1出力/CFP11(D1/0x402D4)="1"、IOC11(D1/0x402D6)="1"および CFEX1(D1/0x402DF)="0"の場合
DST2 P12 EXCL2 T8UF2	51	I/O (L)	*1	DST2: DST2信号出力/CFEX0(D0/0x402DF)="1"の場合(デフォルト) P12: 入出力兼用ポート/CFP12(D2/0x402D4)="0"およびCFEX0(D0/0x402DF)="0"の場合 EXCL2: 16ビットタイマ2イベントカウンタ入力/CFP12(D2/0x402D4)="1"、 IOC12(D2/0x402D6)="0"およびCFEX0(D0/0x402DF)="0"の場合 T8UF2: 8ビットタイマ2出力/CFP12(D2/0x402D4)="1"、IOC12(D2/0x402D6)="1"および CFEX0(D0/0x402DF)="0"の場合
DPCO P13 EXCL3 T8UF3	50	I/O (H)	*1	DPCO: DPCO信号出力/CFEX1(D1/0x402DF)="1"の場合(デフォルト) P13: 入出力兼用ポート/CFP13(D3/0x402D4)="0"およびCFEX1(D1/0x402DF)="0"の場合 EXCL3: 16ビットタイマ3イベントカウンタ入力/CFP13(D3/0x402D4)="1"、 IOC13(D3/0x402D6)="0"およびCFEX1(D1/0x402DF)="0"の場合 T8UF3: 8ビットタイマ3出力/CFP13(D3/0x402D4)="1"、IOC13(D3/0x402D6)="1"および CFEX1(D1/0x402DF)="0"の場合
DCLK P14 FOSC1	49	I/O (H)	*1	DCLK: DCLK信号出力/CFEX0(D0/0x402DF)="1"の場合(デフォルト) P14: 入出力兼用ポート/CFP14(D4/0x402D4)="0"およびCFEX0(D0/0x402DF)="0"の場合 FOSC1: OSC1クロック出力/CFP14(D4/0x402D4)="1"およびCFEX0(D0/0x402DF)="0"の場合
DSIO	47	I/O	Pull-up	デバッグ用シリアル入出力端子(50kΩプルアップ抵抗付き) 本端子はデバッグツールS5U1C33000H/S5U1C33001Hとの通信に使用します。

表I.3.5 USB端子

端子名	端子No.	I/O	Pull-up	機 能
USBDP	91	I/O	—	USB D+端子
USBDM	92	I/O	—	USB D-端子
USBVBUS	94	I	—	USB VBUS端子(5V入力可)

表I.3.6 その他の端子

端子名	端子No.	I/O	Pull-up	機 能									
OSC1	71	I	—	低速(OSC1)発振入力 (32kHz水晶発振、または外部クロック入力)									
OSC2	72	O	—	低速(OSC1)発振出力									
OSC3	79	I	—	CPU用高速(OSC3)発振入力 (水晶(セラミック)発振、または外部クロック入力)									
OSC4	80	O	—	CPU用高速(OSC3)発振出力									
PLLS0	109	I	*6	PLLモード設定端子 0: PLL未使用, 1: PLL2逡倍モード									
PLLC	107	—	—	PLL用コンデンサ接続端子									
EA10MD1	105	I	Pull-up	エリア10ブートモード選択(50kΩプルアップ抵抗付き)									
EA10MD0	104	I	Pull-up	<table><tr><th>EA10MD1</th><th>EA10MD0</th><th>モード</th></tr><tr><td>1</td><td>1</td><td>外部ROMモード</td></tr><tr><td>1</td><td>0</td><td>内蔵ROMモード</td></tr></table> 通常動作時は、両端子ともV _{DD} Eに接続してください。	EA10MD1	EA10MD0	モード	1	1	外部ROMモード	1	0	内蔵ROMモード
EA10MD1	EA10MD0	モード											
1	1	外部ROMモード											
1	0	内蔵ROMモード											
#X2SPD	103	I	*7	倍速モード設定端子(50kΩプルアップ抵抗付き) 1: CPUクロック=バスクロック×1, 0: CPUクロック=バスクロック×2 x2スピードモード(#X2SPD="0")で使用する場合は、必ずA1X1MD(D3/0x4813A)="1"に設定してください。									
#NMI	55	I	Pull-up	NMI要求入力端子(50kΩプルアップ抵抗付き)									
#RESET	56	I	Pull-up	イニシャルリセット入力端子(50kΩプルアップ抵抗付き)									
BOOT	111	I	*1	NANDフラッシュブート設定端子(50kΩプルアップ抵抗付き)									
TST	110	I	Pull-down	テスト用入力端子(50kΩプルダウン抵抗付き)。通常動作時はV _{SS} に接続してください。									
TEST1	76	I	Pull-down	テスト用入力端子(50kΩプルダウン抵抗付き)。通常動作時はV _{SS} に接続してください。									
TEST0	64	I	Pull-down	テスト用入力端子(120kΩプルダウン抵抗付き)。通常動作時はV _{SS} に接続してください。									
BURNIN	74	I	—	テスト用入力端子。通常動作時はV _{SS} に接続してください。									
SCANEN	75	I	Pull-down	テスト用入力端子(50kΩプルダウン抵抗付き)。通常動作時はV _{SS} に接続してください。									

- *1: I/Oレジスタにより、プルアップを有効/無効に制御可能(デフォルト設定はプルアップ有効)
- *2: バスホールドラッチ付き
- *3: P26およびP27ポートには8mAのI/Oセルが使用されていますので、外部ドライバを設けることなくLEDを直接駆動可能です。
- *4: SDRAMコントローラまたはバスアービタを使用する場合、SWAITE (0x4812E・D0)をセット(イネーブル)する必要がありますため、P30の入出力兼用ポート機能は使用できません。この場合はP30端子をPA2汎用入出力ポートとして使用可能です。SDRAMコントローラまたはバスアービタを使用しない場合は、SWAITE (0x4812E・D0)をクリア(ディセーブル)可能なため、P30の入出力兼用ポート機能を使用することができます。
- *5: S1C33L05ではK54およびK65～K67ポートが使用できません。HSDMA Ch.3はUSBファンクションコントローラ用に予約され、A/D入力も5チャンネルに制限されます。
- *6: ベンダーテストモード時にのみ有効となるプルダウンレジスタを内蔵しています。
- *7: ベンダーテストモード時にのみ有効となるプルアップレジスタを内蔵しています。

注: ・ 端子名の#は、入出力する信号がLowアクティブであることを示します。

- ・ 太字で記載されている端子名とI/Oは、デフォルト設定の端子(信号)名と入出力方向です。
- ・ I/Oの(H)と(L)は、デフォルトの出力レベルを示します。レベルが固定される信号のみ記述しています。

I-4 電源

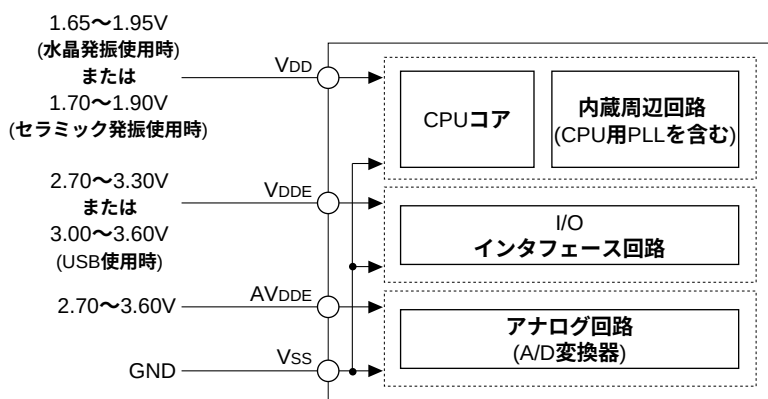
ここではS1C33L05の動作電圧について説明します。

電源端子

S1C33L05の電源端子を表I.4.1に示します。

表I.4.1 電源端子

端子名	端子No.	I/O	機 能
V _{DD}	34, 54, 78, 102, 125, 151, 174	–	内部ロジック用電源(+)
V _{SS}	12, 29, 43, 58, 70, 81, 98, 108, 113, 131, 148, 157, 168	–	電源(-)GND
V _{DDE}	3, 22, 48, 73, 95, 106, 128, 142, 160	–	I/O用電源(+)
AV _{DDE}	65	–	アナログ系電源(+)



図I.4.1 電源系

動作電圧(V_{DD}, V_{SS})

S1C33L05のコアCPUおよび内部周辺回路は、V_{DD}～V_{SS}間に供給される電源電圧によって動作します。この動作電圧は、次のとおりです。

V_{DD} = 1.65V～1.95V (1.8V±0.15V、V_{SS} = GND) 水晶発振使用時
 1.70V～1.90V (1.8V±0.10V、V_{SS} = GND) セラミック発振使用時

注: S1C33L05は7本のV_{DD}端子と13本のV_{SS}端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

I/Oインタフェース電源(V_{DDE})

V_{DDE}電圧は外部信号とのインタフェースに使用します。S1C33L05の出力インタフェースレベルは、HighレベルがV_{DDE}、LowレベルがV_{SS}となります。

GNDレベルにはV_{DD}端子と共通のV_{SS}端子を使用します。V_{DDE}には次の電圧が使用可能です。

V_{DDE} = 3.00V～3.60V (3.3V±0.3V、V_{SS} = GND)

USBファンクションコントローラを使用しない場合は、以下の電圧が使用可能です。

V_{DDE} = 3.00V～3.60V (3.3V±0.3V、V_{SS} = GND)
 または2.70V～3.30V (3.0V±0.3V、V_{SS} = GND)

注: • S1C33L05は9本のV_{DDE}端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

• OSC1、OSC3端子に外部クロックを入力する場合、クロックの電圧レベルはV_{DD}としてください。

アナログ回路用電源(AV_{DDE})

内蔵のアナログ回路(A/D変換器)がデジタル回路の影響を受けないように、前記の電源端子とは別にアナログ回路用の電源端子(AV_{DDE})が設けられています。

アナログ回路の電源電圧はAV_{DDE}端子に供給し、V_{SS}端子をGNDレベルとしてください。

AV_{DDE}には次の電圧が使用可能です。

AV_{DDE} = 2.70V～3.60V (3.0/3.3V±0.3V、V_{SS} = GND)

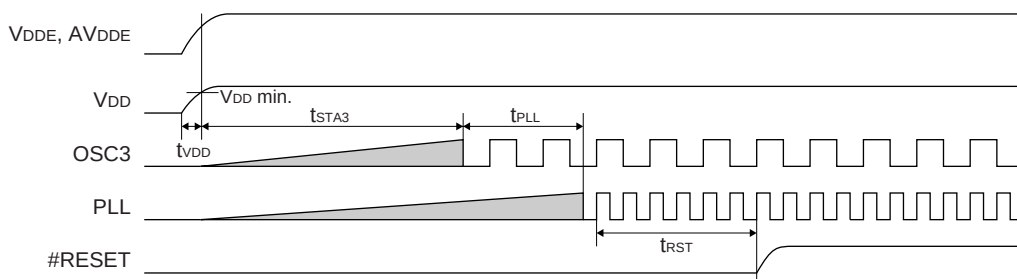
注: アナログ回路を使用しない場合は、必ずAV_{DDE}端子にV_{DDE}電圧を供給してください。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

電源に関する注意事項

■パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図I.4.2 パワーオンシーケンス

- (1) t_{vDD} : 電源投入時の電源が安定するまでの時間
下記の順序で(あるいは同時に)、電源を投入してください。
電源投入時: V_{DD} (内部)→ V_{DDE} , AV_{DDE} (I/O部)→入力信号印加
- (2) t_{STA3} : OSC3発振開始時間
- (3) t_{PLL} : PLLロックアップ時間
- (4) t_{RST} : 最小リセットパルス幅
C33 STDコアCPUに供給されるクロックが安定した状態から最低6クロックの期間、 $\#RESET$ 信号をLowに保持してください。

■パワーオフシーケンス

下記の順序で(あるいは同時に)、電源を切断してください。
電源切断時: 入力信号オフ→ AV_{DDE} , V_{DDE} (I/O部)→ V_{DD} (内部)

■ラッチアップ

CMOS構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS ICが内蔵する寄生のPNPN接合(サイリスタ構造)が導通し、 V_{DD} — V_{SS} 間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいは V_{DD} 端子の電圧が定格を超えて内部素子が降伏状態になったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になると V_{DD} — V_{SS} 間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意してください。

- (1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、または V_{SS} より下げないでください。電源投入時のタイミングも考慮してください。
- (2) 異常ノイズがデバイスに加わらないようにしてください。
- (3) 未使用の入力端子の電位を V_{DD} 、 V_{DDE} 、 AV_{DDE} または V_{SS} に固定してください。
- (4) 出力を短絡しないでください。

このページはブランクです。

I-5 内蔵メモリ

ここでは、S1C33L05に内蔵されるメモリの構成について説明します。

図I.5.1と図I.5.2にS1C33L05のメモリマップを示します。

エリア	アドレス	内部エリア	外部エリア
エリア18-12	0xFFFFFFF	(Reserved)	外部メモリ 8MB以上
	0x1800000		
エリア11	0x17FFFFFF	USBレジスタエリア	(USBレジスタ用に予約) *1
	0x1000000		
エリア10-9	0x0FFFFFFF	(Reserved)	外部メモリ 4MB × 2
	0x0800000		
エリア8-7	0x07FFFFFF	(Reserved)	外部メモリ 2MB × 2
	0x0400000		
エリア6	0x03FFFFFF	内部I/Oエリア(16ビット) LCDC, SDRAMC等	(LCDC, SDRAMC等用に予約)
	0x0380000		
	0x037FFFF	内部I/Oエリア(8ビット) FSIO, GPIO等	(FSIO, GPIO等に予約)
	0x0300000		
エリア5	0x02FFFFFF	(Reserved)	外部メモリ 1MB
	0x0200000		
エリア4	0x01FFFFFF	USB DMAエリア	(USB DMA用に予約) *1
	0x0100000		
エリア3	0x00FFFFFF	(Reserved)	
	0x0080000		
エリア2	0x007FFFF	(Reserved)	
	0x0060000	CPU, デバッグモード用	
エリア1	0x005FFFF	(内蔵周辺回路のミラー)	
	0x0050000		
	0x004FFFF	内蔵周辺回路	
	0x0040000		
	0x003FFFF	(内蔵周辺回路のミラー)	
	0x0030000		
エリア0	0x002FFFF	(内蔵RAMのミラー)	
	0x0004000		
	0x0003FFF	内蔵RAM(16KB)	
	0x0000000		

*1: USBファンクションコントローラを使用しない場合、これらを外部メモリエリアとして使用可能です。

図I.5.1 メモリマップ

エリア11	アドレス	
	0x17FFFFFF	(Reserved)
	0x1100000	
	0x10FFFFFF	USB制御レジスタ
	0x1000000	
⋮		
エリア6 16ビット アクセス エリア	0x03FFFFFF	(Reserved)
	0x03CA000	
	0x03C9FFF	LCDC VRAM
	0x03C0000	
	0x03BFFFF	(Reserved)
	0x03A0300	
	0x03A02FF	SDRAMC制御レジスタ
	0x03A0200	
	0x03A01FF	シーケンシャルROM I/F制御レジスタ
	0x03A0100	
	0x03A00FF	MMC(SPIモード)制御レジスタ
	0x03A0000	
	0x039FFFF	(Reserved)
	0x0390100	
	0x03900FF	バスアービタ制御レジスタ
	0x0390000	
	0x038FFFF	LCDC制御レジスタ
	0x0380000	
エリア6 8ビット アクセス エリア	0x037FFFF	(Reserved)
	0x0301000	
	0x0300FFF	拡張GPIO(PA～PD)制御レジスタ
	0x0300F40	
	0x0300F3F	Miscレジスタ
	0x0300F20	
	0x0300F1F	ブルアップ制御レジスタ
	0x0300F00	
	0x0300EFF	(Reserved)
	0x0300300	
	0x03002FF	FIFO付きシリアルI/F制御レジスタ
	0x0300200	
	0x03001FF	NANDフラッシュI/F制御レジスタ
	0x0300100	
	0x03000FF	(Reserved)
	0x0300060	
	0x030005F	P0～P6ポート機能拡張レジスタ
	0x0300040	
	0x030003F	P4～P6 I/Oポート制御レジスタ
	0x0300020	
	0x030001F	チップIDレジスタ
	0x0300000	
⋮		
エリア4	0x01FFFFFF	USB DMAエリア
	0x0100000	

図I.5.2 内部エリア詳細マップ

エリア2

エリア2はデバッグモード専用の領域です。ユーザモード(通常のプログラム実行状態)からはアクセスすることができません。

エリア6

エリア6はLCDC、SDRAMC、シーケンシャルROMインタフェース、SPIおよびバスアービタなどの拡張周辺回路に割り当てられています。

エリア6はイニシャルリセット時に外部アクセスに設定されます。エリア6のS1C33L05拡張周辺回路およびLCDコントローラをアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IO(アクセス制御レジスタ0x48132・D9) = "1"
エリア6を内部アクセスに設定します。
2. A6EC(アクセス制御レジスタ0x48132・D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6-4設定レジスタ0x4812A・D[A:8]) = "002"
この設定は、SDRAMCブロックをx1スピードモードに設定する場合にのみ必要です。
4. A6RH(リードサイクルホールド時間制御レジスタ0x4813C・D1) = "1"
エリア6をリードする際のアクセス時間を1サイクル延長します。この設定はUSB機能を使用する場合にのみ必要です。
5. SWAITE(バスコントロールレジスタ0x4812E・D0) = "1"
外部または内部の#WAIT信号によるウェイト制御を有効にします。
この設定は、LCDCブロックをアクセスするのに必要です。

注: バス速度の上限は40MHzです。CPU動作周波数が40MHz以上の場合は#X2SPD端子を"0"にすると共に、A6BSビット(0x4813E・D1)を"0"、A1X1MDビット(0x4813A・D3)を"1"に設定してください。

エリア4と11

エリア4と11はUSBファンクションコントローラに割り当てられています。

エリア4と11はイニシャルリセット時に外部アクセスに設定されます。USBファンクションコントローラを使用する場合は、これらのエリアのアクセス条件を以下のとおり設定する必要があります。

1. A12IO(アクセス制御レジスタ0x48132・DC) = "1"
A5IO(アクセス制御レジスタ0x48132・D8) = "1"
エリア12-11とエリア5-4を内部アクセスに設定します。
2. A12EC(アクセス制御レジスタ0x48132・D4) = "0"
A5EC(アクセス制御レジスタ0x48132・D0) = "0"
エリア12-11とエリア5-4のエンディアン形式をリトルエンディアンに設定します。
3. A12SZ(エリア12-11設定レジスタ0x48124・D6) = "1"
エリア12-11のデバイスサイズを8ビットに設定します。
4. A12WT[2:0](エリア12-11設定レジスタ0x48124・D[2:0]) = "010"または"001"
エリア12-11(USB制御レジスタ)アクセス時のウェイト数を2(CPU動作クロックが40MHz以上の場合)または1(CPU動作クロックが40MHz未満でx1スピードモードの場合)に設定します。
5. A5SZ(エリア6-4設定レジスタ0x4812A・D6) = "1"
エリア5-4のデバイスサイズを8ビットに設定します。
6. A5WT[2:0](エリア6-4設定レジスタ0x4812A・D[2:0]) = "001"
エリア5-4(USB DMAエリア)のウェイト数を1に設定します。
7. SWAITE(バスコントロールレジスタ0x4812E・D0) = "1"
#WAIT信号によるウェイト制御を有効にします。

8. USBWT[2:0](マクロ制御レジスタ0x300F20・D[2:0])

エリア11のUSBファンクションコントローラは他の内部ブロックとは異なるウェイト制御が必要で、そのためのUSBバスウェイト制御ビット(USBWT[2:0])がマクロ制御レジスタに用意されています。USBWT[2:0]で選択したウェイトは、A12WT[2:0]で選択したウェイトと共にUSBレジスタのアクセスサイクルに挿入されます。

USBWT[2:0]は、CPU動作クロック周波数に合わせ、以下のように設定してください。

USBWT[2:0] = "111" (CPU動作クロック = 40MHz以上)
 = "101" (CPU動作クロック = 24MHz)
 = "010" (CPU動作クロック = 12MHz)
 = "000" (CPU動作クロック = 6MHz以下)

注: バス速度の上限は40MHzです。CPU動作周波数が40MHz以上の場合は#X2SPD端子を"0"にすると共に、A5BSビット(0x4813E・D0)とA12BSビット(0x4813E・D4)を"0"、A1X1MDビット(0x4813A・D3)を"1"に設定してください。

USB機能を使用しない場合は、エリア11と4を外部メモリ用に使用することができます。

また、CEFUNC(0x48130・D[A:9])を"10"または"11"に設定することを推奨します。この設定にすることですべての#CE出力が有効となり、大きなメモリ空間をアクセスできるようになります。

CEFUNCの設定については、"II-4 BCU(バスコントロールユニット)"の"外部メモリマップとチップイネーブル"を参照してください。

ROMとブートアドレス

S1C33L05はNANDフラッシュからのブート(NANDフラッシュブートモード)に使用する128命令の容量を持つROMを内蔵しています。正常にブートするには、外部ROM/NORフラッシュをエリア10に配置するか、外部NANDフラッシュをエリア5に配置する必要があります。

エリア10の設定については"II-4 BCU(バスコントロールユニット)"を、NANDフラッシュブートの設定については"III-14 NANDフラッシュインタフェース"を参照してください。

RAM

S1C33L05は16KBのRAMを内蔵しています。このRAMはエリア0のアドレス0x00000000~0x0003FFFに割り付けられています。

内蔵RAMはデバイスサイズは32ビットで、バイト、ハーフワード、ワードデータが1サイクルで読み出し/書き込み可能です。

外部アドレスバス

コアCPU C33 STDは内部アドレスバスでは28ビットのアドレスを扱うことができますが、S1C33L05では外部アドレスに最大で下位26ビットまでの出力が可能です。

I-6 電気的特性

絶対最大定格

(V _{SS} =0V)					
項 目	記号	条 件	定 格 値	単位	注
内部ロジック電源電圧	V _{DD}		-0.3~+2.5	V	
I/O電源電圧	V _{DDE}		-0.3~+4.0	V	
アナログ電源電圧	AV _{DDE}		-0.3~+4.0	V	
入力電圧	V _I		-0.3~V _{DDE} +0.5	V	
アナログ入力電圧	AV _{IN}		-0.3~AV _{DDE} +0.3	V	
高レベル出力電流	I _{OH}	1端子	-10	mA	
		全端子合計	-40	mA	
低レベル出力電流	I _{OL}	1端子	10	mA	
		全端子合計	40	mA	
保存温度	T _{STG}		-65~+150	°C	

推奨動作条件

(V _{SS} =0V)						
項 目	記号	条 件	Min.	Typ.	Max.	単位 注
内部ロジック電源電圧	V _{DD}	水晶発振使用時	1.65	1.80	1.95	V
		セラミック発振使用時	1.70	1.80	1.90	V
I/O電源電圧	V _{DDE}	USB使用時	3.00	3.30	3.60	V
		USB未使用時	2.70	—	3.60	V
アナログ電源電圧	AV _{DDE}		2.70	—	3.60	V
入力電圧	HV _I		V _{SS}	—	V _{DDE}	V
	LV _I		V _{SS}	—	V _{DD}	V
アナログ入力電圧	AV _{IN}		V _{SS}	—	AV _{DDE}	V
CPU動作周波数	f _{CPU}		—	—	48	MHz
バス動作周波数	f _{BUS}		—	—	40	MHz
OSC3発振動作周波数	f _{OSC3}	水晶発振使用時	20	—	48	MHz
		セラミック発振使用時	—	48	—	MHz
OSC3外部クロック入力動作周波数	f _{ECLK3}		2	—	48	MHz
OSC1発振動作周波数	f _{OSC1}		—	32.768	—	kHz
動作温度	T _a	水晶発振使用時	-40	25	85	°C
		セラミック発振使用時	0	25	70	°C
入力立ち上がり時間(ノーマル入力)	t _{ri}		—	—	50	ns
入力立ち下がり時間(ノーマル入力)	t _{fi}		—	—	50	ns
入力立ち上がり時間(シュミット入力)	t _{ri}		—	—	5	ms
入力立ち下がり時間(シュミット入力)	t _{fi}		—	—	5	ms

DC特性

(特記なき場合: $V_{DDE}=2.7V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
入力リーク電流	I_{LI}		-5	—	5	μA	
オフステートリーク電流	I_{OZ}		-5	—	5	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-1.7mA$ (2mA Type), $I_{OH}=-3.5mA$ (4mA Type), $I_{OH}=-7.1mA$ (8mA Type), $V_{DD}=\text{Min.}$	V_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=1.7mA$ (2mA Type), $I_{OL}=3.5mA$ (4mA Type), $I_{OL}=7.1mA$ (8mA Type), $V_{DD}=\text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH}	LVTTLレベル, $V_{DDE}=\text{Max.}$	2.0	—	—	V	
低レベル入力電圧	V_{IL}	LVTTLレベル, $V_{DDE}=\text{Min.}$	—	—	0.7	V	
ポジティブトリガ入力電圧	V_{T+}	LVC MOSシュミット	1.2	—	2.7	V	
ネガティブトリガ入力電圧	V_{T-}	LVC MOSシュミット	0.5	—	1.8	V	
ヒステリシス電圧	V_H	LVC MOSシュミット	0.2	—	—	V	
ブルアップ抵抗	R_{PU}	$V_i=0V$					
		100k Ω Type	50	100	288	k Ω	
ブルダウン抵抗	R_{PD}	$V_i=V_{DDE}$					
		120k Ω Type	60	120	346	k Ω	
		50k Ω Type	25	50	144	k Ω	
高レベル保持電流	I_{BHH}	バスホールド対応端子, $V_i=1.9V$, $V_{DDE}=\text{Min.}$	—	—	-20	μA	
低レベル保持電流	I_{BHL}	バスホールド対応端子, $V_i=0.8V$, $V_{DDE}=\text{Min.}$	—	—	17	μA	
高レベル反転電流	I_{BHHO}	バスホールド対応端子, $V_i=0.8V$, $V_{DDE}=\text{Max.}$	-350	—	—	μA	
低レベル反転電流	I_{BHLO}	バスホールド対応端子, $V_i=1.9V$, $V_{DDE}=\text{Max.}$	300	—	—	μA	
入力端子容量	C_i	$f=1MHz$, $V_{DDE}=0V$	—	—	8	pF	
出力端子容量	C_o	$f=1MHz$, $V_{DDE}=0V$	—	—	8	pF	
入出力端子容量	C_{io}	$f=1MHz$, $V_{DDE}=0V$	—	—	8	pF	

注: 端子の特性については、本章内の"端子特性"を参照してください。

USB DC & AC特性

■入力レベル

(特記なき場合: USB $V_{DD}=3.0V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
VBUS入力電圧	VBUS		4.40	—	5.25	V	1
高レベル入力電圧(駆動時)	V _{IH}		2.0	—	—	V	2
高レベル入力電圧 (フローティング状態)	V _{IHZ}		2.7	—	3.6	V	2
低レベル入力電圧	V _{IL}		—	—	0.8	V	2
差動入力感度	V _{DI}	DP - DM	0.2	—	—	V	
差動コモンモードレンジ	V _{CM}	V _{DI} レンジを含む	0.8	—	2.5	V	

注) 1. 条件についてはUSB2.0仕様書の7.2.1節参照

2. 条件についてはUSB2.0仕様書の7.1.4節参照

■出力レベル

(特記なき場合: USB $V_{DD}=3.0V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
低レベル出力電圧	V _{OL}		0.0	—	0.3	V	3
高レベル出力電圧(駆動時)	V _{OH}		2.8	—	3.6	V	3
出力信号クロスオーバー電圧	V _{CRS}		1.3	—	2.0	V	4

注) 3. 条件についてはUSB2.0仕様書の7.1.1節参照

4. 条件についてはUSB2.0仕様書の図7-8および図7-9参照

■終端

(特記なき場合: USB $V_{DD}=3.0V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
アップストリームポート側 バスプルアップ抵抗 (バスアイドル時)	R _{PUI}		0.9	—	1.575	k Ω	5
アップストリームポート側 バスプルアップ抵抗 (受信時)	V _{PUA}		1.425	—	3.090	k Ω	5

注) 5. 条件についてはUSB2.0仕様書のECN参照

■ドライバ特性

(特記なき場合: USB $V_{DD}=3.0V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
立ち上がり時間	T _{FR}		4	—	20	ns	4
立ち下がり時間	T _{FF}		4	—	20	ns	4
差動立ち上がり/立ち下がり 整合	T _{FRFM}	T _{FR} /T _{FF}	90	—	111.11	%	
ドライバ出力励行	Z _{DRV}		28	—	44	Ω	
VBUS入力インピーダンス	Z _{VBUS}	R ₁ + R ₂	125	—		k Ω	
VBUS抵抗分割比		R ₁ : R ₂	1 : 2 (定格)				

注) 4. 条件についてはUSB2.0仕様書の図7-8および図7-9参照

消費電流

■動作電流

(特記なき場合: $V_{DDE}=AV_{DDE}=2.7V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
CPU動作時消費電流	IDD1	20MHz	—	10	—	mA	1
		25MHz	—	12	—		
		33MHz	—	16	—		
		48MHz	—	23	—		
HALTモード時消費電流	IDD2	20MHz	—	5	—	mA	2
		25MHz	—	6	—		
		33MHz	—	7	—		
		48MHz	—	10	—		
HALT2モード時消費電流	IDD3	20MHz	—	1.5	—	mA	3
		25MHz	—	2	—		
		33MHz	—	2.5	—		
		48MHz	—	4	—		

消費電流測定条件: $V_{IH}=V_{DDE}$, $V_{IL}=0V$, 出力端子はオープン, V_{DD} のみ

Typ.値測定条件: $V_{DDE}=AV_{DDE}=3.3V$, $V_{DD}=1.8V$, $T_a=25^{\circ}C$ Typ.品

注)	No.	高速発振	低速発振	CPU	その他
	1	発振	停止	通常動作*1	停止
	2	発振	停止	HALTモード	停止
	3	発振	停止	HALT2モード	停止

*1 CPU動作時の消費電流は、"ロード命令 55%、演算命令 23%、mac命令 1%、分岐命令 12%、ext命令 9%"の試験プログラムを内蔵ROMからフェッチしながら連続動作させた場合の値です。

■SLEEPモード時消費電流

(特記なき場合: $V_{DDE}=AV_{DDE}=2.7V\sim3.6V$, $V_{DD}=1.8V$, $V_{SS}=0V$, $T_a=25^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SLEEPモード時 V_{DD} 消費電流	IDDSL	$T_a=25^{\circ}C$	—	1	—	μA	
		$T_a=85^{\circ}C$	—	11	—		
SLEEPモード時 $V_{DDE}+AV_{DDE}$ 消費電流	IDDSE	$T_a=25^{\circ}C$	—	3	—	μA	
		$T_a=85^{\circ}C$	—	5	—		

消費電流測定条件: $V_{IH}=V_{DDE}$, $V_{IL}=0V$, 出力端子はオープン

Typ.値測定条件: $V_{DDE}=AV_{DDE}=3.3V$, $V_{DD}=1.8V$, $T_a=25^{\circ}C$ Typ.品

■周辺回路動作電流

(特記なき場合: $V_{DDE}=AV_{DDE}=3.3V$, $V_{DD}=1.8V$, $V_{SS}=0V$, $T_a=25^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
計時タイマ動作電流	ICT	OSC1発振: 32kHz	—	2.5	—	μA	4
A/D変換器動作電流	IAD	A/D変換器イネーブル時	—	260	—	μA	5
OSC3動作電流	IOSC3	OSC3発振: 48MHz	—	0.6	—	mA	4
OSC3 PLL動作電流	IPLL	PLL出力クロック: 48MHz	—	1	—	mA	4
LCDC表示電流	ILCDCD	LCDCクロック: 8MHz, 16bpp, IVRAMモード	—	1	—	mA	4
USBコントローラ電流	IUSB	クロック供給状態でのアイドル時	—	7.3	—	mA	4

注) 4. V_{DD} 電源電流

5. AV_{DDE} 電源電流

A/D変換器特性

(特記なき場合: $V_{DDE}=AV_{DDE}=2.7V\sim 3.6V$, $V_{DD}=1.65V\sim 1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C\sim +85^{\circ}C$, $ST[1:0]=11$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
分解能	—		—	10	—	bit	
変換時間	—		10	—	1250	μs	1
ゼロスケール誤差	E_{ZS}		-2	—	2	LSB	
フルスケール誤差	E_{FS}		-2	—	2	LSB	
積分直線性誤差	E_L		-3	—	3	LSB	
微分直線性誤差	E_D		-3	—	3	LSB	
許容信号源インピーダンス	—		—	—	5	$k\Omega$	
アナログ入力容量	—		—	—	45	pF	

注) 1. Min値はA/D変換器クロック入力=2MHzの場合

Max値はA/D変換器クロック入力=16kHzの場合

A/D変換誤差

$V[001]_h$ = 理想のゼロスケール点電圧(=0.5LSB)

$V'[001]_h$ = 実際のゼロスケール点電圧

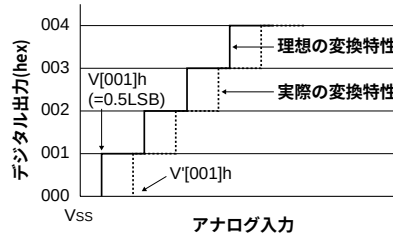
$V[3FF]_h$ = 理想のフルスケール点電圧(=1022.5LSB)

$V'[3FF]_h$ = 実際のフルスケール点電圧

$$1LSB = \frac{AV_{DDE} - V_{SS}}{2^{10} - 1}$$

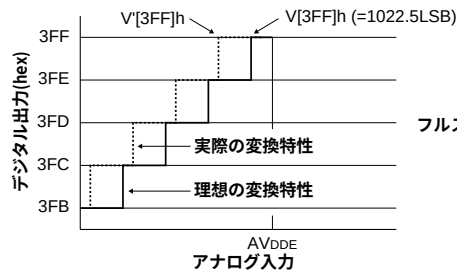
$$1LSB' = \frac{V'[3FF]_h - V'[001]_h}{2^{10} - 2}$$

■ゼロスケール誤差



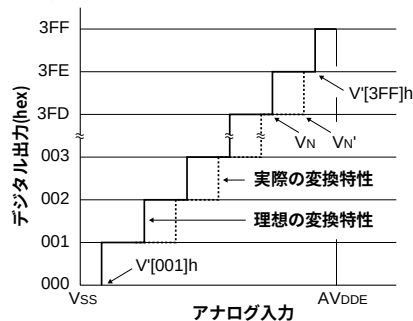
$$\text{ゼロスケール誤差 } E_{ZS} = \frac{(V'[001]_h - 0.5LSB') - (V[001]_h - 0.5LSB)}{1LSB} \text{ [LSB]}$$

■フルスケール誤差



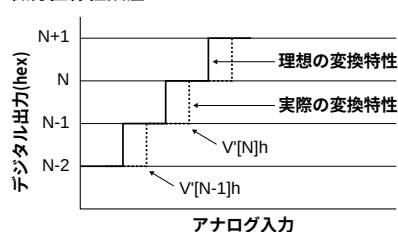
$$\text{フルスケール誤差 } E_{FS} = \frac{(V'[3FF]_h + 0.5LSB') - (V[3FF]_h + 0.5LSB)}{1LSB} \text{ [LSB]}$$

■積分直線性誤差



$$\text{積分直線性誤差 } E_L = \frac{V_N' - V_N}{1LSB'} \text{ [LSB]}$$

■微分直線性誤差



$$\text{微分直線性誤差 } E_D = \frac{V'[N]_h - V'[N-1]_h}{1LSB'} - 1 \text{ [LSB]}$$

発振特性

発振特性は使用部品(振動子、 R_f 、 R_d 、 C_G 、 C_d)や基板パターンなどの諸条件により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f 、 R_d)や容量(C_G 、 C_d)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。

■OSC1水晶発振

(特記なき場合: $V_{DD}=1.65\sim 1.95V$, $V_{SS}=0V$, $T_a=25^\circ C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	t_{STA1}				3	sec	

■OSC3水晶(セラミック)発振

注: OSC3水晶発振回路には、"基本波を使用した水晶振動子"を使用してください。

(特記なき場合: $V_{DD}=1.65\sim 1.95V$, $V_{SS}=0V$, $T_a=25^\circ C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	t_{STA3}				25	ms	

PLL特性

■PLLS0の設定(推奨動作条件)

PLLS0	モード	F_{in} (OSC3クロック)	F_{out}
1	2逓倍	10~24MHz	20~48MHz *1
0	PLL未使用	—	—

*1 PLLPDWN(0x300F31・D1) = "0"、PLLMODE(0x300F31・D0) = "1"の場合

PLLPDWN(0x300F31・D1) = "0"、PLLMODE(0x300F31・D0) = "0"の場合は10~24MHz

■PLL特性

(特記なき場合: $V_{DD}=1.65V\sim 1.95V$, $V_{SS}=0V$, $R_1=4.7k\Omega$, $C_1=100pF$, $C_2=3pF$, $T_a=-40^\circ C\sim +85^\circ C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
ロックアップ時間	t_{PLL}				1	ms	

端子特性

端子 No.	パッド No.	信号名	I/O	I/Oセル名	入出力特性	出力 特性	Pull-up/down (抵抗値)	電源	備考
1	1	D9	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
2	2	D8	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
3	3	V _{DDE}	P	—	—	—	—	—	
4	4	D7	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
5	5	D6	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
6	6	D5	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
7	7	D4	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
8	8	D3	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
9	9	D2	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
10	10	D1	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
11	11	D0	I/O	HBBT2BHTY	LVTTL	4mA	Bus hold latch	V _{DDE}	
12	12	V _{ss}	P	—	—	—	—	—	
13	13	P30/#WAIT/#CE4&5/PA2	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
14	14	PD0/#SQRD	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
15	15	PD1/SQALE	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
16	16	PD2/SQALE	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
17	17	PD3	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
18	18	PD4	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
19	19	PD5	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
20	20	PD6	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
21	21	PD7	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
22	22	V _{DDE}	P	—	—	—	—	—	
23	23	P22/TM0	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
24	24	P23/TM1	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
25	25	P24/TM2/#SRDY2	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
26	26	P25/TM3/#SCLK2	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
27	27	P26/TM4/SOUT2	I/O	HBBH3BP2TY	SCHMITT	8mA	Pull-up(100k)	V _{DDE}	注1
28	28	P27/TM5/SIN2	I/O	HBBH3BP2TY	SCHMITT	8mA	Pull-up(100k)	V _{DDE}	注1
29	29	V _{ss}	P	—	—	—	—	—	
30	30	PB7/FPDAT7	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
31	31	PB6/FPDAT6	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
32	32	PB5/FPDAT5	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
33	33	PB4/FPDAT4	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
34	34	V _{DD}	P	—	—	—	—	—	
35	35	PB3/FPDAT3	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
36	36	PB2/FPDAT2	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
37	37	PB1/FPDAT1	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
38	38	PB0/FPDAT0	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
39	39	PC3/DRDY	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
40	40	PC2/FPSHIFT	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
41	41	PC1/FPLINE	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
42	42	PC0/FPFRAME	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
43	43	V _{ss}	P	—	—	—	—	—	
44	44	P16/EXCL5/#DMAEND1/SOUT3	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
45	45	P15/EXCL4/#DMAEND0/#SCLK3	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
46	—	N.C.	—	—	—	—	—	—	
47	46	DSIO	I/O	HBBH2BP1TY	SCHMITT	4mA	Pull-up(50k)	V _{DDE}	
48	47	V _{DDE}	P	—	—	—	—	—	
49	48	DCLK/P14/FOSC1	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
50	49	DPC0/P13/EXCL3/T8UF3	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
51	50	DST2/P12/EXCL2/T8UF2	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
52	51	DST1/P11/EXCL1/T8UF1	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
53	52	DST0/P10/EXCL0/T8UF0	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
54	53	V _{DD}	P	—	—	—	—	—	
55	54	#NMI	I	HIBHP1TY	SCHMITT	—	Pull-up(50k)	V _{DDE}	
56	55	#RESET	I	HIBHP1TY	SCHMITT	—	Pull-up(50k)	V _{DDE}	
57	—	N.C.	—	—	—	—	—	—	
58	56	V _{ss}	P	—	—	—	—	—	
59	57	K60/AD0	I	HIBASP2TY	Special use	—	Pull-up(100k)	AV _{DDE}	注1, 4
60	58	K61/AD1	I	HIBASP2TY	Special use	—	Pull-up(100k)	AV _{DDE}	注1, 4

I-6 S1C33L05: 電気的特性

端子 No.	パッド No.	信号名	I/O	I/Oセル名	入出力特性	出力 特性	Pull-up/down (抵抗値)	電源	備考
61	59	K62/AD2	I	HIBASP2TY	Special use	—	Pull-up(100k)	AVDDE	注1, 4
62	60	K63/AD3	I	HIBASP2TY	Special use	—	Pull-up(100k)	AVDDE	注1, 4
63	61	K64/AD4	I	HIBASP2TY	Special use	—	Pull-up(100k)	AVDDE	注1, 4
64	62	TEST0	I	LITST1Y	LVC MOS	—	Pull-down(120k)	VDDE	
65	63	AVDDE	P	—	—	—	—	—	
66	64	K53/#DMAREQ2	I	HIBHP2TY	SCHMITT	—	Pull-up(100k)	VDDE	注1
67	65	K52/#ADTRG	I	HIBHP2TY	SCHMITT	—	Pull-up(100k)	VDDE	注1
68	66	K51/#DMAREQ1	I	HIBHP2TY	SCHMITT	—	Pull-up(100k)	VDDE	注1
69	67	K50/#DMAREQ0	I	HIBHP2TY	SCHMITT	—	Pull-up(100k)	VDDE	注1
70	68	Vss	P	—	—	—	—	—	
71	69	OSC1	I	LLINY	Transparent	—	—	VDD	注3
72	70	OSC2	O	LLOTY	Transparent	—	—	VDD	注3
73	71	VDDE	P	—	—	—	—	—	
74	72	BURNIN	I	HIBHY	SCHMITT	—	—	VDDE	
75	73	SCANEN	I/O	HBBH1BD1TY	SCHMITT	2mA	Pull-down(50k)	VDDE	
76	74	TEST1	I	HIBHD1TY	SCHMITT	—	Pull-down(50k)	VDDE	
77	—	N.C.	—	—	—	—	—	—	
78	75	VDD	P	—	—	—	—	—	
79	76	OSC3	I	LLINY	Transparent	—	—	VDDE	注3
80	77	OSC4	O	LLOTY	Transparent	—	—	—	注3
81	78	Vss	P	—	—	—	—	—	
82	79	P07/#SRDY1/#DMAEND3	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	
83	80	P06/#SCLK1/#DMAACK3	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
84	81	P05/#SOUT1/#DMAEND2	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
85	82	P04/#SIN1/#DMAACK2	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
86	83	P03/#SRDY0/#FSRDY0	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
87	84	P02/#SCLK0/#FSCLK0	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
88	—	N.C.	—	—	—	—	—	—	
89	85	P01/#SOUT0/#FSOUT0	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
90	86	P00/#SIN0/#FSIN0	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
91	87	USB DP	I/O	EIFUFPCX711	Special use	—	—	VDDE	
92	88	USB DM	I/O	EIFUFPCX711	Special use	—	—	VDDE	
93	89	N.C.	—	—	—	—	—	—	
94	90	USBVBUS	I	EIFUFPCX711	Special use	—	—	VDDE	5V入力
95	91	VDDE	P	—	—	—	—	—	
96	92	P31/#BUSGET/#GARD/SDO	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
97	93	P32/#DMAACK0/#SRDY3/SPICLK	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
98	94	Vss	P	—	—	—	—	—	
99	95	P33/#DMAACK1/SIN3/SDI	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
100	96	P34/#BUSREQ/#CE6/#SMWE	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
101	97	P35/#BUSACK/#SMRE	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
102	98	VDD	P	—	—	—	—	—	
103	99	#X2SPD	I	HIBHP1TY	SCHMITT	—	Pull-up(50k)	VDDE	
104	100	EA10MD0	I	HIBHP1TY	SCHMITT	—	Pull-up(50k)	VDDE	
105	101	EA10MD1	I	HIBHP1TY	SCHMITT	—	Pull-up(50k)	VDDE	
106	102	VDDE	P	—	—	—	—	—	
107	103	PLL C	I	LLINY	Transparent	—	—	VDDE	注3
108	104	Vss	P	—	—	—	—	—	
109	105	PLLS0	I	HIBHD1TY	SCHMITT	—	Pull-down(50k)	VDDE	
110	106	TST	I	HIBHD1TY	SCHMITT	—	Pull-down(50k)	VDDE	
111	107	BOOT	I	HIBHP1TY	SCHMITT	—	Pull-up(50k)	VDDE	
112	108	#CE4/#CE11/#CE11&12/P50	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
113	109	Vss	P	—	—	—	—	—	
114	110	#CE5/#CE15/#CE15&16/P51	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
115	111	#CE6/#CE7&8/P52	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
116	112	#CE7/#RAS0/#CE13/#RAS2/P53/#SDCE	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
117	113	#CE8/#RAS1/#CE14/#RAS3/P54	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
118	114	#CE9/#CE17/#CE17&18/P55	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
119	115	#CE10EX/#CE9&10EX	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1
120	116	P61/SDA10	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	VDDE	注1

端子 No.	パッド No.	信号名	I/O	I/Oセル名	入出力特性	出力 特性	Pull-up/down (抵抗値)	電源	備考
121	117	P62/LDQM	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
122	118	P63/UDQM	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
123	119	P21/#DWE/#GAAS/#SDWE	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
124	120	#LCAS/PA0/#SDCAS	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
125	121	V _{DD}	P	—	—	—	—	—	
126	122	#HCAS/PA1/#SDRAS	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
127	123	P20/#DRD/SDCKE	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
128	124	V _{DDE}	P	—	—	—	—	—	注1
129	125	BCLK/P60/FOSC1/SDCLK	I/O	HBBH1BP2TY	SCHMITT	2mA	Pull-up(100k)	V _{DDE}	注1
130	126	A25/P40	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
131	127	V _{SS}	P	—	—	—	—	—	
132	128	A24/P41	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
133	129	A23/P42	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
134	—	N.C.	—	—	—	—	—	—	
135	130	A22/P43	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
136	131	A21/P44	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
137	132	A20/P45	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
138	133	A19/P46	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
139	134	A18/P47	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
140	135	A17	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
141	136	A16	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
142	137	V _{DDE}	P	—	—	—	—	—	
143	138	A15	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
144	139	A14	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
145	—	N.C.	—	—	—	—	—	—	
146	140	A13	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
147	141	A12	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
148	142	V _{SS}	P	—	—	—	—	—	
149	143	A11	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
150	144	A10	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
151	145	V _{DD}	P	—	—	—	—	—	
152	146	A9	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
153	147	A8	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
154	148	A7	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
155	149	A6	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
156	150	A5	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
157	151	V _{SS}	P	—	—	—	—	—	
158	152	A4	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
159	153	A3	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
160	154	V _{DDE}	P	—	—	—	—	—	
161	155	A2	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
162	156	A1	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
163	157	A0/#BSL	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1, 2
164	158	#WRH/#BSH	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
165	—	N.C.	—	—	—	—	—	—	
166	159	#WRL/#WR/#WE	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
167	160	#RD	I/O	HBBH2BP2TY	SCHMITT	4mA	Pull-up(100k)	V _{DDE}	注1
168	161	V _{SS}	P	—	—	—	—	—	
169	162	D15	I/O	HBBT2BHTY	LVTTTL	4mA	Bus hold latch	V _{DDE}	
170	163	D14	I/O	HBBT2BHTY	LVTTTL	4mA	Bus hold latch	V _{DDE}	
171	164	D13	I/O	HBBT2BHTY	LVTTTL	4mA	Bus hold latch	V _{DDE}	
172	165	D12	I/O	HBBT2BHTY	LVTTTL	4mA	Bus hold latch	V _{DDE}	
173	166	D11	I/O	HBBT2BHTY	LVTTTL	4mA	Bus hold latch	V _{DDE}	
174	167	V _{DD}	P	—	—	—	—	—	
175	168	D10	I/O	HBBT2BHTY	LVTTTL	4mA	Bus hold latch	V _{DDE}	
176	—	N.C.	—	—	—	—	—	—	

注1) I/Oレジスタによりプルアップ抵抗を有効/無効に設定可能です。(デフォルト設定はプルアップ有効)

注2) この端子はデバイス試験のときに入力となります。通常動作時は出力端子です。

注3) この端子は、 $0V \leq V_{IN} \leq V_{DD}$ の入力電圧範囲で使用してください。

注4) この端子は、 $0V \leq V_{IN} \leq AV_{DDE}$ の入力電圧範囲で使用してください。

AC特性

記号説明

tcyc: バスクロックサイクルタイム

- x1モードでは CPU 20MHz動作のとき tcyc = 50ns(20MHz)
CPU 33MHz動作のとき tcyc = 30ns(33MHz)
- x2モードでは CPU 40MHz動作のとき tcyc = 50ns(20MHz)
CPU 50MHz動作のとき tcyc = 40ns(25MHz)

WC: ウェイトサイクル数

ウェイトサイクルは、BCUの制御レジスタで最大7サイクルまで設定可能です。さらに、外部から#WAIT端子への入力で、必要なだけウェイトサイクルを延ばすことができます。

"0"ウェイトに設定した場合、リード時の最小サイクル数は1サイクルです。

"0"ウェイトに設定した場合、ライト時の最小サイクル数は2サイクルです。BCUの制御レジスタで"1"ウェイトを設定した場合でも、この最小サイクル数は変わりません。"2"ウェイト以上を設定すると、実際にライトサイクルが延長されます。

外部から#WAIT端子への入力でウェイトサイクルを挿入する場合、#WAIT端子のサンプリングタイミングに注意してください。リードサイクルの場合は、#WAIT端子のネゲートをサンプリングしたサイクルでそのリードサイクルを終了します。ライトサイクルの場合は、#WAIT端子のネゲートをサンプリングした次のサイクルでそのライトサイクルを終了します。

C1, C2, C3, Cn: サイクル番号

C1は、BCUが外部メモリなどとデータ転送を行うときの第1サイクルであることを示します。同様にC2は第2サイクル、Cnは第nサイクルであることを示します。

Cw: ウェイトサイクル

そのサイクルがウェイトサイクルであることを示します。

AC特性測定条件

信号検定レベル: 入力信号 Highレベル $V_{IH} = V_{DDE} - 0.4V$
Lowレベル $V_{IL} = 0.4V$

出力信号 Highレベル $V_{OH} = 1/2 V_{DDE}$
Lowレベル $V_{OL} = 1/2 V_{DDE}$

ただし、OSC3外部クロック入力の場合は下記のとおりです。

入力信号 Highレベル $V_{IH} = 1/2 V_{DD}$
Lowレベル $V_{IL} = 1/2 V_{DD}$

入力信号波形: 立ち上がり (10%→90% V_{DD}) 5ns
立ち下がり (90%→10% V_{DD}) 5ns

出力負荷容量: $C_L = 50pF$

C33ブロックAC特性表

■外部クロック入力特性

(注) このAC特性値は、外部クロック入力の場合に適用されます。

OSC3への入力は、必ずV_{DD}とV_{SS}の範囲内で与えてください。

(特記なき場合: V_{DDE}=2.7V~3.6V, V_{DD}=1.65V~1.95V, V_{SS}=0V, Ta=-40°C~+85°C)

項 目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t _{C3}	20.83	500	ns	
OSC3クロック入力デューティ	t _{C3ED}	45	55	%	
OSC3クロック入力立ち上がり時間	t _{IF}		5	ns	
OSC3クロック入力立ち下がり時間	t _{IR}		5	ns	
BCLKハイレベル出力遅延時間	t _{CD1}		35	ns	
BCLKローレベル出力遅延時間	t _{CD2}		35	ns	
最小リセットパルス幅	t _{RST}	6•t _{CYC}		ns	

■BCLKクロック出力特性

(注) このAC特性値は、高速発振回路使用の場合に適用されます。

(特記なき場合: V_{DDE}=2.7V~3.6V, V_{DD}=1.65V~1.95V, V_{SS}=0V, Ta=-40°C~+85°C)

項 目	記号	Min.	Max.	単位	注
BCLKクロック出力デューティ	t _{CBD}	40	60	%	

■共通特性

(特記なき場合: V_{DDE}=2.7V~3.6V, V_{DD}=1.65V~1.95V, V_{SS}=0V, Ta=-40°C~+85°C)

項 目	記号	Min.	Max.	単位	注
アドレス遅延時間	t _{AD}	—	10	ns	1
#CE _x 遅延時間(1)	t _{CE1}	—	10	ns	
#CE _x 遅延時間(2)	t _{CE2}	—	10	ns	
ウェイトセットアップ時間	t _{WTS}	18	—	ns	
ウェイトホールド時間	t _{WTH}	0	—	ns	
リード信号遅延時間(1)	t _{RDD1}		10	ns	2
リードデータセットアップ時間	t _{RDS}	18		ns	
リードデータホールド時間	t _{RDH}	0		ns	
ライト信号遅延時間(1)	t _{WRD1}		10	ns	3
ライトデータ遅延時間(1)	t _{WDD1}		10	ns	
ライトデータ遅延時間(2)	t _{WDD2}	0	10	ns	
ライトデータホールド時間	t _{WDH}	0		ns	

注) 1: #BSH、#BSLも同じタイミングです。

2: #GAAS、#GARDも同じタイミングです。

3: #GAASも同じタイミングです。

■SRAMリードサイクル

(特記なき場合: V_{DDE}=2.7V~3.6V, V_{DD}=1.65V~1.95V, V_{SS}=0V, Ta=-40°C~+85°C)

項 目	記号	Min.	Max.	単位	注
リード信号遅延時間(2)	t _{RDD2}		10	ns	
リード信号パルス幅	t _{RDW}	t _{CYC} (0.5+WC)-10		ns	
リードアドレスアクセス時間(1)	t _{ACC1}		t _{CYC} (1+WC)-25	ns	
チップイネーブルアクセス時間(1)	t _{CEAC1}		t _{CYC} (1+WC)-25	ns	
リード信号アクセス時間(1)	t _{RDAC1}		t _{CYC} (0.5+WC)-25	ns	

■SRAMライトサイクル

(特記なき場合: V_{DDE}=2.7V~3.6V, V_{DD}=1.65V~1.95V, V_{SS}=0V, Ta=-40°C~+85°C)

項 目	記号	Min.	Max.	単位	注
ライト信号遅延時間(2)	t _{WRD2}		10	ns	
ライト信号パルス幅	t _{WRW}	t _{CYC} (1+WC)-10		ns	

■バーストROMリードサイクル

(特記なき場合: $V_{DDE}=2.7V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間(2)	t_{ACC2}		$t_{CYC}(1+WC)-25$	ns	
チップイネーブルアクセス時間(2)	t_{CEAC2}		$t_{CYC}(1+WC)-25$	ns	
リード信号アクセス時間(2)	t_{RDAC2}		$t_{CYC}(0.5+WC)-25$	ns	
バーストアドレスアクセス時間	t_{ACCB}		$t_{CYC}(1+WC)-25$	ns	

■外部バスマスタとNMI

(特記なき場合: $V_{DDE}=2.7V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	Min.	Max.	単位	注
#BUSREQ信号セットアップ時間	t_{BRQS}	18		ns	
#BUSREQ信号ホールド時間	t_{BRQH}	0		ns	
#BUSACK信号出力遅延時間	t_{BAKD}		10	ns	
ハインピーダンス→出力 遅延時間	t_{Z2E}		10	ns	
出力→ハインピーダンス 遅延時間	t_{B2Z}		10	ns	
#NMIパルス幅	t_{NMIW}	30		ns	

■入力, 出力, 入出力兼用ポート

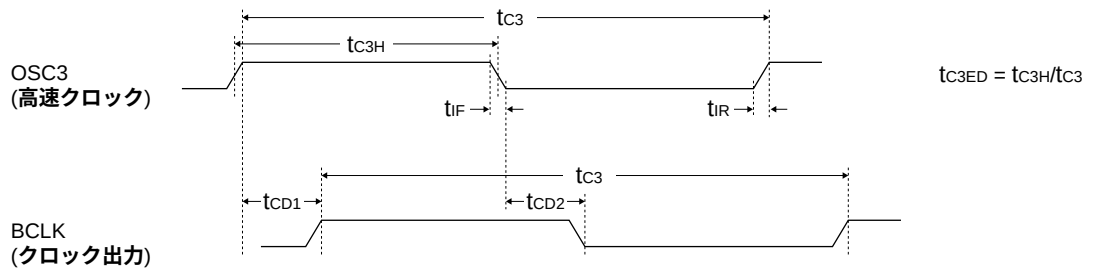
(特記なき場合: $V_{DDE}=2.7V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

項 目	記号	Min.	Max.	単位	注
入力データセットアップ時間	t_{INPS}	20		ns	
入力データホールド時間	t_{INPH}	10		ns	
出力データ遅延時間	t_{OUTD}		20	ns	
Kポート割り込み	t_{KINW}	30		ns	
入力パルス幅	上記以外	$2 \times t_{CYC}$		ns	

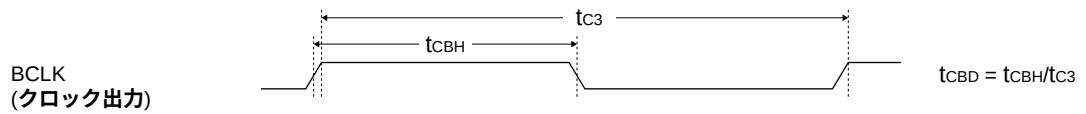
C33ブロックAC特性タイミングチャート

■クロック

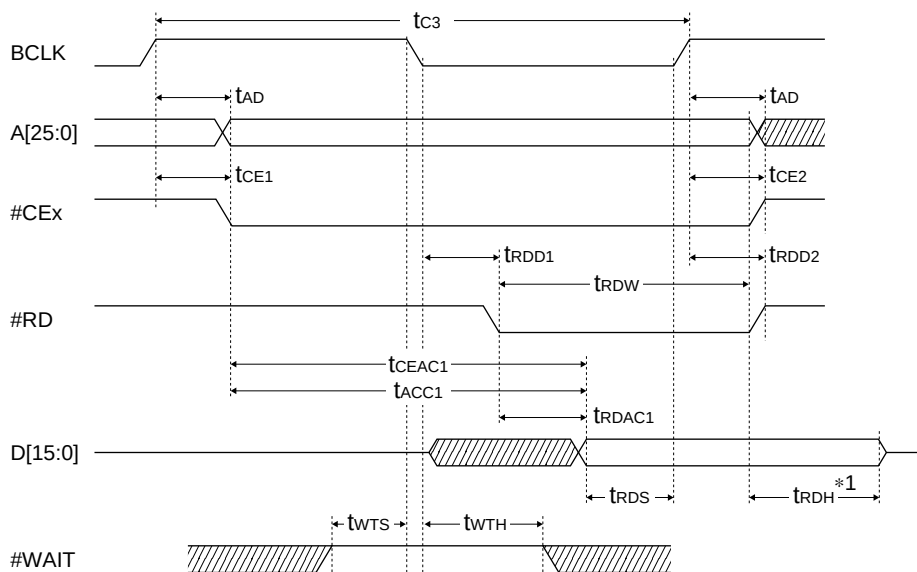
(1) 外部クロック入力の場合(x1スピードモード時)



(2) 高速発振回路動作の場合

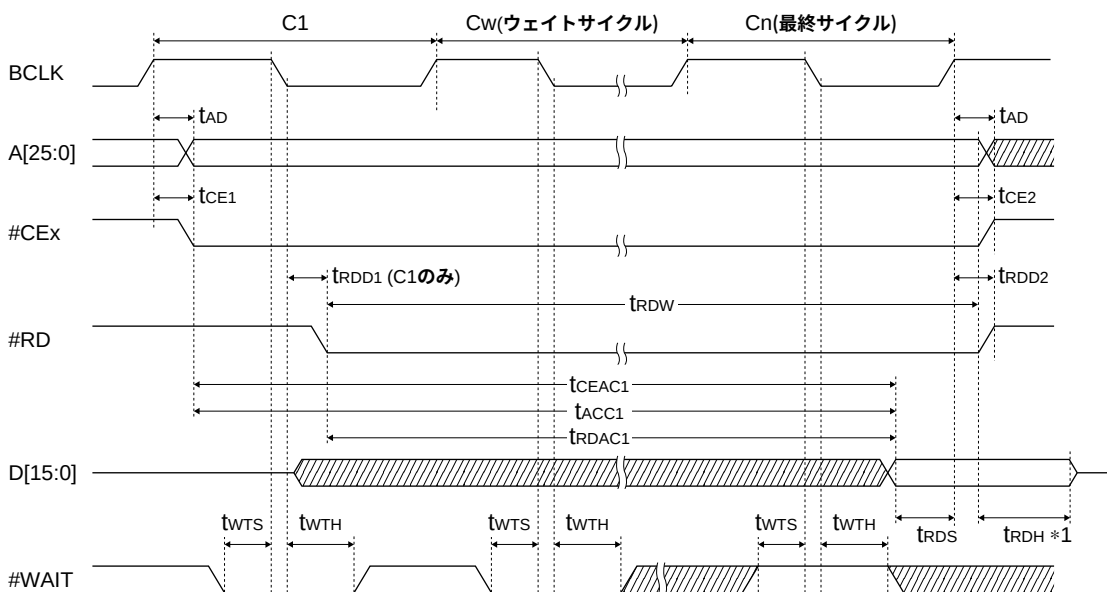


■SRAMリードサイクル(基本サイクル: 1サイクル)



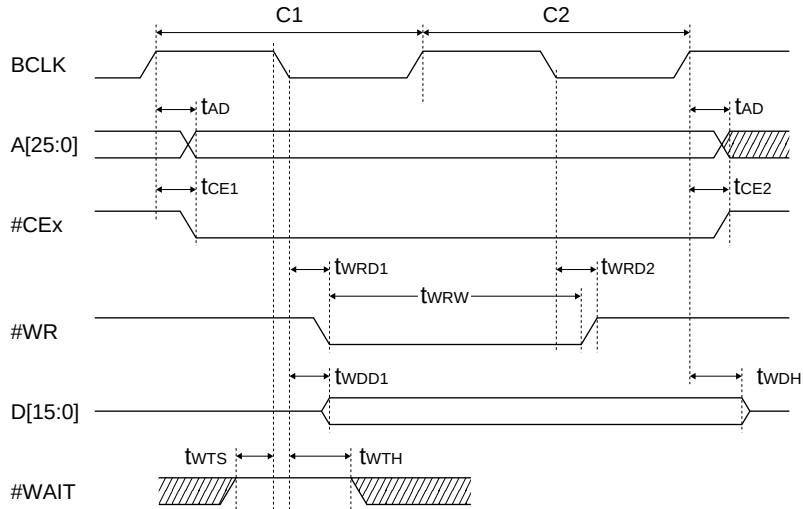
*1 t_{RDH} は、#RD、#CE_x、A[25:0]の中の最も早い信号変化(ネゲート)からの規定とします。

■SRAMリードサイクル(ウェイトサイクル挿入時)

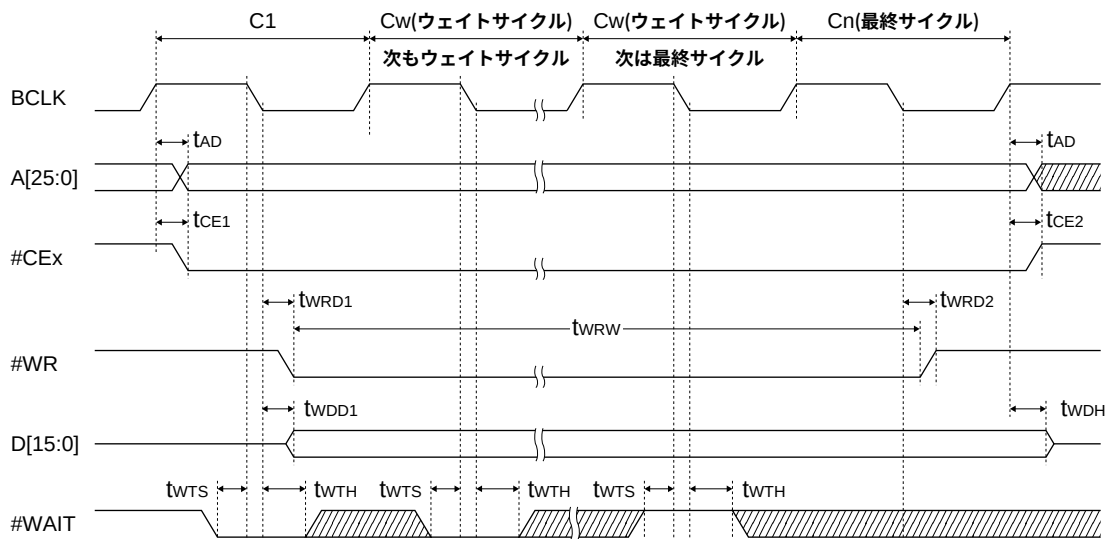


*1 t_{RDH} は、#RD、#CE_x、A[25:0]の中の最も早い信号変化(ネゲート)からの規定とします。

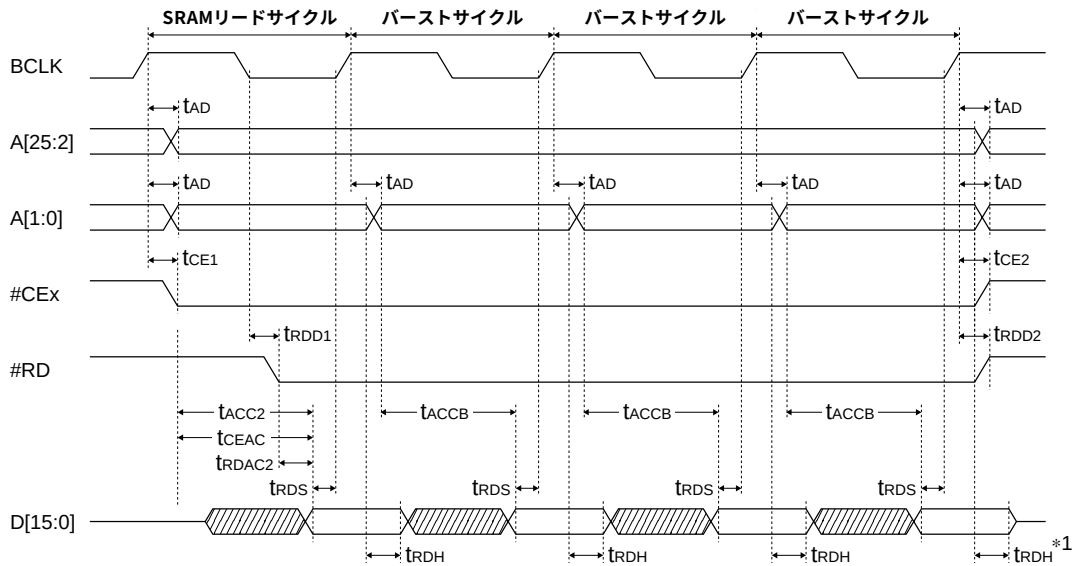
■SRAMライトサイクル(基本サイクル: 2サイクル)



■SRAMライトサイクル(ウェイトサイクル挿入時)

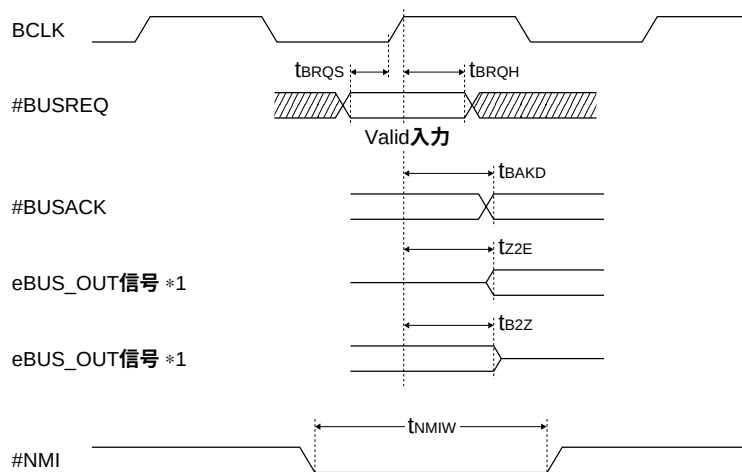


■バーストROMリードサイクル



*1 tRDHは、#RD、#CEX、A[25:0]の中の最も早い信号変化(ネゲート)からの規定とします。

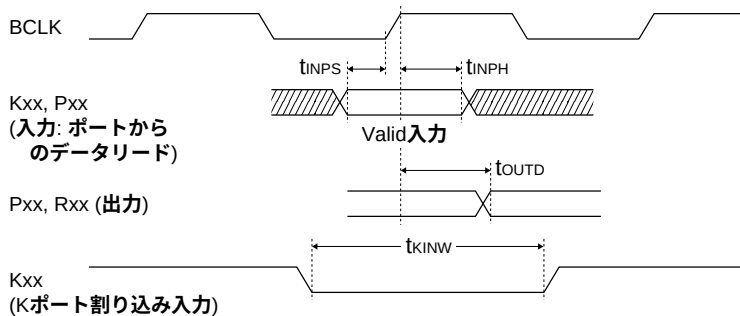
■#BUSREQ, #BUSACK, #NMIタイミング



*1 eBUS_OUTは、以下の端子を示します。

A[25:0], #RD, #WRL, #WRH, #HCAS, #LCAS, #CE_x, D[15:0]

■入力, 出力, 入出力兼用ポートタイミング



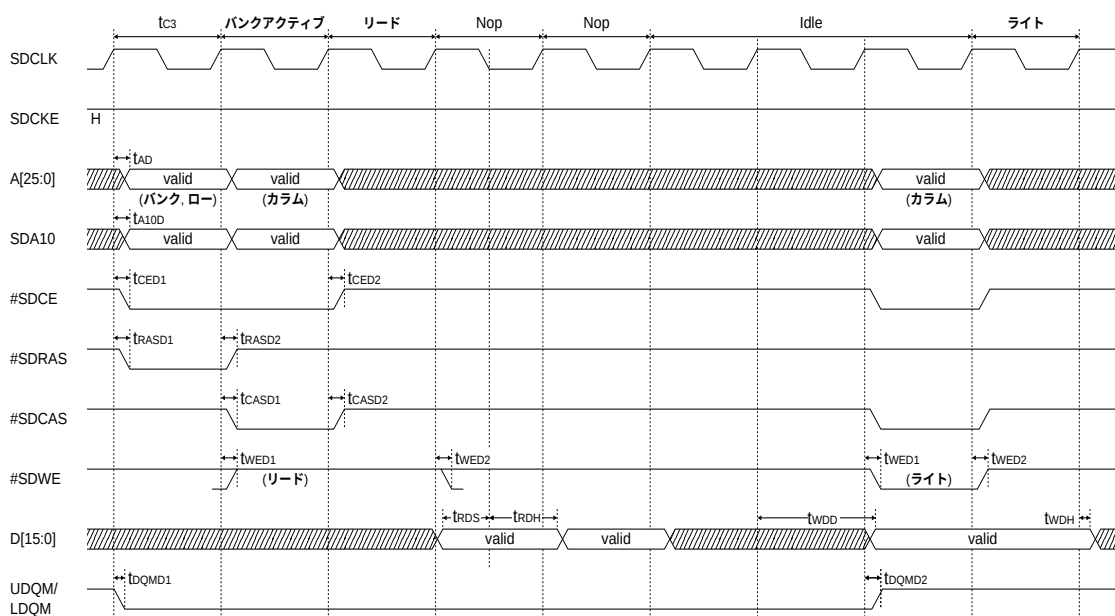
SDRAM AC特性

■ SDRAMアクセスサイクル

(特記なき場合: $V_{DDE}=2.7V\sim3.6V$, $V_{DD}=1.65V\sim1.95V$, $T_a=-40^{\circ}C\sim+85^{\circ}C$)

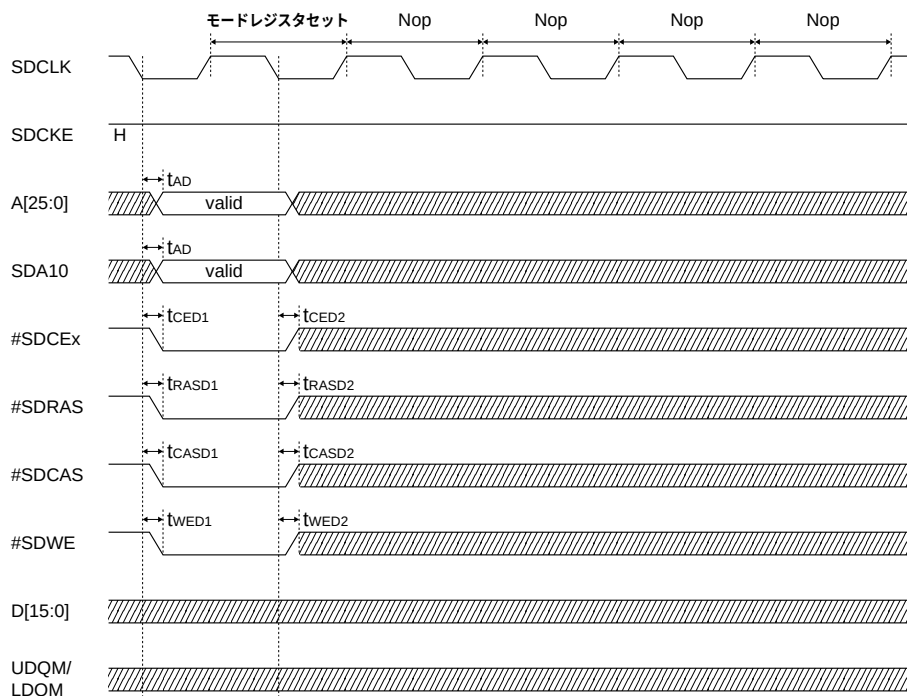
項 目	記号	Min.	Max.	単位	注
SDRAMクロックサイクル時間	t_{c3}	18.8	—	ns	
アドレス遅延時間	t_{AD}	—	9.1	ns	
SDA10遅延時間	t_{A10D}	—	7.4	ns	
#SDCE遅延時間(1)	t_{CED1}	—	6.6	ns	
#SDCE遅延時間(2)	t_{CED2}	—	7.4	ns	
#SDRAS信号遅延時間(1)	t_{RASD1}	—	7.0	ns	
#SDRAS信号遅延時間(2)	t_{RASD2}	—	6.9	ns	
#SDCAS信号遅延時間(1)	t_{CASD1}	—	7.0	ns	
#SDCAS信号遅延時間(2)	t_{CASD2}	—	6.2	ns	
UDQM, LDQM信号遅延時間(1)	t_{DQMD1}	—	6.6	ns	
UDQM, LDQM信号遅延時間(2)	t_{DQMD2}	—	9.0	ns	
SDCKE信号遅延時間(1)	t_{CKED1}	—	5.7	ns	
SDCKE信号遅延時間(2)	t_{CKED2}	—	6.5	ns	
#SDWE信号遅延時間(1)	t_{WED1}	—	6.7	ns	
#SDWE信号遅延時間(2)	t_{WED2}	—	7.5	ns	
リードデータセットアップ時間	t_{RDS}	7.1	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
ライトデータ遅延時間	t_{WDD}	—	25.6	ns	
ライトデータホールド時間	t_{WDH}	0	3.5	ns	

注: データを除くすべての信号はSDRAMクロックの立ち上がりエッジで変化します。

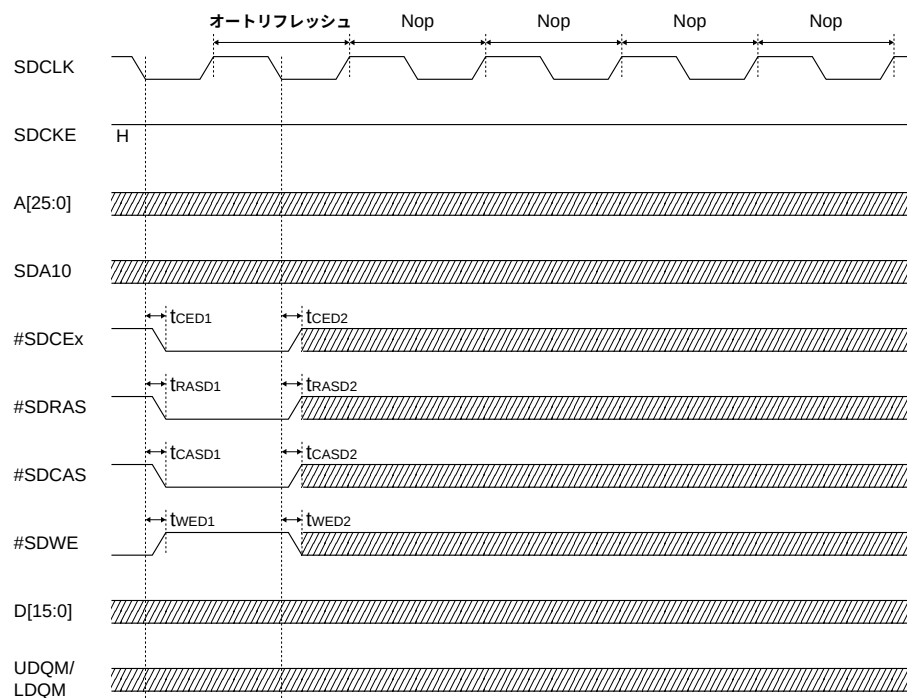


* リード: CASレイテンシ=2、バースト長=2 ライト: シングルライト

■SDRAMモードレジスタセットサイクル

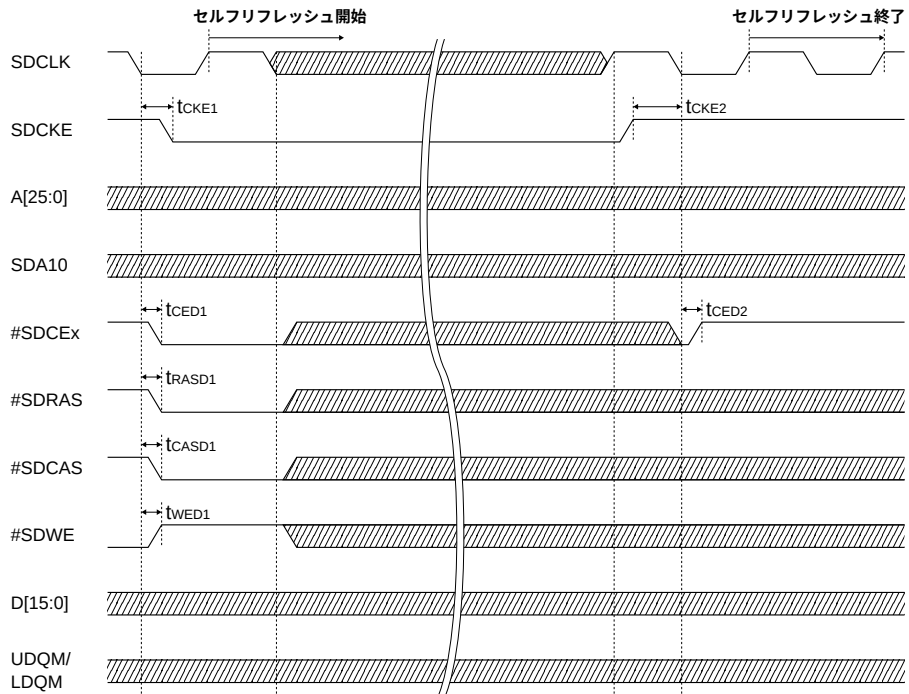


■SDRAMオートリフレッシュサイクル



* オートリフレッシュモードに入る前には、プリチャージが必要です。

■SDRAMセルフリフレッシュサイクル



* セルフリフレッシュモードに入る前には、プリチャージが必要です。

LCDC AC特性

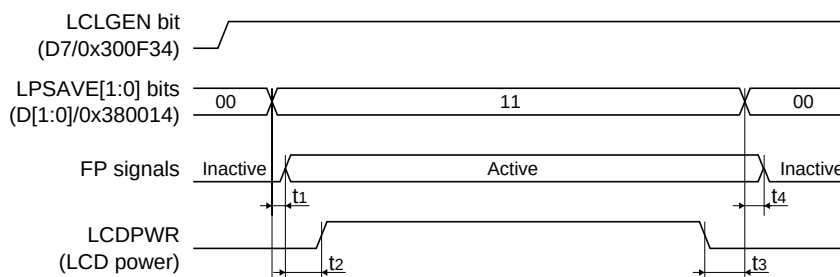
条件: $V_{DDE}=2.7V\sim 3.6V$

$T_a=-40^{\circ}C\sim +85^{\circ}C$

全出力のTriseおよびTfallは5ns(10%~90%)未満であること。

$C_L=60pF$ (LCDパネルインタフェース)

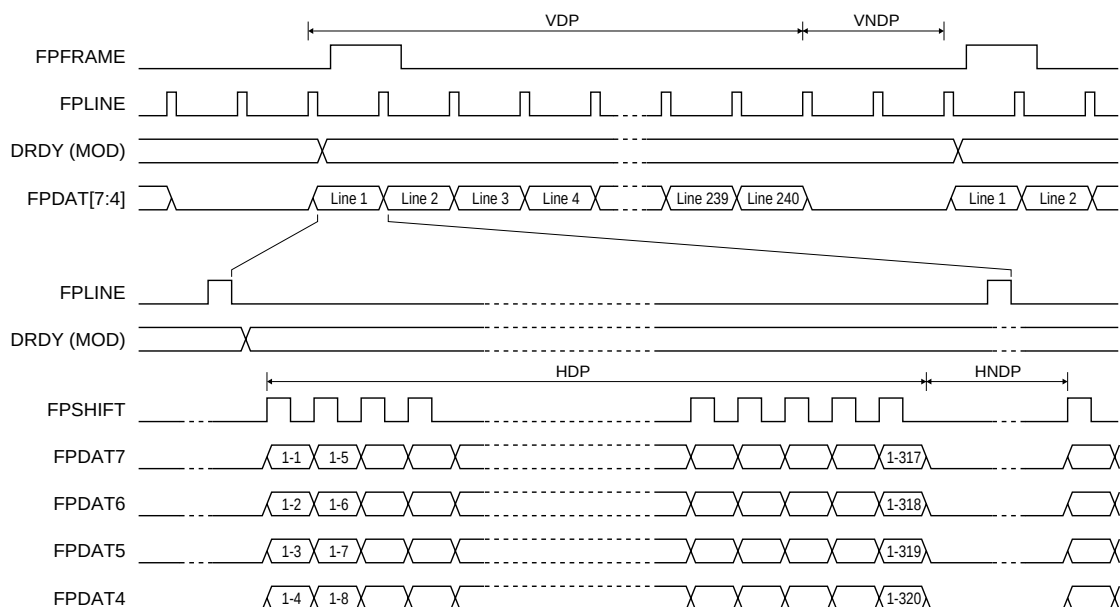
■パワーアップ/ダウンタイミング



記号	項 目	Min.	Typ.	Max.	単位
t1	パワーセーブインアクティブ→FPLINE, FPFRAME, FPSHIFT, FPDAT, DRDYアクティブ			1	フレーム
t2	FPLINE, FPFRAME, FPSHIFT, FPDAT, DRDYアクティブ→LCDPWRアクティブ	1			フレーム
t3	パワーセーブアクティブ→LCDPWRインアクティブ	1			フレーム
t4	パワーセーブアクティブ→FPLINE, FPFRAME, FPSHIFT, FPDAT, DRDYインアクティブ			1	フレーム

注: LCDパネルへの電源供給を制御するLCDPWR出力には、任意の入出力兼用ポートを使用可能です。ただし、信号の出力を制御する際、t2とt3のタイミング条件を満たす必要があります。

■4ビットシングルモノクロパネルタイミング



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。MASK(0x380202・DD)は"1"に設定されているものとします。

VDP = 垂直表示期間 = VSIZE[9:0] + 1 (ライン)

VNDP = 垂直非表示期間 = VNDP[5:0] (ライン)

HDP = 水平表示期間 = (HSIZE[6:0] + 1) × 8 (Ts)

HNDP = 水平非表示期間 = (HNDP[4:0] + 4) × 8 (Ts)

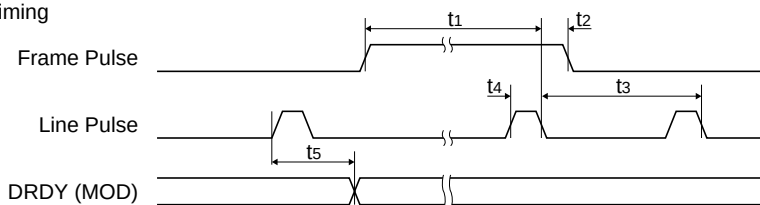
VSIZE[9:0] (0x38004C・D[9:0])

VNDP[5:0] (0x38004A・D[5:0])

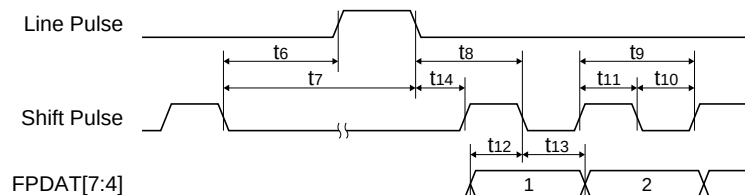
HSIZE[6:0] (0x380042・D[6:0])

HNDP[4:0] (0x380040・D[4:0])

Sync Timing



Data Timing



注: MASK(0x380202・DD)が"1"に設定されている場合のACタイミングです。

4ビットシングルモノクロパネルACタイミング

記号	項 目	Min.	Typ.	Max.	単位
t_1	フレームパルスセットアップ→ラインパルス立ち上がりエッジ	注2			(注1)
t_2	ラインパルス立ち上がりエッジ→フレームパルスホールド時間	9			Ts
t_3	ラインパルス周期	注3			
t_4	ラインパルス幅	9			Ts
t_5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t_6	シフトパルス立ち上がりエッジ→ラインパルス立ち上がりエッジ	注4			
t_7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t_8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	$t_{14}+2$			Ts
t_9	シフトパルス周期	4			Ts
t_{10}	シフトパルスLowパルス幅	2			Ts
t_{11}	シフトパルスHighパルス幅	2			Ts
t_{12}	FPDAT[7:4]セットアップ→シフトパルス立ち下がりエッジ	2			Ts
t_{13}	シフトパルス立ち下がりエッジ→FPDAT[7:4]ホールド時間	2			Ts
t_{14}	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23			Ts

注: 1. Ts =ピクセルクロック周期

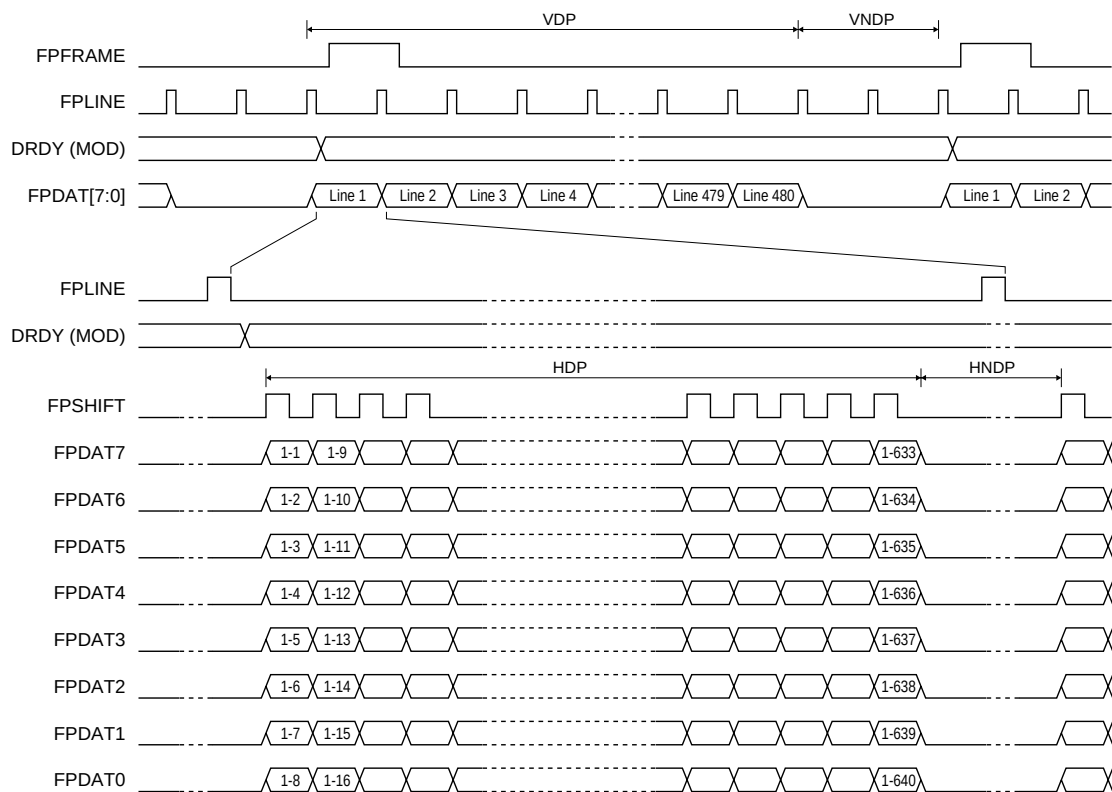
2. $t_{1min} = t_{3min} - 9$ (Ts)

3. $t_{3min} = (HSIZE[6:0] + 1) \times 8 + (HNDP[4:0] + 4) \times 8$ (Ts)

4. $t_{6min} = HNDP[4:0] \times 8 + 2$ (Ts)

5. $t_{7min} = HNDP[4:0] \times 8 + 11$ (Ts)

■8ビットシングルモノクロパネルタイミング



図は640×480パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。MASK(0x380202-DD)は"1"に設定されているものとします。

VDP = 垂直表示期間 = $VSIZE[9:0] + 1$ (ライン)

VNDP = 垂直非表示期間 = VNDP[5:0] (ライン)

HDP = 水平表示期間 = $(\text{HSIZE}[6:0] + 1) \times 8 \text{ (Ts)}$

$$\text{HNDP} = \text{水平非表示期間} = (\text{HNDP}[4:0] + 4) \times 8 \text{ (Ts)}$$

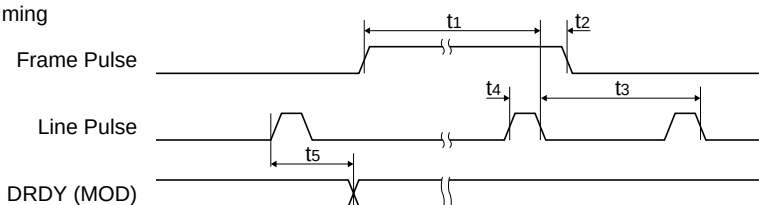
VSIZE[9:0] (0x38004C•D[9:0])

VNDP[5:0] (0x38004A·D[5:0])

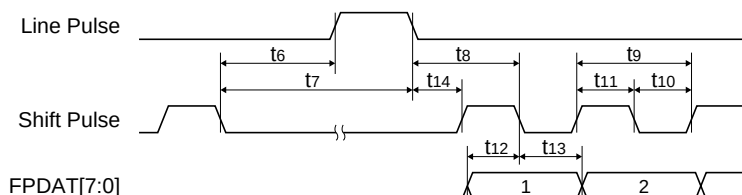
HSIZE[6:0] (0x380042.D[6:0])

HNDP[4:0] (0x380040•D[4:0])

Sync Timing



Data Timing



注: MASK(0x380202・DD)が"1"に設定されている場合のACタイミングです。

8ビットシングルモノクロパネルACタイミング

記号	項 目	Min.	Typ.	Max.	単位
t_1	フレームパルスセットアップ→ラインパルス立ち上がりエッジ	注2			(注1)
t_2	ラインパルス立ち上がりエッジ→フレームパルスホールド時間	9			Ts
t_3	ラインパルス周期	注3			
t_4	ラインパルス幅	9			Ts
t_5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t_6	シフトパルス立ち上がりエッジ→ラインパルス立ち上がりエッジ	注4			
t_7	シフトパルス立ち上がりエッジ→ラインパルス立ち上がりエッジ	注5			
t_8	ラインパルス立ち上がりエッジ→シフトパルス立ち上がりエッジ	$t_{14}+4$			Ts
t_9	シフトパルス周期	8			Ts
t_{10}	シフトパルスLowパルス幅	4			Ts
t_{11}	シフトパルスHighパルス幅	4			Ts
t_{12}	FPDAT[7:0]セットアップ→シフトパルス立ち上がりエッジ	4			Ts
t_{13}	シフトパルス立ち上がりエッジ→FPDAT[7:0]ホールド時間	4			Ts
t_{14}	ラインパルス立ち上がりエッジ→シフトパルス立ち上がりエッジ	23			Ts

注: 1. Ts =ピクセルクロック周期

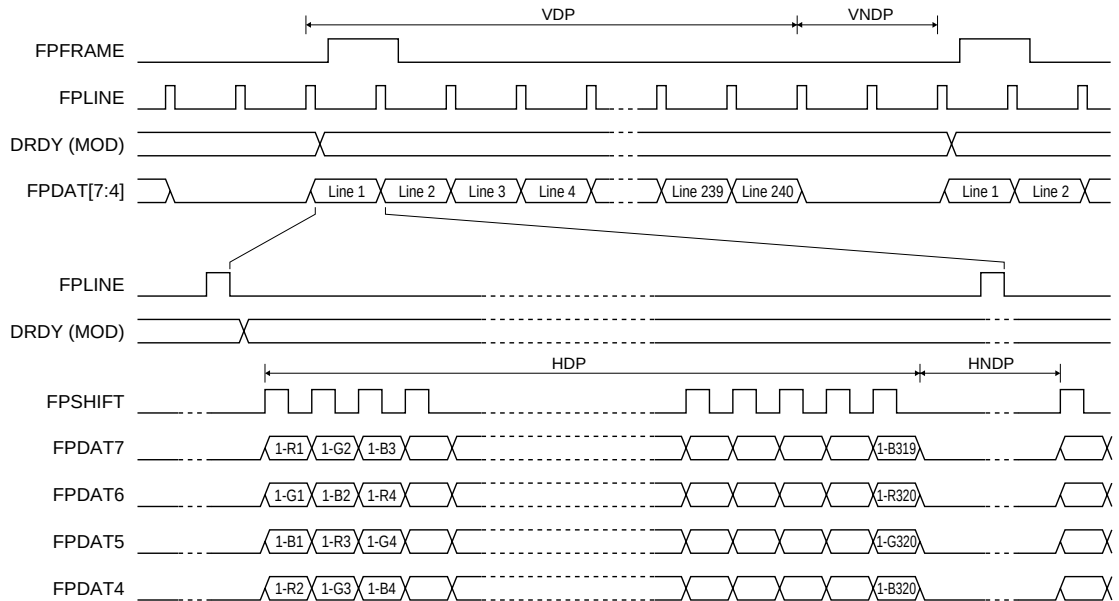
2. $t_{1min} = t_{3min} - 9$ (Ts)

3. $t_{3min} = (HSIZE[6:0] + 1) \times 8 + (HNDP[4:0] + 4) \times 8$ (Ts)

4. $t_{6min} = HNDP[4:0] \times 8 + 4$ (Ts)

5. $t_{7min} = HNDP[4:0] \times 8 + 13$ (Ts)

■4ビットシングルカラーパネルタイミング



図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

VDP = 垂直表示期間 = $VSIZE[9:0] + 1$ (ライン)

$VSIZE[9:0]$ (0x38004C・D[9:0])

VNDP = 垂直非表示期間 = VNDP[5:0] (ライン)

$VNDP[5:0]$ (0x38004A・D[5:0])

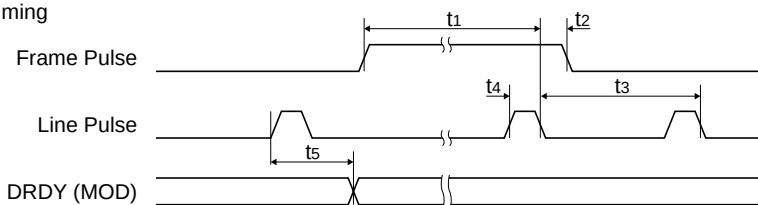
HDP = 水平表示期間 = $(HSIZE[6:0] + 1) \times 8$ (Ts)

$HSIZE[6:0]$ (0x380042・D[6:0])

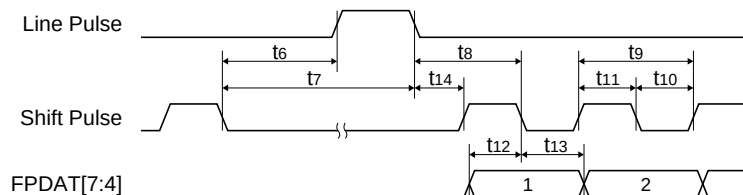
HNDP = 水平非表示期間 = $(HNDP[4:0] + 4) \times 8$ (Ts)

$HNDP[4:0]$ (0x380040・D[4:0])

Sync Timing



Data Timing



4ビットシングルカラーパネルACタイミング

記号	項 目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2			(注1)
t2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9			Ts
t3	ラインパルス周期	注3			
t4	ラインパルス幅	9			Ts
t5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4			
t7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t14+0.5			Ts
t9	シフトパルス周期	1			Ts
t10	シフトパルスLowパルス幅	0.5			Ts
t11	シフトパルスHighパルス幅	0.5			Ts
t12	FPDAT[7:4]セットアップ→シフトパルス立ち下がりエッジ	0.5			Ts
t13	シフトパルス立ち下がりエッジ→FPDAT[7:4]ホールド時間	0.5			Ts
t14	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23(24)			Ts

注: 1. Ts = ピクセルクロック周期

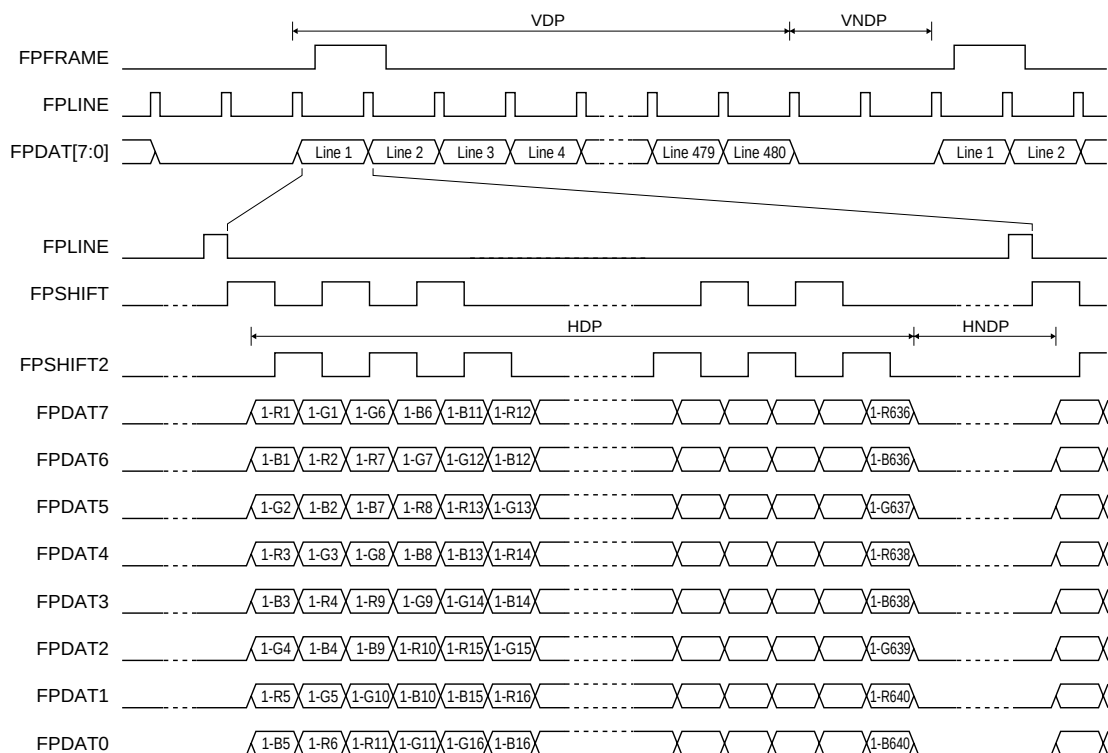
2. t1min = t3min - 9 (Ts)

3. t3min = (HSIZE[6:0] + 1) × 8 + (HNDP[4:0] + 4) × 8 (Ts)

4. t6min = HNDP[4:0] × 8 + 1.5 (Ts)

5. t7min = HNDP[4:0] × 8 + 10.5 (Ts)

■8ビットシングルカラーパネルタイミング(Format 1)



図は640 × 480パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

VDP = 垂直表示期間 = $\text{VSIZE}[9:0] + 1$ (ライン)

VNDP = 垂直非表示期間 = $\text{VNDP}[5:0]$ (ライン)

HDP = 水平表示期間 = $(\text{HSIZE}[6:0] + 1) \times 8$ (Ts)

HNDP = 水平非表示期間 = $(\text{HNDP}[4:0] + 4) \times 8$ (Ts)

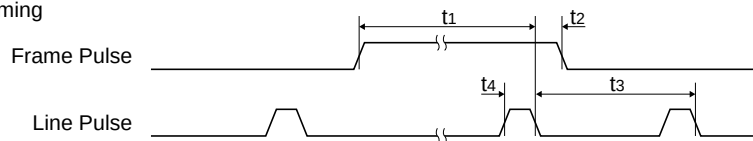
VSIZE[9:0] (0x38004C・D[9:0])

VNDP[5:0] (0x38004A・D[5:0])

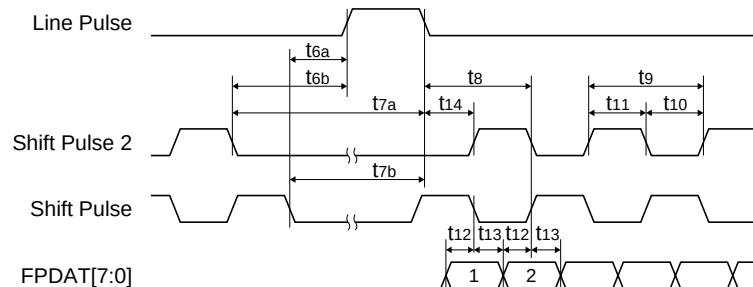
HSIZE[6:0] (0x380042・D[6:0])

HNDP[4:0] (0x380040・D[4:0])

Sync Timing



Data Timing



8ビットシングルカラーパネルACタイミング(Format 1)

記号	項 目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち上がりエッジ	注2			(注1)
t2	ラインパルス立ち上がりエッジ→フレームパルスホールド時間	9			Ts
t3	ラインパルス周期	注3			
t4	ラインパルス幅	9			Ts
t6a	シフトパルス立ち上がりエッジ→ラインパルス立ち上がりエッジ	注4			
t6b	シフトパルス2立ち上がりエッジ→ラインパルス立ち上がりエッジ	注5			
t7a	シフトパルス2立ち上がりエッジ→ラインパルス立ち上がりエッジ	注6			
t7b	シフトパルス立ち上がりエッジ→ラインパルス立ち上がりエッジ	注7			
t8	ラインパルス立ち上がりエッジ→シフトパルス立ち上がり, シフトパルス2立ち上がりエッジ	t14+2			Ts
t9	シフトパルス2, シフトパルス周期	4			Ts
t10	シフトパルス2, シフトパルスLowパルス幅	2			Ts
t11	シフトパルス2, シフトパルスHighパルス幅	2			Ts
t12	FPDAT[7:0]セットアップ→シフトパルス2, シフトパルス立ち上がりエッジ	1			Ts
t13	シフトパルス2, シフトパルス立ち上がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t14	ラインパルス立ち上がりエッジ→シフトパルス立ち上がりエッジ	23(25)			Ts

注: 1. Ts = ピクセルクロック周期

2. t1min = t3min - 9 (Ts)

3. t3min = (HSIZE[6:0] + 1) × 8 + (HNDP[4:0] + 4) × 8 (Ts)

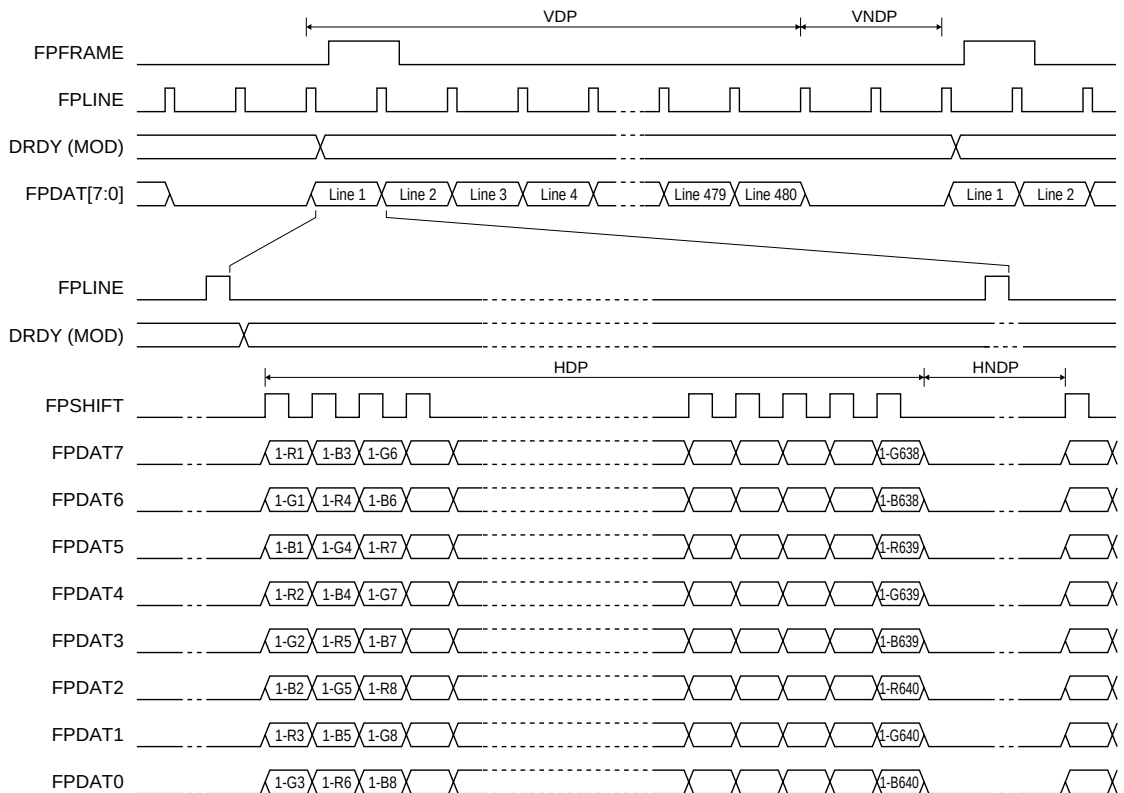
4. t6amin = HNDP[4:0] × 8 + t13 - t10 + 1 (Ts)

5. t6bmin = HNDP[4:0] × 8 + t13 + 1 (Ts)

6. t7amin = HNDP[4:0] × 8 + 11 (Ts)

7. t7bmin = HNDP[4:0] × 8 + 11 - t10 (Ts)

■8ビットシングルカラーパネルタイミング(Format 2)



図は640×480パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。

VDP = 垂直表示期間 = VSIZE[9:0] + 1 (ライン)

VSIZE[9:0] (0x38004C・D[9:0])

VNDP = 垂直非表示期間 = VNDP[5:0] (ライン)

VNDP[5:0] (0x38004A・D[5:0])

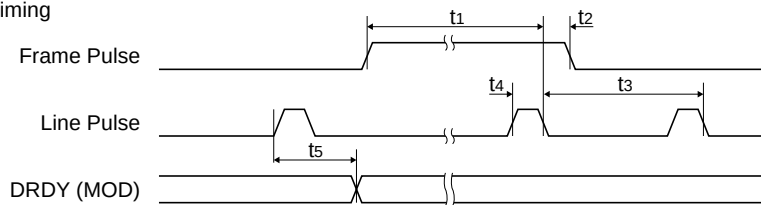
HDP = 水平表示期間 = (HSIZE[6:0] + 1) × 8 (Ts)

HSIZE[6:0] (0x380042・D[6:0])

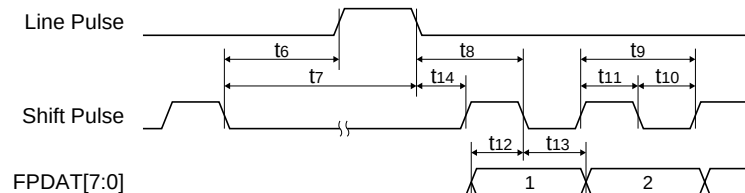
HNDP = 水平非表示期間 = (HNDP[4:0] + 4) × 8 (Ts)

HNDP[4:0] (0x380040・D[4:0])

Sync Timing



Data Timing



8ビットシングルカラーパネルACタイミング(Format 2)

記号	項 目	Min.	Typ.	Max.	単位
t1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2			(注1)
t2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9			Ts
t3	ラインパルス周期	注3			
t4	ラインパルス幅	9			Ts
t5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4			
t7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t14+2			Ts
t9	シフトパルス周期	2(3)			Ts
t10	シフトパルスLowパルス幅	1			Ts
t11	シフトパルスHighパルス幅	1			Ts
t12	FPDAT[7:0]セットアップ→シフトパルス立ち下がりエッジ	1			Ts
t13	シフトパルス立ち下がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t14	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23			Ts

注: 1. Ts = ピクセルクロック周期

2. $t_{1min} = t_{3min} - 9$ (Ts)3. $t_{3min} = (HSIZE[6:0] + 1) \times 8 + (HNDP[4:0] + 4) \times 8$ (Ts)4. $t_{6min} = HNDP[4:0] \times 8 + 1$ (Ts)5. $t_{7min} = HNDP[4:0] \times 8 + 10$ (Ts)

〈参考資料〉外部デバイスとのインタフェースタイミング

外部デバイスを接続してシステムを構成する際の参考資料として、外部システムインタフェースのタイミング条件設定例を示します。

ただし、本参考資料を利用する場合は以下の点に注意してください。

- 外部デバイスのAC特性値には、一般的な数値を記載しています。実際のデバイスのAC特性値とは必ずしも一致しませんので、使用するデバイスのマニュアルまたは仕様書を参照し、実際の設定値(サイクル数)を決定してください。
- 実際には、バスや信号線の負荷容量、接続するデバイス数、使用温度範囲、入出力レベル等に従って適切なマージン設定が必要です。記載のサイクル数はあくまでも一例であり、これらの条件を満たすものではありません。
- 表中の"時間"として記載されている数値は、単にサイクル数に周期を掛け合わせた値で、各デバイスの出力遅延時間や、配線・負荷容量による遅延、入力セットアップ時間等を考慮した数値ではありません。
- 記載内容は参考資料であり、動作を保証するものではありません。

ROM, バーストROM

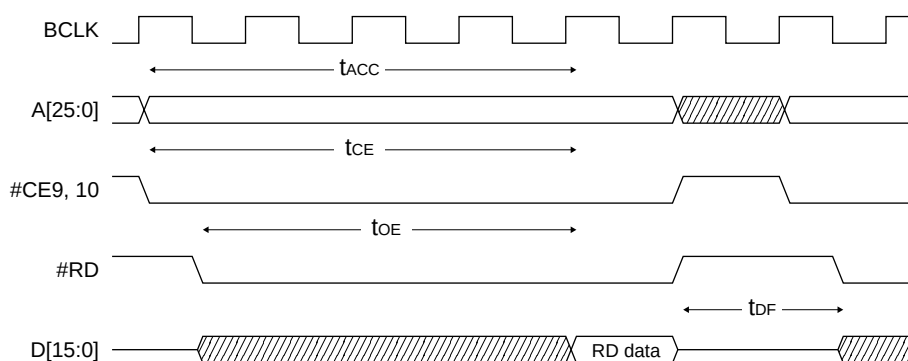
■バーストROM, マスクROMインタフェース設定例

動作周波数	ノーマルリードサイクル		バーストリードサイクル		出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル	ウェイトサイクル	リードサイクル	
20MHz	2	3	1	2	1.5
25MHz	3	4	1	2	1.5
33MHz	4	5	2	3	1.5

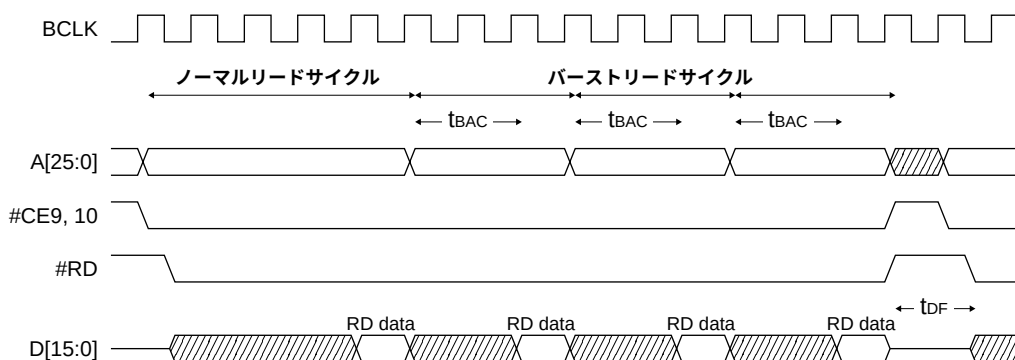
■バーストROM, マスクROMインタフェースタイミング

バーストROM, マスクROMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
アクセス時間	t_{ACC}	—	100	5	150	4	160	3	150
#CE出力遅延時間	t_{CE}	—	100	5	150	4	160	3	150
#OE出力遅延時間	t_{OE}	—	50	4.5	135	3.5	140	2.5	125
バーストアクセス時間	t_{BAC}	—	50	3	90	2	80	2	100
出力ディセーブル遅延時間	t_{DF}	0	40	1.5	45	1.5	60	1.5	75

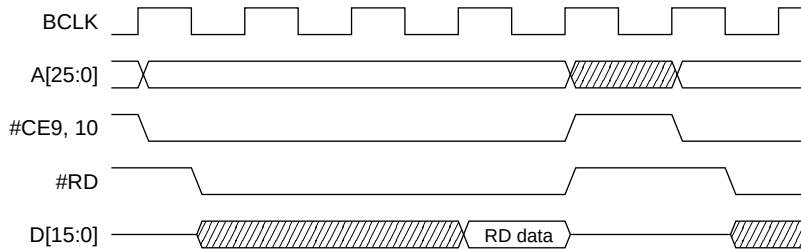
■ROM: 100ns, CPU: 33MHz, ノーマルリード



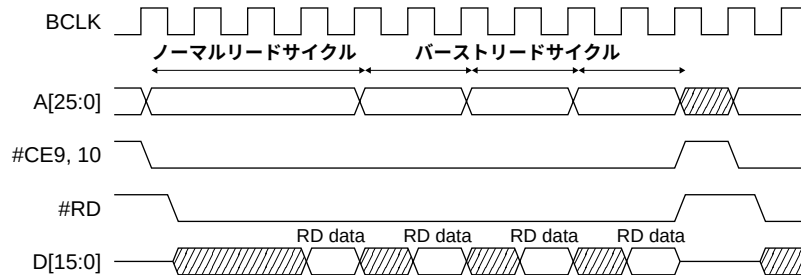
■ROM: 100ns, CPU: 33MHz, バーストリード



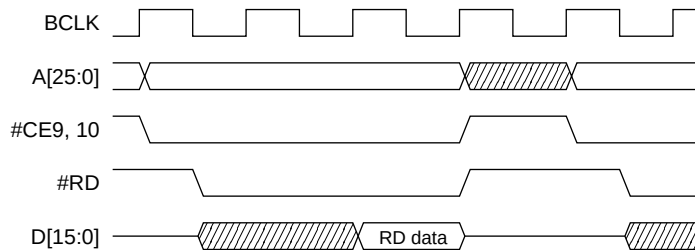
■ROM: 100ns, CPU: 25MHz, ノーマルリード



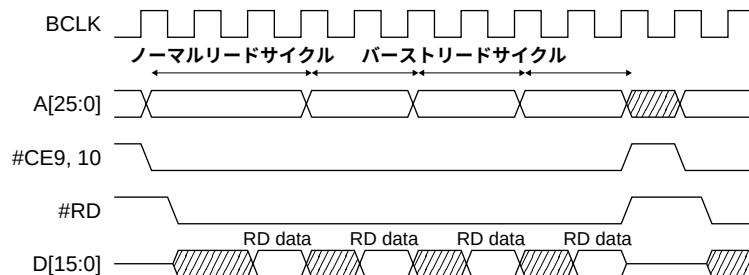
■ROM: 100ns, CPU: 25MHz, バーストリード



■ROM: 100ns, CPU: 20MHz, ノーマルリード



■ROM: 100ns, CPU: 20MHz, バーストリード



SRAM(55ns)

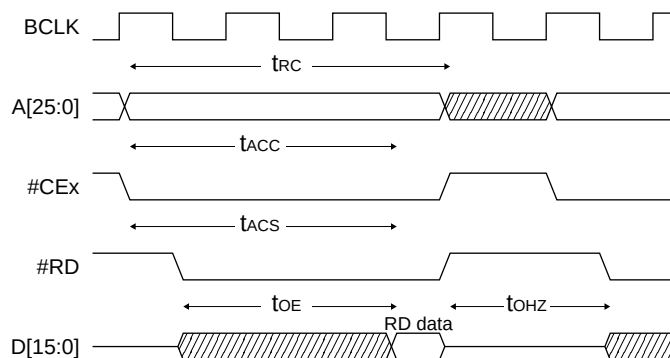
■SRAMインタフェース設定例 – 55ns

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	1	2	2	1.5
25MHz	2	3	3	1.5
33MHz	2	3	3	1.5

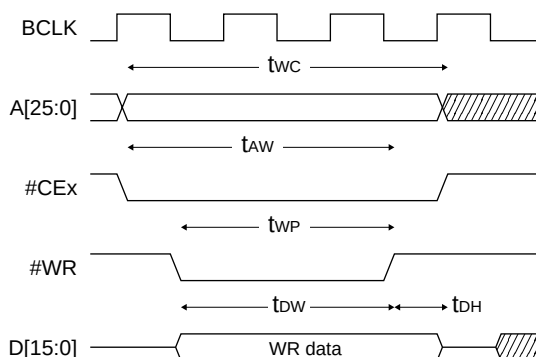
■SRAMインタフェースタイミング – 55ns

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t_{RC}	55	–	3	90	3	120	2	100
アドレスアクセス時間	t_{ACC}	–	55	3	90	3	120	2	100
#CEアクセス時間	t_{ACS}	–	55	3	90	3	120	2	100
#OEアクセス時間	t_{OE}	–	30	2.5	75	2.5	100	1.5	75
出力ディセーブル遅延時間	t_{OHZ}	0	30	1.5	45	1.5	60	1.5	75
《ライトサイクル》									
ライトサイクル時間	t_{WC}	55	–	3	90	3	120	2	100
アドレスイネーブル時間	t_{AW}	50	–	2.5	75	2.5	100	1.5	75
ライトパルス幅	t_{WP}	45	–	2	60	2	80	1	50
入力データセットアップ時間	t_{DW}	30	–	2	60	2	80	1	50
入力データホールド時間	t_{DH}	0	–	0.5	15	0.5	20	0.5	25

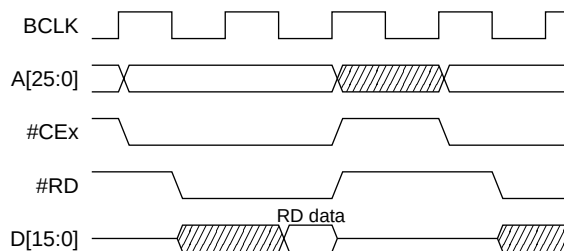
■SRAM: 55ns, CPU: 33/25MHz, リードサイクル



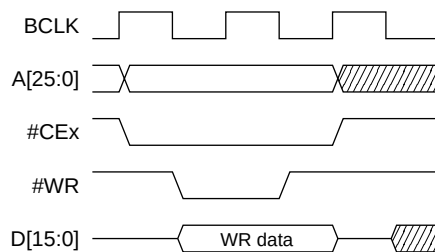
■SRAM: 55ns, CPU: 33/25MHz, ライトサイクル



■SRAM: 55ns, CPU: 20MHz, リードサイクル



■SRAM: 55ns, CPU: 20MHz, ライトサイクル



SRAM(70ns)

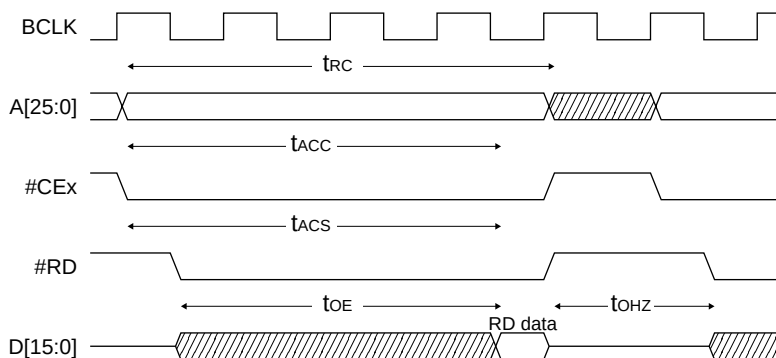
■SRAMインタフェース設定例 – 70ns

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	2	3	3	1.5
25MHz	2	3	3	1.5
33MHz	3	4	4	1.5

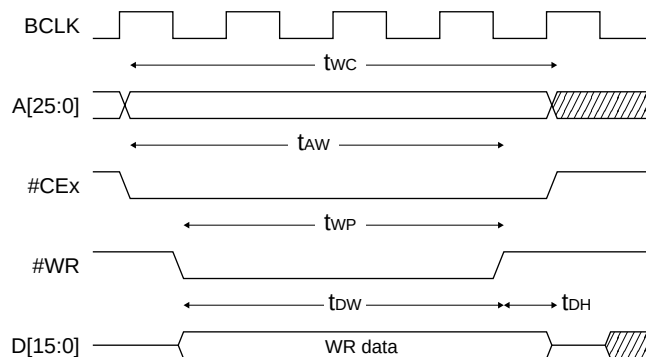
■SRAMインタフェースタイミング – 70ns

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t_{RC}	70	–	4	120	3	120	3	150
アドレスアクセス時間	t_{ACC}	–	70	4	120	3	120	3	150
#CEアクセス時間	t_{ACS}	–	70	4	120	3	120	3	150
#OEアクセス時間	t_{OE}	–	40	3.5	105	2.5	100	2.5	125
出力ディセーブル遅延時間	t_{OHZ}	0	30	1.5	45	1.5	60	1.5	75
《ライトサイクル》									
ライトサイクル時間	t_{WC}	70	–	4	120	3	120	3	150
アドレスイネーブル時間	t_{AW}	60	–	3.5	105	2.5	100	2.5	125
ライトパルス幅	t_{WP}	55	–	3	90	2	80	2	100
入力データセットアップ時間	t_{DW}	30	–	3	90	2	80	2	100
入力データホールド時間	t_{DH}	0	–	0.5	15	0.5	20	0.5	25

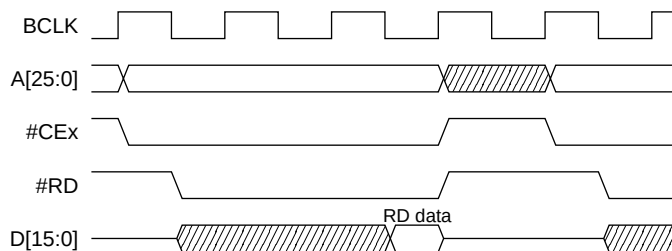
■SRAM: 70ns, CPU: 33MHz, リードサイクル



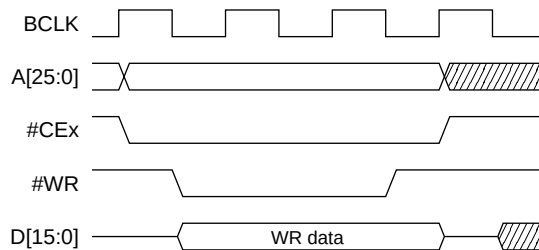
■SRAM: 70ns, CPU: 33MHz, ライトサイクル



■SRAM: 70ns, CPU: 25/20MHz, リードサイクル



■SRAM: 70ns, CPU: 25/20MHz, ライトサイクル



8255A

■8255Aインタフェース設定例

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	9 * ¹	10	10	3.5
25MHz	11	12	12	3.5
33MHz	14	15	15	3.5 * ²

■8255Aインタフェースタイミング

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t _{RC}	300	—	15	450	12	480	10	500
アドレスアクセス時間	t _{ACC}	—	250	15	450	12	480	10	500
#CEアクセス時間	t _{ACS}	—	250	15	450	12	480	10	500
#OEアクセス時間	t _{OE}	—	250	14.5	435	11.5	460	9.5	475
出力ディセーブル遅延時間	t _{OHZ}	10	150	3.5	105	3.5	140	3.5	175
《ライトサイクル》									
ライトサイクル時間	t _{WC}	430	—	15	450	12	480	10	500
アドレスイネーブル時間	t _{AW}	400	—	14.5	435	11.5	460	9.5	475
ライトパルス幅	t _{WP}	400	—	14	420	11	440	9	450
入力データセットアップ時間	t _{DW}	100	—	14	420	11	440	9	450
入力データホールド時間 * ³	t _{DH}	30	—	0.5	15	0.5	20	0.5	25

- *1 C33 STDではウェイトサイクルが7サイクルまでしか設定できませんので、7サイクル以上のウェイトは外部のハードウェアから#WAIT信号を入力して挿入します。#WAIT端子によってウェイトサイクルを挿入するためには、インタフェースがSRAMタイプに設定されている必要があります。(詳細は、"II-4 BCU (バスコントロールユニット)"参照)
- *2 この設定では、8255Aが要求する150nsの出力ディセーブル遅延時間の仕様を満たすことができません。このような低速デバイスをシステムに組み込む場合は、外部システムバスのCPUから見て出力側に3ステートのバスバッファ等を挿入してバスを分離する必要があります。
- *3 データホールド時間が足りない場合、外部データバスD[15:0]にバスリピータを接続、または外部システムインタフェースの出力側にラッチを挿入するなどの方法により、ホールド時間を保証してください。

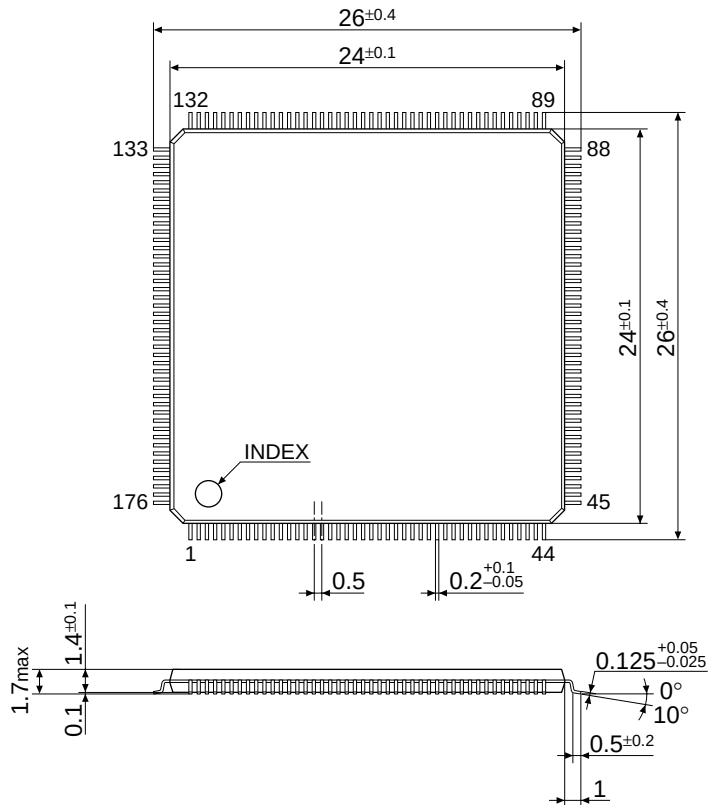
I-7 パッケージ

プラスチックパッケージ

QFP21-176pin

(単位: mm)

Package



パッケージの熱抵抗

LSIは消費電力に従ってチップ温度が上昇します。パッケージに搭載された状態では、LSIのチップ温度はその周辺温度 T_a 、パッケージの熱抵抗 θ および消費電力 P_D から計算できます。

$$\text{チップ温度}(T_j) = T_a + (P_D \times \theta) (^{\circ}\text{C})$$

通常の使用においては、チップ温度(T_j)は 100°C 以下を目安に使用してください。

QFP21-176pinパッケージの熱抵抗

1. 基板実装状態(無風状態)

$$\text{熱抵抗}(\theta_{j-a}) = 33.3^{\circ}\text{C/W}$$

この値は測定用基板(サイズ: $114 \times 76 \times 1.6\text{mm}$ t、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

2. 単体宙づり状態(無風状態)

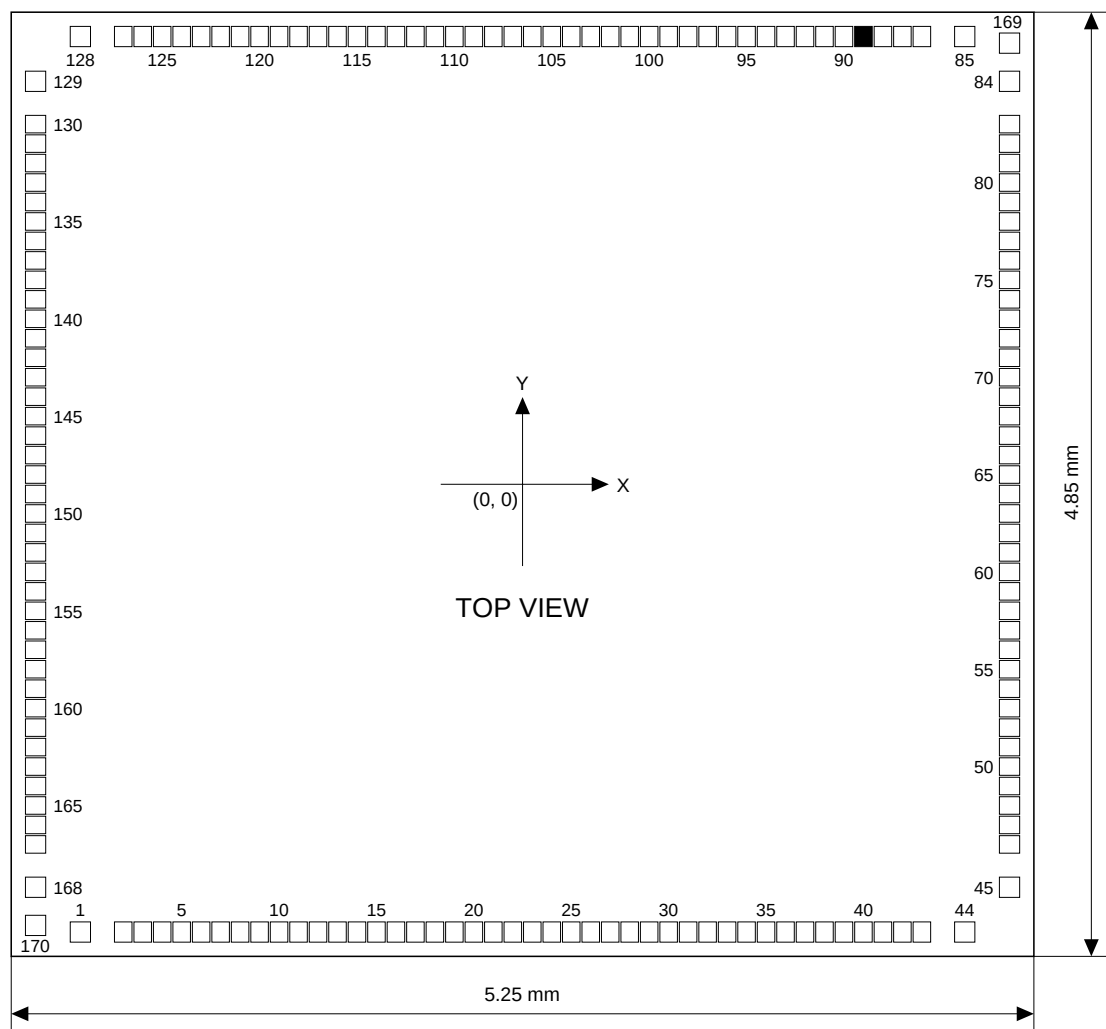
$$\text{熱抵抗} = 90 \sim 100^{\circ}\text{C/W}$$

この値はサンプルが宙づりされた無風状態での熱抵抗です。

注: 熱抵抗は基板への実装状態や強制空冷の有無によって大きく変動します。

I-8 パッド配置

パッド配置図



パッド開口部: 104 × 104 μ m (No. 1, 44, 45, 84, 85, 128, 129, 168, 169, 170)
 90 × 104 μ m (No. 2~43, 86~127)
 104 × 90 μ m (No. 46~83, 130~167)

パッド座標

(単位: μm)

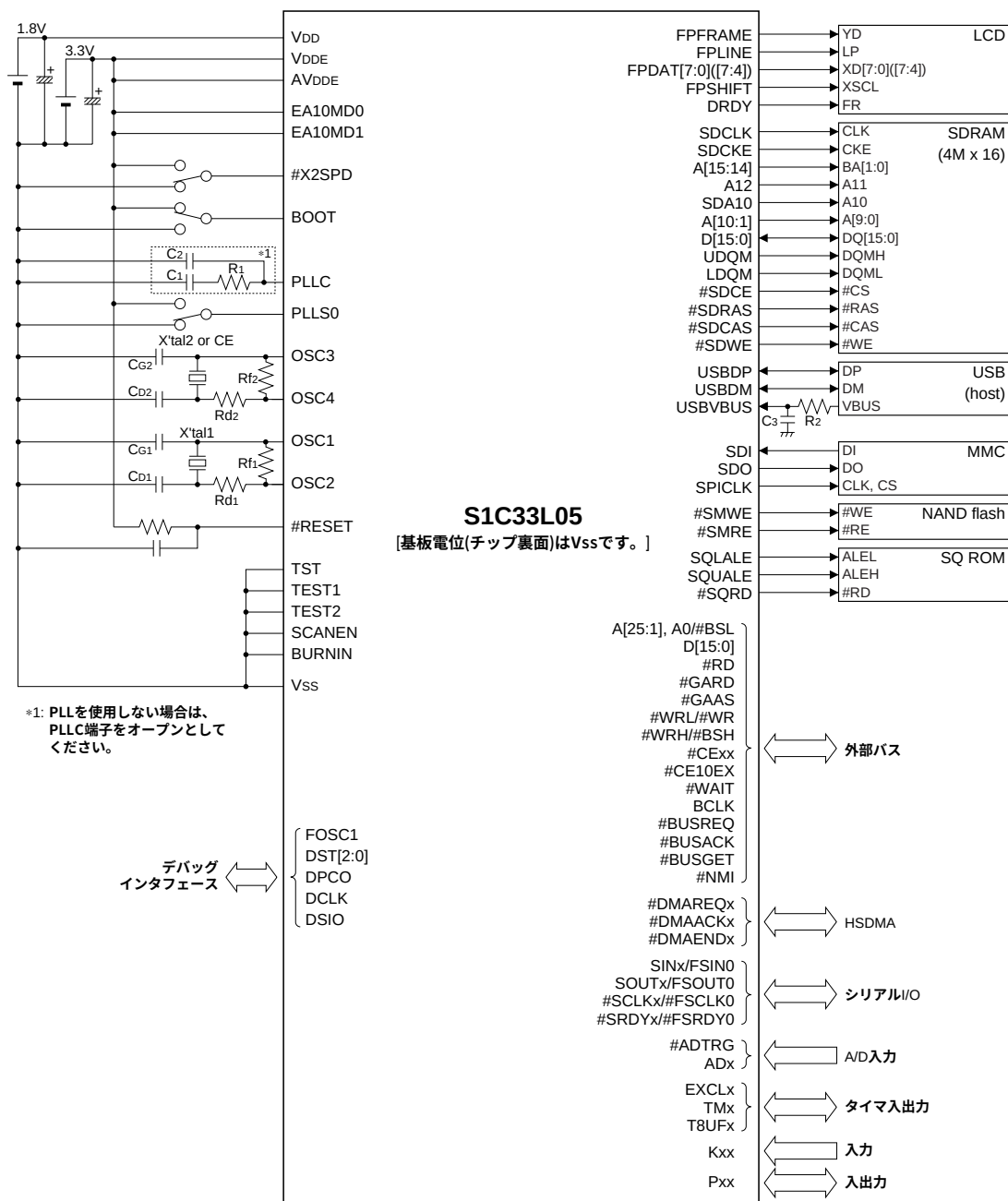
No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
1	D9	-2270	-2300	51	DST1/P11/EXCL1/T8UF1	2500	-1350
2	D8	-2050	-2300	52	DST0/P10/EXCL0/T8UF0	2500	-1250
3	V _{DDE}	-1950	-2300	53	V _{DD}	2500	-1150
4	D7	-1850	-2300	54	#NMI	2500	-1050
5	D6	-1750	-2300	55	#RESET	2500	-950
6	D5	-1650	-2300	56	V _{SS}	2500	-850
7	D4	-1550	-2300	57	K60/AD0	2500	-750
8	D3	-1450	-2300	58	K61/AD1	2500	-650
9	D2	-1350	-2300	59	K62/AD2	2500	-550
10	D1	-1250	-2300	60	K63/AD3	2500	-450
11	D0	-1150	-2300	61	K64/AD4	2500	-350
12	V _{SS}	-1050	-2300	62	TEST0	2500	-250
13	P30/#WAIT/#CE4&5/PA2	-950	-2300	63	AV _{DDE}	2500	-150
14	PD0/#SQRD	-850	-2300	64	K53/#DMAREQ2	2500	-50
15	PD1/SQALE	-750	-2300	65	K52/#ADTRG	2500	50
16	PD2/SQALE	-650	-2300	66	K51/#DMAREQ1	2500	150
17	PD3	-550	-2300	67	K50/#DMAREQ0	2500	250
18	PD4	-450	-2300	68	V _{SS}	2500	350
19	PD5	-350	-2300	69	OSC1	2500	450
20	PD6	-250	-2300	70	OSC2	2500	550
21	PD7	-150	-2300	71	V _{DDE}	2500	650
22	V _{DDE}	-50	-2300	72	BURNIN	2500	750
23	P22/TM0	50	-2300	73	SCANEN	2500	850
24	P23/TM1	150	-2300	74	TEST1	2500	950
25	P24/TM2/#SRDY2	250	-2300	75	V _{DD}	2500	1050
26	P25/TM3/#SCLK2	350	-2300	76	OSC3	2500	1150
27	P26/TM4/SOUT2	450	-2300	77	OSC4	2500	1250
28	P27/TM5/SIN2	550	-2300	78	V _{SS}	2500	1350
29	V _{SS}	650	-2300	79	P07/#SRDY1/#DMAEND3	2500	1450
30	PB7/FPDAT7	750	-2300	80	P06/#SCLK1/#DMAACK3	2500	1550
31	PB6/FPDAT6	850	-2300	81	P05/#SOUT1/#DMAEND2	2500	1650
32	PB5/FPDAT5	950	-2300	82	P04/#SIN1/#DMAACK2	2500	1750
33	PB4/FPDAT4	1050	-2300	83	P03/#SRDY0/#FSRDY0	2500	1850
34	V _{DD}	1150	-2300	84	P02/#SCLK0/#FSCLK0	2500	2070
35	PB3/FPDAT3	1250	-2300	85	P01/SOUT0/FSOUT0	2270	2300
36	PB2/FPDAT2	1350	-2300	86	P00/SIN0/FSIN0	2050	2300
37	PB1/FPDAT1	1450	-2300	87	USBDP	1950	2300
38	PB0/FPDAT0	1550	-2300	88	USBDM	1850	2300
39	PC3/DRDY	1650	-2300	89	N.C.	1750	2300
40	PC2/FPSHIFT	1750	-2300	90	USBVBUS	1650	2300
41	PC1/FPLINE	1850	-2300	91	V _{DDE}	1550	2300
42	PC0/FPFRAME	1950	-2300	92	P31/#BUSGET/#GARD/SDO	1450	2300
43	V _{SS}	2050	-2300	93	P32/#DMAACK0/#SRDY3/SPICLK	1350	2300
44	P16/EXCL5/#DMAEND1/SOUT3	2270	-2300	94	V _{SS}	1250	2300
45	P15/EXCL4/#DMAEND0/#SCLK3	2500	-2070	95	P33/#DMAACK1/SIN3/SDI	1150	2300
46	DSIO	2500	-1850	96	P34/#BUSREQ/#CE6/#SMWE	1050	2300
47	V _{DDE}	2500	-1750	97	P35/#BUSACK/#SMRE	950	2300
48	DCLK/P14/FOSC1	2500	-1650	98	V _{DD}	850	2300
49	DPCO/P13/EXCL3/T8UF3	2500	-1550	99	#X2SPD	750	2300
50	DST2/P12/EXCL2/T8UF2	2500	-1450	100	EA10MD0	650	2300

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
101	EA10MD1	550	2300	136	A16	-2500	1250
102	VbDE	450	2300	137	VbDE	-2500	1150
103	PLLC	350	2300	138	A15	-2500	1050
104	Vss	250	2300	139	A14	-2500	950
105	PLLS0	150	2300	140	A13	-2500	850
106	TST	50	2300	141	A12	-2500	750
107	BOOT	-50	2300	142	Vss	-2500	650
108	#CE4/#CE11/#CE11&12/P50	-150	2300	143	A11	-2500	550
109	Vss	-250	2300	144	A10	-2500	450
110	#CE5/#CE15/#CE15&16/P51	-350	2300	145	VDD	-2500	350
111	#CE6/#CE7&8/P52	-450	2300	146	A9	-2500	250
112	#CE7/#RAS0/#CE13/#RAS2/P53/#SDCE	-550	2300	147	A8	-2500	150
113	#CE8/#RAS1/#CE14/#RAS3/P54	-650	2300	148	A7	-2500	50
114	#CE9/#CE17/#CE17&18/P55	-750	2300	149	A6	-2500	-50
115	#CE10EX/#CE9&10EX	-850	2300	150	A5	-2500	-150
116	P61/SDA10	-950	2300	151	Vss	-2500	-250
117	P62/LDQM	-1050	2300	152	A4	-2500	-350
118	P63/UDQM	-1150	2300	153	A3	-2500	-450
119	P21/#DWE/#GAAS/#SDWE	-1250	2300	154	VbDE	-2500	-550
120	#LCAS/PA0/#SDCAS	-1350	2300	155	A2	-2500	-650
121	VDD	-1450	2300	156	A1	-2500	-750
122	#HCAS/PA1/#SDRAS	-1550	2300	157	A0/#BSL	-2500	-850
123	P20/#DRD/SDCKE	-1650	2300	158	#WRH/#BSH	-2500	-950
124	VbDE	-1750	2300	159	#WRL/#WR/#WE	-2500	-1050
125	BCLK/P60/FOSC1/SDCLK	-1850	2300	160	#RD	-2500	-1150
126	A25/P40	-1950	2300	161	Vss	-2500	-1250
127	Vss	-2050	2300	162	D15	-2500	-1350
128	A24/P41	-2270	2300	163	D14	-2500	-1450
129	A23/P42	-2500	2070	164	D13	-2500	-1550
130	A22/P43	-2500	1850	165	D12	-2500	-1650
131	A21/P44	-2500	1750	166	D11	-2500	-1750
132	A20/P45	-2500	1650	167	VDD	-2500	-1850
133	A19/P46	-2500	1550	168	D10	-2500	-2070
134	A18/P47	-2500	1450	169	(テスト用モニタパッド)	2500	2266
135	A17	-2500	1350	170	(テスト用モニタパッド)	-2500	-2266

このページはブランクです。

I-9 基本外部結線図

Wiring



X'tal1	水晶振動子	32.768kHz
CG1	ゲート容量	12pF
CD1	ドレイン容量	12pF
Rf1	帰還抵抗	10MΩ
Rd1	ドレイン抵抗	0Ω
R1	抵抗	4.7kΩ
C1	コンデンサ	100pF
C2	コンデンサ	3pF
R2	抵抗	10Ω
C3	コンデンサ	1μF

X'tal2 or CE	振動子	水晶	セラミック (CSTCW48M0X11***)
CG2	ゲート容量	3pF	(6pF) *1, *2
CD2	ドレイン容量	4pF	(6pF) *1, *2
Rf2	帰還抵抗	1MΩ	22kΩ *1
Rd2	ドレイン抵抗	0Ω	47Ω *1

注: *1 発振特性は諸条件(使用部品、基板パターンなど)により変化します。ここに記載されている値は一例であり、特に動作を保証するものではありません。特にセラミック発振は外部部品や基板による影響に非常に敏感です。セラミック発振子を使用される場合は、必ず使用条件などを村田製作所殿にお問い合わせください。また、本チップで使用可能なセラミック発振子は48MHzのみとなります。他の周波数のセラミック発振子は使用しないように注意してください。

*2 セラミック発振子の内蔵容量です。

このページはブランクです。

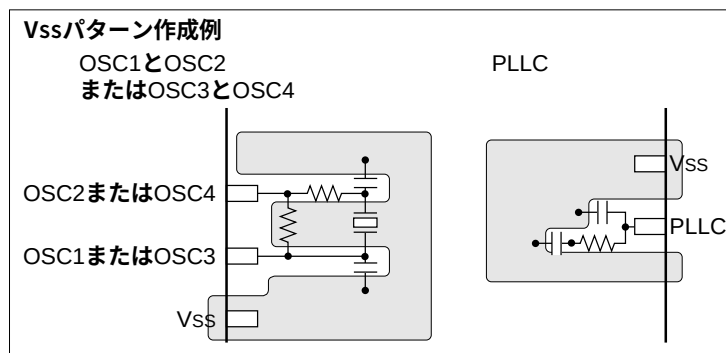
I-10 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

■発振回路

- 発振特性は使用部品(振動子、 R_f 、 R_d 、 C_G 、 C_d)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f 、 R_d)や容量(C_G 、 C_d)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。最もノイズ対策が必要となるのは、OSC2およびPLL端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2、PLL端子のノイズ対策を記載します。なお、OSC3とOSC4の端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

- (1) OSC1、OSC2、PLL端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1、OSC2、PLL端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。
- (3) OSC1、OSC2、PLL端子と配線は、基板の隣接する層も含めVssでシールドしてください。配線する層は、下の図のように広めにシールドしてください。
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外ではできるだけ避けてください。



- (4) OSC1またはOSC3端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。OSC2またはOSC4端子は開放してください。
- (5) 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形を確認してください。
BCLK(FOSC1/P60)端子の出力をオシロスコープなどで確認します。
OSC3あるいはPLL(PLLS0="1"の場合)の出力波形の品質は、BCLK出力(上記端子のデフォルト出力)で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタの大きさ(PLL使用時のジッタは1ns以下)を見てください。

OSC1波形の品質は上記の端子をFOSC1出力にして確認します(0x48132・D9="1"、0x30004C・D[1:0]="10"でBCLK出力がFOSC1出力に切り換わります)。特にクロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

(1)～(3)の対応が不十分な場合、PLL出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。PLL出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作する計時タイマや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

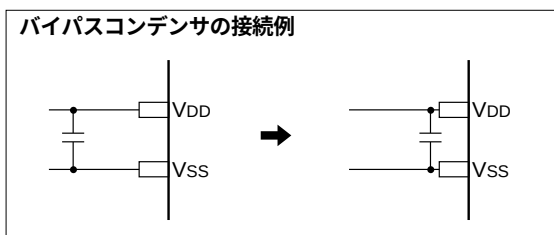
■リセット回路

- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

■電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- 電源からVDD、VDDE、VSSおよびAVDDE端子へはできるだけ短くかつ太いパターンで接続してください。特にAVDDE電源は、A/D変換器に用いるため変換精度に影響を与えます。
- VDDーVSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。

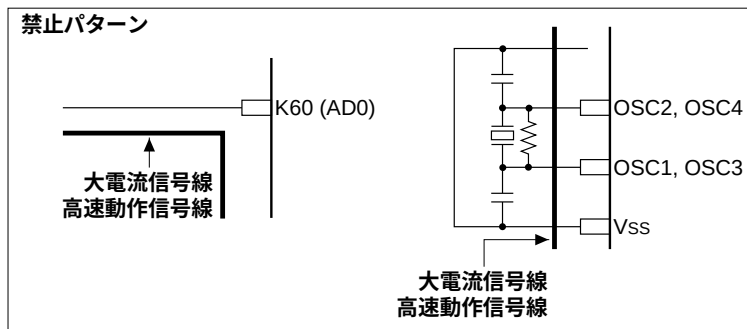


■A/D変換器

- A/D変換器を使用しない場合でも、AVDDEをVDDEに接続してください。

■信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



■USB

本チップに搭載のUSBファンクションコントローラのI/O部は以下の特長を持ちます。

DP、DM端子は直接USBコネクタに接続できます。

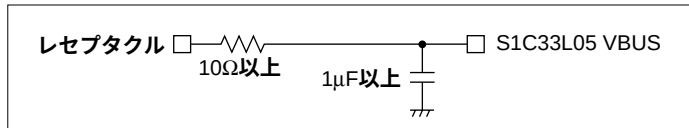
VBUSは、チップ内部で2/3に抵抗分割して検出していますので、5Vの直接入力が可能です。

USBコネクタからUSBケーブルが抜かれてもレシーバはフローティング状態にはなりません。また、USBケーブルが抜かれるとVBUS端子はVssとなり、USB I/O部の消費電力はリーク電流によるもののみとなります(USBVDD電源の電流に関してのみ。内部ロジックのVDD電源電流は除きます)。

●VBUSについての注意

VBUS端子には、最大でも6Vを越える電圧がかからないようにしてください。これを越えた場合、ICが破損することがあります。

特に、ケーブル挿入時の入力電圧のオーバーシュートやホスト電源が不安定になることを抑えることが必要で、USBコネクタの近くに1 μ F、もしくはそれ以上のコンデンサを接続してVBUSをデカップリングしてください。また、このコンデンサにはできるだけセラミックコンデンサを使用してください。



上記の対策を施すとともに、実機上でもVBUSの状態に問題のないことをオシロスコープなどで十分に確認してください。

長いUSBケーブルを使用し、ホスト側のコネクタに挿入した際に、オーバーシュートなどの現象はより起きやすくなります。

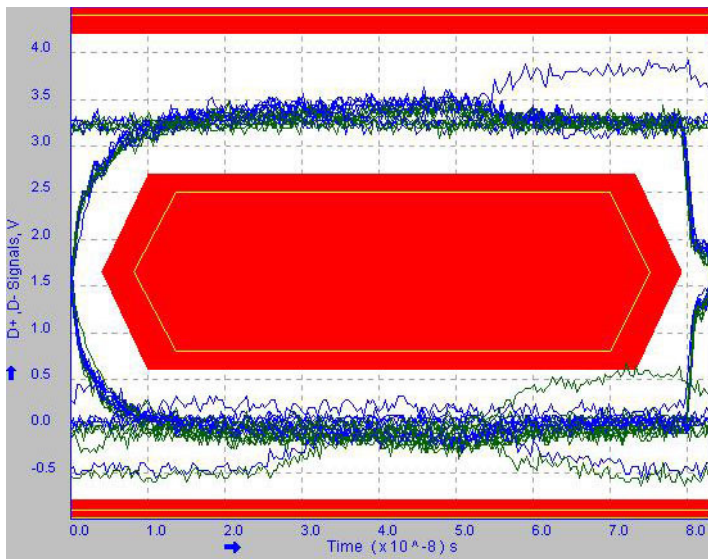
●DP、DMについての注意

プリント回路基板を設計する際には、以下の点に注意してDPおよびDM信号を配線してください。

- スキューの防止、差動インピーダンスの安定を図るため、DP信号線とDM信号線はできるだけ平行で同じ長さとし、最短距離で端子とコネクタを接続してください。これらの配線がクロスすることはできる限り避けてください。
- これらの信号線の周囲はGNDパターンで囲み、直下の内層もGNDパターンを作成してください。特に、高速なデジタル信号線の並走やクロスはできる限り避けてください。

最終的には、実機上でのEYEパターンの確認を推奨します。

次の図はS1C33L05を実装したDMT33L05での測定例です。



EYEダイアグラム

■ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の5点について確認してみてください。

(1) TST端子(旧製品ではICEMD端子)

この端子にHighレベルのノイズが入ると、IC全体がテストモードやハイインピーダンスになり、動作しなくなります。こうなった場合、端子がLowに戻っても元の状態には復帰しませんので、TST端子は必ず基板上でGNDに接続してください。

IC内にプルダウン抵抗が付いていますが、50～100k Ω 程度と高インピーダンスなため、ノイズには強くありません。

(2) DSIO端子

この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。

製品版では、DSIO端子をVDDに直結、もしくは10k Ω 以下の抵抗でプルアップすることを推奨します。

IC内にプルアップ抵抗が付いていますが、50～100k Ω 程度と高インピーダンスなため、ノイズには強くありません。

詳細は"S1C33 Familyスタンダードコア用アプリケーションノート"を参照してください。

(3) #RESET端子

この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。

回路設計上、リセット入力がHigh状態でのインピーダンスが高いときに起こりやすくなります。

詳細は"S1C33 Familyスタンダードコア用アプリケーションノート"を参照してください。

(4) #NMI端子

この端子にLowレベルのノイズが入るとNMI割り込みが入ります。

回路設計上、#NMIがHigh状態でのインピーダンスが高いときに起こりやすくなります。

#NMIがHighの場合のインピーダンスを下げるか、誤動作しても問題ないようにソフトウェアで対応してください。

(5) VDD、VSS、VDE電源

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。

基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1k Ω 以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実と考えられます。

上記のTST(ICEMD)、DSIO、#RESET、#NMI入力の回路は、入力信号のエッジを検出しているため、ひげ状のノイズでも誤動作しやすく、デジタル信号の中ではもっともノイズに弱い端子です。

ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

(A) まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。目安としては1k Ω 以下、できれば0 Ω となるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。

(B) 基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。

特に、同時変化する複数の信号線に両側から挟まれると、もっとも大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

■参考資料

"S1C33 Familyスタンダードコア用アプリケーションノート"の"4 S1C33チップ用ボードの基本回路"には、電源、発振、リセット、メモリ、ポートおよびデバッグについて、より詳しい注意点が記載されていますので参照してください。

■その他

本製品シリーズは0.18 μ m微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。

全OSCおよびPLL端子は、内部の0.18 μ mトランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、

- 1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- 2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格(2.5V)以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Mount

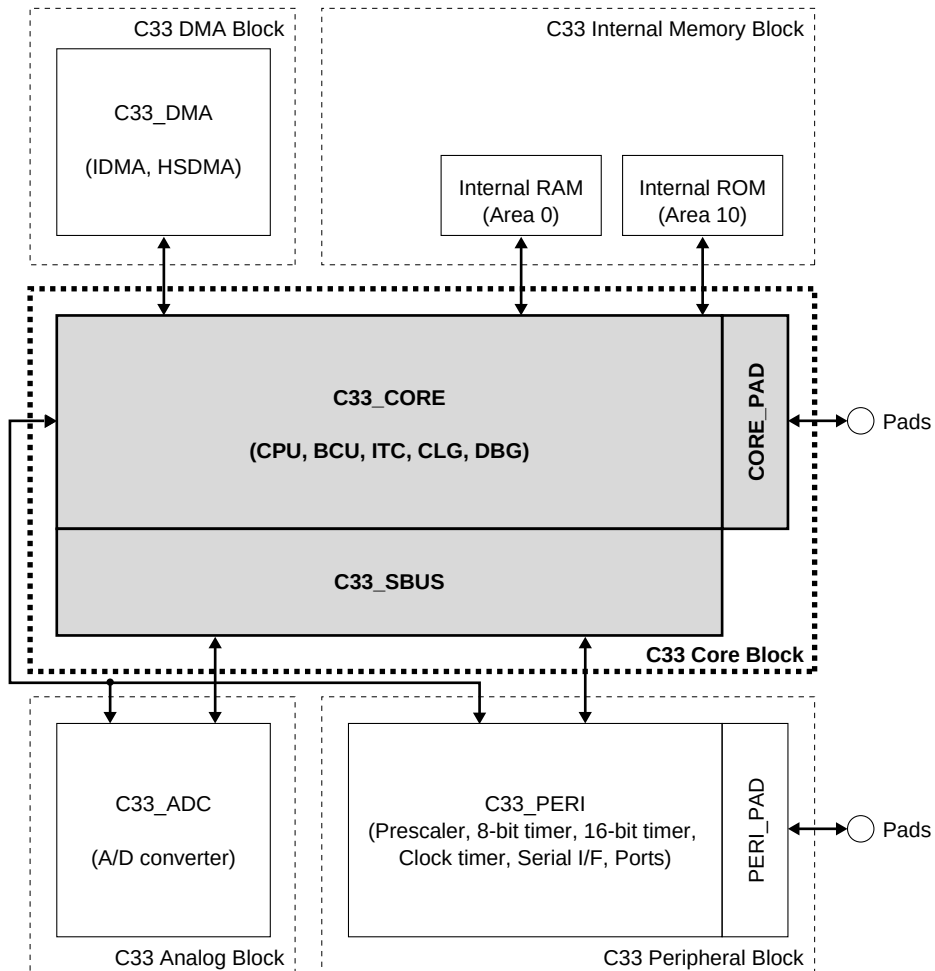
このページはブランクです。

S1C33L05 Technical Manual

II コアブロック

II-1 はじめに

C33コアブロックは、CPU、BCU(バスコントロールユニット)、ITC(割り込みコントローラ)、CLG(クロックジェネレータ)、DBG(デバッグユニット)を含む機能ブロックC33_CORE、外部インタフェース用のI/Oパッドブロック、およびチップ上の周辺回路とのインタフェースを行うSBUSブロックで構成されています。



図II.1.1 コアブロック

このページはブランクです。

II-2 CPUと動作モード

CPU

C33コアブロックは、セイコーエプソンオリジナルの32ビットRISC型CPU C33 STDをコアCPUとして搭載しています。また、乗算器も内蔵しているため、積和演算(MAC)命令や乗除算命令を含むC33 STD命令セットのすべての命令(105命令)が使用可能です。

C33 STDの内部レジスタもすべて使用可能です。CPU内部レジスタおよびCPU内部アドレスバスでは28ビットアドレスを扱うことができます。

C33 STDの詳細については"S1C33000コアCPUマニュアル"を参照してください。

スタンバイモード

CPUはHALTモード2種類とSLEEPモード1種類、計3種類のスタンバイモードをサポートしています。スタンバイモードに設定することにより大幅な省電力化が実現できます。

HALTモード

CPUはhalt命令を実行するとプログラムの実行を中断し、HALTモードに移行します。

CPUは2種類のHALTモード(基本モード、HALT2モード)を持っており、クロックオプションレジスタ(0x40190)のHLT2OP(D3)で設定しておくことができます。

HALT基本モードではCPUが動作を停止しますので、その分の消費電流が低減できます。内蔵周辺回路は、halt命令実行時の状態(停止/非停止)を継続します。

HALT2モードは上記の基本モードに加え、DMA機能を含む外部バスのコントロールおよびバスクロックを停止します。これにより、HALT基本モード以上の省電力化が実現できます。

HALTモードはイニシャルリセットまたはNMIを含む任意の割り込みが発生することによって解除されます。したがって、外部入力待ちや周辺回路の動作結果待ちなど、CPUの実行が不要な場合の省電力化に有効です。

割り込みによってHALTモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、halt命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、halt命令の次の命令に分岐します。

PSRが割り込み禁止の状態に設定されている場合、リセットまたはNMI以外でHALTモードを解除することはできません。

SLEEPモード

CPUはslp命令を実行するとプログラムの実行を中断し、SLEEPモードに移行します。

SLEEPモードではCPUの動作に加え、高速(OSC3)発振回路も動作を停止します。したがって、SLEEPモードでは低速(OSC1)発振回路と計時タイマを除き、すべての周辺回路が動作を停止します。これにより、HALTモード以上の省電力化が実現できます。

SLEEPモードはイニシャルリセット、計時タイマ割り込み、外部からのNMIまたは入力割り込みが発生することによって解除されます。OSC3クロックで動作する周辺回路は動作を停止するため、その割り込みは利用できません。

割り込みによってSLEEPモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、slp命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、slp命令の次の命令に分岐します。

PSRが割り込み禁止の状態に設定されている場合、リセットまたはNMI以外でSLEEPモードを解除することはできません。

注意事項

割り込みの設定

スタンバイモードは割り込みによって解除されます。したがって、スタンバイモードに移行する前に、解除に使用する割り込みを許可しておく必要があります。また、個別の割り込みの許可のほかに、PSRのIE(割り込み許可)ビットおよびIL(割り込みレベル)もその割り込みが発生可能な状態に設定しておかなければなりません。PSRが割り込み禁止状態に設定されている場合、割り込み要求が発生してもスタンバイモードを解除することはできません。割り込みの設定に関する詳細は"ITC(割り込みコントローラ)"を参照してください。

発振回路

高速(OSC3)発振回路はSLEEPモード時に発振を停止し、SLEEPモードの解除により発振を再開します。SLEEPモード移行前にCPUがOSC3クロックで動作していた場合、SLEEPモード解除後もOSC3クロックで再起動します。高速(OSC3)発振回路は動作開始後に発振が安定するまで発振安定時間を要しますので、CPUを確実に再起動させるには、この発振安定時間が経過後にCPUが動作を開始するように設定しておかなければなりません。PLLを使用する場合は、OSC3クロックの発振安定後にPLLのロックアップ時間も必要です。このため、SLEEP解除直後はCPUの動作開始待ち時間をプログラマブルに設定できるようになっています。詳細については、"CLG(クロックジェネレータ)"を参照してください。

高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、この時間設定には十分な余裕をとってください。

BCU

スタンバイモードになると、BCU(バスコントロールユニット)はその時点のバスサイクルの実行終了後に停止します。すべてのチップイネーブル信号がインアクティブとなります。

HALT基本モードではBCLK(バスクロック)信号が出力可能で、DMAも動作します。

HALT2モードおよびSLEEPモードではBCLK信号は出力されません。DMAも停止します。

その他

コアCPUの内部レジスタ、入出力ポートの状態はスタンバイモード時も保持されます。内蔵周辺回路の制御およびデータレジスタの内容も基本的には保持されますが、SLEEPモード移行時に変更されるものもあります。各周辺回路の説明を参照してください。

デバッグモード

C33コアブロックはデバッグモードをサポートしています。デバッグモードはC33 STDコアCPUの機能で、チップ自体でシングルステップ動作、ブレーク機能を実現します。デバッグモードとデバッグ機能については"S1C33000コアCPUマニュアル"を参照してください。

メモリマップのエリア2はデバッグモード時にのみアクセス可能です。

デバッグモード時は、OSC3クロックがCPUの動作クロックとして使用されます。したがって、デバッグ機能を使用する場合は高速(OSC3)発振回路を停止させないでください。また、デバッグモードではCPUとBCUのみが動作し、他の内蔵周辺回路(発振回路を除く)は停止します。

トラップテーブル

C33コアのトラップテーブルについては、本書の"II-5 ITC(割り込みコントローラ)"の表II.5.1を参照してください。例外の詳細については、"S1C33000コアCPUマニュアル"を参照してください。

II-3 イニシャルリセット

イニシャルリセット用端子

イニシャルリセットに使用する端子を表II.3.1に示します。

表II.3.1 イニシャルリセット用端子

端子名	I/O	機能
#RESET	I	イニシャルリセット入力端子(Lowアクティブ) L: CPUをリセット
#NMI	I	NMI要求端子 本端子はリセット方法の選択にも使用されます。 H: コールドスタート L: ホットスタート

S1C33チップは#RESET端子がLowになるとリセットされ、そのリセット信号がHighに立ち上がることで動作を開始します。コアCPUと内蔵周辺回路はリセット信号がLowの期間中に初期化されます。

コールドスタートとホットスタート

S1C33チップはコールドスタート、ホットスタートの2種類のリセット方法で起動可能です。この指定には#RESET端子とともに#NMI端子を使用します。

表II.3.2にコールドスタートとホットスタートの違いを示します。

表II.3.2 コールドスタートとホットスタートの相違点

設定内容	コールドスタート	ホットスタート
リセット条件	#RESET = L & #NMI = H	#RESET = L & #NMI = L
CPU: PC	ブートアドレスのリセットベクタをロード	
CPU: PSR	全フラグが"0"にリセット	
CPU: 他のレジスタ	不定	
CPU: 動作クロック	高速(OSC3)発振クロックで動作	
外部バスの状態(0x48120~0x4813F)	初期化	状態を保持
発振回路	高速(OSC3)および低速(OSC1)発振開始	
I/O端子の状態(0x402C0~0x402DF)	初期化	状態を保持
他の周辺回路	初期化または不定	

コールドスタートはCPUおよび内蔵周辺回路をすべて初期化しますので、パワーオンリセットに有効です。ホットスタートもCPUと内蔵周辺回路を初期化しますが、BCU(バスコントロールユニット)と入力、出力、入出力兼用ポートの制御およびデータレジスタは初期化しません。したがって、動作中に外部バスと入出力端子の状態を保持したままリセットを行いたい場合に有効です。

なお、リセット方法を指定する#NMI端子への信号入力は図II.3.1に示すタイミングで行ってください。



図II.3.1 #RESETと#NMIの端子設定

パワーオンリセット

電源投入時は、確実に動作を開始させるため、必ずイニシャルリセット(コールドスタート)を行ってください。

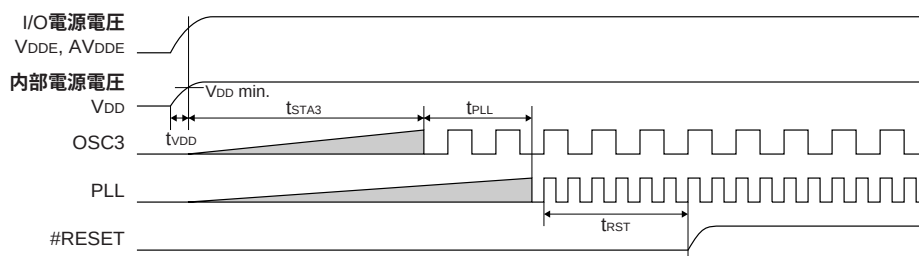
#RESET端子はゲート入力のため、外部にパワーオンリセット回路を構成することを推奨します。

イニシャルリセット(#RESET=L)により高速(OSC3)発振回路が発振を開始し、リセット信号の立ち上がりでCPUがOSC3クロックにより動作を開始します。高速(OSC3)発振回路は動作開始後に発振が安定するまで発振安定時間を要します。CPUを確実に起動させるには、この発振安定時間およびPLLのロックアップ時間の経過後にイニシャルリセットを解除することが必要です。

注: 高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、リセット解除時には十分な余裕をとってください。

■パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図II.3.2 パワーオンシーケンス

(1)tvDD : 電源投入時の電源が安定するまでの時間

下記の順序で(あるいは同時に)、電源を投入してください。

電源投入時: 内部コア電源電圧(VDDおよび同一電圧レベル)→I/O電源電圧(VDDDE, AVDDDE等)→入力信号印加

(2)tSTA3 : OSC3発振開始時間

(3)tPLL : PLLロックアップ時間

(4)tRST : 最小リセットパルス幅

C33 STDコアCPUに供給されるクロックが安定した状態から最低6クロックの期間、#RESET信号をLowに保持してください。

リセットパルス

C33 STDコアCPUが動作中は、#RESET端子にLowレベルのパルスを入力してイニシャルリセットを行うことが可能です。

ただし、「電気的特性」に記載の最小リセットパルス幅以上のパルスを入力してください。

また、高速(OSC3)発振回路が停止中にリセットパルスを入力する場合は、パワーオンリセットと同様にクロックが安定する時間以上#RESET端子をLowレベルに設定する必要があります。

ブートアドレス

コアCPUはリセット期間の後に#RESET端子がHighになると、ブートアドレス(0x0C00000)からリセットベクタ(プログラム開始アドレス)を読み出し、PC(プログラムカウンタ)に設定します。コアCPUは、そのアドレスからプログラムの実行を開始します。

割り込みなどのトラップベクタを書き込んでおくトラップテーブルも、デフォルトではこのブートアドレスから始まります("S1C33000コアCPUマニュアル"参照)。

トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で、任意の1KB境界アドレスに変更することも可能です。

イニシャルリセット時の注意事項

コアCPU

イニシャルリセット時、PCとPSRを除き、コアCPUの内部レジスタは不定となります。したがって、プログラムによる初期化が必要です。特に、SP(スタックポインタ)はスタックのアクセス前に必ず初期化してください。なお、誤動作を防ぐため、イニシャルリセット後はSPにデータが書き込まれるまでNMI要求はハードウェアによってマスクされるようになっています。

コアCPU内部レジスタの初期化は、コールドスタート時に必要です。

内蔵RAM

内蔵RAMの内容はイニシャルリセットにより不定となります。必要に応じて初期化してください。

高速(OSC3)発振回路

イニシャルリセットにより高速(OSC3)発振回路が発振を開始し、リセットが解除されるとCPUはOSC3クロックによって動作を開始します。不安定なクロックによる誤動作を防止するため、パワーオンリセットや高速(OSC3)発振回路が停止中にリセットを行う場合は、発振が安定してからリセットを解除する必要があります。

低速(OSC1)発振回路

パワーオンリセットや低速(OSC1)発振回路が停止中にリセットを行うと、低速(OSC1)発振回路も発振を開始します。低速(OSC1)発振回路は高速(OSC3)発振回路に比べ、発振の安定に長い時間を要します(標準動作条件でMax. 3秒)。不安定なクロックによる誤動作を防止するため、OSC1クロックはこの安定時間が経過してから使用してください。

BCU(バスコントロールユニット)

コールドスタートはBCU(バスコントロールユニット)の制御レジスタを初期化します。したがって、すべてのバス条件を設定する必要があります。

ホットスタートでは、制御レジスタやバスはリセット前の状態を保持します。

入出力ポートと入出力端子

コールドスタートは入力ポート、入出力兼用ポートの制御レジスタおよびデータレジスタを初期化します。

ホットスタートでは制御レジスタや端子の状態はリセット前の状態を保持します。ただし、それらの端子を内蔵周辺回路用の入出力端子に設定している場合、周辺回路の制御レジスタはイニシャルリセットにより初期化あるいは不定となりますので、プログラムによる再設定が必要です。

その他の内蔵周辺回路

上記以外の周辺回路の制御およびデータレジスタは、リセット方法(コールドスタート、ホットスタート)にかかわらず、イニシャルリセットにより初期化あるいは不定となります。

プログラムにより必要な設定を行ってください。

イニシャルリセットによる周辺回路の初期設定内容については、各I/Oマップまたは回路説明を参照してください。

このページはブランクです。

II-4 BCU(バスコントロールユニット)

BCU(バスコントロールユニット)は、外部デバイスおよびチップに内蔵するユーザロジックブロックとのインタフェースを提供します。メモリマップのエリア別にメモリや周辺I/Oデバイスの種類やサイズが設定でき、BCUによって直接制御することが可能です。バーストROMの直接インタフェースにも対応しています。ここでは、外部および内部システムインタフェースの制御方法やバスオペレーションについて説明します。

注: 以下に示す外部システムインタフェースの制御レジスタは16ビットの内蔵I/O領域に割り付けられています。したがって、制御レジスタのアドレスは、特に指定されたものを除きすべて16ビット単位のハーフワードアドレスで示されています。なお、特に指定のない制御レジスタはバイト単位、ハーフワード単位、ワード単位でアクセスできます。

外部システムインタフェース用の端子構成

入出力端子一覧

■外部入出力端子

表II.4.1に外部システムインタフェースに使用する端子の一覧を示します。

表II.4.1 入出力端子一覧

端子名	I/O	機 能
A0(#BSL)	O	アドレスバス(A0) / バーストローブ(Low-byte)
A[27:1]	O	アドレスバス(A1-A27)
D[15:0]	I/O	データバス(D0-D15)
#CE10EX(#CE9&10EX)	O	エリア10/(9&10)チップイネーブル
#CE9(#CE17/#CE17&18)	O	エリア9/17/(17&18)チップイネーブル
#CE8(#RAS1/#CE14/#RAS3)	O	エリア8/14チップイネーブル / DRAMローストローブ1/3
#CE7(#RAS0/#CE13/#RAS2)	O	エリア7/13チップイネーブル / DRAMローストローブ0/2
#CE6(#CE7&8)	O	エリア6/(7&8)チップイネーブル
#CE5(#CE15/#CE15&16)	O	エリア5/15/(15&16)チップイネーブル
#CE4(#CE11/#CE11&12)	O	エリア4/11/(11&12)チップイネーブル
#RD	O	リード信号
#WRL(#WR/#WE)	O	ライト(下位バイト) / ライト / DRAMライト
#WRH(#BSH)	O	ライト(上位バイト) / バーストローブ(上位バイト)
BCLK	O	バスクロック出力
P35(#BUSACK)	I/O	入出力兼用ポート / バス要求応答
P34(#BUSREQ/#CE6)	I/O	入出力兼用ポート / バス解放要求 / エリア6チップイネーブル
P31(#BUSGET/#GARD)	I/O	入出力兼用ポート / バス状態モニタ信号出力 / GA用エリアリード信号出力
P30(#WAIT/#CE4&5)	I/O	入出力兼用ポート / ウェイトサイクル要求 / エリア4&5チップイネーブル
P21(#DWE/#GAAS)	I/O	入出力兼用ポート / DRAMライト(下位バイト) / GA用エリアアドレスストローブ出力
#X2SPD	I	CPU-バスクロック比設定入力 1: CPUクロック=バスクロック, 0: CPUクロック=バスクロック×2
EA10MD[1:0]	I	エリア10ブートモード選択入力 11: 外部ROM, 10: 内蔵ROM

注: ・ 外部バス入出力端子は、一部の信号を除き入出力兼用ポート端子と共用されます。
外部バス端子として使用する場合は、ポート機能選択レジスタをシステムの構成に合わせて設定してください。

- ・ 機種により、外部バス入出力端子がC33標準ブロック以外の周辺回路の入出力機能と共用されている場合や、端子として出力されていない場合があります。端子説明の章で確認してください。

システムバス制御信号の組み合わせ

複数の機能を持つバス制御信号端子については、プログラムによってインタフェース方式を選択した時点で決定します。BCUはA0方式と#BSL方式の、2種類のインタフェース方式に対応しています。

表II.4.2 インタフェース方式の選択

インタフェース方式	制御ビット
A0方式(デフォルト)	SBUSST(バスコントロールレジスタ0x4812E・D3) = "0"
#BSL方式	SBUSST(バスコントロールレジスタ0x4812E・D3) = "1"

SBUSSTは、コールドスタート時に"0"に初期化されます。

ホットスタート時はリセット前の状態を保持します。

インタフェース方式による制御信号の組み合わせを表II.4.3に示します。

表II.4.3 バス制御信号の組み合わせ

A0方式	#BSL方式
A0	#BSL(リトルエンディアン) / #BSH(ビッグエンディアン) *
#WRL	#WR
#WRH	#BSH(リトルエンディアン) / #BSL(ビッグエンディアン) *
#CEx	#CEx

* #BSL方式の場合、リトルエンディアンとビッグエンディアンの選択により、A0端子と#WRH端子の機能が変わります。

メモリエリア

メモリマップ

図II.4.1にBCUがサポートしているメモリマップを示します。

エリア	アドレス		エリア	アドレス	
エリア9 SRAMタイプ バーストロムタイプ 8 or 16ビット	0x0BFFFFFF	外部メモリ(4MB)	エリア18 SRAMタイプ 8 or 16ビット	0xFFFFFFFF	外部メモリ(64MB)
	0x08000000			0xC0000000	
エリア8 SRAMタイプ 8 or 16ビット	0x07FFFFFF	外部メモリ(2MB)	エリア17 SRAMタイプ 8 or 16ビット	0xBFFFFFFF	外部メモリ(64MB)
	0x06000000			0x80000000	
エリア7 SRAMタイプ 8 or 16ビット	0x05FFFFFF	外部メモリ(2MB)	エリア16 SRAMタイプ 8 or 16ビット	0x7FFFFFFF	外部メモリ(32MB)
	0x04000000			0x60000000	
エリア6 SRAMタイプ	0x03FFFFFF	外部I/O (16ビットデバイス)	エリア15 SRAMタイプ 8 or 16ビット	0x5FFFFFFF	外部メモリ(32MB)
	0x03800000			0x40000000	
	0x037FFFFF	外部I/O (8ビットデバイス)	エリア14 SRAMタイプ 8 or 16ビット	0x3FFFFFFF	外部メモリ(16MB)
	0x03000000			0x30000000	
エリア5 SRAMタイプ 8 or 16ビット	0x02FFFFFF	外部メモリ(1MB)	エリア13 SRAMタイプ 8 or 16ビット	0x2FFFFFFF	外部メモリ(16MB)
	0x02000000			0x20000000	
エリア4 SRAMタイプ 8 or 16ビット	0x01FFFFFF	外部メモリ(1MB)	エリア12 SRAMタイプ 8 or 16ビット	0x1FFFFFFF	外部メモリ(8MB)
	0x01000000			0x18000000	
エリア3 16ビット 1サイクル固定	0x00FFFFFF	(Reserved)	エリア11 SRAMタイプ 8 or 16ビット	0x17FFFFFF	外部メモリ(8MB)
	0x00800000	(Reserved) CPUコア/デバッグモード用		0x10000000	
エリア2 16ビット 3サイクル固定	0x007FFFFF		エリア10 SRAMタイプ バーストロムタイプ 8 or 16ビット	0x0FFFFFFF	外部メモリ(4MB)
	0x00600000	(内蔵I/Oメモリのミラー)		0x0C000000	
エリア1 8, 16ビット 2 or 4サイクル	0x005FFFFF	内蔵I/Oメモリ			
	0x00500000				
	0x004FFFFF	(内蔵I/Oメモリのミラー)			
	0x00400000				
	0x003FFFFF	内蔵RAM			
	0x00300000				
エリア0 32ビット 1サイクル固定	0x002FFFFF	内蔵RAM			
	0x00000000				

図II.4.1 メモリマップ

基本的には、エリア0～3が内部メモリ領域、エリア4～18が外部メモリ領域です。
 エリア0は通常内蔵RAM領域として使用します。メモリはエリア0の先頭から配置します。
 エリア1はチップに内蔵する機能ブロックのI/Oメモリ領域として予約されています。アドレス0x00400000～0x004FFFFFが制御レジスタ等に使用され、アドレス0x00500000～0x005FFFFFはそのミラーとなります。
 エリア2はデバッグモード専用の領域です。ユーザモード(通常のプログラム実行状態)からはアクセスすることができません。

注: エリア4～18は、機種固有の拡張周辺回路の制御レジスタ、内蔵メモリなどが内部メモリ領域として割り付けられている場合があります。内蔵メモリの章もあわせて参照してください。

外部メモリマップとチップイネーブル

アドレス空間はデフォルトで19個のエリア(エリア0～エリア18)に分割して管理されます。この中のエリア4～エリア10が外部システムに開放され、個々にチップイネーブル端子(#CE[10:4])も設けられています。C33コアブロックでは#CE出力端子が7本に制限されていますが、#CE[4:10]出力端子はソフトウェアで表II.4.4に示す上位エリア用のチップイネーブル出力端子に切り換えられるようになっています。この切り換えはDRAMタイミング設定レジスタ(0x48130)のCEFUNC[1:0](D[A:9])で行います。

表II.4.4 #CE出力の切り換え

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE4	#CE4	#CE11	#CE11+#CE12
#CE5	#CE5	#CE15	#CE15+#CE16
#CE6	#CE6	#CE6	#CE7+#CE8
#CE7/#RAS0	#CE7/#RAS0	#CE13/#RAS2	#CE13/#RAS2
#CE8/#RAS1	#CE8/#RAS1	#CE14/#RAS3	#CE14/#RAS3
#CE9	#CE9	#CE17	#CE17+#CE18
#CE10EX	#CE10EX	#CE10EX	#CE9+#CE10EX

(デフォルト: CEFUNC = "00")

CEFUNCに"01"を書き込むことで使用可能となる上位のエリアは、デフォルトの下位エリアに比べエリアサイズを大きく取ることができます。たとえばデフォルト設定の場合、エリア7と8で4Mバイトまでとなりますが、エリア13と14を使用すると最大32Mバイトまで使用可能となります。他のエリアも同様です。また、CEFUNCを"10"または"11"に設定すると、5本のチップイネーブル信号が、それぞれ2エリアに対応するように拡張されます。

図II.4.2に外部システム用のメモリマップを示します。

注: チップ内部のアドレス処理は28ビットで行われますが、アドレスバス出力端子数は機種により異なります。アクセス可能な領域は、各機種のアドレスバス出力数に従った範囲に制限されます。

エリア	アドレス		エリア	アドレス	
エリア10(#CE10)	0x0FFFFFFF	外部メモリ6(4MB)	エリア17(#CE17)	0xBFFFFFFF	外部メモリ6(64MB)
SRAMタイプ			SRAMタイプ		
バーストROMタイプ			8 or 16ビット		
8 or 16ビット	0x0C000000			0x80000000	
エリア9(#CE9)	0x0BFFFFFF	外部メモリ5(4MB)	エリア15(#CE15)	0x5FFFFFFF	外部メモリ5(32MB)
SRAMタイプ			SRAMタイプ		
バーストROMタイプ			8 or 16ビット		
8 or 16ビット	0x08000000			0x40000000	
エリア8(#CE8/#RAS1)	0x07FFFFFF	外部メモリ4(2MB)	エリア14(#CE14/#RAS3)	0x3FFFFFFF	外部メモリ4(16MB)
SRAMタイプ			SRAMタイプ		
8 or 16ビット			8 or 16ビット		
	0x06000000			0x30000000	
エリア7(#CE7/#RAS0)	0x05FFFFFF	外部メモリ3(2MB)	エリア13(#CE13/#RAS2)	0x2FFFFFFF	外部メモリ3(16MB)
SRAMタイプ			SRAMタイプ		
8 or 16ビット			8 or 16ビット		
	0x04000000			0x20000000	
エリア6(#CE6)	0x03FFFFFF	外部I/O (16ビットデバイス)	エリア11(#CE11)	0x1FFFFFFF	外部メモリ2(8MB)
SRAMタイプ			SRAMタイプ		
	0x03800000		8 or 16ビット		
	0x037FFFFF	外部I/O (8ビットデバイス)		0x10000000	
	0x03000000			0x0FFFFFFF	
エリア5(#CE5)	0x02FFFFFF	外部メモリ2(1MB)	エリア10(#CE10)		外部メモリ1(4MB)
SRAMタイプ			SRAMタイプ		
8 or 16ビット			バーストROMタイプ		
	0x02000000		8 or 16ビット	0x0C000000	
エリア4(#CE4)	0x01FFFFFF	外部メモリ1(1MB)	エリア6(#CE6)	0x03FFFFFF	外部I/O (16ビットデバイス)
SRAMタイプ			SRAMタイプ		
8 or 16ビット				0x03800000	
	0x01000000			0x037FFFFF	外部I/O (8ビットデバイス)
				0x03000000	

CEFUNC = "00"

CEFUNC = "01"

エリア	アドレス	
エリア17-18 (#CE17+18) SRAMタイプ 8 or 16ビット	0xFFFFFFFF 0x80000000	外部メモリ7(128MB)
エリア15-16 (#CE15+16) SRAMタイプ 8 or 16ビット	0x7FFFFFFF 0x40000000	外部メモリ6(64MB)
エリア14 (#CE14/#RAS3) SRAMタイプ 8 or 16ビット	0x3FFFFFFF 0x30000000	外部メモリ5(16MB)
エリア13 (#CE13/#RAS2) SRAMタイプ 8 or 16ビット	0x2FFFFFFF 0x20000000	外部メモリ4(16MB)
エリア11-12 (#CE11+12) SRAMタイプ 8 or 16ビット	0x1FFFFFFF 0x10000000	外部メモリ3(16MB)
エリア9-10 (#CE9+10EX) SRAMタイプ バーストロムタイプ 8 or 16ビット	0x0FFFFFFF 0x08000000	外部メモリ2(8MB)
エリア7-8 (#CE7+8) SRAMタイプ 8 or 16ビット	0x07FFFFFFF 0x04000000	外部メモリ1(4MB)
CEFUNC = "10"または"11"		

図II.4.2 外部システムメモリマップ

また、#CE4+#CE5および#CE6信号は、それぞれP30、P34端子からも出力させることができます。これにより、CEFUNCを"01"、"10"、"11"に設定した場合にアクセス可能なエリアを拡大することができます。

#CE4+#CE5信号をP30端子から出力する場合:

CFP30(P3機能選択レジスタ0x402DC・D0) = "1"

IOC30(P3 I/O制御レジスタ0x402DE・D0) = "1"

#CE6信号をP34端子から出力する場合:

CFP34(P3機能選択レジスタ0x402DC・D4) = "1"

IOC34(P3 I/O制御レジスタ0x402DE・D4) = "1"

イニシャルリセット時、P30とP34端子は汎用入出力兼用ポート端子に設定されます。

なお、P30は#WAIT入力、P34は#BUSREQ入力とも共用されていますので、これらの信号を使用する場合は#CE4+#CE5、#CE6信号を出力させることはできません。

外部メモリ領域内での内蔵メモリの使用

本BCUでは、外部メモリ領域にも内蔵メモリが使用できます。

外部アクセスと内部アクセスの選択は、アクセス制御レジスタ(0x48132)のAxxIOビットで行います。

このビットに"1"を書き込むと内蔵デバイスがアクセスされ、"0"を書き込むと外部デバイスがアクセスされます。ビットは以下のように各エリアに対応しています。

A18IO(DF): エリア17, 18

A16IO(DE): エリア15, 16

A14IO(DD): エリア13, 14

A12IO(DC): エリア11, 12

A8IO(DA): エリア7, 8

A6IO(D9): エリア6

A5IO(D8): エリア4, 5

エリア専用信号

各エリアは、外部メモリインタフェースの共通制御信号以外に、エリア専用信号(アドレスストローブ#GAASおよびリード信号#GARD)でアクセス可能です。

この専用信号を使用するには、G/Aリード信号制御レジスタ(0x48138)で設定しておきます。

アドレスストローブ信号はAxxASビットで、リード信号はAxxRDビットで、エリアに対する出力を許可/禁止します。これらのビットに"1"を書き込むと対応するエリアの専用信号出力が許可され、"0"を書き込むと禁止されます(デフォルトは禁止)。ビットは以下のように各エリアに対応しています。

A18AS(DF), A18RD(D7): エリア17, 18

A16AS(DE), A16RD(D6): エリア15, 16

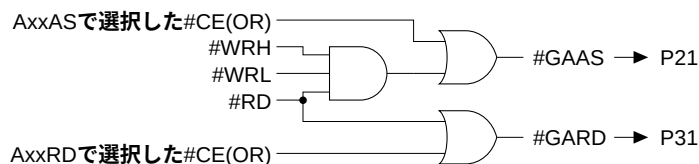
A14AS(DD), A14RD(D5): エリア13, 14

A12AS(DC), A12RD(D4): エリア11, 12

A8AS(DA), A8RD(D2): エリア7, 8

A6AS(D9), A6RD(D1): エリア6

A5AS(D8), A5RD(D0): エリア4, 5



図II.4.3 #GAAS、#GARD信号

アドレスストローブ信号とリード信号は、それぞれP21端子、P31端子から出力されます。したがって、これらの信号を使用するには、ポート機能拡張レジスタで各端子を専用信号出力に設定しておく必要があります。

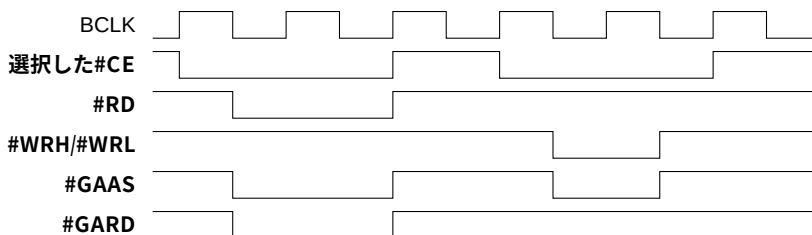
アドレスストローブ信号#GAASを出力する場合:

CFEX2(ポート機能拡張レジスタ0x402DF・D2) = "1"

リード信号#GARDを出力する場合:

CFEX3(ポート機能拡張レジスタ0x402DF・D3) = "1"

これらの信号は前記のすべてのエリアに共通して使用されます。2つ以上のエリアを選択した場合、各エリアに対する信号が論理和されて出力されます。



図II.4.4 #GAAS、#GARD信号出力タイミング

エリア10

エリア10はブートアドレス(0xC00000)を含む外部メモリ領域です。このエリアは2つのブートモードをサポートします。

注: エリア10にROMを内蔵しているかについては内蔵メモリの章を参照してください。

■エリア10ブートモード

ブートモードはEA10MD[1:0]端子で設定します。

表II.4.5 エリア10ブートモードの選択

EA10MD[1:0]端子	エリア10ブートモード
10	内蔵ROMブートモード
11	外部ROMブートモード

内蔵ROMブートモード

CPUはエリア10に割り付けられている内蔵ROMからブートします。内蔵ROMサイズはA10IR[2:0](エリア10-9設定レジスタ0x48126・D[E:C])で8種類(16KB~2MB)から選択できます。

このROMはアドレス0xC00000から始まり、1サイクルでの読み出しが行えます。このROMサイズを除いたエリア10の残りの領域は、外部メモリへのアクセスとなります。

外部ROMブートモード

CPUは外部メモリ(ROM、Flash、SRAM等)からブートします。外部メモリは、エリア10用のBCUレジスタの設定条件に従ってアクセスされます。

■内蔵ROMサイズの設定

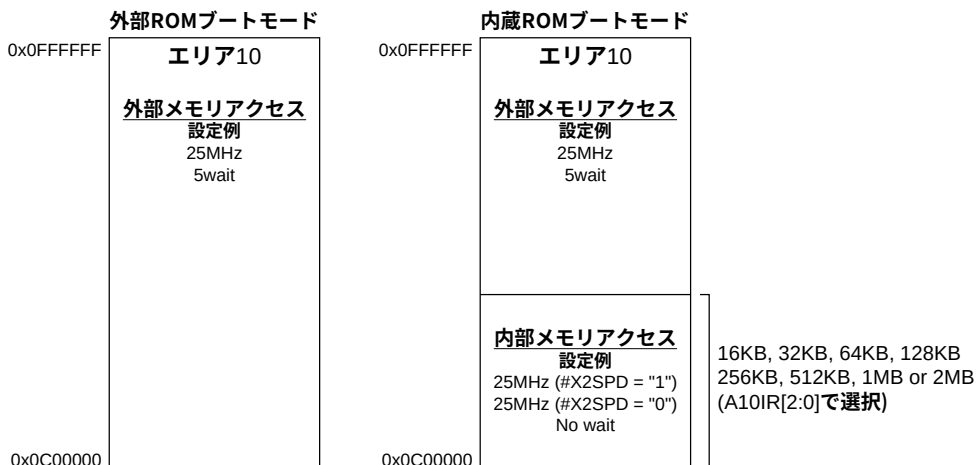
外部ROMブートモード以外のブートモードを使用する場合は、A10IR[2:0](エリア10-9設定レジスタ0x48126・D[E:C])で内蔵ROMのサイズを指定します。

表II.4.6 エリア10内蔵ROMサイズ

A10IR2	A10IR1	A10IR0	ROMサイズ
0	0	0	16KB
0	0	1	32KB
0	1	0	64KB
0	1	1	128KB
1	0	0	256KB
1	0	1	512KB
1	1	0	1MB
1	1	1	2MB(デフォルト)

■エリア10メモリマップ

図II.4.5にエリア10のメモリマップを示します。



図II.4.5 エリア10メモリマップ

外部バス条件の設定

外部バスに接続するデバイスの種類、サイズ、ウェイトなどの条件が、制御レジスタ(0x48120～0x48130)によってエリアごとに設定できるようになっています。以下、設定可能な条件を個別に説明します。

バス条件を設定する制御レジスタは、コールドスタート時に初期化されます。外部デバイスの構成や仕様に合わせ、必要に応じてソフトウェアで設定し直してください。

ホットスタート時は設定した内容および端子はリセット前の状態を保持します。

デバイスタイプとデバイスサイズの設定

表II.4.7に各エリアに直結可能なデバイスの種類を示します。

表II.4.7 デバイスタイプ

エリア	SRAMタイプ	バーストROMタイプ	制御ビット
18-15	○	×	—
14	○	×	—
13	○	×	—
12, 11	○	×	—
10	○	○	A10DRA (エリア10-9設定レジスタ0x48126・D8)
9	○	○	A9DRA (エリア10-9設定レジスタ0x48126・D7)
8	○	×	—
7	○	×	—
6-4	○	×	—

○: 接続可能 ×: 接続不可

バーストROMを接続する場合は対応する制御ビットに"1"を書き込んでください。これらの制御ビットはコールドスタート時に"0"(SRAMタイプ)に設定されます。

デバイスサイズはエリア6を除き、2エリア単位に8ビットまたは16ビットサイズに設定できます。

エリア6のみは、エリアの前半(0x300000～0x37FFFF)が8ビットデバイス用、後半(0x380000～0x3FFFFFF)が16ビットデバイス用に固定されています。

表II.4.8 デバイスサイズ制御ビット

エリア	制御ビット
18, 17	A18SZ(エリア18-15設定レジスタ0x48120・DE)
16, 15	A16SZ(エリア18-15設定レジスタ0x48120・D6)
14, 13	A14SZ(エリア14-13設定レジスタ0x48122・D6)
12, 11	A12SZ(エリア12-11設定レジスタ0x48124・D6)
10, 9	A10SZ(エリア10-9設定レジスタ0x48126・D6)
8, 7	A8SZ(エリア8-7設定レジスタ0x48128・D6)
5, 4	A5SZ(エリア6-4設定レジスタ0x4812A・D6)

コールドスタート時は、各エリアとも16ビットに設定されます。

8ビットデバイスを使用する場合は制御ビットに"1"を書き込んでください。

注: BCUは16ビットのバーストROMをサポートしています。したがって、エリア10またはエリア9にバーストROMを接続する場合は、デバイスサイズを8ビット(A10SZ = "1")には設定しないでください。

デバイスサイズおよびアクセスデータサイズによるバスオペレーションの違いについては、"外部メモリのバスオペレーション"を参照してください。

SRAMタイプのタイミング条件設定

SRAMタイプに設定したエリアは、ウェイトサイクルと出力ディセーブル遅延時間が設定可能です。

ウェイトサイクル数: 0～7サイクル(1サイクル単位)

出力ディセーブル遅延時間: 0.5, 1.5, 2.5, 3.5サイクル

この選択は、エリア6を除き2エリア単位に行えます。

表II.4.9 タイミング条件設定ビット(SRAMタイプ)

エリア	ウェイトサイクル数	出力ディセーブル遅延時間	制御レジスタ
18, 17	A18WT[2:0](D[A:8])	A18DF[1:0](D[D:C])	エリア18-15設定レジスタ(0x48120)
16, 15	A16WT[2:0](D[2:0])	A16DF[1:0](D[5:4])	エリア18-15設定レジスタ(0x48120)
14, 13	A14WT[2:0](D[2:0])	A14DF[1:0](D[5:4])	エリア14-13設定レジスタ(0x48122)
12, 11	A12WT[2:0](D[2:0])	A12DF[1:0](D[5:4])	エリア12-11設定レジスタ(0x48124)
10, 9	A10WT[2:0](D[2:0])	A10DF[1:0](D[5:4])	エリア10-9設定レジスタ(0x48126)
8, 7	A8WT[2:0](D[2:0])	A8DF[1:0](D[5:4])	エリア8-7設定レジスタ(0x48128)
6	A6WT[2:0](D[A:8])	A6DF[1:0](D[D:C])	エリア6-4設定レジスタ(0x4812A)
5, 4	A5WT[2:0](D[2:0])	A5DF[1:0](D[5:4])	エリア6-4設定レジスタ(0x4812A)

コールドスタート時、ウェイトサイクル数は7サイクルに、出力ディセーブル遅延時間は3.5サイクルに設定されます。接続するデバイスの仕様に合わせ、必要に応じてソフトウェアで設定し直してください。ホットスタート時はリセット前の設定を保持します。

■ウェイトサイクル

各制御ビットでウェイト数を設定すると、BCUはそのエリアへのアクセス時に、設定したウェイトサイクル分バスサイクルを延長します。バスクロック周波数と外部デバイスのアクセス時間に従って設定してください。ここで設定するウェイトサイクルとは別に、#WAIT端子によっても外部からのウェイト要求を受け付けます。ソフトウェアによるウェイトサイクル数の設定は2エリアごとのため、エリア個々にウェイトサイクル数を制御したい場合や、7サイクル以上のウェイトサイクルが必要な場合は、外部ウェイト要求で対応してください。#WAIT端子はP30入出力兼用ポート端子と兼用されています。外部ウェイト要求を受け付けるためには、P3機能選択レジスタ(0x402DC)のCFP30(D0)とバスコントロールレジスタ(0x4812E)のSWAITE(D0)に"1"を書き込み(デフォルトは"0")、#WAIT端子をイネーブルに設定しておく必要があります。

バスサイクルおよびウェイトサイクル挿入時のタイミングチャートについては"外部システムインタフェースのバスサイクル"を参照してください。

ウェイトサイクル数が0に設定され、外部ウェイト要求もない場合、SRAMタイプの外部デバイスに対する基本リードサイクル(バイト/ハーフワードリード)は1サイクルです。ウェイトサイクル数を設定するとそのサイクル数が加算されますので、バスリードサイクル数は[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。

一方、基本ライトサイクルは最小が2サイクルで、ウェイトサイクルを0または1サイクルに設定しても変わりません。ウェイトサイクル数を2サイクル以上に設定すると、バスサイクルが実際に延長されます。その場合のバスライトサイクル数はリードサイクル時と同様、[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。

■出力ディセーブル遅延時間

出力ディセーブル時間の長いデバイスを接続した場合、そのデバイスに対するリードサイクルに続けて次のアクセスを開始すると、データバス上で競合が起こる場合があります(リードデバイスがデータバスをハイインピーダンスにしていないため)。出力ディセーブル遅延時間はこのデータバスの競合を防止するための設定で、リードサイクルと次のバスオペレーションの間に指定したサイクル数のディセーブル遅延が挿入されます。ただし、#CEx信号については、連続して異なるエリアがアサートされるケースがありますので注意してください。ディセーブル遅延時間により遅延する信号は、#RDや#WRL/#WRHなどのコマンド信号です。

サイクル数については接続するデバイスの仕様を確認して設定してください。

バスサイクルが開始されると、#CExがアサートされてから0.5サイクル後に#RDや#WRL/#WRHがアサートされます。この0.5サイクルは、直前のバスアクセスから見ると出力ディセーブル遅延時間に相当します。したがって、出力ディセーブル遅延時間は最小0.5サイクルとなります。

設定レジスタのAxxDF[1:0]により挿入できる出力ディセーブル遅延時間は1サイクル単位の0~3サイクルで、実際の出力ディセーブル遅延時間のサイクル数は0.5~3.5サイクルとなります。

この出力ディセーブル遅延時間の挿入は、以下の場合にのみ発生するようになっています。

- 出力ディセーブル遅延時間が設定された外部デバイスからのリードサイクルの後、次がCPUによるライトサイクルの場合
- 出力ディセーブル遅延時間が設定された外部デバイスからのリードサイクルの後、次が異なるエリア(内部デバイスも含む)からのリードサイクルの場合

逆に、以下の条件では出力ディセーブル遅延時間は挿入されません。

- ライトサイクル直後
- 同じ外部デバイスからの連続リード時

バーストROMタイプのタイミング条件設定

■ウェイトサイクル

エリア10またはエリア9にバーストROMを選択した場合、バーストリードサイクルに挿入するウェイトサイクル数を0~3サイクルの範囲で選択することができます。選択はエリア10-9設定レジスタ(0x48126)のA10BW[1:0](D[A:9])で行います。この選択はエリア10と9に同時に適用され、エリアごとに個別に設定することはできません。コールドスタート時は0サイクルに設定されます。

バーストリードの場合でも、最初のバスオペレーションにはSRAMタイプのウェイトサイクル数の設定が有効です。(前節のA10WT[2:0]を参照)

A10BW[1:0]で設定するウェイトサイクルは、それ以降のバーストサイクルに挿入されます。

また、バーストROMを選択した場合のリードサイクルには、#WAIT端子によるウェイトサイクルは挿入できません。

バーストROMが選択された状態でそのエリアに書き込みを行った場合、SRAMタイプのライトサイクルが実行されます。その場合は、SRAMタイプのウェイトサイクル数の設定と#WAIT端子の入力が共に有効となります。

■バーストモード

バーストモードとして8連続バーストモードまたは4連続バーストモードが選択可能です。この選択はバスコントロールレジスタ(0x4812E)のRBST8(DD)で行います。RBST8に"1"を書き込むと8連続バーストモード、"0"を書き込むと4連続バーストモードに設定されます。コールドスタート時は4連続バーストに設定されます。

バスオペレーション

メモリ上のデータ配置

S1C33 Familyのデバイスは、バイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)のデータを扱います。メモリ上のデータをアクセスする場合は、データサイズに従った境界アドレスを指定することが必要で、それ以外のアドレスを指定すると、アドレス不整例外が発生します。SP(スタックポインタ)やPC(プログラムカウンタ)の内容を書き換える命令は(スタック操作や分岐命令など)、指定アドレスが強制的に境界アドレスに変更されるため、アドレス不整例外は発生しません。アドレス不整例外の詳細については、"S1C33000コアCPUマニュアル"を参照してください。

表II.4.10にデータタイプによるメモリ上の配置位置を示します。

表II.4.10 メモリ上のデータ配置

データタイプ	配置位置
バイト	バイト境界(全アドレス)
ハーフワード	ハーフワード境界(A[0]="0")
ワード	ワード境界(A[1:0]="00")

メモリ上のハーフワードデータ、ワードデータは、デフォルトではリトルエンディアン形式でアクセスされます。アクセス制御レジスタ(0x48132)のAxxEC(D[7:0])ビットに"1"を書き込むことにより、エリアごとにビッグエンディアン形式に変更することもできます。以下にビットとエリアの対応を示します。

A18EC(D7): エリア17, 18

A16EC(D6): エリア15, 16

A14EC(D5): エリア13, 14

A12EC(D4): エリア11, 12

A10EC(D3): エリア9, 10 ... ブートエリアのため、"0"(リトルエンディアン)に固定

A8EC(D2): エリア7, 8

A6EC(D1): エリア6

A5EC(D0): エリア4, 5

メモリ効率を上げるには、同種のデータを連続的に配置し、境界アドレスへの配置によってできる空白領域を極力減らしてください。

外部メモリのバスオペレーション

外部データバスは16ビットサイズです。このため、デバイスサイズと実行する命令のデータサイズによっては、表II.4.11に示すとおり、複数回のバスオペレーションが発生します。

表II.4.11 バスオペレーションの実行回数

アクセスデータ サイズ	デバイス サイズ	バスオペレー ション回数	備 考
32ビット	16ビット	2回	
16ビット	16ビット	1回	
8ビット	16ビット	1回	リトルエンディアン方式: アドレスの最下位ビット(A[0])が"0"のとき、または#BSLがLのときは下位バイトをアクセス、A[0]が"1"のとき、または#BSHがLのときは上位バイトをアクセス ビッグエンディアン方式: アドレスの最下位ビット(A[0])が"0"のとき、または#BSLがLのときは上位バイトをアクセス、A[0]が"1"のとき、または#BSHがLのときは下位バイトをアクセス
32ビット	8ビット	4回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続
16ビット	8ビット	2回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続
8ビット	8ビット	1回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続

リトルエンディアン

ソース(汎用レジスタ)				バスオペレーション			
バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH #WRL
15 ← 1 ↓ 1' 0				1	*	1	0 1
A[1:0]=*1 A[1:0]=*0				1'	*	0	1 0

ディスティネーション(16ビットデバイス)

ビッグエンディアン

ソース(汎用レジスタ)				バスオペレーション			
バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH #WRL
15 ← 1 ↓ 1' 0				1	*	0	0 1
A[1:0]=*0 A[1:0]=*1				1'	*	1	1 0

ディスティネーション(16ビットデバイス)

図II.4.10 16ビットデバイスへのバイトデータ書き込み

リトルエンディアン

ディスティネーション(汎用レジスタ)		バスオペレーション			
符号拡張またはゼロ拡張	RDバイト	No.	A1	A0	#WRH #WRL
15 ← 1 ↑ 1' 0		1	*	1	1 1
A[1:0]=*1 A[1:0]=*0		1'	*	0	1 1

ソース(16ビットデバイス)

ビッグエンディアン

ディスティネーション(汎用レジスタ)		バスオペレーション			
符号拡張またはゼロ拡張	RDバイト	No.	A1	A0	#WRH #WRL
15 ← 1 ↑ 1' 0		1	*	0	1 1
A[1:0]=*0 A[1:0]=*1		1'	*	1	1 1

ソース(16ビットデバイス)

図II.4.11 16ビットデバイスからのバイトデータ読み込み

リトルエンディアン

ソース(汎用レジスタ)				バスオペレーション						
バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH #WRL	データバス		
7	4	0	7	1	0	0	X	0	データ保持	バイト0
↓	↓	↓	↓	2	0	1	X	0	データ保持	バイト1
↓	↓	↓	↓	3	1	0	X	0	データ保持	バイト2
↓	↓	↓	↓	4	1	1	X	0	データ保持	バイト3
A[1:0]=11	A[1:0]=10	A[1:0]=01	A[1:0]=00							
ディスティネーション(8ビットデバイス)										

(X: 未接続/未使用)

ビッグエンディアン

ソース(汎用レジスタ)										バスオペレーション																																			
バイト3				バイト2				バイト1				バイト0				No.		A1		A0		#WRH		#WRL		15		データバス		0															
7				↓				1				0				7		↓		2				0		7		↓		3				0		7		↓		4				0	
A[1:0]=00				A[1:0]=01				A[1:0]=10				A[1:0]=11																																	
ディスティネーション(8ビットデバイス)																																													

図II.4.12 8ビットデバイスへのワードデータ書き込み

リトルエンディアン

ディスティネーション(汎用レジスタ)				バスオペレーション											
バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH #WRL	15	データバス	0					
7	↑4	0 7	↑3	0 7	↑2	0 7	↑1	0	無視	バイト0					
A[1:0]=11				A[1:0]=10				A[1:0]=01				A[1:0]=00			
ソース(8ビットデバイス)															

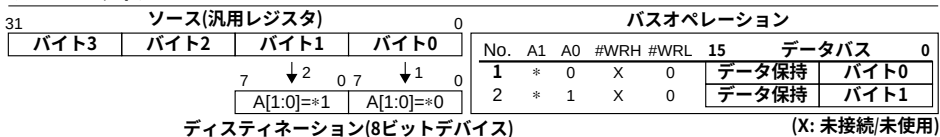
(X: 未接続/未使用)

ビッグエンディアン

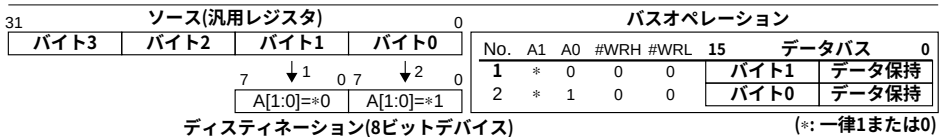
31 ディスティネーション(汎用レジスタ) 0								バスオペレーション								
バイト3		バイト2		バイト1		バイト0		No.	A1	A0	#WRH	#WRL	15	データバス		0
7	↑	1	0	7	↑	2	0	7	↑	3	0	7	↑	4	0	
A[1:0]=00		A[1:0]=01		A[1:0]=10		A[1:0]=11								バイト3		無視
ソース(8ビットデバイス)														バイト2		無視
														バイト1		無視
														バイト0		無視

図II.4.13 8ビットデバイスからのワードデータ読み込み

リトルエンディアン

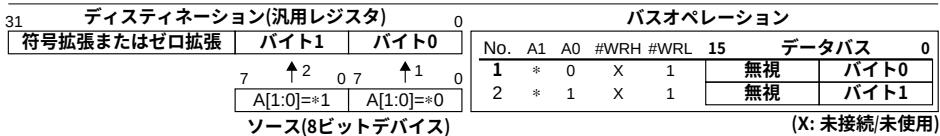


ビッグエンディアン

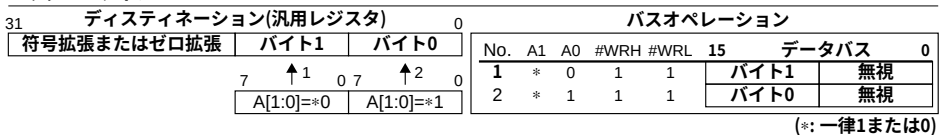


図II.4.14 8ビットデバイスへのハーフワードデータ書き込み

リトルエンディアン

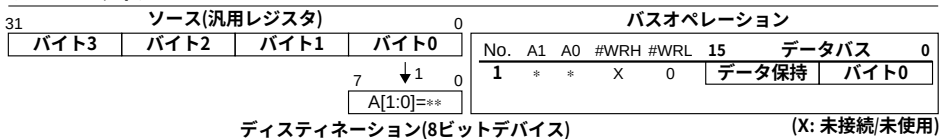


ビッグエンディアン

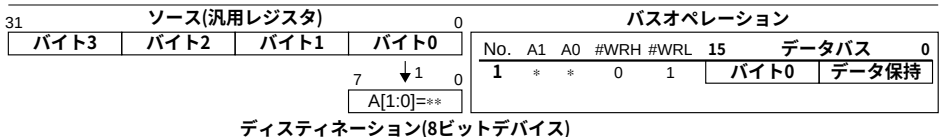


図II.4.15 8ビットデバイスからのハーフワードデータ読み込み

リトルエンディアン

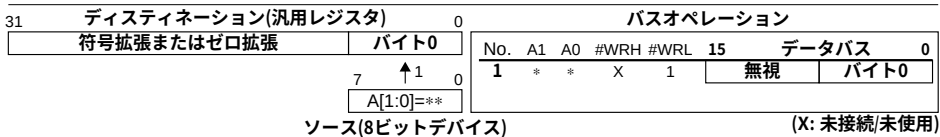


ビッグエンディアン

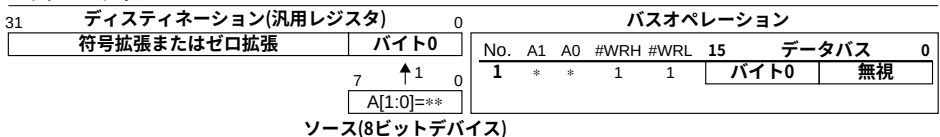


図II.4.16 8ビットデバイスへのバイトデータ書き込み

リトルエンディアン



ビッグエンディアン

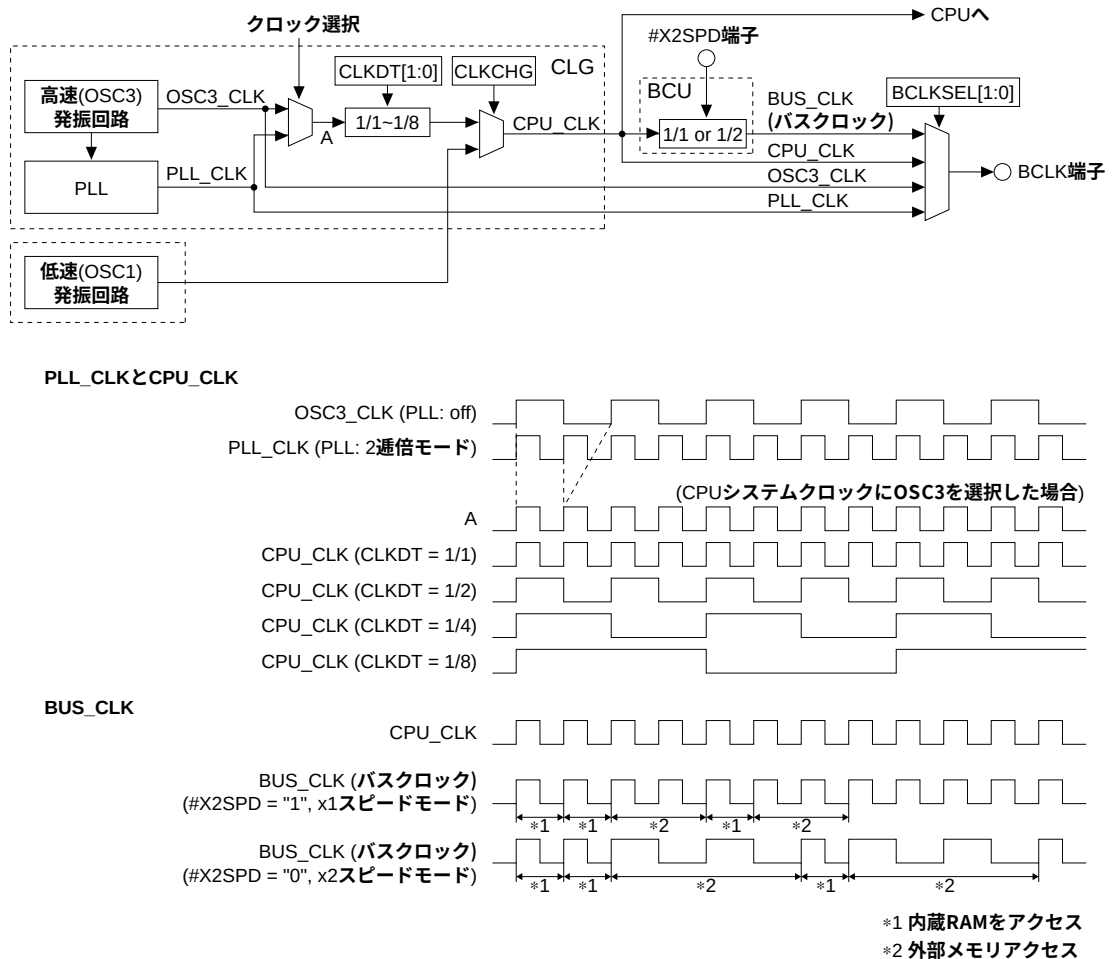


図II.4.17 8ビットデバイスからのバイトデータ読み込み

バスクロック

バスクロックはクロックジェネレータが出力するCPUシステムクロックからBCUが生成します。

図II.4.18にクロック系のブロック図を示します。



図II.4.18 クロック系

バスクロックはCPUシステムクロック(CPU_CLK)から生成するため、以下の設定が直接バスクロックにも影響します。

1. 発振回路の選択(OSC3またはOSC1)
2. PLLの設定
3. パワーセーブ用の分周(OSC3_CLKまたはPLL_CLKの1/8、1/4、1/2または1/1)

2と3の設定は、高速(OSC3)発振回路を選択した場合に適用されます。

CPUシステムクロックの設定については、"CLG(クロックジェネレータ)"を参照してください。

スタンバイモード時の動作は次のとおりです。

HALT 基本モード: BCUおよびバスクロックは動作します。

HALT2モード: BCUおよびバスクロックは停止します。

SLEEPモード: BCUおよびバスクロックは停止します。

注: 発振回路の構成、PLLの逓倍モードおよび設定方法は機種により異なります。"CLG(クロックジェネレータ)"等、発振回路の章を参照してください。

バススピードモード

CPU - バスクロック比を#X2SPD端子で設定することができます。

#X2SPD端子が"1"の場合、x1スピードモード(CPU - バスクロック比が1:1)となり、バスクロックがCPUシステムクロックと同じになります。

#X2SPD端子が"0"の場合はx2スピードモード(CPU - バスクロック比が2:1)となります。

x2スピードモードでは、アクセスするメモリによりバスクロックが次のようにダイナミックに変化します。

- 外部メモリ領域をアクセスする場合、バスクロックはCPUシステムクロックの1/2となります。
- 内蔵RAM/ROM領域をアクセスする場合、バスクロックはCPUシステムクロックと同じになります。

#X2SPD端子が"0"の場合でも、バス速度設定レジスタ(0x4813E)のAxxBS(D[7:0])により、エリアごとにx1スピードモードに設定することができます。

また、エリア1(内蔵I/O領域)はx1スピードモードではCPUシステムクロック2サイクルでアクセスされます。

x2スピードモード時はBCLK選択レジスタ(0x4813A)のA1X1MD(D3)を"1"に設定することにより、2サイクルでアクセスされます(デフォルト"0")。x2スピードモード時は、必ずA1X1MDを"1"に設定して使用してください。

注: 内部バスも含め、バス速度の上限は40MHzです。CPU動作周波数が40MHz以上の場合は#X2SPD端子を"0"にすると共に、AxxBSビットを"0"、A1X1MDビットを"1"に設定してください。

バスクロックの外部出力

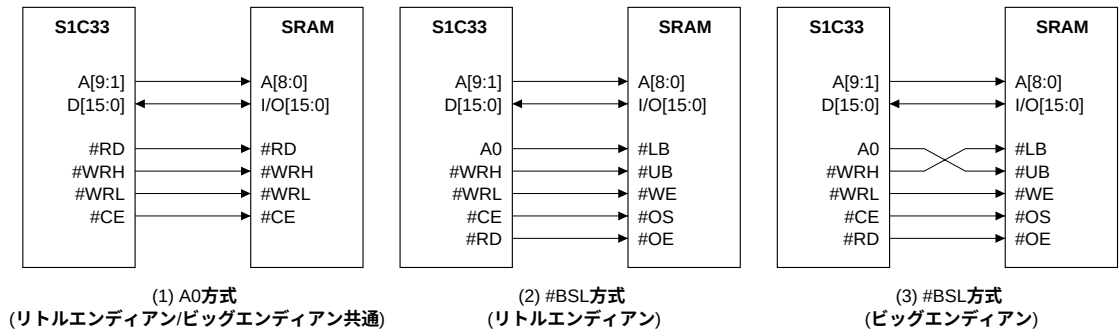
バスクロックはBCLK端子から外部にも出力されます。BCLK出力クロックはBCLK選択レジスタ(0x4813A)のBCLKSEL[1:0](D[1:0])によって4種類から選択可能です。

表II.4.12 BCLK出力クロックの選択

BCLKSEL1	BCLKSEL0	出力クロック
1	1	PLL_CLK (PLL出力クロック)
1	0	OSC3_CLK (OSC3発振クロック)
0	1	BUS_CLK (バスクロック)
0	0	CPU_CLK (CPU動作クロック)

外部システムインタフェースのバスサイクル

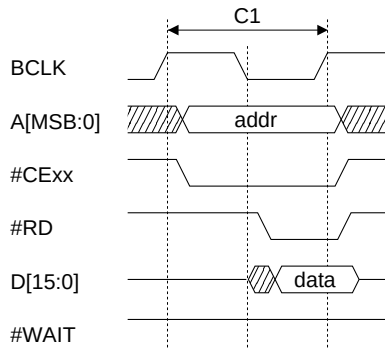
以下に、SRAM接続例と基本的なバスサイクルを示します。



図II.4.19 SRAM接続例

SRAMタイプのリードサイクル

■ウェイト指定なしの基本リードサイクル



図II.4.20 ウェイト指定なしのリードサイクル

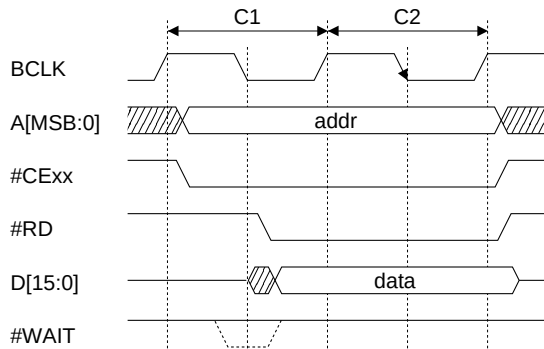
■リードサイクルへのウェイト挿入

リードサイクルにウェイトサイクルを挿入する方法には、次の2種類があります。

1. BCUの制御ビットAxxWT[2:0]による指定(0~7サイクル)
2. #WAIT端子による外部ウェイト入力(1との併用が可能)

1. BCUのAxxWT[2:0]ビットによるウェイト挿入

例: 1サイクルのウェイトを挿入(AxxWT[2:0] = "0x1")、#WAITによる外部ウェイト要求はなし

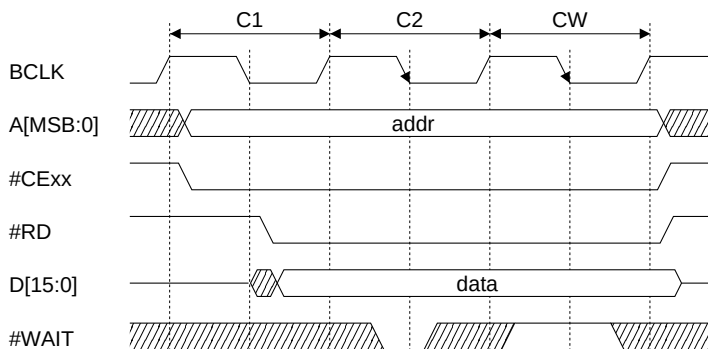


図II.4.21 ウェイト付のリードサイクル(AxxWT[2:0]による指定)

図II.4.20に示した基本リードサイクル(C1)の後に、AxxWT[2:0]で指定した1ウェイトサイクル(C2)が挿入されます。

2. #WAITによるウェイト挿入

例: AxxWT[2:0]によって1サイクルのウェイトが挿入されるリードサイクル(図II.4.21)に、#WAIT端子から外部ウェイト要求を入力



図II.4.22 #WAIT制御付のリードサイクル

リードサイクル中、#WAIT信号は以下のタイミングでサンプリングされた結果が有効となり、ウェイトサイクルの挿入を制御します。

- AxxWT[2:0]によって挿入されたウェイトの最終サイクルのBCLK(バスクロック)立ち下がりエッジ(ウェイトなしの設定の場合はC1サイクルのBCLK立ち下がりエッジ)*
- #WAITで挿入されたウェイトの各サイクルのBCLK(バスクロック)立ち下がりエッジ

#WAIT = Lowをサンプリングすると、現在のサイクル終了後に1サイクルのウェイトが挿入され、Highをサンプリングすると新たなウェイトは挿入されません。

* 実際にはリードサイクル中のBCLKの各立ち下がりエッジで#WAIT信号がサンプリングされますが、AxxWT[2:0]によって挿入されたウェイトが優先されるため、上記以外のサンプリング結果は意味を持ちません。

図II.4.21、図II.4.22共に、AxxWT[2:0]によって1ウェイトサイクル(C2)が挿入されているため、C2のBCLK立ち下がりエッジでサンプリングされた#WAIT信号の状態が有効になります。C1のBCLK立ち下がりエッジにおける#WAITの状態は、ウェイトサイクルの挿入に影響を与えません。

図II.4.21では#WAIT = Highをサンプリングしたため、C2でリードサイクルを終了します(リードホールドサイクルや出力ディセーブル遅延時間は指定されていないものとします)。

図II.4.22では#WAIT = Lowをサンプリングしたため、C2の後に#WAITによるウェイトサイクル(CW)が挿入されます。続くウェイトサイクル(CW)内で#WAIT = Highをサンプリングしたため、この例では#WAITにより1サイクルのみウェイトが追加されました。CW内で#WAIT = Lowをサンプリングした場合は、さらに1サイクルのCWが追加されます。

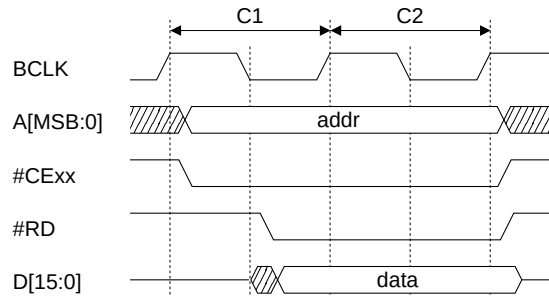
注: #WAIT端子によるウェイトサイクルの挿入は、バス条件のデバイスタイプがSRAMタイプに設定され、かつバスコントロールレジスタ(0x4812E)のSWAITE(D0)がウェイトイネーブルに設定されている場合にのみ可能です。

■リードホールドサイクルの挿入

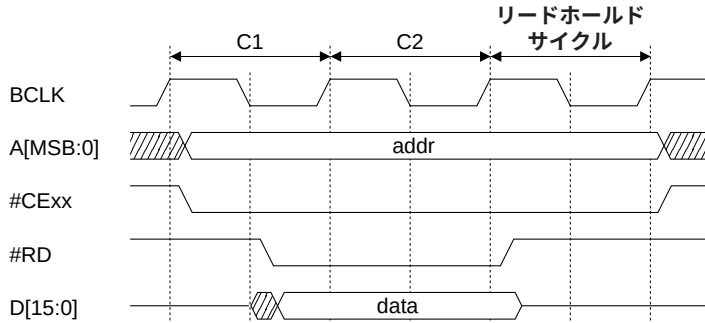
本BCUのデフォルト設定のリードサイクルでは、#RD信号立ち上がり、チップイネーブル信号(#CExx)の立ち上がり、およびアドレス信号の切り換えが同じクロックエッジで発生します。チップイネーブル信号とアドレス信号にはホールド時間が設けられていません。このため、リード動作によって内部情報が変化するI/O周辺回路をC33のバスに接続した場合などは、誤動作を起こすことがあります。これを回避するため、ホールド時間制御レジスタ(0x4813C)が用意されており、各エリアに対応したAxxRHビットの設定により、#RDの立ち上がり後、#CExx、A[MSB:0]に1サイクルのホールド時間を設けることができます。

出力ディセーブル遅延時間が設定され、かつ挿入が指定されている場合、出力ディセーブル遅延時間はリードホールドサイクルの後に挿入されます。

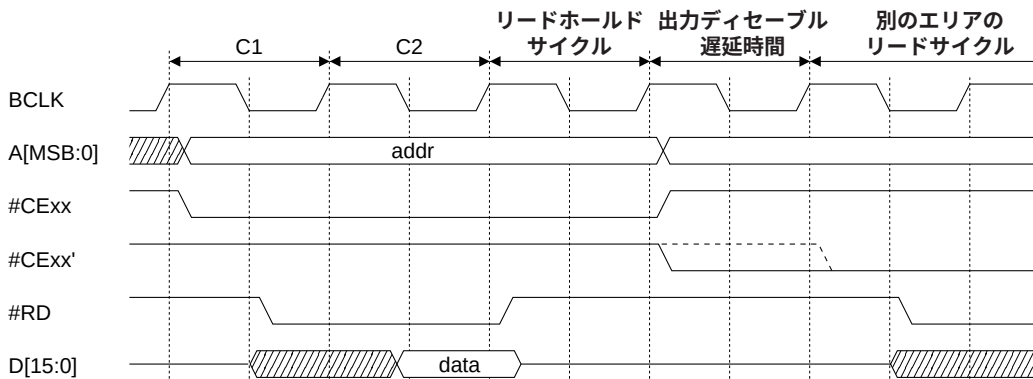
リードホールドサイクルなしの場合(AxxRH="0"、ウェイトサイクル数AxxWT[2:0]="0x1")



リードホールドサイクルを挿入した場合(AxxRH="1"、ウェイトサイクル数AxxWT[2:0]="0x1")



図II.4.23 リードホールドサイクルの挿入

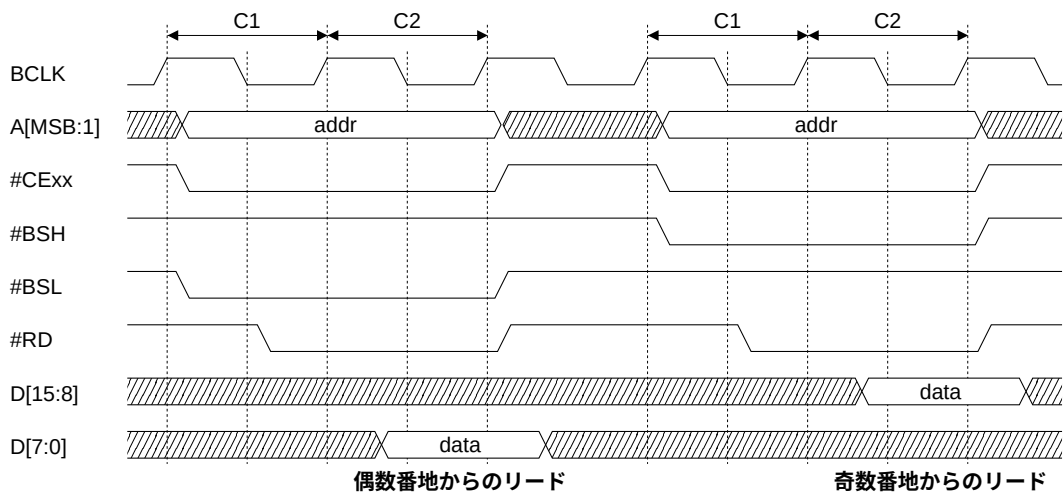


(出力遅延時間を1.5に設定した場合)

図II.4.24 リードホールドサイクルと出力ディセーブル遅延時間の挿入

注: 出力ディセーブル遅延時間が挿入されると、#RDや#WRLなどの制御信号は出力ディセーブル遅延時間待たされますが、チップイネーブルは出力ディセーブル遅延時間の間、アサートされる場合とされない場合があります。

■BSL方式の16ビットデバイスからのバイトリード



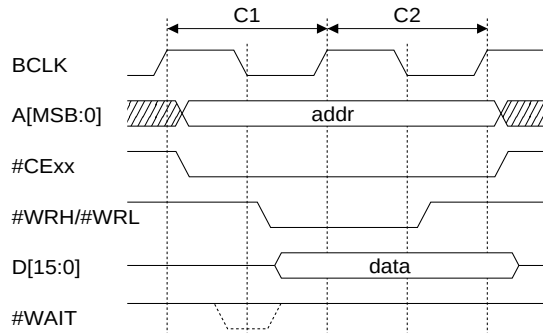
(ウェイトサイクル数AxxWT[2:0] = "0x1"の場合)

図II.4.25 BSL方式の16ビットデバイスからのバイトリード

偶数番地からのリード時は#BSLが、奇数番地からのリード時は#BSHがアサートされます。

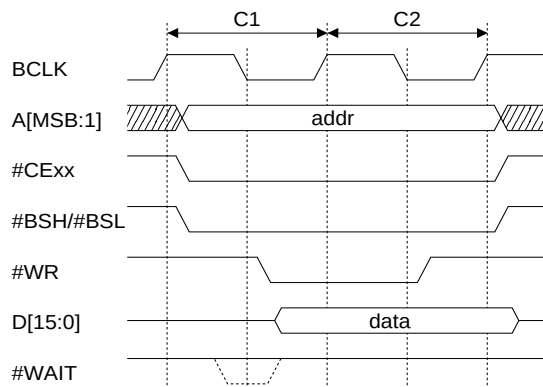
SRAMタイプのライトサイクル

■ウェイト指定なし(1ウェイト)の基本ライトサイクル(A0方式)



図II.4.26 ウェイト指定なしのライトサイクル(A0方式)

■ウェイト指定なし(1ウェイト)の基本ライトサイクル(BSL方式)



図II.4.27 ウェイト指定なしのライトサイクル(BSL方式)

注: ライトサイクルではウェイトの挿入を指定しない場合でも、上記のように1ウェイトサイクル(C2)が必ず付加されます。

■ライトサイクルへのウェイト挿入

ライトサイクルにウェイトサイクルを挿入する方法には、次の2種類があります。

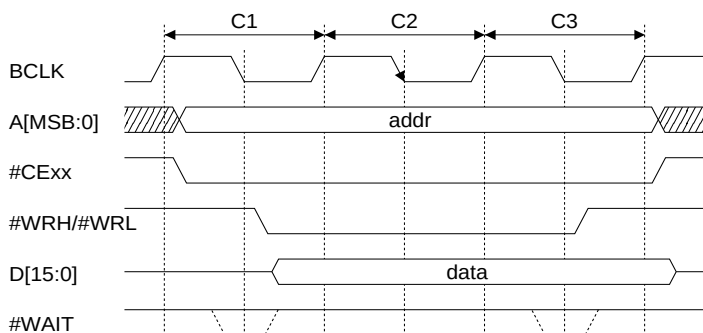
1. BCUの制御ビットAxxWT[2:0]による指定(2～7サイクル)

ライトサイクルには必ず1ウェイトサイクルが挿入されるため、AxxWT[2:0] = "0x0"と"0x1"の指定は無効です。

2. #WAIT端子による外部ウェイト入力(1との併用が可能)

1. BCUのAxxWT[2:0]ビットによるウェイト挿入

例: 2サイクルのウェイトを指定(AxxWT[2:0] = "0x2")、#WAITによる外部ウェイト要求はなし、A0方式

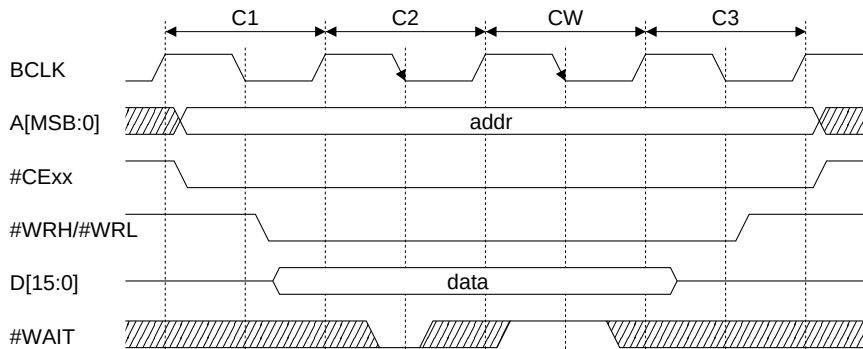


図II.4.28 1ウェイトを追加したライトサイクル(AxxWT[2:0]による指定)

図II.4.26に示した基本ライトサイクルのC1の後に、AxxWT[2:0]で指定した2ウェイトサイクル(C2とC3)が挿入されます。(基本ライトサイクルのC2は指定したウェイトサイクル数に含まれる形になります。)

2. #WAITによるウェイト挿入

例: AxxWT[2:0]によって2サイクルのウェイトが挿入されるライトサイクル(図II.4.28)に、#WAIT端子から外部ウェイト要求を入力



図II.4.29 #WAIT制御付のライトサイクル

ライトサイクル中、#WAIT信号は以下のタイミングでサンプリングされた結果が有効となり、ウェイトサイクルの挿入を制御します。

- AxxWT[2:0]によって挿入されたウェイトを含むバスサイクルの最後から2番目のサイクルのBCLK(バスクロック)立ち下がりエッジ(ウェイト指定なしの場合はC1サイクルのBCLK立ち下がりエッジ)
- #WAITで挿入されたウェイトの各サイクルのBCLK(バスクロック)立ち下がりエッジ

#WAIT = Lowをサンプリングすると、現在のサイクル終了後に1サイクルのウェイトが挿入され、Highをサンプリングすると新たなウェイトは挿入されません。

図II.4.28、図II.4.29共に、AxxWT[2:0]によって2ウェイトサイクル(C2、C3)が挿入されているため、C2のBCLK立ち下がりエッジでサンプリングされた#WAIT信号の状態が有効になります。C1およびC3のBCLK立ち下がりエッジにおける#WAITの状態は、ウェイトサイクルの挿入に影響を与えません。

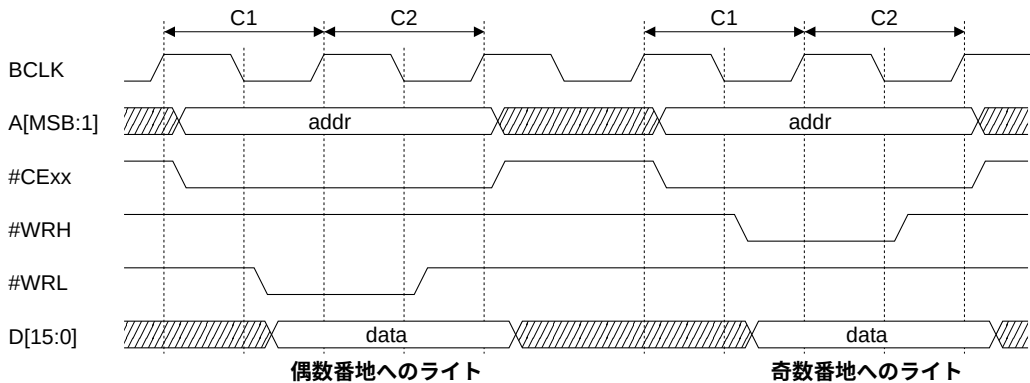
図II.4.28では#WAIT = Highをサンプリングしたため、C3でライトサイクルを終了します。

図II.4.29では#WAIT = Lowをサンプリングしたため、C2の後に#WAITによるウェイトサイクル(CW)が挿入されます。続くウェイトサイクル(CW)内で#WAIT = Highをサンプリングしたため、この例では#WAITにより1サイクルのみウェイトが追加されました。CW内で#WAIT = Lowをサンプリングした場合は、さらに1サイクルのCWが追加されます。

注: #WAIT端子によるウェイトサイクルの挿入は、バス条件のデバイスタイプがSRAMタイプに設定され、かつバスコントロールレジスタ(0x4812E)のSWAITE(D0)がウェイトイネーブルに設定されている場合にのみ可能です。

■16ビットデバイスへのバイトライト

1. A0方式(リトルエンディアン)

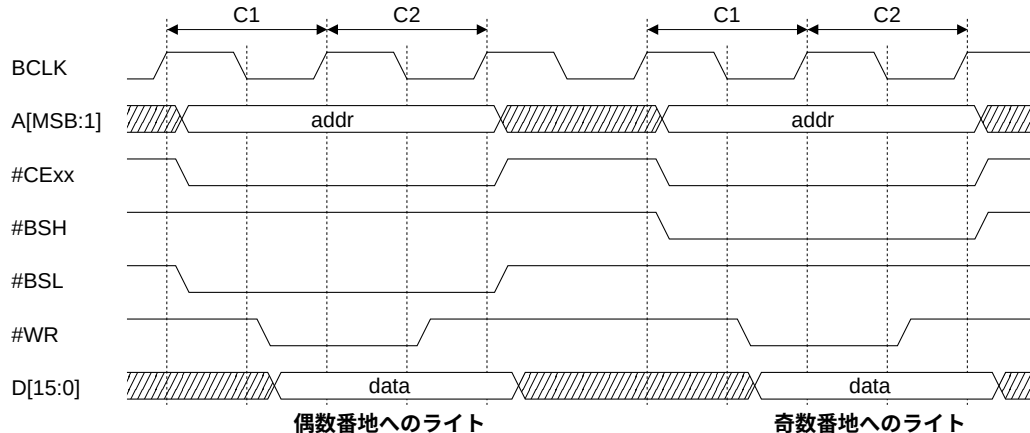


(A0方式, リトルエンディアン, ウェイト指定なし)

図II.4.30 16ビットデバイスへのバイトライトサイクル

偶数番地へのライト時は#WRLが、奇数番地へのライト時は#WRHがアサートされます。

2. BSL方式(リトルエンディアン)



(BSL方式, リトルエンディアン, ウェイト指定なし)

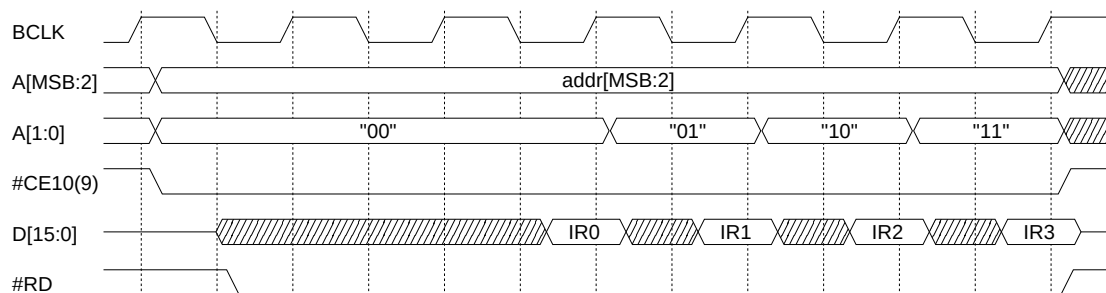
図II.4.31 16ビットデバイスへのバイトライトサイクル

偶数番地へのライト時は#BSLが、奇数番地へのライト時は#BSHがアサートされます。

バーストROMのリードサイクル

■バーストリードサイクル

例: 4連続バースト、最初のアクセスが2ウェイトに設定されている場合



図II.4.32 バーストリードサイクル

バーストリードサイクルは、エリア10またはエリア9がバーストROMに設定され、そのエリアに対して以下のいずれかのアクセスが行われた場合に発生します。

1) 命令のフェッチ

連続するアドレスからの命令フェッチが

A[2:1]="11"となるまで(4連続バーストの場合)

A[3:1]="111"となるまで(8連続バーストの場合)

バーストリードサイクルとなります。

2) ワード(32ビット)データの読み出し

注: バーストROMとしては、16ビット出力タイプをサポートしています。デバイスサイズは16ビットに設定してください。

■バーストリード時のウェイトサイクル

最初のバスオペレーションには、通常のSRAMタイプと同じエリア10-9設定レジスタ(0x48126)のA10WT[2:0](D[2:0])で、0~7サイクルのウェイトを挿入することができます。続くバーストサイクルに挿入するウェイトサイクルは、同レジスタのバーストリード専用ウェイト制御ビットA10BW[1:0]で0~3サイクルの範囲で指定可能です。

なお、バーストリードサイクルには、#WAIT端子によるウェイトサイクルは挿入できません。

■バーストROMエリアへのライトサイクル

エリア10またはエリア9がバーストROMに設定されている場合にこのエリアに対して書き込みを行うと、SRAMタイプのライトサイクルを実行します。この場合、#WAIT端子によるウェイトサイクルの挿入も有効です。

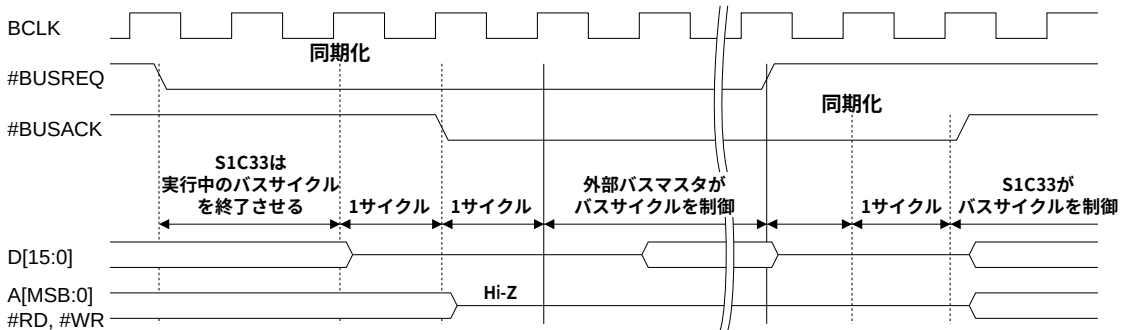
外部バスの解放

外部バスは、通常CPUの管理下に置かれていますが、バス権を外部に解放することが可能となっています。この機能はバスコントロールレジスタ(0x4812E)のSEMAS(D2)に"1"を書き込むことにより有効となります(初期設定は無効)。また、この制御には、#BUSREQ(P34)端子と#BUSACK(P35)端子を使用します。P34およびP35端子を#BUSREQ入力と#BUSACK出力に設定するにはP3機能選択レジスタ(0x402DC[Byte])のCFP34(D4)とCFP35(D5)に"1"を書き込んでください。

■バス権解放シーケンス

バス権解放のシーケンスは次のとおりです。

1. バス権を要求する外部バスマスタデバイスは、#BUSREQ端子をLowレベルにします。
2. CPUは常に#BUSREQ端子の状態を監視しており、端子がLowレベルになると実行中のバスサイクルを終了し、その1サイクル後に以下の信号をハイインピーダンスにします。
A[MSB:0], D[15:0], #RD, #WRH, #WRH, #HCAS, #LCAS, #CExx
さらに#BUSACK端子をLowレベルにしてバス権を解放したことを、外部デバイスに知らせます。
3. 1サイクル後、外部バスマスタは自らのバスサイクルを開始します。外部バスマスタはバスサイクルを終了するまで#BUSREQ端子をLowに固定しておく必要があります。
4. 外部バスマスタは必要なバスサイクルを終了後、バスをハイインピーダンスにしてから#BUSREQ端子をHighレベルに戻します。
5. CPUは#BUSREQ端子のHighレベルを確認すると、その1サイクル後に#BUSACK端子をHighレベルにし、中断していた処理を再開します。



図II.4.33 外部バス解放タイミング

内蔵のDMAコントローラによるDMA転送中にバス権要求が発生した場合は、実行中のDMA転送をデータの区切りで中断してバス権要求を受け付けます。中断したDMA転送はCPUにバス権が戻った時点で再開します。

外部デバイスによるパワーダウン制御

前述のバス権解放要求に加え、#BUSREQ信号を使用してCPUをHALT状態に設定することができます。これにより、外部バスマスタによるバスオペレーション中にCPUを停止して消費電流を低減させることができます。この機能は、バスコントロールレジスタ(0x4812E)のSEPD(D1)に"1"を書き込むことによって有効となります。

SEPDが"1"の場合に#BUSREQ端子がLowレベルになると、CPUとBCUは動作を停止しHALT状態となります。このHALT状態は内蔵周辺回路の割り込みによっては解除されず、#BUSREQ端子がHighに戻るまで継続します。通常の#BUSREQによるバス解放状態とは異なり、アドレスバスやバス制御信号はハイインピーダンスとはなりません。

BCUのI/Oメモリ

表II.4.13に外部システムインタフェースの制御ビットを示します。これらのI/Oメモリは内蔵16ビット周辺回路用の領域(0x48000以降)に割り付けられています。ただし、ハーフワード以外(バイトまたはワード)でもアクセス可能です。

入出力兼用ポートに割り当てられた外部システムインタフェース用端子の制御ビットについては、入出力ポートの章を参照してください。

BCUのI/Oメモリ内にはDRAM用の制御レジスタ/ビットがありますが、すべてデフォルト設定のまま使用してください。

表II.4.13 外部システムインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア18-15 設定レジスタ	0048120 (HW)	DF	—	reserved	—	—	—	読み出し時: 0
		DE	A18SZ	エリア18-17デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		DD	A18DF1	エリア18-17 出力ディセーブル遅延時間	A18DF[1:0] サイクル数	1	R/W	
		DC	A18DF0		1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		DB	—	reserved	—	—	—	読み出し時: 0
		DA	A18WT2	エリア18-17ウェイト制御	A18WT[2:0] ウェイト数	1	R/W	
		D9	A18WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D8	A18WT0					
		D7	—	reserved	—	—	—	読み出し時: 0
		D6	A16SZ	エリア16-15デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A16DF1	エリア16-15 出力ディセーブル遅延時間	A16DF[1:0] サイクル数	1	R/W	
		D4	A16DF0		1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A16WT2	エリア16-15ウェイト制御	A16WT[2:0] ウェイト数	1	R/W	
		D1	A16WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A16WT0					
エリア14-13 設定レジスタ	0048122 (HW)	DF-9	—	reserved	—	—	—	読み出し時: 0
		D8	A14DRA	エリア14 DRAM選択	1 使用 0 未使用	0	R/W	
		D7	A13DRA	エリア13 DRAM選択	1 使用 0 未使用	0	R/W	
		D6	A14SZ	エリア14-13デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A14DF1	エリア14-13 出力ディセーブル遅延時間	A14DF[1:0] サイクル数	1	R/W	
		D4	A14DF0		1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A14WT2	エリア14-13ウェイト制御	A14WT[2:0] ウェイト数	1	R/W	
		D1	A14WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A14WT0					

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
エリア12-11 設定レジスタ	0048124 (HW)	DF-7	-	reserved	-	-	-	読み出し時: 0		
		D6	A12SZ	エリア12-11デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W		
		D5	A12DF1	エリア12-11 出力ディセーブル遅延時間	A12DF[1:0]		サイクル数	1		R/W
		D4	A12DF0		1 1	3.5	1			
					1 0	2.5				
				0 1	1.5					
				0 0	0.5					
		D3	-	reserved	-	-	-	-	読み出し時: 0	
		D2	A12WT2	エリア12-11ウェイト制御	A12WT[2:0]		ウェイト数	1	R/W	
		D1	A12WT1		1 1 1	7	1			
		D0	A12WT0		1 1 0	6	1			
					1 0 1	5				
		1 0 0	4							
		0 1 1	3							
		0 1 0	2							
		0 0 1	1							
		0 0 0	0							
エリア10-9 設定レジスタ	0048126 (HW)	DF	-	reserved	-	-	-	読み出し時: 0		
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0]		ROM容量	1	R/W	
		DD	A10IR1		1 1 1	2MB	1			
		DC	A10IR0		1 1 0	1MB	1			
					1 0 1	512KB				
					1 0 0	256KB				
					0 1 1	128KB				
					0 1 0	64KB				
					0 0 1	32KB				
				0 0 0	16KB					
		DB	-	reserved	-	-	-	-	読み出し時: 0	
		DA	A10BW1	エリア10-9 バーストROM バーストリードサイクルウェイト 制御	A10BW[1:0]		ウェイト数	0	R/W	
		D9	A10BW0		1 1	3	0			
					1 0	2				
					0 1	1				
				0 0	0					
		D8	A10DRA	エリア10バーストROM選択	1 使用	0 未使用	0	R/W		
		D7	A9DRA	エリア9バーストROM選択	1 使用	0 未使用	0	R/W		
		D6	A10SZ	エリア10-9デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W		
		D5	A10DF1	エリア10-9 出力ディセーブル遅延時間	A10DF[1:0]		サイクル数	1	R/W	
		D4	A10DF0		1 1	3.5	1			
					1 0	2.5				
					0 1	1.5				
				0 0	0.5					
D3	-	reserved	-	-	-	-	読み出し時: 0			
D2	A10WT2	エリア10-9ウェイト制御	A10WT[2:0]		ウェイト数	1	R/W			
D1	A10WT1		1 1 1	7	1					
D0	A10WT0		1 1 0	6	1					
			1 0 1	5						
			1 0 0	4						
			0 1 1	3						
			0 1 0	2						
			0 0 1	1						
		0 0 0	0							
エリア8-7 設定レジスタ	0048128 (HW)	DF-9	-	reserved	-	-	-	読み出し時: 0		
		D8	A8DRA	エリア8 DRAM選択	1 使用	0 未使用	0	R/W		
		D7	A7DRA	エリア7 DRAM選択	1 使用	0 未使用	0	R/W		
		D6	A8SZ	エリア8-7デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W		
		D5	A8DF1	エリア8-7 出力ディセーブル遅延時間	A8DF[1:0]		サイクル数	1	R/W	
		D4	A8DF0		1 1	3.5	1			
					1 0	2.5				
					0 1	1.5				
				0 0	0.5					
		D3	-	reserved	-	-	-	-	読み出し時: 0	
		D2	A8WT2	エリア8-7ウェイト制御	A8WT[2:0]		ウェイト数	1	R/W	
		D1	A8WT1		1 1 1	7	1			
D0	A8WT0	1 1 0	6		1					
		1 0 1	5							
		1 0 0	4							
		0 1 1	3							
		0 1 0	2							
		0 0 1	1							
		0 0 0	0							

II-4 コアブロック: BCU(バスコントロールユニット)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア6-4 設定レジスタ	004812A (HW)	DF-E	-	reserved	-	-	-	読み出し時: 0
		DD	A6DF1	エリア6	A6DF[1:0]	サイクル数	1	R/W
		DC	A6DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1	
		DB	-	reserved	-	-	-	読み出し時: 0
		DA	A6WT2	エリア6ウェイト制御	A6WT[2:0]	ウェイト数	1	R/W
		D9	A6WT1		1 1 1	7	1	
		D8	A6WT0		1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	6 5 4 3 2 1 0	1	
		D7	-	reserved	-	-	-	読み出し時: 0
		D6	A5SZ	エリア5-4デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W
		D5	A5DF1	エリア5-4	A5DF[1:0]	サイクル数	1	R/W
		D4	A5DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1	
		D3	-	reserved	-	-	-	読み出し時: 0
		D2	A5WT2	エリア5-4ウェイト制御	A5WT[2:0]	ウェイト数	1	R/W
		D1	A5WT1		1 1 1 1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	7 6 5 4 3 2 1 0	1	
		D0	A5WT0					
バスコントロール レジスタ	004812E (HW)	DF	RBCLK	BCLK出力イネーブル	1 H 固定	0 イネーブル	0	R/W
		DE	-	reserved	-	-	0	-
		DD	RBST8	バーストROMバーストモード選択	1 8連続	0 4連続	0	R/W
		DC	REDO	DRAMページモード選択	1 EDO	0 高速ページ	0	R/W
		DB	RCA1	カラムアドレスサイズ選択	RCA[1:0]	サイズ	0	R/W
		DA	RCA0		1 1 1 0 0 1 0 0	11 10 9 8	0	
		D9	RPC2	リフレッシュイネーブル	1 イネーブル	0 ディセーブル	0	R/W
		D8	RPC1	リフレッシュ方式選択	1 セルフ	0 CBR	0	R/W
		D7	RPC0	リフレッシュRPCディレイ	1 2.0	0 1.0	0	R/W
		D6	RRA1	リフレッシュ	RRA[1:0]	サイクル数	0	R/W
		D5	RRA0	RASパルス幅選択	1 1 1 0 0 1 0 0	5 4 3 2	0	
		D4	-	reserved	-	-	0	-
		D3	SBUSST	外部インタフェース方式設定	1 #BSL	0 A0	0	R/W
		D2	SEMAS	外部バスマスタ設定	1 存在	0 なし	0	R/W
		D1	SEPD	外部パワーダウン制御	1 有効	0 無効	0	R/W
		D0	SWAITE	#WAITイネーブル	1 許可	0 禁止	0	R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈	
DRAM タイミング設定 レジスタ	0048130 (HW)	DF-C	-	reserved	-		-	-	読み出し時: 0
		DB	A3EEN	エリア3エミュレーション	1 内蔵ROM	0 エミュレーション	1 R/W		
		DA	CEFUNC1	#CE端子機能選択	CEFUNC[1:0] #CE出力		0 R/W		
		D9	CEFUNC0		1 x	#CE7/8..#CE17/18	0		
			0 1		#CE6..#CE17				
					0 0	#CE4..#CE10			
		D8	CRAS	連続RASモード	1 連続	0 通常	0 R/W		
		D7	RPRC1	DRAM RASプリチャージサイクル数	RPRC[1:0] サイクル数		0 R/W		
		D6	RPRC0		1 1	4	0		
			1 0		3				
			0 1		2				
			0 0		1				
		D5	-	reserved	-		-	-	読み出し時: 0
		D4	CASC1	DRAM CASサイクル数	CASC[1:0] サイクル数		0 R/W		
		D3	CASC0		1 1	4	0		
			1 0		3				
			0 1		2				
	0 0	1							
D2	-	reserved	-		-	-	読み出し時: 0		
D1	RASC1	DRAM RASサイクル数	RASC[1:0] サイクル数		0 R/W				
D0	RASC0		1 1	4	0				
	1 0		3						
	0 1		2						
	0 0		1						
アクセス制御 レジスタ	0048132 (HW)	DF	A18IO	エリア18, 17外部/内部アクセス	1 内部	0 外部	0 R/W		
		DE	A16IO	エリア16, 15外部/内部アクセス	アクセス	アクセス	0 R/W		
		DD	A14IO	エリア14, 13外部/内部アクセス			0 R/W		
		DC	A12IO	エリア12, 11外部/内部アクセス			0 R/W		
		DB	-	reserved	-		0 -	読み出し時: 0	
		DA	A8IO	エリア8, 7外部/内部アクセス	1 内部	0 外部	0 R/W		
		D9	A6IO	エリア6外部/内部アクセス	アクセス	アクセス	0 R/W		
		D8	A5IO	エリア5, 4外部/内部アクセス			0 R/W		
		D7	A18EC	エリア18, 17エンディアン制御	1 ビッグエン	0 リトルエン	0 R/W		
		D6	A16EC	エリア16, 15エンディアン制御	ディアン	ディアン	0 R/W		
		D5	A14EC	エリア14, 13エンディアン制御			0 R/W		
		D4	A12EC	エリア12, 11エンディアン制御			0 R/W		
		D3	A10EC	エリア10, 9エンディアン制御			0 R/W		
		D2	A8EC	エリア8, 7エンディアン制御			0 R/W		
		D1	A6EC	エリア6エンディアン制御			0 R/W		
		D0	A5EC	エリア5, 4エンディアン制御			0 R/W		
		G/Aリード信号 制御レジスタ	0048138 (HW)	DF	A18AS	エリア18, 17アドレスストローブ	1 生成	0 禁止	0 R/W
DE	A16AS			エリア16, 15アドレスストローブ			0 R/W		
DD	A14AS			エリア14, 13アドレスストローブ			0 R/W		
DC	A12AS			エリア12, 11アドレスストローブ			0 R/W		
DB	-			reserved	-		0 -	読み出し時: 0	
DA	A8AS			エリア8, 7アドレスストローブ	1 生成	0 禁止	0 R/W		
D9	A6AS			エリア6アドレスストローブ			0 R/W		
D8	A5AS			エリア5, 4アドレスストローブ			0 R/W		
D7	A18RD			エリア18, 17リード信号	1 生成	0 禁止	0 R/W		
D6	A16RD			エリア16, 15リード信号			0 R/W		
D5	A14RD			エリア14, 13リード信号			0 R/W		
D4	A12RD			エリア12, 11リード信号			0 R/W		
D3	-			reserved	-		0 -	読み出し時: 0	
D2	A8RD			エリア8, 7リード信号	1 生成	0 禁止	0 R/W		
D1	A6RD			エリア6リード信号			0 R/W		
D0	A5RD			エリア5, 4リード信号			0 R/W		
BCLK選択 レジスタ	004813A (B)			D7-4	-	reserved	-		0 -
		D3	A1X1MD	エリア1アクセス速度	1 2サイクル	0 4サイクル	0 R/W	x2スピードモード時 (0設定での使用不可)	
		D2	-	reserved	-		0 -	読み出し時: 0	
		D1	BCLKSEL1	BCLK出力クロック選択	BCLKSEL[1:0] BCLK		0 R/W		
		D0	BCLKSEL0		1 1	PLL_CLK	0		
		1 0	OSC3_CLK						
		0 1	BUS_CLK						
		0 0	CPU_CLK						

II-4 コアブロック: BCU(バスコントロールユニット)

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
リードサイクル ホールド時間 制御レジスタ	004813C (B)	D7	A18RH	エリア18-17リードホールドサイクル	1	あり	0	なし	0	R/W	
		D6	A16RH	エリア16-15リードホールドサイクル					0	R/W	
		D5	A14RH	エリア14-13リードホールドサイクル					0	R/W	
		D4	A12RH	エリア12-11リードホールドサイクル					0	R/W	
		D3	A10RH	エリア10-9リードホールドサイクル					0	R/W	
		D2	A8RH	エリア8-7リードホールドサイクル					0	R/W	
		D1	A6RH	エリア6リードホールドサイクル					0	R/W	
		D0	A5RH	エリア5-4リードホールドサイクル					0	R/W	
バス速度設定 レジスタ	004813E (B)	D7	A18BS	エリア18-17バス速度選択	1	×1速度	0	#X2SPD に従う	0	R/W	本レジスタの設定 は、#X2SPD="0"(×2 スピードモード)の場 合に有効
		D6	A16BS	エリア16-15バス速度選択					0	R/W	
		D5	A14BS	エリア14-13バス速度選択					0	R/W	
		D4	A12BS	エリア12-11バス速度選択					0	R/W	
		D3	A10BS	エリア10-9バス速度選択					0	R/W	
		D2	A8BS	エリア8-7バス速度選択					0	R/W	
		D1	A6BS	エリア6バス速度選択					0	R/W	
		D0	A5BS	エリア5-4バス速度選択					0	R/W	

A18SZ: エリア18-17デバイスサイズ選択 (D6/0x48120<エリア18-15設定レジスタ>)

A16SZ: エリア16-15デバイスサイズ選択 (D6/0x48120<エリア18-15設定レジスタ>)

A14SZ: エリア14-13デバイスサイズ選択 (D6/0x48122<エリア14-13設定レジスタ>)

A12SZ: エリア12-11デバイスサイズ選択 (D6/0x48124<エリア12-11設定レジスタ>)

A10SZ: エリア10-9デバイスサイズ選択 (D6/0x48126<エリア10-9設定レジスタ>)

A8SZ: エリア8-7デバイスサイズ選択 (D6/0x48128<エリア8-7設定レジスタ>)

A5SZ: エリア5-4デバイスサイズ選択 (D6/0x4812A<エリア6-4設定レジスタ>)

各エリアに接続するデバイスのサイズを選択します。

"1"書き込み: 8ビット

"0"書き込み: 16ビット

読み出し: 可能

デバイスサイズを2つのエリア単位に選択できます。

AxxSZに"1"を書き込むと8ビット、"0"を書き込むと16ビットに設定されます。

エリア6はエリアの前半(0x300000~0x37FFFF)が8ビットデバイス用、後半(0x380000~0x3FFFFFF)が16ビットデバイス用となっています。

コールドスタート時、これらのビットは"0"(16ビット)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18DF1-A18DF0: エリア18-17出力ディセーブル遅延時間 (D[D:C]/0x48120<エリア18-15設定レジスタ>)

A16DF1-A16DF0: エリア16-15出力ディセーブル遅延時間 (D[5:4]/0x48120<エリア18-15設定レジスタ>)

A14DF1-A14DF0: エリア14-13出力ディセーブル遅延時間 (D[5:4]/0x48122<エリア14-13設定レジスタ>)

A12DF1-A12DF0: エリア12-11出力ディセーブル遅延時間 (D[5:4]/0x48124<エリア12-11設定レジスタ>)

A10DF1-A10DF0: エリア10-9出力ディセーブル遅延時間 (D[5:4]/0x48126<エリア10-9設定レジスタ>)

A8DF1-A8DF0: エリア8-7出力ディセーブル遅延時間 (D[5:4]/0x48128<エリア8-7設定レジスタ>)

A6DF1-A6DF0: エリア6出力ディセーブル遅延時間 (D[D:C]/0x4812A<エリア6-4設定レジスタ>)

A5DF1-A5DF0: エリア5-4出力ディセーブル遅延時間 (D[5:4]/0x4812A<エリア6-4設定レジスタ>)

出力ディセーブル遅延時間を設定します。

表II.4.14 出力ディセーブル遅延時間

AxxDF1	AxxDF0	遅延時間
1	1	3.5サイクル
1	0	2.5サイクル
0	1	1.5サイクル
0	0	0.5サイクル

出力ディセーブル時間の長いデバイスを使用する場合は、そのデバイスのリード直後のバスオペレーションでデータバス上の競合が発生しないように、遅延時間を設定します。

コールドスタート時、これらのビットは"11"(3.5サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18WT2–A18WT0: エリア18–17ウェイト制御(D[A:8]/0x48120<エリア18–15設定レジスタ>)
A16WT2–A16WT0: エリア16–15ウェイト制御(D[2:0]/0x48120<エリア18–15設定レジスタ>)
A14WT2–A14WT0: エリア14–13ウェイト制御(D[2:0]/0x48122<エリア14–13設定レジスタ>)
A12WT2–A12WT0: エリア12–11ウェイト制御(D[2:0]/0x48124<エリア12–11設定レジスタ>)
A10WT2–A10WT0: エリア10–9ウェイト制御(D[2:0]/0x48126<エリア10–9設定レジスタ>)
A8WT2–A8WT0: エリア8–7ウェイト制御(D[2:0]/0x48128<エリア8–7設定レジスタ>)
A6WT2–A6WT0: エリア6ウェイト制御(D[A:8]/0x4812A<エリア6–4設定レジスタ>)
A5WT2–A5WT0: エリア5–4ウェイト制御(D[2:0]/0x4812A<エリア6–4設定レジスタ>)

SRAMタイプのデバイスをアクセスする際のウェイトサイクル数を設定します。

ここに書き込む0～7の値が挿入されるウェイトサイクル数となります。

なお、ライトサイクルは最小サイクル数が2サイクルで、0または1の書き込みは無効です。

SRAMタイプのデバイスを接続した場合は#WAIT端子によるウェイトサイクルも挿入可能で、その場合もAxxWTによるウェイトサイクルは有効です。

バーストROMのバーストリード(最初のアクセスを除く)サイクルにウェイトサイクルは挿入されません。バーストROMの最初のリードサイクルおよびバーストROM領域へのライトサイクルには、AxxWTで設定したウェイトサイクルが挿入されます。バーストROM領域へのライトサイクルの場合、#WAIT端子の設定も有効です。

コールドスタート時、これらのビットは"111"(7サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A14DRA: エリア14 DRAM選択(D8/0x48122<エリア14–13設定レジスタ>)
A13DRA: エリア13 DRAM選択(D7/0x48122<エリア14–13設定レジスタ>)
A8DRA: エリア8 DRAM選択(D8/0x48128<エリア8–7設定レジスタ>)
A7DRA: エリア7 DRAM選択(D7/0x48128<エリア8–7設定レジスタ>)

デフォルト設定("0")のまま、使用してください。

A10IR2–A10IR0: エリア10内蔵ROMサイズ選択(D[E:C]/0x48126<エリア10–9設定レジスタ>)

エリア10の内蔵メモリサイズを選択します。

表II.4.15 エリア10内蔵ROMサイズ

A10IR2	A10IR1	A10IR0	ROMサイズ
0	0	0	16KB
0	0	1	32KB
0	1	0	64KB
0	1	1	128KB
1	0	0	256KB
1	0	1	512KB
1	1	0	1MB
1	1	1	2MB(デフォルト)

コールドスタート時、A10IRは"111"(2MB)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10BW1–A10BW0: バーストリードサイクルウェイト制御(D[A:9]/0x48126<エリア10–9設定レジスタ>)

バーストリード時のウェイトサイクル数を設定します。

ここに書き込む0～3の値が挿入されるウェイトサイクル数となります。この設定内容はエリア10と9の両方に適用されます。バーストROMの最初のリードサイクルおよびバーストROM領域へのライトサイクルには、AxxWTで設定したウェイトサイクルが挿入されます。バーストROM領域へのライトサイクルの場合、#WAIT端子の設定も有効です。

コールドスタート時、A10BWは"0"(0サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10DRA: エリア10バーストROM選択(D8/0x48126<エリア10-9設定レジスタ>)**A9DRA: エリア9バーストROM選択(D7/0x48126<エリア10-9設定レジスタ>)**

エリア10と9をバーストROM用に設定します。

"1"書き込み: バーストROM使用

"0"書き込み: バーストROM未使用

読み出し: 可能

バーストROMを使用する場合に"1"を書き込みます。"0"を書き込んだ場合は通常のSRAMタイプのインタフェースとなります。

エリア9はCEFUNGが"00"の場合にのみ使用可能です。

コールドスタート時、これらのビットは"0"(バーストROM未使用)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RBCLK: BCLK出力制御(DF/0x4812E<バスコントロールレジスタ>)

バスクロックBCLKの外部出力を制御します。

"1"書き込み: High固定

"0"書き込み: 出力イネーブル

読み出し: 可能

BCLK端子のバスクロック出力を停止する場合に"1"を書き込みます。出力を停止すると、BCLK端子はHighレベルとなります。"0"を書き込むとBCLK端子はバスクロックを出力します。

BCLK端子のバスクロック出力は、HALT2モード時およびSLEEPモード時も停止します。

コールドスタート時、RBCLKは"0"(出力イネーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RBST8: バーストモード選択(DD/0x4812E<バスコントロールレジスタ>)

バーストリード時の動作モードを設定します。

"1"書き込み: 8連続バーストモード

"0"書き込み: 4連続バーストモード

読み出し: 可能

RBST8に"1"を書き込むことにより8連続バーストモード、"0"の場合は4連続バーストモードに設定されます。

この設定はエリア10、9をバーストROM用に設定した場合に有効で、両方のエリアに同時に適用されます。

コールドスタート時、RBST8は"0"(4連続バーストモード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

REDO: ページモード選択(DC/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RCA1-RCA0: カラムアドレスサイズ選択(D[B:A]/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RPC2: リフレッシュイネーブル(D9/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RPC1: リフレッシュ方式選択(D8/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RPC0: リフレッシュRPCディレイ設定(D7/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RRA1-RRA0: リフレッシュRASパルス幅選択(D[6:5]/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

SBUSST: 外部インタフェース方式選択(D3/0x4812E<バスコントロールレジスタ>)

SRAMタイプデバイスのインタフェース方式を選択します。

"1"書き込み: #BSL方式

"0"書き込み: A0方式

読み出し: 可能

#BSL方式を使用する場合はSBUSSTに"1"を書き込みます。

この設定内容はSRAMタイプに設定したすべてのエリアに適用されます。

コールドスタート時、SBUSSTは"0"(A0方式)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEMAS: 外部バスマスタ設定(D2/0x4812E<バスコントロールレジスタ>)

外部バスマスタが存在するかどうかを設定します。

"1"書き込み: 存在

"0"書き込み: なし

読み出し: 可能

SEMASに"1"を書き込むことにより、#BUSREQ端子によるバス権解放要求を受け付け可能な状態となります。外部にバスマスタを設けない場合は"0"に固定してください。

コールドスタート時、SEMASは"0"(なし)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEPD: 外部パワーダウン制御(D1/0x4812E<バスコントロールレジスタ>)

外部バスマスタによるCPUのパワーダウン制御機能を有効に設定します。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

SEPDに"1"を書き込むことによって、外部端子(#BUSREQ)によるパワーダウン制御が有効となります。その状態で#BUSREQ端子をLowにするとCPUがHALT状態となり、消費電流を低減することができます。

コールドスタート時、SEPDは"0"(無効)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SWAITE: #WAITイネーブル(D0/0x4812E<バスコントロールレジスタ>)

#WAIT端子によるウェイトサイクルの制御を許可/禁止します。

"1"書き込み: 許可

"0"書き込み: 禁止

読み出し: 可能

SWAITEに"1"を書き込むことにより、SRAMタイプのデバイスからのウェイト要求を受け付け可能な状態となります。#WAIT端子から入力されるウェイト要求信号は、SRAMタイプのリード/ライトサイクル実行時にバスクロックの各立ち上がりエッジでサンプリングされ、Highがサンプリングされるまでウェイトサイクルが挿入されます。

0~7サイクルまでのウェイト制御は、#WAIT端子を使用しなくてもAxxWTにより制御が可能です。ただし、AxxWTによる設定は2エリアごとのため、エリア個々にウェイトサイクル数を制御したい場合や、7サイクル以上のウェイトサイクルが必要な場合は、外部ウェイト要求で対応してください。

SWAITEが"0"の場合、#WAIT端子からのウェイト要求は無視されます。

この設定内容はSRAMタイプに設定したすべてのエリアに適用されます。また、バーストROMに設定したエリアのライトサイクルに対しても有効です。

コールドスタート時、SWAITEは"0"(禁止)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A3EEN: エリア3エミュレーション(DB/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("1")のまま、使用してください。

CEFUNC1–CEFUNC0: #CE端子機能選択(D[A:9]/0x48130<DRAMタイミング設定レジスタ>)

#CE端子の割り付けエリアを変更します。

表II.4.16 #CE出力の切り換え

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE4	#CE4	#CE11	#CE11+#CE12
#CE5	#CE5	#CE15	#CE15+#CE16
#CE6	#CE6	#CE6	#CE7+#CE8
#CE7/#RAS0	#CE7/#RAS0	#CE13/#RAS2	#CE13/#RAS2
#CE8/#RAS1	#CE8/#RAS1	#CE14/#RAS3	#CE14/#RAS3
#CE9	#CE9	#CE17	#CE17+#CE18
#CE10EX	#CE10EX	#CE10EX	#CE9+#CE10EX

(デフォルト: CEFUNC = "00")

CEFUNCに"01"を書き込むことで使用可能となる上位のエリアは、デフォルトの下位エリアに比べエリアサイズを大きく取ることができます。たとえば、デフォルト設定の場合はエリア8と7で4Mバイトまでとなりますが、エリア14と13を使用すると最大32Mバイトが使用可能となります。他のエリアも同様です。また、CEFUNCを"10"または"11"に設定すると、4本のチップイネーブル信号が、それぞれ2エリアに対応するように拡張されます。

コールドスタート時、CEFUNCは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CRAS: 連続RASモード設定(D8/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("0")のまま、使用してください。

RPRC1–RPRC0: RASプリチャージサイクル数選択(D[7:6]/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("0")のまま、使用してください。

CASC1–CASC0: CASサイクル数選択(D[4:3]/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("0")のまま、使用してください。

RASC1–RASC0: RASサイクル数選択(D[1:0]/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("0")のまま、使用してください。

A18IO: エリア18–17外部/内部アクセス選択(DF/0x48132<アクセス制御レジスタ>)

A16IO: エリア16–15外部/内部アクセス選択(DE/0x48132<アクセス制御レジスタ>)

A14IO: エリア14–13外部/内部アクセス選択(DD/0x48132<アクセス制御レジスタ>)

A12IO: エリア12–11外部/内部アクセス選択(DC/0x48132<アクセス制御レジスタ>)

A8IO: エリア8–7外部/内部アクセス選択(DA/0x48132<アクセス制御レジスタ>)

A6IO: エリア6外部/内部アクセス選択(D9/0x48132<アクセス制御レジスタ>)

A5IO: エリア5–4外部/内部アクセス選択(D8/0x48132<アクセス制御レジスタ>)

各エリアを内部アクセスするか外部アクセスするか選択します。

"1"書き込み: 内部アクセス

"0"書き込み: 外部アクセス

読み出し: 可能

AxxIOを"1"に設定すると、対応するエリアに割り付けられている内蔵デバイスがアクセスされます。AxxIOを"0"に設定すると、外部デバイスがアクセスされます。

コールドスタート時、これらのビットは"0"(外部アクセス)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18EC: エリア18-17リトル/ビッグエンディアン形式選択(D7/0x48132<アクセス制御レジスタ>)
 A16EC: エリア16-15リトル/ビッグエンディアン形式選択(D6/0x48132<アクセス制御レジスタ>)
 A14EC: エリア14-13リトル/ビッグエンディアン形式選択(D5/0x48132<アクセス制御レジスタ>)
 A12EC: エリア12-11リトル/ビッグエンディアン形式選択(D4/0x48132<アクセス制御レジスタ>)
 A10EC: エリア10-9リトル/ビッグエンディアン形式選択(D3/0x48132<アクセス制御レジスタ>)
 A8EC: エリア8-7リトル/ビッグエンディアン形式選択(D2/0x48132<アクセス制御レジスタ>)
 A6EC: エリア6リトル/ビッグエンディアン形式選択(D1/0x48132<アクセス制御レジスタ>)
 A5EC: エリア5-4リトル/ビッグエンディアン形式選択(D0/0x48132<アクセス制御レジスタ>)

各エリアのアクセス形式(リトルエンディアンまたはビッグエンディアン)を選択します。

"1"書き込み: ビッグエンディアン
 "0"書き込み: リトルエンディアン
 読み出し: 可能

AxxECを"1"に設定すると、対応するエリアはビッグエンディアン形式でアクセスされます。AxxECを"0"に設定すると、リトルエンディアン形式でアクセスされます。エリア10からブートする場合は、A10ECを"0"(リトルエンディアン)に固定してください。

コールドスタート時、これらのビットは"0"(リトルエンディアン)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

II

BCU

A18AS: エリア18-17アドレスストローブ信号(DF/0x48138<G/Aリード信号制御レジスタ>)
 A16AS: エリア16-15アドレスストローブ信号(DE/0x48138<G/Aリード信号制御レジスタ>)
 A14AS: エリア14-13アドレスストローブ信号(DD/0x48138<G/Aリード信号制御レジスタ>)
 A12AS: エリア12-11アドレスストローブ信号(DC/0x48138<G/Aリード信号制御レジスタ>)
 A8AS: エリア8-7アドレスストローブ信号(DA/0x48138<G/Aリード信号制御レジスタ>)
 A6AS: エリア6アドレスストローブ信号(D9/0x48138<G/Aリード信号制御レジスタ>)
 A5AS: エリア5-4アドレスストローブ信号(D8/0x48138<G/Aリード信号制御レジスタ>)

エリア専用のアドレスストローブ信号出力をイネーブル/ディセーブルに設定します。

"1"書き込み: イネーブル
 "0"書き込み: ディセーブル
 読み出し: 可能

AxxASを"1"に設定すると、対応するエリアのアクセス時にエリア専用のアドレスストローブ信号が#GAAS(P21)端子から出力されます。AxxASを"0"に設定すると、信号は出力されません。

コールドスタート時、これらのビットは"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18RD: エリア18-17リード信号(D7/0x48138<G/Aリード信号制御レジスタ>)
 A16RD: エリア16-15リード信号(D6/0x48138<G/Aリード信号制御レジスタ>)
 A14RD: エリア14-13リード信号(D5/0x48138<G/Aリード信号制御レジスタ>)
 A12RD: エリア12-11リード信号(D4/0x48138<G/Aリード信号制御レジスタ>)
 A8RD: エリア8-7リード信号(D2/0x48138<G/Aリード信号制御レジスタ>)
 A6RD: エリア6リード信号(D1/0x48138<G/Aリード信号制御レジスタ>)
 A5RD: エリア5-4リード信号(D0/0x48138<G/Aリード信号制御レジスタ>)

エリア専用のリード信号出力をイネーブル/ディセーブルに設定します。

"1"書き込み: イネーブル
 "0"書き込み: ディセーブル
 読み出し: 可能

AxxRDを"1"に設定すると、対応するエリアの読み出し時にエリア専用のリード信号が#GARD(P31)端子から出力されます。AxxRDを"0"に設定すると、信号は出力されません。

コールドスタート時、これらのビットは"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

BCLKSEL1-BCLKSEL0: BCLK出力クロック選択(D[1:0]/0x4813A<BCLK選択レジスタ>)

BCLK端子から出力するクロックを選択します。

表II.4.17 BCLK出力クロックの選択

BCLKSEL1	BCLKSEL0	出力クロック
1	1	PLL_CLK (PLL出力クロック)
1	0	OSC3_CLK (OSC3発振クロック)
0	1	BUS_CLK (バスクロック)
0	0	CPU_CLK (CPU動作クロック)

PLL_CLK: PLLの出力クロックです。安定したクロックが出力されます。PLLが停止しない限りは、クロックが出力されます。PLLは以下の場合に停止します。

1. PLLS0端子でPLLをOFFにした場合
 2. slp命令を実行してOSC3(高速)発振を停止させた場合
 3. CLGのレジスタでOSC3(高速)発振を停止させた場合
- なお、位相はCPU動作クロックとは、ずれています。

OSC3_CLK: OSC3(高速)発振回路の出力クロックです。安定したクロックが出力されます。OSC3(高速)発振回路が停止しない限りは、クロックが出力されます。OSC3(高速)発振回路は以下の場合に停止します。

1. slp命令を実行した場合
2. CLGのレジスタで発振を停止させた場合

なお、位相はCPU動作クロックとは、ずれています。

BUS_CLK: バスコントローラのバスクロックです。バスサイクルの速度に応じたクロック信号が出力されます。x2スピードモードを設定した場合、クロック周波数はダイナミックに変化します。

1. 内蔵RAM/内蔵ROMアクセス時はx2のクロック(CPU動作クロックと同じ、たとえば50MHz)が出力されます。
 2. 外部バスアクセス時はx1のクロック(たとえば25MHz)が出力されます。
- クロックはダイナミックに、たとえば50MHzと25MHzで変化しますが、外部メモリをアクセスしたときは、25MHzのバスクロックの立ち上がり、立ち下がりの位置と、たとえば#WRの立ち下がりの位置の関係は一定です。(25MHz、x1スピードモード時の位相関係と同じになります。)

CPU_CLK: CPUの動作クロックです。出力クロックの周波数は次のようになります。

1. PLLがONのときは、PLLの出力クロックの周波数となります。
 2. PLLがOFFのときは、OSC3(高速)発振回路の出力クロックの周波数となります。
 3. ただし、CLGでCPUのクロック周波数を分周するように設定している場合は、分周後の周波数となります。
 4. halt命令またはslp命令でCPUが停止した場合は、このクロックも停止します。
- このクロックはバスクロックとほぼ同位相の波形となります。

イニシャルリセット時、BCLKSELは"0b00"(CPU_CLK)に設定されます。

A1X1MD: エリア1アクセス速度(D3/0x4813A<BCLK選択レジスタ>)

x2スピードモード時のエリア1のアクセス速度を選択します。

"1"書き込み: 2サイクル

"0"書き込み: 4サイクル(x2スピードモード時、"0"設定での使用不可)

読み出し: 可能

x2スピードモード(#X2SPD端子="0")に設定されている場合、A1X1MDに"1"を書き込むとエリア1がCPUシステムクロックの2サイクルでリード/ライトされます。x2スピードモード時は、必ずA1X1MDを"1"に設定して使用してください。

x1スピードモード(#X2SPD端子="1")の場合は、A1X1MDの設定にかかわらず2サイクルに固定です。

コールドスタート時、A1X1MDは"0"(4サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18RH: エリア18-17リードホールドサイクル挿入(D7/0x4813C<リードサイクルホールド時間制御レジスタ>
A16RH: エリア16-15リードホールドサイクル挿入(D6/0x4813C<リードサイクルホールド時間制御レジスタ>
A14RH: エリア14-13リードホールドサイクル挿入(D5/0x4813C<リードサイクルホールド時間制御レジスタ>
A12RH: エリア12-11リードホールドサイクル挿入(D4/0x4813C<リードサイクルホールド時間制御レジスタ>
A10RH: エリア10-9リードホールドサイクル挿入(D3/0x4813C<リードサイクルホールド時間制御レジスタ>
A8RH: エリア8-7リードホールドサイクル挿入(D2/0x4813C<リードサイクルホールド時間制御レジスタ>
A6RH: エリア6リードホールドサイクル挿入(D1/0x4813C<リードサイクルホールド時間制御レジスタ>
A5RH: エリア5-4リードホールドサイクル挿入(D0/0x4813C<リードサイクルホールド時間制御レジスタ>

各エリアのアクセス時にリードホールドサイクルを挿入するかどうかを選択します。

"1"書き込み: リードホールドサイクルを挿入

"0"書き込み: リードホールドサイクルなし

読み出し: 可能

AxxRHを"1"に設定すると、対応するエリアへのアクセス時にリードサイクルが1サイクル引き延ばされます。ただし、#RDパルス幅とタイミングは変更されず、#CEとアドレスだけが1サイクル長く出力されます。リードホールドサイクル挿入指定時は、指定エリアのリードサイクルの後に必ずリードホールドサイクルが挿入されます(図II.4.23参照)。また、出力ディセーブルサイクルが設定されている場合、このリードホールドサイクル後に、さらに出力ディセーブルサイクルが挿入されます。

コールドスタート時、これらのビットは"0"(リードホールドサイクルなし)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18BS: エリア18-17バス速度設定(D7/0x4813E<バス速度設定レジスタ>
A16BS: エリア16-15バス速度設定(D6/0x4813E<バス速度設定レジスタ>
A14BS: エリア14-13バス速度設定(D5/0x4813E<バス速度設定レジスタ>
A12BS: エリア12-11バス速度設定(D4/0x4813E<バス速度設定レジスタ>
A10BS: エリア10-9バス速度設定(D3/0x4813E<バス速度設定レジスタ>
A8BS: エリア8-7バス速度設定(D2/0x4813E<バス速度設定レジスタ>
A6BS: エリア6バス速度設定(D1/0x4813E<バス速度設定レジスタ>
A5BS: エリア5-4バス速度設定(D0/0x4813E<バス速度設定レジスタ>

各エリアのバス速度モードを設定します。

"1"書き込み: x1スピードモード

"0"書き込み: #X2SPD端子の設定に従う

読み出し: 可能

#X2SPD端子が"0"(x2スピードモード)に設定されている場合に、バス速度モードをエリアごとにx1スピードモードの設定に切り換えることができます。この機能は、各エリアの内部/外部アクセスを切り換えるアクセス制御レジスタの上位バイト0x48133(B)とは独立して設定できるため、エリアごとに内部/外部アクセスとバス速度モードを任意に設定することができます。

コールドスタート時、これらのビットは"0"(#X2SPD端子の設定に従う)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

注: 内部バスも含め、バス速度の上限は40MHzです。CPU動作周波数が40MHz以上の場合は#X2SPD端子を"0"にすると共に、AxxBSビットを"0"、A1X1MDビットを"1"に設定してください。

プログラミング上の注意事項

- (1) x2スピードモード(#X2SPD端子="0")で使用する場合は、必ずA1X1MDビット(0x4813A・D3)を"1"に設定して使用してください。
- (2) 内部バスも含め、バス速度の上限は40MHzです。CPU動作周波数が40MHz以上の場合は#X2SPD端子を"0"にすると共に、AxxBSビット(0x4813E)を"0"、A1X1MDビット(0x4813A・D3)を"1"に設定してください。
- (3) 表II.4.18にバススピードモードによるバス条件の設定一覧を示します。

表II.4.18 バス条件設定一覧

	バス条件	48MHz @x1スピード	48MHz @x2スピード				32MHz @x1スピード				24MHz @x1スピード			
		Off	Off	Off	On	On	Off	Off	On	On	Off	Off	On	On
バスアービタ機能	—	Off	Off	On	On	On	Off	On	Off	On	Off	On	Off	On
USB機能	—	Off	Off	On	Off	On	Off	On	Off	On	Off	On	Off	On
IVRAM (内部エリア6)	ウェイトサイクル 出力ディセーブル リードホールド	NA	0 0.5	0 0.5	0 0.5	0 0.5	1 0.5	1 0.5	1 0.5	1 0.5	1 0.5	1 0.5	1 0.5	1 0.5
SDRAM初期化 (内部エリア6)	ウェイトサイクル 出力ディセーブル リードホールド	NA	0 0.5	0 0.5	0 0.5	0 0.5	2 0.5	2 0.5	2 0.5	2 0.5	2 0.5	2 0.5	2 0.5	2 0.5
SDRAM初期化以 外のエリア6 I/O (内部エリア6)	ウェイトサイクル 出力ディセーブル リードホールド	NA	0 0.5	0 0.5	0 0.5	0 0.5	0 0.5	0 0.5	0 0.5	0 0.5	0 0.5	0 0.5	0 0.5	0 0.5
USB I/O (内部エリア11)	ウェイトサイクル 出力ディセーブル リードホールド	NA	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1
USB DMA (内部エリア4)	ウェイトサイクル 出力ディセーブル リードホールド	NA	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1	NA 1
SDRAM (外部)	ウェイトサイクル 出力ディセーブル リードホールド	2 0.5 0	0 0.5 0	0 0.5 0	0 (注3) 0.5 0	0 (注3) 0.5 0	1 0.5 0	1 0.5 0	1 1.5 0	1 1.5 0	1 0.5 0	1 0.5 0	1 1.5 0	1 1.5 0
SRAM/ROM (外部)	ウェイトサイクル 出力ディセーブル リードホールド	任意 任意 任意	任意 任意 任意	任意 任意 任意	1 0.5 0	1 0.5 0	任意 任意 任意	任意 任意 任意	1 0.5 1	1 0.5 1	任意 任意 任意	任意 任意 任意	1 0.5 1	1 0.5 1
NANDフラッシュ (外部)	ウェイトサイクル 出力ディセーブル リードホールド	NA	2 0.5 0	2 0.5 0	2 0.5 0	2 0.5 0	NA NA NA	NA NA NA	NA NA NA	NA NA NA	2 0.5 0	2 0.5 0	2 0.5 0	2 0.5 0
SQ ROM (外部)	ウェイトサイクル 出力ディセーブル リードホールド	NA	5 0.5 1	5 0.5 1	5 0.5 1	5 0.5 1	6 0.5 1	6 0.5 1	6 0.5 1	6 0.5 1	4 0.5 1	4 0.5 1	4 0.5 1	4 0.5 1

注1: 周辺ブロックやメモリ以外にも、バスアービタやUSB機能の使用/不使用で最小アクセス時間が変わります。

注2: バスをx1スピードモードで使用する場合はエリア6ウェイト設定条件は、(1)SDRAM初期化には2ウェイト、(2)IVRAMには1ウェイト、(3)他のI/Oデバイスには0ウェイトの3種類があります。できるだけ高い性能を維持するためには、SDRAM初期化前は2ウェイトに設定し、SDRAMの初期化が終了後は1ウェイトに変更してください。

注3: この条件では、SDRAMCをローパフォーマンスモード(SDHP[D3/0x3A0210] = "0")で動作させる必要があります。

II-5 ITC(割り込みコントローラ)

C33コアブロックには割り込みコントローラが内蔵されており、内蔵周辺回路が発生するすべての割り込みを制御します。この章では、マスク可能な割り込みの制御方法を中心に、割り込みコントローラの機能を説明します。個別の割り込み要因の詳細と発生条件等については、各周辺回路の説明を参照してください。

割り込み機能概要

マスク可能な割り込み

ITCには53種類のマスク可能な割り込みが用意されています。表II.5.1にC33コアのトラップテーブルを示します。

表II.5.1 トラップテーブル

ベクタ番号 (Hexアドレス)	例外/割り込み系列 (周辺回路)	例外/割り込み要因	IDMA Ch.	優先 順位
0(Base)	リセット	リセット端子へのLow入力	—	高い ↑
1~3	reserved	—	—	
4(Base+10)	ゼロ除算	除算命令	—	
5	reserved	—	—	
6(Base+18)	アドレス不整例外	メモリアクセス命令	—	
0x0 or 0x60000	デバッグ例外	brk命令等	—	
8(Base+1C)	NMI	#NMI端子へのLow入力	—	
9~11	reserved	—	—	
12(Base+30)	ソフトウェア例外0	int命令	—	
13(Base+34)	ソフトウェア例外1	int命令	—	
14(Base+38)	ソフトウェア例外2	int命令	—	
15(Base+3C)	ソフトウェア例外3	int命令	—	
16(Base+40)	ポート入力割り込み0	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	1	
17(Base+44)	ポート入力割り込み1	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	2	
18(Base+48)	ポート入力割り込み2	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	3	
19(Base+4C)	ポート入力割り込み3	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	4	
20(Base+50)	キー入力割り込み0	入力立ち下がりまたは立ち上がりエッジ	—	
21(Base+54)	キー入力割り込み1	入力立ち下がりまたは立ち上がりエッジ	—	
22(Base+58)	高速DMA Ch.0	高速DMA Ch.0転送終了	5	
23(Base+5C)	高速DMA Ch.1	高速DMA Ch.1転送終了	6	
24(Base+60)	高速DMA Ch.2	高速DMA Ch.2転送終了	—	
25(Base+64)	高速DMA Ch.3	高速DMA Ch.3転送終了	—	
26(Base+68)	インテリジェントDMA	インテリジェントDMA転送終了	—	
27~29	reserved	—	—	
30(Base+78)	16ビットプログラマブル タイマ0	タイマ0コンペアB	7	
31(Base+7C)	タイマ0	タイマ0コンペアA	8	
32~33	reserved	—	—	
34(Base+88)	16ビットプログラマブル タイマ1	タイマ1コンペアB	9	
35(Base+8C)	タイマ1	タイマ1コンペアA	10	
36~37	reserved	—	—	
38(Base+98)	16ビットプログラマブル タイマ2	タイマ2コンペアB	11	
39(Base+9C)	タイマ2	タイマ2コンペアA	12	
40~41	reserved	—	—	
42(Base+A8)	16ビットプログラマブル タイマ3	タイマ3コンペアB	13	
43(Base+AC)	タイマ3	タイマ3コンペアA	14	
44~45	reserved	—	—	
46(Base+B8)	16ビットプログラマブル タイマ4	タイマ4コンペアB	15	
47(Base+BC)	タイマ4	タイマ4コンペアA	16	
48~49	reserved	—	—	
50(Base+C8)	16ビットプログラマブル タイマ5	タイマ5コンペアB	17	
51(Base+CC)	タイマ5	タイマ5コンペアA	18	
52(Base+D0)	8ビットプログラマブル タイマ0~3	タイマ0アンダーフロー	19	
53(Base+D4)		タイマ1アンダーフロー	20	
54(Base+D8)		タイマ2アンダーフロー	21	
55(Base+DC)		タイマ3アンダーフロー	22	
56(Base+E0)	シリアルインタフェース Ch.0	受信エラー	—	↓ 低い
57(Base+E4)		受信バッファフル	23	
58(Base+E8)		送信バッファエンプティ	24	
59	reserved	—	—	

ベクタ番号 (Hexアドレス)	例外/割り込み系列 (周辺回路)	例外/割り込み要因	IDMA Ch.	優先 順位
60(Base+F0)	シリアルインタフェース Ch.1	受信エラー	—	高い ↑
61(Base+F4)		受信バッファフル	25	
62(Base+F8)		送信バッファエンpty	26	
63		reserved	—	
64(Base+100)	A/D変換器	A/D変換完了	27	
65(Base+104)	計時タイマ	32Hz, 8Hz, 2Hz, 1Hz信号立ち下がりエッジ 1分, 1時間, 指定時間カウント	—	
66~67	reserved	—	—	
68(Base+110)	ポート入力割り込み4	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	28	
69(Base+114)	ポート入力割り込み5	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	29	
70(Base+118)	ポート入力割り込み6	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	30	
71(Base+11C)	ポート入力割り込み7	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	31	
72(Base+120)	8ビットプログラマブル タイマ4/5	タイマ4アンダーフロー	32	
73(Base+124)	タイマ4/5	タイマ5アンダーフロー	33	
74~75	reserved	—	—	
76(Base+130)	シリアルインタフェース Ch.2	受信エラー	—	
77(Base+134)		受信バッファフル	34	
78(Base+138)		送信バッファエンpty	35	
79		reserved	—	
80(Base+140)	シリアルインタフェース Ch.3	受信エラー	—	
81(Base+144)		受信バッファフル	36	
82(Base+148)		送信バッファエンpty	37	
83~88		reserved	—	
89(Base+164)	LCDコントローラ	LCDコントローラ割り込み	43	
90(Base+168)	USBファンクションコントローラ	USBファンクションコントローラ割り込み	44	
91(Base+16C)	SPI	SPI割り込み	45	
92~111	reserved	—	—	
112(Base+1C0)	FIFO	受信エラー	—	
113(Base+1C4)	シリアルインタフェース Ch.0	受信バッファフル	56	低い ↓
114(Base+1C8)		送信バッファエンpty	57	

■表の内容

[ベクタ番号(アドレス)]はトラップテーブルのベクタ番号で、()内はトラップテーブル先頭アドレス(Base)からのオフセット(バイト数)を示します。トラップテーブル先頭アドレス(Base)はデフォルトでブートアドレスとなりますので、イニシャルリセット時は0xC00000となります。このアドレスは、TTBRレジスタ(0x48134~0x48137)で変更することも可能です。

[例外/割り込み系列(周辺回路)]は、記述された周辺回路ごとに割り込みレベルがプログラムできることを示します。

[例外/割り込み要因]は、各割り込み系列内で発生する割り込み要因の種類を示します。

[IDMA Ch.]に数値を持つ割り込み要因は、要因の発生時にIDMA(インテリジェントDMA)を起動してデータを転送できることを示します。数値はIDMAのチャンネル番号です。数値のない割り込み要因はIDMAを起動することはできません。

[優先順位]は、すべての割り込み系列が同じ割り込みレベルに設定されている場合の優先順位を示します。複数の割り込み要因が同時に発生した場合は、優先順位の高いものから受け付けられます。各割り込み系列に設定する割り込みレベルによって、優先順位は変わります。ただし、同一割り込み系列内の割り込み要因については記述された順序に固定です。

■マスク可能な割り込みの発生条件

CPUに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 発生した割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"にセットされている。
- PSR(CPU内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが"1"にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。(割り込みレベルは各割り込み系列の割り込みプライオリティレジスタで設定可能です。)
- NMIなど、他の優先順位の高いトラップ要因が発生していない。
- 発生した割り込み要因でIDMAが起動するようにプログラムされていない(IDMAリクエストビットが"1"にセットされていない)。

割り込み要因が発生すると対応する割り込み要因フラグが"1"にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

ただし、割り込み要因でIDMAを起動し、以下のいずれかの条件が成立する場合には割り込み要因フラグがリセットされます。

- IDMAの転送回数カウンタが"0"以外の場合
- IDMAの転送回数カウンタが"0"の場合でも、IDMAのコントロール情報で割り込みを禁止している場合

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最もレベルの高い割り込み要因がその時点でのCPUへの割り込み要求の対象となります。レベルの低い割り込みは、その後、上記の条件が成立するまで保留されます。

PSRおよび割り込み制御レジスタの詳細は後述します。

各割り込み要因の発生条件については、各周辺回路の説明を参照してください。

II

割り込み要因とインテリジェントDMA

いくつかの割り込み要因はIDMAを起動するように設定できます。IDMAを起動するように設定した割り込み要因が発生した場合は、CPUへの割り込み要求の前にIDMAが起動されます。CPUへの割り込み要求はIDMA終了後に発生します(プログラムにより割り込みを禁止することも可能)。

IDMAの起動はPSRの設定にかかわらず行われます。詳細は"IDMAの起動"を参照してください。

ITC

NMI(ノンマスカブル割り込み)

#NMI端子へのLowレベル入力または内蔵のウォッチドッグタイマにより、NMI(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は7で、ベクタアドレスはトラップテーブル先頭アドレス+28(バイト)に設定されています。

この割り込みは他の割り込み要因に優先して、無条件にCPUに受け付けられます。

ただし、SP(スタックポインタ)設定前に発生すると誤動作するため、イニシャルリセット後はSPに対して書き込みが行われるまでハードウェアによってマスクされるようになっています。

CPUの割り込み処理

CPUは毎サイクル、割り込み要求のサンプリングを行っています。CPUは割り込み要求を受け付けるとその時点の命令の実行終了後、トラップ処理に移行します。

トラップ処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のPC(プログラムカウンタ)値をスタックに退避
- (2) PSRのIEビットを"0"にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。

割り込み処理ルーチン内でIEビットを"1"にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。

割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

割り込みによるスタンバイモードの解除

スタンバイモード (HALT、SLEEP) は、NMI またはマスク可能な割り込みによって解除されます。HALT モードの解除にはすべてのマスク可能な割り込みを使用することができます。ただし、HALT2 モードでバスクロックを停止した場合は、DMA の割り込みは使用できません。SLEEP モードでは高速 (OSC3) 発振回路が停止するため、OSC3 クロックを原振とする周辺回路の割り込みは使用できません。

HALT 基本モードを解除可能な割り込み: NMI およびすべてのマスク可能な割り込み

HALT2 モードを解除可能な割り込み: NMI およびすべてのマスク可能な割り込み
(DMA 割り込みを除く)

SLEEP モードを解除可能な割り込み: NMI、入力ポート割り込み、計時タイマ割り込み

スタンバイモードの解除は CPU への割り込み要求によって行われます。したがって、PSR がその割り込みを受け付け可能な状態に設定され、割り込み要因に対応した割り込みイネーブルレジスタのビットが割り込み許可に設定されていることが必要です。

スタンバイモードが解除され CPU がその割り込みを受け付けた場合は、割り込み処理ルーチンを実行後に halt または slp 命令の次の命令に戻ります。

注: スタンバイモードからの再起動用の割り込み要因が IDMA を起動するように設定されている場合、その割り込みにより IDMA が起動します。

SLEEP モードの場合は高速 (OSC3) 発振回路も発振を開始します。

IDMA 側の設定で IDMA 終了後の割り込みが禁止されていると、CPU への割り込み要求信号が発生しないため、CPU は動作を停止したままとなり次の割り込み要求が発生するまで動作を開始しません。

トラップテーブル

割り込みベクタを書き込んでおくトラップテーブルのベース(先頭)アドレスは、TTBRレジスタによって設定することができます。

TTBR0(TTBR下位レジスタ0x48134・D[9:0]): トラップテーブルベースアドレス[9:0]("0"に固定)

TTBR1(TTBR下位レジスタ0x48134・D[F:A]): トラップテーブルベースアドレス[15:10]

TTBR2(TTBR上位レジスタ0x48136・D[B:0]): トラップテーブルベースアドレス[27:16]

TTBR3(TTBR上位レジスタ0x48136・D[F:C]): トラップテーブルベースアドレス[31:28]("0"に固定)

イニシャルリセット後、TTBRレジスタは0x0C00000番地に設定されます。

したがって、トラップテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。

TTBR0とTTBR3は読み出し専用で"0"に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。

なお、TTBRレジスタは誤って書き換えられることのないように、通常は書き込み禁止状態に置かれ、この書き込み保護機能を解除するためにTTBRレジスタ書き込み保護レジスタTBRP(D[7:0]/0x4812D[Byte])が用意されています。TBRPレジスタに0x59を書き込むとTTBRレジスタへの書き込みが許可され、TTBRレジスタの最上位バイト(0x48137)への書き込みにより書き込み禁止状態に戻ります。したがって、TTBRレジスタへの書き込みは下位ハーフワードから先に行う必要があります。ただし、下位と上位ハーフワードの書き込みの間にNMI等が発生すると誤動作しますので、ワード書き込みを推奨します。

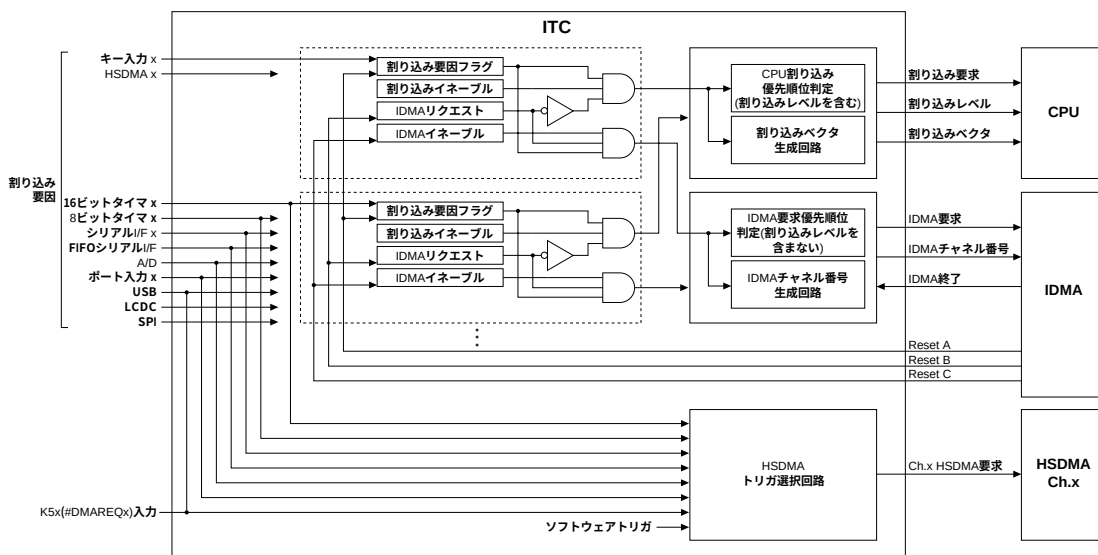
II

ITC

マスク可能な割り込みの制御

割り込みコントローラの構成

割り込みコントローラは図II.5.1のように構成されています。



図II.5.1 割り込みコントローラの構成

以下、割り込みの制御に使用するレジスタの機能について説明します。

PSR (プロセッサステータスレジスタ)

PSRはコアCPU内の特殊レジスタで、CPUに対する割り込み要求を許可/禁止する制御ビットを含んでいます。

■IE (割り込みイネーブル) ビット ...PSR[4]

このビットにより、CPUへの割り込み要求を許可あるいは禁止します。IEビットを"1"にセットすると、CPUはマスク可能な割り込み要求を受け付け可能な状態になります。"0"にリセットすると、マスク可能な割り込み要求はCPUに受け付けられません。

CPUは割り込み要求を受け付けると（あるいは他のトラップが発生すると）、PSRをスタックに退避後にIEビットを"0"にリセットします。したがって、以降はIEビットをプログラムで"1"にセットするか、割り込み（トラップ）処理ルーチンをreti命令で終了するまで、マスク可能な割り込みは受け付けられません。IEビットはイニシャルリセットにより"0"（割り込み禁止）に初期化されます。

■IL (割り込みレベル) ...PSR[11:8]

ILはその中に設定された割り込みレベル以下の割り込みを禁止します。たとえば、ILに3が設定されていると、割り込みプライオリティレジスタ（後述）が3以下に設定されている割り込みは、IEビットが"1"にセットされている場合でもCPUには受け付けられません。ILと割り込みプライオリティレジスタの設定により割り込みの優先順位を、割り込み系列ごとに制御することができます。割り込みレベルの詳細については、「割り込みプライオリティレジスタと割り込みレベル」を参照してください。

CPUはマスク可能な割り込み要求を受け付けると、PSRをスタックに退避後にILをその割り込みのレベルに設定します。したがって、割り込み処理ルーチンの中でIEビットを"1"にセットしても、ILを書き換えないうちに現在処理中の割り込みと同じレベルまたはそれ以下のレベルの割り込みは禁止されます。割り込み処理ルーチンをreti命令で終了すると、ILは割り込み発生前の状態に戻ります。

マスク可能な割り込み以外のトラップ（リセットを除く）では、ILは書き換えられません。

ILはイニシャルリセットによりレベル0（レベル1以上の割り込みを許可）に設定されます。

注: C33 STDコアCPUの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。

割り込み要因フラグと割り込みイネーブルレジスタ

各マスク可能な割り込み要因には、割り込み要因フラグと割り込みイネーブルレジスタが用意されています。

■割り込み要因フラグ

割り込み要因フラグは、対応する割り込み要因が発生すると"1"にセットされます。CPUのトラップ処理によらず、このフラグを読み出すことによっても割り込み要因の発生を知ることができます。

割り込み要因フラグは、ソフトウェアによるデータ書き込みによってリセットされます。

なお、割り込み要因フラグのリセット方式を、以下に示す2種類からソフトウェアで選択できるようになっています。選択はフラグセット/リセット方式選択レジスタ(0x4029F)のRSTONLY(D0)で行います。

・リセットオンリー方式(デフォルト)

イニシャルリセット時は、この方式(RSTONLY = "1")に設定されます。

リセットオンリー方式の場合、割り込み要因フラグは"1"を書き込むことでリセットされます。

割り込み要因フラグレジスタの同一アドレス内には複数の割り込み要因フラグが割り付けられています。"0"を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。

ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、"1"にセットされた割り込み要因フラグが書き込み時にリセットされますので注意してください。

この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。

・リード/ライト方式

この方式はRSTONLYに"0"を書き込むことにより設定されます。

リード/ライト方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。

イニシャルリセット時、割り込み要因フラグは初期化されないため、割り込みを許可する前に必ずリセットしてください。

注: マスク可能な割り込み要求がCPUに受け付けられ、割り込み処理ルーチンに分岐しても、割り込み要因フラグはリセットされません。プログラムで割り込み要因フラグをリセットせずにret命令で割り込み処理ルーチンからリターンすると、再度同一の割り込みが発生しますので注意してください。

割り込み要因の発生条件については、各周辺回路の説明を参照してください。

■割り込みイネーブルレジスタ

割り込みイネーブルレジスタは、CPUに対する割り込み要求の出力を制御します。割り込みイネーブルレジスタのビットを"1"に設定した場合にのみ、対応する割り込み要因の発生によりCPUに対する割り込み要求が可能となります。"0"に設定されている場合は、対応する割り込み要因が発生してもCPUへの割り込み要求は行われません。

割り込みイネーブルビットは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。また、読み出すことで、いつでも設定状態を確認できます。

なお、この設定は割り込み要因フラグの動作には影響を与えませんので、割り込みイネーブルレジスタのビットが"0"の場合でも割り込み要因フラグは割り込み要因の発生によって"1"にセットされます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

割り込み要因の発生によりIDMAを起動する場合、あるいはスタンバイモード(HALT、SLEEP)を解除する場合も、対応する割り込みイネーブルレジスタのビットを"1"に設定しておく必要があります。

割り込みコントローラは、以下の条件が成立すると、CPUに対して割り込み要求を出力します。

- 割り込み要因の発生により割り込み要因フラグが"1"にセットされた
- 発生した割り込み要因に対応した割り込みイネーブルレジスタのビットが"1"(割り込み許可)に設定されている
- 発生した割り込み要因に対応したIDMAリクエストレジスタのビットが"0"(割り込み要求)に設定されている

同時に複数の割り込みが発生した場合は、その中で最も優先順位の高い割り込み要因を割り込み要求の対象とします(次節参照)。

条件が成立すると、割り込みコントローラはCPUに対して割り込み要求信号、発生した割り込みの系列に対応した割り込みプライオリティレジスタの設定内容(割り込みレベル)、およびそのベクタ番号を出力します。

これらの信号は、割り込み要因フラグが"0"にリセットされるか、割り込みイネーブルレジスタのビットが"0"(割り込み禁止)に設定されるまで、あるいは他の優先順位の高い割り込み要因が発生するまで保持されます。CPUが割り込み要求を受け付けても解除されません。

割り込みプライオリティレジスタと割り込みレベル

割り込みプライオリティレジスタは、割り込み系列ごとに用意された3ビットのレジスタで、対応する割り込み系列の割り込みレベルを0～7に設定できます。この設定により、表II.5.1に示したデフォルトの優先順位をシステムに合わせて変更することができます。

割り込みプライオリティレジスタに設定された値は、割り込みコントローラとCPUでそれぞれ以下のように利用されます。

■割り込みコントローラにおける割り込みプライオリティレジスタの役割

割り込みイネーブルレジスタによって割り込みが許可されている複数の割り込み要因が同時に発生した場合、割り込みコントローラはその中で最も大きな数値が書き込まれた割り込みプライオリティレジスタを持つ割り込み系列内の割り込み要因を割り込み要求の対象とします。

同一レベルの複数の割り込み系列に割り込み要因が発生した場合は、表II.5.1に示したデフォルトの優先順位に従います。同じ割り込み系列内の割り込み要因も表II.5.1の順序で処理されます。

それ以外に発生している割り込み要因は、それよりも優先順位の高い割り込みがCPUに受け付けられるまで保留されます。

割り込みコントローラは、CPUへの割り込み要求信号を出力する際、割り込みプライオリティレジスタの内容もCPUに対して出力します。

割り込みコントローラは、割り込み要求を出力中にそれよりも優先順位の高い割り込み要因が発生すると、ベクタ番号と割り込みレベルの出力を新たな割り込み要因に対応させて変更します。それまでの割り込み要求については保留されます。

■CPUの処理における割り込みプライオリティレジスタの役割

CPUは割り込みコントローラから出力された割り込みプライオリティレジスタの内容と、PSR内のILに設定された割り込みレベルを比較して、その割り込み要求を受け付けるかどうかを決定します。

IEビット="1" & IL < 割り込みプライオリティレジスタ: 割り込み要求を受け付ける

IEビット="1" & IL ≥ 割り込みプライオリティレジスタ: 割り込み要求を受け付けない

割り込みレベルによって割り込みを制御するには、ILに割り込みを禁止するレベルを書き込んでください。たとえば、ILに3を書き込むと、割り込みプライオリティレジスタに4以上の値が書き込まれた割り込みのみを受け付けます。

割り込みを受け付けると、その割り込みプライオリティレジスタに設定された割り込みレベルをILに設定します。それ以降、そのレベル以下の割り込み要求は受け付け禁止状態となります。

割り込みプライオリティレジスタに"0"を設定した場合、その割り込みは禁止されます。ただし、割り込み要因によってIDMAを起動することはできます。

- 注:**
- ・ C33 STDコアCPUの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。
 - ・ 割り込み処理ルーチン内でILの割り込みレベルの書き換えにより、多重割り込みにも対応可能です。ただし、割り込み発生後、割り込み要因フラグをリセットする前にILの割り込みレベルを現在のレベルよりも低く設定し、IEをセットして割り込みを許可すると、再度同一の割り込みが発生してしまいますので注意してください。

IDMAの起動

表II.5.1の中でIDMAチャンネル番号が記述された割り込み要因には、IDMA(インテリジェントDMA)を起動する機能があります。

■IDMAリクエストレジスタ

IDMAリクエストレジスタは、IDMAを起動する割り込み要因を指定するのに使用します。IDMAリクエストレジスタのビットを"1"に設定すると、対応する割り込み要因の発生によりIDMAの起動要求が発生します。"0"に設定されている場合は、対応する割り込み要因が発生してもIDMA起動要求は発生せず、通常の割り込み処理が行われます。イニシャルリセット時、IDMAリクエストレジスタは"0"に設定されます。

なお、IDMAリクエストレジスタのセット方式を、以下に示す2種類からソフトウェアで選択できるようになっています。

選択はフラグセット/リセット方式選択レジスタ(0x4029F)のIDMAONLY(D1)で行います。

• セットオンリー方式(デフォルト)

イニシャルリセット時は、この方式(IDMAONLY = "1")に設定されます。

セットオンリー方式の場合、IDMAリクエストビットは"1"を書き込むことでセットされます。

IDMAリクエストレジスタ内には複数のIDMAリクエストビットが割り付けられていますが、"0"を書き込んだビットはセットもリセットもされません。したがって、特定のIDMAリクエストビットのみを確実にセットできます。

リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、"1"にセットされたIDMAリクエストビットは書き込み時にリセットされませんので注意してください。

• リード/ライト方式

この方式はIDMAONLYに"0"を書き込むことにより設定されます。

リード/ライト方式の場合、IDMAリクエストレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだIDMAリクエストビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAリクエストビットがハードウェアによってリセットされる可能性がありますので注意してください。

■IDMAイネーブルレジスタ

割り込み要因によってIDMAを起動するには、要因に対応するIDMAイネーブルレジスタのビットに"1"を書き込んでおく必要があります。IDMAイネーブルビットが"0"に設定されている場合、その割り込み要因によってIDMAは起動しません。イニシャルリセット時、IDMAイネーブルレジスタは"0"に設定されます。

なお、IDMAリクエストレジスタと同様に、IDMAイネーブルレジスタもセット方式(セットオンリー方式、リード/ライト方式)をソフトウェアで選択できるようになっています。

選択はフラグセット/リセット方式選択レジスタ(0x4029F)のDENONLY(D2)で行います。セット方式についてはIDMAリクエストレジスタの説明を参照してください。

■IDMAの起動

割り込み要因発生時にIDMAを起動するには、要因に対応するIDMAリクエストレジスタとIDMAイネーブルレジスタのビットに"1"を書き込んでおきます。その状態で割り込み要因が発生すると、CPUに対する割り込み要求は保留され、対応するIDMAチャンネルを起動します。そのIDMAチャンネルのコントロール情報に従ってDMA転送が行われます。割り込みコントローラ内の割り込みプライオリティレジスタの設定は、IDMAの起動には影響を与えません。IDMA起動要求は、CPUの割り込みレベルが割り込みプライオリティレジスタの設定値よりも高い場合でも受け付けられます。ただし、IDMA転送終了後に割り込み要求を発生させる際には、その割り込み要求は割り込みプライオリティレジスタの設定値に従って制御されます。

割り込みイネーブルレジスタおよびCPUのPSRが割り込み禁止状態に設定されていても、IDMA起動要求は受け付けられます。また、IDMA側で転送のためのコントロール情報を設定し、DMAを許可しておくことも必要です。

■IDMA終了後の割り込み

・IDMA終了後に割り込みを発生させる場合

DMA転送終了時に、保留されていた割り込み要求を発生させることもできます。

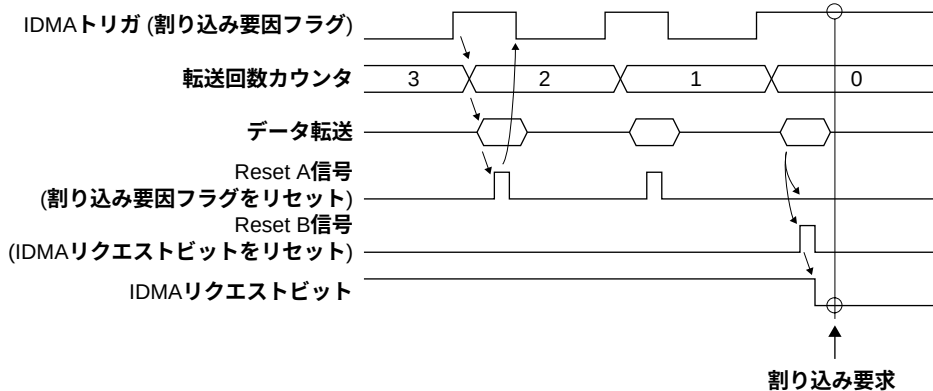
これには、割り込みコントローラおよびCPUのPSRで、その割り込み要求を受け付け可能な状態に設定しておくとともに、IDMAのコントロール情報で割り込みを許可(DINTEN="1")しておきます。

ただし、IDMAチャンネルに設定された転送回数カウンタがその回の転送で"0"にならなかった場合は、割り込み要因フラグがリセットされ、割り込み要求は発生しません。転送回数カウンタは、1回の転送ごとにデクリメントされるようになっています。

DINTENが"1"に設定されている状態で転送回数カウンタが"0"になった場合は、割り込み要因フラグがリセットされず、IDMAリクエストレジスタのビットは"0"にクリアされます。このとき、割り込み条件が成立していれば割り込み要求を発生します。

次回の割り込み要因発生時にもIDMAを起動させるには再設定が必要です。この再設定は、不要なIDMA要求が発生しないよう、割り込み要因フラグをリセット後に行ってください。

図II.5.2にDINTENが"1"に設定されている場合のハードウェアによる割り込み制御を示します。

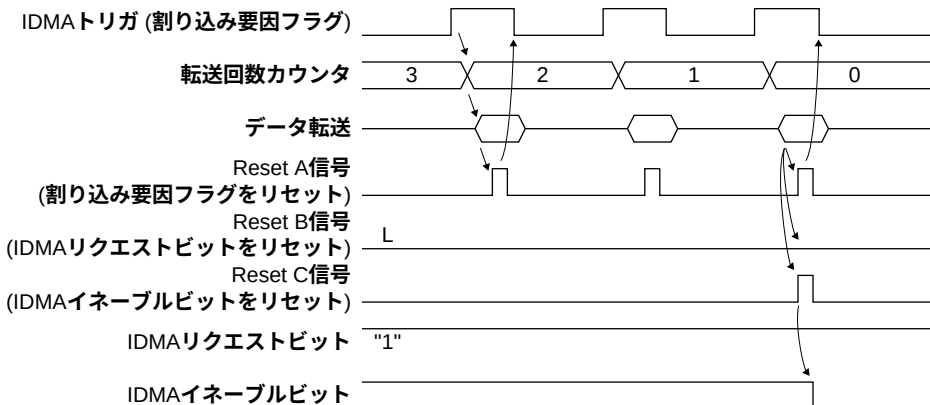


・IDMA終了後の割り込みを禁止する場合

IDMAのコントロール情報で割り込みを禁止(DINTEN="0")しておくと、転送回数カウンタが"0"になった場合でも割り込み要因フラグがリセットされ、割り込み要求は発生しません。

この場合、IDMAリクエストビットはクリアされずに"1"を保持したままとなります。ただし、IDMAイネーブルビットはクリアされ、同割り込み要因による以降のIDMA要求は禁止されます。

図II.5.3にDINTENが"0"に設定されている場合のハードウェアの制御を示します。



IDMAの詳細については、"IDMA(インテリジェントDMA)"を参照してください。

HSDMAの起動

いくつかの割り込み要因は高速DMA (HSDMA) を起動することもできます。

■HSDMAトリガ設定レジスタ

DMAブロックは4チャンネルのHSDMA回路を内蔵しています。各チャンネルは個別に、割り込み要因を含むトリガ要因をソフトウェアで選択できるようになっています。この選択には、以下のHSDMAトリガ設定レジスタを使用します。

HSDMA Ch.0: HSD0S[3:0] (HSDMA Ch.0/1 トリガ設定レジスタ0x40298・D[3:0])

HSDMA Ch.1: HSD1S[3:0] (HSDMA Ch.0/1 トリガ設定レジスタ0x40298・D[7:4])

HSDMA Ch.2: HSD2S[3:0] (HSDMA Ch.2/3 トリガ設定レジスタ0x40299・D[3:0])

HSDMA Ch.3: HSD3S[3:0] (HSDMA Ch.2/3 トリガ設定レジスタ0x40299・D[7:4])

表II.5.2にレジスタの設定値とトリガ要因の対応を示します。

表II.5.2 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	K50入力(立ち下がりエッジ)	K51入力(立ち下がりエッジ)	K53入力(立ち下がりエッジ)	K54入力(立ち下がりエッジ)
0010	K50入力(立ち上がりエッジ)	K51入力(立ち上がりエッジ)	K53入力(立ち上がりエッジ)	K54入力(立ち上がりエッジ)
0011	ポート0入力	ポート1入力	ポート2入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	8bitタイマ0アンダーフロー	8bitタイマ1アンダーフロー	8bitタイマ2アンダーフロー	8bitタイマ3アンダーフロー
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	16bitタイマ4コンペアB	16bitタイマ5コンペアB	16bitタイマ4コンペアB	16bitタイマ5コンペアB
1001	16bitタイマ4コンペアA	16bitタイマ5コンペアA	16bitタイマ4コンペアA	16bitタイマ5コンペアA
1010	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル
1011	シリアル I/F Ch.0 送信バッファエンブティ	シリアル I/F Ch.1 送信バッファエンブティ	シリアル I/F Ch.0 送信バッファエンブティ	シリアル I/F Ch.1 送信バッファエンブティ
1100	A/D変換終了	A/D変換終了	A/D変換終了	A/D変換終了
1101	reserved	FIFOシリアル I/F Ch.0 受信バッファフル	reserved	FIFOシリアル I/F Ch.0 受信バッファフル
1110	reserved	FIFOシリアル I/F Ch.0 送信バッファエンブティ	reserved	FIFOシリアル I/F Ch.0 送信バッファエンブティ

■HSDMAの起動

HSDMAトリガ設定レジスタで割り込み要因を選択すると、その割り込み要因の発生によって指定のHSDMAチャンネルが起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。

HSDMAは割り込み要因フラグをリセットしません。したがって、割り込みコントローラで割り込みが許可されていれば、DMA転送終了時に割り込みが発生します。

なお、割り込み要因によってHSDMAを起動させるには、HSDMAの制御レジスタで転送条件の設定を行い、DMA転送を許可しておく必要があります。詳細については"HSDMA(高速DMA)"を参照してください。

割り込みコントローラのI/Oメモリ

表II.5.3に割り込みコントローラの制御ビットを示します。

表II.5.3 割り込みコントローラの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP1L2	ポート入力1 割り込みレベル	0~7	X	R/W	
		D5	PP1L1			X		
		D4	PP1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP0L2	ポート入力0 割り込みレベル	0~7	X	R/W	
		D1	PP0L1			X		
		D0	PP0L0			X		
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP3L2	ポート入力3 割り込みレベル	0~7	X	R/W	
		D5	PP3L1			X		
		D4	PP3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP2L2	ポート入力2 割り込みレベル	0~7	X	R/W	
		D1	PP2L1			X		
		D0	PP2L0			X		
キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PK1L2	キー入力1 割り込みレベル	0~7	X	R/W	
		D5	PK1L1			X		
		D4	PK1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PK0L2	キー入力0 割り込みレベル	0~7	X	R/W	
		D1	PK0L1			X		
		D0	PK0L0			X		
高速DMA Ch.0/1割り込み プライオリティ レジスタ	0040263 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD1L2	高速DMA Ch.1 割り込みレベル	0~7	X	R/W	
		D5	PHSD1L1			X		
		D4	PHSD1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0 割り込みレベル	0~7	X	R/W	
		D1	PHSD0L1			X		
		D0	PHSD0L0			X		
高速DMA Ch.2/3割り込み プライオリティ レジスタ	0040264 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD3L2	高速DMA Ch.3 割り込みレベル	0~7	X	R/W	
		D5	PHSD3L1			X		
		D4	PHSD3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2 割り込みレベル	0~7	X	R/W	
		D1	PHSD2L1			X		
		D0	PHSD2L0			X		
IDMA割り込み プライオリティ レジスタ	0040265 (B)	D7~3	–	reserved	–	–	–	読み出し時: 0
		D2	PDM2	IDMA 割り込みレベル	0~7	X	R/W	
		D1	PDM1					
		D0	PDM0					
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T12	16bitタイマ1 割り込みレベル	0~7	X	R/W	
		D5	P16T11			X		
		D4	P16T10			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T02	16bitタイマ0 割り込みレベル	0~7	X	R/W	
		D1	P16T01			X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T32	16bitタイマ3 割り込みレベル	0~7	X	R/W	
		D5	P16T31			X		
		D4	P16T30			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T22	16bitタイマ2 割り込みレベル	0~7	X	R/W	
		D1	P16T21			X		
		D0	P16T20			X		

II-5 コアブロック: ITC (割り込みコントローラ)

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	—	reserved	—		—	—	読み出し時: 0
		D6	P16T52	16bitタイマ5	0～7		X	R/W	
		D5	P16T51	割り込みレベル			X		
		D4	P16T50				X		
		D3	—	reserved	—		—	—	読み出し時: 0
		D2	P16T42	16bitタイマ4	0～7		X	R/W	
		D1	P16T41	割り込みレベル			X		
		D0	P16T40				X		
8bitタイマ, シリアルI/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—		—	—	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0～7		X	R/W	
		D5	PSIO01	割り込みレベル			X		
		D4	PSIO00				X		
		D3	—	reserved	—		—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0-5	0～7		X	R/W	
		D1	P8TM1	割り込みレベル			X		
		D0	P8TM0				X		
シリアルI/F Ch.1, A/D変換器 割り込み プライオリティ レジスタ	004026A (B)	D7	—	reserved	—		—	—	読み出し時: 0
		D6	PAD2	A/D変換器	0～7		X	R/W	
		D5	PAD1	割り込みレベル			X		
		D4	PAD0				X		
		D3	—	reserved	—		—	—	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0～7		X	R/W	
		D1	PSIO11	割り込みレベル			X		
		D0	PSIO10				X		
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7-3	—	reserved	—		—	—	1書き込み禁止
		D2	PCTM2	計時タイマ	0～7		X	R/W	
		D1	PCTM1	割り込みレベル			X		
		D0	PCTM0				X		
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	—	reserved	—		—	—	読み出し時: 0
		D6	PP5L2	ポート入力5	0～7		X	R/W	
		D5	PP5L1	割り込みレベル			X		
		D4	PP5L0				X		
		D3	—	reserved	—		—	—	読み出し時: 0
		D2	PP4L2	ポート入力4	0～7		X	R/W	
		D1	PP4L1	割り込みレベル			X		
		D0	PP4L0				X		
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	—	reserved	—		—	—	読み出し時: 0
		D6	PP7L2	ポート入力7	0～7		X	R/W	
		D5	PP7L1	割り込みレベル			X		
		D4	PP7L0				X		
		D3	—	reserved	—		—	—	読み出し時: 0
		D2	PP6L2	ポート入力6	0～7		X	R/W	
		D1	PP6L1	割り込みレベル			X		
		D0	PP6L0				X		
シリアルI/F Ch.2/3 割り込み プライオリティ レジスタ	004026E (B)	D7	—	reserved	—		—	—	読み出し時: 0
		D6	PSIO32	シリアルインタフェースCh.3	0～7		X	R/W	
		D5	PSIO31	割り込みレベル			X		
		D4	PSIO30				X		
		D3	—	reserved	—		—	—	読み出し時: 0
		D2	PSIO22	シリアルインタフェースCh.2	0～7		X	R/W	
		D1	PSIO21	割り込みレベル			X		
		D0	PSIO20				X		
キー入力, ポート入力0-3 割り込み イネーブル レジスタ	0040270 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0
		D5	EK1	キー入力1	1 許可	0 禁止	0	R/W	
		D4	EK0	キー入力0			0	R/W	
		D3	EP3	ポート入力3			0	R/W	
		D2	EP2	ポート入力2			0	R/W	
		D1	EP1	ポート入力1			0	R/W	
		D0	EP0	ポート入力0			0	R/W	
DMA割り込み イネーブル レジスタ	0040271 (B)	D7-5	—	reserved			—		
		D4	EIDMA	IDMA	1 許可	0 禁止	0	R/W	
		D3	EHDM3	高速DMA Ch.3			0	R/W	
		D2	EHDM2	高速DMA Ch.2			0	R/W	
		D1	EHDM1	高速DMA Ch.1			0	R/W	
		D0	EHDM0	高速DMA Ch.0			0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1	許可	0	禁止	0	R/W	
		D6	E16TU1	16bitタイマ1コンペアB					0	R/W	
		D5-4	-	reserved		-	-	-	-	-	
		D3	E16TC0	16bitタイマ0コンペアA	1	許可	0	禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB					0	R/W	
		D1-0	-	reserved		-	-	-	-	-	
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1	許可	0	禁止	0	R/W	
		D6	E16TU3	16bitタイマ3コンペアB					0	R/W	
		D5-4	-	reserved		-	-	-	-	-	
		D3	E16TC2	16bitタイマ2コンペアA	1	許可	0	禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB					0	R/W	
		D1-0	-	reserved		-	-	-	-	-	
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1	許可	0	禁止	0	R/W	
		D6	E16TU5	16bitタイマ5コンペアB					0	R/W	
		D5-4	-	reserved		-	-	-	-	-	
		D3	E16TC4	16bitタイマ4コンペアA	1	許可	0	禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB					0	R/W	
		D1-0	-	reserved		-	-	-	-	-	
8bitタイマ0-3 割り込み イネーブル レジスタ	0040275 (B)	D7-4	-	reserved		-	-	-	-	-	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1	許可	0	禁止	0	R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー					0	R/W	
		シリアル/IF Ch.0/1 割り込み イネーブル レジスタ	0040276 (B)	D7-6	-	reserved		-	-	-	-
D5	ESTX1			SIF Ch.1送信バッファエンプティ	1	許可	0	禁止	0	R/W	
D4	ESRX1			SIF Ch.1受信バッファフル					0	R/W	
D3	ESERR1			SIF Ch.1受信エラー					0	R/W	
D2	ESTX0			SIF Ch.0送信バッファエンプティ					0	R/W	
D1	ESRX0			SIF Ch.0受信バッファフル					0	R/W	
D0	ESERR0			SIF Ch.0受信エラー					0	R/W	
ポート入力4-7, 計時タイマ, A/D 割り込みイネー ブルレジスタ	0040277 (B)			D7-6	-	reserved		-	-	-	
		D5	EP7	ポート入力7	1	許可	0	禁止	0	R/W	
		D4	EP6	ポート入力6					0	R/W	
		D3	EP5	ポート入力5					0	R/W	
		D2	EP4	ポート入力4					0	R/W	
		D1	ECTM	計時タイマ					0	R/W	
		D0	EADE	A/D変換器					0	R/W	
		8bitタイマ4/5 割り込みイネー ブルレジスタ	0040278 (B)	D7-2	-	reserved		-	-	-	
D1	E8TU5			8bitタイマ5アンダーフロー	1	許可	0	禁止	0	R/W	
D0	E8TU4			8bitタイマ4アンダーフロー					0	R/W	
シリアル/IF Ch.2/3 割り込み イネーブル レジスタ	0040279 (B)			D7-6	-	reserved		-	-	-	-
		D5	ESTX3	SIF Ch.3送信バッファエンプティ	1	許可	0	禁止	0	R/W	
		D4	ESRX3	SIF Ch.3受信バッファフル					0	R/W	
		D3	ESERR3	SIF Ch.3受信エラー					0	R/W	
		D2	ESTX2	SIF Ch.2送信バッファエンプティ					0	R/W	
		D1	ESRX2	SIF Ch.2受信バッファフル					0	R/W	
		D0	ESERR2	SIF Ch.2受信エラー					0	R/W	
		キー入力, ポート入力0-3 割り込み要因 フラグレジスタ	0040280 (B)	D7-6	-	reserved		-	-	-	
D5	FK1			キー入力1	1	要因発生	0	要因なし	X	R/W	
D4	FK0			キー入力0					X	R/W	
D3	FP3			ポート入力3					X	R/W	
D2	FP2			ポート入力2					X	R/W	
D1	FP1			ポート入力1					X	R/W	
D0	FP0			ポート入力0					X	R/W	
DMA割り込み 要因フラグ レジスタ	0040281 (B)			D7-5	-	reserved		-	-	-	
		D4	FIDMA	IDMA	1	要因発生	0	要因なし	X	R/W	
		D3	FHDM3	高速DMA Ch.3					X	R/W	
		D2	FHDM2	高速DMA Ch.2					X	R/W	
		D1	FHDM1	高速DMA Ch.1					X	R/W	
		D0	FHDM0	高速DMA Ch.0					X	R/W	
		16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1	要因発生	0	要因なし	
D6	F16TU1			16bitタイマ1コンペアB					X	R/W	
D5-4	-			reserved		-	-	-	-	-	読み出し時: 0
D3	F16TC0			16bitタイマ0コンペアA	1	要因発生	0	要因なし	X	R/W	
D2	F16TU0			16bitタイマ0コンペアB					X	R/W	
D1-0	-			reserved		-	-	-	-	-	

II-5 コアブロック: ITC (割り込みコントローラ)

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU3	16bitタイマ3コンペアB					X	R/W	
		D5-4	-	reserved	-			-	-	読み出し時: 0	
		D3	F16TC2	16bitタイマ2コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU2	16bitタイマ2コンペアB					X	R/W	
D1-0	-	reserved	-			-	-	読み出し時: 0			
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU5	16bitタイマ5コンペアB					X	R/W	
		D5-4	-	reserved	-			-	-	読み出し時: 0	
		D3	F16TC4	16bitタイマ4コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU4	16bitタイマ4コンペアB					X	R/W	
D1-0	-	reserved	-			-	-	読み出し時: 0			
8bitタイマ0-3 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	-	reserved	-			-	-	読み出し時: 0	
		D3	F8TU3	8bitタイマ3アンダーフロー	1	要因発生	0	要因なし	X	R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー					X	R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー					X	R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー					X	R/W	
シリアルI/F Ch.0/1 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	-	reserved	-			-	-	読み出し時: 0	
		D5	FSTX1	SIF Ch.1送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル					X	R/W	
		D3	FSERR1	SIF Ch.1受信エラー					X	R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンプティ					X	R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル					X	R/W	
		D0	FSERR0	SIF Ch.0受信エラー					X	R/W	
ポート入力4-7、 計時タイマ、A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	-	reserved	-			-	-	読み出し時: 0	
		D5	FP7	ポート入力7	1	要因発生	0	要因なし	X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	FADE	A/D変換器					X	R/W	
8bitタイマ4/5 割り込み要因フ ラグレジスタ	0040288 (B)	D7-2	-	reserved	-			-	-	読み出し時: 0	
		D1	F8TU5	8bitタイマ5アンダーフロー	1	要因発生	0	要因なし	X	R/W	
		D0	F8TU4	8bitタイマ4アンダーフロー					X	R/W	
シリアルI/F Ch.2/3 割り込み 要因フラグ レジスタ	0040289 (B)	D7-6	-	reserved	-			-	-	読み出し時: 0	
		D5	FSTX3	SIF Ch.3送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
		D4	FSRX3	SIF Ch.3受信バッファフル					X	R/W	
		D3	FSERR3	SIF Ch.3受信エラー					X	R/W	
		D2	FSTX2	SIF Ch.2送信バッファエンプティ					X	R/W	
		D1	FSRX2	SIF Ch.2受信バッファフル					X	R/W	
		D0	FSERR2	SIF Ch.2受信エラー					X	R/W	
ポート入力0-3、 高速DMA Ch.0/1、 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	RHDM1	高速DMA Ch.1					0	R/W	
		D4	RHDM0	高速DMA Ch.0					0	R/W	
		D3	RP3	ポート入力3					0	R/W	
		D2	RP2	ポート入力2					0	R/W	
		D1	RP1	ポート入力1					0	R/W	
		D0	RP0	ポート入力0					0	R/W	
		16bitタイマ1-4 IDMAリクエスト レジスタ	0040291 (B)	D7					R16TC4	16bitタイマ4コンペアA	
D6	R16TU4			16bitタイマ4コンペアB	0	R/W					
D5	R16TC3			16bitタイマ3コンペアA	0	R/W					
D4	R16TU3			16bitタイマ3コンペアB	0	R/W					
D3	R16TC2			16bitタイマ2コンペアA	0	R/W					
D2	R16TU2			16bitタイマ2コンペアB	0	R/W					
D1	R16TC1			16bitタイマ1コンペアA	0	R/W					
D0	R16TU1			16bitタイマ1コンペアB	0	R/W					
16bitタイマ5、 8bitタイマ0-3、 シリアルI/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)			D7	RSTX0	SIF Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み 要求	0
		D6	RSRX0	SIF Ch.0受信バッファフル	0	R/W					
		D5	R8TU3	8bitタイマ3アンダーフロー	0	R/W					
		D4	R8TU2	8bitタイマ2アンダーフロー	0	R/W					
		D3	R8TU1	8bitタイマ1アンダーフロー	0	R/W					
		D2	R8TU0	8bitタイマ0アンダーフロー	0	R/W					
		D1	R16TC5	16bitタイマ5コンペアA	0	R/W					
		D0	R16TU5	16bitタイマ5コンペアB	0	R/W					

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
シリアル/F Ch.1, A/D, ポー ト入力4-7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	RP6	ポート入力6					0	R/W	
		D5	RP5	ポート入力5					0	R/W	
		D4	RP4	ポート入力4					0	R/W	
		D3	-	reserved	-			-	-	読み出し時: 0	
		D2	RADE	A/D変換器	1	IDMA要求	0	割り込み 要求	0		R/W
		D1	RSTX1	SIF Ch.1送信バッファエンブティ					0		R/W
		D0	RSRX1	SIF Ch.1受信バッファフル					0		R/W
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	DEHDM1	高速DMA Ch.1					0	R/W	
		D4	DEHDM0	高速DMA Ch.0					0	R/W	
		D3	DEP3	ポート入力3					0	R/W	
		D2	DEP2	ポート入力2					0	R/W	
		D1	DEP1	ポート入力1					0	R/W	
		D0	DEP0	ポート入力0					0	R/W	
16bitタイマ1-4 IDMAイネーブル レジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU4	16bitタイマ4コンペアB					0	R/W	
		D5	DE16TC3	16bitタイマ3コンペアA					0	R/W	
		D4	DE16TU3	16bitタイマ3コンペアB					0	R/W	
		D3	DE16TC2	16bitタイマ2コンペアA					0	R/W	
		D2	DE16TU2	16bitタイマ2コンペアB					0	R/W	
		D1	DE16TC1	16bitタイマ1コンペアA					0	R/W	
		D0	DE16TU1	16bitタイマ1コンペアB					0	R/W	
16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンブティ	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	DE16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	DE16TU5	16bitタイマ5コンペアB					0	R/W	
シリアル/F Ch.1, A/D, ポー ト入力4-7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	-	reserved	-			-	-	読み出し時: 0	
		D2	DEADE	A/D変換器	1	IDMA許可	0	IDMA禁止	0		R/W
		D1	DESTX1	SIF Ch.1送信バッファエンブティ					0		R/W
		D0	DESRX1	SIF Ch.1受信バッファフル					0		R/W
高速DMA Ch.0/1 トリガ設定 レジスタ	0040298 (B)	D7	HSD1S3	高速DMA Ch.1トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD1S2		1	K51入力(立ち下がりエッジ)			0		
		D5	HSD1S1		2	K51入力(立ち上がりエッジ)			0		
		D4	HSD1S0		3	ポート1入力			0		
					4	ポート5入力			0		
					5	8bitタイマCh.1アンダーフロー					
					6	16bitタイマCh.1コンペアB					
					7	16bitタイマCh.1コンペアA					
					8	16bitタイマCh.5コンペアB					
					9	16bitタイマCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンブティ					
					C	A/D変換終了					
					D	FSI/F Ch.0 Rx bufフル					
					E	FSI/F Ch.0 Tx bufエンブティ					
	D3	HSD0S3	高速DMA Ch.0トリガ設定	0	ソフトウェアトリガ			0	R/W		
	D2	HSD0S2		1	K50入力(立ち下がりエッジ)			0			
	D1	HSD0S1		2	K50入力(立ち上がりエッジ)			0			
	D0	HSD0S0		3	ポート0入力			0			
				4	ポート4入力						
				5	8bitタイマCh.0アンダーフロー						
				6	16bitタイマCh.0コンペアB						
				7	16bitタイマCh.0コンペアA						
				8	16bitタイマCh.4コンペアB						
		9		16bitタイマCh.4コンペアA							
		A	SI/F Ch.0 Rx bufフル								
		B	SI/F Ch.0 Tx bufエンブティ								
		C	A/D変換終了								
		D	reserved								
		E	reserved								

II-5 コアブロック: ITC (割り込みコントローラ)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.2/3 トリガ設定 レジスタ	0040299 (B)	D7	HSD3S3	高速DMA Ch.3トリガ設定	0 ソフトウェアトリガ	0	R/W	
		D6	HSD3S2		1 K54入力(立ち下がりエッジ)	0		
		D5	HSD3S1		2 K54入力(立ち上がりエッジ)	0		
		D4	HSD3S0		3 ポート3入力	0		
					4 ポート7入力			
					5 8bitタイマCh.3アンダーフロー			
					6 16bitタイマCh.3コンペアB			
					7 16bitタイマCh.3コンペアA			
					8 16bitタイマCh.5コンペアB			
					9 16bitタイマCh.5コンペアA			
		D3	HSD2S3	高速DMA Ch.2トリガ設定	0 ソフトウェアトリガ	0	R/W	
		D2	HSD2S2		1 K53入力(立ち下がりエッジ)	0		
		D1	HSD2S1		2 K53入力(立ち上がりエッジ)	0		
		D0	HSD2S0		3 ポート2入力	0		
					4 ポート6入力			
					5 8bitタイマCh.2アンダーフロー			
					6 16bitタイマCh.2コンペアB			
					7 16bitタイマCh.2コンペアA			
					8 16bitタイマCh.4コンペアB			
					9 16bitタイマCh.4コンペアA			
					A SI/F Ch.0 Rx bufフル			
					B SI/F Ch.0 Tx bufエンプティ			
					C A/D変換終了			
					D reserved			
					E reserved			
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAリクエスト レジスタ	004029B (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	RSTX3	SIF Ch.3送信バッファエンプティ	1 IDMA要求	0 割り込み 要求	0 R/W	
		D4	RSRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	RSTX2	SIF Ch.2送信バッファエンプティ			0 R/W	
		D2	RSRX2	SIF Ch.2受信バッファフル			0 R/W	
		D1	R8TU5	8bitタイマ5アンダーフロー			0 R/W	
		D0	R8TU4	8bitタイマ4アンダーフロー			0 R/W	
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAイネーブル レジスタ	004029C (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	DESTX3	SIF Ch.3送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0 R/W	
		D4	DESRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	DESTX2	SIF Ch.2送信バッファエンプティ			0 R/W	
		D2	DESRX2	SIF Ch.2受信バッファフル			0 R/W	
		D1	DE8TU5	8bitタイマ5アンダーフロー			0 R/W	
		D0	DE8TU4	8bitタイマ4アンダーフロー			0 R/W	
フラグセット/リ セット方式選択 レジスタ	004029F (B)	D7-3	-	reserved	-	-	-	
		D2	DENONLY	IDMAイネーブルレジスタ セット方式選択	1 セット オンリー	0 RD/WR	1 R/W	
		D1	IDMAONLY	IDMAリクエストレジスタ セット方式選択	1 セット オンリー	0 RD/WR	1 R/W	
		D0	RSTONLY	割り込み要因フラグ リセット方式選択	1 リセット オンリー	0 RD/WR	1 R/W	
拡張機能用 割り込み プライオリティ レジスタ	00402A0 (B)	D7	-	reserved	-	-	-	読み出し時: 0
		D6	-	拡張機能	0~7		X R/W	
		D5	-	割り込みレベル(reserved)			X	
		D4	-				X	
		D3	-	reserved	-	-	-	読み出し時: 0
		D2	-	拡張機能	0~7		X R/W	
拡張機能用 割り込み プライオリティ レジスタ	00402A1 (B)	D1	-	割り込みレベル(reserved)			X	
		D0	-				X	
		D7	-	reserved	-	-	-	読み出し時: 0
		D6	-	拡張機能	0~7		X R/W	
		D5	-	割り込みレベル(reserved)			X	
		D4	-				X	
拡張機能用 割り込み プライオリティ レジスタ	00402A1 (B)	D3	-	reserved	-	-	-	読み出し時: 0
		D2	-	拡張機能	0~7		X R/W	
		D1	-	割り込みレベル(reserved)			X	
		D0	-				X	
		D7	-	reserved	-	-	-	読み出し時: 0
		D6	-	拡張機能	0~7		X R/W	
		D5	-	割り込みレベル(reserved)			X	
		D4	-				X	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
LCDC割り込み プライオリティ レジスタ	00402A2 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PLCDCI2	LCDコントローラ	0~7	X	R/W	
		D5	PLCDCI1	割り込みレベル		X		
		D4	PLCDCI0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	—	拡張機能	0~7	X	R/W	
		D1	—	割り込みレベル(reserved)		X		
		D0	—			X		
USB, SPI 割り込み プライオリティ レジスタ	00402A3 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSPII2	SPI	0~7	X	R/W	
		D5	PSPII1	割り込みレベル		X		
		D4	PSPII0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PUSBI2	USB	0~7	X	R/W	
		D1	PUSBI1	割り込みレベル		X		
		D0	PUSBI0			X		
拡張機能用 割り込み プライオリティ レジスタ	00402A4 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0~7	X	R/W	
		D5	—	割り込みレベル(reserved)		X		
		D4	—			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	—	拡張機能	0~7	X	R/W	
		D1	—	割り込みレベル(reserved)		X		
		D0	—			X		
拡張機能用 割り込み プライオリティ レジスタ	00402A5 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0~7	X	R/W	
		D5	—	割り込みレベル(reserved)		X		
		D4	—			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	—	拡張機能	0~7	X	R/W	
		D1	—	割り込みレベル(reserved)		X		
		D0	—			X		
LCDC, USB, SPI割り込み イネーブル レジスタ	00402A6 (B)	D7	ESPII	SPI割り込み	1 許可	0 禁止	0 R/W	
		D6	EUSBI	USB割り込み			0 R/W	
		D5	ELCDCI	LCDC割り込み			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	1書き込み禁止
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み イネーブル レジスタ	00402A7 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み イネーブル レジスタ	00402A8 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
LCDC, USB, SPI割り込み 要因フラグ レジスタ	00402A9 (B)	D7	FSPII	SPI割り込み	1 要因発生	0 要因なし	X R/W	
		D6	FUSBI	USB割り込み			X R/W	
		D5	FLCDCI	LCDC割り込み			X R/W	
		D4	—	拡張機能割り込み(reserved)			X R/W	1書き込み禁止
		D3	—	拡張機能割り込み(reserved)			X R/W	
		D2	—	拡張機能割り込み(reserved)			X R/W	
		D1	—	拡張機能割り込み(reserved)			X R/W	
		D0	—	拡張機能割り込み(reserved)			X R/W	

II-5 コアブロック: ITC (割り込みコントローラ)

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
拡張機能用 割り込み 要因フラグ レジスタ	00402AA (B)	D7	–	拡張機能割り込み(reserved)	1	要因発生	0	要因なし	X	R/W	1書き込み禁止
		D6	–	拡張機能割り込み(reserved)					X	R/W	
		D5	–	拡張機能割り込み(reserved)					X	R/W	
		D4	–	拡張機能割り込み(reserved)					X	R/W	
		D3	–	拡張機能割り込み(reserved)					X	R/W	
		D2	–	拡張機能割り込み(reserved)					X	R/W	
		D1	–	拡張機能割り込み(reserved)					X	R/W	
		D0	–	拡張機能割り込み(reserved)					X	R/W	
拡張機能用 割り込み 要因フラグ レジスタ	00402AB (B)	D7	–	拡張機能割り込み(reserved)	1	要因発生	0	要因なし	X	R/W	1書き込み禁止
		D6	–	拡張機能割り込み(reserved)					X	R/W	
		D5	–	拡張機能割り込み(reserved)					X	R/W	
		D4	–	拡張機能割り込み(reserved)					X	R/W	
		D3	–	拡張機能割り込み(reserved)					X	R/W	
		D2	–	拡張機能割り込み(reserved)					X	R/W	
		D1	–	拡張機能割り込み(reserved)					X	R/W	
		D0	–	拡張機能割り込み(reserved)					X	R/W	
LCDC, USB, SPI IDMAリクエスト レジスタ	00402AC (B)	D7	RSPII	SPI割り込み	1	IDMA要求	0	割り込み 要求	0	R/W	1書き込み禁止
		D6	RUSBI	USB割り込み					0	R/W	
		D5	RLCDCI	LCDC割り込み					0	R/W	
		D4	–	拡張機能割り込み(reserved)					0	R/W	
		D3	–	拡張機能割り込み(reserved)					0	R/W	
		D2	–	拡張機能割り込み(reserved)					0	R/W	
		D1	–	拡張機能割り込み(reserved)					0	R/W	
		D0	–	拡張機能割り込み(reserved)					0	R/W	
拡張機能用 IDMAリクエスト レジスタ	00402AD (B)	D7	–	拡張機能割り込み(reserved)	1	IDMA要求	0	割り込み 要求	0	R/W	1書き込み禁止
		D6	–	拡張機能割り込み(reserved)					0	R/W	
		D5	–	拡張機能割り込み(reserved)					0	R/W	
		D4	–	拡張機能割り込み(reserved)					0	R/W	
		D3	–	拡張機能割り込み(reserved)					0	R/W	
		D2	–	拡張機能割り込み(reserved)					0	R/W	
		D1	–	拡張機能割り込み(reserved)					0	R/W	
		D0	–	拡張機能割り込み(reserved)					0	R/W	
LCDC, USB, SPI IDMAイネーブル レジスタ	00402AE (B)	D7	DESPII	SPI割り込み	1	IDMA許可	0	IDMA禁止	0	R/W	1書き込み禁止
		D6	DEUSBI	USB割り込み					0	R/W	
		D5	DELCDCI	LCDC割り込み					0	R/W	
		D4	–	拡張機能割り込み(reserved)					0	R/W	
		D3	–	拡張機能割り込み(reserved)					0	R/W	
		D2	–	拡張機能割り込み(reserved)					0	R/W	
		D1	–	拡張機能割り込み(reserved)					0	R/W	
		D0	–	拡張機能割り込み(reserved)					0	R/W	
拡張機能用 IDMAイネーブル レジスタ	00402AF (B)	D7	–	拡張機能割り込み(reserved)	1	IDMA許可	0	IDMA禁止	0	R/W	1書き込み禁止
		D6	–	拡張機能割り込み(reserved)					0	R/W	
		D5	–	拡張機能割り込み(reserved)					0	R/W	
		D4	–	拡張機能割り込み(reserved)					0	R/W	
		D3	–	拡張機能割り込み(reserved)					0	R/W	
		D2	–	拡張機能割り込み(reserved)					0	R/W	
		D1	–	拡張機能割り込み(reserved)					0	R/W	
		D0	–	拡張機能割り込み(reserved)					0	R/W	
FIFOシリアル I/F Ch.0 割り込み プライオリティ レジスタ	00402B0 (B)	D7	–	reserved	–		–	–	–	–	読み出し時: 0
		D6	PFSIO02	FIFOシリアルインタフェース Ch.0割り込みレベル	0~7		–	–	X	R/W	
		D5	PFSIO01				–	–	X	R/W	
		D4	PFSIO00				–	–	X	R/W	
FIFOシリアル I/F Ch.0 割り込み イネーブル レジスタ	00402B1 (B)	D3-0	–	reserved	–		–	–	–	–	読み出し時: 0
		D7-6	–	reserved	–		–	–	–	–	
		D5	EFSTX0	FSI/F Ch.0送信バッファエンプティ FSI/F Ch.0受信バッファフル FSI/F Ch.0受信エラー	1	許可	0	禁止	0	R/W	
		D4	EFSRX0						0	R/W	
		D3	EFSERR0						0	R/W	
D2-0	–	reserved	–		–	–	–	–	読み出し時: 0		
FIFOシリアル I/F Ch.0 割り込み 要因フラグ レジスタ	00402B2 (B)	D7-6	–	reserved	–		–	–	–	–	読み出し時: 0
		D5	FFSTX0	FSI/F Ch.0送信バッファエンプティ FSI/F Ch.0受信バッファフル FSI/F Ch.0受信エラー	1	要因発生	0	要因なし	X	R/W	
		D4	FFSRX0						X	R/W	
		D3	FFSERR0						X	R/W	
		D2-0	–	reserved	–		–	–	–	–	
FIFOシリアル I/F Ch.0 IDMAリクエスト レジスタ	00402B3 (B)	D7-4	–	reserved	–		–	–	–	–	読み出し時: 0
		D3	RFSTX0	FSI/F Ch.0送信バッファエンプティ FSI/F Ch.0受信バッファフル	1	IDMA要求	0	割り込み 要求	0	R/W	
		D2	RFSRX0						0	R/W	
		D1-0	–						reserved	–	

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈								
FIFOシリアル I/F Ch.0 IDMAイネーブル レジスタ	00402B4 (B)	D7-4	-	reserved	-			-	-	読み出し時: 0								
		D3	DEFSTX0	FSI/F Ch.0送信バッファエンプティ	1	IDMA許可	0	IDMA禁止	0	R/W								
		D2	DEFSRX0	FSI/F Ch.0受信バッファフル					0	R/W								
		D1-0	-	reserved	-			-	-	読み出し時: 0								
TTBRレジスタ 書き込み保護 レジスタ	004812D (B)	D7	TBRP7	TTBRレジスタ書き込み保護	01011001(0x59)書き込みによりTTBRレジスタ(0x48134)の書き込み保護を解除 それ以外は書き込み禁止に設定			0	W	読み出し時: 不定								
		D6	TBRP6					0										
		D5	TBRP5					0										
		D4	TBRP4					0										
		D3	TBRP3					0										
		D2	TBRP2					0										
		D1	TBRP1					0										
		D0	TBRP0					0										
		TTBR 下位レジスタ	0048134 (HW)					DF			TTBR15	トラップテーブル ベースアドレス bit[15:10]				0	R/W	
								DE			TTBR14					0		
DD	TTBR13			0														
DC	TTBR12			0														
DB	TTBR11			0														
DA	TTBR10			0														
D9	TTBR09			トラップテーブル ベースアドレス bit[9:0]	0に固定			0	R	読み出し時: 0 1書き込み禁止								
D8	TTBR08							0										
D7	TTBR07							0										
D6	TTBR06							0										
D5	TTBR05							0										
D4	TTBR04							0										
D3	TTBR03							0										
D2	TTBR02							0										
D1	TTBR01							0										
D0	TTBR00							0										
TTBR 上位レジスタ	0048136 (HW)							DF			TTBR33	トラップテーブル ベースアドレス bit[31:28]	0に固定			0	R	読み出し時: 0 1書き込み禁止
			DE	TTBR32	0													
			DD	TTBR31	0													
			DC	TTBR30	0													
			DB	TTBR2B	トラップテーブル ベースアドレス bit[27:16]	0x0C0			0	R/W								
			DA	TTBR2A					0									
			D9	TTBR29					0									
		D8	TTBR28	0														
		D7	TTBR27	1														
		D6	TTBR26	1														
		D5	TTBR25	0														
		D4	TTBR24	0														
		D3	TTBR23	0														
		D2	TTBR22	0														
		D1	TTBR21	0														
		D0	TTBR20	0														

以下、各制御レジスタ/ビットの基本機能をまとめて説明します。個々の割り込み系列/要因ごとの内容については、各周辺回路の説明を参照してください。

Pxxx2-Pxxx0: 割り込みプライオリティレジスタ

割り込み系列の優先レベルを0～7の範囲で設定します。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。イニシャルリセット時、割り込みプライオリティレジスタは不定となります。

Exxx: 割り込みイネーブルレジスタ

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

割り込みイネーブルレジスタのビットを"1"に設定すると対応する割り込みが許可され、"0"に設定すると割り込みが禁止されます。

IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておくことが必要です。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

Fxxx: 割り込み要因フラグ

割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

割り込み要因フラグは各周辺回路で割り込み要因が発生すると"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、割り込み要因フラグは不定となりますので、必ずソフトウェアでリセットしてください。

Rxxx: IDMAリクエストレジスタ

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)
 - "1"書き込み: IDMA要求
 - "0"書き込み: 無効
 - 読み出し: 可能
- リード/ライト方式
 - "1"書き込み: IDMA要求
 - "0"書き込み: 割り込み要求
 - 読み出し: 可能

IDMAリクエストレジスタのビットを"1"に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが"0"となった場合、IDMAリクエストレジスタのビットは"0"にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。

イニシャルリセット時、IDMAリクエストレジスタは"0"(割り込み要求)に設定されます。

DExxx: IDMAイネーブルレジスタ

割り込み要因によるIDMA転送を許可または禁止します。

- セットオンリー方式(デフォルト)
 - "1"書き込み: IDMA許可
 - "0"書き込み: 無効
 - 読み出し: 可能
- リード/ライト方式
 - "1"書き込み: IDMA許可
 - "0"書き込み: IDMA禁止
 - 読み出し: 可能

IDMAイネーブルレジスタのビットを"1"に設定すると、対応する割り込み要因によるIDMAの起動を許可します。"0"に設定するとIDMA起動要求は受け付けられません。

イニシャルリセット時、IDMAイネーブルレジスタは"0"(IDMA禁止)に設定されます。

II

RSTONLY: 割り込み要因フラグリセット方式選択(D0/0x4029F<フラグセット/リセット方式選択レジスタ>)

割り込み要因フラグのリセット方式を選択します。

- "1"書き込み: リセットオンリー方式
- "0"書き込み: リード/ライト方式
- 読み出し: 可能

ITC

リセットオンリー方式の場合、割り込み要因フラグは"1"を書き込むことでリセットされます。

"0"を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、"1"にセットされた割り込み要因フラグが書き込み時にリセットされませんので注意してください。この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。

リード/ライト方式はRSTONLYに"0"を書き込むことにより設定されます。この方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。

イニシャルリセット時、RSTONLYは"1"(リセットオンリー方式)に設定されます。

IDMAONLY: IDMAリクエストレジスタセット方式選択(D1/0x4029F<フラグセット/リセット方式選択レジスタ>)

IDMAリクエストレジスタのセット方式を選択します。

- "1"書き込み: セットオンリー方式
- "0"書き込み: リード/ライト方式
- 読み出し: 可能

セットオンリー方式の場合、IDMAリクエストビットは"1"を書き込むことでセットされます。

"0"を書き込んだIDMAリクエストビットはセットもリセットもされません。したがって、特定のIDMAリクエストビットのみを確実にセットできます。リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、"1"にセットされたIDMAリクエストビットは書き込み時にリセットされませんので注意してください。

リード/ライト方式はIDMAONLYに"0"を書き込むことにより設定されます。この方式の場合、IDMAリクエストレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだIDMAリクエストビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAリクエストビットがハードウェアによってリセットされる可能性がありますので注意してください。

イニシャルリセット時、IDMAONLYは"1"(セットオンリー方式)に設定されます。

DENONLY: IDMAイネーブルレジスタセット方式選択(D2/0x4029F<フラグセット/リセット方式選択レジスタ>)

IDMAイネーブルレジスタのセット方式を選択します。

"1"書き込み: セットオンリー方式

"0"書き込み: リード/ライト方式

読み出し: 可能

セットオンリー方式の場合、IDMAイネーブルビットは"1"を書き込むことでセットされます。

"0"を書き込んだIDMAイネーブルビットはセットもリセットもされません。したがって、特定のIDMAイネーブルビットのみを確実にセットできます。リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、"1"にセットされたIDMAイネーブルビットは書き込み時にリセットされませんので注意してください。

リード/ライト方式はDENONLYに"0"を書き込むことにより設定されます。この方式の場合、IDMAイネーブルレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだIDMAイネーブルビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAイネーブルビットがハードウェアによってリセットされる可能性がありますので注意してください。

イニシャルリセット時、DENONLYは"1"(セットオンリー方式)に設定されます。

TBRP7-TBRP0: TTBRレジスタ書き込み保護([D[7:0]/0x4812D<TTBRレジスタ書き込み保護レジスタ>)

TTBRレジスタの書き込み保護を解除します。

0x59書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

TTBRレジスタに書き込みを行う場合は、その前にTBRPを0x59に設定し、書き込み保護を解除してください。その後、TTBRの最上位バイト(0x48137)にデータが書き込まれると書き込み禁止状態に戻ります。

イニシャルリセット時、TBRPレジスタは0x0(書き込み保護)に設定されます。

TTBR09-TTBR00: トラップテーブルベースアドレスbit[9:0](D[9:0]/0x48134[HW]<TTBR下位レジスタ>)**TTBR15-TTBR10: トラップテーブルベースアドレスbit[15:10](D[F:A]/0x48134[HW]<TTBR下位レジスタ>)****TTBR2B-TTBR20: トラップテーブルベースアドレスbit[27:16](D[B:0]/0x48136[HW]<TTBR上位レジスタ>)****TTBR33-TTBR30: トラップテーブルベースアドレスbit[31:28](D[F:C]/0x48136[HW]<TTBR上位レジスタ>)**

トラップテーブル先頭アドレスを設定します。TTBR0とTTBR3は読み出し専用で"0"に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。

なお、TTBRレジスタは誤って書き換えられることのないように、通常は書き込み禁止状態に置かれ、この書き込み保護機能を解除するためにTTBRレジスタ書き込み保護レジスタTBRP(D[7:0]/0x4812D[Byte])が用意されています。TBRPレジスタに0x59を書き込むとTTBRレジスタへの書き込みが許可され、TTBRレジスタの最上位バイト(0x48137)への書き込みにより書き込み禁止状態に戻ります。したがって、TTBRレジスタへの書き込みは下位ハーフワードから先に行うことが必要です。ただし、下位と上位ハーフワードの書き込みの間にNMI等が発生すると誤動作しますので、ワード書き込みを推奨します。

イニシャルリセット後、TTBRレジスタは0x0C00000番地に設定されます。

プログラミング上の注意事項

- (1) スタンバイモードからの再起動用の割り込み要因がIDMAを起動するように設定されている場合、その割り込みによりIDMAが起動します。SLEEPモードの場合は高速(OSC3)発振回路も発振を開始します。ただし、IDMA側の設定でIDMA終了後の割り込みが禁止されていると、CPUへの割り込み要求信号が発生しないため、CPUは動作を停止したままとなり次の割り込み要求が発生するまで動作を開始しません。
- (2) C33 STDコアCPUの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。
- (3) リセットオンリー方式で割り込み要因フラグをリセットする("1"を書き込む)場合、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、同じアドレスで"1"にセットされた他の割り込み要因フラグが書き込み時にリセットされますので注意してください。リード/ライト方式でリセットする("0"を書き込む)場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行うと、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。
また、IDMAリクエストレジスタ、IDMAイネーブルレジスタのセットオンリー方式、リード/ライト方式についても同様の注意が必要です。
- (4) イニシャルリセット後、割り込み要因フラグおよび割り込みプライオリティレジスタは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (5) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

II

ITC

このページはブランクです。

II-6 CLG(クロックジェネレータ)

この章では、システムクロックの制御方法について説明します。

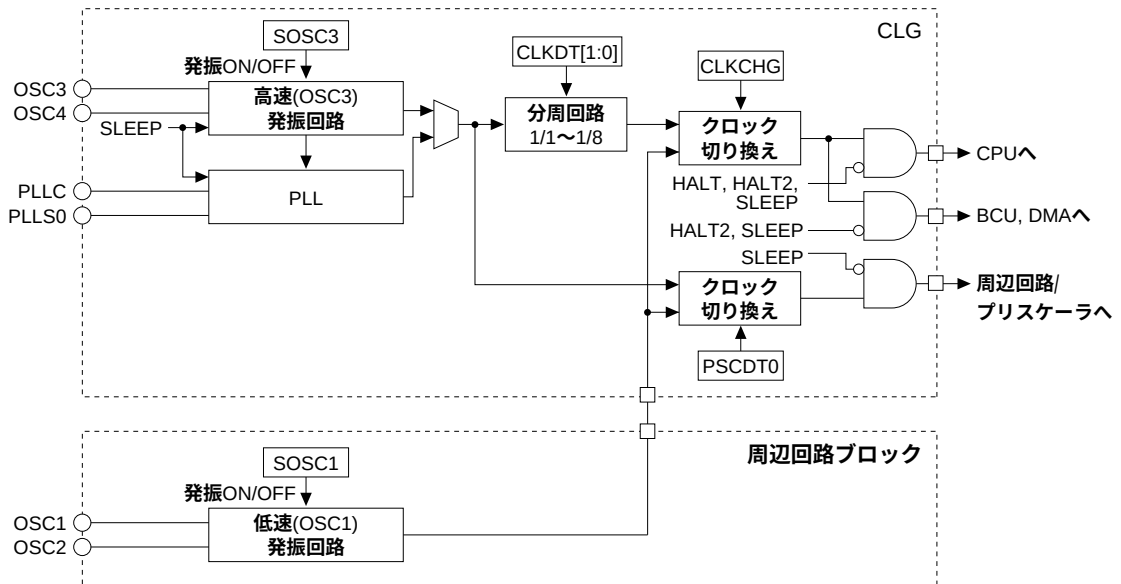
クロックジェネレータの構成

C33コアブロックは、高速発振回路(OSC3)とPLLで構成されるクロックジェネレータを内蔵しています。高速(OSC3)発振回路はCPUと内蔵周辺回路(DMA、シリアルインタフェース、プログラマブルタイマ、A/D変換器等)用のメインクロックを発生します。

また、クロックジェネレータは、周辺回路ブロックで生成される低速(OSC1)クロック(32.768kHz Typ.)などのサブクロックを入力することができます。このサブクロックは計時タイマ用および省電力化のためにCPUを低速動作させるクロックとして使用可能です。

注: 低速(OSC1)発振回路を含む周辺回路ブロックを搭載すると、CPUと内蔵周辺回路(シリアルインタフェース、プログラマブルタイマ、A/D変換器等)用のソースクロックがOSC3とOSC1から選択できます。詳細は、本章の"CPU動作クロックの設定と切り換え"、周辺回路ブロックの"プリスケアラ"および"低速(OSC1)発振回路"を参照してください。

図II.6.1にクロックジェネレータの構成を示します。



図II.6.1 クロックジェネレータの構成

イニシャルリセット後は、高速(OSC3)発振回路の出力(OSC3クロック)あるいはPLLの出力がCPUの動作クロックに設定されます。

低速(OSC1)発振回路を搭載すると、CPUの動作クロックはプログラムによって低速(OSC1)発振回路の出力(OSC1クロック)に切り換えることができます。また、各発振回路をプログラムによって停止させることもできます。

計時処理等のOSC3クロックが不要な場合は消費電流を低減させるため、OSC1クロックをCPUの動作クロックに設定し、高速(OSC3)発振回路を停止させてください。また、SLEEPモードに設定すると高速(OSC3)発振回路が停止し、消費電流が大幅に低減できます(計時タイマ以外の動作が不要な場合)。

クロックジェネレータの入出力端子

表II.6.1に発振回路の入出力端子を示します。

表II.6.1 クロックジェネレータの入出力端子

端子名	I/O	機 能
OSC3	I	高速(OSC3)発振入力端子: 水晶(セラミック)発振または外部クロック入力
OSC4	O	高速(OSC3)発振出力端子: 水晶(セラミック)発振 (外部クロック入力時は開放)
PLL	-	PLL用コンデンサ接続端子
PLLS0	I	PLLモード設定端子 0: PLL未使用, 1: 2通倍モード

高速(OSC3)発振回路

高速(OSC3)発振回路はCPUと内蔵周辺回路(DMA、シリアルインタフェース、プログラマブルタイマ、A/D変換器等)用のメインクロックを発生します。

水晶発振回路またはセラミック発振回路として使用可能です。また、外部よりクロックを入力することもできます。

USB機能を使用する場合、OSC3発振周波数を48MHzにする必要があります。

USBファンクションコントローラはOSC3クロックを入力しており、PLLによって2通倍したクロックをUSBクロックとして使用することはできません。

図II.6.2に高速(OSC3)発振回路の構造を示します。



図II.6.2 高速(OSC3)発振回路

水晶(セラミック)発振回路として使用する場合は、図II.6.2(1)のように水晶(X'tal2)またはセラミック(Ceramic)振動子、帰還抵抗(R_f)、2つのコンデンサ(C_{G2} 、 C_{D2})および必要に応じてドレイン抵抗(R_d)を、OSC3とOSC4端子およびVssに接続してください。

外部クロックを使用する場合はOSC4端子を開放し、矩形波のクロックをOSC3端子に入力してください。

発振周波数の範囲は、内蔵発振回路使用時は5MHz～48MHz、外部クロック入力時は2MHz～48MHzです。

発振特性と外部クロックの入力特性については"電気的特性"を参照してください。

注: 発振特性は諸条件(使用部品、基板パターンなど)により変化します。特にセラミック発振は外部部品や基板による影響に非常に敏感です。セラミック発振子を使用される場合は、必ず使用条件などを村田製作所殿にお問い合わせください。また、本チップで使用可能なセラミック発振子は48MHzのみとなります。他の周波数のセラミック発振子は使用しないように注意してください。

PLL

PLLは高速(OSC3)クロックを入力し、その周波数を通倍します。通倍モードは、OSC3発振周波数に合わせ、PLLS0端子で設定可能です。

表II.6.2 PLLS0端子の設定

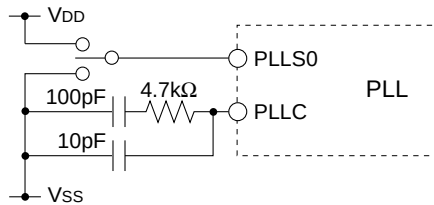
PLLS0	モード	fin	fout
1	通倍モード	10~24MHz	10~24MHz(x1)または20~48MHz(x2) *
0	PLL未使用	—	未使用

* III-17項参照

注: PLLS0端子を"1"にした場合のS1C33L05のデフォルト設定では、PLL入力クロック周波数がOSC3/2でPLLはこのクロックを通倍せずに出力します。

"III-17 S1C33L05クロック系とMiscレジスタ"を参照してください。

図II.6.3にPLL用端子の基本外部結線図を示します。



図II.6.3 PLL使用時の基本外部結線図

注: PLLを使用しない場合は、OSC3発振出力がクロックとして使用されます。

発振の制御

高速(OSC3)発振回路は、パワーコントロールレジスタ(0x40180)のSOSC3(D1)によって発振のON/OFFが制御できます。

SOSC3に"0"を書き込むと高速(OSC3)発振回路が停止し、"1"を書き込むと発振を再開します。

イニシャルリセット時、SOSC3は"1"に設定され、高速(OSC3)発振回路はONとなります。

注: • CPUの動作クロック原振に高速(OSC3)発振回路を使用している場合は、高速(OSC3)発振回路を停止させることはできません。その場合のSOSC3への"0"書き込みは無効です。また、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ、SOSC3への書き込みが行えます。

- 発振回路をONにした直後は、発振が安定するまである程度の時間を要します(3.3V系水晶振動子の場合で最大10ms)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。

高速(OSC3)発振回路はSLEEP時にも停止します。

CPU動作クロックの設定と切り換え

■CPU動作周波数の設定

CPUを高速(OSC3)クロックで動作させる場合、動作周波数を4段階に切り換えることができます。この切り換えは、パワーコントロールレジスタ(0x40180)のCLKDT[1:0](D[7:6])によって行います。

表II.6.3 CPU動作クロックの設定

CLKDT1	CLKDT0	分周比
1	1	fout/8
1	0	fout/4
0	1	fout/2
0	0	fout/1

fout: PLL出力周波数

ここで設定したクロックがシステムクロックとなり、CPUの動作クロックおよびバスクロックとして使用されます。

イニシャルリセット時はfout/1に設定され、高速(OSC3)発振クロックで直接動作します。

CPUの動作速度を落とすことで消費電流を低減できますので、必要に応じて切り換えてください。

この設定は高速(OSC3)クロックに対してのみ有効で、低速(OSC1)クロックをシステムクロックとして使用する場合は無効です。

注: CLKDT[1:0]への書き込みは、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

■CPU動作クロックの切り換え

注: CPU動作クロックの切り換え(OSC3→OSC1)は、周辺回路ブロックの低速(OSC1)発振回路を使用している場合にのみ可能です。

イニシャルリセット後、CPUはOSC3クロックにより動作を開始します。内蔵周辺回路もすべて動作します。

周辺回路(プログラマブルタイマ、シリアルインタフェース、A/D変換器、ポート等)の動作が不要、もしくは低速動作で処理可能な場合でCPUも低速動作で処理可能なときは、CPUの動作クロックをOSC1クロックに切り換えて消費電流を低減させることができます。この動作クロックの切り換えは、パワーコントロールレジスタ(0x40180)のCLKCHG(D2)によって行います。

OSC3クロックからOSC1クロックへの切り換え手順

1. 低速(OSC1)発振回路をON(SOSC1に"1"を書き込み)
 2. OSC1発振が安定するまで(3秒以上)ウェイト
 3. CPU動作クロックの切り換え(CLKCHGに"0"を書き込み)
 4. 高速(OSC3)発振回路をOFF(SOSC3に"0"を書き込み)
- ※ 1と2は低速(OSC1)発振回路が停止している場合にのみ必要です。

注: • OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

- プログラマブルタイマ、A/D変換器、シリアルインタフェースなどの周辺回路を動作させている場合、誤動作を防止するためOSC3発振を停止する前に動作を終了させるか、あるいはプリスケアラックをOSC1に設定してください。なお、誤動作を防止するため、プリスケアラの設定はCPUクロックの変更に先に行ってください。

OSC1クロックからOSC3クロックへの切り換え手順

1. 高速(OSC3)発振回路をON(SOSC3に"1"を書き込み)
2. OSC3発振が安定するまで(3.3V系水晶振動子の場合10ms以上)ウェイト
3. CPU動作クロックの切り換え(CLKCHGに"1"を書き込み)

注: CLKCHGによる動作クロックの切り換えは、発振回路が両方ともONしている場合で、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

パワーコントロールレジスタ保護フラグ

発振回路とCPU動作クロックの制御を行うアドレス0x40180のパワーコントロールレジスタは、不要な書き込みによる誤動作を防止するため、通常は書き込み禁止状態となっています。

書き込み可能な状態にするには、パワーコントロールレジスタ保護レジスタ(0x4019E)のCLGP[7:0](D[7:0])に0b10010110を設定する必要があります。なお、この設定はパワーコントロールレジスタ(0x40180)への1回の書き込みのみを許可し、書き込みが行われるとCLGP[7:0]のすべてのビットが"0"にクリアされます。したがって、パワーコントロールレジスタ(0x40180)への書き込みを行う場合は、その都度CLGP[7:0]に0b10010110を設定してください。

CLGP[7:0]は、パワーコントロールレジスタ(0x40180)の読み出しには影響を与えません。

スタンバイモード時の動作

halt命令の実行により設定されるHALTモードでは、高速(OSC3)発振回路および低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、HALTモードへの移行前および解除後に発振回路を制御する必要は特にありません。

slp命令の実行により設定されるSLEEPモードの場合、SLEEP状態へ移行すると高速(OSC3)発振回路が動作を停止します。SLEEPモードへの移行前に高速(OSC3)発振回路が動作していた場合は、SLEEPモードが解除されると発振を再開します。

また、SLEEPモードへの移行前にCPUがOSC3クロックで動作していた場合は、SLEEP解除後もCPUはOSC3クロックによって動作を再開します。高速(OSC3)発振回路は発振開始から発振が安定するまでに時間を要します。また、PLLを使用する場合はロックアップ時間が必要です。C33コアブロックではこの間のCPUの再起動による誤動作を防止するため、SLEEP解除後はCPUに対するクロックの供給をハードウェアによって禁止できるようになっています。この機能はクロックオプションレジスタ(0x40190)の8T1ON(D2)によって選択します。クロック供給を開始するまでの待ち時間は、8ビットプログラマブルタイマ1によって設定します。

この機能を使用した処理手順と動作を以下に示します。

1. 8ビットプログラマブルタイマ1の割り込みを禁止
2. 8ビットプログラマブルタイマ1にカウンタ初期値をプリセット
余裕を持った安定待ち時間となるように値を設定してください。プリスケラによる8ビットプログラマブルタイマ1入力クロックの設定も必要です。
3. SLEEPモードの解除に使用する割り込みを許可
割り込みを許可する前に、必ず割り込み要因フラグをリセットしてください。
4. 8T1ONに"0"書き込み(SLEEP解除後の発振安定待ち機能をON)
5. 8ビットプログラマブルタイマ1のカウントをスタート
6. slp命令によってSLEEPモードに移行
:
SLEEPモード
:
7. NMI、入力ポートまたは計時タイマ割り込みによりSLEEPモードを解除
8. SLEEPモードの解除により、高速(OSC3)発振回路が発振を開始
OSC3クロックにより8ビットプログラマブルタイマ1もカウントを開始します。
9. 8ビットプログラマブルタイマ1にアンダーフローが発生
アンダーフロー信号によりCPUへの動作クロックの供給を開始し、CPUが再起動します。

8ビットプログラマブルタイマ、プリスケラ、割り込みの制御方法については、それぞれの説明を参照してください。

注: 8T1ONによる高速(OSC3)発振安定待ち機能はSLEEPモード解除時にのみ有効です。

8T1ONへの書き込みは、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

クロックジェネレータのI/Oメモリ

表II.6.4にクロックジェネレータの制御ビットを示します。

表II.6.4 クロックジェネレータの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0]		分周比	0	R/W		
		D6	CLKDT0		1	1	1/8	0			
					1	0	1/4				
					0	1	1/2				
					0	0	1/1				
		D5	PSCON	プリスケアラOn/Off制御	1	On	0	Off	1	R/W	
		D4-3	-	reserved	-			0	-	1書き込み禁止	
D2	CLKCHG	CPU動作クロック切り換え	1	OSC3		0	OSC1	1	R/W		
D1	SOSC3	高速(OSC3)発振On/Off制御	1	On		0	Off	1	R/W		
D0	SOSC1	低速(OSC1)発振On/Off制御	1	On		0	Off	1	R/W		
プリスケアラ クロック選択 レジスタ	0040181 (B)	D7-1	-	reserved	-			0	-		
		D0	PSCDT0	プリスケアラクロック選択	1	OSC1	0	OSC3/PLL	0		R/W
クロック オプション レジスタ	0040190 (B)	D7-4	-	-	-			-	-	読み出し時: 0	
		D3	HLT2OP	HALTクロックオプション	1	On	0	Off	0	R/W	
		D2	8T1ON	高速(OSC3)発振待ち時間On	1	Off	0	On	1	R/W	
		D1	-	reserved	-			0	-	1書き込み禁止	
		D0	PF1ON	OSC1外部出力On/Off制御	1	On	0	Off	0	R/W	
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定			0	R/W		
		D6	CLGP6					0			
		D5	CLGP5					0			
		D4	CLGP4					0			
		D3	CLGP3					0			
		D2	CLGP2					0			
		D1	CLGP1					0			
		D0	CLGP0					0			

SOSC1: 低速(OSC1)発振制御(D0/0x40180<パワーコントロールレジスタ>)

低速(OSC1)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC1発振ON

"0"書き込み: OSC1発振OFF

読み出し: 可能

SOSC1に"0"を書き込むことにより低速(OSC1)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで標準動作条件で最大3秒の時間を要しますので、OSC1クロックはそれ以上の時間が経過後に使用してください。

SOSC1への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC1クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。

イニシャルリセット時、SOSC1は"1"(OSC1発振ON)に設定されます。

注: この制御ビットは周辺回路ブロックの低速(OSC1)発振回路を使用している場合にのみ有効です。

SOSC3: 高速(OSC3)発振制御(D1/0x40180<パワーコントロールレジスタ>)

高速(OSC3)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

SOSC3に"0"を書き込むことにより高速(OSC3)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで最大10ms(3.3V系水晶振動子、標準動作条件の場合)の時間を要しますので、OSC3クロックはそれ以上の時間が経過後に使用してください。

SOSC3への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC3クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。

イニシャルリセット時、SOSC3は"1"(OSC3発振ON)に設定されます。

CLKCHG: CPU動作クロック切り換え(D2/0x40180<パワーコントロールレジスタ>)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を書き込んだ場合OSC3、"0"を書き込んだ場合OSC1となります。高速(OSC3)発振回路および低速(OSC1)発振回路が共にONの場合にのみ動作クロックの切り換えが行えます。また、CLKCHGへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。発振回路が発振を開始した直後は、発振が安定するまでCPUの動作クロックの切り換えは行わないください。

イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

注: この制御ビットは周辺回路ブロックの低速(OSC1)発振回路を使用している場合にのみ有効です。

CLKDT1–CLKDT0: CPU動作周波数選択(D[7:6]/0x40180<パワーコントロールレジスタ>)

CPUの動作クロック周波数を選択します。

表II.6.5 CPU動作クロックの設定

CLKDT1	CLKDT0	分周比
1	1	fout/8
1	0	fout/4
0	1	fout/2
0	0	fout/1

fout: PLL出力周波数

この設定は高速(OSC3)クロックで動作させる場合に有効で、低速(OSC1)クロックには無効です。CLKDT[1:0]への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、CLKDTは"0"(fout/1)に設定されます。

PSCDT0: プリスケーラクロック選択(D0/0x40181<プリスケーラクロック選択レジスタ>)

プリスケーラの原振クロックを選択します。

"1"書き込み: OSC1クロック

"0"書き込み: OSC3クロック/PLL出力クロック

読み出し: 可能

PSCDT0に"1"を書き込むことによりOSC1クロック(32kHz Typ.)に設定されます。

"0"を書き込むと、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。

プリスケーラクロックには、CPU動作クロックと同じクロック源を設定してください。

イニシャルリセット時、PSCDT0は"0"(OSC3クロック/PLL出力クロック)に設定されます。

8T10N: 高速(OSC3)発振待ち機能設定(D2/0x40190<クロックオプションレジスタ>)

SLEEP解除後の高速(OSC3)発振待ち機能を設定します。

"1"書き込み: OFF

"0"書き込み: ON

読み出し: 可能

8T10Nに"0"を書き込むことにより、SLEEP解除後の高速(OSC3)発振待ち機能が有効となります。この機能を使用する場合は、SLEEP状態への移行前に8ビットプログラマブルタイム1に待ち時間を設定し、カウント動作を開始させておくことが必要です。SLEEP解除後は、8ビットプログラマブルタイム1がアンダーフローするまでOSC3クロックはCPUには供給されません。8T10Nが"1"に設定されている場合、この機能は働きます。高速(OSC3)発振待ち機能はSLEEP解除時のみ有効です。

8T10Nへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

8T10Nへの書き込みを行う場合は、クロックオプションレジスタ(0x40190)の予約(reserved)ビット(D1)には必ず"0"を書き込んでください。

イニシャルリセット時、8T10Nは"1"(OFF)に設定されます。

HLT2OP: HALTクロックオプション(D3/0x40190<クロックオプションレジスタ>)

HALTモード時の状態(基本モードとHALT2モード)を選択します。

"1"書き込み: HALT2モード

"0"書き込み: 基本モード

読み出し: 可能

HALTモード時の状態は、HLT2OPに"1"を書き込むとHALT2モード、"0"を書き込むと基本モードになります。

HLT2OPへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、HLT2OPは"0"(基本モード)に設定されます。

HALTモード(基本モードとHALT2モード)、SLEEPモードの動作状態は以下のとおりです。

表II.6.6 スタンバイモードの動作状態

スタンバイモード		動作状態	再起動
HALTモード	基本モード	• CPUクロック停止(CPU停止) • BCUへのクロック非停止(BCU非停止) • DMAクロック非停止(DMA非停止) • 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) • 高速発振回路はHALTモードに移行する直前の状態を継続 • 低速発振回路はHALTモードに移行する直前の状態を継続	• リセット、NMI • マスクされていない割り込み要因の発生
	HALT2モード	• CPUクロック停止(CPU停止) • BCUへのクロック停止(BCU停止) • DMAへのクロック停止(DMA停止) • 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) • 高速発振回路はHALTモードに移行する直前の状態を継続 • 低速発振回路はHALTモードに移行する直前の状態を継続	• リセット、NMI • マスクされていない割り込み要因の発生 ただし、周辺回路からの割り込みによって再起動させるには、その周辺回路に動作クロックが供給されている必要があります(クロックが停止していないことが条件)。
SLEEPモード		• CPUクロック停止(CPU停止) • BCUへのクロック停止(BCU停止) • 周辺回路へのクロックは停止 • 高速発振回路は停止 • 低速発振回路はSLEEPモードに移行する直前の状態を継続	• リセット、NMI • マスクされていない入力ポートからの割り込み • 低速発振回路が動作しているときの計時タイマからの割り込み

CLGP7-CLGP0: パワーコントロールレジスタ保護フラグ

([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。

イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

プログラミング上の注意事項

- (1) 高速(OSC3)発振回路をONにした直後は、発振が安定するまである程度の時間を要します。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。
特にOSC3クロックでCPUが動作中にSLEEPモードに設定した場合は、SLEEP中に高速(OSC3)発振回路が停止し、SLEEP解除により発振を再開します。不安定なOSC3クロックによるCPUの再起動で誤動作しないように、8ビットプログラマブルタイマ1に余裕を持った安定待ち時間を設定し、SLEEP解除時の発振安定待ち機能をONにしてからSLEEPモードへ移行してください。
- (2) CPUの動作クロックに使用している発振回路を停止させることはできません。
- (3) CPU動作クロックの切り換えは、OSC3とOSC1発振回路が両方ともONしている場合にのみ可能です。
また、CPU動作クロックの切り換え後に不要となった発振回路をOFFする場合、切り換えと発振OFFは命令を分けて行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- (4) 高速(OSC3)発振回路をOFFにした場合、OSC3クロックで動作している周辺回路はすべて停止します。
- (5) 消費電流を低減させるため、OSC3クロックが不要な場合はOSC1クロックでCPUを動作させ、高速(OSC3)発振回路をOFFしてください。
- (6) HALTモードではDMAとBCUのクロックが動作しているため、クロックオプションレジスタHLT2OP(0x40190のD3)が"0"のとき(HALT2モードではなく、HALTモードの場合)に次の動作を行うと、その動作は予測できない誤動作になります。
halt命令を実行後、CPUが停止している状態でDMAのトリガが発生しDMAが動作すると誤動作になります。HALTモード時は、DMAが動作しないようにしてください。
HALT2モードでは、DMAとBCUのクロックが停止するためDMAは起動しません。
- (7) SLEEPモードでは発振回路のクロックが停止します。HALT2モードの場合、周辺回路へのクロック供給はHALT2モードへの移行前の状態(クロックの停止/非停止)を継続します。
この状態から再起動するトリガとしてポートからの割り込み入力が使えます。この場合、割り込み条件としてエッジ割り込みを設定している場合でも割り込みは入力信号のレベルで発生します。
再起動は、立ち上がりと立ち下がりで次のように動作します。
立ち上がりエッジ割り込み設定時: Highレベル入力で再起動する。
立ち下がりがエッジ割り込み設定時: Lowレベル入力で再起動する。

slp命令実行後、立ち下がりがエッジ割り込みで再起動と設定した場合は、次のように動作します。
slp命令実行時に割り込みポートのレベルがすでにLowレベルの場合は、一瞬だけSLEEP状態になり、すぐに再起動します。slp命令実行時に割り込みポートのレベルがHighレベルの場合は、ポート入力がLowに変化するまでSLEEP状態が保持されます。
したがって、SLEEP状態またはHALT2状態からのポート入力割り込みによる再起動は、入力レベルで行われることを前提にシステム設計してください。
- (8) パワーコントロールレジスタ(0x40180)のCLKDTC[1:0](D[7:6])によりOSC3クロックを1/2、1/4、または1/8に分周してCPUの動作クロック(CPU_CLK)として使用する場合、S5U1C33000H(In-Circuit Debugger for S1C33 Family)を接続してデバッグモードに入ると、分周比が1/1に自動的に切り換わり、出力されるCPU_CLKの周波数が想定した値を超えることがあります。これはCPU以外にもCPU_CLKを原振とするBCLK端子の出力クロックに影響しますので、BCUやBCLKに接続されているデバイスのアクセス速度や動作保証範囲を超えてしまった場合、正しく動作しなくなることがあります(プログラムの動作だけではなく、デバッグを使用したメモリダンプなどにも影響します)。
このため、デバッグ時はデバッグでBCUレジスタのウェイト数や他のパラメータを変更するなど、分周比が1/1でも問題が発生しないような対策を講じてください。
- (9) クロック源としてOSC3またはPLL出力を使用し、かつ、パワーコントロールレジスタ(0x40180)のCLKDTC[1:0](D[7:6])の設定により1/2、1/4、または1/8に分周したクロックを基準クロック(CPU動作クロック)として用いる場合は、周辺回路に供給されるクロックが基準クロックより低い周波数となるようにプリスケアラを設定してください。周辺回路に供給されるクロックの周波数が基準クロックと同じかそれより高い場合、周辺回路は正常に動作しません。

このページはブランクです。

II-7 パワーダウン制御

ここでは、省電力化のための制御について説明します。

■省電力化のポイント

消費電流はCPUの動作モード、システムクロック、動作させる周辺回路により大きく変わります。

消費電流	小← →大					
CPU/BCU	SLEEP	HALT2	動作	HALT2	HALT(基本)	動作
システムクロック	—	OSC1	OSC1	OSC3	OSC3	OSC3
OSC3発振回路	OFF	OFF	OFF	ON	ON	ON
プリスケアラ/周辺回路	STOP					RUN

省電力化を図るためには、不要な回路をできるだけ多く停止することがポイントです。特に、高速に動作する周辺回路は電流を多く消費しますので、必要なとき以外は停止するようにプログラミングしてください。

■スタンバイモードによる省電力化

キー入力や周辺回路からの割り込み待ちなど、CPUの処理が不要な場合はスタンバイモードに設定して消費電流を低減してください。

スタンバイモード	移行方法	停止する回路/機能
HALT基本モード	HLT2OP(クロックオプションレジスタ0x40190・D3) = "0"の状態ではalt命令を実行 SEPD(バスコントロールレジスタ0x4812E・D1) = "1"の状態では外部バスマスタによるバス権解放要求が発生	CPU(DMA使用)
HALT2モード	HLT2OP = "1"の状態ではalt命令を実行	CPU, BCU, バスクロック, DMA
SLEEPモード	slp命令を実行	CPU, BCU, バスクロック, DMA, 高速(OSC3)発振回路, プリスケアラ, プリスケアラ出力クロックを使用する周辺回路

HALTモードを選択するクロックオプションレジスタ(0x40190)のHLT2OP(D3)は、イニシャルリセット時に"0"(HALT基本モード)に設定されます。

- 注: ・ スタンバイモードは割り込みの発生によって解除されます(外部バスマスタによって設定されたHALT基本モードを除く)。このため、スタンバイモードに移行する前に、解除に使用する割り込みが発生可能な状態に設定しておくことが必要です。
- ・ スタンバイモードをポート入力からの割り込みで解除する場合、割り込みトリガの設定に関わらず、レベル割り込みとして動作します。割り込みトリガをエッジトリガに設定している場合、スタンバイモード中のポートのレベルに注意してください。

低速(OSC1)発振回路と計時タイマはSLEEPモード時も動作します。不要な場合は、これらの回路も停止させることができます。

機 能	レジスタ	"1"	"0"	デフォルト
低速(OSC1)発振回路ON/OFF	SOSC1(パワーコントロールレジスタ0x40180・D0)	ON	OFF	ON

■システムクロックの切り換え

通常、システムは高速(OSC3)発振クロックにより動作します。高速動作が不要な場合は、システムクロックを低速(OSC1)発振クロックに切り換え、高速(OSC3)発振回路を停止することにより消費電流を低減できます。

また、高速(OSC3)発振クロックで動作させる場合でも、その分周クロック(1/1、1/2、1/4、1/8に分周可能)をシステムクロックとして使用することで省電力化を図ることができます。

機 能	レジスタ	"1"	"0"	デフォルト
システムクロックの切り換え	CLKCHG(パワーコントロールレジスタ0x40180・D2)	OSC3	OSC1	OSC3
高速(OSC3)発振回路 ON/OFF制御	SOSC3(パワーコントロールレジスタ0x40180・D1)	ON	OFF	ON
システムクロック分周比選択	CLKDT(パワーコントロールレジスタ0x40180・D[7:6])	"11" = 1/8 "10" = 1/4 "01" = 1/2 "00" = 1/1		1/1

■プリスケアラと周辺回路の停止

高速動作する周辺回路をできるだけ停止させることで、消費電流が低減できます。
プリスケアラの入出力クロックを使用する周辺回路は以下のとおりです。

- 1) プリスケアラで生成した動作クロックを使用する周辺回路
 - ・ 16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
 - ・ 8ビットプログラマブルタイマ0～5(シリアルインタフェース)
 - ・ A/D変換器
- 2) プリスケアラへ供給されるクロック(プリスケアラ原振クロック)を使用する周辺回路
 - ・ 16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
 - ・ 8ビットプログラマブルタイマ0～5
 - ・ A/D変換器
 - ・ シリアルインタフェース
 - ・ ポート

上記1)、2)のすべての周辺回路を使用しない場合は、プリスケアラの動作を停止させてください。1)、もしくは2)の周辺回路を1つでも使用する場合は、プリスケアラの動作を停止させないでください。プリスケアラの動作を停止させると、2)の周辺回路へのクロック供給が停止します。1)の周辺回路の中で一部の回路のみを使用する場合は、それ以外の回路を停止させ、併せてプリスケアラから各回路へのクロック供給も停止させてください。

プリスケアラの動作とプリスケアラから各周辺回路へのクロック供給は下表のとおり制御可能です。

機 能	制御ビット	"1"	"0"	デフォルト
プリスケアラON/OFF制御	PSCON(パワーコントロールレジスタ0x40180・D5)	ON	OFF	ON
16ビットタイマ0クロック制御	P16TON0(16bitタイマ0クロックコントロールレジスタ0x40147・D3)	ON	OFF	OFF
16ビットタイマ0 Run/Stop制御	PRUN0(16bitタイマ0制御レジスタ0x48186・D0)	RUN	STOP	STOP
16ビットタイマ1クロック制御	P16TON1(16bitタイマ1クロックコントロールレジスタ0x40148・D3)	ON	OFF	OFF
16ビットタイマ1 Run/Stop制御	PRUN1(16bitタイマ1制御レジスタ0x4818E・D0)	RUN	STOP	STOP
16ビットタイマ2クロック制御	P16TON2(16bitタイマ2クロックコントロールレジスタ0x40149・D3)	ON	OFF	OFF
16ビットタイマ2 Run/Stop制御	PRUN2(16bitタイマ2制御レジスタ0x48196・D0)	RUN	STOP	STOP
16ビットタイマ3クロック制御	P16TON3(16bitタイマ3クロックコントロールレジスタ0x4014A・D3)	ON	OFF	OFF
16ビットタイマ3 Run/Stop制御	PRUN3(16bitタイマ3制御レジスタ0x4819E・D0)	RUN	STOP	STOP
16ビットタイマ4クロック制御	P16TON4(16bitタイマ4クロックコントロールレジスタ0x4014B・D3)	ON	OFF	OFF
16ビットタイマ4 Run/Stop制御	PRUN4(16bitタイマ4制御レジスタ0x481A6・D0)	RUN	STOP	STOP
16ビットタイマ5クロック制御	P16TON5(16bitタイマ5クロックコントロールレジスタ0x4014C・D3)	ON	OFF	OFF
16ビットタイマ5 Run/Stop制御	PRUN5(16bitタイマ5制御レジスタ0x481AE・D0)	RUN	STOP	STOP
8ビットタイマ0クロック制御	P8TON0(8bitタイマ0/1クロックコントロールレジスタ0x4014D・D3)	ON	OFF	OFF
8ビットタイマ0 Run/Stop制御	PRUN0(8bitタイマ0制御レジスタ0x40160・D0)	RUN	STOP	STOP
8ビットタイマ1クロック制御	P8TON1(8bitタイマ0/1クロックコントロールレジスタ0x4014D・D7)	ON	OFF	OFF
8ビットタイマ1 Run/Stop制御	PRUN1(8bitタイマ1制御レジスタ0x40164・D0)	RUN	STOP	STOP
8ビットタイマ2クロック制御	P8TON2(8bitタイマ2/3クロックコントロールレジスタ0x4014E・D3)	ON	OFF	OFF
8ビットタイマ2 Run/Stop制御	PRUN2(8bitタイマ2制御レジスタ0x40168・D0)	RUN	STOP	STOP
8ビットタイマ3クロック制御	P8TON3(8bitタイマ2/3クロックコントロールレジスタ0x4014E・D7)	ON	OFF	OFF
8ビットタイマ3 Run/Stop制御	PRUN3(8bitタイマ3制御レジスタ0x4016C・D0)	RUN	STOP	STOP
8ビットタイマ4クロック制御	P8TON4(8bitタイマ4/5クロックコントロールレジスタ0x40145・D3)	ON	OFF	OFF
8ビットタイマ4 Run/Stop制御	PRUN4(8bitタイマ4制御レジスタ0x40174・D0)	RUN	STOP	STOP
8ビットタイマ5クロック制御	P8TON5(8bitタイマ4/5クロックコントロールレジスタ0x40145・D7)	ON	OFF	OFF
8ビットタイマ5 Run/Stop制御	PRUN5(8bitタイマ5制御レジスタ0x40178・D0)	RUN	STOP	STOP
A/D変換器クロック制御	PSONAD(A/Dクロックコントロールレジスタ0x4014F・D3)	ON	OFF	OFF
A/D変換イネーブル	ADE(A/Dイネーブルレジスタ0x40244・D2)	RUN	STOP	STOP

プリスケアラの動作クロックにはCPU動作クロックと同じクロック源を使用する必要があります。したがって、CPUをOSC1クロックにより低速動作させる場合は、プリスケアラの入力クロックもCPUに合わせて切り換えます。この場合、周辺回路の誤動作を防止するため、CPUの動作クロックを切り換える前にプリスケアラをOFFにしてください。CPUの動作クロックを切り換え後、プリスケアラの動作クロックを切り換えてからプリスケアラをONにします。

機 能	レジスタ	"1"	"0"	デフォルト
プリスケアラ動作クロックの切り換え	PSCDT0(プリスケアラクロック選択レジスタ0x40181・D0)	OSC1	OSC3/ PLL	OSC3/ PLL

このページはブランクです。

II-8 DBG(デバッグユニット)

デバッグ回路

C33コアブロックにはデバッグ回路が搭載されています。

デバッグ回路は、高度なソフトウェア開発環境を容易に実現するために用意された機能ブロックです。

注: 通常の動作時には、このデバッグ回路は動作しません。デバッグ回路を使用したソフトウェア開発環境を実現するためには、S5U1C33000H/S5U1C33001H(In-Circuit Debugger for S1C33 Family)が別途必要となります。

デバッグ回路の入出力端子

デバッグ回路にはS5U1C33000H/S5U1C33001H(In-Circuit Debugger for S1C33 Family)を接続する6本の予約された専用の端子が存在し、3.3Vの入出力電圧レベルとなっています。

表II.8.1にデバッグ回路の入出力端子を示します。

表II.8.1 デバッグ回路の入出力端子

端子名	I/O	Pull-up	機 能
DCLK(P14/FOSC1)	O	—	デバッグ用クロック出力 / 入出力兼用ポート / OSC1クロック出力
DST2(P12/EXCL2/T8UF2)	O	—	デバッグ用ステータス出力2 / 入出力兼用ポート / 16ビットタイマ2イベントカウンタ入力 / 8ビットタイマ2出力
DST1(P11/EXCL1/T8UF1)	O	—	デバッグ用ステータス出力1 / 入出力兼用ポート / 16ビットタイマ1イベントカウンタ入力 / 8ビットタイマ1出力
DST0(P10/EXCL0/T8UF0)	O	—	デバッグ用ステータス出力0 / 入出力兼用ポート / 16ビットタイマ0イベントカウンタ入力 / 8ビットタイマ0出力
DPCO(P13/EXCL3/T8UF3)	O	—	デバッグ用PC出力 / 入出力兼用ポート / 16ビットタイマ3イベントカウンタ入力 / 8ビットタイマ3出力
DSIO	I/O	あり	デバッグ用シリアル入出力

DCLK、DST[2:0]、DPCO出力はそれぞれ、入出力兼用ポート端子P14、P1[2:0]、P13の拡張機能です。イニシャルリセット時はデバッグ信号出力に設定されます。

デバッグ回路を使用しない場合は、ポート機能拡張レジスタ(0x402DF)のCFEX[1:0](D[1:0])の設定によってこれらの端子を入出力兼用ポートあるいは既定の周辺回路用として使用することができます。端子機能については、"入出力兼用ポート(Pポート)"を参照してください。

注: これらの端子をデバッグ信号出力に設定した場合、S5U1C33000H/S5U1C33001H(In-Circuit Debugger for S1C33 Family)を使用するとき以外は何も接続しないでください。S5U1C33000H/S5U1C33001Hの接続方法については、"S5U1C33000H Manual(S1C33 Family In-Circuit Debugger)"または"S5U1C33001H Manual(S1C33 Family In-Circuit Debugger)"を参照してください。

また、ユーザリセット後の端子の状態は、以下のとおり固定されます。

DCLK = "1"

DST2 = "0"

DST1 = "1"

DST0 = "1"

DPCO = "1"

DSIO = "1"(入力)

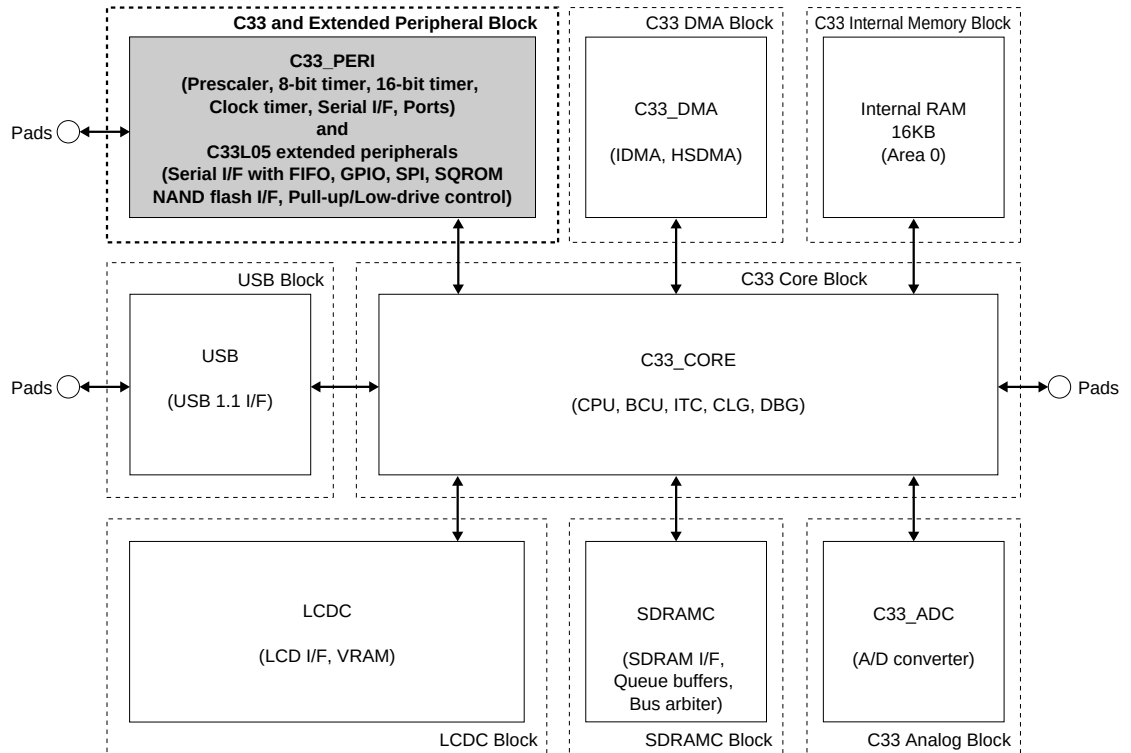
このページはブランクです。

S1C33L05 Technical Manual

III 周辺回路ブロック

III-1 はじめに

C33周辺回路ブロックは、プリスケアラ、6チャンネルの8ビットプログラマブルタイマ、ウォッチドッグタイマ、イベントカウンタ機能付き6チャンネルの16ビットプログラマブルタイマ、4チャンネルのシリアルインタフェース、入力および入出力ポート、低速(OSC1)発振回路、計時タイマで構成されています。S1C33L05では、チップIDと端子制御レジスタ、FIFO付きシリアルインタフェース、MMC(SPIモード)インタフェース、NANDフラッシュインタフェース、シーケンシャルROMインタフェース、拡張入出力ポートが追加されています。



図III.1.1 周辺回路ブロック

このページはブランクです。

III-2 チップID/端子制御レジスタ

ここでは、チップID、およびバスやその他の入出力端子のプルアップ/Low駆動を制御するレジスタについて説明します。

チップIDレジスタ

S1C33L05は、CPUの種類や機種、チップのバージョンをアプリケーションソフトウェアで識別できるように、以下の4つの読み出し専用レジスタを内蔵しています。

コアIDレジスタ(0x300000)

チップコアの種類を示すID(8ビット)が読み出せます。

ID	チップコア
0x02	C33スタンダードマクロコア(C33 STDコアCPU)
0x03	C33ミニマクロコア
0x04	C33アドバンスドマクロコア

S1C33L05はC33スタンダードマクロコアを採用しているため、チップコアIDは0x02です。

製品シリーズIDレジスタ(0x300001)

S1C33 Familyの製品シリーズを示すID(8ビット)が読み出せます。

ID	製品シリーズ
0x03	S1C333xxシリーズ
0x15	S1C33Lxxシリーズ

S1C33L05の製品シリーズIDは0x15です。

機種IDレジスタ(0x300002)

機種を示すID(8ビット)が読み出せます。

S1C33L05の機種IDは0x05です。

バージョンレジスタ(0x300003)

チップのバージョンコード(4ビット)が読み出せます。

0x00はバージョン1.0を表します。

プルアップ制御レジスタ

一部を除き、S1C33L05の入出力端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されています。端子はいくつかのグループに分けられ、そのグループごとにプルアップ抵抗を使用するかしないかプルアップ制御ビットによって選択可能です。表III.2.1にレジスタおよび制御ビットと端子の対応を示します。

表III.2.1 プルアップ制御ビットと端子の対応

制御レジスタ	制御ビット	端 子
バス信号 プルアップ制御レジスタ (0x300F00)	PUPCAS (D3)	#LCAS (PA0), #HCAS (PA1), BCLK (P60)
	PUPCE (D2)	#CE10EX, #CE[9:4] (P5[5:0])
	PUPAD (D1)	A[25:18] (P4[0:7]), A[17:0]
	PUPRW (D0)	#WRH, #WRL, #RD
入力ポート プルアップ制御レジスタ (0x300F02)	PUPK6H (D2)	K64, BOOT
	PUPK6L (D1)	K6[3:0]
	PUPK5 (D0)	K5[3:0]
入出力兼用ポート プルアップ制御レジスタ (0x300F04)	PUPP6 (D6)	P6[3:1]
	PUPP3 (D3)	P3[5:0] (PA2)
	PUPP2 (D2)	P2[7:0]
	PUPP1 (D1)	P1[6:0]
	PUPP0 (D0)	P0[7:0]
PB, PCポート プルアップ制御レジスタ (0x300F06)	PUPPBH (D4)	PB[7:4]
	PUPPBL (D3)	PB[3:0]
	PUPPCL (D2)	PC[3:0]
PDポートプルアップ制御 レジスタ(0x300F08)	PUPPDH (D1)	PD[7:4]
	PUPPDL (D0)	PD[3:0]

上記の制御ビットは、イニシャルリセット時に"1"に設定され、各端子はプルアップされます。プルアップせずに使用する端子については、対応する制御ビットに"0"を書き込んでください。

注: プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

バスのLow駆動

S1C33L05では、バス信号出力を制御レジスタにより強制的にLowにすることができます。バスに接続されている外部デバイスの電源をOFFにしたいときに有効です。

表III.2.2にレジスタおよび制御ビットとバス信号の対応を示します。

表III.2.2 Low駆動制御ビットとバス信号の対応

制御レジスタ	制御ビット	バス信号
バス信号 Low駆動制御レジスタ (0x300F01)	LDRVDB (D4)	D[15:0]
	LDRVCAS (D3)	#LCAS, #HCAS, BCLK
	LDRVCE (D2)	#CE10EX, #CE[9:4]
	LDRVAD (D1)	A[25:0]
	LDRVW (D0)	#WRH, #WRL, #RD

上記の制御ビットに"1"を書き込むと、対応するバス信号がLowになります。"0"を書き込むとBCUにより通常に制御される状態に戻ります。

注: • Low駆動制御ビットは、バス信号を汎用入出力兼用ポート(Pxx)に設定した場合は無効です。

- 外部メモリから命令をフェッチしている状態で上記信号をLowにすると正常動作しくなくなります。この制御は、必ず内蔵RAM上のプログラムで行ってください。

レジスタをアクセスするためのBCUの設定

チップID、プルアップ制御、バス信号Low駆動制御レジスタはエリア6の0x300000～0x300F08番地に割り付けられています。したがって、これらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IO(アクセス制御レジスタ0x48132・D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EC(アクセス制御レジスタ0x48132・D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6-4設定レジスタ0x4812A・D[A:8])
CPUが48MHzクロックのx2スピードモード、または32MHzクロックのx1スピードモードで動作している場合は、エリア6のウェイト数を0に設定可能です。

チップID/端子制御用I/Oメモリ

表III.2.3にチップIDおよび端子制御ビットを示します。

表III.2.3 チップID/端子制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈							
コアIDレジスタ	03000000 (B)	D7	CID7	チップコアID	0x02	0	R								
		D6	CID6	0x02: C33スタンダードマクロコア		0									
		D5	CID5	0x03: C33ミニマクロコア		0									
		D4	CID4	0x04: C33アドバンスドマクロコア		0									
		D3	CID3			0									
		D2	CID2			0									
		D1	CID1			1									
		D0	CID0			0									
		製品シリーズID レジスタ	03000001 (B)	D7		MID7			製品シリーズID	0x15	0	R			
D6	MID6			0x03: S1C333xx	0										
D5	MID5			0x15: S1C33Lxx	0										
D4	MID4				1										
D3	MID3				0										
D2	MID2				1										
D1	MID1				0										
D0	MID0				1										
機種IDレジスタ	03000002 (B)			D7	NAME7	機種ID	0x05	0	R						
		D6	NAME6	0x04: S1C33L04	0										
		D5	NAME5	0x05: S1C33L05	0										
		D4	NAME4	0x11: S1C33L11	0										
		D3	NAME3		0										
		D2	NAME2		1										
		D1	NAME1		0										
		D0	NAME0		1										
		バージョン レジスタ	03000003 (B)	D7	VER3	バージョンコード		0x00		0		R			
D6	VER2			0x00: version 1.0	0										
D5	VER1				0										
D4	VER0				0										
D3-0	-			reserved	-	-	読み出し時: 0								
バス信号 ブルアップ制御 レジスタ	0300F00 (B)	D7-4	-	reserved	1 0	ブルアップ あり	0 1	ブルアップ なし	読み出し時: 0						
		D3	PUPCAS	#HCAS, #LCAS, BCLK (PA1, PA0, P60)ブルアップ						1	R/W				
		D2	PUPCE	#CE10EX-#CE4 (P55-P50)ブルアップ						1	R/W				
		D1	PUPAD	A25-A0 (P40-P47)ブルアップ						1	R/W				
		D0	PUPRW	#WRH, #WRL, #RDブルアップ						1	R/W				
バス信号 Low駆動制御 レジスタ	0300F01 (B)	D7-5	-	reserved	1 0	Low駆動	0 1	通常出力	読み出し時: 0						
		D4	LDRVDB	D15-D0 Low駆動						0	R/W				
		D3	LDRVCAS	#LCAS, #HCAS, BCLK Low駆動						0	R/W				
		D2	LDRVCE	#CE10EX-#CE4 Low駆動						0	R/W				
		D1	LDRVAD	A25-A0 Low駆動						0	R/W				
		D0	LDRVRW	#WRH, #WRL, #RD Low駆動						0	R/W				
入力ポート ブルアップ制御 レジスタ	0300F02 (B)	D7-3	-	reserved	1 0	ブルアップ あり	0 1	ブルアップ なし	読み出し時: 0						
		D2	PUPK6H	K64, BOOTブルアップ						1	R/W				
		D1	PUPK6L	K63-K60ブルアップ						1	R/W				
		D0	PUPK5	K53-K50ブルアップ						1	R/W				
入出力兼用ポート ブルアップ制御 レジスタ	0300F04 (B)	D7	-	reserved	1 0	ブルアップあり	0 1	ブルアップなし	読み出し時: 0						
		D6	PUPP6	P63-P61ブルアップ						1	R/W				
		D5-4	-	reserved						-	-	読み出し時: 0			
		D3	PUPP3	P35-P30 (PA2)ブルアップ						1	ブルアップ あり	0 1	ブルアップ なし	1	R/W
		D2	PUPP2	P27-P20ブルアップ						1	R/W				
		D1	PUPP1	P16-P10ブルアップ						1	R/W				
		D0	PUPP0	P07-P00ブルアップ						1	R/W				
PB, PCポート ブルアップ制御 レジスタ	0300F06 (B)	D7-5	-	reserved	1 0	ブルアップ あり	0 1	ブルアップ なし	読み出し時: 0						
		D4	PUPPBH	PB7-PB4ブルアップ						1	R/W				
		D3	PUPPBL	PB3-PB0ブルアップ						1	R/W				
		D2	PUPPCL	PC3-PC0ブルアップ						1	R/W				
		D1-0	-	reserved						-	-	読み出し時: 0			
PDポート ブルアップ制御 レジスタ	0300F08 (B)	D7-2	-	reserved	1 0	ブルアップ あり	0 1	ブルアップ なし	読み出し時: 0						
		D1	PUPPDH	PD7-PD4ブルアップ						1	R/W				
		D0	PUPPDL	PD3-PD0ブルアップ						1	R/W				

CID7–CID0: チップコアID (D[7:0]/0x300000<コアIDレジスタ>)

チップコアの種類を識別するコード (0x02 = C33スタンダードマクロコア) が書き込まれています。これらのビットは読み出し専用で、書き込みは無効です。

MID7–MID0: 製品シリーズID (D[7:0]/0x300001<製品シリーズIDレジスタ>)

S1C33 Familyの製品シリーズを識別するコード (0x15 = S1C33Lxxシリーズ) が書き込まれています。これらのビットは読み出し専用で、書き込みは無効です。

NAME7–NAME0: 機種ID (D[7:0]/0x300002<機種IDレジスタ>)

MID[7:0]で示される製品シリーズ内の機種を識別するコード (0x05 = S1C33L05) が書き込まれています。これらのビットは読み出し専用で、書き込みは無効です。

VER3–VER0: バージョンコード (D[7:4]/0x300003<バージョンレジスタ>)

チップのバージョンコードが書き込まれています。

0x00はバージョン1.0を表します。

これらのビットは読み出し専用で、書き込みは無効です。

PUPCAS: #LCAS, #HCAS, BCLKプルアップ制御 (D3/0x300F00<バス信号プルアップ制御レジスタ>)**PUPCE: #CE10EX–#CE4プルアップ制御 (D2/0x300F00<バス信号プルアップ制御レジスタ>)****PUPAD: A25–A0プルアップ制御 (D1/0x300F00<バス信号プルアップ制御レジスタ>)****PUPRW: #WRH, #WRL, #RDプルアップ制御 (D0/0x300F00<バス信号プルアップ制御レジスタ>)**

バス信号のプルアップ抵抗を制御します。

"1"書き込み: プルアップあり

"0"書き込み: プルアップなし

読み出し: 可能

各ビットは以下の端子に対応しています。

PUPCAS #LCAS (PA0), #HCAS (PA1), BCLK (P60)

PUPCE #CE10EX, #CE[9:4] (P5[5:0])

PUPAD A[25:18] (P4[0:7]), A[17:0]

PUPRW #WRH, #WRL, #RD

プルアップ制御ビットを"1"に設定すると、対応する端子がプルアップされます。"0"に設定すると、プルアップされません。

イニシャルリセット時、これらのビットは"1"(プルアップあり)に設定されます。

PUPK6H: K64, BOOTプルアップ制御 (D2/0x300F02<入力ポートプルアップ制御レジスタ>)**PUPK6L: K63–K60プルアップ制御 (D1/0x300F02<入力ポートプルアップ制御レジスタ>)****PUPK5: K53–K50プルアップ制御 (D0/0x300F02<入力ポートプルアップ制御レジスタ>)**

入力ポートのプルアップ抵抗を制御します。

"1"書き込み: プルアップあり

"0"書き込み: プルアップなし

読み出し: 可能

プルアップ制御ビットを"1"に設定すると、対応する端子がプルアップされます。"0"に設定すると、プルアップされません。

イニシャルリセット時、これらのビットは"1"(プルアップあり)に設定されます。

PUPP6: P63–P61プルアップ制御 (D6/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)
PUPP3: P35–P30プルアップ制御 (D3/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)
PUPP2: P27–P20プルアップ制御 (D2/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)
PUPP1: P16–P10プルアップ制御 (D1/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)
PUPP0: P07–P00プルアップ制御 (D0/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)

入出力兼用ポートのプルアップ抵抗を制御します。

"1"書き込み: プルアップあり
 "0"書き込み: プルアップなし
 読み出し: 可能

プルアップ制御ビットを"1"に設定すると、対応する端子がプルアップされます。"0"に設定すると、プルアップされません。

イニシャルリセット時、これらのビットは"1"(プルアップあり)に設定されます。

PUPPBH: PB7–PB4プルアップ制御 (D4/0x300F06<PB, PCポートプルアップ制御レジスタ>)
PUPPBL: PB3–PB0プルアップ制御 (D3/0x300F06<PB, PCポートプルアップ制御レジスタ>)
PUPPCL: PC3–PC0プルアップ制御 (D2/0x300F06<PB, PCポートプルアップ制御レジスタ>)
PUPPDH: PD7–PD4プルアップ制御 (D1/0x300F08<PDポートプルアップ制御レジスタ>)
PUPPDL: PD3–PD0プルアップ制御 (D0/0x300F08<PDポートプルアップ制御レジスタ>)

GPIOポートのプルアップ抵抗を制御します。

"1"書き込み: プルアップあり
 "0"書き込み: プルアップなし
 読み出し: 可能

プルアップ制御ビットを"1"に設定すると、対応する端子がプルアップされます。"0"に設定すると、プルアップされません。

イニシャルリセット時、これらのビットは"1"(プルアップあり)に設定されます。

LDRVDB: D15–D0 Low駆動制御 (D4/0x300F01<バス信号Low駆動制御レジスタ>)
LDRVCAS: #LCAS, #HCAS, BCLK Low駆動制御 (D3/0x300F01<バス信号Low駆動制御レジスタ>)
LDRVCE: #CE10EX–#CE4 Low駆動制御 (D2/0x300F01<バス信号Low駆動制御レジスタ>)
LDRVAD: A25–A0 Low駆動制御 (D1/0x300F01<バス信号Low駆動制御レジスタ>)
LDRVWR: #WRH, #WRL, #RD Low駆動制御 (D0/0x300F01<バス信号Low駆動制御レジスタ>)

バス信号を強制的にLowに制御します。

"1"書き込み: Low駆動
 "0"書き込み: 通常出力
 読み出し: 可能

各ビットは以下の端子に対応しています。

LDRVDB D[15:0]
 LDRVCAS #LCAS, #HCAS, BCLK
 LDRVCE #CE10EX, #CE[9:4]
 LDRVAD A[25:0]
 LDRVWR #WRH, #WRL, #RD

Low駆動制御ビットを"1"に設定すると、対応する端子の出力が強制的にLowとなります。"0"に設定すると、通常出力となります。

イニシャルリセット時、これらのビットは"0"(通常出力)に設定されます。

注: • Low駆動制御ビットは、バス信号を汎用入出力兼用ポート(Pxx)に設定した場合は無効です。

- 外部メモリから命令をフェッチしている状態で上記信号をLowにすると正常動作しくなくなります。この制御は、必ず内蔵RAM上のプログラムで行ってください。

III-3 プリスケアラ

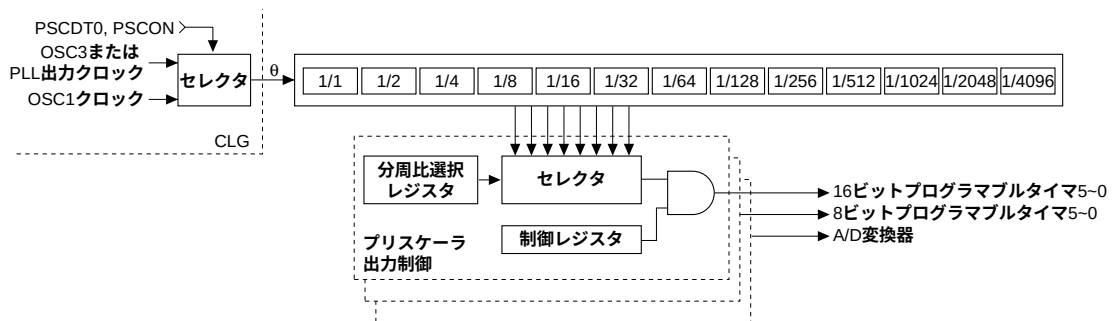
プリスケアラの構成

プリスケアラは、入力クロック(OSC3クロック/PLL出力クロック、またはOSC1クロック)を分周して内蔵周辺回路用クロックを生成します。プリスケアラの分周比はプログラムによって周辺回路個別に選択することができます。また、各周辺回路へのクロック供給を制御するクロック制御回路も設けられています。この出力クロックを使用する周辺回路は以下のとおりです。

- 16ビットプログラマブルタイマ5~0(およびウォッチドッグタイマ)
- 8ビットプログラマブルタイマ5~0(およびシリアルインタフェース)
- A/D変換器

図III.3.1にプリスケアラの構成を示します。

各周辺回路の制御については、それぞれの章を参照してください。



図III.3.1 プリスケアラとクロック制御回路の構成

原振クロック

プリスケアラの原振クロックは、プリスケアラクロック選択レジスタ(0x40181)のPSCDT0(D0)によって選択可能です。

PSCDT0が"0"の場合、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。

PSCDT0が"1"の場合はOSC1クロック(32kHz Typ.)に設定されます。

イニシャルリセット時はOSC3/PLLクロックが選択されます。

注: プリスケアラクロックには、CPU動作クロックと同じクロック源を設定してください。

発振回路とCPU動作クロックの制御については、"CLG(クロックジェネレータ)"を参照してください。

選択したクロックは、パワーコントロールレジスタ(0x40180)のPSCON(D5)に"1"を書き込むことによってプリスケアラに供給されます。

イニシャルリセット時は、PSCONが"1"に設定され動作状態となります。プリスケアラ出力クロックを使用する周辺回路(図III.3.1参照)をすべて停止可能な場合、およびプリスケアラの入力クロック(原振クロック)を使用している回路(16ビットプログラマブルタイマ(ウォッチドッグタイマ)、8ビットプログラマブルタイマ、A/D変換器、シリアルインタフェース、ポート)が停止可能な場合は、消費電流を低減させるため、PSCONに"0"を書き込みプリスケアラを停止させてください。プリスケアラを停止(PSCON="0")することによりプリスケアラのクロック入力が停止し、その入力クロックを使用する上記の回路も停止します。

プリスケアラ分周比の選択と出力制御

プリスケアラには前記の周辺回路個別に分周比選択とクロック出力制御用のビットが設けられており、周辺回路ごとに制御することができます。

プリスケアラ分周比はそれぞれの周辺回路用に設定された8種類の中から分周比選択ビットによって選択します。その分周クロックはクロック出力制御ビットに"1"を書き込むことにより、その周辺回路に出力されます。

表III.3.1 クロック制御ビット

周辺回路	分周比選択ビット	クロック出力制御ビット
16ビットプログラマブルタイマ0	P16TS0[2:0] (D[2:0]/0x40147)* ¹	P16TON0 (D3/0x40147)
16ビットプログラマブルタイマ1	P16TS1[2:0] (D[2:0]/0x40148)* ¹	P16TON1 (D3/0x40148)
16ビットプログラマブルタイマ2	P16TS2[2:0] (D[2:0]/0x40149)* ¹	P16TON2 (D3/0x40149)
16ビットプログラマブルタイマ3	P16TS3[2:0] (D[2:0]/0x4014A)* ¹	P16TON3 (D3/0x4014A)
16ビットプログラマブルタイマ4	P16TS4[2:0] (D[2:0]/0x4014B)* ¹	P16TON4 (D3/0x4014B)
16ビットプログラマブルタイマ5	P16TS5[2:0] (D[2:0]/0x4014C)* ¹	P16TON5 (D3/0x4014C)
8ビットプログラマブルタイマ0	P8TS0[2:0] (D[2:0]/0x4014D)* ²	P8TON0 (D3/0x4014D)
8ビットプログラマブルタイマ1	P8TS1[2:0] (D[6:4]/0x4014D)* ³	P8TON1 (D7/0x4014D)
8ビットプログラマブルタイマ2	P8TS2[2:0] (D[2:0]/0x4014E)* ⁴	P8TON2 (D3/0x4014E)
8ビットプログラマブルタイマ3	P8TS3[2:0] (D[6:4]/0x4014E)* ²	P8TON3 (D7/0x4014E)
8ビットプログラマブルタイマ4	P8TS4[2:0] (D[2:0]/0x40145)* ⁴	P8TON4 (D3/0x40145)
8ビットプログラマブルタイマ5	P8TS5[2:0] (D[6:4]/0x40145)* ²	P8TON5 (D7/0x40145)
A/D変換器	PSAD[2:0] (D[2:0]/0x4014F)* ²	PSONAD (D3/0x4014F)

*1~*4: 表III.3.2参照

表III.3.2 分周比

制御ビット設定	7	6	5	4	3	2	1	0
*1	θ/4096	θ/1024	θ/256	θ/64	θ/16	θ/4	θ/2	θ/1
*2	θ/256	θ/128	θ/64	θ/32	θ/16	θ/8	θ/4	θ/2
*3	θ/4096	θ/2048	θ/1024	θ/512	θ/256	θ/128	θ/64	θ/32
*4	θ/4096	θ/2048	θ/64	θ/32	θ/16	θ/8	θ/4	θ/2

(θ = PSCDT0で選択した原振クロック)

上記の中で使用していない周辺回路へのクロック出力を停止することで、消費電流を低減することができます。

注: 以下の場合、プリスケアラの出力クロックにハザードが出ることがありますので注意してください。

- ・クロックを出力中に、その分周比を変更した場合
- ・クロック出力ON/OFFの切り換え時
- ・発振回路の停止時およびCPU動作クロックの切り換え時

これらの制御は、16ビットプログラマブルタイマ、8ビットプログラマブルタイマ、A/D変換器を停止させた状態で行ってください。

8ビットプログラマブルタイマへの原振クロック出力

8ビットプログラマブルタイマに対しては、分周クロック以外にプリスケアラの原振クロックを直接出力できるようにになっています。この選択は8ビットタイマ個々にP8TPCKxビットで行います。

8ビットタイマ0: P8TPCK0(8ビットタイマクロック選択レジスタ0x40146・D0)

8ビットタイマ1: P8TPCK1(8ビットタイマクロック選択レジスタ0x40146・D1)

8ビットタイマ2: P8TPCK2(8ビットタイマクロック選択レジスタ0x40146・D2)

8ビットタイマ3: P8TPCK3(8ビットタイマクロック選択レジスタ0x40146・D3)

8ビットタイマ4: P8TPCK4(8ビットタイマ4/5クロック選択レジスタ0x40140・D0)

8ビットタイマ5: P8TPCK5(8ビットタイマ4/5クロック選択レジスタ0x40140・D1)

P8TPCKxを"1"に設定すると、8ビットタイマxの動作クロックとしてプリスケアラ入力クロック(θ/1)が選択されます。この場合でも、クロック出力の制御はP8TONxで行います。

P8TPCKxが"0"の場合は、P8TSx[2:0]で選択された分周クロックが8ビットタイマxに出力されます。

イニシャルリセット時、P8TPCKxは"0"に設定され、P8TSx[2:0]の設定が有効になります。

プリスケアラのI/Oメモリ

表III.3.3にプリスケアラの制御ビットを示します。

表III.3.3 プリスケアラの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈		
8bitタイマ4/5 クロック選択 レジスタ	0040140 (B)	D7-2	-	reserved	-			-	-	読み出し時: 0		
		D1	P8TPCK5	8bitタイマ5クロック選択	1	0/1	0	分周クロック	0	R/W	0: プリスケーラック ロック選択レジスタ (0x40181)で選択	
		D0	P8TPCK4	8bitタイマ4クロック選択	1	0/1	0	分周クロック	0	R/W		
8bitタイマ4/5 クロック コントロール レジスタ	0040145 (B)	D7	P8TON5	8bitタイマ5クロック制御	1	On	0	Off	0	R/W		
		D6	P8TS52	8bitタイマ5	1	1	1	0/256	0	R/W	0: プリスケーラック	
		D5	P8TS51	クロック分周比選択	1	1	0	0/128	0	R/W	ロック選択レジスタ	
		D4	P8TS50	1	0	1	0/64	0	R/W	0x40181)で選択		
				1	0	0	0/32					
				0	1	1	0/16			8bitタイマ5は		
				0	1	0	0/8			シリアル/F Ch.3の		
				0	0	1	0/4			クロックを生成		
				0	0	0	0/2					
		D3	P8TON4	8bitタイマ4クロック制御	1	On	0	Off	0	R/W		
		D2	P8TS42	8bitタイマ4	1	1	1	0/4096	0	R/W	0: プリスケーラック	
		D1	P8TS41	クロック分周比選択	1	1	0	0/2048	0	R/W	ロック選択レジスタ	
		D0	P8TS40	1	0	1	0/64	0	R/W	0x40181)で選択		
				1	0	0	0/32					
				0	1	1	0/16			8bitタイマ4は		
				0	1	0	0/8			シリアル/F Ch.2の		
				0	0	1	0/4			クロックを生成		
				0	0	0	0/2					
8bitタイマ0-3 クロック選択 レジスタ	0040146 (B)	D7-4	-	reserved	-			-	-	読み出し時: 0		
		D3	P8TPCK3	8bitタイマ3クロック選択	1	0/1	0	分周クロック	0	R/W	0: プリスケーラック	
		D2	P8TPCK2	8bitタイマ2クロック選択	1	0/1	0	分周クロック	0	R/W	ック選択レジスタ	
		D1	P8TPCK1	8bitタイマ1クロック選択	1	0/1	0	分周クロック	0	R/W	0x40181)で選択	
		D0	P8TPCK0	8bitタイマ0クロック選択	1	0/1	0	分周クロック	0	R/W		
16bitタイマ0 クロック コントロール レジスタ	0040147 (B)	D7-4	-	reserved	-			-	-	読み出し時: 0		
		D3	P16TON0	16bitタイマ0クロック制御	1	On	0	Off	0	R/W		
		D2	P16TS02	16bitタイマ0	P16TS0[2:0]			分周比	0	R/W	0: プリスケーラック	
		D1 D0	P16TS01 P16TS00	1	1	1	0/4096	0		0	R/W	0: プリスケーラック ロック選択レジスタ (0x40181)で選択
				1	1	0	0/1024					
				1	0	1	0/256					
				1	0	0	0/64					
				0	1	1	0/16					
				0	1	0	0/4					
				0	0	1	0/2					
				0	0	0	0/1					
16bitタイマ1 クロック コントロール レジスタ	0040148 (B)			D7-4	-	reserved	-					
		D3	P16TON1	16bitタイマ1クロック制御	1	On	0	Off	0	R/W		
		D2	P16TS12	16bitタイマ1	P16TS1[2:0]			分周比	0	R/W	0: プリスケーラック	
		D1 D0	P16TS11 P16TS10	1	1	1	0/4096	0		0	R/W	0: プリスケーラック ロック選択レジスタ (0x40181)で選択
				1	1	0	0/1024					
				1	0	1	0/256					
				1	0	0	0/64					
				0	1	1	0/16					
				0	1	0	0/4					
				0	0	1	0/2					
				0	0	0	0/1					
16bitタイマ2 クロック コントロール レジスタ	0040149 (B)			D7-4	-	reserved	-					
		D3	P16TON2	16bitタイマ2クロック制御	1	On	0	Off	0	R/W		
		D2	P16TS22	16bitタイマ2	P16TS2[2:0]			分周比	0	R/W	0: プリスケーラック	
		D1 D0	P16TS21 P16TS20	1	1	1	0/4096	0		0	R/W	0: プリスケーラック ロック選択レジスタ (0x40181)で選択
				1	1	0	0/1024					
				1	0	1	0/256					
				1	0	0	0/64					
				0	1	1	0/16					
				0	1	0	0/4					
				0	0	1	0/2					
				0	0	0	0/1					

III-3 周辺回路ブロック: プリスケアラ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ3 クロック コントロール レジスタ	004014A (B)	D7-4	-	reserved	-	-	-	読み出し時: 0
		D3	P16TON3	16bitタイマ3クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS32	16bitタイマ3	P16TS3[2:0] 分周比	0	R/W	θ: プリスケアラク ロック選択レジスタ (0x40181)で選択
		D1	P16TS31	クロック分周比選択	1 1 1 0/4096	0		
		D0	P16TS30		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ4 クロック コントロール レジスタ	004014B (B)	D7-4	-	reserved	-	-	-	読み出し時: 0
		D3	P16TON4	16bitタイマ4クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS42	16bitタイマ4	P16TS4[2:0] 分周比	0	R/W	θ: プリスケアラク ロック選択レジスタ (0x40181)で選択
		D1	P16TS41	クロック分周比選択	1 1 1 0/4096	0		
		D0	P16TS40		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ5 クロック コントロール レジスタ	004014C (B)	D7-4	-	reserved	-	-	-	読み出し時: 0
		D3	P16TON5	16bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS52	16bitタイマ5	P16TS5[2:0] 分周比	0	R/W	θ: プリスケアラク ロック選択レジスタ (0x40181)で選択
		D1	P16TS51	クロック分周比選択	1 1 1 0/4096	0		
		D0	P16TS50		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
8bitタイマ0/1 クロック コントロール レジスタ	004014D (B)	D7	P8TON1	8bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS12	8bitタイマ1	P8TS1[2:0] 分周比	0	R/W	θ: プリスケアラク ロック選択レジスタ (0x40181)で選択
		D5	P8TS11	クロック分周比選択	1 1 1 0/4096	0		
					1 1 0 0/2048	0		
					1 0 1 0/1024			
					1 0 0 0/512			
					0 1 1 0/256			
					0 1 0 0/128			
					0 0 1 0/64			
					0 0 0 0/32			8bitタイマ1は OSC3発振安定時間 のクロックを生成
		D3	P8TON0	8bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS02	8bitタイマ0	P8TS0[2:0] 分周比	0	R/W	θ: プリスケアラク ロック選択レジスタ (0x40181)で選択
		D1	P8TS01	クロック分周比選択	1 1 1 0/256	0		
					1 1 0 0/128	0		
					1 0 1 0/64			
					1 0 0 0/32			
					0 1 1 0/16			
					0 1 0 0/8			
					0 0 1 0/4			
					0 0 0 0/2			
8bitタイマ2/3 クロック コントロール レジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS32	8bitタイマ3	P8TS3[2:0] 分周比	0	R/W	θ: プリスケアラク ロック選択レジスタ (0x40181)で選択
		D5	P8TS31	クロック分周比選択	1 1 1 0/256	0		
					1 1 0 0/128	0		
					1 0 1 0/64			
					1 0 0 0/32			
					0 1 1 0/16			8bitタイマ3は シリアル/F Ch.1の クロックを生成
					0 1 0 0/8			
					0 0 1 0/4			
					0 0 0 0/2			
		D3	P8TON2	8bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS22	8bitタイマ2	P8TS2[2:0] 分周比	0	R/W	θ: プリスケアラク ロック選択レジスタ (0x40181)で選択
		D1	P8TS21	クロック分周比選択	1 1 1 0/4096	0		
					1 1 0 0/2048	0		
					1 0 1 0/64			
					1 0 0 0/32			
					0 1 1 0/16			8bitタイマ2は シリアル/F Ch.0の クロックを生成
					0 1 0 0/8			
					0 0 1 0/4			
					0 0 0 0/2			
		D0	P8TS20					

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
A/Dクロック コントロール レジスタ	004014F (B)	D7-4	—	reserved	—			—	—	読み出し時: 0	
		D3	PSONAD	A/D変換器クロック制御	1 On 0 Off		0	R/W	θ: プリスケーラクロ ック選択レジスタ (0x40181)で選択		
		D2	PSAD2	A/D変換器クロック分周比選択	PSAD[2:0]		分周比			0	R/W
		D1	PSAD1		1 1 1	θ/256		0			
		D0	PSAD0		1 1 0	θ/128		0			
					1 0 1	θ/64					
					1 0 0	θ/32					
					0 1 1	θ/16					
					0 1 0	θ/8					
					0 0 1	θ/4					
			0 0 0	θ/2							
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0]		分周比		0	R/W	
		D6	CLKDT0		1 1	1/8		0			
					1 0	1/4					
					0 1	1/2					
					0 0	1/1					
		D5	PSCON	プリスケーラOn/Off制御	1 On 0 Off	1	R/W				
		D4-3	—	reserved	—		0	—	1書き込み禁止		
		D2	CLKCHG	CPU動作クロック切り換え	1 OSC3 0 OSC1	1	R/W				
D1	SOSC3	高速(OSC3)発振On/Off制御	1 On 0 Off	1	R/W						
D0	SOSC1	低速(OSC1)発振On/Off制御	1 On 0 Off	1	R/W						
プリスケーラ クロック選択 レジスタ	0040181 (B)	D7-1	—	reserved	—			0	—		
		D0	PSCDT0	プリスケーラクロック選択	1 OSC1 0 OSC3/PLL	0	R/W				
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定			0	R/W		
		D6	CLGP6					0			
		D5	CLGP5					0			
		D4	CLGP4					0			
		D3	CLGP3					0			
		D2	CLGP2					0			
		D1	CLGP1					0			
		D0	CLGP0					0			

PSCON: プリスケアラON/OFF制御(D5/0x40180<パワーコントロールレジスタ>)

プリスケアラをON/OFFします。

- "1"書き込み: ON
- "0"書き込み: OFF
- 読み出し: 可能

PSCONに"1"を書き込むことによりクロックがプリスケアラに入力され、分周動作を開始します。

"0"を書き込むと、プリスケアラは停止します。周辺回路を動作させる必要がない場合は、"0"を書き込んで消費電流を低減させてください。PSCONへの書き込みは、SOSC1、SOSC3、CLKCHG、CLKDT[1:0]と同様に保護されているため、CLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

なお、16ビットプログラマブルタイマ(ウォッチドッグタイマ)、8ビットプログラマブルタイマ、A/D変換器、シリアルインタフェース、およびポートはPSCONで制御される入力クロックを使用しています(PSCON="0"で停止します)。プリスケアラ出力を使用しない場合でも、シリアルインタフェースやポートを使用する場合は、プリスケアラを停止(PSCON="0")しないでください。

イニシャルリセット時、PSCONは"1"(ON)に設定されます。

CLGP7-CLGP0: パワーコントロールレジスタ保護フラグ**([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)**

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。

イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

PSCDT0: プリスケーラクロック選択(D0/0x40181<プリスケーラクロック選択レジスタ>)

プリスケーラの原振クロックを選択します。

"1"書き込み: OSC1クロック

"0"書き込み: OSC3クロック/PLL出力クロック

読み出し: 可能

PSCDT0に"1"を書き込むことによりOSC1クロック(32kHz Typ.)に設定されます。

"0"を書き込むと、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。

プリスケーラクロックには、CPU動作クロックと同じクロック源を設定してください。

イニシャルリセット時、PSCDT0は"0"(OSC3クロック/PLL出力クロック)に設定されます。

P16TS0[2:0]: 16bitタイマ0クロック分周比設定(D[2:0]/0x40147<16bitタイマ0クロックコントロールレジスタ>)

P16TS1[2:0]: 16bitタイマ1クロック分周比設定(D[2:0]/0x40148<16bitタイマ1クロックコントロールレジスタ>)

P16TS2[2:0]: 16bitタイマ2クロック分周比設定(D[2:0]/0x40149<16bitタイマ2クロックコントロールレジスタ>)

P16TS3[2:0]: 16bitタイマ3クロック分周比設定(D[2:0]/0x4014A<16bitタイマ3クロックコントロールレジスタ>)

P16TS4[2:0]: 16bitタイマ4クロック分周比設定(D[2:0]/0x4014B<16bitタイマ4クロックコントロールレジスタ>)

P16TS5[2:0]: 16bitタイマ5クロック分周比設定(D[2:0]/0x4014C<16bitタイマ5クロックコントロールレジスタ>)

P8TS0[2:0]: 8bitタイマ0クロック分周比設定(D[2:0]/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>)

P8TS1[2:0]: 8bitタイマ1クロック分周比設定(D[6:4]/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>)

P8TS2[2:0]: 8bitタイマ2クロック分周比設定(D[2:0]/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>)

P8TS3[2:0]: 8bitタイマ3クロック分周比設定(D[6:4]/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>)

P8TS4[2:0]: 8bitタイマ4クロック分周比設定(D[2:0]/0x40145<8bitタイマ4/5クロックコントロールレジスタ>)

P8TS5[2:0]: 8bitタイマ5クロック分周比設定(D[6:4]/0x40145<8bitタイマ4/5クロックコントロールレジスタ>)

PSAD[2:0]: A/D変換器クロック分周比設定(D[2:0]/0x4014F<A/Dクロックコントロールレジスタ>)

各周辺回路のクロックを選択します。

それぞれ、I/Oマップに示した8種類の分周比の中から選択できます。周辺回路により分周比が異なりますので注意してください。

これらのビットは読み出しも可能です。

イニシャルリセット時、これらのビットはすべて"0b000"(最も高い周波数)に設定されます。

P16TON0: 16bitタイマ0クロック制御 (D3/0x40147<16bitタイマ0クロックコントロールレジスタ>
P16TON1: 16bitタイマ1クロック制御 (D3/0x40148<16bitタイマ1クロックコントロールレジスタ>
P16TON2: 16bitタイマ2クロック制御 (D3/0x40149<16bitタイマ2クロックコントロールレジスタ>
P16TON3: 16bitタイマ3クロック制御 (D3/0x4014A<16bitタイマ3クロックコントロールレジスタ>
P16TON4: 16bitタイマ4クロック制御 (D3/0x4014B<16bitタイマ4クロックコントロールレジスタ>
P16TON5: 16bitタイマ5クロック制御 (D3/0x4014C<16bitタイマ5クロックコントロールレジスタ>
P8TON0: 8bitタイマ0クロック制御 (D3/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>
P8TON1: 8bitタイマ1クロック制御 (D7/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>
P8TON2: 8bitタイマ2クロック制御 (D3/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>
P8TON3: 8bitタイマ3クロック制御 (D7/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>
P8TON4: 8bitタイマ4クロック制御 (D3/0x40145<8bitタイマ4/5クロックコントロールレジスタ>
P8TON5: 8bitタイマ5クロック制御 (D7/0x40145<8bitタイマ4/5クロックコントロールレジスタ>
PSONAD: A/D変換器クロック制御 (D3/0x4014F<A/Dクロックコントロールレジスタ>)

各周辺回路へのクロック供給を制御します。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

これらのビットに"1"を書き込むことにより、分周比設定ビットで選択したクロックが対応する周辺回路に出力されます。

"0"を書き込むと、クロックは出力されません。周辺回路を動作させる必要がない場合は、"0"を書き込んで消費電流を低減させてください。

イニシャルリセット時、これらのビットはすべて"0"(OFF)に設定されます。

P8TPCK0: 8bitタイマ0クロック選択 (D0/0x40146<8bitタイマクロック選択レジスタ>
P8TPCK1: 8bitタイマ1クロック選択 (D1/0x40146<8bitタイマクロック選択レジスタ>
P8TPCK2: 8bitタイマ2クロック選択 (D2/0x40146<8bitタイマクロック選択レジスタ>
P8TPCK3: 8bitタイマ3クロック選択 (D3/0x40146<8bitタイマクロック選択レジスタ>
P8TPCK4: 8bitタイマ4クロック選択 (D0/0x40140<8bitタイマ4/5クロック選択レジスタ>
P8TPCK5: 8bitタイマ5クロック選択 (D1/0x40140<8bitタイマ4/5クロック選択レジスタ>

8ビットプログラマブルタイマの動作クロックを選択します。

"1"書き込み: プリスケーラ入力クロック ($\theta/1$)
 "0"書き込み: 分周クロック
 読み出し: 可能

P8TPCKxに"1"を書き込むことにより、8ビットタイマxの動作クロックとしてプリスケーラ入力クロック ($\theta/1$)が選択されます。この場合でも、クロック出力の制御はP8TONxで行います。

"0"を書き込むと、P8TSx[2:0]で選択された分周クロックが設定されます。

イニシャルリセット時、P8TPCKxは"0"(分周クロック)に設定されます。

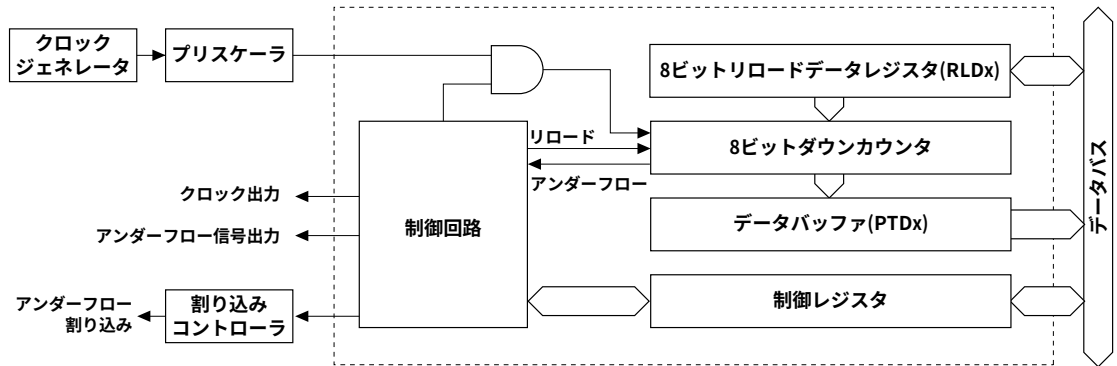
プログラミング上の注意事項

- (1) プリスケーラクロックには、CPU動作クロックと同じクロック源を設定してください。
- (2) 以下の場合、プリスケーラの出力クロックにハザードが出ることがありますので注意してください。
- ・クロックを出力中に、その分周比を変更した場合
 - ・クロック出力ON/OFFの切り換え時
 - ・発振回路の停止時およびCPU動作クロックの切り換え時
- これらの制御は、16ビットプログラマブルタイマ、8ビットプログラマブルタイマ、A/D変換器を停止させた状態で行ってください。
- (3) 16ビットプログラマブルタイマ、8ビットプログラマブルタイマ、A/D変換器を動作させる必要がない場合は、消費電流を低減させるためクロックの供給を停止してください。
- (4) プリスケーラの動作を停止(パワーコントロールレジスタ(0x40180)のPSCON(D5)="0")させると、出力クロックを使用する周辺回路以外にも停止する回路がありますので注意してください。プリスケーラの動作が影響する周辺回路は以下のとおりです。
- A プリスケーラで生成した動作クロックを使用する周辺回路
- ・16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
 - ・8ビットプログラマブルタイマ0～5(シリアルインタフェース)
 - ・A/D変換器
- B プリスケーラへ供給されるクロック(プリスケーラ原振クロック)を使用する周辺回路
- ・16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
 - ・8ビットプログラマブルタイマ0～5
 - ・A/D変換器
 - ・シリアルインタフェース
 - ・ポート
- 上記A、Bのすべての周辺回路を使用しない場合は、プリスケーラの動作を停止させることができます。AもしくはBの周辺回路を1つでも使用する場合は、プリスケーラの動作を停止させないでください。プリスケーラの動作を停止させると、Bの周辺回路へのクロック供給も停止します。Aに示した中で一部の回路のみを使用する場合は、それ以外の回路を停止させ、併せてプリスケーラから各回路へのクロック供給も停止してください。

III-4 8ビットプログラマブルタイマ

8ビットプログラマブルタイマの構成

C33周辺回路ブロックは8ビットのプログラマブルタイマを6系統(タイマ0～タイマ5)内蔵しています。
図III.4.1に8ビットプログラマブルタイマの構成を示します。



図III.4.1 8ビットプログラマブルタイマの構成

各タイマは8ビットプリセッタブルダウンカウンタで構成され、カウンタのアンダーフローにより生成したクロックを周辺回路やIC外部に出力することができます。ソフトウェアで設定可能なプリセットデータとプリスケアラでの入力クロックの設定により、出力クロックの周期を広いレンジで選択可能です。

8ビットプログラマブルタイマの出力端子

8ビットプログラマブルタイマ0～3のアンダーフロー信号は、IC外部に出力することができます。表III.4.1に、8ビットプログラマブルタイマのアンダーフロー信号をIC外部に出力する場合に使用する端子を示します。

表III.4.1 8ビットプログラマブルタイマの出力端子

端子名	I/O	機 能	機能選択ビット
DST0(P10/EXCL0/T8UF0)	I/O	DST0出力/入出力兼用ポート/16ビットタイマ0 イベントカウンタ入力/8ビットタイマ0出力	CFP10(P1機能選択レジスタ0x402D4・D0) CFEX1(ポート機能拡張レジスタ0x402DF・D1)
DST1(P11/EXCL1/T8UF1)	I/O	DST1出力/入出力兼用ポート/16ビットタイマ1 イベントカウンタ入力/8ビットタイマ1出力	CFP11(P1機能選択レジスタ0x402D4・D1) CFEX1(ポート機能拡張レジスタ0x402DF・D1)
DST2(P12/EXCL2/T8UF2)	I/O	DST2出力/入出力兼用ポート/16ビットタイマ2 イベントカウンタ入力/8ビットタイマ2出力	CFP12(P1機能選択レジスタ0x402D4・D2) CFEX0(ポート機能拡張レジスタ0x402DF・D0)
DPCO(P13/EXCL3/T8UF3)	I/O	DPCO出力/入出力兼用ポート/16ビットタイマ3 イベントカウンタ入力/8ビットタイマ3出力	CFP13(P1機能選択レジスタ0x402D4・D3) CFEX1(ポート機能拡張レジスタ0x402DF・D1)

■T8UFx(8ビットプログラマブルタイマ出力端子)

各8ビットプログラマブルタイマで分周したクロックを出力します。パルス幅は8ビットタイマの入力クロック(プリスケアラ出力)のパルス幅になります。したがって、プリスケアラの設定によってパルス幅は変わります。

■8ビットプログラマブルタイマ出力端子の設定方法

8ビットプログラマブルタイマで使用する端子はすべて、入出力兼用ポート端子、16ビットプログラマブルタイマのイベントカウンタ入力およびデバッグ用信号出力と共用されています。コールドスタート時はすべてデバッグ用信号出力端子(機能選択ビットCFP1[3:0]="0"、ポート機能拡張ビットCFEX[1:0]="1")として設定されます。8ビットプログラマブルタイマのクロック出力機能を使用する場合は、使用するタイマに合わせ、対応する端子のポート機能拡張ビットCFEXxに"0"、機能選択ビットCFP1xに"1"を書き込んでください。

さらに、入出力兼用ポートのP1 I/O制御レジスタ(0x402D6)のIOC1x(D[3:0])に"1"を書き込み、出力モードに設定してください。入力モードに設定されていると16ビットプログラマブルタイマのイベントカウンタ入力として機能し、8ビットプログラマブルタイマのクロック出力は行えません。コールドスタート時は入力モードに設定されます。ホットスタート時、これらのレジスタはリセット前の状態を保持します。

8ビットプログラマブルタイマの用途

8ビットプログラマブルタイマのダウンカウンタは、ソフトウェアで設定したプリセットデータにより周期的にアンダーフロー信号を出力します。このアンダーフロー信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。この信号をIC外部に出力することもできます。

また、各8ビットプログラマブルタイマは、アンダーフロー信号を1/2に分周してクロックを生成し、特定の内蔵周辺回路に出力します。

■CPUへの割り込み要求/IDMA起動要求

各タイマのアンダーフローを割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。

また、この割り込み要因によってIDMA、HSDMAを起動することも可能です。

■IC外部へのクロック出力

アンダーフロー信号をIC外部に出力することができます。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

■内蔵周辺回路の制御とクロック供給

8ビットプログラマブルタイマのアンダーフロー信号で制御される機能と、出力クロックを使用する内蔵周辺回路を以下に示します。

8ビットプログラマブルタイマ0

・A/D変換開始トリガ

A/D変換器は、A/D変換を開始するトリガ方式を4種類から選択できるようになっています。その1つが、8ビットプログラマブルタイマ0のアンダーフロー信号によるものです。これにより、プログラマブルな周期でA/D変換を行うことができます。

この機能を使用するには、A/D変換器のA/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])に"10"を書き込み、トリガに8ビットプログラマブルタイマ0を選択します。

8ビットプログラマブルタイマ1

・高速(OSC3)発振回路の発振安定待ち時間

SLEEPモードを外部割り込みによって解除すると、高速(OSC3)発振回路が発振を開始します。発振が安定する前のクロックによるCPUの誤動作を防止するため、SLEEP解除後にCPUが動作を開始するまで待ち時間を設けることができるようになっています。この時間を8ビットプログラマブルタイマ1によって生成します。高速(OSC3)発振回路の発振開始により8ビットプログラマブルタイマ1を動作させ、発振安定時間以上経過後にアンダーフローが発生するように8ビットプログラマブルタイマ1を設定しておく、CPUはそのアンダーフロー信号によって動作を開始します。

この機能を使用するには、発振回路のクロックオプションレジスタ(0x40190)の8T1ON(D2)に"0"を書き込み、発振安定待ち機能をイネーブルに設定します。

8ビットプログラマブルタイマ2

・シリアルインタフェースCh.0へのクロック供給

シリアルインタフェースのCh.0をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ2のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.0制御レジスタ(0x401E3)のSSCK0(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ3

・シリアルインタフェースCh.1へのクロック供給

シリアルインタフェースのCh.1をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ3のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.1制御レジスタ(0x401E8)のSSCK1(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ4

・シリアルインタフェースCh.2へのクロック供給

シリアルインタフェースのCh.2をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ4のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。

これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.2制御レジスタ(0x401F3)のSSCK2(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ5

・シリアルインタフェースCh.3へのクロック供給

シリアルインタフェースのCh.3をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ5のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。

これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.3制御レジスタ(0x401F8)のSSCK3(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマの制御と動作

8ビットプログラマブルタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。

1. 出力端子の設定(必要な場合のみ)
2. 入力クロックの設定
3. プリセットデータ(カウンタ初期値)の設定
4. 割り込み/IDMA/HSDMAの設定

出力端子の設定は、8ビットプログラマブルタイマの出力クロックをIC外部に出力させる場合にのみ必要です。設定方法は"8ビットプログラマブルタイマの出力端子"を参照してください。

割り込みおよびDMAの設定については"8ビットプログラマブルタイマ割り込みとDMA"を参照してください。

注: 8ビットプログラマブルタイマ0～5のカウント動作は同一で、制御レジスタも同一の構成です。制御ビット名にはタイマ番号を示す"0"～"5"が付きますが、説明は全タイマに共通なため、必要な部分以外はタイマ番号を"x"に置き換えて記述します。

■入力クロックの設定

8ビットプログラマブルタイマはプリスケアラの出力クロックにより動作します。プリスケアラの分周比は、タイマごとに選択可能です。

	分周比選択ビット	クロック制御ビット	レジスタ
タイマ0:	P8TS0[2:0] (D[2:0])	P8TON0 (D3)	8bitタイマ0/1クロック制御レジスタ (0x4014D)
タイマ1:	P8TS1[2:0] (D[6:4])	P8TON1 (D7)	8bitタイマ0/1クロック制御レジスタ (0x4014D)
タイマ2:	P8TS2[2:0] (D[2:0])	P8TON2 (D3)	8bitタイマ2/3クロック制御レジスタ (0x4014E)
タイマ3:	P8TS3[2:0] (D[6:4])	P8TON3 (D7)	8bitタイマ2/3クロック制御レジスタ (0x4014E)
タイマ4:	P8TS4[2:0] (D[2:0])	P8TON4 (D3)	8bitタイマ4/5クロック制御レジスタ (0x40145)
タイマ5:	P8TS5[2:0] (D[6:4])	P8TON5 (D7)	8bitタイマ4/5クロック制御レジスタ (0x40145)

分周比はタイマにより異なりますので注意してください(表III.4.2参照)。

また、8ビットタイマクロック選択レジスタ (0x40146) のP8TPCKxビットに"1"を書き込むことで、プリスケアラの入力クロックを直接8ビットタイマに供給することもできます。

タイマ0クロック選択: P8TPCK0 (8bitタイマクロック選択レジスタ0x40146・D0)

タイマ1クロック選択: P8TPCK1 (8bitタイマクロック選択レジスタ0x40146・D1)

タイマ2クロック選択: P8TPCK2 (8bitタイマクロック選択レジスタ0x40146・D2)

タイマ3クロック選択: P8TPCK3 (8bitタイマクロック選択レジスタ0x40146・D3)

タイマ4クロック選択: P8TPCK4 (8bitタイマクロック選択レジスタ0x40140・D0)

タイマ5クロック選択: P8TPCK5 (8bitタイマクロック選択レジスタ0x40140・D1)

P8TSxで指定した分周クロックを使用する場合は、P8TPCKxを"0"に設定しておきます。

表III.4.2 入力クロックの選択

タイマ	P8TSx=7	P8TSx=6	P8TSx=5	P8TSx=4	P8TSx=3	P8TSx=2	P8TSx=1	P8TSx=0	P8TPCK=1
タイマ0	fpSCIN/256	fpSCIN/128	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1
タイマ1	fpSCIN/4096	fpSCIN/2048	fpSCIN/1024	fpSCIN/512	fpSCIN/256	fpSCIN/128	fpSCIN/64	fpSCIN/32	fpSCIN/1
タイマ2	fpSCIN/4096	fpSCIN/2048	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1
タイマ3	fpSCIN/256	fpSCIN/128	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1
タイマ4	fpSCIN/4096	fpSCIN/2048	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1
タイマ5	fpSCIN/256	fpSCIN/128	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1

fpSCIN: プリスケアラ入力クロック周波数

選択したクロックはP8TONxに"1"を書き込むことにより、プリスケアラから8ビットプログラマブルタイマに出力されます。

注: ・ 8ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。("プリスケアラ"参照)

- ・ 8ビットプログラマブルタイマの入力クロックにCPU動作クロックよりも高速なクロックは使用しないでください。
- ・ 入力クロックの設定は、8ビットプログラマブルタイマが停止中に行ってください。

■プリセットデータ(カウンタ初期値)の設定

各タイマには8ビットのダウンカウンタとリロードデータレジスタが設けられています。リロードデータレジスタRLDxは各タイマのダウンカウンタ初期値を設定するレジスタです。

タイマ0リロードデータ: RLD0[7:0] (8bitタイマ0リロードデータレジスタ0x40161・D[7:0])
 タイマ1リロードデータ: RLD1[7:0] (8bitタイマ1リロードデータレジスタ0x40165・D[7:0])
 タイマ2リロードデータ: RLD2[7:0] (8bitタイマ2リロードデータレジスタ0x40169・D[7:0])
 タイマ3リロードデータ: RLD3[7:0] (8bitタイマ3リロードデータレジスタ0x4016D・D[7:0])
 タイマ4リロードデータ: RLD4[7:0] (8bitタイマ4リロードデータレジスタ0x40175・D[7:0])
 タイマ5リロードデータ: RLD5[7:0] (8bitタイマ5リロードデータレジスタ0x40179・D[7:0])

リロードデータレジスタは読み出し/書き込み可能です。イニシャルリセット時、リロードデータレジスタは初期化されません。

ここに書き込んだデータがダウンカウンタにプリセットされ、その値からダウンカウントが行われます。ダウンカウンタへのプリセットは、次の2つの場合に行われます。

1. ソフトウェアでプリセットを行った場合

ソフトウェアによるプリセットはプリセット制御ビットPSETxによって行います。このビットに"1"を書き込むと、その時点でリロードデータレジスタの内容がダウンカウンタにロードされます。

タイマ0プリセット: PSET0 (8bitタイマ0制御レジスタ0x40160・D1)
 タイマ1プリセット: PSET1 (8bitタイマ1制御レジスタ0x40164・D1)
 タイマ2プリセット: PSET2 (8bitタイマ2制御レジスタ0x40168・D1)
 タイマ3プリセット: PSET3 (8bitタイマ3制御レジスタ0x4016C・D1)
 タイマ4プリセット: PSET4 (8bitタイマ4制御レジスタ0x40174・D1)
 タイマ5プリセット: PSET5 (8bitタイマ5制御レジスタ0x40178・D1)

2. ダウンカウンタがカウント中にアンダーフローした場合

ダウンカウンタはそのアンダーフローによりリロードデータをプリセットしますので、リロードデータレジスタの設定値により、アンダーフロー周期が決定します。このアンダーフロー信号は前節で説明した各機能を制御します。

8ビットプログラマブルタイマの動作を開始する前にリロードデータレジスタに初期値を設定し、PSETxでダウンカウンタにプリセットしてください。

アンダーフロー周期は、プリスケアラの設定とリロードデータによって決まります。この関係を次の式に示します。

$$\text{アンダーフロー周期} = \frac{\text{RLDx} + 1}{\text{fpSCIN} \times \text{pdr}} \quad [\text{秒}]$$

fpSCIN: プリスケアラ入力クロック周波数 [Hz]

pdr: P8TSxによるプリスケアラの分周比

RLDx: RLDxの設定値(0~255)

■タイマのRUN/STOP制御

各タイマにはそれぞれ、RUN/STOPを制御するビットPTRUNxが設けられています。

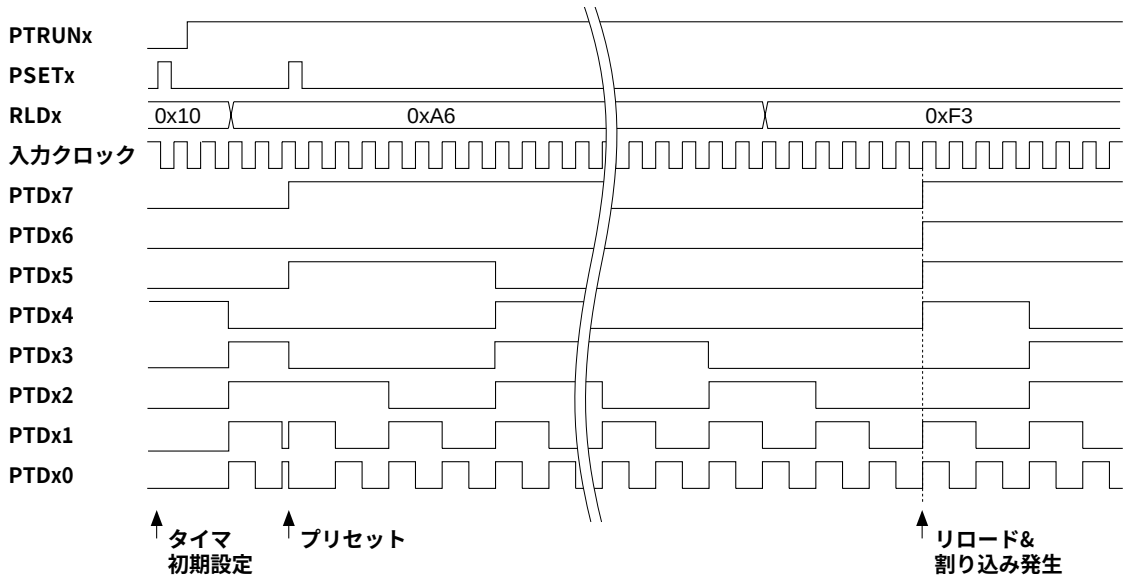
タイマ0 RUN/STOP制御: PTRUN0 (8bitタイマ0制御レジスタ0x40160・D0)
 タイマ1 RUN/STOP制御: PTRUN1 (8bitタイマ1制御レジスタ0x40164・D0)
 タイマ2 RUN/STOP制御: PTRUN2 (8bitタイマ2制御レジスタ0x40168・D0)
 タイマ3 RUN/STOP制御: PTRUN3 (8bitタイマ3制御レジスタ0x4016C・D0)
 タイマ4 RUN/STOP制御: PTRUN4 (8bitタイマ4制御レジスタ0x40174・D0)
 タイマ5 RUN/STOP制御: PTRUN5 (8bitタイマ5制御レジスタ0x40178・D0)

タイマはPTRUNxに"1"を書き込むことによってダウンカウントを開始します。PTRUNxに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタに設定された初期値をリロードします。

タイマのRUN/STOP制御ビット(PTRUNx)とプリセットビット(PSETx)の両方を"1"にして8bitタイマ制御レジスタに書き込んだ場合、リロードデータレジスタの値をプリセットしてからタイマがRUNします。



図III.4.2 カウンタの基本動作タイミング

■ カウンタデータの読み出し

カウンタデータの読み出しはデータバッファPTDxを介して行います。任意のタイミングで読み出しが可能です。

タイマ0データ: PTD0[7:0] (8bitタイマ0カウントデータレジスタ0x40162・D[7:0])

タイマ1データ: PTD1[7:0] (8bitタイマ1カウントデータレジスタ0x40166・D[7:0])

タイマ2データ: PTD2[7:0] (8bitタイマ2カウントデータレジスタ0x4016A・D[7:0])

タイマ3データ: PTD3[7:0] (8bitタイマ3カウントデータレジスタ0x4016E・D[7:0])

タイマ4データ: PTD4[7:0] (8bitタイマ4カウントデータレジスタ0x40176・D[7:0])

タイマ5データ: PTD5[7:0] (8bitタイマ5カウントデータレジスタ0x4017A・D[7:0])

クロック出力の制御

8ビットプログラマブルタイマのアンダーフロー信号をIC外部に出力する場合、またはアンダーフロー信号から生成したクロックをシリアルインタフェースに出力する場合はクロックの出力制御が必要です。

タイマ0クロック出力制御: PTOUT0(8bitタイマ0制御レジスタ0x40160・D2)

タイマ1クロック出力制御: PTOUT1(8bitタイマ1制御レジスタ0x40164・D2)

タイマ2クロック出力制御: PTOUT2(8bitタイマ2制御レジスタ0x40168・D2)

タイマ3クロック出力制御: PTOUT3(8bitタイマ3制御レジスタ0x4016C・D2)

タイマ4クロック出力制御: PTOUT4(8bitタイマ4制御レジスタ0x40174・D2) 注: 外部出力なし

タイマ5クロック出力制御: PTOUT5(8bitタイマ5制御レジスタ0x40178・D2) 注: 外部出力なし

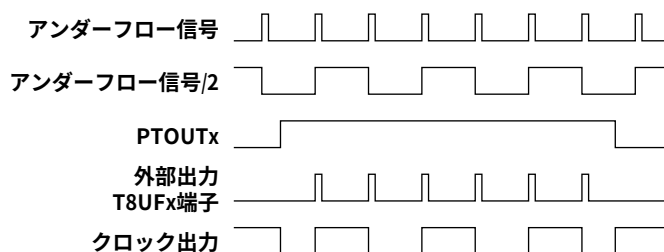
アンダーフロー信号/クロックを出力するには、クロック出力制御レジスタPTOUTxに"1"を書き込みます。

出力端子が設定されていれば、その端子からアンダーフロー信号が出力されます。

タイマ2～5をシリアルインタフェースのクロック源として設定した場合も同様に、この制御により、アンダーフロー信号を1/2に分周して生成したクロックがシリアルインタフェースに出力されます。

PTOUTxに"0"を書き込むと出力が停止し、外部出力は"0"に、内部クロック出力は"1"に固定されます。

図III.4.3に出力波形を示します。



図III.4.3 8ビットプログラマブルタイマの出力波形

アンダーフロー信号のパルス幅(High)は、入力クロック(プリスケアラ出力)のパルス幅と等しくなります。

■8ビットタイマ外部出力(P10～P13ポート)

- 1) イニシャルリセット(コールドスタート)後のポート(P10～P13)はデバッグ用出力に設定されています。
- 2) ポート(P10～P13)を8ビットタイマ出力に設定した段階で"0"を出力します。(タイマ出力はOFF状態)
- 3) 入力クロック、タイマの初期値を設定後、タイマ出力をONにしてもタイマ出力は"0"を保持します。
- 4) 8ビットタイマをRUNさせ、アンダーフローが発生すると、8ビットタイマのクロック入力(プリスケアラ出力)の1クロックパルスを出力します。

8ビットプログラマブルタイマ割り込みとDMA

8ビットプログラマブルタイマには、タイマ0～5のアンダーフローによって割り込みを発生させる機能があります。

割り込みの発生タイミングは、図III.4.2に示したとおりです。

■割り込みコントローラの制御レジスタ

各タイマごとに用意されている割り込みコントローラの制御レジスタを、表III.4.3に示します。

表III.4.3 割り込みコントローラの制御レジスタ

タイマ	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
タイマ0	F8TU0(D0/0x40285)	E8TU0(D0/0x40275)	P8TM[2:0](D[2:0]/0x40269)
タイマ1	F8TU1(D1/0x40285)	E8TU1(D1/0x40275)	
タイマ2	F8TU2(D2/0x40285)	E8TU2(D2/0x40275)	
タイマ3	F8TU3(D3/0x40285)	E8TU3(D3/0x40275)	
タイマ4	F8TU4(D0/0x40288)	E8TU4(D0/0x40278)	
タイマ5	F8TU5(D1/0x40288)	E8TU5(D1/0x40278)	

タイマにアンダーフローが発生すると、対応する割り込み要因フラグが"1"にセットされます。その割り込み要因フラグに対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、そのタイマによる割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、タイマのアンダーフローによって"1"にセットされます。割り込みプライオリティレジスタは、6つのタイマを1つの割り込み系列として割り込みの優先レベル(0～7)を設定します。8ビットプログラマブルタイマの中の優先順位は、タイマ0が最も高く、タイマ5が最も低く設定されています。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■インテリジェントDMA

タイマ0～5のアンダーフロー割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリ間のDMA転送を周期的に行うことができます。

各タイマに設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.

タイマ0: 0x13
 タイマ1: 0x14
 タイマ2: 0x15
 タイマ3: 0x16
 タイマ4: 0x20
 タイマ5: 0x21

IDMAを起動させるには、表III.4.4に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.4.4 IDMA転送の制御レジスタ

タイマ	IDMAリクエストビット	IDMAイネーブルビット
タイマ0	R8TU0(D2/0x40292)	DE8TU0(D2/0x40296)
タイマ1	R8TU1(D3/0x40292)	DE8TU1(D3/0x40296)
タイマ2	R8TU2(D4/0x40292)	DE8TU2(D4/0x40296)
タイマ3	R8TU3(D5/0x40292)	DE8TU3(D5/0x40296)
タイマ4	R8TU4(D0/0x4029B)	DE8TU4(D0/0x4029C)
タイマ5	R8TU5(D1/0x4029B)	DE8TU5(D1/0x4029C)

IDMAリクエストビットおよびIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送とIDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■高速DMA

タイマ0～3のアンダーフロー割り込み要因は、高速DMA(HSDMA)を起動することもできます。タイマ0～3に対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表III.4.5 HSDMAトリガ設定ビット

タイマ	HSDMAチャンネル	トリガ設定ビット
タイマ0	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[3:0])
タイマ1	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[7:4])
タイマ2	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[3:0])
タイマ3	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[7:4])

HSDMAを起動させるには、トリガ設定ビットに"0101"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。

HSDMAのトリガ要因に8ビットタイマを選択すると、アンダーフロー割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

■トラップベクタ

各アンダーフロー割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

タイマ0アンダーフロー割り込み: 0x0C000D0
 タイマ1アンダーフロー割り込み: 0x0C000D4
 タイマ2アンダーフロー割り込み: 0x0C000D8
 タイマ3アンダーフロー割り込み: 0x0C000DC
 タイマ4アンダーフロー割り込み: 0x0C00120
 タイマ5アンダーフロー割り込み: 0x0C00124

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

8ビットプログラマブルタイマのI/Oメモリ

表III.4.6に8ビットプログラマブルタイマの制御ビットを示します。

クロックを設定するプリスケアラのI/Oメモリについては、"プリスケアラ"を参照してください。

表III.4.6 8ビットプログラマブルタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ0 制御レジスタ	0040160 (B)	D7-3	-	reserved	-	-	-	読み出し時: 0
		D2	PTOUT0	8bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET0	8bitタイマ0プリセット	1 プリセット 0 無効	-	W	読み出し時: 0
		D0	PTRUN0	8bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ0 リロードデータ レジスタ	0040161 (B)	D7	RLD07	8bitタイマ0	0~255	X	R/W	
		D6	RLD06	リロードデータ		X		
		D5	RLD05	RLD07 = MSB		X		
		D4	RLD04	RLD00 = LSB		X		
		D3	RLD03			X		
		D2	RLD02			X		
		D1	RLD01			X		
		D0	RLD00			X		
8bitタイマ0 カウントデータ レジスタ	0040162 (B)	D7	PTD07	8bitタイマ0カウントデータ	0~255	X	R	
		D6	PTD06	PTD07 = MSB		X		
		D5	PTD05	PTD00 = LSB		X		
		D4	PTD04			X		
		D3	PTD03			X		
		D2	PTD02			X		
		D1	PTD01			X		
		D0	PTD00			X		
8bitタイマ1 制御レジスタ	0040164 (B)	D7-3	-	reserved	-	-	-	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET1	8bitタイマ1プリセット	1 プリセット 0 無効	-	W	読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1	0~255	X	R/W	
		D6	RLD16	リロードデータ		X		
		D5	RLD15	RLD17 = MSB		X		
		D4	RLD14	RLD10 = LSB		X		
		D3	RLD13			X		
		D2	RLD12			X		
		D1	RLD11			X		
		D0	RLD10			X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0~255	X	R	
		D6	PTD16	PTD17 = MSB		X		
		D5	PTD15	PTD10 = LSB		X		
		D4	PTD14			X		
		D3	PTD13			X		
		D2	PTD12			X		
		D1	PTD11			X		
		D0	PTD10			X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7-3	-	reserved	-	-	-	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET2	8bitタイマ2プリセット	1 プリセット 0 無効	-	W	読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2	0~255	X	R/W	
		D6	RLD26	リロードデータ		X		
		D5	RLD25	RLD27 = MSB		X		
		D4	RLD24	RLD20 = LSB		X		
		D3	RLD23			X		
		D2	RLD22			X		
		D1	RLD21			X		
		D0	RLD20			X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0~255	X	R	
		D6	PTD26	PTD27 = MSB		X		
		D5	PTD25	PTD20 = LSB		X		
		D4	PTD24			X		
		D3	PTD23			X		
		D2	PTD22			X		
		D1	PTD21			X		
		D0	PTD20			X		

III-4 周辺回路ブロック: 8ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
8bitタイマ3 制御レジスタ	004016C (B)	D7-3	–	reserved	–			–	–	読み出し時: 0	
		D2	PTOUT3	8bitタイマ3クロック出力制御	1	On	0	Off	0	R/W	
		D1	PSET3	8bitタイマ3プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ3 リロードデータ レジスタ	004016D (B)	D7	RLD37	8bitタイマ3	0~255			X	R/W		
		D6	RLD36	リロードデータ				X			
		D5	RLD35	RLD37 = MSB				X			
		D4	RLD34	RLD30 = LSB				X			
		D3	RLD33					X			
		D2	RLD32					X			
		D1	RLD31					X			
		D0	RLD30					X			
8bitタイマ3 カウントデータ レジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ	0~255			X	R		
		D6	PTD36	PTD37 = MSB				X			
		D5	PTD35	PTD30 = LSB				X			
		D4	PTD34					X			
		D3	PTD33					X			
		D2	PTD32					X			
		D1	PTD31					X			
		D0	PTD30					X			
8bitタイマ4 制御レジスタ	0040174 (B)	D7-3	–	reserved	–			–	–	読み出し時: 0	
		D2	PTOUT4	8bitタイマ4出力制御	1	On	0	Off	0	R/W	
		D1	PSET4	8bitタイマ4プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN4	8bitタイマ4 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ4 リロードデータ レジスタ	0040175 (B)	D7	RLD47	8bitタイマ4	0~255			X	R/W		
		D6	RLD46	リロードデータ				X			
		D5	RLD45	RLD47 = MSB				X			
		D4	RLD44	RLD40 = LSB				X			
		D3	RLD43					X			
		D2	RLD42					X			
		D1	RLD41					X			
		D0	RLD40					X			
8bitタイマ4 カウントデータ レジスタ	0040176 (B)	D7	PTD47	8bitタイマ4	0~255			X	R		
		D6	PTD46	カウントデータ				X			
		D5	PTD45	PTD47 = MSB				X			
		D4	PTD44	PTD40 = LSB				X			
		D3	PTD43					X			
		D2	PTD42					X			
		D1	PTD41					X			
		D0	PTD40					X			
8bitタイマ5 制御レジスタ	0040178 (B)	D7-3	–	reserved	–			–	–	読み出し時: 0	
		D2	PTOUT5	8bitタイマ5出力制御	1	On	0	Off	0	R/W	
		D1	PSET5	8bitタイマ5プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN5	8bitタイマ5 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ5 リロードデータ レジスタ	0040179 (B)	D7	RLD57	8bitタイマ5	0~255			X	R/W		
		D6	RLD56	リロードデータ				X			
		D5	RLD55	RLD57 = MSB				X			
		D4	RLD54	RLD50 = LSB				X			
		D3	RLD53					X			
		D2	RLD52					X			
		D1	RLD51					X			
		D0	RLD50					X			
8bitタイマ5 カウントデータ レジスタ	004017A (B)	D7	PTD57	8bitタイマ5	0~255			X	R		
		D6	PTD56	カウントデータ				X			
		D5	PTD55	PTD57 = MSB				X			
		D4	PTD54	PTD50 = LSB				X			
		D3	PTD53					X			
		D2	PTD52					X			
		D1	PTD51					X			
		D0	PTD50					X			
8bitタイマ, シリ アルI/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	–	reserved	–			–	–	読み出し時: 0	
		D6	PSIO02	シリアルインタフェースCh.0	0~7			X	R/W		
		D5	PSIO01	割り込みレベル				X			
		D4	PSIO00					X			
		D3	–	reserved	–			–	–	読み出し時: 0	
		D2	P8TM2	8bitタイマ0-5	0~7			X	R/W		
		D1	P8TM1	割り込みレベル				X			
		D0	P8TM0					X			

レジスタ名	アドレス	ビット	名称	機能	設定	Init.	R/W	注 釈
8bitタイマ0-3 割り込み イネーブル レジスタ	0040275 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可	0 禁止	0	R/W
		D2	E8TU2	8bitタイマ2アンダーフロー			0	R/W
		D1	E8TU1	8bitタイマ1アンダーフロー			0	R/W
		D0	E8TU0	8bitタイマ0アンダーフロー			0	R/W
8bitタイマ4/5 割り込みイネー ブルレジスタ	0040278 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	E8TU5	8bitタイマ5アンダーフロー	1 許可	0 禁止	0	R/W
		D0	E8TU4	8bitタイマ4アンダーフロー			0	R/W
8bitタイマ0-3 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1 要因発生	0 要因なし	X	R/W
		D2	F8TU2	8bitタイマ2アンダーフロー			X	R/W
		D1	F8TU1	8bitタイマ1アンダーフロー			X	R/W
		D0	F8TU0	8bitタイマ0アンダーフロー			X	R/W
8bitタイマ4/5 割り込み要因フ ラグレジスタ	0040288 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	F8TU5	8bitタイマ5アンダーフロー	1 要因発生	0 要因なし	X	R/W
		D0	F8TU4	8bitタイマ4アンダーフロー			X	R/W
16bitタイマ5, 8bitタイマ0-3, シリアルI/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1 IDMA要求	0 割り込み 要求	0	R/W
		D6	RSRX0	SIF Ch.0受信バッファフル			0	R/W
		D5	R8TU3	8bitタイマ3アンダーフロー			0	R/W
		D4	R8TU2	8bitタイマ2アンダーフロー			0	R/W
		D3	R8TU1	8bitタイマ1アンダーフロー			0	R/W
		D2	R8TU0	8bitタイマ0アンダーフロー			0	R/W
		D1	R16TC5	16bitタイマ5コンペアA			0	R/W
		D0	R16TU5	16bitタイマ5コンペアB			0	R/W
16bitタイマ5, 8bitタイマ0-3, シリアルI/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0	R/W
		D6	DESRX0	SIF Ch.0受信バッファフル			0	R/W
		D5	DE8TU3	8bitタイマ3アンダーフロー			0	R/W
		D4	DE8TU2	8bitタイマ2アンダーフロー			0	R/W
		D3	DE8TU1	8bitタイマ1アンダーフロー			0	R/W
		D2	DE8TU0	8bitタイマ0アンダーフロー			0	R/W
		D1	DE16TC5	16bitタイマ5コンペアA			0	R/W
		D0	DE16TU5	16bitタイマ5コンペアB			0	R/W
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAリクエスト レジスタ	004029B (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	RSTX3	SIF Ch.3送信バッファエンプティ	1 IDMA要求	0 割り込み 要求	0	R/W
		D4	RSRX3	SIF Ch.3受信バッファフル			0	R/W
		D3	RSTX2	SIF Ch.2送信バッファエンプティ			0	R/W
		D2	RSRX2	SIF Ch.2受信バッファフル			0	R/W
		D1	R8TU5	8bitタイマ5アンダーフロー			0	R/W
		D0	R8TU4	8bitタイマ4アンダーフロー			0	R/W
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAイネーブル レジスタ	004029C (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	DESTX3	SIF Ch.3送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0	R/W
		D4	DESRX3	SIF Ch.3受信バッファフル			0	R/W
		D3	DESTX2	SIF Ch.2送信バッファエンプティ			0	R/W
		D2	DESRX2	SIF Ch.2受信バッファフル			0	R/W
		D1	DE8TU5	8bitタイマ5アンダーフロー			0	R/W
		D0	DE8TU4	8bitタイマ4アンダーフロー			0	R/W
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	CFP16	P16機能選択	1 EXCL5 #DMAEND1	0 P16	0	R/W
		D5	CFP15	P15機能選択	1 EXCL4 #DMAEND0	0 P15	0	R/W
		D4	CFP14	P14機能選択	1 FOSC1	0 P14	0	R/W
		D3	CFP13	P13機能選択	1 EXCL3 T8UF3	0 P13	0	R/W
		D2	CFP12	P12機能選択	1 EXCL2 T8UF2	0 P12	0	R/W
		D1	CFP11	P11機能選択	1 EXCL1 T8UF1	0 P11	0	R/W
		D0	CFP10	P10機能選択	1 EXCL0 T8UF0	0 P10	0	R/W
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	IOC16	P16 I/O制御	1 出力	0 入力	0	R/W
		D5	IOC15	P15 I/O制御			0	R/W
		D4	IOC14	P14 I/O制御			0	R/W
		D3	IOC13	P13 I/O制御			0	R/W
		D2	IOC12	P12 I/O制御			0	R/W
		D1	IOC11	P11 I/O制御			0	R/W
		D0	IOC10	P10 I/O制御			0	R/W

III-4 周辺回路ブロック: 8ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈	
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3 0	P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3 0	P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2 0	P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2 0	P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD 0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS 0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO 0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK 0	P12, etc. P14, etc.	1	R/W	

CFP13~CFP10: P1[3:0]端子機能選択 (D[3:0]/0x402D4<P1機能選択レジスタ>)

タイマアンダーフロー信号の外部出力に使用する端子を選択します。

"1"書き込み: アンダーフロー信号出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

タイマアンダーフロー信号の外部出力に使用する端子を、CFP10~CFP13に"1"を書き込んでP10~P13の中から選択します。P10~P13はそれぞれタイマ0~タイマ3に対応します。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

コールドスタート時、CFPは"0"(入出力兼用ポート)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC13~IOC10: P1[3:0]ポートI/O制御 (D[3:0]/0x402D6<P1 I/O制御レジスタ>)

P10~P13の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

• データ書き込み時

"1"書き込み: 出力モード

"0"書き込み: 入力モード

P10~P13の中でタイマアンダーフロー出力に使用する端子に対応するI/O制御ビットには、"1"を書き込んで出力モードに設定してください。CFP1xが"1"に設定されている場合でも入力モードに設定されていると、その端子は16ビットプログラマブルタイマのイベントカウンタ入力端子として機能し、タイマアンダーフロー信号の出力は行えません。

• データ読み出し時

"1"読み出し: I/O制御信号(出力)

"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFEXレジスタおよびCFP1xレジスタによって入出力兼用ポート機能を選択した場合、読み出し値はIOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX1: P10, P11, P13ポート機能拡張 (D1/0x402DF<ポート機能拡張レジスタ>)

CFEX0: P12, P14ポート機能拡張 (D0/0x402DF<ポート機能拡張レジスタ>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子

"0"書き込み: 入出力兼用ポート端子/周辺回路用端子

読み出し: 可能

CFEX[1:0]に"1"を書き込むと、P13~P10ポートがデバッグ用信号出力ポートとして機能します。CFEX[1:0]が"0"の場合はCFP1[3:0]が有効となり、その設定に従ってP13~P10ポートが入出力兼用ポート端子または8ビットタイマアンダーフロー出力端子となります。

コールドスタート時、CFEX[1:0]は"1"(拡張機能端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RLD07–RLD00: タイマ0リロードデータ (D[7:0]/0x40161<8bitタイマ0リロードデータレジスタ>)
 RLD17–RLD10: タイマ1リロードデータ (D[7:0]/0x40165<8bitタイマ1リロードデータレジスタ>)
 RLD27–RLD20: タイマ2リロードデータ (D[7:0]/0x40169<8bitタイマ2リロードデータレジスタ>)
 RLD37–RLD30: タイマ3リロードデータ (D[7:0]/0x4016D<8bitタイマ3リロードデータレジスタ>)
 RLD47–RLD40: タイマ4リロードデータ (D[7:0]/0x40175<8bitタイマ4リロードデータレジスタ>)
 RLD57–RLD50: タイマ5リロードデータ (D[7:0]/0x40179<8bitタイマ5リロードデータレジスタ>)

各タイマのカウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPSETxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、RLDは初期化されません。

PTD07–PTD00: タイマ0カウントデータ (D[7:0]/0x40162<8bitタイマ0カウントデータレジスタ>)
 PTD17–PTD10: タイマ1カウントデータ (D[7:0]/0x40166<8bitタイマ1カウントデータレジスタ>)
 PTD27–PTD20: タイマ2カウントデータ (D[7:0]/0x4016A<8bitタイマ2カウントデータレジスタ>)
 PTD37–PTD30: タイマ3カウントデータ (D[7:0]/0x4016E<8bitタイマ3カウントデータレジスタ>)
 PTD47–PTD40: タイマ4カウントデータ (D[7:0]/0x40176<8bitタイマ4カウントデータレジスタ>)
 PTD57–PTD50: タイマ5カウントデータ (D[7:0]/0x4017A<8bitタイマ5カウントデータレジスタ>)

8ビットプログラマブルタイマのデータが読み出せます。

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。

イニシャルリセット時、PTDは初期化されません。

PSET0: タイマ0プリセット (D1/0x40160<8bitタイマ0制御レジスタ>)
 PSET1: タイマ1プリセット (D1/0x40164<8bitタイマ1制御レジスタ>)
 PSET2: タイマ2プリセット (D1/0x40168<8bitタイマ2制御レジスタ>)
 PSET3: タイマ3プリセット (D1/0x4016C<8bitタイマ3制御レジスタ>)
 PSET4: タイマ4プリセット (D1/0x40174<8bitタイマ4制御レジスタ>)
 PSET5: タイマ5プリセット (D1/0x40178<8bitタイマ5制御レジスタ>)

リロードデータをカウンタにプリセットします。

"1"書き込み: プリセット

"0"書き込み: 無効

読み出し: 常時"0"

PSETxに"1"を書き込むことによって、RLDxのリロードデータがタイマxのカウンタにプリセットされます。カウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

PSETxは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: タイマ0 RUN/STOP制御 (D0/0x40160<8bitタイマ0制御レジスタ>)
 PTRUN1: タイマ1 RUN/STOP制御 (D0/0x40164<8bitタイマ1制御レジスタ>)
 PTRUN2: タイマ2 RUN/STOP制御 (D0/0x40168<8bitタイマ2制御レジスタ>)
 PTRUN3: タイマ3 RUN/STOP制御 (D0/0x4016C<8bitタイマ3制御レジスタ>)
 PTRUN4: タイマ4 RUN/STOP制御 (D0/0x40174<8bitタイマ4制御レジスタ>)
 PTRUN5: タイマ5 RUN/STOP制御 (D0/0x40178<8bitタイマ5制御レジスタ>)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

各タイマのカウンタはPTRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、PTRUNxは"0"(STOP)に設定されます。

PTOUT0: タイマ0クロック出力制御 (D2/0x40160<8bitタイマ0制御レジスタ>)
PTOUT1: タイマ1クロック出力制御 (D2/0x40164<8bitタイマ1制御レジスタ>)
PTOUT2: タイマ2クロック出力制御 (D2/0x40168<8bitタイマ2制御レジスタ>)
PTOUT3: タイマ3クロック出力制御 (D2/0x4016C<8bitタイマ3制御レジスタ>)
PTOUT4: タイマ4クロック出力制御 (D2/0x40174<8bitタイマ4制御レジスタ>)
PTOUT5: タイマ5クロック出力制御 (D2/0x40178<8bitタイマ5制御レジスタ>)

各タイマのクロック出力を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PTOUTxに"1"を書き込むとタイマxのアンダーフロー信号がCFP1xで設定した外部出力端子から出力されます (タイマ0～タイマ3のみ)。タイマ2～タイマ5をシリアルインタフェースのクロック源として使用している場合は、アンダーフロー信号を1/2に分周して生成したクロックがシリアルインタフェースの対応するチャンネルに出力されます。

"0"を書き込むとクロックの出力は停止し、外部出力は"0"に、内部クロック出力は"1"に固定されます。

イニシャルリセット時、PTOUTは"0"(OFF)に設定されます。

P8TM2–P8TM0: 8bitタイマ割り込みレベル

(D[2:0]/0x40269<8bitタイマ, シリアル/F Ch.0割り込みプライオリティレジスタ>)

8ビットプログラマブルタイマ割り込みの優先レベルを0～7の範囲で設定します。

イニシャルリセット時、P8TMレジスタは不定となります。

E8TU0: タイマ0割り込みイネーブル (D0/0x40275<8bitタイマ0–3割り込みイネーブルレジスタ>)
E8TU1: タイマ1割り込みイネーブル (D1/0x40275<8bitタイマ0–3割り込みイネーブルレジスタ>)
E8TU2: タイマ2割り込みイネーブル (D2/0x40275<8bitタイマ0–3割り込みイネーブルレジスタ>)
E8TU3: タイマ3割り込みイネーブル (D3/0x40275<8bitタイマ0–3割り込みイネーブルレジスタ>)
E8TU4: タイマ4割り込みイネーブル (D0/0x40278<8bitタイマ4/5割り込みイネーブルレジスタ>)
E8TU5: タイマ5割り込みイネーブル (D1/0x40278<8bitタイマ4/5割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

E8TUxは8ビットタイマの割り込みを制御する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、E8TUxはそれぞれ"0"(割り込み禁止)に設定されます。

F8TU0: タイマ0割り込み要因フラグ (D0/0x40285<8bitタイマ0-3割り込み要因フラグレジスタ>)
F8TU1: タイマ1割り込み要因フラグ (D1/0x40285<8bitタイマ0-3割り込み要因フラグレジスタ>)
F8TU2: タイマ2割り込み要因フラグ (D2/0x40285<8bitタイマ0-3割り込み要因フラグレジスタ>)
F8TU3: タイマ3割り込み要因フラグ (D3/0x40285<8bitタイマ0-3割り込み要因フラグレジスタ>)
F8TU4: タイマ4割り込み要因フラグ (D0/0x40288<8bitタイマ4/5割り込み要因フラグレジスタ>)
F8TU5: タイマ5割り込み要因フラグ (D1/0x40288<8bitタイマ4/5割り込み要因フラグレジスタ>)

8ビットプログラマブルタイマ割り込みの発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

F8TUxは各タイマの割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
 2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
 3. PSRのIEビットが"1"(割り込み許可)に設定されている。
 4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。
- なお、8ビットプログラマブルタイマの割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、F8TUxは不定となりますので、必ずソフトウェアでリセットしてください。

R8TU0: タイマ0 IDMAリクエスト

(D2/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

R8TU1: タイマ1 IDMAリクエスト

(D3/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

R8TU2: タイマ2 IDMAリクエスト

(D4/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

R8TU3: タイマ3 IDMAリクエスト

(D5/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

R8TU4: タイマ4 IDMAリクエスト

(D0/0x4029B<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAリクエストレジスタ>)

R8TU5: タイマ5 IDMAリクエスト

(D1/0x4029B<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

R8TUXは8ビットタイマのIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、R8TUXはそれぞれ"0"(割り込み要求)に設定されます。

DE8TU0: タイマ0 IDMAイネーブル

(D2/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DE8TU1: タイマ1 IDMAイネーブル

(D3/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DE8TU2: タイマ2 IDMAイネーブル

(D4/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DE8TU3: タイマ3 IDMAイネーブル

(D5/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DE8TU4: タイマ4 IDMAイネーブル

(D0/0x4029C<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAイネーブルレジスタ>)

DE8TU5: タイマ5 IDMAイネーブル

(D1/0x4029C<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DE8TUXは8ビットタイマのIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、DE8TUXはそれぞれ"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) 8ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。
- (2) 8ビットプログラマブルタイマの入力クロックにCPU動作クロックよりも高速なクロックは使用しないでください。
- (3) 入力クロックの設定は、8ビットプログラマブルタイマが停止中に行ってください。
- (4) イニシャルリセット後、アンダーフロー割り込みおよびタイマ出力は不定のため、割り込み要因フラグをリセットする前あるいはタイマ出力をONする前に8ビットプログラマブルタイマの初期値をプリセットしてください。ただし、タイマ出力がOFFの場合、タイマ出力は"0"に固定されます。
- (5) イニシャルリセット後、割り込み要因フラグ(F8TUX)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(F8TUX)をリセットしてください。

このページはブランクです。

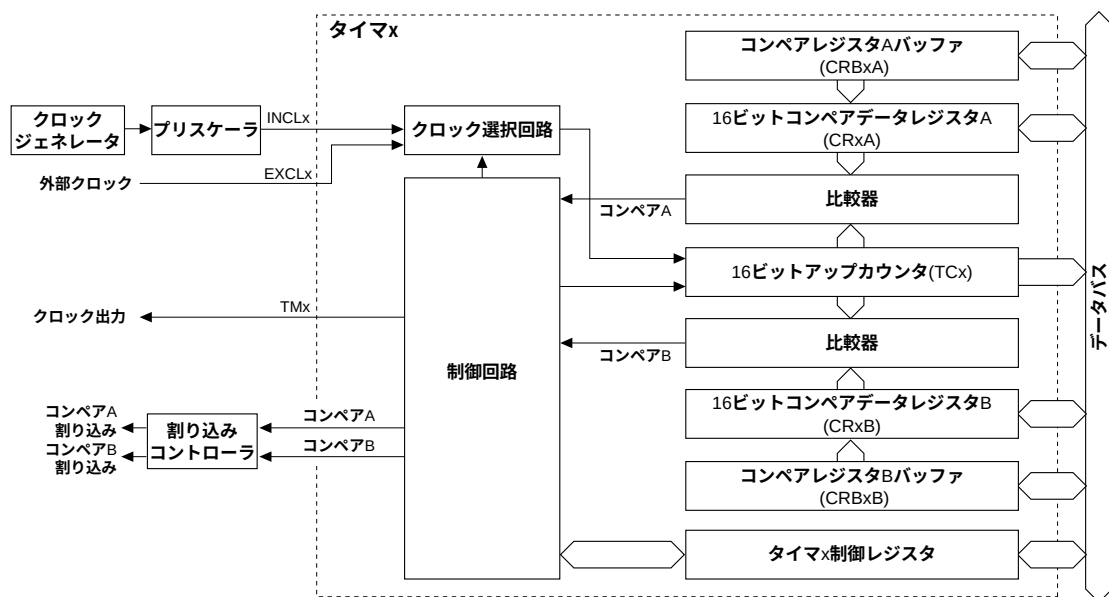
III-5 16ビットプログラマブルタイマ

16ビットプログラマブルタイマの構成

C33周辺回路ブロックは16ビットのプログラマブルタイマを6系統(タイマ0～タイマ5)内蔵しています。各タイマは、入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

注: 以降、6系統のタイマの名称をタイマxとして説明します(x=0~5)。16ビットプログラマブルタイマ0~5の機能および制御レジスタの構成は同一です。制御ビット名にはタイマ番号を示す"0"~"5"が付きますが、説明は全タイマに共通なため、必要な部分以外はタイマ番号を"x"に置き換えて記述します。

図III.5.1に16ビットプログラマブルタイマの1チャンネルの構成を示します。



図III.5.1 16ビットプログラマブルタイマの構成

各タイマには、16ビットのアップカウンタと、2つの16ビットコンペアデータレジスタ(CRxA、CRxB)とそのバッファ(CRBxA、CRBxB)が設けられています。

16ビットカウンタはソフトウェアで"0"にリセット可能で、プリスケアラの出力クロックまたは入出力兼用ポート端子からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタです。コンペアデータレジスタは、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETxビットへの"1"書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。

カウンタ値が各コンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

16ビットプログラマブルタイマの入出力端子

表III.5.1に16ビットプログラマブルタイマで使用する入出力端子を示します。

表III.5.1 16ビットプログラマブルタイマの入出力端子

端子名	I/O	機 能	機能選択ビット
DST0(P10/EXCL0/T8UF0)	I/O	DST0出力(Ex)/入出力兼用ポート/16ビットタイマ0 イベントカウンタ入力(I)/8ビットタイマ0出力(O)	CFP10(P1機能選択レジスタ0x402D4・D0) CFEX1(ポート機能拡張レジスタ0x402DF・D1)
DST1(P11/EXCL1/T8UF1)	I/O	DST1出力(Ex)/入出力兼用ポート/16ビットタイマ1 イベントカウンタ入力(I)/8ビットタイマ1出力(O)	CFP11(P1機能選択レジスタ0x402D4・D1) CFEX1(ポート機能拡張レジスタ0x402DF・D1)
DST2(P12/EXCL2/T8UF2)	I/O	DST2出力(Ex)/入出力兼用ポート/16ビットタイマ2 イベントカウンタ入力(I)/8ビットタイマ2出力(O)	CFP12(P1機能選択レジスタ0x402D4・D2) CFEX0(ポート機能拡張レジスタ0x402DF・D0)
DPC0(P13/EXCL3/T8UF3)	I/O	DPC0出力(Ex)/入出力兼用ポート/16ビットタイマ3 イベントカウンタ入力(I)/8ビットタイマ3出力(O)	CFP13(P1機能選択レジスタ0x402D4・D3) CFEX1(ポート機能拡張レジスタ0x402DF・D1)
P15(EXCL4/#DMAEND0)	I/O	入出力兼用ポート/16ビットタイマ4イベントカウン タ入力(I)/高速DMA Ch.0終了信号出力(O)	CFP15(P1機能選択レジスタ0x402D4・D5)
P16(EXCL5/#DMAEND1)	I/O	入出力兼用ポート/16ビットタイマ5イベントカウン タ入力(I)/高速DMA Ch.1終了信号出力(O)	CFP16(P1機能選択レジスタ0x402D4・D6)
P22(TM0)	I/O	入出力兼用ポート/16ビットタイマ0出力	CFP22(P2機能選択レジスタ0x402D8・D2)
P23(TM1)	I/O	入出力兼用ポート/16ビットタイマ1出力	CFP23(P2機能選択レジスタ0x402D8・D3)
P24(TM2)	I/O	入出力兼用ポート/16ビットタイマ2出力	CFP24(P2機能選択レジスタ0x402D8・D4)
P25(TM3)	I/O	入出力兼用ポート/16ビットタイマ3出力	CFP25(P2機能選択レジスタ0x402D8・D5)
P26(TM4)	I/O	入出力兼用ポート/16ビットタイマ4出力	CFP26(P2機能選択レジスタ0x402D8・D6)
P27(TM5)	I/O	入出力兼用ポート/16ビットタイマ5出力	CFP27(P2機能選択レジスタ0x402D8・D7)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

■TMx(16ビットプログラマブルタイマ出力端子)

タイマxで生成したクロックを出力します。

■EXCLx(イベントカウンタ入力端子)

タイマxをイベントカウンタとして使用する場合に、外部からのカウントパルスを入力します。

■16ビットプログラマブルタイマ入出力端子の設定方法

16ビットプログラマブルタイマで使用するクロック出力端子はすべて入出力兼用ポート端子と共用されています。

コールドスタート時は入出力兼用ポート端子P2x(機能選択ビットCFP2x="0")として設定され、ハイインピーダンスとなります。16ビットプログラマブルタイマのクロック出力機能を使用する場合は使用するタイマに合わせ、対応する端子の機能選択レジスタCFP2xに"1"を書き込んでください。

ホットスタート時は、リセット前の状態を保持します。

イベントカウンタ入力端子はすべて入出力兼用ポート端子と共用されています。

コールドスタート時はすべてデバッグ用信号出力(ポート機能拡張ビットCFEX[1:0]="1")として設定されます。イベントカウンタ機能を使用する場合は、使用するタイマに合わせ、対応する端子の機能選択ビットCFP1xに"1"を、ポート機能拡張ビットCFEX[1:0]に"0"を書き込んでください。

なお、これらの端子は8ビットプログラマブルタイマ等の出力端子とも兼用で、入出力端子が入力モードの場合にイベントカウンタ入力となります。このため、入出力兼用ポートP1 I/O制御レジスタ(0x402D6)のIOC1x(D[6:0])を"0"に設定しておくことが必要です。コールドスタート時は入力モードに設定され、ホットスタート時は、リセット前の状態を保持します。

16ビットプログラマブルタイマの用途

16ビットプログラマブルタイマのアップカウンタは、ソフトウェアで設定したコンペアデータにより周期的にコンペアマッチ信号を出力します。これらの信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。また、これらの信号から生成したクロックをIC外部に出力することもできます。

■CPUへの割り込み要求/IDMA起動要求

各タイマのコンペアマッチ(カウンタとコンペアデータの一致)を割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。また、この割り込み要因によってIDMAまたはHSDMAを起動することも可能です。

■IC外部へのクロック出力

コンペアマッチ信号により生成したクロックをIC外部に出力することができます。コンペアB信号でクロックの周期が決まり、コンペアA信号でデューティ比が決まります。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

■A/D変換開始トリガ

A/D変換器は、A/D変換を開始するトリガ方式を4種類から選択できるようになっています。その1つが、16ビットプログラマブルタイマ0のコンペアB信号によるものです。これにより、プログラマブルな周期でA/D変換を行うことができます。

この機能を使用するには、A/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])に"01"を書き込み、トリガに16ビットプログラマブルタイマ0を選択します。

■ウォッチドッグタイマ

16ビットプログラマブルタイマ0は、CPUの暴走を監視するウォッチドッグタイマとして使用することができます。この場合、タイマ0のコンペアB信号はCPUに対するNMI要求信号となります。

この機能を使用するには、ウォッチドッグタイマイネーブルレジスタ(0x40171)のEWD(D1)に"1"を書き込み、NMIを有効に設定します。ウォッチドッグタイマの制御については、"ウォッチドッグタイマ"を参照してください。

16ビットプログラマブルタイマの制御と動作

16ビットプログラマブルタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。

1. 入力・出力端子の設定(必要な場合のみ)
2. 入力クロックの設定
3. コンペアデータレジスタ/バッファの選択
4. クロック出力条件の設定(信号極性、ファインモード)
5. コンペアデータの設定
6. 割り込み/DMAの設定

クロック出力条件、割り込み/DMAの設定については"クロック出力の制御"、"16ビットプログラマブルタイマ割り込みとDMA"を参照してください。

■入力・出力端子の設定

出力端子の設定は、16ビットプログラマブルタイマの出力クロックをIC外部に出力させる場合に必要です。入力端子の設定は、16ビットプログラマブルタイマを外部クロックをカウントするイベントカウンタとして使用する場合に必要です。

設定方法は"16ビットプログラマブルタイマの入出力端子"を参照してください。

■入力クロックの設定

各タイマのカウントクロックには内部クロックと外部クロックが選択できます。

選択は以下の制御ビットで行います。

タイマ0入力クロック選択: CKSL0(16bitタイマ0制御レジスタ0x48186・D3)

タイマ1入力クロック選択: CKSL1(16bitタイマ1制御レジスタ0x4818E・D3)

タイマ2入力クロック選択: CKSL2(16bitタイマ2制御レジスタ0x48196・D3)

タイマ3入力クロック選択: CKSL3(16bitタイマ3制御レジスタ0x4819E・D3)

タイマ4入力クロック選択: CKSL4(16bitタイマ4制御レジスタ0x481A6・D3)

タイマ5入力クロック選択: CKSL5(16bitタイマ5制御レジスタ0x481AE・D3)

CKSLxに"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。

イニシャルリセット時は内部クロックに設定されます。

外部クロックは、入力端子を設定したタイマで使用可能です。

・内部クロック

内部クロックを選択すると、そのタイマはプリスケアラの出力クロックにより動作します。プリスケアラの分周比は、タイマごとに選択可能です。

表III.5.2 内部クロックの制御

タイマ	制御レジスタ	分周比選択ビット	クロック制御ビット
タイマ0	16bitタイマ0クロックコントロールレジスタ(0x40147)	P16TS0[2:0] (D[2:0])	P16TON0 (D3)
タイマ1	16bitタイマ1クロックコントロールレジスタ(0x40148)	P16TS1[2:0] (D[2:0])	P16TON1 (D3)
タイマ2	16bitタイマ2クロックコントロールレジスタ(0x40149)	P16TS2[2:0] (D[2:0])	P16TON2 (D3)
タイマ3	16bitタイマ3クロックコントロールレジスタ(0x4014A)	P16TS3[2:0] (D[2:0])	P16TON3 (D3)
タイマ4	16bitタイマ4クロックコントロールレジスタ(0x4014B)	P16TS4[2:0] (D[2:0])	P16TON4 (D3)
タイマ5	16bitタイマ5クロックコントロールレジスタ(0x4014C)	P16TS5[2:0] (D[2:0])	P16TON5 (D3)

分周比は表III.5.3に示す8種類から選択できます。

表III.5.3 入力クロックの選択

P16TS = 7	P16TS = 6	P16TS = 5	P16TS = 4	P16TS = 3	P16TS = 2	P16TS = 1	P16TS = 0
fpSCIN/4096	fpSCIN/1024	fpSCIN/256	fpSCIN/64	fpSCIN/16	fpSCIN/4	fpSCIN/2	fpSCIN/1

fpSCIN: プリスケアラ入力クロック周波数

選択したクロックはP16TONxに"1"を書き込むことにより、プリスケアラから16ビットプログラマブルタイマに出力されます。

注: ・ 内部クロックを使用する場合、16ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。("プリスケアラ"参照)

- ・ 入力クロックの設定は、16ビットプログラマブルタイマが停止中に行ってください。

・外部クロック

外部よりパルスを入力し、イベントカウンタとして使用する場合、イベント周期はCPU動作クロックの2倍以上としてください。

■コンペアデータレジスタ/バッファの選択

コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタで、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETxビットへの"1"書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについて、以下の制御ビットで設定します。

タイマ0コンペアレジスタバッファイネーブル: SELCRB0 (16bitタイマ0制御レジスタ0x48186・D5)

タイマ1コンペアレジスタバッファイネーブル: SELCRB1 (16bitタイマ1制御レジスタ0x4818E・D5)

タイマ2コンペアレジスタバッファイネーブル: SELCRB2 (16bitタイマ2制御レジスタ0x48196・D5)

タイマ3コンペアレジスタバッファイネーブル: SELCRB3 (16bitタイマ3制御レジスタ0x4819E・D5)

タイマ4コンペアレジスタバッファイネーブル: SELCRB4 (16bitタイマ4制御レジスタ0x481A6・D5)

タイマ5コンペアレジスタバッファイネーブル: SELCRB5 (16bitタイマ5制御レジスタ0x481AE・D5)

SELCRBxに"1"を書き込むとコンペアレジスタバッファ、"0"を書き込むとコンペアデータレジスタが選択されます。

イニシャルリセット時は、コンペアデータレジスタが選択されます。

■コンペアデータの設定

プログラマブルタイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この値は以下のレジスタで設定します。

タイマ0コンペアデータA: CR0A[15:0] (16bitタイマ0コンペアデータA設定レジスタ0x48180・D[F:0])

タイマ0コンペアデータB: CR0B[15:0] (16bitタイマ0コンペアデータB設定レジスタ0x48182・D[F:0])

タイマ1コンペアデータA: CR1A[15:0] (16bitタイマ1コンペアデータA設定レジスタ0x48188・D[F:0])

タイマ1コンペアデータB: CR1B[15:0] (16bitタイマ1コンペアデータB設定レジスタ0x4818A・D[F:0])

タイマ2コンペアデータA: CR2A[15:0] (16bitタイマ2コンペアデータA設定レジスタ0x48190・D[F:0])

タイマ2コンペアデータB: CR2B[15:0] (16bitタイマ2コンペアデータB設定レジスタ0x48192・D[F:0])

タイマ3コンペアデータA: CR3A[15:0] (16bitタイマ3コンペアデータA設定レジスタ0x48198・D[F:0])

タイマ3コンペアデータB: CR3B[15:0] (16bitタイマ3コンペアデータB設定レジスタ0x4819A・D[F:0])

タイマ4コンペアデータA: CR4A[15:0] (16bitタイマ4コンペアデータA設定レジスタ0x481A0・D[F:0])

タイマ4コンペアデータB: CR4B[15:0] (16bitタイマ4コンペアデータB設定レジスタ0x481A2・D[F:0])

タイマ5コンペアデータA: CR5A[15:0] (16bitタイマ5コンペアデータA設定レジスタ0x481A8・D[F:0])

タイマ5コンペアデータB: CR5B[15:0] (16bitタイマ5コンペアデータB設定レジスタ0x481AA・D[F:0])

SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタが直接読み出し/書き込み可能です。

SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。

イニシャルリセット時、コンペアデータレジスタ/バッファは初期化されません。

プログラマブルタイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TMx信号)出力を制御します。

コンペアデータBはカウンタのリセット周期も決定します。

■カウンタのリセット

各タイマのアップカウンタは、PRESETxビットによってリセットできます。

タイマ0リセット: PRESET0(16bitタイマ0制御レジスタ0x48186・D1)

タイマ1リセット: PRESET1(16bitタイマ1制御レジスタ0x4818E・D1)

タイマ2リセット: PRESET2(16bitタイマ2制御レジスタ0x48196・D1)

タイマ3リセット: PRESET3(16bitタイマ3制御レジスタ0x4819E・D1)

タイマ4リセット: PRESET4(16bitタイマ4制御レジスタ0x481A6・D1)

タイマ5リセット: PRESET5(16bitタイマ5制御レジスタ0x481AE・D1)

通常は、カウントアップを開始する前に、このビットに"1"を書き込みカウンタをリセットします。カウント開始後は、カウンタがコンペアデータBに一致するとハードウェアによってリセットされます。

■タイマのRUN/STOP制御

各タイマにはそれぞれ、RUN/STOPを制御するビットPRUNxが設けられています。

タイマ0 RUN/STOP制御: PRUN0(16bitタイマ0制御レジスタ0x48186・D0)

タイマ1 RUN/STOP制御: PRUN1(16bitタイマ1制御レジスタ0x4818E・D0)

タイマ2 RUN/STOP制御: PRUN2(16bitタイマ2制御レジスタ0x48196・D0)

タイマ3 RUN/STOP制御: PRUN3(16bitタイマ3制御レジスタ0x4819E・D0)

タイマ4 RUN/STOP制御: PRUN4(16bitタイマ4制御レジスタ0x481A6・D0)

タイマ5 RUN/STOP制御: PRUN5(16bitタイマ5制御レジスタ0x481AE・D0)

タイマはPRUNxに"1"を書き込むことによってカウントを開始します。PRUNxに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。

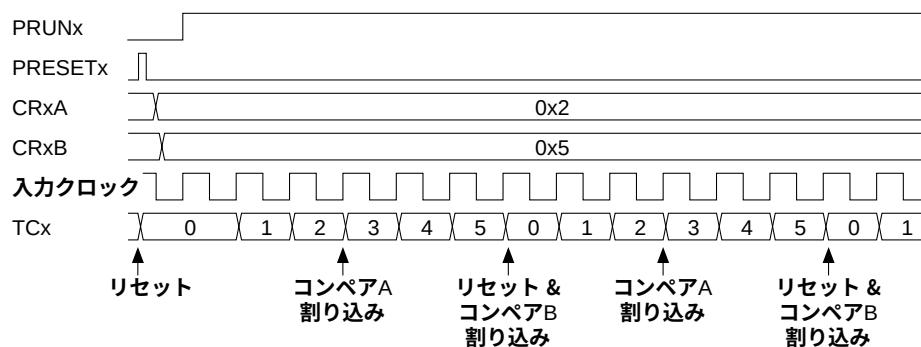
このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウント中にカウンタがコンペアデータレジスタAの設定値と一致すると、コンペアA割り込みを発生します。

また、カウンタがコンペアデータレジスタBの設定値と一致すると、コンペアB割り込みが発生するとともに、カウンタをリセットします。SELCRBxが"1"に設定されている場合は、コンペアレジスタバッファに設定してある値がコンペアデータレジスタにロードされます。

どちらの割り込みが発生した場合もカウント動作はそのまま続きます。コンペアB割り込みの場合はカウンタ値"0"からのカウントとなります。

RUN/STOP制御ビット(PRUNx)とタイマリセットビット(PRESETx)に同時に"1"を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。



図III.5.2 カウンタの基本動作タイミング

■カウンタデータの読み出し

カウンタデータはそれぞれ以下のアドレスから任意のタイミングで読み出しが可能です。

タイマ0カウンタデータ: TC0[15:0](16bitタイマ0カウンタデータレジスタ0x48184)

タイマ1カウンタデータ: TC1[15:0](16bitタイマ1カウンタデータレジスタ0x4818C)

タイマ2カウンタデータ: TC2[15:0](16bitタイマ2カウンタデータレジスタ0x48194)

タイマ3カウンタデータ: TC3[15:0](16bitタイマ3カウンタデータレジスタ0x4819C)

タイマ4カウンタデータ: TC4[15:0](16bitタイマ4カウンタデータレジスタ0x481A4)

タイマ5カウンタデータ: TC5[15:0](16bitタイマ5カウンタデータレジスタ0x481AC)

クロック出力の制御

各タイマは、コンペアマッチ信号によってTMx信号を発生させることができます。

■出力信号の極性選択

デフォルトでは、アクティブHigh(ノーマルLow)の出力信号が生成されます。この論理をOUTINVxビットで反転させることができます。OUTINVxに"1"を書き込むと、タイマはアクティブLow(ノーマルHigh)の信号を生成します。

タイマ0出力反転: OUTINV0(16bitタイマ0制御レジスタ0x48186・D4)

タイマ1出力反転: OUTINV1(16bitタイマ1制御レジスタ0x4818E・D4)

タイマ2出力反転: OUTINV2(16bitタイマ2制御レジスタ0x48196・D4)

タイマ3出力反転: OUTINV3(16bitタイマ3制御レジスタ0x4819E・D4)

タイマ4出力反転: OUTINV4(16bitタイマ4制御レジスタ0x481A6・D4)

タイマ5出力反転: OUTINV5(16bitタイマ5制御レジスタ0x481AE・D4)

出力波形については図III.5.3を参照してください。

■出力端子の設定

ここで発生したTMx信号は、クロック出力端子(表III.5.1参照)から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

コールドスタート時、出力に使用する端子は入出力兼用ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。

端子機能をタイマ出力に切り換えると、OUTINVxが"0"の場合は端子がLowレベル、OUTINVxが"1"の場合はHighレベルになります。

■クロック出力の開始

TMxクロックを出力するには、クロック出力制御ビットPTMxに"1"を書き込みます。PTMxに"0"を書き込むと、出力はOUTINVxの設定に従ったOFFレベル(OUTINVx="0": Low、OUTINVx="1": High)となります。

タイマ0クロック出力制御: PTM0(16bitタイマ0制御レジスタ0x48186・D2)

タイマ1クロック出力制御: PTM1(16bitタイマ1制御レジスタ0x4818E・D2)

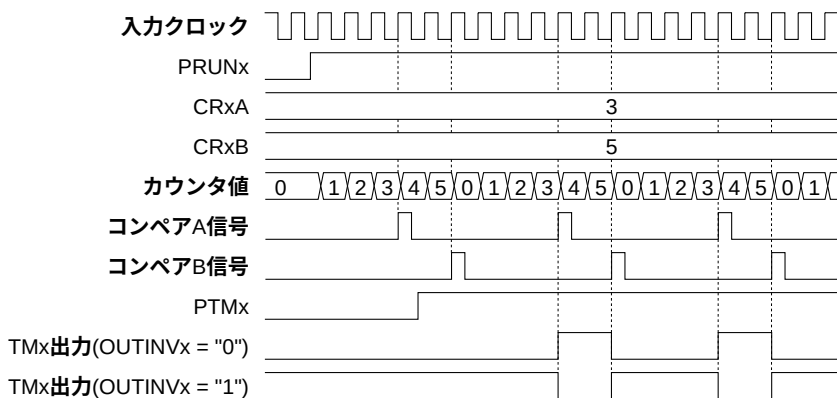
タイマ2クロック出力制御: PTM2(16bitタイマ2制御レジスタ0x48196・D2)

タイマ3クロック出力制御: PTM3(16bitタイマ3制御レジスタ0x4819E・D2)

タイマ4クロック出力制御: PTM4(16bitタイマ4制御レジスタ0x481A6・D2)

タイマ5クロック出力制御: PTM5(16bitタイマ5制御レジスタ0x481AE・D2)

図III.5.3に出力波形を示します。



図III.5.3 16ビットプログラマブルタイマの出力波形

OUTINVx = "0" (アクティブHigh)の場合

タイマは、カウンタがCRxAレジスタに設定したコンペアデータAに一致するまでLowレベルを出力します。カウンタがコンペアデータAの次の値になると、出力端子はHighレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxBレジスタに設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にコンペアB割り込みも発生します。

OUTINVx = "1" (アクティブLow)の場合

タイマは、カウンタがCRxAレジスタに設定したコンペアデータAに一致するまでHighレベルを出力します。カウンタがコンペアデータAの次の値になると、出力端子はLowレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxBレジスタに設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にコンペアB割り込みも発生します。

■クロック出力ファインモードの設定

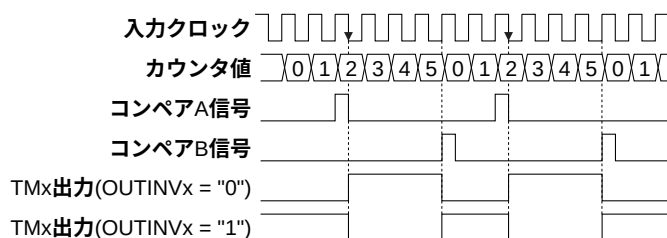
デフォルト(イニシャルリセット時)では、CRxA[15:0]とTCx[15:0]が一致した場合、入力クロックの立ち上がりでクロック出力が変化します。

ファインモードのクロック出力は、CRxA[15:1]とTCx[14:0]が一致した場合に、CRxA[0]の値に従って変化します。

CRxA[0]が"0"の場合: 入力クロックの立ち上がりで変化

CRxA[0]が"1"の場合: 半周期遅れの入力クロックの立ち下がりで変化

例) CRxA = 3, CRxB = 5



図III.5.4 ファインモードのクロック出力

このように、ファインモードでは入力クロックの半周期さざみで出力デューティを調節することができます。ただし、CRxA = 0の場合は、入力クロックの1周期幅のパルスが出力されます(デフォルトの場合と同様)。ファインモードでのCRxB最大値は $2^{15} - 1 = 32,767$ 、CRxAの設定範囲は $0 \sim (2 \times \text{CRxB} - 1)$ となります。

ファインモードは以下のレジスタで設定します。

タイマ0ファインモード選択: SELFM0(16bitタイマ0制御レジスタ0x48186•D6)

タイマ1ファインモード選択: SELFM1(16bitタイマ1制御レジスタ0x4818E•D6)

タイマ2ファインモード選択: SELFM2(16bitタイマ2制御レジスタ0x48196•D6)

タイマ3ファインモード選択: SELFM3(16bitタイマ3制御レジスタ0x4819E•D6)

タイマ4ファインモード選択: SELFM4(16bitタイマ4制御レジスタ0x481A6•D6)

タイマ5ファインモード選択: SELFM5(16bitタイマ5制御レジスタ0x481AE•D6)

SELFMxに"1"を書き込むと、ファインモードが設定されます。イニシャルリセット時はファインモードがディセーブル状態となります。

■注意事項

- 1) コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。割り込み機能のみを使用する場合は、A = Bでも問題ありません。割り込みは正常に発生します。
- 2) タイマ出力を使用する場合、コンペアデータは $A \geq 0$ 、 $B \geq 1$ を設定してください。最小設定はA = 0、B = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- 3) コンペアデータを $A > B$ に設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。

16ビットプログラマブルタイマ割り込みとDMA

16ビットプログラマブルタイマには、各タイマのコンペアマッチAとBによって割り込みを発生させる機能があります。割り込みの発生タイミングは、図III.5.2に示したとおりです。

■割り込みコントローラの制御レジスタ

各タイマごとに用意されている割り込みコントローラの制御レジスタを、表III.5.4に示します。

表III.5.4 割り込みコントローラの制御レジスタ

割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
タイマ0コンペアA	F16TC0 (D3/0x40282)	E16TC0 (D3/0x40272)	P16T0[2:0] (D[2:0]/0x40266)
タイマ0コンペアB	F16TU0 (D2/0x40282)	E16TU0 (D2/0x40272)	
タイマ1コンペアA	F16TC1 (D7/0x40282)	E16TC1 (D7/0x40272)	P16T1[2:0] (D[6:4]/0x40266)
タイマ1コンペアB	F16TU1 (D6/0x40282)	E16TU1 (D6/0x40272)	
タイマ2コンペアA	F16TC2 (D3/0x40283)	E16TC2 (D3/0x40273)	P16T2[2:0] (D[2:0]/0x40267)
タイマ2コンペアB	F16TU2 (D2/0x40283)	E16TU2 (D2/0x40273)	
タイマ3コンペアA	F16TC3 (D7/0x40283)	E16TC3 (D7/0x40273)	P16T3[2:0] (D[6:4]/0x40267)
タイマ3コンペアB	F16TU3 (D6/0x40283)	E16TU3 (D6/0x40273)	
タイマ4コンペアA	F16TC4 (D3/0x40284)	E16TC4 (D3/0x40274)	P16T4[2:0] (D[2:0]/0x40268)
タイマ4コンペアB	F16TU4 (D2/0x40284)	E16TU4 (D2/0x40274)	
タイマ5コンペアA	F16TC5 (D7/0x40284)	E16TC5 (D7/0x40274)	P16T5[2:0] (D[6:4]/0x40268)
タイマ5コンペアB	F16TU5 (D6/0x40284)	E16TU5 (D6/0x40274)	

タイマにコンペアマッチが発生すると、対応する割り込み要因フラグが"1"にセットされます。

その割り込み要因フラグに対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、そのタイマによる割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、タイマのコンペアマッチによって"1"にセットされます。

割り込みプライオリティレジスタは、タイマ割り込みの優先レベル(0～7)を設定します。優先順位はタイマ番号の小さい方が高く、また、割り込みの種類としてはコンペアB割り込みがコンペアA割り込みに優先します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■インテリジェントDMA

タイマの割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリ間のDMA転送を周期的に行うことができます。

各割り込み要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.	IDMA Ch.
タイマ0コンペアB: 0x07	タイマ0コンペアA: 0x08
タイマ1コンペアB: 0x09	タイマ1コンペアA: 0x0A
タイマ2コンペアB: 0x0B	タイマ2コンペアA: 0x0C
タイマ3コンペアB: 0x0D	タイマ3コンペアA: 0x0E
タイマ4コンペアB: 0x0F	タイマ4コンペアA: 0x10
タイマ5コンペアB: 0x11	タイマ5コンペアA: 0x12

IDMAを起動させるには、表III.5.5に示すIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.5.5 IDMA転送の制御ビット

割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
タイマ0コンペアA	R16TC0(D7/0x40290)	DE16TC0(D7/0x40294)
タイマ0コンペアB	R16TU0(D6/0x40290)	DE16TU0(D6/0x40294)
タイマ1コンペアA	R16TC1(D1/0x40291)	DE16TC1(D1/0x40295)
タイマ1コンペアB	R16TU1(D0/0x40291)	DE16TU1(D0/0x40295)
タイマ2コンペアA	R16TC2(D3/0x40291)	DE16TC2(D3/0x40295)
タイマ2コンペアB	R16TU2(D2/0x40291)	DE16TU2(D2/0x40295)
タイマ3コンペアA	R16TC3(D5/0x40291)	DE16TC3(D5/0x40295)
タイマ3コンペアB	R16TU3(D4/0x40291)	DE16TU3(D4/0x40295)
タイマ4コンペアA	R16TC4(D7/0x40291)	DE16TC4(D7/0x40295)
タイマ4コンペアB	R16TU4(D6/0x40291)	DE16TU4(D6/0x40295)
タイマ5コンペアA	R16TC5(D1/0x40292)	DE16TC5(D1/0x40296)
タイマ5コンペアB	R16TU5(D0/0x40292)	DE16TU5(D0/0x40296)

IDMAリクエストビットおよびIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送と転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■高速DMA

各タイマの割り込み要因は、高速DMA(HSDMA)を起動することもできます。各タイマに対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表III.5.6 HSDMAトリガ設定ビット

割り込み要因	HSDMA Ch.	トリガ設定ビット
タイマ0コンペアA	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[3:0]) = "0111"
タイマ0コンペアB	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[3:0]) = "0110"
タイマ1コンペアA	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[7:4]) = "0111"
タイマ1コンペアB	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[7:4]) = "0110"
タイマ2コンペアA	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[3:0]) = "0111"
タイマ2コンペアB	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[3:0]) = "0110"
タイマ3コンペアA	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[7:4]) = "0111"
タイマ3コンペアB	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[7:4]) = "0110"
タイマ4コンペアA	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[3:0]) = "1001"
	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[3:0]) = "1001"
タイマ4コンペアB	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[3:0]) = "1000"
	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[3:0]) = "1000"
タイマ5コンペアA	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[7:4]) = "1001"
	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[7:4]) = "1001"
タイマ5コンペアB	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[7:4]) = "1000"
	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[7:4]) = "1000"

HSDMAを起動させるには、トリガ設定ビットで割り込み要因を選択しておきます。また、HSDMA側の転送条件等の設定も必要です。

HSDMAのトリガ要因に16ビットタイマを選択すると、その割り込み要因の発生でHSDMAが起動します。HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

■トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

タイマ0コンペアB割り込み: 0x0C00078

タイマ0コンペアA割り込み: 0x0C0007C

タイマ1コンペアB割り込み: 0x0C00088

タイマ1コンペアA割り込み: 0x0C0008C

タイマ2コンペアB割り込み: 0x0C00098

タイマ2コンペアA割り込み: 0x0C0009C

タイマ3コンペアB割り込み: 0x0C000A8

タイマ3コンペアA割り込み: 0x0C000AC

タイマ4コンペアB割り込み: 0x0C000B8

タイマ4コンペアA割り込み: 0x0C000BC

タイマ5コンペアB割り込み: 0x0C000C8

タイマ5コンペアA割り込み: 0x0C000CC

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

16ビットプログラマブルタイマのI/Oメモリ

表III.5.7に16ビットプログラマブルタイマの制御ビットを示します。

クロックを設定するプリスケアラのI/Oメモリについては、"プリスケアラ"を参照してください。

表III.5.7 16ビットプログラマブルタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T12	16bitタイマ1	0~7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T02	16bitタイマ0	0~7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T32	16bitタイマ3	0~7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T22	16bitタイマ2	0~7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T52	16bitタイマ5	0~7	X	R/W	
		D5	P16T51	割り込みレベル		X		
		D4	P16T50			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T42	16bitタイマ4	0~7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可	0 禁止	0 R/W	読み出し時: 0
		D6	E16TU1	16bitタイマ1コンペアB			0 R/W	
		D5-4	–	reserved	–	–	–	
		D3	E16TC0	16bitタイマ0コンペアA	1 許可	0 禁止	0 R/W	
		D2	E16TU0	16bitタイマ0コンペアB			0 R/W	
		D1-0	–	reserved	–	–	–	
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可	0 禁止	0 R/W	読み出し時: 0
		D6	E16TU3	16bitタイマ3コンペアB			0 R/W	
		D5-4	–	reserved	–	–	–	
		D3	E16TC2	16bitタイマ2コンペアA	1 許可	0 禁止	0 R/W	
		D2	E16TU2	16bitタイマ2コンペアB			0 R/W	
		D1-0	–	reserved	–	–	–	
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可	0 禁止	0 R/W	読み出し時: 0
		D6	E16TU5	16bitタイマ5コンペアB			0 R/W	
		D5-4	–	reserved	–	–	–	
		D3	E16TC4	16bitタイマ4コンペアA	1 許可	0 禁止	0 R/W	
		D2	E16TU4	16bitタイマ4コンペアB			0 R/W	
		D1-0	–	reserved	–	–	–	
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1 要因発生	0 要因なし	X R/W	読み出し時: 0
		D6	F16TU1	16bitタイマ1コンペアB			X R/W	
		D5-4	–	reserved	–	–	–	
		D3	F16TC0	16bitタイマ0コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU0	16bitタイマ0コンペアB			X R/W	
		D1-0	–	reserved	–	–	–	
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1 要因発生	0 要因なし	X R/W	読み出し時: 0
		D6	F16TU3	16bitタイマ3コンペアB			X R/W	
		D5-4	–	reserved	–	–	–	
		D3	F16TC2	16bitタイマ2コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU2	16bitタイマ2コンペアB			X R/W	
		D1-0	–	reserved	–	–	–	
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1 要因発生	0 要因なし	X R/W	読み出し時: 0
		D6	F16TU5	16bitタイマ5コンペアB			X R/W	
		D5-4	–	reserved	–	–	–	
		D3	F16TC4	16bitタイマ4コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU4	16bitタイマ4コンペアB			X R/W	
		D1-0	–	reserved	–	–	–	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈			
ポート入力0-3、 高速DMA Ch.0/1、 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W		
		D6	R16TU0	16bitタイマ0コンペアB					0	R/W		
		D5	RHDM1	高速DMA Ch.1					0	R/W		
		D4	RHDM0	高速DMA Ch.0					0	R/W		
		D3	RP3	ポート入力3					0	R/W		
		D2	RP2	ポート入力2					0	R/W		
		D1	RP1	ポート入力1					0	R/W		
		D0	RP0	ポート入力0					0	R/W		
16bitタイマ1-4 IDMAリクエスト レジスタ	0040291 (B)	D7	R16TC4	16bitタイマ4コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W		
		D6	R16TU4	16bitタイマ4コンペアB					0	R/W		
		D5	R16TC3	16bitタイマ3コンペアA					0	R/W		
		D4	R16TU3	16bitタイマ3コンペアB					0	R/W		
		D3	R16TC2	16bitタイマ2コンペアA					0	R/W		
		D2	R16TU2	16bitタイマ2コンペアB					0	R/W		
		D1	R16TC1	16bitタイマ1コンペアA					0	R/W		
		D0	R16TU1	16bitタイマ1コンペアB					0	R/W		
16bitタイマ5、 8bitタイマ0-3、 シリアルI/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み 要求	0	R/W		
		D6	RSRX0	SIF Ch.0受信バッファフル					0	R/W		
		D5	R8TU3	8bitタイマ3アンダーフロー					0	R/W		
		D4	R8TU2	8bitタイマ2アンダーフロー					0	R/W		
		D3	R8TU1	8bitタイマ1アンダーフロー					0	R/W		
		D2	R8TU0	8bitタイマ0アンダーフロー					0	R/W		
		D1	R16TC5	16bitタイマ5コンペアA					0	R/W		
		D0	R16TU5	16bitタイマ5コンペアB					0	R/W		
ポート入力0-3、 高速DMA Ch.0/1、 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W		
		D6	DE16TU0	16bitタイマ0コンペアB					0	R/W		
		D5	DEHDM1	高速DMA Ch.1					0	R/W		
		D4	DEHDM0	高速DMA Ch.0					0	R/W		
		D3	DEP3	ポート入力3					0	R/W		
		D2	DEP2	ポート入力2					0	R/W		
		D1	DEP1	ポート入力1					0	R/W		
		D0	DEP0	ポート入力0					0	R/W		
16bitタイマ1-4 IDMAイネーブル レジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W		
		D6	DE16TU4	16bitタイマ4コンペアB					0	R/W		
		D5	DE16TC3	16bitタイマ3コンペアA					0	R/W		
		D4	DE16TU3	16bitタイマ3コンペアB					0	R/W		
		D3	DE16TC2	16bitタイマ2コンペアA					0	R/W		
		D2	DE16TU2	16bitタイマ2コンペアB					0	R/W		
		D1	DE16TC1	16bitタイマ1コンペアA					0	R/W		
		D0	DE16TU1	16bitタイマ1コンペアB					0	R/W		
16bitタイマ5、 高速DMA Ch.0-3、 シリアルI/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1	IDMA許可	0	IDMA禁止	0	R/W		
		D6	DESRX0	SIF Ch.0受信バッファフル					0	R/W		
		D5	DE8TU3	8bitタイマ3アンダーフロー					0	R/W		
		D4	DE8TU2	8bitタイマ2アンダーフロー					0	R/W		
		D3	DE8TU1	8bitタイマ1アンダーフロー					0	R/W		
		D2	DE8TU0	8bitタイマ0アンダーフロー					0	R/W		
		D1	DE16TC5	16bitタイマ5コンペアA					0	R/W		
		D0	DE16TU5	16bitタイマ5コンペアB					0	R/W		
P1機能選択 レジスタ	00402D4 (B)	D7	-	reserved	-		-	-	読み出し時: 0	拡張機能(0x402D7)		
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0		R/W	
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0		R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0		R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0		R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0		R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0		R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0		R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	-	reserved	-		-	-	読み出し時: 0	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)		
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0		R/W	
		D5	IOC15	P15 I/O制御					0		R/W	
		D4	IOC14	P14 I/O制御					0		R/W	
		D3	IOC13	P13 I/O制御					0		R/W	
		D2	IOC12	P12 I/O制御					0		R/W	
		D1	IOC11	P11 I/O制御					0		R/W	
		D0	IOC10	P10 I/O制御					0		R/W	

III-5 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
P2機能選択 レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	拡張機能(0x402DB)
		D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W	
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W	
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W	
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W	拡張機能(0x402DF)
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W	
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W	
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W	
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	
16bitタイマ0 コンペアデータ A設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0 コンペアデータA CR0A15 = MSB CR0A0 = LSB	0～65535			X	R/W		
		DE	CR0A14					X			
		DD	CR0A13					X			
		DC	CR0A12					X			
		DB	CR0A11					X			
		DA	CR0A10					X			
		D9	CR0A9					X			
		D8	CR0A8					X			
		D7	CR0A7					X			
		D6	CR0A6					X			
		D5	CR0A5					X			
		D4	CR0A4					X			
		D3	CR0A3					X			
		D2	CR0A2					X			
		D1	CR0A1					X			
		D0	CR0A0					X			
16bitタイマ0 コンペアデータ B設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0 コンペアデータB CR0B15 = MSB CR0B0 = LSB	0～65535			X	R/W		
		DE	CR0B14					X			
		DD	CR0B13					X			
		DC	CR0B12					X			
		DB	CR0B11					X			
		DA	CR0B10					X			
		D9	CR0B9					X			
		D8	CR0B8					X			
		D7	CR0B7					X			
		D6	CR0B6					X			
		D5	CR0B5					X			
		D4	CR0B4					X			
		D3	CR0B3					X			
		D2	CR0B2					X			
		D1	CR0B1					X			
		D0	CR0B0					X			
16bitタイマ0 カウンタデータ レジスタ	0048184 (HW)	DF	TC015	16bitタイマ0 カウンタデータ TC015 = MSB TC00 = LSB	0～65535			X	R		
		DE	TC014					X			
		DD	TC013					X			
		DC	TC012					X			
		DB	TC011					X			
		DA	TC010					X			
		D9	TC09					X			
		D8	TC08					X			
		D7	TC07					X			
		D6	TC06					X			
		D5	TC05					X			
		D4	TC04					X			
		D3	TC03					X			
		D2	TC02					X			
		D1	TC01					X			
		D0	TC00					X			
16bitタイマ0 制御レジスタ	0048186 (B)	D7	–	reserved	–			0	–	読み出し時: 0	
		D6	SELFMO	16bitタイマ0ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELRCR0	16bitタイマ0コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM0	16bitタイマ0クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET0	16bitタイマ0リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1	Run	0	Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ1 コンペアデータ A設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1	0~65535	X	R/W	
		DE	CR1A14	コンペアデータA		X		
		DD	CR1A13	CR1A15 = MSB		X		
		DC	CR1A12	CR1A0 = LSB		X		
		DB	CR1A11			X		
		DA	CR1A10			X		
		D9	CR1A9			X		
		D8	CR1A8			X		
		D7	CR1A7			X		
		D6	CR1A6			X		
		D5	CR1A5			X		
		D4	CR1A4			X		
		D3	CR1A3			X		
		D2	CR1A2			X		
		D1	CR1A1			X		
		D0	CR1A0			X		
16bitタイマ1 コンペアデータ B設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1	0~65535	X	R/W	
		DE	CR1B14	コンペアデータB		X		
		DD	CR1B13	CR1B15 = MSB		X		
		DC	CR1B12	CR1B0 = LSB		X		
		DB	CR1B11			X		
		DA	CR1B10			X		
		D9	CR1B9			X		
		D8	CR1B8			X		
		D7	CR1B7			X		
		D6	CR1B6			X		
		D5	CR1B5			X		
		D4	CR1B4			X		
		D3	CR1B3			X		
		D2	CR1B2			X		
		D1	CR1B1			X		
		D0	CR1B0			X		
16bitタイマ1 カウンタデータ レジスタ	004818C (HW)	DF	TC115	16bitタイマ1	0~65535	X	R	
		DE	TC114	カウンタデータ		X		
		DD	TC113	TC115 = MSB		X		
		DC	TC112	TC10 = LSB		X		
		DB	TC111			X		
		DA	TC110			X		
		D9	TC19			X		
		D8	TC18			X		
		D7	TC17			X		
		D6	TC16			X		
		D5	TC15			X		
		D4	TC14			X		
		D3	TC13			X		
		D2	TC12			X		
		D1	TC11			X		
		D0	TC10			X		
16bitタイマ1 制御レジスタ	004818E (B)	D7	-	reserved	-	0	-	読み出し時: 0
		D6	SELFM1	16bitタイマ1ファインモード選択	1 ファイン	0 通常	0	R/W
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1 許可	0 禁止	0	R/W
		D4	OUTINV1	16bitタイマ1出力反転	1 反転	0 通常	0	R/W
		D3	CKSL1	16bitタイマ1入力クロック選択	1 外部クロック	0 内部クロック	0	R/W
		D2	PTM1	16bitタイマ1クロック出力制御	1 On	0 Off	0	R/W
		D1	PRESET1	16bitタイマ1リセット	1 リセット	0 無効	0	W 読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1 Run	0 Stop	0	R/W
16bitタイマ2 コンペアデータ A設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2	0~65535	X	R/W	
		DE	CR2A14	コンペアデータA		X		
		DD	CR2A13	CR2A15 = MSB		X		
		DC	CR2A12	CR2A0 = LSB		X		
		DB	CR2A11			X		
		DA	CR2A10			X		
		D9	CR2A9			X		
		D8	CR2A8			X		
		D7	CR2A7			X		
		D6	CR2A6			X		
		D5	CR2A5			X		
		D4	CR2A4			X		
		D3	CR2A3			X		
		D2	CR2A2			X		
		D1	CR2A1			X		
		D0	CR2A0			X		

III-5 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ2 コンパレータ B設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2	0～65535	X	R/W	
		DE	CR2B14	コンパレータB		X		
		DD	CR2B13	CR2B15 = MSB		X		
		DC	CR2B12	CR2B0 = LSB		X		
		DB	CR2B11			X		
		DA	CR2B10			X		
		D9	CR2B9			X		
		D8	CR2B8			X		
		D7	CR2B7			X		
		D6	CR2B6			X		
		D5	CR2B5			X		
		D4	CR2B4			X		
		D3	CR2B3			X		
		D2	CR2B2			X		
		D1	CR2B1			X		
		D0	CR2B0			X		
16bitタイマ2 カウンタデータ レジスタ	0048194 (HW)	DF	TC215	16bitタイマ2	0～65535	X	R	
		DE	TC214	カウンタデータ		X		
		DD	TC213	TC215 = MSB		X		
		DC	TC212	TC20 = LSB		X		
		DB	TC211			X		
		DA	TC210			X		
		D9	TC29			X		
		D8	TC28			X		
		D7	TC27			X		
		D6	TC26			X		
		D5	TC25			X		
		D4	TC24			X		
		D3	TC23			X		
		D2	TC22			X		
		D1	TC21			X		
		D0	TC20			X		
16bitタイマ2 制御レジスタ	0048196 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM2	16bitタイマ2ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB2	16bitタイマ2コンパバツファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV2	16bitタイマ2出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL2	16bitタイマ2入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM2	16bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET2	16bitタイマ2リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN2	16bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
16bitタイマ3 コンパレータ A設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3	0～65535	X	R/W	
		DE	CR3A14	コンパレータA		X		
		DD	CR3A13	CR3A15 = MSB		X		
		DC	CR3A12	CR3A0 = LSB		X		
		DB	CR3A11			X		
		DA	CR3A10			X		
		D9	CR3A9			X		
		D8	CR3A8			X		
		D7	CR3A7			X		
		D6	CR3A6			X		
		D5	CR3A5			X		
		D4	CR3A4			X		
		D3	CR3A3			X		
		D2	CR3A2			X		
		D1	CR3A1			X		
		D0	CR3A0			X		
16bitタイマ3 コンパレータ B設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3	0～65535	X	R/W	
		DE	CR3B14	コンパレータB		X		
		DD	CR3B13	CR3B15 = MSB		X		
		DC	CR3B12	CR3B0 = LSB		X		
		DB	CR3B11			X		
		DA	CR3B10			X		
		D9	CR3B9			X		
		D8	CR3B8			X		
		D7	CR3B7			X		
		D6	CR3B6			X		
		D5	CR3B5			X		
		D4	CR3B4			X		
		D3	CR3B3			X		
		D2	CR3B2			X		
		D1	CR3B1			X		
		D0	CR3B0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ3 カウンタデータ レジスタ	004819C (HW)	DF	TC315	16bitタイマ3 カウンタデータ TC315 = MSB TC30 = LSB	0~65535	X	R	
		DE	TC314			X		
		DD	TC313			X		
		DC	TC312			X		
		DB	TC311			X		
		DA	TC310			X		
		D9	TC39			X		
		D8	TC38			X		
		D7	TC37			X		
		D6	TC36			X		
		D5	TC35			X		
		D4	TC34			X		
		D3	TC33			X		
		D2	TC32			X		
		D1	TC31			X		
		D0	TC30			X		
16bitタイマ3 制御レジスタ	004819E (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELFM3	16bitタイマ3ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB3	16bitタイマ3コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV3	16bitタイマ3出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL3	16bitタイマ3入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM3	16bitタイマ3クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET3	16bitタイマ3リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1 Run 0 Stop	0	R/W	
16bitタイマ4 コンペアデータ A設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4 コンペアデータA CR4A15 = MSB CR4A0 = LSB	0~65535	X	R/W	
		DE	CR4A14			X		
		DD	CR4A13			X		
		DC	CR4A12			X		
		DB	CR4A11			X		
		DA	CR4A10			X		
		D9	CR4A9			X		
		D8	CR4A8			X		
		D7	CR4A7			X		
		D6	CR4A6			X		
		D5	CR4A5			X		
		D4	CR4A4			X		
		D3	CR4A3			X		
		D2	CR4A2			X		
		D1	CR4A1			X		
		D0	CR4A0			X		
16bitタイマ4 コンペアデータ B設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4 コンペアデータB CR4B15 = MSB CR4B0 = LSB	0~65535	X	R/W	
		DE	CR4B14			X		
		DD	CR4B13			X		
		DC	CR4B12			X		
		DB	CR4B11			X		
		DA	CR4B10			X		
		D9	CR4B9			X		
		D8	CR4B8			X		
		D7	CR4B7			X		
		D6	CR4B6			X		
		D5	CR4B5			X		
		D4	CR4B4			X		
		D3	CR4B3			X		
		D2	CR4B2			X		
		D1	CR4B1			X		
		D0	CR4B0			X		
16bitタイマ4 カウンタデータ レジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4 カウンタデータ TC415 = MSB TC40 = LSB	0~65535	X	R	
		DE	TC414			X		
		DD	TC413			X		
		DC	TC412			X		
		DB	TC411			X		
		DA	TC410			X		
		D9	TC49			X		
		D8	TC48			X		
		D7	TC47			X		
		D6	TC46			X		
		D5	TC45			X		
		D4	TC44			X		
		D3	TC43			X		
		D2	TC42			X		
		D1	TC41			X		
		D0	TC40			X		

III-5 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELF4	16bitタイマ4ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV4	16bitタイマ4出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL4	16bitタイマ4入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM4	16bitタイマ4クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET4	16bitタイマ4リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1 Run 0 Stop	0	R/W	
16bitタイマ5 コンペアデータ A設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5	0~65535	X	R/W	
		DE	CR5A14	コンペアデータA		X		
		DD	CR5A13	CR5A15 = MSB		X		
		DC	CR5A12	CR5A0 = LSB		X		
		DB	CR5A11			X		
		DA	CR5A10			X		
		D9	CR5A9			X		
		D8	CR5A8			X		
		D7	CR5A7			X		
		D6	CR5A6			X		
		D5	CR5A5			X		
		D4	CR5A4			X		
		D3	CR5A3			X		
		D2	CR5A2			X		
		D1	CR5A1			X		
		D0	CR5A0			X		
16bitタイマ5 コンペアデータ B設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5	0~65535	X	R/W	
		DE	CR5B14	コンペアデータB		X		
		DD	CR5B13	CR5B15 = MSB		X		
		DC	CR5B12	CR5B0 = LSB		X		
		DB	CR5B11			X		
		DA	CR5B10			X		
		D9	CR5B9			X		
		D8	CR5B8			X		
		D7	CR5B7			X		
		D6	CR5B6			X		
		D5	CR5B5			X		
		D4	CR5B4			X		
		D3	CR5B3			X		
		D2	CR5B2			X		
		D1	CR5B1			X		
		D0	CR5B0			X		
16bitタイマ5 カウンタデータ レジスタ	00481AC (HW)	DF	TC515	16bitタイマ5	0~65535	X	R	
		DE	TC514	カウンタデータ		X		
		DD	TC513	TC515 = MSB		X		
		DC	TC512	TC50 = LSB		X		
		DB	TC511			X		
		DA	TC510			X		
		D9	TC509			X		
		D8	TC508			X		
		D7	TC507			X		
		D6	TC506			X		
		D5	TC505			X		
		D4	TC504			X		
		D3	TC503			X		
		D2	TC502			X		
		D1	TC501			X		
		D0	TC500			X		
16bitタイマ5 制御レジスタ	00481AE (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELF5	16bitタイマ5ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL5	16bitタイマ5入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1 Run 0 Stop	0	R/W	

CFP16–CFP10: P1[6:0]端子機能選択(D[6:0]/0x402D4<P1機能選択レジスタ>)

外部カウントクロックの入力に使用する端子を選択します。

- "1"書き込み: クロック入力端子
- "0"書き込み: 入出力兼用ポート端子
- 読み出し: 可能

イベントカウンタとして使用するタイマのクロック入力端子を、CFP10～CFP16に"1"を書き込んでP10～P16の中から選択します。各端子とタイマの対応については、表III.5.1を参照してください。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

16ビットプログラマブルタイマのクロック入力に使用するためにはこの選択に加え、その端子をI/O制御レジスタで入力モードに設定することも必要です。

コールドスタート時、CFP1xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFP27–CFP22: P2[7:2]端子機能選択(D[7:2]/0x402D8<P2機能選択レジスタ>)

クロック出力に使用する端子を選択します。

- "1"書き込み: クロック出力端子
- "0"書き込み: 入出力兼用ポート端子
- 読み出し: 可能

タイマが生成したクロックの外部出力に使用する端子を、CFP22～CFP27に"1"を書き込んでP22～P27の中から選択します。各端子とタイマの対応については、表III.5.1を参照してください。"0"を書き込んだ場合、その端子は出力ポート端子となります。

コールドスタート時、CFP2xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX1: P10, P11, P13ポート機能拡張(D1/0x402DF<ポート機能拡張レジスタ>)**CFEX0: P12, P14ポート機能拡張(D0/0x402DF<ポート機能拡張レジスタ>)**

入出力兼用ポート端子の拡張機能を選択します。

- "1"書き込み: 拡張機能端子
- "0"書き込み: 入出力兼用ポート端子/周辺回路用端子
- 読み出し: 可能

CFEX[1:0]に"1"を書き込むと、P14～P10ポートがデバッグ用信号出力ポートとして機能します。CFEX[1:0]が"0"の場合はCFP1[4:0]が有効となり、その設定に従ってP14～P10ポートが入出力兼用ポート端子または外部クロック入力端子となります。

コールドスタート時、CFEX[1:0]は"1"(拡張機能端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC16–IOC10: P1[6:0]ポートI/O制御(D[6:0]/0x402D6<P1 I/O制御レジスタ>)

P10～P16の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

- データ書き込み時
 - "1"書き込み: 出力モード
 - "0"書き込み: 入力モード

P10～P16の中で外部クロック入力端子に対応するI/O制御ビットには、"0"を書き込んで入力モードに設定してください。CFP1xが"1"に設定されている場合でも出力モードに設定されていると、その端子は8ビットプログラマブルタイマなどの出力端子となり、外部クロックは入力できません。

- データ読み出し時
 - "1"読み出し: I/O制御信号(出力)
 - "0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFEXレジスタおよびCFP1xレジスタによって入出力兼用ポート機能を選択した場合、読み出し値はIOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SELFM0: タイマ0ファインモード選択 (D6/0x48186<16bitタイマ0制御レジスタ>)
SELFM1: タイマ1ファインモード選択 (D6/0x4818E<16bitタイマ1制御レジスタ>)
SELFM2: タイマ2ファインモード選択 (D6/0x48196<16bitタイマ2制御レジスタ>)
SELFM3: タイマ3ファインモード選択 (D6/0x4819E<16bitタイマ3制御レジスタ>)
SELFM4: タイマ4ファインモード選択 (D6/0x481A6<16bitタイマ4制御レジスタ>)
SELFM5: タイマ5ファインモード選択 (D6/0x481AE<16bitタイマ5制御レジスタ>)

クロック出力をファインモードに設定します。

"1"書き込み: ファインモード

"0"書き込み: 通常出力

読み出し: 可能

SELFMxに"1"を書き込むとクロック出力がファインモードに設定され、出力クロックのデューティを入力クロックの半周期単位で調整可能となります。

SELFMxが"0"に設定されている場合は、通常のクロック出力が行われます。

イニシャルリセット時、SELFMxは"0"(通常出力)に設定されます。

SELCRB0: タイマ0コンペアレジスタバッファイネーブル (D5/0x48186<16bitタイマ0制御レジスタ>)
SELCRB1: タイマ1コンペアレジスタバッファイネーブル (D5/0x4818E<16bitタイマ1制御レジスタ>)
SELCRB2: タイマ2コンペアレジスタバッファイネーブル (D5/0x48196<16bitタイマ2制御レジスタ>)
SELCRB3: タイマ3コンペアレジスタバッファイネーブル (D5/0x4819E<16bitタイマ3制御レジスタ>)
SELCRB4: タイマ4コンペアレジスタバッファイネーブル (D5/0x481A6<16bitタイマ4制御レジスタ>)
SELCRB5: タイマ5コンペアレジスタバッファイネーブル (D5/0x481AE<16bitタイマ5制御レジスタ>)

コンペアレジスタバッファへの書き込みを許可/禁止します。

"1"書き込み: 許可

"0"書き込み: 禁止

読み出し: 可能

SELCRBxに"1"を書き込むと、コンペアデータの書き込み/読み出しがコンペアレジスタバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはコンペアB信号によってリセットされた時点でコンペアデータレジスタにロードされます。

SELCRBxが"0"に設定されている場合、コンペアデータの書き込み/読み出しがコンペアデータレジスタに対して直接行われます。

イニシャルリセット時、SELCRBxは"0"(禁止)に設定されます。

OUTINV0: タイマ0出力反転 (D4/0x48186<16bitタイマ0制御レジスタ>)
OUTINV1: タイマ1出力反転 (D4/0x4818E<16bitタイマ1制御レジスタ>)
OUTINV2: タイマ2出力反転 (D4/0x48196<16bitタイマ2制御レジスタ>)
OUTINV3: タイマ3出力反転 (D4/0x4819E<16bitタイマ3制御レジスタ>)
OUTINV4: タイマ4出力反転 (D4/0x481A6<16bitタイマ4制御レジスタ>)
OUTINV5: タイマ5出力反転 (D4/0x481AE<16bitタイマ5制御レジスタ>)

タイマ出力信号の極性を選択します。

"1"書き込み: 反転(アクティブLow)

"0"書き込み: 通常(アクティブHigh)

読み出し: 可能

OUTINVxに"1"を書き込むと、TMx出力用にアクティブLowの信号(OFFレベル = High)が生成されます。

OUTINVxが"0"の場合は、アクティブHighの信号(OFFレベル = Low)が生成されます。

イニシャルリセット時、OUTINVxは"0"(アクティブHigh)に設定されます。

CKSL0: タイマ0入力クロック選択 (D3/0x48186<16bitタイマ0制御レジスタ>)
 CKSL1: タイマ1入力クロック選択 (D3/0x4818E<16bitタイマ1制御レジスタ>)
 CKSL2: タイマ2入力クロック選択 (D3/0x48196<16bitタイマ2制御レジスタ>)
 CKSL3: タイマ3入力クロック選択 (D3/0x4819E<16bitタイマ3制御レジスタ>)
 CKSL4: タイマ4入力クロック選択 (D3/0x481A6<16bitタイマ4制御レジスタ>)
 CKSL5: タイマ5入力クロック選択 (D3/0x481AE<16bitタイマ5制御レジスタ>)

各タイマの入力クロックを選択します。

"1"書き込み: 外部クロック

"0"書き込み: 内部クロック

読み出し: 可能

CKSLxに"0"を書き込んだ場合は、タイマの入力クロックとして内部クロック(プリスケアラ出力)が選択されます。"1"を書き込んだ場合は外部クロック(クロック入力端子から入力するクロック)が選択され、イベントカウンタとして機能します。この場合、CFP1xでクロック入力端子を設定しておく必要があります。イニシャルリセット時、CKSLxは"0"(内部クロック)に設定されます。

PTM0: タイマ0クロック出力制御 (D2/0x48186<16bitタイマ0制御レジスタ>)
 PTM1: タイマ1クロック出力制御 (D2/0x4818E<16bitタイマ1制御レジスタ>)
 PTM2: タイマ2クロック出力制御 (D2/0x48196<16bitタイマ2制御レジスタ>)
 PTM3: タイマ3クロック出力制御 (D2/0x4819E<16bitタイマ3制御レジスタ>)
 PTM4: タイマ4クロック出力制御 (D2/0x481A6<16bitタイマ4制御レジスタ>)
 PTM5: タイマ5クロック出力制御 (D2/0x481AE<16bitタイマ5制御レジスタ>)

TMx信号(タイマ出力クロック)の出力制御を行います。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PTMxはTMx信号の出力制御ビットで、"1"を設定するとTMx信号がクロック出力端子から出力されます。"0"を設定すると出力はOUTINVxの設定に従ったOFFレベル(OUTINVx="0": Low、OUTINVx="1": High)となります。この場合、CFP2xでクロック出力端子を設定しておく必要があります。イニシャルリセット時、PTMxは"0"(OFF)に設定されます。

PRESET0: タイマ0リセット (D1/0x48186<16bitタイマ0制御レジスタ>)
 PRESET1: タイマ1リセット (D1/0x4818E<16bitタイマ1制御レジスタ>)
 PRESET2: タイマ2リセット (D1/0x48196<16bitタイマ2制御レジスタ>)
 PRESET3: タイマ3リセット (D1/0x4819E<16bitタイマ3制御レジスタ>)
 PRESET4: タイマ4リセット (D1/0x481A6<16bitタイマ4制御レジスタ>)
 PRESET5: タイマ5リセット (D1/0x481AE<16bitタイマ5制御レジスタ>)

カウンタをリセットします。

"1"書き込み: リセット

"0"書き込み: 無効

読み出し: 常時"0"

PRESETxに"1"を書き込むことによって、タイマxのカウンタがリセットされます。

"0"の書き込みはノーオペレーションとなります。

PRESETxは書き込み専用のため、読み出しは常時"0"となります。

PRUN0: タイマ0 RUN/STOP制御 (D0/0x48186<16bitタイマ0制御レジスタ>)
PRUN1: タイマ1 RUN/STOP制御 (D0/0x4818E<16bitタイマ1制御レジスタ>)
PRUN2: タイマ2 RUN/STOP制御 (D0/0x48196<16bitタイマ2制御レジスタ>)
PRUN3: タイマ3 RUN/STOP制御 (D0/0x4819E<16bitタイマ3制御レジスタ>)
PRUN4: タイマ4 RUN/STOP制御 (D0/0x481A6<16bitタイマ4制御レジスタ>)
PRUN5: タイマ5 RUN/STOP制御 (D0/0x481AE<16bitタイマ5制御レジスタ>)

タイマのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

各タイマはPRUNxに"1"を書き込むことによってカウントアップを開始し、"0"の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。イニシャルリセット時、PRUNxは"0"(STOP)に設定されます。

CR0A15–CR0A0: タイマ0コンペアデータA (D[F:0]/0x48180<16bitタイマ0コンペアデータA設定レジスタ>)
CR1A15–CR1A0: タイマ1コンペアデータA (D[F:0]/0x48188<16bitタイマ1コンペアデータA設定レジスタ>)
CR2A15–CR2A0: タイマ2コンペアデータA (D[F:0]/0x48190<16bitタイマ2コンペアデータA設定レジスタ>)
CR3A15–CR3A0: タイマ3コンペアデータA (D[F:0]/0x48198<16bitタイマ3コンペアデータA設定レジスタ>)
CR4A15–CR4A0: タイマ4コンペアデータA (D[F:0]/0x481A0<16bitタイマ4コンペアデータA設定レジスタ>)
CR5A15–CR5A0: タイマ5コンペアデータA (D[F:0]/0x481A8<16bitタイマ5コンペアデータA設定レジスタ>)

各タイマのコンペアデータAを設定します。

SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタAが直接読み出し/書き込み可能です。

SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファAに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタAにロードされます。

設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアA割り込みが発生します。同時に、タイマ出力波形が変化します(OUTINVx="0"の場合は立ち上がり、OUTINVx="1"の場合は立ち下がります)。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

イニシャルリセット時、CRxAは初期化されません。

CR0B15–CR0B0: タイマ0コンペアデータB (D[F:0]/0x48182<16bitタイマ0コンペアデータB設定レジスタ>)
CR1B15–CR1B0: タイマ1コンペアデータB (D[F:0]/0x4818A<16bitタイマ1コンペアデータB設定レジスタ>)
CR2B15–CR2B0: タイマ2コンペアデータB (D[F:0]/0x48192<16bitタイマ2コンペアデータB設定レジスタ>)
CR3B15–CR3B0: タイマ3コンペアデータB (D[F:0]/0x4819A<16bitタイマ3コンペアデータB設定レジスタ>)
CR4B15–CR4B0: タイマ4コンペアデータB (D[F:0]/0x481A2<16bitタイマ4コンペアデータB設定レジスタ>)
CR5B15–CR5B0: タイマ5コンペアデータB (D[F:0]/0x481AA<16bitタイマ5コンペアデータB設定レジスタ>)

各タイマのコンペアデータBを設定します。

SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタBが直接読み出し/書き込み可能です。

SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファBに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタBにロードされます。

設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアB割り込みが発生します。同時に、タイマ出力波形が変化し(OUTINVx="0"の場合は立ち上がり、OUTINVx="1"の場合は立ち下がります)、カウンタが"0"にリセットされます。

イニシャルリセット時、CRxBは初期化されません。

TC015–TC00: タイマ0カウンタデータ (D[F:0]/0x48184<16bitタイマ0カウンタデータレジスタ>)
 TC115–TC10: タイマ1カウンタデータ (D[F:0]/0x4818C<16bitタイマ1カウンタデータレジスタ>)
 TC215–TC20: タイマ2カウンタデータ (D[F:0]/0x48194<16bitタイマ2カウンタデータレジスタ>)
 TC315–TC30: タイマ3カウンタデータ (D[F:0]/0x4819C<16bitタイマ3カウンタデータレジスタ>)
 TC415–TC40: タイマ4カウンタデータ (D[F:0]/0x481A4<16bitタイマ4カウンタデータレジスタ>)
 TC515–TC50: タイマ5カウンタデータ (D[F:0]/0x481AC<16bitタイマ5カウンタデータレジスタ>)

各タイマのカウンタデータが読み出せます。

データは任意のタイミングで読み出しが可能です。

TCxは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、TCxは初期化されません。

P16T02–P16T00: タイマ0割り込みレベル (D[2:0]/0x40266<16bitタイマ0/1割り込みプライオリティレジスタ>)
 P16T12–P16T10: タイマ1割り込みレベル (D[6:4]/0x40266<16bitタイマ0/1割り込みプライオリティレジスタ>)
 P16T22–P16T20: タイマ2割り込みレベル (D[2:0]/0x40267<16bitタイマ2/3割り込みプライオリティレジスタ>)
 P16T32–P16T30: タイマ3割り込みレベル (D[6:4]/0x40267<16bitタイマ2/3割り込みプライオリティレジスタ>)
 P16T42–P16T40: タイマ4割り込みレベル (D[2:0]/0x40268<16bitタイマ4/5割り込みプライオリティレジスタ>)
 P16T52–P16T50: タイマ5割り込みレベル (D[6:4]/0x40268<16bitタイマ4/5割り込みプライオリティレジスタ>)

16ビットプログラマブルタイマ割り込みの優先レベルを設定します。

タイマごとに、割り込みの優先レベルを0～7の範囲で設定できます。

イニシャルリセット時、P16Txは不定となります。

E16TU0, E16TC0: タイマ0割り込みイネーブル (D2, D3/0x40272<16bitタイマ0/1割り込みイネーブルレジスタ>)
 E16TU1, E16TC1: タイマ1割り込みイネーブル (D6, D7/0x40272<16bitタイマ0/1割り込みイネーブルレジスタ>)
 E16TU2, E16TC2: タイマ2割り込みイネーブル (D2, D3/0x40273<16bitタイマ2/3割り込みイネーブルレジスタ>)
 E16TU3, E16TC3: タイマ3割り込みイネーブル (D6, D7/0x40273<16bitタイマ2/3割り込みイネーブルレジスタ>)
 E16TU4, E16TC4: タイマ4割り込みイネーブル (D2, D3/0x40274<16bitタイマ4/5割り込みイネーブルレジスタ>)
 E16TU5, E16TC5: タイマ5割り込みイネーブル (D6, D7/0x40274<16bitタイマ4/5割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

E16TUx、E16TCxは、それぞれコンペアB、コンペアAの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、割り込みイネーブルレジスタはすべて"0"(割り込み禁止)に設定されます。

F16TU0, F16TC0: タイマ0割り込み要因フラグ(D2, D3/0x40282<16bitタイマ0/1割り込み要因フラグレジスタ>)
F16TU1, F16TC1: タイマ1割り込み要因フラグ(D6, D7/0x40282<16bitタイマ0/1割り込み要因フラグレジスタ>)
F16TU2, F16TC2: タイマ2割り込み要因フラグ(D2, D3/0x40283<16bitタイマ2/3割り込み要因フラグレジスタ>)
F16TU3, F16TC3: タイマ3割り込み要因フラグ(D6, D7/0x40283<16bitタイマ2/3割り込み要因フラグレジスタ>)
F16TU4, F16TC4: タイマ4割り込み要因フラグ(D2, D3/0x40284<16bitタイマ4/5割り込み要因フラグレジスタ>)
F16TU5, F16TC5: タイマ5割り込み要因フラグ(D6, D7/0x40284<16bitタイマ4/5割り込み要因フラグレジスタ>)

16ビットプログラマブルタイマ割り込みの発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

F16TUx、F16TCxフラグは、それぞれコンペアB、コンペアAの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
 2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
 3. PSRのIEビットが"1"(割り込み許可)に設定されている。
 4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。
- 割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

R16TU0, R16TC0: タイマ0 IDMAリクエスト

(D6, D7/0x40290<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAリクエストレジスタ>)

R16TU1, R16TC1: タイマ1 IDMAリクエスト (D0, D1/0x40291<16bitタイマ1-4 IDMAリクエストレジスタ>)**R16TU2, R16TC2: タイマ2 IDMAリクエスト** (D2, D3/0x40291<16bitタイマ1-4 IDMAリクエストレジスタ>)**R16TU3, R16TC3: タイマ3 IDMAリクエスト** (D4, D5/0x40291<16bitタイマ1-4 IDMAリクエストレジスタ>)**R16TU4, R16TC4: タイマ4 IDMAリクエスト** (D6, D7/0x40291<16bitタイマ1-4 IDMAリクエストレジスタ>)**R16TU5, R16TC5: タイマ5 IDMAリクエスト**

(D0, D1/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

R16TUx, R16TCxはそれぞれタイマxのコンペアB、コンペアA割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、これらのビットは"0"(割り込み要求)に設定されます。

DE16TU0, DE16TC0: タイマ0 IDMAイネーブル

(D6, D7/0x40294<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAイネーブルレジスタ>)

DE16TU1, DE16TC1: タイマ1 IDMAイネーブル (D0, D1/0x40295<16bitタイマ1-4 IDMAイネーブルレジスタ>)**DE16TU2, DE16TC2: タイマ2 IDMAイネーブル** (D2, D3/0x40295<16bitタイマ1-4 IDMAイネーブルレジスタ>)**DE16TU3, DE16TC3: タイマ3 IDMAイネーブル** (D4, D5/0x40295<16bitタイマ1-4 IDMAイネーブルレジスタ>)**DE16TU4, DE16TC4: タイマ4 IDMAイネーブル** (D6, D7/0x40295<16bitタイマ1-4 IDMAイネーブルレジスタ>)**DE16TU5, DE16TC5: タイマ5 IDMAイネーブル**

(D0, D1/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DE16TUx, DE16TCxはそれぞれタイマxのコンペアB、コンペアA割り込み要因に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、これらのビットは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) 16ビットプログラマブルタイマの動作は、プリスケアラが動作していることが条件です。
- (2) 入力クロックや動作モードの設定は、16ビットプログラマブルタイマが停止中に行ってください。
- (3) コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。割り込み機能のみを使用する場合は、 $A=B$ でも問題ありません。割り込みは正常に発生します。
- (4) タイマ出力を使用する場合、コンペアデータは $A \geq 0$ 、 $B \geq 1$ を設定してください。最小設定は $A=0$ 、 $B=1$ で、タイマ出力サイクルは入力クロックの1/2となります。
- (5) 通常モードの場合、コンペアデータを $A > B$ に設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。ファインモードでは、 $A > 2 \times B + 1$ に設定すると、コンペアマッチA信号は発生しません。
- (6) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (7) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (8) 16ビットプログラマブルタイマでTMxクロック出力を行っている場合、クロック出力やポートの設定などにより不要なパルスが出力されることがありますので注意してください。
たとえば、TMxを反転出力($OUTINVx = "1"$)に設定して使用している場合、出力波形はコンペアBで立ち上がり、コンペアAで立ち下がります。また、PTMxを"0"に設定してクロック出力を停止させると出力端子はHighレベルに固定されます。ここで、コンペアAで信号が立ち下がった後に出力端子を入出力兼用ポートに切り換えて出力をLowレベルに再設定するような制御を行う場合、Lowレベルに再設定する前にPTMxに"0"を書き込むと、その間にHighレベルのパルスが出力されてしまいます。この問題は、ポートをLowレベルに再設定後にPTMxに"0"を書き込むことで回避できます。

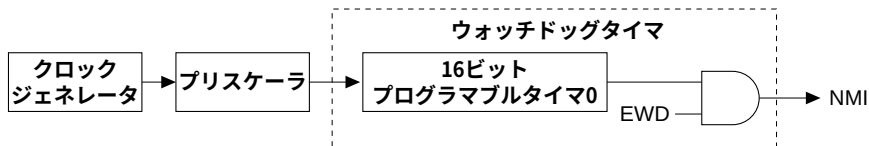
III-6 ウォッチドッグタイマ

ウォッチドッグタイマの構成

C33周辺回路ブロックはCPUの暴走を検出するウォッチドッグタイマ機能を内蔵しています。

この機能は16ビットプログラマブルタイマ0を使用して実現します。ウォッチドッグタイマ機能を有効に設定すると、16ビットプログラマブルタイマ0のコンペアB信号(ソフトウェアで発生周期を設定可能)でNMI(ノンマスクابل割り込み)が発生します。ソフトウェアで周期的に16ビットプログラマブルタイマ0をリセットしNMIが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

図III.6.1にウォッチドッグタイマのブロック図を示します。



図III.6.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマの制御

■動作クロックとNMI発生周期の設定

ウォッチドッグタイマはプリスケアラの出力クロックによって動作します。したがって、プリスケアラが停止中は、ウォッチドッグタイマの機能を使用することはできません。

NMIは16ビットタイマ0のコンペアB周期で発生します。したがって、その周期はプリスケアラの16ビットタイマ0クロックコントロールレジスタ(0x40147)のP16TS0[2:0](D[2:0])と16ビットタイマ0コンペアレジスタB(0x48182)のCR0B[15:0](D[F:0])にセットするコンペアデータBによって決まります。

NMI発生周期は次の式から求められます。

$$\text{NMI発生周期} = \frac{\text{CR0B} + 1}{\text{fpSCIN} \times \text{pdr}} \text{ [秒]}$$

fpSCIN: プリスケアラ入力クロック周波数 [Hz]

pdr: P16TS0によるプリスケアラの分周比(1/4096, 1/1024, 1/256, 1/64, 1/16, 1/4, 1/2, 1/1)

CR0B: CR0B[F:0]の設定値(0~65535)

プリスケアラと16ビットプログラマブルタイマ0の制御方法については、それぞれ"プリスケアラ"、"16ビットプログラマブルタイマ"を参照してください。

■ウォッチドッグタイマ機能の設定

ウォッチドッグタイマ機能を使用する場合は、16ビットタイマ0のコンペアB信号によるNMIを有効に設定します。これにはウォッチドッグタイマイネーブルレジスタ(0x40171)のEWD(D1)を使用します。

EWDに"1"を書き込むとNMIが許可されます。イニシャルリセット時はEWDが"0"に設定され、NMIの発生は禁止状態となります。

なお、EWDへの誤書き込みによる不要なNMIの発生を防止するため、通常EWDは書き込み禁止に設定されています。EWDを書き込み許可に設定するには、ウォッチドッグタイマ書き込み保護レジスタ(0x40170)のWRWD(D7)に"1"を書き込みます。なお、WRWDによる書き込み許可は、EWDに対して1回の書き込みのみを許可します。書き込み許可に設定後、EWDにデータを書き込むと、WRWDは"0"に復帰し、再びEWDを書き込み禁止状態にします。

16ビットプログラマブルタイマ0も適切なコンペアBデータを設定し、動作を開始させておきます。

ウォッチドッグタイマを使用しない場合は、EWDを"0"に固定し変更しないでください。

■ウォッチドッグタイマのリセット

ウォッチドッグタイマを使用する場合は、NMIが発生する前に16ビットプログラマブルタイマ0をリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは前述のNMI発生周期以内で処理されるようにしてください。

16ビットタイマ0は16bitタイマ0制御レジスタ(0x48186)のPRESET0(D1)に"1"を書き込むことによりリセットされます。この時点でタイマカウンタが0にリセットされ、そこから新たなNMI発生周期のカウントを始めます。

何らかの原因によってウォッチドッグタイマが設定周期以内にリセットされなかった場合、NMIによってCPUはトラップ処理に移行し、NMIベクタで示される処理ルーチンを実行します。

NMIのトラップベクタアドレスは、デフォルトで0x0C0001Cに設定されます。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

スタンバイモード時の動作

■HALTモード時

HALTモード時(基本モードおよびHALT2モード)は、プリスケアラおよびウォッチドッグタイマも動作します。したがって、NMI発生周期以上、HALTモードを続けるとNMIによりHALTモードが解除されます。HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にEWDを"0"に設定するか、16ビットタイマ0を停止させてください。

EWDによりNMIを禁止した場合、16ビットタイマ0はHALT時もカウントを継続します。HALTモードを解除後にNMIを許可する際には、その前に16ビットタイマ0をリセットしてください。

16ビットタイマ0を停止させてHALTモードに移行した場合も、動作を再開させる前にリセットを行ってください。

■SLEEPモード時

SLEEPモード時はプリスケアラが停止します。したがって、ウォッチドッグタイマも動作を停止します。

SLEEPモード解除後に不要なNMIが発生することを防ぐため、slp命令の実行前に16ビットタイマ0をプリセットしてください。また、必要に応じEWDによってNMIの発生を禁止状態に設定してください。

ウォッチドッグタイマのI/Oメモリ

表III.6.1にウォッチドッグタイマの制御ビットを示します。

表III.6.1 ウォッチドッグタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
ウォッチドッグ タイマ書き込み 保護レジスタ	0040170 (B)	D7	WRWD	EWD書き込み保護	1	書込許可	0	書込禁止	0	R/W	
		D6-0	-	-	-			-	-	読み出し時: 0	
ウォッチドッグ タイマイネーブル レジスタ	0040171 (B)	D7-2	-	-	-			-	-	読み出し時: 0	
		D1	EWD	ウォッチドッグタイマイネーブル	1	NMI許可	0	NMI禁止	0	R/W	
		D0	-	-	-			-	-	読み出し時: 0	

WRWD: EWD書き込み保護 (D7/0x40170<ウォッチドッグタイマ書き込み保護レジスタ>)

EWDへの書き込みを許可します。

"1"書き込み: 書き込み許可
 "0"書き込み: 書き込み禁止
 読み出し: 可能

EWDは、不要な変更を防止するために書き込み禁止状態となっています。WRWDに"1"を書き込むと、この書き込みが1回のみ許可されます。EWDに対して書き込みを行うと、その時点でWRWDは"0"に戻り、EWDは書き込み禁止状態となります。

書き込み許可状態(WRWD="1")のときに、WRWDに"0"を書き込んだ場合も書き込み禁止状態に戻ります。イニシャルリセット時、WRWDは"0"(書き込み禁止)に設定されます。

EWD: ウォッチドッグタイマイネーブル (D1/0x40171<ウォッチドッグタイマイネーブルレジスタ>)

ウォッチドッグタイマによるノンマスカブル割り込み(NMI)の発生を制御します。

"1"書き込み: NMI有効
 "0"書き込み: NMI禁止
 読み出し: 可能

EWDに"0"を書き込むと、ウォッチドッグタイマの割り込み信号がマスクされ、CPUに対してNMIを発生しません。EWDが"1"に設定されていると16ビットタイマ0のコンペアB信号によりNMIが発生します。

EWDへの書き込みはWRWDが"1"になっている場合のみ有効です。

なお、EWDを"0"に設定しても、16ビットタイマ0はカウント動作を停止しません。したがって、一時的にNMIを無効にした場合は、EWDを"1"に戻す前に16ビットタイマ0をリセットしてください。

イニシャルリセット時、EWDは"0"(NMI禁止)に設定されます。

プログラミング上の注意事項

- (1) ウォッチドッグタイマのNMIを有効に設定している場合、16ビットタイマ0がコンペアB信号を出力する前にソフトウェアでプリセットする必要があります。
- (2) EWDを"0"に設定しても、16ビットタイマ0は停止しません。したがって、一時的にNMIを無効にした場合は、EWDを"1"に戻す前に16ビットタイマ0をリセットしてください。

このページはブランクです。

III-7 低速(OSC1)発振回路

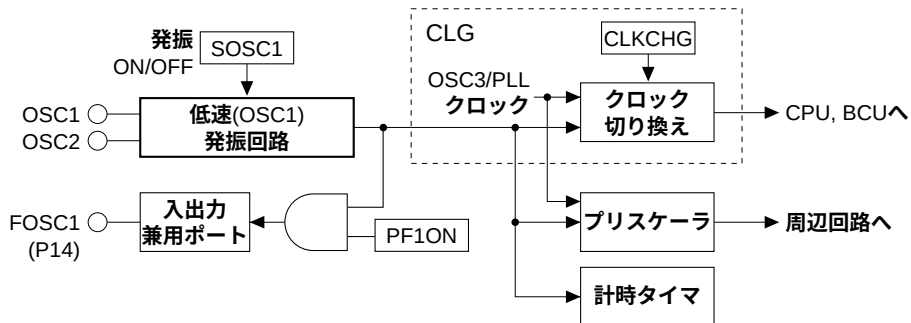
低速(OSC1)発振回路の構成

C33周辺回路ブロックは、低速(OSC1)発振回路を内蔵しています。

低速(OSC1)発振回路は32.768kHz(Typ.)のサブクロックを発生します。

出力されるOSC1クロックはコアブロックのCLG(クロックジェネレータ)に入力され、計時タイマのソースクロックとして使用されます。また、CPU/周辺回路の低速(低電力)動作のサブクロックとして使用することもできます(プログラムによる切り換え)。

図III.7.1にクロック系の構成を示します。



図III.7.1 クロック系の構成

CPUの動作クロックはプログラムによって低速(OSC1)発振回路の出力(OSC1クロック)に切り換えることができます。また、発振回路をプログラムによって停止させることもできます。

計時処理等のOSC3クロックが不要な場合は消費電流を低減させるため、OSC1クロックをCPU/周辺回路の動作クロックに設定し、高速(OSC3)発振回路を停止させてください。

低速(OSC1)発振回路はSLEEPモードでも停止しません。

OSC1クロックを周辺回路の動作クロックとして使用する場合は制御については、"プリスケアラ"を参照してください。

低速(OSC1)発振回路の入出力端子

表III.7.1に低速(OSC1)発振回路の入出力端子を示します。

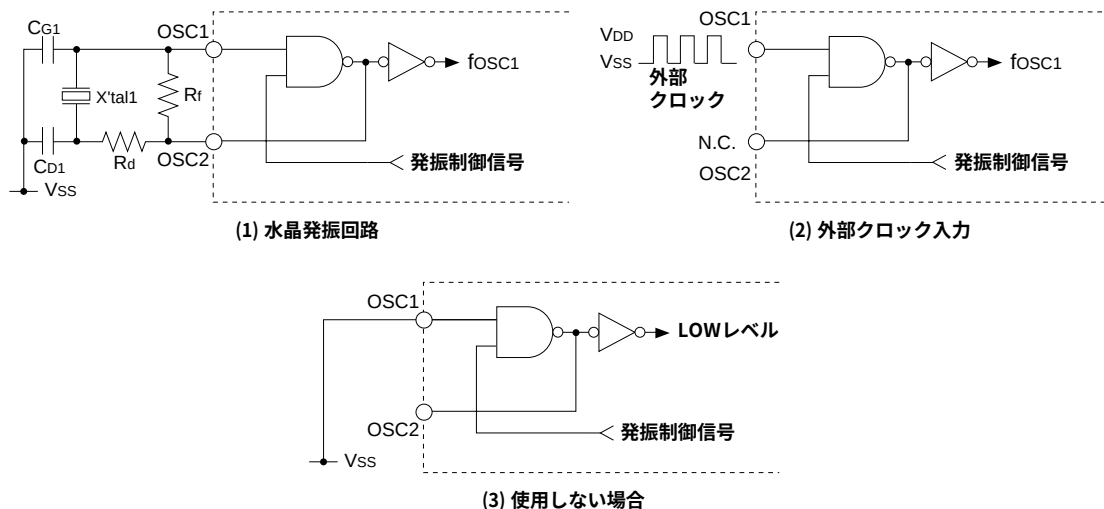
表III.7.1 低速(OSC1)発振回路の入出力端子

端子名	I/O	機能
OSC1	I	低速(OSC1)発振入力端子: 水晶発振または外部クロック入力
OSC2	O	低速(OSC1)発振出力端子: 水晶発振(外部クロック入力時は開放)
DCLK(P14/FOSC1)	I/O	DCLK信号出力/入出力兼用ポート/低速(OSC1)発振クロック出力

発振回路の種類

低速(OSC1)発振回路の種類としては、水晶発振または外部クロック入力を選択できます。

図III.7.2に低速(OSC1)発振回路の構造を示します。



図III.7.2 低速(OSC1)発振回路

水晶発振回路として使用する場合は、図III.7.2(1)のように水晶振動子X'tal1 (32.768kHz Typ.)、帰還抵抗(Rf)、2つのコンデンサ(CG1、CD1)および必要に応じてドレイン抵抗(Rd)を、OSC1とOSC2端子およびVssに接続してください。

外部クロックを使用する場合はOSC2端子を開放し、矩形波のクロックをOSC1端子に入力してください。

低速(OSC1)発振回路を使用しない場合はOSC1端子をVssに接続し、OSC2端子を開放してください。

発振周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。

発振特性と外部クロックの入力特性については"電気的特性"を参照してください。

発振の制御

低速(OSC1)発振回路は、パワーコントロールレジスタ(0x40180)のSOSC1(D0)によって発振のON/OFFが制御できます。

SOSC1に"0"を書き込むと低速(OSC1)発振回路が停止し、"1"を書き込むと発振を再開します。

イニシャルリセット時、SOSC1は"1"に設定され、低速(OSC1)発振回路はONとなります。

注: • CPUの動作クロック原振に低速(OSC1)発振回路を使用している場合は、低速(OSC1)発振回路を停止させることはできません。その場合のSOSC1への"0"書き込みは無効です。また、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ、SOSC1への書き込みが行えます。

- 発振回路をONにした直後は、発振が安定するまである程度の時間を要します(最大3秒)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。

低速(OSC1)発振回路はSLEEP時に停止しません。

CPU動作クロックの切り換え

イニシャルリセット後、CPUはOSC3クロックにより動作を開始します。

周辺回路(プログラマブルタイマ、シリアルインタフェース、A/D変換器、ポート等)の動作が不要、もしくは低速動作で処理可能な場合でCPUも低速動作で処理可能な場合は、CPUの動作クロックをOSC1クロックに切り換えて消費電流を低減させることができます。この動作クロックの切り換えは、パワーコントロールレジスタ(0x40180)のCLKCHG(D2)によって行います。

OSC3クロックからOSC1クロックへの切り換え手順

1. 低速(OSC1)発振回路をON(SOSC1に"1"を書き込み)
 2. OSC1発振が安定するまでウェイト
 3. CPU動作クロックの切り換え(CLKCHGに"0"を書き込み)
 4. 高速(OSC3)発振回路をOFF(SOSC3に"0"を書き込み)
- ※ 1と2は低速(OSC1)発振回路が停止している場合にのみ必要です。

注: ・ OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

- ・ プログラマブルタイマ、A/D変換器、シリアルインタフェースなどの周辺回路を動作させている場合、誤動作を防止するためOSC3発振を停止する前に動作を終了させるか、あるいはプリスケラクロックをOSC1に設定してください。なお、誤動作を防止するため、プリスケラの設定はCPUクロックの変更前に行ってください。

OSC1クロックからOSC3クロックへの切り換え手順

1. 高速(OSC3)発振回路をON(SOSC3に"1"を書き込み)
2. OSC3発振が安定するまでウェイト
3. CPU動作クロックの切り換え(CLKCHGに"1"を書き込み)

注: CLKCHGによる動作クロックの切り換えは、発振回路が両方ともONしている場合で、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

発振が安定するまでの時間については"電気的特性"を参照してください。

パワーコントロールレジスタ保護フラグ

発振回路とCPU動作クロックの制御を行うアドレス0x40180のパワーコントロールレジスタ(SOSC1、SOSC3、CLKCHG、CLKDT[1:0])は、不要な書き込みによる誤動作を防止するため、通常は書き込み禁止状態となっています。

書き込み可能な状態にするには、パワーコントロールレジスタ保護レジスタ(0x4019E)のCLGP[7:0](D[7:0])に0b10010110を設定する必要があります。なお、この設定はパワーコントロールレジスタ(0x40180)への1回の書き込みのみを許可し、書き込みが行われるとCLGP[7:0]のすべてのビットが"0"にクリアされます。したがって、パワーコントロールレジスタ(0x40180)への書き込みを行う場合は、その都度CLGP[7:0]に0b10010110を設定してください。

CLGP[7:0]は、パワーコントロールレジスタ(0x40180)の読み出しには影響を与えません。

スタンバイモード時の動作

halt命令の実行により設定されるHALTモードでは、低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、HALTモードへの移行前および解除後に発振回路を制御する必要は特にありません。

slp命令の実行により設定されるSLEEPモードでも、低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、SLEEPモードへの移行前にCPUがOSC1クロックで動作していた場合は、SLEEP中もCPUはOSC1クロックによって動作します。

OSC1クロックの外部出力

低速(OSC1)発振クロックは、FOSC1(P14)端子から外部に出力することができます。

表III.7.2 出力端子

端子名	I/O	機 能	機能選択ビット
DCLK(P14/FOSC1)	I/O	DCLK信号出力/入出力兼用ポート/ 低速(OSC1)発振クロック出力	CFP14(P1機能選択レジスタ0x402D4・D4) CFEX0(ポート機能拡張レジスタ0x402DF・D0)

■クロック出力端子の設定方法

OSC1クロック出力に使用する端子はP14入出力兼用ポートおよびデバッグ用クロック信号DCLKと共用されています。

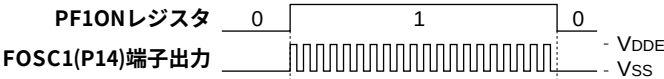
コールドスタート時はDCLK端子(CFP14="0"、CFEX0="1")として設定されます。クロック出力機能を使用する場合は、CFP14を"1"、CFEX0を"0"、さらにIOC14(0x402D6・D4)を"1"に設定してください("入出力兼用ポート"参照)。

ホットスタート時は、リセット前の状態を保持します。

■出力制御

クロック出力を開始させるにはクロックオプションレジスタ(0x40190)のPF1ON(D0)に"1"を書き込みます。"0"を書き込むと出力は停止します。

イニシャルリセット時、PF1ONは"0"(出力停止)に設定されます。



図III.7.3 OSC1クロック出力

低速 (OSC1) 発振回路のI/Oメモリ

表III.7.3に低速 (OSC1) 発振回路の制御ビットを示します。

表III.7.3 低速 (OSC1) 発振回路の制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈		
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0]		分周比		0	R/W		
		D6	CLKDT0		1	1	1/8		0			
					1	0	1/4					
					0	1	1/2					
					0	0	1/1					
		D5	PSCON	プリスケアラOn/Off制御			1	On	0	Off	1	R/W
		D4-3	-	reserved			-			0	-	1書き込み禁止
		D2	CLKCHG	CPU動作クロック切り換え			1	OSC3	0	OSC1	1	R/W
		D1	SOSC3	高速(OSC3)発振On/Off制御			1	On	0	Off	1	R/W
		D0	SOSC1	低速(OSC1)発振On/Off制御			1	On	0	Off	1	R/W
クロック オプション レジスタ	0040190 (B)	D7-4	-	-			-			-	-	読み出し時: 0
		D3	HLT2OP	HALTクロックオプション			1	On	0	Off	0	R/W
		D2	8T1ON	高速(OSC3)発振待ち時間On			1	Off	0	On	1	R/W
		D1	-	reserved			-			0	-	1書き込み禁止
		D0	PF1ON	OSC1外部出力On/Off制御			1	On	0	Off	0	R/W
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定				0	R/W		
		D6	CLGP6						0			
		D5	CLGP5						0			
		D4	CLGP4						0			
		D3	CLGP3						0			
		D2	CLGP2						0			
		D1	CLGP1						0			
		D0	CLGP0						0			
P1機能選択 レジスタ	00402D4 (B)	D7	-	reserved			-			-	-	読み出し時: 0
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	拡張機能(0x402D7)	
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W		
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)	
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W		
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W		
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W		
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W		
		ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W
D6	CFEX6			P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W		
D5	CFEX5			P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W		
D4	CFEX4			P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W		
D3	CFEX3			P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W		
D2	CFEX2			P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W		
D1	CFEX1			P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO	0	P10, etc. P11, etc. P13, etc.	1	R/W		
D0	CFEX0			P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W		

SOSC1: 低速(OSC1)発振制御(D0/0x40180<パワーコントロールレジスタ>)

低速(OSC1)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC1発振ON

"0"書き込み: OSC1発振OFF

読み出し: 可能

SOSC1に"0"を書き込むことにより低速(OSC1)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は発振が安定するまでにある程度の時間("I-6 電気的特性"参照)を要しますので、OSC1クロックはそれ以上の時間が経過後に使用してください。

SOSC1への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC1クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。

イニシャルリセット時、SOSC1は"1"(OSC1発振ON)に設定されます。

CLKCHG: CPU動作クロック切り換え(D2/0x40180<パワーコントロールレジスタ>)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を書き込んだ場合OSC3、"0"を書き込んだ場合OSC1となります。

高速(OSC3)発振回路および低速(OSC1)発振回路が共にONの場合にのみ動作クロックの切り換えが行えます。また、CLKCHGへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

発振回路が発振を開始した直後は、発振が安定するまでCPUの動作クロックの切り換えは行わないでください。

イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

高速(OSC3)発振回路の制御については、コアブロックの"CLG(クロックジェネレータ)"を参照してください。

PF1ON: OSC1外部出力ON/OFF制御(D0/0x40190<クロックオプションレジスタ>)

低速(OSC1)クロックの外部出力をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PF1ONに"1"を書き込むことにより、低速(OSC1)クロックがFOSC1端子から出力されます。ただし、P14端子をCFP14およびCFEX0によってFOSC1端子に設定し、さらにIOC14(D4/0x402D6<P1 I/O制御レジスタ>)を"1"にして出力設定にしておくことが必要です。

"0"を書き込むと出力は停止します。

PF1ONへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、PF1ONは"0"(OFF)に設定されます。

CLGP7-CLGP0: パワーコントロールレジスタ保護フラグ

([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。

イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

HLT2OP: HALTクロックオプション(D3/0x40190<クロックオプションレジスタ>)

HALTモード時の状態(基本モードとHALT2モード)を選択します。

"1"書き込み: HALT2モード

"0"書き込み: 基本モード

読み出し: 可能

HALTモード時の状態は、HLT2OPに"1"を書き込むとHALT2モード、"0"を書き込むと基本モードになります。

HLT2OPへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、HLT2OPは"0"(基本モード)に設定されます。

HALTモード(基本モードとHALT2モード)、SLEEPモードの動作状態は以下のとおりです。

表III.7.4 スタンバイモードの動作状態

スタンバイモード		動作状態	再起動
HALTモード	基本モード	• CPUクロック停止(CPU停止) • BCUへのクロック非停止(BCU非停止) • DMAクロック非停止(DMA非停止) • 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) • 高速発振回路はHALTモードに移行する直前の状態を継続 • 低速発振回路はHALTモードに移行する直前の状態を継続	• リセット、NMI • マスクされていない割り込み要因の発生
	HALT2モード	• CPUクロック停止(CPU停止) • BCUへのクロック停止(BCU停止) • DMAへのクロック停止(DMA停止) • 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) • 高速発振回路はHALTモードに移行する直前の状態を継続 • 低速発振回路はHALTモードに移行する直前の状態を継続	• リセット、NMI • マスクされていない割り込み要因の発生 ただし、周辺回路からの割り込みによって再起動させるには、その周辺回路に動作クロックが供給されている必要があります(クロックが停止していないことが条件)。
SLEEPモード		• CPUクロック停止(CPU停止) • BCUへのクロック停止(BCU停止) • 周辺回路へのクロックは停止 • 高速発振回路は停止 • 低速発振回路はSLEEPモードに移行する直前の状態を継続	• リセット、NMI • マスクされていない入力ポートからの割り込み • 低速発振回路が動作しているときの計時タイマからの割り込み

CFP14: P14機能選択(D4/0x402D4<P1機能選択レジスタ>)

P14入出力兼用ポート端子の機能を選択します。

"1"書き込み: OSC1クロック出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

CFP14に"1"を書き込むと、P14端子がOSC1クロック出力端子(FOSC1)に設定されます。

FOSC1出力端子として使用する場合は、IOC14(D4/0x402D6<P1 I/O制御レジスタ>)も"1"(出力)に設定してください。

コールドスタート時、CFP14は"0"(入出力兼用ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX0: P12, P14ポート機能拡張(D0/0x402DF<ポート機能拡張レジスタ>)

P14端子の拡張機能を選択します。

"1"書き込み: DCLK出力端子

"0"書き込み: P14/FOSC1出力端子

読み出し: 無効

CFEX0に"1"を書き込むと、P14端子がデバッグ用クロック信号DCLKの出力端子として機能します。CFEX0が"0"の場合はCFP14レジスタが有効となり、その設定に従ってP14入出力兼用ポート端子またはFOSC1出力端子となります。

コールドスタート時、CFEX0は"1"(DCLK出力端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

プログラミング上の注意事項

- (1) 低速(OSC1)発振回路をONにした直後は、発振が安定するまである程度の時間を要します("I-6 電気的特性"参照)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。
- (2) CPUの動作クロックに使用している発振回路を停止させることはできません。
- (3) CPU動作クロックの切り換えは、OSC3とOSC1発振回路が両方ともONしている場合にのみ可能です。
また、CPU動作クロックの切り換え後に不要となった発振回路をOFFする場合、切り換えと発振OFFは命令を分けて行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- (4) 低速(OSC1)発振回路をOFFにした場合、OSC1クロックで動作している周辺回路はすべて停止します。
- (5) 消費電流を低減させるため、OSC3クロックが不要な場合はOSC1クロックでCPUを動作させ、高速(OSC3)発振回路をOFFしてください。
- (6) P14/FOSC1/DCLK端子をFOSC1端子として使用する場合、CFP14(D4/0x402D4)、CFEX0(D0/0x402DF)による設定に加えて、IOC14(D4/0x402D6)を"1"(出力)に設定してください。

III-8 計時タイマ

計時タイマの構成

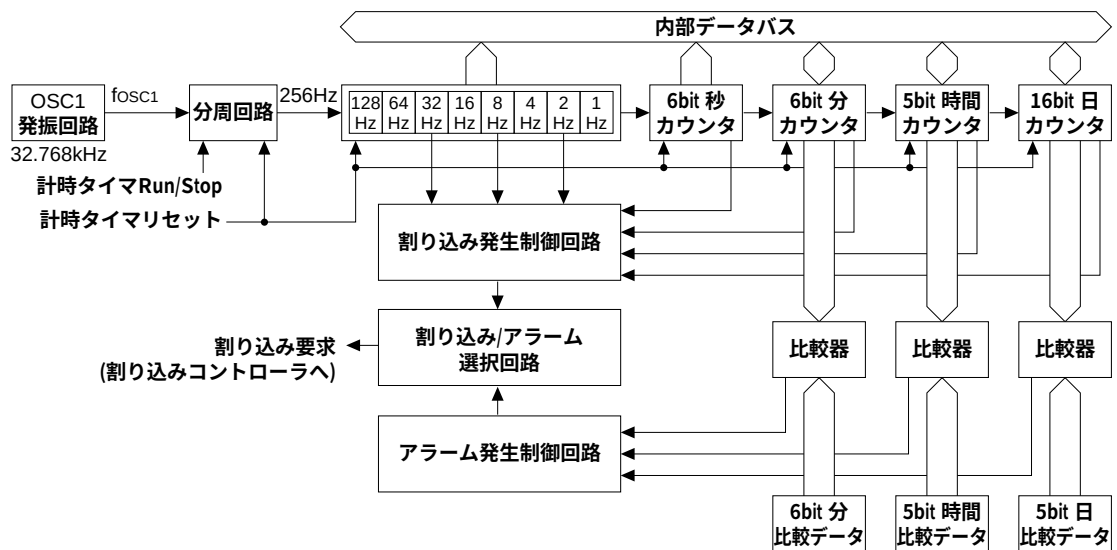
計時タイマは低速(OSC1)発振クロック f_{OSC1} を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタ、秒カウンタ、分カウンタ、時間カウンタ、日カウンタで構成され、各データ(128~1Hz、秒、分、時間、日)をソフトウェアによって読み出すことができます。また、32Hz、8Hz、2Hz、1Hz(1秒)信号および1分、1時間、1日のカウントアップによる割り込みと分、時間、日指定によるアラームを発生させることができます。

低速(OSC1)発振回路と計時タイマは、CPUおよび他の内蔵周辺回路をスタンバイモード(HALTまたはSLEEP)にした場合でも動作可能です。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図III.8.1に計時タイマの構成を示します。

注: 計時タイマは低速(OSC1)発振回路を原振としているため、低速(OSC1)発振回路(Typ. 32.768kHz)を使用しない場合は、計時タイマも使用できません。



図III.8.1 計時タイマの構成

計時タイマの制御と動作

■初期設定

イニシャルリセット時、計時タイマのカウンタデータ、アラーム設定内容およびRUN/STOPを含む制御ビットは初期化されません(CPUコア電源ON/OFFフラグTCHVOFおよびOSC1オートOFFフラグTCAOFFを除く)。

したがって、計時タイマを使用する場合は以下の手順で初期化してください。

1. 設定開始前に、計時タイマを停止状態、計時タイマ割り込みを禁止に設定
2. カウンタをリセット
3. 分、時間、日データをプリセット(必要な場合のみ)
4. 割り込み要因を選択
5. アラーム機能の選択
6. 割り込みを許可
7. 計時タイマをスタート

各設定、制御方法を以下に説明します。割り込みの制御については"計時タイマの割り込み機能"を参照してください。

■カウンタのリセット

計時タイマの各カウンタはソフトウェアでのみ"0"にリセット可能です。イニシャルリセットやオートオフ機能によってはリセットされませんので注意してください。

計時タイマをリセットするには計時タイマRun/Stopレジスタ(0x40151)のTCRST(D1)に"1"を書き込みます。ただし、このリセットは計時タイマが停止中にのみ受け付けられ、動作中は無効です。

注: ・ 計時タイマリセットビットTCRSTと計時タイマRUN/STOP制御ビットTCRUNは、同一アドレス(0x40151)の計時タイマRun/Stopレジスタに割り付けられています。ただし、両方に"1"を書き込んで計時タイマのリセットとRUNを同時に行うことはできません。この場合、リセットは無効となり、その時点のカウンタ値からのカウントアップとなります。リセットは必ずTCRUNが"0"の状態で行ってください。

- ・ 計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。

■分、時間、日データのプリセット

計時タイマの分カウンタ、時間カウンタ、日カウンタにはデータプリセット機能があり、時間を任意に設定することができます。

表III.8.1 カウンタのプリセット

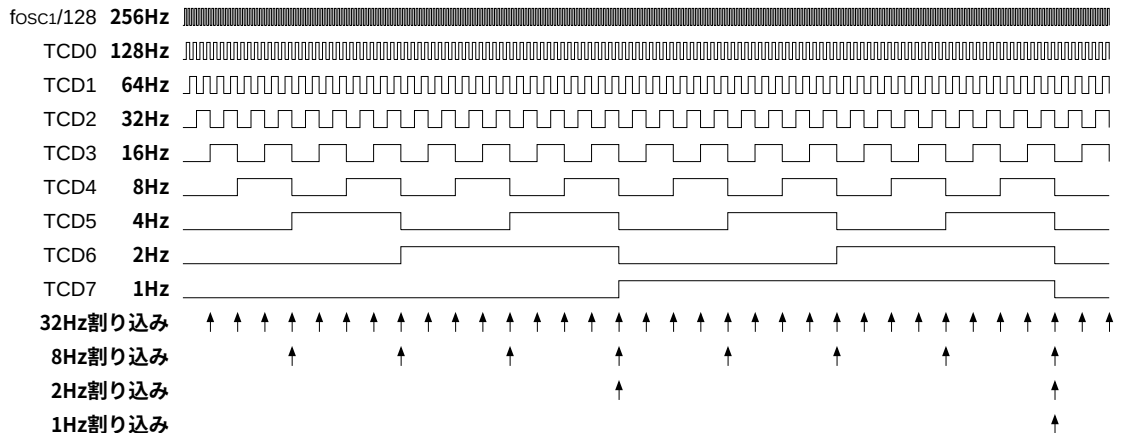
カウンタ	データレジスタ	プリセット値
分カウンタ	TCHD[5:0] (計時タイマ分レジスタ0x40155・D[5:0])	0～59
時間カウンタ	TCDD[4:0] (計時タイマ時間レジスタ0x40156・D[4:0])	0～23
日カウンタ	TCND[15:0] (計時タイマ日(上位)レジス0x40158・D[7:0]) (計時タイマ日(下位)レジス0x40157・D[7:0])	0～65535

計時タイマをRTCとして使用する場合には、これらのカウンタ値を設定してから計時タイマを動作させてください。日カウンタには基準日(たとえば1990年1月1日)からの日数を設定します。

■計時タイマのRUN/STOP

計時タイマは計時タイマRun/Stopレジスタ(0x40151)のTCRUN(D0)に"1"を書き込むとカウントをスタートし、"0"を書き込むと停止します。

計時タイマをRUNさせると、低速(OSC1)発振クロックの立ち下がりエッジで256Hzクロックの入力がインプットとなり、256Hzクロックの立ち下がりエッジで8ビットバイナリカウンタがカウントアップします。8ビットバイナリカウンタの動作を図III.8.2に示します。



図III.8.2 8ビットバイナリカウンタのタイミングチャート

8ビットバイナリカウンタの最終段は1Hz信号を出力します。

秒カウンタはその1Hz信号をカウントします。60秒をカウントすると60秒信号を出力し、カウンタは0秒にリセットされます。

同様に分カウンタ、時間カウンタもそれぞれ前段のカウンタの出力信号により60分、24時間のカウントを行います。

日カウンタは16ビットのバイナリカウンタで、時間カウンタが出力する24時間信号により65536日のカウントが行えます。

各カウンタが発生する以下の信号の中から、割り込みを発生させる信号を1つ選択することができます。

32Hz, 8Hz, 2Hz, 1Hz(1秒), 1分, 1時間, 1日

TCRUNに"0"を書き込んだ場合は、カウントアップのタイミング(256Hzクロックの立ち下がり)と重なることによる誤動作を避けるため、計時タイマは低速(OSC1)発振クロックの立ち上がりエッジで停止します。

計時タイマを停止させた場合でも、各カウンタはその時点のデータを保持します。その状態で再びRUNさせると、保持している値からカウントを継続します。

■カウンタデータの読み出し

各カウンタのデータはソフトウェアによってバイナリデータとして読み出すことができます。

表III.8.2 カウンタデータの読み出し

カウンタ	カウンタデータ
1Hz~128Hz	TCDD[7:0] (計時タイマ分周レジスタ0x40153・D[7:0])
秒カウンタ	TCMD[5:0] (計時タイマ秒レジスタ0x40154・D[5:0])
分カウンタ	TCHD[5:0] (計時タイマ分レジスタ0x40155・D[5:0])
時間カウンタ	TCDD[4:0] (計時タイマ時間レジスタ0x40156・D[4:0])
日カウンタ	TCND[15:0] (計時タイマ日(上位)レジスタ0x40158・D[7:0]) (計時タイマ日(下位)レジスタ0x40157・D[7:0])

データは動作中のカウンタから直接読み出されます。このため、各カウンタデータの読み出しの間にカウンタがオーバーフローして、正確なデータが読み出せないことがあります。たとえば、8ビットバイナリカウンタが0xFFで読み出され、次の秒カウンタを読み出す前にオーバーフローすると、秒カウンタは8ビットバイナリカウンタの読み出し時から1秒加算された値になります。これを防ぐため、各カウンタを複数回読み出して、データが変更されないことを確認してください。

■アラーム機能の設定

計時タイマにはアラーム機能があり、指定の日時に割り込みを発生させることができます。
アラームの指定は分単位、時間単位、日単位で単独に、または複数を組み合わせて行えます。
この選択は計時タイマ割り込み制御レジスタ(0x40152)のTCASE[2:0](D[4:2])で行います。

表III.8.3 アラーム要因の選択

TCASE2	TCASE1	TCASE0	アラーム要因
X	X	1	分アラーム
X	1	X	時間アラーム
1	X	X	日アラーム
0	0	0	選択なし

たとえばTCASEを"001"に設定すると、分アラームのみが有効となり、毎時指定分にアラームが発生します。"111"に設定すると、指定日・指定時・指定分にアラームが発生します。

アラームを使用しない場合は"000"を設定してください。

1分、1時間、あるいは1日周期で割り込みを発生させたい場合は、カウンタによる割り込み機能で対応可能です。

日・時間・分の指定は以下のレジスタで行います。

分の指定: 計時タイマ分比較レジスタ TCCH[5:0](D[5:0]/0x40159) 0～59分*

時間の指定: 計時タイマ時間比較レジスタ TCCD[4:0](D[4:0]/0x4015A) 0～23時*

日の指定: 計時タイマ日比較レジスタ TCCN[4:0](D[4:0]/0x4015B) 0～31日後

* 分比較レジスタ(6ビット)、時間比較レジスタ(5ビット)はそれぞれ63分、31時まで設定可能で、59分あるいは23時を越えるデータを設定しても無効とはなりませんので注意してください。

これらのレジスタに設定された値が各カウンタと比較され、一致すると計時タイマ割り込み制御レジスタ(0x40152)のアラーム要因発生フラグTCAF(D0)が"1"にセットされます。割り込みコントローラによって計時タイマ割り込みが許可されていれば、同時に割り込みも発生します。

なお、日比較データレジスタは5ビットで、日カウンタの下位5ビットと比較されます。したがって、設定した日から31日後までの間アラームを発生可能です。

計時タイマの割り込み機能

■計時タイマ割り込み要因

計時タイマはカウンタの32Hz、8Hz、2Hz、1Hz(1秒)、1分、1時間、1日の信号によって割り込みを発生させることができます。この中のどの信号を割り込み要因として使用するかについては計時タイマ割り込み制御レジスタ(0x40152)の割り込み要因選択ビットTCISE[2:0](D[7:5])で選択できます。

表III.8.4 割り込み要因の選択

TCISE2	TCISE1	TCISE0	割り込み要因
1	1	1	選択なし
1	1	0	1日
1	0	1	1時間
1	0	0	1分
0	1	1	1Hz
0	1	0	2Hz
0	0	1	8Hz
0	0	0	32Hz

選択した信号の周期(各立ち下がりエッジ)で割り込み要因が発生します。

これらの信号による割り込みを使用しない場合は、TCISEを"111"に設定してください。

選択した割り込み要因が発生すると、計時タイマ割り込み制御レジスタ(0x40152)の割り込み要因発生フラグTCIF(D1)が"1"にセットされます。同時に計時タイマ、A/D割り込み要因フラグレジスタ(0x40287)の計時タイマ割り込み要因フラグFCTM(D1)も"1"にセットされます。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

前節で説明したとおり、指定したアラーム日時に割り込みを発生させることもできます。

信号による割り込みとアラームによる割り込みの両方を利用することができます。ただし、計時タイマの割り込み要因フラグは1種類のため、同一の割り込みが発生します。したがって、両方の割り込みを使用する場合は、割り込み発生時に割り込み要因発生フラグTCIFとアラーム要因発生フラグTCAFを読み出してどちらの要因による割り込みなのかを確認してください。要因発生フラグは"1"にセットされると、ソフトウェアで"1"を書き込むまでリセットされません。フラグがセットされていることを確認後は"1"を書き込んでリセットしてください。なお、割り込み要因発生フラグ、アラーム要因発生フラグは、割り込み、アラーム発生から4ms以上の時間が経過後にリセットしてください。

注: 不要な割り込みの発生を防止するため、割り込み要因およびアラーム要因の選択は、計時タイマの割り込みを禁止した状態で行ってください。また、その後で割り込みを許可する前に、各要因発生フラグと割り込み要因フラグをリセットしてください。

■割り込みコントローラの制御レジスタ

計時タイマ割り込みの制御ビット/レジスタは次のとおりです。

割り込み要因フラグ: FCTM (ポート入力4-7, 計時タイマ, A/D割り込み要因フラグレジスタ0x40287・D1)

割り込みイネーブル: ECTM (ポート入力4-7, 計時タイマ, A/D割り込みイネーブルレジスタ0x40277・D1)

割り込みレベル: PCTM[2:0] (計時タイマ割り込みプライオリティレジスタ0x4026B・D[2:0])

計時タイマは前述の割り込み要因が発生すると割り込み要因フラグを"1"にセットします。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み要因発生時に"1"にセットされます。割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、計時タイマ割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した計時タイマ割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

なお、計時タイマの割り込み要因にはインテリジェントDMAを起動する機能はありません。

■トラップベクタ

計時タイマ割り込みのトラップベクタアドレスは、デフォルトで0x0C00104に設定されます。なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

計時タイマの使用例

以下に計時タイマの使用例とその制御方法を示します。

■計時タイマをタイマカウンタとして使用する場合

CPUを停止した状態で計時タイマを動作させ、指定時間(例: 3日)経過後にウェークアップさせる例

1. 低速(OSC1)発振回路が安定して発振していることを確認します。(SOSC1 = "1")
発振開始直後の場合は発振が安定するまで(約3秒)待機してください。
2. 割り込みコントローラで計時タイマの割り込みを禁止します。(ECTM = "0")
3. 計時タイマを停止させ、日比較レジスタに"3日"を設定します。(TCRUN = "0", TCCN = "3")
4. アラーム要因選択レジスタで"日指定アラーム"を選択し、割り込み要因選択レジスタを"選択なし"に設定します。(TCASE = "100", TCISE = "111")
5. 割り込み要因フラグおよびアラーム要因発生フラグをリセットします。(FCTM = "0", TCAF = "0")
6. 割り込みコントローラで計時タイマ割り込みを許可します。(ECTM = "1")
7. CPU動作クロックを低速(OSC1)クロックに切り換えます。(CLKCHG = "0")
8. 高速(OSC3)発振回路を停止させます。(SOSC3 = "0")
9. 計時タイマをリセットします。(TCRST = "0")
10. 計時タイマをスタートさせます。(TCRUN = "1")
11. halt命令を実行し、CPUを停止させます。

計時タイマからの日指定アラーム割り込みの発生を待ちます。割り込みが発生すると、CPUはOSC1クロックで起動します。

12. 必要であれば、高速(OSC3)発振回路をONし、CPU動作クロックをOSC3クロックに切り換えます。

上記例で、3日が経過する前にリセットをかけた場合は次のような動作となります。

- CPUはOSC3クロックにより起動します。
 - 計時タイマのカウンタはリセットされません。RUN状態を保持します。
- 計時タイマのカウンタを読み出すことで、CPUが停止していた時間を確認することができます。

■計時タイマをRTCとして使用する場合

計時タイマを動作させ、毎日10時(AM)にアラームを発生させる例

1. 割り込みコントローラで計時タイマの割り込みを禁止します。(ECTM = "0")
2. 計時タイマを停止させます。(TCRUN = "0")
3. 計時タイマをリセットします。(TCRST = "1")
4. 分(TCHD)・時間(TCDD)・日(TCND)カウンタに現在の日時を設定します。日カウンタには基準日(1990年1月1日等)からの日数を設定し、読み出し時はソフトウェアで現在の日付に変換します。
5. 時間比較レジスタに"10時"を設定します。(TCCD = "0x0A")
6. アラーム要因選択レジスタで"時間指定アラーム"を選択し、割り込み要因選択レジスタを"選択なし"に設定します。(TCASE = "010", TCISE = "111")
7. 割り込み要因フラグとアラーム要因発生フラグをリセットします。(FCTM = "1", TCAF = "0")
8. 割り込みコントローラで計時タイマ割り込みを許可します。(ECTM = "1")
9. 計時タイマをスタートさせます。(TCRUN = "1")

計時タイマは毎日10時に時間指定アラーム割り込みを発生します。

上記例で、アラーム以外の割り込み要因を選択した場合、その割り込み要因による割り込みも発生します。どちらの割り込みかを確認するには、割り込み要因発生フラグTCIFおよびアラーム要因フラグTCAFを読み出してください。TCAFが"1"にセットされていれば、アラームによる割り込みです。なお、時間指定アラームと1日以外の割り込み要因を選択した場合は、アラーム要因発生時にその割り込み要因も同時に発生します。

計時タイマのI/Oメモリ

表III.8.5に計時タイマの制御ビットを示します。

表III.8.5 計時タイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈
計時タイマ Run/Stop レジスタ	0040151 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0
		D1	TCRST	計時タイマリセット	1 リセット	0 無効	X	W	
		D0	TCRUN	計時タイマRun/Stop制御	1 Run	0 Stop	X	R/W	
計時タイマ 割り込み制御 レジスタ	0040152 (B)	D7	TCISE2	計時タイマ割り込み要因選択	TCISE[2:0]	割り込み要因	X	R/W	
		D6	TCISE1		1 1 1	なし	X		
		D5	TCISE0		1 1 0	1日	X		
					1 0 1	1時間			
					1 0 0	1分			
					0 1 1	1Hz			
					0 1 0	2Hz			
					0 0 1	8Hz			
					0 0 0	32Hz			
		D4	TCASE2	計時タイマアラーム要因選択	TCASE[2:0]	アラーム要因	X		
D3	TCASE1	1 X X	日アラーム		X				
D2	TCASE0	X 1 X	時間アラーム		X				
		X X 1	分アラーム						
				0 0 0	なし				
D1	TCIF	割り込み要因発生フラグ	1 要因あり	0 要因なし	X	R/W	"1"書き込みでリセット		
D0	TCAF	アラーム要因発生フラグ	1 要因あり	0 要因なし	X	R/W			
計時タイマ 分周レジスタ	0040153 (B)	D7	TCD7	計時タイマデータ 1Hz	1 High	0 Low	X	R	
		D6	TCD6	計時タイマデータ 2Hz	1 High	0 Low	X	R	
		D5	TCD5	計時タイマデータ 4Hz	1 High	0 Low	X	R	
		D4	TCD4	計時タイマデータ 8Hz	1 High	0 Low	X	R	
		D3	TCD3	計時タイマデータ 16Hz	1 High	0 Low	X	R	
		D2	TCD2	計時タイマデータ 32Hz	1 High	0 Low	X	R	
		D1	TCD1	計時タイマデータ 64Hz	1 High	0 Low	X	R	
		D0	TCD0	計時タイマデータ 128Hz	1 High	0 Low	X	R	
計時タイマ 秒レジスタ	0040154 (B)	D7-6	-	reserved	-		-	-	読み出し時: 0
		D5	TCMD5	計時タイマ秒データ TCMD5 = MSB TCMD0 = LSB	0~59秒		X	R	
		D4	TCMD4				X		
		D3	TCMD3				X		
		D2	TCMD2				X		
		D1	TCMD1				X		
		D0	TCMD0				X		
計時タイマ 分レジスタ	0040155 (B)	D7-6	-	reserved	-		-	-	読み出し時: 0
		D5	TCHD5	計時タイマ分データ TCHD5 = MSB TCHD0 = LSB	0~59分		X	R/W	
		D4	TCHD4				X		
		D3	TCHD3				X		
		D2	TCHD2				X		
		D1	TCHD1				X		
		D0	TCHD0				X		
計時タイマ 時間レジスタ	0040156 (B)	D7-5	-	reserved	-		-	-	読み出し時: 0
		D4	TCDD4	計時タイマ時間データ TCDD4 = MSB TCDD0 = LSB	0~23時		X	R/W	
		D3	TCDD3				X		
		D2	TCDD2				X		
		D1	TCDD1				X		
		D0	TCDD0				X		
計時タイマ 日(下位) レジスタ	0040157 (B)	D7	TCND7	計時タイマ日データ (下位8ビット) TCND0 = LSB	0~65535日 (下位8ビット)		X	R/W	
		D6	TCND6				X		
		D5	TCND5				X		
		D4	TCND4				X		
		D3	TCND3				X		
		D2	TCND2				X		
		D1	TCND1				X		
		D0	TCND0				X		
計時タイマ 日(上位) レジスタ	0040158 (B)	D7	TCND15	計時タイマ日データ (上位8ビット) TCND15 = MSB	0~65535日 (上位8ビット)		X	R/W	
		D6	TCND14				X		
		D5	TCND13				X		
		D4	TCND12				X		
		D3	TCND11				X		
		D2	TCND10				X		
		D1	TCND9				X		
		D0	TCND8				X		

III-8 周辺回路ブロック: 計時タイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイマ 分比較レジスタ	0040159 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCH5	計時タイマ分比較データ	0~59分	X	R/W	
		D4	TCH4	TCH5 = MSB	(注)0~63を設定可能	X		
		D3	TCH3	TCH0 = LSB		X		
		D2	TCH2			X		
		D1	TCH1			X		
		D0	TCH0			X		
計時タイマ 時間比較 レジスタ	004015A (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCD4	計時タイマ時間比較データ	0~23時	X	R/W	
		D3	TCCD3	TCCD4 = MSB	(注)0~31を設定可能	X		
		D2	TCCD2	TCCD0 = LSB		X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイマ 日比較レジスタ	004015B (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCN4	計時タイマ日比較データ	0~31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3	TCCN4 = MSB		X		
		D2	TCCN2	TCCN0 = LSB		X		
		D1	TCCN1			X		
		D0	TCCN0			X		
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7-3	—	reserved	—	—	—	1書き込み禁止
		D2	PCTM2	計時タイマ	0~7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0			X		
ポート入力4-7, 計時タイマ, A/D 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
		D4	EP6	ポート入力6		0	R/W	
		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	EADE	A/D変換器		0	R/W	
ポート入力4-7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FP7	ポート入力7	1 要因発生 0 要因なし	X	R/W	
		D4	FP6	ポート入力6		X	R/W	
		D3	FP5	ポート入力5		X	R/W	
		D2	FP4	ポート入力4		X	R/W	
		D1	FCTM	計時タイマ		X	R/W	
		D0	FADE	A/D変換器		X	R/W	

TCRST: 計時タイマリセット (D1/0x40151<計時タイマRun/Stopレジスタ>)

計時タイマをリセットします。

"1"書き込み: 計時タイマリセット

"0"書き込み: 無効

読み出し: 常時"0"

計時タイマは、停止状態でTCRSTに"1"を書き込むことによってリセットされます。カウンタはすべて"0"にクリアされます。

計時タイマがRUN状態ではリセットされません。また、計時タイマRun/Stopレジスタ(0x40151)に対する1回の書き込みで計時タイマのリセットとRUNを同時に実行することはできません(計時タイマはスタートしますが、リセットされません)。この場合は、先に計時タイマをリセットし、別の命令で計時タイマをRUNさせてください。

計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。

"0"の書き込みはノーオペレーションとなります。TCRSTは書き込み専用のため、読み出し時は常時"0"となります。

計時タイマはイニシャルリセットによってリセットされません。

TCRUN: 計時タイマRUN/STOP制御 (D0/0x40151<計時タイマRun/Stopレジスタ>)

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

計時タイマはTCRUNに"1"を書き込むことによってカウントを開始し、"0"の書き込みにより停止します。STOP状態でもタイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。
 イニシャルリセット時、TCRUNは初期化されません。

TCD7-TCDD0: 1-128Hzカウンタデータ (D[7:0]/0x40153<計時タイマ分周レジスタ>)**TCMD5-TCMD0: 秒カウンタデータ (D[5:0]/0x40154<計時タイマ秒レジスタ>)****TCHD5-TCHD0: 分カウンタデータ (D[5:0]/0x40155<計時タイマ分レジスタ>)****TCDD4-TCDD0: 時間カウンタデータ (D[4:0]/0x40156<計時タイマ時間レジスタ>)****TCND15-TCND0: 日カウンタデータ (上位8ビット: D[7:0]/0x40158<計時タイマ日(上位)レジスタ>
下位8ビット: D[7:0]/0x40157<計時タイマ日(下位)レジスタ>)**

各カウンタのデータが読み出せます。

分・時間・日カウンタにはデータを書き込むこともできます。

1~128Hzカウンタと秒カウンタは読み出し専用のため、書き込み動作は無効となります。

秒・分・時間カウンタデータの各アドレス内の上位未使用ビットは、読み出し時は常時"0"となります。

イニシャルリセット時、カウンタデータは初期化されません。

TCCH5-TCCH0: 分比較データ (D[5:0]/0x40159<計時タイマ分比較レジスタ>)**TCCD4-TCCD0: 時間比較データ (D[4:0]/0x4015A<計時タイマ時間比較レジスタ>)****TCCN4-TCCN0: 日比較データ (D[4:0]/0x4015B<計時タイマ日比較レジスタ>)**

アラーム発生日時を設定します。

TCASEで選択したアラーム要因に対応する比較データレジスタがカウンタデータと比較され、データが一致するとアラーム割り込み要求を発生します。

日比較データは日カウンタの下位5ビットと比較されます。

各レジスタは読み出しも可能です。

イニシャルリセット時、これらのデータは初期化されません。

TCISE2-TCISE0: 割り込み要因選択 (D[7:5]/0x40152<計時タイマ割り込み制御レジスタ>)

計時タイマ割り込みを発生させる要因を選択します。

表III.8.6 割り込み要因の選択

TCISE2	TCISE1	TCISE0	割り込み要因
1	1	1	選択なし
1	1	0	1日
1	0	1	1時間
1	0	0	1分
0	1	1	1Hz
0	1	0	2Hz
0	0	1	8Hz
0	0	0	32Hz

計時タイマ割り込みが許可されている場合、選択した信号の立ち下がりエッジで周期的に割り込みが発生します。これらの要因による割り込みを使用しない場合は、TCISEに"111"を設定してください。

イニシャルリセット時、TCISEは初期化されません。

TCASE2-TCASE0: アラーム要因選択(D[4:2]/0x40152<計時タイマ割り込み制御レジスタ>)

アラーム要因を選択します。

表III.8.7 アラーム要因の選択

TCASE2	TCASE1	TCASE0	アラーム要因
X	X	1	分アラーム
X	1	X	時間アラーム
1	X	X	日アラーム
0	0	0	選択なし

TCASE2、TCASE1、TCASE0はそれぞれ日アラーム、時間アラーム、分アラームを選択するビットで、複数のアラーム要因を選択することができます。"1"を書き込むとそのアラーム要因に対応する比較データレジスタの内容がカウンタと比較されます。選択したすべてのアラーム要因の比較データがカウンタデータと一致すると、アラーム割り込み要求を発生します。"0"を書き込んだアラーム要因に対応する比較データレジスタはカウンタデータとは比較されません。

イニシャルリセット時、TCASEは初期化されません。

TCIF: 割り込み要因発生フラグ(D1/0x40152<計時タイマ割り込み制御レジスタ>)

割り込み要因の発生を示します。

"1"読み出し: 要因発生

"0"読み出し: 要因なし

"1"書き込み: フラグをリセット

"0"書き込み: 無効

TCIFはTCISEで選択した割り込み要因が発生すると"1"にセットされます。計時タイマ割り込みは1系統のため、アラーム要因による割り込みとの切り分けに使用してください。

TCIFは"1"にセットされると、"1"を書き込むまでリセットされません。

イニシャルリセット時、TCIFは初期化されません。

なお、割り込みはこのビットの状態("0"または"1")にかかわらず発生します。

TCAF: アラーム要因発生フラグ(D0/0x40152<計時タイマ割り込み制御レジスタ>)

アラーム要因の発生を示します。

"1"読み出し: 要因発生

"0"読み出し: 要因なし

"1"書き込み: フラグをリセット

"0"書き込み: 無効

TCAFはTCASEで選択したすべてのアラーム要因が発生すると"1"にセットされます。計時タイマ割り込みは1系統のため、他の割り込み要因による割り込みとの切り分けに使用してください。

TCAFは"1"にセットされると、"1"を書き込むまでリセットされません。

イニシャルリセット時、TCAFは初期化されません。

なお、アラームはこのビットの状態("0"または"1")にかかわらず発生します。

PCTM2-PCTM0: 計時タイマ割り込みレベル(D[2:0]/0x4026B<計時タイマ割り込みプライオリティレジスタ>)

計時タイマ割り込みの優先レベルを0~7の範囲で設定します。

イニシャルリセット時、PCTMは不定となります。

ECTM: 計時タイマ割り込みイネーブル(D1/0x40277<ポート入力4-7, 計時タイマ, A/D割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ECTMは計時タイマ割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、ECTMは"0"(割り込み禁止)に設定されます。

FCTM: 計時タイマ割り込み要因フラグ(D1/0x40287<ポート入力4-7, 計時タイマ, A/D割り込み要因フラグレジスタ>)
計時タイマの割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FCTMは計時タイマの割り込み要因フラグで、選択した割り込み要因またはアラーム要因が発生すると"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
 2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
 3. PSRのIEビットが"1"(割り込み許可)に設定されている。
 4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。
- 割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FCTMフラグは不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

- (1) 計時タイマの原振となる低速(OSC1)発振回路は動作を開始してから発振が安定するまでにある程度の時間("電気的特性"参照)を要します。したがって、電源投入時などは発振が安定するのを待ってから計時タイマをスタートさせてください。
- (2) イニシャルリセット時、計時タイマのカウンタデータ、アラーム設定内容およびRUN/STOPを含む制御ビットは初期化されません。電源投入後は必ずソフトウェアで初期化してください。
- (3) 計時タイマリセットビットTCRSTと計時タイマRUN/STOP制御ビットTCRUNは、同一アドレスの計時タイマRun/Stopレジスタ(0x40151)に割り付けられています。ただし、両方に"1"を書き込んでリセットと計時タイマのRUNを同時に行うことはできません。この場合、リセットは無効となり、その時点のカウンタ値からのカウントアップとなります。リセットは必ずTCRUNが"0"(計時タイマが停止)の状態で行ってください。
- (4) 計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。
- (5) 不要な割り込みの発生を防止するため、割り込み要因およびアラーム要因の選択は、計時タイマの割り込みを禁止した状態で行ってください。また、その後で割り込みを許可する前に、各要因発生フラグと割り込み要因フラグをリセットしてください。
- (6) イニシャルリセット後、割り込み要因フラグ(FCTM)は不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (7) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FCTM)をリセットしてください。

III-9 シリアルインタフェース

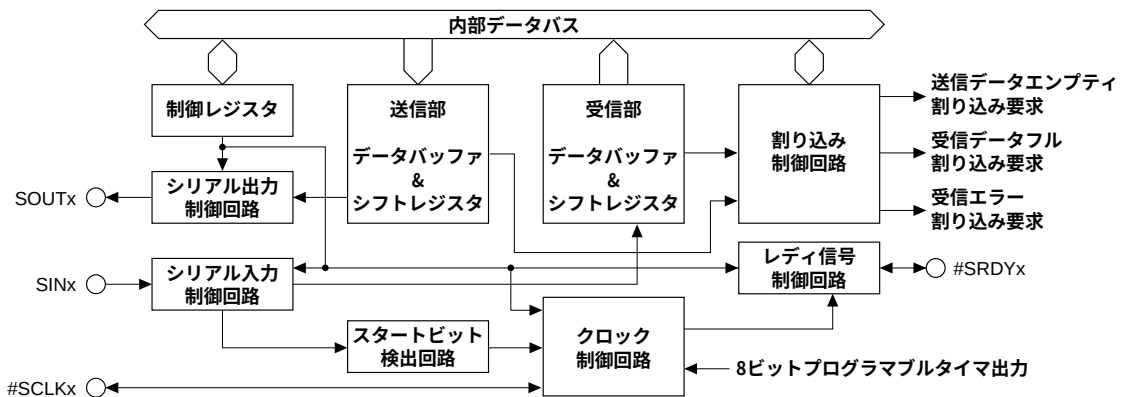
シリアルインタフェースの構成

シリアルインタフェースの特長

C33周辺回路ブロックは以下の特長を持つシリアルインタフェースを4チャンネル(Ch.0、Ch.1、Ch.2、Ch.3)内蔵しています。4チャンネルとも同機能です。

- 転送方式としてクロック同期式モードまたは調歩同期式モードを選択可能
 - クロック同期式モード
 - データ長: 8ビット固定(スタート/ストップ/パリティビットなし)
 - 受信エラー: オーバーランエラーを検出
 - 調歩同期式モード
 - データ長: 7ビットまたは8ビットを選択可能
 - 受信エラー: オーバーランエラー、フレーミングエラー、パリティエラーを検出
 - スタートビット: 1ビット固定
 - ストップビット: 1ビットまたは2ビットを選択可能
 - パリティビット: 偶数、奇数、またはなしを選択可能
 - 受信部と送信部が独立しているため、全二重通信が可能
 - IrDAインタフェースに対応
 - 内部クロックまたは外部クロック入力を選択可能
- ボーレート設定 プリスケアラの分周比、8ビットプログラマブルタイマの設定、または外部クロック(調歩同期式のみ)により、任意のボーレートを設定可能
- ダブルバッファ構造の受信部および送信部により、連続受信、連続送信が可能
- IDMA/HSDMAによるデータ転送が可能
- 3種類(送信データエンプティ、受信データフル、受信エラー)の割り込みを発生可能

図III.9.1にシリアルインタフェース(1チャンネル)の構成を示します。



図III.9.1 シリアルインタフェースの構成

注: Ch.0～Ch.3は同一の構成で、同一の機能を持ちます。信号名や制御ビット名の後ろにはチャンネル番号を示す"0"、"1"、"2"または"3"が付いて区別されますが、説明は全チャンネルに共通なため、必要な部分以外は"0"～"3"を"x"に置き換えて記述します。

シリアルインタフェースの入出力端子

表III.9.1にシリアルインタフェースで使用する端子を示します。

表III.9.1 シリアルインタフェースの端子構成

端子名	I/O	機 能	機能選択ビット
P00(SIN0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ入力	CFP00(P0機能選択レジスタ0x402D0-D0)
P01(SOUT0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ出力	CFP01(P0機能選択レジスタ0x402D0-D1)
P02(#SCLK0)	I/O	入出力兼用ポート/シリアルIF Ch.0クロック入出力	CFP02(P0機能選択レジスタ0x402D0-D2)
P03(#SRDY0)	I/O	入出力兼用ポート/シリアルIF Ch.0レディ入出力	CFP03(P0機能選択レジスタ0x402D0-D3)
P04(SIN1/#DMAACK2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ入力/ #DMAACK2信号出力	CFP04(P0機能選択レジスタ0x402D0-D4) CFEX4(ポート機能拡張レジスタ0x402DF-D4)
P05(SOUT1/#DMAEND2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ入力/ #DMAEND2信号出力	CFP05(P0機能選択レジスタ0x402D0-D5) CFEX5(ポート機能拡張レジスタ0x402DF-D5)
P06(#SCLK1/#DMAACK3)	I/O	入出力兼用ポート/シリアルIF Ch.1クロック入出力/ #DMAACK3信号出力	CFP06(P0機能選択レジスタ0x402D0-D6) CFEX6(ポート機能拡張レジスタ0x402DF-D6)
P07(#SRDY1/#DMAEND3)	I/O	入出力兼用ポート/シリアルIF Ch.1レディ入出力/ #DMAEND3信号出力	CFP07(P0機能選択レジスタ0x402D0-D7) CFEX7(ポート機能拡張レジスタ0x402DF-D7)
P27(TM5/SIN2)	I/O	入出力兼用ポート/シリアルIF Ch.2データ入力	CFP27(P2機能選択レジスタ0x402D8-D7) SSIN2(ポートSIO機能選択レジスタ0x402DB-D0)
P26(TM4/SOUT2)	I/O	入出力兼用ポート/シリアルIF Ch.2データ出力	CFP26(P2機能選択レジスタ0x402D8-D6) SSOUT2(ポートSIO機能選択レジスタ0x402DB-D1)
P25(TM3/#SCLK2)	I/O	入出力兼用ポート/シリアルIF Ch.2シリアルクロック入出力	CFP25(P2機能選択レジスタ0x402D8-D5) SSCLK2(ポートSIO機能選択レジスタ0x402DB-D2)
P24(TM2/#SRDY2)	I/O	入出力兼用ポート/シリアルIF Ch.2レディ入出力	CFP24(P2機能選択レジスタ0x402D8-D4) SSRDY2(ポートSIO機能選択レジスタ0x402DB-D3)
P33(#DMAACK1/SIN3)	I/O	入出力兼用ポート/シリアルIF Ch.3データ入力	CFP33(P3機能選択レジスタ0x402DC-D3) SSIN3(ポートSIO機能選択レジスタ0x402D7-D0)
P16(EXCL5/#DMAAND1/SOUT3)	I/O	入出力兼用ポート/シリアルIF Ch.3データ出力	CFP16(P1機能選択レジスタ0x402D4-D6) SSOUT3(ポートSIO機能選択レジスタ0x402D7-D1)
P15(EXCL4/#DMAAND0/#SCLK3)	I/O	入出力兼用ポート/シリアルIF Ch.3シリアルクロック入出力	CFP15(P1機能選択レジスタ0x402D4-D5) SSCLK3(ポートSIO機能選択レジスタ0x402D7-D2)
P32(#DMAACK0/#SRDY3)	I/O	入出力兼用ポート/シリアルIF Ch.3レディ入出力	CFP32(P3機能選択レジスタ0x402DC-D2) SSRDY3(ポートSIO機能選択レジスタ0x402D7-D3)

■SINx(シリアルデータ入力端子)

シリアルデータを入力します。転送モードにかかわらず共通です。

■SOUTx(シリアルデータ出力端子)

シリアルデータを出力します。転送モードにかかわらず共通です。

■#SCLKx(クロック入出力端子)

クロックを入出力します。クロック同期式スレーブモードではクロック入力端子として、クロック同期式マスタモードではクロック出力端子として使用されます。調歩同期式モードでは、外部クロックを使用する場合にクロック入力端子として使用されます。内部クロックを使用する場合はこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

■#SRDYx(レディ信号入出力端子)

クロック同期式モードで使用するレディ信号を入出力します。クロック同期式スレーブモードではレディ信号出力端子として、クロック同期式マスタモードではレディ信号入力端子として使用されます。調歩同期式モードではこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

■シリアルインタフェース入出力端子の設定方法

シリアルインタフェースで使用する端子はすべて入出力兼用ポート端子と共用されており、コールドスタート時にすべて入出力兼用ポート端子Pxx(機能選択ビットCFPxx, CFEXx, SSxxx = "0")として設定されます。シリアルインタフェースを使用する場合は、使用するチャンネルと転送モードに合わせ、使用する端子の機能選択ビットの設定を行ってください。

ホットスタート時は、リセット前の設定状態を保持します。

転送モードの設定

シリアルインタフェースの転送モードは、シリアルI/F Ch.x制御レジスタ(Ch.0: 0x401E3、Ch.1: 0x401E8、Ch.2: 0x401F3、Ch.3: 0x401F8)のSMDx[1:0](D[1:0])によってチャンネル個別に表III.9.2のように設定できます。

表III.9.2 転送モード

SMDx1	SMDx0	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

イニシャルリセット時、SMDxは不定となりますので、必ずソフトウェアで初期化してください。

IrDAインタフェースを使用する場合は、調歩同期式7ビットモードまたは調歩同期式8ビットモードに設定してください。

入出力端子は転送モードにより構成が異なります。表III.9.3に各モードの端子構成を示します。

表III.9.3 転送モードによる端子設定

転送モード	SINx	SOUTx	#SCLKx	#SRDYx
調歩同期式8ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
調歩同期式7ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
クロック同期式スレーブ	データ入力	データ出力	クロック入力	レディ出力
クロック同期式マスタ	データ入力	データ出力	クロック出力	レディ入力

クロック同期式モードは4本すべてを使用します。

調歩同期式モードでは#SRDYxを使用しないため、P03(またはP07、P24、P23)は入出力兼用(P)ポートとして使用可能です。また、外部クロックを使用しない場合はP02(またはP06、P25、P15)も入出力兼用ポートとして使用可能です。

シリアルインタフェースに使用される入出力兼用ポートのI/O制御レジスタおよびデータレジスタは、リード/ライト可能な汎用レジスタとして使用することができます。

注: IrDAインタフェースを設定するためにシリアルI/F IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9、Ch.2: 0x401F4、Ch.3: 0x401F9)にIRMDx[1:0](D[1:0])が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。

クロック同期式インタフェース

クロック同期式インタフェースの概要

クロック同期式転送は8ビットデータを送信側、受信側に共通のクロックに同期させて転送する方式です。送信部、受信部ともにダブルバッファ構造になっているため、連続送信および連続受信が可能です。クロックラインが送受信で共用されるため、半二重通信となります。

■マスタモードとスレーブモード

シリアルI/F Ch.x制御レジスタ(Ch.0: 0x401E3、Ch.1: 0x401E8、Ch.2: 0x401F3、Ch.3: 0x401F8)のSMDx[1:0](D[1:0])によってクロック同期式マスタモードまたはクロック同期式スレーブモードが選択できます。

クロック同期式マスタモード (SMDx[1:0] = "00")

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

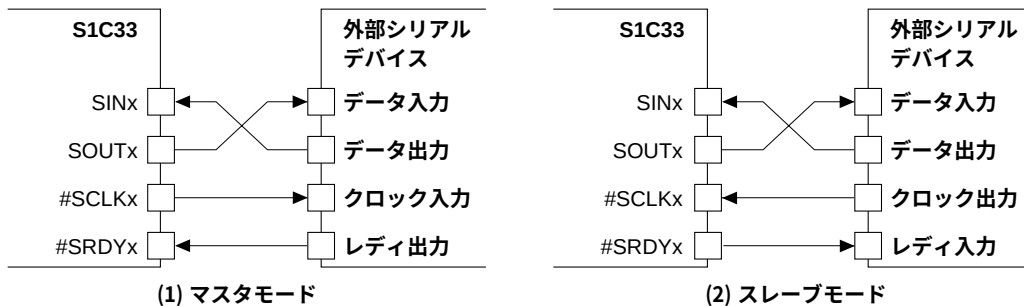
同期クロックは#SCLKx端子から出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。また、#SRDYx端子には外部シリアル入出力デバイスの送受信レディ状態(Lowで送受信レディ)を示す信号を入力します。

クロック同期式スレーブモード (SMDx[1:0] = "01")

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#SCLKx端子より入力し、本シリアルインタフェースの同期クロックとして使用します。また、本シリアルインタフェースの送受信レディ状態を示す#SRDYx信号が#SRDYx端子から出力されます。

図III.9.2にクロック同期式モードにおける入出力端子の接続例を示します。

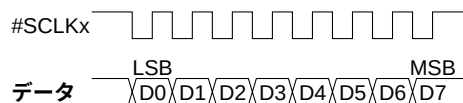


図III.9.2 クロック同期式マスタモードの接続例

■クロック同期式転送データフォーマット

クロック同期式転送では、データフォーマットが次のとおり固定です。

データ長: 8ビット
 スタートビット: なし
 ストップビット: なし
 パリティビット: なし



図III.9.3 クロック同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

クロック同期式インタフェースの設定

シリアルインタフェースでクロック同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"シリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENxおよびRXENxを"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

■入出力端子の設定

クロック同期式モードでは、SINx、SOUTx、#SCLKx、#SRDYxの4本の端子をすべて使用します。使用するチャンネルに合わせ、以下の設定を行ってください(複数チャンネルの同時使用も可能)。

Ch.0: CFP0[3:0](P0機能選択レジスタ0x402D0・D[3:0]) = "1111"

Ch.1: CFP0[7:4](P0機能選択レジスタ0x402D0・D[7:4]) = "1111"

CFEX[7:4](ポート機能拡張レジスタ0x402DF・D[7:4]) = "0000"

Ch.2: SSRDY2, SSCLK2, SSOUT2, SSIN2(ポートSIO機能拡張レジスタ0x402DB・D[3:0]) = "1111"

Ch.3: SSRDY3, SSCLK3, SSOUT3, SSIN3(ポートSIO機能拡張レジスタ0x402D7・D[3:0]) = "1111"

■インタフェースモード設定

インタフェースモード(通常のインタフェースまたはIrDAインタフェース)を設定するシリアルI/F Ch.x IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9、Ch.2: 0x401F4、Ch.3: 0x401F9)のIRMDx[1:0](D[1:0])に"00"を書き込み、通常のインタフェースを選択します。IRMDxはイニシャルリセット時に不定となりますので、初期化する必要があります。

■転送モード設定

前述のとおり、シリアルインタフェースの転送モードをSMDxで設定します。

本インタフェースをクロック同期式転送のマスタとして使用する場合はSMDx[1:0]を"00"に、スレーブとして使用する場合は"01"に設定してください。

■入力クロックの設定

・クロック同期式マスタモード

クロック同期式マスタモードは内部発生したクロックで動作します。各チャンネルのクロック源は次のとおりです。

Ch.0: 8ビットプログラマブルタイマ2の出力クロック

Ch.1: 8ビットプログラマブルタイマ3の出力クロック

Ch.2: 8ビットプログラマブルタイマ4の出力クロック

Ch.3: 8ビットプログラマブルタイマ5の出力クロック

したがって、クロック同期式マスタモードでシリアルインタフェースを使用するには、以下の条件が満たされている必要があります。

1. プリスケアラが8ビットプログラマブルタイマ2(3)にクロックを出力している
2. 8ビットプログラマブルタイマ2(3)がクロックを出力している

プリスケアラの分周比および8ビットプログラマブルタイマのリロードデータの設定により、クロック周波数を任意に設定可能です。これらの設定内容と転送速度の関係は式1で表されます。

8ビットプログラマブルタイマは、シリアルインタフェースに供給するクロックのデューティを50%にするため、内部的にアンダーフロー信号をさらに1/2に分周しています。式1はこの1/2分周を考慮しています。

$$RLD = \frac{f_{PSCIN} \times pdr}{2 \times bps} - 1 \quad (\text{式1})$$

RLD: 8ビットプログラマブルタイマのリロードレジスタ設定値

fPSCIN: プリスケアラ入力クロック周波数(Hz)

bps: 転送速度(ビット/秒)

pdr: プリスケアラの分周比

注: プリスケアラで選択する分周比は8ビットプログラマブルタイマ2と3では異なりますので、設定の際には注意してください。

8ビットプログラマブルタイマ2、4: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/2048, 1/4096

8ビットプログラマブルタイマ3、5: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256

プリスケアラと8ビットプログラマブルタイマの制御方法については、"プリスケアラ"、"8ビットプログラマブルタイマ"を参照してください。

シリアルインタフェースの制御レジスタの中に、調歩同期式モードのクロック源を選択するSSCKxビットがあります。このビットはクロック同期式モードのクロックには影響を与えませんが、イニシャルリセット時に不定となるため、クロック同期式マスタモードで使用する場合でも"0"(内部クロック)を書き込んで初期化してください。

• クロック同期式スレーブモード

クロック同期式スレーブモードは外部マスタが出力するクロックで動作します。クロックは#SCLK端子から入力します。

したがって、プリスケアラや8ビットプログラマブルタイマの制御は必要ありません。

SSCKxビットは"1"(#SCLKx)を書き込んで初期化してください。

クロック同期式転送の制御と動作

■送信制御

(1) 送信許可

送信の制御には、送信許可ビットTXENxを使用します。

Ch.0送信許可: TXEN0(シリアルI/F Ch.0制御レジスタ0x401E3・D7)

Ch.1送信許可: TXEN1(シリアルI/F Ch.1制御レジスタ0x401E8・D7)

Ch.2送信許可: TXEN2(シリアルI/F Ch.2制御レジスタ0x401F3・D7)

Ch.3送信許可: TXEN3(シリアルI/F Ch.3制御レジスタ0x401F8・D7)

このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。#SCLKx端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

TXENxに"0"を書き込むと送信禁止状態に戻ります。

なお、端子の機能選択レジスタをシリアル入出力用に設定した後、#SRDYx、#SCLKxは以下のタイミングで入力/出力が切り換わります。

#SRDYx: スレーブモードに設定→出力モードに切り換わります。

上記以外→入力モード

#SCLKx: マスタモードに設定→出力モードに切り換わります。

上記以外→入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXENxと受信許可ビットRXENxを同時に許可に設定することはできません。送信を行う場合はRXENxを"0"に固定し、変更しないでください。

また、送信中はTXENxを"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタと送信データレジスタ(送信データバッファ)が受信用とは独立して設けられています。

Ch.0送信データ: TXD0[7:0](シリアルI/F Ch.0送信データレジスタ0x401E0・D[7:0])

Ch.1送信データ: TXD1[7:0](シリアルI/F Ch.1送信データレジスタ0x401E5・D[7:0])

Ch.2送信データ: TXD2[7:0](シリアルI/F Ch.2送信データレジスタ0x401F0・D[7:0])

Ch.3送信データ: TXD3[7:0](シリアルI/F Ch.3送信データレジスタ0x401F5・D[7:0])

また、送信データレジスタの状態を示すステータスビットも設けられています。

Ch.0送信データバッファエンプティ: TDBE0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D1)

Ch.1送信データバッファエンプティ: TDBE1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D1)

Ch.2送信データバッファエンプティ: TDBE2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D1)

Ch.3送信データバッファエンプティ: TDBE3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D1)

このビットは送信データレジスタにデータを書き込むと"0"となり、そのデータがシフトレジスタに転送されると"1"(バッファエンプティ)に戻ります。

送信データレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。

送信状態は、送信終了フラグ(TENDx)で確認できます。

Ch.0送信終了フラグ: TEND0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D5)

Ch.1送信終了フラグ: TEND1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D5)

Ch.2送信終了フラグ: TEND2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D5)

Ch.3送信終了フラグ: TEND3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D5)

このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式転送で連続してデータを送信する場合、マスタモード時は全データを送信するまで"1"を保持し(図III.9.4)、スレーブモード時は1バイト送信するごとに"0"となります(図III.9.5)。

マスタモード、スレーブモードそれぞれの送信動作は以下のとおりです。

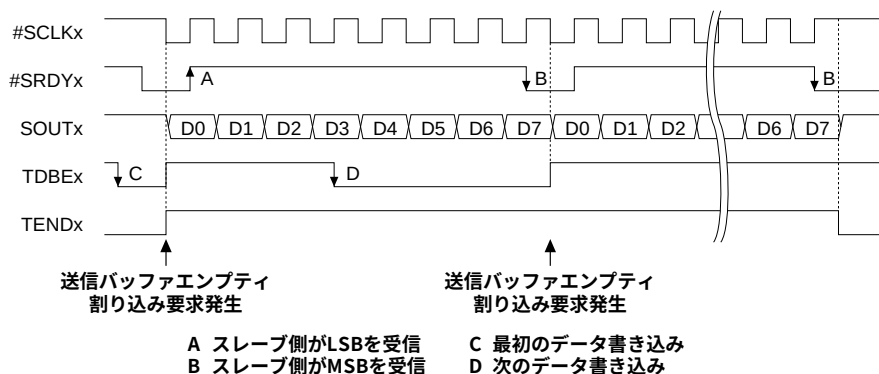
・クロック同期式マスタモード

マスタモードが送信動作を開始するタイミングは次のとおりです。

TDBExが"0" (送信データレジスタにデータが書き込まれている) の状態で、#SRDYxがLowになった場合または

#SRDYxがLowの状態で、TDBExが"0"になった (送信データレジスタにデータが書き込まれた) 場合

図III.9.4にクロック同期式マスタモードの送信タイミングチャートを示します。



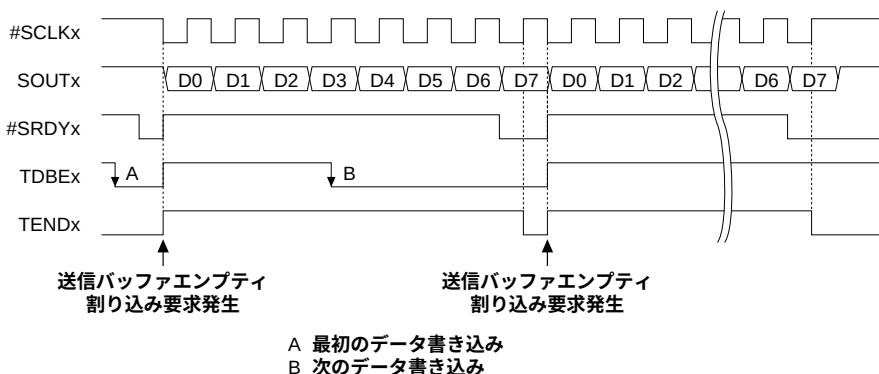
図III.9.4 クロック同期式マスタモードの送信タイミング

1. スレーブからの#SRDYx信号がHighの場合はLow (受信レディ) になるまで待機します。
2. #SRDYxがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。同期クロックは#SCLKx端子からスレーブ側のデバイスにも出力されます。
3. クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUTx端子から出力されます。
4. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUTxから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。

スレーブ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込んでください。

・クロック同期式スレーブモード

図III.9.5にクロック同期式スレーブモードの送信タイミングチャートを示します。



図III.9.5 クロック同期式スレーブモードの送信タイミング

1. #SRDYx信号をLow (送信レディ) にしてマスタ側からのクロック入力を待ちます。
2. 同期クロックが#SCLKx端子から入力されると、クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUTx端子から出力されます。
#SRDYx信号はこの時点でHighに戻ります。
3. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUTxから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。
4. 最後のビット (8ビット目) をSOUTx端子に出力したところで、#SRDYx信号をLowにします。

マスタ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込んでください。

• 連続送信

送信データレジスタのデータがシフトレジスタに転送されるとTDBExは"1"(バッファエンプティ)に戻ります。これ以降であれば、データの送信中であっても、送信データレジスタに次の送信データを書き込むことが可能です。

これにより、データの連続送信が行えます。各データの送信手順は前述のとおりです。

TDBExが"1"になると同時に送信データエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) 送信の終了

データの送信が終了した場合は、送信許可ビットTXENxに"0"を書き込んで送信禁止に設定してください。

■ 受信制御

(1) 受信許可

受信の制御には、受信許可ビットRXENxを使用します。

Ch.0受信許可: RXEN0(シリアルI/F Ch.0制御レジスタ0x401E3•D6)

Ch.1受信許可: RXEN1(シリアルI/F Ch.1制御レジスタ0x401E8•D6)

Ch.2受信許可: RXEN2(シリアルI/F Ch.2制御レジスタ0x401F3•D6)

Ch.3受信許可: RXEN3(シリアルI/F Ch.3制御レジスタ0x401F8•D6)

このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信動作を開始します。#SCLKx端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

RXENxに"0"を書き込むと受信禁止状態に戻ります。

なお、端子の機能選択レジスタをシリアル入出力用に設定した後、#SRDYx、#SCLKxは以下のタイミングで入力/出力が切り換わります。

#SRDYx: スレーブモードに設定→出力モードに切り換わります。

上記以外→入力モード

#SCLKx: マスタモードに設定→出力モードに切り換わります。

上記以外→入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、RXENxと送信許可ビットTXENxを同時に許可に設定することはできません。受信を行う場合はTXENxを"0"に固定し、変更しないでください。

また、受信中はRXENxを"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタと受信データレジスタ(受信データバッファ)が送信用とは独立して設けられています。

Ch.0受信データ: RXD0[7:0](シリアルI/F Ch.0受信データレジスタ0x401E1•D[7:0])

Ch.1受信データ: RXD1[7:0](シリアルI/F Ch.1受信データレジスタ0x401E6•D[7:0])

Ch.2受信データ: RXD2[7:0](シリアルI/F Ch.2受信データレジスタ0x401F1•D[7:0])

Ch.3受信データ: RXD3[7:0](シリアルI/F Ch.3受信データレジスタ0x401F6•D[7:0])

受信データはこのレジスタから読み出すことができます。

また、受信データレジスタの状態を示すステータスビットが設けられています。

Ch.0受信データバッファフル: RDBF0(シリアルI/F Ch.0ステータスレジスタ0x401E2•D0)

Ch.1受信データバッファフル: RDBF1(シリアルI/F Ch.1ステータスレジスタ0x401E7•D0)

Ch.2受信データバッファフル: RDBF2(シリアルI/F Ch.2ステータスレジスタ0x401F2•D0)

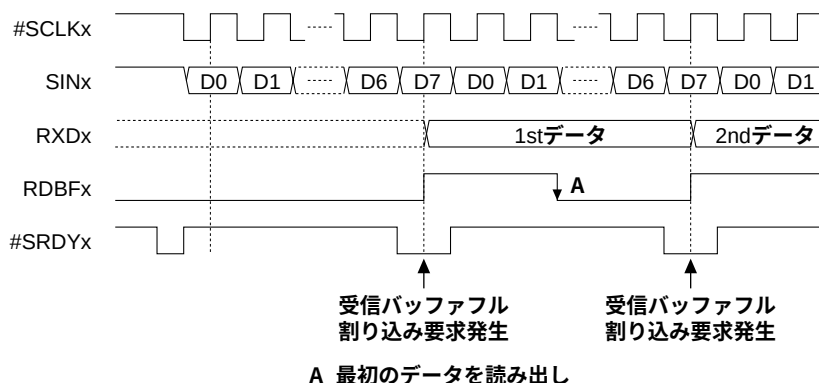
Ch.3受信データバッファフル: RDBF3(シリアルI/F Ch.3ステータスレジスタ0x401F7•D0)

このビットはシリアルデータのMSBを受信してシフトレジスタのデータが受信データレジスタに転送されると"1"(バッファフル)となり、受信データが読み出せることを示します。そのデータが読み出されると"0"に戻ります。

マスタモード、スレーブモードそれぞれの受信動作は以下のとおりです。

・クロック同期式マスタモード

図III.9.6にクロック同期式マスタモードの受信タイミングチャートを示します。

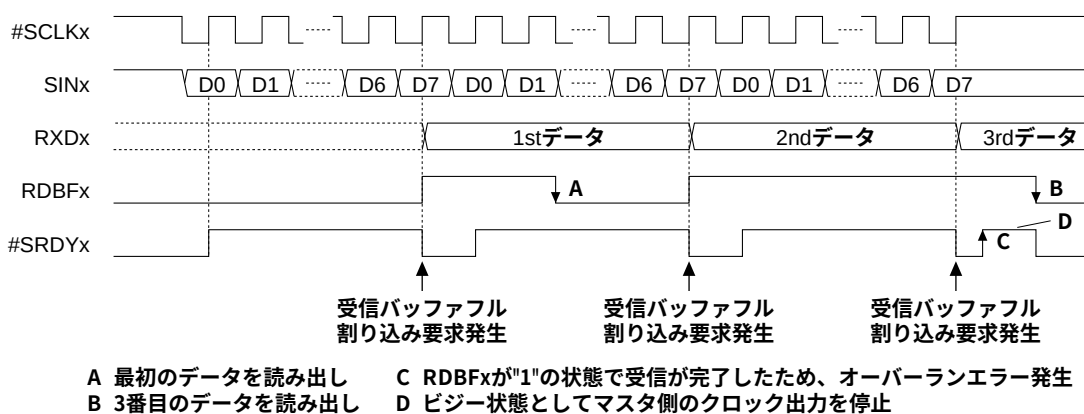


図III.9.6 クロック同期式マスタモードの受信タイミング

1. スレーブからの#SRDYx信号がHighの場合はLow(送信レディ)になるまで待機します。
2. #SRDYxがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。同期クロックは#SCLKx端子からスレーブ側のデバイスにも出力されます。
3. スレーブ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
4. 本シリアルインタフェースは、SINxの入力をクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
5. MSBが取り込まれると、シフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

・クロック同期式スレーブモード

図III.9.7にクロック同期式スレーブモードの受信タイミングチャートを示します。



図III.9.7 クロック同期式スレーブモードの受信タイミング

1. #SRDYx信号をLow(受信レディ)にしてマスタ側からのクロック入力を待ちます。
2. マスタ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
3. 本シリアルインタフェースは、SINxの入力を#SCLKxから入力したクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
4. MSBが取り込まれると、シフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

• 連続受信

シフトレジスタに受信したデータが受信データレジスタに転送されると、RDBFxが"1"(バッファフル)となり受信データが読み出せることを示します。

次のデータの受信中に受信データレジスタを読み出すことができますので、データの連続受信が行えます。各データの受信手順は前述のとおりです。

RDBFxが"1"になると同時に受信データフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) オーバーランエラー

連続受信を行っている場合、受信データレジスタを読み出す前に次のデータの受信を終了すると受信データレジスタは新たなデータで上書きされます。したがって、受信データレジスタは次のデータの受信が終了する前に読み出すことが必要です。

受信データレジスタが上書きされるとオーバーランエラーが発生し、オーバーランエラーフラグが"1"にセットされます。

Ch.0 オーバーランエラーフラグ: OER0(シリアルI/F Ch.0ステータスレジスタ0x401E2•D2)

Ch.1 オーバーランエラーフラグ: OER1(シリアルI/F Ch.1ステータスレジスタ0x401E7•D2)

Ch.2 オーバーランエラーフラグ: OER2(シリアルI/F Ch.2ステータスレジスタ0x401F2•D2)

Ch.3 オーバーランエラーフラグ: OER3(シリアルI/F Ch.3ステータスレジスタ0x401F7•D2)

オーバーランエラーフラグは、"1"にセットされるとソフトウェアで"0"を書き込むまでリセットされません。

オーバーランエラーはシリアルインタフェースの受信エラー割り込み要因のひとつです。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。

(4) スレーブモードの#SRDYx

RXENxに"1"を書き込んで受信を許可すると#SRDYx信号はLowとなり、受信可能であることをマスタ側のデバイスに知らせます。シリアルデータのLSBを受信すると#SRDYxはHighとなり、MSBを受信すると次の受信に備えてLowに戻ります。

オーバーランエラーが発生した場合は、その時点で#SRDYxがHigh(受信不可)となりますので、続くデータ受信は中断します。この場合、受信データレジスタに上書きされたデータを読み出すことで#SRDYxがLowに戻り、続くデータがあれば受信を再開します。

(5) 受信の終了

データの受信が終了した場合は、受信許可ビットRXENxに"0"を書き込んで受信禁止に設定してください。

調歩同期式インタフェース

調歩同期式インタフェースの概要

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。

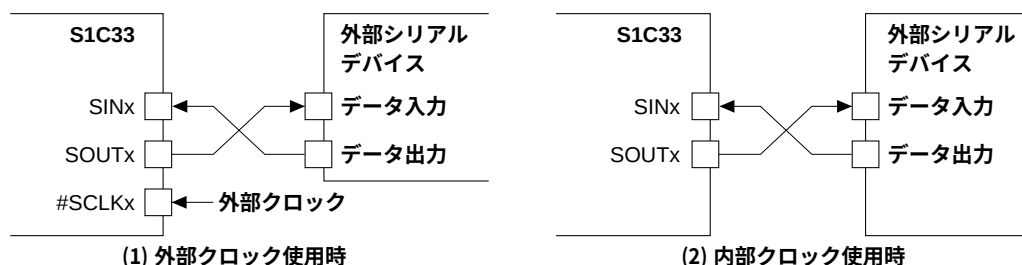
調歩同期式8ビットモード(SMDx[1:0] = "11")では8ビットデータの転送、調歩同期式7ビットモード(SMDx[1:0] = "10")では7ビットデータの転送が行えます。

どちらのモードも、ストップビット長の選択、パリティビットの追加、偶数/奇数パリティの選択が可能です。スタートビットは1ビットに固定です。

動作クロックには、8ビットプログラマブルタイマによる内部クロック、または#SCLKx端子から入力する外部クロックのいずれかを選択することができます。

送信部、受信部ともにダブルバッファ構造になっているため、連続送信および連続受信が可能です。また、送信部、受信部が独立しているため、送信と受信を同時に行う全二重通信が可能です。

図III.9.8に調歩同期式モードにおける入出力端子の接続例を示します。



図III.9.8 調歩同期式モードの接続例

調歩同期式モードに設定すると、IrDAインタフェース機能を使用することもできます。

■調歩同期式転送データフォーマット

調歩同期式転送のデータフォーマットは以下のとおりです。

データ長: 7ビットまたは8ビット(転送モードの選択により決定)

スタートビット: 1ビット固定

ストップビット: 1ビットまたは2ビット

パリティビット: 偶数パリティ、奇数パリティ、またはなし

サンプリングクロック(送信時)

調歩同期式7ビットモード

(ストップビット: 1ビット, パリティ: なし)

(ストップビット: 1ビット, パリティ: あり)

(ストップビット: 2ビット, パリティ: なし)

(ストップビット: 2ビット, パリティ: あり)

調歩同期式8ビットモード

(ストップビット: 1ビット, パリティ: なし)

(ストップビット: 1ビット, パリティ: あり)

(ストップビット: 2ビット, パリティ: なし)

(ストップビット: 2ビット, パリティ: あり)

s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図III.9.9 調歩同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

調歩同期式インタフェースの設定

シリアルインタフェースで調歩同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"シリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENxおよびRXENxを"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

■入出力端子の設定

調歩同期式モードでは、SINxおよびSOUTxの2本の端子を使用します。外部クロックを入力する場合は、さらに#SCLKx端子も使用します。

使用するチャンネルに合わせ、以下の設定を行ってください(複数チャンネルの同時使用も可能)。

Ch.0: CFP0[3:0] (P0機能選択レジスタ0x402D0・D[3:0]) = "0011"*

Ch.1: CFP0[7:4] (P0機能選択レジスタ0x402D0・D[7:4]) = "0011"*

CFEX[7:4] (ポート機能拡張レジスタ0x402DF・D[7:4]) = "0000"または"1100"

Ch.2: SSRDY2, SSCLK2, SSOUT2, SSIN2 (ポートSIO機能拡張レジスタ0x402DB・D[3:0]) = "0011"*

Ch.3: SSRDY3, SSCLK3, SSOUT3, SSIN3 (ポートSIO機能拡張レジスタ0x402D7・D[3:0]) = "0011"*

* #SCLKx使用時は"0111"

■インタフェースモード設定

IrDAインタフェースを設定するために、シリアルI/F Ch.x IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9、Ch.2: 0x401F4、Ch.3: 0x401F9)にIRMDx[1:0] (D[1:0])が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。この設定は転送モードを設定する前に行ってください。

■転送モード設定

前述のとおり、シリアルインタフェースの転送モードをSMDxで設定します。

本インタフェースを調歩同期式8ビットモードで使用する場合はSMDx[1:0]を"11"に、調歩同期式7ビットモードで使用する場合は"10"に設定してください。

■入力クロックの設定

調歩同期式モードでは、動作クロックとして内部クロックまたは外部クロックが選択できます。

Ch.0入力クロック選択: SSCK0(シリアルI/F Ch.0制御レジスタ0x401E3・D2)

Ch.1入力クロック選択: SSCK1(シリアルI/F Ch.0制御レジスタ0x401E8・D2)

Ch.2入力クロック選択: SSCK2(シリアルI/F Ch.2制御レジスタ0x401F3・D2)

Ch.3入力クロック選択: SSCK3(シリアルI/F Ch.3制御レジスタ0x401F8・D2)

SSCKxに"1"を書き込むと外部クロック(#SCLKx端子より入力)、"0"を書き込むと内部クロックが選択されます。

注: SSCKxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

・内部クロック

内部クロックを選択すると、8ビットプログラマブルタイマで発生したクロックで動作します。各チャネルのクロック源は次のとおりです。

Ch.0: 8ビットプログラマブルタイマ2の出力クロック

Ch.1: 8ビットプログラマブルタイマ3の出力クロック

Ch.2: 8ビットプログラマブルタイマ4の出力クロック

Ch.3: 8ビットプログラマブルタイマ5の出力クロック

したがって、内部クロックを使用する場合は、以下の条件が満たされている必要があります。

1. プリスケアラが8ビットプログラマブルタイマ2(3)にクロックを出力している
2. 8ビットプログラマブルタイマ2(3)がクロックを出力している

プリスケアラの分周比および8ビットプログラマブルタイマのリロードデータの設定により、クロック周波数を任意に設定可能です。これらの設定内容と転送速度の関係は式2で表されます。

8ビットプログラマブルタイマは、シリアルインタフェースに供給するクロックのデューティを50%にするため、内部的にアンダーフロー信号をさらに1/2に分周しています。

また、8ビットプログラマブルタイマの出力クロックはシリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります("サンプリングクロック"参照)。転送速度を設定する際には、この分周比も考慮する必要があります。

式2はこれらの分周も考慮しています。

$$RLD = \frac{fp_{SCIN} \times pdr \times sdr}{2 \times bps} - 1 \quad (\text{式2})$$

RLD: 8ビットプログラマブルタイマのリロードレジスタ設定値

fp_{SCIN}: プリスケアラ入力クロック周波数(Hz)

bps: 転送速度(ビット/秒)

pdr: プリスケアラの分周比

sdr: シリアルインタフェース内部分周比(1/16または1/8)

注: プリスケアラで選択する分周比は8ビットプログラマブルタイマ2と3では異なりますので、設定の際には注意してください。

8ビットプログラマブルタイマ2、4: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/2048, 1/4096

8ビットプログラマブルタイマ3、5: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256

表III.9.4にシリアルインタフェースの内部分周比を1/16に設定した場合の、プリスケアラ分周比とプログラマブルタイマのリロードデータ設定例を示します。

表III.9.4 転送速度の設定例

転送速度 (bps)	fp _{SCIN} = 20MHz			fp _{SCIN} = 25MHz			fp _{SCIN} = 33MHz		
	RLD	pdr	誤差(%)	RLD	pdr	誤差(%)	RLD	pdr	誤差(%)
300	129	1/16	0.16025	162	1/16	-0.14698	216	1/16	0.00640
1200	129	1/4	0.16025	162	1/4	-0.14698	216	1/4	0.00640
2400	129	1/2	0.16025	162	1/2	-0.14698	216	1/2	0.00640
4800	64	1/2	0.16025	80	1/2	-0.46939	108	1/2	-0.45234
9600	32	1/2	-1.35732	40	1/2	-0.75584	53	1/2	0.46939
14400	21	1/2	-1.35732	13	1/4	-3.11880	35	1/2	0.46939
28800	10	1/2	-1.35732	13	1/2	-3.11880	17	1/2	0.46939

誤差はできるだけ1%以内となるように設定してください。誤差の計算式は次のとおりです。

$$\text{誤差} = \left\{ \frac{fp_{SCIN} \times pdr}{(RLD + 1) \times 32 \times bps} - 1 \right\} \times 100 [\%]$$

プリスケアラと8ビットプログラマブルタイマの制御方法については、"プリスケアラ"、"8ビットプログラマブルタイマ"を参照してください。

• 外部クロック

外部クロックを選択すると、#SCLKx端子から入力するクロックで動作します。
したがって、プリスケアラや8ビットプログラマブルタイマの制御は必要ありません。

クロック周波数は任意に設定可能です。#SCLKx端子から入力されたクロックはシリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります("サンプリングクロック"参照)。転送速度を設定する際には、この分周比も考慮してください。

• サンプリングクロック

調歩同期式モードではTCLK(8ビットプログラマブルタイマの出力クロックまたは#SCLKx端子からの入力クロック)をシリアルインタフェースの内部で分周してサンプリングクロックが生成されます。

分周比はDIVMDxに"0"を書き込むと1/16、"1"を書き込むと1/8に設定されます。

Ch.0クロック分周比選択: DIVMD0(シリアルI/F Ch.0 IrDAレジスタ0x401E4・D4)

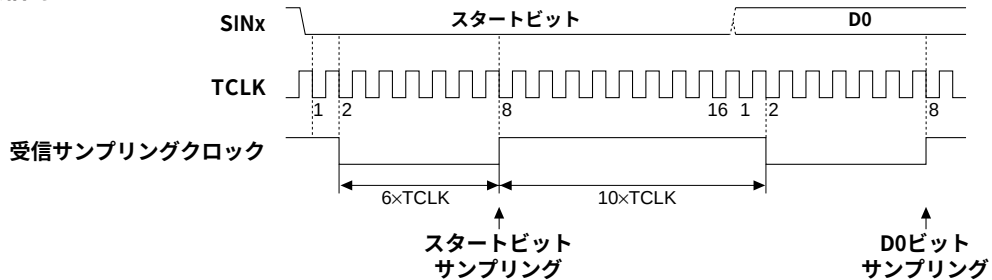
Ch.1クロック分周比選択: DIVMD1(シリアルI/F Ch.1 IrDAレジスタ0x401E9・D4)

Ch.2クロック分周比選択: DIVMD2(シリアルI/F Ch.2 IrDAレジスタ0x401F4・D4)

Ch.3クロック分周比選択: DIVMD3(シリアルI/F Ch.3 IrDAレジスタ0x401F9・D4)

**注: DIVMDxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。
このビットの設定は調歩同期式モード(IrDAインタフェース使用時も含む)でのみ有効です。**

受信時



図III.9.10 調歩同期式受信時のサンプリングクロック(1/16分周選択時)

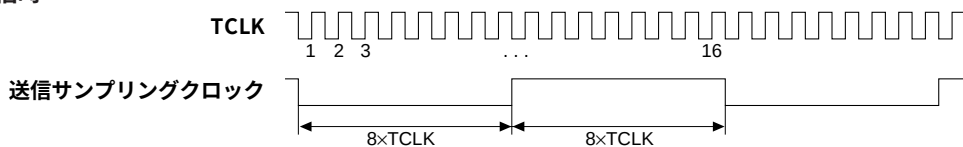
図III.9.10に示すように、サンプリングクロックはTCLKを1/16分周(または8分周)して生成されます。クロックのデューティ比(Low:High)は6:10(1/8選択時は2:6)となり、50%ではありません。受信する各ビットデータの中央でサンプリングするために、最初にスタートビットを認識してから2番目のTCLKの立ち下がりエッジでHighからLowに変化し、8番目(1/8選択時は4番目)のTCLKの立ち下がりエッジでLowからHighになります。以後、この変化を繰り返します。

各ビットデータはこのサンプリングクロックの各立ち上がりエッジでサンプリングされます。ストップビットをサンプリングすると、次にスタートビットがくるまでHighに固定されます。

スタートビットを認識後、2番目のTCLKの立ち下がりエッジでSINx端子がHighに戻っていた場合は、ノイズとみなして以降のサンプリングクロックの生成を中止します。

送信側、受信側のボーレートが合っていない場合など、8個目(1/8選択時は4個目)のクロックによるスタートビットサンプリングの際にSINx端子がLowでなかったときは、以降のデータのサンプリングを中止してスタートビット検出の状態に戻ります。この場合、エラーは発生しません。

送信時



図III.9.11 調歩同期式送信時のサンプリングクロック(1/16分周選択時)

送信時はTCLKを1/16(または1/8)に分周してデューティ50%のサンプリングクロックを生成し、それに同期して各ビットを出力します。

■データフォーマットの設定

調歩同期式モードでは、転送モードの設定によりデータ長が7ビットまたは8ビットとなります。スタートビットは1ビットに固定です。

ストップビットとパリティビットは以下の制御ビットにより表III.9.5のとおり設定できます。

表III.9.5 シリアルI/F制御ビット

	Ch.0(シリアルI/F Ch.0制御レジスタ)	Ch.1(シリアルI/F Ch.1制御レジスタ)	Ch.2(シリアルI/F Ch.2制御レジスタ)	Ch.3(シリアルI/F Ch.3制御レジスタ)
ストップビット選択	STPB0(0x401E3・D3)	STPB1(0x401E8・D3)	STPB2(0x401F3・D3)	STPB3(0x401F8・D3)
パリティイネーブル	EPR0(0x401E3・D5)	EPR1(0x401E8・D5)	EPR2(0x401F3・D5)	EPR3(0x401F8・D5)
パリティモード選択	PMD0(0x401E3・D4)	PMD1(0x401E8・D4)	PMD2(0x401F3・D4)	PMD3(0x401F8・D4)

表III.9.6 ストップビットとパリティビットの設定

STPBx	EPRx	PMDx	ストップビット	パリティビット
1	1	1	2ビット	奇数
		0	2ビット	偶数
	0	*	2ビット	なし
0	1	1	1ビット	奇数
		0	1ビット	偶数
	0	*	1ビット	なし

* EPRxが"0"の場合、PMDxの設定は無効です。

注: これらのビットはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

調歩同期式転送の制御と動作

■送信制御

(1) 送信許可

送信の制御には、送信許可ビットTXENxを使用します。

Ch.0送信許可: TXEN0(シリアルI/F Ch.0制御レジスタ0x401E3・D7)

Ch.1送信許可: TXEN1(シリアルI/F Ch.1制御レジスタ0x401E8・D7)

Ch.2送信許可: TXEN2(シリアルI/F Ch.2制御レジスタ0x401F3・D7)

Ch.3送信許可: TXEN3(シリアルI/F Ch.3制御レジスタ0x401F8・D7)

このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。

TXENxに"0"を書き込むと送信禁止状態に戻ります。

注: 送信中はTXENxを"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタと送信データレジスタ(送信データバッファ)が受信用とは独立して設けられています。

Ch.0送信データ: TXD0[7:0](シリアルI/F Ch.0送信データレジスタ0x401E0・D[7:0])

Ch.1送信データ: TXD1[7:0](シリアルI/F Ch.1送信データレジスタ0x401E5・D[7:0])

Ch.2送信データ: TXD2[7:0](シリアルI/F Ch.2送信データレジスタ0x401F0・D[7:0])

Ch.3送信データ: TXD3[7:0](シリアルI/F Ch.3送信データレジスタ0x401F5・D[7:0])

このレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。

調歩同期式7ビットモードでは、それぞれのレジスタのビット7(MSB)は無効となります。

また、送信データレジスタの状態を示すステータスビットも設けられています。

Ch.0送信データバッファエンプティ: TDBE0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D1)

Ch.1送信データバッファエンプティ: TDBE1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D1)

Ch.2送信データバッファエンプティ: TDBE2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D1)

Ch.3送信データバッファエンプティ: TDBE3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D1)

このビットは送信データレジスタにデータを書き込むと"0"となり、そのデータがシフトレジスタに転送されると"1"(バッファエンプティ)に戻ります。転送のタイミングはスタートビットの送信開始時です。

送信状態は、送信終了フラグ(TENDx)で確認できます。

Ch.0送信終了フラグ: TEND0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D5)

Ch.1送信終了フラグ: TEND1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D5)

Ch.2送信終了フラグ: TEND2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D5)

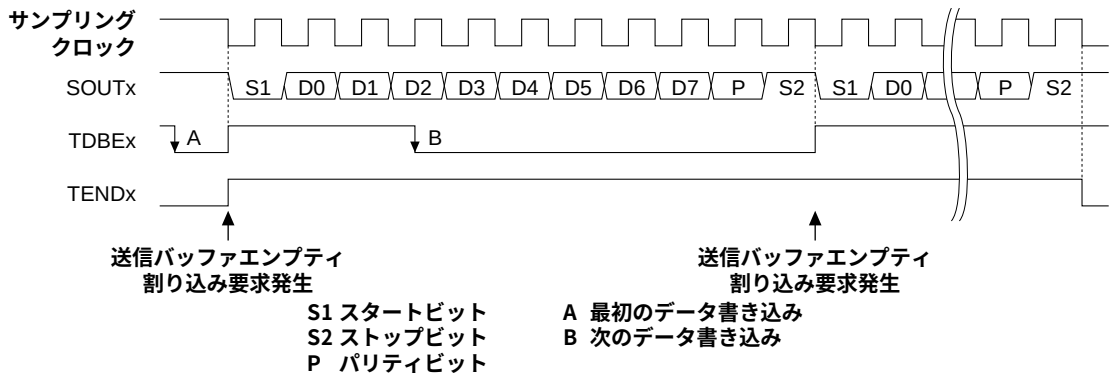
Ch.3送信終了フラグ: TEND3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D5)

このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

調歩同期式転送で連続してデータを送信する場合、全データを送信するまで"1"を保持します。

図III.9.12に調歩同期式モードの送信タイミングチャートを示します。

例: データ長 8ビット
 ストップビット 1ビット
 パリティビット あり



図III.9.12 調歩同期式モードの送信タイミング

1. サンプリングクロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、SOUTx端子をLowにしてスタートビットを送信します。
2. 続くサンプリングクロックの各立ち下がりエッジでシフトレジスタの各ビットをLSBから送信します。8(7)ビットのデータが送信されるまで、この動作を繰り返します。
3. MSBを送信後、パリティビット(EPRx="1"の場合)とストップビットを続けて送信します。

• 連続送信

送信データレジスタのデータがシフトレジスタに転送されるとTDBExは"1"(バッファエンpty)に戻ります。これ以降であれば、データの送信中であっても、送信データレジスタに次の送信データを書き込むことが可能です。

これにより、データの連続送信が行えます。各データの送信手順は前述のとおりです。

TDBExが"1"になると同時に送信データエンpty割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) 送信の終了

データの送信が終了した場合は、送信許可レジスタTXENxに"0"を書き込んで送信禁止に設定してください。

■受信制御

(1) 受信許可

受信の制御には、受信許可ビットRXENxを使用します。

Ch.0受信許可: RXEN0(シリアルI/F Ch.0制御レジスタ0x401E3・D6)

Ch.1受信許可: RXEN1(シリアルI/F Ch.0制御レジスタ0x401E8・D6)

Ch.2受信許可: RXEN2(シリアルI/F Ch.2制御レジスタ0x401F3・D6)

Ch.3受信許可: RXEN3(シリアルI/F Ch.3制御レジスタ0x401F8・D6)

このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信が行える状態となります。

RXENxに"0"を書き込むと受信禁止状態に戻ります。

注: 受信中はRXENxを"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタと受信データレジスタ(受信データバッファ)が送信用とは独立して設けられています。

Ch.0受信データ: RXD0[7:0](シリアルI/F Ch.0受信データレジスタ0x401E1・D[7:0])

Ch.1受信データ: RXD1[7:0](シリアルI/F Ch.1受信データレジスタ0x401E6・D[7:0])

Ch.2受信データ: RXD2[7:0](シリアルI/F Ch.2受信データレジスタ0x401F1・D[7:0])

Ch.3受信データ: RXD3[7:0](シリアルI/F Ch.3受信データレジスタ0x401F6・D[7:0])

受信データはこのレジスタから読み出すことができます。

また、受信データレジスタの状態を示すステータスビットが設けられています。

Ch.0受信データバッファフル: RDBF0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D0)

Ch.1受信データバッファフル: RDBF1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D0)

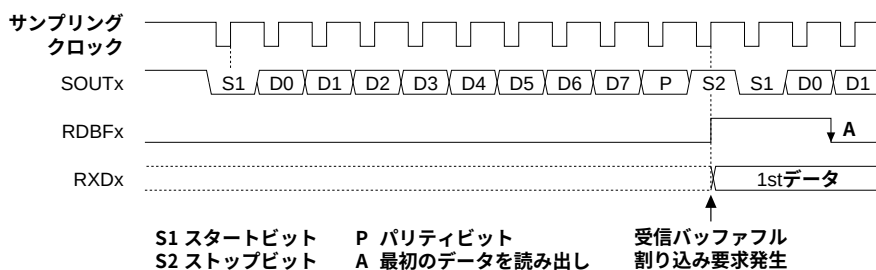
Ch.2受信データバッファフル: RDBF2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D0)

Ch.3受信データバッファフル: RDBF3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D0)

このビットはストップビット(2ビットに設定した場合は2ビット目)をサンプリングしてシフトレジスタのデータが受信データレジスタに転送されると"1"(バッファフル)となり、受信データが読み出せることを示します。そのデータが読み出されると"0"に戻ります。

図III.9.13に調歩同期式モードの受信タイミングチャートを示します。

例: データ長 8ビット
 ストップビット 1ビット
 パリティビット あり



図III.9.13 調歩同期式モードの受信タイミング

1. スタートビット(SINx = Low)の入力によりサンプリングを開始します。
2. サンプリングクロックの最初の立ち上がりエッジでスタートビットがサンプリングされると、以降のクロックの各立ち上がりエッジで受信データの各ビットをLSBからシフトレジスタに取り込みます。データのMSBを受信するまで、この動作を繰り返します。
3. MSBが取り込まれると、続くパリティビットを取り込みます(EPRx = "1"の場合)。
4. ストップビットをサンプリングするとシフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。
 受信データレジスタへの転送時にはパリティチェックが行われます(EPRx = "1"の場合)。

注: ストップビットを2ビットに設定した場合でも、ストップビットの1ビット目をサンプリングした時点で受信動作が終了します。

• 連続受信

シフトレジスタに受信したデータが受信データレジスタに転送されるとRDBFxが"1"(バッファフル)となり、受信データが読み出せることを示します。これ以降、次のデータの受信中に受信データレジスタを読み出すことができますので、データの連続受信が行えます。各データの受信手順は前述のとおりです。RDBFxが"1"になると同時に受信データフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) 受信エラー

調歩同期式モードの受信時には3種類の受信エラーが検出可能です。

割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。受信エラー割り込みについては、"シリアルインタフェース割り込みとDMA"を参照してください。

• パリティエラー

EPRxが"1"(パリティあり)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データレジスタに転送される際に行われ、PMDxの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグが"1"にセットされます。

Ch.0パリティエラーフラグ: PER0(シリアルI/F Ch.0ステータスレジスタ0x401E2•D3)

Ch.1パリティエラーフラグ: PER1(シリアルI/F Ch.1ステータスレジスタ0x401E7•D3)

Ch.2パリティエラーフラグ: PER2(シリアルI/F Ch.2ステータスレジスタ0x401F2•D3)

Ch.3パリティエラーフラグ: PER3(シリアルI/F Ch.3ステータスレジスタ0x401F7•D3)

本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。ただし、受信データはパリティエラーのため保証されません。

なお、PERxフラグは"0"を書き込むことによってリセットされます。

• フレーミングエラー

ストップビットを"0"として受信すると、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグが"1"にセットされます。

Ch.0フレーミングエラーフラグ: FER0(シリアルI/F Ch.0ステータスレジスタ0x401E2•D4)

Ch.1フレーミングエラーフラグ: FER1(シリアルI/F Ch.1ステータスレジスタ0x401E7•D4)

Ch.2フレーミングエラーフラグ: FER2(シリアルI/F Ch.2ステータスレジスタ0x401F2•D4)

Ch.3フレーミングエラーフラグ: FER3(シリアルI/F Ch.3ステータスレジスタ0x401F7•D4)

本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERxフラグは"0"を書き込むことによってリセットされます。

• オーバーランエラー

連続受信を行っている場合、受信データレジスタを読み出す前に次のデータの受信を終了すると受信データレジスタは新たなデータで上書きされます。したがって、受信データレジスタは次のデータの受信が終了する前に読み出すことが必要です。

受信データレジスタが上書きされるとオーバーランエラーが発生し、オーバーランエラーフラグが"1"にセットされます。

Ch.0オーバーランエラーフラグ: OER0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D2)

Ch.1オーバーランエラーフラグ: OER1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D2)

Ch.2オーバーランエラーフラグ: OER2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D2)

Ch.3オーバーランエラーフラグ: OER3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D2)

本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。

なお、OERxフラグは"0"を書き込むことによってリセットされます。

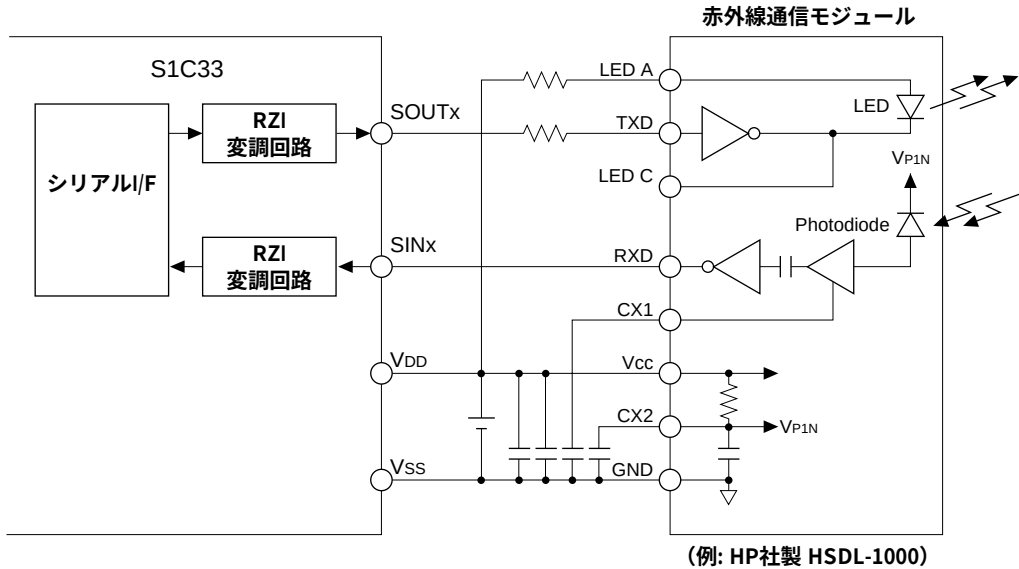
(4) 受信の終了

データの受信が終了した場合は、受信許可ビットRXENxに"0"を書き込んで受信禁止に設定してください。

IrDAインタフェース

IrDAインタフェースの概要

シリアルインタフェースは各チャンネルにRZI変調回路を内蔵しており、IrDA 1.0に準拠した赤外線通信の回路を簡単な外部回路を追加することにより構成できるようになっています。



図III.9.14 IrDAインタフェースの構成例

このIrDAインタフェース機能は、転送モードが調歩同期式モードに設定されている場合にのみ使用可能です。IrDAインタフェース部以外のシリアルインタフェース機能は調歩同期式モードの内容がそのまま適用されますので、データフォーマット、データ転送の設定や制御手順については「調歩同期式インタフェース」を参照してください。

IrDAインタフェースの設定

赤外線通信を行う場合は、通信開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモード (IrDAインタフェース機能) の選択
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 割り込み/IDMA/HSDMAの設定
7. 入出力論理の設定

1～5までは調歩同期式インタフェースで説明した内容です。「調歩同期式インタフェース」を参照してください。6については「シリアルインタフェース割り込みとDMA」を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に (TXENxおよびRXENxを"0"に設定して) 行ってください。動作中の設定変更は誤動作の原因となります。

また、IrDAインタフェース機能の選択(2)は、必ず転送モード(3)以降の設定を行う前に行ってください。

■IrDAインタフェース機能の選択

IrDAインタフェース機能を使用するには、次の制御ビットでIrDAインタフェース機能を選択し、さらに調歩同期式8ビット(または7ビット)モードに設定してください。

Ch.0 IrDAインタフェース機能選択: IRMD0[1:0](シリアル/F Ch.0 IrDAレジスタ0x401E4・D[1:0])

Ch.1 IrDAインタフェース機能選択: IRMD1[1:0](シリアル/F Ch.1 IrDAレジスタ0x401E9・D[1:0])

Ch.2 IrDAインタフェース機能選択: IRMD2[1:0](シリアル/F Ch.2 IrDAレジスタ0x401F4・D[1:0])

Ch.3 IrDAインタフェース機能選択: IRMD3[1:0](シリアル/F Ch.3 IrDAレジスタ0x401F9・D[1:0])

表III.9.7 IrDAインタフェースの設定

IRMDx1	IRMDx0	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

注: IRMDxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

■入出力論理の設定

IrDAインタフェースを使用する場合、RZI変調回路の入出力信号の論理を外部に接続する赤外線通信モジュールや回路に合わせて切り換えることができます。内蔵のシリアルインタフェースはLowアクティブです。Highアクティブの信号を入出力する場合は論理を反転させて使用します。入力SINxと出力SOUTxの論理をそれぞれIRRLx、IRTLxによって個別に設定することができます。

表III.9.8 IrDA入出力論理反転ビット

	Ch.0(シリアル/F Ch.0制御レジスタ)	Ch.1(シリアル/F Ch.1制御レジスタ)	Ch.2(シリアル/F Ch.2制御レジスタ)	Ch.3(シリアル/F Ch.3制御レジスタ)
IrDA入力論理反転	IRRL0(0x401E4・D2)	IRRL1(0x401E9・D2)	IRRL2(0x401F4・D2)	IRRL3(0x401F9・D2)
IrDA出力論理反転	IRTL0(0x401E4・D3)	IRTL1(0x401E9・D3)	IRTL2(0x401F4・D3)	IRTL3(0x401F9・D3)

IRRLx/IRTLxに"1"を書き込むことで、入力/出力信号の論理が反転します。"0"を書き込んだ場合は、論理反転を行いません。

送信時

(1) IRTLx = "0"

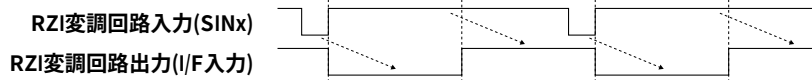


(2) IRTLx = "1"

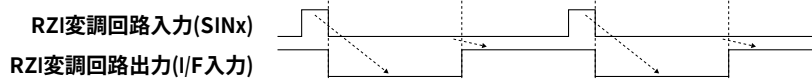


受信時

(1) IRRLx = "0"



(2) IRRLx = "1"



図III.9.15 IRRLxとIRTLxの設定例

注: IRRLxおよびIRTLxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

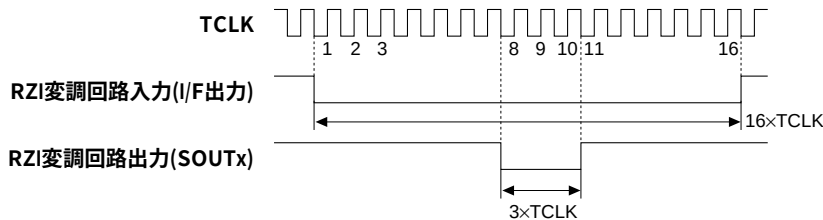
IrDAインタフェースの制御と動作

送受信の手順は調歩同期式インタフェースで説明したとおりです。"調歩同期式転送の制御と動作"を参照してください。

RZI変調回路によるデータの変調と復調の動作は以下のとおりです。

■送信時

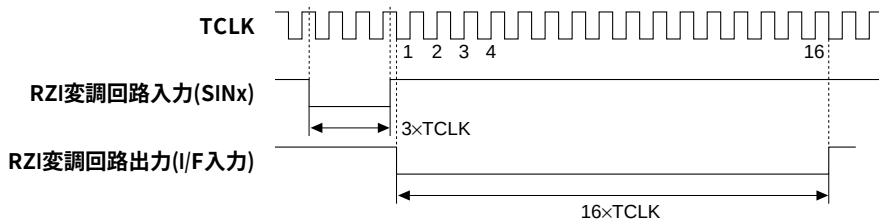
送信時は、シリアルインタフェースの出力信号のパルス幅を3/16倍に変換しSOUTx端子から出力します。



図III.9.16 RZI変調回路によるデータの変調

■受信時

受信時は、SINxからの入力信号のパルス幅を16/3倍に変換し、シリアルインタフェースに送ります。



図III.9.17 RZI変調回路によるデータの復調

注: • IrDAインタフェースを使用する場合、シリアルインタフェース内部の分周比は1/16(DIVMDx = "1")に設定し、1/8(DIVMDx = "0")には設定しないでください。

- 図III.9.17は入力信号が3×TCLK幅のLowパルスになっていますが、回路的にはエッジ(IRRLx = "0"のときは立ち上がりエッジ、IRRLx = "1"のときは立ち下がりエッジ)で受けるようになっています。ノイズなどにより誤動作する可能性がありますので注意してください。

シリアルインタフェース割り込みとDMA

シリアルインタフェースには各チャネルごとに、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

■送信バッファエンプティ割り込み要因

この割り込み要因は、送信データレジスタに設定した送信データがシフトレジスタに転送された時点で発生し、割り込み要因フラグFSTXxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、次の送信データを送信データレジスタに書き込むことができます。また、この割り込み要因でDMAを起動し、DMA転送によって送信データの書き込みを行うこともできます。

■受信完了割り込み

この割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データレジスタに転送された時点で発生し、割り込み要因フラグFSRXxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、受信データの読み出しが可能となります。また、この割り込み要因でDMAを起動し、受信データをDMA転送によって指定のメモリに書き込むこともできます。

■受信エラー割り込み

この割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生し、割り込み要因フラグFSERRxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPERx(パリティエラー)、OERx(オーバーランエラー)、FERx(フレーミングエラー)で行ってください。クロック同期式モードではパリティエラーとフレーミングエラーは発生しません。

注: 受信エラー(パリティエラー、フレーミングエラー)が発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。

■割り込みコントローラの制御レジスタ

各割り込み系列(チャネル)ごとに用意されている割り込みコントローラの制御レジスタを、表III.9.9に示します。

表III.9.9 割り込みコントローラの制御レジスタ

Ch.	割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
Ch.0	受信エラー	FSERR0 (D0/0x40286)	ESERR0 (D0/0x40276)	PSIO0[2:0](D[6:4]/0x40269)
	受信バッファフル	FSRX0 (D1/0x40286)	ESRX0 (D1/0x40276)	
	送信バッファエンプティ	FSTX0 (D2/0x40286)	ESTX0 (D2/0x40276)	
Ch.1	受信エラー	FSERR1 (D3/0x40286)	ESERR1 (D3/0x40276)	PSIO1[2:0](D[2:0]/0x4026A)
	受信バッファフル	FSRX1 (D4/0x40286)	ESRX1 (D4/0x40276)	
	送信バッファエンプティ	FSTX1 (D5/0x40286)	ESTX1 (D5/0x40276)	
Ch.2	受信エラー	FSERR2 (D0/0x40289)	ESERR2 (D0/0x40279)	PSIO2[2:0](D[2:0]/0x4026E)
	受信バッファフル	FSRX2 (D1/0x40289)	ESRX2 (D1/0x40279)	
	送信バッファエンプティ	FSTX2 (D2/0x40289)	ESTX2 (D2/0x40279)	
Ch.3	受信エラー	FSERR3 (D3/0x40289)	ESERR3 (D3/0x40279)	PSIO3[2:0](D[6:4]/0x4026E)
	受信バッファフル	FSRX3 (D4/0x40289)	ESRX3 (D4/0x40279)	
	送信バッファエンプティ	FSTX3 (D5/0x40289)	ESTX3 (D5/0x40279)	

前述の割り込み要因が発生すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■インテリジェントDMA

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、インテリジェントDMA (IDMA)を起動することができます。これにより、メモリと送受信データレジスタ間のDMA転送による連続送受信が行えます。

各要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.

Ch.0受信バッファフル割り込み: 0x17

Ch.0送信バッファエンプティ割り込み: 0x18

Ch.1受信バッファフル割り込み: 0x19

Ch.1送信バッファエンプティ割り込み: 0x1A

Ch.2受信バッファフル割り込み: 0x22

Ch.2送信バッファエンプティ割り込み: 0x23

Ch.3受信バッファフル割り込み: 0x24

Ch.3送信バッファエンプティ割り込み: 0x25

IDMAを起動させるには、表III.9.10に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.9.10 IDMA転送の制御ビット

Ch.	割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
Ch.0	受信バッファフル	RSRX0 (D6/0x40292)	DESRX0 (D6/0x40296)
	送信バッファエンプティ	RSTX0 (D7/0x40292)	DESTX0 (D7/0x40296)
Ch.1	受信バッファフル	RSRX1 (D0/0x40293)	DESRX1 (D0/0x40297)
	送信バッファエンプティ	RSTX1 (D1/0x40293)	DESTX1 (D1/0x40297)
Ch.2	受信バッファフル	RSRX2 (D2/0x4029B)	DESRX2 (D2/0x4029C)
	送信バッファエンプティ	RSTX2 (D3/0x4029B)	DESTX2 (D3/0x4029C)
Ch.3	受信バッファフル	RSRX3 (D4/0x4029B)	DESRX3 (D4/0x4029C)
	送信バッファエンプティ	RSTX3 (D5/0x4029B)	DESTX3 (D5/0x4029C)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■高速DMA

Ch.0とCh.1の受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、高速DMA (HSDMA)を起動することもできます。

各チャンネルに対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表III.9.11 HSDMAトリガ設定ビット

SIF Ch.	HSDMA Ch.	トリガ設定ビット
0	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298・D[3:0])
1	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298・D[7:4])
0	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299・D[3:0])
1	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299・D[7:4])

HSDMAを受信バッファフル割り込み要因で起動させるには、トリガ設定ビットに"1010"を書き込んでおきます。送信バッファエンプティ割り込み要因で起動させるには、トリガ設定ビットに"1011"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。

割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

■トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.0受信エラー割り込み:	0x0C000E0
Ch.0受信バッファフル割り込み:	0x0C000E4
Ch.0送信バッファエンプティ割り込み:	0x0C000E8
Ch.1受信エラー割り込み:	0x0C000F0
Ch.1受信バッファフル割り込み:	0x0C000F4
Ch.1送信バッファエンプティ割り込み:	0x0C000F8
Ch.2受信エラー割り込み:	0x0C00130
Ch.2受信バッファフル割り込み:	0x0C00134
Ch.2送信バッファエンプティ割り込み:	0x0C00138
Ch.3受信エラー割り込み:	0x0C00140
Ch.3受信バッファフル割り込み:	0x0C00144
Ch.3送信バッファエンプティ割り込み:	0x0C00148

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

シリアルインタフェースのI/Oメモリ

表III.9.12にシリアルインタフェースの制御ビットを示します。

クロックを設定するプリスケアラおよび8ビットプログラマブルタイマのI/Oメモリについては、それぞれ"プリスケアラ"、"8ビットプログラマブルタイマ"を参照してください。

表III.9.12 シリアルインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.0送信データ レジスタ	00401E0 (B)	D7	TXD07	シリアルI/F Ch.0 送信データ TXD07(06) = MSB TXD00 = LSB	0x0~0xFF(0x7F)	X	R/W	調歩同期式7ビット モードの場合、 TXD07は無効
		D6	TXD06			X		
		D5	TXD05			X		
		D4	TXD04			X		
		D3	TXD03			X		
		D2	TXD02			X		
		D1	TXD01			X		
		D0	TXD00			X		
シリアルI/F Ch.0受信データ レジスタ	00401E1 (B)	D7	RXD07	シリアルI/F Ch.0 受信データ RXD07(06) = MSB RXD00 = LSB	0x0~0xFF(0x7F)	X	R	調歩同期式7ビット モードの場合、 RXD07は無効(0固定)
		D6	RXD06			X		
		D5	RXD05			X		
		D4	RXD04			X		
		D3	RXD03			X		
		D2	RXD02			X		
		D1	RXD01			X		
		D0	RXD00			X		
シリアルI/F Ch.0ステータス レジスタ	00401E2 (B)	D7~6	—	—	—	—	—	読み出し時: 0
		D5	TEND0	Ch.0転送終了フラグ	1 転送中 0 終了	0	R	0書き込みでクリア
		D4	FER0	Ch.0フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	
		D3	PER0	Ch.0パリティエラーフラグ	1 エラー 0 正常	0	R/W	
		D2	OER0	Ch.0オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	
		D1	TDBE0	Ch.0送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF0	Ch.0受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.0制御 レジスタ	00401E3 (B)	D7	TXEN0	Ch.0送信許可	1 許可 0 禁止	0	R/W	調歩同期式モード時 のみ有効
		D6	RXEN0	Ch.0受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR0	Ch.0パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	
		D4	PMD0	Ch.0パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB0	Ch.0ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK0	Ch.0入力クロック選択	1 #SCLK0 0 内部クロック	X	R/W	
		D1	SMD01	Ch.0転送モード選択	SMD0[1:0]		X	R/W
		D0	SMD00		1 1	調歩同期式8bit	X	
					1 0	調歩同期式7bit		
					0 1	クロック同期スレーブ クロック同期マスタ		
シリアルI/F Ch.0 IrDA レジスタ	00401E4 (B)	D7~5	—	—	—	—	—	読み出し時: 0
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	調歩同期式モード時 のみ有効
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD01	Ch.0インタフェースモード 選択	IRMD0[1:0]		X	R/W
		D0	IRMD00		1 1	reserved	X	
シリアルI/F Ch.1送信データ レジスタ	00401E5 (B)	D7	TXD17	シリアルI/F Ch.1 送信データ TXD17(16) = MSB TXD10 = LSB	0x0~0xFF(0x7F)	X	R/W	調歩同期式7ビット モードの場合、 TXD17は無効
		D6	TXD16			X		
		D5	TXD15			X		
		D4	TXD14			X		
		D3	TXD13			X		
		D2	TXD12			X		
		D1	TXD11			X		
		D0	TXD10			X		
シリアルI/F Ch.1受信データ レジスタ	00401E6 (B)	D7	RXD17	シリアルI/F Ch.1 受信データ RXD17(16) = MSB RXD10 = LSB	0x0~0xFF(0x7F)	X	R	調歩同期式7ビット モードの場合、 RXD17は無効(0固定)
		D6	RXD16			X		
		D5	RXD15			X		
		D4	RXD14			X		
		D3	RXD13			X		
		D2	RXD12			X		
		D1	RXD11			X		
		D0	RXD10			X		

III-9 周辺回路ブロック: シリアルインタフェース

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈
シリアルI/F Ch.1ステータス レジスタ	00401E7 (B)	D7-6	—	—	—		—	—	読み出し時: 0
		D5	TEND1	Ch.1転送終了フラグ	1 転送中	0 終了	0	R	0書き込みでクリア
		D4	FER1	Ch.1フレーミングエラーフラグ	1 エラー	0 正常	0	R/W	
		D3	PER1	Ch.1パリティエラーフラグ	1 エラー	0 正常	0	R/W	
		D2	OER1	Ch.1オーバーランエラーフラグ	1 エラー	0 正常	0	R/W	
		D1	TDBE1	Ch.1送信データバッファエンプティ	1 エンプティ	0 バッファフル	1	R	
		D0	RDBF1	Ch.1受信データバッファフル	1 バッファフル	0 エンプティ	0	R	
シリアルI/F Ch.1制御 レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1 許可	0 禁止	0	R/W	調歩同期式モード時のみ有効
		D6	RXEN1	Ch.1受信許可	1 許可	0 禁止	0	R/W	
		D5	EPR1	Ch.1パリティイネーブル	1 パリティ付	0 パリティなし	X	R/W	
		D4	PMD1	Ch.1パリティモード選択	1 奇数	0 偶数	X	R/W	
		D3	STPB1	Ch.1ストップビット選択	1 2bit	0 1bit	X	R/W	
		D2	SSCK1	Ch.1入力クロック選択	1 #SCLK1	0 内部クロック	X	R/W	
		D1	SMD11	Ch.1転送モード選択	SMD1[1:0] 転送モード		X	R/W	
		D0	SMD10		1 1	1 調歩同期式8bit	X		
					1 0	1 調歩同期式7bit			
					0 1	クロック同期スレーブ			
0 0	クロック同期マスタ								
シリアルI/F Ch.1 IrDA レジスタ	00401E9 (B)	D7-5	—	—	—		—	—	読み出し時: 0
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1 1/8	0 1/16	X	R/W	調歩同期式モード時のみ有効
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1 反転	0 反転なし	X	R/W	
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1 反転	0 反転なし	X	R/W	
		D1	IRMD11	Ch.1インタフェースモード 選択	IRMD1[1:0] I/Fモード		X	R/W	
		D0	IRMD10		1 1	1 reserved	X		
		1 0	0 IrDA 1.0						
0 1	0 reserved								
0 0	0 通常のI/F								
シリアルI/F Ch.2送信データ レジスタ	00401F0 (B)	D7	TXD27	シリアルI/F Ch.2 送信データ TXD27(26) = MSB TXD20 = LSB	0x0~0xFF(0x7F)		X	R/W	
		D6	TXD26				X		
		D5	TXD25				X		
		D4	TXD24				X		
		D3	TXD23				X		
		D2	TXD22				X		
		D1	TXD21				X		
D0	TXD20	X							
シリアルI/F Ch.2受信データ レジスタ	00401F1 (B)	D7	RXD27	シリアルI/F Ch.2 受信データ RXD27(26) = MSB RXD20 = LSB	0x0~0xFF(0x7F)		X	R	
		D6	RXD26				X		
		D5	RXD25				X		
		D4	RXD24				X		
		D3	RXD23				X		
		D2	RXD22				X		
		D1	RXD21				X		
D0	RXD20	X							
シリアルI/F Ch.2ステータス レジスタ	00401F2 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0
		D5	TEND2	Ch.2転送終了フラグ	1 転送中	0 終了	0	R	0書き込みでクリア
		D4	FER2	Ch.2フレーミングエラーフラグ	1 エラー	0 正常	0	R/W	
		D3	PER2	Ch.2パリティエラーフラグ	1 エラー	0 正常	0	R/W	
		D2	OER2	Ch.2オーバーランエラーフラグ	1 エラー	0 正常	0	R/W	
		D1	TDBE2	Ch.2送信データバッファエンプティ	1 エンプティ	0 バッファフル	1	R	
		D0	RDBF2	Ch.2受信データバッファフル	1 バッファフル	0 エンプティ	0	R	
シリアルI/F Ch.2制御 レジスタ	00401F3 (B)	D7	TXEN2	Ch.2送信許可	1 許可	0 禁止	0	R/W	調歩同期式モード時のみ有効
		D6	RXEN2	Ch.2受信許可	1 許可	0 禁止	0	R/W	
		D5	EPR2	Ch.2パリティイネーブル	1 パリティ付	0 パリティなし	X	R/W	
		D4	PMD2	Ch.2パリティモード選択	1 奇数	0 偶数	X	R/W	
		D3	STPB2	Ch.2ストップビット選択	1 2bit	0 1bit	X	R/W	
		D2	SSCK2	Ch.2入力クロック選択	1 #SCLK2	0 内部クロック	X	R/W	
		D1	SMD21	Ch.2転送モード選択	SMD2[1:0] 転送モード		X	R/W	
		D0	SMD20		1 1	1 調歩同期式8bit	X		
					1 0	1 調歩同期式7bit			
					0 1	クロック同期スレーブ			
0 0	クロック同期マスタ								
シリアルI/F Ch.2 IrDA レジスタ	00401F4 (B)	D7-5	—	reserved	—		—	—	読み出し時: 0
		D4	DIVMD2	Ch.2調歩同期クロック分周比	1 1/8	0 1/16	X	R/W	調歩同期式モード時のみ有効
		D3	IRTL2	Ch.2 IrDA I/F出力論理反転	1 反転	0 反転なし	X	R/W	
		D2	IRRL2	Ch.2 IrDA I/F入力論理反転	1 反転	0 反転なし	X	R/W	
		D1	IRMD21	Ch.2インタフェースモード 選択	IRMD2[1:0] I/Fモード		X	R/W	
		D0	IRMD20		1 1	1 reserved	X		
		1 0	0 IrDA 1.0						
0 1	0 reserved								
0 0	0 通常のI/F								

レジスタ名	アドレス	ビット	名称	機能	設定	Init.	R/W	注 釈
シリアル/F Ch.3送信データ レジスタ	00401F5 (B)	D7	TXD37	シリアル/F Ch.3 送信データ	0x0~0xFF(0x7F)	X	R/W	
		D6	TXD36	送信データ		X		
		D5	TXD35	TXD37(36) = MSB		X		
		D4	TXD34	TXD30 = LSB		X		
		D3	TXD33			X		
		D2	TXD32			X		
		D1	TXD31			X		
		D0	TXD30			X		
シリアル/F Ch.3受信データ レジスタ	00401F6 (B)	D7	RXD37	シリアル/F Ch.3 受信データ	0x0~0xFF(0x7F)	X	R	
		D6	RXD36	受信データ		X		
		D5	RXD35	RXD37(36) = MSB		X		
		D4	RXD34	RXD30 = LSB		X		
		D3	RXD33			X		
		D2	RXD32			X		
		D1	RXD31			X		
		D0	RXD30			X		
シリアル/F Ch.3ステータス レジスタ	00401F7 (B)	D7~6	—	reserved	—	—	—	読み出し時: 0
		D5	TEND3	Ch.3転送終了フラグ	1 転送中 0 終了	0	R	0書き込みでクリア
		D4	FER3	Ch.3フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	
		D3	PER3	Ch.3パリティエラーフラグ	1 エラー 0 正常	0	R/W	
		D2	OER3	Ch.3オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	
		D1	TDBE3	Ch.3送信データバッファエンティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF3	Ch.3受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアル/F Ch.3制御 レジスタ	00401F8 (B)	D7	TXEN3	Ch.3送信許可	1 許可 0 禁止	0	R/W	調歩同期モード時のみ有効
		D6	RXEN3	Ch.3受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR3	Ch.3パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	
		D4	PMD3	Ch.3パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB3	Ch.3ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK3	Ch.3入力クロック選択	1 #SCLK3 0 内部クロック	X	R/W	
		D1	SMD31	Ch.3転送モード選択	SMD3[1:0] 転送モード 1 1 調歩同期式8bit 1 0 調歩同期式7bit 0 1 クロック同期スレーブ 0 0 クロック同期マスタ	X	R/W	
		D0	SMD30			X		
シリアル/F Ch.3 IrDA レジスタ	00401F9 (B)	D7~5	—	reserved	—	—	—	読み出し時: 0
		D4	DIVMD3	Ch.3調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	調歩同期モード時のみ有効
		D3	IRTL3	Ch.3 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	
		D2	IRRL3	Ch.3 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD31	Ch.3インタフェースモード 選択	IRMD3[1:0] I/Fモード 1 1 reserved 1 0 IrDA 1.0 0 1 reserved 0 0 通常のI/F	X	R/W	
		D0	IRMD30			X		
8bitタイマ, シリ アル/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0 割り込みレベル	0~7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00	割り込みレベル		X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0~5 割り込みレベル	0~7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0	割り込みレベル		X		
シリアル/F Ch.1, A/D変換器 割り込み プライオリティ レジスタ	004026A (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PAD2	A/D変換器	0~7	X	R/W	
		D5	PAD1	割り込みレベル		X		
		D4	PAD0	割り込みレベル		X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1 割り込みレベル	0~7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
		D0	PSIO10	割り込みレベル		X		
シリアル/F Ch.2/3 割り込み プライオリティ レジスタ	004026E (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO32	シリアルインタフェースCh.3 割り込みレベル	0~7	X	R/W	
		D5	PSIO31	割り込みレベル		X		
		D4	PSIO30	割り込みレベル		X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO22	シリアルインタフェースCh.2 割り込みレベル	0~7	X	R/W	
		D1	PSIO21	割り込みレベル		X		
		D0	PSIO20	割り込みレベル		X		

III-9 周辺回路ブロック: シリアルインタフェース

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.0/1 割り込み イネーブル レジスタ	0040276 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンブティ	1 許可	0 禁止	0 R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル			0 R/W	
		D3	ESERR1	SIF Ch.1受信エラー			0 R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンブティ			0 R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル			0 R/W	
		D0	ESERR0	SIF Ch.0受信エラー			0 R/W	
シリアルI/F Ch.2/3 割り込み イネーブル レジスタ	0040279 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	ESTX3	SIF Ch.3送信バッファエンブティ	1 許可	0 禁止	0 R/W	
		D4	ESRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	ESERR3	SIF Ch.3受信エラー			0 R/W	
		D2	ESTX2	SIF Ch.2送信バッファエンブティ			0 R/W	
		D1	ESRX2	SIF Ch.2受信バッファフル			0 R/W	
		D0	ESERR2	SIF Ch.2受信エラー			0 R/W	
シリアルI/F Ch.0/1 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	FSTX1	SIF Ch.1送信バッファエンブティ	1 要因発生	0 要因なし	X R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル			X R/W	
		D3	FSERR1	SIF Ch.1受信エラー			X R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンブティ			X R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル			X R/W	
		D0	FSERR0	SIF Ch.0受信エラー			X R/W	
シリアルI/F Ch.2/3 割り込み 要因フラグ レジスタ	0040289 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	FSTX3	SIF Ch.3送信バッファエンブティ	1 要因発生	0 要因なし	X R/W	
		D4	FSRX3	SIF Ch.3受信バッファフル			X R/W	
		D3	FSERR3	SIF Ch.3受信エラー			X R/W	
		D2	FSTX2	SIF Ch.2送信バッファエンブティ			X R/W	
		D1	FSRX2	SIF Ch.2受信バッファフル			X R/W	
		D0	FSERR2	SIF Ch.2受信エラー			X R/W	
16bitタイマ5, 8bitタイマ0-3, シリアルI/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンブティ	1 IDMA要求	0 割り込み 要求	0 R/W	
		D6	RSRX0	SIF Ch.0受信バッファフル			0 R/W	
		D5	R8TU3	8bitタイマ3アンダーフロー			0 R/W	
		D4	R8TU2	8bitタイマ2アンダーフロー			0 R/W	
		D3	R8TU1	8bitタイマ1アンダーフロー			0 R/W	
		D2	R8TU0	8bitタイマ0アンダーフロー			0 R/W	
		D1	R16TC5	16bitタイマ5コンペアA			0 R/W	
		D0	R16TU5	16bitタイマ5コンペアB			0 R/W	
シリアルI/F Ch.1, A/D, ポート 入力4-7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1 IDMA要求	0 割り込み 要求	0 R/W	
		D6	RP6	ポート入力6			0 R/W	
		D5	RP5	ポート入力5			0 R/W	
		D4	RP4	ポート入力4			0 R/W	
		D3	-	reserved	-	-	-	読み出し時: 0
		D2	RADE	A/D変換器	1 IDMA要求	0 割り込み 要求	0 R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンブティ			0 R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル			0 R/W	
16bitタイマ5, 8bitタイマ0-3, シリアルI/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンブティ	1 IDMA許可	0 IDMA禁止	0 R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル			0 R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー			0 R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー			0 R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー			0 R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー			0 R/W	
		D1	DE16TC5	16bitタイマ5コンペアA			0 R/W	
		D0	DE16TU5	16bitタイマ5コンペアB			0 R/W	
シリアルI/F Ch.1, A/D, ポート 入力4-7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1 IDMA許可	0 IDMA禁止	0 R/W	
		D6	DEP6	ポート入力6			0 R/W	
		D5	DEP5	ポート入力5			0 R/W	
		D4	DEP4	ポート入力4			0 R/W	
		D3	-	reserved	-	-	-	読み出し時: 0
		D2	DEADE	A/D変換器	1 IDMA許可	0 IDMA禁止	0 R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンブティ			0 R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル			0 R/W	
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAリクエスト レジスタ	004029B (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	RSTX3	SIF Ch.3送信バッファエンブティ	1 IDMA要求	0 割り込み 要求	0 R/W	
		D4	RSRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	RSTX2	SIF Ch.2送信バッファエンブティ			0 R/W	
		D2	RSRX2	SIF Ch.2受信バッファフル			0 R/W	
		D1	R8TU5	8bitタイマ5アンダーフロー			0 R/W	
		D0	R8TU4	8bitタイマ4アンダーフロー			0 R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAイネーブル レジスタ	004029C (B)	D7-6	–	reserved	–	–	–	読み出し時: 0
		D5	DESTX3	SIF Ch.3送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0	R/W
		D4	DESRX3	SIF Ch.3受信バッファフル			0	R/W
		D3	DESTX2	SIF Ch.2送信バッファエンプティ			0	R/W
		D2	DESRX2	SIF Ch.2受信バッファフル			0	R/W
		D1	DE8TU5	8bitタイマ5アンダーフロー			0	R/W
		D0	DE8TU4	8bitタイマ4アンダーフロー			0	R/W
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1 #SRDY1	0 P07	0	R/W
		D6	CFP06	P06機能選択	1 #SCLK1	0 P06	0	R/W
		D5	CFP05	P05機能選択	1 SOUT1	0 P05	0	R/W
		D4	CFP04	P04機能選択	1 SIN1	0 P04	0	R/W
		D3	CFP03	P03機能選択	1 #SRDY0	0 P03	0	R/W
		D2	CFP02	P02機能選択	1 #SCLK0	0 P02	0	R/W
		D1	CFP01	P01機能選択	1 SOUT0	0 P01	0	R/W
		D0	CFP00	P00機能選択	1 SIN0	0 P00	0	R/W
ポートSIO 機能拡張 レジスタ	00402D7 (B)	D7-4	–	reserved	–	–	–	読み出し時: 0
		D3	SSRDY3	シリアルI/F Ch.3 SRDY選択	1 #SRDY3	0 P32/ #DMAACK0	0	R/W
		D2	SSCLK3	シリアルI/F Ch.3 SCLK選択	1 #SCLK3	0 P15/EXCL4/ #DMAEND0	0	R/W
		D1	SSOUT3	シリアルI/F Ch.3 SOUT選択	1 SOUT3	0 P16/EXCL5/ #DMAEND1	0	R/W
		D0	SSIN3	シリアルI/F Ch.3 SIN選択	1 SIN3	0 P33/ #DMAACK1	0	R/W
ポートSIO 機能拡張 レジスタ	00402DB (B)	D7-4	–	reserved	–	–	–	読み出し時: 0
		D3	SSRDY2	シリアルI/F Ch.2 SRDY選択	1 #SRDY2	0 P24/TM2	0	R/W
		D2	SSCLK2	シリアルI/F Ch.2 SCLK選択	1 #SCLK2	0 P25/TM3	0	R/W
		D1	SSOUT2	シリアルI/F Ch.2 SOUT選択	1 SOUT2	0 P26/TM4	0	R/W
		D0	SSIN2	シリアルI/F Ch.2 SIN選択	1 SIN2	0 P27/TM5	0	R/W
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1 #DMAEND3	0 P07, etc.	0	R/W
		D6	CFEX6	P06ポート機能拡張	1 #DMAACK3	0 P06, etc.	0	R/W
		D5	CFEX5	P05ポート機能拡張	1 #DMAEND2	0 P05, etc.	0	R/W
		D4	CFEX4	P04ポート機能拡張	1 #DMAACK2	0 P04, etc.	0	R/W
		D3	CFEX3	P31ポート機能拡張	1 #GARD	0 P31, etc.	0	R/W
		D2	CFEX2	P21ポート機能拡張	1 #GAAS	0 P21, etc.	0	R/W
		D1	CFEX1	P10, P11, P13ポート機能拡張	1 DST0 DST1 DPCO	0 P10, etc. P11, etc. P13, etc.	1	R/W
		D0	CFEX0	P12, P14ポート機能拡張	1 DST2 DCLK	0 P12, etc. P14, etc.	1	R/W

CFP07~CFP00: P0[7:0]端子機能選択(D[7:0]/0x402D0<P0機能選択レジスタ>)

シリアルインタフェースに使用する端子を選択します。

"1"書き込み: シリアルインタフェース入出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

シリアルインタフェースに使用する端子を、CFP00~CFP07に"1"を書き込んでP00~P07の中から選択します。P00~P03(SIN0、SOUT0、#SCLK0、#SRDY0)はCh.0、P04~P07(SIN1、SOUT1、#SCLK1、#SRDY1)はCh.1で使います。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

転送モードにより必要な入出力端子は異なります(表III.9.3参照)。

コールドスタート時、CFPは"0"(入出力兼用ポート)に設定されます。ホットスタート時はインisialリセット前の状態を保持します。

CFEX7~CFEX4: P0[7:4]ポート機能拡張(D[7:4]/0x402DF<ポート機能拡張レジスタ>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子

"0"書き込み: 入出力兼用ポート端子/シリアルインタフェース入出力端子

読み出し: 可能

CFEX[7:4]に"1"を書き込むと、P07~P04ポートが高速DMA用の信号出力ポートとして機能します。CFEX[7:4]が"0"の場合はCFP0[7:4]が有効となり、その設定に従ってP07~P04ポートが入出力兼用ポート端子またはシリアルインタフェースCh.1入出力端子となります。

コールドスタート時、CFEX[7:4]は"0"(入出力兼用ポート端子/シリアルインタフェース入出力端子)に設定されます。ホットスタート時は、インisialリセット前の状態を保持します。

SSIN2: シリアル/F Ch.2 SIN選択(D0/0x402DB<ポートSIO機能拡張レジスタ>)

P27/TM5/SIN2端子の機能を切り換えます。

"1"書き込み: SIN2

"0"書き込み: P27/TM5

読み出し: 可能

SIN2として使用したい場合は、SSIN2(D0/0x402DB)="1"およびCFP27(D7/0x402D8)="0"を設定します。

P27またはTM5として使用したい場合は、"0"を設定します。

コールドスタート時、SSIN2は"0"(P27/TM5)に設定されます。ホットスタート時はインisialリセット前の状態を保持します。

SSOUT2: シリアル/F Ch.2 SOUT選択(D1/0x402DB<ポートSIO機能拡張レジスタ>)

P26/TM4/SOUT2端子の機能を切り換えます。

"1"書き込み: SOUT2

"0"書き込み: P26/TM4

読み出し: 可能

SOUT2として使用したい場合は、SSOUT2(D1/0x402DB)="1"およびCFP26(D6/0x402D8)="0"を設定します。

P26またはTM4として使用したい場合は、"0"を設定します。

コールドスタート時、SSOUT2は"0"(P26/TM4)に設定されます。ホットスタート時はインisialリセット前の状態を保持します。

SSCLK2: シリアル/F Ch.2 SCLK選択(D2/0x402DB<ポートSIO機能拡張レジスタ>)

P25/TM3/#SCLK2端子の機能を切り換えます。

"1"書き込み: #SCLK2

"0"書き込み: P25/TM3

読み出し: 可能

#SCLK2として使用したい場合は、SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"を設定します。P25またはTM3として使用したい場合は、"0"を設定します。

コールドスタート時、SSCLK2は"0"(P25/TM3)に設定されます。ホットスタート時はインシャルリセット前の状態を保持します。

SSRDY2: シリアル/F Ch.2 SRDY選択(D3/0x402DB<ポートSIO機能拡張レジスタ>)

P24/TM2/#SRDY2端子の機能を切り換えます。

"1"書き込み: #SRDY2

"0"書き込み: P24/TM2

読み出し: 可能

#SRDY2として使用したい場合は、SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"を設定します。P24またはTM2として使用したい場合は、"0"を設定します。

コールドスタート時、SSRDY2は"0"(P24/TM2)に設定されます。ホットスタート時はインシャルリセット前の状態を保持します。

SSIN3: シリアル/F Ch.3 SIN選択(D0/0x402D7<ポートSIO機能拡張レジスタ>)

P33/#DMAACK1/SIN3端子の機能を切り換えます。

"1"書き込み: SIN3

"0"書き込み: P33/#DMAACK1

読み出し: 可能

SIN3として使用したい場合は、SSIN3(D0/0x402D7)="1"およびCFP33(D3/0x402DC)="0"を設定します。

P33または#DMAACK1として使用したい場合は、"0"を設定します。

コールドスタート時、SSIN3は"0"(P33/#DMAACK1)に設定されます。ホットスタート時はインシャルリセット前の状態を保持します。

SSOUT3: シリアル/F Ch.3 SOUT選択(D1/0x402D7<ポートSIO機能拡張レジスタ>)

P16/EXCL5/#DMAEND1/SOUT3端子の機能を切り換えます。

"1"書き込み: SOUT3

"0"書き込み: P16/EXCL5/#DMAEND1

読み出し: 可能

SOUT3として使用したい場合は、SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"を設定します。

P16、EXCL5または#DMAEND1として使用したい場合は、"0"を設定します。

コールドスタート時、SSOUT3は"0"(P16/EXCL5/#DMAEND1)に設定されます。ホットスタート時はインシャルリセット前の状態を保持します。

SSCLK3: シリアル/F Ch.3 SCLK選択(D2/0x402D7<ポートSIO機能拡張レジスタ>)

P15/EXCL4/#DMAEND0/#SCLK3端子の機能を切り換えます。

"1"書き込み: #SCLK3

"0"書き込み: P15/EXCL4/#DMAEND0

読み出し: 可能

#SCLK3として使用したい場合は、SSCLK3(D2/0x402D7)="1"およびCFP15(D5/0x402D4)="0"を設定します。P15、EXCL4または#DMAEND0として使用したい場合は、"0"を設定します。

コールドスタート時、SSCLK3は"0"(P15/EXCL4/#DMAEND0)に設定されます。ホットスタート時はインシャルリセット前の状態を保持します。

SSRDY3: シリアル/F Ch.3 SRDY選択(D3/0x402D7<ポートSIO機能拡張レジスタ>)

P32/#DMAACK0/#SRDY3端子の機能を切り換えます。

"1"書き込み: #SRDY3

"0"書き込み: P32/#DMAACK0

読み出し: 可能

#SRDY3として使用したい場合は、SSRDY3(D3/0x402D7)="1"およびCFP32(D2/0x402DC)="0"を設定します。P32または#DMAACK0として使用したい場合は、"0"を設定します。

コールドスタート時、SSRDY3は"0"(P32/#DMAACK0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

TXD07-TXD00: Ch.0送信データ(D[7:0]/0x401E0<シリアル/F Ch.0送信データレジスタ>)**TXD17-TXD10: Ch.1送信データ(D[7:0]/0x401E5<シリアル/F Ch.1送信データレジスタ>)****TXD27-TXD20: Ch.2送信データ(D[7:0]/0x401F0<シリアル/F Ch.2送信データレジスタ>)****TXD37-TXD30: Ch.3送信データ(D[7:0]/0x401F5<シリアル/F Ch.3送信データレジスタ>)**

送信データを設定します。

TXENxに"1"を書き込み後、このレジスタ(送信バッファ)にデータを書き込むことにより送信を開始します。データがシフトレジスタに転送された時点で、TDBExが"1"(送信バッファエンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、シリアルインタフェースが送信中であっても次の送信データを書き込むことができます。

調歩同期式7ビットモードにおいては、TXDx7(MSB)が無効となります。

SOUT端子からはシリアル変換されたデータがLSBを先頭に、"1"に設定されたビットがHighレベル、"0"に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

イニシャルリセット時、TXDxの内容は不定となります。

RXD07-RXD00: Ch.0受信データ(D[7:0]/0x401E1<シリアル/F Ch.0受信データレジスタ>)**RXD17-RXD10: Ch.1受信データ(D[7:0]/0x401E6<シリアル/F Ch.1受信データレジスタ>)****RXD27-RXD20: Ch.2受信データ(D[7:0]/0x401F1<シリアル/F Ch.2受信データレジスタ>)****RXD37-RXD30: Ch.3受信データ(D[7:0]/0x401F6<シリアル/F Ch.3受信データレジスタ>)**

受信データが格納されます。

受信が終了し、シフトレジスタのデータがこのレジスタ(受信バッファ)に転送された時点でRDBFxが"1"(受信バッファフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされ、オーバーランエラーが発生します。

調歩同期式7ビットモードにおいては、RXDx7には"0"がロードされます。

SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを"1"、Lowレベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

イニシャルリセット時、RXDxの内容は不定となります。

TEND0: Ch.0送信終了フラグ(D5/0x401E2<シリアル/F Ch.0ステータスレジスタ>)**TEND1: Ch.1送信終了フラグ(D5/0x401E7<シリアル/F Ch.1ステータスレジスタ>)****TEND2: Ch.2送信終了フラグ(D5/0x401F2<シリアル/F Ch.2ステータスレジスタ>)****TEND3: Ch.3送信終了フラグ(D5/0x401F7<シリアル/F Ch.3ステータスレジスタ>)**

送信状態を示します。

"1"読み出し: 送信中

"0"読み出し: 送信終了

書き込み: 無効

TENDxはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式マスタモードまたは調歩同期式モードで連続してデータを送信する場合、全データを送信するまで"1"を保持します(図III.9.4、図III.9.12参照)。クロック同期式スレーブモード時は1バイト送信するごとに"0"となります(図III.9.5参照)。

イニシャルリセット時、TENDxは"0"(送信終了)に設定されます。

FER0: Ch.0フレーミングエラーフラグ(D4/0x401E2<シリアル/F Ch.0ステータスレジスタ>)
FER1: Ch.1フレーミングエラーフラグ(D4/0x401E7<シリアル/F Ch.1ステータスレジスタ>)
FER2: Ch.2フレーミングエラーフラグ(D4/0x401F2<シリアル/F Ch.2ステータスレジスタ>)
FER3: Ch.3フレーミングエラーフラグ(D4/0x401F7<シリアル/F Ch.3ステータスレジスタ>)

フレーミングエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

FERxフラグはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは、調歩同期式モードの受信時にストップビットが"0"になっていた場合に発生します。FERxフラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとFERxフラグは"0"(エラーなし)に設定されます。

PER0: Ch.0パリティエラーフラグ(D3/0x401E2<シリアル/F Ch.0ステータスレジスタ>)
PER1: Ch.1パリティエラーフラグ(D3/0x401E7<シリアル/F Ch.1ステータスレジスタ>)
PER2: Ch.2パリティエラーフラグ(D3/0x401F2<シリアル/F Ch.2ステータスレジスタ>)
PER3: Ch.3パリティエラーフラグ(D3/0x401F7<シリアル/F Ch.3ステータスレジスタ>)

パリティエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

PERxフラグはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。パリティチェックはEPRxを"1"(パリティ付き)に設定した調歩同期式モードでのみ有効で、受信データをシフトレジスタから受信データレジスタに転送する際に行われます。PERxフラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとPERxは"0"(エラーなし)に設定されます。

OER0: Ch.0オーバーランエラーフラグ(D2/0x401E2<シリアル/F Ch.0ステータスレジスタ>)
OER1: Ch.1オーバーランエラーフラグ(D2/0x401E7<シリアル/F Ch.1ステータスレジスタ>)
OER2: Ch.2オーバーランエラーフラグ(D2/0x401F2<シリアル/F Ch.2ステータスレジスタ>)
OER3: Ch.3オーバーランエラーフラグ(D2/0x401F7<シリアル/F Ch.3ステータスレジスタ>)

オーバーランエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

OERxフラグはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは、受信データレジスタを読み出す前に次の受信が終了し、受信データレジスタが上書きされた場合に発生します。OERxフラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとOERxは"0"(エラーなし)に設定されます。

TDBE0: Ch.0送信データバッファエンプティ (D1/0x401E2<シリアル/F Ch.0ステータスレジスタ>)
TDBE1: Ch.1送信データバッファエンプティ (D1/0x401E7<シリアル/F Ch.1ステータスレジスタ>)
TDBE2: Ch.2送信データバッファエンプティ (D1/0x401F2<シリアル/F Ch.2ステータスレジスタ>)
TDBE3: Ch.3送信データバッファエンプティ (D1/0x401F7<シリアル/F Ch.3ステータスレジスタ>)

送信データレジスタ(バッファ)の状態を示します。

"1"読み出し: バッファエンプティ

"0"読み出し: バッファフル

書き込み: 無効

TDBExは送信データレジスタに送信データが書き込まれると"0"となり、そのデータがシフトレジスタに転送されると(送信を開始すると)"1"となります。

送信データの書き込みは、このビットが"1"の場合に行います。

イニシャルリセット時、TDBExは"1"(バッファエンプティ)に設定されます。

RDBF0: Ch.0受信データバッファフル (D0/0x401E2<シリアル/F Ch.0ステータスレジスタ>)
RDBF1: Ch.1受信データバッファフル (D0/0x401E7<シリアル/F Ch.1ステータスレジスタ>)
RDBF2: Ch.2受信データバッファフル (D0/0x401F2<シリアル/F Ch.2ステータスレジスタ>)
RDBF3: Ch.3受信データバッファフル (D0/0x401F7<シリアル/F Ch.3ステータスレジスタ>)

受信データレジスタ(バッファ)の状態を示します。

"1"読み出し: バッファフル

"0"読み出し: バッファエンプティ

書き込み: 無効

RDBFxはシフトレジスタに受信したデータが受信データレジスタに転送されると(受信が完了すると)"1"となり、そのデータが読み出し可能であることを示します。データが読み出されると"0"に戻ります。

イニシャルリセット時、RDBFxは"0"(バッファエンプティ)に設定されます。

TXEN0: Ch.0送信許可 (D7/0x401E3<シリアル/F Ch.0制御レジスタ>)
TXEN1: Ch.1送信許可 (D7/0x401E8<シリアル/F Ch.1制御レジスタ>)
TXEN2: Ch.2送信許可 (D7/0x401F3<シリアル/F Ch.2制御レジスタ>)
TXEN3: Ch.3送信許可 (D7/0x401F8<シリアル/F Ch.3制御レジスタ>)

各チャンネルを送信許可状態に設定します。

"1"書き込み: 送信許可

"0"書き込み: 送信禁止

読み出し: 可能

TXENxに"1"を書き込むとそのチャンネルが送信許可状態となり、"0"を書き込むと送信禁止状態となります。転送モード等の設定を行う場合は、TXENxが"0"の状態で行ってください。

イニシャルリセット時、TXENxは"0"(送信禁止)に設定されます。

RXEN0: Ch.0受信許可 (D6/0x401E3<シリアル/F Ch.0制御レジスタ>)
RXEN1: Ch.1受信許可 (D6/0x401E8<シリアル/F Ch.1制御レジスタ>)
RXEN2: Ch.2受信許可 (D6/0x401F3<シリアル/F Ch.2制御レジスタ>)
RXEN3: Ch.3受信許可 (D6/0x401F8<シリアル/F Ch.3制御レジスタ>)

各チャンネルを受信許可状態に設定します。

"1"書き込み: 受信許可

"0"書き込み: 受信禁止

読み出し: 可能

RXENxに"1"を書き込むとそのチャンネルが受信許可状態となり、"0"を書き込むと受信禁止状態となります。転送モード等の設定を行う場合は、RXENxが"0"の状態で行ってください。

イニシャルリセット時、RXENxは"0"(受信禁止)に設定されます。

EPR0: Ch.0パリティイネーブル (D5/0x401E3<シリアル/F Ch.0制御レジスタ>)
EPR1: Ch.1パリティイネーブル (D5/0x401E8<シリアル/F Ch.1制御レジスタ>)
EPR2: Ch.2パリティイネーブル (D5/0x401F3<シリアル/F Ch.2制御レジスタ>)
EPR3: Ch.3パリティイネーブル (D5/0x401F8<シリアル/F Ch.3制御レジスタ>)

パリティ機能を選択します。

"1"書き込み: パリティ付
 "0"書き込み: パリティなし
 読み出し: 可能

EPRxによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。EPRxに"1"を書き込むと受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。パリティ機能は調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRxの設定は無効となります。

イニシャルリセット時、EPRxは不定となります。

PMD0: Ch.0パリティモード選択 (D4/0x401E3<シリアル/F Ch.0制御レジスタ>)
PMD1: Ch.1パリティモード選択 (D4/0x401E8<シリアル/F Ch.1制御レジスタ>)
PMD2: Ch.2パリティモード選択 (D4/0x401F3<シリアル/F Ch.2制御レジスタ>)
PMD3: Ch.3パリティモード選択 (D4/0x401F8<シリアル/F Ch.3制御レジスタ>)

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ
 "0"書き込み: 偶数パリティ
 読み出し: 可能

PMDxに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRxに"1"が書き込まれている場合の調歩同期式転送にのみ有効で、EPRxに"0"が書き込まれている場合は、PMDxの設定は無効となります。

イニシャルリセット時、PMDxは不定となります。

STPB0: Ch.0ストップビット選択 (D3/0x401E3<シリアル/F Ch.0制御レジスタ>)
STPB1: Ch.1ストップビット選択 (D3/0x401E8<シリアル/F Ch.1制御レジスタ>)
STPB2: Ch.2ストップビット選択 (D3/0x401F3<シリアル/F Ch.2制御レジスタ>)
STPB3: Ch.3ストップビット選択 (D3/0x401F8<シリアル/F Ch.3制御レジスタ>)

調歩同期式転送を行う場合のストップビット長を選択します。

"1"書き込み: 2ビット
 "0"書き込み: 1ビット
 読み出し: 可能

STPBxは調歩同期式転送時にのみ有効なストップビット選択ビットです。"1"を書き込むとストップビットが2ビットに、"0"を書き込むと1ビットになります。スタートビットは1ビットに固定です。

クロック同期式転送を行う場合、STPBxの設定は無効となります。

イニシャルリセット時、STPBxは不定となります。

SSCK0: Ch.0入カクロック選択 (D2/0x401E3<シリアル/F Ch.0制御レジスタ>)
SSCK1: Ch.1入カクロック選択 (D2/0x401E8<シリアル/F Ch.1制御レジスタ>)
SSCK2: Ch.2入カクロック選択 (D2/0x401F3<シリアル/F Ch.2制御レジスタ>)
SSCK3: Ch.3入カクロック選択 (D2/0x401F8<シリアル/F Ch.3制御レジスタ>)

調歩同期式転送のクロック源を選択します。

"1"書き込み: #SCLK(外部クロック)
 "0"書き込み: 内部クロック
 読み出し: 可能

調歩同期式モード時に、内部クロック(8ビットプログラマブルタイマの出力)を使用するか、外部クロック(#SCLKx端子から入力)を使用するか選択します。SSCKxに"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。

イニシャルリセット時、SSCKxは不定となります。

SMD01–SMD00: Ch.0転送モード選択(D[1:0]/0x401E3<シリアルI/F Ch.0制御レジスタ>)

SMD11–SMD10: Ch.1転送モード選択(D[1:0]/0x401E8<シリアルI/F Ch.1制御レジスタ>)

SMD21–SMD20: Ch.2転送モード選択(D[1:0]/0x401F3<シリアルI/F Ch.2制御レジスタ>)

SMD31–SMD30: Ch.3転送モード選択(D[1:0]/0x401F8<シリアルI/F Ch.3制御レジスタ>)

シリアルインタフェースの転送モードを表III.9.14のとおり設定します。

表III.9.14 転送モードの設定

SMDx1	SMDx0	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

SMDxは読み出しも可能です。

IrDAインタフェースを使用する場合は、必ず調歩同期式モードに設定してください。

イニシャルリセット時、SMDxは不定となります。

DIVMD0: Ch.0サンプリングクロック分周比選択(D4/0x401E4<シリアルI/F Ch.0 IrDAレジスタ>)

DIVMD1: Ch.1サンプリングクロック分周比選択(D4/0x401E9<シリアルI/F Ch.1 IrDAレジスタ>)

DIVMD2: Ch.2サンプリングクロック分周比選択(D4/0x401F4<シリアルI/F Ch.2 IrDAレジスタ>)

DIVMD3: Ch.3サンプリングクロック分周比選択(D4/0x401F9<シリアルI/F Ch.3 IrDAレジスタ>)

サンプリングクロックの分周比を選択します。

"1"書き込み: 1/8

"0"書き込み: 1/16

読み出し: 可能

調歩同期式転送のサンプリングクロックを生成するための分周比を選択します。DIVMDxに"1"を書き込むと、シリアルインタフェースの入力クロック(8ビットプログラマブルタイム出力または#SCLKx入力)を1/8に分周してサンプリングクロックを生成します。"0"を書き込んだ場合は1/16に分周されます。

イニシャルリセット時、DIVMDxは不定となります。

IRTL0: Ch.0 IrDA出力論理反転(D3/0x401E4<シリアルI/F Ch.0 IrDAレジスタ>)

IRTL1: Ch.1 IrDA出力論理反転(D3/0x401E9<シリアルI/F Ch.1 IrDAレジスタ>)

IRTL2: Ch.2 IrDA出力論理反転(D3/0x401F4<シリアルI/F Ch.2 IrDAレジスタ>)

IRTL3: Ch.3 IrDA出力論理反転(D3/0x401F9<シリアルI/F Ch.3 IrDAレジスタ>)

IrDA出力信号の論理を反転します。

"1"書き込み: 反転

"0"書き込み: 反転なし

読み出し: 可能

IrDAインタフェースを使用する場合に、SOUTx出力信号の論理を外部に接続する赤外線通信回路に合わせて設定します。IRTLxに"1"を書き込むと、出力データが"0"のときにHighパルスを出力するように設定されます(出力データが"1"のときはLowレベルを保持)。
"0"を書き込んだ場合は、出力データが"0"のときにLowパルスを出力するように設定されます(出力データが"1"のときはHighレベルを保持)。

イニシャルリセット時、IRTLxは不定となります。

IRRL0: Ch.0 IrDA入力論理反転(D2/0x401E4<シリアル/F Ch.0 IrDAレジスタ>)
 IRRL1: Ch.1 IrDA入力論理反転(D2/0x401E9<シリアル/F Ch.1 IrDAレジスタ>)
 IRRL2: Ch.2 IrDA入力論理反転(D2/0x401F4<シリアル/F Ch.2 IrDAレジスタ>)
 IRRL3: Ch.3 IrDA入力論理反転(D2/0x401F9<シリアル/F Ch.3 IrDAレジスタ>)

IrDA入力信号の論理を反転します。

"1"書き込み: 反転

"0"書き込み: 反転なし

読み出し: 可能

IrDAインタフェースを使用する場合に、外部に接続する赤外線通信回路からの入力信号の論理をシリアルインタフェースに合わせて設定します。IRRLxに"1"を書き込むと、Highパルスを"0"として入力します。"0"を書き込んだ場合は、Lowパルスを"0"として入力します。

イニシャルリセット時、IRRLxは不定となります。

IRMD01–IRMD00: Ch.0 IrDAインタフェース機能選択(D[1:0]/0x401E4<シリアル/F Ch.0 IrDAレジスタ>)
 IRMD11–IRMD10: Ch.1 IrDAインタフェース機能選択(D[1:0]/0x401E9<シリアル/F Ch.0 IrDAレジスタ>)
 IRMD21–IRMD20: Ch.2 IrDAインタフェース機能選択(D[1:0]/0x401F4<シリアル/F Ch.2 IrDAレジスタ>)
 IRMD31–IRMD30: Ch.3 IrDAインタフェース機能選択(D[1:0]/0x401F9<シリアル/F Ch.3 IrDAレジスタ>)

IrDAインタフェース機能を選択します。

表III.9.15 IrDAインタフェースの設定

IRMDx1	IRMDx0	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

IrDAインタフェース機能を使用する場合は、調歩同期式モードに設定するとともに、IRMDxに"10"を書き込んでください。IrDA機能を使用しない場合はIRMDxに"00"を書き込んでください。

イニシャルリセット時、IRMDxは不定となります。

注: この選択は、必ず転送モード等、他の設定の前に行ってください。

PSIO02–PSIO00: Ch.0割り込みレベル
 (D[6:4]/0x40269<8bitタイマ, シリアル/F Ch.0割り込みプライオリティレジスタ>)
 PSIO12–PSIO10: Ch.1割り込みレベル
 (D[2:0]/0x4026A<シリアル/F Ch.1, A/D変換器割り込みプライオリティレジスタ>)
 PSIO22–PSIO20: Ch.2割り込みレベル
 (D[2:0]/0x4026E<シリアル/F Ch.2/3割り込みプライオリティレジスタ>)
 PSIO32–PSIO30: Ch.3割り込みレベル
 (D[6:4]/0x4026E<シリアル/F Ch.2/3割り込みプライオリティレジスタ>)

シリアルインタフェース割り込みの優先レベルを設定します。

各チャンネルごとに、割り込みの優先レベルを0～7の範囲で設定できます。

イニシャルリセット時、PSIOxは不定となります。

ESERR0, ESRX0, ESTX0: Ch.0割り込みイネーブル

(D0, D1, D2/0x40276<シリアル/F Ch.0/1割り込みイネーブルレジスタ>)

ESERR1, ESRX1, ESTX1: Ch.1割り込みイネーブル

(D3, D4, D5/0x40276<シリアル/F Ch.0/1割り込みイネーブルレジスタ>)

ESERR2, ESRX2, ESTX2: Ch.2割り込みイネーブル

(D0, D1, D2/0x40279<シリアル/F Ch.2/3割り込みイネーブルレジスタ>)

ESERR3, ESRX3, ESTX3: Ch.3割り込みイネーブル

(D3, D4, D5/0x40279<シリアル/F Ch.2/3割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESERRx, ESRXx, ESTXxは、それぞれ各チャネルの受信エラー、受信バッファフル、送信バッファエンブティの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

FSERR0, FSRX0, FSTX0: Ch.0割り込み要因フラグ

(D0, D1, D2/0x40286<シリアル/F Ch.0/1割り込み要因フラグレジスタ>)

FSERR1, FSRX1, FSTX1: Ch.1割り込み要因フラグ

(D3, D4, D5/0x40286<シリアル/F Ch.0/1割り込み要因フラグレジスタ>)

FSERR2, FSRX2, FSTX2: Ch.2割り込み要因フラグ

(D0, D1, D2/0x40289<シリアル/F Ch.2/3割り込み要因フラグレジスタ>)

FSERR3, FSRX3, FSTX3: Ch.3割り込み要因フラグ

(D3, D4, D5/0x40289<シリアル/F Ch.2/3割り込み要因フラグレジスタ>)

シリアルインタフェース割り込みの発生状態を示します。

• 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時(デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

• リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

FSERRx, FSRXx, FSTXxフラグは、それぞれ各チャネルの受信エラー、受信バッファフル、送信バッファエンブティの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。送信バッファエンブティ割り込み要因は、送信データが送信データレジスタからシフトレジスタに転送されたところで発生します。

受信バッファフル割り込み要因は、受信データがシフトレジスタから受信データレジスタに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、受信バッファフル、送信バッファエンプティの割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

RSRX0, RSTX0: Ch.0 IDMAリクエスト

(D6, D7/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

RSRX1, RSTX1: Ch.1 IDMAリクエスト

(D0, D1/0x40293<シリアル/F Ch.1, A/D IDMAリクエストレジスタ>)

RSRX2, RSTX2: Ch.2 IDMAリクエスト

(D2, D3/0x4029B<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAリクエストレジスタ>)

RSRX3, RSTX3: Ch.3 IDMAリクエスト

(D4, D5/0x4029B<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

RSRXx, RSTXxはそれぞれ各チャネルの受信バッファフル、送信バッファエンプティの割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、これらのビットは"0"(割り込み要求)に設定されます。

DESRX0, DESTX0: Ch.0 IDMAイネーブル

(D6, D7/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DESRX1, DESTX1: Ch.1 IDMAイネーブル

(D0, D1/0x40297<シリアル/F Ch.1, A/D IDMAイネーブルレジスタ>)

DESRX2, DESTX2: Ch.2 IDMAイネーブル

(D2, D3/0x4029C<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAイネーブルレジスタ>)

DESRX3, DESTX3: Ch.3 IDMAイネーブル

(D4, D5/0x4029C<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA許可

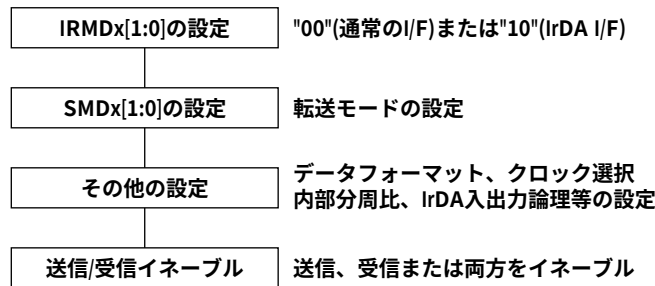
"0"書き込み: IDMA禁止

読み出し: 可能

DESRXx、DESTXxはそれぞれ各チャネルの受信バッファフル、送信バッファエンプティの割り込み要因に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。イニシャルリセット時、これらのビットは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) シリアルインタフェースの各種設定は、送受信が禁止の状態(TXENx=RXENx="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中は、TXENx(RXENx)を"0"に設定しないでください。また、slp命令も実行しないでください。
- (3) クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXENxとRXENxを同時に許可に設定することはできません。
- (4) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (5) 受信エラーが発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。
- (6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (7) シリアルインタフェースは、次の手順で初期設定してください。



図III.9.18 シリアルインタフェースの初期設定手順

- (8) クロック同期式マスタモードで送信する場合、(7)のフローに従って初期設定を行った後、必要に応じて送信データを送信データレジスタに書き込みます。ただし、この書き込みは8ビットタイマからのクロックがシリアルインタフェースに供給されている状態(具体的には最低1回は8ビットタイマのアンダーフローを発生させる)で行ってください。これ以外の場合、書き込んだ送信データの前に0xFFが送信されます。
- (9) シリアルインタフェースの転送レートは、最大1Mbpsと規定します。
- (10) 受信途中で受信回路を止める場合は、送信、受信とも禁止に設定してください。
- (11) クロック同期式モードでデータ転送を行う場合は、転送レートがシステムクロックの1/4以下になるようにプリスケアラの分周比および8ビットプログラマブルタイマのリロード値を設定してください。
- (12) シリアルインタフェースの動作は、プリスケアラが動作していることが条件です。
- (13) IrDAの受信時、RZI変調回路はSINxからの入力信号をエッジ(IRRLx="0")のときは立ち上がりエッジ、IRRLx="1"のときは立ち下がりエッジで受けるようになっています。ノイズなどにより誤動作する可能性がありますので注意してください。

このページはblankです。

III-10 FIFO付きシリアルインタフェース

FIFO付きシリアルインタフェースの構成

FIFO付きシリアルインタフェースの特長

S1C33L05は、標準シリアルインタフェース4チャンネルに加え、以下の特長を持つFIFO付きシリアルインタフェースを1チャンネル(Ch.0)内蔵しています。

- 転送方式としてクロック同期式モードまたは調歩同期式モードを選択可能

クロック同期式モード

データ長: 8ビット固定(スタート/ストップ/パリティビットなし)

受信エラー: オーバーランエラーを検出

調歩同期式モード

データ長: 7ビットまたは8ビットを選択可能

受信エラー: オーバーランエラー、フレーミングエラー、パリティエラーを検出

スタートビット: 1ビット固定

ストップビット: 1ビットまたは2ビットを選択可能

パリティビット: 偶数、奇数、またはなしを選択可能

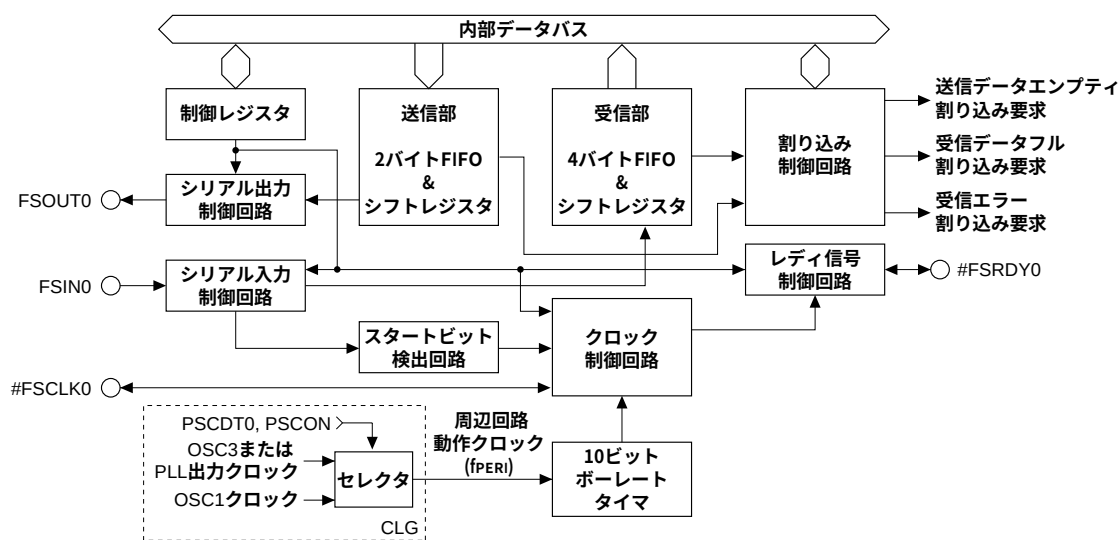
受信部と送信部が独立しているため、全二重通信が可能

IrDAインタフェースに対応

内部クロックまたは外部クロック入力を選択可能

- ボーレート設定 内蔵の10ビットボーレートタイマの設定、または外部クロック(調歩同期式のみ)により、任意のボーレートを設定可能
- 4バイトの受信データバッファ(FIFO)および2バイトの送信データバッファ(FIFO)により、連続受信、連続送信が可能
- IDMA/HSDMAによるデータ転送が可能
- 3種類(送信バッファエンプティ、受信バッファフル、受信エラー)の割り込みを発生可能

図III.10.1に本シリアルインタフェースの構成を示します。



図III.10.1 FIFO付きシリアルインタフェースの構成

注: FIFO付きシリアルインタフェースは前章で説明した標準シリアルインタフェースCh.0と端子を共用しており、P00-P03ポート機能拡張レジスタ(0x300040)によってどちらを使用するか選択可能です。

FIFO付きシリアルインタフェースの入出力端子

表III.10.1にFIFO付きシリアルインタフェースで使用する端子を示します。

表III.10.1 FIFO付きシリアルインタフェースの端子構成

端子名	I/O	機 能	機能選択ビット
P00(SIN0/ FSIN0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ入力/ FIFO付きシリアルIF Ch.0データ入力	EFP00[1:0] (P00–P03ポート機能拡張レジスタ0x300040•D[1:0])
P01(SOUT0/ FSOUT0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ出力/ FIFO付きシリアルIF Ch.0データ出力	EFP01[1:0] (P00–P03ポート機能拡張レジスタ0x300040•D[3:2])
P02(#SCLK0/ #FSCLK0)	I/O	入出力兼用ポート/シリアルIF Ch.0クロック入出力/ FIFO付きシリアルIF Ch.0クロック入出力	EFP02[1:0] (P00–P03ポート機能拡張レジスタ0x300040•D[5:4])
P03(#SRDY0/ #FSRDY0)	I/O	入出力兼用ポート/シリアルIF Ch.0レディ入出力/ FIFO付きシリアルIF Ch.0レディ入出力	EFP03[1:0] (P00–P03ポート機能拡張レジスタ0x300040•D[7:6])

■FSIN0(シリアルデータ入力端子)

シリアルデータを入力します。転送モードにかかわらず共通です。

■FSOUT0(シリアルデータ出力端子)

シリアルデータを出力します。転送モードにかかわらず共通です。

■#FSCLK0(クロック入出力端子)

クロックを入出力します。

クロック同期式スレーブモードではクロック入力端子として、クロック同期式マスタモードではクロック出力端子として使用されます。

調歩同期式モードでは、外部クロックを使用する場合にクロック入力端子として使用されます。内部クロックを使用する場合はこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

■#FSRDY0(レディ信号入出力端子)

クロック同期式モードで使用するレディ信号を入出力します。

クロック同期式スレーブモードではレディ信号出力端子として、クロック同期式マスタモードではレディ信号入力端子として使用されます。

調歩同期式モードではこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

■FIFO付きシリアルインタフェース入出力端子の設定方法

FIFO付きシリアルインタフェースで使用する端子は標準シリアルインタフェースCh.0および入出力兼用ポート端子と共用されており、コールドスタート時にすべて入出力兼用ポート端子P0x(機能拡張ビット EFP0xx = "0")として設定されます。FIFO付きシリアルインタフェースを使用する場合は、転送モードに合わせ、使用する端子の機能拡張ビットの設定を行ってください。

FIFO付きシリアルインタフェースを使用するためのBCUの設定

FIFO付きシリアルインタフェースの制御レジスタ(割り込み制御レジスタは除く)は、エリア6の0x300200～0x300209番地に割り付けられています。したがって、本シリアルインタフェースにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IO(アクセス制御レジスタ0x48132・D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EC(アクセス制御レジスタ0x48132・D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6-4設定レジスタ0x4812A・D[A:8])
CPUが48MHzクロックのx2スピードモード、または32MHzクロックのx1スピードモードで動作している場合は、エリア6のウェイト数を0に設定可能です。

転送モードの設定

本シリアルインタフェースの転送モードは、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)のSMD0[1:0](D[1:0])によって表III.10.2のように設定できます。

表III.10.2 転送モード

SMD01	SMD00	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

イニシャルリセット時、SMD0は不定となりますので、必ずソフトウェアで初期化してください。

IrDAインタフェースを使用する場合は、調歩同期式7ビットモードまたは調歩同期式8ビットモードに設定してください。

入出力端子は転送モードにより構成が異なります。表III.10.3に各モードの端子構成を示します。

表III.10.3 転送モードによる端子設定

転送モード	FSIN0	FSOUT0	#FSCLK0	#FSRDY0
調歩同期式8ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
調歩同期式7ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
クロック同期式スレーブ	データ入力	データ出力	クロック入力	レディ出力
クロック同期式マスタ	データ入力	データ出力	クロック出力	レディ入力

クロック同期式モードは4本すべてを使用します。

調歩同期式モードでは#FSRDY0を使用しないため、P03は入出力兼用(P)ポートとして使用可能です。また、外部クロックを使用しない場合はP02も入出力兼用ポートとして使用可能です。

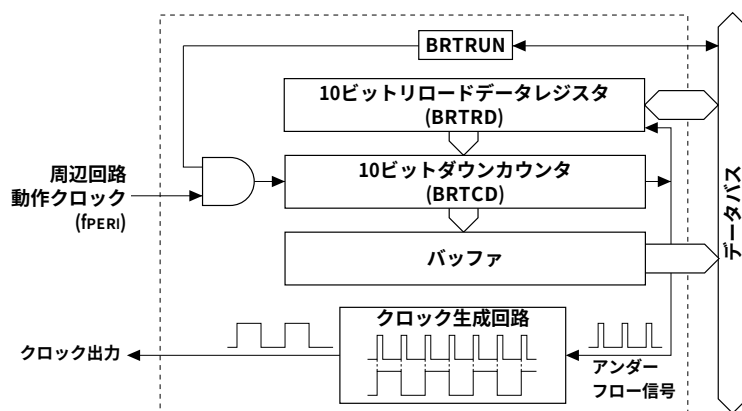
本シリアルインタフェースに使用される入出力兼用ポートのI/O制御レジスタおよびデータレジスタは、リード/ライト可能な汎用レジスタとして使用することができます。

注: IrDAインタフェースを設定するためにFIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)にIRMD0[1:0](D[1:0])が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。

ボーレートタイマ(ボーレートの設定)

クロック同期式マスタモードはデータ転送に内部クロックを使用します。また、調歩同期式モードでも、内部クロックを動作クロックとして選択することができます。このクロックを生成するため、本シリアルインタフェースは、専用のボーレートタイマ(10ビットプログラマブルタイマ)を内蔵しています。カウンタの初期値をソフトウェアで設定することにより、転送クロック/サンプリングクロックの周波数を任意に設定可能です。

クロック同期式スレーブモードの場合、あるいは調歩同期式モードで外部クロックを使用する場合、ボーレートタイマを設定して動作させる必要はありません。



図III.10.2 ボーレートタイマによる転送クロックの生成

ボーレートタイマは10ビットのプリセッタブルダウンカウンタBRTCD[9:0](0x300209・D[1:0]、0x300208・D[7:0])と、カウンタに初期値をセットするための10ビットリロードデータレジスタBTRD[9:0](0x300207・D[1:0]、0x300206・D[7:0])で構成されます。

カウントクロックには、周辺回路動作クロックが使用されます。

周辺回路動作クロックは、プリスケラクロック選択レジスタ(0x40181)のPSCDT0(D0)によって選択された以下のクロックです。

PSCDT0="0"の場合: OSC3クロック(PLL未使用時)、またはPLL出力クロック(PLL使用時)

PSCDT0="1"の場合: OSC1クロック(32kHz Typ.)

イニシャルリセット時はOSC3/PLLクロックが選択されます。

また、選択したクロックは、パワーコントロールレジスタ(0x40180)のPSCON(D5)が"1"に設定されているときに本シリアルインタフェースを含め周辺回路に供給されます。イニシャルリセット時、PSCONは"1"に設定され、クロック供給状態となります。PSCONを"0"に設定すると、クロックの供給が停止します。

発振回路とCPU動作クロックの制御については"CLG(クロックジェネレータ)"を、プリスケラクロックの制御については"プリスケラ"を参照してください。

ボーレートタイマでクロックを生成する操作手順は次のとおりです。

1. リロードデータレジスタBTRD[9:0](0x300207・D[1:0]、0x300206・D[7:0])に初期値をセット
2. BTRTRUN(FIFOシリアルI/F Ch.0ボーレートタイマ制御レジスタ0x300205・D0)を"1"に設定

BTRTRUNに"1"が書き込まれると、ボーレートタイマはリロードデータレジスタに設定した初期値をカウンタにロードしてカウントダウンを開始します。カウンタはアンダーフローすると、アンダーフローパルスを出力するとともにリロードデータをロードしてカウントを継続します。

これにより、リロードデータで決まる周期でアンダーフローが発生します。クロック生成回路はアンダーフロー信号によって出力信号のレベルを反転させ、デューティ比が50%でアンダーフローを1/2に分周したクロックを生成します。

シリアル通信時以外は、消費電流を低減させるため、ボーレートタイマを停止(BTRTRUNを"0"に設定)してください。

注: ボーレートタイマクロック(周辺回路動作クロック)には、CPU動作クロックと同じクロック源を設定してください。

■リロードデータの算出方法

リロードデータレジスタに設定する初期値は以下の式で求められます。ボーレートタイマの出力クロックを直接同期クロックとして使用するクロック同期式マスタモードと、サンプリングクロックとして使用する調歩同期式モードでは式が異なります。

クロック同期式マスタモードの場合

$$\text{BRTRD} = \frac{f_{\text{PERI}}}{2 \times \text{bps}} - 1 \quad (\text{式1})$$

BRTRD: ボーレートタイマのリロードレジスタ設定値

f_{PERI}: C33周辺回路動作クロックの周波数(Hz)

bps: 転送速度(ビット/秒)

調歩同期式モードの場合

$$\text{BRTRD} = \frac{f_{\text{PERI}} \times \text{DIVMD}}{2 \times \text{bps}} - 1 \quad (\text{式2})$$

BRTRD: ボーレートタイマのリロードレジスタ設定値

f_{PERI}: C33周辺回路動作クロックの周波数(Hz)

bps: 転送速度(ビット/秒)

DIVMD: シリアルインタフェース内部分周比(1/16または1/8、DIVMD0で選択)

表III.10.4に調歩同期式モードに内部分周比を1/16に設定した場合のリロードデータ設定例を示します。

表III.10.4 転送速度の設定例

転送速度 (bps)	f _{PERI} = 20MHz		f _{PERI} = 25MHz		f _{PERI} = 33MHz	
	BRTRD	誤差(%)	BRTRD	誤差(%)	BRTRD	誤差(%)
1200	520	-0.16026	650	0.00640	858	0.04366
2400	259	0.16026	325	-0.14698	429	-0.07267
4800	129	0.16026	162	-0.14698	214	-0.07267
9600	64	0.16026	80	0.46939	106	0.39427
14400	42	0.93669	53	0.46939	71	-0.53530
28800	21	-1.35732	26	0.46939	35	-0.53530

誤差はできるだけ1%以内となるように設定してください。誤差の計算式は次のとおりです。

$$\text{誤差} = \left\{ \frac{f_{\text{PERI}} \times \text{DIVMD}}{(\text{BRTRD} + 1) \times 2 \times \text{bps}} - 1 \right\} \times 100 [\%]$$

クロック同期式インタフェース

クロック同期式インタフェースの概要

クロック同期式転送は8ビットデータを送信側、受信側に共通のクロックに同期させて転送する方式です。送信部に2バイト、受信部に4バイトのバッファ (FIFO) を内蔵しているため、連続送信および連続受信が可能です。クロックラインが送受信で共用されるため、半二重通信となります。

■マスタモードとスレーブモード

FIFOシリアルI/F Ch.0制御レジスタ (0x300203) のSMD0[1:0] (D[1:0]) によってクロック同期式マスタモードまたはクロック同期式スレーブモードが選択できます。

クロック同期式マスタモード (SMD0[1:0] = "00")

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#FSCLK0端子から出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。また、#FSRDY0端子には外部シリアル入出力デバイスの送受信レディ状態 (Lowで送受信レディ) を示す信号を入力します。

クロック同期式スレーブモード (SMD0[1:0] = "01")

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#FSCLK0端子より入力し、本シリアルインタフェースの同期クロックとして使用します。また、本シリアルインタフェースの送受信レディ状態を示す#FSRDY0信号が#FSRDY0端子から出力されます。

図III.10.3にクロック同期式モードにおける入出力端子の接続例を示します。

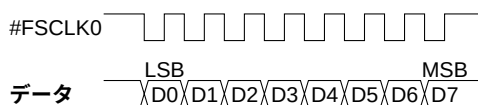


図III.10.3 クロック同期式マスタモードの接続例

■クロック同期式転送データフォーマット

クロック同期式転送では、データフォーマットが次のとおり固定です。

データ長: 8ビット
 スタートビット: なし
 ストップビット: なし
 パリティビット: なし



図III.10.4 クロック同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

クロック同期式インタフェースの設定

FIFO付きシリアルインタフェースでクロック同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. 受信FIFOレベルの設定
6. 割り込み/DMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ず本シリアルインタフェースが動作停止中に(TXEN0およびRXEN0を"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

■入出力端子の設定

クロック同期式モードでは、FSIN0、FSOUT0、#FSCLK0、#FSRDY0の4本の端子をすべて使用します。P00~P03機能拡張レジスタ(0x300040)のEFP0xx(D[7:0])に"01010101"を設定してください。

■インタフェースモード設定

インタフェースモード(通常のインタフェースまたはIrDAインタフェース)を設定するFIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のIRMD0[1:0](D[1:0])に"00"を書き込み、通常のインタフェースを選択します。IRMD0はイニシャルリセット時に不定となりますので、初期化する必要があります。

■転送モード設定

前述のとおり、FIFO付きシリアルインタフェースの転送モードをSMD0で設定します。本インタフェースをクロック同期式転送のマスタとして使用する場合はSMD0[1:0]を"00"に、スレーブとして使用する場合は"01"に設定してください。

■入力クロックの設定

・クロック同期式マスタモード

クロック同期式マスタモードはボーレートタイマで生成したクロックで動作します。
"ボーレートタイマ(ボーレートの設定)"に示したとおり、ボーレートタイマを設定して動作させます。FIFO付きシリアルインタフェースの制御レジスタの中に、調歩同期式モードのクロック源を選択するSSCK0ビットがあります。このビットはクロック同期式モードのクロックには影響を与えませんが、イニシャルリセット時に不定となるため、クロック同期式マスタモードで使用する場合でも"0"(内部クロック)を書き込んで初期化してください。

・クロック同期式スレーブモード

クロック同期式スレーブモードは外部マスタが出力するクロックで動作します。クロックは#FSCLK0端子から入力します。
したがって、ボーレートタイマの制御は必要ありません。

SSCK0ビットは"1"(#FSCLK0)を書き込んで初期化してください。

■受信FIFOレベルの設定

本シリアルインタフェースには4バイトの受信用FIFOが内蔵されており、受信データレジスタが読み出されない場合でも、4データまでオーバーライトエラーとはならず受信することができます。本シリアルインタフェースはデータを受信した際に受信バッファフル割り込みが発生しますが、これを受信用FIFOにデータをいくつ受信した時点で発生させるか設定しておくことができます。この設定には、FIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のFIFOINT0[1:0](D[6:5])を使用します。0~3の書き込みでデータの個数は1~4に設定されます。イニシャルリセット時のデフォルト設定は0で、データを1個受信すると受信バッファフル割り込みが発生するようになっています。

クロック同期式転送の制御と動作

■送信制御

(1) 送信許可

送信の制御には、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)の送信許可ビットTXEN0(D7)を使用します。このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。#FSCLK0端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

TXEN0に"0"を書き込むと送信禁止状態に戻り、送信データバッファ(FIFO)もクリア(初期化)されます。

なお、端子の機能拡張レジスタをFIFO付きシリアルインタフェース入出力用に設定した後、#FSRDY0、#FSCLK0は以下のタイミングで入力/出力が切り換わります。

#FSRDY0: スレーブモードに設定→出力モードに切り換わります。

上記以外→入力モード

#FSCLK0: マスタモードに設定→出力モードに切り換わります。

上記以外→入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXEN0と受信許可ビットRXEN0を同時に許可に設定することはできません。送信を行う場合はRXEN0を"0"に固定し、変更しないでください。

また、送信中はTXEN0を"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタ、送信データレジスタが受信用とは独立して設けられています。

送信データは送信データレジスタTXD0[7:0](0x300200)に書き込みます。TXD0に書き込んだデータは送信データバッファに入り送信まで待機します。

送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。このバッファにより、データの送信中でも次の送信データを送信データレジスタに書き込むことができます。このバッファが空かどうかはFIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)の送信データバッファエンプティフラグTDBE0(D1)で確認可能です。このビットは送信データバッファに1つ以上の空きがある場合に"1"となり、送信データの書き込みによってデータバッファが満杯になると"0"になります。

送信データレジスタにデータを書き込むことにより、FIFO付きシリアルインタフェースは送信動作を開始します。送信状態は、FIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)の送信終了フラグTEND0(D5)で確認できます。このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式転送で連続してデータを送信する場合、マスタモード時は全データを送信するまで"1"を保持し(図III.10.5)、スレーブモード時は1バイト送信するごとに"0"となります(図III.10.6)。

送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

マスタモード、スレーブモードそれぞれの送信動作は以下のとおりです。

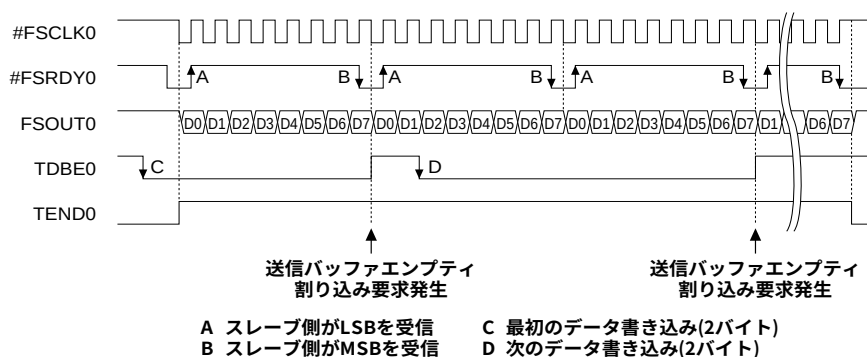
・クロック同期式マスタモード

マスタモードが送信動作を開始するタイミングは次のとおりです。

送信データバッファにデータが書き込まれている状態で、#FSRDY0がLowになった場合
または

#FSRDY0がLowの状態、送信データバッファにデータが書き込まれた場合

図III.10.5にクロック同期式マスタモードの送信タイミングチャートを示します。

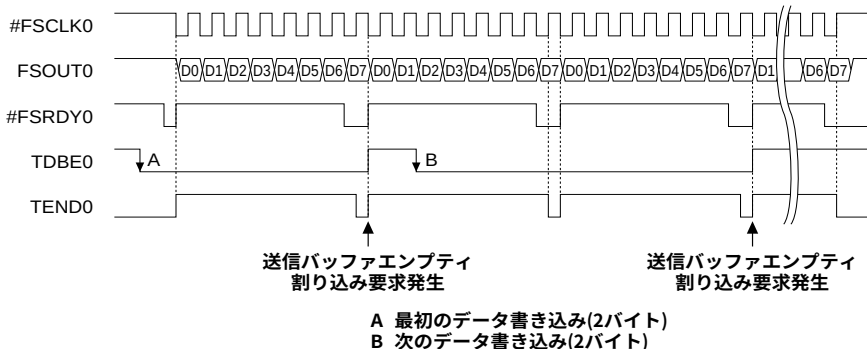


図III.10.5 クロック同期式マスタモードの送信タイミング

1. スレーブからの#FSRDY0信号がHighの場合はLow(受信レディ)になるまで待機します。
2. #FSRDY0がLowの場合はFIFO付きシリアルインタフェースへの同期クロックの入力を開始します。同期クロックは#FSCLK0端子からスレーブ側のデバイスにも出力されます。
3. クロックの最初の立ち下がりエッジに同期して送信データバッファの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがFSOUT0端子から出力されます。この時点で送信データバッファが空になった場合は、送信バッファエンプティ割り込み要求が発生します。
4. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをFSOUT0から出力します。8ビットのデータが送信されるまで、この動作を繰り返します。スレーブ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込みます。
5. 送信データバッファにデータがある場合は、同様に次のデータを送信します。

・クロック同期式スレーブモード

図III.10.6にクロック同期式スレーブモードの送信タイミングチャートを示します。



図III.10.6 クロック同期式スレーブモードの送信タイミング

1. #FSRDY0信号をLow(送信レディ)にしてマスタ側からのクロック入力を待ちます。
2. 同期クロックが#FSCLK0端子から入力されると、クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがFSOUT0端子から出力されます。
#FSRDY0信号はこの時点でHighに戻ります。また、送信データバッファが空になった場合は、送信バッファエンプティ割り込み要求が発生します。
3. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをFSOUT0から出力します。8ビットのデータが送信されるまで、この動作を繰り返します。
4. 最後のビット(8ビット目)をFSOUT0端子に出力したところで、#FSRDY0信号をLowにします。マスタ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込みます。
5. 送信データバッファにデータがある場合は、同様に次のデータを送信します。

(3) 送信の終了

データの送信が終了した場合は、送信許可ビットTXEN0に"0"を書き込んで送信禁止に設定してください。これにより送信データバッファ(FIFO)もクリア(初期化)されますので、TXEN0に"0"を書き込む前に送信データバッファに送信待ちのデータが残っていないことを確認してください。

■受信制御

(1) 受信許可

受信の制御には、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)の受信許可ビットRXEN0(D6)を使用します。このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信動作を開始します。#FSCLK0端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

RXEN0に"0"を書き込むと受信禁止状態に戻り、受信データバッファ(FIFO)もクリア(初期化)されます。

なお、端子の機能拡張レジスタをFIFOシリアルインタフェース入出力用に設定した後、#FSRDY0、#FSCLK0は以下のタイミングで入力/出力が切り換わります。

#FSRDY0: スレープモードに設定→出力モードに切り換わります。

上記以外→入力モード

#FSCLK0: マスタモードに設定→出力モードに切り換わります。

上記以外→入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、RXEN0と送信許可ビットTXEN0を同時に許可に設定することはできません。受信を行う場合はTXEN0を"0"に固定し、変更しないでください。
また、受信中はRXEN0を"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタ、受信データバッファ、受信データレジスタが送信用とは独立して設けられています。

受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。

バッファ内の受信データは、受信データレジスタRXD0[7:0](0x300201)をアクセスすることによって古いものから順に読み出すことができ、読み出しによりクリアされます。

受信データバッファ内にあるデータの数、FIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)のRXD0NUM[1:0](D[7:6])で確認できます。RXD0NUM[1:0]が0の場合、バッファ内には0個または1個のデータがあります。RXD0NUM[1:0]が1~3の場合、バッファ内には2~4個のデータがあります。

また、受信データバッファに受信データがあることを示すフラグRDBF0(FIFOシリアルI/F Ch.0ステータスレジスタ0x300202・D0)が設けられています。このビットは受信データバッファ内に1つ以上の受信データがあると"1"となり、データがすべて読み出されて空になると"0"に戻ります。

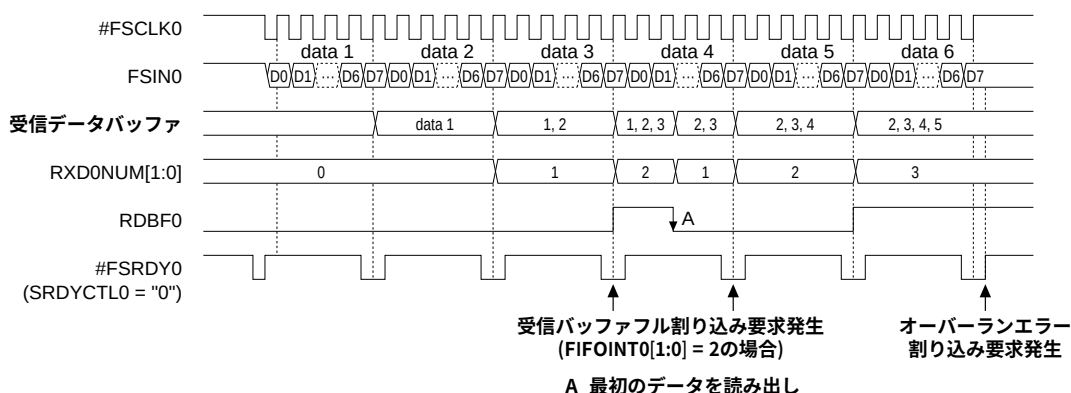
受信データバッファ内のデータ数がFIFOINT0[1:0]で指定した個数以上になると、受信バッファフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

マスタモード、スレープモードそれぞれの受信動作は以下のとおりです。

・クロック同期式マスタモード

図III.10.7にクロック同期式マスタモードの受信タイミングチャートを示します。

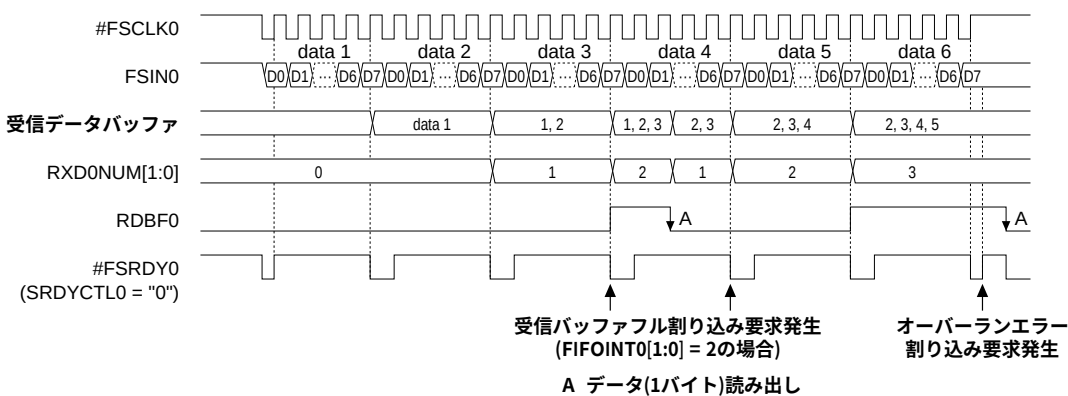


図III.10.7 クロック同期式マスタモードの受信タイミング

1. スレープからの#FSRDY0信号がHighの場合はLow(送信レディ)になるまで待機します。
2. #FSRDY0がLowの場合はFIFO付きシリアルインタフェースへの同期クロックの入力を開始します。同期クロックは#FSCLK0端子からスレープ側のデバイスにも出力されます。
3. スレープ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
4. 本シリアルインタフェースは、FSIN0の入力をクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
5. MSBが取り込まれると、シフトレジスタのデータは受信データバッファに転送され、データが読み出せる状態となります。

・クロック同期式スレープモード

図III.10.8にクロック同期式スレープモードの受信タイミングチャートを示します。



図III.10.8 クロック同期式スレープモードの受信タイミング

1. #FSRDY0信号をLow(受信レディ)にしてマスタ側からのクロック入力を待ちます。
2. マスタ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
3. 本シリアルインタフェースは、FSIN0の入力を#FSCLK0から入力したクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
4. MSBが取り込まれると、シフトレジスタのデータは受信データバッファに転送され、データが読み出せる状態となります。

(3) オーバーランエラー

受信データバッファが満杯(4データ受信済み)の状態でも、次に送られる5番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した5番目のデータはバッファに送られません。その状態でさらに6番目のデータが送られてくると、シフトレジスタ(5番目のデータ)はそのデータで上書きされ、オーバーランエラーが発生します。

オーバーランエラーが発生するとFIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)のオーバーランエラーフラグOER0(D2)が"1"にセットされます。オーバーランエラーフラグは、"1"にセットされるとソフトウェアで"0"を書き込むまでリセットされません。

オーバーランエラーはFIFO付きシリアルインタフェースの受信エラー割り込み要因のひとつです。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。

次に説明する#FSRDY0制御により、オーバーランエラーを発生しないようにすることもできます。

(4) #FSRDY0信号の制御

受信時の#FSRDY0信号は、スレーブデバイスがマスタデバイスに対してデータが受信可能であることを知らせるために出力します。

本シリアルインタフェースがクロック同期式スレーブモードの場合、RXEN0に"1"を書き込んで受信を許可すると#FSRDY0信号はLowとなり、受信可能であることをマスタ側のデバイスに知らせます。シリアルデータのLSBを受信すると#FSRDY0はHighとなり、MSBを受信すると次の受信に備えてLowに戻ります。

オーバーランエラーが発生した場合は、その時点で#FSRDY0がHigh(受信不可)となりますので、続くデータ受信は中断します。この場合、受信データバッファのデータを読み出すことで#FSRDY0がLowに戻り、続くデータがあれば受信を再開します。

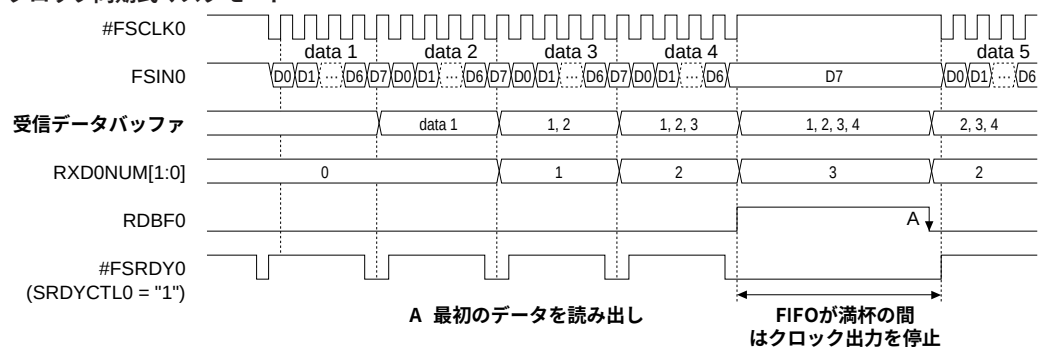
通常の出力タイミングは図III.10.8に示したとおりで、受信データバッファが満杯の場合でも#FSRDY0信号は受信可能として出力されます。この状態で受信データバッファが読み出せない場合、前記のようにオーバーランエラーが発生します。これを防ぐため、受信データバッファが満杯の場合には、バッファ内のデータを読み出すまで#FSRDY0信号を強制的にHighにして、マスタデバイスのデータ送信を中断させることができるようになっています。

この機能を使用するには、FIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のSRDYCTL0(D7)を"1"(Highマスクモード)に設定します。

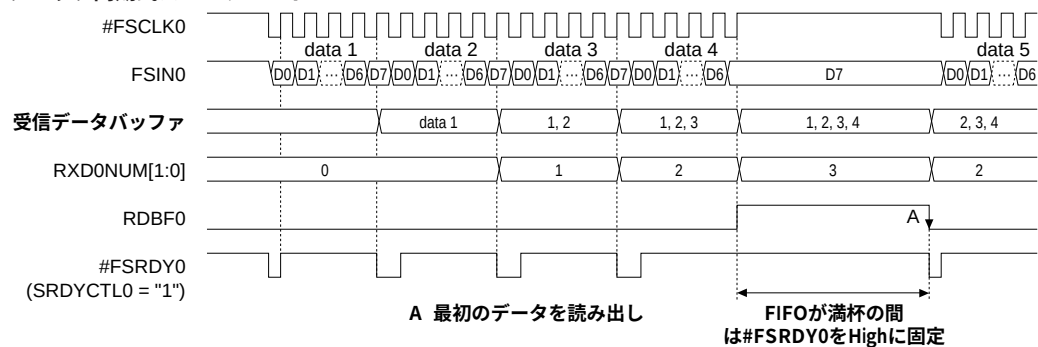
クロック同期式マスタモードでもこの機能は有効で、受信データバッファが満杯になると、データを読み出すまでスレーブからの#FSRDY0(Low)を無視し#FSCLK0の出力を停止します。

この機能を有効にした場合でも、受信データバッファが満杯以外では、通常の受信動作を行います。

クロック同期式マスターモード



クロック同期式スレーブモード



図III.10.9 #FSRDY0信号のHighマスクモード

(5) 受信の終了

データの受信が終了した場合は、受信許可ビットRXEN0に"0"を書き込んで受信禁止に設定してください。これにより受信データバッファ(FIFO)もクリア(初期化)されますので、RXEN0に"0"を書き込む前に受信データバッファに読み出し前のデータが残っていないことを確認してください。

調歩同期式インタフェース

調歩同期式インタフェースの概要

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。

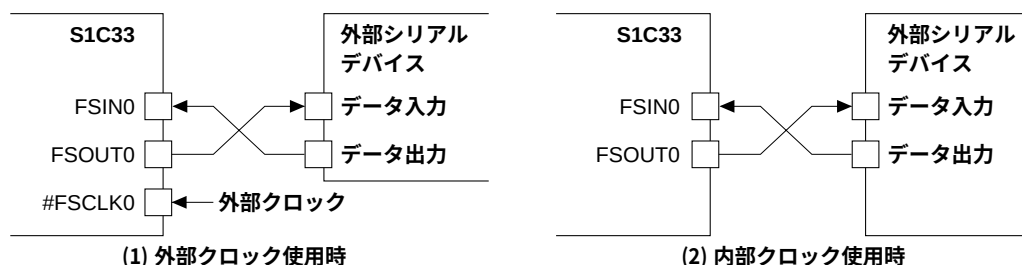
調歩同期式8ビットモード(SMD0[1:0] = "11")では8ビットデータの転送、調歩同期式7ビットモード(SMD0[1:0] = "10")では7ビットデータの転送が行えます。

どちらのモードも、ストップビット長の選択、パリティビットの追加、偶数/奇数パリティの選択が可能です。スタートビットは1ビットに固定です。

動作クロックには、ボーレートタイマによる内部クロック、または#FSCLK0端子から入力する外部クロックのいずれかを選択することができます。

送信部に2バイト、受信部に4バイトのバッファを内蔵しているため、連続送信および連続受信が可能です。また、送信部、受信部が独立しているため、送信と受信を同時に行う全二重通信が可能です。

図III.10.10に調歩同期式モードにおける入出力端子の接続例を示します。



図III.10.10 調歩同期式モードの接続例

調歩同期式モードに設定すると、IrDAインタフェース機能を使用することもできます。

調歩同期式転送データフォーマット

調歩同期式転送のデータフォーマットは以下のとおりです。

データ長: 7ビットまたは8ビット(転送モードの選択により決定)

スタートビット: 1ビット固定

ストップビット: 1ビットまたは2ビット

パリティビット: 偶数パリティ、奇数パリティ、またはなし

サンプリングクロック(送信時)

調歩同期式7ビットモード

(ストップビット: 1ビット, パリティ: なし)

s1 [D0] [D1] [D2] [D3] [D4] [D5] [D6] s2

(ストップビット: 1ビット, パリティ: あり)

s1 [D0] [D1] [D2] [D3] [D4] [D5] [D6] p s2

(ストップビット: 2ビット, パリティ: なし)

s1 [D0] [D1] [D2] [D3] [D4] [D5] [D6] s2 s3

(ストップビット: 2ビット, パリティ: あり)

s1 [D0] [D1] [D2] [D3] [D4] [D5] [D6] p s2 s3

調歩同期式8ビットモード

(ストップビット: 1ビット, パリティ: なし)

s1 [D0] [D1] [D2] [D3] [D4] [D5] [D6] [D7] s2

(ストップビット: 1ビット, パリティ: あり)

s1 [D0] [D1] [D2] [D3] [D4] [D5] [D6] [D7] p s2

(ストップビット: 2ビット, パリティ: なし)

s1 [D0] [D1] [D2] [D3] [D4] [D5] [D6] [D7] s2 s3

(ストップビット: 2ビット, パリティ: あり)

s1 [D0] [D1] [D2] [D3] [D4] [D5] [D6] [D7] p s2 s3

s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図III.10.11 調歩同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

調歩同期式インタフェースの設定

FIFO付きシリアルインタフェースで調歩同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 受信FIFOレベルの設定
7. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずFIFO付きシリアルインタフェースが動作停止中に(TXEN0およびRXEN0を"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

■入出力端子の設定

調歩同期式モードでは、FSIN0およびFSOUT0の2本の端子を使用しますので、P00-P03機能拡張レジスタ(0x300040)のEFP01[1:0](D[1:0])とEFP02[1:0](D[3:2])の両方を"01"に設定します。
外部クロックを入力する場合は、さらに#FSCLK0端子も使用します。P00-P03機能拡張レジスタ(0x300040)のEFP03[1:0](D[5:4])を"01"に設定します。

■インタフェースモード設定

IrDAインタフェースを設定するために、FIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)にIRMD0[1:0](D[1:0])が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。この設定は転送モードを設定する前に行ってください。

■転送モード設定

前述のとおり、FIFO付きシリアルインタフェースの転送モードをSMD0で設定します。
本インタフェースを調歩同期式8ビットモードで使用する場合はSMD0[1:0]を"11"に、調歩同期式7ビットモードで使用する場合は"10"に設定してください。

■入力クロックの設定

調歩同期式モードでは、動作クロックとして内部クロックまたは外部クロックが選択できます。
FIFOシリアルI/F Ch.0制御レジスタ(0x300203)のSSCK0(D2)に"1"を書き込むと外部クロック(#FSCLK0端子より入力)、“0”を書き込むと内部クロックが選択されます。

注: SSCK0はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

・内部クロック

内部クロックを選択すると、ボーレートタイマで発生したクロックで動作します。
"ボーレートタイマ(ボーレートの設定)"に示したとおり、ボーレートタイマを設定して動作させます。

・外部クロック

外部クロックを選択すると、#FSCLK0端子から入力するクロックで動作します。
したがって、ボーレートタイマの制御は必要ありません。

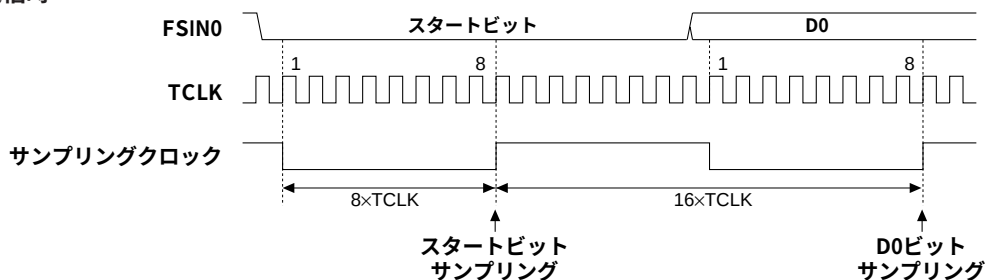
クロック周波数は任意に設定可能です。#FSCLK0端子から入力されたクロックは本シリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります("サンプリングクロック"参照)。転送速度を設定する際には、この分周比も考慮してください。

・サンプリングクロック

調歩同期式モードではTCLK(ボーレートタイマの出力クロックまたは#FSCLK0端子からの入力クロック)をFIFO付きシリアルインタフェースの内部で分周してサンプリングクロックが生成されます。分周比はFIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のDIVMD0に"0"を書き込むと1/16、"1"を書き込むと1/8に設定されます。

注: DIVMD0はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。このビットの設定は調歩同期式モード(IrDAインタフェース使用時も含む)でのみ有効です。

受信時

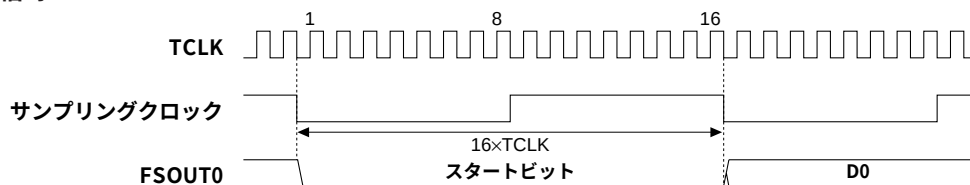


図III.10.12 調歩同期式受信時のサンプリングタイミング(1/16分周選択時)

各ビットデータは、図III.10.12のようなタイミングでサンプリングされます。

TCLKの立ち上がりエッジでFSIN0のLowレベルを検出すると、8xTCLK後(1/8選択時は4xTCLK後)にスタートビットがサンプリングされます。スタートビットのサンプリング時にFSIN0端子がLowでない場合は以降のデータのサンプリングを中止し、スタートビット検出の状態に戻ります(この場合、エラーは発生しません)。スタートビットサンプリング時にFSIN0端子がLowの場合、以降は16xTCLK(1/8選択時は8xTCLK)ごとにビットデータのサンプリングが行われます。

送信時



図III.10.13 調歩同期式送信時のビットデータ出力(1/16分周選択時)

送信時は各ビットデータを、16xTCLK(1/8選択時は8xTCLK)ごとにFSOUT0端子に出力します。

■データフォーマットの設定

調歩同期式モードでは、転送モードの設定によりデータ長が7ビットまたは8ビットとなります。スタートビットは1ビットに固定です。

ストップビットとパリティビットは以下の制御ビットにより表III.10.5のとおり設定できます。

ストップビット選択: STPB0 (FIFOシリアルI/F Ch.0制御レジスタ0x300203・D3)

パリティイネーブル: EPR0 (FIFOシリアルI/F Ch.0制御レジスタ0x300203・D5)

パリティモード選択: PMD0 (FIFOシリアルI/F Ch.0制御レジスタ0x300203・D4)

表III.10.5 ストップビットとパリティビットの設定

STPB0	EPR0	PMD0	ストップビット	パリティビット
1	1	1	2ビット	奇数
		0	2ビット	偶数
	0	*	2ビット	なし
0	1	1	1ビット	奇数
		0	1ビット	偶数
	0	*	1ビット	なし

* EPR0が"0"の場合、PMD0の設定は無効です。

注: これらのビットはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

■受信FIFOレベルの設定

本シリアルインタフェースには4バイトの受信用FIFOが内蔵されており、受信データレジスタが読み出されない場合でも、4データまでオーバーライトエラーとはならず受信することができます。本シリアルインタフェースはデータを受信した際に受信バッファフル割り込みを発生しますが、これを受信用FIFOにデータをいくつ受信した時点で発生させるか設定しておくことができます。この設定には、FIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のFIFOINT0[1:0](D[6:5])を使用します。0~3の書き込みでデータの個数は1~4に設定されます。イニシャルリセット時のデフォルト設定は0で、データを1個受信すると受信バッファフル割り込みが発生するようになっています。

調歩同期式転送の制御と動作

■送信制御

(1) 送信許可

送信の制御には、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)の送信許可ビットTXEN0(D7)を使用します。このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。

TXEN0に"0"を書き込むと送信禁止状態に戻り、送信データバッファ(FIFO)もクリア(初期化)されます。

注: 送信中はTXEN0を"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタ、送信データレジスタが受信用とは独立して設けられています。

送信データは送信データレジスタTXD0[7:0](0x300200)に書き込みます。調歩同期式7ビットモードでは、ビット7(MSB)は無効となります。

TXD0に書き込んだデータは送信データバッファに入り送信まで待機します。

送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。このバッファにより、データの送信中でも次の送信データを送信データレジスタに書き込むことができます。このバッファが空かどうかはFIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)の送信データバッファエンプティフラグTDBE0(D1)で確認可能です。このビットは送信データバッファに1つ以上の空きがある場合に"1"となり、送信データの書き込みによってデータバッファが満杯になると"0"になります。転送のタイミングはスタートビットの送信開始時です。

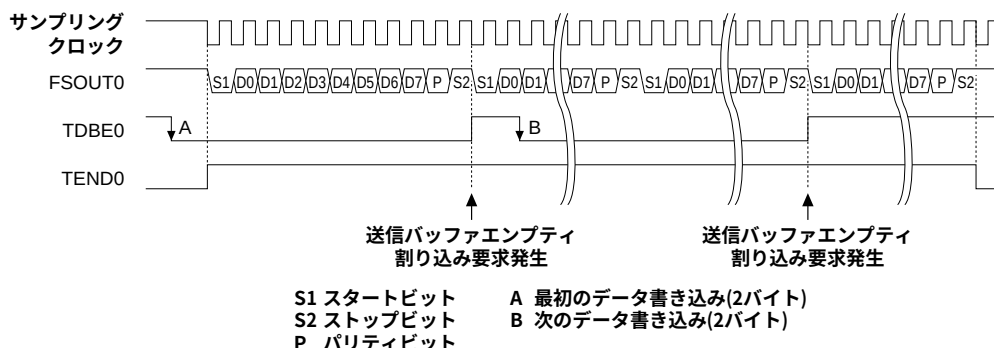
送信データレジスタにデータを書き込むことにより、FIFO付きシリアルインタフェースは送信動作を開始します。送信状態は、FIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)の送信終了フラグTEND0(D5)で確認できます。このビットはデータ送信中に"1"となり、全データの送信を終了すると"0"に戻ります。

送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

図III.10.14に調歩同期式モードの送信タイミングチャートを示します。

例: データ長 8ビット、ストップビット 1ビット、パリティビットあり



図III.10.14 調歩同期式モードの送信タイミング

1. サンプリングクロックの最初の立ち下がりエッジに同期して送信データバッファの内容がシフトレジスタに転送されます。同時に、FSOUT0端子をLowにしてスタートビットを送信します。
2. 続くサンプリングクロックの各立ち下がりエッジでシフトレジスタの各ビットをLSBから送信します。8(7)ビットのデータが送信されるまで、この動作を繰り返します。
3. MSBを送信後、パリティビット(EPR0="1"の場合)とストップビットを続けて送信します。
4. 送信データバッファにデータがある場合は、同様に次のデータを送信します。

(3)送信の終了

データの送信が終了した場合は、送信許可ビットTXEN0に"0"を書き込んで送信禁止に設定してください。これにより送信データバッファ(FIFO)もクリア(初期化)されますので、TXEN0に"0"を書き込む前に送信データバッファに送信待ちのデータが残っていないことを確認してください。

■受信制御

(1) 受信許可

受信の制御には、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)の受信許可ビットRXEN0(D6)を使用します。このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信が行える状態となります。

RXEN0に"0"を書き込むと受信禁止状態に戻り、受信データバッファ(FIFO)もクリア(初期化)されます。

注: 受信中はRXEN0を"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタ、受信データバッファ、受信データレジスタが送信用とは独立して設けられています。

受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。

バッファ内の受信データは、受信データレジスタRXD0[7:0](0x300201)をアクセスすることによって古いものから順に読み出すことができ、読み出しによりクリアされます。

受信データバッファ内にあるデータの数、FIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)のRXD0NUM[1:0](D[7:6])で確認できます。RXD0NUM[1:0]が0の場合、バッファ内には0個または1個のデータがあります。RXD0NUM[1:0]が1~3の場合、バッファ内には2~4個のデータがあります。

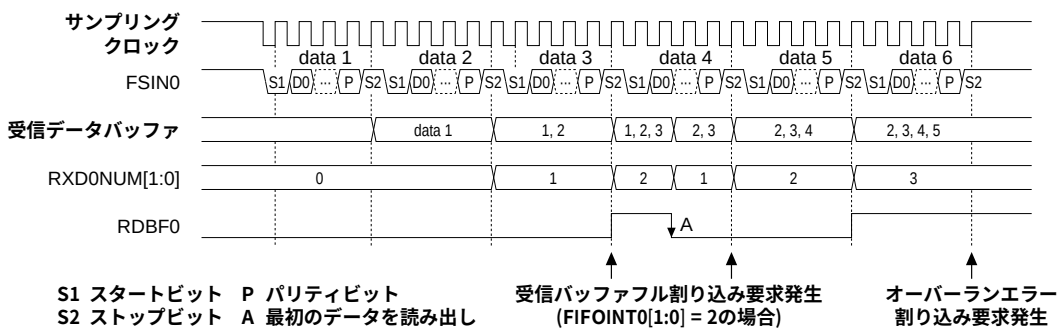
また、受信データバッファフルを示すフラグRDBF0(FIFOシリアルI/F Ch.0ステータスレジスタ0x300202・D0)が設けられています。このビットは受信データバッファ内に1つ以上の受信データがあると"1"となり、データがすべて読み出されて空になると"0"に戻ります。

受信データバッファ内のデータ数がFIFOINT0[1:0]で指定した個数以上になると、受信バッファフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

図III.10.15に調歩同期式モードの受信タイミングチャートを示します。

例: データ長 8ビット、ストップビット 1ビット、パリティビットあり



図III.10.15 調歩同期式モードの受信タイミング

1. スタートビット(FSIN0 = Low)の入力によりサンプリングを開始します。
2. サンプリングクロックの最初の立ち上がりエッジでスタートビットがサンプリングされると、以降のクロックの各立ち上がりエッジで受信データの各ビットをLSBからシフトレジスタに取り込みます。データのMSBを受信するまで、この動作を繰り返します。
3. MSBが取り込まれると、続くパリティビットを取り込みます(EPR0 = "1"の場合)。
4. ストップビットをサンプリングするとシフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

受信データレジスタへの転送時にはパリティチェックが行われます(EPR0 = "1"の場合)。

注: ストップビットを2ビットに設定した場合でも、ストップビットの1ビット目をサンプリングした時点で受信動作が終了します。

(3) 受信エラー

調歩同期式モードの受信時には3種類の受信エラーが検出可能です。

割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。受信エラー割り込みについては、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

• パリティエラー

EPR0が"1"(パリティあり)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD0の設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER0(FIFOシリアルI/F Ch.0ステータスレジスタ0x300202・D3)が"1"にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、受信データはパリティエラーのため保証されません。

なお、PER0フラグは"0"を書き込むことによってリセットされます。

• フレーミングエラー

ストップビットを"0"として受信すると、本シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER0(FIFOシリアルI/F Ch.0ステータスレジスタ0x300202・D4)が"1"にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FER0フラグは"0"を書き込むことによってリセットされます。

• オーバーランエラー

受信データバッファが満杯(4データ受信済み)の状態でも、次に送られる5番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した5番目のデータはバッファに送られません。その状態でさらに6番目のデータが送られてくると、シフトレジスタ(5番目のデータ)はそのデータで上書きされ、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER0(FIFOシリアルI/F Ch.0ステータスレジスタ0x300202・D2)が"1"にセットされます。

本エラーが発生した場合でも、受信動作は継続します。

なお、OER0フラグは"0"を書き込むことによってリセットされます。

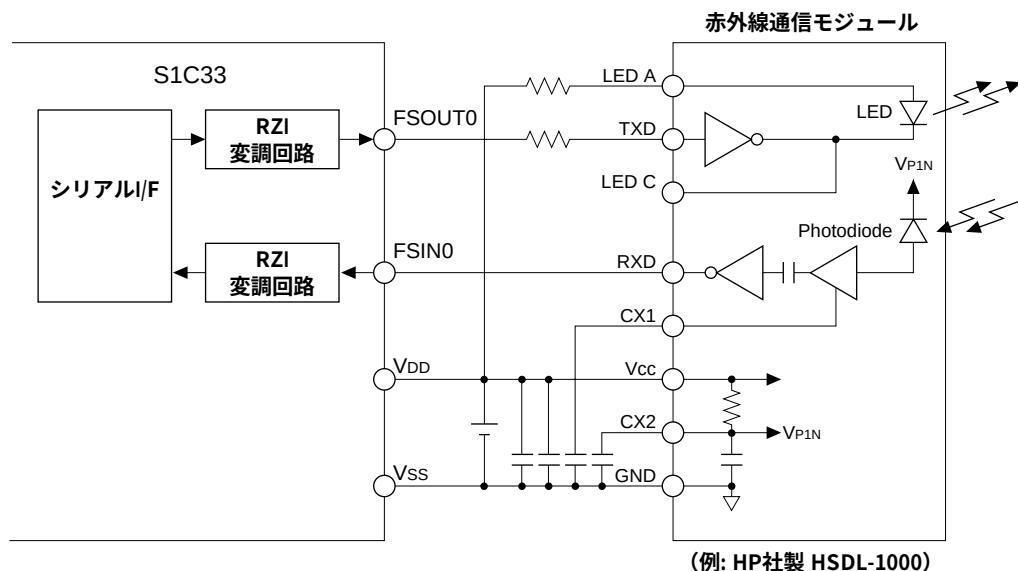
(4) 受信の終了

データの受信が終了した場合は、受信許可ビットRXEN0に"0"を書き込んで受信禁止に設定してください。これにより受信データバッファ(FIFO)もクリア(初期化)されますので、RXEN0に"0"を書き込む前に受信データバッファに読み出し前のデータが残っていないことを確認してください。

IrDAインタフェース

IrDAインタフェースの概要

FIFO付きシリアルインタフェースは各チャンネルにRZI変調回路を内蔵しており、IrDA 1.0に準拠した赤外線通信の回路を簡単な外部回路を追加することにより構成できるようになっています。



図III.10.16 IrDAインタフェースの構成例

このIrDAインタフェース機能は、転送モードが調歩同期式モードに設定されている場合にのみ使用可能です。IrDAインタフェース部以外のFIFO付きシリアルインタフェース機能は調歩同期式モードの内容がそのまま適用されますので、データフォーマット、データ転送の設定や制御手順については"調歩同期式インタフェース"を参照してください。

IrDAインタフェースの設定

赤外線通信を行う場合は、通信開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモード (IrDAインタフェース機能) の選択
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 受信FIFOレベルの設定
7. 割り込み/DMA/HSDMAの設定
8. 入出力論理の設定

1～6までは調歩同期式インタフェースで説明した内容です。"調歩同期式インタフェース"を参照してください。7については"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずFIFO付きシリアルインタフェースが動作停止中に(TXEN0およびRXEN0を"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

また、IrDAインタフェース機能の選択(2)は、必ず転送モード(3)以降の設定を行う前に行ってください。

■IrDAインタフェース機能の選択

IrDAインタフェース機能を使用するには、FIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のIRMD0[1:0](D[1:0])でIrDAインタフェース機能を選択し、さらに調歩同期式8ビット(または7ビット)モードに設定してください。

表III.10.6 IrDAインタフェースの設定

IRMD01	IRMD00	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

注: IRMD0はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

■入出力論理の設定

IrDAインタフェースを使用する場合、RZI変調回路の入出力信号の論理を外部に接続する赤外線通信モジュールや回路に合わせて切り換えることができます。内蔵のFIFO付きシリアルインタフェースはLowアクティブです。Highアクティブの信号を入出力する場合は論理を反転させて使用します。入力FSIN0と出力FSOUT0の論理をそれぞれFIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のIRRL0(D2)、IRTL0(D3)によって個別に設定することができます。

IRRL0/IRTL0に"1"を書き込むことで、入力/出力信号の論理が反転します。"0"を書き込んだ場合は、論理反転を行いません。

送信時

(1) IRTL0 = "0"

RZI変調回路入力(I/F出力)

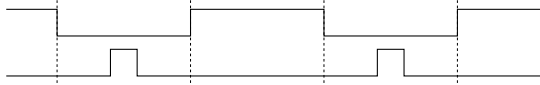
RZI変調回路出力(FSOUT0)



(2) IRTL0 = "1"

RZI変調回路入力(I/F出力)

RZI変調回路出力(FSOUT0)

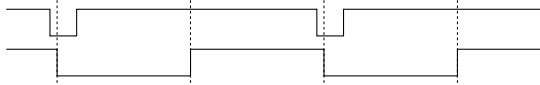


受信時

(1) IRRL0 = "0"

RZI変調回路入力(FSIN0)

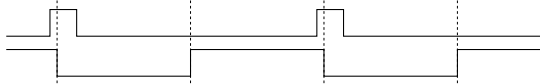
RZI変調回路出力(I/F入力)



(2) IRRL0 = "1"

RZI変調回路入力(FSIN0)

RZI変調回路出力(I/F入力)



図III.10.17 IRRL0とIRTL0の設定例

注: IRRL0およびIRTL0はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

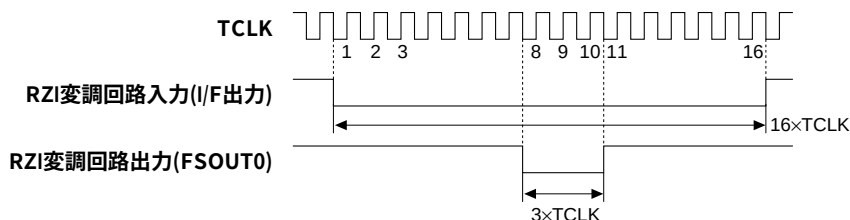
IrDAインタフェースの制御と動作

送受信の手順は調歩同期式インタフェースで説明したとおりです。"調歩同期式転送の制御と動作"を参照してください。

RZI変調回路によるデータの変調と復調の動作は以下のとおりです。

■送信時

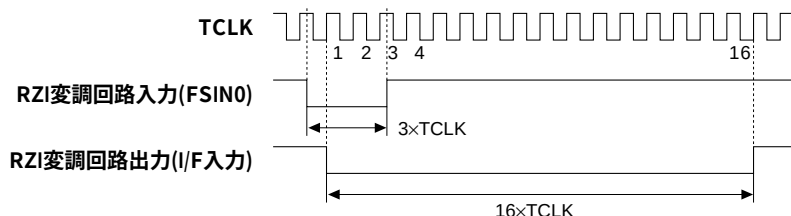
送信時は、FIFO付きシリアルインタフェースの出力信号のパルス幅を3/16倍に変換しFSOUT0端子から出力します。



図III.10.18 RZI変調回路によるデータの変調

■受信時

受信時は、FSIN0からの入力信号のパルス幅を16/3倍に変換し、FIFO付きシリアルインタフェースに送ります。



図III.10.19 RZI変調回路によるデータの復調

注: IrDAインタフェースを使用する場合、FIFO付きシリアルインタフェース内部の分周比は1/16 (DIVMD0 = "1") に設定し、1/8 (DIVMD0 = "0") には設定しないでください。

FIFO付きシリアルインタフェース割り込みとDMA

FIFO付きシリアルインタフェースには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

■送信バッファエンプティ割り込み要因

この割り込み要因は、送信データバッファに設定した送信データがすべてシフトレジスタに転送された時点で発生し、割り込み要因フラグFFSTX0を"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、次の送信データを送信データレジスタに書き込むことができます。また、この割り込み要因でDMAを起動し、DMA転送によって送信データの書き込みを行うこともできます。

■受信バッファフル割り込み

この割り込み要因は、受信バッファ内にFIFOINT0[1:0](0x300204・D[6:5])で指定した数のデータを受信した時点で発生し、割り込み要因フラグFFSRX0を"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、受信データの読み出しが可能となります。また、この割り込み要因でDMAを起動し、受信データをDMA転送によって指定のメモリに書き込むこともできます。

■受信エラー割り込み

この割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生し、割り込み要因フラグFFSERR0を"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER0(パリティエラー)、OER0(オーバーランエラー)、FER0(フレーミングエラー)で行ってください。クロック同期式モードではパリティエラーとフレーミングエラーは発生しません。

注: 受信エラー(パリティエラー、フレーミングエラー)が発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。

■割り込みコントローラの制御レジスタ

割り込みコントローラの制御レジスタを、表III.10.7に示します。

表III.10.7 割り込みコントローラの制御レジスタ

割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
受信エラー	FFSERR0 (D3/0x402B2)	EFSERR0 (D3/0x402B1)	PFSIO0[2:0] (D[6:4]/0x402B0)
受信バッファフル	FFSRX0 (D4/0x402B2)	EFSRX0 (D4/0x402B1)	
送信バッファエンプティ	FFSTX0 (D5/0x402B2)	EFSTX0 (D5/0x402B1)	

前述の割り込み要因が発生すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■インテリジェントDMA

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、インテリジェントDMA (IDMA)を起動することができます。これにより、メモリと送受信データレジスタ間のDMA転送による連続送受信が行えます。

各要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.

受信バッファフル割り込み: 0x38

送信バッファエンプティ割り込み: 0x39

IDMAを起動させるには、表III.10.8に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.10.8 IDMA転送の制御ビット

割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
受信バッファフル	RFSRX0 (D2/0x402B3)	DEFSRX0 (D2/0x402B4)
送信バッファエンプティ	RFSTX0 (D3/0x402B3)	DEFSTX0 (D3/0x402B4)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■高速DMA

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、高速DMA(HSDMA)を起動することもできます。

HSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表III.10.9 HSDMAトリガ設定ビット

HSDMA Ch.	トリガ設定ビット
1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[7:4])
3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[7:4])

HSDMAを受信バッファフル割り込み要因で起動させるには、トリガ設定ビットに"1101"を書き込んでおきます。送信バッファエンプティ割り込み要因で起動させるには、トリガ設定ビットに"1110"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。

割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

■トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

受信エラー割り込み: 0x0C001C0

受信バッファフル割り込み: 0x0C001C4

送信バッファエンプティ割り込み: 0x0C001C8

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

FIFO付きシリアルインタフェースのI/Oメモリ

表III.10.10にFIFO付きシリアルインタフェースの制御ビットを示します。

表III.10.10 FIFO付きシリアルインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
FIFOシリアル I/F Ch.0 送信データ レジスタ	0300200 (B)	D7 D6 D5 D4 D3 D2 D1 D0	TXD07 TXD06 TXD05 TXD04 TXD03 TXD02 TXD01 TXD00	FIFOシリアルI/F Ch.0 送信データ TXD07(06) = MSB TXD00 = LSB	0x0～0xFF(0x7F)		X X X X X X X X	R/W	調歩同期式7ビットモ ードの場合、TXD07 は無効		
FIFOシリアル I/F Ch.0 受信データ レジスタ	0300201 (B)	D7 D6 D5 D4 D3 D2 D1 D0	RXD07 RXD06 RXD05 RXD04 RXD03 RXD02 RXD01 RXD00	FIFOシリアルI/F Ch.0 受信データ RXD07(06) = MSB RXD00 = LSB	0x0～0xFF(0x7F)		X X X X X X X X	R	調歩同期式7ビットモ ードの場合、RXD07 は無効(0固定)		
FIFOシリアル I/F Ch.0 ステータス レジスタ	0300202 (B)	D7 D6 D5 D4 D3 D2 D1 D0	RXD0NUM1 RXD0NUM0 TEND0 FER0 PER0 OER0 TDBE0 RDBF0	Ch.0 FIFO内受信データ数 Ch.0転送終了フラグ Ch.0フレーミングエラーフラグ Ch.0パリティエラーフラグ Ch.0オーバーランエラーフラグ Ch.0送信データバッファステータス Ch.0受信データバッファステータス	RXD0NUM[1:0] 1 1 1 0 0 1 0 0	データ数 4 3 2 1 or 0	0 0	R/W	0書き込みでクリア		
		D5 D4 D3 D2 D1 D0	TEND0 FER0 PER0 OER0 TDBE0 RDBF0	Ch.0転送終了フラグ Ch.0フレーミングエラーフラグ Ch.0パリティエラーフラグ Ch.0オーバーランエラーフラグ Ch.0送信データバッファステータス Ch.0受信データバッファステータス	1 転送中 1 エラー 1 エラー 1 エラー 1 空きあり 1 データあり	0 終了 0 正常 0 正常 0 正常 0 満杯 0 データなし	0 0 0 0 1 0	R R/W R/W R/W R R/W			
FIFOシリアル I/F Ch.0 制御レジスタ	0300203 (B)	D7 D6 D5 D4 D3 D2 D1 D0	TXEN0 RXEN0 EPR0 PMD0 STPB0 SSCK0 SMD01 SMD00	Ch.0送信許可 Ch.0受信許可 Ch.0パリティエネブル Ch.0パリティモード選択 Ch.0ストップビット選択 Ch.0入力クロック選択 Ch.0転送モード選択	1 許可 1 許可 1 パリティ付 1 奇数 1 2bit 1 #FSCLK0 SMD0[1:0] 1 1 1 0 0 1 0 0	0 禁止 0 禁止 0 パリティなし 0 偶数 0 1bit 0 内部クロック 転送モード 調歩同期式8bit 調歩同期式7bit クロック同期スレーブ クロック同期マスタ	0 0 X X X X X X X X X X	R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W			
FIFOシリアル I/F Ch.0 IrDAレジスタ	0300204 (B)	D7 D6 D5 D4 D3 D2 D1 D0	SRDYCTL0 FIFOINT01 FIFOINT00 DIVMD0 IRTL0 IRRL0 IRMD01 IRMD00	Ch.0 #FSRDY制御 Ch.0受信FIFOレベル設定 Ch.0調歩同期クロック分周比 Ch.0 IrDA I/F出力論理反転 Ch.0 IrDA I/F入力論理反転 Ch.0インタフェースモード 選択	1 Highマスク FIFOINT0[1:0] 1 1 1 0 0 1 0 0	0 通常 レベル 4 3 2 1	0 0	R/W R/W			
		D4 D3 D2 D1 D0	DIVMD0 IRTL0 IRRL0 IRMD01 IRMD00	Ch.0調歩同期クロック分周比 Ch.0 IrDA I/F出力論理反転 Ch.0 IrDA I/F入力論理反転 Ch.0 IrDA I/F入力論理反転 Ch.0 IrDA I/F入力論理反転	1 1/8 1 反転 1 反転 1 反転	0 1/16 0 反転なし 0 反転なし 0 反転なし	X X X X X	R/W R/W R/W R/W R/W		調歩同期式モード時 のみ有効	
FIFOシリアル I/F Ch.0 ボーレートタイ マ制御レジスタ	0300205 (B)	D7-1 D0	- BRTRUN	reserved ボーレートタイマRun/Stop制御	1 Run 0 Stop	-	-	-		-	読み出し時: 0
FIFOシリアル I/F Ch.0 ボーレート タイマリロード データレジスタ (LSB)	0300206 (B)	D7 D6 D5 D4 D3 D2 D1 D0	BRTRD07 BRTRD06 BRTRD05 BRTRD04 BRTRD03 BRTRD02 BRTRD01 BRTRD00	FIFOシリアルI/F Ch.0 ボーレートタイマ リロードデータ[7:0]	0x0～0xFF (BRTRD0[9:0] = 0x0～0x3FF)		0 0 0 0 0 0 0 0	R/W			

III-10 周辺回路ブロック: FIFO付きシリアルインタフェース

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
FIFOシリアル I/F Ch.0 ボーレート タイマリロード データレジスタ (MSB)	0300207 (B)	D7-2	-	reserved	-	-	-	読み出し時: 0		
		D1 D0	BRTRD09 BRTRD08	FIFOシリアルI/F Ch.0 ボーレートタイマ リロードデータ[9:8]	0x0~0x3 (BRTRD0[9:0] = 0x0~0x3FF)	0 0	R/W			
FIFOシリアル I/F Ch.0 ボーレート タイマカウント データレジスタ (LSB)	0300208 (B)	D7	BRTCD07	FIFOシリアルI/F Ch.0	0x0~0xFF (BRTCD0[9:0] = 0x0~0x3FF)	0	R			
		D6	BRTCD06	ボーレートタイマ		0				
		D5	BRTCD05	カウントデータ[7:0]		0				
		D4	BRTCD04			0				
		D3	BRTCD03			0				
		D2	BRTCD02			0				
		D1	BRTCD01			0				
		D0	BRTCD00			0				
FIFOシリアル I/F Ch.0 ボーレート タイマカウント データレジスタ (MSB)	0300209 (B)	D7-2	-	reserved	-	-	-	読み出し時: 0		
		D1 D0	BRTCD09 BRTCD08	FIFOシリアルI/F Ch.0 ボーレートタイマ カウントデータ[9:8]	0x0~0x3 (BRTCD0[9:0] = 0x0~0x3FF)	0 0	R			
P00~P03 ポート機能拡張 レジスタ	0300040 (B)	D7 D6	EFP031 EFP030	P03ポート機能拡張	EFP03[1:0]	機能	0 0	R/W		
					1	*				reserved
					0	1				#FSRDY0
					0	0				P03/#SRDY0
		D5 D4	EFP021 EFP020	P02ポート機能拡張	EFP02[1:0]	機能	0 0	R/W		
					1	*				reserved
					0	1				#FSCLK0
					0	0				P02/#SCLK0
		D3 D2	EFP011 EFP010	P01ポート機能拡張	EFP01[1:0]	機能	0 0	R/W		
					1	*				reserved
					0	1				FSOUT0
					0	0				P01/SOUT0
D1 D0	EFP001 EFP000	P00ポート機能拡張	EFP00[1:0]	機能	0 0	R/W				
			1	*			reserved			
			0	1			FSIN0			
			0	0			P00/SIN0			
FIFOシリアル I/F Ch.0 割り込み プライオリティ レジスタ	00402B0 (B)	D7	-	reserved	-	-	-	読み出し時: 0		
		D6	PFSIO02	FIFOシリアルインタフェース Ch.0割り込みレベル	0~7	X	R/W			
		D5	PFSIO01			X				
		D4	PFSIO00			X				
D3-0	-	reserved	-	-	-	-	読み出し時: 0			
FIFOシリアル I/F Ch.0 割り込み イネーブル レジスタ	00402B1 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0		
		D5	EFSTX0	FSI/F Ch.0送信バッファエンプティ	1 許可	0 禁止	0	R/W		
		D4	EFSRX0	FSI/F Ch.0受信バッファフル			0	R/W		
		D3	EFSERR0	FSI/F Ch.0受信エラー			0	R/W		
		D2-0	-	reserved	-	-	-	-		読み出し時: 0
FIFOシリアル I/F Ch.0 割り込み 要因フラグ レジスタ	00402B2 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0		
		D5	FFSTX0	FSI/F Ch.0送信バッファエンプティ	1 要因発生	0 要因なし	X	R/W		
		D4	FFSRX0	FSI/F Ch.0受信バッファフル			X	R/W		
		D3	FFSERR0	FSI/F Ch.0受信エラー			X	R/W		
		D2-0	-	reserved	-	-	-	-		読み出し時: 0
FIFOシリアル I/F Ch.0 IDMAリクエスト レジスタ	00402B3 (B)	D7-4	-	reserved	-	-	-	読み出し時: 0		
		D3	RFSTX0	FSI/F Ch.0送信バッファエンプティ	1 IDMA要求	0 割り込み 要求	0	R/W		
		D2	RFSRX0	FSI/F Ch.0受信バッファフル			0	R/W		
		D1-0	-	reserved	-	-	-	-		読み出し時: 0
FIFOシリアル I/F Ch.0 IDMAイネーブル レジスタ	00402B4 (B)	D7-4	-	reserved	-	-	-	読み出し時: 0		
		D3	DEFSTX0	FSI/F Ch.0送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0	R/W		
		D2	DEFSRX0	FSI/F Ch.0受信バッファフル			0	R/W		
		D1-0	-	reserved	-	-	-	-		読み出し時: 0

EFP001–EFP000: P00ポート機能拡張(D[1:0]/0x300040<P00–P03ポート機能拡張レジスタ>)
 EFP011–EFP010: P01ポート機能拡張(D[3:2]/0x300040<P00–P03ポート機能拡張レジスタ>)
 EFP021–EFP020: P02ポート機能拡張(D[5:4]/0x300040<P00–P03ポート機能拡張レジスタ>)
 EFP031–EFP030: P03ポート機能拡張(D[7:6]/0x300040<P00–P03ポート機能拡張レジスタ>)

P00～P03端子の機能を切り換えます。

表III.10.11 P00～P03ポートの機能拡張

EFP0x1	EFP0x0	P00	P01	P02	P03
1	*	reserved	reserved	reserved	reserved
0	1	FSIN0	FSOUT0	#FSCLK0	#FSRDY0
0	0	P00/SIN0	P01/SOUT0	P02/#SCLK0	P03/#SRDY0

P00～P03をFIFO付きシリアルインタフェースの入出力として使用する場合はEFP0x[1:0]を"01"に設定します。標準シリアルインタフェースCh.0の入出力または汎用入出力として使用する場合は"00"に設定します。コールドスタート時、EFPは"00"(入出力兼用ポート/標準シリアルインタフェース)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

TXD07–TXD00: Ch.0送信データ(D[7:0]/0x300200<FIFOシリアル/F Ch.0送信データレジスタ>)

送信データを設定します。

TXEN0に"1"を書き込み後、このレジスタ(送信バッファ)にデータを書き込むことにより送信を開始します。TXD0に書き込んだデータは送信データバッファに入り送信まで待機します。

送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。

調歩同期式7ビットモードにおいては、TXD07(MSB)が無効となります。

FSOUT0端子からはシリアル変換されたデータがLSBを先頭に、"1"に設定されたビットがHighレベル、"0"に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

イニシャルリセット時、TXD0の内容は不定となります。

RXD07–RXD00: Ch.0受信データ(D[7:0]/0x300201<FIFOシリアル/F Ch.0受信データレジスタ>)

受信データバッファのデータが古いものから順に読み出せます。

受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯になった状態では、次の受信が終了するまでにデータを読み出さないとオーバランエラーになります。

受信データバッファには読み出しが必要なことを示す受信バッファステータスフラグRDBF0が設けられています。このフラグは受信データバッファ内に1個以上の受信データがある場合に"1"となり、データがすべて読み出されて空になると"0"に戻ります。

受信データバッファ内の受信データがFIFOINT0[1:0]で指定した数になると、受信バッファフル割り込み要因が発生します。

調歩同期式7ビットモードにおいては、RXD07には"0"がロードされます。

FSIN0端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを"1"、Lowレベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

イニシャルリセット時、RXD0の内容は不定となります。

RXD0NUM1–RXD0NUM0: Ch.0 FIFO内受信データ数

(D[7:6]/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

受信データバッファ(FIFO)内の読み出されていない受信データの数を示します。

RXD0NUMが0の場合は0または1個、1～3は2～4個の受信データがあることを示します。

イニシャルリセット時、RXD0NUMは0となります。

TEND0: Ch.0送信終了フラグ (D5/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

送信状態を示します。

"1"読み出し: 送信中
 "0"読み出し: 送信終了
 書き込み: 無効

TEND0はデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式マスタモードまたは調歩同期式モードで連続してデータを送信する場合、全データを送信するまで"1"を保持します(図III.10.5、図III.10.14参照)。クロック同期式スレーブモード時は1バイト送信するごとに"0"となります(図III.10.6参照)。

イニシャルリセット時、TEND0は"0"(送信終了)に設定されます。

FER0: Ch.0フレーミングエラーフラグ (D4/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

フレーミングエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

FER0フラグはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは、調歩同期式モードの受信時にストップビットが"0"になっていた場合に発生します。FER0フラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXEN0とTXEN0共に"0"を書き込むとFER0フラグは"0"(エラーなし)に設定されます。

PER0: Ch.0パリティエラーフラグ (D3/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

パリティエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

PER0フラグはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。パリティチェックはEPR0を"1"(パリティ付き)に設定した調歩同期式モードでのみ有効で、受信データをシフトレジスタから受信データバッファに転送する際に行われます。PER0フラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXEN0とTXEN0共に"0"を書き込むとPER0は"0"(エラーなし)に設定されます。

OER0: Ch.0オーバーランエラーフラグ (D2/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

オーバーランエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

OER0フラグはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは、受信データバッファが満杯の状態で、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。OER0フラグは"0"を書き込むことでリセットされます。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

イニシャルリセット時、およびRXEN0とTXEN0共に"0"を書き込むとOER0は"0"(エラーなし)に設定されます。

TDBE0: Ch.0送信データバッファステータス(D1/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

送信データバッファの状態を示します。

- "1"読み出し: 空きあり
- "0"読み出し: 満杯
- 書き込み: 無効

TDBE0は送信データバッファに送信データを書き込むための空きがある場合に"1"となり、満杯になると"0"になります。

送信データバッファには2個の送信データを書き込み可能です。

イニシャルリセット時、TDBE0は"1"(空きあり)に設定されます。

RDBF0: Ch.0受信データバッファステータス(D0/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

受信データバッファの状態を示します。

- "1"読み出し: 受信データあり
- "0"読み出し: 受信データなし
- 書き込み: 無効

RDBF0は受信データバッファ内に1個以上の受信データがある場合に"1"となり、データがすべて読み出されると空になると"0"に戻ります。

イニシャルリセット時、RDBF0は"0"(受信データなし)に設定されます。

TXEN0: Ch.0送信許可(D7/0x300203<FIFOシリアル/F Ch.0制御レジスタ>)

本シリアルインタフェースを送信許可状態に設定します。

- "1"書き込み: 送信許可
- "0"書き込み: 送信禁止
- 読み出し: 可能

TXEN0に"1"を書き込むと本シリアルインタフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。転送モード等の設定を行う場合は、TXEN0が"0"の状態で行ってください。

TXEN0に"0"を書き込んで送信禁止状態にすると、送信データバッファ(FIFO)もクリアされます。

イニシャルリセット時、TXEN0は"0"(送信禁止)に設定されます。

RXEN0: Ch.0受信許可(D6/0x300203<FIFOシリアル/F Ch.0制御レジスタ>)

本シリアルインタフェースを受信許可状態に設定します。

- "1"書き込み: 受信許可
- "0"書き込み: 受信禁止
- 読み出し: 可能

RXEN0に"1"を書き込むと本シリアルインタフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。転送モード等の設定を行う場合は、RXEN0が"0"の状態で行ってください。

RXEN0に"0"を書き込んで受信禁止状態にすると、受信データバッファ(FIFO)もクリアされます。

イニシャルリセット時、RXEN0は"0"(受信禁止)に設定されます。

EPR0: Ch.0パリティエネーブル(D5/0x300203<FIFOシリアル/F Ch.0制御レジスタ>)

パリティ機能を選択します。

- "1"書き込み: パリティ付
- "0"書き込み: パリティなし
- 読み出し: 可能

EPR0によって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。EPR0に"1"を書き込むと受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。パリティ機能は調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPR0の設定は無効となります。

イニシャルリセット時、EPR0は不定となります。

PMD0: Ch.0パリティモード選択(D4/0x300203<FIFOシリアル/F Ch.0制御レジスタ>)

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ

"0"書き込み: 偶数パリティ

読み出し: 可能

PMD0に"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPR0に"1"が書き込まれている場合の調歩同期式転送にのみ有効で、EPR0に"0"が書き込まれている場合は、PMD0の設定は無効となります。

イニシャルリセット時、PMD0は不定となります。

STPB0: Ch.0ストップビット選択(D3/0x300203<FIFOシリアル/F Ch.0制御レジスタ>)

調歩同期式転送を行う場合のストップビット長を選択します。

"1"書き込み: 2ビット

"0"書き込み: 1ビット

読み出し: 可能

STPB0は調歩同期式転送時にのみ有効なストップビット選択ビットです。"1"を書き込むとストップビットが2ビットに、"0"を書き込むと1ビットになります。スタートビットは1ビットに固定です。

クロック同期式転送を行う場合、STPB0の設定は無効となります。

イニシャルリセット時、STPB0は不定となります。

SSCK0: Ch.0入力クロック選択(D2/0x300203<FIFOシリアル/F Ch.0制御レジスタ>)

調歩同期式転送のクロック源を選択します。

"1"書き込み: #FSCLK0(外部クロック)

"0"書き込み: 内部クロック(ポーレートタイマ)

読み出し: 可能

調歩同期式モード時に、内部クロック(ポーレートタイマの出力)を使用するか、外部クロック(#FSCLK0端子から入力)を使用するか選択します。SSCK0に"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。

イニシャルリセット時、SSCK0は不定となります。

SMD01-SMD00: Ch.0転送モード選択(D[1:0]/0x300203<FIFOシリアル/F Ch.0制御レジスタ>)

FIFO付きシリアルインタフェースの転送モードを表III.10.12のとおり設定します。

表III.10.12 転送モードの設定

SMD01	SMD00	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

SMD0は読み出しも可能です。

IrDAインタフェースを使用する場合は、必ず調歩同期式モードに設定してください。

イニシャルリセット時、SMD0は不定となります。

SRDYCTL0: Ch.0 #FSRDY制御(D7/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

受信バッファフル時の#FSRDY0信号の制御内容を選択します。

- "1"書き込み: Highマスク
- "0"書き込み: 通常出力
- 読み出し: 可能

SRDYCTL0が"0"に設定されると通常出力制御が行われ、受信データバッファが満杯の場合でも#FSRDY0信号は受信可能として出力されます。"1"を書き込んでHighマスクを選択すると、クロック同期式スレーブモードとマスタモードで、それぞれ以下の制御が行われます。

クロック同期式スレーブモード

受信データバッファが満杯の場合には、バッファ内のデータを読み出すまで#FSRDY0信号を強制的にHighにして、マスタデバイスのデータ送信を中断させます。

クロック同期式マスタモード

受信データバッファが満杯になると、データを読み出すまでスレーブからの#FSRDY0(Low)を無視し#FSCLK0の出力を停止します。

これにより、オーバーランエラーの発生を回避することができます。

この機能を有効にした場合でも、受信データバッファが満杯以外では、通常の受信動作を行います。

#FSRDY0信号を使用しない調歩同期式モードでは、このビットの設定は無効です。

イニシャルリセット時、SRDYCTL0は"0"(通常出力)となります。

FIFOINT01-FIFOINT00: Ch.0 受信FIFOレベル設定(D[6:5]/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

0~3の指定値で1~4個の受信データ数が設定されます。

受信データバッファ内の受信データがここで指定した数になると、受信バッファフル割り込み要因フラグFFSRX0が"1"にセットされます。

イニシャルリセット時、FIFOINT0は0(1個)となります。

DIVMD0: Ch.0 サンプリングクロック分周比選択(D4/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

サンプリングクロックの分周比を選択します。

- "1"書き込み: 1/8
- "0"書き込み: 1/16
- 読み出し: 可能

調歩同期式転送のサンプリングクロックを生成するための分周比を選択します。DIVMD0に"1"を書き込むと、入力クロック(ボーレートタイマ出力または#FSCLK0入力)を1/8に分周してサンプリングクロックを生成します。"0"を書き込んだ場合は1/16に分周されます。

イニシャルリセット時、DIVMD0は不定となります。

IRTL0: Ch.0 IrDA出力論理反転(D3/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

IrDA出力信号の論理を反転します。

- "1"書き込み: 反転
- "0"書き込み: 反転なし
- 読み出し: 可能

IrDAインタフェースを使用する場合に、FSOUT0出力信号の論理を外部に接続する赤外線通信回路に合わせて設定します。IRTL0に"1"を書き込むと、出力データが"0"のときにHighパルス出力するように設定されます(出力データが"1"のときはLowレベルを保持)。
"0"を書き込んだ場合は、出力データが"0"のときにLowパルス出力するように設定されます(出力データが"1"のときはHighレベルを保持)。

イニシャルリセット時、IRTL0は不定となります。

IRRL0: Ch.0 IrDA入力論理反転(D2/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

IrDA入力信号の論理を反転します。

"1"書き込み: 反転
 "0"書き込み: 反転なし
 読み出し: 可能

IrDAインタフェースを使用する場合に、外部に接続する赤外線通信回路からの入力信号の論理をFIFO付きシリアルインタフェースに合わせて設定します。IRRL0に"1"を書き込むと、Highパルスを"0"として入力します。"0"を書き込んだ場合は、Lowパルスを"0"として入力します。

イニシャルリセット時、IRRL0は不定となります。

IRMD01–IRMD00: Ch.0 IrDAインタフェース機能選択(D[1:0]/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

IrDAインタフェース機能を選択します。

表III.10.13 IrDAインタフェースの設定

IRMD01	IRMD00	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

IrDAインタフェース機能を使用する場合は、調歩同期式モードに設定するとともに、IRMD0に"10"を書き込んでください。IrDA機能を使用しない場合はIRMD0に"00"を書き込んでください。

イニシャルリセット時、IRMD0は不定となります。

注: この選択は、必ず転送モード等、他の設定の前に行ってください。

BRTRUN: ボーレートタイマRUN/STOP制御

(D0/0x300205<FIFOシリアル/F Ch.0ボーレートタイマ制御レジスタ>)

ボーレートタイマのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

ボーレートタイマはBRTRUNに"1"を書き込むことによってリロードデータ(BRTRD0[9:0])をカウンタにロードし、ダウンカウントを開始します。ボーレートタイマはBRTRUNへの"0"書き込みにより停止します。

イニシャルリセット時、BRTRUNは"0"(STOP)に設定されます。

BRTRD09–BRTRD00: ボーレートタイマリロードデータ

(D[1:0]/0x300207, D[7:0]/0x300206<FIFOシリアル/F Ch.0ボーレートタイマリロードデータレジスタ>)

ボーレートタイマのカウンタ初期値を設定します。

本レジスタに設定したリロードデータがカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はBRTRUNに"1"を書き込んでカウンタをスタートさせた場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、BRTRDは"000H"に設定されます。

BRTCD09–BRTCD00: ボーレートタイマカウンタデータ

(D[1:0]/0x300209, D[7:0]/0x300208<FIFOシリアル/F Ch.0ボーレートタイマカウンタデータレジスタ>)

ボーレートタイマのデータが読み出せます。

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。

イニシャルリセット時、BRTCDは"000H"に設定されます。

PFSIO02-PFSIO00: Ch.0割り込みレベル

(D[6:4]/0x402B0<FIFOシリアル/F Ch.0割り込みプライオリティレジスタ>)

FIFO付きシリアルインタフェース割り込みの優先レベルを設定します。

割り込みの優先レベルを0～7の範囲で設定できます。

イニシャルリセット時、PFSIO0は不定となります。

EFSERR0, EFSRX0, EFSTX0: Ch.0割り込みイネーブル

(D3, D4, D5/0x402B1<FIFOシリアル/F Ch.0割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EFSERR0、EFSRX0、EFSTX0は、それぞれ受信エラー、受信バッファフル、送信バッファエンプティの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

FFSERR0, FFSRX0, FFSTX0: Ch.0割り込み要因フラグ

(D3, D4, D5/0x402B2<FIFOシリアル/F Ch.0割り込み要因フラグレジスタ>)

FIFO付きシリアルインタフェース割り込みの発生状態を示します。

• 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時(デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

• リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

FFSERR0、FFSRX0、FFSTX0フラグは、それぞれ受信エラー、受信バッファフル、送信バッファエンプティの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。送信バッファエンプティ割り込み要因は、送信データバッファ内の最後のデータがシフトレジスタに転送されたところで発生します。

受信バッファフル割り込み要因は、受信データバッファ内の受信データがFIFOINT0[1:0]で設定した個数になったところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
 2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
 3. PSRのIEビットが"1"(割り込み許可)に設定されている。
 4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。
- なお、受信バッファフル、送信バッファエンプティの割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

RFSRX0, RFSTX0: Ch.0 IDMAリクエスト

(D2, D3/0x402B3<FIFOシリアルI/F Ch.0 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)

- "1"書き込み: IDMA要求

- "0"書き込み: 無効

- 読み出し: 可能

- リード/ライト方式

- "1"書き込み: IDMA要求

- "0"書き込み: 割り込み要求

- 読み出し: 可能

RFSRX0, RFSTX0はそれぞれ受信バッファフル、送信バッファエンプティの割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、これらのビットは"0"(割り込み要求)に設定されます。

DEFSRX0, DEFSTX0: Ch.0 IDMAイネーブル

(D2, D3/0x402B4<FIFOシリアルI/F Ch.0 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

- セットオンリー方式(デフォルト)

- "1"書き込み: IDMA許可

- "0"書き込み: 無効

- 読み出し: 可能

- リード/ライト方式

- "1"書き込み: IDMA許可

- "0"書き込み: IDMA禁止

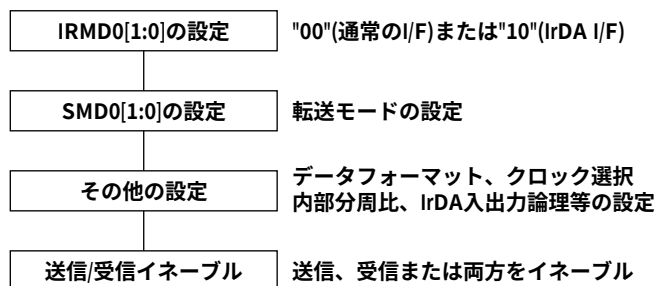
- 読み出し: 可能

DEFSRX0, DEFSTX0はそれぞれ受信バッファフル、送信バッファエンプティの割り込み要因に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、これらのビットは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) FIFO付きシリアルインタフェースの各種設定は、送受信が禁止の状態(TXEN0 = RXEN0 = "0")で行ってください。
- (2) FIFO付きシリアルインタフェースが送信(受信)中は、TXEN0(RXEN0)を"0"に設定しないでください。また、slp命令も実行しないでください。
- (3) クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXEN0とRXEN0を同時に許可に設定することはできません。
- (4) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (5) 受信エラーが発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生する場合があります。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。
- (6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (7) FIFO付きシリアルインタフェースは、次の手順で初期設定してください。



図III.10.20 FIFO付きシリアルインタフェースの初期設定手順

- (8) クロック同期式マスタモードで送信する場合、(7)のフローに従って初期設定を行った後、必要に応じて送信データを送信データレジスタに書き込みます。ただし、この書き込みはボーレートタイマからのクロックがFIFO付きシリアルインタフェースに供給されている状態(具体的には最低1回はボーレートタイマのアンダーフローを発生させる)で行ってください。これ以外の場合、書き込んだ送信データの前に0xFFが送信されます。
- (9) FIFO付きシリアルインタフェースの転送レートは、最大1Mbpsと規定します。
- (10) 受信途中で受信回路を止める場合は、送信、受信とも禁止に設定してください。
- (11) クロック同期式モードでデータ転送を行う場合は、転送レートがシステムクロックの1/4以下になるようにボーレートタイマのリロード値を設定してください。
- (12) 送信許可ビットTXEN0に"0"を書き込んで送信禁止に設定すると送信データバッファ(FIFO)がクリア(初期化)されます。同様に、受信許可ビットRXEN0に"0"を書き込んで受信禁止に設定すると受信データバッファ(FIFO)がクリア(初期化)されます。送受信終了後は、これらのビットに"0"を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。
- (13) ボーレートタイマの入力クロック(周辺回路動作クロック)は、パワーコントロールレジスタ(0x40180)のPSCON(D5)が"1"に設定されている場合に供給されます。PSCONが"0"の場合はボーレートタイマにクロックが供給されませんので注意してください。
- (14) ボーレートタイマの入力クロック(周辺回路動作クロック)は、プリスケラクロック選択レジスタ(0x40181)のPSCDT0(D0)により、OSC3/PLLクロック、またはOSC1クロックから選択されます。

このページはブランクです。

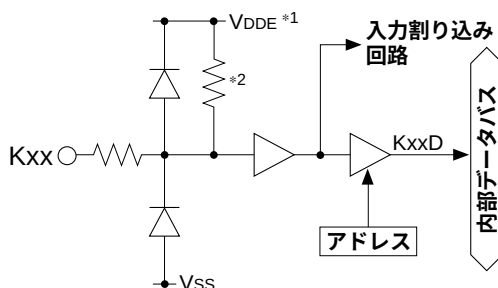
III-11 入出力ポート

C33周辺回路ブロックは42本の入出力端子を持っています。それぞれ、内部周辺回路の入出力端子として使用されますが、周辺回路用に使用しない端子については、汎用の入出力ポートとして使用することができます。この章では、汎用入出力ポートとして使用する場合の機能と制御方法について説明します。

入力ポート(Kポート)

入力ポートの構成

C33周辺回路ブロックは13ビットの入力ポート(K50～K54、K60～K67)を内蔵しています。図III.11.1に入力ポートの構造を示します。



*1 K60～K67はAVDDDE

*2 機種によりプルアップ抵抗を内蔵している場合があります。

図III.11.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接内部データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

K60～K67ポートの入力バッファは電源がAVDDDEとなっています。したがって、これらのポートを汎用DC入力ポートとして使う場合、HighレベルはAVDDDE、LowレベルはVSSとなっている必要があります。

特にAVDDDEとVDDDEに電位差がある状況で入力レベルがVDDDEの場合、入力バッファに電流が流れたり（AVDDDE > VDDDEのとき）、またはVDDDEとAVDDDE間に電流が流れたり（AVDDDE < VDDDEのとき）することになります。したがって、もしこれらのポートを使用しないために入力レベルを外部で固定するときは、VSSまたはAVDDDEに固定してください。

K60～K67ポートにプルアップ抵抗を内蔵している機種の場合、これらのポートはAVDDDEにプルアップされます。

注: 機種により、入力端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されている場合があります。"端子制御レジスタ"の章を参照し、プルアップ抵抗の制御を行ってください。

入力ポート端子

入力端子は、表III.11.1に示すとおり周辺回路用の入出力端子を兼ねており、入力ポートとして使用するか、周辺回路用に使用するかを機能選択レジスタによってビット単位に設定できるようになっています。周辺回路用に使用しない端子は、すべて割り込み機能を持つ汎用入力ポート端子として使用できます。

表III.11.1 入力端子

端子名	I/O	機 能	機能選択ビット
K50(#DMAREQ0)	I	入力ポート/高速DMA要求0	CFK50(K5機能選択レジスタ0x402C0•D0)
K51(#DMAREQ1)	I	入力ポート/高速DMA要求1	CFK51(K5機能選択レジスタ0x402C0•D1)
K52(#ADTRG)	I	入力ポート/AD変換器トリガ	CFK52(K5機能選択レジスタ0x402C0•D2)
K53(#DMAREQ2)	I	入力ポート/高速DMA要求2	CFK53(K5機能選択レジスタ0x402C0•D3)
K54(#DMAREQ3)	I	入力ポート/高速DMA要求3	CFK54(K5機能選択レジスタ0x402C0•D4)
K60(AD0)	I	入力ポート/AD変換器入力0	CFK60(K6機能選択レジスタ0x402C3•D0)
K61(AD1)	I	入力ポート/AD変換器入力1	CFK61(K6機能選択レジスタ0x402C3•D1)
K62(AD2)	I	入力ポート/AD変換器入力2	CFK62(K6機能選択レジスタ0x402C3•D2)
K63(AD3)	I	入力ポート/AD変換器入力3	CFK63(K6機能選択レジスタ0x402C3•D3)
K64(AD4)	I	入力ポート/AD変換器入力4	CFK64(K6機能選択レジスタ0x402C3•D4)
K65(AD5)	I	入力ポート/AD変換器入力5	CFK65(K6機能選択レジスタ0x402C3•D5)
K66(AD6)	I	入力ポート/AD変換器入力6	CFK66(K6機能選択レジスタ0x402C3•D6)
K67(AD7)	I	入力ポート/AD変換器入力7	CFK67(K6機能選択レジスタ0x402C3•D7)

コールドスタート時は、すべて入力ポート端子Kxx(機能選択ビットCFKxx="0")に設定されます。内蔵周辺回路に使用する場合は、CFKxxに"1"を書き込んでください。その場合の機能の詳細は、各周辺回路の説明を参照してください。

ホットスタート時は、リセット前の状態を保持します。

A/D変換器入力に設定したポートを読み出した場合、データは常に"0"となります。

使用上の注意

K60～K67の入力バッファの電源はAV_{DDE}(A/D変換器用電源)です。また、K60～K67のプルアップ抵抗もAV_{DDE}に接続されています。したがって、以下の点に注意してください。

- 1) K60～K67を汎用入力ポートとして使用する場合、ポートに入力する電圧はHighレベル=AV_{DDE}、Lowレベル=V_{SS}としてください。
- 2) 他のポートと同様にHighレベル=V_{DDE}で使用する場合、必ずV_{DDE}=AV_{DDE}として使用してください。
AV_{DDE}>V_{DDE}の場合にV_{DDE}を入力すると、入力バッファに電流が流れてしまいます。
AV_{DDE}<V_{DDE}ではV_{DDE}電源からAV_{DDE}電源に対して電流が流れてしまいます。
- 3) ポートを使用しない場合に外部でレベルを固定するには、V_{SS}またはAV_{DDE}に接続してください。

入力ポートのI/Oメモリ

表III.11.2に入力ポートの制御ビットを示します。

表III.11.2 入力ポートの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
K5機能選択 レジスタ	00402C0 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	CFK54	K54機能選択	1 #DMAREQ3	0 K54	0 R/W	
		D3	CFK53	K53機能選択	1 #DMAREQ2	0 K53	0 R/W	
		D2	CFK52	K52機能選択	1 #ADTRG	0 K52	0 R/W	
		D1	CFK51	K51機能選択	1 #DMAREQ1	0 K51	0 R/W	
		D0	CFK50	K50機能選択	1 #DMAREQ0	0 K50	0 R/W	
K5入力ポート データレジスタ	00402C1 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	K54D	K54入力ポートデータ	1 High	0 Low	— R	
		D3	K53D	K53入力ポートデータ			— R	
		D2	K52D	K52入力ポートデータ			— R	
		D1	K51D	K51入力ポートデータ			— R	
		D0	K50D	K50入力ポートデータ			— R	
K6機能選択 レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1 AD7	0 K67	0 R/W	
		D6	CFK66	K66機能選択	1 AD6	0 K66	0 R/W	
		D5	CFK65	K65機能選択	1 AD5	0 K65	0 R/W	
		D4	CFK64	K64機能選択	1 AD4	0 K64	0 R/W	
		D3	CFK63	K63機能選択	1 AD3	0 K63	0 R/W	
		D2	CFK62	K62機能選択	1 AD2	0 K62	0 R/W	
		D1	CFK61	K61機能選択	1 AD1	0 K61	0 R/W	
		D0	CFK60	K60機能選択	1 AD0	0 K60	0 R/W	
K6入力ポート データレジスタ	00402C4 (B)	D7	K67D	K67入力ポートデータ	1 High	0 Low	— R	
		D6	K66D	K66入力ポートデータ			— R	
		D5	K65D	K65入力ポートデータ			— R	
		D4	K64D	K64入力ポートデータ			— R	
		D3	K63D	K63入力ポートデータ			— R	
		D2	K62D	K62入力ポートデータ			— R	
		D1	K61D	K61入力ポートデータ			— R	
		D0	K60D	K60入力ポートデータ			— R	

CFK54–CFK50: K5[4:0]機能選択 (D[4:0]/0x402C0<K5機能選択レジスタ>)

CFK67–CFK60: K6[7:0]機能選択 (D[7:0]/0x402C3<K6機能選択レジスタ>)

入力ポート端子の機能を選択します。

"1"書き込み: 周辺回路用端子

"0"書き込み: 入力ポート端子

読み出し: 可能

CFKレジスタのビットに"1"を書き込むと、対応する端子が周辺回路用に設定されます(表III.11.1参照)。
"0"に設定されたビットに対応する端子は汎用入力ポート端子として使用可能です。

コールドスタート時、CFKは"0"(入力ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

K54D–K50D: K5[4:0]入力ポートデータ (D[4:0]/0x402C1<K5入力ポートデータレジスタ>)

K67D–K60D: K6[7:0]入力ポートデータ (D[7:0]/0x402C4<K6入力ポートデータレジスタ>)

入力ポート端子の入力データが読み出せます。

"1"読み出し: Highレベル

"0"読み出し: Lowレベル

書き込み: 無効

入力ポートの各端子電圧がそれぞれHigh(V_{DD})レベルのとき"1"、Low(V_{SS})レベルのとき"0"として直接読み出せます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

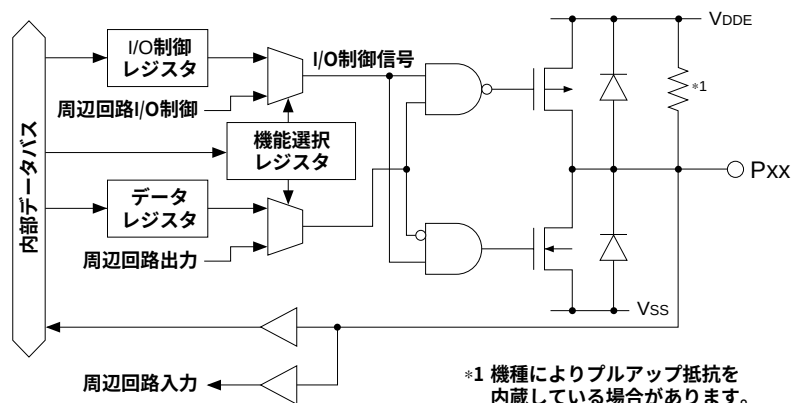
A/D変換器入力に設定したポートを読み出した場合、データは常に"0"となります。

入出力兼用ポート(Pポート)

入出力兼用ポートの構成

C33周辺回路ブロックは、プログラムにより入出力方向の切り換えが可能な29ビットの入出力兼用ポート(P00～P07、P10～P16、P20～P27、P30～P35)を内蔵しています。

図III.11.2に入出力兼用ポートの構造を示します。



図III.11.2 入出力兼用ポートの構造

注: 機種により、入出力兼用ポート端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されている場合があります。"端子制御レジスタ"の章を参照し、プルアップ抵抗の制御を行ってください。

入出力兼用ポート端子

入出力端子は、表III.11.3に示すとおり周辺回路用の入出力端子を兼ねており、入出力兼用ポートとして使用するか、周辺回路用に使用するかを機能選択レジスタおよび機能拡張によってビット単位に設定できるようになっています。周辺回路用に使用しない端子は、すべて汎用入出力兼用ポート端子として使用できます。

表III.11.3 入出力端子

端子名	I/O	機 能	機能選択ビット
P00(SIN0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ入力	CFP00(P0機能選択レジスタ0x402D0•D0)
P01(SOUT0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ出力	CFP01(P0機能選択レジスタ0x402D0•D1)
P02(#SCLK0)	I/O	入出力兼用ポート/シリアルIF Ch.0クロック入出力	CFP02(P0機能選択レジスタ0x402D0•D2)
P03(#SRDY0)	I/O	入出力兼用ポート/シリアルIF Ch.0レディ入出力	CFP03(P0機能選択レジスタ0x402D0•D3)
P04(SIN1/ #DMAACK2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ入力/ #DMAACK2出力(Ex)	CFP04(P0機能選択レジスタ0x402D0•D4) CFEX4(ポート機能拡張レジスタ0x402DF•D4)
P05(SOUT1/ #DMAEND2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ出力/ #DMAEND2出力(Ex)	CFP05(P0機能選択レジスタ0x402D0•D5) CFEX5(ポート機能拡張レジスタ0x402DF•D5)
P06(#SCLK1/ #DMAACK3)	I/O	入出力兼用ポート/シリアルIF Ch.1クロック入出力/ #DMAACK3出力(Ex)	CFP06(P0機能選択レジスタ0x402D0•D6) CFEX6(ポート機能拡張レジスタ0x402DF•D6)
P07(#SRDY1/ #DMAEND3)	I/O	入出力兼用ポート/シリアルIF Ch.1レディ入出力/ #DMAEND3出力(Ex)	CFP07(P0機能選択レジスタ0x402D0•D7) CFEX7(ポート機能拡張レジスタ0x402DF•D7)
DST0(P10/EXCL0/ T8UF0)	I/O	DST0出力(Ex)/入出力兼用ポート/16bitタイマ0イベント カウンタ入力(I)/8bitタイマ0出力(O)	CFP10(P1機能選択レジスタ0x402D4•D0) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DST1(P11/EXCL1/ T8UF1)	I/O	DST1出力(Ex)/入出力兼用ポート/16bitタイマ1イベント カウンタ入力(I)/8bitタイマ1出力(O)	CFP11(P1機能選択レジスタ0x402D4•D1) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DST2(P12/EXCL2/ T8UF2)	I/O	DST2出力(Ex)/入出力兼用ポート/16bitタイマ2イベント カウンタ入力(I)/8bitタイマ2出力(O)	CFP12(P1機能選択レジスタ0x402D4•D2) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
DPCO(P13/EXCL3/ T8UF3)	I/O	DPCO出力(Ex)/入出力兼用ポート/16bitタイマ3イベント カウンタ入力(I)/8bitタイマ3出力(O)	CFP13(P1機能選択レジスタ0x402D4•D3) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DCLK(P14/FOSC1)	I/O	DCLK出力(Ex)/入出力兼用ポート/低速(OSC1)クロック 出力	CFP14(P1機能選択レジスタ0x402D4•D4) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
P15(EXCL4/ #DMAEND0/#SCLK3)	I/O	入出力兼用ポート/16bitタイマ4イベントカウンタ入力(I)/ #DMAEND0出力(O)/シリアルI/F Ch.3クロック入出力	CFP15(P1機能選択レジスタ0x402D4•D5)
P16(EXCL5/ #DMAEND1/SOUT3)	I/O	入出力兼用ポート/16bitタイマ5イベントカウンタ 入力(I)/#DMAEND1出力(O)/シリアルI/F Ch.3データ出力	CFP16(P1機能選択レジスタ0x402D4•D6)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

端子名	I/O	機 能	機能選択ビット
P20(#DRD)	I/O	入出力兼用ポート/#DRD出力	CFP20(P2機能選択レジスタ0x402D8•D0)
P21(#DWE/#GAAS)	I/O	入出力兼用ポート/#DWE出力/ GAアドレスストロブ出力(Ex)	CFP21(P2機能選択レジスタ0x402D8•D1) CFEX2(ポート機能拡張レジスタ0x402DF•D2)
P22(TM0)	I/O	入出力兼用ポート/16bitタイマ0出力	CFP22(P2機能選択レジスタ0x402D8•D2)
P23(TM1)	I/O	入出力兼用ポート/16bitタイマ1出力	CFP23(P2機能選択レジスタ0x402D8•D3)
P24(TM2/#SRDY2)	I/O	入出力兼用ポート/16bitタイマ2出力/ シリアル/F Ch.2レディ入出力	CFP24(P2機能選択レジスタ0x402D8•D4)
P25(TM3/#SCLK2)	I/O	入出力兼用ポート/16bitタイマ3出力/ シリアル/F Ch.2クロック入出力	CFP25(P2機能選択レジスタ0x402D8•D5)
P26(TM4/SOUT2)	I/O	入出力兼用ポート/16bitタイマ4出力/ シリアル/F Ch.2データ出力	CFP26(P2機能選択レジスタ0x402D8•D6)
P27(TM5/SIN2)	I/O	入出力兼用ポート/16bitタイマ5出力/ シリアル/F Ch.2データ入力	CFP27(P2機能選択レジスタ0x402D8•D7)
P30(#WAIT/#CE4&5)	I/O	入出力兼用ポート/#WAIT入力(I)/#CE4&5出力(O)	CFP30(P3機能選択レジスタ0x402DC•D0)
P31(#BUSGET/ #GARD)	I/O	入出力兼用ポート/#BUSGET出力/ GAリード信号出力(Ex)	CFP31(P3機能選択レジスタ0x402DC•D1) CFEX3(ポート機能拡張レジスタ0x402DF•D3)
P32(#DMAACK0/ #SRDY3)	I/O	入出力兼用ポート/#DMAACK0出力/ シリアル/F Ch.3レディ入出力	CFP32(P3機能選択レジスタ0x402DC•D2)
P33(#DMAACK1/ SIN3)	I/O	入出力兼用ポート/#DMAACK1出力/ シリアル/F Ch.3データ入力	CFP33(P3機能選択レジスタ0x402DC•D3)
P34(#BUSREQ/ #CE6)	I/O	入出力兼用ポート/#BUSREQ入力(I)/#CE6出力(O)	CFP34(P3機能選択レジスタ0x402DC•D4)
P35(#BUSACK)	I/O	入出力兼用ポート/#BUSACK出力	CFP35(P3機能選択レジスタ0x402DC•D5)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

コールドスタート時は、すべて入出力兼用ポート端子Pxx(機能選択ビットCFPxx="0")に設定されます。内蔵周辺回路に使用する場合は、CFPxxに"1"を書き込んでください。その場合の機能の詳細は、各周辺回路の説明を参照してください。ホットスタート時は、リセット前の状態を保持します。

P10～P13、P15～P16、P30およびP34端子は入出力兼用ポートの他に、それぞれ2種類(P10～P13は3種類)の周辺回路と共用されます。そのどちらの周辺回路用に使用するかは、後述するI/O制御レジスタによる入出力方向の設定によって決まります。

P04～P07、P10～P14、P21およびP31ポートは表中の(Ex)で示される拡張機能を持っています。それらの機能は、ポート機能拡張レジスタ(0x402DF)のCFEXxに"1"を書き込むことで選択されます。

CFEXxの設定はCFPxxに優先します。コールドスタート時、CFEX1とCFEX0は"1"に設定され、P10～P14ポートがデバッグ用信号出力ポートとして機能します。

I/O制御レジスタと入力/出力モード

入出力兼用ポートは、それぞれのビットに対応したI/O制御レジスタにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

P07～P00用I/O制御: IOC0[7:0](P0 I/O制御レジスタ0x402D2•D[7:0])

P16～P10用I/O制御: IOC1[6:0](P1 I/O制御レジスタ0x402D6•D[6:0])

P27～P20用I/O制御: IOC2[7:0](P2 I/O制御レジスタ0x402DA•D[7:0])

P35～P30用I/O制御: IOC3[5:0](P3 I/O制御レジスタ0x402DE•D[5:0])

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(V_{DDE})レベルのときに"1"、Low(V_{SS})レベルのときに"0"となります。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHigh(V_{DDE})レベル、"0"の場合にLow(V_{SS})レベルを出力します。

コールドスタート時、I/O制御レジスタは"0"(入力モード)に設定されます。

ホットスタート時は、リセット前の状態を保持します。

注: P10～P14、P15～P16、P30およびP34を周辺回路用の端子に設定した場合は、IOC1xによる入出力方向制御により端子機能が変わります。

入出力兼用ポートのI/Oメモリ

表III.11.4に入出力兼用ポートの制御ビットを示します。

表III.11.4 入出力兼用ポートの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1 #SRDY1	0 P07	0 R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1 #SCLK1	0 P06	0 R/W	
		D5	CFP05	P05機能選択	1 SOUT1	0 P05	0 R/W	
		D4	CFP04	P04機能選択	1 SIN1	0 P04	0 R/W	
		D3	CFP03	P03機能選択	1 #SRDY0	0 P03	0 R/W	拡張機能(0x300040)
		D2	CFP02	P02機能選択	1 #SCLK0	0 P02	0 R/W	
		D1	CFP01	P01機能選択	1 SOUT0	0 P01	0 R/W	
		D0	CFP00	P00機能選択	1 SIN0	0 P00	0 R/W	
P0入出力兼用 ポートデータ レジスタ	00402D1 (B)	D7	P07D	P07入出力兼用ポートデータ	1 High	0 Low	0 R/W	
		D6	P06D	P06入出力兼用ポートデータ			0 R/W	
		D5	P05D	P05入出力兼用ポートデータ			0 R/W	
		D4	P04D	P04入出力兼用ポートデータ			0 R/W	
		D3	P03D	P03入出力兼用ポートデータ			0 R/W	
		D2	P02D	P02入出力兼用ポートデータ			0 R/W	
		D1	P01D	P01入出力兼用ポートデータ			0 R/W	
		D0	P00D	P00入出力兼用ポートデータ			0 R/W	
P0 I/O制御 レジスタ	00402D2 (B)	D7	IOC07	P07 I/O制御	1 出力	0 入力	0 R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)
		D6	IOC06	P06 I/O制御			0 R/W	
		D5	IOC05	P05 I/O制御			0 R/W	
		D4	IOC04	P04 I/O制御			0 R/W	
		D3	IOC03	P03 I/O制御			0 R/W	
		D2	IOC02	P02 I/O制御			0 R/W	
		D1	IOC01	P01 I/O制御			0 R/W	
		D0	IOC00	P00 I/O制御			0 R/W	
P1機能選択 レジスタ	00402D4 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	CFP16	P16機能選択	1 EXCL5 #DMAEND1	0 P16	0 R/W	拡張機能(0x402D7)
		D5	CFP15	P15機能選択	1 EXCL4 #DMAEND0	0 P15	0 R/W	
		D4	CFP14	P14機能選択	1 FOSC1	0 P14	0 R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1 EXCL3 T8UF3	0 P13	0 R/W	
		D2	CFP12	P12機能選択	1 EXCL2 T8UF2	0 P12	0 R/W	
		D1	CFP11	P11機能選択	1 EXCL1 T8UF1	0 P11	0 R/W	
		D0	CFP10	P10機能選択	1 EXCL0 T8UF0	0 P10	0 R/W	
P1入出力兼用 ポートデータ レジスタ	00402D5 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16D	P16入出力兼用ポートデータ	1 High	0 Low	0 R/W	
		D5	P15D	P15入出力兼用ポートデータ			0 R/W	
		D4	P14D	P14入出力兼用ポートデータ			0 R/W	
		D3	P13D	P13入出力兼用ポートデータ			0 R/W	
		D2	P12D	P12入出力兼用ポートデータ			0 R/W	
		D1	P11D	P11入出力兼用ポートデータ			0 R/W	
		D0	P10D	P10入出力兼用ポートデータ			0 R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	IOC16	P16 I/O制御	1 出力	0 入力	0 R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)
		D5	IOC15	P15 I/O制御			0 R/W	
		D4	IOC14	P14 I/O制御			0 R/W	
		D3	IOC13	P13 I/O制御			0 R/W	
		D2	IOC12	P12 I/O制御			0 R/W	
		D1	IOC11	P11 I/O制御			0 R/W	
		D0	IOC10	P10 I/O制御			0 R/W	
ポートSIO 機能拡張 レジスタ	00402D7 (B)	D7-4	–	reserved	–	–	–	読み出し時: 0
		D3	SSRDY3	シリアル/F Ch.3 SRDY選択	1 #SRDY3	0 P32/ #DMAACK0	0 R/W	
		D2	SSCLK3	シリアル/F Ch.3 SCLK選択	1 #SCLK3	0 P15/EXCL4/ #DMAEND0	0 R/W	
		D1	SSOUT3	シリアル/F Ch.3 SOUT選択	1 SOUT3	0 P16/EXCL5/ #DMAEND1	0 R/W	
		D0	SSIN3	シリアル/F Ch.3 SIN選択	1 SIN3	0 P33/ #DMAACK1	0 R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈	
P2機能選択 レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1	TM5	0	P27	0 R/W	拡張機能(0x402DB)
		D6	CFP26	P26機能選択	1	TM4	0	P26	0 R/W	
		D5	CFP25	P25機能選択	1	TM3	0	P25	0 R/W	
		D4	CFP24	P24機能選択	1	TM2	0	P24	0 R/W	
		D3	CFP23	P23機能選択	1	TM1	0	P23	0 R/W	
		D2	CFP22	P22機能選択	1	TM0	0	P22	0 R/W	拡張機能(0x402DF)
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0 R/W	
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0 R/W	
P2入出力兼用 ポートデータ レジスタ	00402D9 (B)	D7	P27D	P27入出力兼用ポートデータ	1	High	0	Low	0 R/W	
		D6	P26D	P26入出力兼用ポートデータ					0 R/W	
		D5	P25D	P25入出力兼用ポートデータ					0 R/W	
		D4	P24D	P24入出力兼用ポートデータ					0 R/W	
		D3	P23D	P23入出力兼用ポートデータ					0 R/W	
		D2	P22D	P22入出力兼用ポートデータ					0 R/W	
		D1	P21D	P21入出力兼用ポートデータ					0 R/W	
		D0	P20D	P20入出力兼用ポートデータ					0 R/W	
P2 I/O制御 レジスタ	00402DA (B)	D7	IOC27	P27 I/O制御	1	出力	0	入力	0 R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)
		D6	IOC26	P26 I/O制御					0 R/W	
		D5	IOC25	P25 I/O制御					0 R/W	
		D4	IOC24	P24 I/O制御					0 R/W	
		D3	IOC23	P23 I/O制御					0 R/W	
		D2	IOC22	P22 I/O制御					0 R/W	
		D1	IOC21	P21 I/O制御					0 R/W	
		D0	IOC20	P20 I/O制御					0 R/W	
ポートSIO 機能拡張 レジスタ	00402DB (B)	D7-4	-	reserved		-	-	-	-	読み出し時: 0
		D3	SSRDY2	シリアルI/F Ch.2 SRDY選択	1	#SRDY2	0	P24/TM2	0 R/W	
		D2	SSCLK2	シリアルI/F Ch.2 SCLK選択	1	#SCLK2	0	P25/TM3	0 R/W	
		D1	SSOUT2	シリアルI/F Ch.2 SOUT選択	1	SOUT2	0	P26/TM4	0 R/W	
		D0	SSIN2	シリアルI/F Ch.2 SIN選択	1	SIN2	0	P27/TM5	0 R/W	
P3機能選択 レジスタ	00402DC (B)	D7-6	-	reserved		-	-	-	-	読み出し時: 0
		D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0 R/W	拡張機能(0x300047)
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0 R/W	
		D3	CFP33	P33機能選択	1	#DMAACK1	0	P33	0 R/W	拡張機能(0x402D7)
		D2	CFP32	P32機能選択	1	#DMAACK0	0	P32	0 R/W	
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0 R/W	拡張機能(0x402DF)
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0 R/W	
P3入出力兼用 ポートデータ レジスタ	00402DD (B)	D7-6	-	reserved		-	-	-	-	読み出し時: 0
		D5	P35D	P35入出力兼用ポートデータ	1	High	0	Low	0 R/W	
		D4	P34D	P34入出力兼用ポートデータ					0 R/W	
		D3	P33D	P33入出力兼用ポートデータ					0 R/W	
		D2	P32D	P32入出力兼用ポートデータ					0 R/W	
		D1	P31D	P31入出力兼用ポートデータ					0 R/W	
		D0	P30D	P30入出力兼用ポートデータ					0 R/W	
P3 I/O制御 レジスタ	00402DE (B)	D7-6	-	reserved		-	-	-	-	読み出し時: 0
		D5	IOC35	P35 I/O制御	1	出力	0	入力	0 R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)
		D4	IOC34	P34 I/O制御					0 R/W	
		D3	IOC33	P33 I/O制御					0 R/W	
		D2	IOC32	P32 I/O制御					0 R/W	
		D1	IOC31	P31 I/O制御					0 R/W	
		D0	IOC30	P30 I/O制御					0 R/W	
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0 R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0 R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0 R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0 R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0 R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0 R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO	0	P10, etc. P11, etc. P13, etc.	1 R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1 R/W	

P07D–P00D: P0[7:0]入出力兼用ポートデータ (D[7:0]/0x402D1<P0入出力兼用ポートデータレジスタ>)
P16D–P10D: P1[6:0]入出力兼用ポートデータ (D[6:0]/0x402D5<P1入出力兼用ポートデータレジスタ>)
P27D–P20D: P2[7:0]入出力兼用ポートデータ (D[7:0]/0x402D9<P2入出力兼用ポートデータレジスタ>)
P35D–P30D: P3[5:0]入出力兼用ポートデータ (D[5:0]/0x402DD<P3入出力兼用ポートデータレジスタ>)

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

- データ書き込み時
 "1"書き込み: Highレベル
 "0"書き込み: Lowレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHigh(V_{DD}、V_{DDE})レベルとなり、"0"を書き込んだ場合はLow(V_{SS})レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

- データ読み出し時
 "1"読み出し: Highレベル
 "0"読み出し: Lowレベル

入出力兼用ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh(V_{DD}、V_{DDE})レベルの場合は"1"、Low(V_{SS})レベルの場合は"0"がそれぞれ入力データとして読み出されます。

コールドスタート時、データビットはすべて"0"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC07–IOC00: P0[7:0]ポートI/O制御 (D[7:0]/0x402D2<P0 I/O制御レジスタ>)
IOC16–IOC10: P1[6:0]ポートI/O制御 (D[6:0]/0x402D6<P1 I/O制御レジスタ>)
IOC27–IOC20: P2[7:0]ポートI/O制御 (D[7:0]/0x402DA<P2 I/O制御レジスタ>)
IOC35–IOC30: P3[5:0]ポートI/O制御 (D[5:0]/0x402DE<P3 I/O制御レジスタ>)

入出力兼用ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

- データ書き込み時
 "1"書き込み: 出力モード
 "0"書き込み: 入力モード

IOCレジスタは各入出力兼用ポートにビット単位で対応するI/O制御レジスタです。IOCビットを"1"に設定すると対応する入出力兼用ポートが出力モードとなり、"0"に設定すると入力モードとなります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

入出力兼用ポート端子を周辺回路用の端子に設定した場合、P10～P13、P15～P16、P30、P34はIOC1xによる入出力方向制御により端子機能が変わります。

- データ読み出し時
 "1"読み出し: I/O制御信号(出力)
 "0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFEXレジスタおよびCFPレジスタによって入出力兼用ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。ただし、P10～P13、P15～P16、P30、P34については、周辺回路を選択した場合の読み出し値はIOCレジスタへの書き込み値と一致します。

CFP07–CFP00: P0[7:0]機能選択 (D[7:0]/0x402D0<P0機能選択レジスタ>)
CFP16–CFP10: P1[6:0]機能選択 (D[6:0]/0x402D4<P1機能選択レジスタ>)
CFP27–CFP20: P2[7:0]機能選択 (D[7:0]/0x402D8<P2機能選択レジスタ>)
CFP35–CFP30: P3[5:0]機能選択 (D[5:0]/0x402DC<P3機能選択レジスタ>)

入出力兼用ポート端子の機能を選択します。

"1"書き込み: 周辺回路用端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

CFPレジスタのビットに"1"を書き込むと、対応する端子が周辺回路用に設定されます(表III.11.3参照)。"0"に設定されたビットに対応する端子は汎用入出力兼用ポート端子として使用可能です。

コールドスタート時、CFPは"0"(入出力兼用ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX0: P12, P14機能拡張 (D0/0x402DF<ポート機能拡張レジスタ>)
CFEX1: P10, P11, P13機能拡張 (D1/0x402DF<ポート機能拡張レジスタ>)
CFEX2: P21機能拡張 (D2/0x402DF<ポート機能拡張レジスタ>)
CFEX3: P31機能拡張 (D3/0x402DF<ポート機能拡張レジスタ>)
CFEX4: P04機能拡張 (D4/0x402DF<ポート機能拡張レジスタ>)
CFEX5: P05機能拡張 (D5/0x402DF<ポート機能拡張レジスタ>)
CFEX6: P06機能拡張 (D6/0x402DF<ポート機能拡張レジスタ>)
CFEX7: P07機能拡張 (D7/0x402DF<ポート機能拡張レジスタ>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子

"0"書き込み: 入出力兼用ポート端子/周辺回路用端子

読み出し: 無効

CFEXxに"1"を書き込むと、対応する端子が拡張機能用の入出力端子に設定されます。CFEXxが"0"の場合はCFPビットが有効となります。

コールドスタート時、CFEX0およびCFEX1は"1"(拡張機能端子)に設定され、その他のビットは"0"(入出力兼用ポート端子/周辺回路用端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SSIN3: シリアル/F Ch.3 SIN選択 (D0/0x402D7<ポートSIO機能拡張レジスタ>)

P33/#DMAACK1/SIN3端子の機能を切り換えます。

"1"書き込み: SIN3

"0"書き込み: P33/#DMAACK1

読み出し: 可能

SIN3として使用したい場合は、SSIN3(D0/0x402D7)="1"およびCFP33(D3/0x402DC)="0"を設定します。

P33または#DMAACK1として使用したい場合は、"0"を設定します。

コールドスタート時、SSIN3は"0"(P33/#DMAACK1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT3: シリアル/F Ch.3 SOUT選択 (D1/0x402D7<ポートSIO機能拡張レジスタ>)

P16/EXCL5/#DMAEND1/SOUT3端子の機能を切り換えます。

"1"書き込み: SOUT3

"0"書き込み: P16/EXCL5/#DMAEND1

読み出し: 可能

SOUT3として使用したい場合は、SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"を設定します。

P16、EXCL5または#DMAEND1として使用したい場合は、"0"を設定します。

コールドスタート時、SSOUT3は"0"(P16/EXCL5/#DMAEND1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK3: シリアル/F Ch.3 SCLK選択(D2/0x402D7<ポートSIO機能拡張レジスタ>)

P15/EXCL4/#DMAEND0/#SCLK3端子の機能を切り換えます。

"1"書き込み: #SCLK3

"0"書き込み: P15/EXCL4/#DMAEND0

読み出し: 可能

#SCLK3として使用したい場合は、SSCLK3(D2/0x402D7)="1"およびCFP15(D5/0x402D4)="0"を設定します。P15、EXCL4または#DMAEND0として使用したい場合は、"0"を設定します。コールドスタート時、SSCLK3は"0"(P15/EXCL4/#DMAEND0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY3: シリアル/F Ch.3 SRDY選択(D3/0x402D7<ポートSIO機能拡張レジスタ>)

P32/#DMAACK0/#SRDY3端子の機能を切り換えます。

"1"書き込み: #SRDY3

"0"書き込み: P32/#DMAACK0

読み出し: 可能

#SRDY3として使用したい場合は、SSRDY3(D3/0x402D7)="1"およびCFP32(D2/0x402DC)="0"を設定します。P32または#DMAACK0として使用したい場合は、"0"を設定します。コールドスタート時、SSRDY3は"0"(P32/#DMAACK0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSIN2: シリアル/F Ch.2 SIN選択(D0/0x402DB<ポートSIO機能拡張レジスタ>)

P27/TM5/SIN2端子の機能を切り換えます。

"1"書き込み: SIN2

"0"書き込み: P27/TM5

読み出し: 可能

SIN2として使用したい場合は、SSIN2(D0/0x402DB)="1"およびCFP27(D7/0x402D8)="0"を設定します。P27またはTM5として使用したい場合は、"0"を設定します。コールドスタート時、SSIN2は"0"(P27/TM5)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT2: シリアル/F Ch.2 SOUT選択(D1/0x402DB<ポートSIO機能拡張レジスタ>)

P26/TM4/SOUT2端子の機能を切り換えます。

"1"書き込み: SOUT2

"0"書き込み: P26/TM4

読み出し: 可能

SOUT2として使用したい場合は、SSOUT2(D1/0x402DB)="1"およびCFP26(D6/0x402D8)="0"を設定します。P26またはTM4として使用したい場合は、"0"を設定します。コールドスタート時、SSOUT2は"0"(P26/TM4)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK2: シリアル/F Ch.2 SCLK選択(D2/0x402DB<ポートSIO機能拡張レジスタ>)

P25/TM3/#SCLK2端子の機能を切り換えます。

"1"書き込み: #SCLK2

"0"書き込み: P25/TM3

読み出し: 可能

#SCLK2として使用したい場合は、SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"を設定します。P25またはTM3として使用したい場合は、"0"を設定します。コールドスタート時、SSCLK2は"0"(P25/TM3)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY2: シリアルI/F Ch.2 SRDY選択(D3/0x402DB<ポートSIO機能拡張レジスタ>)

P24/TM2/#SRDY2端子の機能を切り換えます。

"1"書き込み: #SRDY2

"0"書き込み: P24/TM2

読み出し: 可能

#SRDY2として使用したい場合は、SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"を設定します。P24またはTM2として使用したい場合は、"0"を設定します。

コールドスタート時、SSRDY2は"0"(P24/TM2)に設定されます。ホットスタート時はインシュアルリセット前の状態を保持します。

入力割り込み

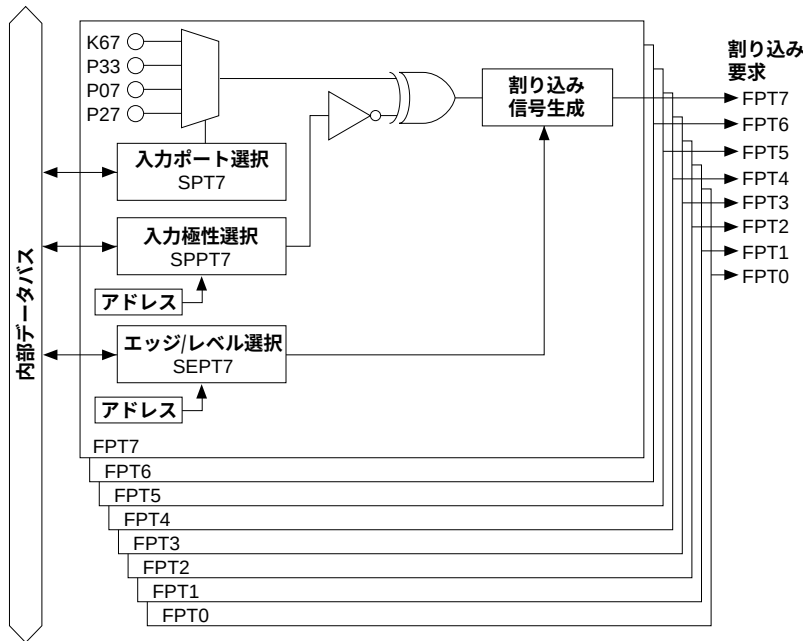
入力ポートと入出力兼用ポートは8系列のポート入力割り込みと2系列のキー入力割り込みをサポートしています。

ポート入力割り込み

ポート入力割り込み回路は8本の割り込み系列(FPT7～FPT0)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。

割り込み条件についても、入力信号のエッジで割り込みを発生させるか、レベルによって発生させるか選択可能です。

図III.11.3にポート入力割り込み回路の構成を示します。



図III.11.3 ポート入力割り込み回路の構成

■入力端子の選択

各割り込み要因ごとに、入力端子を既定の4本の中から選択できます。
表III.11.5に各要因で選択可能な入力端子と選択に使用する制御ビットを示します。

表III.11.5 ポート入力割り込み用入力端子の選択

割り込み 要因	制御ビット	SPT設定			
		11	10	01	00
FPT7	SPT7[1:0] (ポート入力割り込み選択レジスタ2 0x402C7・D[7:6])	P27	P07	P33	K67
FPT6	SPT6[1:0] (ポート入力割り込み選択レジスタ2 0x402C7・D[5:4])	P26	P06	P32	K66
FPT5	SPT5[1:0] (ポート入力割り込み選択レジスタ2 0x402C7・D[3:2])	P25	P05	P31	K65
FPT4	SPT4[1:0] (ポート入力割り込み選択レジスタ2 0x402C7・D[1:0])	P24	P04	K54	K64
FPT3	SPT3[1:0] (ポート入力割り込み選択レジスタ1 0x402C6・D[7:6])	P23	P03	K53	K63
FPT2	SPT2[1:0] (ポート入力割り込み選択レジスタ1 0x402C6・D[5:4])	P22	P02	K52	K62
FPT1	SPT1[1:0] (ポート入力割り込み選択レジスタ1 0x402C6・D[3:2])	P21	P01	K51	K61
FPT0	SPT0[1:0] (ポート入力割り込み選択レジスタ1 0x402C6・D[1:0])	P20	P00	K50	K60

■ポート入力割り込みの発生条件

各ポート入力割り込みは、入力信号のエッジまたはレベルで発生させることができます。エッジとレベルの選択は、ポート入力割り込みエッジ/レベル選択レジスタ(0x402C9)のSEPTxビットで行います。SEPTxを"1"に設定するとFPTx割り込みは入力信号のエッジで発生し、"0"を設定すると信号レベルで発生します。

また、割り込みを発生させる信号の極性を、ポート入力割り込み入力極性選択レジスタ(0x402C8)のSPPTxビットで選択します。

これらのレジスタにより、ポート入力割り込み条件は表III.11.6のように決まります。

表III.11.6 ポート入力割り込み発生条件

SEPTx	SPPTx	FPTx割り込み条件
1	1	立ち上がりエッジ
1	0	立ち下がりエッジ
0	1	Highレベル
0	0	Lowレベル

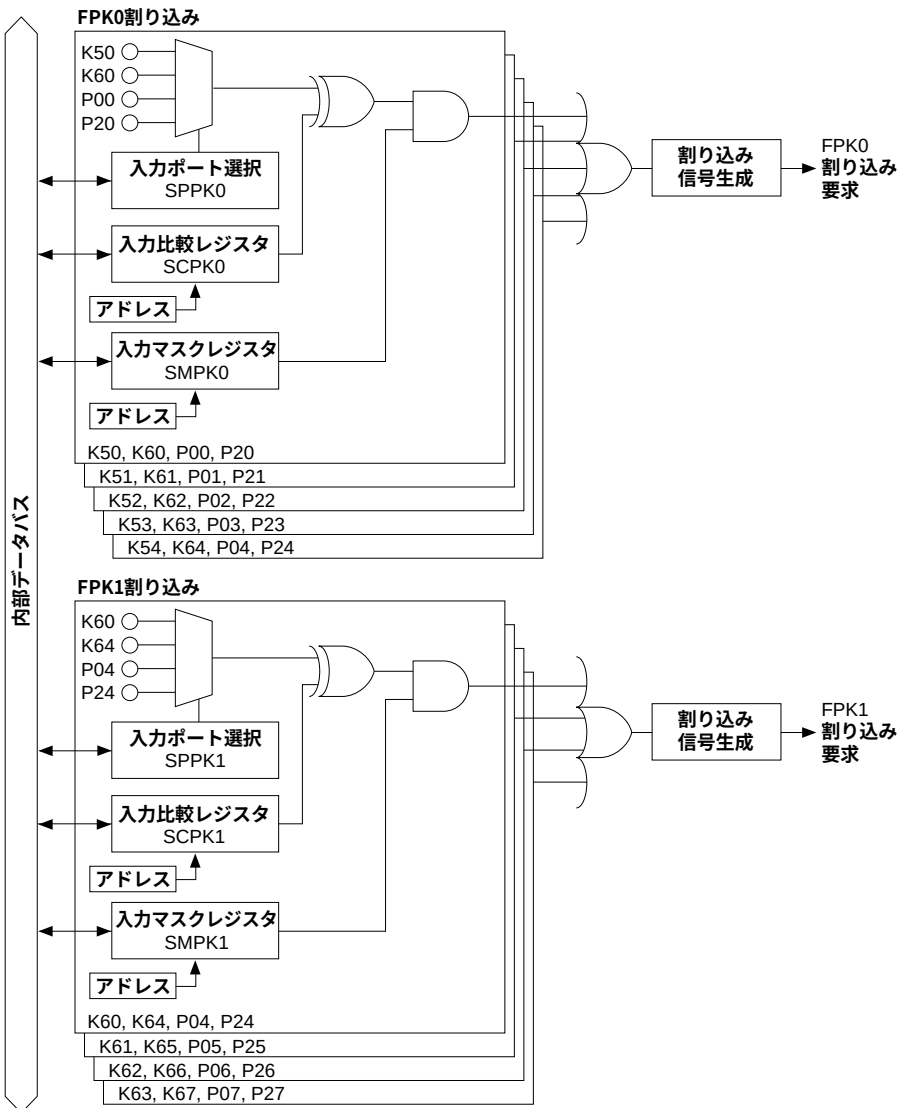
入力信号が指定された状態に変化すると、割り込み要因フラグFPが"1"にセットされ、割り込みコントローラによる他の割り込み条件が整っていれば割り込みを発生します。

キー入力割り込み

キー入力割り込み回路は2本の割り込み系列(FPK1、FPK0)を持ち、それぞれの割り込み要因を発生するポートの組み合わせを選択することができます。

割り込み条件についても、ソフトウェアで選択可能です。

図III.11.4にキー入力割り込み回路の構成を示します。



図III.11.4 キー入力割り込み回路の構成

■入力端子の選択

FPK1割り込みには、4ビットの入力端子系列を既定の4種類の中から選択できます。FPK0割り込みには、5ビットの入力端子系列を選択できます。
表III.11.7に各要因で選択可能な入力端子系列と選択に使用する制御ビットを示します。

表III.11.7 キー入力割り込み用入力端子の選択

割り込み 要因	制御ビット	SPPK設定			
		11	10	01	00
FPK1	SPPK1[1:0] (キー入力割り込み選択レジスタ0x402CA・D[3:2])	P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]
FPK0	SPPK0[1:0] (キー入力割り込み選択レジスタ0x402CA・D[1:0])	P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]

■キー入力割り込み発生条件

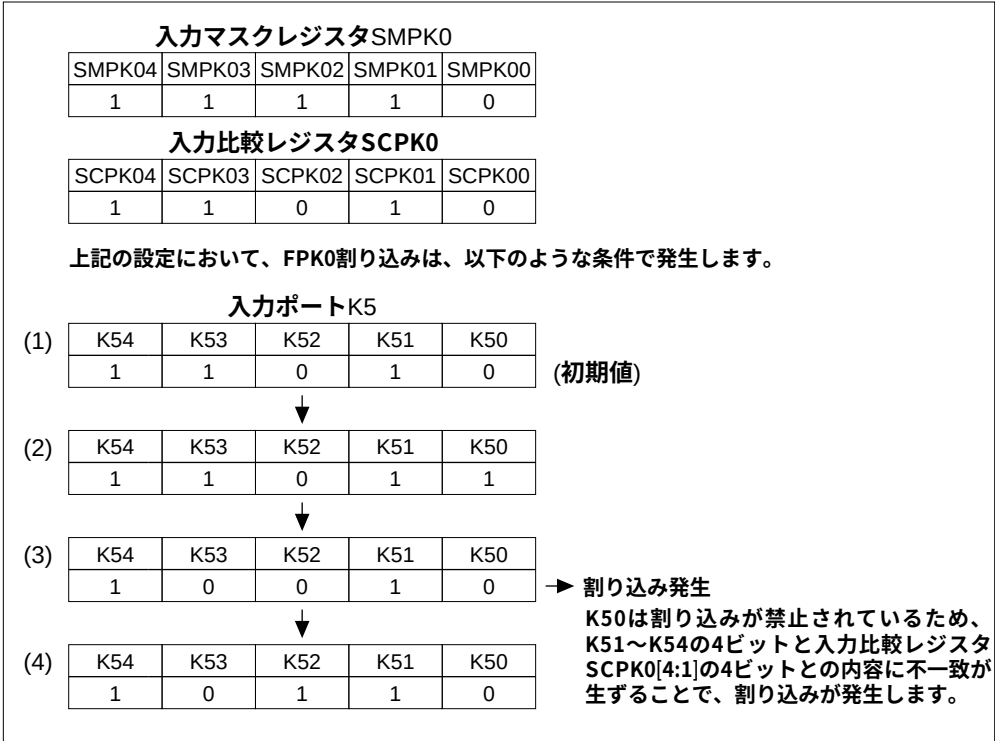
キー入力割り込み回路には、入力割り込み条件を設定する入力マスクレジスタ(FPK0用: SMPK0[4:0]、FPK1用: SMPK1[3:0])と入力比較レジスタ(FPK0用: SCPK0[4:0]、FPK1用: SCPK1[3:0])が設けられています。

入力マスクレジスタSMPKは、入力端子系列内で割り込みに使用しない入力端子を選択します。割り込みコントローラの割り込みイネーブルレジスタが割り込み系列ごとの割り込み要因をマスクするのに対し、入力マスクレジスタSMPKは入力端子個別にマスク設定を行います。

入力比較レジスタSCPKは、各入力ポートの割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

入力マスクレジスタSMPKによって割り込みが許可されている入力端子と入力比較レジスタSCPKとの内容が一致状態から不一致状態に変化すると、割り込み要因フラグFKが"1"にセットされ、他の割り込み条件が整っていれば割り込みを発生します。

図III.11.5にFPK0の割り込み発生例を示します。なお、割り込みコントローラの制御レジスタはFPK0割り込みが発生可能な状態に設定されているものとします。



図III.11.5 FPK0割り込み発生例(SPPK[1:0]でK5[4:0]が選択されている場合)

K50は入力マスクビットSMPK00によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。

次に(3)でK53が"0"になるため、割り込みが許可されている入力端子K5[4:1]のデータと入力比較レジスタSCPK[4:1]のデータとの不一致により割り込みが発生します。

前述のとおり、入力データと入力比較レジスタSCPKの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度入力比較レジスタSCPKと同じ内容に戻すか、入力比較レジスタSCPKを再設定する必要があります。なお、SMPKによって割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

FPK1についても同様に割り込みが発生します。

割り込みコントローラの制御レジスタ

各入力割り込み系列ごとに用意されている割り込みコントローラの制御レジスタを、表III.11.8に示します。

表III.11.8 割り込みコントローラの制御レジスタ

割り込み 系列	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
FPT7	FP7(D5/0x40287)	EP7(D5/0x40277)	PP7L[2:0](D[6:4]/0x4026D)
FPT6	FP6(D4/0x40287)	EP6(D4/0x40277)	PP6L[2:0](D[2:0]/0x4026D)
FPT5	FP5(D3/0x40287)	EP5(D3/0x40277)	PP5L[2:0](D[6:4]/0x4026C)
FPT4	FP4(D2/0x40287)	EP4(D2/0x40277)	PP4L[2:0](D[2:0]/0x4026C)
FPT3	FP3(D3/0x40280)	EP3(D3/0x40270)	PP3L[2:0](D[6:4]/0x40261)
FPT2	FP2(D2/0x40280)	EP2(D2/0x40270)	PP2L[2:0](D[2:0]/0x40261)
FPT1	FP1(D1/0x40280)	EP1(D1/0x40270)	PP1L[2:0](D[6:4]/0x40260)
FPT0	FP0(D0/0x40280)	EP0(D0/0x40270)	PP0L[2:0](D[2:0]/0x40260)
FPK1	FK1(D5/0x40280)	EK1(D5/0x40270)	PK1L[2:0](D[6:4]/0x40262)
FPK0	FK0(D4/0x40280)	EK0(D4/0x40270)	PK0L[2:0](D[2:0]/0x40262)

前述の入力割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■インテリジェントDMA

ポート入力割り込みは、各割り込み要因によってインテリジェントDMA (IDMA)を起動することができます。これにより、ポート入力をトリガとしたDMA転送が行えます。

各要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.	IDMA Ch.
FPT0入力割り込み: 1	FPT4入力割り込み: 28
FPT1入力割り込み: 2	FPT5入力割り込み: 29
FPT2入力割り込み: 3	FPT6入力割り込み: 30
FPT3入力割り込み: 4	FPT7入力割り込み: 31

IDMAを起動させるには、表III.11.9に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.11.9 IDMA転送の制御ビット

割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
FPT7	RP7(D7/0x40293)	DEP7(D7/0x40297)
FPT6	RP6(D6/0x40293)	DEP6(D6/0x40297)
FPT5	RP5(D5/0x40293)	DEP5(D5/0x40297)
FPT4	RP4(D4/0x40293)	DEP4(D4/0x40297)
FPT3	RP3(D3/0x40290)	DEP3(D3/0x40294)
FPT2	RP2(D2/0x40290)	DEP2(D2/0x40294)
FPT1	RP1(D1/0x40290)	DEP1(D1/0x40294)
FPT0	RP0(D0/0x40290)	DEP0(D0/0x40294)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■トラップベクタ

各入力割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

FPT0入力割り込み: 0x0C00040
 FPT1入力割り込み: 0x0C00044
 FPT2入力割り込み: 0x0C00048
 FPT3入力割り込み: 0x0C0004C
 FPK0入力割り込み: 0x0C00050
 FPK1入力割り込み: 0x0C00054
 FPT4入力割り込み: 0x0C00110
 FPT5入力割り込み: 0x0C00114
 FPT6入力割り込み: 0x0C00118
 FPT7入力割り込み: 0x0C0011C

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

入力割り込みのI/Oメモリ

表III.11.10にポート入力割り込みおよびキー入力割り込みの制御ビットを示します。

表III.11.10 入力割り込みの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP1L2	ポート入力1	0~7	X	R/W	
		D5	PP1L1	割り込みレベル		X		
		D4	PP1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP0L2	ポート入力0	0~7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP3L2	ポート入力3	0~7	X	R/W	
		D5	PP3L1	割り込みレベル		X		
		D4	PP3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP2L2	ポート入力2	0~7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PK1L2	キー入力1	0~7	X	R/W	
		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PK0L2	キー入力0	0~7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP5L2	ポート入力5	0~7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP4L2	ポート入力4	0~7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP7L2	ポート入力7	0~7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP6L2	ポート入力6	0~7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
キー入力, ポート入力0~3 割り込み イネーブル レジスタ	0040270 (B)	D7~6	—	reserved	—	—	—	読み出し時: 0
		D5	EK1	キー入力1	1 許可 0 禁止	0	R/W	
		D4	EK0	キー入力0		0	R/W	
		D3	EP3	ポート入力3		0	R/W	
		D2	EP2	ポート入力2		0	R/W	
		D1	EP1	ポート入力1		0	R/W	
		D0	EP0	ポート入力0		0	R/W	
ポート入力4~7, 計時タイマ, A/D 割り込みイネー ブルレジスタ	0040277 (B)	D7~6	—	reserved	—	—	—	読み出し時: 0
		D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
		D4	EP6	ポート入力6		0	R/W	
		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	EADE	A/D変換器		0	R/W	
キー入力, ポート入力0~3 割り込み要因 フラグレジスタ	0040280 (B)	D7~6	—	reserved	—	—	—	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生 0 要因なし	X	R/W	
		D4	FK0	キー入力0		X	R/W	
		D3	FP3	ポート入力3		X	R/W	
		D2	FP2	ポート入力2		X	R/W	
		D1	FP1	ポート入力1		X	R/W	
		D0	FP0	ポート入力0		X	R/W	

III-11 周辺回路ブロック: 入出力ポート

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
ポート入力4-7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	–	reserved	1	要因発生	0	要因なし	–	–	読み出し時: 0
		D5	FP7	ポート入力7					X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	FADE	A/D変換器					X	R/W	
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	RHDM1	高速DMA Ch.1					0	R/W	
		D4	RHDM0	高速DMA Ch.0					0	R/W	
		D3	RP3	ポート入力3					0	R/W	
		D2	RP2	ポート入力2					0	R/W	
		D1	RP1	ポート入力1					0	R/W	
		D0	RP0	ポート入力0					0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4-7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	RP6	ポート入力6					0	R/W	
		D5	RP5	ポート入力5					0	R/W	
		D4	RP4	ポート入力4					0	R/W	
		D3	–	reserved	1	IDMA要求	0	割り込み 要求	–	–	読み出し時: 0
		D2	RADE	A/D変換器					0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル					0	R/W	
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	DEHDM1	高速DMA Ch.1					0	R/W	
		D4	DEHDM0	高速DMA Ch.0					0	R/W	
		D3	DEP3	ポート入力3					0	R/W	
		D2	DEP2	ポート入力2					0	R/W	
		D1	DEP1	ポート入力1					0	R/W	
		D0	DEP0	ポート入力0					0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4-7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	–	reserved	1	IDMA許可	0	IDMA禁止	–	–	読み出し時: 0
		D2	DEADE	A/D変換器					0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル					0	R/W	
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT30	FPT3割り込み入力ポート選択					0	R/W	
		D5	SPT21	FPT2割り込み入力ポート選択					0	R/W	
		D4	SPT20	FPT2割り込み入力ポート選択					0	R/W	
		D3	SPT11	FPT1割り込み入力ポート選択					0	R/W	
		D2	SPT10	FPT1割り込み入力ポート選択					0	R/W	
		D1	SPT01	FPT0割り込み入力ポート選択					0	R/W	
		D0	SPT00	FPT0割り込み入力ポート選択					0	R/W	
ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT70	FPT7割り込み入力ポート選択					0	R/W	
		D5	SPT61	FPT6割り込み入力ポート選択					0	R/W	
		D4	SPT60	FPT6割り込み入力ポート選択					0	R/W	
		D3	SPT51	FPT5割り込み入力ポート選択					0	R/W	
		D2	SPT50	FPT5割り込み入力ポート選択					0	R/W	
		D1	SPT41	FPT4割り込み入力ポート選択					0	R/W	
		D0	SPT40	FPT4割り込み入力ポート選択					0	R/W	
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)	D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1	R/W	
		D6	SPPT6	FPT6入力極性選択					1	R/W	
		D5	SPPT5	FPT5入力極性選択					1	R/W	
		D4	SPPT4	FPT4入力極性選択					1	R/W	
		D3	SPPT3	FPT3入力極性選択					1	R/W	
		D2	SPPT2	FPT2入力極性選択					1	R/W	
		D1	SPPT1	FPT1入力極性選択					1	R/W	
		D0	SPPT0	FPT0入力極性選択					1	R/W	
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W	
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W	
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W	
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W	
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W	
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W	
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W	
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
キー入力 割り込み選択 レジスタ	00402CA (B)	D7-4	-	reserved	-				-	-	読み出し時: 0
		D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPPK10		P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]	0		
		D1	SPPK01	FPK0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPPK00		P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]	0		
キー入力 割り込み(FPK0) 入力比較 レジスタ	00402CC (B)	D7-5	-	reserved	-				-	-	読み出し時: 0
		D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W	
		D3	SCPK03						0	R/W	
		D2	SCPK02	0					R/W		
		D1	SCPK01	0					R/W		
		D0	SCPK00	0					R/W		
キー入力 割り込み(FPK1) 入力比較 レジスタ	00402CD (B)	D7-4	-	reserved					-		
		D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W	
		D2	SCPK12						0	R/W	
		D1	SCPK11	0					R/W		
		D0	SCPK10	0					R/W		
キー入力 割り込み(FPK0) 入力マスク レジスタ	00402CE (B)	D7-5	-	reserved	-				-	-	読み出し時: 0
		D4	SMPK04	FPK04入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D3	SMPK03						0	R/W	
		D2	SMPK02	0					R/W		
		D1	SMPK01	0					R/W		
		D0	SMPK00	0					R/W		
キー入力 割り込み(FPK1) 入力マスク レジスタ	00402CF (B)	D7-4	-	reserved					-		
		D3	SMPK13	FPK13入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D2	SMPK12						0	R/W	
		D1	SMPK11	0					R/W		
		D0	SMPK10	0					R/W		

SPT71-SPT70: FPT7割り込み入力ポート選択(D[7:6]/0x402C7<ポート入力割り込み選択レジスタ2>)
 SPT61-SPT60: FPT6割り込み入力ポート選択(D[5:4]/0x402C7<ポート入力割り込み選択レジスタ2>)
 SPT51-SPT50: FPT5割り込み入力ポート選択(D[3:2]/0x402C7<ポート入力割り込み選択レジスタ2>)
 SPT41-SPT40: FPT4割り込み入力ポート選択(D[1:0]/0x402C7<ポート入力割り込み選択レジスタ2>)
 SPT31-SPT30: FPT3割り込み入力ポート選択(D[7:6]/0x402C6<ポート入力割り込み選択レジスタ1>)
 SPT21-SPT20: FPT2割り込み入力ポート選択(D[5:4]/0x402C6<ポート入力割り込み選択レジスタ1>)
 SPT11-SPT10: FPT1割り込み入力ポート選択(D[3:2]/0x402C6<ポート入力割り込み選択レジスタ1>)
 SPT01-SPT00: FPT0割り込み入力ポート選択(D[1:0]/0x402C6<ポート入力割り込み選択レジスタ1>)

ポート入力割り込みに使用する入力端子を選択します。

表III.11.11 ポート入力割り込み用入力端子の選択

割り込み 要因	SPT設定			
	11	10	01	00
FPT7	P27	P07	P33	K67
FPT6	P26	P06	P32	K66
FPT5	P25	P05	P31	K65
FPT4	P24	P04	K54	K64
FPT3	P23	P03	K53	K63
FPT2	P22	P02	K52	K62
FPT1	P21	P01	K51	K61
FPT0	P20	P00	K50	K60

コールドスタート時、SPTは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SPPT7–SPPT0: 入力極性選択 (D[7:0]/0x402C8<ポート入力割り込み入力極性選択レジスタ>)

ポート入力割り込みを発生させる入力信号の極性を選択します。

"1"書き込み: Highレベルまたは立ち上がりエッジ

"0"書き込み: Lowレベルまたは立ち下がりエッジ

読み出し: 可能

SPPTxはFPTx割り込みに対応する入力極性選択ビットです。SPPTxを"1"に設定すると、FPTx割り込みは入力がHighレベルになるか、または立ち上がりエッジで発生します。SPPTxを"0"に設定すると、FPTx割り込みは入力がLowレベルになるか、または立ち下がりエッジで発生します。エッジとレベルの選択はSEPTxビットで行います。

コールドスタート時、SPPTは"0"(Lowレベル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEPT7–SEPT0: エッジ/レベル選択 (D[7:0]/0x402C9<ポート入力割り込みエッジ/レベル選択レジスタ>)

ポート入力割り込みを入力信号のエッジで発生させるか、レベルで発生させるか選択します。

"1"書き込み: エッジ

"0"書き込み: レベル

読み出し: 可能

SEPTxはFPTx割り込みに対応するエッジ/レベル選択ビットです。SEPTxを"1"に設定すると、FPTx割り込みは入力のエッジで発生します。SPPTxビットの設定により、立ち上がりエッジまたは立ち下がりエッジが選択されます。SEPTxを"0"に設定すると、FPTx割り込みは入力のレベルで発生します。SPPTxビットの設定により、HighレベルまたはLowレベルが選択されます。

コールドスタート時、SEPTは"0"(レベル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SPPK11–SPPK10: FPK1割り込み入力ポート選択 (D[3:2]/0x402CA<キー入力割り込み選択レジスタ>)**SPPK01–SPPK00: FPK0割り込み入力ポート選択 (D[1:0]/0x402CA<キー入力割り込み選択レジスタ>)**

キー入力割り込みに使用する入力端子系列を選択します。

表III.11.12 キー入力割り込み用入力端子の選択

割り込み 要因	SPPK設定			
	11	10	01	00
FPK1	P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]
FPK0	P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]

コールドスタート時、SPPKは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SCPK13–SCPK10: FPK1入力比較 (D[3:0]/0x402CD<FPK1入力比較レジスタ>)**SCPK04–SCPK00: FPK0入力比較 (D[4:0]/0x402CC<FPK0入力比較レジスタ>)**

キー入力割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

SCPK0[4:0]はFPK0の5ビットの入力状態、SCPK1[3:0]はFPK1の4ビットの入力状態と比較され、それぞれの内容が一致状態から不一致状態に変化した場合に割り込み要求が発生します(SMPKビットで割り込み禁止に設定した入力は比較の対象とはなりません)。

コールドスタート時、SCPKは"0"(立ち上がりエッジ)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SMPK13–SMPK10: FPK1入力マスク (D[3:0]/0x402CF<FPK1入力マスクレジスタ>)

SMPK04–SMPK00: FPK0入力マスク (D[4:0]/0x402CE<FPK0入力マスクレジスタ>)

キー入力割り込み発生条件(割り込み許可/禁止)を設定します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

SMPKはキー入力割り込み端子系列の各ビットに対応する入力マスクビットで、"1"に設定したビットの割り込みが許可され、"0"に設定したビットの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

コールドスタート時、SMPKは"0"(割り込み禁止)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

PP0L2–PP0L0: ポート入力0割り込みレベル (D[2:0]/0x40260<ポート入力0/1割り込みプライオリティレジスタ>)

PP1L2–PP1L0: ポート入力1割り込みレベル (D[6:4]/0x40260<ポート入力0/1割り込みプライオリティレジスタ>)

PP2L2–PP2L0: ポート入力2割り込みレベル (D[2:0]/0x40261<ポート入力2/3割り込みプライオリティレジスタ>)

PP3L2–PP3L0: ポート入力3割り込みレベル (D[6:4]/0x40261<ポート入力2/3割り込みプライオリティレジスタ>)

PP4L2–PP4L0: ポート入力4割り込みレベル (D[2:0]/0x4026C<ポート入力4/5割り込みプライオリティレジスタ>)

PP5L2–PP5L0: ポート入力5割り込みレベル (D[6:4]/0x4026C<ポート入力4/5割り込みプライオリティレジスタ>)

PP6L2–PP6L0: ポート入力6割り込みレベル (D[2:0]/0x4026D<ポート入力6/7割り込みプライオリティレジスタ>)

PP7L2–PP7L0: ポート入力7割り込みレベル (D[6:4]/0x4026D<ポート入力6/7割り込みプライオリティレジスタ>)

PK0L2–PK0L0: キー入力0割り込みレベル (D[2:0]/0x40262<キー入力割り込みプライオリティレジスタ>)

PK1L2–PK1L0: キー入力1割り込みレベル (D[6:4]/0x40262<キー入力割り込みプライオリティレジスタ>)

入力割り込みの優先レベルを設定します。

PPxLはポート入力割り込み、PKxLはキー入力割り込みに対応した割り込みプライオリティレジスタです。それぞれの割り込み系列の優先レベルを0～7の範囲で設定できます。

イニシャルリセット時、これらのレジスタは不定となります。

EP3–EP0: ポート入力3–0割り込みイネーブル

(D[3:0]/0x40270<キー入力, ポート入力0–3割り込みイネーブルレジスタ>)

EP7–EP4: ポート入力7–4割り込みイネーブル

(D[5:2]/0x40277<ポート入力4–7, 計時タイマ, A/D割り込みイネーブルレジスタ>)

EK1, EK0: キー入力1, 0割り込みイネーブル

(D[5:4]/0x40270<キー入力, ポート入力0–3割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EPxはポート入力割り込み、EKxはキー入力割り込みの各系列に対応する割り込みイネーブルビットで、"1"に設定した入力割り込みが許可され、"0"に設定した入力割り込みが禁止されます。

イニシャルリセット時、これらのレジスタはすべて"0"(割り込み禁止)に設定されます。

FP3-FP0: ポート入力3-0割り込み要因フラグ

(D[3:0]/0x40280<キー入力, ポート入力0-3割り込み要因フラグレジスタ>)

FP7-FP4: ポート入力7-4割り込み要因フラグ

(D[5:2]/0x40287<ポート入力4-7, 計時タイマ, A/D割り込み要因フラグレジスタ>)

FK1, FK0: キー入力1, 0割り込み要因フラグ

(D[5:4]/0x40280<キー入力, ポート入力0-3割り込み要因フラグレジスタ>)

入力割り込み要因の発生状態を示します。

• 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時(デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

• リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

FPxはポート入力割り込み、FKxはキー入力割り込みの各系列に対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、ポート入力割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、割り込み要因フラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

RP3-RP0: ポート入力3-0 IDMAリクエスト

(D[3:0]/0x40290<ポート入力0-3, 高速DMA, 16bitタイマ0 IDMAリクエストレジスタ>)

RP7-RP4: ポート入力7-4 IDMAリクエスト

(D[7:4]/0x40293<シリアル/F, A/D, ポート入力4-7 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

RP7~RP0はポート入力7~0の割り込みに対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、RPは"0"(割り込み要求)に設定されます。

DEP3-DEP0: ポート入力3-0 IDMAイネーブル

(D[3:0]/0x40294<ポート入力0-3, 高速DMA, 16bitタイマ0 IDMAイネーブルレジスタ>)

DEP7-DEP4: ポート入力7-4 IDMAイネーブル

(D[7:4]/0x40297<シリアル/F, A/D, ポート入力4-7 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DEP7~DEP0はポート入力7~0の割り込みに対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、DEPは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
 - (2) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
 - (3) ポートの動作は、プリスケアラが動作していることが条件です。
 - (4) HALT2モードまたはSLEEPモードから再起動するトリガとしてポート入力割り込みを使用する場合、割り込み条件としてエッジ割り込みを設定している場合でも割り込みは入力信号のレベルで発生します。再起動は、立ち上がりと立ち下がりでは次のように動作します。
 - 立ち上がりエッジ割り込み設定時: Highレベル入力で再起動する。
 - 立ち下がりエッジ割り込み設定時: Lowレベル入力で再起動する。
- slp命令実行後、立ち下がりエッジ割り込みで再起動と設定した場合は、次のように動作します。
- slp命令実行時に割り込みポートのレベルがすでにLowレベルの場合は、一瞬だけSLEEP状態になり、すぐに再起動します。slp命令実行時に割り込みポートのレベルがHighレベルの場合は、ポート入力Lowに変化するまでSLEEP状態が保持されます。
- したがって、SLEEP状態またはHALT2状態からのポート入力割り込みによる再起動は、入力レベルで行われることを前提にシステム設計してください。

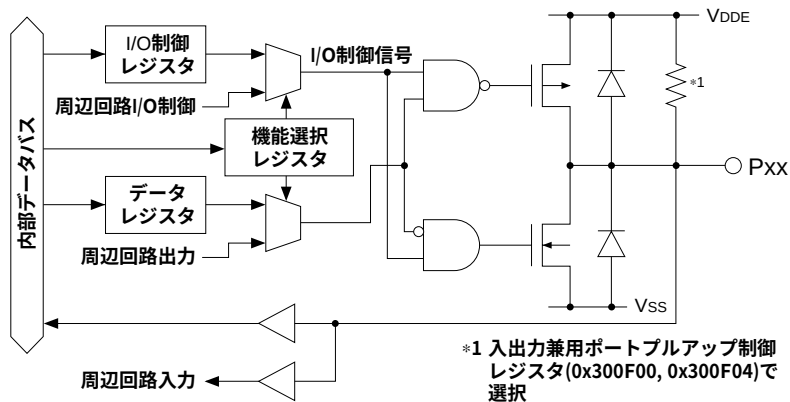
III-12 拡張ポート 1(P4~P6, EFP)

C33 STDはC33周辺回路ブロックの入出力ポートに加え、18本の入出力兼用ポートを拡張ポートとして内蔵しています。この章では、汎用入出力兼用ポートとして使用する場合の機能と制御方法について説明します。

拡張ポート1の構成

C33 STDでは、プログラムにより入出力方向の切り換えが可能な入出力兼用ポートが拡張されています。拡張された入出力兼用ポートはP40~P47、P50~P55、P60~P63です。

図III.12.1に拡張ポートの構造を示します。



図III.12.1 拡張ポートの構造

各ポート端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されています。イニシャルリセット時、プルアップ抵抗が有効となり各端子はプルアップされます。プルアップせずに使用する方法については、「III-2 チップID/端子制御レジスタ」を参照してください。

拡張ポート端子(P4~P6)

拡張された入出力兼用ポート端子は、表III.12.1に示すとおりBCUの入出力端子を兼ねています。

表III.12.1 入出力端子

端子名	I/O	機 能	機能選択ビット
A25(P40)	I/O	アドレスバス(A25)/入出力兼用ポート	EFP40[1:0](P40-P43ポート 機能拡張レジスタ0x300048-D[1:0])
A24(P41)	I/O	アドレスバス(A24)/入出力兼用ポート	EFP41[1:0](P40-P43ポート 機能拡張レジスタ0x300048-D[3:2])
A23(P42)	I/O	アドレスバス(A23)/入出力兼用ポート	EFP42[1:0](P40-P43ポート 機能拡張レジスタ0x300048-D[5:4])
A22(P43)	I/O	アドレスバス(A22)/入出力兼用ポート	EFP43[1:0](P40-P43ポート 機能拡張レジスタ0x300048-D[7:6])
A21(P44)	I/O	アドレスバス(A21)/入出力兼用ポート	EFP44[1:0](P44-P47ポート 機能拡張レジスタ0x300049-D[1:0])
A20(P45)	I/O	アドレスバス(A20)/入出力兼用ポート	EFP45[1:0](P44-P47ポート 機能拡張レジスタ0x300049-D[3:2])
A19(P46)	I/O	アドレスバス(A19)/入出力兼用ポート	EFP46[1:0](P44-P47ポート 機能拡張レジスタ0x300049-D[5:4])
A18(P47)	I/O	アドレスバス(A18)/入出力兼用ポート	EFP47[1:0](P44-P47ポート 機能拡張レジスタ0x300049-D[7:6])
#CE4(#CE11/#CE11&12/P50)	I/O	エリア4チップイネーブル/エリア11チップイネーブル/ エリア11&12チップイネーブル/入出力兼用ポート	EFP50[1:0](P50-P53ポート 機能拡張レジスタ0x30004A-D[1:0])
#CE5(#CE15/#CE15&16/P51)	I/O	エリア5チップイネーブル/エリア15チップイネーブル/ エリア15&16チップイネーブル/入出力兼用ポート	EFP51[1:0](P50-P53ポート 機能拡張レジスタ0x30004A-D[3:2])
#CE6(#CE7&8/P52)	I/O	エリア6チップイネーブル/エリア7&8チップイネーブル/ 入出力兼用ポート	EFP52[1:0](P50-P53ポート 機能拡張レジスタ0x30004A-D[5:4])
#CE7(#RAS0/#CE13/#RAS2/ P53/#SDCE)	I/O	エリア7チップイネーブル/エリア7 DRAMローストローブ/ エリア13チップイネーブル/エリア13 DRAMローストローブ/ 入出力兼用ポート/SDRAMチップイネーブル	EFP53[1:0](P50-P53ポート 機能拡張レジスタ0x30004A-D[7:6])
#CE8(#RAS1/#CE14/#RAS3 P54)	I/O	エリア8チップイネーブル/エリア8 DRAMローストローブ/ エリア14チップイネーブル/エリア14 DRAMローストローブ/ 入出力兼用ポート	EFP54[1:0](P54-P55ポート 機能拡張レジスタ0x30004B-D[1:0])
#CE9(/#CE17/#CE17&18/P55)	I/O	エリア9チップイネーブル/エリア17チップイネーブル/ エリア17&18チップイネーブル/入出力兼用ポート	EFP55[1:0](P54-P55ポート 機能拡張レジスタ0x30004B-D[3:2])
BCLK(P60/FOSC1/SDCLK)	I/O	バスクロック出力/入出力兼用ポート/OSC1クロック出力/ SDRAMクロック出力	EFP60[1:0](P60-P63ポート 機能拡張レジスタ0x30004C-D[1:0])
P61(SDA10)	I/O	入出力兼用ポート/SDRAMアドレスA10	EFP61[1:0](P60-P63ポート 機能拡張レジスタ0x30004C-D[3:2])
P62(LDQM)	I/O	入出力兼用ポート/SDRAM下位バイト出力マスク	EFP62[1:0](P60-P63ポート 機能拡張レジスタ0x30004C-D[5:4])
P63(UDQM)	I/O	入出力兼用ポート/SDRAM上位バイト出力マスク	EFP63[1:0](P60-P63ポート 機能拡張レジスタ0x30004C-D[7:6])

コールドスタート時、P40~P47、P50~P55、P60はバス信号の出力端子に設定されます。

この中でバス信号として使用しない端子は、機能拡張ビットEFPの選択により、汎用の入出力兼用ポートとして使用可能です。

P61~P63は汎用の入出力兼用ポートとして設定されています。SDRAMコントローラを使用する場合、これらの端子はSDRAM信号出力に設定する必要があります。

バス信号の制御方法については"BCU(バスコントロールユニット)"の章を、FOSC1出力については"低速(OSC1)発振回路"の章を、SDRAM信号については"SDRAMコントローラ"の章を参照してください。

ホットスタート時は、リセット前の状態を保持します。

I/O制御レジスタと入力/出力モード

汎用の入出力兼用ポートとして使用する場合、ポートはそれぞれのビットに対応したI/O制御レジスタにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

P47~P40用I/O制御: IOC4[7:0] (P4 I/O制御レジスタ0x300021・D[7:0])

P55~P50用I/O制御: IOC5[5:0] (P5 I/O制御レジスタ0x300023・D[5:0])

P63~P60用I/O制御: IOC6[3:0] (P6 I/O制御レジスタ0x300025・D[3:0])

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定されたポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(V_{DDE})レベルのときに"1"、Low(V_{SS})レベルのときに"0"となります。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定されたポートは出力ポートとして機能し、ポート出力データが"1"の場合にHigh(V_{DDE})レベル、"0"の場合にLow(V_{SS})レベルを出力します。

コールドスタート時、I/O制御レジスタは"0"(入力モード)に設定されます。

ホットスタート時は、リセット前の状態を保持します。

P4~P6、EFPレジスタをアクセスするためのBCUの設定

P40~P47、P50~P55、P60~P63ポートのデータレジスタとI/O制御レジスタ、およびポートの機能を拡張するEFPレジスタはエリア6の0x300020~0x30004C番地に割り付けられています。したがって、これらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IO(アクセス制御レジスタ0x48132・D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EC(アクセス制御レジスタ0x48132・D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6-4設定レジスタ0x4812A・D[A:8])
CPUが48MHzクロックのx2スピードモード、または32MHzクロックのx1スピードモードで動作している場合は、エリア6のウェイト数を0に設定可能です。

拡張ポート1のI/Oメモリ

表III.12.2に拡張ポートの制御ビットを示します。

表III.12.2 拡張ポートの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈			
P4入出力兼用 ポートデータ レジスタ	0300020 (B)	D7	P47D	P47入出力兼用ポートデータ	1	High	0	Low	0	R/W		
		D6	P46D	P46入出力兼用ポートデータ					0	R/W		
		D5	P45D	P45入出力兼用ポートデータ					0	R/W		
		D4	P44D	P44入出力兼用ポートデータ					0	R/W		
		D3	P43D	P43入出力兼用ポートデータ					0	R/W		
		D2	P42D	P42入出力兼用ポートデータ					0	R/W		
		D1	P41D	P41入出力兼用ポートデータ					0	R/W		
		D0	P40D	P40入出力兼用ポートデータ					0	R/W		
P4 I/O制御 レジスタ	0300021 (B)	D7	IOC47	P47 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポ ート端子のI/O制御信号 の値(詳細説明参照)	
		D6	IOC46	P46 I/O制御					0	R/W		
		D5	IOC45	P45 I/O制御					0	R/W		
		D4	IOC44	P44 I/O制御					0	R/W		
		D3	IOC43	P43 I/O制御					0	R/W		
		D2	IOC42	P42 I/O制御					0	R/W		
		D1	IOC41	P41 I/O制御					0	R/W		
		D0	IOC40	P40 I/O制御					0	R/W		
P5入出力兼用 ポートデータ レジスタ	0300022 (B)	D7-6	--	reserved	1	High	0	Low	--	--	読み出し時: 0	
		D5	P55D	P55入出力兼用ポートデータ					0	R/W		
		D4	P54D	P54入出力兼用ポートデータ					0	R/W		
		D3	P53D	P53入出力兼用ポートデータ					0	R/W		
		D2	P52D	P52入出力兼用ポートデータ					0	R/W		
		D1	P51D	P51入出力兼用ポートデータ					0	R/W		
		D0	P50D	P50入出力兼用ポートデータ					0	R/W		
P5 I/O制御 レジスタ	0300023 (B)	D7-6	--	reserved	1	出力	0	入力	--	--	読み出し時: 0	
		D5	IOC55	P55 I/O制御					0	R/W		読み出し値は、ポ ート端子のI/O制御信号 の値(詳細説明参照)
		D4	IOC54	P54 I/O制御					0	R/W		
		D3	IOC53	P53 I/O制御					0	R/W		
		D2	IOC52	P52 I/O制御					0	R/W		
		D1	IOC51	P51 I/O制御					0	R/W		
		D0	IOC50	P50 I/O制御					0	R/W		
P6入出力兼用 ポートデータ レジスタ	0300024 (B)	D7-4	--	reserved	1	High	0	Low	--	--	読み出し時: 0	
		D3	P63D	P63入出力兼用ポートデータ					0	R/W		
		D2	P62D	P62入出力兼用ポートデータ					0	R/W		
		D1	P61D	P61入出力兼用ポートデータ					0	R/W		
		D0	P60D	P60入出力兼用ポートデータ					0	R/W		
P6 I/O制御 レジスタ	0300025 (B)	D7-4	--	reserved	1	出力	0	入力	--	--	読み出し時: 0	
		D3	IOC63	P63 I/O制御					0	R/W		読み出し値は、ポ ート端子のI/O制御信号 の値(詳細説明参照)
		D2	IOC62	P62 I/O制御					0	R/W		
		D1	IOC61	P61 I/O制御					0	R/W		
		D0	IOC60	P60 I/O制御					0	R/W		
P00-P03 ポート機能拡張 レジスタ	0300040 (B)	D7	EFP031	P03ポート機能拡張	EFP03[1:0]		機能		0	R/W		
		D6	EFP030		1	*	reserved		0	R/W		
					0	1	#FSRDY0					
					0	0	P03/#SRDY0					
		D5	EFP021	P02ポート機能拡張	EFP02[1:0]		機能		0	R/W		
		D4	EFP020		1	*	reserved		0	R/W		
					0	1	#FSCLK0					
					0	0	P02/#SCLK0					
		D3	EFP011	P01ポート機能拡張	EFP01[1:0]		機能		0	R/W		
		D2	EFP010		1	*	reserved		0	R/W		
					0	1	FSOUT0					
					0	0	P01/SOUT0					
		D1	EFP001	P00ポート機能拡張	EFP00[1:0]		機能		0	R/W		
		D0	EFP000		1	*	reserved		0	R/W		
					0	1	FSIN0					
					0	0	P00/SIN0					

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
P20-P21 ポート機能拡張 レジスタ	0300044 (B)	D7-4	-	reserved	-	-	-	読み出し時: 0
		D3	EFP211	P21ポート機能拡張	EFP21[1:0]	機能	0	R/W
		D2	EFP210		1 * 0 1 0 0	reserved #SDWE P21/#DWE	0	
		D1	EFP201	P20ポート機能拡張	EFP20[1:0]	機能	0	R/W
		D0	EFP200		1 * 0 1 0 0	reserved SDCKE P20/#DRD	0	
P31-P33 ポート 機能拡張 レジスタ	0300046 (B)	D7	EFP331	P33ポート機能拡張	EFP33[1:0]	機能	0	R/W
		D6	EFP330		1 * 0 1 0 0	reserved SDI P33, etc.	0	
		D5	EFP321	P32ポート機能拡張	EFP32[1:0]	機能	0	R/W
		D4	EFP320		1 * 0 1 0 0	reserved SPICLK P32, etc.	0	
		D3	EFP311	P31ポート機能拡張	EFP31[1:0]	機能	0	R/W
		D2	EFP310		1 * 0 1 0 0	reserved SDO P31, etc.	0	
		D1-0	-	reserved	-	-	-	読み出し時: 0
P34-P35 ポート機能拡張 レジスタ	0300047 (B)	D7-4	-	reserved	-	-	-	読み出し時: 0
		D3	EFP351	P35ポート機能拡張	EFP35[1:0]	機能	0	R/W
		D2	EFP350		1 * 0 1 0 0	reserved #SMRE P35, etc.	0	
		D1	EFP341	P34ポート機能拡張	EFP34[1:0]	機能	0	R/W
		D0	EFP340		1 * 0 1 0 0	reserved #SMWE P34, etc.	0	
P40-P43 ポート機能拡張 レジスタ	0300048 (B)	D7	EFP431	P43ポート機能拡張	EFP43[1:0]	機能	0	R/W
		D6	EFP430		1 * 0 1 0 0	reserved P43 A22	0	
		D5	EFP421	P42ポート機能拡張	EFP42[1:0]	機能	0	R/W
		D4	EFP420		1 * 0 1 0 0	reserved P42 A23	0	
		D3	EFP411	P41ポート機能拡張	EFP41[1:0]	機能	0	R/W
		D2	EFP410		1 * 0 1 0 0	reserved P41 A24	0	
		D1	EFP401	P40ポート機能拡張	EFP40[1:0]	機能	0	R/W
		D0	EFP400		1 * 0 1 0 0	reserved P40 A25	0	
P44-P47 ポート機能拡張 レジスタ	0300049 (B)	D7	EFP471	P47ポート機能拡張	EFP47[1:0]	機能	0	R/W
		D6	EFP470		1 * 0 1 0 0	reserved P47 A18	0	
		D5	EFP461	P46ポート機能拡張	EFP46[1:0]	機能	0	R/W
		D4	EFP460		1 * 0 1 0 0	reserved P46 A19	0	
		D3	EFP451	P45ポート機能拡張	EFP45[1:0]	機能	0	R/W
		D2	EFP450		1 * 0 1 0 0	reserved P45 A20	0	
		D1	EFP441	P44ポート機能拡張	EFP44[1:0]	機能	0	R/W
		D0	EFP440		1 * 0 1 0 0	reserved P44 A21	0	

III-12 周辺回路ブロック: 拡張ポート1(P4~P6, EFP)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
P50–P53 ポート機能拡張 レジスタ	030004A (B)	D7 D6	EFP531 EFP530	P53ポート機能拡張	EFP53[1:0]	機能	0	R/W		
					1	1	reserved			0
					1	0	#SDCE			
					0	1	P53			
				0	0	#CE7, etc.				
		D5 D4	EFP521 EFP520	P52ポート機能拡張	EFP52[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P52			
					0	0	#CE6, etc.			
		D3 D2	EFP511 EFP510	P51ポート機能拡張	EFP51[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P51			
0	0				#CE5, etc.					
D1 D0	EFP501 EFP500	P50ポート機能拡張	EFP50[1:0]	機能	0	R/W				
			1	*	reserved			0		
			0	1	P50					
			0	0	#CE4, etc.					
P54–P55 ポート機能拡張 レジスタ	030004B (B)	D7–4 D3 D2	EFP551 EFP550	P55ポート機能拡張	–	–	–	R/W	読み出し時: 0	
					EFP55[1:0]	機能	0			
					1	*	reserved			0
				0	1	P55				
				0	0	#CE9, etc.				
		D1 D0	EFP541 EFP540	P54ポート機能拡張	EFP54[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P54			
				0	0	#CE8, etc.				
P60–P63 ポート機能拡張 レジスタ	030004C (B)	D7 D6	EFP631 EFP630	P63ポート機能拡張	EFP63[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	UDQM			
					0	0	P63			
		D5 D4	EFP621 EFP620	P62ポート機能拡張	EFP62[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	LDQM			
					0	0	P62			
		D3 D2	EFP611 EFP610	P61ポート機能拡張	EFP61[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	SDA10			
					0	0	P61			
D1 D0	EFP601 EFP600	P60ポート機能拡張	EFP60[1:0]	機能	0	R/W				
			1	1	SDCLK			0		
			1	0	FOSC1					
			0	1	P60					
		0	0	BCLK						

P47D–P40D: P4[7:0]入出力兼用ポートデータ (D[7:0]/0x300020<P4入出力兼用ポートデータレジスタ>)

P55D–P50D: P5[5:0]入出力兼用ポートデータ (D[5:0]/0x300022<P5入出力兼用ポートデータレジスタ>)

P63D–P60D: P6[3:0]入出力兼用ポートデータ (D[3:0]/0x300024<P6入出力兼用ポートデータレジスタ>)

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

• データ書き込み時

"1"書き込み: Highレベル

"0"書き込み: Lowレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHigh(V_{DDE})レベルとなり、"0"を書き込んだ場合はLow(V_{SS})レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

• データ読み出し時

"1"読み出し: Highレベル

"0"読み出し: Lowレベル

入出力兼用ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh(V_{DDE})レベルの場合は"1"、Low(V_{SS})レベルの場合は"0"がそれぞれ入力データとして読み出されます。

コールドスタート時、データビットはすべて"0"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC47–IOC40: P4[7:0]ポートI/O制御(D[7:0]/0x300021<P4 I/O制御レジスタ>)

IOC55–IOC50: P5[5:0]ポートI/O制御(D[5:0]/0x300023<P5 I/O制御レジスタ>)

IOC63–IOC60: P6[3:0]ポートI/O制御(D[3:0]/0x300025<P6 I/O制御レジスタ>)

入出力兼用ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

- データ書き込み時
 "1"書き込み: 出力モード
 "0"書き込み: 入力モード

IOCレジスタは各入出力兼用ポートにビット単位で対応するI/O制御レジスタです。IOCビットを"1"に設定すると対応する入出力兼用ポートが出力モードとなり、"0"に設定すると入力モードとなります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

- データ読み出し時
 "1"読み出し: I/O制御信号(出力)
 "0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。EFPレジスタによって入出力兼用ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。一方、バス信号を選択した場合、IOCレジスタへの書き込み値とは異なる場合があります。

EFP001–EFP000: P00ポート機能拡張(D[1:0]/0x300040<P00–P03ポート機能拡張レジスタ>)

EFP011–EFP010: P01ポート機能拡張(D[3:2]/0x300040<P00–P03ポート機能拡張レジスタ>)

EFP021–EFP020: P02ポート機能拡張(D[5:4]/0x300040<P00–P03ポート機能拡張レジスタ>)

EFP031–EFP030: P03ポート機能拡張(D[7:6]/0x300040<P00–P03ポート機能拡張レジスタ>)

EFP201–EFP200: P20ポート機能拡張(D[1:0]/0x300044<P20–P21ポート機能拡張レジスタ>)

EFP211–EFP210: P21ポート機能拡張(D[3:2]/0x300044<P20–P21ポート機能拡張レジスタ>)

EFP311–EFP310: P31ポート機能拡張(D[3:2]/0x300046<P31–P33ポート機能拡張レジスタ>)

EFP321–EFP320: P32ポート機能拡張(D[5:4]/0x300046<P31–P33ポート機能拡張レジスタ>)

EFP331–EFP330: P33ポート機能拡張(D[7:6]/0x300046<P31–P33ポート機能拡張レジスタ>)

EFP341–EFP340: P34ポート機能拡張(D[1:0]/0x300047<P34–P35ポート機能拡張レジスタ>)

EFP351–EFP350: P35ポート機能拡張(D[3:2]/0x300047<P34–P35ポート機能拡張レジスタ>)

EFP401–EFP400: P40ポート機能拡張(D[1:0]/0x300048<P40–P43ポート機能拡張レジスタ>)

EFP411–EFP410: P41ポート機能拡張(D[3:2]/0x300048<P40–P43ポート機能拡張レジスタ>)

EFP421–EFP420: P42ポート機能拡張(D[5:4]/0x300048<P40–P43ポート機能拡張レジスタ>)

EFP431–EFP430: P43ポート機能拡張(D[7:6]/0x300048<P40–P43ポート機能拡張レジスタ>)

EFP441–EFP440: P44ポート機能拡張(D[1:0]/0x300049<P44–P47ポート機能拡張レジスタ>)

EFP451–EFP450: P45ポート機能拡張(D[3:2]/0x300049<P44–P47ポート機能拡張レジスタ>)

EFP461–EFP460: P46ポート機能拡張(D[5:4]/0x300049<P44–P47ポート機能拡張レジスタ>)

EFP471–EFP470: P47ポート機能拡張(D[7:6]/0x300049<P44–P47ポート機能拡張レジスタ>)

EFP501–EFP500: P50ポート機能拡張(D[1:0]/0x30004A<P50–P53ポート機能拡張レジスタ>)

EFP511–EFP510: P51ポート機能拡張(D[3:2]/0x30004A<P50–P53ポート機能拡張レジスタ>)

EFP521–EFP520: P52ポート機能拡張(D[5:4]/0x30004A<P50–P53ポート機能拡張レジスタ>)

EFP531–EFP530: P53ポート機能拡張(D[7:6]/0x30004A<P50–P53ポート機能拡張レジスタ>)

EFP541–EFP540: P54ポート機能拡張(D[1:0]/0x30004B<P54–P55ポート機能拡張レジスタ>)

EFP551–EFP550: P55ポート機能拡張(D[3:2]/0x30004B<P54–P55ポート機能拡張レジスタ>)

EFP601–EFP600: P60ポート機能拡張(D[1:0]/0x30004C<P60–P63ポート機能拡張レジスタ>)

EFP611–EFP610: P61ポート機能拡張(D[3:2]/0x30004C<P60–P63ポート機能拡張レジスタ>)

EFP621–EFP620: P62ポート機能拡張(D[5:4]/0x30004C<P60–P63ポート機能拡張レジスタ>)

EFP631–EFP630: P63ポート機能拡張(D[7:6]/0x30004C<P60–P63ポート機能拡張レジスタ>)

各ポートの拡張機能を選択します。選択内容は表III.12.3のとおりです。

コールドスタート時、EFPは"00"(バス信号出力)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

III-12 周辺回路ブロック: 拡張ポート1(P4~P6, EFP)

表III.12.3 ポート機能一覧

ポート	機能拡張ビット	EFPxx[1:0] = "00"	EFPxx[1:0] = "01"	EFPxx[1:0] = "10"	EFPxx[1:0] = "11"
P00	EFP00[1:0]	P00 SIN0	FSIN0	—	—
P01	EFP01[1:0]	P01 SOUT0	FSOUT0	—	—
P02	EFP02[1:0]	P02 #SCLK0	#FSCLK0	—	—
P03	EFP03[1:0]	P03 #SRDY0	#FSRDY0	—	—
P20	EFP20[1:0]	P20 #DRD	SDCLK	—	—
P21	EFP21[1:0]	P21 #DWE #GAAS	#SDWE	—	—
P31	EFP31[1:0]	P31 #BUSGET #GARD	SDO	—	—
P32	EFP32[1:0]	P32 #DMAACK0 #SRDY3	SPICLK	—	—
P33	EFP33[1:0]	P33 #DMAACK1 SIN3	SDI	—	—
P34	EFP34[1:0]	P34 #BUSREQ #CE6	#SMWE	—	—
P35	EFP35[1:0]	P35 #BUSACK	#SMRE	—	—
P40	EFP40[1:0]	A25	P40	—	—
P41	EFP41[1:0]	A24	P41	—	—
P42	EFP42[1:0]	A23	P42	—	—
P43	EFP43[1:0]	A22	P43	—	—
P44	EFP44[1:0]	A21	P44	—	—
P45	EFP45[1:0]	A20	P45	—	—
P46	EFP46[1:0]	A19	P46	—	—
P47	EFP47[1:0]	A18	P47	—	—
P50	EFP50[1:0]	#CE4 #CE11 #CE11&12	P50	—	—
P51	EFP51[1:0]	#CE5 #CE15 #CE15&16	P51	—	—
P52	EFP52[1:0]	#CE6 #CE7&8	P52	—	—
P53	EFP53[1:0]	#CE7 #RAS0 #CE13 #RAS2	P53	#SDCE	—
P54	EFP54[1:0]	#CE8 #RAS1 #CE14 #RAS3	P54	—	—
P55	EFP55[1:0]	#CE9 #CE17 #CE17&18	P55	—	—
P60	EFP60[1:0]	BCLK	P60	FOSC1	SDCLK
P61	EFP61[1:0]	P61	SDA10	—	—
P62	EFP62[1:0]	P62	LDQM	—	—
P63	EFP63[1:0]	P63	UDQM	—	—

初期設定: EFPxx[1:0] = "00"

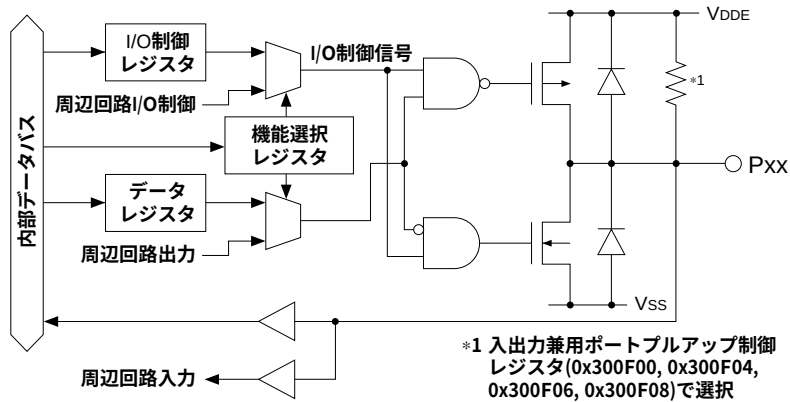
III-13 拡張ポート 2 (PA~PD, FP)

S1C33L05はC33 STDの入出力ポートに加え、23本の入出力兼用ポートを拡張ポートとして内蔵しています。この章では、汎用入出力兼用ポートとして使用する場合の機能と制御方法について説明します。

拡張ポート2の構成

S1C33L05では、プログラムにより入出力方向の切り換えが可能な入出力兼用ポートが拡張されています。拡張された入出力兼用ポートはPA0~PA2、PB0~PB7、PC0~PC3、PD0~PD7です。

図III.13.1に拡張ポートの構造を示します。



図III.13.1 拡張ポートの構造

各ポート端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されています。イニシャルリセット時、プルアップ抵抗が有効となり各端子はプルアップされます。プルアップせずに使用する方法については、「III-2 チップID/端子制御レジスタ」を参照してください。

拡張ポート端子(PA~PD)

表III.13.1に示すとおり、拡張ポートPA[2:0]はSDRAMCとBCUのバス制御信号出力、PB[7:0]とPC[3:0]はLCDCの出力、PD[2:0]はシーケンシャルROMインタフェースの出力を兼ねています。

表III.13.1 入出力端子

端子名	I/O	機 能	機能選択ビット
#LCAS(PA0/#SDCAS)	I/O	DRAMカラムアドレスストロブ(下位バイト)/入出力兼用ポート/SDRAMカラムアドレスストロブ	FPA0[1:0](PA0-PA2ポート機能拡張レジスタ0x300F60-D[1:0])
#HCAS(PA1/#SDRAS)	I/O	DRAMカラムアドレスストロブ(上位バイト)/入出力兼用ポート/SDRAMローアドレスストロブ	FPA1[1:0](PA0-PA2ポート機能拡張レジスタ0x300F60-D[3:2])
P30(#WAIT/#CE4&5/PA2)	I/O	入出力兼用ポート/ウェイトサイクル要求入力/エリア4&5チップイネーブル/入出力兼用ポート*	FPA2[1:0](PA0-PA2ポート機能拡張レジスタ0x300F60-D[5:4])
PB0(FPDAT0)	I/O	入出力兼用ポート/LCD表示データ出力	FPB0[1:0](PB0-PB3ポート機能拡張レジスタ0x300F62-D[1:0])
PB1(FPDAT1)	I/O	入出力兼用ポート/LCD表示データ出力	FPB1[1:0](PB0-PB3ポート機能拡張レジスタ0x300F62-D[3:2])
PB2(FPDAT2)	I/O	入出力兼用ポート/LCD表示データ出力	FPB2[1:0](PB0-PB3ポート機能拡張レジスタ0x300F62-D[5:4])
PB3(FPDAT3)	I/O	入出力兼用ポート/LCD表示データ出力	FPB3[1:0](PB0-PB3ポート機能拡張レジスタ0x300F62-D[7:6])
PB4(FPDAT4)	I/O	入出力兼用ポート/LCD表示データ出力	FPB4[1:0](PB4-PB7ポート機能拡張レジスタ0x300F63-D[1:0])
PB5(FPDAT5)	I/O	入出力兼用ポート/LCD表示データ出力	FPB5[1:0](PB4-PB7ポート機能拡張レジスタ0x300F63-D[3:2])
PB6(FPDAT6)	I/O	入出力兼用ポート/LCD表示データ出力	FPB6[1:0](PB4-PB7ポート機能拡張レジスタ0x300F63-D[5:4])
PB7(FPDAT7)	I/O	入出力兼用ポート/LCD表示データ出力	FPB7[1:0](PB4-PB7ポート機能拡張レジスタ0x300F63-D[7:6])
PC0(FPFRAME)	I/O	入出力兼用ポート/LCD垂直スキャン開始パルス出力	FPC0[1:0](PC0-PC3ポート機能拡張レジスタ0x300F64-D[1:0])
PC1(FPLINE)	I/O	入出力兼用ポート/LCD表示データラッチクロック出力	FPC1[1:0](PC0-PC3ポート機能拡張レジスタ0x300F64-D[3:2])
PC2(FPSHIFT)	I/O	入出力兼用ポート/LCD表示データシフトクロック出力	FPC2[1:0](PC0-PC3ポート機能拡張レジスタ0x300F64-D[5:4])
PC3(DRDY)	I/O	入出力兼用ポート/LCDバックプレーンバイアス信号出力	FPC3[1:0](PC0-PC3ポート機能拡張レジスタ0x300F64-D[7:6])
PD0(#SQRD)	I/O	入出力兼用ポート/シーケンシャルROMリード信号出力	FPD0[1:0](PD0-PD2ポート機能拡張レジスタ0x300F66-D[1:0])
PD1(SQLALE)	I/O	入出力兼用ポート/シーケンシャルROM下位バイトアドレスラッチイネーブル	FPD1[1:0](PD0-PD2ポート機能拡張レジスタ0x300F66-D[3:2])
PD2(SQUALE)	I/O	入出力兼用ポート/シーケンシャルROM上位バイトアドレスラッチイネーブル	FPD2[1:0](PD0-PD2ポート機能拡張レジスタ0x300F66-D[5:4])
PD3	I/O	入出力兼用ポート	-
PD4	I/O	入出力兼用ポート	-
PD5	I/O	入出力兼用ポート	-
PD6	I/O	入出力兼用ポート	-
PD7	I/O	入出力兼用ポート	-

* SDRAMコントローラまたはバスアービタを使用する場合、SWAITE(0x4812E・D0)をセット(イネーブル)する必要があるため、P30の入出力兼用ポート機能は使用できません。この場合はP30端子をPA2汎用入出力ポートとして使用可能です。SDRAMコントローラまたはバスアービタを使用しない場合は、SWAITE(0x4812E・D0)をクリア(ディセーブル)可能なため、P30の入出力兼用ポート機能を使用することができます。

コールドスタート時、PB0~PB7、PC0~PC3、PD0~PD2は汎用の入出力兼用ポート端子に、PA0~PA2はバス制御信号の出力端子に設定されます。PA[2:0]をSDRAMインタフェースまたは汎用入出力兼用ポートとして、PB、PC、PDポートをLCDCやシーケンシャルROMインタフェース用として使用する場合は、それぞれの端子の機能を機能拡張ビットFPxxによって再設定する必要があります。

LCDインタフェース信号の制御については"LCDコントローラ"の章を、シーケンシャルROMインタフェース信号については"シーケンシャルROMインタフェース"の章を参照してください。

ホットスタート時は、リセット前の状態を保持します。

PD3~PD7は汎用の入出力兼用ポートとしてのみ機能します。

I/O制御レジスタと入力/出力モード

汎用の入出力兼用ポートとして使用する場合、ポートはそれぞれのビットに対応したI/O制御レジスタにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

PA2~PA0用I/O制御: IOCA[2:0] (PA I/O制御レジスタ0x300F41・D[2:0])

PB7~PB0用I/O制御: IOCB[7:0] (PB I/O制御レジスタ0x300F43・D[7:0])

PC3~PC0用I/O制御: IOCC[3:0] (PC I/O制御レジスタ0x300F45・D[3:0])

PD7~PD0用I/O制御: IOCD[7:0] (PD I/O制御レジスタ0x300F47・D[7:0])

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定されたポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(V_{DDE})レベルのときに"1"、Low(V_{SS})レベルのときに"0"となります。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定されたポートは出力ポートとして機能し、ポート出力データが"1"の場合にHigh(V_{DDE})レベル、"0"の場合にLow(V_{SS})レベルを出力します。

コールドスタート時、I/O制御レジスタは"0"(入力モード)に設定されます。

ホットスタート時は、リセット前の状態を保持します。

PA~PD、FPレジスタをアクセスするためのBCUの設定

PA0~PA2、PB0~PB7、PC0~PC3、PD0~PD2ポートのデータレジスタとI/O制御レジスタ、およびポートの機能を拡張するFPレジスタはエリア6の0x300F40~0x300F66番地に割り付けられています。したがって、これらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IO(アクセス制御レジスタ0x48132・D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EC(アクセス制御レジスタ0x48132・D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6-4設定レジスタ0x4812A・D[A:8])
CPUが48MHzクロックのx2スピードモード、または32MHzクロックのx1スピードモードで動作している場合は、エリア6のウェイト数を0に設定可能です。

拡張ポート2のI/Oメモリ

表III.13.2に拡張ポートの制御ビットを示します。

表III.13.2 拡張ポートの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
PA入出力兼用 ポートデータ レジスタ	0300F40 (B)	D7-3	-	reserved	-		-	-	読み出し時: 0		
		D2	PA2D	PA2入出力兼用ポートデータ	1	High	0	Low		0	R/W
		D1	PA1D	PA1入出力兼用ポートデータ						0	R/W
		D0	PA0D	PA0入出力兼用ポートデータ						0	R/W
PA I/O制御 レジスタ	0300F41 (B)	D7-3	-	reserved	-		-	-	読み出し時: 0		
		D2	IOCA2	PA2 I/O制御	1	出力	0	入力		0	R/W
		D1	IOCA1	PA1 I/O制御						0	R/W
		D0	IOCA0	PA0 I/O制御						0	R/W
PB入出力兼用 ポートデータ レジスタ	0300F42 (B)	D7	PB7D	PB7入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	PB6D	PB6入出力兼用ポートデータ					0	R/W	
		D5	PB5D	PB5入出力兼用ポートデータ					0	R/W	
		D4	PB4D	PB4入出力兼用ポートデータ					0	R/W	
		D3	PB3D	PB3入出力兼用ポートデータ					0	R/W	
		D2	PB2D	PB2入出力兼用ポートデータ					0	R/W	
		D1	PB1D	PB1入出力兼用ポートデータ					0	R/W	
		D0	PB0D	PB0入出力兼用ポートデータ					0	R/W	
PB I/O制御 レジスタ	0300F43 (B)	D7	IOCB7	PB7 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値
		D6	IOCB6	PB6 I/O制御					0	R/W	
		D5	IOCB5	PB5 I/O制御					0	R/W	
		D4	IOCB4	PB4 I/O制御					0	R/W	
		D3	IOCB3	PB3 I/O制御					0	R/W	
		D2	IOCB2	PB2 I/O制御					0	R/W	
		D1	IOCB1	PB1 I/O制御					0	R/W	
		D0	IOCB0	PB0 I/O制御					0	R/W	
PC入出力兼用 ポートデータ レジスタ	0300F44 (B)	D7-4	-	reserved	-		-	-	読み出し時: 0		
		D3	PC3D	PC3入出力兼用ポートデータ	1	High	0	Low		0	R/W
		D2	PC2D	PC2入出力兼用ポートデータ						0	R/W
		D1	PC1D	PC1入出力兼用ポートデータ						0	R/W
		D0	PC0D	PC0入出力兼用ポートデータ						0	R/W
PC I/O制御 レジスタ	0300F45 (B)	D7-4	-	reserved	-		-	-	読み出し時: 0		
		D3	IOCC3	PC3 I/O制御	1	出力	0	入力		0	R/W
		D2	IOCC2	PC2 I/O制御						0	R/W
		D1	IOCC1	PC1 I/O制御						0	R/W
		D0	IOCC0	PC0 I/O制御						0	R/W
PD入出力兼用 ポートデータ レジスタ	0300F46 (B)	D7	PD7D	PD7入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	PD6D	PD6入出力兼用ポートデータ					0	R/W	
		D5	PD5D	PD5入出力兼用ポートデータ					0	R/W	
		D4	PD4D	PD4入出力兼用ポートデータ					0	R/W	
		D3	PD3D	PD3入出力兼用ポートデータ					0	R/W	
		D2	PD2D	PD2入出力兼用ポートデータ					0	R/W	
		D1	PD1D	PD1入出力兼用ポートデータ					0	R/W	
		D0	PD0D	PD0入出力兼用ポートデータ					0	R/W	
PD I/O制御 レジスタ	0300F47 (B)	D7	IODC7	PD7 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値
		D6	IODC6	PD6 I/O制御					0	R/W	
		D5	IODC5	PD5 I/O制御					0	R/W	
		D4	IODC4	PD4 I/O制御					0	R/W	
		D3	IODC3	PD3 I/O制御					0	R/W	
		D2	IODC2	PD2 I/O制御					0	R/W	
		D1	IODC1	PD1 I/O制御					0	R/W	
		D0	IODC0	PD0 I/O制御					0	R/W	
PA0-PA2 ポート機能拡張 レジスタ	0300F60 (B)	D7-6	-	reserved	-		-	-	読み出し時: 0		
		D5 D4	FPA21 FPA20	PA2ポート機能拡張	FPA2[1:0]		機能			0	R/W
					1	*	reserved			0	
					0	1	PA2 P30, etc.				
		D3 D2	FPA11 FPA10	PA1ポート機能拡張	FPA1[1:0]		機能			0	R/W
					1	1	reserved			0	
					1	0	#SDRAS				
					0	1	PA1 #HCAS				
					0	0					
		D1 D0	FPA01 FPA00	PA0ポート機能拡張	FPA0[1:0]		機能			0	R/W
1	1				reserved		0				
1	0				#SDCAS						
0	1				PA0 #LCAS						
0	0										

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈	
PB0-PB3 ポート機能拡張 レジスタ	0300F62 (B)	D7 D6	FPB31 FPB30	PB3ポート機能拡張	FPB3[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	FPDAT3		
					0	0	PB3		
		D5 D4	FPB21 FPB20	PB2ポート機能拡張	FPB2[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	FPDAT2		
					0	0	PB2		
		D3 D2	FPB11 FPB10	PB1ポート機能拡張	FPB1[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	FPDAT1		
					0	0	PB1		
D1 D0	FPB01 FPB00	PB0ポート機能拡張	FPB0[1:0]	機能	0	R/W			
			1	*	reserved	0			
			0	1	FPDAT0				
			0	0	PB0				
PB4-PB7 ポート機能拡張 レジスタ	0300F63 (B)	D7 D6	FPB71 FPB70	PB7ポート機能拡張	FPB7[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	FPDAT7		
					0	0	PB7		
		D5 D4	FPB61 FPB60	PB6ポート機能拡張	FPB6[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	FPDAT6		
					0	0	PB6		
		D3 D2	FPB51 FPB50	PB5ポート機能拡張	FPB5[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	FPDAT5		
					0	0	PB5		
D1 D0	FPB41 FPB40	PB4ポート機能拡張	FPB4[1:0]	機能	0	R/W			
			1	*	reserved	0			
			0	1	FPDAT4				
			0	0	PB4				
PC0-PC3 ポート機能拡張 レジスタ	0300F64 (B)	D7 D6	FPC31 FPC30	PC3ポート機能拡張	FPC3[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	DRDY		
					0	0	PC3		
		D5 D4	FPC21 FPC20	PC2ポート機能拡張	FPC2[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	FPSHIFT		
					0	0	PC2		
		D3 D2	FPC11 FPC10	PC1ポート機能拡張	FPC1[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	FPLINE		
					0	0	PC1		
D1 D0	FPC01 FPC00	PC0ポート機能拡張	FPC0[1:0]	機能	0	R/W			
			1	*	reserved	0			
			0	1	FPFRAME				
			0	0	PC0				
PD0-PD2 ポート機能拡張 レジスタ	0300F66 (B)	D7-6		reserved	-		-	-	読み出し時: 0
		D5 D4	FPD21 FPD20	PD2ポート機能拡張	FPD2[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	SQALE		
					0	0	PD2		
		D3 D2	FPD11 FPD10	PD1ポート機能拡張	FPD1[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	SQALE		
					0	0	PD1		
		D1 D0	FPD01 FPD00	PD0ポート機能拡張	FPD0[1:0]	機能	0	R/W	
					1	*	reserved	0	
					0	1	#SQRD		
0	0				PD0				

PA2D-PA0D: PA[2:0]入出力兼用ポートデータ (D[2:0]/0x300F40<PA入出力兼用ポートデータレジスタ>)
PB7D-PB0D: PB[7:0]入出力兼用ポートデータ (D[7:0]/0x300F42<PB入出力兼用ポートデータレジスタ>)
PC3D-PC0D: PC[3:0]入出力兼用ポートデータ (D[3:0]/0x300F44<PC入出力兼用ポートデータレジスタ>)
PD7D-PD0D: PD[7:0]入出力兼用ポートデータ (D[7:0]/0x300F46<PD入出力兼用ポートデータレジスタ>)

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

- データ書き込み時

"1"書き込み: Highレベル

"0"書き込み: Lowレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHigh(V_{DDE})レベルとなり、"0"を書き込んだ場合はLow(V_{SS})レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

- データ読み出し時

"1"読み出し: Highレベル

"0"読み出し: Lowレベル

入出力兼用ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh(V_{DDE})レベルの場合は"1"、Low(V_{SS})レベルの場合は"0"がそれぞれ入力データとして読み出されます。

コールドスタート時、データビットはすべて"0"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOCA2-IOCA0: PA[2:0]ポートI/O制御 (D[2:0]/0x300F41<PA I/O制御レジスタ>)

IOCB7-IOCB0: PB[7:0]ポートI/O制御 (D[7:0]/0x300F43<PB I/O制御レジスタ>)

IOCC3-IOCC0: PC[3:0]ポートI/O制御 (D[3:0]/0x300F45<PC I/O制御レジスタ>)

IOCD7-IOCD0: PD[7:0]ポートI/O制御 (D[7:0]/0x300F47<PD I/O制御レジスタ>)

入出力兼用ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

- データ書き込み時

"1"書き込み: 出力モード

"0"書き込み: 入力モード

IOCレジスタは各入出力兼用ポートにビット単位で対応するI/O制御レジスタです。IOCビットを"1"に設定すると対応する入出力兼用ポートが出力モードとなり、"0"に設定すると入力モードとなります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

- データ読み出し時

"1"読み出し: I/O制御信号(出力)

"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。FPレジスタによって入出力兼用ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。その他の機能を選択した場合、IOCレジスタへの書き込み値とは異なる場合があります。

FPA01–FPA00: PA0ポート機能拡張(D[1:0]/0x300F60<PA0–PA2ポート機能拡張レジスタ>)
 FPA11–FPA10: PA1ポート機能拡張(D[3:2]/0x300F60<PA0–PA2ポート機能拡張レジスタ>)
 FPA21–FPA20: PA2ポート機能拡張(D[5:4]/0x300F60<PA0–PA2ポート機能拡張レジスタ>)
 FPB01–FPB00: PB0ポート機能拡張(D[1:0]/0x300F62<PB0–PB3ポート機能拡張レジスタ>)
 FPB11–FPB10: PB1ポート機能拡張(D[3:2]/0x300F62<PB0–PB3ポート機能拡張レジスタ>)
 FPB21–FPB20: PB2ポート機能拡張(D[5:4]/0x300F62<PB0–PB3ポート機能拡張レジスタ>)
 FPB31–FPB30: PB3ポート機能拡張(D[7:6]/0x300F62<PB0–PB3ポート機能拡張レジスタ>)
 FPB41–FPB40: PB4ポート機能拡張(D[1:0]/0x300F63<PB4–PB7ポート機能拡張レジスタ>)
 FPB51–FPB50: PB5ポート機能拡張(D[3:2]/0x300F63<PB4–PB7ポート機能拡張レジスタ>)
 FPB61–FPB60: PB6ポート機能拡張(D[5:4]/0x300F63<PB4–PB7ポート機能拡張レジスタ>)
 FPB71–FPB70: PB7ポート機能拡張(D[7:6]/0x300F63<PB4–PB7ポート機能拡張レジスタ>)
 FPC01–FPC00: PC0ポート機能拡張(D[1:0]/0x300F64<PC0–PC3ポート機能拡張レジスタ>)
 FPC11–FPC10: PC1ポート機能拡張(D[3:2]/0x300F64<PC0–PC3ポート機能拡張レジスタ>)
 FPC21–FPC20: PC2ポート機能拡張(D[5:4]/0x300F64<PC0–PC3ポート機能拡張レジスタ>)
 FPC31–FPC30: PC3ポート機能拡張(D[7:6]/0x300F64<PC0–PC3ポート機能拡張レジスタ>)
 FPD01–FPD00: PD0ポート機能拡張(D[1:0]/0x300F66<PD0–PD2ポート機能拡張レジスタ>)
 FPD11–FPD10: PD1ポート機能拡張(D[3:2]/0x300F66<PD0–PD2ポート機能拡張レジスタ>)
 FPD21–FPD20: PD2ポート機能拡張(D[5:4]/0x300F66<PD0–PD2ポート機能拡張レジスタ>)

各ポートの拡張機能を選択します。選択内容は表III.13.3のとおりです。

コールドスタート時、FPは"00"に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

表III.13.3 ポート機能一覧

ポート	機能拡張ビット	FPxx[1:0] = "00"	FPxx[1:0] = "01"	FPxx[1:0] = "10"	FPxx[1:0] = "11"
PA0	FPA0[1:0]	#LCAS	PA0	#SDCAS	–
PA1	FPA1[1:0]	#HCAS	PA1	#SDRAS	–
PA2	FPA2[1:0]	P30 #WAIT #CE4&5	PA2	–	–
PB0	FPB0[1:0]	PB0	FPDAT0	–	–
PB1	FPB1[1:0]	PB1	FPDAT1	–	–
PB2	FPB2[1:0]	PB2	FPDAT2	–	–
PB3	FPB3[1:0]	PB3	FPDAT3	–	–
PB4	FPB4[1:0]	PB4	FPDAT4	–	–
PB5	FPB5[1:0]	PB5	FPDAT5	–	–
PB6	FPB6[1:0]	PB6	FPDAT6	–	–
PB7	FPB7[1:0]	PB7	FPDAT7	–	–
PC0	FPC0[1:0]	PC0	FPFRAME	–	–
PC1	FPC1[1:0]	PC1	FPLINE	–	–
PC2	FPC2[1:0]	PC2	FPSHIFT	–	–
PC3	FPC3[1:0]	PC3	DRDY	–	–
PD0	FPD0[1:0]	PD0	#SQRD	–	–
PD1	FPD1[1:0]	PD1	SQLALE	–	–
PD2	FPD2[1:0]	PD2	SQUALE	–	–

初期設定: FPxx[1:0] = "00"

このページはブランクです。

III-14 NANDフラッシュインタフェース

NANDフラッシュインタフェースの構成

S1C33L05はNANDフラッシュインタフェースを拡張周辺回路として内蔵しています。

この回路は8ビットNANDフラッシュチップ、16ビットNANDフラッシュチップおよびスマートメディアカードの全機能をサポートしています。

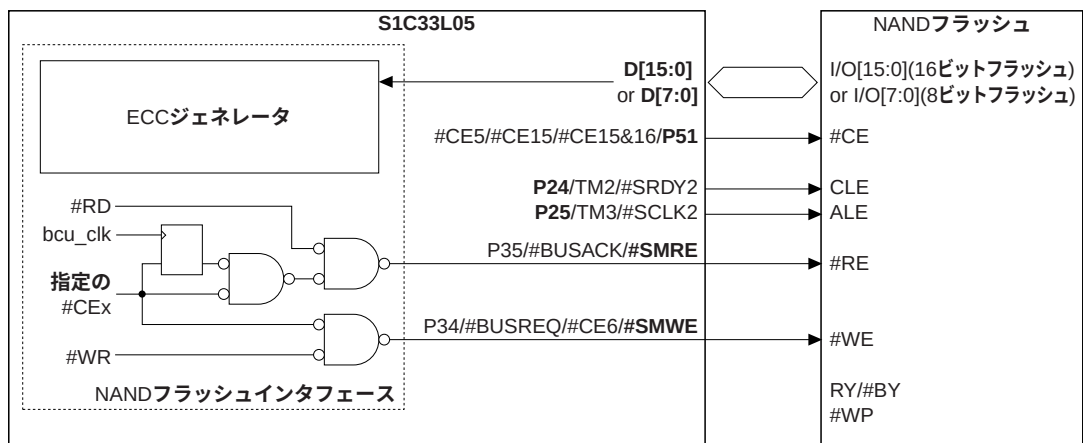
- 注: ・ スマートメディアカードには通常、LED、EJECT、LOCKなどのカード用の追加端子が設けられています。これらのスマートメディアカード固有の端子を使用する必要がある場合は、S1C33L05の入出力兼用ポート端子に接続し、ソフトウェアにより対応してください。
- ・ スマートメディアカードはNANDフラッシュチップと機能やタイミングシーケンスが同一です。そこで、本マニュアルではNANDフラッシュチップとスマートメディアカードの両方を、"NANDフラッシュ"の統一名称で説明します。

この回路は、NANDフラッシュをバスに接続するために必要な以下の制御信号を生成します。

#SMWE: NANDフラッシュライト信号

#SMRE: NANDフラッシュリード信号

図III.14.1にNANDフラッシュインタフェースの構成と標準的な接続方法を示します。



(太字はNANDフラッシュI/Fを使用する場合に選択する端子機能を示します。)

図III.14.1 NANDフラッシュインタフェースの構成

本インタフェースには、8ビットまたは16ビットフラッシュデバイス用のECC(Error Correction Code: 誤り訂正符号)ジェネレータが組み込まれています。また、NANDフラッシュからシステムをブートする機能もサポートしています。現在、NANDフラッシュブートが可能な最大メモリサイズは512M×8ビットまたは256M×16ビットです。

NANDフラッシュインタフェースの出力端子

表III.14.1にNANDフラッシュインタフェースに使用する端子を示します。

表III.14.1 NANDフラッシュインタフェースの出力端子

端子名	I/O	機 能	機能選択ビット
P34(#BUSREQ/#CE6/#SMWE)	I/O	入出力兼用ポート/バス解放要求/エリア6チップイネーブル/ NANDフラッシュライト信号	EFPP34[1:0](P34-P35ポート 機能拡張レジスタ0x300047・D[1:0])
P35(#BUSACK/#SMRE)	I/O	入出力兼用ポート/バス解放要求応答/ NANDフラッシュリード信号	EFPP35[1:0](P34-P35ポート 機能拡張レジスタ0x300047・D[3:2])
#CE5(#CE15/#CE15&16/P51)*	I/O	エリア5チップイネーブル/エリア15チップイネーブル/ エリア15&16チップイネーブル/入出力兼用ポート	EFPP51[1:0](P50-P53ポート 機能拡張レジスタ0x30004A・D[3:2])
#CE7(#RAS0/#CE13/#RAS2/P53/ #SDCE)	I/O	エリア7チップイネーブル/エリア7 DRAMローストローブ/ エリア13チップイネーブル/エリア13 DRAMローストローブ/ 入出力兼用ポート/SDRAMチップイネーブル	EFPP53[1:0](P50-P53ポート 機能拡張レジスタ0x30004A・D[7:6])
#CE8(#RAS1/#CE14/#RAS3/P54)	I/O	エリア8チップイネーブル/エリア8 DRAMローストローブ/ エリア14チップイネーブル/エリア14 DRAMローストローブ/ 入出力兼用ポート	EFPP54[1:0](P54-P55ポート 機能拡張レジスタ0x30004B・D[1:0])
#CE9(#CE17/#CE17&18/P55)	I/O	エリア9チップイネーブル/エリア17チップイネーブル/ エリア17&18チップイネーブル/入出力兼用ポート	EFPP55[1:0](P54-P55ポート 機能拡張レジスタ0x30004B・D[3:2])
P24(TM2/#SRDY2)*	I/O	入出力兼用ポート/16ビットタイマ2出力/ シリアル/F Ch.2レディ入出力	CFPP24(P2機能選択レジスタ 0x402D8・D4)
P25(TM3/#SCLK2)*	I/O	入出力兼用ポート/16ビットタイマ3出力/ シリアル/F Ch.2クロック入出力	CFPP25(P2機能選択レジスタ 0x402D8・D5)

* NANDフラッシュブート機能を使用する場合は、これらの端子も使用します。

#SMWE端子はP34、#SMRE端子はP35入出力兼用ポートと共用されており、コールドスタート時はどちらも入出力兼用ポート端子に設定されます。NANDフラッシュインタフェースを使用する場合は、P34-P35機能拡張レジスタ(0x300047)のEFPP34[1:0](D[1:0])とEFPP35[1:0](D[3:2])を"01"に設定する必要があります。これらの端子は#BUSREQ、#BUSACK信号の入出力も兼用しているため、NANDフラッシュの制御信号出力に使用する場合、バスリクエスト機能は使用できなくなります。

NANDフラッシュのCLEおよびALE信号は、他の機能に使用していない任意のI/Oポートをソフトウェア制御することで出力可能です。ただし、ブート機能を使用する場合は、必ずCLE信号出力にP24ポートを、ALE信号出力にP25ポートを使用してください。

また、ブート機能を使用する場合は、#CE5(P51)端子を#CE信号出力に使用する必要があります。ホットスタート時、このレジスタはリセット前の状態を保持します。

#CEエリアの選択

NANDフラッシュのアクセスにどの#CE信号を割り当てるか、NANDフラッシュI/F #CEエリア選択レジスタ(0x300100)のSMCES[1:0](D[1:0])で選択することができます。表III.14.2に示すとおり4種類から選択できますが、BCUの#CE端子機能選択ビットCEFUNC[1:0](0x48130・D[A:9])の設定により割り当てられるエリアは変わります。

表III.14.2 #CEエリアの選択

SMCES1	SMCES0	#CEエリア		
		CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
1	1	#CE9	#CE17	#CE17+#CE18
1	0	#CE8	#CE14	#CE14
0	1	#CE7	#CE13	#CE13
0	0	#CE5	#CE15	#CE15+#CE16

(デフォルト: SMCES = CEFUNC = "00")

#SMWE信号は、選択された#CE信号と#WR信号をORして生成されます。同様に、#SMRE信号は、選択された#CE信号と#RD信号をORして生成されます。この場合、CPUクロックに同期させるため、#CE信号は#RD信号とのORの前にBCUクロックとORされます。

注: • NANDフラッシュからのブート機能を使用する場合は、エリア5(#CE5)を使用する必要があります。

- NANDフラッシュの#CE信号は、選択した#CE5/7/8/9端子をP51/53/54/55汎用入出力ポート端子(出力)に設定してソフトウェアにより制御します。端子機能を汎用出力に切り換える際には、NANDフラッシュが選択されることのないように、必ず切り換えの前にポートデータレジスタを"1"に設定してください。

ECCジェネレータ

NANDフラッシュインタフェースの信頼性を向上させるため、本モジュールにはECC(Error Correction Code: 誤り訂正符号)ジェネレータが組み込まれています。ECCジェネレータは、フラッシュデータエリアの256バイト単位(8ビットデバイスの場合)または128ワード単位(16ビットデバイスの場合)に、6ビットのカラムパリティコード(CP)と16ビットのラインパリティコード(LP)で構成される22ビットのECCパリティデータを生成します。NANDフラッシュの各ページは2つのデータエリア(エリア0とエリア1)で構成されているため、ページごとに2つの22ビットECCパリティデータが生成されます。

NANDフラッシュからのデータ読み出し時は、NANDフラッシュから読み出したECCデータとECCジェネレータが生成したデータをソフトウェアで比較することができます。これにより、2ビットエラーの検出と1ビットエラーの訂正が行えます。

NANDフラッシュへのデータ書き込み時は、ECCジェネレータが生成したECCデータをソフトウェアによりNANDフラッシュの冗長エリアに書き込むことができます。

■ECCアルゴリズム

フラッシュデータはビットストリームとして扱われ、ECCパリティデータは以下のように生成されます。
"^^"はXOR(排他的論理和)演算を表します。

8ビットNANDフラッシュデバイス用ECC:

```
CP[0] = Din[0] ^ Din[2] ^ Din[4] ^ Din[6] ^ org[0]
CP[1] = Din[1] ^ Din[3] ^ Din[5] ^ Din[7] ^ org[1]
CP[2] = Din[0] ^ Din[1] ^ Din[4] ^ Din[5] ^ org[2]
CP[3] = Din[2] ^ Din[3] ^ Din[6] ^ Din[7] ^ org[3]
CP[4] = Din[0] ^ Din[1] ^ Din[2] ^ Din[3] ^ org[4]
CP[5] = Din[4] ^ Din[5] ^ Din[6] ^ Din[7] ^ org[5]

Dall = Din[0] ^ Din[1] ^ Din[2] ^ Din[3] ^ Din[4] ^ Din[5] ^ Din[6] ^ Din[7]
Count [8:0] = Count [8:0] +1

LP[0] = ( ~Count[0] & Dall ) ^ org[0]
LP[2] = ( ~Count[1] & Dall ) ^ org[2]
LP[4] = ( ~Count[2] & Dall ) ^ org[4]
LP[6] = ( ~Count[3] & Dall ) ^ org[6]
LP[8] = ( ~Count[4] & Dall ) ^ org[8]
LP[10] = ( ~Count[5] & Dall ) ^ org[10]
LP[12] = ( ~Count[6] & Dall ) ^ org[12]
LP[14] = ( ~Count[7] & Dall ) ^ org[14]
LP[1] = ( Count[0] & Dall ) ^ org[1]
LP[3] = ( Count[1] & Dall ) ^ org[3]
LP[5] = ( Count[2] & Dall ) ^ org[5]
LP[7] = ( Count[3] & Dall ) ^ org[7]
LP[9] = ( Count[4] & Dall ) ^ org[9]
LP[11] = ( Count[5] & Dall ) ^ org[11]
LP[13] = ( Count[6] & Dall ) ^ org[13]
LP[15] = ( Count[7] & Dall ) ^ org[15]
```

16ビットNANDフラッシュデバイス用ECC:

```
CP[0] = Din[0] ^ Din[2] ^ Din[4] ^ Din[6] ^ Din[8] ^ Din[10] ^ Din[12] ^ Din[14] ^ org[0]
CP[1] = Din[1] ^ Din[3] ^ Din[5] ^ Din[7] ^ Din[9] ^ Din[11] ^ Din[13] ^ Din[15] ^ org[1]
CP[2] = Din[0] ^ Din[1] ^ Din[4] ^ Din[5] ^ Din[8] ^ Din[9] ^ Din[12] ^ Din[13] ^ org[2]
CP[3] = Din[2] ^ Din[3] ^ Din[6] ^ Din[7] ^ Din[10] ^ Din[11] ^ Din[14] ^ Din[15] ^ org[3]
CP[4] = Din[0] ^ Din[1] ^ Din[2] ^ Din[3] ^ Din[8] ^ Din[9] ^ Din[10] ^ Din[11] ^ org[4]
CP[5] = Din[4] ^ Din[5] ^ Din[6] ^ Din[7] ^ Din[12] ^ Din[13] ^ Din[14] ^ Din[15] ^ org[5]

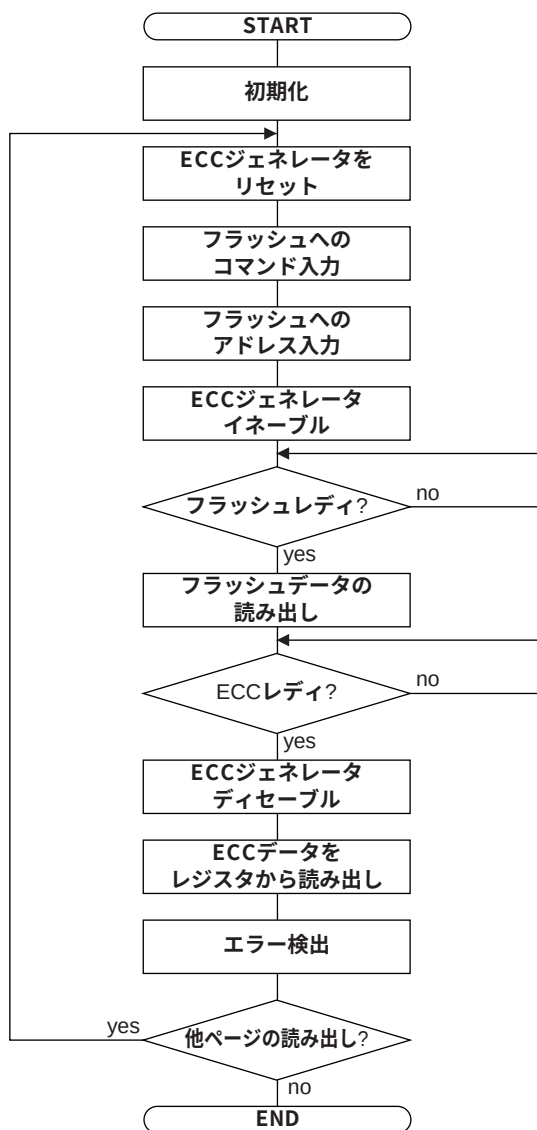
Dall_low = Din[0] ^ Din[1] ^ Din[2] ^ Din[3] ^ Din[4] ^ Din[5] ^ Din[6] ^ Din[7]
Dall_high = Din[8] ^ Din[9] ^ Din[10] ^ Din[11] ^ Din[12] ^ Din[13] ^ Din[14] ^ Din[15]
Dall = Dall_low ^ Dall_high

Count [8:0] = Count [8:0] +2

LP[0] = ( Dall_low ) ^ org[0]
LP[2] = ( ~Count[1] & Dall ) ^ org[2]
LP[4] = ( ~Count[2] & Dall ) ^ org[4]
LP[6] = ( ~Count[3] & Dall ) ^ org[6]
LP[8] = ( ~Count[4] & Dall ) ^ org[8]
LP[10] = ( ~Count[5] & Dall ) ^ org[10]
LP[12] = ( ~Count[6] & Dall ) ^ org[12]
LP[14] = ( ~Count[7] & Dall ) ^ org[14]
LP[1] = ( Dall_high ) ^ org[1]
LP[3] = ( Count[1] & Dall ) ^ org[3]
LP[5] = ( Count[2] & Dall ) ^ org[5]
LP[7] = ( Count[3] & Dall ) ^ org[7]
LP[9] = ( Count[4] & Dall ) ^ org[9]
LP[11] = ( Count[5] & Dall ) ^ org[11]
LP[13] = ( Count[6] & Dall ) ^ org[13]
LP[15] = ( Count[7] & Dall ) ^ org[15]
```


■データリードフローチャート

図III.14.2にNANDフラッシュデータを読み出すフローチャートを示します。

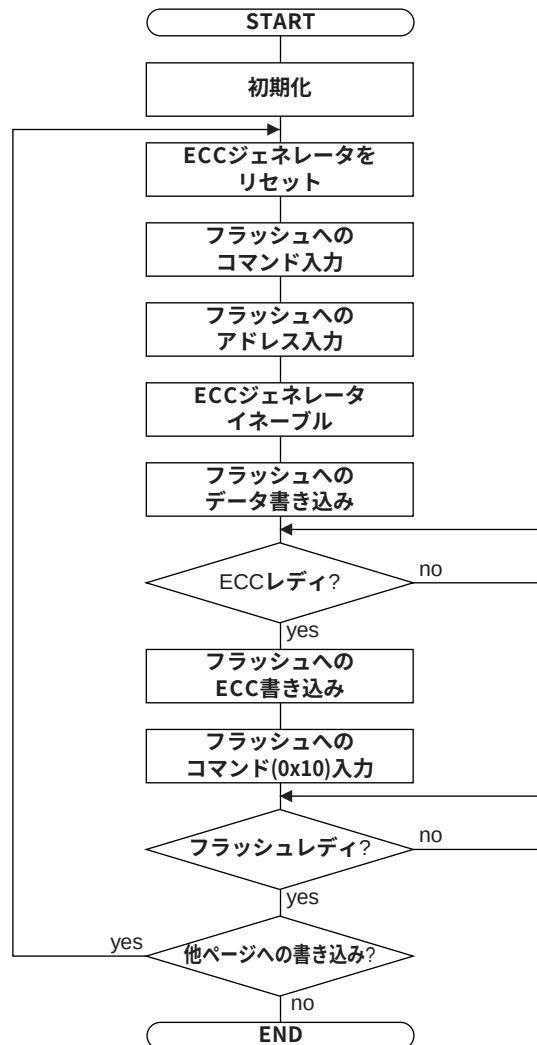


図III.14.2 データリードフローチャート

- 注:
- ECC生成機能を使用するには、ECCリセットビット(0x300101・D0)をセットしておく必要があります。
 - ECCイネーブルビット(0x300102・D0)はフラッシュデータをリード/ライトするときのみセットしてください。コマンドやアドレスの入力時、あるいはステータス読み出し時はディセーブルにしておきます。

■データライトフローチャート

図III.14.3にNANDフラッシュにデータを書き込むフローチャートを示します。



図III.14.3 データライトフローチャート

- 注:
- ECC生成機能を使用するには、ECCリセットビット(0x300101・D0)をセットしておく必要があります。
 - ECCイネーブルビット(0x300102・D0)はフラッシュデータをリード/ライトするときのみセットしてください。コマンドやアドレスの入力時、あるいはステータス読み出し時はディセーブルにしておきます。

NANDフラッシュからのブート

本NANDフラッシュインタフェースは8ビットおよび16ビットNANDフラッシュからのシステムブートに対応しています。S1C33L05はNANDフラッシュブート回路を内蔵しています。システムがNANDフラッシュブートモード(BOOT端子=LOW)に設定されている場合、この回路はイニシャルリセット時にNANDフラッシュの先頭ページまたは次のページから256バイトのデータ(チェックサムを除き、最大120命令が含まれます)を内蔵SRAMにロードします。CPUはブート後に内蔵SRAMの先頭にジャンプし、ロードされた命令を実行します。NANDフラッシュに書き込まれた256バイトのデータは、次のブート用に変更することもできます。

■NANDフラッシュブートの条件

このブート機能を使用するためには、以下の条件が満たされている必要があります。

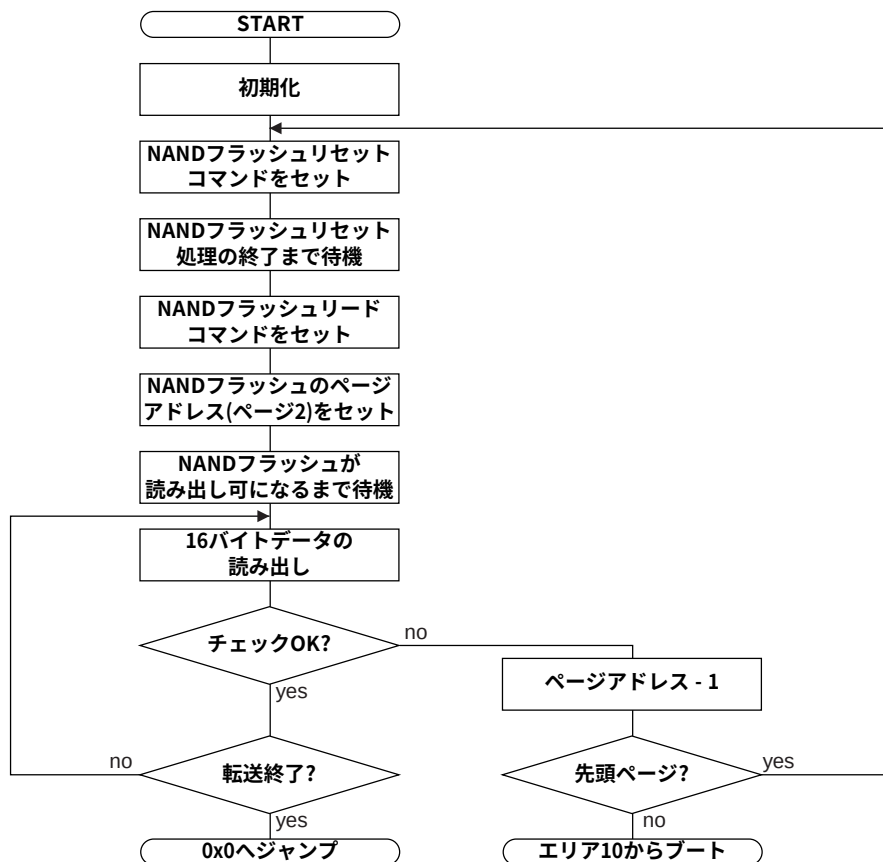
1. NANDフラッシュI/F #CEエリア選択レジスタ(0x300100)のSMCODE(D7)が"1"(デフォルト)に設定されていること
2. BOOT端子が"0"(Vss)に設定されていること
3. エリア5(#CE5、デフォルト)がNANDフラッシュのエリアとして設定されていること
4. P24端子にNANDフラッシュのCLE信号、P25端子にALE信号が接続されていること

■ブートコード

0xc00000から始まるブートプログラムは以下の処理を行うように作成します。

1. BCUとI/Oレジスタの初期化
2. NANDフラッシュをリセット
3. NANDフラッシュから256バイトのデータを読み出し、内蔵RAM(0x0~0xff)に転送
4. データの読み出し/転送に成功した場合は0x0からプログラムを実行
5. データの読み出しに失敗した場合は、エリア10からのブートに変更

以下に、NANDフラッシュブートルーチンのフローチャートとアセンブラコードの例を示します。



図III.14.4 NANDフラッシュブートルーチンのフローチャート

ブートコード例

```

.org 0xc00000
.half 0x0004          ; reset vector address
.half 0x00c0
.org 0xc00004

;-----
; BCU & IO configuration registers initialize
;-----
xld.w    %r8, 0x402d9    ;// r8 -- Port 2 address
xld.w    %r9, 0x48133    ;// r9 -- Internal / External Access;
xld.w    %r10, 0x300022  ;// r10 -- P51 data address
xld.w    %r11, 0x200000  ;// r11 -- area 5 start address

ld.w     %r0, 0x02
ld.b     [%r9], %r0      ;// [0x48133] = 0x02 (Internal Access)

; //select P24, P25 as output
xld.w    %r0, 0x30
ext      0x01
ld.b     [%r8], %r0      ;// [0x0402da] = 0x30

; //select P51 data is high
ld.w     %r1, 0x02
ld.b     [%r10], %r1     ;// [0x300022] = 0x02
; //select P51 as output
ext      0x01
ld.b     [%r10], %r1     ;// [0x300023] = 0x02

; //select P34, P35 function as NAND flash I/F function
ld.w     %r0, 0x05
ext      0x25
ld.b     [%r10], %r0     ;// [0x300047] = 0x05

; //select P51 function as GPIO
ld.w     %r1, 0x04
ext      0x28
ld.b     [%r10], %r1     ;// [0x30004a] = 0x04

; //select NAND flash as area 5
xld.w    %r0, 0x80
ext      0xde
ld.b     [%r10], %r0     ;// [0x300100] = 0x80

;-----
; NAND flash reading
;-----
ld.w     %r0, 0x0        ;// IRAM 0x0 address
ld.w     %r1, 0x02       ;// %r1 used to make CE5 high
xld.w    %r2, 0x30
ld.w     %r4, 0x10
xld.w    %r5, 0x20
xld.w    %r9, 0xff

;-----
; sent reset command to NAND flash
;-----
ld.w     %r7, 0x01       ;// when r7=1, CLE command=30h, no use, read 2 pages
                        ;// when r7=0, 30h command use, read 2pages

read_2_page:
ld.w     %r6, 0x01

start_reset:
ld.w     %r0, 0x0
ld.b     [%r8], %r4      ;// set CLE high
ld.b     [%r10], %r0     ;// set CE5 low

ld.h     [%r11], %r9     ;// sent reset command to NAND flash
ld.b     [%r8], %r0      ;// set CLE low

xld.w    %r12, 0x2500
delay_500us:
sub      %r12, 0x01
jrne     delay_500us
ld.b     [%r10], %r1     ;// set CE5 high

;-----
; start to read 256 bytes from NAND flash
;-----
ld.b     [%r8], %r4      ;// set CLE high
ld.b     [%r10], %r0     ;// set CE5 low
ld.h     [%r11], %r0     ;// sent read command to NAND flash
ld.b     [%r8], %r0      ;// set CLE low

```

III

NANDE

III-14 周辺回路ブロック: NANDフラッシュインタフェース

```

        ld.b      [%r8], %r5          ;// set ALE high
        ld.h      [%r11], %r0         ;// sent read address 0
        nop
        ld.h      [%r11], %r6         ;// sent read address 1 (page address)
        nop
        ld.h      [%r11], %r0         ;// sent read address 2
        nop
        ld.h      [%r11], %r0         ;// sent read address 3
        nop
        ld.b      [%r8], %r0          ;// set ALE low

        cmp       %r7, 0x01
        jreq      skip_30h

        ld.b      [%r8], %r4          ;// set CLE high
        ld.h      [%r11], %r2         ;// send read command 30h to NAND flash
        ld.b      [%r8], %r0          ;// set CLE low

skip_30h:
;// wait at least 25 us
        xld.w     %r12, 0x250
delay_25us:
        sub       %r12, 0x01
        jrne      delay_25us

        ld.w      %r15, 0xf           ;// total 15 group
read_one_page:
        ld.w      %r14, 0x0
        ld.w      %r12, 0x10          ;// one group contains 16 + 1 bytes
data_transfer:
        ld.ub     %r13, [%r11]        ;// read data from NAND flash
        add       %r14, %r13          ;// calculate checksum
        ld.b      [%r0]+, %r13
        sub       %r12, 0x01
        jrne      data_transfer
        not       %r14, %r14          ;// SUM Invert
        ld.ub     %r14, %r14          ;// mask MSB
        ld.ub     %r13, [%r11]        ;// read checksum in NAND flash
        cmp       %r13, %r14
        jrne      check_error
        sub       %r15, 0x01
        jrne      read_one_page
        ld.b      [%r10], %r1         ;// set CE5 high
        ld.w      %r0, 0x0            ;// jump to 0x0
        jp.d      %r0                ;// check ok, jump to 0x0
        nop
check_error:
        ld.b      [%r10], %r1         ;// set CE5 high
        sub       %r6, 0x01           ;// set page address as "0"
        jreq      start_reset
        nop
        sub       %r7, 0x01           ;// Error: use 30h command to read
        jreq      read_2_page

        xld.w     %r3, 0xc000E6        ;// flash_booting address
        ld.w      %r0, 0x0
        ld.w      %r1, 0x8
load_code:
        ld.ub     %r2, [%r3]+
        ld.h      [%r0]+, %r2
        sub       %r1, 0x01           ;// %r1=8
        jrne      load_code

        ld.w      %r0, 0x0            ;// jump to 0x0
        jp.d      %r0
        nop

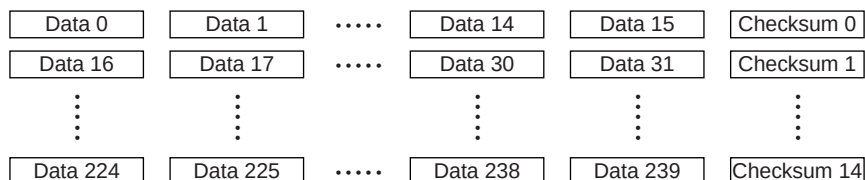
;-----
;flash_booting:
.org 0xc000E6                        ;// 0xc0de start from 7'h73 x2 =230(d)=E6(h)

        .half 0xc0de
        .half 0x34a0
        .half 0xc018
        .half 0xc000
        .half 0x6c00
        .half 0x3001
        .half 0x0781
        .half 0x0000

```

■NANDフラッシュのデータ構造

ECC生成機能が使用できないNANDフラッシュブートの信頼性を向上させるため、NANDフラッシュの読み出しデータはチェックサムによって検査します。図III.14.5にNANDフラッシュのデータ構造を示します。



図III.14.5 NANDフラッシュのデータ構造

データは16バイトごとにチェックサムが付加されます。NANDフラッシュから内蔵RAMへは255バイトのデータが転送されますが、データとして有効になるのはこのチェックサムを除く240バイト(120命令)のみです。チェックサムは以下の式で算出されます。

'+'は算術加算を表します。'~'はビット反転を表します。

```
checksum0 = ~(Data0 + Data1 + ... + Data14 + Data15)
checksum1 = ~(Data16 + Data17 + ... + Data30 + Data31)
          :
checksum14 = ~(Data224 + Data225 + ... + Data238 + Data239)
```

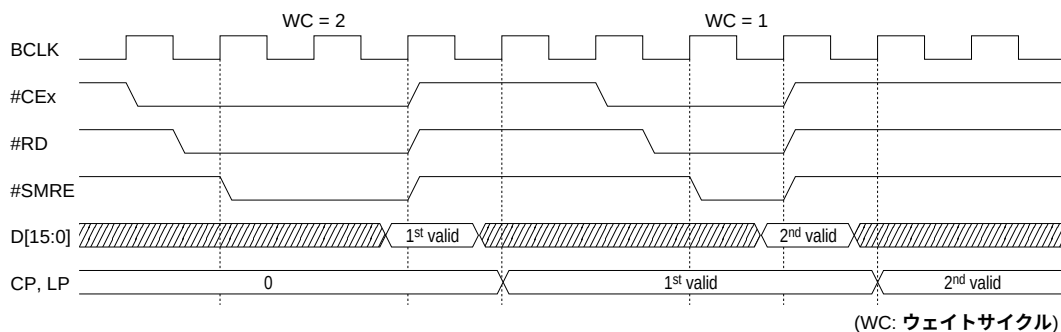
注: 16ビットフラッシュデバイスの場合、フラッシュのI/O[15:8]のデータは無視されます。

NANDフラッシュインタフェースタイミング

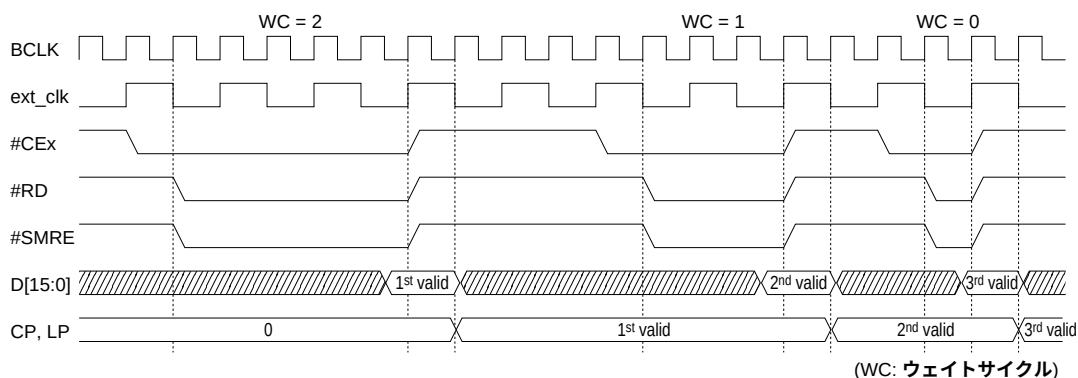
■データリードタイミングチャート

図III.14.6にNANDフラッシュデータリード時のタイミングチャートを示します。

x1スピードモード



x2スピードモード



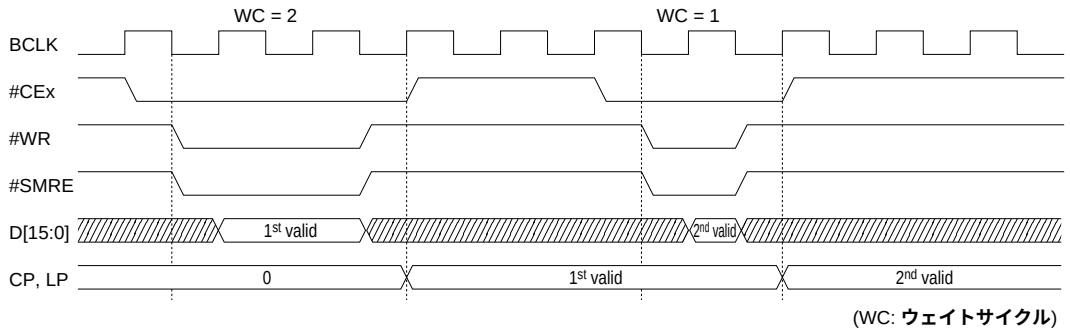
図III.14.6 データリードタイミングチャート

注: x1スピードモードの場合は、1サイクル以上のウェイトを挿入してください。

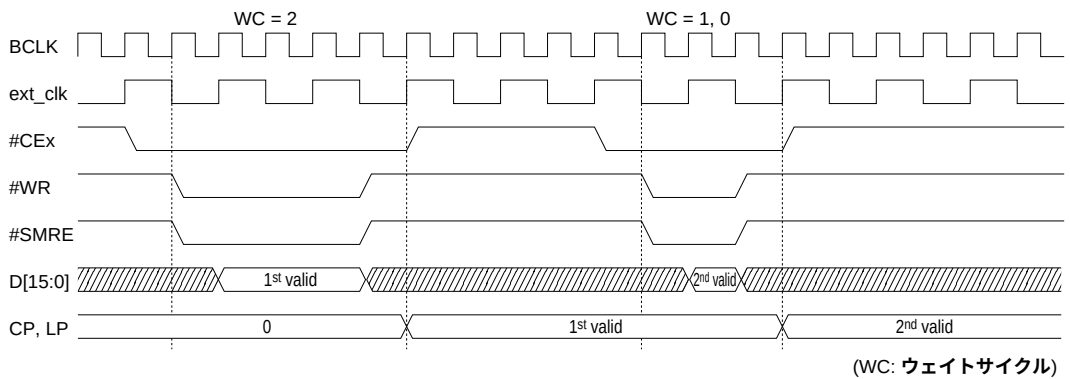
■データライトタイミングチャート

図III.14.7にNANDフラッシュデータライト時のタイミングチャートを示します。

x1スピードモード



x2スピードモード



図III.14.7 データライトタイミングチャート

NANDフラッシュI/FレジスタをアクセスするためのBCUの設定

NANDフラッシュI/Fを使用するための制御レジスタはエリア6に割り付けられています。したがって、これらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IO(アクセス制御レジスタ0x48132・D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EC(アクセス制御レジスタ0x48132・D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6—4設定レジスタ0x4812A・D[A:8])
CPUが48MHzクロックのx2スピードモード、または32MHzクロックのx1スピードモードで動作している場合は、エリア6のウェイト数を0に設定可能です。

NANDフラッシュインタフェースのI/Oメモリ

表III.14.3にNANDフラッシュインタフェースの制御ビットを示します。

表III.14.3 NANDフラッシュインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
P34-P35 ポート機能拡張 レジスタ	0300047 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	EFP351	P35ポート機能拡張	EFP35[1:0]	機能	0	R/W
		D2	EFP350		1 * 0 1 0 0	reserved #SMRE P35, etc.	0	
		D1 D0	EFP341 EFP340		EFP34[1:0]	機能	0	
NAND フラッシュI/F #CEエリア選択 レジスタ	0300100 (B)	D7	SMCODE	ブートコードイネーブル	1 許可 0 禁止	—	1	R/W 読み出し時: 0
		D6-2	—	reserved	—	—	—	
		D1	SMCES1	NANDフラッシュI/F #CEエリア選択 (CEFUNCにより異なる)	SMCES[1:0]	#CEエリア	0	
		D0	SMCES0		1 1 1 0 0 1 0 0	#CE9/#CE17(+18) #CE8/#CE14 #CE7/#CE13 #CE5/#CE15(+16)	0	
ECC リセット/レディ レジスタ	0300101 (B)	D7-1	—	reserved	—	—	—	読み出し時: 0
		D0	ECCRST	ECC回路リセット	1 リセット 0 無効	—	—	
			ECCRDY	パリティデータレディステータス	1 レディ 0 ビジー	—	W	
ECCイネーブル レジスタ	0300102 (B)	D7-1	—	reserved	—	—	—	読み出し時: 0
		D0	ECCEN	ECC回路イネーブル	1 イネーブル 0 ディセーブル	—	R/W	
モードレジスタ	0300103 (B)	D7-1	—	reserved	—	—	—	読み出し時: 0
		D0	MODE	フラッシュデバイスモード	1 16ビット 0 8ビット	—	R/W	
エリア0 ECC カラムパリティ データレジスタ	0300104 (B)	D7	CP05	エリア0カラムパリティデータ	0x0~0x3F		1	R
		D6	CP04				1	
		D5	CP03				1	
		D4	CP02				1	
		D3	CP01				1	
		D2	CP00				1	
		D1	—	未使用ビット	—	—	1	R 読み出し時: 1
		D0	—	未使用ビット	—	—	1	
エリア0 ECC ラインパリティ レジスタ0 (下位バイト)	0300105 (B)	D7	LP07	エリア0 ECCラインパリティ下位 バイト	0x0~0xFF		1	R
		D6	LP06				1	
		D5	LP05				1	
		D4	LP04				1	
		D3	LP03				1	
		D2	LP02				1	
		D1	LP01				1	
		D0	LP00				1	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア0 ECC ラインパリティ レジスタ1 (上位バイト)	0300106 (B)	D7	LP015	エリア0 ECCラインパリティ上位 バイト	0x0～0xFF	1	R	
		D6	LP014			1		
		D5	LP013			1		
		D4	LP012			1		
		D3	LP011			1		
		D2	LP010			1		
		D1	LP09			1		
		D0	LP08			1		
エリア1 ECC カラムパリティ データレジスタ	0300107 (B)	D7	CP15	エリア1カラムパリティデータ	0x0～0x3F	1	R	
		D6	CP14			1		
		D5	CP13			1		
		D4	CP12			1		
		D3	CP11			1		
		D2	CP10			1		
		D1	–	未使用ビット	–	1	R	読み出し時: 1
		D0	–	未使用ビット	–	1	R	
エリア1 ECC ラインパリティ レジスタ0 (下位バイト)	0300108 (B)	D7	LP17	エリア1 ECCラインパリティ下位 バイト	0x0～0xFF	1	R	
		D6	LP16			1		
		D5	LP15			1		
		D4	LP14			1		
		D3	LP13			1		
		D2	LP12			1		
		D1	LP11			1		
		D0	LP10			1		
エリア1 ECC ラインパリティ レジスタ1 (上位バイト)	0300109 (B)	D7	LP115	エリア1 ECCラインパリティ上位 バイト	0x0～0xFF	1	R	
		D6	LP114			1		
		D5	LP113			1		
		D4	LP112			1		
		D3	LP111			1		
		D2	LP110			1		
		D1	LP19			1		
		D0	LP18			1		

EFP341–EFP340: P34ポート機能拡張 (D[1:0]/0x300047<P34–P35ポート機能拡張レジスタ>)

EFP351–EFP350: P35ポート機能拡張 (D[3:2]/0x300047<P34–P35ポート機能拡張レジスタ>)

P34、P35端子の機能を切り換えます。

表III.14.4 P34、P35ポートの機能拡張

EFP3x1	EFP3x0	P34	P35
1	*	reserved	reserved
0	1	#SMWE	#SMRE
0	0	P34/#BUSREQ/#CE6	P35/#BUSACK

NANDフラッシュインタフェースを使用する場合は、EFP34[1:0]とEFP35[1:0]を"01"に設定します。これにより、P34とP35端子がそれぞれ#SMWEと#SMRE端子として機能します。

イニシャルリセット時、EFPは"00"に設定されます。

SMCES1–SMCES0: #CEエリア選択 (D[1:0]/0x300100<NANDフラッシュI/F #CEエリア選択レジスタ>)

NANDフラッシュに割り当てる#CEエリアを選択します。

表III.14.5 #CEエリアの選択

SMCES1	SMCES0	#CEエリア		
		CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
1	1	#CE9	#CE17	#CE17+#CE18
1	0	#CE8	#CE14	#CE14
0	1	#CE7	#CE13	#CE13
0	0	#CE5	#CE15	#CE15+#CE16

(デフォルト: SMCES = CEFUNC = "00")

#SMWE信号はここで選択した#CE信号と#WR信号をOR、#SMRE信号は同じく#CE信号と#RD信号をORして生成されます。

イニシャルリセット時、SMCESは"00" (#CE5)に設定されます。

SMCODE: ブートコードイネーブル(D7/0x300100<NANDフラッシュI/F #CEエリア選択レジスタ>)

NANDフラッシュブートコードの読み出しを許可/禁止します。

"1"書き込み: 許可
 "0"書き込み: 禁止
 読み出し: 可能

SMCODEを"1"に設定すると、NANDフラッシュブート機能が有効になります。BOOT端子が"0"、かつ本ビットが"1"に設定されている場合、イニシャルリセット後に0xc00000～0xc0007f番地のNANDフラッシュブートコードが実行されます。BOOT端子が"1"の場合、本ビットが"1"に設定されていてもNANDフラッシュブートコードは実行されません。

イニシャルリセット時、SMCODEは"1"(許可)に設定されます。

ECCRST: ECC回路リセット(D0/0x300101<ECCリセット/レディレジスタ>)**ECCRDY: パリティデータレディステータス(D0/0x300101<ECCリセット/レディレジスタ>)**

ECCジェネレータをリセットするとともに、パリティデータの読み出しが可能かどうかを示します。

- データ書き込み時(ECCRST):

"1"書き込み: リセット
 "0"書き込み: 無効

本ビット(ECCRST)に"1"を書き込むことで、ECCジェネレータがリセットされます。この操作は、ページごとの読み出しあるいは書き込みの前に(ECCENを"1"に設定する前に)行う必要があります。

- データ読み出し時(ECCRDY):

"1"読み出し: 読み出し可
 "0"読み出し: 読み出し不可

このビット(ECCRDY)の読み出し値が"1"の場合、ECCジェネレータはカラムおよびラインパリティデータの生成を完了しており、その読み出しが可能です。"0"の場合、カラムおよびラインパリティデータは生成されていません。ECCデータレジスタを読み出す場合は、その前に、このビットが"1"になっていることを確認してください。

イニシャルリセット時、このビットは"0"(読み出し不可)に設定されます。

ECCEN: ECC回路イネーブル(D0/0x300102<ECCイネーブルレジスタ>)

ECCジェネレータをイネーブルにします。

"1"書き込み: イネーブル
 "0"書き込み: ディセーブル
 読み出し: 可能

ページごとの読み出し/書き込みを始める前にECCENを"1"に設定し、そのページに対する512バイトの読み出し/書き込みが終了後に"0"にリセットします。(本ECCジェネレータは512バイトモードのみをサポートしています。)コマンドサイクル、アドレスサイクルおよびステータス出力サイクルでは、本ビットを"0"にしておく必要があります。

イニシャルリセット時、ECCENは"0"(ディセーブル)に設定されます。

MODE: フラッシュデバイスモード(D0/0x300103<モードレジスタ>)

フラッシュデバイスサイズを選択します。

"1"書き込み: 16ビットフラッシュデバイス
 "0"書き込み: 8ビットフラッシュデバイス
 読み出し: 可能

16ビットNANDフラッシュを使用する場合はMODEを"1"に、8ビットNANDフラッシュを使用する場合は"0"に設定します。

イニシャルリセット時、MODEは"0"(8ビットフラッシュデバイス)に設定されます。

CP05–CP00: エリア0カラムパリティデータ(D[7:2]/0x300104<エリア0 ECCカラムパリティデータレジスタ>)
CP15–CP10: エリア1カラムパリティデータ(D[7:2]/0x300107<エリア1 ECCカラムパリティデータレジスタ>)

ECCジェネレータがエリアごとの256バイトフラッシュデータから生成したカラムパリティデータが、このレジスタから読み出せます。ただし、レジスタのデータはECCRDY(0x300101・D0)が"1"の場合にのみ有効です。イニシャルリセット時、CPは"1"に設定されます。

LP015–LP08: エリア0 ECCラインパリティ上位バイト(D[7:0]/0x300106<エリア0 ECCラインパリティレジスタ1>)
LP07–LP00: エリア0 ECCラインパリティ下位バイト(D[7:0]/0x300105<エリア0 ECCラインパリティレジスタ0>)
LP115–LP18: エリア1 ECCラインパリティ上位バイト(D[7:0]/0x300109<エリア1 ECCラインパリティレジスタ1>)
LP17–LP10: エリア1 ECCラインパリティ下位バイト(D[7:0]/0x300108<エリア1 ECCラインパリティレジスタ0>)

ECCジェネレータがエリアごとの256バイトフラッシュデータから生成したラインパリティデータが、これらのレジスタから読み出せます。ただし、レジスタのデータはECCRDY(0x300101・D0)が"1"の場合にのみ有効です。

イニシャルリセット時、LPは"1"に設定されます。

プログラミング上の注意事項

■フラッシュ接続端子の設定

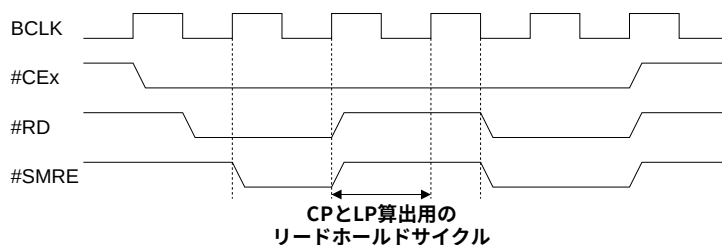
- チップセレクト(#CE7/#CE13、#CE8/#CE14、#CE5/#CE15または#CE9/#CE17)、CLEおよびALE信号の出力ポートは汎用の入出力兼用ポートに設定して使用する必要があります。チップセレクト出力を汎用入出力に切り換える場合は、必ずその前に対応する入出力兼用ポートのデータレジスタが"1"に設定されていることを確認してください("0"の場合は"1"に変更してください)。データレジスタが"0"の状態ではポート機能を切り換えると、NANDフラッシュへのチップセレクト出力がLow(アクティブ)となってしまいます。

■システムの設定

- 出力ディセーブル遅延サイクル数とウェイトサイクル数はNANDフラッシュの仕様に合わせて決定してください。
- x1スピードモードの場合は、1サイクル以上のウェイトを挿入してください。x2スピードモードではこの必要はありません。
- フラッシュエリアはリトルエンディアンにのみ対応しています。
- A0とBSL方式は、どちらにも対応しています。
- NANDフラッシュインタフェースは16ビットフラッシュデバイスに対するバイトアクセスには対応していません。16ビットフラッシュデバイスの読み出し/書き込みを行う場合は、バイト転送命令(アセンブリプログラムの"ld.b"やCプログラムの"char"定義)は使用しないでください。

■ECC機能

- ECCジェネレータは、512バイト×8ビットと256ワード×16ビットの2つのデータ構成に対応しています。256バイト×8ビットはほとんど使用されないため、対応していません。
- ECC機能を使用する場合、フラッシュのI/O信号はD[15:0]端子に接続する必要があります。
- ECC生成機能を使用するには、ECCリセットビット(0x300101・D0)をセットしておく必要があります。
- ECCイネーブルビット(0x300102・D0)はフラッシュデータをリード/ライトするときのみセットしてください。コマンドやアドレスの入力時、あるいはステータス読み出し時はディセーブルにしておきます。
- x1スピードモードでフラッシュデータを連続的に読み出しながらECCパリティコードを算出する場合(たとえば、16ビットフラッシュデバイスから"ld.w"命令でワード読み出し、または8ビットフラッシュデバイスから"ld.h"命令でハーフワード読み出しを行う場合)、リードサイクルには必ず1リードホールドサイクルを挿入する必要があります。



図III.14.8 リードホールドサイクルの挿入

NANDフラッシュの動作速度

NANDフラッシュインタフェースは、x1スピードモードの場合は最大26MHzのクロック、x2スピードモードの場合は最大48MHzのクロックで動作可能です。x1スピードモードでの32MHzクロック動作は、NANDフラッシュへのデータ書き込みに対してはデータホールド時間が短いため推奨できません。

NANDフラッシュにデータを書き込む際のデータホールド時間を延ばすには、BCUCLKクロックの立ち上がりエッジをC33からのデータ出力のトリガとして使用するとともに、BCUからフラッシュエリアに対して出力されるチップセレクト信号を使用してください。ただし、NANDフラッシュへの書き込みに必要なデータセットアップ時間の条件を満たすためには、もう1サイクル余分にウェイトを挿入する必要があります。

下表はクロックとバススピードモードによる性能比較です。

表III.14.6 性能比較表

動作	項 目	最大26MHz x1スピードモードの許容範囲			32MHz x1スピードモードへの対応
		24MHz x1スピード	32MHz x2スピード	48MHz x2スピード	32MHz x1スピード
読み出し	サイクル数(min.)	2	4	4	2
	1データ読み出し時間(min.)	83ns	125ns	83ns	94ns
書き込み	サイクル数(min.)	2	4	4	3
	1データ読み出し時間(min.)	83ns	125ns	83ns	94ns

24MHzでx1スピードモード、または48MHzでx2スピードモードの性能が32MHzでx1スピードモードに勝っています。したがって、x1スピードモードの場合、本モジュールでは、S1C33L05の他のモジュールでは対応可能な32MHzではなく、26MHzクロック動作のみをサポートします。

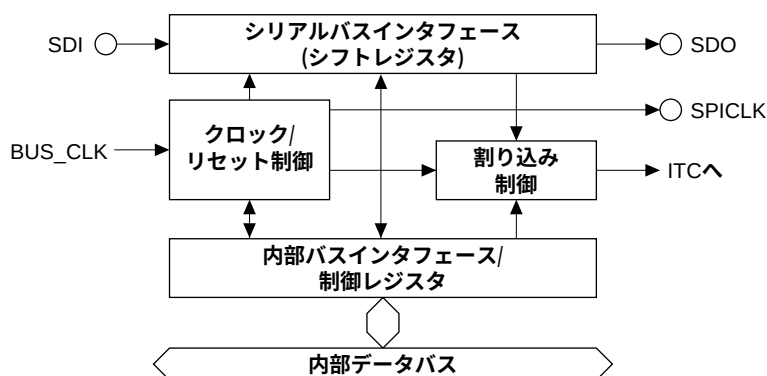
III-15 マルチメディアカード(SPIモード)インタフェース

SPIの構成

S1C33L05はMMC(マルチメディアカード)をSPIモードで接続可能なSPI(シリアル周辺回路インタフェース)を拡張周辺回路として内蔵しています。本SPI回路の特長を以下に示します。

- マスタモードで動作(データ入力、データ出力、クロック出力の3端子を使用)
- 1～16ビットのデータ転送に対応
- データ転送タイミング(クロックの位相と極性の組み合わせ)を4種類から選択可能
- データ転送の間に1～65536クロックの遅延時間を挿入可能
- 送信データレジスタエンプティ、受信データレジスタフル割り込みを発生

図III.15.1にSPIの構成を示します。



図III.15.1 SPIの構成

SPIの入出力端子

表III.15.1にSPIに使用する端子を示します。

表III.15.1 SPIの入出力端子

端子名	I/O	機 能	機能選択ビット
P31(#BUSGET/#GARD/SDO)	I/O	入出力兼用ポート/バスステータスモニタ信号出力/ エリアリード信号出力/SPIデータ出力	EFP31[1:0](P31-P33ポート 機能拡張レジスタ0x300046・D[3:2])
P32(#DMAACK0/#SRDY3/SPICLK)	I/O	入出力兼用ポート/#DMAACK0出力/シリアル/F Ch.3 レディ信号入出力/SPIクロック出力	EFP32[1:0](P31-P33ポート 機能拡張レジスタ0x300046・D[5:4])
P33(#DMAACK1/SIN3/SDI)	I/O	入出力兼用ポート/#DMAACK1出力/シリアル/F Ch.3 データ入力/SPIデータ入力	EFP33[1:0](P31-P33ポート 機能拡張レジスタ0x300046・D[7:6])

SDO、SDI、およびSPICLK端子はそれぞれP31、P33、およびP32入出力兼用ポートと共用されており、ワールドスタート時はすべて入出力兼用ポート端子に設定されます。SPI用端子として使用する場合は、P31-P33ポート機能拡張レジスタ(0x300046)のEFP31[1:0](D[3:2])、EFP32[1:0](D[5:4])およびEFP33[1:0](D[7:6])を"01"に設定する必要があります。

これらの端子は他の信号の入出力も兼用しているため、SPIの入出力に使用する場合、他の機能は使用できなくなります。

ホットスタート時、このレジスタはリセット前の状態を保持します。

SPI制御レジスタをアクセスするためのBCUの設定

端子の設定を行うP31-P33機能拡張レジスタ、およびSPIの制御レジスタはエリア6に割り付けられています。したがって、これらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IO(アクセス制御レジスタ0x48132•D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EC(アクセス制御レジスタ0x48132•D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6-4設定レジスタ0x4812A•D[A:8])
CPUが48MHzクロックのx2スピードモード、または32MHzクロックのx1スピードモードで動作している場合は、エリア6のウェイト数を0に設定可能です。

P31-P33ポート機能拡張レジスタはエリア6の8ビットデバイス領域(0x300046)、SPI制御レジスタは16ビットデバイス領域(0x3A0000~0x3A000C)に割り付けられています。

- 注: • SPI制御レジスタ(0x3A0000~0x3A000C)のリード/ライトには必ず16ビットアクセス命令を使用し、8ビットアクセス命令は使用しないでください。
- SPIで受信のみ、あるいは送信のみを行う場合でも、P31~P33ポートをすべてSPI用(SDI、SDO、SPICLK)に設定してください。

転送条件の設定

■転送データビット長

転送データのビット長は1から16ビットの範囲で指定できます。この指定にはSPI制御レジスタ1(0x3A0004)のBPT[3:0](D[D:A])を使用します。BPT[3:0]の設定値+1が転送データのビット長になります。

■クロックとデータ転送タイミング

本SPIはマスタモードで動作します。転送用クロックSPICLKは内部クロックから生成され、データ転送時にシフトレジスタを動作させるとともに、スレーブデバイスに対してもSPICLK端子から出力されます。SPICLKのソースクロックはBUS_CLK(バスクロック)で、その分周比をSPI制御レジスタ1(0x3A0004)のMCBR[2:0](D[6:4])で表III.15.2のとおり指定することで、ビットレートを設定します。

表III.15.2 ビットレートの設定

MCBR2	MCBR1	MCBR0	分周比
1	1	1	fBUS_CLK/512
1	1	0	fBUS_CLK/256
1	0	1	fBUS_CLK/128
1	0	0	fBUS_CLK/64
0	1	1	fBUS_CLK/32
0	1	0	fBUS_CLK/16
0	0	1	fBUS_CLK/8
0	0	0	fBUS_CLK/4

(fBUS_CLK: バスクロック周波数)

SPICLKクロックの極性と位相はそれぞれ以下の制御ビットで選択できます。

SPICLK極性選択: CPOL(SPI制御レジスタ1、0x3A0004・D8)

SPICLK位相選択: CPHA(SPI制御レジスタ1、0x3A0004・D9)

この2ビットの選択により転送タイミングが以下のとおり設定されます。

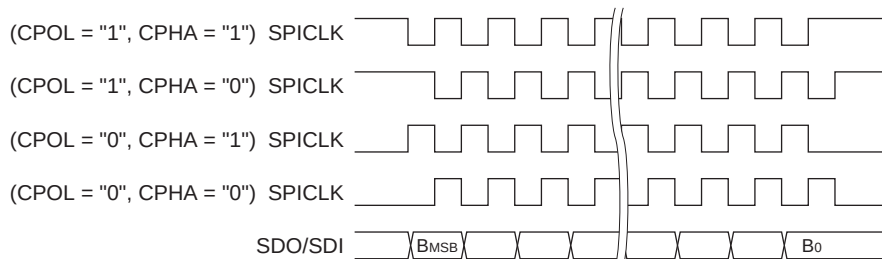
送信時のデータ出力タイミング

	CPOL = "0"(アクティブHigh)	CPOL = "1"(アクティブLow)
CPHA = "0"	SPICLK立ち下がりエッジ	SPICLK立ち上がりエッジ
CPHA = "1"	SPICLK立ち上がりエッジ	SPICLK立ち下がりエッジ

受信時のデータ入力タイミング(シフトレジスタへの取り込み)

	CPOL = "0"(アクティブHigh)	CPOL = "1"(アクティブLow)
CPHA = "0"	SPICLK立ち上がりエッジ	SPICLK立ち下がりエッジ
CPHA = "1"	SPICLK立ち下がりエッジ	SPICLK立ち上がりエッジ

図III.15.2にクロックとデータの転送タイミングを示します。



図III.15.2 クロックとデータの転送タイミング

■データ転送間のウェイト制御

各データ転送の間(指定データビット数の転送ごと)に、SPICLKの1～65536サイクルの範囲で遅延時間を設けることができます。この指定にはSPIウェイトレジスタ(0x3A0008)を使用します。レジスタへの設定値(0～65535)+1がウェイトサイクル数になります。

注: 上記の転送条件は、SPI制御レジスタ1(0x3A0004)のENA(D0)が"0"(SPI回路OFF)の状態を設定してください。

データ転送の制御

■データ送信

データ送信手順を以下に示します。

1. 前項に示したとおり、転送条件を設定します。
2. ITCレジスタおよびSPI割り込み制御レジスタで割り込みの設定を行います(後述)。割り込みを許可する前に、ITCの割り込み要因フラグをクリアしておきます。
3. SPI制御レジスタ1(0x3A0004)のENA(D0)に"1"を書き込み、SPI回路をONします。
SPI回路はソースクロックの分周を開始します。
4. 送信するデータをSPI送信データレジスタSPITD[F:0](0x3A0002)に書き込みます。
SPI回路は書き込まれたデータを送信用シフトレジスタに送り、SPICLKからクロック出力を開始します。シフトレジスタ内のデータはCPHA(0x3A0004・D9)とCPOL(0x3A0004・D8)で決まるSPICLKの立ち上がりまたは立ち下がりエッジで順次シフトされSDO端子から出力されます。データはMSBを先頭に送信されます。

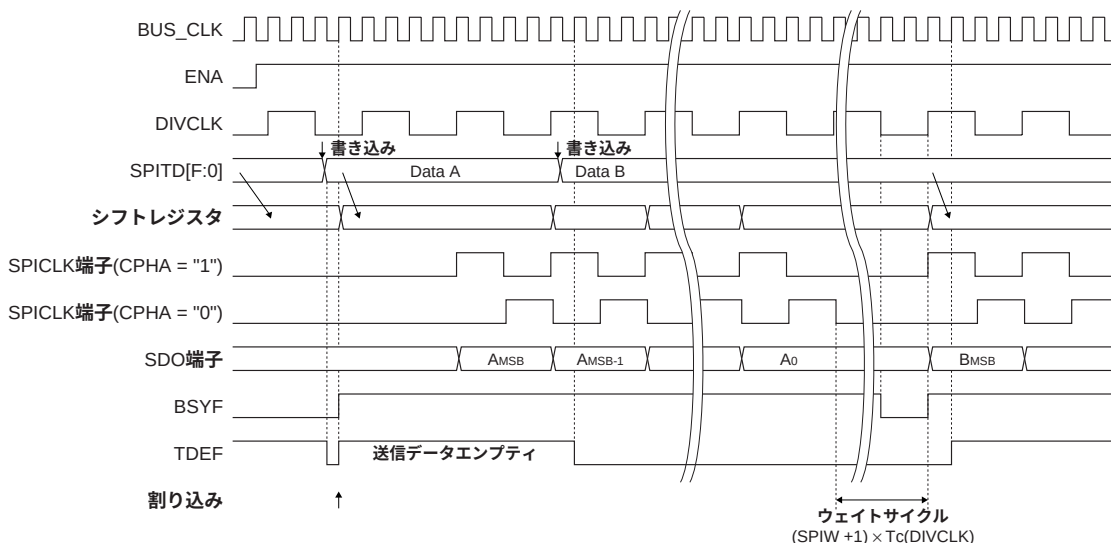
SPI回路には送信データレジスタの状態を示す送信データエンプティフラグTDEF(0x3A000A・D4)が用意されており、送信データレジスタにデータを書き込むと"0"(データあり)にリセットされ、書き込まれたデータがシフトレジスタに送られると"1"(エンプティ)にセットされます。"1"にセットされると同時に割り込みを発生させることもできます。この割り込みを利用して、あるいはTDEFフラグのポーリングによってフラグが"1"にセットされたことを確認することにより、データ送信中でも次の送信データを送信データレジスタに書き込むことができます。(ITCへのSPI割り込みは1系統のため、フラグを読み出して割り込み要因を確認する必要があります。)

SDO端子からのデータ出力とSPICLKからのクロック出力はBPT[3:0](0x3A0004・D[D:A])で指定したビット数のデータ送信が終了するまで続きます。

1つのデータ転送を終了した時点で送信データレジスタに次のデータが書き込まれている場合は、上記と同じ送信動作を引き続き行います。ただし、SPIウェイトレジスタ(0x3A0008)で指定されているSPICLKサイクル数分、次の送信開始を遅らせます。この遅延時間が経過するまで、送信データレジスタに書き込まれたデータはシフトレジスタには送られません。

送信回路の状態は、転送ビジーフラグBSYF(0x3A000A・D6)に現れます。送信中およびSPIウェイトレジスタによるウェイト中、BSYFは"1"になり、送信動作が終了すると"0"に戻ります。送信が終了したかどうかについては、このフラグを読み出すことによって確認できます。

5. すべてのデータ送信が終了したら、ENAに"0"を書き込み、SPI回路をOFFします。



図III.15.3 データ送信タイミングチャート

■データ受信

データ受信手順を以下に示します。

1. 前項に示したとおり、転送条件を設定します。
2. ITCレジスタおよびSPI割り込み制御レジスタで割り込みの設定を行います(後述)。割り込みを許可する前に、ITCの割り込み要因フラグをクリアしておきます。
3. SPI制御レジスタ1(0x3A0004)のENA(D0)に"1"を書き込み、SPI回路をONします。
SPI回路はソースクロックの分周を開始します。
4. ダミーデータをSPI送信データレジスタSPITD[F:0](0x3A0002)に書き込みます。SPI送信データレジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。
SPI回路はSPICLKからのクロック出力を開始します。

データはMSBを先頭に、CPHA(0x3A0004・D9)とCPOL(0x3A0004・D8)で決まるSPICLKの立ち上がりまたは立ち下がりエッジで順次受信用シフトレジスタに取り込まれます。

指定ビット数のビットデータがシフトレジスタに取り込まれると、SPI受信データレジスタSPIRD[F:0](0x3A0000)に送られます。この時点で受信データフルフラグRDFF(0x3A000A・D2)が"1"(データフル)にセットされ、受信データがSPI受信データレジスタから読み出せることを示します。このフラグのセットと同時にデータ受信割り込みを発生させることもできます。

5. 割り込みを利用して、あるいはRDFFフラグのポーリングによってフラグが"1"にセットされたことを確認し、SPI受信データレジスタからデータを読み出します。(ITCへのSPI割り込みは1系統のため、フラグを読み出して割り込み要因を確認する必要があります。)
SPI受信データレジスタからデータを読み出すと、RDFFフラグは"0"にクリアされます。

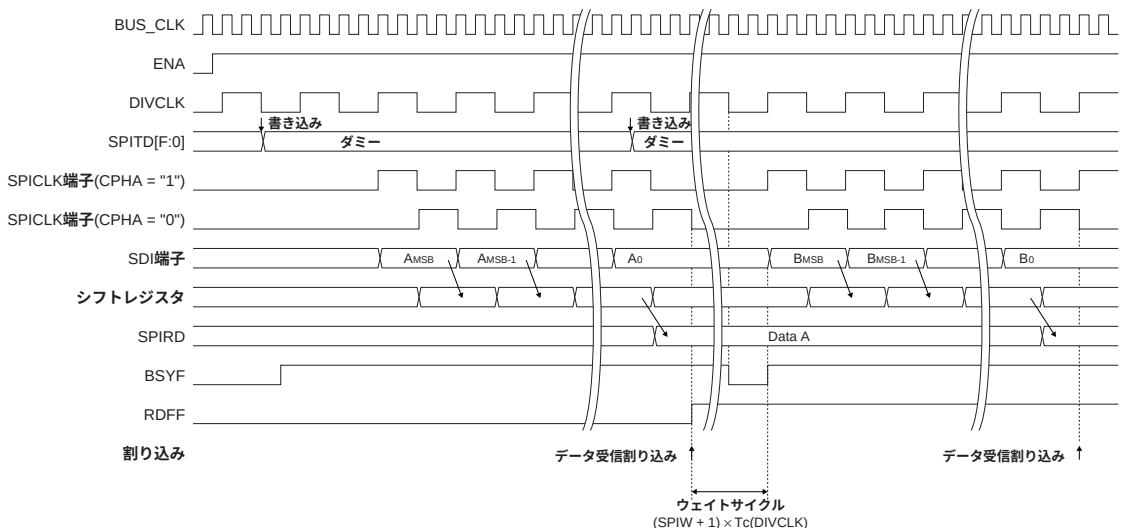
連続的にデータを受信する場合は、データの受信ごとにダミーデータをSPI送信データレジスタに書き込みます。

SPI回路はSPI送信データレジスタに書き込みが行われていると、受信動作を継続します。ただし、SPIウェイトレジスタ(0x3A0008)で指定されているSPICLKサイクル数分、次の受信開始を遅らせます。この遅延時間が経過するまで、SPICLKからのクロック出力を停止します。

6. 全データの受信が終了するまで、4と5を繰り返します。

なお、受信中は、送信と同様に転送ビジーフラグBSYF(0x3A000A・D6)が"1"にセットされます。

7. すべてのデータ受信が終了したら、ENAに"0"を書き込み、SPI回路をOFFします。



図III.15.4 データ受信タイミングチャート

■データ送受信のトリガと注意

本SPI回路は、SPI送信データレジスタへのデータ書き込みによりデータの送信と受信の両方を開始します。

送信時にも受信動作を行いますので、前回の受信データを読み出さずに送信を開始すると、その受信データは上書きされます。また、受信関係の割り込みを許可しておく、データ送信割り込み以外に不要なデータ受信割り込みが発生しますので、データ送信前に受信の割り込みを禁止しておきます。送信後に受信を行う場合は、送信時の受信動作によってRDFFフラグがセットされていますので、受信開始前に受信データレジスタを読み出してこのフラグをクリアしておく必要があります。

受信時もデータ送信割り込みが発生しますので、その割り込みは禁止しておきます。

SPI割り込みとDMA

SPI回路には、以下の2種類の割り込みを発生させる機能があります。

- データ送信割り込み
- データ受信割り込み

■ データ送信割り込み

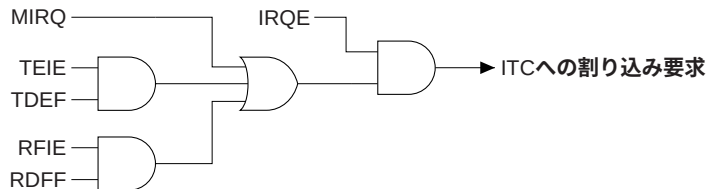
送信データレジスタに設定した送信データがシフトレジスタに転送されると、送信データエンプティフラグTDEF(0x3A000A・D4)が"1"にセットされると共に、データ送信割り込み要因が発生します。この割り込み信号をITCに送るには、SPI割り込み制御レジスタ(0x3A000C)のデータ送信割り込みイネーブルTEIE(D4)と割り込み要求イネーブルIRQE(D0)を共に"1"に設定します。これにより、データ送信割り込み要因が発生すると、ITCの割り込み要因フラグFSPIIが"1"にセットされます。ITCレジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、次の送信データを送信データレジスタに書き込むことができます。また、この割り込み要因でIDMAを起動し、DMA転送によって送信データの書き込みを行うこともできます。

■ データ受信割り込み

シフトレジスタに受信したデータが受信データレジスタに転送されると、受信データフルフラグRDFF(0x3A000A・D2)が"1"にセットされると共に、データ受信割り込み要因が発生します。この割り込み信号をITCに送るには、SPI割り込み制御レジスタ(0x3A000C)のデータ受信割り込みイネーブルRFIE(D2)と割り込み要求イネーブルIRQE(D0)を共に"1"に設定します。これにより、データ受信割り込み要因が発生すると、ITCの割り込み要因フラグFSPIIが"1"にセットされます。ITCレジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、受信データの読み出しが可能となります。また、この割り込み要因でIDMAを起動し、受信データをDMA転送によって指定のメモリに書き込むこともできます。

■ ITCへの割り込み要求信号

上記2種類の割り込み要因は、同一の信号線を使用してITCに割り込み要求を出力します。このSPI割り込み要求回路は図III.15.5のようになっています。前述の各割り込み要因に対応した割り込みイネーブルビットと、割り込み要求イネーブルビットにより、割り込み要求の出力を制御しています。



図III.15.5 SPI割り込み要求回路

2種類の割り込み要因のほかに、マニュアルで割り込み要求信号を制御するMIRQ(0x3A000C・D1)が設けられており、このビットを"1"に設定すると割り込み要求がアクティブになり、"0"に設定すると割り込み要求はクリアされます。これにより、ソフトウェアによってSPI割り込みを発生させることができます。ただし、この割り込み要求も、割り込み要求イネーブルビットIRQEが"1"の場合のみ有効です。また、MIRQを"0"にしても、ITCの割り込み要因フラグFSPIIはクリアされません。

■割り込みコントローラの制御レジスタ

SPI割り込みを制御する割り込みコントローラの制御レジスタを、表III.15.3に示します。

表III.15.3 割り込みコントローラの制御レジスタ

割り込み要因	割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
受信データフル	FSPII (0x402A9・D7)	ESPII (0x402A6・D7)	PSPII[2:0] (0x402A3・D[6:4])
送信データエンプティ			
マニュアルIRQ制御			

前述の割り込み要求がITCに送られると、割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0～7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■インテリジェントDMA

SPI割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリと送受信データレジスタ間のDMA転送による連続送受信が行えます。

SPI割り込み要因に設定されたIDMAチャンネル番号は0x2Dです。

IDMAを起動させるには、表III.15.4に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.15.4 IDMA転送の制御ビット

割り込み要因	IDMA要求ビット	IDMAイネーブルビット
受信データフル	RSPII (0x402AC・D7)	DESPII (0x402AE・D7)
送信データエンプティ		
マニュアルIRQ制御		

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■トラップベクタ

SPI割り込みのトラップベクタアドレスは、デフォルトで0x0C0016Cに設定されています。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

SPIのI/Oメモリ

表III.15.5にSPIの制御ビットを示します。

注: SPI制御レジスタ(0x3A0000~0x3A000C)のリード/ライトには必ず16ビットアクセス命令を使用し、8ビットアクセス命令は使用しないでください。

表III.15.5 SPIの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
P31~P33 ポート 機能拡張 レジスタ	0300046 (B)	D7	EFP331	P33ポート機能拡張	EFP33[1:0]		機能	0	R/W	
		D6	EFP330		1	*		reserved		
					0	1	SDI			
					0	0	P33, etc.			
		D5	EFP321	P32ポート機能拡張	EFP32[1:0]		機能	0	R/W	
D4	EFP320	1	*		reserved	0				
		0	1		SPICLK					
		0	0		P32, etc.					
D3	EFP311	P31ポート機能拡張	EFP31[1:0]		機能	0	R/W			
D2	EFP310		1	*		reserved		0		
			0	1	SDO					
			0	0	P31, etc.					
		D1~0	—	reserved	—		—	—	読み出し時: 0	
SPI受信データ レジスタ	03A0000 (HW)	DF	SPIRDF	SPI受信データ SPIRDF = MSB SPIRD0 = LSB	0x0~0xFFFF		X	R		
		DE	SPIRDE				X			
		DD	SPIRDD				X			
		DC	SPIRDC				X			
		DB	SPIRDB				X			
		DA	SPIRDA				X			
		D9	SPIRD9				X			
		D8	SPIRD8				X			
		D7	SPIRD7				X			
		D6	SPIRD6				X			
		D5	SPIRD5				X			
		D4	SPIRD4				X			
		D3	SPIRD3				X			
		D2	SPIRD2				X			
		D1	SPIRD1				X			
		D0	SPIRD0				X			
		SPI送信データ レジスタ	03A0002 (HW)				DF			SPITDF
DE	SPITDE			X						
DD	SPITDD			X						
DC	SPITDC			X						
DB	SPITDB			X						
DA	SPITDA			X						
D9	SPITD9			X						
D8	SPITD8			X						
D7	SPITD7			X						
D6	SPITD6			X						
D5	SPITD5			X						
D4	SPITD4			X						
D3	SPITD3			X						
D2	SPITD2			X						
D1	SPITD1			X						
D0	SPITD0			X						
SPI制御 レジスタ1	03A0004 (HW)			DF~E	—	reserved	—		—	—
		DD	BPT3	転送データビット数	転送データビット数 = BPT + 1		0	R/W		
		DC	BPT2				0			
		DB	BPT1				0			
		DA	BPT0				0			
		D9	CPHA	SPICLK位相選択	1	フェーズ1	0	フェーズ0	0	R/W
		D8	CPOL	SPICLK極性選択	1	アクティブL	0	アクティブH	0	R/W
		D7	—	reserved	—		—	—	読み出し時: 0	
		D6	MCBR2	マスタクロックビットレート (マスタモード時のみ)	マスタクロック分周比 = 4 × 2 ^{MCBR}		0	R/W		
		D5	MCBR1				0			
		D4	MCBR0				0			
		D3	CLKS	クロックソース選択	"0"に固定		0	R/W		
		D2	—	reserved	—		—	—	読み出し時: 0	
D1	MODE	SPIモード選択	"1"に固定		0	R/W				
D0	ENA	SPIイネーブル	1	許可	0	禁止	0	R/W		

III

SPI

III-15 周辺回路ブロック: マルチメディアカード(SPIモード)インタフェース

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
SPI制御 レジスタ2	03A0006 (HW)	DF-B	-	reserved	-	-	-	読み出し時: 0
		DA	SS	#SCS制御	reserved, "0"に固定	0	R/W	マスターモード
		D9	SSP	#SCS極性選択	reserved, "0"に固定	0	R/W	スレーブモード
		D8	SSC	#SCS設定	reserved, "0"に固定	0	R/W	マスターモード
		D7-2	-	reserved	-	-	-	読み出し時: 0
		D1	RDYS	#SRDYモード選択	reserved, "0"に固定	0	R/W	
		D0	RDYE	#SRDYイネーブル	reserved, "0"に固定	0	R/W	
SPIウェイト レジスタ	03A0008 (HW)	DF	SPIWF	ウェイトサイクル制御 (マスターモード時のみ)	0x0~0xFFFF	0	R/W	
		DE	SPIWE			0		
		DD	SPIWD	SPIWF = MSB		0		
		DC	SPIWC	SPIW0 = LSB		0		
		DB	SPIWB			0		
		DA	SPIWA			0		
		D9	SPIW9			0		
		D8	SPIW8			0		
		D7	SPIW7			0		
		D6	SPIW6			0		
		D5	SPIW5			0		
		D4	SPIW4			0		
		D3	SPIW3			0		
		D2	SPIW2			0		
		D1	SPIW1			0		
		D0	SPIW0			0		
SPIステータス レジスタ	03A000A (HW)	DF-7	-	reserved	-	-	-	読み出し時: 0
		D6	BSYF	転送ビジーフラグ	1 転送中 0 停止中	0	R	マスターモード
		D5	-	reserved	-	-	-	読み出し時: 0
		D4	TDEF	送信データエンプティフラグ	1 エンプティ 0 データあり	1	R	
		D3	-	reserved	-	-	-	
		D2	RDFF	受信データフルフラグ	1 データフル 0 データなし	0	R	
		D1-0	-	reserved	-	-	-	読み出し時: 0
SPI割り込み 制御レジスタ	03A000C (HW)	DF-6	-	reserved	-	-	-	読み出し時: 0
		D5	MFIE	モード違反割り込みイネーブル	reserved, "0"に固定	0	R/W	
		D4	TEIE	データ送信割り込みイネーブル	1 許可 0 禁止	0	R/W	
		D3	ROIE	受信オーバーフロー割り込みイネーブル	reserved, "0"に固定	0	R/W	
		D2	RFIE	データ受信割り込みイネーブル	1 許可 0 禁止	0	R/W	
		D1	MIRQ	マニュアルIRQセット/クリア	1 セット 0 クリア	0	R/W	
		D0	IRQE	割り込み要求イネーブル	1 許可 0 禁止	0	R/W	
USB, SPI 割り込み プライオリティ レジスタ	00402A3 (B)	D7	-	reserved	-	-	-	読み出し時: 0
		D6	PSPII2	SPI	0~7	X	R/W	
		D5	PSPII1	割り込みレベル		X		
		D4	PSPII0			X		
		D3	-	reserved	-	-	-	読み出し時: 0
		D2	PUSBI2	USB	0~7	X	R/W	
		D1	PUSBI1	割り込みレベル		X		
		D0	PUSBI0			X		
LCDC, USB, SPI割り込み イネーブル レジスタ	00402A6 (B)	D7	ESPII	SPI割り込み	1 許可 0 禁止	0	R/W	
		D6	EUSBI	USB割り込み		0	R/W	
		D5	ELCDCI	LCDC割り込み		0	R/W	
		D4	-	拡張機能割り込み(reserved)		0	R/W	1書き込み禁止
		D3	-	拡張機能割り込み(reserved)		0	R/W	
		D2	-	拡張機能割り込み(reserved)		0	R/W	
		D1	-	拡張機能割り込み(reserved)		0	R/W	
		D0	-	拡張機能割り込み(reserved)		0	R/W	
LCDC, USB, SPI割り込み 要因フラグ レジスタ	00402A9 (B)	D7	FSPII	SPI割り込み	1 要因発生 0 要因なし	X	R/W	
		D6	FUSBI	USB割り込み		X	R/W	
		D5	FLCDCI	LCDC割り込み		X	R/W	
		D4	-	拡張機能割り込み(reserved)		X	R/W	1書き込み禁止
		D3	-	拡張機能割り込み(reserved)		X	R/W	
		D2	-	拡張機能割り込み(reserved)		X	R/W	
		D1	-	拡張機能割り込み(reserved)		X	R/W	
		D0	-	拡張機能割り込み(reserved)		X	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
LCDC, USB, SPI IDMAリクエスト レジスタ	00402AC (B)	D7	RSPII	SPI割り込み	1	IDMA要求	0	割り込み 要求	0	R/W	1書き込み禁止
		D6	RUSBI	USB割り込み					0	R/W	
		D5	RLCDCI	LCDC割り込み					0	R/W	
		D4	—	拡張機能割り込み(reserved)					0	R/W	
		D3	—	拡張機能割り込み(reserved)					0	R/W	
		D2	—	拡張機能割り込み(reserved)					0	R/W	
		D1	—	拡張機能割り込み(reserved)					0	R/W	
		D0	—	拡張機能割り込み(reserved)					0	R/W	
LCDC, USB, SPI IDMAイネーブル レジスタ	00402AE (B)	D7	DESPII	SPI割り込み	1	IDMA許可	0	IDMA禁止	0	R/W	1書き込み禁止
		D6	DEUSBI	USB割り込み					0	R/W	
		D5	DELCDCI	LCDC割り込み					0	R/W	
		D4	—	拡張機能割り込み(reserved)					0	R/W	
		D3	—	拡張機能割り込み(reserved)					0	R/W	
		D2	—	拡張機能割り込み(reserved)					0	R/W	
		D1	—	拡張機能割り込み(reserved)					0	R/W	
		D0	—	拡張機能割り込み(reserved)					0	R/W	

EFP311~EFP310: P31ポート機能拡張(D[3:2]/0x300046<P31~P33ポート機能拡張レジスタ>)

EFP321~EFP320: P32ポート機能拡張(D[5:4]/0x300046<P31~P33ポート機能拡張レジスタ>)

EFP331~EFP330: P33ポート機能拡張(D[7:6]/0x300046<P31~P33ポート機能拡張レジスタ>)

P31~P33端子の機能を切り換えます。

表III.15.6 P31~P33ポートの機能拡張

ポート	機能拡張ビット	EFPxx[1:0] = "00"	EFPxx[1:0] = "01"	EFPxx[1:0] = "10"	EFPxx[1:0] = "11"
P31	EFP31[1:0]	P31 #BUSGET #GARD	SDO	-	-
P32	EFP32[1:0]	P32 #DMAACK0 #SRDY3	SPICLK	-	-
P33	EFP33[1:0]	P33 #DMAACK1 SIN3	SDI	-	-

SPIを使用する場合は、EFP31[1:0]、EFP32[1:0]およびEFP33[1:0]を"01"に設定します。これにより、P31、P32、P33端子がそれぞれSDO、SPICLK、SDI端子として機能します。

イニシャルリセット時、EFPは"00"に設定されます。

SPIRDF~SPIRD0: SPI受信データ(D[F:0]/0x3A0000<SPI受信データレジスタ>)

受信データが格納されます。

受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRDFFが"1"(データフル)にセットされます。同時にデータ受信割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされ、受信オーバーフローが発生します。

SDI端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを"1"、Lowレベルのビットを"0"としてパラレル変換され、本レジスタにロードされます。

転送データビット数をBPT[3:0]で16未満に設定した場合、このレジスタの下位側指定ビット数分が受信データとして有効です。

このレジスタは読み出し専用で、書き込みは行えません。

イニシャルリセット時、SPIRDの内容は不定となります。

SPITDF–SPITD0: SPI送信データ(D[F:0]/0x3A0002<SPI送信データレジスタ>)

送信データを設定します。

ENAに"1"を書き込み後、このレジスタにデータを書き込むことにより送信を開始します。

このレジスタに書き込んだデータがシフトレジスタに転送された時点で、TDEFが"1"(エンプティ)にセットされます。同時にデータ送信割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

SDO端子からはシリアル変換されたデータがMSBを先頭に、"1"に設定されたビットがHighレベル、"0"に設定されたビットがLowレベルとして出力されます。

転送データビット数をBPT[3:0]で16未満に設定した場合、このレジスタの下位側指定ビット数分のみが送信されます。

このレジスタは書き込み専用で、データの読み出しはできません。

このレジスタへのデータ書き込みは、受信を開始するトリガにもなります。

イニシャルリセット時、SPITDの内容は不定となります。

BPT3–BPT0: 転送データビット数(D[D:A]/0x3A0004<SPI制御レジスタ1>)

転送データのビット数を設定します。

このレジスタの設定値+1(1~16)が1回の転送で送受信されるビット数になります。

イニシャルリセット時、BPTは"0"(1ビット)に設定されます。

CPHA: SPICLK位相選択(D9/0x3A0004<SPI制御レジスタ1>)

SPIクロックの位相を選択します。

CPOLビットと共に、データ転送タイミングを設定します(図III.15.6参照)。このビットは読み出しも可能です。

イニシャルリセット時、CPHAは"0"に設定されます。

CPOL: SPICLK極性選択(D8/0x3A0004<SPI制御レジスタ1>)

SPIクロックの極性を選択します。

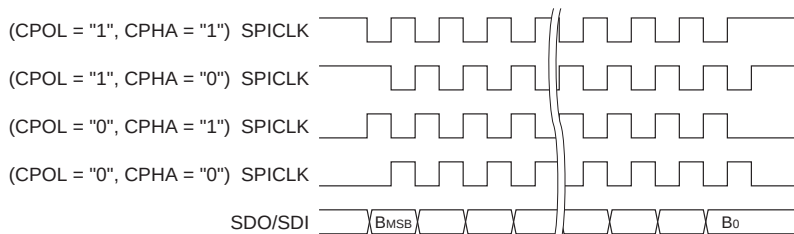
"1"書き込み: アクティブLow

"0"書き込み: アクティブHigh

読み出し: 可能

CPHAビットと共に、データ転送タイミングを設定します(図III.15.6参照)。

イニシャルリセット時、CPOLは"0"に設定されます。



図III.15.6 クロックとデータの転送タイミング

MCBR2–MCBR0: マスタクロックビットレート(D[6:4]/0x3A0004<SPI制御レジスタ1>)

SPIクロックを生成する、ソースクロックの分周比を設定します。この設定によりビットレートが決定します。

表III.15.7 ビットレートの設定

MCBR2	MCBR1	MCBR0	分周比
1	1	1	fbus_clk/512
1	1	0	fbus_clk/256
1	0	1	fbus_clk/128
1	0	0	fbus_clk/64
0	1	1	fbus_clk/32
0	1	0	fbus_clk/16
0	0	1	fbus_clk/8
0	0	0	fbus_clk/4

(fbus_clk: バスクロック周波数)

イニシャルリセット時、MCBRは"0"(1ビット)に設定されます。

CLKS: クロックソース選択 (D3/0x3A0004<SPI制御レジスタ1>)

このビットは"0"に固定してください。
イニシャルリセット時、CLKSは"0"に設定されます。

MODE: SPIモード選択 (D1/0x3A0004<SPI制御レジスタ1>)

このビットは"1"に固定してください。
イニシャルリセット時、MODEは"0"に設定されます。

ENA: SPIイネーブル (D0/0x3A0004<SPI制御レジスタ1>)

SPI回路の動作を許可/禁止します。

- "1"書き込み: 許可 (On)
- "0"書き込み: 禁止 (Off)
- 読み出し: 可能

ENAを"1"に設定するとSPI回路が動作を開始し、データ転送が行える状態になります。
この設定の後、送信データレジスタにデータを書き込むことによりデータ送信およびデータ受信を開始します。データ受信の場合は、送信データレジスタにダミーデータを書き込みます。
ENAを"0"に設定すると、SPI回路は動作を停止します。
データ転送条件の設定は、ENAを"0"に設定して行ってください。
イニシャルリセット時、ENAは"0"に設定されます。

SS: #SCS制御 (DA/0x3A0006<SPI制御レジスタ2>)

このビットは"0"に固定してください。
イニシャルリセット時、SSは"0"に設定されます。

SSP: #SCS極性選択 (D9/0x3A0006<SPI制御レジスタ2>)

このビットは"0"に固定してください。
イニシャルリセット時、SSPは"0"に設定されます。

SSC: #SCS設定 (D8/0x3A0006<SPI制御レジスタ2>)

このビットは"0"に固定してください。
イニシャルリセット時、SSCは"0"に設定されます。

RDYS: #SRDYモード選択 (D1/0x3A0006<SPI制御レジスタ2>)

このビットは"0"に固定してください。
イニシャルリセット時、RDYSは"0"に設定されます。

RDYE: #SRDYイネーブル (D0/0x3A0006<SPI制御レジスタ2>)

このビットは"0"に固定してください。
イニシャルリセット時、RDYEは"0"に設定されます。

SPIWF-SPIW0: ウェイトサイクル制御 (D[F:0]/0x3A0008<SPIウェイトレジスタ>)

各データ転送間に挿入するウェイトサイクル数を設定します。このレジスタの設定値+1がウェイトサイクル数となります。SPICLKクロックの1~65536サイクルの範囲で指定可能です。
イニシャルリセット時、SPIWは"0"(ウェイトなし)に設定されます。

BSYF: 転送ビジーフラグ (D6/0x3A000A<SPIステータスレジスタ>)

SPIが送受信動作中であることを示します。

- "1"読み出し: 送受信動作中
- "0"読み出し: 待機中
- 書き込み: 無効

SPIが送受信を開始すると、BSYFは"1"にセットされ、送受信中はウェイトサイクルも含め"1"を保持します。送受信動作が終了すると、"0"にクリアされます。
イニシャルリセット時、BSYFは"0"(待機中)に設定されます。

TDEF: 送信データエンプティフラグ(D4/0x3A000A<SPIステータスレジスタ>)

送信データレジスタの状態を示します。

"1"読み出し: エンプティ
 "0"読み出し: データあり
 書き込み: 無効

TDEFは送信データレジスタに送信データが書き込まれると"0"となり、そのデータがシフトレジスタに転送されると(送信を開始すると)"1"となります。

送信データの書き込みは、このビットが"1"の場合に行います。

イニシャルリセット時、TDEFは"1"(エンプティ)に設定されます。

RDFF: 受信データフルフラグ(D2/0x3A000A<SPIステータスレジスタ>)

受信データレジスタの状態を示します。

"1"読み出し: データフル
 "0"読み出し: データなし
 書き込み: 無効

RDFFはシフトレジスタに受信したデータが受信データレジスタに転送されると(受信が完了すると)"1"となり、そのデータが読み出し可能であることを示します。データが読み出されると"0"に戻ります。

イニシャルリセット時、RDFFは"0"(データなし)に設定されます。

MFIE: モード違反割り込みイネーブル(D5/0x3A000C<SPI割り込み制御レジスタ>)

このビットは"0"に固定してください。

イニシャルリセット時、MFIEは"0"に設定されます。

TEIE: データ送信割り込みイネーブル(D4/0x3A000C<SPI割り込み制御レジスタ>)

データ送信割り込みを許可/禁止します。

"1"書き込み: 許可
 "0"書き込み: 禁止
 読み出し: 可能

TEIEを"1"に設定すると、データ送信割り込み要求のITCへの出力を許可します。ただし、IRQEも"1"に設定する必要があります。データ送信割り込み要求は、送信データレジスタに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。TEIEとIRQEが"1"(許可)に設定されていれば、その時点で、ITCの割り込み要因フラグFSPIIが"1"にセットされます。

TEIEを"0"に設定すると、データ送信割り込みは発生しません。

イニシャルリセット時、TEIEは"0"(禁止)に設定されます。

ROIE: 受信オーバーフロー割り込みイネーブル(D3/0x3A000C<SPI割り込み制御レジスタ>)

このビットは"0"に固定してください。

イニシャルリセット時、ROIEは"0"に設定されます。

RFIE: データ受信割り込みイネーブル(D2/0x3A000C<SPI割り込み制御レジスタ>)

データ受信割り込みを許可/禁止します。

"1"書き込み: 許可
 "0"書き込み: 禁止
 読み出し: 可能

RFIEを"1"に設定すると、データ受信割り込み要求のITCへの出力を許可します。ただし、IRQEも"1"に設定する必要があります。データ受信割り込み要求は、シフトレジスタに受信したデータが受信データレジスタに転送される(受信が完了すること)により発生します。RFIEとIRQEが"1"(許可)に設定されていれば、その時点で、ITCの割り込み要因フラグFSPIIが"1"にセットされます。

RFIEを"0"に設定すると、データ受信割り込みは発生しません。

イニシャルリセット時、RFIEは"0"(禁止)に設定されます。

MIRQ: マニュアル割り込み要求セット/クリア (D1/0x3A000C<SPI割り込み制御レジスタ>)

マニュアルでITCへの割り込み要求を発生させます。

- "1"書き込み: 割り込み要求をセット
- "0"書き込み: 割り込み要求をクリア
- 読み出し: 可能

IRQEが"1"の状態ではMIRQを"1"に設定すると、ITCへのSPI割り込み要求信号がアクティブになり、ITCの割り込み要因フラグFSPIIが"1"にセットされます。

MIRQに"0"を書き込むと割り込み要求はクリアされます。ただし、この"0"書き込みで割り込み要因フラグFSPIIはクリアされません。

イニシャルリセット時、MIRQは"0" (割り込み要求をクリア) に設定されます。

IRQE: 割り込み要求イネーブル (D0/0x3A000C<SPI割り込み制御レジスタ>)

ITCへの割り込み要求出力を許可/禁止します。

- "1"書き込み: 許可
- "0"書き込み: 禁止
- 読み出し: 可能

IRQEを"1"に設定すると、割り込みを許可したSPI割り込み要因が発生した時点、あるいはMIRQに"1"を書き込んだ時点で割り込み要求がITCへ出力されます。これにより、割り込み要因フラグFSPIIが"1"にセットされます。

IRQEを"0"に設定すると、個々のSPI割り込み要因が割り込み許可に設定してあっても、ITCへの割り込み要求は発生しません。MIRQによるマニュアルの割り込み要求も禁止されます。

イニシャルリセット時、IRQEは"0" (禁止) に設定されます。

PSPII2-PSPII0: SPI割り込みレベル (D[6:4]/0x402A3<USB, SPI割り込みプライオリティレジスタ>)

SPI割り込みの優先レベルを設定します。

割り込みの優先レベルを0~7の範囲で設定できます。

イニシャルリセット時、PSPIIは不定となります。

ESPII: SPI割り込みイネーブル (D7/0x402A6<LCDC, USB, SPI割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

- "1"書き込み: 割り込み許可
- "0"書き込み: 割り込み禁止
- 読み出し: 可能

ESPIIは、SPIの全割り込み要因に対応する割り込みイネーブルビットで、"1"に設定するとSPI割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、割り込みイネーブルレジスタは"0" (割り込み禁止) に設定されます。

FSPII: SPI割り込み要因フラグ (D7/0x402A9<LCDC, USB, SPI割り込み要因フラグレジスタ>)

SPI割り込みの発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時 (デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FSPIIフラグは、SPI割り込みに対応する割り込み要因フラグで、SPI割り込み要因の発生により"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、受信バッファフル、送信バッファエンプティの割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FSPIIは不定となりますので、必ずソフトウェアでリセットしてください。

RSPII: SPI IDMAリクエスト(D7/0x402AC<LCDC, USB, SPI IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

RSPIIはSPIの割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、RSPIIは"0"(割り込み要求)に設定されます。

DESPII: SPI IDMAイネーブル(D7/0x402AE<LCDC, USB, SPI IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DESPIIはSPIの割り込み要因に対応するIDMAイネーブルビットで、"1"に設定するとSPI割り込み要因によるIDMAの起動を許可します。"0"に設定するとIDMA起動要求は受け付けられません。

イニシャルリセット時、DESPIIは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) SPI制御レジスタ(0x3A0000~0x3A000C)のリード/ライトには必ず16ビットアクセス命令を使用し、8ビットアクセス命令は使用しないでください。
- (2) BSYFフラグが"1"の間(データの転送中)は、SPI制御レジスタ1(0x3A0004)、SPI制御レジスタ2(0x3A0006)およびSPIウェイトレジスタ(0x3A0008)にアクセスしないでください。
- (3) 誤動作を避けるため、SPI回路を停止(ENA(0x3A0004・D0)を"0"に設定)する前には、必ずSPI割り込み制御レジスタ(0x3A000C)に0x00を書き込み、すべてのSPI割り込み要求を禁止してください。

このページはブランクです。

III-16 シーケンシャルROMインタフェース

シーケンシャルROMインタフェースの構成

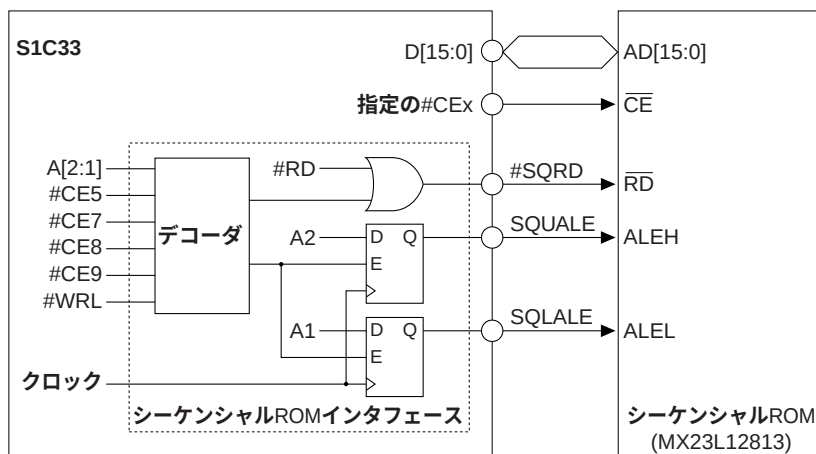
S1C33L05はシーケンシャルROMインタフェースを拡張周辺回路として内蔵しています。この回路は、シーケンシャルROM(MX23L12813)をバスに直接接続するために必要な以下の制御信号を生成します。

#SQRD(リード信号)

SQLALE(下位アドレスラッチイネーブル)

SQUALE(上位アドレスラッチイネーブル)

図III.16.1にシーケンシャルROMインタフェースの構成を示します。



図III.16.1 シーケンシャルROMインタフェースの構成

シーケンシャルROMインタフェースの出力端子

表III.16.1に#SQRD、SQLALE、SQUALE信号に出力する端子を示します。

表III.16.1 シーケンシャルROMインタフェースの出力端子

端子名	I/O	機 能	機能選択ビット
PD0(#SQRD)	I/O	入出力兼用ポート/シーケンシャルROMリード信号出力	FPD0[1:0](PD0-PD2ポート機能拡張レジスタ0x300F66-D[1:0])
PD1(SQLALE)	I/O	入出力兼用ポート/シーケンシャルROM下位バイトアドレスラッチイネーブル出力	FPD1[1:0](PD0-PD2ポート機能拡張レジスタ0x300F66-D[3:2])
PD2(SQUALE)	I/O	入出力兼用ポート/シーケンシャルROM上位バイトアドレスラッチイネーブル出力	FPD2[1:0](PD0-PD2ポート機能拡張レジスタ0x300F66-D[5:4])

#SQRD端子はPD0、SQLALE端子はPD1、SQUALE端子はPD2入出力兼用ポートと共用されており、コールドスタート時はすべて入出力兼用ポート端子に設定されます。シーケンシャルROMインタフェースを使用する場合は、これらの端子をPD0-PD2ポート機能拡張レジスタ(0x300F66)でシーケンシャルROMインタフェース用に設定してください。

ホットスタート時、このレジスタはリセット前の状態を保持します。

シーケンシャルROMインタフェースの設定

シーケンシャルROMを使用する場合は、シーケンシャルROMにアクセスする前に以下の設定を行う必要があります。

1. シーケンシャルROMインタフェース制御レジスタをアクセスするためのBCUの設定
2. 制御信号出力端子の設定
3. #CEエリアの選択
4. 選択エリアのアクセス条件の設定

1. シーケンシャルROMインタフェース制御レジスタをアクセスするためのBCUの設定

シーケンシャルROMインタフェースの制御レジスタは、エリア6の0x300F66と0x3A0100番地に割り付けられています。したがって、これらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

- アクセス制御レジスタ(0x48132)のA6IO(D9)を"1"にして、エリア6を内部デバイスエリアに設定します。
- アクセス制御レジスタ(0x48132)のA6EC(D1)を"0"にして、エリア6のデータ形式をリトルエンディアンに設定します。
- エリア6-4設定レジスタ(0x4812A)のA6WT[2:0](D[A:8])でエリア6アクセス時のウェイトサイクル数を設定します。CPUが48MHzクロックのx2スピードモード、または32MHzクロックのx1スピードモードで動作している場合は、エリア6のウェイト数を0に設定可能です。

2. 制御信号出力端子の設定

PD0-PD2ポート機能拡張レジスタ(0x300F66)のFPD0[1:0](D[1:0])、FPD1[1:0](D[3:2])およびFPD2[1:0](D[5:4])を"01"に設定し、PD0、PD1、PD2端子の機能をそれぞれ#SQRD、SQLALE、SQUALE信号出力に切り換えます。

3. #CEエリアの選択

シーケンシャルROMのアクセスにどの#CE信号を割り当てるか、シーケンシャルROM I/F #CEエリア選択レジスタ(0x3A0100)のSQCES[1:0](D[1:0])で選択することができます。表III.16.2に示すとおり4種類から選択できますが、BCUの#CE端子機能選択ビットCEFUNC[1:0](0x48130-D[A:9])の設定により割り当てられるエリアは変わります。

表III.16.2 #CEエリアの選択

SQCES1	SQCES0	#CEエリア		
		CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
1	1	#CE9	#CE17	#CE17+#CE18
1	0	#CE8	#CE14	#CE14
0	1	#CE7	#CE13	#CE13
0	0	#CE5	#CE15	#CE15+#CE16

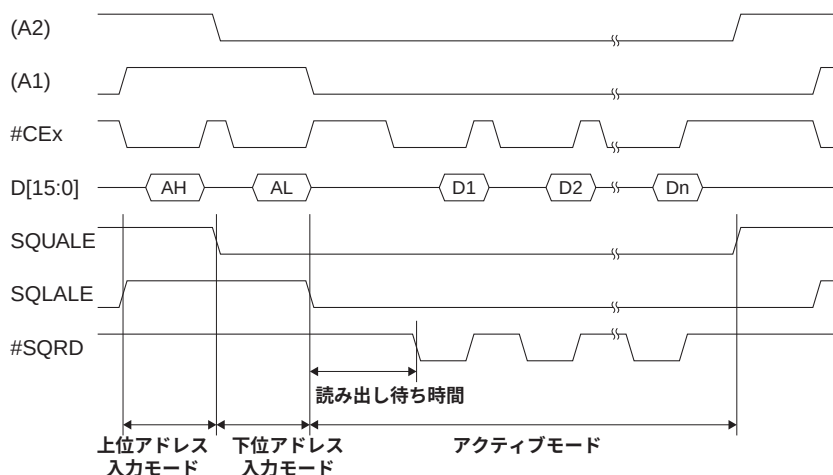
(デフォルト: SQCES = CEFUNC = "00")

4. 選択エリアのアクセス条件の設定

- シーケンシャルROM用に選択したエリアのデバイスサイズをBCUのエリア設定レジスタで16ビットに設定します。
- シーケンシャルROMアクセス時に挿入するウェイト数は、ROMの仕様とバススピードモードに合わせて設定してください。
x1スピードモードの場合、3サイクル以上のウェイト数に設定します。
x2スピードモードの場合、2サイクル以上のウェイト数に設定します。
- リードサイクルホールド時間制御レジスタ(0x4813C)により、シーケンシャルROMアクセス時リードホールドサイクルが挿入されるように設定します。

シーケンシャルROMの制御

■データリードシーケンス



図III.16.2 シーケンシャルROMリードのタイミングチャート

シーケンシャルROMデータを読み出す手順を以下に示します。

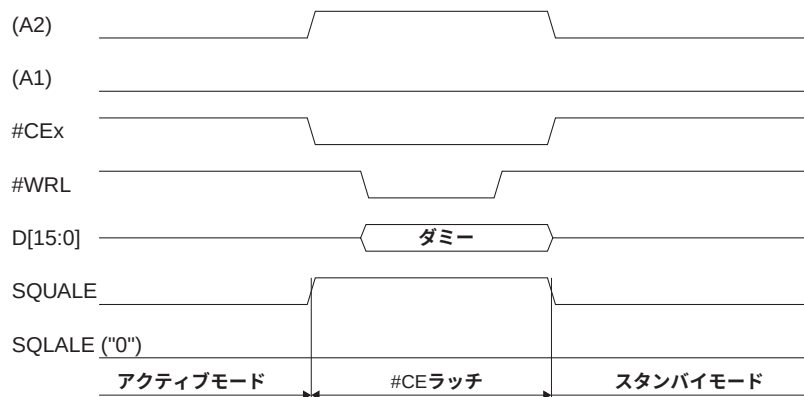
1. シーケンシャルROM読み出し開始アドレスの上位8ビットを書き込みます。このデータは、シーケンシャルROM用に選択されているエリアの任意のアドレスに書き込みます。ただし、データを書き込むアドレスのA[2:1]は"11"である必要があります。A[2:1] = "11"はSQUALE(シーケンシャルROM上位アドレスラッチイネーブル)とSQLALE(シーケンシャルROM下位アドレスラッチイネーブル)をHighにして、シーケンシャルROMを上位アドレス入力モードにします。アドレスビットのA[2:1]は表III.16.3に示すとおり、SQUALEとSQLALE信号を制御します。

表III.16.3 A[2:1]とSQUALE/SQLALE信号の関係

A[2:1]	SQUALE	SQLALE	シーケンシャルROMモード
11	1	1	上位アドレス入力モード
10	1	0	10→00, スタンバイモード
01	0	1	下位アドレス入力モード
00	0	0	アクティブモード(データ読み出し用)

2. シーケンシャルROM読み出し開始アドレスの下位8ビットを書き込みます。このデータを書き込むアドレスのA[2:1]は"01"にする必要があります。
ステップ1と2が完了すると、シーケンシャルROMはアクティブモードになります。このモードになると、CPUはシーケンシャルROMからデータを連続的に読み出すことができます。
3. 読み出し待ち時間以上、待機します。この待ち時間はシーケンシャルROMにアドレスを入力した直後にのみ必要で、データの連続読み出し中は不要です。
読み出し待ち時間については、シーケンシャルROMの仕様を参照してください。
4. シーケンシャルROM用に選択されているエリアの任意のアドレスからデータを読み出します。シーケンシャルROMに入力した開始アドレスからデータが読み出されます。
データ読み出し時のアドレスA[2:1]はSQUALEとSQLALE信号には影響しません(どちらの信号も"0"に固定されます)。
5. 必要なデータが得られるまで、繰り返し読み出しを行います。データ読み出しアドレスは、読み出しごとにシーケンシャルROM内でインクリメントされます。
6. データ読み出しアドレスが連続しない場合にアドレスを変更するには、ステップ1から再度同じ手順で実行します。必要なデータをすべて読み出した後は、シーケンシャルROMをスタンバイモードに設定してください。

■シーケンシャルROMのスタンバイモード



図III.16.3 シーケンシャルROMスタンバイシーケンス

シーケンシャルROMには、SQUALEとSQLALE信号で制御可能なスタンバイ機能が組み込まれています。データの読み出しが終了後は、消費電流を抑えるため、シーケンシャルROMエリア内のアドレスにダミーデータを書き込み、シーケンシャルROMをスタンバイモードに設定してください。ダミーデータを書き込むアドレスのA[2:1]は"10"にする必要があります。スタンバイモードの詳細については、シーケンシャルROMの仕様を参照してください。

シーケンシャルROMインタフェースのI/Oメモリ

表III.16.4にシーケンシャルROMインタフェースの制御ビットを示します。

表III.16.4 シーケンシャルROMインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
PD0-PD2 ポート機能拡張 レジスタ	0300F66 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	FPD21	PD2ポート機能拡張	FPD2[1:0]	機能	0	R/W
		D4	FPD20		1 *	reserved	0	
					0 1	SQALE		
					0 0	PD2		
		D3	FPD11	PD1ポート機能拡張	FPD1[1:0]	機能	0	R/W
		D2	FPD10		1 *	reserved	0	
					0 1	SQALE		
					0 0	PD1		
		D1	FPD01	PD0ポート機能拡張	FPD0[1:0]	機能	0	R/W
		D0	FPD00		1 *	reserved	0	
					0 1	#SQRD		
					0 0	PD0		
シーケンシャル ROM I/F #CEエリア選択 レジスタ	03A0100 (HW)	DF-2	-	reserved	-	-	-	読み出し時: 0
		D1	SQCES1	シーケンシャルROM I/F #CEエリア選択 (CEFUNCにより異なる)	SQCES[1:0]	#CEエリア	0	R/W
		D0	SQCES0		1 1	#CE9/#CE17(+18)	0	
					1 0	#CE8/#CE14		
					0 1	#CE7/#CE13		
					0 0	#CE5/#CE15(+16)		

FPD01-FPD00: PD0ポート機能拡張 (D[1:0]/0x300F66<PD0-PD2ポート機能拡張レジスタ>)

FPD11-FPD10: PD1ポート機能拡張 (D[3:2]/0x300F66<PD0-PD2ポート機能拡張レジスタ>)

FPD21-FPD20: PD2ポート機能拡張 (D[5:4]/0x300F66<PD0-PD2ポート機能拡張レジスタ>)

PD0~PD2端子の機能を切り換えます。

表III.16.5 PD0~PD2ポートの機能拡張

FPDx1	FPDx0	PD0	PD1	PD2
1	*	reserved	reserved	reserved
0	1	#SQRD	SQALE	SQALE
0	0	PD0	PD1	PD2

シーケンシャルROMインタフェースを使用する場合は、FPD0[1:0]、FPD1[1:0]、FPD2[1:0]を"01"に設定します。これにより、PD0、PD1、PD2端子がそれぞれ#SQRD、SQALE、SQALE端子として機能します。イニシャルリセット時、FPDは"00"に設定されます。

SQCES1-SQCES0: #CEエリア選択 (D[1:0]/0x3A0100<シーケンシャルROM I/F #CEエリア選択レジスタ>)

シーケンシャルROMに割り当てる#CEエリアを選択します。

表III.16.6 #CEエリアの選択

SQCES1	SQCES0	#CEエリア		
		CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
1	1	#CE9	#CE17	#CE17+#CE18
1	0	#CE8	#CE14	#CE14
0	1	#CE7	#CE13	#CE13
0	0	#CE5	#CE15	#CE15+#CE16

(デフォルト: SQCES = CEFUNC = "00")

イニシャルリセット時、SQCESは"00"(#CE5)に設定されます。

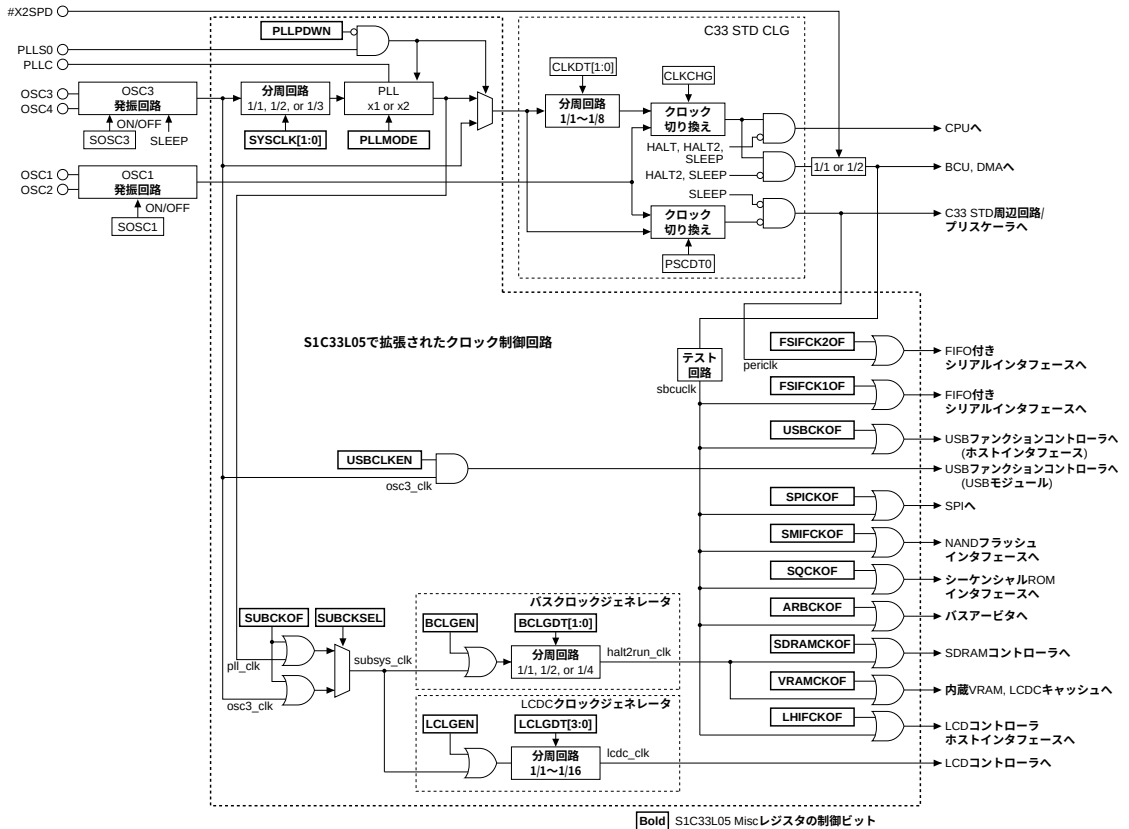
このページはブランクです。

III-17 S1C33L05クロック系とMiscレジスタ

S1C33L05クロック系の構成

S1C33L05のクロック系は、C33 STDのCLG(クロックジェネレータ)を中心にして、拡張周辺回路用のクロック制御回路が追加されています。

システムクロック周波数や、個々の拡張回路へのクロック供給をソフトウェアによって細かく制御できるようになっています。可能であればクロック周波数を低く設定し、不要な周辺回路へのクロック供給を停止させることで消費電流を低減できます。



図III.17.1 S1C33L05のクロック系

Miscレジスタ

Miscレジスタ(0x300F20～0x300F39)は、主に拡張されたクロック系の制御に使用します。割り当てられている機能は以下のとおりです。

1. システムクロックの制御(PLLの設定)
2. 拡張周辺回路へのクロック供給の制御
3. 拡張周辺回路の補助機能設定

■MiscレジスタをアクセスするためのBCUの設定

Miscレジスタはエリア6に割り付けられています。したがって、それらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IO(アクセス制御レジスタ0x48132・D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EC(アクセス制御レジスタ0x48132・D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6-4設定レジスタ0x4812A・D[A:8])
CPUが48MHzクロックのx2スピードモード、または32MHzクロックのx1スピードモードで動作している場合は、エリア6のウェイト数を0に設定可能です。

■Miscレジスタの書き込み保護

Miscレジスタ(0x300F20、0x300F30～0x300F39)は、不要な書き込みによるシステムの誤動作を防止するため、通常は書き込み禁止状態となっています。

書き込み可能な状態にするには、Misc書き込み保護レジスタ(0x300F2F)を0b10010110(0x96)に設定する必要があります。

Misc書き込み保護レジスタ(0x300F2F)以外のMiscレジスタにデータを書き込むと、Misc書き込み保護レジスタ(0x300F2F)は自動的に0x00にリセットされ、Miscレジスタは再度書き込み禁止状態になります。したがって、Miscレジスタへの1回の書き込みごとにMisc書き込み保護レジスタ(0x300F2F)を0x96に設定する必要があります。書き込み許可状態のMiscレジスタは、Misc書き込み保護レジスタ(0x300F2F)に0x96以外の値を書き込むことでも書き込み保護状態に戻ります。

Misc書き込み保護レジスタ(0x300F2F)は、Miscレジスタの読み出しには影響を与えません。

システムクロックの制御

■PLL入力クロックの選択

OSC3発振回路とPLLの間には分周回路が追加され、PLLへの入力クロック周波数をSYSCLK[1:0](システムクロック分周レジスタ0x300F30・D[1:0])により3段階に切り換えることができます。

表III.17.1 PLL入力クロックの選択

SYSCLK1	SYSCLK0	PLL入力クロック
1	1	OSC3 / 3
1	0	OSC3 / 2
0	1	OSC3
0	0	

この選択は、PLLを使用する場合のC33 STDコアの動作周波数にも影響します。

■PLLの制御

従来の機種ではPLLS0端子で設定していたPLLの動作モードを、ソフトウェアによっても制御できるようになっています。この制御には、以下の制御ビットを使用します。

PLLPDWN(PLL制御レジスタ0x300F31・D1)

PLLPDWN = "0": PLLを使用する

PLLPDWN = "1": PLLを使用しない

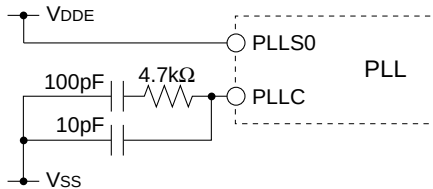
PLLを使用しない場合、システムクロックにはOSC3クロック(分周なし)が使用されます。

PLLMODE(PLL制御レジスタ0x300F31・D0)

PLLMODE = "0": x1(バイパスモード)

PLLMODE = "1": x2(2通倍モード)

注: PLLをソフトウェアで制御するためには、PLLS0端子を"1"(V_{DDE})に設定しておく必要があります。PLLS0端子が"0"(V_{SS})の場合、上記のPLL制御ビットは無効になります。



図III.17.2 PLL端子

■システムクロック選択一覧

上記のPLL入力クロック周波数およびPLL動作モードの設定によるシステムクロックの選択一覧を表III.17.2に示します。

表III.17.2 システムクロック選択一覧

PLLPDWN	PLLMODE	SYSCLK1	SYSCLK0	CLG入力クロック	PLL
1	*	*	*	OSC3 (PLLバイパス)	未使用
0	1	1	1	(OSC3 / 3) × 2	使用
		1	0	(OSC3 / 2) × 2	
		0	*	(OSC3 / 1) × 2	
	0	1	1	OSC3 / 3	
		1	0	OSC3 / 2	
		0	*	OSC3 / 1	

ここで選択したシステムクロックはC33 STDのCLGに入力されます。CPU動作クロックやBCUクロックは、さらにCLG内での設定が必要です。その詳細については、"II-6 CLG(クロックジェネレータ)"を参照してください。

■システムクロック設定上の注意事項

CPUコアがOSC3クロックで動作中に上記分周回路とPLLの設定を変更するとICが誤動作します。設定の変更は以下の手順に従い、CPUコアおよび周辺回路をOSC1クロックで動作させた状態で行ってください。

1. SOSCI(パワーコントロールレジスタ0x40180・D0)に"1"を書き込み、低速(OSC1)発振回路をONします。(注1、2)
2. OSC1発振が安定するまで待ちます。(注1、4)
3. OSC3クロックを使用している周辺回路を停止させるか、あるいはプリスケラクロックをOSC1に設定します。
4. CLKCHG(パワーコントロールレジスタ0x40180・D2)に"0"を書き込み、CPU動作クロックをOSC3からOSC1に切り換えます。(注2、5)
5. SOSCI(パワーコントロールレジスタ0x40180・D0)に"0"を書き込み、低速(OSC1)発振回路をOFFします。(注2、5)
6. システムクロック分周レジスタ(0x300F30)とPLL制御レジスタ(0x300F31)によりシステムクロックの設定を行います。
7. SOSCI(パワーコントロールレジスタ0x40180・D0)に"1"を書き込み、低速(OSC1)発振回路をONします。(注2)
8. OSC1発振が安定するまで待ちます。(注4)
9. CLKCHG(パワーコントロールレジスタ0x40180・D2)に"1"を書き込み、CPU動作クロックをOSC1からOSC3に切り換えます。(注2、7)

注: 1. ステップ1と2は低速(OSC1)発振回路が停止している場合にのみ必要です。

2. パワーコントロールレジスタ(0x40180)への書き込みを行うには、その前にパワーコントロール保護レジスタ(0x4019E)に0b10010110(0x96)を書き込み、パワーコントロールレジスタの書き込み保護を解除してください。この操作は、パワーコントロールレジスタへの書き込みのたびに必要です。
3. Misc書き込み保護レジスタ(0x300F2F)への書き込みを行うには、その前にMiscレジスタに0b10010110(0x96)を書き込み、Miscレジスタの書き込み保護を解除してください。この操作は、Miscレジスタへの書き込みのたびに必要です。
4. 発振が安定するまでの時間については"電氣的特性"を参照してください。
5. OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
6. SYSCLK[1:0](0x300F30・D[1:0])、BCLGDT[1:0](0x300F33・D[1:0])またはLCLGDT[3:0](0x300F34・D[3:0])で分周比を変更する場合、微細パルスの発生を防止するため、これらの制御ビットは1ビットずつ変更してください。たとえば、値を0b00から0b11に変更する場合、はじめに0b01(または0b10)を書き込み、さらに0b11を書き込みます。2ビット以上を同時に変更すると(この例では0b00を直接0b11に変更)、変更したクロックを使用する回路が誤動作する場合があります。
7. プリスケラクロックもOSC1からOSC3に戻してください。

拡張周辺回路へのクロック供給の制御

Miscレジスタには、拡張周辺回路へのクロック供給を個々にON/OFFする制御ビットが設けられています(図III.17.1参照)。これらの制御ビットによって使用しない周辺回路へのクロック供給を停止することにより、消費電流を低減できます。

■SPI, NANDフラッシュI/F, シーケンシャルROM I/F, バスアービタのクロック制御

SPI、NANDフラッシュインタフェース、シーケンシャルROMインタフェース、バスアービタは、BCUクロックと同等のsbucclkクロックで動作します。このクロックの供給を以下の制御ビットでON/OFFできます。

SPI:	SPICKOF(モジュールクロック制御レジスタ0、0x300F35・D4)
NANDフラッシュI/F:	SMIFCKOF(モジュールクロック制御レジスタ0、0x300F35・D3)
シーケンシャルROM I/F:	SQCKOF(モジュールクロック制御レジスタ0、0x300F35・D2)
バスアービタ:	ARBCKOF(モジュールクロック制御レジスタ0、0x300F35・D1)

各ビットは"0"に初期設定され、周辺回路モジュールにsbucclkクロックが供給されます。クロック供給を停止するには、対応する制御ビットを"1"に設定してください。

HALT2およびSLEEPモード時には、これらの制御ビットの設定にかかわらずsbucclkクロックは停止します。

■FIFO付きシリアルインタフェース

FIFO付きシリアルインタフェースに対しては2種類のクロック(sbcuclk、periclk)が供給されており、個々に制御可能です。

sbcuclkはFIFO付きシリアルインタフェースの動作に必須のクロックです。このクロックの供給は、モジュールクロック制御レジスタ0(0x300F35)のFSIFCK1OF(D6)で制御します。このビットは"0"に初期設定され、FIFO付きシリアルインタフェースにsbucclkクロックが供給されます。FIFO付きシリアルインタフェースを使用しない場合はFSIFCK1OFを"1"に設定し、クロック供給を停止してください。HALT2およびSLEEPモード時には、この制御ビットの設定にかかわらずsbucclkクロックは停止します。

periclkは、プリスケラクロック選択レジスタ(0x40181)のPSCDT0(D0)によって選択された周辺回路動作クロック(OSC3クロック/PLL出力クロックまたはOSC1クロック)で、FIFO付きシリアルインタフェースではボーレートタイマが使用します。転送用クロックとして外部クロックを使用する場合は、このクロックを停止することができます。このクロックの供給は、モジュールクロック制御レジスタ0(0x300F35)のFSIFCK2OF(D5)で制御します。このビットは"0"に初期設定され、FIFO付きシリアルインタフェースにpericlkクロックが供給されます。ボーレートタイマを使用しない場合、またはFIFO付きシリアルインタフェースを使用しない場合はFSIFCK2OFを"1"に設定し、クロック供給を停止してください。SLEEPモード時には、この制御ビットの設定にかかわらずpericlkクロックは停止します。

■USBファンクションコントローラ

USBファンクションコントローラに対しては2種類のクロック(sbcuclk、osc3_clk)が供給されており、個々に制御可能です。

sbcuclkクロックはUSBファンクションコントローラのホストインタフェースが使用します。このクロックの供給は、モジュールクロック制御レジスタ0(0x300F35)のUSBCKOF(D7)で制御します。このビットは"0"に初期設定され、USBファンクションコントローラにsbucclkクロックが供給されます。USBファンクションコントローラを使用しない場合はUSBCKOFを"1"に設定し、クロック供給を停止してください。

osc3_clkクロック(OSC3クロック)はUSBクロックとして使用されます。USBファンクションコントローラがスリープモードの場合やUSB機能を使用しない場合は、クロックの供給を停止させることができます。この制御は、マクロ制御レジスタ(0x300F20)のUSBCLKEN(D4)で行います。クロックを供給する場合はUSBCLKENを"1"に設定します。クロックの供給を停止する場合は、USBCLKENを"0"に設定してください。SLEEPモード時には、この制御ビットの設定にかかわらずosc3_clkクロックは停止します。

■SDRAMコントローラ, 内蔵VRAM, LCDCキャッシュ

SDRAMコントローラや内蔵VRAM、LCDCキャッシュは拡張ブロック内のバスに接続され、C33 STDからはブリッジを介してアクセスされます。拡張ブロックはこのバスのクロックを生成するバスクロックジェネレータを内蔵しており、Miscレジスタで制御することができます。

バスクロックジェネレータの制御

1. ソースクロックの選択

バスクロックジェネレータのソースクロックが、サブシステムクロック選択レジスタ(0x300F32)のSUBCKSEL(D0)で選択できます。

SUBCKSEL="0": OSC3クロック

SUBCKSEL="1": PLL出力クロック

デフォルト設定では、OSC3クロックとPLL出力クロックはソースクロックセクタに供給されます。SDRAMコントローラとLCDコントローラを使用しない場合は、消費電流を抑えるため、サブシステムクロック制御レジスタ(0x300F37)のSUBCKOF(D0)への"1"書き込みによりソースクロックセクタへのクロック供給を停止することができます。

ソースクロックをOSC3クロックとPLL出力クロックから選択する場合、SUBCKOF(0x300F37・D0)は必ず"1"に設定してください。

2. クロック周波数(ソースクロックの分周比)の選択

バスクロックジェネレータはソースクロックを分周してバスクロックを生成します。この分周比をバスクロックジェネレータ制御レジスタ(0x300F33)のBCLGDT[1:0](D[1:0])で、表III.17.3のとおり設定します。

表III.17.3 バスクロックの分周比

BCLGDT1	BCLGDT0	BCLGソースクロック
1	1	subsys_clk / 4
1	0	subsys_clk / 2
0	1	subsys_clk
0	0	

halt2run_clk信号に不要な微細パルスが発生することがありますので、BCLGDT1とBCLGDT0制御ビットを同時に変更しないでください。

3. クロックのON/OFF

バスクロックジェネレータのクロック出力は、バスクロックジェネレータ制御レジスタ(0x300F33)のBCLGEN(D7)で制御します。

BCLGEN="0": クロック出力停止

BCLGEN="1": クロック出力

BCLGEN(0x300F33・D7)に"1"を書き込むことで、バスクロックジェネレータは1と2により設定されたhalt2run_clkクロックを出力します。SLEEPモード時には、この制御ビットの設定にかかわらずhalt2run_clkクロックは停止します。HALTおよびHALT2モードでは、このビットの設定が有効です。

2のクロック設定は、必ずBCLGEN(0x300F33・D7)を"0"にしてから行ってください。

個別モジュールへのクロック供給

初期設定では、BCLGEN(0x300F33・D7)に"1"を書き込むことにより、SDRAMコントローラ、内蔵VRAM、LCDCキャッシュにバスクロックジェネレータで生成したhalt2run_clkクロックが供給されます。また、これとは別にSDRAMコントローラと内蔵VRAM/LCDCキャッシュにはそれぞれクロック供給を制御するビットが用意されており、個々にクロックをON/OFFできるようになっています。

SDRAMコントローラへのクロック供給は、モジュールクロック制御レジスタ1(0x300F36)のSDRAMCKOF(D1)で制御します。このビットは"0"に初期設定され、BCLGEN(0x300F33・D7)が"1"に設定されている場合はSDRAMコントローラにhalt2run_clkクロックが供給されます。SDRAMコントローラを使用しない場合はSDRAMCKOFを"1"に設定し、クロック供給を停止してください。

内蔵VRAMとLCDCキャッシュへのクロック供給は、モジュールクロック制御レジスタ1(0x300F36)のVRAMCKOF(D0)で制御します。このビットは"0"に初期設定され、BCLGEN(0x300F33・D7)が"1"に設定されている場合は内蔵VRAMとLCDCキャッシュにhalt2run_clkクロックが供給されます。内蔵VRAMとLCDCを使用しない場合はVRAMCKOFを"1"に設定し、クロック供給を停止してください。

■LCDコントローラ

LCDコントローラに対しては2種類のクロック(sbcuclk、lcdc_clk)が供給されており、個々に制御可能です。

sbcuclkクロックはLCDコントローラのホストインタフェースが使用します。このクロックの供給は、モジュールクロック制御レジスタ0(0x300F35)のLHIFCKOF(D0)で制御します。このビットは"0"に初期設定され、LCDコントローラにsbcuclkクロックが供給されます。LCDコントローラを使用しない場合はLHIFCKOFを"1"に設定し、クロック供給を停止してください。

LCDCクロック(lcdc_clk)はLCDインタフェースのピクセルクロック等として使用するクロックで、LCDCクロックジェネレータにより生成されます。LCDCクロックジェネレータはMiscレジスタで制御することができます。

LCDCクロックジェネレータの制御

1. ソースクロックの選択

LCDCクロックジェネレータのソースクロックは、バスクロックジェネレータと同様に、サブシステムクロック選択レジスタ(0x300F32)のSUBCKSEL(D0)で選択できます。

SUBCKSEL = "0": OSC3クロック

SUBCKSEL = "1": PLL出力クロック

デフォルト設定では、OSC3クロックとPLL出力クロックはソースクロックセクタに供給されます。SDRAMコントローラとLCDコントローラを使用しない場合は、消費電流を抑えるため、サブシステムクロック制御レジスタ(0x300F37)のSUBCKOF(D0)への"1"書き込みによりソースクロックセクタへのクロック供給を停止することができます。

ソースクロックをOSC3クロックとPLL出力クロックから選択する場合、SUBCKOF(0x300F37・D0)は必ず"1"に設定してください。

2. クロック周波数(ソースクロックの分周比)の選択

LCDCクロックジェネレータはソースクロックを分周してLCDCクロックを生成します。この分周比をLCDCクロックジェネレータ制御レジスタ(0x300F34)のLCLGDT[3:0](D[3:0])で表III.17.4のとおり設定します。

表III.17.4 LCDCクロックの分周比

LCLGDT3	LCLGDT2	LCLGDT1	LCLGDT0	LCLGソースクロック
1	1	1	1	subsys_clk / 16
1	1	1	0	subsys_clk / 15
1	1	0	1	subsys_clk / 14
1	1	0	0	subsys_clk / 13
1	0	1	1	subsys_clk / 12
1	0	1	0	subsys_clk / 11
1	0	0	1	subsys_clk / 10
1	0	0	0	subsys_clk / 9
0	1	1	1	subsys_clk / 8
0	1	1	0	subsys_clk / 7
0	1	0	1	subsys_clk / 6
0	1	0	0	subsys_clk / 5
0	0	1	1	subsys_clk / 4
0	0	1	0	subsys_clk / 3
0	0	0	1	subsys_clk / 2
0	0	0	0	subsys_clk

LCDCクロック信号に不要な微細パルスが発生することがありますので、LCLGDT3、LCLGDT2、LCLGDT1およびLCLGDT0制御ビットを同時に変更しないでください。

3. クロックのON/OFF

LCDCクロックジェネレータのクロック出力はLCDCクロックジェネレータ制御レジスタ(0x300F34)のLCLGEN(D7)で制御します。

LCLGEN = "0": クロック出力停止

LCLGEN = "1": クロック出力

LCLGEN(0x300F34・D7)に"1"を書き込むことで、LCDCクロックジェネレータは1と2により設定されたlcdc_clkクロックを出力します。SLEEPモード時には、この制御ビットの設定にかかわらずlcdc_clkクロックは停止します。HALTおよびHALT2モードでは、このビットの設定が有効です。

2のクロック設定は、必ずLCLGEN(0x300F34・D7)を"0"にしてから行ってください。

拡張周辺回路の補助機能設定

Miscレジスタには以下の機能を設定する制御ビットも用意されています。

■拡張周辺回路バスインタフェースのA0/#BSL設定

A0/#BSL選択レジスタ(0x300F38)のBSLSEL(D0)は、拡張周辺回路用バスのインタフェース方式の選択に使用します。

BSLSEL = "0": A0モード

BSLSEL = "1": #BSLモード

このインタフェース方式は、バスコントロールレジスタ(0x4812E)のSBUSST(D3)で設定するBCUのインタフェース方式と同じに設定してください。

また、BSLSEL(0x300F38・D0)より先に、SBUSST(0x4812E・D3)でBCUを設定する必要があります。

■SDRAMと内蔵VRAMのバス速度

C33 STDコアのBCUは、#X2SPD端子とバス速度設定レジスタ(0x4813E)によりエリアごとにバススピードモード(x1スピードモードとx2スピードモード)を設定できるようになっています。SDRAMと内蔵VRAMはBCUからバスアービタを介してアクセスするため、拡張ブロック内にバススピードモードの制御回路を持ち、Miscレジスタで制御するようになっています。

SDRAMのバススピードモードはx2スピードモード制御レジスタ(0x300F39)のSDRAMX2(D1)で、内蔵VRAMのバススピードモードはx2スピードモード制御レジスタ(0x300F39)のIVRAMX2(D0)で設定します。

この制御ビットを"1"に設定すると、x1スピードモード(CPU - バスクロック比が1:1)となり、SDRAM/内蔵VRAMのバスクロックがCPUシステムクロックと同じになります。

この制御ビットが"0"の場合はx2スピードモード(CPU - バスクロック比が2:1)となります。

BCUのバス速度設定レジスタ(0x4813E)と同様、この設定も#X2SPD端子が"0"(x2スピードモード)に設定されている場合にのみ有効で、#X2SPD端子が"1"の場合はx1スピードモードに固定されます。

■USBのウェイトとスヌーズ制御

USBファンクションコントローラは他の内部ブロックとは異なるウェイト制御が必要です。このウェイト数の設定をマクロ制御レジスタ(0x300F20)のUSBWT[2:0](D[2:0])で行います。USBWT[2:0]で選択したウェイトは、エリア12-11設定レジスタ(0x48124)のA12WT[2:0](D[2:0])で選択したウェイトと共にUSBレジスタのアクセスサイクルに挿入されます。

USBWT[2:0]は、CPU動作クロック周波数に合わせ、以下のように設定してください。

表III.17.5 USBバスのウェイト設定

USBWT2	USBWT1	USBWT0	CPUクロック	ウェイトサイクル
1	1	1	40MHz以上	BCUウェイト設定 + 140ns
1	1	0		BCUウェイト設定 + 120ns
1	0	1	24MHz	BCUウェイト設定 + 100ns
1	0	0		BCUウェイト設定 + 80ns
0	1	1		BCUウェイト設定 + 60ns
0	1	0	12MHz	BCUウェイト設定 + 40ns
0	0	1		BCUウェイト設定 + 20ns
0	0	0	6MHz	BCUウェイト設定 + 0ns

マクロ制御レジスタ(0x300F20)にはUSBファンクションコントローラのスヌーズモードを制御するUSBSNZビット(D5)も割り付けられています。

USB制御の詳細については、"VI-2 USBファンクションコントローラ"を参照してください。

MiscレジスタのI/Oメモリ

表III.17.6にMiscレジスタの制御ビットを示します。

表III.17.6 Miscレジスタの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈	
マクロ制御レジスタ	0300F20 (B)	D7-6	-	reserved	-		-	-	読み出し時: 0
		D5	USBSNZ	USBスヌーズ制御	1 許可	0 禁止	0	R/W	
		D4	USBCLKEN	USBクロックイネーブル	1 許可	0 禁止	0	R/W	
		D3	-	reserved	-		-	-	読み出し時: 0
		D2	USBWT2	USBバスウェイト数	0〜7		1	R/W	
D1	USBWT1	1							
D0	USBWT0	1							
Misc書き込み保護レジスタ	0300F2F (B)	D7	WRPROT7	Miscレジスタ書き込み保護	10010110(0x96)書き込みによりMiscレジスタ(0x300F20, 0x300F30〜0x300F39)の書き込み保護を解除します。本レジスタへの10010110(0x96)以外の書き込み、またはMiscレジスタ(0x300F20, 0x300F30〜0x300F39)への書き込みにより書き込み保護状態に戻ります。		0	R/W	
D6	WRPROT6	0							
D5	WRPROT5	0							
D4	WRPROT4	0							
D3	WRPROT3	0							
D2	WRPROT2	0							
D1	WRPROT1	0							
D0	WRPROT0	0							
システムクロック分周レジスタ	0300F30 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0
		D1	SYSCCLK1	PLL入力クロック設定 (OSC3クロック分周比)	SYSCCLK[1:0]	分周比	1	R/W	
		D0	SYSCCLK0		1 1	OSC3 / 3	0		
			1 0		OSC3 / 2				
		0 *	OSC3 / 1						
PLL制御レジスタ	0300F31 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0
		D1	PLLPDWN	PLLソフトウェアパワーダウン (PLLS0を"1"に設定した場合)	1 PLL未使用 (CLK=OSC3)	0 PLL使用	0	R/W	
		D0	PLLMODE	PLL通信モード選択	1 x2	0 x1	0	R/W	
サブシステムクロック選択レジスタ	0300F32 (B)	D7-1	-	reserved	-		-	-	読み出し時: 0
D0	SUBCKSEL	サブシステムソースクロック選択	1 PLLクロック	0 OSC3クロック	0	R/W			
バスクロックジェネレータ制御レジスタ	0300F33 (B)	D7	BCLGEN	バスクロックジェネレータイネーブル	1 動作	0 停止	0	R/W	
		D6-2	-	reserved	-		-	-	
		D1	BCLGDT1	バスクロック設定 (サブシステムクロック分周比)	BCLGDT[1:0]	分周比	0	R/W	
		D0	BCLGDT0		1 1	subsys_clk / 4	0		
			1 0		subsys_clk / 2				
		0 *	subsys_clk / 1						
LCDCクロックジェネレータ制御レジスタ	0300F34 (B)	D7	LCLGEN	LCDCクロックジェネレータイネーブル	1 動作	0 停止	0	R/W	
		D6-4	-	reserved	-		-	-	
		D3	LCLGDT3	LCDCクロック設定 (サブシステムクロック分周比)	LCDCクロック周波数 = $\frac{\text{subsys_clk}}{\text{LCLGDT}[3:0] + 1}$ [Hz]		0	R/W	
		D2	LCLGDT2				0		
		D1	LCLGDT1				0		
		D0	LCLGDT0				0		
モジュールクロック制御レジスタ0	0300F35 (B)	D7	USBCCKOF	USBクロック(sbcuclk)	1 停止	0 供給	0	R/W	
		D6	FSIFCK1OF	FSIFクロック(bcucclk)			0	R/W	
		D5	FSIFCK2OF	FSIFクロック(pericclk)			0	R/W	
		D4	SPICKOF	SPIクロック(sbcuclk)			0	R/W	
		D3	SMIFCKOF	SMIFクロック(sbcuclk)			0	R/W	
		D2	SQCKOF	SQROMクロック(sbcuclk)			0	R/W	
		D1	ARBCKOF	バスアービタクロック(sbcuclk)			0	R/W	
		D0	LHIFCKOF	LCDCホストI/Fクロック(sbcuclk)			0	R/W	
		モジュールクロック制御レジスタ1	0300F36 (B)	D7-2			-	reserved	
D1	SDRAMCKOF			SDRAMクロック(halt2run_clk)	1 停止	0 供給	0	R/W	
D0	VRAMCKOF			内蔵VRAMクロック(halt2run_clk)			0	R/W	
サブシステムクロック制御レジスタ	0300F37 (B)	D7-1	-	reserved	-		-	-	読み出し時: 0
		D0	SUBCKOF	OSC3/PLLクロックディセーブル	1 停止	0 供給	0	R/W	
A0/#BSL選択レジスタ	0300F38 (B)	D7-1	-	reserved	-		-	-	読み出し時: 0
		D0	BSLSEL	A0/#BSLモード選択	1 #BSLモード	0 A0モード	0	R/W	
x2スピードモード制御レジスタ	0300F39 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0
		D1	SDRAMX2	SDRAM x2スピードモードディセーブル	1 x1スピードモード	0 x2スピードモード	0	R/W	
		D0	IVRAMX2	IVRAM x2スピードモードディセーブル			0	R/W	

III

Clock

WRPROT7-WRPROT0: Miscレジスタ書き込み保護(D[7:0]/0x300F2F<Misc書き込みレジスタ>)

Miscレジスタの書き込み保護を解除します。

"0b10010110"書き込み: 書き込み保護解除

上記以外の書き込み: 書き込み保護

読み出し: 可能

Miscレジスタ(0x300F20、0x300F30～0x300F39)に書き込みを行うには、WRPROT[7:0]を"0b10010110"(0x96)に設定してこれらのアドレスの書き込み保護を解除する必要があります。解除された書き込み保護は、Miscレジスタ(0x300F20、0x300F30～0x300F39)のいずれかひとつへの書き込み、またはWRPROT[7:0]への"0b10010110"以外の値の書き込みにより再設定されます。

イニシャルリセット時、WRPROTは"0b00000000"(書き込み保護)に設定されます。

USBSNZ: USBスヌーズ制御(D5/0x300F20<マクロ制御レジスタ>)

USBファンクションコントローラのスヌーズ制御を有効/無効に設定します。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

USBSNZに"1"を書き込むと、USBファンクションコントローラは必要なシーケンスを実行後、スヌーズモードに移行します。このビットを"0"に設定すると、USBファンクションコントローラはスヌーズモードを解除し、動作を再開します。スヌーズシーケンスの詳細については、"VI-2 USBファンクションコントローラ"の"スヌーズ"を参照してください。

イニシャルリセット時、USBSNZは"0"(無効)に設定されます。

USBCLKEN: USBクロックイネーブル(D4/0x300F20<マクロ制御レジスタ>)

USBファンクションコントローラへのOSC3クロック出力を許可/禁止します。

"1"書き込み: 許可

"0"書き込み: 禁止

読み出し: 可能

USBCLKENに"1"を書き込むことにより、OSC3クロックがUSBファンクションコントローラに出力されます。"0"を書き込むと出力は停止します。

イニシャルリセット時、USBCLKENは"0"(禁止)に設定されます。

USBWT2-USBWT0: USBバスウェイト数(D[2:0]/0x300F20<マクロ制御レジスタ>)

USBレジスタをアクセスするUSBバスサイクルに挿入するウェイトサイクル数を指定します。

エリア11のUSBファンクションコントローラは他の内部ブロックとは異なるウェイト制御が必要で、USBWT[2:0]はUSBレジスタのリード/ライトタイミングの調整に使用します。BCUレジスタによるウェイト制御も有効で、USBWT[2:0]で指定したウェイトサイクルは、USBレジスタのアクセス時にBCUのウェイトサイクルに加えられます。

BCUのエリア11アクセス条件は、USBレジスタで基本的に以下のように設定します。

CPU動作クロックが40MHz以上の場合:

ウェイトサイクル数 = 2 ... A12WT[2:0](0x48124•D[2:0]) = "010"

出力ディセーブル遅延時間 = 0.5サイクル ... A12DF[1:0](0x48124•D[5:4]) = "00"

CPU動作クロックが40MHz未満の場合:

ウェイトサイクル数 = 1 ... A12WT[2:0](0x48124•D[2:0]) = "001"

出力ディセーブル遅延時間 = 0.5サイクル ... A12DF[1:0](0x48124•D[5:4]) = "00"

CPUが40MHz以上のクロックで動作し、上記のアクセス条件が設定されている場合、USBレジスタのアクセスにはBCUウェイトに140nsのウェイトサイクルの追加が必要です。

USBWT[2:0]は、CPU動作クロック周波数に合わせ、以下のように設定してください。

表III.17.7 USBバスウェイトの設定

USBWT2	USBWT1	USBWT0	CPUクロック	ウェイトサイクル
1	1	1	40MHz以上	BCUウェイト設定 + 140ns
1	1	0		BCUウェイト設定 + 120ns
1	0	1	24MHz	BCUウェイト設定 + 100ns
1	0	0		BCUウェイト設定 + 80ns
0	1	1		BCUウェイト設定 + 60ns
0	1	0	12MHz	BCUウェイト設定 + 40ns
0	0	1		BCUウェイト設定 + 20ns
0	0	0	6MHz	BCUウェイト設定 + 0ns

USBWT[2:0]の設定から、48MHzクロックをカウントして追加のウェイトサイクルが生成されます。イニシャルリセット時、USBWT[2:0]は"7"に設定されます。

SYSCLK1-SYSCLK0: PLL入力クロック設定 (D[1:0]/0x300F30<システムクロック分周レジスタ>)

PLL入力クロック周波数(OSC3クロック分周比)を設定します。

表III.17.8 PLL入力クロックの設定

SYSCLK1	SYSCLK0	PLL入力クロック
1	1	OSC3 / 3
1	0	OSC3 / 2
0	1	OSC3
0	0	

halt2run_clk信号に不要な微細パルスが発生することがありますので、SYSCLK1とSYSCLK0制御ビットを同時に変更しないでください。

イニシャルリセット時、SYSCLKは"0b10"(OSC3 / 2)に設定されます。

III

PLLPDWN: PLLソフトウェアパワーダウン (D1/0x300F31<PLL制御レジスタ>)

PLLを使用するかしないかを選択します。

"1"書き込み: 使用しない

"0"書き込み: 使用する

読み出し: 可能

OSC3クロックを直接システムクロックとして使用する場合は、消費電流を抑えるためにPLLPDWNに"1"を書き込んでPLLをバイパスすることができます。PLLを使用する場合はPLLPDWNを"0"に設定してください。

この制御ビットはPLLS0端子が"1"に設定されている場合にのみ有効です。PLLS0端子が"0"に設定されている場合、PLLPDWNの設定にかかわらずPLLはバイパスされます。

イニシャルリセット時、PLLPDWNは"0"(使用する)に設定されます。

PLLMODE: PLL通倍モード選択 (D0/0x300F31<PLL制御レジスタ>)

PLL通倍モードを選択します。

"1"書き込み: x2モード

"0"書き込み: x1モード

読み出し: 可能

PLLMODEに"1"を書き込むと、PLLはx2モードになり、入力クロック周波数を2通倍してCLGに出力します。"0"を書き込むと、PLLはx1モードになり、入力クロックを通倍せずにCLGに出力します。

イニシャルリセット時、PLLMODEは"0"(x1モード)に設定されます。

Clock

注: システムクロックの分周レジスタ (0x300F30) またはPLL制御レジスタ (0x300F31) を変更する前に、CPUと周辺回路の動作クロックのソースをOSC1に切り換える必要があります。OSC3がソースクロックの場合に変更するとCPUが誤動作します。

SUBCKSEL: サブシステムソースクロック選択(D0/0x300F32<サブシステムクロック選択レジスタ>)

バスクロックジェネレータとLCDCクロックジェネレータのソースクロックを選択します。

"1"書き込み: PLL出力クロック

"0"書き込み: OSC3クロック

読み出し: 可能

SUBCKSELに"1"を書き込むと、PLL出力クロックがバスクロックジェネレータとLCDCクロックジェネレータのソースクロック(subsys_clk)として選択されます。"0"を書き込むとOSC3クロックが選択されます。イニシャルリセット時、SUBCKSELは"0"(OSC3クロック)に設定されます。

BCLGEN: バスクロックジェネレータイネーブル(D7/0x300F33<バスクロックジェネレータ制御レジスタ>)

バスクロックジェネレータを動作させます。

"1"書き込み: 動作

"0"書き込み: 停止

読み出し: 可能

BCLGENに"1"を書き込むと、バスクロックジェネレータにソースクロックが供給され、SDRAMと内蔵VRAM用のhalt2run_clkクロックの出力を開始します。"0"を書き込むと、バスクロックジェネレータはhalt2run_clkクロックの出力を停止します。

イニシャルリセット時、BCLGENは"0"(停止)に設定されます。

BCLGDT1-BCLGDT0: バスクロック設定(D[1:0]/0x300F33<バスクロックジェネレータ制御レジスタ>)

バスクロックジェネレータの分周比を選択し、halt2run_clkの周波数を設定します。

表III.17.9 バスクロック分周比の選択

BCLGDT1	BCLGDT0	BCLGソースクロック
1	1	subsys_clk / 4
1	0	subsys_clk / 2
0	1	subsys_clk
0	0	

halt2run_clk信号に不要な微細パルスが発生することがありますので、BCLGDT1とBCLGDT0制御ビットを同時に変更しないでください。

イニシャルリセット時、BCLGDTは"0"(subsys_clk)に設定されます。

LCLGEN: LCDCクロックジェネレータイネーブル(D7/0x300F34<LCDCクロックジェネレータ制御レジスタ>)

LCDCクロックジェネレータを動作させます。

"1"書き込み: 動作

"0"書き込み: 停止

読み出し: 可能

LCLGENに"1"を書き込むと、LCDCクロックジェネレータにソースクロックが供給され、LCDコントローラ用のlcdc_clkクロックの出力を開始します。"0"を書き込むと、LCDCクロックジェネレータはlcdc_clkクロックの出力を停止します。

イニシャルリセット時、LCLGENは"0"(停止)に設定されます。

LCLGDT3–LCLGDT0: LCDCクロック設定(D[3:0]/0x300F34<LCDCクロックジェネレータ制御レジスタ>)

LCDCクロックジェネレータの分周比を選択し、lcdc_clkの周波数を設定します。

表III.17.10 LCDCクロック分周比の選択

LCLGDT3	LCLGDT2	LCLGDT1	LCLGDT0	LCLGソースクロック
1	1	1	1	subsys_clk / 16
1	1	1	0	subsys_clk / 15
1	1	0	1	subsys_clk / 14
1	1	0	0	subsys_clk / 13
1	0	1	1	subsys_clk / 12
1	0	1	0	subsys_clk / 11
1	0	0	1	subsys_clk / 10
1	0	0	0	subsys_clk / 9
0	1	1	1	subsys_clk / 8
0	1	1	0	subsys_clk / 7
0	1	0	1	subsys_clk / 6
0	1	0	0	subsys_clk / 5
0	0	1	1	subsys_clk / 4
0	0	1	0	subsys_clk / 3
0	0	0	1	subsys_clk / 2
0	0	0	0	subsys_clk

LCDCクロック信号に不要な微細パルスが発生することがありますので、LCLGDT3、LCLGDT2、LCLGDT1およびLCLGDT0制御ビットを同時に変更しないでください。

イニシャルリセット時、LCLGDTは"0"(subsys_clk)に設定されます。

USBCKOF: USBモジュールクロック制御(D7/0x300F35<モジュールクロック制御レジスタ0>)

USBモジュール(ホストインタフェース)へのクロック供給を制御します。

"1"書き込み: 停止

"0"書き込み: 供給

読み出し: 可能

USBCKOFに"1"を書き込むと、USBモジュールへのsbucclkクロックの供給が止まり、USBファンクションコントローラは動作を停止します。"0"を書き込むとUSBモジュールにクロックが供給されます。

このビットはUSBクロック(OSC3クロック)の供給には影響を与えません。

イニシャルリセット時、USBCKOFは"0"(供給)に設定されます。

FSIFCK1OF: FSIFモジュールクロック制御1(D6/0x300F35<モジュールクロック制御レジスタ0>)

FIFO付きシリアルインタフェースへのクロック供給を制御します。

"1"書き込み: 停止

"0"書き込み: 供給

読み出し: 可能

FSIFCK1OFに"1"を書き込むと、FSIFモジュールへのsbucclkクロックの供給が止まり、FIFO付きシリアルインタフェースは動作を停止します。"0"を書き込むとFSIFモジュールにクロックが供給されます。

イニシャルリセット時、FSIFCK1OFは"0"(供給)に設定されます。

FSIFCK2OF: FSIFモジュールクロック制御2(D5/0x300F35<モジュールクロック制御レジスタ0>)

FIFO付きシリアルインタフェースのポーレートタイマへのクロック供給を制御します。

"1"書き込み: 停止

"0"書き込み: 供給

読み出し: 可能

FSIFCK2OFに"1"を書き込むと、FSIFモジュール(ポーレートタイマ)へのpericlkクロックの供給が停止します。"0"を書き込むとFSIFモジュールにクロックが供給されます。FIFO付きシリアルインタフェースで外部転送クロックを使用する場合、このクロック供給を停止することができます。外部クロックを使用する場合、このクロックを停止してもシリアル転送動作には影響を与えません。

イニシャルリセット時、FSIFCK2OFは"0"(供給)に設定されます。

SPICKOF: SPIモジュールクロック制御(D4/0x300F35<モジュールクロック制御レジスタ0>)

SPIモジュールへのクロック供給を制御します。

"1"書き込み: 停止
 "0"書き込み: 供給
 読み出し: 可能

SPICKOFに"1"を書き込むと、SPIモジュールへのsbucclkクロックの供給が止まり、SPI回路は動作を停止します。"0"を書き込むとSPIモジュールにクロックが供給されます。

イニシャルリセット時、SPICKOFは"0"(供給)に設定されます。

SMIFCKOF: SMIFモジュールクロック制御(D3/0x300F35<モジュールクロック制御レジスタ0>)

NANDフラッシュインタフェースモジュールへのクロック供給を制御します。

"1"書き込み: 停止
 "0"書き込み: 供給
 読み出し: 可能

SMIFCKOFに"1"を書き込むと、NANDフラッシュインタフェースモジュールへのsbucclkクロックの供給が止まり、NANDフラッシュインタフェース回路は動作を停止します。"0"を書き込むとNANDフラッシュインタフェースモジュールにクロックが供給されます。

イニシャルリセット時、SMIFCKOFは"0"(供給)に設定されます。

SQCKOF: SQROMモジュールクロック制御(D2/0x300F35<モジュールクロック制御レジスタ0>)

シーケンシャルROMインタフェースモジュールへのクロック供給を制御します。

"1"書き込み: 停止
 "0"書き込み: 供給
 読み出し: 可能

SQCKOFに"1"を書き込むと、シーケンシャルROMインタフェースモジュールへのsbucclkクロックの供給が止まり、シーケンシャルROMインタフェース回路は動作を停止します。"0"を書き込むとシーケンシャルROMインタフェースモジュールにクロックが供給されます。

イニシャルリセット時、SQCKOFは"0"(供給)に設定されます。

ARBCKOF: バスアービタモジュールクロック制御(D1/0x300F35<モジュールクロック制御レジスタ0>)

バスアービタモジュールへのクロック供給を制御します。

"1"書き込み: 停止
 "0"書き込み: 供給
 読み出し: 可能

ARBCKOFに"1"を書き込むと、バスアービタモジュールへのsbucclkクロックの供給が止まり、バスアービタは動作を停止します。"0"を書き込むとバスアービタモジュールにクロックが供給されます。

イニシャルリセット時、ARBCKOFは"0"(供給)に設定されます。

LHIFCKOF: LCDCホストI/Fクロック制御(D0/0x300F35<モジュールクロック制御レジスタ0>)

LCDCホストインタフェースへのクロック供給を制御します。

"1"書き込み: 停止
 "0"書き込み: 供給
 読み出し: 可能

LHIFCKOFに"1"を書き込むと、LCDCホストインタフェースへのsbucclkクロックの供給が止まり、LCDCホストインタフェースは動作を停止します。"0"を書き込むとLCDCホストインタフェースにクロックが供給されます。

このビットは、LCDCクロックジェネレータで生成されたLCDCクロックの供給制御には影響を与えません。

イニシャルリセット時、LHIFCKOFは"0"(供給)に設定されます。

SDRAMCKOF: SDRAMクロック制御(D1/0x300F36<モジュールクロック制御レジスタ1>)

SDRAMコントローラへのクロック供給を制御します。

"1"書き込み: 停止
 "0"書き込み: 供給
 読み出し: 可能

SDRAMCKOFに"1"を書き込むと、SDRAMコントローラへのhalt2run_clkクロックの供給が止まり、SDRAMコントローラは動作を停止します。"0"を書き込むとSDRAMコントローラにクロックが供給されます。イニシャルリセット時、SDRAMCKOFは"0"(供給)に設定されます。

VRAMCKOF: VRAMクロック制御(D0/0x300F36<モジュールクロック制御レジスタ1>)

内蔵VRAMへのクロック供給を制御します。

"1"書き込み: 停止
 "0"書き込み: 供給
 読み出し: 可能

VRAMCKOFに"1"を書き込むと、内蔵VRAMへのhalt2run_clkクロックの供給が停止します。"0"を書き込むと内蔵VRAMにクロックが供給されます。イニシャルリセット時、VRAMCKOFは"0"(供給)に設定されます。

SUBCKOF: OSC3/PLLクロックディセーブル(D0/0x300F37<サブシステムクロック制御レジスタ>)

サブシステムクロックセクタへのOSC3/PLL出力クロックの供給を制御します。

"1"書き込み: 停止
 "0"書き込み: 供給
 読み出し: 可能

SUBCKOFに"1"を書き込むと、バスクロックジェネレータとLCDCクロックジェネレータのソースクロックを選択するサブシステムクロックセクタへのOSC3クロックおよびPLL出力クロックの供給が停止します。これにより、消費電流を抑えることができますが、SDRAMコントローラおよびLCDコントローラを使用できなくなります。SUBCKOFに"0"を書き込むとサブシステムクロックセクタにこれらのクロックが供給されます。イニシャルリセット時、SUBCKOFは"0"(供給)に設定されます。

BSLSEL: A0/#BSLモード選択(D0/0x300F38<A0/#BSL選択レジスタ>)

拡張周辺回路ブロックのインタフェース方式を選択します。

"1"書き込み: #BSLモード
 "0"書き込み: A0モード
 読み出し: 可能

BCUで#BSL方式を選択している場合は、BSLSELに"1"を書き込みます。BCUでA0方式を選択している場合は、BSLSELに"0"を書き込みます。BSLSELを設定する前に、必ずBCU側のインタフェース方式をバスコントロールレジスタ(0x4812E)のSBUSST(D3)で設定してください。イニシャルリセット時、BSLSELは"0"(A0モード)に設定されます。

SDRAMX2: SDRAM x2スピードモードディセーブル(D1/0x300F39<x2スピードモード制御レジスタ>)

SDRAMのバススピードモードを設定します。

"1"書き込み: x1スピードモード
 "0"書き込み: x2スピードモード
 読み出し: 可能

SDRAMX2に"1"を書き込むと、x1スピードモード(CPU-バスクロック比が1:1)に設定され、SDRAM/内蔵VRAMのバスクロックとCPUシステムクロックが同じ周波数になります。"0"を書き込むとx2スピードモード(CPU-バスクロック比が2:1)に設定され、SDRAM/内蔵VRAMのバスクロックの周波数がCPUシステムクロックの1/2になります。ただし、この制御は#X2SPD端子が"0"(x2スピードモード)に設定されている場合にのみ有効で、それ以外はx1スピードモードに固定されます。イニシャルリセット時、SDRAMX2は"0"(x2スピードモード)に設定されます。

プログラミング上の注意事項

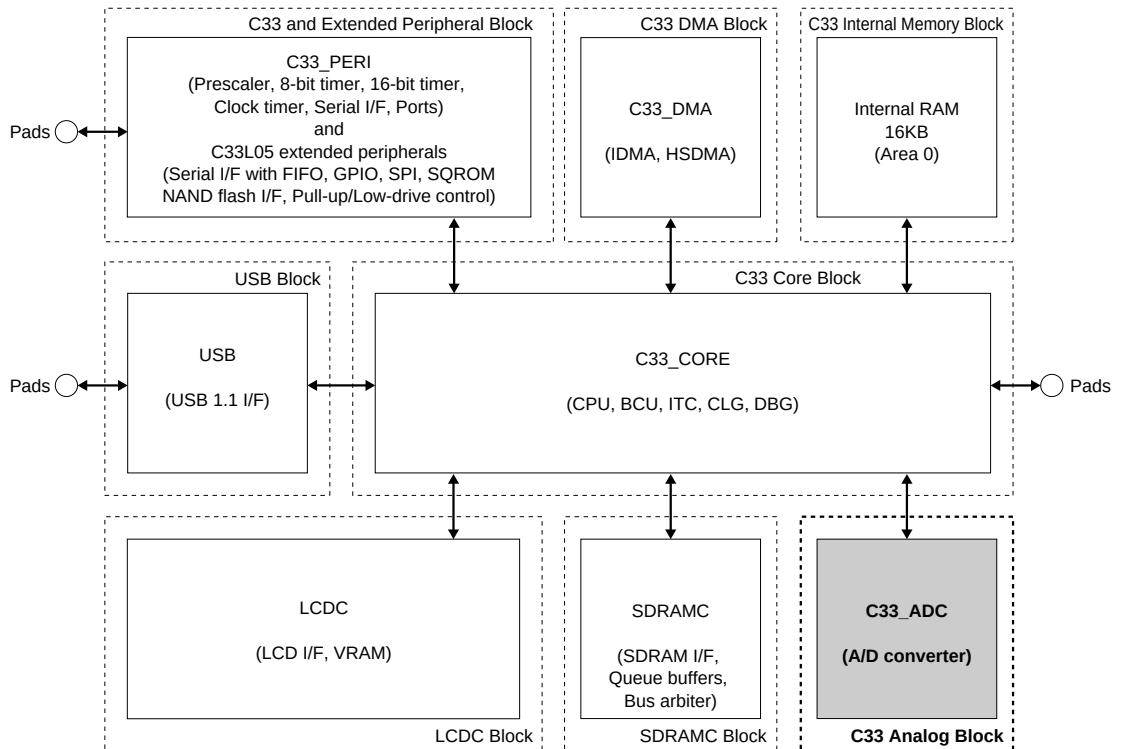
- (1) システムクロックの分周レジスタ(0x300F30)またはPLL制御レジスタ(0x300F31)を変更する場合は、その前にCPUと周辺回路の動作クロックのソースをOSC1に切り換える必要があります。OSC3がソースクロックの場合に変更するとCPUが誤動作します。
- (2) SYSCLK[1:0](0x300F30・D[1:0])、BCLGDT[1:0](0x300F33・D[1:0])またはLCLGDT[3:0](0x300F34・D[3:0])で分周比を変更する場合、微細パルスの発生を防止するため、これらの制御ビットは1ビットずつ変更してください。たとえば、値を0b00から0b11に変更する場合、はじめに0b01(または0b10)を書き込み、さらに0b11を書き込みます。2ビット以上を同時に変更すると(この例では0b00を直接0b11に変更)、変更したクロックを使用する回路が誤動作する場合があります。

S1C33L05 Technical Manual

IV アナログブロック

IV-1 はじめに

アナログブロックは、5本のアナログ入力チャンネルを持つ10ビットA/D変換器で構成されています。



図IV.1.1 アナログブロック

注: C33アナログブロックは8本のアナログ入力(AD0～AD7)に対応していますが、S1C33L05には5本のアナログ入力端子(AD0～AD4)のみ用意されています。AD5～AD7は使用できません。

このページはブランクです。

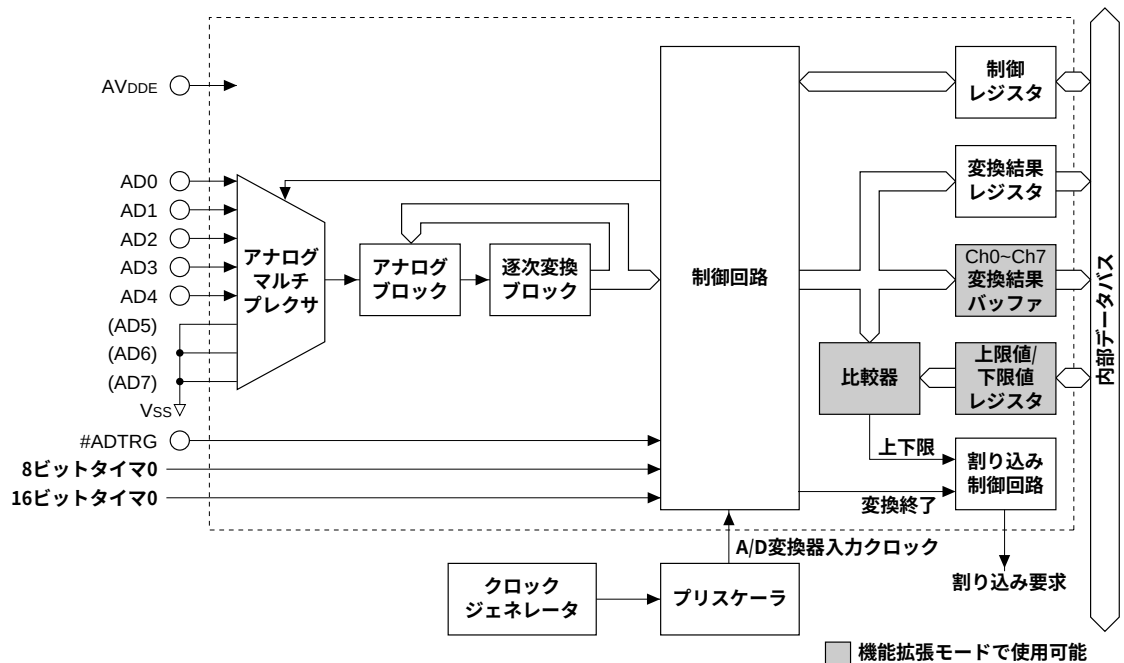
IV-2 A/D変換器

A/D変換器の特長と構成

C33 STDは以下の特長を持つA/D変換器を内蔵しています。

- 変換方式 逐次比較型
 - 分解能 10ビット
 - 入力チャンネル 最大5チャンネル
 - A/D変換器入力クロック 最大2MHz、最小16kHz
 - 変換時間 最小10μsec(2MHzの入力クロック選択時)
最大1250μsec(16kHzの入力クロック選択時)
 - 変換範囲 V_{SS}～A_VD_{DE}間
 - 2種類の変換モードが選択可能
通常モード: 1回の変換で終了
連続モード: 連続的に変換、ソフトウェア制御により終了
各モードで、複数チャンネルの連続変換が可能
 - 4種類のA/D変換開始トリガが選択可能
外部端子(#ADTRG)によるトリガ
16ビットプログラマブルタイマ0のコンペアマッチBによるトリガ
8ビットプログラマブルタイマ0のアンダーフローによるトリガ
ソフトウェアによるトリガ
 - A/D変換結果は10ビットデータレジスタ、または各チャンネルの変換結果バッファ*から読み出し可能
 - A/D変換終了時、および変換結果が指定上下限範囲外*の場合に割り込み発生可能
- * 機能拡張モードで使用可能な機能です。C33 STDのA/D変換器は従来のC33アナログブロックとの互換性を持つ33209互換モードと、拡張機能を使用可能な機能拡張モードの2種類の動作モードを持っています。

図IV.2.1にA/D変換器の構成を示します。



図IV.2.1 A/D変換器の構成

注: C33アナログブロックは最大8本のアナログ入力(AD0～AD7)に対応していますが、本チップは5チャンネルのみ使用可能です。AD5～AD7ポートの変換結果およびK65～K67ポートの入力データは無効です。

A/D変換器の入力端子

表IV.2.1にA/D変換器で使用する端子を示します。

表IV.2.1 A/D変換器の端子構成

端子名	I/O	機能	機能選択ビット
K52(#ADTRG)	I	入力ポート/ADトリガ	CFK52(K5機能選択レジスタ0x402C0・D2)
K60(AD0)	I	入力ポート/AD変換器入力0	CFK60(K6機能選択レジスタ0x402C3・D0)
K61(AD1)	I	入力ポート/AD変換器入力1	CFK61(K6機能選択レジスタ0x402C3・D1)
K62(AD2)	I	入力ポート/AD変換器入力2	CFK62(K6機能選択レジスタ0x402C3・D2)
K63(AD3)	I	入力ポート/AD変換器入力3	CFK63(K6機能選択レジスタ0x402C3・D3)
K64(AD4)	I	入力ポート/AD変換器入力4	CFK64(K6機能選択レジスタ0x402C3・D4)
AVDDE	—	アナログ系電源(+)	—

■AVDDE(アナログ電源端子)

AVDDE端子はアナログ回路の電源端子です。

注: A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAVDDE～VSS間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0"、デフォルト)に設定してください。

■AD[4:0](アナログ信号入力端子)

アナログ入力端子AD4(Ch.4)～AD0(Ch.0)は入力ポート端子K64～K60と共用されています。したがって、アナログ入力端子として用いる場合は、ソフトウェアによりA/D変換器用に設定する必要があります。この設定は1端子ごとに行えます。コールドスタート時はすべての端子が入力ポート端子に設定されます。

入力可能なアナログ電圧値AVINは $V_{SS} \leq AV_{IN} \leq AV_{DDE}$ の範囲です。

■#ADTRG(外部トリガ入力端子)

#ADTRG端子は、IC外部よりA/D変換を開始させる場合のトリガ信号を入力する端子です。入力ポート端子K52と共用されていますので、外部トリガを与える場合は、ソフトウェアによりA/D変換器用に設定する必要があります。コールドスタート時は入力ポート端子に設定されます。

■A/D変換器入力端子の設定方法

#ADTRG端子およびAD[4:0]端子は、コールドスタート時にすべて入力ポート端子Kxx(機能選択ビットCFKxx="0")として設定されます。A/D変換器に使用する場合は、CFKxxに"1"を書き込んでください。ホットスタート時は、リセット前の状態を保持します。

A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。

1. アナログ入力端子の設定
2. 動作モード(33209互換モード/機能拡張モード)の選択
3. 入力クロックの設定
4. アナログ変換開始チャネル/終了チャネルの選択
5. A/D変換モードの設定
6. トリガの選択
7. サンプリング時間の設定
8. 変換結果の上限値/下限値の設定(機能拡張モード)
9. 割り込みモードの設定(機能拡張モード)
10. ITC/DMA/HSDMAの設定

以下、各設定内容について説明します。アナログ入力端子の設定については前節を、ITCとDMAの設定については"A/D変換器割り込みとDMA"を参照してください。

注: これらの設定は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0")にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

■動作モード(33209互換モード/機能拡張モード)の設定

C33 STDのA/D変換器は従来のC33アナログブロックとの互換性を持つ33209互換モードと、拡張機能を使用可能な機能拡張モードの2種類の動作モードを持っています。表IV.2.2に動作モードによる機能の相違点を示します。

表IV.2.2 33209互換モードと機能拡張モードの相違点

機 能	33209互換モード	機能拡張モード
変換結果の読み出し	全チャネル共通の変換結果レジスタから読み出します。複数チャネルの変換を行う場合、次のチャネルの変換終了前に変換結果レジスタを読み出す必要があります。	チャネルごとに用意されている変換結果バッファから読み出すことができます。複数チャネルの変換を行う場合、次のチャネルの変換が終了しても、現在のチャネルの変換結果が失われることはありません。
変換終了フラグ、オーバーライトエラーフラグ	それぞれ1ビットを全チャネル共通に使用します。	チャネルごとにそれぞれのフラグが用意されています。
上限値/下限値の比較	この機能はありません。	上限値と下限値を設定し、指定チャネルの変換結果がその範囲内かどうかを確認できます。
割り込み	変換終了割り込みのみ発生可能です。割り込みをチャネル単位にマスクすることはできません。	変換終了割り込みと上下限割り込みを発生可能です。チャネル単位で変換終了割り込みをマスク可能です。

機能拡張モードにするには、A/D変換器モード選択レジスタ(0x4025F)のADCADV(D0)を"1"に設定します。この設定後、拡張機能用制御レジスタへのアクセスが可能となります。イニシャルリセット時はADCADVが"0"に設定され、33209互換モードになります。

以下の説明で、特に動作モードの指定がない箇所については、両モードに共通の内容です。

機能拡張モードの各機能については、ADCADVが"1"に設定されているものとして説明します。

■入力クロックの設定

"プリスケアラ"で説明したとおり、A/D変換クロックを表IV.2.3に示す8種類から選択することができます。選択はA/Dクロックコントロールレジスタ(0x4014F)のPSAD[2:0](D[2:0])によって行います。

表IV.2.3 入力クロックの選択

PSAD2	PSAD1	PSAD0	分周比
1	1	1	fPSCIN/256
1	1	0	fPSCIN/128
1	0	1	fPSCIN/64
1	0	0	fPSCIN/32
0	1	1	fPSCIN/16
0	1	0	fPSCIN/8
0	0	1	fPSCIN/4
0	0	0	fPSCIN/2

fPSCIN: プリスケアラ入力クロック周波数

選択したクロックはA/Dクロックコントロールレジスタ(0x4014F)のPSONAD(D3)に"1"を書き込むことにより、プリスケアラからA/D変換器に出力されます。

注: ・ A/D変換器の動作はプリスケアラが動作していることが条件です。("プリスケアラ"参照)

- ・ 入力クロックの周波数は、Max. 2MHz、Min. 16kHzを推奨します。
- ・ プリスケアラからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOFFにしないでください。誤動作の原因となります。

■アナログ変換開始チャンネル/終了チャンネルの選択

アナログ入力に設定した端子(チャンネル)の中から、A/D変換を行うチャンネルを選択します。1回の変換動作で複数のチャンネルのA/D変換を連続的に行えるようになっているため、変換開始チャンネルと変換終了チャンネルを指定します。

変換開始チャンネルの指定: CS[2:0](A/Dチャンネルレジスタ0x40243・D[2:0])

変換終了チャンネルの指定: CE[2:0](A/Dチャンネルレジスタ0x40243・D[5:3])

表IV.2.4 CS/CEと入力チャンネルの関係

CS2/CE2	CS1/CE1	CS0/CE0	選択チャンネル
1	1	1	AD7
1	1	0	AD6
1	0	1	AD5
1	0	0	AD4
0	1	1	AD3
0	1	0	AD2
0	0	1	AD1
0	0	0	AD0

選択例: 1回のA/D変換の動作

CS[2:0]="0", CE[2:0]="0": AD0のみ変換

CS[2:0]="0", CE[2:0]="3": AD0→AD1→AD2→AD3の順に変換

CS[2:0]="5", CE[2:0]="1": AD5→AD6→AD7→AD0→AD1の順に変換

注: CSレジスタおよびCEレジスタで設定する変換チャンネルの入力端子は、すべてA/D変換器用に設定されていることが必要です。

■A/D変換モードの設定

A/D変換器は次の2つのモードで動作可能で、この動作モードはA/Dトリガレジスタ(0x40242)のMS(D5)で選択します。

1. 通常モード(MS = "0")

CSおよびCEレジスタで選択したチャンネル範囲のすべての入力を1回A/D変換して停止します。

2. 連続モード(MS = "1")

ソフトウェアで停止させるまで、CSおよびCEレジスタで選択したチャンネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は通常モードに設定されます。

■トリガの選択

A/D変換を開始させるトリガ方式を、A/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])で表IV.2.5に示す4種類の中から選択します。

表IV.2.5 トリガの選択

TS1	TS0	トリガ
1	1	外部トリガ(K52/#ADTRG)
1	0	8ビットプログラマブルタイマ0
0	1	16ビットプログラマブルタイマ0
0	0	ソフトウェア

1. 外部トリガ

#ADTRG端子への入力信号をトリガとして使用します。

このトリガ方式を使用する場合は、K5機能選択レジスタ(0x402C0)のCFK52(D2)に"1"を書き込み、K52端子を#ADTRG端子として設定しておく必要があります。A/D変換は、#ADTRG信号のLowレベルを検出して開始します。

2. プログラマブルタイマ

8ビットプログラマブルタイマ0のアンダーフロー信号または16ビットプログラマブルタイマ0のコンペアマッチB信号をトリガとして使用します。その周期がそれぞれのタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。

タイマの設定については、各プログラマブルタイマの説明を参照してください。

3. ソフトウェアトリガ

ソフトウェアによるA/Dイネーブルレジスタ(0x40244)のADST(D1)への"1"書き込みをトリガとしてA/D変換を開始します。

■サンプリング時間の設定

本A/D変換器には、アナログ信号の入力サンプリング時間を4段階(入力クロックの3、5、7または9クロック)に設定可能な制御ビットST[1:0](D[1:0])がA/Dサンプリングレジスタ(0x40245)内に設けられています。ただし、このレジスタはデフォルト(ST="11"、9クロック)のまま使用してください。

■上限値/下限値の設定(機能拡張モード)

機能拡張モードでは、上限値および下限値を設定し、変換結果がその範囲内かどうかを確認することができます。この機能を使用するには以下の設定を行います。

1. 上限値/下限値比較チャンネル設定

A/D変換結果と上限値/下限値の比較を行うチャンネルをA/Dサンプリングレジスタ(0x40245)のADCMP[2:0](D[6:4])で選択します。

表IV.2.6 上限値/下限値比較チャンネルの設定

ADCMP2	ADCMP1	ADCMP0	選択チャンネル
1	1	1	AD7
1	1	0	AD6
1	0	1	AD5
1	0	0	AD4
0	1	1	AD3
0	1	0	AD2
0	0	1	AD1
0	0	0	AD0

2. 上限値/下限値の設定

上限値を10ビットのA/D変換上限値レジスタADUPR[9:0](ADUPR[9:8] = D[1:0]/0x40259、ADUPR[7:0] = D[7:0]/0x40258)に、下限値を10ビットのA/D変換下限値レジスタADLWR[9:0](ADLWR[9:8] = D[1:0]/0x4025B、ADLWR[7:0] = D[7:0]/0x4025A)に設定します。

設定した上限値より大きなA/D変換結果で上限オーバー、設定した下限値より小さなA/D変換結果で下限アンダーと判定されます。変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定されます。

3. 上限値/下限値の比較をイネーブル

A/Dサンプリングレジスタ(0x40245)のADCMPE(D7)に"1"を書き込んで、上限値/下限値の比較機能を有効に設定します。

■割り込みモードの設定(機能拡張モード)

機能拡張モードでは割り込み機能も増えており、以下の設定も必要です。

1. 変換終了割り込みのイネーブル/ディセーブル

A/Dイネーブルレジスタ(0x40244)のCNVINTEN(D4)で、変換終了割り込みを有効/無効に設定できます。変換終了割り込みを使用する場合はCNVINTENを"1"に、使用しない場合は"0"に設定します。イニシャルリセット時は"1"に設定され、変換終了割り込み機能は有効となります。

2. 上下限割り込みのイネーブル/ディセーブル

A/Dイネーブルレジスタ(0x40244)のCMPINTEN(D5)で、上下限割り込みを有効/無効に設定できます。上下限割り込みを使用する場合はCMPINTENを"1"に、使用しない場合は"0"に設定します。イニシャルリセット時は"0"に設定され、上下限割り込み機能は無効となります。

3. 割り込み信号モードの設定

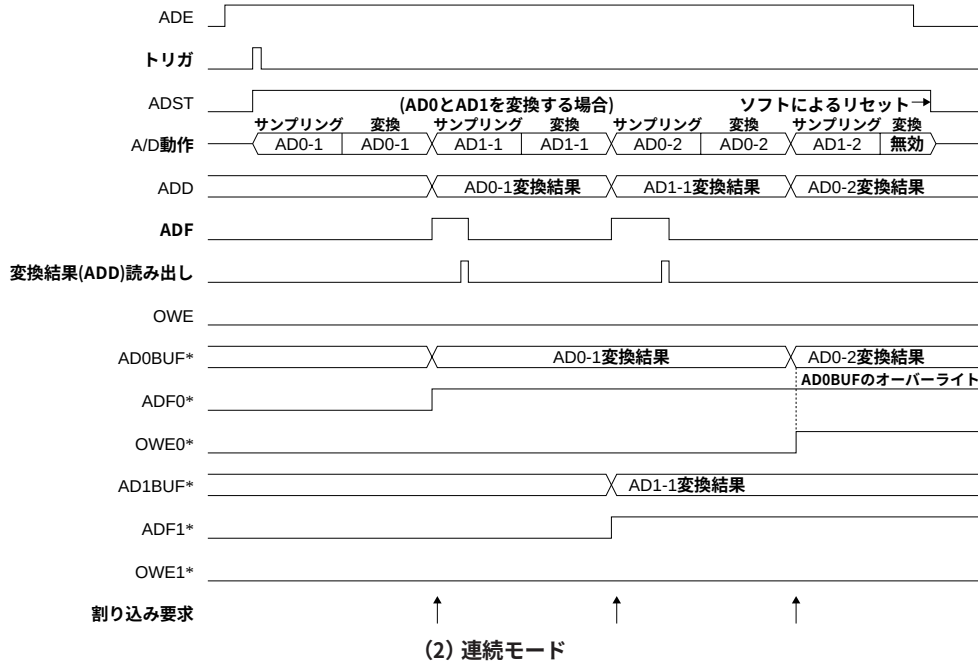
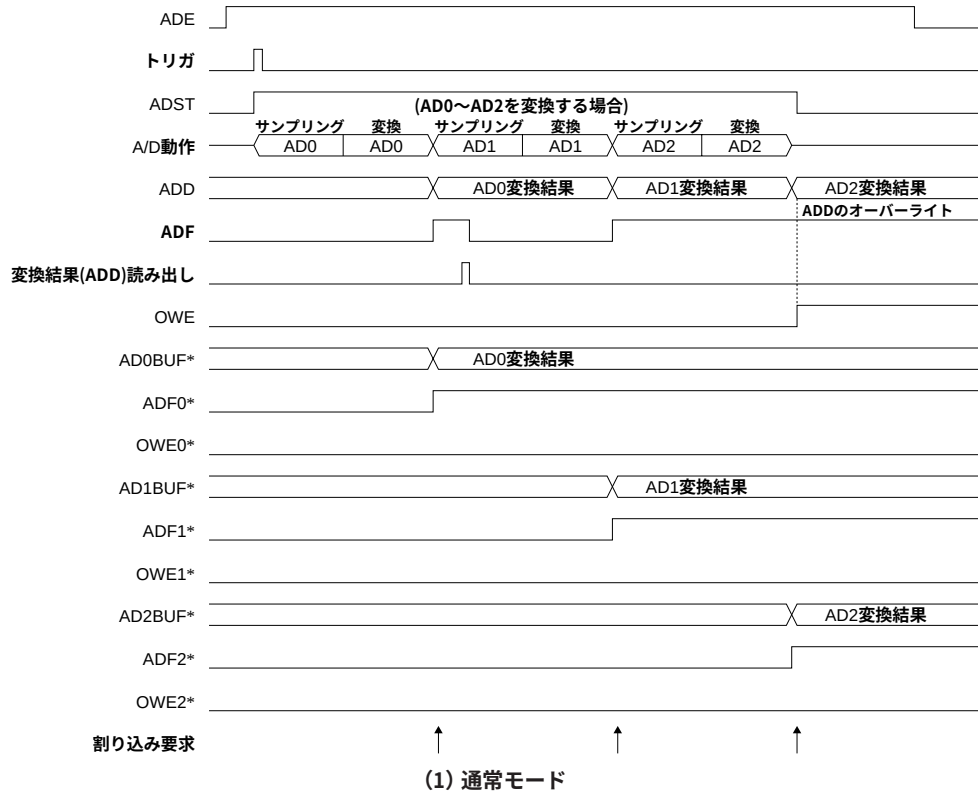
割り込みコントローラ(ITC)へのA/D変換器からの割り込み要求信号は1本のみで、初期設定では変換終了割り込み信号のみがITCに対して出力されるようになっています。上下限割り込みを使用する場合はこれに上下限割り込み信号をORしてITCに送ります。信号のORは、A/Dイネーブルレジスタ(0x40244)のINTMODE(D6)を"1"に設定することにより選択できます。

4. 指定チャネルの変換終了割り込みをマスク

A/D変換終了割り込みマスクレジスタ(0x4025C)により、指定チャネルの変換終了割り込みをマスクすることができます。チャネルxに対応するINTMASKxビット(Dx)を"0"に設定すると、そのチャネルの変換終了割り込みは発生しません。たとえば、上下限チェックを行うチャネルの変換終了割り込みをマスクすることにより、上下限割り込みのみを発生させることが可能となります。イニシャルリセット時、INTMASKビットはすべて"1"に設定され、変換終了割り込みが発生するようになっています。

A/D変換の制御と動作

図IV.2.2にA/D変換器の動作を示します。



* ADCADV = "1"の場合に使用可能な拡張機能

図IV.2.2 A/D変換器の動作

■A/D変換回路の起動

前節に示した設定を終了後、A/Dイネーブルレジスタ(0x40244)のADE(D2)に"1"を書き込んでA/D変換器をイネーブル状態に設定します。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合はADEを"0"に設定してください。

■A/D変換の開始

A/D変換器はADEが"1"の状態ではトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、A/Dイネーブルレジスタ(0x40244)のADST(D1)に"1"を書き込むことにより開始します。トリガはA/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])で選択されている内容が有効で、それ以外のトリガは受け付けません。

トリガが入力されると、A/D変換器はCS[2:0]で選択した変換開始チャンネルからアナログ入力信号のサンプリングとA/D変換を行います。

ソフトウェアトリガに使用するADSTは、他のトリガによる場合でもA/D変換中は"1"となり、A/D変換のステータスレジスタとして使用することができます。

また、変換中のチャンネルはA/Dトリガレジスタ(0x40242)のCH[2:0](D[2:0])を読み出すことで確認できます。

■A/D変換結果の読み出し

33209互換モード

変換開始チャンネルのA/D変換が終了すると、A/D変換器は変換結果を10ビットのA/D変換結果レジスタADD[9:0](ADD[9:8] = D[1:0]/0x40241、ADD[7:0] = D[7:0]/0x40240)に格納し、A/Dイネーブルレジスタ(0x40244)の変換終了フラグADF(D3)と割り込み要因フラグFADE(D0/0x40287)をセットします。CS[2:0]とCE[2:0]によって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

A/D変換結果は1つのチャンネルの変換が終了するごとにADD[9:0]レジスタに格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込み要因フラグを必ずリセット("0"書き込み)してください。

A/D変換器の割り込み要因はDMAを起動することもできますので、変換結果を自動的に指定のメモリに転送することも可能です。

複数のA/D変換チャンネルを指定した場合は、次のチャンネルの変換が終了する前に変換結果を読み出す必要があります。前の変換結果が読み出される前に現在実行中のA/D変換が終了すると、ADD[9:0]は新しい変換結果で上書きされてしまいます。

なお、変換終了フラグADFが"1"にセットされている状態で(変換データを読み出す前に)ADD[9:0]が更新された場合、A/Dイネーブルレジスタ(0x40244)のオーバーライトエラーフラグOWE(D0)が"1"にセットされます。変換終了フラグADFは変換データが読み出されると"0"にリセットされます。ADFが"0"にリセットされている状態でADD[9:0]が更新された場合はOWEは"0"となり、正常に終了したことを示します。データ読み出し時は、OWEも読み出してデータが有効であることを確認してください。OWEは一度セットされると、ソフトウェアで"0"を書き込むまでリセットされません。また、OWEがセットされている場合はADFもセットされていますので、変換データを読み出してADFをリセットしてください。

機能拡張モード

変換開始チャンネル(Ch.x)のA/D変換が終了すると、A/D変換器は変換結果をCh.xの10ビットA/D変換結果バッファADxBUF[9:0]に格納し、A/D変換終了フラグレジスタ(0x40246)のCh.x変換終了フラグADF_x(D_x)と割り込み要因フラグFADE(D0/0x40287)をセットします。

CS[2:0]とCE[2:0]によって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

A/D変換結果は1つのチャンネルの変換が終了するごとに各チャンネルのA/D変換結果バッファに格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込み要因フラグを必ずリセット("0"書き込み)してください。

A/D変換器の割り込み要因はDMAを起動することもできますので、変換結果を自動的に指定のメモリに転送することも可能です。

機能拡張モードでは、各チャンネルに変換結果バッファが設けられていますので、次のチャンネルの変換が終了する前に変換結果を読み出す必要はありません。ただし、同じチャンネルのA/D変換が終了すると、バッファは新しい変換結果で上書きされてしまいますので、その前に読み出す必要があります。

なお、変換終了フラグADFXが"1"にセットされている状態で(変換データを読み出す前に)ADxBUF[9:0]が更新された場合、A/Dオーバーライトエラーフラグレジスタ(0x40247)のオーバーライトエラーフラグOWEx(Dx)が"1"にセットされます。変換終了フラグADFXは変換データが読み出されると"0"にリセットされます。ADFXが"0"にリセットされている状態でADxBUF[9:0]が更新された場合はOWExは"0"となり、正常に終了したことを示します。データ読み出し時は、OWExも読み出してデータが有効であることを確認してください。OWExは一度セットされると、ソフトウェアで"0"を書き込むまでリセットされません。また、OWExがセットされている場合はADFXもセットされていますので、変換データを読み出してADFXをリセットしてください。

機能拡張モードにおいても、33209互換モードで使用するADD、ADF、OWEは有効です。これらのレジスタ/ビットの動作は33209互換モードと同じです。OWEが"1"にセットされてしまいますが、特にリセットする必要はありません。

■上下限範囲の判定(機能拡張モード)

機能拡張モードで上限値/下限値の比較を有効(ADCMPE = "1")に設定している場合にADCMP[2:0]で指定したチャンネルのA/D変換が行われると、そのチャンネルの変換終了時に変換結果がA/D変換上限値レジスタADUPR[9:0]およびA/D変換下限値レジスタADLWR[9:0]と比較されます。

変換結果が上限値より大きい場合は、A/Dサンプリングレジスタ(0x40245)の上限値比較ステータスビットADUPRST(D3)が"1"にセットされます。変換結果が設定した下限値より小さい場合は、A/Dサンプリングレジスタ(0x40245)の下限値比較ステータスビットADLWRST(D2)が"1"にセットされます。上下限割り込みを有効に設定している場合、どちらかのステータスビットがセットされると割り込みが発生します。この割り込み要求も変換終了割り込みと同じ割り込み要因フラグFADEをセットしますので、変換終了割り込みも有効に設定している場合は、上記のステータスビットを読み出して上下限割り込みが発生しているか判断する必要があります。

なお、変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定され、割り込みは発生しません。

■A/D変換の終了

• 通常モード(MS = "1")の場合

通常モードでは、CS[2:0]で指定した変換開始チャンネルからCE[2:0]で指定した変換終了チャンネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADSTは"0"に戻ります。

• 連続モード(MS = "0")の場合

連続モードでは、変換開始チャンネルから変換終了チャンネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはソフトウェアでADSTに"0"を書き込みます。ただし、ADSTに"0"を書き込むタイミングによって、動作中のA/D変換が正常に終了する場合と、強制的に中止させられる場合があります。正常終了した場合はADF(ADFX) = "1"となり変換結果を得ることができますが、強制的に中止させられた場合はADF(ADFX)が前の状態を維持し、変換結果を得ることはできません。

• 強制終了

ADSTに"0"を書き込むことで実行中のA/D変換を終了させることができます。ただし、このときに変換中の結果を得ることはできません。

A/D変換器割り込みとDMA

A/D変換器は、各チャンネルのA/D変換終了時に割り込みを発生、またはIDMAを起動することができます。機能拡張モード時は、変換結果が設定した上下限範囲外の場合も割り込みを発生させることができます。

■割り込みコントローラの制御レジスタ

A/D変換器割り込みの制御ビット/レジスタは次のとおりです。

割り込み要因フラグ: FADE(割り込み要因フラグレジスタ0x40287・D0)

割り込みイネーブル: EADE(割り込みイネーブルレジスタ0x40277・D0)

割り込みレベル: PAD[2:0](割り込みプライオリティレジスタ0x4026A・D[6:4])

A/D変換器は1つのチャンネルのA/D変換を終了し、変換結果をADDレジスタおよびADxBUFレジスタ(機能拡張モード時)に格納したところで割り込み要因フラグを"1"にセットします。

機能拡張モードで上下限割り込みを有効に設定している場合は、指定チャンネルの変換結果が設定した上下限範囲外の場合も割り込み要因フラグを"1"にセットします。変換終了割り込みも上下限割り込みも同じ割り込み要因フラグを使用します。

このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、各チャンネルのA/D変換終了時に"1"にセットされます。

割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、A/D変換器割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したA/D変換器割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■インテリジェントDMA

A/D変換器は、その割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。これにより、割り込み処理ルーチンを実行せずに、変換結果を指定メモリに転送することができます。A/D変換器に設定されたIDMAチャンネル番号は0x1Bです。

IDMAを起動させるには、対応するIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

IDMAリクエスト: RADE(IDMAリクエストレジスタ0x40293・D2)

IDMAイネーブル: DEADE(IDMAイネーブルレジスタ0x40297・D2)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送と転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■高速DMA

A/D変換終了割り込み要因は、高速DMA(HSDMA)を起動することもできます。
HSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表IV.2.7 HSDMAトリガ設定ビット

HSDMAチャンネル	トリガ設定ビット
0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298・D[3:0])
1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298・D[7:4])
2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299・D[3:0])
3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299・D[7:4])

HSDMAを起動させるには、トリガ設定ビットに"1100"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。HSDMAのトリガ要因にA/D変換器を選択すると、A/D変換終了割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

■トラップベクタ

A/D変換器割り込みのトラップベクタアドレスは、デフォルトで0x0C00100に設定されます。
なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

A/D変換器のI/Oメモリ

表IV.2.8にA/D変換器の制御ビットを示します。

クロックを設定するプリスケアラのI/Oメモリについては"プリスケアラ"を、トリガに使用するプログラマブルタイマのI/Oメモリについては"8ビットプログラマブルタイマ"または"16ビットプログラマブルタイマ"を参照してください。

表IV.2.8 A/D変換器の制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈			
A/D変換結果 (下位)レジスタ	0040240 (B)	D7	ADD7	A/D変換結果(下位8ビット) ADD0 = LSB	0x0～0x3FF (下位8ビット)		0	R				
		D6	ADD6				0					
		D5	ADD5				0					
		D4	ADD4				0					
		D3	ADD3				0					
		D2	ADD2				0					
		D1	ADD1				0					
		D0	ADD0				0					
		A/D変換結果 (上位)レジスタ	0040241 (B)				D7-2			—	reserved	—
D1	ADD9			A/D変換結果(上位2ビット) ADD9 = MSB	0x0～0x3FF (上位2ビット)		0	R				
D0	ADD8						0					
A/Dトリガ レジスタ	0040242 (B)	D7-6	—	—	—		—	—	読み出し時: 0			
		D5	MS	A/D変換モード選択	1	連続モード	0	通常モード	0	R/W		
		D4	TS1		TS[1:0]		トリガ		0			R/W
		D3	TS0		1	1	#ADTRG端子		0			
					1	0	8bitタイマ0					
					0	1	16bitタイマ0					
		0	0	ソフトウェア								
		D2	CH2	A/D変換中チャンネルステータス	CH[2:0]		チャンネル		0	R		
		D1	CH1		1	1	1	AD7	0			
		D0	CH0		1	1	0	AD6	0			
					1	0	1	AD5				
					1	0	0	AD4				
					0	1	1	AD3				
					0	1	0	AD2				
					0	0	1	AD1				
					0	0	0	AD0				
					0	0	0					
A/Dチャンネル レジスタ	0040243 (B)	D7-6	—	—	—		—	—	読み出し時: 0			
		D5	CE2	A/D変換終了チャンネル設定	CE[2:0]		終了チャンネル		0	R/W		
		D4	CE1		1	1	1	AD7	0			
		D3	CE0		1	1	0	AD6	0			
					1	0	1	AD5				
					1	0	0	AD4				
					0	1	1	AD3				
					0	1	0	AD2				
					0	0	1	AD1				
					0	0	0	AD0				
		D2	CS2	A/D変換開始チャンネル設定	CS[2:0]		開始チャンネル		0	R/W		
		D1	CS1		1	1	1	AD7	0			
		D0	CS0		1	1	0	AD6	0			
					1	0	1	AD5				
					1	0	0	AD4				
					0	1	1	AD3				
					0	1	0	AD2				
0	0				1	AD1						
0	0				0	AD0						
A/Dイネーブル レジスタ	0040244 (B)	D7	—	reserved	—		—	—	読み出し時: 0			
		D6	INTMODE	割り込み信号モード	1	変換終了のみ	0	両方OR	0	R/W	ADCADV="1"の場合 に使用可能	
		D5	CMPINTEN	上下限割り込みイネーブル	1	有効	0	無効	0			R/W
		D4	CNVINTEN	変換終了割り込みイネーブル	1	有効	0	無効	1	R/W	ADD読み出してクリア	
		D3	ADF	変換終了フラグ	1	変換終了	0	変換/待機中	0	R		
		D2	ADE	A/Dイネーブル	1	許可	0	禁止	0	R/W		
		D1	ADST	A/D変換制御/ステータス	1	開始/変換中	0	停止	0	R/W		
		D0	OWE	オーバーライトエラーフラグ	1	エラー	0	正常	0	R/W		0書き込みでクリア

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
A/Dサンプリングレジスタ	0040245 (B)	D7	ADCMPE	上限値/下限値比較イネーブル	1	許可	0	禁止	0	R/W	ADCADV="1"の場合 に使用可能
		D6	ADCMPE	上限値/下限値比較チャンネル設定	0~7			0	R/W		
		D5	ADCMPE		0						
		D4	ADCMPE		0						
		D3	ADUPRST	上限値比較ステータス	1	上限オーバー	0	範囲内	0	R	
		D2	ADLWRST	下限値比較ステータス	1	下限アンダー	0	範囲内	0	R	
		D1	ST1	入力サンプリング時間設定	ST[1:0]	サンプリング時間		1	R/W	9クロックで使用して ください	
		D0	ST0		1	1	9クロック	1			
1	0	7クロック									
0	1	5クロック									
		0	0	3クロック							
A/D変換終了 フラグレジスタ	0040246 (B)	D7	ADF7	Ch.7変換終了フラグ	1	変換終了	0	変換/待機中	0	R	ADCADV="1"の場合 に使用可能 ADBUFx読み出しで クリア
		D6	ADF6	Ch.6変換終了フラグ					0	R	
		D5	ADF5	Ch.5変換終了フラグ					0	R	
		D4	ADF4	Ch.4変換終了フラグ					0	R	
		D3	ADF3	Ch.3変換終了フラグ					0	R	
		D2	ADF2	Ch.2変換終了フラグ					0	R	
		D1	ADF1	Ch.1変換終了フラグ					0	R	
		D0	ADF0	Ch.0変換終了フラグ					0	R	
A/Dオーバー ライトエラー フラグレジスタ	0040247 (B)	D7	OWE7	Ch.7オーバーライトエラーフラグ	1	エラー	0	正常	0	R/W	ADCADV="1"の場合 に使用可能 0書き込みでクリア
		D6	OWE6	Ch.6オーバーライトエラーフラグ					0	R/W	
		D5	OWE5	Ch.5オーバーライトエラーフラグ					0	R/W	
		D4	OWE4	Ch.4オーバーライトエラーフラグ					0	R/W	
		D3	OWE3	Ch.3オーバーライトエラーフラグ					0	R/W	
		D2	OWE2	Ch.2オーバーライトエラーフラグ					0	R/W	
		D1	OWE1	Ch.1オーバーライトエラーフラグ					0	R/W	
		D0	OWE0	Ch.0オーバーライトエラーフラグ					0	R/W	
A/D Ch.0 変換結果(下位) バッファ	0040248 (B)	D7	AD0BUF7	A/D Ch.0変換結果(下位8ビット) AD0BUF0 = LSB	0x0~0x3FF (下位8ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D6	AD0BUF6				0				
		D5	AD0BUF5				0				
		D4	AD0BUF4				0				
		D3	AD0BUF3				0				
		D2	AD0BUF2				0				
		D1	AD0BUF1				0				
		D0	AD0BUF0				0				
A/D Ch.0 変換結果(上位) バッファ	0040249 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0		
		D1	AD0BUF9	A/D Ch.0変換結果(上位2ビット)	0x0~0x3FF (上位2ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D0	AD0BUF8	AD0BUF9 = MSB			0				
A/D Ch.1 変換結果(下位) バッファ	004024A (B)	D7	AD1BUF7	A/D Ch.1変換結果(下位8ビット) AD1BUF0 = LSB	0x0~0x3FF (下位8ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D6	AD1BUF6				0				
		D5	AD1BUF5				0				
		D4	AD1BUF4				0				
		D3	AD1BUF3				0				
		D2	AD1BUF2				0				
		D1	AD1BUF1				0				
		D0	AD1BUF0				0				
A/D Ch.1 変換結果(上位) バッファ	004024B (B)	D7-2	-	reserved	-		-	-	読み出し時: 0		
		D1	AD1BUF9	A/D Ch.1変換結果(上位2ビット)	0x0~0x3FF (上位2ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D0	AD1BUF8	AD1BUF9 = MSB			0				
A/D Ch.2 変換結果(下位) バッファ	004024C (B)	D7	AD2BUF7	A/D Ch.2変換結果(下位8ビット) AD2BUF0 = LSB	0x0~0x3FF (下位8ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D6	AD2BUF6				0				
		D5	AD2BUF5				0				
		D4	AD2BUF4				0				
		D3	AD2BUF3				0				
		D2	AD2BUF2				0				
		D1	AD2BUF1				0				
		D0	AD2BUF0				0				
A/D Ch.2 変換結果(上位) バッファ	004024D (B)	D7-2	-	reserved	-		-	-	読み出し時: 0		
		D1	AD2BUF9	A/D Ch.2変換結果(上位2ビット)	0x0~0x3FF (上位2ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D0	AD2BUF8	AD2BUF9 = MSB			0				
A/D Ch.3 変換結果(下位) バッファ	004024E (B)	D7	AD3BUF7	A/D Ch.3変換結果(下位8ビット) AD3BUF0 = LSB	0x0~0x3FF (下位8ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D6	AD3BUF6				0				
		D5	AD3BUF5				0				
		D4	AD3BUF4				0				
		D3	AD3BUF3				0				
		D2	AD3BUF2				0				
		D1	AD3BUF1				0				
		D0	AD3BUF0				0				

IV-2 アナログブロック: A/D変換器

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
A/D Ch.3 変換結果(上位) バッファ	004024F (B)	D7-2	–	reserved	–	–	–	読み出し時: 0
		D1	AD3BUF9	A/D Ch.3変換結果(上位2ビット)	0x0~0x3FF (上位2ビット)	0	R	ADCADV="1"の場合 に使用可能
		D0	AD3BUF8	AD3BUF9 = MSB		0		
A/D Ch.4 変換結果(下位) バッファ	0040250 (B)	D7	AD4BUF7	A/D Ch.4変換結果(下位8ビット)	0x0~0x3FF (下位8ビット)	0	R	ADCADV="1"の場合 に使用可能
		D6	AD4BUF6	AD4BUF0 = LSB		0		
		D5	AD4BUF5			0		
		D4	AD4BUF4			0		
		D3	AD4BUF3			0		
		D2	AD4BUF2			0		
		D1	AD4BUF1			0		
		D0	AD4BUF0			0		
A/D Ch.4 変換結果(上位) バッファ	0040251 (B)	D7-2	–	reserved	–	–	–	読み出し時: 0
		D1	AD4BUF9	A/D Ch.4変換結果(上位2ビット)	0x0~0x3FF (上位2ビット)	0	R	ADCADV="1"の場合 に使用可能
		D0	AD4BUF8	AD4BUF9 = MSB		0		
A/D Ch.5 変換結果(下位) バッファ	0040252 (B)	D7	AD5BUF7	A/D Ch.5変換結果(下位8ビット)	0x0~0x3FF (下位8ビット)	0	R	ADCADV="1"の場合 に使用可能
		D6	AD5BUF6	AD5BUF0 = LSB		0		
		D5	AD5BUF5			0		
		D4	AD5BUF4			0		
		D3	AD5BUF3			0		
		D2	AD5BUF2			0		
		D1	AD5BUF1			0		
		D0	AD5BUF0			0		
A/D Ch.5 変換結果(上位) バッファ	0040253 (B)	D7-2	–	reserved	–	–	–	読み出し時: 0
		D1	AD5BUF9	A/D Ch.5変換結果(上位2ビット)	0x0~0x3FF (上位2ビット)	0	R	ADCADV="1"の場合 に使用可能
		D0	AD5BUF8	AD5BUF9 = MSB		0		
A/D Ch.6 変換結果(下位) バッファ	0040254 (B)	D7	AD6BUF7	A/D Ch.6変換結果(下位8ビット)	0x0~0x3FF (下位8ビット)	0	R	ADCADV="1"の場合 に使用可能
		D6	AD6BUF6	AD6BUF0 = LSB		0		
		D5	AD6BUF5			0		
		D4	AD6BUF4			0		
		D3	AD6BUF3			0		
		D2	AD6BUF2			0		
		D1	AD6BUF1			0		
		D0	AD6BUF0			0		
A/D Ch.6 変換結果(上位) バッファ	0040255 (B)	D7-2	–	reserved	–	–	–	読み出し時: 0
		D1	AD6BUF9	A/D Ch.6変換結果(上位2ビット)	0x0~0x3FF (上位2ビット)	0	R	ADCADV="1"の場合 に使用可能
		D0	AD6BUF8	AD6BUF9 = MSB		0		
A/D Ch.7 変換結果(下位) バッファ	0040256 (B)	D7	AD7BUF7	A/D Ch.7変換結果(下位8ビット)	0x0~0x3FF (下位8ビット)	0	R	ADCADV="1"の場合 に使用可能
		D6	AD7BUF6	AD7BUF0 = LSB		0		
		D5	AD7BUF5			0		
		D4	AD7BUF4			0		
		D3	AD7BUF3			0		
		D2	AD7BUF2			0		
		D1	AD7BUF1			0		
		D0	AD7BUF0			0		
A/D Ch.7 変換結果(上位) バッファ	0040257 (B)	D7-2	–	reserved	–	–	–	読み出し時: 0
		D1	AD7BUF9	A/D Ch.7変換結果(上位2ビット)	0x0~0x3FF (上位2ビット)	0	R	ADCADV="1"の場合 に使用可能
		D0	AD7BUF8	AD7BUF9 = MSB		0		
A/D変換上限値 (下位)レジスタ	0040258 (B)	D7	ADUPR7	A/D変換上限値(下位8ビット)	0x0~0x3FF (下位8ビット)	0	R/W	ADCADV="1"の場合 に使用可能
		D6	ADUPR6	ADUPR0 = LSB		0		
		D5	ADUPR5			0		
		D4	ADUPR4			0		
		D3	ADUPR3			0		
		D2	ADUPR2			0		
		D1	ADUPR1			0		
		D0	ADUPR0			0		
A/D変換上限値 (上位)レジスタ	0040259 (B)	D7-2	–	reserved	–	–	–	読み出し時: 0
		D1	ADUPR9	A/D変換上限値(上位2ビット)	0x0~0x3FF (上位2ビット)	0	R/W	ADCADV="1"の場合 に使用可能
		D0	ADUPR8	ADUPR9 = MSB		0		
A/D変換下限値 (下位)レジスタ	004025A (B)	D7	ADLWR7	A/D変換下限値(下位8ビット)	0x0~0x3FF (下位8ビット)	0	R/W	ADCADV="1"の場合 に使用可能
		D6	ADLWR6	ADLWR0 = LSB		0		
		D5	ADLWR5			0		
		D4	ADLWR4			0		
		D3	ADLWR3			0		
		D2	ADLWR2			0		
		D1	ADLWR1			0		
		D0	ADLWR0			0		
A/D変換下限値 (上位)レジスタ	004025B (B)	D7-2	–	reserved	–	–	–	読み出し時: 0
		D1	ADLWR9	A/D変換下限値(上位2ビット)	0x0~0x3FF (上位2ビット)	0	R/W	ADCADV="1"の場合 に使用可能
		D0	ADLWR8	ADLWR9 = MSB		0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
A/D変換終了 割り込みマスク レジスタ	004025C (B)	D7	INTMASK7	Ch.7変換終了割り込みマスク	1	割り込み 有効	0	割り込み マスク	1	R/W	ADCADV="1"の場合 に使用可能
		D6	INTMASK6	Ch.6変換終了割り込みマスク					1	R/W	
		D5	INTMASK5	Ch.5変換終了割り込みマスク					1	R/W	
		D4	INTMASK4	Ch.4変換終了割り込みマスク					1	R/W	
		D3	INTMASK3	Ch.3変換終了割り込みマスク					1	R/W	
		D2	INTMASK2	Ch.2変換終了割り込みマスク					1	R/W	
		D1	INTMASK1	Ch.1変換終了割り込みマスク					1	R/W	
		D0	INTMASK0	Ch.0変換終了割り込みマスク					1	R/W	
A/D変換器 モード選択 レジスタ	004025F (B)	D7-1	-	reserved	-		-	-	読み出し時: 0		
		D0	ADCADV	33209互換モード/機能拡張モード 選択	1	機能拡張 モード	0	33209互換 モード	0	R/W	
シリアル/F Ch.1, A/D変換器 割り込み プライオリティ レジスタ	004026A (B)	D7	-	reserved	-		-	-	読み出し時: 0		
		D6	PAD2	A/D変換器	0~7		X	R/W			
		D5	PAD1	割り込みレベル			X				
		D4	PAD0				X				
		D3	-	reserved	-		-	-	読み出し時: 0		
		D2	PSIO12	シリアルインタフェースCh.1	0~7		X	R/W			
		D1	PSIO11	割り込みレベル			X				
D0	PSIO10				X						
ポート入力4-7, 計時タイマ, A/D 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	-	reserved	-		-	-	読み出し時: 0		
		D5	EP7	ポート入力7	1	許可	0	禁止	0	R/W	
		D4	EP6	ポート入力6					0	R/W	
		D3	EP5	ポート入力5					0	R/W	
		D2	EP4	ポート入力4					0	R/W	
		D1	ECTM	計時タイマ					0	R/W	
		D0	EADE	A/D変換器					0	R/W	
ポート入力4-7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	-	reserved					-		
		D5	FP7	ポート入力7	1	要因発生	0	要因なし	X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	FADE	A/D変換器					X	R/W	
シリアル/F Ch.1, A/D, ポー ト入力4-7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7					1	IDMA要求	
		D6	RP6	ポート入力6	0	R/W					
		D5	RP5	ポート入力5	0	R/W					
		D4	RP4	ポート入力4	0	R/W					
		D3	-	reserved	-		-	-	読み出し時: 0		
		D2	RADE	A/D変換器	1	IDMA要求	0	割り込み 要求	0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
D0	RSRX1	SIF Ch.1受信バッファフル	0	R/W							
シリアル/F Ch.1, A/D, ポー ト入力4-7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	-	reserved	-		-	-	読み出し時: 0		
		D2	DEADE	A/D変換器	1	IDMA許可	0	IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
D0	DESRX1	SIF Ch.1受信バッファフル	0	R/W							
K5機能選択 レジスタ	00402C0 (B)	D7-5	-	reserved	-		-	-	読み出し時: 0		
		D4	CFK54	K54機能選択	1	#DMAREQ3	0	K54	0	R/W	
		D3	CFK53	K53機能選択	1	#DMAREQ2	0	K53	0	R/W	
		D2	CFK52	K52機能選択	1	#ADTRG	0	K52	0	R/W	
		D1	CFK51	K51機能選択	1	#DMAREQ1	0	K51	0	R/W	
		D0	CFK50	K50機能選択	1	#DMAREQ0	0	K50	0	R/W	
K6機能選択 レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1	AD7	0	K67	0	R/W	
		D6	CFK66	K66機能選択	1	AD6	0	K66	0	R/W	
		D5	CFK65	K65機能選択	1	AD5	0	K65	0	R/W	
		D4	CFK64	K64機能選択	1	AD4	0	K64	0	R/W	
		D3	CFK63	K63機能選択	1	AD3	0	K63	0	R/W	
		D2	CFK62	K62機能選択	1	AD2	0	K62	0	R/W	
		D1	CFK61	K61機能選択	1	AD1	0	K61	0	R/W	
		D0	CFK60	K60機能選択	1	AD0	0	K60	0	R/W	

33209互換モードの制御ビット

CFK52: K52端子機能選択 (D2/0x402C0<K5機能選択レジスタ>)**CFK67~CFK60: K6[7:0]端子機能選択 (D[7:0]/0x402C3<K6機能選択レジスタ>)**

A/D変換器に使用する端子を選択します。

"1"書き込み: A/D変換器

"0"書き込み: 入力ポート

読み出し: 可能

外部トリガを使用する場合はCFK52に"1"を書き込み、K52端子を外部トリガ入力端子#ADTRGに設定します。アナログ入力に使用する端子はCFK60~CFK67に"1"を書き込み、K60(AD0)~K67(AD7)の中から選択します。

"0"を書き込んだ場合、その端子は入力ポート端子となります。

コールドスタート時、CFKは"0"(入力ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

ADD9~ADD0: A/D変換結果 (D[1:0]/0x40241, D[7:0]/0x40240<A/D変換結果レジスタ>)

A/D変換結果が格納されます。

ADD0がLSB、ADD9がMSBです。ADD8とADD9はアドレス0x40241のD0とD1ビットに割り付けられていますが、D2~D7ビットは読み出し時は常時"0"となります。

このレジスタは読み出し専用で、書き込みは無効です。

イニシャルリセット時、データは"0"となります。

MS: A/D変換モード選択 (D5/0x40242<A/Dトリガレジスタ>)

A/D変換モードを選択します。

"1"書き込み: 連続モード

"0"書き込み: 通常モード

読み出し: 可能

MSに"1"を書き込むことによりA/D変換器は連続モードに設定され、CSおよびCEレジスタで選択したチャネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。

MSが"0"の場合は通常モードで動作し、CSおよびCEレジスタで選択したチャネル範囲のすべての入力を1回A/D変換して停止します。

イニシャルリセット時、MSは"0"(通常モード)に設定されます。

TS1~TS0: トリガ選択 (D[4:3]/0x40242<A/Dトリガレジスタ>)

A/D変換を開始させるトリガ方法を選択します。

表IV.2.9 トリガの選択

TS1	TS0	トリガ
1	1	外部トリガ(K52/#ADTRG)
1	0	8ビットプログラマブルタイマ0
0	1	16ビットプログラマブルタイマ0
0	0	ソフトウェア

外部トリガを使用する場合は、CFK52によってK52端子を#ADTRG端子に設定してください。

プログラマブルタイマを使用する場合は、そのアンダーフロー信号(8ビットタイマ)またはコンペアマッチB信号(16ビットタイマ)がトリガとなりますので、プログラマブルタイマで周期およびその他の設定を行ってください。

イニシャルリセット時、TSは"0"(ソフトウェアトリガ)に設定されます。

CH2~CH0: 変換チャネルステータス (D[2:0]/0x40242<A/Dトリガレジスタ>)

A/D変換中のチャネル番号(0~7)を示します。

複数のチャネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャネルを確認できます。

イニシャルリセット時、CHは"0"(AD0)に設定されます。

CE2–CE0: 変換終了チャンネル設定 (D[5:3]/0x40243<A/Dチャンネルレジスタ>)

変換終了チャンネルをチャンネル番号(0~7)で設定します。

1回のA/D変換で、CSレジスタで設定したチャンネルからこのレジスタで設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、CSレジスタとCEレジスタに同じチャンネル番号を設定してください。

イニシャルリセット時、CEは"0"(AD0)に設定されます。

CS2–CS0: 変換開始チャンネル設定 (D[2:0]/0x40243<A/Dチャンネルレジスタ>)

変換開始チャンネルをチャンネル番号(0~7)で設定します。

1回のA/D変換で、このレジスタで設定したチャンネルからCEレジスタで設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、CSレジスタとCEレジスタに同じチャンネル番号を設定してください。

イニシャルリセット時、CSは"0"(AD0)に設定されます。

ADF: 変換終了フラグ (D3/0x40244<A/Dイネーブルレジスタ>)

A/D変換が終了したことを示します。

"1"読み出し: 変換終了

"0"読み出し: 変換中または待機中

書き込み: 無効

A/D変換が終了し、変換データがデータレジスタに格納されると"1"にセットされ、変換データを読み出すと"0"にリセットされます。複数のチャンネルをA/D変換している場合、ADFが"1"の状態(変換データを読み出す前に)次のA/D変換が終了すると、データレジスタは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADFをリセットする必要があります。

イニシャルリセット時、ADFは"0"(変換中または待機中)に設定されます。

ADE: A/Dイネーブル (D2/0x40244<A/Dイネーブルレジスタ>)

A/D変換器をイネーブル(変換可能状態)に設定します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

ADEに"1"を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADEが"0"の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。

なお、モードや開始/終了チャンネルなどA/D変換器の設定を行う場合は、誤動作を避けるため、ADEを"0"に設定してから行ってください。

イニシャルリセット時、ADEは"0"(ディセーブル)に設定されます。

ADST: A/D変換制御/ステータス (D1/0x40244<A/Dイネーブルレジスタ>)

A/D変換を制御します。

"1"書き込み: ソフトウェアトリガ

"0"書き込み: A/D変換停止

読み出し: 可能

ソフトウェアトリガによりA/D変換を開始させる場合、ADSTに"1"を書き込みます。他のトリガ方式の場合は、ハードウェアがADSTを"1"にセットします。

A/D変換中、ADSTは"1"を保持します。

通常モード時は、指定のチャンネルのA/D変換が終了するとADSTは"0"に戻り、A/D変換回路が停止します。連続モードのA/D変換を停止させる場合はADSTに"0"を書き込んでください。ADEが"0"(A/D変換禁止状態)の場合はADSTが"0"に固定され、トリガは受け付けません。

イニシャルリセット時、ADSTは"0"(A/D変換停止)に設定されます。

OWE: オーバーライトエラーフラグ(D0/0x40244<A/Dイネーブルレジスタ>)

変換データが上書きされたことを示します。

- "1"読み出し: オーバーライト
- "0"読み出し: 正常
- "1"書き込み: 無効
- "0"書き込み: フラグをリセット

複数のチャンネルをA/D変換している場合に、前のチャンネルの変換によってセットされた変換終了フラグADFが変換データの読み出しによってリセットされる前に次のチャンネルの変換結果が変換データレジスタに書き込まれる(上書きされる)とOWEが"1"にセットされます。ADFがリセットされている場合は、変換データが読み出されているためOWEはセットされません。

OWEは"1"にセットされると、ソフトウェアで"0"を書き込むまでリセットされません。

イニシャルリセット時、OWEは"0"(正常)に設定されます。

ST1-ST0: 入力サンプリング時間設定(D[1:0]/0x40245<A/Dサンプリングレジスタ>)

アナログ入力サンプリング時間を設定します。

表IV.2.10 サンプリング時間

ST1	ST0	サンプリング時間
1	1	9クロック
1	0	7クロック
0	1	5クロック
0	0	3クロック

クロック数はA/D変換器の入力クロック数です。

イニシャルリセット時、STは"11"(9クロック)に設定されます。

変換精度を確保するため、このビットはデフォルトの9クロックのまま使用してください。

PAD2-PAD0: A/D変換器割り込みレベル

(D[6:4]/0x4026A<シリアル/F Ch.1, A/D変換器割り込みプライオリティレジスタ>)

A/D変換器割り込みの優先レベルを0~7の範囲で設定します。

イニシャルリセット時、PADは不定となります。

EADE: A/D変換器割り込みイネーブル

(D0/0x40277<ポート入力4-7, 計時タイマ, A/D変換器割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

- "1"書き込み: 割り込み許可
- "0"書き込み: 割り込み禁止
- 読み出し: 可能

EADEはA/D変換器割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、EADEは"0"(割り込み禁止)に設定されます。

FADE: A/D変換器割り込み要因フラグ

(D0/0x40287<ポート入力4-7, 計時タイマ, A/D変換器割り込み要因フラグレジスタ>)

A/D変換器の割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FADEはA/D変換器の割り込み要因フラグで、1つのチャンネルのA/D変換が終了すると(機能拡張モードで変換結果が上下限範囲外の場合も)"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、A/D変換器の割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FADEフラグは不定となりますので、必ずソフトウェアでリセットしてください。

RADE: A/D変換器IDMAリクエスト

(D2/0x40293<シリアル/F Ch.1, A/D, ポート入力4-7 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)
 - "1"書き込み: IDMA要求
 - "0"書き込み: 無効
 - 読み出し: 可能
- リード/ライト方式
 - "1"書き込み: IDMA要求
 - "0"書き込み: 割り込み要求
 - 読み出し: 可能

RADEはA/D変換器のIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、RADEは"0"(割り込み要求)に設定されます。

DEADE: A/D変換器IDMAイネーブル

(D2/0x40297<シリアルI/F Ch.1, A/D, ポート入力4-7 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

- セットオンリー方式(デフォルト)

- "1"書き込み: IDMA許可

- "0"書き込み: 無効

- 読み出し: 可能

- リード/ライト方式

- "1"書き込み: IDMA許可

- "0"書き込み: IDMA禁止

- 読み出し: 可能

DEADEはA/D変換器のIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、DEADEは"0"(IDMA禁止)に設定されます。

機能拡張モードの制御ビット

機能拡張モードでは、前記の制御ビットに加え、以下の制御ビットも使用可能です。

ADCADV: 33209互換モード/機能拡張モード選択(D0/0x4025F<A/D変換器モード選択レジスタ>)

A/D変換器の動作モードを選択します。

- "1"書き込み: 機能拡張モード
- "0"書き込み: 33209互換モード
- 読み出し: 可能

ADCADVに"1"を書き込むとA/D変換器は機能拡張モードに設定され、以下の拡張機能制御レジスタ/ビットが使用可能になります。

ADCADVが"0"の場合は、S1C33209などに内蔵されたC33標準のA/D変換器の機能のみが使用可能となります。このモードでは、以下に説明する拡張機能制御レジスタ/ビットへの書き込みができなくなります。読み出しのみは可能です。

イニシャルリセット時、ADCADVは"0"(33209互換モード)に設定されます。

AD0BUF9-AD0BUF0: A/D Ch.0変換結果(D[1:0]/0x40249, D[7:0]/0x40248<A/D Ch.0変換結果バッファ>)
 AD1BUF9-AD1BUF0: A/D Ch.1変換結果(D[1:0]/0x4024B, D[7:0]/0x4024A<A/D Ch.1変換結果バッファ>)
 AD2BUF9-AD2BUF0: A/D Ch.2変換結果(D[1:0]/0x4024D, D[7:0]/0x4024C<A/D Ch.2変換結果バッファ>)
 AD3BUF9-AD3BUF0: A/D Ch.3変換結果(D[1:0]/0x4024F, D[7:0]/0x4024E<A/D Ch.3変換結果バッファ>)
 AD4BUF9-AD4BUF0: A/D Ch.4変換結果(D[1:0]/0x40251, D[7:0]/0x40250<A/D Ch.4変換結果バッファ>)
 AD5BUF9-AD5BUF0: A/D Ch.5変換結果(D[1:0]/0x40253, D[7:0]/0x40252<A/D Ch.5変換結果バッファ>)
 AD6BUF9-AD6BUF0: A/D Ch.6変換結果(D[1:0]/0x40255, D[7:0]/0x40254<A/D Ch.6変換結果バッファ>)
 AD7BUF9-AD7BUF0: A/D Ch.7変換結果(D[1:0]/0x40257, D[7:0]/0x40256<A/D Ch.7変換結果バッファ>)

各チャンネルのA/D変換結果が格納されます。

このレジスタは読み出し専用で、書き込みは無効です。

イニシャルリセット時、データは"0"となります。

ADF0: Ch.0変換終了フラグ(D0/0x40246<A/D変換終了フラグレジスタ>)
 ADF1: Ch.1変換終了フラグ(D1/0x40246<A/D変換終了フラグレジスタ>)
 ADF2: Ch.2変換終了フラグ(D2/0x40246<A/D変換終了フラグレジスタ>)
 ADF3: Ch.3変換終了フラグ(D3/0x40246<A/D変換終了フラグレジスタ>)
 ADF4: Ch.4変換終了フラグ(D4/0x40246<A/D変換終了フラグレジスタ>)
 ADF5: Ch.5変換終了フラグ(D5/0x40246<A/D変換終了フラグレジスタ>)
 ADF6: Ch.6変換終了フラグ(D6/0x40246<A/D変換終了フラグレジスタ>)
 ADF7: Ch.7変換終了フラグ(D7/0x40246<A/D変換終了フラグレジスタ>)

各チャンネルのA/D変換が終了したことを示します。

- "1"読み出し: 変換終了
- "0"読み出し: 変換中または待機中
- 書き込み: 無効

A/D変換が終了し、変換データが変換結果バッファに格納されると"1"にセットされ、変換結果バッファを読み出すと"0"にリセットされます。連続モードでA/D変換している場合、ADFxが"1"の状態(変換結果バッファを読み出す前に)同じチャンネルの次のA/D変換が終了すると、データバッファは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADFxをリセットする必要があります。

イニシャルリセット時、ADFxは"0"(変換中または待機中)に設定されます。

OWE0: Ch.0オーバーライトエラーフラグ(D0/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
 OWE1: Ch.1オーバーライトエラーフラグ(D1/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
 OWE2: Ch.2オーバーライトエラーフラグ(D2/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
 OWE3: Ch.3オーバーライトエラーフラグ(D3/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
 OWE4: Ch.4オーバーライトエラーフラグ(D4/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
 OWE5: Ch.5オーバーライトエラーフラグ(D5/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
 OWE6: Ch.6オーバーライトエラーフラグ(D6/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
 OWE7: Ch.7オーバーライトエラーフラグ(D7/0x40247<A/Dオーバーライトエラーフラグレジスタ>)

各チャンネルの変換結果バッファが上書きされたことを示します。

"1"読み出し: オーバーライト
 "0"読み出し: 正常
 "1"書き込み: 無効
 "0"書き込み: フラグをリセット

連続モードでA/D変換している場合に、前回の変換によってセットされた変換終了フラグADFxが変換結果バッファの読み出しによってリセットされる前に、同じチャンネルの次の変換結果でバッファが上書きされるとOWExが"1"にセットされます。ADFxがリセットされている場合は、変換結果バッファが読み出されているためOWExはセットされません。

OWExは"1"にセットされると、ソフトウェアで"0"を書き込むまでリセットされません。
 イニシャルリセット時、OWExは"0"(正常)に設定されます。

INTMASK0: Ch.0変換終了割り込みマスク(D0/0x4025C<A/D変換終了割り込みマスクレジスタ>)
 INTMASK1: Ch.1変換終了割り込みマスク(D1/0x4025C<A/D変換終了割り込みマスクレジスタ>)
 INTMASK2: Ch.2変換終了割り込みマスク(D2/0x4025C<A/D変換終了割り込みマスクレジスタ>)
 INTMASK3: Ch.3変換終了割り込みマスク(D3/0x4025C<A/D変換終了割り込みマスクレジスタ>)
 INTMASK4: Ch.4変換終了割り込みマスク(D4/0x4025C<A/D変換終了割り込みマスクレジスタ>)
 INTMASK5: Ch.5変換終了割り込みマスク(D5/0x4025C<A/D変換終了割り込みマスクレジスタ>)
 INTMASK6: Ch.6変換終了割り込みマスク(D6/0x4025C<A/D変換終了割り込みマスクレジスタ>)
 INTMASK7: Ch.7変換終了割り込みマスク(D7/0x4025C<A/D変換終了割り込みマスクレジスタ>)

A/D変換終了割り込みをチャンネル単位でマスクします。

"1"書き込み: 割り込み有効
 "0"書き込み: 割り込みマスク
 読み出し: 可能

INTMASKxに"0"を書き込むとCh.xの変換終了割り込み要求はマスクされ、A/D変換が終了しても割り込み要因フラグFADEは"1"にセットされません。INTMASKxが"1"の場合はCh.xの変換終了によって割り込みを発生させることができます。

イニシャルリセット時、INTMASKxは"1"(割り込み有効)に設定されます。

CNVINTEN: 変換終了割り込みイネーブル(D4/0x40244<A/Dイネーブルレジスタ>)

変換終了割り込みを有効/無効に設定します。

"1"書き込み: 有効
 "0"書き込み: 無効
 読み出し: 可能

CNVINTENに"1"を書き込むと、A/D変換終了が割り込み要因として有効になります。"0"を書き込むと変換終了割り込みは発生しません。

イニシャルリセット時、CNVINTENは"1"(有効)に設定されます。

CMPINTEN: 上下限割り込みイネーブル(D5/0x40244<A/Dイネーブルレジスタ>)

上下限割り込みを有効/無効に設定します。

- "1"書き込み: 有効
- "0"書き込み: 無効
- 読み出し: 可能

CMPINTENに"1"を書き込むと、上下限比較結果が割り込み要因として有効になります。"0"を書き込むと上下限割り込みは発生しません。

イニシャルリセット時、CMPINTENは"0"(無効)に設定されます。

INTMODE: 割り込み信号モード(D6/0x40244<A/Dイネーブルレジスタ>)

ITCへの割り込み信号を設定します。

- "1"書き込み: 変換終了のみ
- "0"書き込み: 変換終了と上下限比較結果をOR
- 読み出し: 可能

ITCに接続された1本の割り込み信号線に変換終了信号のみを出力するか、変換終了信号と上下限比較結果信号をORして出力するかを選択します。上下限割り込みを使用しない場合はINTMODEを"1"に、使用する場合は"0"に設定します。上下限割り込みを使用する場合はCMPINTENも"1"に設定する必要があります。

イニシャルリセット時、INTMODEは"0"(変換終了と上下限比較結果をOR)に設定されます。

ADCMPE: 上限値/下限値比較イネーブル(D7/0x40245<A/Dサンプリングレジスタ>)

上限値/下限値の比較を許可/禁止します。

- "1"書き込み: 許可
- "0"書き込み: 禁止
- 読み出し: 可能

ADCMPE[2:0]で指定したチャンネルのA/D変換終了時に、変換結果と上限値/下限値との比較を行うかどうかを選択します。行う場合はADCMPEを"1"に、行わない場合は"0"に設定します。

イニシャルリセット時、ADCMPEは"0"(禁止)に設定されます。

ADCMPE2-ADCMPE0: 上限値/下限値比較チャンネル設定(D[6:4]/0x40245<A/Dサンプリングレジスタ>)

上限値/下限値の比較を行うチャンネルをチャンネル番号(0~7)で設定します。

イニシャルリセット時、ADCMPEは"0"(AD0)に設定されます。

ADUPR9-ADUPR0: A/D変換上限値(D[1:0]/0x40259, D[7:0]/0x40258<A/D変換上限値レジスタ>)

A/D変換結果と比較する上限値を設定します。

ADCMPE[2:0]で指定したチャンネルのA/D変換で、ここに設定した値より大きな変換結果が得られたことを判定することができ、割り込みも発生可能です。

イニシャルリセット時、ADUPRは"0"に設定されます。

ADLWR9-ADLWR0: A/D変換下限値(D[1:0]/0x4025B, D[7:0]/0x4025A<A/D変換下限値レジスタ>)

A/D変換結果と比較する下限値を設定します。

ADCMPE[2:0]で指定したチャンネルのA/D変換で、ここに設定した値より小さな変換結果が得られたことを判定することができ、割り込みも発生可能です。

イニシャルリセット時、ADLWRは"0"に設定されます。

ADUPRST: 上限値比較ステータス (D3/0x40245<A/Dサンプリングレジスタ>)

A/D変換値と上限値との比較結果を示します。

"1"読み出し: 上限オーバー

"0"読み出し: 範囲内

書き込み: 無効

上限値/下限値の比較が許可 (ADCMPE = "1") されている場合、ADCMP[2:0]で指定したチャネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADUPRレジスタに設定した上限値より大きい場合、ADUPRSTが"1"にセットされます。上限値と同じか小さい場合は"0"にセットされます。上下限割り込みを有効に設定している場合、ADUPRSTが"1"にセットされると割り込みが発生します。

イニシャルリセット時、ADUPRSTは"0"(範囲内)に設定されます。

ADLWRST: 下限値比較ステータス (D2/0x40245<A/Dサンプリングレジスタ>)

A/D変換値と下限値との比較結果を示します。

"1"読み出し: 下限アンダー

"0"読み出し: 範囲内

書き込み: 無効

上限値/下限値の比較が許可 (ADCMPE = "1") されている場合、ADCMP[2:0]で指定したチャネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADLWRレジスタに設定した下限値より小さい場合、ADLWRSTが"1"にセットされます。下限値と同じか大きい場合は"0"にセットされます。上下限割り込みを有効に設定している場合、ADLWRSTが"1"にセットされると割り込みが発生します。

イニシャルリセット時、ADLWRSTは"0"(範囲内)に設定されます。

プログラミング上の注意事項

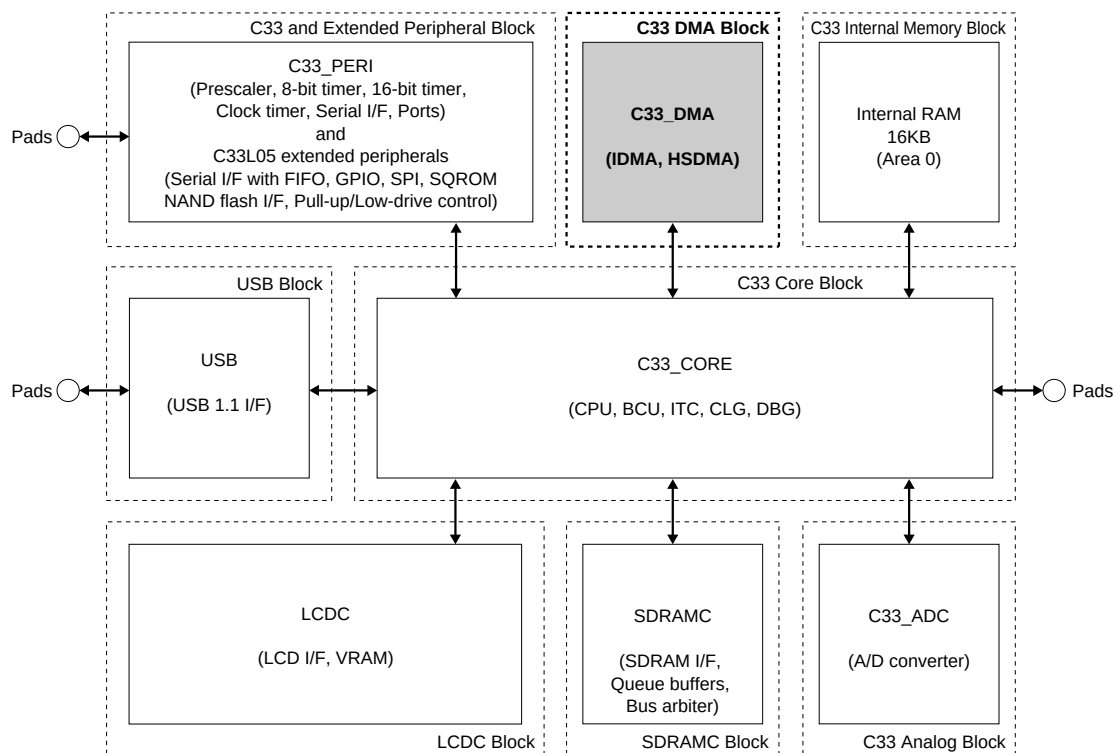
- (1) モードや開始/終了チャンネルなどA/D変換器の設定を行う場合は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0")にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。
- (2) A/D変換器の動作はプリスケアラが動作していることが条件です。
変換精度を考慮すると、A/D変換器の動作クロックはMax. 2MHz(Min. 16kHz)を推奨します。
- (3) プリスケアラからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOFFにしないでください。誤動作の原因となります。
- (4) イニシャルリセット後、割り込み要因フラグ(FADE)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (5) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FADE)をリセットしてください。
- (6) A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAVDDE~VSS間に電流が流れ電力を消費します。
したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0"、デフォルト)に設定してください。
- (7) 8ビットプログラマブルタイマ0のアンダーフロー信号および16ビットプログラマブルタイマ0のコンペアマッチB信号をトリガ要因とした場合、各タイマが使用するプリスケアラの分周比を $\theta/1$ に設定しないでください。
- (8) ADD[9:0](A/D変換結果)の読み出しは下位8ビットと上位2ビットの2回に分けて行われます(ソフトウェアが16ビット読み出しを行った場合でも、ハードウェアは下位8ビットと上位2ビットを別々にロードします)。
連続モードでのA/D変換時、または通常モードで複数チャンネルの変換を行っている場合、1回目の読み出し後、2回目の読み出しまでの間にADD[9:0]が新しい変換結果で上書きされる可能性があります。この場合、変換結果の下位8ビットと上位2ビットはそれぞれ別の変換による値となり、正しい結果は得られません。
変換終了後の最初の読み出し(変換終了フラグADFが"1"の状態での読み出し)では、1回目の読み出し後、2回目の読み出しまでの間にADD[9:0]が上書きされるとオーバーライトエラーフラグOWEが"1"になります。ただし、同じ変換結果を複数回読み出して検証するような場合、一度読み出した時点でADFが"0"となり、その状態での再読み出し時は、2回目の読み出し前にADD[9:0]が上書きされてもOWEは"1"になりませんので注意してください。
変換結果バッファADxBUF[9:0]の場合も、同様の現象が起こり得ます。
- (9) A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力のLow期間は、CPUの動作クロック2サイクル以上の長さを確保してください。また、次のA/D変換トリガとして検出されないように、設定した入力クロックの20サイクル以内で#ADTRG端子への入力をHighに戻してください。
- (10) 機種によっては入力ポートにソフトウェアで制御可能なプルアップ抵抗が付いています。アナログ入力に使用するポートのプルアップ抵抗は無効にして(切り離して)ください。
(対応機種の例: S1C33301、S1C33L05)
- (11) ICDを使用したデバッグ時のブレークモード中は、内部設計上の制限によりA/D変換器の動作クロックが停止します。そのため、A/D変換動作は停止し、レジスタへの書き込みも行えなくなります。レジスタ値の読み出しは可能です。

このページはブランクです。

S1C33L05 Technical Manual
V DMAブロック

V-1 はじめに

DMAブロックは、DMA制御情報を内蔵レジスタで設定可能なHSDMA(高速DMA)とDMA制御情報をメモリ上に設定するIDMA(インテリジェントDMA)の2種類のDMAコントローラで構成されています。



図V.1.1 DMAブロック

このページはブランクです。

V-2 HSDMA(高速DMA)

HSDMAの機能概要

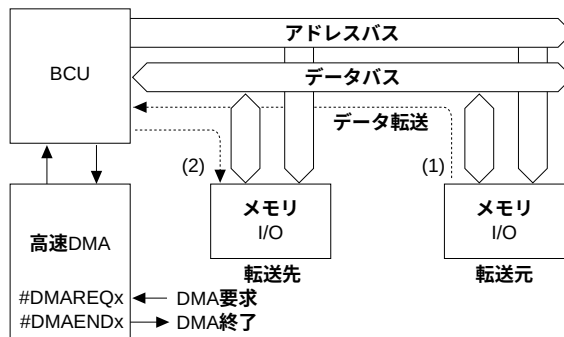
C33 DMAブロックは、デュアルアドレス転送およびシングルアドレス転送に対応した4チャンネルの高速DMA (HSDMA)回路を内蔵しています。

HSDMAはDMA機能に必要な制御レジスタをチップに内蔵しているため、DMA要求に即座に対応してデータ転送を行います。

■デュアルアドレス転送

この転送方式では、転送元と転送先のアドレスをそれぞれ指定可能で、2段階に分けてDMA転送を行います。まず、転送元アドレスからデータをチップ上のテンポラリレジスタに読み出します。次にテンポラリレジスタ内のデータを転送先アドレスに書き込みます。

メモリ上に転送情報を持つインテリジェントDMAとは異なり、DMAリンク機能はありませんが、転送条件等をメモリから読み出す必要がありませんので、高速なDMA転送が行えます。

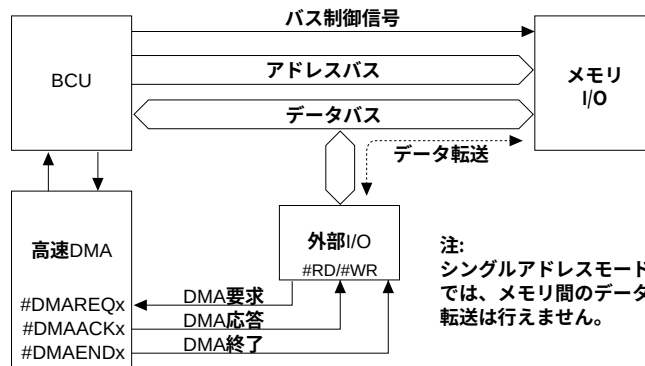


図V.2.1 デュアルアドレス転送

■シングルアドレス転送

この転送方式では、通常はデータの読み出しと書き込みを連続的に実行して実現するデータ転送を、外部バス上で一度に実行することによって一層の高速化を図っています。データ転送の制御に#DMAACKxおよび#DMAENDx信号を使用します。

デュアルアドレス転送とは異なり、メモリ間のデータ転送は行えませんが、最小サイクルでデータ転送が行えます。



図V.2.2 シングルアドレス転送

注: HSDMAのCh.0～Ch.3は同一の構成で、同一の機能を持ちます。信号名や制御ビット名にはチャンネル番号を示す"0"～"3"が付いて区別されますが、説明は全チャンネルに共通なため、必要な部分以外は"0"～"3"を"x"に置き換えて説明します。

HSDMAの入出力端子

表V.2.1にHSDMAで使用する端子を示します。

表V.2.1 HSDMAの入出力端子

端子名	I/O	機 能	機能選択ビット
K50(#DMAREQ0)	I	入力ポート/高速DMA要求入力0	CFK50(K5機能選択レジスタ0x402C0・D0)
K51(#DMAREQ1)	I	入力ポート/高速DMA要求入力1	CFK51(K5機能選択レジスタ0x402C0・D1)
K53(#DMAREQ2)	I	入力ポート/高速DMA要求入力2	CFK53(K5機能選択レジスタ0x402C0・D3)
K54(#DMAREQ3)	I	入力ポート/高速DMA要求入力3	CFK54(K5機能選択レジスタ0x402C0・D4)
P04(SIN1/ #DMAACK2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ入力/ #DMAACK2出力(Ex)	CFEX4(ポート機能拡張レジスタ0x402DF・D4)
P05(SOUT1/ #DMAEND2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ出力/ #DMAEND2出力(Ex)	CFEX5(ポート機能拡張レジスタ0x402DF・D5)
P06(#SCLK1/ #DMAACK3)	I/O	入出力兼用ポート/シリアルIF Ch.1クロック入出力/ #DMAACK3出力(Ex)	CFEX6(ポート機能拡張レジスタ0x402DF・D6)
P07(#SRDY1/ #DMAEND3)	I/O	入出力兼用ポート/シリアルIF Ch.1レディ入出力/ #DMAEND3出力(Ex)	CFEX7(ポート機能拡張レジスタ0x402DF・D7)
P15(EXCL4/ #DMAEND0)	I/O	入出力兼用ポート/16bitタイマ4イベントカウンタ入 力(I)/#DMAEND0出力(O)	CFP15(P1機能選択レジスタ0x402D4・D5)
P16(EXCL5/ #DMAEND1)	I/O	入出力兼用ポート/16bitタイマ5イベントカウンタ入 力(I)/#DMAEND1出力(O)	CFP16(P1機能選択レジスタ0x402D4・D6)
P32(#DMAACK0)	I/O	入出力兼用ポート/#DMAACK0出力	CFP32(P3機能選択レジスタ0x402DC・D2)
P33(#DMAACK1)	I/O	入出力兼用ポート/#DMAACK1出力	CFP33(P3機能選択レジスタ0x402DC・D3)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

■#DMAREQx(DMA要求入力端子)

外部周辺回路からのDMA要求信号を入力する場合に使用します。このトリガ(信号の立ち上がり/立ち下がりを選択可)により1回のデータ転送が行われます。#DMAREQ0～#DMAREQ3はそれぞれCh.0～Ch.3の入力端子です。

この外部入力以外にも、HSDMAのトリガ要因としてソフトウェアトリガまたは割り込み要因を割り込みコントローラで選択できます。

■#DMAACKx(DMA応答信号出力端子/シングルアドレスモード専用)

DMAコントローラがDMA要求を受け付けたことを示す#DMAACKx信号を出力します。

シングルアドレスモードの場合、転送元あるいは転送先となるI/Oデバイスは、この信号に同期してデータを外部バスに出力、あるいは外部バスからデータを取り込みます。#DMAACK0～#DMAACK3はそれぞれCh.0～Ch.3の出力端子です。

デュアルアドレスモードでは、この信号は出力されません。

■#DMAENDx(転送終了信号出力端子)

制御レジスタに設定した回数のデータ転送が終了したことを示す#DMAENDx信号を出力します。

#DMAEND0～#DMAEND3はそれぞれCh.0～Ch.3の出力端子です。

■HSDMA入出力端子の設定方法

表V.2.1に示したとおり、HSDMAで使用する端子は入力ポートおよび入出力兼用ポートと共用されており、コールドスタート時にすべて入力・入出力兼用ポート端子(機能選択レジスタ="0")として設定されます。使用するHSDMAチャンネルに合わせ、対応する端子の機能選択ビットに"1"を書き込んでください。ホットスタート時は、リセット前の状態を保持します。

#DMAEND3、#DMAACK3、#DMAEND2および#DMAACK2出力はP04～P07の拡張機能です。これらの信号を使用する場合は、対応する機能拡張ビット(CFEX[7:4])に"1"を書き込んでください。

#DMAEND0および#DMAEND1端子の設定にはさらに、P1 I/O制御レジスタ(0x402D6)のIOC15(D5)、IOC16(D6)に"1"を書き込み、出力モードに設定してください。入力モードに設定されていると16ビットプログラマブルタイマのイベントカウンタ入力として機能し、#DMAENDx信号の出力は行えません。コールドスタート時は入力モードに設定されます。ホットスタート時は、リセット前の状態を保持します。

コントロール情報のプログラミング

HSDMAは内部レジスタに設定されたコントロール情報によって動作します。
 なお、レジスタの制御ビットにはアドレスモードにより機能が異なるものがありますので注意してください。
 以下、コントロール情報の内容について説明します。HSDMAを使用する前に、それぞれの設定を行ってください。

デュアルアドレスモードのレジスタ設定

コントロール情報の設定は、設定するHSDMAチャンネルをディセーブル(HSx_EN="0")にして行ってください。

■ アドレスモード

アドレスモード選択ビットDUALMxを"1"(デュアルアドレスモード)に設定してください。イニシャルリセット時、このビットは"0"(シングルアドレスモード)に設定されます。

DUALM0: Ch.0アドレスモード選択(HSDMA Ch.0制御レジスタ0x48222・DF)

DUALM1: Ch.1アドレスモード選択(HSDMA Ch.1制御レジスタ0x48232・DF)

DUALM2: Ch.2アドレスモード選択(HSDMA Ch.2制御レジスタ0x48242・DF)

DUALM3: Ch.3アドレスモード選択(HSDMA Ch.3制御レジスタ0x48252・DF)

■ 転送モード

転送モードをDxMOD[1:0]ビットで設定します。

D0MOD[1:0]: Ch.0転送モード(HSDMA Ch.0転送先上位アドレス設定レジスタ0x4822A・D[F:E])

D1MOD[1:0]: Ch.1転送モード(HSDMA Ch.1転送先上位アドレス設定レジスタ0x4823A・D[F:E])

D2MOD[1:0]: Ch.2転送モード(HSDMA Ch.2転送先上位アドレス設定レジスタ0x4824A・D[F:E])

D3MOD[1:0]: Ch.3転送モード(HSDMA Ch.3転送先上位アドレス設定レジスタ0x4825A・D[F:E])

転送モードは以下の3種類から選択可能です。

シングル転送モード(DxMOD = "00" デフォルト)

シングル転送モードは、1回のトリガに対してDATSIZExに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

連続転送モード(DxMOD = "01")

連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で"0"になります。

ブロック転送モード(DxMOD = "10")

ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

■ 転送データサイズ

転送データ1個分のサイズをDATSIZExビットで設定します。

このビットが"1"の場合はハーフワードサイズ(16ビット)、"0"(デフォルト)の場合はバイトサイズ(8ビット)となります。

DATSIZE0: Ch.0転送データサイズ(HSDMA Ch.0転送元上位アドレス設定レジスタ0x48226・DE)

DATSIZE1: Ch.1転送データサイズ(HSDMA Ch.1転送元上位アドレス設定レジスタ0x48236・DE)

DATSIZE2: Ch.2転送データサイズ(HSDMA Ch.2転送元上位アドレス設定レジスタ0x48246・DE)

DATSIZE3: Ch.3転送データサイズ(HSDMA Ch.3転送元上位アドレス設定レジスタ0x48256・DE)

■ブロックサイズ

ブロック転送モード(DxMOD="10")の場合に、1回に転送されるブロックのサイズ(単位はDATSIZE_xによる)をBLKLEN_x[7:0]ビットで設定します。

BLKLEN0[7:0]: Ch.0ブロック長(HSDMA Ch.0転送カウンタレジスタ0x48220•D[7:0])

BLKLEN1[7:0]: Ch.1ブロック長(HSDMA Ch.1転送カウンタレジスタ0x48230•D[7:0])

BLKLEN2[7:0]: Ch.2ブロック長(HSDMA Ch.2転送カウンタレジスタ0x48240•D[7:0])

BLKLEN3[7:0]: Ch.3ブロック長(HSDMA Ch.3転送カウンタレジスタ0x48250•D[7:0])

注: ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。

シングル転送モード/連続転送モードでは、これらのビットを転送回数のビット7~0の指定に使用します。

■転送カウンタ

ブロック転送モードの場合

ブロック転送モードでは、16ビットの転送回数が以下のレジスタで指定できます。

TC0_L[7:0]: Ch.0転送カウンタ[7:0](HSDMA Ch.0転送カウンタレジスタ0x48220•D[F:8])

TC1_L[7:0]: Ch.1転送カウンタ[7:0](HSDMA Ch.1転送カウンタレジスタ0x48230•D[F:8])

TC2_L[7:0]: Ch.2転送カウンタ[7:0](HSDMA Ch.2転送カウンタレジスタ0x48240•D[F:8])

TC3_L[7:0]: Ch.3転送カウンタ[7:0](HSDMA Ch.3転送カウンタレジスタ0x48250•D[F:8])

TC0_H[7:0]: Ch.0転送カウンタ[15:8](HSDMA Ch.0制御レジスタ0x48222•D[7:0])

TC1_H[7:0]: Ch.1転送カウンタ[15:8](HSDMA Ch.1制御レジスタ0x48232•D[7:0])

TC2_H[7:0]: Ch.2転送カウンタ[15:8](HSDMA Ch.2制御レジスタ0x48242•D[7:0])

TC3_H[7:0]: Ch.3転送カウンタ[15:8](HSDMA Ch.3制御レジスタ0x48252•D[7:0])

シングル転送モード/連続転送モードの場合

シングル転送モード/連続転送モードでは、24ビットの転送回数が以下のレジスタで指定できます。

BLKLEN0[7:0]: Ch.0転送カウンタ[7:0](HSDMA Ch.0転送カウンタレジスタ0x48220•D[7:0])

BLKLEN1[7:0]: Ch.1転送カウンタ[7:0](HSDMA Ch.1転送カウンタレジスタ0x48230•D[7:0])

BLKLEN2[7:0]: Ch.2転送カウンタ[7:0](HSDMA Ch.2転送カウンタレジスタ0x48240•D[7:0])

BLKLEN3[7:0]: Ch.3転送カウンタ[7:0](HSDMA Ch.3転送カウンタレジスタ0x48250•D[7:0])

TC0_L[7:0]: Ch.0転送カウンタ[15:8](HSDMA Ch.0転送カウンタレジスタ0x48220•D[F:8])

TC1_L[7:0]: Ch.1転送カウンタ[15:8](HSDMA Ch.1転送カウンタレジスタ0x48230•D[F:8])

TC2_L[7:0]: Ch.2転送カウンタ[15:8](HSDMA Ch.2転送カウンタレジスタ0x48240•D[F:8])

TC3_L[7:0]: Ch.3転送カウンタ[15:8](HSDMA Ch.3転送カウンタレジスタ0x48250•D[F:8])

TC0_H[7:0]: Ch.0転送カウンタ[23:16](HSDMA Ch.0制御レジスタ0x48222•D[7:0])

TC1_H[7:0]: Ch.1転送カウンタ[23:16](HSDMA Ch.1制御レジスタ0x48232•D[7:0])

TC2_H[7:0]: Ch.2転送カウンタ[23:16](HSDMA Ch.2制御レジスタ0x48242•D[7:0])

TC3_H[7:0]: Ch.3転送カウンタ[23:16](HSDMA Ch.3制御レジスタ0x48252•D[7:0])

注: 設定した転送回数は転送に従ってデクリメントされます。"0"を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

■転送元/転送先アドレス

デュアルアドレスモードでは、転送元および転送先アドレスを以下のレジスタで設定します。

S0ADRL[15:0]: Ch.0転送元アドレス[15:0](Ch.0転送元下位アドレス設定レジスタ0x48224•D[F:0])

S1ADRL[15:0]: Ch.1転送元アドレス[15:0](Ch.1転送元下位アドレス設定レジスタ0x48234•D[F:0])

S2ADRL[15:0]: Ch.2転送元アドレス[15:0](Ch.2転送元下位アドレス設定レジスタ0x48244•D[F:0])

S3ADRL[15:0]: Ch.3転送元アドレス[15:0](Ch.3転送元下位アドレス設定レジスタ0x48254•D[F:0])

S0ADRH[11:0]: Ch.0転送元アドレス[27:16](Ch.0転送元上位アドレス設定レジスタ0x48226•D[B:0])

S1ADRH[11:0]: Ch.1転送元アドレス[27:16](Ch.1転送元上位アドレス設定レジスタ0x48236•D[B:0])

S2ADRH[11:0]: Ch.2転送元アドレス[27:16](Ch.2転送元上位アドレス設定レジスタ0x48246•D[B:0])

S3ADRH[11:0]: Ch.3転送元アドレス[27:16](Ch.3転送元上位アドレス設定レジスタ0x48256•D[B:0])

D0ADRL[15:0]: Ch.0転送先アドレス[15:0](Ch.0転送先下位アドレス設定レジスタ0x48228・D[F:0])
 D1ADRL[15:0]: Ch.1転送先アドレス[15:0](Ch.1転送先下位アドレス設定レジスタ0x48238・D[F:0])
 D2ADRL[15:0]: Ch.2転送先アドレス[15:0](Ch.2転送先下位アドレス設定レジスタ0x48248・D[F:0])
 D3ADRL[15:0]: Ch.3転送先アドレス[15:0](Ch.3転送先下位アドレス設定レジスタ0x48258・D[F:0])
 D0ADRH[11:0]: Ch.0転送先アドレス[27:16](Ch.0転送先上位アドレス設定レジスタ0x4822A・D[B:0])
 D1ADRH[11:0]: Ch.1転送先アドレス[27:16](Ch.1転送先上位アドレス設定レジスタ0x4823A・D[B:0])
 D2ADRH[11:0]: Ch.2転送先アドレス[27:16](Ch.2転送先上位アドレス設定レジスタ0x4824A・D[B:0])
 D3ADRH[11:0]: Ch.3転送先アドレス[27:16](Ch.3転送先上位アドレス設定レジスタ0x4825A・D[B:0])

■アドレスインクリメント/デクリメント制御

転送元アドレスと転送先アドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。この機能の選択には、転送元アドレスの制御にSxIN[1:0]ビット、転送先アドレスの制御にDxIN[1:0]ビットを使用します。

S0IN[1:0]: Ch.0転送元アドレス制御(Ch.0転送元上位アドレス設定レジスタ0x48226・D[D:C])

S1IN[1:0]: Ch.1転送元アドレス制御(Ch.1転送元上位アドレス設定レジスタ0x48236・D[D:C])

S2IN[1:0]: Ch.2転送元アドレス制御(Ch.2転送元上位アドレス設定レジスタ0x48246・D[D:C])

S3IN[1:0]: Ch.3転送元アドレス制御(Ch.3転送元上位アドレス設定レジスタ0x48256・D[D:C])

D0IN[1:0]: Ch.0転送先アドレス制御(Ch.0転送先上位アドレス設定レジスタ0x4822A・D[D:C])

D1IN[1:0]: Ch.1転送先アドレス制御(Ch.1転送先上位アドレス設定レジスタ0x4823A・D[D:C])

D2IN[1:0]: Ch.2転送先アドレス制御(Ch.2転送先上位アドレス設定レジスタ0x4824A・D[D:C])

D3IN[1:0]: Ch.3転送先アドレス制御(Ch.3転送先上位アドレス設定レジスタ0x4825A・D[D:C])

SxIN/DxIN = "00": アドレス固定(デフォルト)

データ転送によってアドレスは変更されません。複数のデータを転送する場合でも、常に同じアドレスに対して転送データの読み出し/書き込みが行われます。

SxIN/DxIN = "01": アドレスデクリメント(初期化なし)

1つのデータ転送終了時にアドレスがDATSIZExに設定したサイズ分デクリメントされます。転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

SxIN/DxIN = "10": アドレスインクリメント(初期化付き)

シングル転送モード/連続転送モードでは、1つのデータの転送終了時にアドレスがDATSIZExに設定したサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、ソースアドレスがインクリメントされます。ブロック転送中にインクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

SxIN/DxIN = "11": アドレスインクリメント(初期化なし)

1つのデータの転送終了時にアドレスがDATSIZExに設定したサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

シングルアドレスモードのレジスタ設定

コントロール情報の設定は、設定するHSDMAチャンネルをディセーブル(HSx_EN="0")にして行ってください。

■アドレスモード

アドレスモード選択ビットDUALMxを"0"(シングルアドレスモード)に設定してください。イニシャルリセット時、このビットは"0"に設定されます。

■転送モード

転送モードをDxMOD[1:0]ビットで設定します。

- シングル転送モード (DxMOD = "00" デフォルト)
- 連続転送モード (DxMOD = "01")
- ブロック転送モード (DxMOD = "10")

転送モードについては、"デュアルアドレスモードのレジスタ設定"を参照してください。

■転送方向

データ転送方向をDxDIRビットで設定します。

D0DIR: Ch.0転送方向制御(HSDMA Ch.0制御レジスタ0x48222•DE)

D1DIR: Ch.1転送方向制御(HSDMA Ch.1制御レジスタ0x48232•DE)

D2DIR: Ch.2転送方向制御(HSDMA Ch.2制御レジスタ0x48242•DE)

D3DIR: Ch.3転送方向制御(HSDMA Ch.3制御レジスタ0x48252•DE)

"1"を書き込むとメモリライト(I/Oデバイスからメモリへのデータ転送)、"0"を書き込むとメモリリード(メモリからI/Oデバイスへのデータ転送)が選択されます。

■転送データサイズ

転送データ1個分のサイズをDATSIZExビットで設定します。

このビットが"1"の場合はハーフワードサイズ(16ビット)、"0"(デフォルト)の場合はバイトサイズ(8ビット)となります。

■ブロックサイズ

ブロック転送モード(DxMOD="10")の場合に、1回に転送されるブロックのサイズ(単位はDATSIZExによる)をBLKLENx[7:0]ビットで設定します。

シングル転送モード/連続転送モードでは、BLKLENx[7:0]を転送回数のビット7~0の指定に使用します。

注: ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。

■転送カウンタ

ブロック転送モードの場合

ブロック転送モードでは、16ビットの転送回数をTCx_L[7:0]およびTCx_H[7:0]で指定します。

シングル転送モード/連続転送モードの場合

シングル転送モード/連続転送モードでは、24ビットの転送回数をBLKLENx[7:0]、TCx_L[7:0]およびTCx_H[7:0]で指定します。

■メモリアドレス

シングルアドレスモードでは、SxADRL[15:0]およびSxADRH[11:0]でメモリアドレスを指定します。

S0ADRL[15:0]: Ch.0メモリアドレス[15:0](Ch.0転送元下位アドレス設定レジスタ0x48224•D[F:0])

S0ADRH[11:0]: Ch.0メモリアドレス[27:16](Ch.0転送元上位アドレス設定レジスタ0x48226•D[B:0])

S1ADRL[15:0]: Ch.1メモリアドレス[15:0](Ch.1転送元下位アドレス設定レジスタ0x48234•D[F:0])

S1ADRH[11:0]: Ch.1メモリアドレス[27:16](Ch.1転送元上位アドレス設定レジスタ0x48236•D[B:0])

S2ADRL[15:0]: Ch.2メモリアドレス[15:0](Ch.2転送元下位アドレス設定レジスタ0x48244•D[F:0])

S2ADRH[11:0]: Ch.2メモリアドレス[27:16](Ch.2転送元上位アドレス設定レジスタ0x48246•D[B:0])

S3ADRL[15:0]: Ch.3メモリアドレス[15:0](Ch.3転送元下位アドレス設定レジスタ0x48254•D[F:0])

S3ADRH[11:0]: Ch.3メモリアドレス[27:16](Ch.3転送元上位アドレス設定レジスタ0x48256•D[B:0])

シングルアドレスモードのデータ転送は、システムインタフェースに接続されたメモリと外部のI/Oデバイス間で行われます。I/Oデバイスは#DMAACKx信号で直接アクセスされますので、アドレスの指定は不要です。シングルアドレスモードではDxADRL[15:0]およびDxADRH[11:0]は使用しません。

■アドレスインクリメント/デクリメント制御

メモリアドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。

この機能の選択には、SxIN[1:0]ビットを使用します。

S0IN[1:0]: Ch.0メモリアドレス制御(Ch.0転送元上位アドレス設定レジスタ0x48226•D[D:C])

S1IN[1:0]: Ch.1メモリアドレス制御(Ch.1転送元上位アドレス設定レジスタ0x48236•D[D:C])

S2IN[1:0]: Ch.2メモリアドレス制御(Ch.2転送元上位アドレス設定レジスタ0x48246•D[D:C])

S3IN[1:0]: Ch.3メモリアドレス制御(Ch.3転送元上位アドレス設定レジスタ0x48256•D[D:C])

SxIN = "00": アドレス固定(デフォルト)

SxIN = "01": アドレスデクリメント(初期化なし)

SxIN = "10": アドレスインクリメント(初期化付き)

SxIN = "11": アドレスインクリメント(初期化なし)

設定内容については"デュアルアドレスモードのレジスタ設定"を参照してください。

シングルアドレスモードではDxIN[1:0]は使用しません。

DMA転送の許可/禁止

HSDMAによるデータ転送は、HSx_ENビットに"1"を書き込むことにより許可されます。

HS0_EN: Ch.0イネーブル(Ch.0イネーブルレジスタ0x4822C•D0)

HS1_EN: Ch.1イネーブル(Ch.1イネーブルレジスタ0x4823C•D0)

HS2_EN: Ch.2イネーブル(Ch.2イネーブルレジスタ0x4824C•D0)

HS3_EN: Ch.3イネーブル(Ch.3イネーブルレジスタ0x4825C•D0)

ただし、DMA転送を許可する前に、コントロール情報を設定しておく必要があります。HSx_ENが"1"の場合、コントロール情報を設定することはできません。

HSx_ENが"0"の場合、HSDMAリクエストは受け付けられません。

DMA転送を終了(転送カウンタ="0")するとHSx_ENは"0"にリセットされ、以降のトリガ入力を禁止します。

トリガ要因

各HSDMAチャンネルは13種類のトリガ要因に対応しており、使用するトリガ要因をHSDMAトリガ設定レジスタで選択できます。なお、この機能は割り込みコントローラでサポートしています。

HSD0S[3:0]: Ch.0トリガ設定(HSDMA Ch.0/1トリガ設定レジスタ0x40298・D[3:0])

HSD1S[3:0]: Ch.1トリガ設定(HSDMA Ch.0/1トリガ設定レジスタ0x40298・D[7:4])

HSD2S[3:0]: Ch.2トリガ設定(HSDMA Ch.2/3トリガ設定レジスタ0x40299・D[3:0])

HSD3S[3:0]: Ch.3トリガ設定(HSDMA Ch.2/3トリガ設定レジスタ0x40299・D[7:4])

表V.2.2に設定値とトリガ要因の対応を示します。

表V.2.2 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	K50入力(立ち下がりエッジ)	K51入力(立ち下がりエッジ)	K53入力(立ち下がりエッジ)	K54入力(立ち下がりエッジ)
0010	K50入力(立ち上がりエッジ)	K51入力(立ち上がりエッジ)	K53入力(立ち上がりエッジ)	K54入力(立ち上がりエッジ)
0011	ポート0入力	ポート1入力	ポート2入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	8bitタイマ0アンダーフロー	8bitタイマ1アンダーフロー	8bitタイマ2アンダーフロー	8bitタイマ3アンダーフロー
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	16bitタイマ4コンペアB	16bitタイマ5コンペアB	16bitタイマ4コンペアB	16bitタイマ5コンペアB
1001	16bitタイマ4コンペアA	16bitタイマ5コンペアA	16bitタイマ4コンペアA	16bitタイマ5コンペアA
1010	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル
1011	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ
1100	A/D変換	A/D変換	A/D変換	A/D変換
1101	reserved	FIFOシリアル I/F Ch.0 受信バッファフル	reserved	FIFOシリアル I/F Ch.0 受信バッファフル
1110	reserved	FIFOシリアル I/F Ch.0 送信バッファエンプティ	reserved	FIFOシリアル I/F Ch.0 送信バッファエンプティ

割り込み要因をトリガ設定レジスタで選択すると、そのHSDMAチャンネルは選択した割り込み要因の発生によって起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。HSDMAを起動した割り込み要因は、割り込み要因フラグもセットしますが、HSDMAはこの割り込み要因フラグをリセットしません。割り込みコントローラによって、その割り込みが許可されていれば、1回のDMA転送を終了した時点で(転送カウンタが"0"でない場合でも)CPUに対し割り込み要求を発生します。転送カウンタが"0"になった場合にのみ割り込みを発生させるには、トリガとなった割り込み要因による割り込み要求を禁止し、HSDMA自身の転送終了割り込みを利用してください。

ソフトウェアトリガを選択した場合、そのHSDMAチャンネルはHSTxビットに"1"を書き込むことで起動します。

HST0: Ch.0ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A・D0)

HST1: Ch.1ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A・D1)

HST2: Ch.2ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A・D2)

HST3: Ch.3ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A・D3)

トリガ要因が発生すると、対応するHSDMAチャンネルが起動するようにトリガフラグHSx_TFを"1"にセットします。HSDMAが許可されていればDMA転送を開始します。同時に、トリガフラグはハードウェアによってクリアされます。これにより、DMA転送中でも次のトリガを保持しておくことができます。

HSx_TFフラグはソフトウェアによる読み出しおよびクリアが可能です。

HS0_TF: Ch.0トリガフラグステータス/クリア(Ch.0トリガフラグレジスタ0x4822E・D0)

HS1_TF: Ch.1トリガフラグステータス/クリア(Ch.1トリガフラグレジスタ0x4823E・D0)

HS2_TF: Ch.2トリガフラグステータス/クリア(Ch.2トリガフラグレジスタ0x4824E・D0)

HS3_TF: Ch.3トリガフラグステータス/クリア(Ch.3トリガフラグレジスタ0x4825E・D0)

DMA転送を開始する前であれば、このビットに"1"を書き込むことによってトリガフラグをクリアできます。このビットを読み出した場合、"1"でトリガフラグがセット状態、"0"でクリア状態であることを示します。

HSDMAの動作

HSDMAの各チャンネルは、選択されているトリガ要因の発生によってデータ転送を開始します。なお、DMA転送を開始する前に、転送条件とトリガ要因の設定を行い、使用するHSDMAチャンネルのデータ転送を許可しておく必要があります。

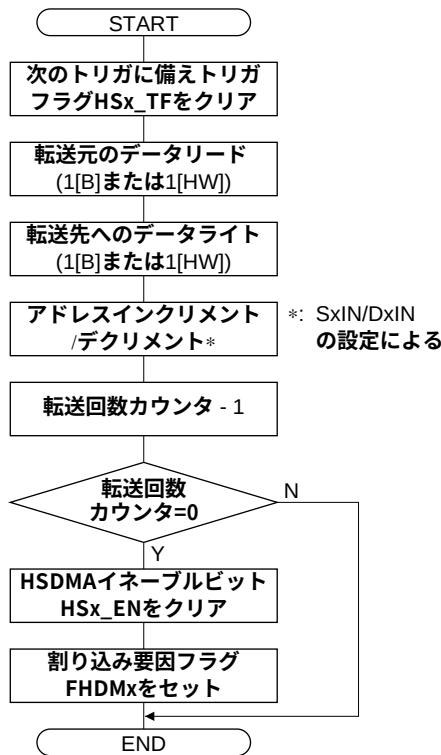
デュアルアドレスモードの動作

デュアルアドレスモードでは、転送元と転送先のアドレスがBCUに設定されている該当エリアのバス条件でアクセスされます。

HSDMAには3種類の転送モードがあり、それぞれデータ転送の動作が異なります。以下、各転送モード別の動作を説明します。

■シングル転送モード

コントロール情報のDxMODが"00"に設定されているチャンネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対してDATSIZExに設定したサイズのデータを1回転送して終了します。転送カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。シングル転送モードのHSDMA動作を図V.2.3のフローチャートに示します。

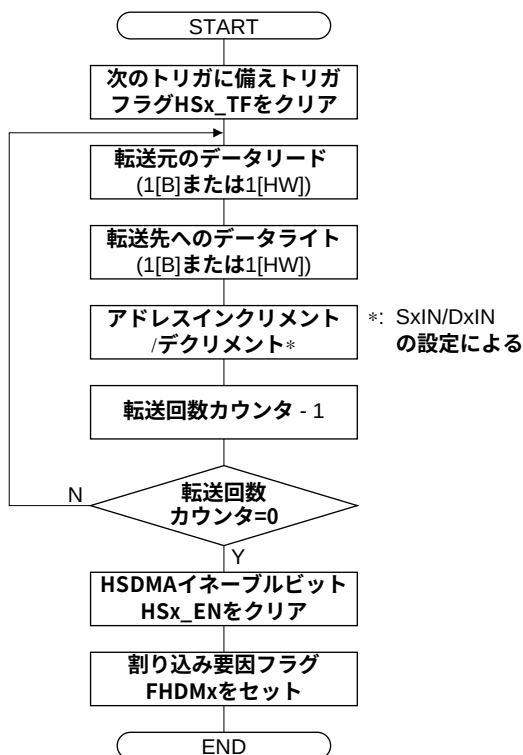


図V.2.3 シングル転送モードの動作フロー

- (1) トリガを受け付けると、トリガフラグHSx_TFがクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
- (2) 読み出したデータを転送先アドレスに書き込みます。
- (3) アドレスがSxIN/DxINの設定に従ってインクリメント/デクリメントされます。
- (4) 転送カウンタがデクリメントされます。
- (5) 転送カウンタが"0"になった場合は、HSDMAイネーブルビットHSx_ENがクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが"1"にセットされます(DINTENx="1"の場合)。

■連続転送モード

コントロール情報のDxMODが"01"に設定されているチャンネルは、連続転送モードで動作します。連続転送モードは、転送カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送カウンタは一度の実行で"0"になります。連続転送モードの動作を図V.2.4のフローチャートに示します。

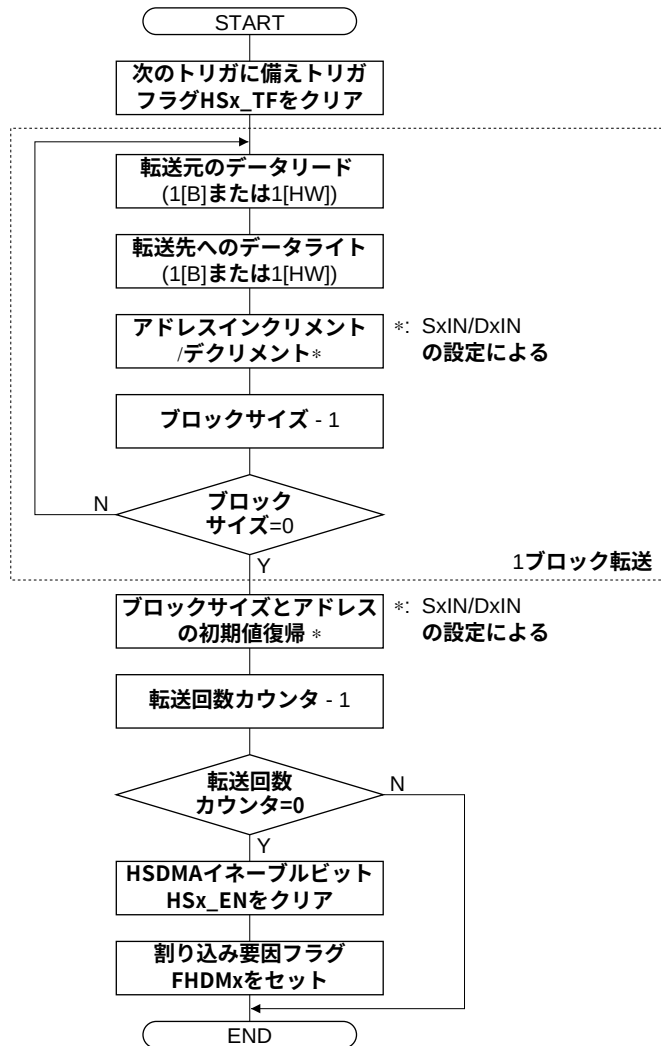


図V.2.4 連続転送モードの動作フロー

- (1) トリガを受け付けると、トリガフラグHSx_TFがクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
- (2) 読み出したデータを転送先アドレスに書き込みます。
- (3) アドレスがSxIN/DxINの設定に従ってインクリメント/デクリメントされます。
- (4) 転送カウンタがデクリメントされます。
- (5) (1)～(4)を転送カウンタが"0"になるまで繰り返します。
- (6) 転送カウンタが"0"になった場合は、HSDMAイネーブルビットHSx_ENがクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが"1"にセットされます(DINTENx="1"の場合)。

■ブロック転送モード

コントロール情報のDxMODが"10"に設定されているチャンネルは、ブロック転送モードで動作します。ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。転送カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。ブロック転送モードの動作を図V.2.5のフローチャートに示します。



図V.2.5 ブロック転送モードの動作フロー

- (1) トリガを受け付けると、トリガフラグHSx_TFがクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
- (2) 読み出したデータを転送先アドレスに書き込みます。
- (3) アドレスのインクリメント/デクリメント、BLKLENxのデクリメントを行います。
- (4) (1)～(3)をBLKLENxが"0"になるまで繰り返します。
- (5) SxIN/DxINが"10"の場合は、アドレスを初期値に戻します。
- (6) 転送カウンタがデクリメントされます。
- (7) 転送カウンタが"0"になった場合は、HSDMAイネーブルビットHSx_ENがクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが"1"にセットされます(DINTENx="1"の場合)。

シングルアドレスモードの動作

各転送モードの動作はデュアルアドレスモードとほとんど同じです(前節参照)。ただし、シングルアドレスモードでは転送元データの読み出しと転送先への書き込みが同時に行われます。以下、デュアルアドレスモードと異なる点を説明します。

■#DMAACKx信号の出力とバスオペレーション

HSDMA回路はDMA要求を受け付けると、#DMAACKx端子からLowレベルのパルスを出力するとともに、メモリに対するバスオペレーションを実行します。
このバスオペレーションの内容は次のとおりです。

• I/Oデバイスからメモリへのデータ転送

アドレスバスにメモリアドレスレジスタに設定されたアドレスが出力されます。
転送先のメモリが属するエリアに設定されたインタフェース条件で、ライト動作を行います。データバスはハイインピーダンスにしたままです。

外部I/Oデバイスは#DMAACKx信号をリード信号として、転送データをデータバスに出力します。
メモリは、このデータをライト信号により取り込みます。

• メモリからI/Oデバイスへのデータ転送

アドレスバスにメモリアドレスレジスタに設定されたアドレスが出力されます。
転送元のメモリが属するエリアに設定されたインタフェース条件で、リード動作を行います。

メモリは、リード信号によって転送データをデータバスに出力します。
外部I/Oデバイスは#DMAACKx信号をライト信号として、そのデータをデータバスから取り込みます。

転送データサイズが16ビットでI/Oデバイスが8ビットの場合は、2回のバスオペレーションを実行します。それ以外は1回のバスオペレーションで転送は終了します。

■#DMAENDx信号の出力

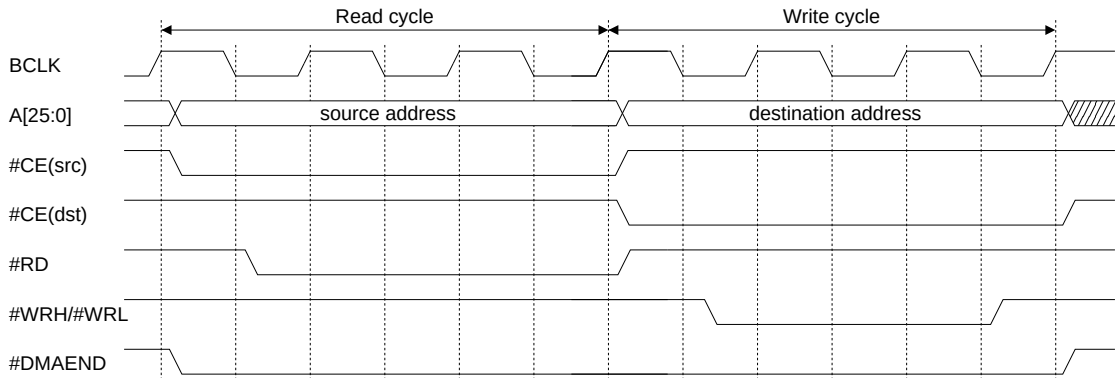
転送カウンタが"0"になると、#DMAENDx端子から指定回数の転送が終了したことを示す転送終了信号が出力されます。同時に、HSDMA転送終了割り込み要因が発生します。

タイミングチャート

■デュアルアドレスモード

SRAMタイプ

例: 2サイクル(RD)/1サイクル(WR)のウェイトを挿入した場合

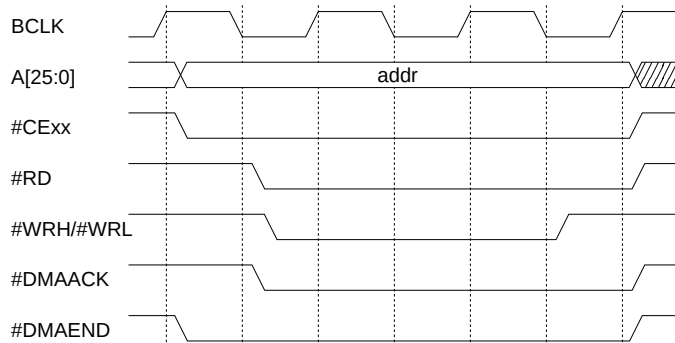


図V.2.6 #DMAEND信号出力タイミング(SRAMタイプ)

■シングルアドレスモード

(1) SRAMタイプ

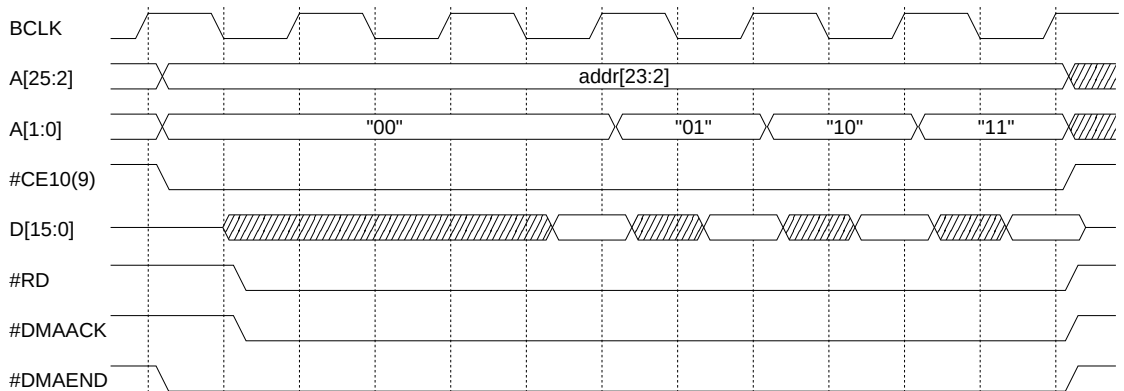
例: 2サイクル(RD)/1サイクル(WR)のウェイトを挿入した場合



図V.2.7 #DMAACK/#DMAEND信号出力タイミング(SRAMタイプ)

(2) バーストROMタイプ

例: 4連続バースト、最初のアクセスを2ウェイトに設定した場合



図V.2.8 #DMAACK/#DMAEND信号出力タイミング(バーストROMタイプ)

HSDMAの割り込み機能

HSDMAコントローラは、HSDMA各チャネルの転送カウンタが"0"になった時点で割り込みを発生、またはIDMAを起動することができます。

■割り込みコントローラの制御レジスタ

各チャネルに用意されている割り込みコントローラの制御レジスタを、表V.2.3に示します。

表V.2.3 割り込みコントローラの制御レジスタ

HSDMA Ch.	割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
Ch.0	FHDM0(D0/0x40281)	EHDM0(D0/0x40271)	PHSD0L[2:0](D[2:0]/0x40263)
Ch.1	FHDM1(D1/0x40281)	EHDM1(D1/0x40271)	PHSD1L[2:0](D[6:4]/0x40263)
Ch.2	FHDM2(D2/0x40281)	EHDM2(D2/0x40271)	PHSD2L[2:0](D[2:0]/0x40264)
Ch.3	FHDM3(D3/0x40281)	EHDM3(D3/0x40271)	PHSD3L[2:0](D[6:4]/0x40264)

HSDMAコントローラは一連のHSDMA転送が終了し、転送カウンタが"0"になったところでHSDMA割り込み要因フラグを"1"にセットします。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。HSDMA割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、各チャネルのデータ転送終了時に"1"にセットされます。

割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、HSDMA割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したHSDMA割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■インテリジェントDMA

HSDMA Ch.0とCh.1の転送終了割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。HSDMAに設定されたIDMAチャネル番号は次のとおりです。

IDMA Ch.

Ch.0転送終了割り込み: 0x05

Ch.1転送終了割り込み: 0x06

IDMAを起動させるには、割り込み要因に対応するIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表V.2.4 IDMA転送の制御ビット

HSDMA Ch.	IDMAリクエストビット	IDMAイネーブルビット
Ch.0	RHDM0(D4/0x40290)	DEHDM0(D4/0x40294)
Ch.1	RHDM1(D5/0x40290)	DEHDM1(D5/0x40294)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はIDMAによる転送終了後に発生します。また、IDMAの転送のみを行い、割り込みは発生しないように設定することもできます。IDMAによるデータ転送とIDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■トラップベクタ

各チャネルの割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.0転送終了割り込み: 0x0C00058

Ch.1転送終了割り込み: 0x0C0005C

Ch.2転送終了割り込み: 0x0C00060

Ch.3転送終了割り込み: 0x0C00064

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

HSDMAのI/Oメモリ

表V.2.5にHSDMAの制御ビットを示します。

表V.2.5 HSDMAの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0/1割り込み プライオリティ レジスタ	0040263 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD1L2	高速DMA Ch.1	0~7	X	R/W	
		D5	PHSD1L1	割り込みレベル		X		
		D4	PHSD1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0	0~7	X	R/W	
		D1	PHSD0L1	割り込みレベル		X		
		D0	PHSD0L0			X		
高速DMA Ch.2/3割り込み プライオリティ レジスタ	0040264 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD3L2	高速DMA Ch.3	0~7	X	R/W	
		D5	PHSD3L1	割り込みレベル		X		
		D4	PHSD3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2	0~7	X	R/W	
		D1	PHSD2L1	割り込みレベル		X		
		D0	PHSD2L0			X		
DMA割り込み イネーブル レジスタ	0040271 (B)	D7~5	–	reserved	–	–	–	読み出し時: 0
		D4	EIDMA	IDMA	1 許可	0 禁止	0	R/W
		D3	EHDM3	高速DMA Ch.3			0	R/W
		D2	EHDM2	高速DMA Ch.2			0	R/W
		D1	EHDM1	高速DMA Ch.1			0	R/W
		D0	EHDM0	高速DMA Ch.0			0	R/W
DMA割り込み 要因フラグ レジスタ	0040281 (B)	D7~5	–	reserved	–	–	–	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生	0 要因なし	X	R/W
		D3	FHDM3	高速DMA Ch.3			X	R/W
		D2	FHDM2	高速DMA Ch.2			X	R/W
		D1	FHDM1	高速DMA Ch.1			X	R/W
		D0	FHDM0	高速DMA Ch.0			X	R/W
ポート入力0~3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1 IDMA要求	0 割り込み 要求	0	R/W
		D6	R16TU0	16bitタイマ0コンペアB			0	R/W
		D5	RHDM1	高速DMA Ch.1			0	R/W
		D4	RHDM0	高速DMA Ch.0			0	R/W
		D3	RP3	ポート入力3			0	R/W
		D2	RP2	ポート入力2			0	R/W
		D1	RP1	ポート入力1			0	R/W
		D0	RP0	ポート入力0			0	R/W
ポート入力0~3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1 IDMA許可	0 IDMA禁止	0	R/W
		D6	DE16TU0	16bitタイマ0コンペアB			0	R/W
		D5	DEHDM1	高速DMA Ch.1			0	R/W
		D4	DEHDM0	高速DMA Ch.0			0	R/W
		D3	DEP3	ポート入力3			0	R/W
		D2	DEP2	ポート入力2			0	R/W
		D1	DEP1	ポート入力1			0	R/W
		D0	DEP0	ポート入力0			0	R/W

V-2 DMAブロック: HSDMA(高速DMA)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0/1 トリガ設定 レジスタ	0040298 (B)	D7 D6 D5 D4	HSD1S3 HSD1S2 HSD1S1 HSD1S0	高速DMA Ch.1トリガ設定	0 ソフトウェアトリガ 1 K51入力(立ち下がりエッジ) 2 K51入力(立ち上がりエッジ) 3 ポート1入力 4 ポート5入力 5 8bitタイマCh.1アンダーフロー 6 16bitタイマCh.1コンペアB 7 16bitタイマCh.1コンペアA 8 16bitタイマCh.5コンペアB 9 16bitタイマCh.5コンペアA A SI/F Ch.1 Rx bufフル B SI/F Ch.1 Tx bufエンブティ C A/D変換終了 D FSI/F Ch.0 Rx bufフル E FSI/F Ch.0 Tx bufエンブティ	0 0 0 0	R/W	
		D3 D2 D1 D0	HSD0S3 HSD0S2 HSD0S1 HSD0S0	高速DMA Ch.0トリガ設定	0 ソフトウェアトリガ 1 K50入力(立ち下がりエッジ) 2 K50入力(立ち上がりエッジ) 3 ポート0入力 4 ポート4入力 5 8bitタイマCh.0アンダーフロー 6 16bitタイマCh.0コンペアB 7 16bitタイマCh.0コンペアA 8 16bitタイマCh.4コンペアB 9 16bitタイマCh.4コンペアA A SI/F Ch.0 Rx bufフル B SI/F Ch.0 Tx bufエンブティ C A/D変換終了 D reserved E reserved	0 0 0 0	R/W	
高速DMA Ch.2/3 トリガ設定 レジスタ	0040299 (B)	D7 D6 D5 D4	HSD3S3 HSD3S2 HSD3S1 HSD3S0	高速DMA Ch.3トリガ設定	0 ソフトウェアトリガ 1 K54入力(立ち下がりエッジ) 2 K54入力(立ち上がりエッジ) 3 ポート3入力 4 ポート7入力 5 8bitタイマCh.3アンダーフロー 6 16bitタイマCh.3コンペアB 7 16bitタイマCh.3コンペアA 8 16bitタイマCh.5コンペアB 9 16bitタイマCh.5コンペアA A SI/F Ch.1 Rx bufフル B SI/F Ch.1 Tx bufエンブティ C A/D変換終了 D FSI/F Ch.0 Rx bufフル E FSI/F Ch.0 Tx bufエンブティ	0 0 0 0	R/W	
		D3 D2 D1 D0	HSD2S3 HSD2S2 HSD2S1 HSD2S0	高速DMA Ch.2トリガ設定	0 ソフトウェアトリガ 1 K53入力(立ち下がりエッジ) 2 K53入力(立ち上がりエッジ) 3 ポート2入力 4 ポート6入力 5 8bitタイマCh.2アンダーフロー 6 16bitタイマCh.2コンペアB 7 16bitタイマCh.2コンペアA 8 16bitタイマCh.4コンペアB 9 16bitタイマCh.4コンペアA A SI/F Ch.0 Rx bufフル B SI/F Ch.0 Tx bufエンブティ C A/D変換終了 D reserved E reserved	0 0 0 0	R/W	
高速DMA ソフトウェア トリガレジスタ	004029A (B)	D7-4	-	reserved	-	-	-	読み出し時: 0
		D3	HST3	HSDMA Ch.3ソフトウェアトリガ	1 トリガ	0 無効	0 W	
		D2	HST2	HSDMA Ch.2ソフトウェアトリガ			0 W	
		D1	HST1	HSDMA Ch.1ソフトウェアトリガ			0 W	
		D0	HST0	HSDMA Ch.0ソフトウェアトリガ			0 W	
K5機能選択 レジスタ	00402C0 (B)	D7-5	-	reserved	-	-	-	読み出し時: 0
		D4	CFK54	K54機能選択	1 #DMAREQ3	0 K54	0 R/W	
		D3	CFK53	K53機能選択	1 #DMAREQ2	0 K53	0 R/W	
		D2	CFK52	K52機能選択	1 #ADTRG	0 K52	0 R/W	
		D1	CFK51	K51機能選択	1 #DMAREQ1	0 K51	0 R/W	
		D0	CFK50	K50機能選択	1 #DMAREQ0	0 K50	0 R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
P1機能選択 レジスタ	00402D4 (B)	D7	–	reserved	–		–	–	読み出し時: 0		
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	拡張機能(0x402D7)
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	–	reserved	–		–	–	読み出し時: 0		
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート 端子のI/O制御信号 の値(詳細説明参照)
		D5	IOC15	P15 I/O制御				0	R/W		
		D4	IOC14	P14 I/O制御				0	R/W		
		D3	IOC13	P13 I/O制御				0	R/W		
		D2	IOC12	P12 I/O制御				0	R/W		
		D1	IOC11	P11 I/O制御				0	R/W		
		D0	IOC10	P10 I/O制御				0	R/W		
P3機能選択 レジスタ	00402DC (B)	D7–6	–	reserved	–		–	–	読み出し時: 0		
		D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0	R/W	拡張機能(0x300047)
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0	R/W	
		D3	CFP33	P33機能選択	1	#DMAACK1	0	P33	0	R/W	拡張機能(0x402D7)
		D2	CFP32	P32機能選択	1	#DMAACK0	0	P32	0	R/W	
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0	R/W	拡張機能(0x402DF)
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0	R/W	
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	
高速DMA Ch.0 転送カウンタ レジスタ	0048220 (HW)	DF	TC0_L7	Ch.0転送カウンタ[7:0] (ブロック転送モード)				X	R/W		
		DE	TC0_L6			X					
		DD	TC0_L5			X					
		DC	TC0_L4		Ch.0転送カウンタ[15:8] (シングル/連続転送モード)		X				
		DB	TC0_L3				X				
		DA	TC0_L2				X				
		D9	TC0_L1				X				
		D8	TC0_L0			X					
		D7	BLKLEN07	Ch.0ブロック長 (ブロック転送モード)				X	R/W		
		D6	BLKLEN06			X					
		D5	BLKLEN05			X					
		D4	BLKLEN04		Ch.0転送カウンタ[7:0] (シングル/連続転送モード)		X				
		D3	BLKLEN03				X				
		D2	BLKLEN02				X				
		D1	BLKLEN01				X				
		D0	BLKLEN00			X					

V-2 DMAブロック: HSDMA(高速DMA)

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
高速DMA Ch.0 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048222 (HW)	DF	DUALM0	Ch.0アドレスモード選択	1	デュアル	0	シングル	0	R/W	
		DE	D0DIR	D)無効 S) Ch.0転送方向制御			-		0	R/W	
		DD-8	-	reserved			-		-	-	
		D7	TC0_H7	Ch.0転送カウンタ[15:8] (ブロック転送モード) Ch.0転送カウンタ[23:16] (シングル/連続転送モード)					X	R/W	
		D6	TC0_H6						X		
		D5	TC0_H5						X		
		D4	TC0_H4						X		
		D3	TC0_H3						X		
		D2	TC0_H2						X		
		D1	TC0_H1						X		
D0	TC0_H0						X				
高速DMA Ch.0 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048224 (HW)	DF	S0ADRL15	D) Ch.0転送元アドレス[15:0] S) Ch.0メモリアドレス[15:0]				X	R/W		
		DE	S0ADRL14					X			
		DD	S0ADRL13					X			
		DC	S0ADRL12					X			
		DB	S0ADRL11					X			
		DA	S0ADRL10					X			
		D9	S0ADRL9					X			
		D8	S0ADRL8					X			
		D7	S0ADRL7					X			
		D6	S0ADRL6					X			
		D5	S0ADRL5					X			
		D4	S0ADRL4					X			
		D3	S0ADRL3					X			
		D2	S0ADRL2					X			
		D1	S0ADRL1					X			
		D0	S0ADRL0					X			
		高速DMA Ch.0 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048226 (HW)		DF	-	reserved				-
DE	DATSIZE0			Ch.0転送データサイズ	1	ハーフワード	0	バイト	0	R/W	
DD	S0IN1			D) Ch.0転送元アドレス制御 S) Ch.0メモリアドレス制御	S0IN[1:0]		Inc/dec		0	R/W	
DC	S0IN0				1	1	Inc.(initなし)		0		
					1	0	Inc.(init)				
					0	1	Dec.(initなし)				
					0	0	固定				
DB	S0ADRH11			D) Ch.0転送元アドレス[27:16] S) Ch.0メモリアドレス[27:16]					X	R/W	
DA	S0ADRH10								X		
D9	S0ADRH9								X		
D8	S0ADRH8								X		
D7	S0ADRH7								X		
D6	S0ADRH6								X		
D5	S0ADRH5								X		
D4	S0ADRH4								X		
D3	S0ADRH3								X		
D2	S0ADRH2								X		
D1	S0ADRH1					X					
D0	S0ADRH0					X					
高速DMA Ch.0 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048228 (HW)	DF	D0ADRL15	D) Ch.0転送先アドレス[15:0] S) 無効				X	R/W		
		DE	D0ADRL14						X		
		DD	D0ADRL13						X		
		DC	D0ADRL12						X		
		DB	D0ADRL11						X		
		DA	D0ADRL10						X		
		D9	D0ADRL9						X		
		D8	D0ADRL8						X		
		D7	D0ADRL7						X		
		D6	D0ADRL6						X		
		D5	D0ADRL5						X		
		D4	D0ADRL4						X		
		D3	D0ADRL3						X		
		D2	D0ADRL2						X		
		D1	D0ADRL1						X		
		D0	D0ADRL0						X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
高速DMA Ch.0 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004822A (HW)	DF DE	D0MOD1 D0MOD0	Ch.0転送モード	D0MOD[1:0]		モード	0	R/W		
					1	1	無効	0			
					1	0	ブロック転送	連続転送 シングル転送			
					0	1					
					0	0					
		DD DC	D0IN1 D0IN0	D) Ch.0転送先アドレス制御 S) 無効	D0IN[1:0]		Inc/dec	0	R/W		
					1	1	Inc.(initなし)	0			
					1	0	Inc.(init)				
					0	1	Dec.(initなし)				
					0	0	固定				
		DB DA D9 D8 D7 D6 D5 D4 D3 D2 D1 D0	D0ADRH11 D0ADRH10 D0ADRH9 D0ADRH8 D0ADRH7 D0ADRH6 D0ADRH5 D0ADRH4 D0ADRH3 D0ADRH2 D0ADRH1 D0ADRH0	D) Ch.0転送先アドレス[27:16] S) 無効					X		R/W
					X						
					X						
					X						
					X						
X											
X											
X											
X											
X											
X											
高速DMA Ch.0 イネーブル レジスタ	004822C (HW)	DF-1	-	reserved	-			-	-	読み出し時: 不定	
D0		HS0_EN	Ch.0イネーブル	1	許可	0	禁止	0	R/W		
高速DMA Ch.0 トリガフラグ レジスタ	004822E (HW)	DF-1	-	reserved	-			-	-	読み出し時: 不定	
		D0	HS0_TF	Ch.0トリガフラグクリア(WR) Ch.0トリガフラグステータス(RD)	1	クリア	0	無効 クリア	0	R/W	
高速DMA Ch.1 転送カウンタ レジスタ	0048230 (HW)	DF DE DD DC DB DA D9 D8	TC1_L7 TC1_L6 TC1_L5 TC1_L4 TC1_L3 TC1_L2 TC1_L1 TC1_L0	Ch.1転送カウンタ[7:0] (ブロック転送モード) Ch.1転送カウンタ[15:8] (シングル/連続転送モード)				X	R/W		
					X						
					X						
					X						
					X						
					X						
					X						
					X						
		D7 D6 D5 D4 D3 D2 D1 D0	BLKLEN17 BLKLEN16 BLKLEN15 BLKLEN14 BLKLEN13 BLKLEN12 BLKLEN11 BLKLEN10	Ch.1ブロック長 (ブロック転送モード) Ch.1転送カウンタ[7:0] (シングル/連続転送モード)				X	R/W		
					X						
					X						
					X						
					X						
					X						
					X						
					X						
高速DMA Ch.1 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048232 (HW)	DF	DUALM1	Ch.1アドレスモード選択	1	デュアル	0	シングル	0	R/W	
		DE	D1DIR	D)無効 S) Ch.1転送方向制御	1	メモリWR	0	メモリRD	0	R/W	
		DD-8	-	reserved	-			-	-	読み出し時: 不定	
		D7 D6 D5 D4 D3 D2 D1 D0	TC1_H7 TC1_H6 TC1_H5 TC1_H4 TC1_H3 TC1_H2 TC1_H1 TC1_H0	Ch.1転送カウンタ[15:8] (ブロック転送モード) Ch.1転送カウンタ[23:16] (シングル/連続転送モード)				X	R/W		
					X						
					X						
					X						
					X						
					X						
					X						
					X						
					X						
					X						

V-2 DMAブロック: HSDMA(高速DMA)

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
高速DMA Ch.1 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048234 (HW)	DF	S1ADRL15	D) Ch.1転送元アドレス[15:0] S) Ch.1メモリアドレス[15:0]				X	R/W		
		DE	S1ADRL14					X			
		DD	S1ADRL13					X			
		DC	S1ADRL12					X			
		DB	S1ADRL11					X			
		DA	S1ADRL10					X			
		D9	S1ADRL9					X			
		D8	S1ADRL8					X			
		D7	S1ADRL7					X			
		D6	S1ADRL6					X			
		D5	S1ADRL5					X			
		D4	S1ADRL4					X			
		D3	S1ADRL3					X			
		D2	S1ADRL2					X			
		D1	S1ADRL1					X			
		D0	S1ADRL0					X			
		高速DMA Ch.1 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048236 (HW)					DF			—
DE	DATSIZE1			Ch.1転送データサイズ	1	ハーフワード	0	バイト	0	R/W	
DD	S1IN1			D) Ch.1転送元アドレス制御	S1IN[1:0]		Inc/dec		0	R/W	
					1	1	Inc.(initなし)		0		
					1	0	Inc.(init)				
					0	1	Dec.(initなし)				
DC	S1IN0			S) Ch.1メモリアドレス制御	0	0	固定				
DB	S1ADRH11			D) Ch.1転送元アドレス[27:16]				X	R/W		
DA	S1ADRH10			S) Ch.1メモリアドレス[27:16]				X			
D9	S1ADRH9			X							
D8	S1ADRH8			X							
D7	S1ADRH7			X							
D6	S1ADRH6			X							
D5	S1ADRH5			X							
D4	S1ADRH4			X							
D3	S1ADRH3			X							
D2	S1ADRH2			X							
D1	S1ADRH1	X									
D0	S1ADRH0	X									
高速DMA Ch.1 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048238 (HW)	DF	D1ADRL15	D) Ch.1転送先アドレス[15:0] S) 無効				X	R/W		
		DE	D1ADRL14					X			
		DD	D1ADRL13					X			
		DC	D1ADRL12					X			
		DB	D1ADRL11					X			
		DA	D1ADRL10					X			
		D9	D1ADRL9					X			
		D8	D1ADRL8					X			
		D7	D1ADRL7					X			
		D6	D1ADRL6					X			
		D5	D1ADRL5					X			
		D4	D1ADRL4					X			
		D3	D1ADRL3					X			
		D2	D1ADRL2					X			
		D1	D1ADRL1					X			
		D0	D1ADRL0					X			
		高速DMA Ch.1 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004823A (HW)					DF			D1MOD1
DE	D1MOD0			1	1	無効		0			
				1	0	ブロック転送		0			
				0	1	連続転送					
				0	0	シングル転送					
DD	D1IN1			D) Ch.1転送先アドレス制御 S) 無効	D1IN[1:0]		Inc/dec		0	R/W	
DC	1				1	Inc.(initなし)		0			
	1				0	Inc.(init)					
	0				1	Dec.(initなし)					
	0			0	固定						
DB	D1ADRH11			D) Ch.1転送先アドレス[27:16] S) 無効				X	R/W		
DA	D1ADRH10							X			
D9	D1ADRH9							X			
D8	D1ADRH8							X			
D7	D1ADRH7							X			
D6	D1ADRH6							X			
D5	D1ADRH5							X			
D4	D1ADRH4	X									
D3	D1ADRH3	X									
D2	D1ADRH2	X									
D1	D1ADRH1	X									
D0	D1ADRH0	X									

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.1 イネーブル レジスタ	004823C (HW)	DF-1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS1_EN	Ch.1イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.1 トリガフラグ レジスタ	004823E (HW)	DF-1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS1_TF	Ch.1トリガフラグクリア(WR) Ch.1トリガフラグステータス(RD)	1 クリア 0 無効 1 セット 0 クリア	0	R/W	
高速DMA Ch.2 転送カウンタ レジスタ	0048240 (HW)	DF	TC2_L7	Ch.2転送カウンタ[7:0] (ブロック転送モード)		X	R/W	
		DE	TC2_L6			X		
		DD	TC2_L5			X		
		DC	TC2_L4	Ch.2転送カウンタ[15:8] (シングル/連続転送モード)		X		
		DB	TC2_L3			X		
		DA	TC2_L2			X		
		D9	TC2_L1			X		
		D8	TC2_L0			X		
		D7	BLKLEN27	Ch.2ブロック長 (ブロック転送モード)		X	R/W	
		D6	BLKLEN26			X		
		D5	BLKLEN25			X		
		D4	BLKLEN24	Ch.2転送カウンタ[7:0] (シングル/連続転送モード)		X		
		D3	BLKLEN23			X		
		D2	BLKLEN22			X		
		D1	BLKLEN21			X		
		D0	BLKLEN20			X		
高速DMA Ch.2 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048242 (HW)	DF	DUALM2	Ch.2アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D2DIR	D) 無効 S) Ch.2転送方向制御	– 1 メモリWR 0 メモリRD	– 0	– R/W	
		DD-8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC2_H7	Ch.2転送カウンタ[15:8] (ブロック転送モード)		X	R/W	
		D6	TC2_H6			X		
		D5	TC2_H5			X		
		D4	TC2_H4	Ch.2転送カウンタ[23:16] (シングル/連続転送モード)		X		
		D3	TC2_H3			X		
		D2	TC2_H2			X		
		D1	TC2_H1			X		
高速DMA Ch.2 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048244 (HW)	DF	S2ADRL15	D) Ch.2転送元アドレス[15:0] S) Ch.2メモリアドレス[15:0]		X	R/W	
		DE	S2ADRL14			X		
		DD	S2ADRL13			X		
		DC	S2ADRL12			X		
		DB	S2ADRL11			X		
		DA	S2ADRL10			X		
		D9	S2ADRL9			X		
		D8	S2ADRL8			X		
		D7	S2ADRL7			X		
		D6	S2ADRL6			X		
		D5	S2ADRL5			X		
		D4	S2ADRL4			X		
		D3	S2ADRL3			X		
		D2	S2ADRL2			X		
		D1	S2ADRL1			X		
		D0	S2ADRL0			X		
高速DMA Ch.2 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048246 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE2	Ch.2転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S2IN1	D) Ch.2転送元アドレス制御	S2IN[1:0] Inc/dec	0	R/W	
		DC	S2IN0	S) Ch.2メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S2ADRH11	D) Ch.2転送元アドレス[27:16] S) Ch.2メモリアドレス[27:16]		X	R/W	
		DA	S2ADRH10			X		
		D9	S2ADRH9			X		
		D8	S2ADRH8			X		
		D7	S2ADRH7			X		
		D6	S2ADRH6			X		
		D5	S2ADRH5			X		
		D4	S2ADRH4			X		
		D3	S2ADRH3			X		
		D2	S2ADRH2			X		
		D1	S2ADRH1			X		
		D0	S2ADRH0			X		

V-2 DMAブロック: HSDMA(高速DMA)

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈			
高速DMA Ch.2 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048248 (HW)	DF	D2ADRL15	D) Ch.2転送先アドレス[15:0] S) 無効			X	R/W				
		DE	D2ADRL14				X					
		DD	D2ADRL13				X					
		DC	D2ADRL12				X					
		DB	D2ADRL11				X					
		DA	D2ADRL10				X					
		D9	D2ADRL9				X					
		D8	D2ADRL8				X					
		D7	D2ADRL7				X					
		D6	D2ADRL6				X					
		D5	D2ADRL5				X					
		D4	D2ADRL4				X					
		D3	D2ADRL3				X					
		D2	D2ADRL2				X					
		D1	D2ADRL1				X					
		D0	D2ADRL0				X					
		高速DMA Ch.2 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004824A (HW)				DF			D2MOD1	Ch.2転送モード	D2MOD[1:0]
DE	D2MOD0			1	1	無効		0				
				1	0	ブロック転送						
				0	1	連続転送						
				0	0	シングル転送						
DD	D2IN1			D) Ch.2転送先アドレス制御 S) 無効	D2IN[1:0]		Inc/dec		0	R/W		
	DC				D2IN0	1	1	Inc.(initなし)			0	
						1	0	Inc.(init)				
						0	1	Dec.(initなし)				
				0	0	固定						
DB	D2ADRH11			D) Ch.2転送先アドレス[27:16] S) 無効					X	R/W		
	DA								D2ADRH10		X	
	D9								D2ADRH9		X	
	D8								D2ADRH8		X	
	D7								D2ADRH7		X	
	D6								D2ADRH6		X	
	D5								D2ADRH5		X	
	D4								D2ADRH4		X	
	D3								D2ADRH3		X	
	D2								D2ADRH2		X	
	D1								D2ADRH1		X	
	D0								D2ADRH0		X	
高速DMA Ch.2 イネーブル レジスタ	004824C (HW)			DF-1	-	reserved	-		-	-	読み出し時: 不定	
				D0	HS2_EN	Ch.2イネーブル	1	許可	0	禁止	0	R/W
高速DMA Ch.2 トリガフラグ レジスタ	004824E (HW)	DF-1	-	reserved	-		-	-	読み出し時: 不定			
		D0	HS2_TF	Ch.2トリガフラグクリア(WR)	1	クリア	0	無効	0	R/W		
				Ch.2トリガフラグステータス(RD)	1	セット	0	クリア				
高速DMA Ch.3 転送カウンタ レジスタ	0048250 (HW)	DF	TC3_L7	Ch.3転送カウンタ[7:0] (ブロック転送モード)			X	R/W				
		DE	TC3_L6				X					
		DD	TC3_L5				X					
		DC	TC3_L4				X					
		DB	TC3_L3				X					
		DA	TC3_L2				X					
		D9	TC3_L1				X					
		D8	TC3_L0				X					
		D7	BLKLEN37	Ch.3ブロック長 (ブロック転送モード)			X	R/W				
		D6	BLKLEN36				X					
		D5	BLKLEN35	Ch.3転送カウンタ[7:0] (シングル/連続転送モード)			X					
		D4	BLKLEN34				X					
		D3	BLKLEN33				X					
		D2	BLKLEN32				X					
		D1	BLKLEN31				X					
		D0	BLKLEN30				X					

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
高速DMA Ch.3 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048252 (HW)	DF	DUALM3	Ch.3アドレスモード選択	1	デュアル	0	シングル	0	R/W	
		DE	D3DIR	D)無効		—			—	—	
				S) Ch.3転送方向制御	1	メモリWR	0	メモリRD	0	R/W	
		DD—8	—	reserved		—			—	—	読み出し時: 不定
		D7	TC3_H7	Ch.3転送カウンタ[15:8] (ブロック転送モード) Ch.3転送カウンタ[23:16] (シングル/連続転送モード)					X	R/W	
		D6	TC3_H6						X		
		D5	TC3_H5						X		
		D4	TC3_H4						X		
		D3	TC3_H3						X		
		D2	TC3_H2						X		
D1	TC3_H1						X				
D0	TC3_H0						X				
高速DMA Ch.3 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048254 (HW)	DF	S3ADRL15	D) Ch.3転送元アドレス[15:0]					X	R/W	
		DE	S3ADRL14	S) Ch.3メモリアドレス[15:0]					X		
		DD	S3ADRL13					X			
		DC	S3ADRL12					X			
		DB	S3ADRL11					X			
		DA	S3ADRL10					X			
		D9	S3ADRL9					X			
		D8	S3ADRL8					X			
		D7	S3ADRL7					X			
		D6	S3ADRL6					X			
		D5	S3ADRL5					X			
		D4	S3ADRL4					X			
		D3	S3ADRL3					X			
		D2	S3ADRL2					X			
		D1	S3ADRL1					X			
		D0	S3ADRL0					X			
		高速DMA Ch.3 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048256 (HW)	DF	—	reserved		—			
DE	DATSIZE3			Ch.3転送データサイズ	1	ハーフワード	0	バイト	0	R/W	
DD	S3IN1			D) Ch.3転送元アドレス制御	S3IN[1:0]		Inc/dec		0	R/W	
DC	S3IN0			S) Ch.3メモリアドレス制御	1	1	Inc.(initなし)		0		
					1	0	Inc.(init)				
					0	1	Dec.(initなし)				
					0	0	固定				
DB	S3ADRH11			D) Ch.3転送元アドレス[27:16]					X	R/W	
DA	S3ADRH10			S) Ch.3メモリアドレス[27:16]					X		
D9	S3ADRH9							X			
D8	S3ADRH8							X			
D7	S3ADRH7							X			
D6	S3ADRH6							X			
D5	S3ADRH5							X			
D4	S3ADRH4							X			
D3	S3ADRH3							X			
D2	S3ADRH2							X			
D1	S3ADRH1					X					
D0	S3ADRH0					X					
高速DMA Ch.3 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048258 (HW)	DF	D3ADRL15	D) Ch.3転送先アドレス[15:0]					X	R/W	
		DE	D3ADRL14	S) 無効					X		
		DD	D3ADRL13					X			
		DC	D3ADRL12					X			
		DB	D3ADRL11					X			
		DA	D3ADRL10					X			
		D9	D3ADRL9					X			
		D8	D3ADRL8					X			
		D7	D3ADRL7					X			
		D6	D3ADRL6					X			
		D5	D3ADRL5					X			
		D4	D3ADRL4					X			
		D3	D3ADRL3					X			
		D2	D3ADRL2					X			
		D1	D3ADRL1					X			
		D0	D3ADRL0					X			

V-2 DMAブロック: HSDMA(高速DMA)

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
高速DMA Ch.3 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004825A (HW)	DF DE	D3MOD1 D3MOD0	Ch.3転送モード	D3MOD[1:0]		モード	0 0	R/W	
					1	1	無効			
					1	0	ブロック転送			
					0	1	連続転送			
					0	0	シングル転送			
		DD DC	D3IN1 D3IN0	D) Ch.3転送先アドレス制御 S) 無効	D3IN[1:0]		Inc/dec	0 0	R/W	
					1	1	Inc.(initなし)			
					1	0	Inc.(init)			
					0	1	Dec.(initなし)			
					0	0	固定			
		DB DA D9 D8 D7 D6 D5 D4 D3 D2 D1 D0	D3ADRH11 D3ADRH10 D3ADRH9 D3ADRH8 D3ADRH7 D3ADRH6 D3ADRH5 D3ADRH4 D3ADRH3 D3ADRH2 D3ADRH1 D3ADRH0	D) Ch.3転送先アドレス[27:16] S) 無効				X	R/W	
								X		
								X		
								X		
								X		
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			
							X			

IOC16–IOC15: P1[6:5]ポートI/O制御(D[6:5]/0x402D6<P1 I/O制御レジスタ>)

入出力兼用ポートの入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

- データ書き込み時
 "1"書き込み: 出力モード
 "0"書き込み: 入力モード

#DMAEND0端子(Ch.0)を使用する場合はIOC15に、#DMAEND1端子(Ch.1)を使用する場合はIOC16に"1"を書き込んで、出力モードに設定してください。CFP15、CFP16が"1"に設定されている場合でも、入力モードに設定されていると、P15、P16端子は#DMAENDx出力端子として機能しません。

- データ読み出し時
 "1"読み出し: I/O制御信号(出力)
 "0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFP1xレジスタによって入出力兼用ポート機能を選択した場合、読み出し値はIOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。

コールドスタート時、IOC1xレジスタはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFP33–CFP32: P3[3:2]端子機能選択(D[3:2]/0x402DC<P3機能選択レジスタ>)

HSDMAの#DMAACKx端子を設定します。

- "1"書き込み: #DMAACKx出力
 "0"書き込み: 入出力兼用ポート
 読み出し: 可能

#DMAACK0信号を使用する場合は、CFP32に"1"を書き込んでP32端子を#DMAACK0端子に設定してください。同様に、#DMAACK1信号を使用する場合はCFP33に"1"を書き込んでP33端子を#DMAACK1端子に設定してください。

"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

コールドスタート時、CFP3xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX7–CFEX4: P0[7:4]端子機能拡張(D[7:4]/0x402DF<ポート機能拡張レジスタ>)

HSDMAの#DMAACKx端子と#DMAENDx端子を設定します。

- "1"書き込み: HSDMA出力
 "0"書き込み: 入出力兼用ポート/シリアルI/F入出力
 読み出し: 可能

CFEX4～CFEX7はそれぞれP04(#DMAACK2)、P05(#DMAEND2)、P06(#DMAACK3)、P07(#DMAEND3)の機能拡張ビットです。

HSDMA用信号を使用する場合はCFEXxに"1"を書き込んで、P0x端子をHSDMA信号出力端子に設定してください。

"0"を書き込んだ場合、対応するCFPxビットの設定が有効となります。

コールドスタート時、これらのビットは"0"(入出力兼用ポート/シリアルI/F入出力)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

HSD0S3–HSD0S0: Ch.0トリガ設定 (D[3:0]/0x40298<HSDMA Ch.0/1トリガ設定レジスタ>)

HSD1S3–HSD1S0: Ch.1トリガ設定 (D[7:4]/0x40298<HSDMA Ch.0/1トリガ設定レジスタ>)

HSD2S3–HSD2S0: Ch.2トリガ設定 (D[3:0]/0x40299<HSDMA Ch.2/3トリガ設定レジスタ>)

HSD3S3–HSD3S0: Ch.3トリガ設定 (D[7:4]/0x40299<HSDMA Ch.2/3トリガ設定レジスタ>)

各HSDMAチャンネルのトリガ要因を選択します。

表V.2.6 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	K50入力(立ち下がりエッジ)	K51入力(立ち下がりエッジ)	K53入力(立ち下がりエッジ)	K54入力(立ち下がりエッジ)
0010	K50入力(立ち上がりエッジ)	K51入力(立ち上がりエッジ)	K53入力(立ち上がりエッジ)	K54入力(立ち上がりエッジ)
0011	ポート0入力	ポート1入力	ポート2 入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	8bitタイマ0アンダーフロー	8bitタイマ1アンダーフロー	8bitタイマ2アンダーフロー	8bitタイマ3アンダーフロー
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	16bitタイマ4コンペアB	16bitタイマ5コンペアB	16bitタイマ4コンペアB	16bitタイマ5コンペアB
1001	16bitタイマ4コンペアA	16bitタイマ5コンペアA	16bitタイマ4コンペアA	16bitタイマ5コンペアA
1010	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル
1011	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ
1100	A/D変換	A/D変換	A/D変換	A/D変換
1101	reserved	FIFOシリアル I/F Ch.0 受信バッファフル	reserved	FIFOシリアル I/F Ch.0 受信バッファフル
1110	reserved	FIFOシリアル I/F Ch.0 送信バッファエンプティ	reserved	FIFOシリアル I/F Ch.0 送信バッファエンプティ

イニシャルリセット時、HSDxSは"0000"(ソフトウェアトリガ)に設定されます。

HST0: Ch.0ソフトウェアトリガ (D0/0x4029A<HSDMAソフトウェアトリガレジスタ>)

HST1: Ch.1ソフトウェアトリガ (D1/0x4029A<HSDMAソフトウェアトリガレジスタ>)

HST2: Ch.2ソフトウェアトリガ (D2/0x4029A<HSDMAソフトウェアトリガレジスタ>)

HST3: Ch.3ソフトウェアトリガ (D3/0x4029A<HSDMAソフトウェアトリガレジスタ>)

DMA転送を開始します。

"1"書き込み: トリガ

"0"書き込み: 無効

読み出し: 無効

HSTxに"1"を書き込むことで、DMA転送を開始するトリガパルスが生成されます。

この制御は、HSDMAの該当チャンネルのトリガ要因をHSDxSでソフトウェアトリガに設定した場合にのみ有効です。

イニシャルリセット時、HSTxは"0"に設定されます。

HS0_TF: Ch.0トリガフラグクリア/ステータス (D0/0x4822E HSDMA Ch.0<トリガフラグレジスタ>)

HS1_TF: Ch.1トリガフラグクリア/ステータス (D0/0x4823E HSDMA Ch.1<トリガフラグレジスタ>)

HS2_TF: Ch.2トリガフラグクリア/ステータス (D0/0x4824E HSDMA Ch.2<トリガフラグレジスタ>)

HS3_TF: Ch.3トリガフラグクリア/ステータス (D0/0x4825E HSDMA Ch.3<トリガフラグレジスタ>)

トリガフラグの状態の確認とクリアに使用します。

"1"書き込み: トリガフラグクリア

"0"書き込み: 無効

"1"読み出し: セット状態

"0"読み出し: クリア状態

トリガフラグは各HSDMAチャンネルのトリガ要因が発生すると"1"にセットされ、そのHSDMAチャンネルがデータ転送を開始すると"0"にクリアされます。HSx_TFを読み出すことにより、その設定状態が確認できます。また、DMA転送開始前であれば、HSx_TFに"1"を書き込むことでセットされているトリガフラグをクリア(DMA転送を中止)することができます。

イニシャルリセット時、HSx_TFは"0"に設定されます。

HS0_EN: Ch.0イネーブル(D0/0x4822C HSDMA Ch.0<イネーブルレジスタ>)

HS1_EN: Ch.1イネーブル(D0/0x4823C HSDMA Ch.1<イネーブルレジスタ>)

HS2_EN: Ch.2イネーブル(D0/0x4824C HSDMA Ch.2<イネーブルレジスタ>)

HS3_EN: Ch.3イネーブル(D0/0x4825C HSDMA Ch.3<イネーブルレジスタ>)

各HSDMAチャネルのDMA転送を許可します。

"1"書き込み: 許可

"0"書き込み: 禁止

読み出し: 可能

このビットに"1"を書き込むと、DMA転送が許可されます。これにより、そのHSDMAチャネルは#DMAREQx信号または選択されているトリガ要因によるDMA要求を受け付け可能な状態となります。

"0"を書き込むと、DMA転送は禁止されます。

DMA転送が終了(転送カウンタ="0")すると、HSx_ENはハードウェアによりクリアされます。

転送条件等の設定は、DMA転送を禁止(HSx_EN="0")してから行ってください。

イニシャルリセット時、HSx_ENは"0"(禁止)に設定されます。

DUALM0: Ch.0アドレスモード選択(DF/0x48222<HSDMA Ch.0制御レジスタ>)

DUALM1: Ch.1アドレスモード選択(DF/0x48232<HSDMA Ch.1制御レジスタ>)

DUALM2: Ch.2アドレスモード選択(DF/0x48242<HSDMA Ch.2制御レジスタ>)

DUALM3: Ch.3アドレスモード選択(DF/0x48252<HSDMA Ch.3制御レジスタ>)

アドレスモードを選択します。

"1"書き込み: デュアルアドレスモード

"0"書き込み: シングルアドレスモード

読み出し: 可能

DUALMxに"1"を書き込むと、そのHSDMAチャネルはデュアルアドレスモードに設定され、転送元と転送先アドレスを指定したデータ転送が行えます。"0"を書き込むと、外部メモリ〜外部I/O間の高速なデータ転送を行うシングルアドレスモードに設定されます。

イニシャルリセット時、DUALMxは"0"(シングルアドレスモード)に設定されます。

D0DIR: Ch.0転送方向制御(DE/0x48222<HSDMA Ch.0制御レジスタ>)

D1DIR: Ch.1転送方向制御(DE/0x48232<HSDMA Ch.1制御レジスタ>)

D2DIR: Ch.2転送方向制御(DE/0x48242<HSDMA Ch.2制御レジスタ>)

D3DIR: Ch.3転送方向制御(DE/0x48252<HSDMA Ch.3制御レジスタ>)

シングルアドレスモードのデータ転送方向を制御します。

"1"書き込み: メモリライト(I/O→メモリ)

"0"書き込み: メモリリード(メモリ→I/O)

読み出し: 可能

DxDIRに"1"を書き込むと、外部I/Oデバイスから外部メモリへのデータ転送に設定されます。"0"を書き込むと、外部メモリから外部I/Oデバイスへのデータ転送となります。

イニシャルリセット時、DxDIRは"0"(メモリ→I/O)に設定されます。

このビットはシングルアドレスモード時のみ有効です。

D0MOD1-D0MOD0: Ch.0転送モード (D[F:E]/0x4822A<Ch.0転送先上位アドレス設定レジスタ>)

D1MOD1-D1MOD0: Ch.1転送モード (D[F:E]/0x4823A<Ch.1転送先上位アドレス設定レジスタ>)

D2MOD1-D2MOD0: Ch.2転送モード (D[F:E]/0x4824A<Ch.2転送先上位アドレス設定レジスタ>)

D3MOD1-D3MOD0: Ch.3転送モード (D[F:E]/0x4825A<Ch.3転送先上位アドレス設定レジスタ>)

転送モードを選択します。

表V.2.7 転送モード

DxMOD1	DxMOD0	モード
1	1	無効
1	0	ブロック転送モード
0	1	連続転送モード
0	0	シングル転送モード

シングル転送モードは、1回のトリガに対してDATSIZExに設定したサイズのデータを1回転送して終了します。

連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。

ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。

イニシャルリセット時、DxMODは"00"(シングル転送モード)に設定されます。

DATSIZE0: Ch.0転送データサイズ (DE/0x48226<Ch.0転送元上位アドレス設定レジスタ>)

DATSIZE1: Ch.1転送データサイズ (DE/0x48236<Ch.1転送元上位アドレス設定レジスタ>)

DATSIZE2: Ch.2転送データサイズ (DE/0x48246<Ch.2転送元上位アドレス設定レジスタ>)

DATSIZE3: Ch.3転送データサイズ (DE/0x48256<Ch.3転送元上位アドレス設定レジスタ>)

転送するデータのサイズを選択します。

"1"書き込み: ハーフワード(16ビット)

"0"書き込み: バイト(8ビット)

読み出し: 可能

DATSIZExに"1"を書き込むと転送データサイズが16ビット、"0"を書き込むと8ビットに設定されます。

イニシャルリセット時、DATSIZExは"0"(8ビット)に設定されます。

S0IN1-S0IN0: Ch.0転送元アドレス制御 (D[D:C]/0x48226<Ch.0転送元上位アドレス設定レジスタ>)

S1IN1-S1IN0: Ch.1転送元アドレス制御 (D[D:C]/0x48236<Ch.1転送元上位アドレス設定レジスタ>)

S2IN1-S2IN0: Ch.2転送元アドレス制御 (D[D:C]/0x48246<Ch.2転送元上位アドレス設定レジスタ>)

S3IN1-S3IN0: Ch.3転送元アドレス制御 (D[D:C]/0x48256<Ch.3転送元上位アドレス設定レジスタ>)

データ転送後のアドレスインクリメント/デクリメント機能を制御します。

表V.2.8 アドレス制御

SxIN1	SxIN0	アドレス制御
1	1	インクリメント(初期化なし)
1	0	インクリメント(初期化付き)
0	1	デクリメント(初期化なし)
0	0	アドレス固定

デュアルアドレスモードでは、この設定が転送元アドレスに適用されます。シングルアドレスモードでは外部メモリアドレスに適用されます。

アドレス固定(00)に設定しておくと、データ転送によって転送元アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておくと、1つのデータの転送終了時に転送元アドレスがDATSIZExに設定したサイズ分インクリメントされます。

アドレスデクリメント(01)を設定した場合は、転送元アドレスが同様にデクリメントされます。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、転送元アドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされた転送元アドレスがブロックの転送終了後、初期値に戻ります。

イニシャルリセット時、SxINは"00"(アドレス固定)に設定されます。

D0IN1–D0IN0: Ch.0転送先アドレス制御(D[D:C]/0x4822A Ch.0<転送先上位アドレス設定レジスタ>)
D1IN1–D1IN0: Ch.1転送先アドレス制御(D[D:C]/0x4823A Ch.1<転送先上位アドレス設定レジスタ>)
D2IN1–D2IN0: Ch.2転送先アドレス制御(D[D:C]/0x4824A Ch.2<転送先上位アドレス設定レジスタ>)
D3IN1–D3IN0: Ch.3転送先アドレス制御(D[D:C]/0x4825A Ch.3<転送先上位アドレス設定レジスタ>)

データ転送後のアドレスインクリメント/デクリメント機能を制御します。

表V.2.9 アドレス制御

DxIN1	DxIN0	アドレス制御
1	1	インクリメント(初期化なし)
1	0	インクリメント(初期化付き)
0	1	デクリメント(初期化なし)
0	0	アドレス固定

デュアルアドレスモードでは、この設定が転送先アドレスに適用されます。シングルアドレスモードでは、このビットを使用しません。

アドレス固定(00)に設定しておく、データ転送によって転送先アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておく、1つのデータの転送終了時に転送先アドレスがDATSIZExに設定したサイズ分インクリメントされます。

アドレスデクリメント(01)を設定した場合は、転送先アドレスが同様にデクリメントされます。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、転送先アドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされた転送先アドレスがブロックの転送終了後、初期値に戻ります。

イニシャルリセット時、DxINは"00"(アドレス固定)に設定されます。

BLKLEN07–BLKLEN00: Ch.0ブロック長/転送カウンタ[7:0](D[7:0]/0x48220<Ch.0転送カウンタレジスタ>)
BLKLEN17–BLKLEN10: Ch.1ブロック長/転送カウンタ[7:0](D[7:0]/0x48230<Ch.1転送カウンタレジスタ>)
BLKLEN27–BLKLEN20: Ch.2ブロック長/転送カウンタ[7:0](D[7:0]/0x48240<Ch.2転送カウンタレジスタ>)
BLKLEN37–BLKLEN30: Ch.3ブロック長/転送カウンタ[7:0](D[7:0]/0x48250<Ch.3転送カウンタレジスタ>)

ブロック転送モードでは、転送ブロックサイズの指定に使用します。ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。

シングル転送モード/連続転送モードでは、これらのビットを転送カウンタの下位8ビットの指定に使用します。イニシャルリセット時、これらのビットは初期化されません。

注: ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。

TC0_L7–TC0_L0: Ch.0転送カウンタ[7:0]/[15:8](D[F:8]/0x48220<Ch.0転送カウンタレジスタ>)
TC0_H7–TC0_H0: Ch.0転送カウンタ[15:8]/[23:16](D[7:0]/0x48222<Ch.0制御レジスタ>)
TC1_L7–TC1_L0: Ch.1転送カウンタ[7:0]/[15:8](D[F:8]/0x48230<Ch.1転送カウンタレジスタ>)
TC1_H7–TC1_H0: Ch.1転送カウンタ[15:8]/[23:16](D[7:0]/0x48232<Ch.1制御レジスタ>)
TC2_L7–TC2_L0: Ch.2転送カウンタ[7:0]/[15:8](D[F:8]/0x48240<Ch.2転送カウンタレジスタ>)
TC2_H7–TC2_H0: Ch.2転送カウンタ[15:8]/[23:16](D[7:0]/0x48242<Ch.2制御レジスタ>)
TC3_L7–TC3_L0: Ch.3転送カウンタ[7:0]/[15:8](D[F:8]/0x48250<Ch.3転送カウンタレジスタ>)
TC3_H7–TC3_H0: Ch.3転送カウンタ[15:8]/[23:16](D[7:0]/0x48252<Ch.3制御レジスタ>)

転送回数を設定します。

ブロック転送モードでは、TCx_L[7:0]を転送カウンタのビット[7:0]、TCx_H[7:0]をビット[15:8]として使用します。

シングル転送モード/連続転送モードではTCx_L[7:0]を転送カウンタのビット[15:8]、TCx_H[7:0]をビット[23:16]として使用します。下位8ビットはBLKLENx[7:0]で指定します。

このカウンタは対応するチャネルのDMA転送1回ごとにデクリメントされます。カウンタが"0"になると転送終了割り込み要因を発生します。シングルアドレスモードでは、同時に#DMAENDx端子から転送終了信号を出力します。

カウンタが"0"の場合でもDMA要求は受け付けられ、デクリメントによって"0xFFFF"(または"0xFFFFFFFF")となります。

カウンタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN="0")して行ってください。

イニシャルリセット時、これらのカウンタは初期化されません。

S0ADRL15–S0ADRL0: Ch.0転送元アドレス[15:0](D[F:0]/0x48224<Ch.0転送元下位アドレス設定レジスタ>)
 S0ADRH11–S0ADRH0: Ch.0転送元アドレス[27:16](D[B:0]/0x48226<Ch.0転送元上位アドレス設定レジスタ>)
 S1ADRL15–S1ADRL0: Ch.1転送元アドレス[15:0](D[F:0]/0x48234<Ch.1転送元下位アドレス設定レジスタ>)
 S1ADRH11–S1ADRH0: Ch.1転送元アドレス[27:16](D[B:0]/0x48236<Ch.1転送元上位アドレス設定レジスタ>)
 S2ADRL15–S2ADRL0: Ch.2転送元アドレス[15:0](D[F:0]/0x48244<Ch.2転送元下位アドレス設定レジスタ>)
 S2ADRH11–S2ADRH0: Ch.2転送元アドレス[27:16](D[B:0]/0x48246<Ch.2転送元上位アドレス設定レジスタ>)
 S3ADRL15–S3ADRL0: Ch.3転送元アドレス[15:0](D[F:0]/0x48254<Ch.3転送元下位アドレス設定レジスタ>)
 S3ADRH11–S3ADRH0: Ch.3転送元アドレス[27:16](D[B:0]/0x48256<Ch.3転送元上位アドレス設定レジスタ>)

デュアルアドレスモードでは、これらのビットを転送元アドレスの指定に使用します。シングルアドレスモードでは外部メモリアドレスの指定に使用します。

SxADRLでアドレスの下位16ビットを、SxADRHで上位12ビットを設定します。

レジスタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN="0")して行ってください。

アドレスは、対応するチャンネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント(SxINで設定)されます。

イニシャルリセット時、これらのビットは初期化されません。

D0ADRL15–D0ADRL0: Ch.0転送先アドレス[15:0](D[F:0]/0x48228<Ch.0転送先下位アドレス設定レジスタ>)
 D0ADRH11–D0ADRH0: Ch.0転送先アドレス[27:16](D[B:0]/0x4822A<Ch.0転送先上位アドレス設定レジスタ>)
 D1ADRL15–D1ADRL0: Ch.1転送先アドレス[15:0](D[F:0]/0x48238<Ch.1転送先下位アドレス設定レジスタ>)
 D1ADRH11–D1ADRH0: Ch.1転送先アドレス[27:16](D[B:0]/0x4823A<Ch.1転送先上位アドレス設定レジスタ>)
 D2ADRL15–D2ADRL0: Ch.2転送先アドレス[15:0](D[F:0]/0x48248<Ch.2転送先下位アドレス設定レジスタ>)
 D2ADRH11–D2ADRH0: Ch.2転送先アドレス[27:16](D[B:0]/0x4824A<Ch.2転送先上位アドレス設定レジスタ>)
 D3ADRL15–D3ADRL0: Ch.3転送先アドレス[15:0](D[F:0]/0x48258<Ch.3転送先下位アドレス設定レジスタ>)
 D3ADRH11–D3ADRH0: Ch.3転送先アドレス[27:16](D[B:0]/0x4825A<Ch.3転送先上位アドレス設定レジスタ>)

デュアルアドレスモードでは、これらのビットを転送先アドレスの指定に使用します。シングルアドレスモードではこれらのビットを使用しません。

レジスタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN="0")して行ってください。

アドレスは、対応するチャンネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント(DxINで設定)されます。

イニシャルリセット時、これらのビットは初期化されません。

PHSD0L2–PHSD0L0: Ch.0割り込みレベル(D[2:0]/0x40263<HSDMA Ch.0/1割り込みプライオリティレジスタ>)
 PHSD1L2–PHSD1L0: Ch.1割り込みレベル(D[6:4]/0x40263<HSDMA Ch.0/1割り込みプライオリティレジスタ>)
 PHSD2L2–PHSD2L0: Ch.2割り込みレベル(D[2:0]/0x40264<HSDMA Ch.2/3割り込みプライオリティレジスタ>)
 PHSD3L2–PHSD3L0: Ch.3割り込みレベル(D[6:4]/0x40264<HSDMA Ch.2/3割り込みプライオリティレジスタ>)

HSDMA終了割り込みの優先レベルを0～7の範囲で設定します。

イニシャルリセット時、これらのレジスタは不定となります。

EHDM0: Ch.0割り込みイネーブル(D0/0x40271<DMA割り込みイネーブルレジスタ>)
 EHDM1: Ch.1割り込みイネーブル(D1/0x40271<DMA割り込みイネーブルレジスタ>)
 EHDM2: Ch.2割り込みイネーブル(D2/0x40271<DMA割り込みイネーブルレジスタ>)
 EHDM3: Ch.3割り込みイネーブル(D3/0x40271<DMA割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EHDMxはHSDMAのCh.xに対応する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、EHDMxは"0"(割り込み禁止)に設定されます。

FHDM0: Ch.0割り込み要因フラグ(D0/0x40281<DMA割り込み要因フラグレジスタ>)

FHDM1: Ch.1割り込み要因フラグ(D1/0x40281<DMA割り込み要因フラグレジスタ>)

FHDM2: Ch.2割り込み要因フラグ(D2/0x40281<DMA割り込み要因フラグレジスタ>)

FHDM3: Ch.3割り込み要因フラグ(D3/0x40281<DMA割り込み要因フラグレジスタ>)

HSDMAの割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FHDMxはHSDMAのCh.xに対応する割り込み要因フラグで、転送カウンタが"0"になると"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、この割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FHDMxフラグは不定となりますので、必ずソフトウェアでリセットしてください。

RHDM0: Ch.0 IDMAリクエスト (D4/0x40290<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAリクエストレジスタ>)

RHDM1: Ch.1 IDMAリクエスト (D5/0x40290<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

RHDM0はHSDMAのCh.0、RHDM1はCh.1に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、RHDMxは"0"(割り込み要求)に設定されます。

DEHDM0: Ch.0 IDMAイネーブル (D4/0x40294<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAイネーブルレジスタ>)

DEHDM1: Ch.1 IDMAイネーブル (D5/0x40294<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DEHDM0はHSDMAのCh.0、DEHDM1はCh.1に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、DEHDMxは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) 転送条件の設定は、必ずDMAコントローラが動作停止中に(HSx_ENを"0"に設定して)行ってください。
- (2) ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。
- (3) イニシャルリセット後、割り込み要因フラグ(FHDMx)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (4) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FHDMx)をリセットしてください。
- (5) HSDMAはIDMA(インテリジェントDMA)およびCPUよりも優先順位が高く設定されています。
ただし、IDMAと共通の回路を使用しているため、IDMAの転送中はHSDMAがバス権を獲得することはできません。IDMA転送中に発生したHSDMAの起動要求はIDMA転送が終了するまで保留されます。
HSDMA転送中に発生した割り込み要因によるIDMAの起動要求または割り込み要求は、HSDMA転送終了後に受け付けられます。
- (6) HALTモードではDMAとBCUのクロックが動作しているため、クロックオプションレジスタHLT2OP(0x40190のD3)が"0"のとき(HALT2モードではなく、HALTモードの場合)に次の動作を行うと、その動作は予測できない誤動作になります。
halt命令を実行後、CPUが停止している状態でDMAのトリガが発生しDMAが動作すると誤動作になります。HALTモード時は、DMAが動作しないようにしてください。
HALT2モードでは、DMAとBCUのクロックが停止するためDMAは起動しません。

このページはブランクです。

V-3 IDMA(インテリジェントDMA)

IDMAの機能概要

C33 DMAブロックは、コントロール情報をRAM上にプログラミング可能なインテリジェントDMA(IDMA)を内蔵しています。内部周辺回路の割り込み要因によって起動可能な31チャンネルを含め、最大128チャンネルのプログラミングが可能です。

RAM上のコントロール情報のロードとストアによるオーバーヘッドが生じますが、連続転送やブロック転送、他のIDMAへのリンク機能などをサポートしています。

IDMAは内部周辺回路の割り込み要因およびソフトウェアによるトリガにより起動し、RAM上のコントロール情報に従ってデータ転送を行います。転送終了時には割り込みを発生させることや、リンク設定によって他のIDMAを起動させることができます。

コントロール情報のプログラミング

インテリジェントDMAはRAM上に用意されたコントロール情報によって動作します。コントロール情報は、必要な領域が確保できれば内蔵RAM、外部RAMのどちらに置いておかまいません。

コントロール情報は各チャンネルごとに3ワード(12バイト)のサイズで、ソフトウェアで設定するベースアドレスをCh.0の先頭アドレスとして連続的に配置する必要があります。したがって、128チャンネルをすべて使用する場合は、RAM上に384ワード(1536バイト)の領域が必要となります。

以下、ベースアドレスの設定方法と、コントロール情報の内容について説明します。IDMAを使用する前に、それぞれの設定を行ってください。

■ベースアドレスの設定

コントロール情報の先頭アドレス(Ch.0の先頭アドレス)をIDMAベースアドレスレジスタに設定します。

IDMAベースアドレス下位レジスタ: DBASEL[15:0](0x48200・D[F:0]) ... 下位16ビット

IDMAベースアドレス上位レジスタ: DBASEH[11:0](0x48202・D[B:0]) ... 上位12ビット

イニシャルリセット時、ベースアドレスは0x0C003A0に設定されます。

注: ・ IDMAベースアドレスレジスタに設定するアドレスは、必ずワード(32ビット)境界を指定してください。

- ・ ベースアドレスの設定は、DMA転送を禁止(IDMAENを"0"に設定)して行ってください。DMA転送が許可されている場合(IDMAEN="1")、IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。

■コントロール情報

使用するIDMAチャンネルのコントロール情報をRAMに書き込みます。

各チャンネルのコントロール情報を置くアドレスは、ベースアドレスとチャンネル番号によって決まります。

チャンネルの先頭アドレス = ベースアドレス + (チャンネル番号 × 12[バイト])

注: コントロール情報の書き込みは、指定のチャンネルによるDMA転送が発生しない状態で行ってください。RAMにコントロール情報を書き込み中にそのチャンネルのDMA転送が発生すると正しい転送は行われません。コントロール情報の読み出しについては常時可能です。

各チャネルのコントロール情報(3ワード)の内容は次のとおりです。

表V.3.1 IDMAコントロール情報

ワード	ビット	名 称	機 能
1st	D31	LNKEN	IDMAリンクイネーブル "1" = 許可、"0" = 禁止
	D30–24	LNKCHN[6:0]	IDMAリンクフィールド
	D23–8	TC[15:0]	転送回数カウンタ(ブロック転送モード) 転送回数カウンタ上位16ビット(シングル/連続転送モード)
	D7–0	BLKLEN[7:0]	ブロックサイズ(ブロック転送モード) 転送回数カウンタ下位8ビット(シングル/連続転送モード)
2nd	D31	DINTEN	終了割り込みイネーブル "1" = 許可、"0" = 禁止
	D30	DATSIZ	データサイズコントロール "1" = ハーフワード、"0" = バイト
	D29–28	SRINC[1:0]	ソースアドレスコントロール
			SRINC1 SRINC0 設定内容
			1 1 アドレスインクリメント (ブロック転送モード時、初期値を戻さずに更新)
			1 0 アドレスインクリメント (ブロック転送モード時、初期値を戻す)
			0 1 アドレスデクリメント (ブロック転送モード時、初期値を戻さずに更新)
			0 0 アドレス固定
	D27–0	SRADR[27:0]	ソースアドレス
3rd	D31–30	DMOD[1:0]	転送モード("11"は設定禁止)
			DMOD1 DMOD0 設定内容
			1 0 ブロック転送モード
			0 1 連続転送モード
			0 0 シングル転送モード
	D29–28	DSINC[1:0]	ディスティネーションアドレスコントロール
			DSINC1 DSINC0 設定内容
			1 1 アドレスインクリメント (ブロック転送モード時、初期値を戻さずに更新)
			1 0 アドレスインクリメント (ブロック転送モード時、初期値を戻す)
			0 1 アドレスデクリメント (ブロック転送モード時、初期値を戻さずに更新)
			0 0 アドレス固定
	D27–0	DSADR[27:0]	ディスティネーションアドレス

LNKEN: IDMAリンクイネーブル(D31/1st Word)

このビットを"1"に設定しておく、このチャネルのDMA転送を終了後に、IDMAリンクフィールドに設定されたIDMAチャネルを起動します。最初に実行するチャネルのトリガのみで、複数チャネルのDMA転送を連続して行うことができます。リンクするチャネル数に制限はありません。IDMAチャネルの実行順にリンクを設定してください。

このビットが"0"の場合、このチャネルのDMA転送のみで終了します。

LNKCHN[6:0]: IDMAリンクフィールド(D[30:24]/1st Word)

IDMAのリンクを行う場合に、次に実行するチャネル番号(0～127)を設定しておきます。

このフィールドのデータは、LNKENが"1"に設定されている場合にのみ有効です。

TC[15:0]: 転送回数カウンタ(D[23:8]/1st Word)

ブロック転送モードでは最大16ビットの転送回数が指定可能で、その値をここに設定します。

シングル転送モード/連続転送モードでは最大24ビットの転送回数が指定可能で、ここにはその上位16ビットを設定します。

BLKLEN[7:0]: ブロックサイズ/転送回数カウンタ(D[7:0]/1st Word)

ブロック転送モードでは、1回に転送されるブロックのサイズ(単位はDATSIZによる)を設定します。
シングル転送モード/連続転送モードでは、転送回数の下位8ビットを設定します。

注: ・ ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。

- ・ 設定した転送回数は転送に従ってデクリメントされます。"0"を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

DINTEN: 終了割り込みイネーブル(D31/2nd Word)

このビットを"1"に設定しておくと、転送回数カウンタが"0"になった時点でIDMAを起動した割り込み要因フラグに基づいてCPUへの割り込み要求が発生します。

このビットが"0"の場合、転送回数カウンタが"0"になってもCPUへの割り込み要求は発生しません。

DATSIZ: データサイズコントロール(D30/2nd Word)

転送データ1個分のサイズを設定します。

このビットが"1"の場合はハーフワードサイズ(16ビット)、“0”の場合はバイトサイズ(8ビット)となります。

SRINC[1:0]: ソースアドレスコントロール(D[29:28]/2nd Word)

ソースアドレスの更新形式を設定します。

アドレス固定(00)に設定しておくと、データ転送によってソースアドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておくと、1つのデータの転送終了時にソースアドレスがDATSIZに設定したサイズ分インクリメントされます。アドレスデクリメント(01)を設定した場合は、ソースアドレスが同様にデクリメントされます。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、ソースアドレスがインクリメント/デクリメントされます。ただし、“10”を設定した場合は、ブロック転送中にインクリメントされたソースアドレスがブロックの転送終了後、初期値に戻ります。

SRADR[27:0]: ソースアドレス(D[27:0]/2nd Word)

転送元の前頭アドレスを設定しておきます。この内容は、SRINCの設定に従って更新されます。

DMOD[1:0]: 転送モード(D[31:30]/3rd Word)

転送モードを設定しておきます。

転送モードの概要は次のとおりです(詳細は後述)。

- ・ **シングル転送モード(00)**

シングル転送モードは、1回のトリガに対してDATSIZに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

- ・ **連続転送モード(01)**

連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で"0"になります。

- ・ **ブロック転送モード(10)**

ブロック転送モードは、1回のトリガに対してBLKLENで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

DSINC[1:0]: ディスティネーションアドレスコントロール(D[29:28]/3rd Word)

ディスティネーションアドレスの更新形式を設定します。

アドレス固定(00)に設定しておく、データ転送によってディスティネーションアドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスに書き込まれます。

シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておく、1つのデータの転送終了時にディスティネーションアドレスがDATSIZに設定したサイズ分インクリメントされます。アドレスデクリメント(01)を設定した場合は、ディスティネーションアドレスが同様にデクリメントされます。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、ディスティネーションアドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされたディスティネーションアドレスがブロックの転送終了後、初期値に戻ります。

DSADR[27:0]: ディスティネーションアドレス(D[27:0]/3rd Word)

転送先の先頭アドレスを設定しておきます。この内容は、DSINCの設定に従って更新されます。

コントロール情報はRAM上に置かれるため、書き換えが可能です。ただし、内容を書き換える場合は、必ずそのチャンネルのDMA転送が発生しない状況で行ってください。

IDMAの起動

IDMAを起動するトリガには次の3種類の要因があります。

1. 内蔵周辺回路の割り込み要因
2. ソフトウェアトリガ
3. リンク設定

■DMA転送の許可/禁止

IDMA イネーブルレジスタ(0x48205)のIDMAEN(D0)に"1"を書き込むことによってIDMAコントローラがイネーブルとなり、上記のトリガを受け付けられる状態となります。ただし、DMA転送を許可する前に、必ずベースアドレスと起動するチャンネルのコントロール情報を正しく設定してください。

IDMAENに"0"を書き込むとIDMA起動要求は受け付けられません。

■内蔵周辺回路の割り込み要因によるIDMAの起動

割り込み機能を持つ内蔵周辺回路の中には、その割り込み要因でIDMAを起動できるものがあります。これらに対応するIDMAチャンネル番号はあらかじめ決められています。この機能を持つ割り込み要因とIDMAチャンネルの関係を表V.3.2に示します。

表V.3.2 IDMAを起動可能な割り込み要因

周辺回路	割り込み要因	IDMA Ch.	IDMAリクエストビット	IDMAイネーブルビット
ポート	ポート入力0	1	RP0 (D0/0x40290)	DEP0 (D0/0x40294)
	ポート入力1	2	RP1 (D1/0x40290)	DEP1 (D1/0x40294)
	ポート入力2	3	RP2 (D2/0x40290)	DEP2 (D2/0x40294)
	ポート入力3	4	RP3 (D3/0x40290)	DEP3 (D3/0x40294)
高速DMA	Ch.0転送終了	5	RHDM0 (D4/0x40290)	DEHDM0 (D4/0x40294)
	Ch.1転送終了	6	RHDM1 (D5/0x40290)	DEHDM1 (D5/0x40294)
16ビットタイマ	タイマ0コンペアB	7	R16TU0 (D6/0x40290)	DE16TU0 (D6/0x40294)
	タイマ0コンペアA	8	R16TC0 (D7/0x40290)	DE16TC0 (D7/0x40294)
	タイマ1コンペアB	9	R16TU1 (D0/0x40291)	DE16TU1 (D0/0x40295)
	タイマ1コンペアA	10	R16TC1 (D1/0x40291)	DE16TC1 (D1/0x40295)
	タイマ2コンペアB	11	R16TU2 (D2/0x40291)	DE16TU2 (D2/0x40295)
	タイマ2コンペアA	12	R16TC2 (D3/0x40291)	DE16TC2 (D3/0x40295)
	タイマ3コンペアB	13	R16TU3 (D4/0x40291)	DE16TU3 (D4/0x40295)
	タイマ3コンペアA	14	R16TC3 (D5/0x40291)	DE16TC3 (D5/0x40295)
	タイマ4コンペアB	15	R16TU4 (D6/0x40291)	DE16TU4 (D6/0x40295)
	タイマ4コンペアA	16	R16TC4 (D7/0x40291)	DE16TC4 (D7/0x40295)
8ビットタイマ 0-3	タイマ5コンペアB	17	R16TU5 (D0/0x40292)	DE16TU5 (D0/0x40296)
	タイマ5コンペアA	18	R16TC5 (D1/0x40292)	DE16TC5 (D1/0x40296)
	タイマ0アンダーフロー	19	R8TU0 (D2/0x40292)	DE8TU0 (D2/0x40296)
	タイマ1アンダーフロー	20	R8TU1 (D3/0x40292)	DE8TU1 (D3/0x40296)
	タイマ2アンダーフロー	21	R8TU2 (D4/0x40292)	DE8TU2 (D4/0x40296)
	タイマ3アンダーフロー	22	R8TU3 (D5/0x40292)	DE8TU3 (D5/0x40296)
シリアル/F Ch.0/1	Ch.0受信バッファフル	23	RSRX0 (D6/0x40292)	DESRX0 (D6/0x40296)
	Ch.0送信バッファエンプティ	24	RSTX0 (D7/0x40292)	DESTX0 (D7/0x40296)
	Ch.1受信バッファフル	25	RSRX1 (D0/0x40293)	DESRX1 (D0/0x40297)
	Ch.1送信バッファエンプティ	26	RSTX1 (D1/0x40293)	DESTX1 (D1/0x40297)
A/D変換器	A/D変換終了	27	RADE (D2/0x40293)	DEADE (D2/0x40297)
ポート	ポート入力4	28	RP4 (D4/0x40293)	DEP4 (D4/0x40297)
	ポート入力5	29	RP5 (D5/0x40293)	DEP5 (D5/0x40297)
	ポート入力6	30	RP6 (D6/0x40293)	DEP6 (D6/0x40297)
	ポート入力7	31	RP7 (D7/0x40293)	DEP7 (D7/0x40297)
8ビットタイマ 4/5	タイマ4アンダーフロー	32	R8TU4 (D0/0x4029B)	DE8TU4 (D0/0x4029C)
	タイマ5アンダーフロー	33	R8TU5 (D1/0x4029B)	DE8TU5 (D1/0x4029C)
シリアル/F Ch.2/3	Ch.2受信バッファフル	34	RSRX2 (D2/0x4029B)	DESRX2 (D2/0x4029C)
	Ch.2送信バッファエンプティ	35	RSTX2 (D3/0x4029B)	DESTX2 (D3/0x4029C)
	Ch.3受信バッファフル	36	RSRX3 (D4/0x4029B)	DESRX3 (D4/0x4029C)
	Ch.3送信バッファエンプティ	37	RSTX3 (D5/0x4029B)	DESTX3 (D5/0x4029C)
LCDC	カメラ, JPEG等	43	RLCDCI (D5/0x402AC)	DELCDCI (D5/0x402AE)
USB	SIE, EPr, DMA, FIFO等	44	RUSBI (D6/0x402AC)	DEUSBI (D6/0x402AE)
SPI	転送終了等	45	RSPII (D7/0x402AC)	DESPII (D7/0x402AE)
FIFOシリアル/F Ch.0	Ch.0受信バッファフル	56	RFSRX0 (D2/0x402B3)	DEFSRX0 (D2/0x402B4)
	Ch.0送信バッファエンプティ	57	RFSTX0 (D3/0x402B3)	DEFSTX0 (D3/0x402B4)

これらの割り込み要因は、割り込み要求とIDMA起動要求に共通に使用されます。

割り込み要因発生時にIDMAを起動するには、表に示したIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。その状態で割り込み要因が発生すると、CPUに対する割り込み要求は保留され、対応するIDMAチャンネルを起動します。

"1"にセットされた割り込み要因フラグは、それによるDMA転送が終了するまで保持されます。

1回のDMA転送終了時に次の2つの条件が満たされていれば、割り込み要因フラグがリセットされずに割り込み要求を発生します。

- 転送回数カウンタが"0"になった
- コントロール情報のDINTENが"1"(割り込み許可)に設定されている

この場合、IDMAリクエストビットは"0"にクリアされます。したがって、次の割り込み要因発生時にもIDMAを起動させるには再設定が必要です。この再設定は、不要なIDMA要求が発生しないよう、割り込み要因フラグをリセット後、割り込みを許可する前に行ってください。IDMAイネーブルビットはクリアされず、"1"を保持します。

転送回数カウンタが"0"以外の場合、DMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされずに"1"を保持したままとなります。

転送回数カウンタが"0"になった場合でも、コントロール情報のDINTENが"0"に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。

IDMAリクエストレジスタのビットを"0"に設定しておく、その割り込み要因はIDMA起動要求を発生せずに、割り込み要求を発生します。

割り込み要因に対応する割り込みコントローラの制御レジスタ(割り込みイネーブルレジスタ、割り込みプライオリティレジスタ)は、IDMAの起動には影響しません。割り込みイネーブルレジスタのビットが"0"の場合でもIDMAは起動します。ただし、DMA転送終了後に割り込みを発生させる場合は、これらのレジスタで割り込みを許可しておく必要があります。

■ソフトウェアトリガによるIDMAの起動

前述の割り込み要因に対応したIDMAチャンネルを含め、コントロール情報が設定されているすべてのIDMAチャンネルはソフトウェアによって起動することができます。

この制御には次の制御ビットを使用します。

IDMAチャンネル番号設定: DCHN[6:0](IDMAスタートレジスタ0x48204•D[6:0])

IDMA開始制御: DSTART(IDMAスタートレジスタ0x48204•D7)

起動するIDMAチャンネル番号(0~127)をDCHNに書き込み、DSTARTに"1"を書き込むことによって、指定したIDMAチャンネルがDMA転送を開始します。

DSTARTはDMA転送中は"1"を保持し、1回のDMA転送を終了するとハードウェアによって"0"に戻されます。

DMA転送中は、これらのビットをソフトウェアで変更しないでください。

DINTENが"1"(割り込み許可)に設定されていると、1回のDMA転送が終了した時点でIDMA転送終了割り込み要因が発生します。

■リンク設定によるIDMAの起動

コントロール情報のLNKENが"1"(リンク許可)に設定されていると、そのチャンネルのDMA転送を終了後にIDMAリンクフィールドLNKCHNに設定されているIDMAチャンネルを続けて起動します。

最初のチャンネルの割り込み要求は、リンクされているすべてのチャンネルの転送終了後に、割り込み条件が成立していれば発生します。

IDMA終了時に割り込みを発生させたいときは、起動するIDMAチャンネルとリンクされるすべてのIDMAチャンネルについて、IDMAコントロール情報のDINTEN(終了割り込みイネーブル)ビットを"1"に設定してください。

■DMA転送中のIDMA起動要求

DMA転送中に発生した別のチャンネルに対するIDMA起動要求は、その時点に実行中のDMA転送を終了するまで保留されます。起動要求はクリアされませんので、実行中のDMA転送を終了すると受け付けられます。

DMA転送中のチャンネルに対する起動要求は、同じ割り込み要因を使用するため受け付けられません。したがって、同一チャンネルを起動するには、そのDMA転送時間よりも長いインターバルが必要です。

■DMA転送禁止状態でのIDMA起動要求

IDMAENが"0"(DMA転送禁止)のときに発生したIDMA起動要求は、IDMAENを"1"に設定するまで保留されます。起動要求はクリアされませんので、DMA転送を許可した時点で受け付けられます。

■ソフトウェアトリガとハードウェアトリガが同時に発生した場合

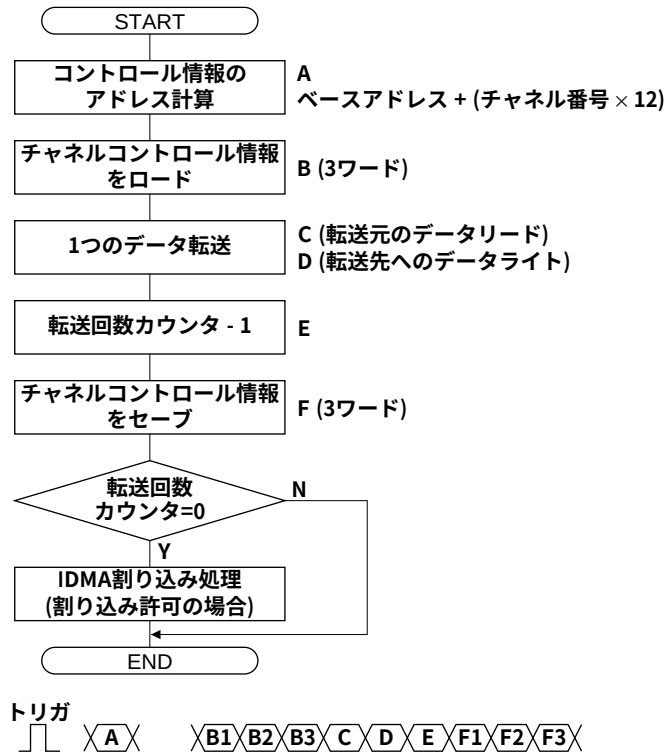
同一チャンネルへのソフトウェアトリガとハードウェアトリガが同時に発生した場合、ソフトウェアトリガによるIDMA転送が先に行われます。この転送が終了した時点でハードウェアトリガ(割り込み要因フラグ)がリセットされるため、ハードウェアトリガによるIDMA転送は行われません。ただし、このような使用法は推奨しません。

IDMAの動作

IDMAには3種類の転送モードがあり、それぞれデータ転送の動作が異なります。また、トリガの種類により割り込み要因の処理も異なります。以下、各転送モード、トリガの種類による動作を説明します。

■シングル転送モード

コントロール情報のDMODが"00"に設定されているチャンネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対してDATSIZに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。シングル転送モードの動作を図V.3.1のフローチャートに示します。



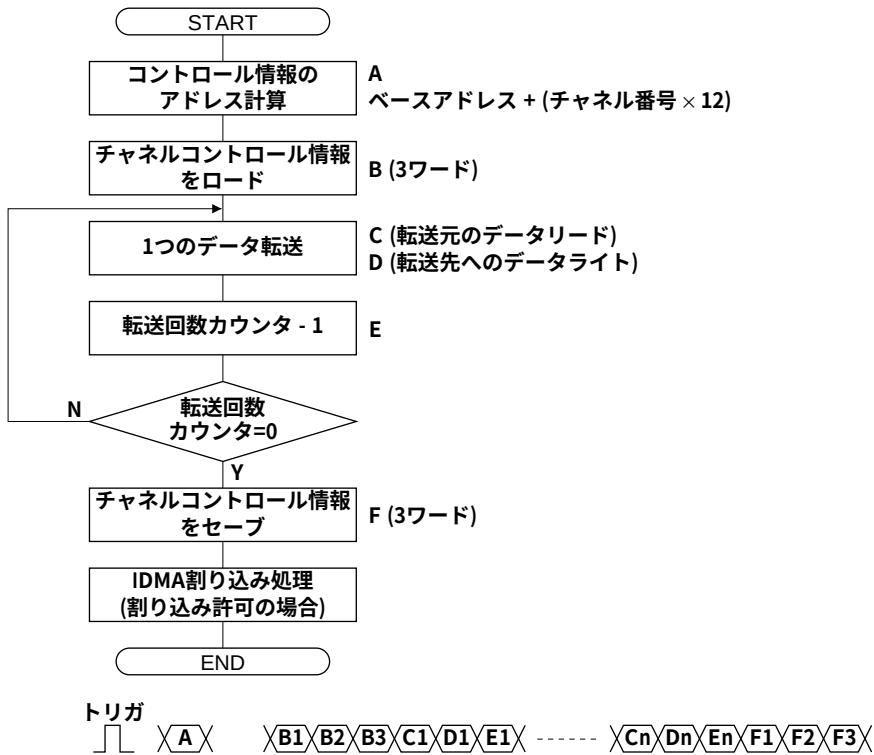
図V.3.1 シングル転送モードの動作フロー

- (1) トリガを受け付けると、ベースアドレスとチャンネル番号からコントロール情報のアドレスを算出します。
- (2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
- (3) コントロール情報に設定されたサイズのデータをソースアドレスから読み出します。
- (4) 読み出したデータをディスティネーションアドレスに書き込みます。
- (5) アドレスのインクリメント/デクリメント、転送回数カウンタのデクリメントを行います。
- (6) 変更されたコントロール情報をRAMに書き込みます。
- (7) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条 件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠"0"	リセット("0")	変更なし("1")	変更なし("1")
転送カウンタ="0", DINTEN="1"	変更なし("1")	リセット("0")	変更なし("1")
転送カウンタ="0", DINTEN="0"	リセット("0")	変更なし("1")	リセット("0")

■連続転送モード

コントロール情報のDMODが"01"に設定されているチャンネルは、連続転送モードで動作します。連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で"0"になります。連続転送モードの動作を図V.3.2のフローチャートに示します。



図V.3.2 連続転送モードの動作フロー

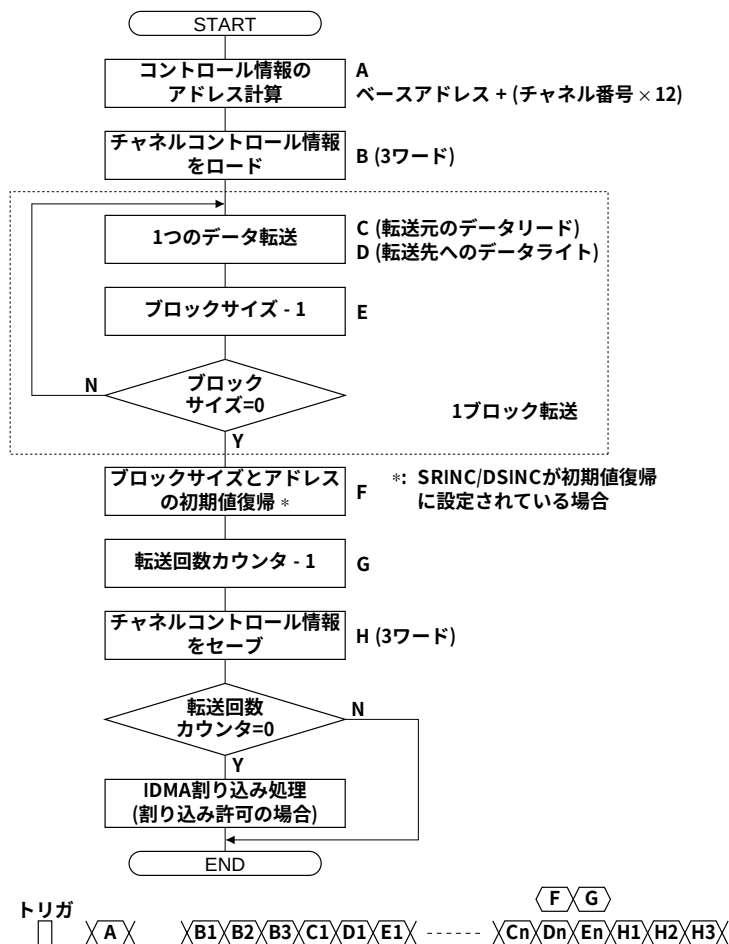
- (1) トリガを受け付けると、ベースアドレスとチャンネル番号からコントロール情報のアドレスを算出します。
- (2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
- (3) コントロール情報に設定されたサイズのデータをソースアドレスから読み出します。
- (4) 読み出したデータをディスティネーションアドレスに書き込みます。
- (5) アドレスのインクリメント/デクリメント、転送回数カウンタのデクリメントを行います。
- (6) (3)～(5)を転送回数カウンタが"0"になるまで繰り返します。
- (7) 変更されたコントロール情報をRAMに書き込みます。
- (8) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条 件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠"0"	リセット("0")	変更なし("1")	変更なし("1")
転送カウンタ="0", DINTEN="1"	変更なし("1")	リセット("0")	変更なし("1")
転送カウンタ="0", DINTEN="0"	リセット("0")	変更なし("1")	リセット("0")

■ブロック転送モード

コントロール情報のDMODが"10"に設定されているチャンネルは、ブロック転送モードで動作します。ブロック転送モードは、1回のトリガに対してBLKLENで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

ブロック転送モードの動作を図V.3.3のフローチャートに示します。



図V.3.3 ブロック転送モードの動作フロー

- (1) トリガを受け付けると、ベースアドレスとチャンネル番号からコントロール情報のアドレスを算出します。
- (2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
- (3) コントロール情報に設定されたサイズのデータをソースアドレスから読み出します。
- (4) 読み出したデータをディスティネーションアドレスに書き込みます。
- (5) アドレスのインクリメント/デクリメント、BLKLENのデクリメントを行います。
- (6) (3)～(5)をBLKLENが"0"になるまで繰り返します。
- (7) SRINC、DSINCが"10"の場合は、アドレスを初期値に戻します。
- (8) 転送回数カウンタをデクリメントします。
- (9) 変更されたコントロール情報をRAMに書き込みます。
- (10) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条 件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠"0"	リセット("0")	変更なし("1")	変更なし("1")
転送カウンタ="0", DINTEN="1"	変更なし("1")	リセット("0")	変更なし("1")
転送カウンタ="0", DINTEN="0"	リセット("0")	変更なし("1")	リセット("0")

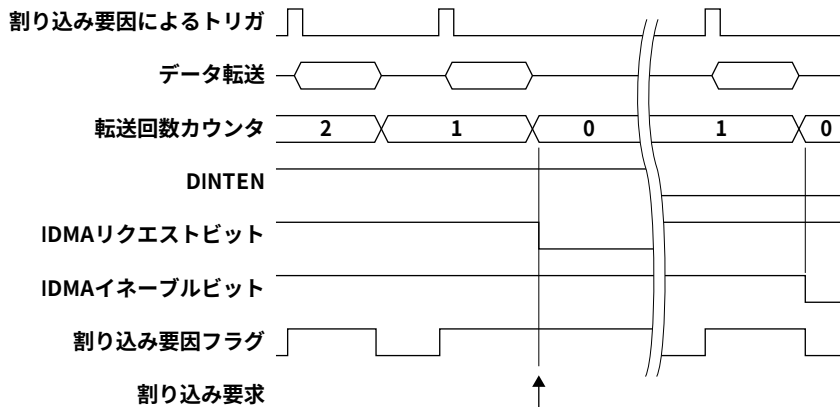
■トリガの種類による割り込み要因処理

• 割り込み要因で起動した場合

IDMAを起動した割り込み要因フラグは、DMA転送中もセットされた状態を保持します。1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、その割り込み要因はリセットされずに割り込み要求を発生します。同時に、IDMAリクエストビットも"0"にクリアされます。IDMAイネーブルビットは"1"を保持します。

転送回数カウンタが"0"以外の場合は、転送終了時に割り込み要因フラグがリセットされます。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされません。

転送回数カウンタが"0"になった場合でも、DINTENが"0"(割り込み禁止)に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。



図V.3.4 割り込み要因によって起動した場合の動作

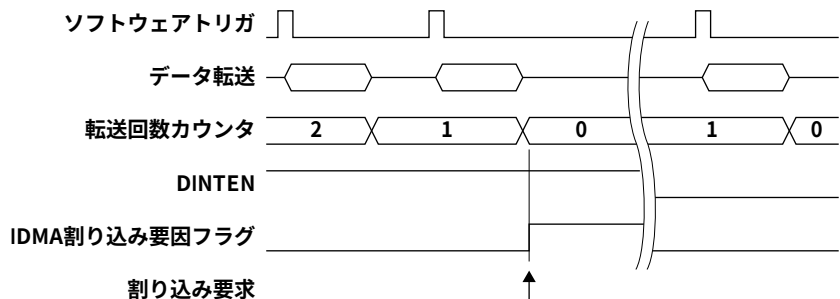
割り込み要因で起動した場合、IDMA自体の転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)はセットされません。

• ソフトウェアトリガにより起動した場合

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、IDMA転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)がセットされ、割り込み要求を発生します。

転送回数カウンタが"0"以外、またはDINTENが"0"(割り込み禁止)の場合、FIDMAフラグはセットされません。

ソフトトリガによる転送中に割り込み要因フラグがセットされた場合、その割り込み要因フラグによるIDMA起動要求は保留されます。ただし、実行中のDMA転送が終了したところで割り込み要因フラグがリセットされますので、それによるDMA転送は行われません。

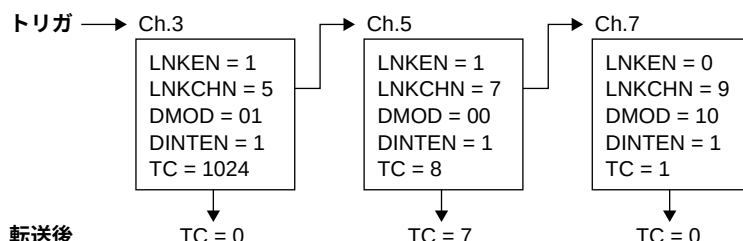


図V.3.5 ソフトウェアトリガによって起動した場合の動作

リンク

コントロール情報のIDMAリンクフィールドLNKCHNに次に実行するIDMAチャンネル番号を設定し、LNKENによってリンクを許可しておく、そのIDMAチャンネルのDMA転送を続けて行うことができます。

リンクの設定例を図V.3.6に示します。



図V.3.6 リンクの設定例

上記例の動作は次のとおりです。

・ハードトリガの場合

- (1) 割り込み要因によってIDMA Ch.3が起動し、設定されているDMA転送を行います。
連続転送モードで転送回数カウンタが"0"となり、かつDINTENが"1"に設定されているため、Ch.3を起動した割り込み要因フラグはセットされたまま保持されます。
- (2) 次に、リンクされたIDMA Ch.5のDMA転送を行います。Ch.5はシングル転送モードに設定されており、この転送では転送回数カウンタがデクリメント(-1)されます。
- (3) 最後に、IDMA Ch.7のDMA転送を行います。Ch.7はブロック転送モードに設定されていますが、転送回数が1回のため、転送終了時に転送回数カウンタが"0"となります。
- (4) (1)のIDMA(Ch.3)を起動した割り込み要因フラグがセット状態を保持していますので、(3)のIDMA(Ch.7)転送終了時点で割り込みが発生します。転送結果はCh.3の割り込み要因フラグには影響を与えません。
IDMA終了時に割り込みを発生させたいときは、起動するIDMAチャンネルとリンクされるすべてのIDMAチャンネルについて、IDMAコントロール情報のDINTEN(終了割り込みイネーブル)ビットを"1"に設定してください。

・ソフトトリガの場合

- (1) ソフトウェアトリガによってIDMA Ch.3が起動し、設定されているDMA転送を行います。
連続転送モードで転送回数カウンタが"0"となり、かつDINTENが"1"に設定されているため、転送終了時にIDMA転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)がセットされます。
- (2) 次に、リンクされたIDMA Ch.5のDMA転送を行います。Ch.5はシングル転送モードに設定されており、この転送では転送回数カウンタがデクリメント(-1)されます。
- (3) 最後に、IDMA Ch.7のDMA転送を行います。Ch.7はブロック転送モードに設定されていますが、転送回数が1回のため、転送終了時に転送回数カウンタが"0"となります。この転送終了もFIDMAフラグを"1"にセットする要因となります。ただし、FIDMAフラグは(1)の転送終了時に既にセットされています。
- (4) FIDMAフラグがセットされていますので、ここで割り込み要求が発生します。ソフトトリガによってIDMAを起動した場合は、リンクされているチャンネルの中で1つでも転送回数カウンタが"0"になり、かつそのチャンネルのDINTENが"1"に設定されていれば、リンクされたすべてのチャンネルの転送終了時にIDMA転送終了割り込み要求が発生します。割り込み要求を発生させたチャンネルについては、転送回数カウンタを読み出すことで確認できます。

それぞれのチャンネルの転送動作は前節で説明したとおりです。

IDMAの割り込み機能

IDMAは、IDMAの起動要因となった割り込みおよびIDMA自身の転送終了割り込みを発生させることができます。

■割り込み要因で起動した場合の割り込み

IDMAリクエストレジスタおよびIDMAイネーブルレジスタのビットを"1"に設定しておくと、その割り込み要因が発生しても割り込み要求の出力は保留され、その要因に割り当てられたIDMAチャンネルを起動します。

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、その割り込み要因はリセットされずに割り込み要求を発生します。同時に、IDMAリクエストビットも"0"にクリアされます。IDMAイネーブルビットは"1"を保持します。

転送回数カウンタが"0"以外の場合は、転送終了時に割り込み要因フラグがリセットされます。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされません。

転送回数カウンタが"0"になった場合でも、DINTENが"0"(割り込み禁止)に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。

割り込み要因で起動した場合、IDMA自体の転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)はセットされません。

IDMAを起動可能な各割り込み要因と割り込み制御レジスタについては、それぞれの周辺回路の説明を参照してください。

なお、割り込み要因の優先順位は割り込みプライオリティレジスタで設定されます("ITC(割り込みコントローラ)"を参照)。ただし、IDMAと割り込み要求を比べた場合、IDMAの方が優先順位は高くなっています。したがって、IDMA転送中にその起動要因よりも優先順位の高い割り込み要因が発生しても、その割り込み要求あるいはIDMA起動要求は現在のIDMA転送が終了するまでは受け付けられません。

■ソフトウェアトリガで起動した場合の割り込み

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、IDMA転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)がセットされ、割り込み要求を発生します。

転送回数カウンタが"0"以外、またはDINTENが"0"(割り込み禁止)の場合、FIDMAフラグはセットされません。

■割り込みコントローラのIDMA割り込み制御レジスタ

IDMA転送終了割り込みの制御ビット/レジスタは次のとおりです。

割り込み要因フラグ: FIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)

割り込みイネーブル: EIDMA(DMA割り込みイネーブルレジスタ0x40271・D4)

割り込みレベル: PDM[2:0](IDMA割り込みプライオリティレジスタ0x40265・D[2:0])

ソフトウェアトリガまたはその後のリンクで起動したIDMAチャンネルのDMA転送を終了し、転送回数カウンタが"0"になるとIDMA転送終了割り込み要因フラグを"1"にセットします。ただし、そのチャンネルのコントロール情報で割り込みを許可(DINTEN="1")に設定しておくことが必要です。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、IDMA割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したIDMA割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■トラップベクタ

IDMA転送終了割り込みのトラップベクタアドレスは、デフォルトで0x0C00068に設定されています。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

IDMAのI/Oメモリ

表V.3.3にIDMAの制御ビットを示します。

表V.3.3 IDMAの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
IDMA割り込み プライオリティ レジスタ	0040265 (B)	D7-3	–	reserved	–	–	–	読み出し時: 0
		D2	PDM2	IDMA	0~7	X	R/W	
		D1	PDM1	割り込みレベル		X		
		D0	PDM0			X		
DMA割り込み イネーブル レジスタ	0040271 (B)	D7-5	–	reserved	–	–	–	読み出し時: 0
		D4	EIDMA	IDMA	1 許可	0 禁止	0	R/W
		D3	EHDM3	高速DMA Ch.3			0	R/W
		D2	EHDM2	高速DMA Ch.2			0	R/W
		D1	EHDM1	高速DMA Ch.1			0	R/W
		D0	EHDM0	高速DMA Ch.0			0	R/W
DMA割り込み 要因フラグ レジスタ	0040281 (B)	D7-5	–	reserved	–	–	–	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生	0 要因なし	X	R/W
		D3	FHDM3	高速DMA Ch.3			X	R/W
		D2	FHDM2	高速DMA Ch.2			X	R/W
		D1	FHDM1	高速DMA Ch.1			X	R/W
		D0	FHDM0	高速DMA Ch.0			X	R/W
IDMA ベースアドレス 下位レジスタ	0048200 (HW)	DF	DBASEL15	IDMA			0	R/W
		DE	DBASEL14	ベースアドレス 下位16ビット			0	
		DD	DBASEL13	(初期値: 0x0C003A0)			0	
		DC	DBASEL12				0	
		DB	DBASEL11				0	
		DA	DBASEL10				0	
		D9	DBASEL9				1	
		D8	DBASEL8				1	
		D7	DBASEL7				1	
		D6	DBASEL6				0	
		D5	DBASEL5				1	
		D4	DBASEL4				0	
		D3	DBASEL3				0	
		D2	DBASEL2				0	
		D1	DBASEL1				0	
		D0	DBASEL0				0	
IDMA ベースアドレス 上位レジスタ	0048202 (HW)	DF-C	–	reserved	–	–	–	読み出し時: 不定
		DB	DBASEH11	IDMA			0	R/W
		DA	DBASEH10	ベースアドレス 上位12ビット			0	
		D9	DBASEH9	(初期値: 0x0C003A0)			0	
		D8	DBASEH8				0	
		D7	DBASEH7				1	
		D6	DBASEH6				1	
		D5	DBASEH5				0	
		D4	DBASEH4				0	
		D3	DBASEH3				0	
		D2	DBASEH2				0	
		D1	DBASEH1				0	
		D0	DBASEH0				0	
IDMAスタート レジスタ	0048204 (B)	D7	DSTART	IDMAスタート	1 IDMA開始	0 停止	0	R/W
		D6-0	DCHN	IDMAチャネル番号	0~127		0	R/W
IDMAイネーブル レジスタ	0048205 (B)	D7-1	–	reserved	–	–	–	
		D0	IDMAEN	IDMAイネーブル	1 転送可	0 転送不可	0	R/W

DBASEL[15:0]: IDMAベースアドレス下位レジスタ (D[F:0]/0x48200[HW])**DBASEH[11:0]: IDMAベースアドレス上位レジスタ (D[B:0]/0x48202[HW])**

RAM上に置くコントロール情報の先頭アドレスを指定します。

DBASELにはアドレスの下位16ビットを、DBASEHには上位12ビットを設定します。

このレジスタに設定するアドレスは、必ずワード(32ビット)境界を指定してください。

また、バイト単位の書き込み/読み出しができません。アドレス0x48200に対するワード書き込み/読み出し、またはアドレス0x48200と0x48202に対するハーフワード書き込み/読み出しを行ってください。ハーフワードの書き込みは、0x48200、0x48202の順に行うことが必要です。ハーフワードの読み出しについては、順序は問いません。

DMA転送中のIDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。

イニシャルリセット時、ベースアドレスは0xC003A0に設定されます。

IDMAEN: IDMAイネーブル (D0/0x48205<IDMAイネーブルレジスタ>)

IDMA転送を許可します。

"1"書き込み: 許可

"0"書き込み: 禁止

読み出し: 可能

IDMAENに"1"を書き込むことによって、インテリジェントDMAによるデータ転送が許可されます。

"0"を書き込むと、IDMA転送は禁止されます。

イニシャルリセット時、IDMAENは"0"(禁止)に設定されます。

DCHN[6:0]: IDMAチャンネル番号設定 (D[6:0]/0x48204<IDMAスタートレジスタ>)

ソフトウェアトリガにより起動するチャンネル番号(0~127)を設定します。

イニシャルリセット時、DCHNは"0"に設定されます。

DSTART: IDMA開始制御 (D7/0x48204<IDMAスタートレジスタ>)

ソフトウェアトリガ/動作モニタに使用します。

- 書き込み時

"1"書き込み: IDMA開始

"0"書き込み: 無効

- 読み出し時

"1"読み出し: 動作中(ソフトウェアトリガで起動した場合のみ)

"0"読み出し: 停止中

DSTARTへの"1"書き込みはソフトウェアトリガとなり、DCHNに設定してあるIDMAチャンネルを起動します。

イニシャルリセット時、DSTARTは"0"に設定されます。

PDM2-PDM0: IDMA割り込みレベル (D[2:0]/0x40265<IDMA割り込みプライオリティレジスタ>)

IDMA転送終了割り込みの優先レベルを0~7の範囲で設定します。

イニシャルリセット時、PDMは不定となります。

EIDMA: IDMA割り込みイネーブル (D4/0x40271<DMA割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EIDMAはIDMA転送終了割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、EIDMAは"0"(割り込み禁止)に設定されます。

FIDMA: IDMA割り込み要因フラグ(D4/0x40281<DMA割り込み要因フラグレジスタ>)

IDMAの割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FIDMAはIDMAの転送終了割り込み要因フラグで、ソフトウェアトリガまたはそれに続くリンクにより開始した1回のDMA転送が終了し、転送回数カウンタが"0"になると"1"にセットされます。ただし、コントロール情報で割り込みが許可(DINTEN="1")されていることが必要です。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

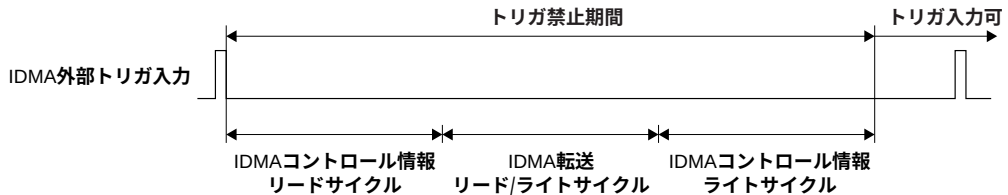
割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY="1")の場合が"1"、リード/ライト方式(RSTONLY="0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FIDMAフラグは不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

- (1) IDMAベースアドレスの設定は、DMA転送を禁止(IDMAENを"0"に設定)して行ってください。DMA転送を許可(IDMAENを"1"に設定)している場合、IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。また、各チャンネルのコントロール情報の設定あるいは書き換えは、そのチャンネルのDMA転送が発生しない状況で行ってください。
- (2) IDMAベースアドレスレジスタに設定するアドレスは、必ずワード(32ビット)境界を指定してください。
- (3) ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。
- (4) イニシャルリセット後、割り込み要因フラグ(FIDMA)は不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (5) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FIDMA)をリセットしてください。
- (6) HALTモードではDMAとBCUのクロックが動作しているため、クロックオプションレジスタHLT2OP(0x40190のD3)が"0"のとき(HALT2モードではなく、HALTモードの場合)に次の動作を行うと、その動作は予測できない誤動作になります。
halt命令を実行後、CPUが停止している状態でDMAのトリガが発生しDMAが動作すると誤動作になります。HALTモード時は、DMAが動作しないようにしてください。
HALT2モードでは、DMAとBCUのクロックが停止するためDMAは起動しません。
- (7) IDMA転送中に発生した同一チャンネルに対する起動要求は、同じ割り込み要因を使用するため受け付けられません(起動要求は無視されます)。同一チャンネルのIDMA転送を連続して起動するような場合は、IDMAのトリガ間隔を<IDMAコントロール情報リードサイクル>+<IDMA転送リード/ライトサイクル>+<IDMAコントロール情報ライトサイクル>より長くする必要があります。



図V.3.7 外部トリガ入力間隔

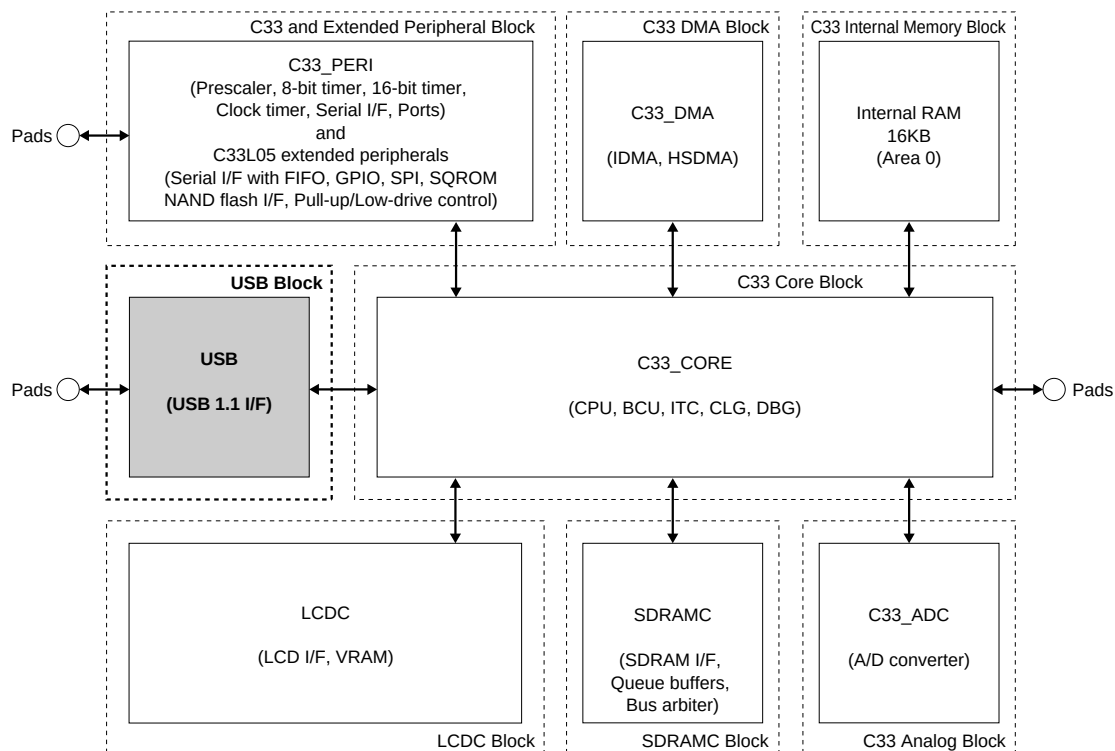
トリガ禁止期間の長さは、コントロール情報が置かれたメモリエリアのウェイト数などのアクセス条件やデータ転送条件でも変わりますので注意してください。

このページはブランクです。

S1C33L05 Technical Manual
VI USBブロック

VI-1 はじめに

USBブロックは、USB1.1ファンクションコントローラで構成されています。



図VI.1.1 USBブロック

このページはブランクです。

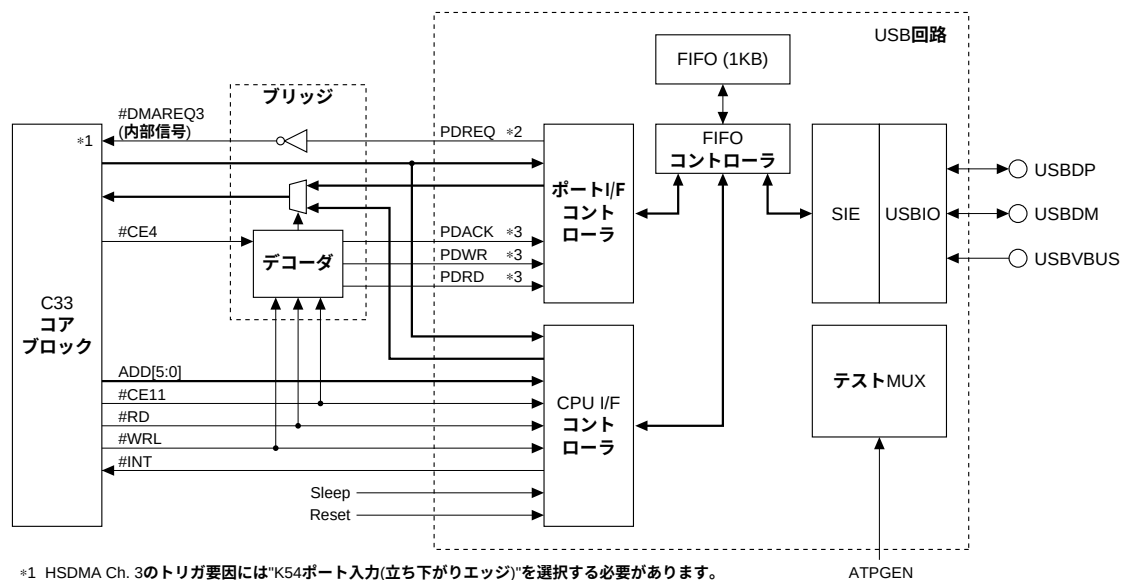
VI-2 USBファンクションコントローラ

USBファンクションコントローラの概要

S1C33L05は、USB1.1規格準拠のフルスピードモードに対応したUSBファンクションコントローラを内蔵しています。以下に特長を示します。

- FS(12Mbps)の転送をサポート
- コントロール、バルク、アイソクロナスおよびインタラプト転送をサポート
- 4本の汎用エンドポイントおよびエンドポイント0をサポート
- エンドポイント用に1KBプログラマブルFIFOを内蔵
- 汎用DMAポートを搭載
- 非同期手順に対応
 - スレープに対応
 - バス幅8ビットに対応
- 48MHzクロック入力
- スヌーズ(Snooze)モードをサポート

図VI.2.1にUSBファンクションコントローラのブロック図を示します。



*1 HSDMA Ch. 3のトリガ要因には"K54ポート入力(立ち下がりエッジ)"を選択する必要があります。

*2 PDREQ(→#DMAREQ3)信号のレベルは"アクティブHigh"に設定してください。

*3 PDACK(←#CE4)、PDWR(←#WRL)、PDRD(←#RD)信号のレベルは"アクティブLow"に設定してください。

図VI.2.1 USBファンクションコントローラブロック図

SIE(シリアルインタフェースエンジン)

トランザクションの管理とパケット生成を行います。また、サスペンド、リジューム、リセットなどのバスイベントを制御します。

FIFO

エンドポイント用の1KBのバッファです。

FIFOコントローラ

FIFO SRAMのアドレス管理(ユーザプログラマブル)、タイミング生成、アービトレーションなどを行います。

ポートI/Fコントローラ

非同期のハンドシェイクを行います。

CPU I/Fコントローラ

CPU I/Fのタイミングを制御し、レジスタアクセスを可能にします。

テストMUX

入力信号により、動作モード(テストモード)の切り換えを行います。

USBインタフェース端子

表VI.2.1にUSBインタフェースの入出力端子を示します。

表VI.2.1 USBインタフェース端子

端子名	I/O	Pull-up	機 能
USBDP	I/O	－	USB D+端子
USBDM	I/O	－	USB D-端子
USBVBUS	I	－	USB VBUS端子(5V入力可)

BCU, クロック制御, DMAレジスタの設定

エリア11およびエリア4アクセス条件の設定

USB制御レジスタはエリア11、USB用DMAエリアはエリア4に割り付けられています。したがって、USBファンクションコントローラにアクセスする前に、エリア11および4のBCUレジスタを以下のとおり設定しておく必要があります。

1. A12IO(アクセス制御レジスタ0x48132・DC) = "1"
A5IO(アクセス制御レジスタ0x48132・D8) = "1"
エリア12-11とエリア5-4を内部アクセスに設定します。
2. A12EC(アクセス制御レジスタ0x48132・D4) = "0"
A5EC(アクセス制御レジスタ0x48132・D0) = "0"
エリア12-11とエリア5-4のエンディアン形式をリトルエンディアンに設定します。
3. A12SZ(エリア12-11設定レジスタ0x48124・D6) = "1"
エリア12-11のデバイスサイズを8ビットに設定します。
4. A12WT[2:0](エリア12-11設定レジスタ0x48124・D[2:0]) = "010"または"001"
エリア12-11(USB制御レジスタ)アクセス時のウェイト数を2(CPU動作クロックが40MHz以上の場合)または1(CPU動作クロックが40MHz未満でx1スピードモードの場合)に設定します。
5. A5SZ(エリア6-4設定レジスタ0x4812A・D6) = "1"
エリア5-4のデバイスサイズを8ビットに設定します。
6. A5WT[2:0](エリア6-4設定レジスタ0x4812A・D[2:0]) = "001"
エリア5-4(USB DMAエリア)をアクセスするときのウェイト数を1に設定します。
7. SWAITE(バスコントロールレジスタ0x4812E・D0) = "1"
#WAIT信号を使用したウェイト制御を有効に設定します。
8. USBWT[2:0](マクロ制御レジスタ0x300F20・D[2:0])
エリア11のUSBファンクションコントローラは他の内部ブロックとは異なるウェイト制御が必要で、そのためのUSBバスウェイト制御ビット(USBWT[2:0])がマクロ制御レジスタに用意されています。USBWT[2:0]で選択したウェイトは、A12WT[2:0]で選択したウェイトと共にUSBレジスタのアクセスサイクルに挿入されます。
USBWT[2:0]は、CPU動作クロック周波数に合わせ、以下のように設定してください。

表VI.2.2 USBバスのウェイト設定

USBWT2	USBWT1	USBWT0	CPUクロック	ウェイトサイクル
1	1	1	40MHz以上	BCUウェイト設定 + 140ns
1	1	0		BCUウェイト設定 + 120ns
1	0	1	24MHz	BCUウェイト設定 + 100ns
1	0	0		BCUウェイト設定 + 80ns
0	1	1		BCUウェイト設定 + 60ns
0	1	0	12MHz	BCUウェイト設定 + 40ns
0	0	1		BCUウェイト設定 + 20ns
0	0	0	6MHz以下	BCUウェイト設定 + 0ns

注: バス速度の上限は40MHzです。CPU動作周波数が40MHz以上の場合には#X2SPD端子を"0"にすると共に、A5BSビット(0x4813E・D0)とA12BSビット(0x4813E・D4)を"0"、A1X1MDビット(0x4813A・D3)を"1"に設定してください。

USBクロックの制御

USBファンクションコントローラを動作させるためには、エリア6に割り付けられたマクロ制御レジスタを設定してUSBクロックを供給する必要があります。エリア6のアクセス条件とマクロ制御レジスタを以下のとおり設定してください。

1. A6IO(アクセス制御レジスタ0x48132•D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EC(アクセス制御レジスタ0x48132•D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6—設定レジスタ0x4812A•D[A:8]) = "001"
エリア6のウェイト数を1に設定します。
4. USBCKOF(モジュールクロック制御レジスタ0 0x300F35•D7) = "0"
USBクロックをONします。
5. USBCLKEN(マクロ制御レジスタ0x300F20•D4) = "1"
USBファンクションコントローラへのOSC3クロックの供給を許可します。
6. USBSNZ(マクロ制御レジスタ0x300F20•D5) = "0"
USBのスヌーズ制御を無効にします。

USBファンクションコントローラを使用する前にOSC3発振回路をONにする必要があります。
クロック制御の詳細については、"II-6 CLG(クロックジェネレータ)"および"III-17 S1C33L05クロック系とMiscレジスタ"を参照してください。

DMAコントローラの設定

USBファンクションコントローラは、C33 DMAブロックに搭載されているHSDMA(高速DMA)機能を使用したデータ転送に対応しています。したがって、USBデータのDMA転送を行うには、HSDMAの転送条件を設定しておく必要があります。以下、HSDMA制御レジスタの設定内容について説明します。HSDMAの詳細については、"V-2 HSDMA(高速DMA)"を参照してください。

1. DMA転送に使用する信号の設定

USBファンクションコントローラは、DMAデータ転送に使用する以下の信号をC33コアブロックとの間で入出力します(図VI.2.1参照)。

USBブロックの信号	対応するC33コアの信号
PDREQ * (DMA要求信号)	#DMAREQ3 (内部信号)
PDACK (DMA応答信号)	#CE4
PDRD (データリード信号)	#RD
PDWR (データライト信号)	#WRL

* PDREQ信号はC33コアブロックに入力される前に極性が反転します。

USB信号の極性はUSBレジスタで選択可能です。C33コア信号の極性に合わせ、以下のとおりに設定してください。

PDREQ: PDREQ_Level(0x1000094•D3) = "0"(アクティブHigh)
PDACK: PDACK_Level(0x1000094•D2) = "1"(アクティブLow)
PDRD, PDWR: PDRDWR_Level(0x1000094•D1) = "1"(アクティブLow)

注: USBファンクションコントローラは内部#DMAREQ3信号(内部K54信号)を使用します。

K5機能選択レジスタ(0x402C0)のCFK54(D4)を"0"に設定する必要があります。また、K54ポートを使用する割り込みを絶対に許可しないでください。

2. アドレスモードの設定

HSDMA回路はデュアルアドレス転送とシングルアドレス転送の2つの転送方式をサポートしていますが、USBファンクションコントローラはデュアルアドレス転送にのみ対応しています。この転送方式では、転送元と転送先のアドレスをそれぞれ指定可能で、2段階に分けてDMA転送を行います。まず、転送元アドレスからデータをチップ上のテンポラリレジスタに読み出し、次にテンポラリレジスタ内のデータを転送先アドレスに書き込みます。

HSDMA Ch.3をこの転送方式に設定するには、HSDMA Ch.3制御レジスタ(0x48252)のDUALM3(DF)に"1"を書き込みます。

注: HSDMA Ch.3をUSBのデータ転送に使用する場合、絶対にシングルアドレスモードには設定しないでください。

3. 転送モードの設定

USBファンクションコントローラは非同期マルチワードDMA転送(スレーブ)および非同期シングルワードDMA転送(スレーブ)の2種類の転送モードをサポートしています。

ただし、非同期マルチワードDMA転送(スレーブ)では、USBファンクションコントローラ内のFIFOにデータが残っている場合のみPDREQ(#DMAREQ3)がアサートされます。このため、ダイナミックにUSBの送受信が行われている場合(FIFO内のデータ量はUSB転送状況によってダイナミックに変化するため)、CPUはデータ転送前に、1回に転送されるFIFO内のデータ量を把握することはできません。

したがって、USBファンクションコントローラを非同期シングルワードDMA転送(スレーブ)モードに、C33 DMAコントローラを1回のトリガで1バイトの転送を行うシングル転送モードに設定し、全体のUSBデータ転送量でDMA転送回数を管理してください。

HSDMAをシングル転送モードに設定するには、HSDMA Ch.3転送先上位アドレス設定レジスタ(0x4825A)のD3MOD[1:0](D[F:E])を"00"に設定します。シングル転送モードは、1回のトリガに対してDATSIZE3に設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

4. 転送データサイズの設定

転送データ1個分のサイズをHSDMA Ch.3転送元上位アドレス設定レジスタ(0x48256)のDATSIZE3ビット(DE)で設定します。このビットは"0"(8ビット)に設定します。

5. 転送カウンタの設定

USBファンクションコントローラが対応するシングル転送モードでは、24ビットの転送回数が以下のレジスタで指定できます。

BLKLEN3[7:0]: Ch.3転送カウンタ[7:0](HSDMA Ch.3転送カウンタレジスタ0x48250•D[7:0])

TC3_L[7:0]: Ch.3転送カウンタ[15:8](HSDMA Ch.3転送カウンタレジスタ0x48250•D[F:8])

TC3_H[7:0]: Ch.3転送カウンタ[23:16](HSDMA Ch.3制御レジスタ0x48252•D[7:0])

注: 設定した転送回数は転送に従ってデクリメントされます。"0"を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

6. 転送元/転送先アドレスの設定

デュアルアドレスモードでは、転送元および転送先アドレスを以下のレジスタで設定します。

S3ADRL[15:0]: Ch.3転送元アドレス[15:0](Ch.3転送元下位アドレス設定レジスタ0x48254•D[F:0])

S3ADRH[11:0]: Ch.3転送元アドレス[27:16](Ch.3転送元上位アドレス設定レジスタ0x48256•D[B:0])

D3ADRL[15:0]: Ch.3転送先アドレス[15:0](Ch.3転送先下位アドレス設定レジスタ0x48258•D[F:0])

D3ADRH[11:0]: Ch.3転送先アドレス[27:16](Ch.3転送先上位アドレス設定レジスタ0x4825A•D[B:0])

注: USBファンクションコントローラのDMA転送アドレスは必ずエリア4(0x100000~0x1FFFFFF、1MB)に設定してください。

7. アドレスインクリメント/デクリメント制御

転送元アドレスと転送先アドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。この機能の選択には、転送元アドレスの制御にCh.3転送元上位アドレス設定レジスタ(0x48256)のS3IN[1:0]ビット(D[D:C])、転送先アドレスの制御にCh.3転送先上位アドレス設定レジスタ(0x4825A)のD3IN[1:0]ビットを(D[D:C])を使用します。

S3IN/D3IN = "00": アドレス固定(デフォルト)

データ転送によってアドレスは変更されません。複数のデータを転送する場合でも、常に同じアドレスに対して転送データの読み出し/書き込みが行われます。

S3IN/D3IN = "01": アドレスデクリメント

1つのデータ転送終了時にアドレスがDATSIZE3に設定したサイズ分デクリメントされます。転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

S3IN/D3IN = "10"または"11": アドレスインクリメント

1つのデータの転送終了時にアドレスがDATSIZE3に設定したサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。シングル転送モードの場合、"10"と"11"は同じ条件設定になります。

8. DMAトリガ要因の選択

USBファンクションコントローラのHSDMAトリガ要因はK54ポート入力(立ち下がりエッジ)です。HSDMA Ch.2/3トリガ設定レジスタ(0x40299)のHSD3S[3:0]ビット(D[7:4])を"0001"に設定します。この設定により、HSDMA Ch.3はUSBファンクションコントローラからK54ポートに入力されるDMA要求信号の立ち上がりエッジで起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。HSDMAを起動した割り込み要因は、割り込み要因フラグもセットしますが、HSDMAはこの割り込み要因フラグをリセットしません。割り込みコントローラによって、その割り込みが許可されていれば、1回のDMA転送を終了した時点で(転送カウンタが"0"でない場合でも)CPUに対し割り込み要求を発生します。転送カウンタが"0"になった場合にのみ割り込みを発生させるには、トリガとなった割り込み要因による割り込み要求を禁止し、HSDMA自身の転送終了割り込みを利用してください。

トリガ要因が発生すると、対応するHSDMAチャンネルが起動するようにトリガフラグを"1"にセットします。HSDMAが許可されていればDMA転送を開始します。同時に、トリガフラグはハードウェアによってクリアされます。これにより、DMA転送中でも次のトリガを保持しておくことができます。トリガフラグはCh.3トリガフラグレジスタ(0x4825E)のHS3_TF(D0)により読み出しおよびクリアが可能です。DMA転送を開始する前であれば、このビットに"1"を書き込むことによってトリガフラグをクリアできます。このビットを読み出した場合、"1"でトリガフラグがセット状態、"0"でクリア状態であることを示します。

9. DMA転送の許可/禁止

HSDMAによるデータ転送は、Ch.0イネーブルレジスタ(0x4825C)のHS3_EN(D0)に"1"を書き込むことにより許可されます。ただし、DMA転送を許可する前に、コントロール情報を設定しておく必要があります。HS3_ENが"1"の場合、コントロール情報を設定することはできません。HS3_ENが"0"の場合、HSDMAリクエストは受け付けられません。DMA転送を終了(転送カウンタ=0)するとHS3_ENは"0"にリセットされ、以降のトリガ入力を禁止します。

機能説明

ここではUSBファンクションコントローラの機能について説明します。

説明の中で、レジスタおよびビット名は、下記のルールに従って表記されています。

- 1アドレス分のレジスタを指す場合の名称
"レジスタ名"レジスタと表記します。
例: MainIntレジスタ
- 個々のビットを指す場合の名称
"レジスタ名"."ビット名"ビット、あるいは"ビット名"ビットと表記します。
例: MainIntStat.RcvEP0SETUPビット、EP0ControlOUTレジスタのForceNAKビット
- エンドポイントごとにある同一機能のレジスタ
EPx{x=0,a,b,c,d}～レジスタ、EPx{x=a,b,c,d}～レジスタ等と表記します。
例: EPx{x=a,b,c,d}IntStatレジスタ (EPaIntStat、EPbIntStat、EPcIntStat、EPdIntStatレジスタ)

USB制御

■エンドポイント

本コントローラはコントロール転送用のエンドポイント(EP0)と4本の汎用エンドポイント(EPa、EPb、EPc、EPd)を持ちます。エンドポイントEPa、EPb、EPc、EPdは、それぞれバルク、インタラプトまたはアイソクロナス転送用のエンドポイントとして使用できます。バルク転送かインタラプト転送かによって、ハードウェア上の違いはありません。

本コントローラのハードウェアは、エンドポイントを提供しトランザクションの管理を行います。一方、USBに定義されるインタフェース(以下、USB定義インタフェース)の管理機能を提供しません。USB定義インタフェースは、ファームウェアで実装してください。デバイス固有のデスクリプタ定義に沿ってエンドポイントを適宜設定し、また組み合わせてUSB定義インタフェースを構成してください。各エンドポイントには、USB定義インタフェースによって決定される固定の基本設定項目と、転送ごとに制御を行う可変の制御項目およびステータスがあります。基本設定項目は、チップ初期化時、またはSetInterface()リクエストによるUSB定義インタフェースの切り換え時に設定してください。

表VI.2.3にエンドポイントEP0(デフォルトコントロールパイプ)の基本設定項目を示します。

エンドポイントEP0は、IN方向とOUT方向でレジスタセットやFIFO領域を共有します。エンドポイントEP0におけるデータステージおよびステータスステージでは、その実行に際してファームウェアにより適宜データトランザクションの方向を設定してください。

表VI.2.3 エンドポイントEP0の基本設定項目

項目	レジスタ/ビット	説明
最大パケットサイズ	EP0MaxSize	マックスパケットサイズを8、16、32、64のいずれかの値に設定します。 エンドポイントEP0には、FIFOの0番地から、EP0MaxSizeレジスタで設定したサイズの領域が割り当てられます。

表VI.2.4に汎用エンドポイント(EPa、EPb、EPc、EPd)の基本設定項目を示します。エンドポイントEPa、EPb、EPc、EPdは、トランザクション方向とエンドポイント番号を任意に設定できますので、4本までの独立したエンドポイントとして使用できます。USB定義インタフェースの定義内容に合わせて適宜設定し、また有効にしてください。

表VI.2.4 エンドポイントEPa、EPb、EPc、EPdの設定項目

項目	レジスタ/ビット	説明
トランザクション方向	EPx{x=a,b,c,d}Config.INxOUT	各エンドポイントの転送方向を設定します。
最大パケットサイズ	EPx{x=a,b,c,d}MaxSize_H, EPx{x=a,b,c,d}MaxSize_L	各エンドポイントの最大パケットサイズを、1~1024バイトの間の任意の値に設定します。 ただし、バルク転送を行うエンドポイントでは8/16/32/64バイトのいずれかに設定してください。
エンドポイント番号	EPx{x=a,b,c,d}Config.EndPointNumber	各エンドポイントのエンドポイント番号を0x1~0xFの間の任意の値に設定します。
トグルモード	EPx{x=a,b,c,d}Config.ToggleMode	トグルシーケンスのモードを設定します。バルク転送を行うエンドポイントは、"0"に設定してください。 0: トランザクション成功時のみトグル 1: トランザクション毎に常にトグル
エンドポイント有効	EPx{x=a,b,c,d}Config.EnEndPoint	各エンドポイントを有効にします。 そのエンドポイントを使用するUSB定義インタフェースが有効にされたときに設定してください。
FIFO領域	EPx{x=a,b,c,d}StartAdrs_H, EPx{x=a,b,c,d}StartAdrs_L	各エンドポイントに割り当てる領域を、FIFOのアドレスで設定します。 FIFO領域は、各エンドポイントの最大パケットサイズ以上の領域を割り当ててください。 FIFO領域のサイズはデータ転送のスループットに影響します。FIFOの領域割り当ての詳細は、"FIFO管理"の項を参照してください。

■トランザクション

本コントローラのハードウェアは、トランザクション実行機能とファームウェアに対するトランザクション実行のためのインタフェースを提供します。ファームウェアとのインタフェースは、制御レジスタとステータスレジスタ、およびステータスによりアサートされる割り込み信号により実装されています。ステータスにより割り込みをアサートする設定については、レジスタ説明の項を参照してください。

本コントローラは個々のトランザクションごとに、ファームウェアに対してステータスを発行します。ただし、ファームウェアは必ずしも個々のトランザクションを管理する必要はありません。本コントローラはトランザクションへの応答時にFIFOを参照し、そのデータ数または空き数によってデータ転送を行えるか否かを判断して自動的に処理します。たとえば、OUTのエンドポイントの場合、ファームウェアはポートインタフェース(EPa、EPb、EPc、EPd)またはCPUインタフェース(EP0、EPa、EPb、EPc、EPd)を通してFIFOからデータを読み出し、FIFOに空き領域を作り出すことによってOUTトランザクションを自動的に連続して実行させることができます。また、INのエンドポイントの場合、ファームウェアはポートインタフェース(EPa、EPb、EPc、EPd)またはCPUインタフェース(EP0、EPa、EPb、EPc、EPd)を通してFIFOにデータを書き込み、FIFOに有効データを作り出すことによってINトランザクションを自動的に連続して実行させることができます。

表VI.2.5にエンドポイントEP0のトランザクション制御に関する制御項目およびステータスを示します。

表VI.2.5 エンドポイントEP0の制御項目およびステータス

項目	レジスタ/ビット	説明
トランザクション方向	EP0Control.INxOUT	データステージおよびステータスステージにおいて、転送方向を設定します。
デスクリプタ返信イネーブル	EP0Control.ReplyDescriptor	デスクリプタの自動応答を起動します。
ショートパケット送信イネーブル	EP0Control.IN.EnShortPkt	最大パケットサイズに満たない、ショートパケットの送信を有効にします。ショートパケットを送信したINトランザクションが完結するとクリアされます。
トグルシーケンスビット	EP0Control.IN.ToggleStat, EP0Control.OUT.ToggleStat	トグルシーケンスビットの状態を示します。SETUPステージにより、自動的に初期化されます。
トグルセット	EP0Control.IN.ToggleSet, EP0Control.OUT.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	EP0Control.IN.ToggleClr, EP0Control.OUT.ToggleClr	トグルシーケンスビットをクリアします。
強制NAK応答	EP0Control.IN.ForceNAK, EP0Control.OUT.ForceNAK	FIFOのデータ数/空き数にかかわらず、INまたはOUTにNAK応答します。
STALL応答	EP0Control.IN.ForceSTALL, EP0Control.OUT.ForceSTALL	INまたはOUTトランザクションにSTALL応答します。
自動ForceNAKセット	EP0Control.OUT.AutoForceNAK	OUTトランザクションの完結ごとに、EP0Control.OUT.ForceNAKビットをセットします。
SETUP受信ステータス	MainIntStat.RcvEP0SETUP	SETUPトランザクションが実行されたことを示します。
トランザクションステータス	EP0IntStat.IN_TranACK, EP0IntStat.OUT_TranACK, EP0IntStat.IN_TranNAK, EP0IntStat.OUT_TranNAK, EP0IntStat.IN_TranErr, EP0IntStat.OUT_TranErr	トランザクションの結果を示します。

表VI.2.6に、エンドポイントEPa、EPb、EPc、EPdのトランザクション処理に関する制御項目とステータスを示します。

表VI.2.6 エンドポイントEPa、EPb、EPc、EPdの制御項目とステータス

項目	レジスタ/ビット	説明
自動ForceNAKセット	EPx{x=a,b,c,d}Control.AutoForceNAK	OUTトランザクションの完結ごとに、そのエンドポイントのEPx{x=a,b,c,d}Control.ForceNAKビットをセットします。
ショートパケット送信イネーブル	EPx{x=a,b,c,d}Control.EnShortPkt	INトランザクションに対し、最大パケットサイズに満たないショートパケットの送信を有効にします。ショートパケットを送信したINトランザクションが完結するとクリアされます。
ショートパケット受信による自動ForceNAKセットの禁止	EPx{x=a,b,c,d}Control.DisAF_NAK_Short	OUTトランザクションにおいてショートパケットを受信すると、自動的にそのエンドポイントのEPx{x=a,b,c,d}Control.ForceNAKビットをセットする機能を禁止します。
トグルシーケンスビット	EPx{x=a,b,c,d}Control.ToggleStat	トグルシーケンスビットの状態を示します。
トグルセット	EPx{x=a,b,c,d}Control.ToggleSet	トグルシーケンスビットをセットします。
トグルクリア	EPx{x=a,b,c,d}Control.ToggleClr	トグルシーケンスビットをクリアします。
強制NAK 応答	EPx{x=a,b,c,d}Control.ForceNAK	FIFOのデータ数/空き数にかかわらず、トランザクションにNAK応答します。
STALL 応答	EPx{x=a,b,c,d}Control.ForceSTALL	トランザクションにSTALL応答します。
トランザクションステータス	EPx{x=a,b,c,d}IntStat.OUT_ShortACK, EPx{x=a,b,c,d}IntStat.OUT_TranACK, EPx{x=a,b,c,d}IntStat.OUT_TranACK, EPx{x=a,b,c,d}IntStat.IN_TranNAK, EPx{x=a,b,c,d}IntStat.OUT_TranNAK, EPx{x=a,b,c,d}IntStat.IN_TranErr, EPx{x=a,b,c,d}IntStat.OUT_TranErr	トランザクションの結果を示します。

SETUPトランザクション

自ノードのエンドポイントEP0宛てのSETUPトランザクションは、無条件に実施します(USB機能は有効にされている必要があります)。

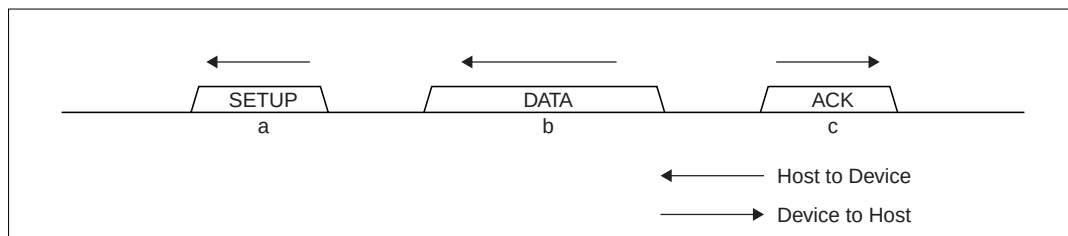
SETUPトランザクションが発行されると、データパケット(8バイト)のすべての内容をEP0Setup_0～EP0Setup_7レジスタに格納し、ACK応答します。また、ファームウェアに対し、RcvEP0SETUPステータスを発行します。

SETUPトランザクション中にエラーが発生した場合には応答せず、ステータスも発行しません。

SETUPトランザクションが完結すると、EP0ControlINレジスタおよびEP0ControlOUTレジスタのForceNAKビットをセットし、ForceSTALLビットをクリアします。また、ToggleStatビットをセットします。ファームウェアは、エンドポイントEP0の設定を終え、次のステージに移行可能になったら、EP0ControlINレジスタまたはEP0ControlOUTレジスタにおいて、該当する方向のForceNAKビットをクリアしてください。

図VI.2.2にSETUPトランザクションのシーケンスを示します。

- ホストが、このノードのエンドポイント0に宛てたSETUPトークンを発行します。
- ホストは続けて、8バイト長のデータパケットを送信します。本コントローラはこのデータをEP0Setup_0～EP0Setup_7レジスタに書き込みます。
- 本コントローラは自動的にACK応答します。また、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。



図VI.2.2 SETUPトランザクション

OUTトランザクション

OUTトランザクションでは、FIFOの空き容量にかかわらずデータの受信を開始します。ポートインタフェースによりFIFOのデータを読み出し、空き領域を作りながら受信することができますので、FIFOを最大パケットサイズの倍程度割り当てることにより、良好なスループットが得られます。

OUTトランザクションにおいてすべてのデータが正常に受信できると、トランザクションを完結し、ACK応答します。また、ファームウェアに対し、該当するエンドポイントのOUT_TrانACKステータス($EPx\{x=0,a,b,c,d\}IntStat.OUT_TranACK$ ビット)を発行します。また、FIFOを更新し、データを受信済みとして領域を確保します。

エンドポイントEPa、EPb、EPc、EPdにおいては、OUTトランザクションにおいて、ショートパケットのすべてのデータを受信すると、上記のトランザクション完結処理に加え、OUT_ShortACKステータス($EPx\{x=a,b,c,d\}IntStat.OUT_ShortACK$ ビット)を発行します。また、 $EPx\{x=a,b,c,d\}Control.DisAF_NAK_Short$ ビットがクリアされていると、そのエンドポイントの $EPx\{x=a,b,c,d\}ForceNAK$ ビットをセットします。

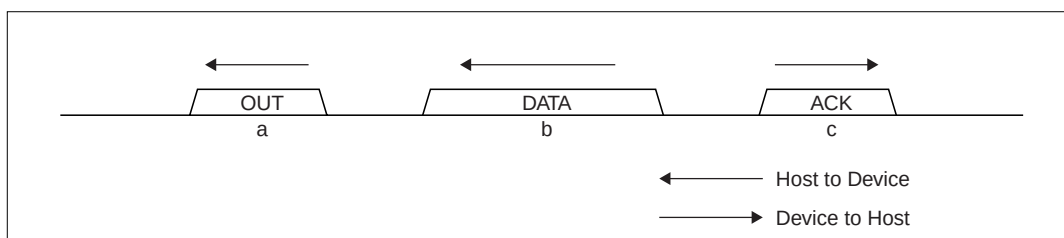
OUTトランザクションにおいてトグルミスマッチが発生した場合、トランザクションにACK応答します。ただし、ステータスは発行されず、FIFOも更新されません。

OUTトランザクションにエラーが発生した場合、トランザクションに応答しません。また、OUT_TrانErrステータス($EPx\{x=0,a,b,c,d\}IntStat.OUT_TranErr$ ビット)を発行します。FIFOは更新されません。

OUTトランザクションにおいてすべてのデータを受信できなかった場合、トランザクションにNAK応答し、また、OUT_TrانNAKステータス($EPx\{x=a,b,c,d\}IntStat.OUT_TranNAK$ ビット)を発行します。FIFOは更新されません。

図VI.2.3に、OUTトランザクションが正常に完結する場合のシーケンスを示します。

- (a) ホストが、このノードに存在するOUT方向のエンドポイントに宛てたOUTトークンを発行します。
- (b) ホストは続けて、最大パケットサイズ以内のデータパケットを送信します。
本コントローラはこのデータを、該当するエンドポイントのFIFOに書き込みます。
- (c) 本コントローラはデータを受信できると、自動的にACK応答します。また、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。



図VI.2.3 OUTトランザクション

INトランザクション

IN方向のエンドポイントにおいて、FIFOに最大パケットサイズ分のデータがある場合、またはファームウェアによってショートパケットの送信が許可されている場合、INトランザクションに応答してデータパケットを返信します。

ショートパケット(データ長ゼロのパケットを含む)の送信許可は、EP0ControlIN.EnShortPktビットおよびEPx{x=a,b,c,d}Control.EnShortPktビットをセットすることで行います。ショートパケットを送信する場合、送信許可後、トランザクションが完結するまでの間は新たなデータをそのエンドポイントのFIFOに書き込まないようにしてください。

エンドポイントEP0では、ショートパケットを送信するINトランザクションが完結すると、EP0ControlIN.ForceNAKビットをセットします。

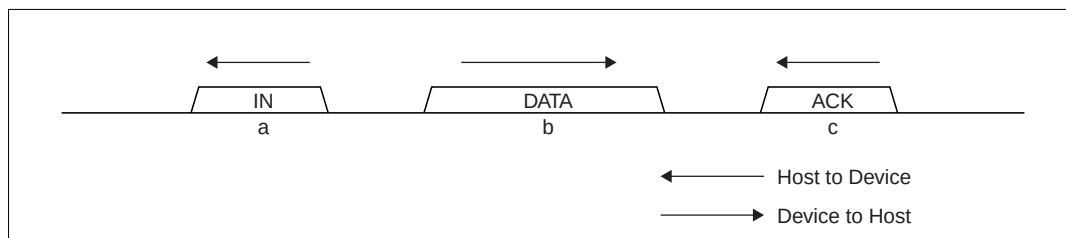
データを返信したINトランザクションでACKを受信するとトランザクションは完結し、ファームウェアに対してIN_TranACKステータス(EPx{x=0,a,b,c,d}IntStat.IN_TranACKビット)を発行します。また、FIFOを更新して、送信したデータを送信済みとして領域を開放します。

データを返信したINトランザクションでACKが返らない場合はトランザクション失敗と見なし、ファームウェアに対しIN_TranErrステータス(EPx{x=0,a,b,c,d}IntStat.IN_TranErrビット)を発行します。また、FIFOを更新せず、領域を開放しません。

IN方向のエンドポイントにおいて、FIFOに最大パケットサイズ分のデータがなく、かつ、ショートパケットの送信が許可されていない場合、INトランザクションにはNAK応答し、ファームウェアに対してIN_TranNAKステータス(EPx{x=0,a,b,c,d}IntStat.IN_TranNAKビット)を発行します。また、FIFOを更新せず、領域を開放しません。

図VI.2.4にINトランザクションが正常に完結する場合のシーケンスを示します。

- (a) ホストが、このノードに存在するIN方向のエンドポイントに宛てたINトークンを発行します。
- (b) 本コントローラは、このINトランザクションに응答できる場合、最大パケットサイズ以内のデータパケットを送信します。
- (c) ホストはACK応答します。本コントローラはACKを受信すると、自動設定するレジスタを設定し、ファームウェアに対しステータスを発行します。



図VI.2.4 INトランザクション

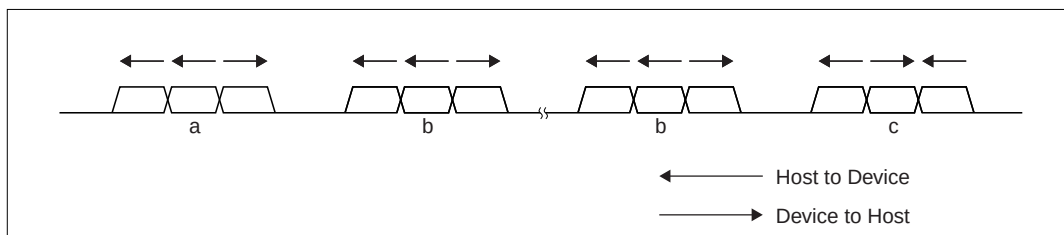
■コントロール転送

エンドポイントEP0におけるコントロール転送は、個々のトランザクションの組み合わせとして制御します。図VI.2.5にデータステージがOUT方向である場合のコントロール転送の様子を図示します。

- (a) ホストはSETUPトランザクションによって、コントロール転送を開始します。デバイスのファームウェアはリクエストの内容を解析して、データステージに応答する準備をします。
- (b) ホストはOUTトランザクションを発行してデータステージを行い、デバイスはデータを受信します。
- (c) ホストはINトランザクションを発行してステータスステージを行い、デバイスはデータ長ゼロのパケットを返信します。

データステージのないコントロール転送は、この例におけるデータステージがない状態で実施されます。

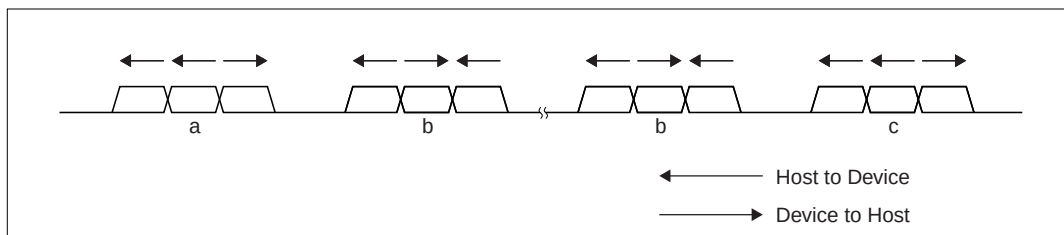
ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。ファームウェアは、IN_TranNAKステータス(EP0IntStat.IN_TranNAKビット)を監視して、データステージからステータスステージに移行するきっかけとしてください。



図VI.2.5 データステージがOUT方向のコントロール転送

図VI.2.6にデータステージがIN方向である場合のコントロール転送の様子を図示します。

- (a) ホストはSETUPトランザクションによって、コントロール転送を開始します。デバイスのファームウェアはリクエストの内容を解析して、データステージに応答する準備をします。
 - (b) ホストはINトランザクションを発行してデータステージを行い、デバイスはデータを送信します。
 - (c) ホストはOUTトランザクションを発行してステータスステージを行い、デバイスはACK応答します。
- ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。ファームウェアは、OUT_TranNAKステータス(EP0IntStat.OUT_TranNAKビット)を監視して、データステージからステータスステージに移行するきっかけとしてください。



図VI.2.6 データステージがIN方向のコントロール転送

コントロール転送のデータステージおよびステータスステージは、通常のOUTおよびINトランザクションを行いますので、NAKによるフロー制御が有効です。デバイスは定められた時間内に、応答する準備をすることが許されています。

セットアップステージ

自ノードに宛てられたSETUPトークンを受信すると、自動的にセットアップトランザクションを実行します。ファームウェアは、RcvEPOSETUPステータスをモニタし、EPOSetup_0～EPOSetup_7レジスタによりリクエストを解析して、コントロール転送を制御してください。

受信したリクエストにOUT方向のデータステージがある場合、データステージに移行するため、EPOControlレジスタのINxOUTビットをクリアしてエンドポイントEP0をOUT方向に設定してください。

受信したリクエストにIN方向のデータステージがある場合、データステージに移行するため、EPOControlレジスタのINxOUTビットをセットしてエンドポイントEP0をIN方向に設定してください。

受信したリクエストにデータステージがない場合はステータスステージに移行するため、EPOControlレジスタのINxOUTビットをセットして、エンドポイントEP0をIN方向に設定してください。

データステージ/ステータスステージ

EPOSetup_0～EPOSetup_7レジスタを読み出してリクエストを解析した内容に従って、次のステージに移行してください。

そのステージがOUT方向の場合はEPOControlレジスタのINxOUTをクリアしてOUT方向に設定し、EPOControlOUTレジスタを適宜設定して、ステージを制御してください。SETUPステージ終了時は、ForceNAKビットがセットされています。

ステージがIN方向の場合はEPOControlレジスタのINxOUTをセットしてIN方向に設定し、EPOControlINレジスタを適宜設定して、ステージを制御してください。SETUPステージ終了時は、ForceNAKビットがセットされています。

自動アドレス設定機能

本コントローラには、エンドポイントEP0におけるコントロール転送において、SetAddress()リクエストの処理におけるアドレス設定を自動化する機能があります。

EPOSetup_0～EPOSetup_7レジスタによってリクエストの内容を確認し、それが有効なSetAddress()リクエストであれば、ファームウェアはこの機能を使用することができます。

有効なSetAddress()リクエストであると判断した場合、EPOControlIN.ForceNAKビットとEPOControlIN.EnShortPktビットをそれぞれクリアおよびセットして、ステータスステージへの応答を行う前に、USB_Address.AutoSetAddressビットをセットしてください。

この機能を有効にした後に、エンドポイントEP0におけるINトランザクションが完結すると、SetAddress()リクエストのデータからアドレスを抽出し、USB_Address.USB_Addressビットにセットします。また、ファームウェアに対しSetAddressCmpステータス(MainIntStat.SetAddressCmpビット)を発行します。

この機能を有効にした後、INトランザクションが行われる前にエンドポイントEP0において他のトランザクションが発生した場合、この機能はキャンセルされ、USB_Address.AutoSetAddressビットはクリアされます。ファームウェアに対しSetAddressCmpステータスは発行されません。

デスクリプタ返信機能

本コントローラには、エンドポイントEP0におけるコントロール転送において、GetDescriptor()等の複数回発行されデータを要求するリクエストに有効な、デスクリプタ返信機能があります。

データステージがIN転送であるリクエストにおいて、ファームウェアはこの機能を使用することができます。

EPOControlIN.ForceNAKビットをクリアし、データステージへの応答を開始する前に、DescAdrs_HおよびDescAdrs_LレジスタにFIFOのデスクリプタ領域内の返信するデータの先頭アドレスを、またDescSize_HおよびDescSize_HLレジスタに返信するデータの総バイト数を設定し、EPOControl.ReplyDescriptorビットをセットしてください。

デスクリプタ返信機能は、設定数のデータを送り終わるまでデータステージのINトランザクションに 응답してデータパケットを返信し、INトランザクションを実行します。最大パケットサイズに対し端数のデータが存在すると、デスクリプタ返信機能は、EPOControlIN.EnShortPktをセットし、すべてのデータを返信するまで、INトランザクションに 응답できるようにします。

設定数のデータを返信し終わると、EPOControl.ReplyDescriptorビットをクリアし、ファームウェアに対し、DescriptorCmpステータス(EpIntStat.DescriptorCmpビット)を発行します。

デスクリプタ領域についての詳細は、機能説明のFIFOの項を参照してください。

■ バルク転送/インタラプト転送

汎用エンドポイントEPa、EPb、EPc、EPdにおけるバルク転送およびインタラプト転送は、データフロー("データフロー"参照)としても、連続する個々のトランザクション("トランザクション"参照)としても制御できます。

■ データフロー

ここでは、OUT転送およびIN転送の一般的なデータフローの制御について説明します。

OUT転送

OUT転送によって受信したデータは、各エンドポイントのFIFO上に置かれます。FIFOのデータを読み出すには、CPUインタフェースによる読み出し(EP0、EPa、EPb、EPc、EPd)と、ポートインタフェースによる読み出し(EPa、EPb、EPc、EPd)の2つの方法があります。

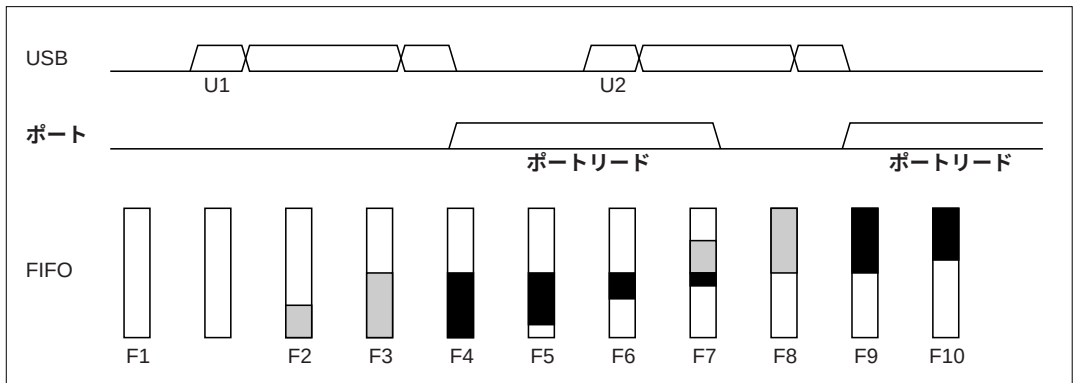
CPUインタフェースによりFIFOのデータを読み出すには、CPU_JoinRdレジスタにより、1つのエンドポイントのみを選択してください。選択したエンドポイントのFIFOは、EPnFIFOforCPUレジスタにより、受信順に読み出すことができます。また、FIFOの残りデータ数を、EPnRdRemain_HおよびEPnRdRemain_Lレジスタにより参照できます。空のFIFOを読み出すと、ダミー読み出しを行います。ポートインタフェースによりFIFOのデータを読み出すには、DMA_JoinレジスタでOUT方向のエンドポイントを1つのみ選択してください。選択したエンドポイントのFIFOは、ポートインタフェースの手順を実行することにより、受信順に読み出されます。また、FIFOの残りデータ数を、DMA_Remain_HおよびDMA_Remain_Lレジスタで参照できます。FIFOが空になると、ポートインタフェースは自動的に一時停止してフロー制御を行います。

CPU_JoinRdレジスタおよびDMA_Joinレジスタにより、CPUインタフェースとポートインタフェースを同じエンドポイントの読み出しに設定しないでください。また、CPU_JoinRdレジスタによりIN方向のエンドポイントを読み出し設定する場合、ForceNAKビットをセットするなどして、確実にINトランザクションにデータ返信応答をしない状態にしてから、データの読み出しを行ってください。

ポートインタフェースによる、IN方向のエンドポイントからのデータ読み出しはできません。

FIFOにデータパケットを受信できる空き領域があれば、OUTトランザクションに自動的に応答して、データを受信できます。したがって、ファームウェアによって個々のトランザクションについての制御を行うことなく、OUT転送を行うことができます。ただし、EPx{x=a,b,c,d}Control.DisAF_NAK_Shortビットがクリアされている場合、ショートパケット(データ長ゼロのパケットを含む)を受信すると、そのエンドポイントのEPx{x=a,b,c,d}Control.ForceNAKビットをセットしますので、次のデータ転送を行う準備ができたところで、EPx{x=a,b,c,d}Control.ForceNAKビットをクリアしてください。

図VI.2.7に、OUT転送のデータフローのようすを示します。OUTのエンドポイントのFIFOがポートインタフェースに結合されています。また、このエンドポイントに対し、最大パケットサイズの倍サイズのFIFO領域を割り当てているものとします。



図VI.2.7 OUT転送のデータフロー例

- (U1) 1回目のOUTトランザクションで、最大パケットサイズのデータ転送を行っています。
- (U2) 2回目のOUTトランザクションで、最大パケットサイズのデータ転送を行っています。
- (F1) FIFOが空の状態です。ポートインタフェースは起動をかけられていますが、FIFOが空であるため、転送を行いません。(#DMAREQ3信号をネゲートしています。)
- (F2) OUTトランザクションが進行し、FIFOに受信を開始しています。この時点では、トランザクションが完結していないため、FIFOのデータが有効とされていません。
- (F3) OUTトランザクションのデータパケットを受信し終えましたが、トランザクションが完結していないため、FIFOのデータが有効とされていません。
- (F4) OUTトランザクションが完結し、受信したデータが有効とされます。
- (F5) FIFOに有効データが生じたことにより、ポートインタフェースは転送を開始します。(#DMAREQ3信号をアサートします。)
- (F6) ポート転送により、FIFOの有効データが減っています。
- (F7) 次のトランザクション開始により、データの書き込みが始まります。ポート転送は、有効データがある間、動作を続けます。
- (F8) 有効データがなくなったために、ポート転送が停止しています。2回目のOUTトランザクションは未だ完結していません。
- (F9) 2回目のOUTトランザクションが完結し、FIFOに有効データが生じます。
- (F10) FIFOに有効データが生じたため、ポート転送が再開されます。

IN転送

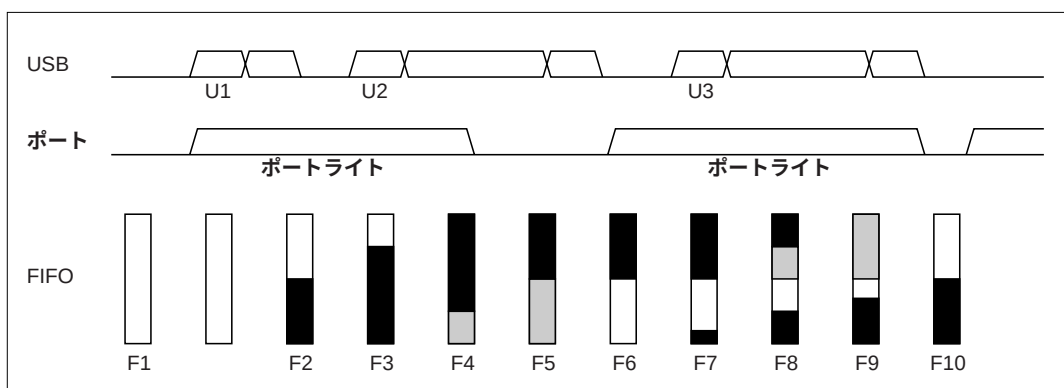
IN転送により送信するデータを、各エンドポイントのFIFO上に置いてください。FIFOにデータを書き込むには、CPUインタフェースによる書き込み(EP0、EPa、EPb、EPc、EPd)と、ポートインタフェースによる書き込み(EPa、EPb、EPc、EPd)の2つの方法があります。

CPUインタフェースにより、FIFOにデータを書き込むには、CPU_JoinWrレジスタにより、1つのエンドポイントのみを選択してください。選択したエンドポイントのFIFOには、EPnFIFOforCPUレジスタによりデータを書き込むことができ、書き込み順にデータパケットで送信されます。また、FIFOの空き容量を、EPnWrRemain_HおよびEPnWrRemain_Lレジスタにより参照できます。フル状態のFIFOに書き込むと、ダミー書き込みを行います。

ポートインタフェースにより、FIFOにデータを書き込むには、DMA_Joinレジスタにより、IN方向のエンドポイントを選択してください。ポートインタフェースの手順にしたがってデータを選択したエンドポイントのFIFOに書き込みます。FIFOのデータは書き込み順にデータパケットとして送信されます。FIFOがフルになると、ポートインタフェースは自動的に一時停止してフロー制御を行います。CPU_JoinWrレジスタおよび、DMA_Joinレジスタにより、CPUインタフェースとポートインタフェースとを同じエンドポイントへの書き込みに設定しないでください。また、CPU_JoinWrレジスタによりOUT方向のエンドポイントに書き込み設定する場合、ForceNAKビットをセットするなどして、確実にOUTトランザクションのデータ受信をしない状態にしてから、データ書き込みを行ってください。

ポートインタフェースによる、OUT方向のエンドポイントへのデータ書き込みは行えません。FIFOに最大パケットサイズ以上のデータがあれば、INトランザクションに自動的に応答して、データを送信できます。したがって、ファームウェアは個々のトランザクションについての制御を行うことなく、IN転送を行うことができます。ただし、データ転送の最後にショートパケットを送信する必要がある場合、EnShortPktビットをセットしてください。このビットはショートパケットを送信したINトランザクションが完結することによってクリアされますので、FIFOへのデータ書き込みが終了した時点でセットすることが可能です。また、DMA_Join.AutoEnShortビットがセットされていると、ポートインタフェースからの書き込みが終了したときに、マックスパケットサイズに満たない端数データがFIFOにあると、そのエンドポイントのEPx{x=a,b,c,d}Control.EnShortPktビットを自動的にセットします。この機能を使用することにより、データ長ゼロのパケットは返さず、データ長ゼロでないショートパケットのみを返す制御を自動的に行うことができます。

図VI.2.8にIN転送のデータフローのようすを示します。INのエンドポイントのFIFOがポートインタフェースに結合されています。また、このエンドポイントに対し、マックスパケットサイズの倍サイズのFIFO領域を割り当てているものとします。

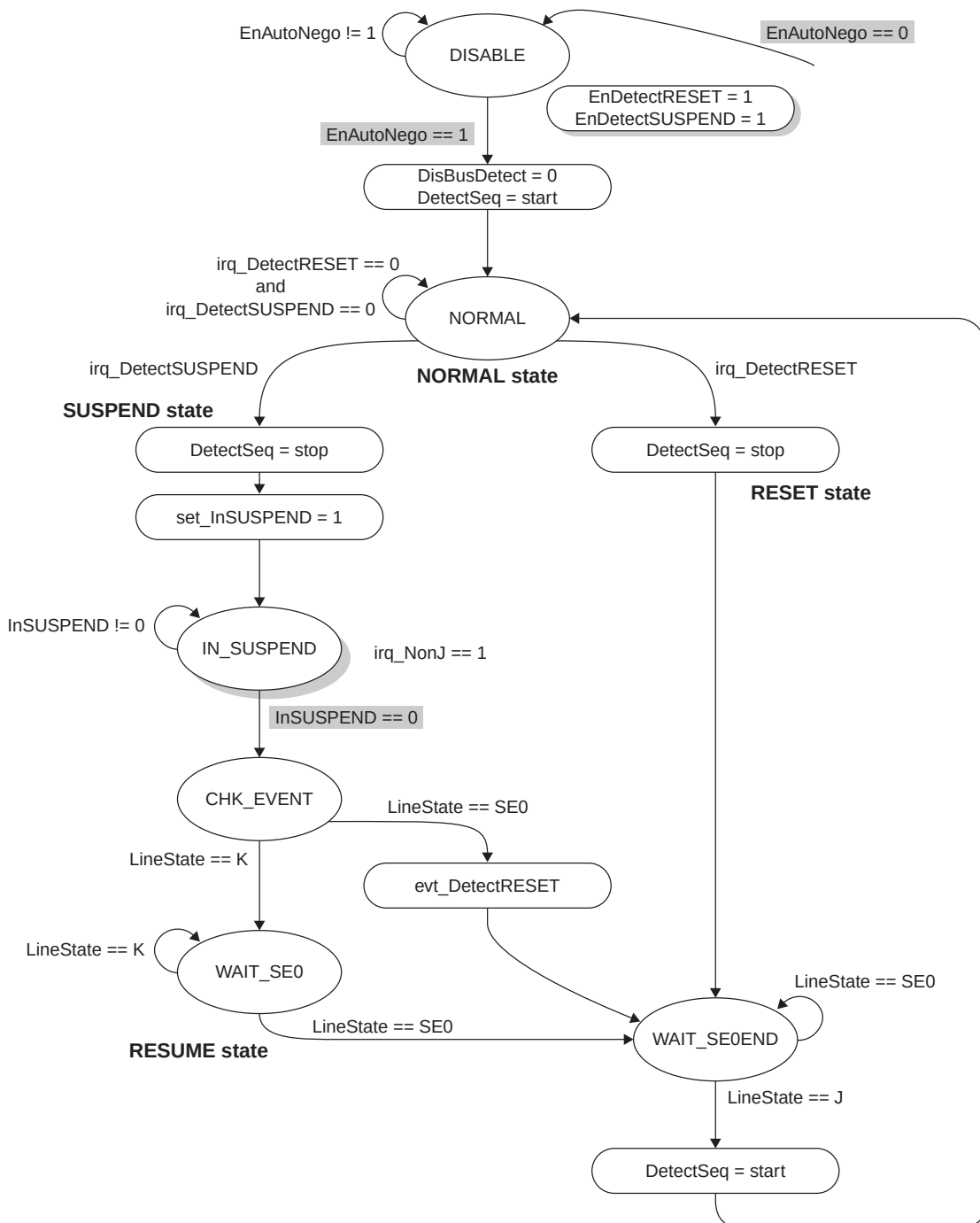


図VI.2.8 IN転送のデータフロー例

- (U1) 1回目のINトランザクションでは、FIFOに最大パケットサイズ分の有効なデータがないため、NAK応答しています。
- (U2) 2回目のINトランザクションで、最大パケットサイズのデータ転送を行っています。
- (U3) 3回目のINトランザクションで、最大パケットサイズのデータ転送を行っています。
- (F1) FIFOが空の状態です。
- (F2) ポート転送が開始され、FIFOに有効データが書き込まれます。(#DMAREQ3信号がアサートされます。)
- (F3) FIFOに空き領域があるため、ポート転送が継続しています。
- (F4) FIFOに最大パケットサイズ分の有効データがあるので、INトランザクションに応答して、データパケットを送信しています。トランザクションが完結していないので、送信した分の領域は開放されません。FIFOがフルになり、ポート転送が停止しています。(#DMAREQ3信号がネゲートされます。)
- (F5) INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されません。ポート転送は停止したままです。
- (F6) ACKハンドシェイクパケットを受信してトランザクションが完結することにより、FIFOの領域が開放されます。
- (F7) FIFOに空き領域ができたため、ポート転送を再開します。(#DMAREQ3信号をアサートします。)
- (F8) INトランザクションに응答して、データパケットを送信しています。FIFOには空き領域があるため、ポート転送は動作し続けています。
- (F9) INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されません。FIFOには空き領域があるため、ポート転送は動作し続けています。
- (F10) ACKハンドシェイクパケットを受信してトランザクションが完結することにより、FIFOの領域が開放されます。空き領域がなくなったためにポート転送は一時停止しますが、INトランザクションの完結により空き領域ができたために再開しています。

■オートネゴシエーション機能

サスペンド検出、リセット検出、レジューム検出、リストア実行をUSBバスの状態を逐次チェックしながら自動的行います。実際に何が行われたかは、各割り込み(DetectRESET、DetectSUSPEND、RestoreCmp)をチェックすることにより確認することができます。



図VI.2.9 オートネゴシエータ

(1) DISABLE

USB_Control.EnAutoNegoビットをクリアしているときに、このステートに入ります。

オートネゴシエーション機能を有効にするときには、USB_Control.EnAutoNegoビットをセットする前にリセット検出割り込み(SIE_IntEnb.EnDetectRESET)、サスペンド検出割り込み(SIE_IntEnb.EnDetectSUSPEND)をセットし、イベント検出割り込みを許可してください。

オートネゴシエーション機能を有効にすると、USB_Control.DisBusDetectビットを自動的にクリアし、イベント検出機能を有効にします。オートネゴシエーション機能を有効にしている間は、USB_Control.DisBusDetectビットを絶対にセットしないでください。

(2) NORMAL

リセット検出待ち、サスペンド検出待ちをするステートです。

2.5 μ s以上のSE0が検出された場合はリセット、3ms以上アクティビティが検出できなかった場合はサスペンドと判断します。これらの判断と同時に、リセット検出割り込み、またはサスペンド検出割り込みが発生し、SIE_IntStat.DetectRESETビット、またはSIE_IntStat.DetectSUSPENDビットがセットされます。

サスペンドと判断した場合、一旦イベント検出機能を停止し、IN_SUSPENDステートに入ります。

(3) IN_SUSPEND

サスペンドと判断された場合、ハードウェアによってUSB_Control.InSUSPENDビットが自動的にセットされ、IN_SUSPENDステートに入ります。このUSB_Control.InSUSPENDビットによって、FS-Jからのバスの遷移を検出する機能が有効になり、ホストからのレジューム、リセットのみを検出するようになります。

サスペンド中に実際に消費電流を軽減するかどうかは、アプリケーションに依存します。本コントローラは、消費電流を軽減するためのスヌーズ機能を持っています。オートネゴシエーション機能が有効時にこのスヌーズ機能を使用する場合は、必ずUSB_Control.InSUSPENDビットがセットされたことを確認してから、スヌーズ機能をイネーブルにしてください。

また、スヌーズ状態になった後、サスペンド終了指示であるレジューム(FS-K)を検出するために、ファームウェアにてSIE_IntEnb.EnNonJビットをセットし、NonJ割り込みを許可してください。

NonJ割り込みステータス(SIE_IntStat.NonJ)がセットされた場合、サスペンドからの復帰指示であると判断し、USB_Control.InSUSPENDビットをファームウェアにてクリアすると、CHK_EVENTステートに入ります。

リモートウェイクアップ機能を有効にしているアプリケーションで、サスペンドから復帰する必要があると判断される場合には、このステートの中でUSB_Control.SendWakeUpビットをセットし、1ms以上、15ms以下の間FS-Kを出力してください。

(4) CHK_EVENT

CHK_EVENTステートでは、本コントローラはUSB信号をチェックし、FS-Kを検出した場合にレジュームであると判断します。SE0を検出した場合はリセットであると判断します。リセットと判断した場合は、SIE_IntStat.DetectRESETビットをセットします。

なお、どのステートにおいても、USBケーブルが抜かれたことには対応していませんので、もしUSBケーブルが抜かれた場合には、すぐに、このオートネゴシエーション機能を停止してください。

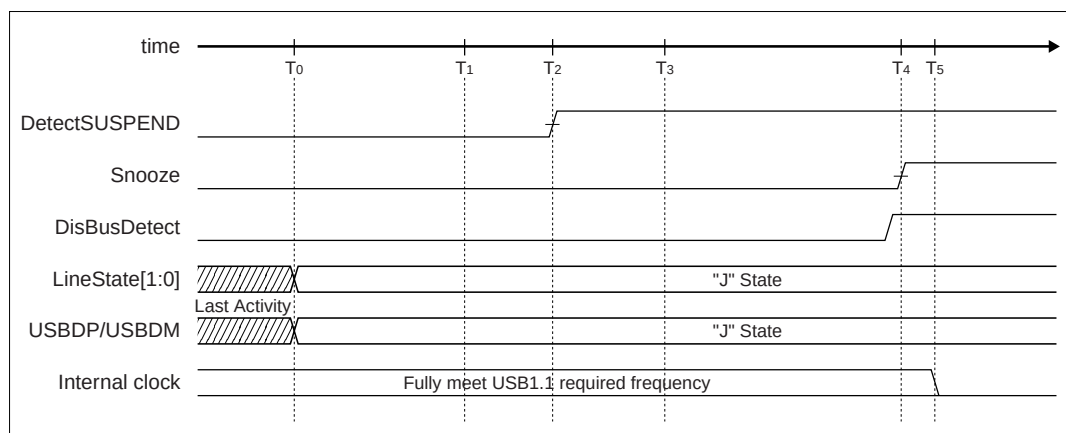
■各ネゴシエーション機能の単体説明

サスペンド検出

USB_Control.DisBusDetectビットが"0"に設定されている場合、本コントローラは以下のサスペンド検出手順を自動的に実行します。

- (1) 3ms以上、送受信がない(USB_Status.LineState[1:0]に"J"を検出し続ける)ことを内部タイマによりチェックします(T₁)。
- (2) T₂の時点で、USB_Status.LineState[1:0]に"J"を検出した場合、SIE_IntStat.DetectSUSPENDビットをセットします。
- (3) SIE_IntEnb.EnDetectSUSPEND、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

SIE_IntStat.DetectSUSPENDビットがセットされた場合、本コントローラを制御するファームウェアはUSB_Control.DisBusDetectビットとUSBSNZ(0x300F20・D5)をそれぞれ"1"にセットし、T₄までにスヌーズの処理に入ってください。ただし、セルフパワーの製品では、スヌーズしなくても構いません(図VI.2.10では、スヌーズを行ったときの動作を表しています)。



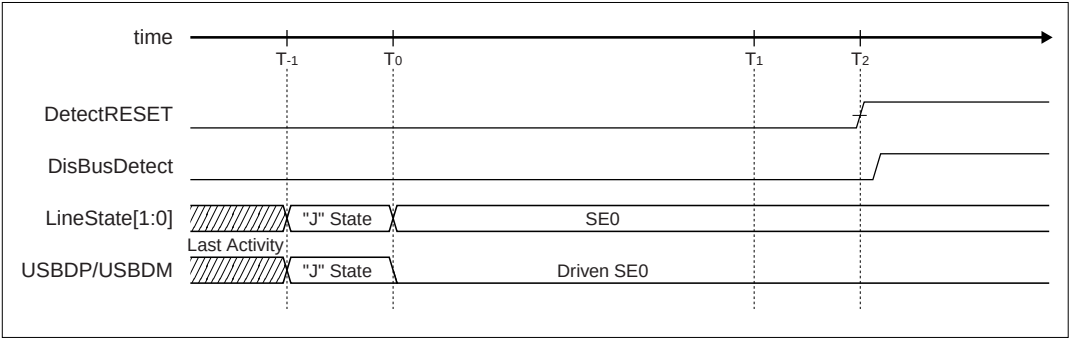
図VI.2.10 サスペンドタイミング(FSモード)

リセット検出

USB_Control.DisBusDetectビットが"0"に設定されている場合、本コントローラは以下のリセット検出手順を自動的に実行します。

- (1) 2.5 μ s以上、USB_Status.LineState[1:0]に"SE0"を検出し続けたことを内部タイマによりチェックします(T₁)。
- (2) T₂の時点で、USB_Status.LineState[1:0]に"SE0"を検出した場合、SIE_IntStat.DetectRESETビットをセットします。
- (3) SIE_IntEnb.EnDetectRESET、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

SIE_IntStat.DetectRESETビットがセットされた場合、本コントローラを制御するファームウェアはUSB_Control.DisBusDetectビットを"1"にセットしてください。



図VI.2.11 リセットタイミング(FSモード)

レジュームの発行

リモートウェイクアップがサポートされていて、かつホストからリモートウェイクアップを有効にされているときに、何らかの要因で、自らレジュームする方法を説明します。

リモートウェイクアップを行うことが可能なのは、バスがアイドルになってから5ms経過後です。さらに、レジューム信号を出力してから10ms経過以前は、USBのサスペンド状態に入る前の電流をVBUSから引き出すことはできません。

S1C33L05はUSBコントローラのスヌーズモードに対応しています。ここでは、発振回路は動作しているものとして(USBCLKEN(0x300F20•D4)="1"、スリープ状態ではない)、レジュームを発行する場合の動作を説明します。下記(3)(4)(8)(9)は本コントローラのハードウェアが自動的に処理します。(1)(2)(6)は本コントローラを制御するファームウェアで設定してください。

- (1) SIE_IntEnbEnNonJとUSBSNZ(0x300F20•D5)ビットをクリアしてください。本コントローラが自らウェイクアップするために、スヌーズから復帰させます。
- (2) USB_Control.SendWakeUpビットをセットし、レジューム信号を送出させてください。
- (3) XcvrControl.OpMode[1:0]を"Disable Bit Stuffing and NRZI encoding"に設定し、"ALL 0"のデータを送信する準備をします。
- (4) 送信を開始し、ダウンストリームポートに対し"FS K"(レジューム信号)を送出します。
- (5) ダウンストリームポートは、このレジューム信号を検出し、バス上に"FS K"(レジューム信号)を返してきます。
- (6) USB_Control.SendWakeUpビットをクリアし、レジューム信号の送出を停止させてください。その後、USB_Control.RestoreUSBビットをセットしてください。
- (7) ダウンストリームポートがレジューム信号の送出を停止します。ここで、ダウンストリームポート(ホスト)からのレジューム信号の最後にはLSのEOPが付いていることに注意してください。
- (8) USB_Control.RestoreUSBビットをクリアし、SIE_IntStat.RestoreCmpビットをセットします。
- (9) SIE_IntEnb.EnRestoreCmp、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

ここでは発振回路は動作しているものとして(USBCLKEN(0x300F20•D4)="1"、スリープ状態ではない)、その動作を説明しています。もし、スリープ状態に(発振回路を停止)させていた場合には、スヌーズ状態から復帰(USBSNZ(0x300F20•D5)ビットを"1"から"0"に設定)させる前に、OSCパワーアップ時間が必要となります。

レジュームの検出

USBのサスペンド時、バス上には"J"(USB_Status.LineState[1:0]は"J")が観測されます。バス上に"K"が観測されたときは、ダウンストリームポートからのウェイクアップの指示(レジューム)を受け取ったことになります。ここでは、USBのサスペンド時に本コントローラがスヌーズしていたことを想定し、レジュームを検出した場合の動作を説明します。本コントローラを制御するファームウェアで下記(4)と(5)を設定してください。その他の項目は本コントローラのハードウェアが自動的に処理します。

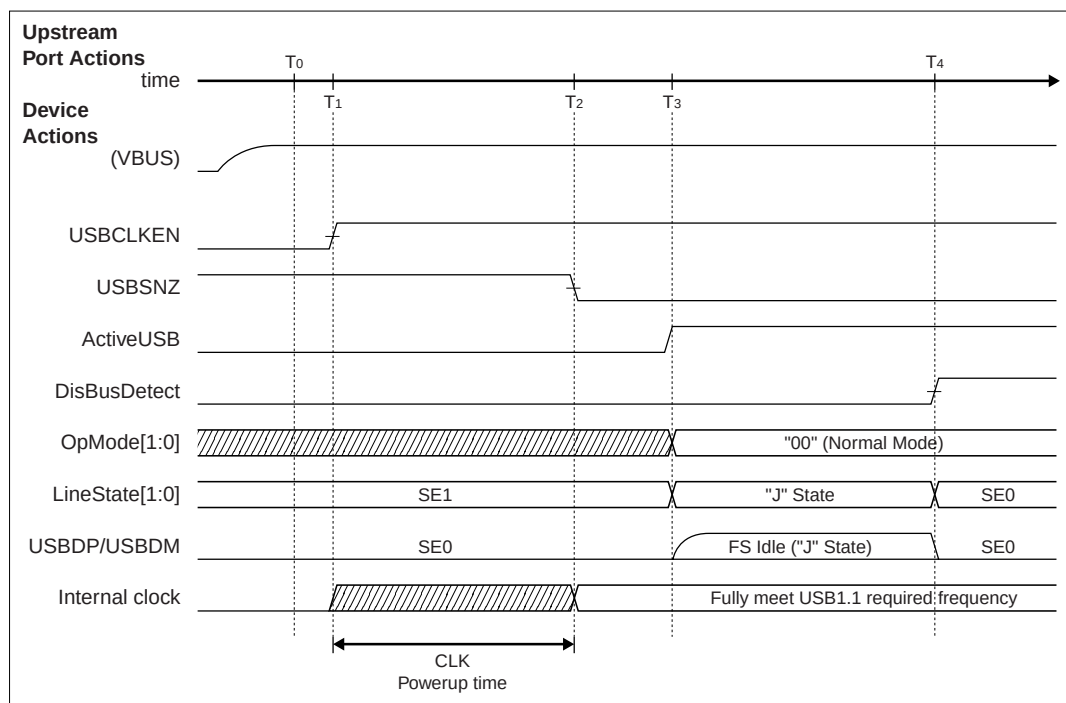
- (1) "J"から"K"にバスが遷移します。
- (2) SIE_IntStat.NonJビットをセットします。
- (3) SIE_IntEnb.EnNonJ、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。
- (4) USBSNZ(0x300F20•D5)ビットをクリアしてください。
- (5) USB_Control.RestoreUSBをセットしてください。
- (6) ダウンストリームポートが"K"の送出を停止します。
- (7) USB_Control.RestoreUSBビットをクリアし、SIE_IntStat.RestoreCmpビットをセットします。
- (8) SIE_IntEnb.EnRestoreCmp、MainIntStat.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。

ここでは、発振回路は動作しているものとして(USBCLKEN(0x300F20•D4)="1"、スリープ状態ではない)、動作を説明しています。もし、スリープ状態に(発振回路を停止)させていた場合には、スヌーズ状態から復帰(USBSNZ(0x300F20•D5)ビットを"1"から"0"に設定)させる前に、OSCパワーアップ時間も必要となります。

ケーブル挿入

ハブまたはホストに接続(ケーブルが挿入)された場合の動作は以下のとおりです。本コントローラを制御するファームウェアは、下記(3)と(4)の設定をしてください。(1)と(2)は本コントローラのハードウェアが自動的に処理します。

- (1) ケーブルが接続されるとVBUSが"H"になり、USB_Status.VBUS、SIE_IntStat.VBUS_Changedビットをセットします(T₀)。
- (2) SIE_IntEnb.EnVBUS_Changed、MainIntEnb.EnSIE_IntStatビットがセットされている場合、#INT信号をアサートします。
- (3) USBCLKEN(0x300F20・D4)ビットをセットし、USBクロックの供給を開始します(T₁)。
- (4) USBSNZ(0x300F20・D5)ビットをクリアします(T₂)。
- (5) ダウンストリームポートはリセットを送出します(T₄)。



図VI.2.12 デバイス接続タイミング

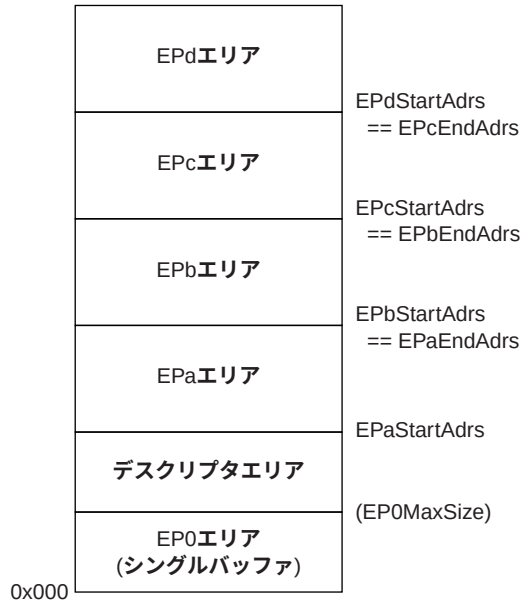
表VI.2.7 デバイス接続タイミング値

タイミングパラメータ	説明	値
T ₀	VBUSが有効です。	0 (基準)
T ₁	USBCLKENを"1"にセットします(ファームウェア)。クロックの入力を開始します。	T ₁
T ₂	USBSNZを"0"にクリアします(ファームウェア)。	T ₁ + 250 ms < T ₂
T ₄	ActiveUSBを"1"にセットします。OpMode[1:0]を"00"に設定します(ファームウェア)。	T ₀ + 100 ms < T ₃
T ₅	ダウンストリームポートからリセットが送出されます。DisBusDetectを"1"にセットします(ファームウェア)。	T ₃ + 100 ms < T ₄

FIFO管理

■FIFOメモリマップ

FIFOのメモリマップを以下に示します。



図VI.2.13 FIFOメモリマップ

FIFOのメモリは、EP0エリア、デスクリプタエリア、EPaエリア、EPbエリア、EPcエリア、EPdエリアの6つのエリアに分割でき、それぞれのエリアは、EP0MaxSizeレジスタ、EPaStartAdrsレジスタ、EPbStartAdrsレジスタ、EPcStartAdrsレジスタ、EPdStartAdrsレジスタの各レジスタ設定によって分割されます。

EP0エリアは、USBで必須のエンドポイント0に使用するエリアで、INおよびOUTの両方向に使用されます。このエリアは、FIFOの先頭に配置され、大きさはEP0MaxSizeレジスタに設定されたエンドポイント0の最大パケットサイズにより決まります。したがって、送受信できるパケットは1つのみ(シングルバッファ)となります。

EPaエリア、EPbエリア、EPcエリア、およびEPdエリアは、エンドポイント番号とINまたはOUTを設定できる汎用エンドポイントのエリアです。EPaエリアは、EPaStartAdrsレジスタに設定されたアドレスを先頭に、EPbStartAdrsレジスタにて設定されたアドレスの前までに割り付けられます。同様に、EPbエリアには、EPbStartAdrsレジスタに設定されたアドレスからEPcStartAdrsレジスタに設定されたアドレスの前までが割り当てられます。EPdエリアには、EPdStartAdrsレジスタに設定されたアドレスからFIFOの最終アドレスまでが割り当てられます。これらのエリア設定用レジスタに設定可能なアドレスは、4バイト単位に制限されています(下位2ビットは書き込み不可)。さらに、これらのエリアについては必ず、それぞれの最大パケットサイズ以上の領域を割り当ててください。最大パケットサイズ以上であれば、どのような値に設定されても問題ありませんが、整数倍に設定することを推奨します。

デスクリプタエリアは、EP0MaxSizeレジスタに設定されたアドレスを先頭に、EPaStartAdrsレジスタに設定されたアドレスの前までに配置されます(実際にはすべてのFIFO領域をデスクリプタエリアとして使用可能ですが、動作上の競合が起きるため、ここに示したエリアを推奨します)。なお、実際の使用方法については後述します。

エリア設定用レジスタを初めて設定した場合や、設定し直した場合には、EPnControl.AllFIFO_Clrビットをセットしてください。エリアの初期設定が終わりしだいEPnControl.AllFIFO_Clrビットはクリアされます。ただし、このビットによりRAM上のデータがクリアされることはありません。したがって、デスクリプタエリアを変更していなければ、エリア内に記録された情報が消えることはないため、再度設定し直す必要はありません。

■デスクリプタエリアの使用法

デスクリプタエリアは、EP0により送受信されるパケット、すなわち標準リクエストの動作の一部を簡単にかつ高速に行えるエリアです。標準リクエストのうち、デバイスで一義的に決定されるような内容を、電源投入後の初期設定時にこのエリアに書き込んでおくことにより、ホストからその内容を問うリクエストが来た場合には、データの先頭アドレスと、そのサイズを設定するだけで、あとは自動的にそのリクエストのデータステージを行います。リクエストを受け付けてからEP0エリアにデータを書き込む必要がないため、非常に高速にリクエストに応答することができます。

デスクリプタエリアへのデータの書き込み

デスクリプタエリアへデータを書き込む場合には、まず書き込み開始アドレスをDescAdrs_HとDescAdrs_Lレジスタに設定し、DescDoorレジスタ(RegWindowSel==0x2)にデータを書き込みます。書き込み終了後、自動的にDescAdrs_H、DescAdrs_Lレジスタはインクリメント(+1)されますので、連続したアドレスにデータを書き込む場合には、DescDoorレジスタ(RegWindowSel==0x2)に続けてデータを書き込むのみで、アドレスの指定は必要ありません。なお、書き込みと読み出しを連続した場合にもアドレスはそれぞれインクリメントされてしまい、書き込んだデータは読み出せないことに注意してください。

デスクリプタエリアからのデータの読み出し

デスクリプタエリアからデータを読み出す場合には、まず読み出し開始アドレスをDescAdrs_HとDescAdrs_Lレジスタに設定し、DescDoorレジスタ(RegWindowSel==0x2)からデータを読み出します。読み出し終了後、自動的にDescAdrs_H、DescAdrs_Lレジスタはインクリメント(+1)されますので、連続したアドレスからデータを読み出す場合には、DescDoorレジスタ(RegWindowSel==0x2)から続けてデータを読み出すのみでアドレスの指定は必要ありません。なお、書き込みと読み出しを連続した場合にもアドレスはそれぞれインクリメントされてしまい、書き込んだデータは読み出せないことに注意してください。

デスクリプタエリアでのデータステージ(IN)の実行

書き込まれたデータを、EP0のリクエストにて使用する場合には、DescAdrs_H、DescAdrs_Lレジスタにデータステージに送信するデータの先頭アドレスを設定し、リクエストにて指定されたデータのサイズをDescSize_H、DescSize_Lレジスタに設定した後、EP0Control.ReplyDescriptorビットに"1"をセットします。

ホストからINトークンを受信すると、DescSize_H、DescSize_Lレジスタに設定されたデータ数を最大パケットサイズ(EP0MaxSizeにて設定)に自動的に分割しながら、ホストにデータを送信します。また、DescSize_H、DescSize_Lレジスタの値が最大パケットサイズに満たない場合や、分割した後の残りのデータ数が最大パケットサイズに満たない場合には、自動的にショートパケットとして送信します。設定されたデータ数をすべて送信し終えたところで、EP0Control.ReplyDescriptorをクリアし、EPnIntStat.DescriptorCmpがセットされます。このとき、EPnIntEnb.EnDescriptorCmpビットがセットされます。MainIntEnb.EnEPnIntStatビットがセットされている場合には、同時に#INT信号がアサートされます。

設定したデータ数まで送信する前にステータスステージに移行した場合(OUTトークンを受信した場合)には、EP0Control.ReplyDescriptorビットが自動的にクリアされ、この機能が停止します。同時に、EP0IntStat.OUT_TranNAKステータスとEPnIntStat.DescriptorCmpステータスがセットされます。このとき、

(1) EP0IntEnb.EnOUT_TranNAK、EPnIntEnb.EnEP0IntStat、MainIntEnb.EnEPnIntStatの3ビット

または

(2) EPnIntEnb.EnDescriptorCmp、MainIntEnb.EnEPnIntStatの2ビット

がセットされている場合には、同時に#INT信号がアサートされます。

■CPUによるFIFOへのアクセス方法

FIFOにCPUからアクセスする場合には、CPU_JoinRd、CPU_JoinWrレジスタのアクセスしたいエンドポイントのビットに1をセットし、EPnFIFOforCPUレジスタにて読み出し、書き込みを行います。CPU_JoinRd、CPU_JoinWrレジスタはそれぞれ、4ビット中の1ビットのみしか設定できません。複数のビットを同時にセットしようとしたときには、その中で上位のビットのみセットされます。

EPnRdRemain_H、EPnRdRemain_Lレジスタは、CPU_JoinRdにて設定されたエンドポイントから読み出し可能なデータの残り数を示します。また、EPnWrRemain_H、EPnWrRemain_Lレジスタは、CPU_JoinWrにて設定されたエンドポイントの書き込み可能なエリアの残り数を示します。

ICE等を使用したCPUのデバッグでレジスタのダンプ等を行う場合に、CPU_JoinRdレジスタをセットしていると、レジスタのダンプ時にFIFOからデータを読み出してしまうことに注意してください。

■FIFOへのアクセス制限

本コントローラのFIFOは、USBとの送受信、ポートとの送受信、CPUからの書き込み、読み出しが同時に行われます。このため、CPU(ファームウェア)からのアクセス方法(書き込み、読み出し)に2つの禁止事項があります。

- (1) USBまたはポートがFIFOへの書き込み中に、CPUから同じエンドポイントに書き込むこと
- (2) USBまたはポートがFIFOから読み出し中に、CPUから同じエンドポイントを読み出すこと

これらは、データの連続性を損なう恐れがありますので、絶対に行わないでください。

ポートインタフェース

■機能説明

ポートインタフェースは、本コントローラが内蔵しているエンドポイント用FIFOとの間で高速にデータ転送を行うためのDMAインタフェースです。リード/ライトストロブ信号によって転送を行う非同期DMA転送モードをサポートしています。

■基本動作説明

ここでは、ポートインタフェースの基本動作について説明します。

レジスタ設定

表VI.2.8に、ポートインタフェースの基本設定項目レジスタを示します。各レジスタに適切な値を設定してください。DMA_Joinレジスタの設定により、ポートインタフェースをUSBのIN方向に設定されたエンドポイントと接続した場合は、DMAの書き込み動作になります。また、OUT方向に設定されたエンドポイントと接続した場合は、DMAの読み出し動作になります。

DMA転送中(DMA_Control.DMA_Runningが"1"のとき)は、基本設定用レジスタを書き換えないようにしてください。DMA転送中に基本設定用レジスタを書き換えた場合の動作は保証できません。

表VI.2.8 ポートインタフェースの基本設定用レジスタ

項 目	レジスタ/ビット	説 明
エンドポイント接続	DMA_Join.JoinEPr{r=a,b,c,d}DMA	"1"をセットしたビットのエンドポイントとポートインタフェースを接続します。接続したエンドポイントに対して書き込み/読み出しが可能になります。
カウンタセット	DMA_Count_r{r=HH,HL,LH,LL}	カウントダウンモードのとき、ダウンカウントするバイト数を設定します。
アクティブポート	DMA_Config_0.ActivePort	ポートインタフェースのポートを有効にします。
アクティブレベル	DMA_Config_0.PDREQ_Level DMA_Config_0.PDACK_Level DMA_Config_0.PRQDWR_Level	ポートインタフェース信号のアクティブレベルを設定します。 0: Hアクティブ、1: Lアクティブ
RcvLimitモード	DMA_Config_1.RcvLimitMode	非同期転送書き込み動作時のみ有効です。 本ビットに"1"をセットした場合、#DMAREQ3ネグート後も、16バイトまでのデータを受け取ることが可能です。
シングル/ マルチワード	DMA_Config_1.SingleWord	非同期転送モード時の転送モードを設定します。 0: マルチワード転送、1: シングルワード転送
カウントモード	DMA_Config_1.CountMode	カウントダウン/フリーランモードを設定します。 0: フリーランモード、1: カウントダウンモード

DMA転送動作

基本設定用レジスタの設定後、DMA_Control.DMA_Goビットに"1"を書き込むことによって、ポートインタフェースはDMA動作を開始します。DMA動作を開始するとDMAが動作中であることを示すDMA_Control.DMA_Runningビットが"1"にセットされます。

DMA_Config_1.CountMode = "1"によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送は終了します。DMA_Control.DMA_Stopビットに"1"をセットすることで、DMA転送を強制的に終了させることもできます。DMA転送が終了すると、DMA_Control.DMA_Runningビットが"0"になり、MainIntStat.DMA_Cmpビットに"1"がセットされます。このとき、MainIntEnb.EnDMA_Cmpビットがセットされている場合は、CPUに対して#INT信号がアサートされます。

■非同期DMA転送モード

データ転送要求信号PDREQ(#DMAREQ3)、データ転送許可信号PDACK(#CE4)および、リードPDRD(#RD)/ライトPDWR(#WRL)信号によってデータを入出力する8ビットの非同期DMA転送です。スレーブ機能のみサポートしており、マルチワードまたはシングルワードで転送を行います。

非同期マルチワードDMA転送モード(スレーブ)

1)書き込み動作説明

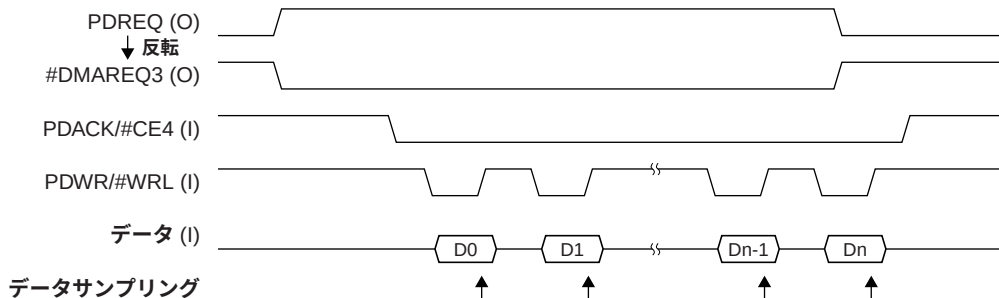
ポートインタフェースは、下記のレジスタ設定によって非同期マルチワードDMA転送モードの書き込み動作になります。

- DMA_Config_1.SingleWordビット = "0"
- 接続先エンドポイントの方向 = IN方向

ポートインタフェースは、DMA_Control.DMA_Goビットに"1"が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントに空き領域があれば、C33コア(マスタ)に対しPDREQ(#DMAREQ3)をアサートしてデータ転送を要求します。PDWR(#WRL)の立ち上がり(DMA_Config_0.PRDWR_Levelビットが"1"の場合)のタイミングでデータを取り込み、エンドポイントに書き込みます。エンドポイントの空き領域がなくなると、C33コア(マスタ)に対しPDREQ(#DMAREQ3)をネゲートしてデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送すると一旦PDREQ(#DMAREQ3)をネゲートし、130ns × N (N = DMA_Latency.DMA_Latency[3:0])の期間、PDREQ(#DMAREQ3)をアサートしません。

DMA_Config_1.CountMode = "1"によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA転送を強制的に終了させた場合には、DMA_Control.DMA_Stopビットに"1"をセットすることで、終了させることができます。もしDMA転送中、このビットへの書き込みによりDMA転送を強制終了させた場合は、転送中のデータが欠落する可能性があります。したがって、まず始めにC33コア(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。



図VI.2.14 非同期マルチワードDMA転送(書き込み)

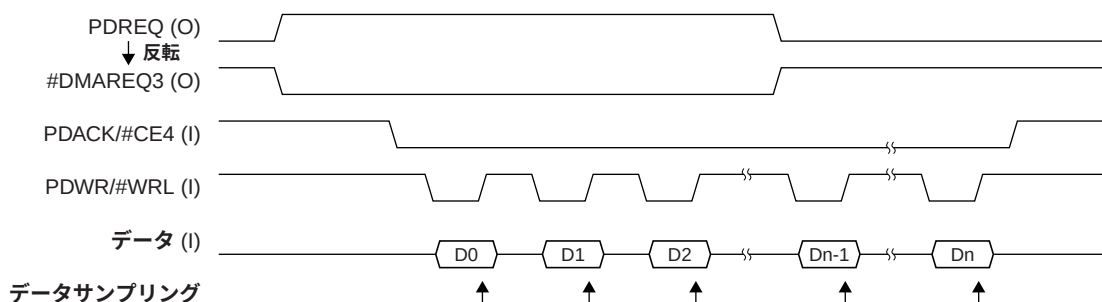
DMA_Config_1.DMA_RcvLimitビットに"1"をセットした場合は、RcvLimitモードになります。RcvLimitモードは、カウントダウンモードでは使用できません。

RcvLimitモードの非同期DMA書き込み動作時は、本コントローラがPDREQ(#DMAREQ3)をネゲートした後も、更に16バイトまでのデータを受け取ることが可能です。

本モードでは、DMAの書き込み動作によってエンドポイントの空き領域が32バイトより少なくなった時点で、PDREQ(#DMAREQ3)をネゲートします。ただし、PDREQ(#DMAREQ3)ネゲート時点では、エンドポイントに書かれていない16バイトのデータが、内部回路の中に存在する可能性があります。したがって、PDREQ(#DMAREQ3)ネゲート後に受け取れるデータは、16バイトまでとなります。

本モードでは、エンドポイントが完全にフルになる前にPDREQ(#DMAREQ3)をネゲートします。もし、EP{a,b,c,d}StartAddressレジスタで設定するエンドポイントの領域が、EP{a,b,c,d}MaxSizeレジスタで設定する値と同じ場合(シングルバッファ)には、常にエンドポイントがフルにならないため、USBのIN転送によってデータを送信することができません。

したがって、RcvLimitモードを使用する場合は、必ずEP{a,b,c,d}MaxSizeレジスタの値+32バイト以上のエリアを、EP{a,b,c,d}StartAddressレジスタで設定してください。



図VI.2.15 RcvLimitモードでの非同期マルチワードDMA転送(書き込み)

2) 読み出し動作説明

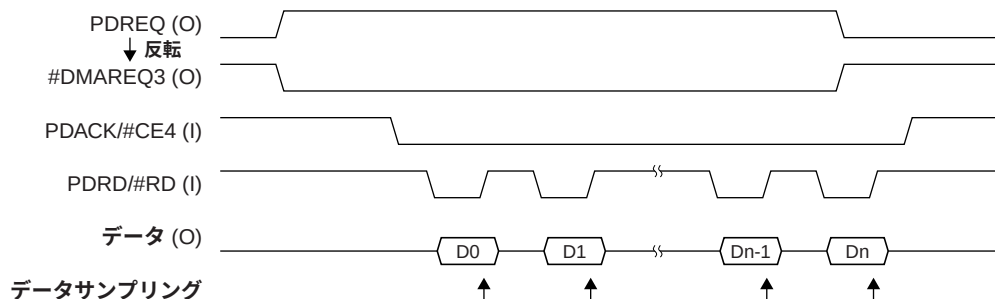
ポートインタフェースは、下記のレジスタ設定によって非同期マルチワードDMA転送モードの読み出し動作になります。

- DMA_Config_1.SingleWordビット = "0"
- 接続先エンドポイントの方向 = OUT方向

ポートインタフェースは、DMA_Control.DMA_Goビットに"1"が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントにデータが存在すれば、C33コア(マスタ)に対しPDREQ(#DMAREQ3)をアサートしてデータ転送を要求します。PDACK(#CE4)がアクティブになると転送データをデータバスに出力します。C33コア(マスタ)は、PDRD(#RD)の立ち上がり(DMA_Config_0.PDRD_Levelビットが"1"の場合)のタイミングで、データを取り込んでください。エンドポイントにデータがなくなると、C33コア(マスタ)に対しPDREQ(#DMAREQ3)をネグートしてデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送すると一旦PDREQ(#DMAREQ3)をネグートし、 $130\text{ns} \times N$ ($N = \text{DMA_Latency.DMA_Latency}[3:0]$)の期間、PDREQ(#DMAREQ3)をアサートしません。

DMA_Config_1.CountMode = "1"によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA_Control.DMA_Stopビットに"1"をセットすることで、DMA転送を強制的に終了させることもできます。もしDMA転送中、このビットへの書き込みによりDMA転送を強制終了させた場合は、転送中のデータが欠落する可能性があります。したがって、まず始めにC33コア(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。



図VI.2.16 非同期マルチワードDMA転送(読み出し)

非同期シングルワードDMA転送モード(スレーブ)

1) 書き込み動作説明

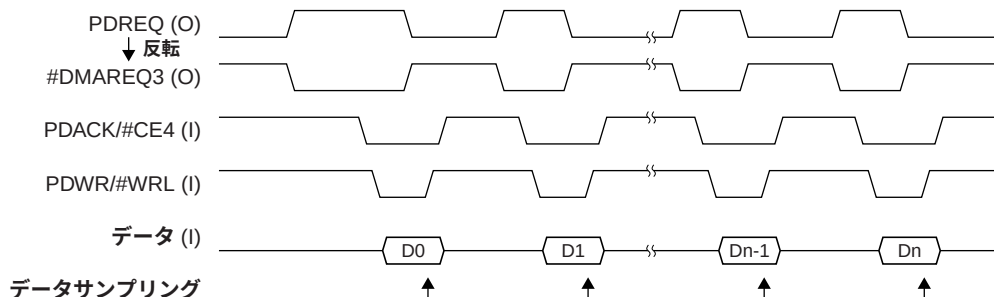
ポートインタフェースは、下記のレジスタ設定によって非同期シングルワードDMA転送モードの書き込み動作になります。

- DMA_Config_1.SingleWordビット = "1"
- 接続先エンドポイントの方向 = IN方向

ポートインタフェースは、DMA_Control.DMA_Goビットに"1"が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントに空き領域があれば、C33コア(マスタ)に対しPDREQ(#DMAREQ3)をアサートしてデータ転送を要求します。PDWR(#WRL)の立ち上がり(DMA_Config_0.PRDDR_Levelビットが"1"の場合)のタイミングで、データを取り込み、エンドポイントに書き込みます。本モードは、1バイトのデータを転送すると(PDWR(#WRL)がアクティブになると)一旦PDREQ(#DMAREQ3)をネゲートします。その時点でまだエンドポイントに空き領域があれば、C33コア(マスタ)に対しPDREQ(#DMAREQ3)をアサートしてデータ転送を要求します。エンドポイントの空き領域がない場合は、PDREQ(#DMAREQ3)をアサートせずにデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送してPDREQ(#DMAREQ3)をネゲートした後、130ns × N(N = DMA_Latency.DMA_Latency[3:0])の期間PDREQ(#DMAREQ3)をアサートしません。

DMA_Config_1.CountMode = "1"によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA_Control.DMA_Stopビットに"1"をセットすることで、DMA転送を強制的に終了させることもできます。もしDMA転送中、このビットへの書き込みによりDMA転送を強制終了させた場合は、転送中のデータが欠落する可能性があります。したがって、まず始めにC33コア(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。



図VI.2.17 非同期シングルワードDMA転送(書き込み)

2) 読み出し動作説明

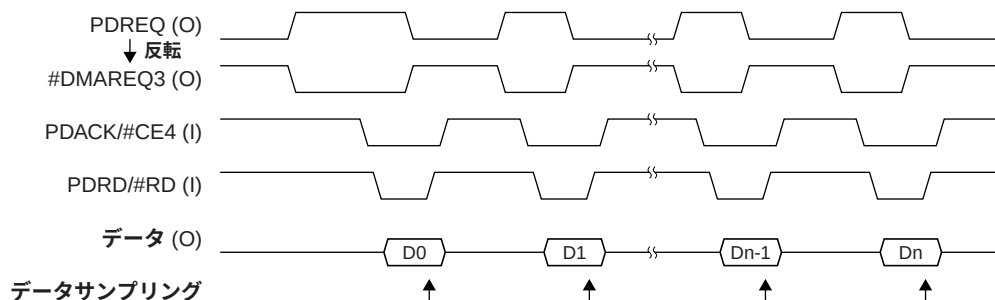
ポートインタフェースは、下記のレジスタ設定によって非同期シングルワードDMA転送モードの読み出し動作になります。

- DMA_Config_1.SingleWordビット = "1"
- 接続先エンドポイントの方向 = OUT方向

ポートインタフェースは、DMA_Control.DMA_Goビットに"1"が書き込まれるとDMA転送を開始します。DMA転送開始後、接続しているエンドポイントにデータが存在すれば、C33コア(マスタ)に対しPDREQ(#DMAREQ3)をアサートしてデータ転送を要求します。PDACK(#CE4)がアクティブになるとデータバスに転送データを出力します。C33コア(マスタ)は、PDRD(#RD)の立ち上がり(DMA_Config_0.PRDDR_Levelビットが"1"の場合)のタイミングで、データを取り込んでください。本モードは、1バイトのデータを転送すると(PDRD(#RD)がアクティブになると)一旦PDREQ(#DMAREQ3)をネゲートします。その時点でまだエンドポイントにデータが存在すれば、C33コア(マスタ)に対しPDREQ(#DMAREQ3)をアサートしてデータ転送を要求します。エンドポイントにデータがない場合は、PDREQ(#DMAREQ3)をアサートせずにデータ転送を拒否します。

DMA_Latency.DMA_Latency[3:0]ビットに0x0以外の数値が設定されている場合は、4バイトのデータを転送してPDREQ(#DMAREQ3)をネゲートした後、130ns × N(N = DMA_Latency.DMA_Latency[3:0])の期間PDREQ(#DMAREQ3)をアサートしません。

DMA_Config_1.CountMode = "1"によりカウントダウンモードに設定されていて、DMA_Count_HH、HL、LH、LLレジスタが0x00000000になるとDMA転送が終了します。DMA_Control.DMA_Stopビットに"1"をセットすることで、DMA転送を強制的に終了させることもできます。もしDMA転送中、このビットへの書き込みによりDMA転送を強制終了させた場合は、転送中のデータが欠落する可能性があります。したがって、まず始めにC33コア(マスタ)を停止させてから、本コントローラのDMA転送を終了させるようにしてください。



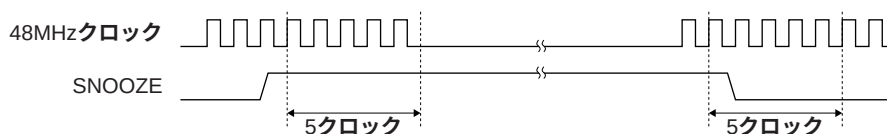
図VI.2.18 非同期シングルワードDMA転送(読み出し)

スヌーズ

本コントローラは、USBを使用しない場合の消費電流を低減させるためのスヌーズ機能を持っています。USBSNZ(0x300F20・D5)への"1"書き込みによってSNOOZE信号がアサートされると、以下のシーケンスが実行され、48MHzクロックの5クロック後にクロック入力を停止します。

- USB差動コンパレータをディセーブルにします。
- VBUS_ChangedおよびNonJレジスタへの非同期アクセスを許可します(USBインタフェース入力をモニタ可能)
- 同期レジスタへのリード/ライトをマスク
- 同期割り込みをマスク

SNOOZE信号がネゲートされると、本コントローラは48MHzクロックの5クロック後(このとき、発振が安定している必要があります)に動作を再開します。



図VI.2.19 スヌーズシーケンス

レジスタ

レジスタ一覧

・ *Italic & bold* 書体で記述されているビットはサスペンド時も読み書き可能です。

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
1000000	MainIntStat	R/(W)	0x00	<i>SIE_IntStat</i>	EPrintStat	DMA_IntStat	FIFO_IntStat			EP0IntStat	RcvEP0SETUP
1000001	SIE_IntStat	R/(W)	0x00	<i>VBUS_Changed</i>	NonJ	DetectReset	DetectSuspend	RcvSOF	DetectJ		SetAddressCmp
1000002	EPrintStat	R	0x00					EPdIntStat	EPcIntStat	EPbIntStat	EPrintStat
1000003	DMA_IntStat	R/(W)	0x00							DMA_CountUp	DMA_Cmp
1000004	FIFO_IntStat	R/(W)	0x00	DescriptorCmp						FIFO_IN_Cmp	FIFO_OUT_Cmp
1000005											
1000006											
1000007	EP0IntStat	R/(W)	0x00			IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
1000008	EPaIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
1000009	EPbIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
100000A	EPcIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
100000B	EPdIntStat	R/(W)	0x00		OUT_ShortACK	IN_TranACK	OUT_TranACK	IN_TranNAK	OUT_TranNAK	IN_TranErr	OUT_TranErr
100000C											
100000D											
100000E											
100000F											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
1000010	MainIntEnb	R/W	0x00	<i>EnSIE_IntStat</i>	EnEPrintStat	EnDMA_IntStat	EnFIFO_IntStat			EnEP0IntStat	EnRcvEP0SETUP
1000011	SIE_IntEnb	R/W	0x00	<i>EnVBUS_Changed</i>	EnNonJ	EnDetectReset	EnDetectSuspend	EnRcvSOF	EnDetectJ		EnSetAddressCmp
1000012	EPrintEnb	R/W	0x00					EnEPdIntStat	EnEPcIntStat	EnEPbIntStat	EnEPrintStat
1000013	DMA_IntEnb	R/W	0x00							EnDMA_CountUp	EnDMA_Cmp
1000014	FIFO_IntEnb	R/W	0x00	EnDescriptorCmp						EnFIFO_IN_Cmp	EnFIFO_OUT_Cmp
1000015											
1000016											
1000017	EP0IntEnb	R/W	0x00			EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
1000018	EPaIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
1000019	EPbIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
100001A	EPcIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
100001B	EPdIntEnb	R/W	0x00		EnOUT_ShortACK	EnIN_TranACK	EnOUT_TranACK	EnIN_TranNAK	EnOUT_TranNAK	EnIN_TranErr	EnOUT_TranErr
100001C											
100001D											
100001E											
100001F											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
1000020	RevisionNum	R	0x12	<i>Revision Number[7:0]</i>							
1000021	USB_Control	R/W	0x00	DisBusDetect	EnAutoNego	InSUSPEND	StartDetectJ	SendWakeup			ActiveUSB
1000022	USB_Status	R	0xFF	<i>VBUS</i>	<i>1(FS)</i>					<i>LineState[1:0]</i>	
1000023	XcvrControl	R/W	0x81	RpuEnb						<i>OpMode[1:0]</i>	
1000024	USB_Test	R/W	0x00	EnUSB_Test				Test_SE0_NAK	Test_J	Test_K	Test_Packet
1000025	EPnControl	W	0x00	AllForceNAK	EPnForceSTALL	AllFIFO_Clr					EP0FIFO_Clr
1000026	EPnFIFO_Clr	W	0x00					EPdFIFO_Clr	EPcFIFO_Clr	EPbFIFO_Clr	EPaFIFO_Clr
1000027											
1000028											
1000029											
100002A											
100002B											
100002C											
100002D											
100002E	FrameNumber_H	R	0x80	FnInvalid						FrameNumber[10:8]	
100002F	FrameNumber_L	R	0x00							FrameNumber[7:0]	

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
1000030	EP0Setup_0	R	0x00								
1000031	EP0Setup_1	R	0x00								
1000032	EP0Setup_2	R	0x00								
1000033	EP0Setup_3	R	0x00								
1000034	EP0Setup_4	R	0x00								
1000035	EP0Setup_5	R	0x00								
1000036	EP0Setup_6	R	0x00								
1000037	EP0Setup_7	R	0x00								
1000038	USB_Address	R/W	0x00	AutoSetAddress	USB_Address[6:0]						
1000039	EP0Control	R/W	0x00	INxOUT							ReplyDescriptor
100003A	EP0ControlIN	R/W	0x00		EnShortPkt		ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
100003B	EP0ControlOUT	R/W	0x00	AutoForceNAK			ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
100003C											
100003D											
100003E											
100003F	EP0MaxSize	R/W	0x08								

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
1000040	EPaControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
1000041	EPbControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
1000042	EPcControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
1000043	EPdControl	R/W	0x00	AutoForceNAK	EnShortPkt	DisAF_NAK_Short	ToggleStat	ToggleSet	ToggleClr	ForceNAK	ForceSTALL
1000044											
1000045											
1000046											
1000047											
1000048											
1000049											
100004A											
100004B											
100004C											
100004D											
100004E											
100004F											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
1000050	EPaMaxSize_H	R/W	0x00							EPaMaxSize[9:8]	
1000051	EPaMaxSize_L	R/W	0x00	EPaMaxSize[7:0]							
1000052	EPaConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint			EndPointNumber[3:0]		
1000053	EPaConfig_1	R/W	0x00	ISO	ISO_CRCmode						
1000054	EPbMaxSize_H	R/W	0x00							EPbMaxSize[9:8]	
1000055	EPbMaxSize_L	R/W	0x00	EPbMaxSize[7:0]							
1000056	EPbConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint			EndPointNumber[3:0]		
1000057	EPbConfig_1	R/W	0x00	ISO	ISO_CRCmode						
1000058	EPcMaxSize_H	R/W	0x00							EPcMaxSize[9:8]	
1000059	EPcMaxSize_L	R/W	0x00	EPcMaxSize[7:0]							
100005A	EPcConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint			EndPointNumber[3:0]		
100005B	EPcConfig_1	R/W	0x00	ISO	ISO_CRCmode						
100005C	EPdMaxSize_H	R/W	0x00							EPdMaxSize[9:8]	
100005D	EPdMaxSize_L	R/W	0x00	EPdMaxSize[7:0]							
100005E	EPdConfig_0	R/W	0x00	INxOUT	ToggleMode	EnEndPoint			EndPointNumber[3:0]		
100005F	EPdConfig_1	R/W	0x00	ISO	ISO_CRCmode						

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
1000070	EPaStartAdrs_H	R/W	0x00						EPaStartAdrs[11:8]		
1000071	EPaStartAdrs_L	R/W	0x00	EPaStartAdrs[7:2]							
1000072	EPbStartAdrs_H	R/W	0x00						EPbStartAdrs[11:8]		
1000073	EPbStartAdrs_L	R/W	0x00	EPbStartAdrs[7:2]							
1000074	EPcStartAdrs_H	R/W	0x00						EPcStartAdrs[11:8]		
1000075	EPcStartAdrs_L	R/W	0x00	EPcStartAdrs[7:2]							
1000076	EPdStartAdrs_H	R/W	0x00						EPdStartAdrs[11:8]		
1000077	EPdStartAdrs_L	R/W	0x00	EPdStartAdrs[7:2]							
1000078											
1000079											
100007A											
100007B											
100007C											
100007D											
100007E											
100007F											

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0
1000080	CPU_JoinRd	R/W	0x00					JoinEPdRd	JoinEPcRd	JoinEPbRd	JoinEPaRd
1000081	CPU_JoinWr	R/W	0x00					JoinEPdWr	JoinEPcWr	JoinEPbWr	JoinEPaWr
1000082	EnEPnFIFO_Access	R/W	0x00							EnEPnFIFO_Wr	EnEPnFIFO_Rd
1000083	EPnFIFOforCPU	R/W	0xXX	EPnFIFOdata[7:0]							
1000084	EPnRdRemain_H	R	0x00						EPnRdRemain[11:8]		
1000085	EPnRdRemain_L	R	0x00	EPnRdRemain[7:0]							
1000086	EPnWrRemain_H	R	0x00						EPnWrRemain[11:8]		
1000087	EPnWrRemain_L	R	0x00	EPnWrRemain[7:0]							
1000088	DescAdrs_H	R/W	0x00						DescAdrs[11:8]		
1000089	DescAdrs_L	R/W	0x00	DescAdrs[7:0]							
100008A	DescSize_H	R/W	0x00							DescSize[9:8]	
100008B	DescSize_L	R/W	0x00	DescSize[7:0]							
100008C											
100008D											
100008E											
100008F	DescDoor	R/W	0x00	DescMode[7:0]							

VI-2 USBブロック: USBファンクションコントローラ

アドレス	レジスタ名	R/W	Init	D7	D6	D5	D4	D3	D2	D1	D0		
1000090	DMA_FIFO_Control	R/W	0x00	FIFO_Running	AutoEnShort								
1000091	DMA_Join	R/W	0x00					JoinEPdDMA	JoinEPcDMA	JoinEPbDMA	JoinEPaDMA		
1000092	DMA_Control	R/W	0x00	DMA_Running	PDREQ	PDACK		CounterClr		DMA_Stop	DMA_Go		
1000093													
1000094	DMA_Config_0	R/W	0x00	ActivePort				PDREQ_Level	PDACK_Level	PDRDWR_Level			
1000095	DMA_Config_1	R/W	0x00	RcvLimitMode				SingleWord			CountMode		
1000096													
1000097	DMA_Latency	R/W	0x00						DMA_Latency[3:0]				
1000098	DMA_Remain_H	R	0x00						DMA_Remain[11:8]				
1000099	DMA_Remain_L	R	0x00	DMA_Remain[7:0]									
100009A													
100009B													
100009C	DMA_Count_HH	R/W	0x00	DMA_Count[31:24]									
100009D	DMA_Count_HL	R/W	0x00	DMA_Count[23:16]									
100009E	DMA_Count_LH	R/W	0x00	DMA_Count[15:8]									
100009F	DMA_Count_LL	R/W	0x00	DMA_Count[7:0]									

レジスタ詳細説明

0x1000000 MainIntStat (Main Interrupt Status)

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈
MainIntStat (Main interrupt status)	1000000 (B)	D7	SIE_IntStat	1	SIE interrupts	0	None	0	R	
		D6	EPrintStat	1	EPri interrupts	0	None	0	R	
		D5	DMA_IntStat	1	DMA interrupts	0	None	0	R	
		D4	FIFO_IntStat	1	FIFO interrupts	0	None	0	R	
		D3-2	-		-	-	-	-	-	0 when being read.
		D1	EP0IntStat	1	EP0 interrupts	0	None	0	R	
		D0	RcvEP0SETUP	1	Receive EP0 SETUP	0	None	0	R(W)	

本コントローラの割り込み要因を表示します。このレジスタには割り込み要因を間接的に参照するビットと直接参照するビットがあります。

割り込み要因を間接参照するビットは、それぞれに対応する割り込みステータスレジスタを読み出すことにより、割り込み要因を直接参照するビットまでたどることができます。割り込み要因を間接参照するビットはリードオンリーで、大元の割り込み要因を直接参照するビットをクリアすることにより、自動的にクリアされます。割り込み要因を直接参照するビットは、書き込みが可能であり、該当ビットに"1"をセットすることにより、割り込み要因をクリアすることができます。MainIntEnbレジスタにより、対応するビットの割り込みが許可されている場合は、割り込み要因が"1"にセットされると#INT信号がアサートされ、CPUに対して割り込みが発生します。該当する割り込み要因がすべてクリアされると、#INT端子がネゲートされます。

D7 SIE_IntStat

割り込み要因の状態を間接的に示します。

SIE_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するSIE_IntEnbレジスタのビットがイネーブルに設定されていると"1"にセットされます。このビットは、スヌーズ中も読み出し可能です。

D6 EPrIntStat

割り込み要因の状態を間接的に示します。

EPrIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPrIntEnbレジスタのビットがイネーブルに設定されていると"1"にセットされます。

D5 DMA_IntStat

割り込み要因の状態を間接的に示します。

DMA_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するDMA_IntEnbレジスタのビットがイネーブルに設定されていると"1"にセットされます。

D4 FIFO_IntStat

割り込み要因の状態を間接的に示します。

FIFO_IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するFIFO_IntEnbレジスタのビットがイネーブルに設定されていると"1"にセットされます。

D3~D2 Reserved

D1 EP0IntStat

割り込み要因の状態を間接的に示します。

EP0IntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEP0IntEnbレジスタのビットがイネーブルに設定されていると"1"にセットされます。

D0 RcvEP0SETUP

割り込み要因の状態を直接示します。

セットアップステージが終了し、受信したデータがEP0Setup_0~EP0Setup_7レジスタに格納されると、"1"にセットされます。同時にEP0ControlIN、EP0ControlOUTレジスタのForceSTALLビットが"0"に、ForceNAKビットとToggleStatビットが"1"に、自動的に設定されます。

0x1000001 SIE_IntStat (SIE Interrupt Status)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈	
SIE_IntStat (SIE interrupt status)	1000001 (B)	D7	VBUS_Changed	1	VBUS is changed	0	None	0	R(W)	0 when being read
		D6	NonJ	1	Detect non J state	0	None	0	R(W)	
		D5	DetectReset	1	Detect USB reset	0	None	0	R(W)	
		D4	DetectSuspend	1	Detect USB suspend	0	None	0	R(W)	
		D3	RcvSOF	1	Receive SOF token	0	None	0	R(W)	
		D2	DetectJ	1	Detect J state	0	None	0	R(W)	
		D1	—	—			—	—	—	
		D0	SetAddressCmp	1	AutoSetAddress complete	0	None	0	R(W)	

SIE関連の割り込みを表示します。

D7 VBUS_Changed

割り込み要因の状態を直接示します。

VBUS端子の状態が変化したときに"1"にセットされます。

USB_StatusレジスタのVBUSビットによってVBUSの状態を確認してください。VBUSが"0"であれば、ケーブルが抜かれたことを示します。このビットはスヌーズ中も有効です。

D6 NonJ

割り込み要因の状態を直接示します。

USBバス上でJステート以外の状態を検出すると"1"にセットされます。このビットは、USB_ControlレジスタのInSUSPENDビットが"1"にセットされているときに有効です。

D5 DetectReset

割り込み要因の状態を直接示します。

USBのリセットステートを検出すると"1"にセットされます。このリセット検出は、USB_ControlレジスタのActiveUSBビットが"1"にセットされているときに有効です。

オートネゴシエーション機能を使用しない場合には、このビットが"1"にセットされた場合、継続するリセットを誤検出しないよう、USB_ControlレジスタのDisBusDetectビットを"1"にセットしてUSBのリセット/サスペンドステートの検出を無効にしてください。リセットに対する処理終了後にDisBusDetectビットを"0"にクリアしてUSBのリセット/サスペンドステートの検出を有効にしてください。

オートネゴシエーション機能については、USB_ControlレジスタのEnAutoNegoビットの説明を参照してください。

D4 DetectSuspend

割り込み要因の状態を直接示します。

USBのサスペンドステートを検出すると"1"にセットされます。

USBサスペンドステートの検出後は、マクロコントロールレジスタのUSBSNZビットを"1"にセットすることにより、本コントローラをスヌーズモード(内蔵PLLを停止)にすることができます。

D3 RcvSOF

割り込み要因の状態を直接示します。

SOFトークンを受信すると"1"にセットされます。

D2 DetectJ

割り込み要因の状態を直接示します。

Jステートを検出すると"1"にセットされます。

D1 Reserved**D0 SetAddressCmp**

割り込み要因の状態を直接示します。

AutoSetAddress機能(USB_Addressレジスタ)が正常終了したときに"1"にセットされます。

AutoSetAddress機能が正常終了するのは、INトランザクションにACK応答した場合です。

0x1000002 EPrintStat (EPr Interrupt Status)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈
EPrintStat (EPr interrupt status)	1000002 (B)	D7-4	—	—			—	—	0 when being read.
		D3	EPdIntStat	1	EPd interrupt	0	None	0	R
		D2	EPcIntStat	1	EPc interrupt	0	None	0	R
		D1	EPbIntStat	1	EPb interrupt	0	None	0	R
		D0	EPaIntStat	1	EPa interrupt	0	None	0	R

D7-D4 Reserved

D3 EPdIntStat

割り込み要因の状態を間接的に示します。

EPdIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPdIntEnbレジスタのビットがイネーブルに設定されているとき、"1"にセットされます。

D2 EPcIntStat

割り込み要因の状態を間接的に示します。

EPcIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPcIntEnbレジスタのビットがイネーブルに設定されているとき、"1"にセットされます。

D1 EPbIntStat

割り込み要因の状態を間接的に示します。

EPbIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPbIntEnbレジスタのビットがイネーブルに設定されているとき、"1"にセットされます。

D0 EPaIntStat

割り込み要因の状態を間接的に示します。

EPaIntStatレジスタに登録されている割り込み要因が発生し、かつその割り込み要因に対応するEPaIntEnbレジスタのビットがイネーブルに設定されているとき、"1"にセットされます。

0x1000003 DMA_IntStat (DMA Interrupt Status)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈
DMA_IntStat (DMA interrupt status)	1000003 (B)	D7-2	—	—			—	—	0 when being read.
		D1	DMA_CountUp	1	DMA counter overflow	0	None	0	R(W)
		D0	DMA_Cmp	1	DMA complete	0	None	0	R(W)

DMA割り込みの状態を示します。

D7-D2 Reserved

D1 DMA_CountUp

割り込み要因の状態を直接示します。
DMAがフリーランモードで動作中にDMA_Count_HH、HL、LH、LLがオーバーフローすると"1"に
セットされます。その後、DMA_Count_HH、HL、LH、LLは"0"に戻り、DMA動作も継続します。

D0 DMA_Cmp

割り込み要因の状態を直接示します。
DMAが停止した場合、あるいは指定数の転送が終了し、処理が完了した場合に"1"にセットされ
ます。

0x1000004 FIFO_IntStat (FIFO Interrupt Status)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈	
FIFO_IntStat (FIFO interrupt status)	1000004 (B)	D7	DescriptorCmp	1	Descriptor complete	0	None	0	R(W)	
		D6–2	–		–			–	–	0 when being read.
		D1	FIFO_IN_Cmp	1	IN FIFO Complete	0	None	0	R(W)	
		D0	FIFO_OUT_Cmp	1	OUT FIFO complete	0	None	0	R(W)	

FIFO割り込みの状態を示します。

D7 DescriptorCmp

割り込み要因の状態を直接示します。
デスクリプタ返信機能において、DescriptorSizeレジスタの設定数のデータを返信し終わると"1"にセットされます。
また、DescriptorSizeレジスタの設定数までデータを送信する前にステータスステージへ移行(OUTトークンを受信)した場合には、EP0IntStatレジスタのOUT_TransNAKビットと共に"1"にセットされます。

D6–D2 Reserved

D1 FIFO_IN_Cmp

割り込み要因の状態を直接示します。
DMAにバインドされている(DMA_Joinレジスタ参照)エンドポイントがIN方向の場合、DMA転送が終了した後にFIFOが空になると"1"にセットされます。

D0 FIFO_OUT_Cmp

割り込み要因の状態を直接示します。
DMAにバインドされている(DMA_Joinレジスタ参照)エンドポイントがOUT方向の場合、DMA転送が終了すると"1"にセットされます。

0x1000007 EP0IntStat (EP0 Interrupt Status)

レジスタ名	アドレス	ビット	名 称	設 定		Init.	R/W	注 釈
EP0IntStat (EP0 interrupt status)	1000007 (B)	D7-6	–	–		–	–	0 when being read.
		D5	IN_TrانACK	1	In transaction ACK	0	None	0 R(W)
		D4	OUT_TrانACK	1	Out transaction ACK	0	None	0 R(W)
		D3	IN_TrانNAK	1	In transaction NAK	0	None	0 R(W)
		D2	OUT_TrانNAK	1	Out transaction NAK	0	None	0 R(W)
		D1	IN_TrانErr	1	In transaction error	0	None	0 R(W)
		D0	OUT_TrانErr	1	Out transaction error	0	None	0 R(W)

エンドポイントEP0の割り込みステータスを表示します。

D7-D6 Reserved**D5 IN_TrانACK**

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、"1"にセットされます。

D4 OUT_TrانACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、"1"にセットされます。

D3 IN_TrانNAK

割り込み要因の状態を直接示します。

INトランザクションでNAKを返信したとき、"1"にセットされます。

D2 OUT_TrانNAK

割り込み要因の状態を直接示します。

OUTトランザクションに対してNAKを返信したとき、"1"にセットされます。

D1 IN_TrانErr

割り込み要因の状態を直接示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に"1"にセットされます。

D0 OUT_TrانErr

割り込み要因の状態を直接示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に"1"にセットされます。

0x1000008 EPaintStat (EPa Interrupt Status)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈
EPaintStat (EPa interrupt status)	1000008 (B)	D7	—	—			—	—	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)

エンドポイントEPaの割り込みステータスを表示します。

D7 Reserved**D6 OUT_ShortACK**

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に"1"にセットされます。

D5 IN_TranACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、"1"にセットされます。

D4 OUT_TranACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、"1"にセットされます。

D3 IN_TranNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、"1"にセットされます。

D2 OUT_TranNAK

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、"1"にセットされます。

D1 IN_TranErr

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に"1"にセットされます。

D0 OUT_TranErr

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に"1"にセットされます。

0x1000009 EPbIntStat (EPb Interrupt Status)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
EPbIntStat (EPb interrupt status)	1000009 (B)	D7	—	—				—	—	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)	

エンドポイントEPbの割り込みステータスを表示します。

D7 Reserved**D6 OUT_ShortACK**

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に"1"にセットされます。

D5 IN_TranACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、"1"にセットされます。

D4 OUT_TranACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、"1"にセットされます。

D3 IN_TranNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、"1"にセットされます。

D2 OUT_TranNAK

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、"1"にセットされます。

D1 IN_TranErr

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に"1"にセットされます。

D0 OUT_TranErr

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に"1"にセットされます。

0x100000A EPcIntStat (EPc Interrupt Status)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈
EPcIntStat (EPc interrupt status)	100000A (B)	D7	—	—			—	—	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)

エンドポイントEPcの割り込みステータスを表示します。

D7 Reserved**D6 OUT_ShortACK**

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に"1"にセットされます。

D5 IN_TranACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、"1"にセットされます。

D4 OUT_TranACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、"1"にセットされます。

D3 IN_TranNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、"1"にセットされます。

D2 OUT_TranNAK

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、"1"にセットされます。

D1 IN_TranErr

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に"1"にセットされます。

D0 OUT_TranErr

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に"1"にセットされます。

0x100000B EPdIntStat (EPd Interrupt Status)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
EPdIntStat (EPd interrupt status)	100000B (B)	D7	—	—				—	—	0 when being read.
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)	
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)	
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)	
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)	
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)	
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)	
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)	

エンドポイントEPdの割り込みステータスを表示します。

D7 Reserved**D6 OUT_ShortACK**

割り込み要因の状態を直接示します。

OUTトランザクションでショートパケットを受信し、ACKを返信したとき、OUT_TranACKと同時に"1"にセットされます。

D5 IN_TranACK

割り込み要因の状態を直接示します。

INトランザクションでACKを受信したとき、"1"にセットされます。

D4 OUT_TranACK

割り込み要因の状態を直接示します。

OUTトランザクションでACKを返信したとき、"1"にセットされます。

D3 IN_TranNAK

割り込み要因を直接指示します。

INトランザクションでNAKを返信したとき、"1"にセットされます。

D2 OUT_TranNAK

割り込み要因を直接指示します。

OUTトランザクションでNAKを返信したとき、"1"にセットされます。

D1 IN_TranErr

割り込み要因を直接指示します。

INトランザクションにおいてSTALLを返信した場合、パケットにエラーがあった場合、またはハンドシェイクがタイムアウトになった場合に"1"にセットされます。

D0 OUT_TranErr

割り込み要因を直接指示します。

OUTトランザクションにおいてSTALLを返信した場合、またはパケットにエラーがあった場合に"1"にセットされます。

0x1000010 MainIntEnb (Main Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
MainIntEnb (Main interrupt enable)	1000010 (B)	D7	EnSIE_IntStat	1	Enabled	0	Disabled	0	R/W	
		D6	EnEPrintStat					0	R/W	
		D5	EnDMA_IntStat					0	R/W	
		D4	EnFIFO_IntStat					0	R/W	
		D3-2	—	—				—	—	0 when being read.
		D1	EnEP0IntStat	1	Enabled	0	Disabled	0	R/W	
		D0	EnRcvEP0SETUP					0	R/W	

MainIntStatレジスタの割り込み要因による割り込み信号(#INT)のアサートを許可/禁止するレジスタです。対応するビットを"1"にセットすることで割り込みを許可します。

EnSIE_IntStatビットはスヌーズ中も有効です。

0x1000011 SIE_IntEnb (SIE Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
SIE_IntEnb (SIE interrupt enable)	(B)	D7	EnVBUS_Changed	1	Enabled	0	Disabled	0	R/W	
		D6	EnNonJ					0	R/W	
		D5	EnDetectReset					0	R/W	
		D4	EnDetectSuspend					0	R/W	
		D3	EnRcvSOF					0	R/W	
		D2	EnDetectJ					0	R/W	
		D1	—	—		—	—	0 when being read.		
	D0	EnSetAddressCmp	1	Enabled	0	Disabled	0	R/W		

SIE_IntStatレジスタの割り込み要因による、MainIntStatレジスタのSIE_IntStatビットのアサートを許可/禁止します。EnVBUS_ChangedおよびEnNonJビットはスヌーズ中も有効です。

0x1000012 EPrIntEnb (EPr Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
EPrintEnb (EPr interrupt enable)	1000012 (B)	D7-4	—	—				—	—	0 when being read.
		D3	EnEPdIntStat	1	Enabled	0	Disabled	0	R/W	
		D2	EnEPcIntStat					0	R/W	
		D1	EnEPbIntStat					0	R/W	
		D0	EnEPaIntStat					0	R/W	

EPrIntStatレジスタの割り込み要因による、MainIntStatレジスタのEPrIntStatビットのアサートを許可/禁止します。

0x1000013 DMA_IntEnb (DMA Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
DMA_IntEnb (DMA interrupt enable)	1000013 (B)	D7-2	—	—				—	—	0 when being read.
		D1	EnDMA_CountUp	1	Enabled	0	Disabled	0	R/W	
		D0	EnDMA_Cmp					0	R/W	

DMA_IntStatレジスタの割り込み要因による、MainIntStatレジスタのDMA_IntStatビットのアサートを許可/禁止します。

0x1000014 FIFO_IntEnb (FIFO Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
FIFO_IntEnb (FIFO interrupt enable)	1000014 (B)	D7	EnDescriptorCmp	1	Enabled	0	Disabled	0	R/W	0 when being read.
		D6-2	-		-		-	-		
		D1	EnFIFO_IN_Cmp	1	Enabled	0	Disabled	0	R/W	
		D0	EnFIFO_OUT_Cmp					0	R/W	

FIFO_IntStatレジスタの割り込み要因による、MainIntStatレジスタのFIFO_IntStatビットのアサートを許可/禁止します。

0x1000017 EP0IntEnb (EP0 Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定		Init.	R/W	注 釈
EP0IntEnb (EP0 interrupt enable)	1000017 (B)	D7-6	–	–		–	–	0 when being read.
		D5	EnIN_TranACK	1	Enabled	0	R/W	
		D4	EnOUT_TranACK			0	R/W	
		D3	EnIN_TranNAK			0	R/W	
		D2	EnOUT_TranNAK			0	R/W	
		D1	EnIN_TranErr			0	R/W	
		D0	EnOUT_TranErr			0	R/W	

EP0IntStatレジスタの割り込み要因による、MainIntStatレジスタのEP0IntStatビットのアサートを許可/禁止します。

0x1000018 EPaIntEnb (EPa Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定		Init.	R/W	注 釈
EPaIntEnb (EPa interrupt enable)	1000018 (B)	D7	–	–		–	–	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	R/W	
		D5	EnIN_TranACK			0	R/W	
		D4	EnOUT_TranACK			0	R/W	
		D3	EnIN_TranNAK			0	R/W	
		D2	EnOUT_TranNAK			0	R/W	
		D1	EnIN_TranErr			0	R/W	
		D0	EnOUT_TranErr			0	R/W	

EPaIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPaIntStatビットのアサートを許可/禁止します。

0x1000019 EPbIntEnb (EPb Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定		Init.	R/W	注 釈
EPbIntEnb (EPb interrupt enable)	1000019 (B)	D7	–	–		–	–	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	R/W	
		D5	EnIN_TranACK			0	R/W	
		D4	EnOUT_TranACK			0	R/W	
		D3	EnIN_TranNAK			0	R/W	
		D2	EnOUT_TranNAK			0	R/W	
		D1	EnIN_TranErr			0	R/W	
		D0	EnOUT_TranErr			0	R/W	

EPbIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPbIntStatビットのアサートを許可/禁止します。

0x100001A EPcIntEnb (EPc Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定		Init.	R/W	注 釈
EPcIntEnb (EPc interrupt enable)	100001A (B)	D7	–	–		–	–	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	R/W	
		D5	EnIN_TranACK			0	R/W	
		D4	EnOUT_TranACK			0	R/W	
		D3	EnIN_TranNAK			0	R/W	
		D2	EnOUT_TranNAK			0	R/W	
		D1	EnIN_TranErr			0	R/W	
		D0	EnOUT_TranErr			0	R/W	

EPcIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPcIntStatビットのアサートを許可/禁止します。

0x100001B EPdIntEnb (EPd Interrupt Enable)

レジスタ名	アドレス	ビット	名 称	設 定		Init.	R/W	注 釈
EPdIntEnb (EPd interrupt enable)	100001B (B)	D7	–	–		–	–	0 when being read.
		D6	EnOUT_ShortACK	1	Enabled	0	R/W	
		D5	EnIN_TranACK			0	R/W	
		D4	EnOUT_TranACK			0	R/W	
		D3	EnIN_TranNAK			0	R/W	
		D2	EnOUT_TranNAK			0	R/W	
		D1	EnIN_TranErr			0	R/W	
		D0	EnOUT_TranErr			0	R/W	

EPdIntStatレジスタの割り込み要因による、EPrIntStatレジスタのEPdIntStatビットのアサートを許可/禁止します。

0x1000020 RevisionNum (Revision Number)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
RevisionNum (Revision number)	1000020 (B)	D7	RevisionNum[7]	Revision number (0x12)	0	R	
		D6	RevisionNum[6]		0		
		D5	RevisionNum[5]		0		
		D4	RevisionNum[4]		1		
		D3	RevisionNum[3]		0		
		D2	RevisionNum[2]		0		
		D1	RevisionNum[1]		1		
		D0	RevisionNum[0]		0		

本コントローラの改訂番号を示します。このレジスタはスヌーズ中でも有効です。

0x1000021 USB_Control (USB Control)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
USB_Control (USB control register)	1000021 (B)	D7	DisBusDetect	1	Disable bus detect	0	Enable bus detect	0	R/W	
		D6	EnAutoNego	1	Enable auto negotiation	0	Disable auto negotiation	0	R/W	
		D5	InSUSPEND	1	Monitor NonJ	0	Do nothing	0	R/W	
		D4	StartDetectJ	1	Start J-state detection	0	Do nothing	0	R/W	
		D3	SendWakeup	1	Send remote wakeup signal	0	Do nothing	0	R/W	
		D2-1	-	-	-	-	-	-	-	
		D0	ActiveUSB	1	Activate USB	0	Disactivate USB	0	R/W	

USBに関する動作設定を行います。

D7 DisBusDetect

このビットを"1"にセットすると、USBのリセット/サスペンド状態の自動検出を無効にします。このビットが"0"にクリアされている場合、リセット/サスペンド状態の検出のため、USBバス上の動きを監視します。

バスアクティビティが3msの期間検出されないとサスペンド状態と判定し、また、2.5μs以上の"SEO"を検出するとリセットと判断し、該当する割り込み要因(DetectSuspend、DetectReset)をセットします。

DetectReset、DetectSuspendのビットが"1"にセットされた場合は、DisBusDetectビットを"1"にセットしてリセット/サスペンド状態が継続している間、検出を無効にしてください。

オートネゴシエーション機能を使用する場合は、このビットに"1"をセットしないでください。

D6 EnAutoNego

オートネゴシエーション機能を有効にします。オートネゴシエーション機能は、リセット検出時に、スピードネゴシエーションが終了してスピードモードが決定するまでのシーケンスを自動化します。オートネゴシエーション機能の詳細は、"オートネゴシエーション機能"の項を参照してください。

D5 InSUSPEND

オートネゴシエーション機能使用時に、USBサスペンド状態を検出すると自動的に"1"にセットされNonJ状態の検出機能を有効にします。サスペンド状態から復帰する場合には、このビットを"0"にクリアしてください。

NonJ状態はこのビットがセットされている場合にのみ検出可能です。USBサスペンド状態でスヌーズ機能を使用しない場合はこのビットをセットしてください。

オートネゴシエーション機能の詳細は、"オートネゴシエーション機能"の項を参照してください。

D4 StartDetectJ

J状態の検出機能を有効にします。このビットがセットされた後にJ状態が検出され、かつEnDetectJビットがセットされている場合、DetectJ割り込み要因ステータスがセットされます。

D3 SendWakeup

このビットを"1"にセットすると、USBポートにリモートウェイクアップ信号(K)を出力します。リモートウェイクアップ信号の送出開始から1ms～15msの時間内にこのビットを"0"にクリアして送出を停止してください。

D2-D1 Reserved**D0 ActiveUSB**

本コントローラでは、このビットがハードリセット後"0"にクリアされているため、USBの全機能を停止しています。本コントローラの設定終了後に、本ビットを"1"にセットすることで、USBコントローラとしての動作が可能となります。

0x1000022 USB_Status (USB Status)

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈		
USB_Status (USB status register)	1000022 (B)	D7	VBUS	1	VBUS=High		0	VBUS=Low		X	R	
		D6	FS	1	FS mode (fixed)		0	—		1	R	
		D5-2	—		—		—		—			
		D1	LineState[1]	LineState[1:0]			DP/DM			X	R	
		D0	LineState[0]	1			SE1			X		
				1			K					
				0			J					
				0			SE0					

USBに関するステータスを表示します。
このレジスタはスヌーズ中でも有効です。

D7 VBUS
USBVBUS端子の状態を示します。

D6 FS
本コントローラはFSモード固定のため、常に"1"が返ります。

D5-D2 Reserved

D1-D0 LineState[1:0]
USBケーブル上の信号状態(DP/DMのFSレシーバの受信値)を示します。

LineState		
LineState[1]	LineState[0]	DP/DM
1	1	SE1
1	0	K
0	1	J
0	0	SE0

0x1000023 XcvrControl (Xcvr Control)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈		
XcvrControl (Xcvr control register)	1000023 (B)	D7	RpuEnb	1	Enable pull-up		0	Disable pull-up		1	R/W	
		D6-2	-	-				-	-	0 when being read.		
		D1	OpMode[1]	OpMode[1:0]		Operation mode		0	R/W			
		D0	OpMode[0]	1	1	reserved		1				
				1	0	Disable bitstuffing and NRZI encoding						
				0	1	Non-driving						
0	0			Normal operation								

トランシーバーマクロの動作に関する設定を行います。

D7 RpuEnb

D+ラインのプルアップを有効にします。

D6–D2 Reserved**D1–D0 OpMode**

トランシーバーマクロの動作モードを設定します。

USBケーブルが抜かれているとき(※)、またはテストモード時以外に、通常は設定する必要はありません。

OpMode

OpMode[1]	OpMode[0]	動作モード
1	1	reserved
1	0	ビットスタッフィングと NRZIエンコード無効
0	1	駆動停止
0	0	通常動作

※ USBケーブルが抜けているときには、このレジスタを"0x81"にセットすることを推奨します。

0x1000024 USB_Test (USB Test)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
USB_Test (USB test)	1000024 (B)	D7	EnUSB_Test	1	Enable USB test	0	Do nothing	0	R/W	0 when being read
		D6-4	-		-		-	-	-	
		D3	Test_SE0_NAK	1	Test_SE0_NAK	0	Do nothing	0	R/W	
		D2	Test_J	1	Test_J	0	Do nothing	0	R/W	
		D1	Test_K	1	Test_K	0	Do nothing	0	R/W	
		D0	Test_Packet	1	Test_Packet	0	Do nothing	0	R/W	

テストモードの動作に関する設定を行います。SetFeatureリクエストで指定されたテストモードに対応するビットを設定し、ステータスステージ終了後にEnUSB_Testビットに"1"をセットして、USB規格で定義されたテストモードの動作を行うようにしてください。

D7 EnUSB_Test

本レジスタの下位4ビットのいずれか1つのビットに"1"が設定されている状態でこのビットに"1"をセットすると、下位4ビット中のセットされているビットに対応するテストモードに入ります。テストモードを行う際には、USB_ControlレジスタのDisBusDetectビットを"1"にしてUSBサスペンドとリセットの検出を行わないようにする必要があります。また、USB_ControlレジスタのEnAutoNegoビットを"0"にクリアして、オートネゴシエーション機能を無効にしてください。テストモードへの移行は、必ずSetFeatureリクエストにおけるステータスステージの終了後に行うようにしてください。

D6-D4 Reserved**D3 Test_SE0_NAK**

このビットを"1"に設定し、EnUSB_Testビットに"1"をセットすることにより、Test_SE0_NAKテストモードに入ります。

D2 Test_J

このビットを"1"に設定し、EnUSB_Testビットに"1"をセットすることにより、Test_Jテストモードに入ります。なお、このテストモードでは、EnUSB_Testビットを"1"にセットする前に、XcvrControlレジスタの、OpModeを"10"(Disable Bitstuffing and NRZI encoding)にセットしてください。

D1 Test_K

このビットを"1"に設定し、EnUSB_Testビットに"1"をセットすることにより、Test_Kテストモードに入ります。なお、このテストモードでは、EnUSB_Testビットを"1"にする前に、XcvrControlレジスタの、OpModeを"10"(Disable Bitstuffing and NRZI encoding)にセットしてください。

D0 Test_Packet

このビットを"1"に設定することにより、Test_Packetテストモードに入ります。

このテストモードはエンドポイントEPcを使用しますので、下記の設定を行ってください。

- (1) エンドポイントEPcのMaxPacketSizeを64以上、転送方向をINに設定し、EndPointNumberを"0xF"に設定して、使用可能としてください。また、エンドポイントEPcのFIFOを64バイト以上割り当ててください。
- (2) エンドポイントEPaおよびEPbの設定が、上記EPcの設定と重複しないようにしてください。または、EPaConfig.EnEndpointビットおよびEPbConfig.EnEndpointビットをクリアしてください。
- (3) EPcのFIFOをクリア後、下記のテストパケット用のデータをこのFIFOに書き込んでください。
- (4) EPcIntEnbレジスタのEnIN_TranErrビットを"0"にクリアしてください。

TestPacketの送信完了ごとに、IN_TranErrステータスが"1"にセットされます。

パケット送信テストモード時にFIFOに書き込むデータは以下の53バイトです。

```
0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00, 0x00,
0x00, 0xAA, 0xAA, 0xAA, 0xAA, 0xAA, 0xAA, 0xAA,
0xAA, 0xEE, 0xEE, 0xEE, 0xEE, 0xEE, 0xEE, 0xEE,
0xEE, 0xFE, 0xFF, 0xFF, 0xFF, 0xFF, 0xFF, 0xFF,
0xFF, 0xFF, 0xFF, 0xFF, 0xFF, 0x7F, 0xBF, 0xDF,
0xEF, 0xF7, 0xFB, 0xFD, 0xFC, 0x7E, 0xBF, 0xDF,
0xEF, 0xF7, 0xFB, 0xFD, 0x7E
```

テストパケット送出時に、SIEがPIDとCRCを付加しますので、FIFOに書き込むデータは、USB規格Rev.2.0に記載されているテストパケットデータのうち、DATA 0 PIDの次のデータからCRC16の前の部分のデータまでとなります(テストパケットはUSB規格のHSモード用に定義されています)。

0x1000025 EPnControl (Endpoint Control)

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈
EPnControl (Endpoint control)	1000025 (B)	D7	AllForceNAK	1	Set all ForceNAK	0	Do nothing	0	W	0 when being read.
		D6	EPForceSTALL	1	Set EP's ForceSTALL	0	Do nothing	0	W	
		D5	AllFIFO_Clr	1	Clear all FIFO	0	Do nothing	0	W	
		D4-1	-		-		-	-	-	
		D0	EP0FIFO_Clr	1	Clear EP0 FIFO	0	Do nothing	0	W	

エンドポイント全般の動作設定と表示を行います。

D7 AllForceNAK

すべてのエンドポイントのForceNAKビットを"1"にセットします。

D6 EPForceSTALL

エンドポイントEPa、EPb、EPc、EPdのForceSTALLビットを"1"にセットします。

D5 AllFIFO_Clr

すべてのエンドポイントのFIFOがクリアされます。各エンドポイントの領域設定を行ったときは、設定終了後に必ず一度このビットに"1"をセットして、すべてのエンドポイントのFIFOをクリアしてください。このビットは、FIFOクリア完了後自動的に"0"にクリアされます。
汎用ポートの起動中(DMA_ControlレジスタのDMA_Runningビットが"1"の間)に、このビットを"1"にセットしないでください。誤動作の原因となります。

D4-D1 Reserved**D0 EP0FIFO_Clr**

エンドポイントEP0のFIFOをクリアします。このビットは、FIFOクリア後、自動的に"0"にクリアされます。

0x1000026 EPrFIFO_Clr (EPr FIFO Clear)

レジスタ名	アドレ	ビット	名 称		設 定			Init.	R/W	注 釈
EPrFIFO_Clr (EPr FIFO clear)	1000026 (B)	D7-4	-		-			-	-	0 when being read.
		D3	EPdFIFO_Clr	1	Clear EPd FIFO	0	Do nothing	0	W	
		D2	EPcFIFO_Clr	1	Clear EPc FIFO	0	Do nothing	0	W	
		D1	EPbFIFO_Clr	1	Clear EPb FIFO	0	Do nothing	0	W	
		D0	EPaFIFO_Clr	1	Clear EPa FIFO	0	Do nothing	0	W	

エンドポイントのFIFOをクリアします。

D7-D4 Reserved**D3 EPdFIFO_Clr**

エンドポイントEPdのFIFOをクリアします。このビットはFIFOクリア後、自動的に"0"にクリアされます。

エンドポイントEPdがポートに接続(DMA_JoinレジスタのJoinEPdDMAビットが"1"にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが"1"の間)は、このビットを"1"にセットしないでください。誤動作の原因となります。

D2 EPcFIFO_Clr

エンドポイントEPcのFIFOをクリアします。このビットはFIFOクリア後、自動的に"0"にクリアされます。

エンドポイントEPcがポートに接続(DMA_JoinレジスタのJoinEPcDMAビットが"1"にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが"1"の間)は、このビットを"1"にセットしないでください。誤動作の原因となります。

D1 EPbFIFO_Clr

エンドポイントEPbのFIFOをクリアします。このビットはFIFOクリア後、自動的に"0"にクリアされます。

エンドポイントEPbがポートに接続(DMA_JoinレジスタのJoinEPbDMAビットが"1"にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが"1"の間)は、このビットを"1"にセットしないでください。誤動作の原因となります。

D0 EPaFIFO_Clr

エンドポイントEPaのFIFOをクリアします。このビットはFIFOクリア後、自動的に"0"にクリアされます。

エンドポイントEPaがポートに接続(DMA_JoinレジスタのJoinEPaDMAビットが"1"にセット)され、かつポートの起動中(DMA_ControlレジスタのDMA_Runningビットが"1"の間)は、このビットを"1"にセットしないでください。誤動作の原因となります。

0x100002E FrameNumber_H (Frame Number High)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈	
FrameNumber_H (Frame number high)	100002E (B)	D7	FnInvalid	1	Invalid frame number	0	Valid frame number	1	R	
		D6-3	—	—			—	—	0 when being read.	
		D2	FrameNumber[10]	Frame number high			0	R		
		D1	FrameNumber[9]				0			
		D0	FrameNumber[8]				0			

SOFトークンを受信するごとに更新される、USBのフレームナンバーを示します。フレームナンバーを取得する場合は、FrameNumber_HとFrameNumber_Lレジスタを対でアクセスする必要があります。その際にFrameNumber_Hレジスタを先にアクセスしてください。

D7 FnInvalid

受信したSOFパケットにエラーが発生したときに、このビットが"1"にセットされます。

D6-D3 Reserved**D2-D0 FrameNumber[10:8]**

受信したSOFパケットのFrameNumberフィールドの上位3ビットのデータが入ります。

0x100002F FrameNumber_L (Frame Number Low)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈
FrameNumber_L (Frame number low)	100002F (B)	D7	FrameNumber[7]	Frame number low			0	R	
		D6	FrameNumber[6]				0		
		D5	FrameNumber[5]				0		
		D4	FrameNumber[4]				0		
		D3	FrameNumber[3]				0		
		D2	FrameNumber[2]				0		
		D1	FrameNumber[1]				0		
		D0	FrameNumber[0]				0		

D7-D0 FrameNumber[7:0]

受信したSOFパケットのFrameNumberフィールドの下位8ビットのデータが入ります。

0x1000030 EP0Setup_0 (EP0 Setup 0)–0x1000037 EP0Setup_7 (EP0 Setup 7)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EP0Setup_0 (EP0 set-up 0) EP0Setup_7 (EP0 set-up 7)	1000030 1000037 (B)	D7	EP0Setup_n[7]	Endpoint 0 set-up data 0	0	R	
		D6	EP0Setup_n[6]		0		
		D5	EP0Setup_n[5]	Endpoint 0 set-up data 7	0		
		D4	EP0Setup_n[4]		0		
		D3	EP0Setup_n[3]		0		
		D2	EP0Setup_n[2]		0		
		D1	EP0Setup_n[1]		0		
		D0	EP0Setup_n[0]		0		

エンドポイントEP0のセットアップステージで受信した8バイトのデータが、EP0Setup_0から順に格納されます。

0x1000030 EP0Setup_0

BmRequestTypeがセットされます。

0x1000031 EP0Setup_1

BRequestがセットされます。

0x1000032 EP0Setup_2

Wvalueの下位8ビットがセットされます。

0x1000033 EP0Setup_3

Wvalueの上位8ビットがセットされます。

0x1000034 EP0Setup_4

WIndexの下位8ビットがセットされます。

0x1000035 EP0Setup_5

WIndexの上位8ビットがセットされます。

0x1000036 EP0Setup_6

WLengthの下位8ビットがセットされます。

0x1000037 EP0Setup_7

WLengthの上位8ビットがセットされます。

0x1000038 USB_Address (USB Address)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈	
USB_Address (USB address)	1000038 (B)	D7	AutoSetAddress	1	Auto set address	0	Do nothing	0	R/W	
		D6	USB_Address[6]	USB address				0	R/W	
		D5	USB_Address[5]					0		
		D4	USB_Address[4]					0		
		D3	USB_Address[3]					0		
		D2	USB_Address[2]					0		
		D1	USB_Address[1]					0		
		D0	USB_Address[0]					0		

USBアドレスを設定します。

D7 AutoSetAddress

USBアドレスを自動的に設定します。SetAddressリクエストを受信し、ステータスステージを実行する前にこのビットを"1"にセットすると、ステータスステージの完了時にSetAddressリクエストによって受信したアドレスをUSB_Addressレジスタに書き込みます。

この機能を用いたSetAddressリクエストの処理手順は次のようになります。

(1) SetAddressリクエストのSETUPトランザクションが完了します。

MainIntStatレジスタのRcvEP0SETUPビットに"1"がセットされます。EP0Setup_0~7レジスタを読んで、リクエストを解釈してください。

(2) AutoSetAddressビットをセットします。

(3) EP0ControlレジスタのINxOUTビットをセットします。

(4) EP0ControlINレジスタのForceNAKビットをクリアし、EnShortPktビットをセットします。

(5) ステータスステージの終了を待ちます。

SIE_IntStatレジスタのSetAddressCmpビットに"1"がセットされます。

D6-D0 USB_Address

USBアドレスを設定します。

AutoSetAddress機能によって自動的に書き込まれます。また、書き込みも可能です。

0x1000039 EP0Control (EP0 Control)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
EP0Control (EP0 control)	1000039 (B)	D7	INxOUT	1	IN	0	OUT	0	R/W	
		D6-1	—				—	—	—	0 when being read.
		D0	ReplyDescriptor	1	Reply descriptor	0	Do nothing	0	W	

エンドポイントEP0の設定を行います。

D7 INxOUT

エンドポイントEP0の転送方向を設定します。

セットアップステージで受信したリクエストを判断して、このビットを設定してください。

データステージがある場合は、このビットにデータステージにおける転送方向をセットしてください。セットアップステージが完了することにより、EP0ControlINおよびEP0ControlOUTレジスタのForceNAKビットがセットされるので、データステージおよびステータスステージの実行時にクリアしてください。

データステージが終了したら、ステータスステージの方向に合わせて、このビットを設定し直してください。データステージの転送方向がINの場合は、ステータスステージはOUT方向となりますので、このビットに"0"を設定してください。また、データステージの転送方向がOUT、またはデータステージがない場合は、ステータスステージはIN方向となりますので、エンドポイントEP0のFIFOをクリアして、このビットに"1"を設定してください。

このビットの設定値と異なる方向のINまたはOUTトランザクションに対しては、NAK応答します。ただし、そのトランザクション方向に対応するEP0ControlINまたはEP0ControlOUTレジスタのForceSTALLビットがセットされているとSTALL応答します。

D6-D1 Reserved**D0 ReplyDescriptor**

デスクリプタ返信機能を実行します。

このビットが"1"にセットされると、エンドポイントEP0のINトランザクションに応答して、FIFO内のデスクリプタデータを最大パケットサイズ分返信します。デスクリプタデータは、DescAdrs_H、DescAdrs_Lレジスタに設定された先頭アドレスと、DescSize_H、DescSize_Lレジスタに設定されたサイズで示されます。これらの設定値は、デスクリプタ返信機能の実行中に更新されますので、ReplyDescriptorビットをセットするごとに設定してください。1つのトランザクションごとに、DescAdrs_H、DescAdrs_Lレジスタは送信したデータ数だけインクリメントされ、DescSize_H、DescSize_Lレジスタは、送信したデータ数だけデクリメントされます。

DescSize_H、DescSize_Lの設定数のデータを送信して終了した場合、またはINトランザクション以外のトランザクションが行われた場合、デスクリプタ返信機能は終了し、ReplyDescriptorビットは"0"にクリアされ、EP0IntStatレジスタのIN_TranACKビットは"1"にセットされます。

詳細については、動作説明の項を参照してください。

0x100003A EP0ControlIN (EP0 Control IN)

レジスタ名	アドレス	ビット	名 称		設 定		Init.	R/W	注 釈
EP0ControlIN (EP0 control IN)	100003A (B)	D7	-		-		-	-	0 when being read.
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	
		D5	-		-		-	-	0 when being read.
		D4	ToggleStat	Toggle sequence bit				0	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	R/W
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	R/W
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W

エンドポイントEP0のINトランザクションに関する動作設定および状態表示を行います。

D7 Reserved**D6 EnShortPkt**

このビットを"1"にセットすることで、エンドポイントEP0のINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、自動的にこのビットが"0"にクリアされます。マックスパケットサイズのパケットを送信した場合、このビットはクリアされません。FIFO内にデータがない場合にこのビットを"1"にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 Reserved**D4 ToggleStat**

エンドポイントEP0のINトランザクションのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEP0のINトランザクションのトグルシーケンスビットを"1"にセットします。

D2 ToggleClr

エンドポイントEP0のINトランザクションのトグルシーケンスビットを"0"にクリアします。

D1 ForceNAK

このビットを"1"にセットすると、FIFOのデータ数にかかわらずエンドポイントEP0のINトランザクションに対してNAK応答します。

セットアップステージが完了することによってMainIntStatレジスタのRcvEPOSETUPビットに"1"がセットされるとこのビットは"1"にセットされ、RcvEPOSETUPビットが"1"である間はこのビットを"0"にクリアできません。また、ショートパケットを送信したINトランザクションが完了すると、このビットは"1"にセットされます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを"1"にセットすると、エンドポイントEP0のINトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

セットアップステージが完了することによってMainIntStatレジスタのRcvEPOSETUPビットに"1"がセットされるとこのビットは"0"にクリアされ、RcvEPOSETUPビットが"1"である間はこのビットを"1"にセットできません。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x100003B EP0ControlOUT (EP0 Control OUT)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
EP0ControlOUT (EP0 control OUT)	100003B (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6-5	—			—		—	—	0 when being read.
		D4	ToggleStat		Toggle sequence bit			0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEP0のOUTトランザクションに関する動作設定および状態表示を行います。

D7 AutoForceNAK

このビットが"1"の場合、エンドポイントEP0のOUTトランザクションが正常に完結すると、このレジスタのForceNAKビットを"1"にセットします。

D6-D5 Reserved**D4 ToggleStat**

エンドポイントEP0のOUTトランザクションのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEP0のOUTトランザクションのトグルシーケンスビットを"1"にセットします。

D2 ToggleClr

エンドポイントEP0のOUTトランザクションのトグルシーケンスビットを"0"にクリアします。

D1 ForceNAK

このビットを"1"にセットすると、FIFOの空き容量にかかわらずエンドポイントEP0のOUTトランザクションに対してNAK応答します。

セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに"1"がセットされるとこのビットは"1"にセットされ、RcvEP0SETUPビットが"1"である間はこのビットを"0"にクリアできません。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを"1"にセットすると、エンドポイントEP0のOUTトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

セットアップステージが完了することによってMainIntStatレジスタのRcvEP0SETUPビットに"1"がセットされるとこのビットは"0"にクリアされ、RcvEP0SETUPビットが"1"である間はこのビットを"1"にセットできません。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x100003F EP0MaxSize (EP0 Max Packet Size)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EP0MaxSize (EP0 max packet size)	100003F (B)	D7	–	–	–	–	0 when being read.
		D6	EP0MaxSize[6]	Endpoint EP0 max packet size	0	R/W	
		D5	EP0MaxSize[5]		0		
		D4	EP0MaxSize[4]		0		
		D3	EP0MaxSize[3]		1		
		D2–0	–	–	–	–	0 when being read.

D7 Reserved**D6–D3 EP0MaxSize[6:3]**

エンドポイントEP0の最大パケットサイズを設定します。

このエンドポイントは、8、16、32、64バイトから任意のサイズを選択して使用可能です。

D2–D0 Reserved

0x100040 EPaControl (EPa Control)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
EPaControl (EPa control)	1000040 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	0 when being read.
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPaの動作設定を行います。

D7 AutoForceNAK

このビットが"1"の場合、エンドポイントEPaのトランザクションが正常に完結すると、このレジスタのForceNAKビットを"1"にセットします。

D6 EnShortPkt

このビットを"1"にセットすることで、エンドポイントEPaのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に"0"にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。FIFO内にデータがない場合にこのビットを"1"にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが"0"(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを"1"にセットします。

このビットを"1"にセットすると、この機能が無効になります。

AutoForceNAKビットが"1"にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPaのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPaのトグルシーケンスビットを"1"にセットします。

D2 ToggleClr

エンドポイントEPaのトグルシーケンスビットを"0"にクリアします。

D1 ForceNAK

このビットを"1"にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPaのトランザクションに対してNAK応答します。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを"1"にセットすると、エンドポイントEPaのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x1000041 EPbControl (EPb Control)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
EPbControl (EPb control)	1000041 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPbの動作設定を行います。

D7 AutoForceNAK

このビットが"1"の場合、エンドポイントEPbのトランザクションが正常に完結すると、このレジスタのForceNAKビットを"1"にセットします。

D6 EnShortPkt

このビットを"1"にセットすることで、エンドポイントEPbのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に"0"にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。FIFO内にデータがない場合にこのビットを"1"にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが"0"(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを"1"にセットします。
このビットを"1"にセットすると、この機能が無効になります。
AutoForceNAKビットが"1"にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPbのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPbのトグルシーケンスビットを"1"にセットします。

D2 ToggleClr

エンドポイントEPbのトグルシーケンスビットを"0"にクリアします。

D1 ForceNAK

このビットを"1"にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPbのトランザクションに対してNAK応答します。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを"1"にセットすると、エンドポイントEPbのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x1000042 EPcControl (EPc Control)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
EPcControl (EPc control)	1000042 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat		Toggle sequence bit			0	R	0 when being read.
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPcの動作設定を行います。

D7 AutoForceNAK

このビットが"1"の場合、エンドポイントEPcのトランザクションが正常に完結すると、このレジスタのForceNAKビットを"1"にセットします。

D6 EnShortPkt

このビットを"1"にセットすることで、エンドポイントEPcのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に"0"にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。FIFO内にデータがない場合にこのビットを"1"にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが"0"(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを"1"にセットします。

このビットを"1"にセットすると、この機能が無効になります。

AutoForceNAKビットが"1"にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPcのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPcのトグルシーケンスビットを"1"にセットします。

D2 ToggleClr

エンドポイントEPcのトグルシーケンスビットを"0"にクリアします。

D1 ForceNAK

このビットを"1"にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPcのトランザクションに対してNAK応答します。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを"1"にセットすると、エンドポイントEPcのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。

現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x1000043 EPdControl (EPd Control)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
EPdControl (EPd control)	1000043 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W	
		D4	ToggleStat	Toggle sequence bit				0	R	
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W	0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W	
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W	
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W	

エンドポイントEPdの動作設定を行います。

D7 AutoForceNAK

このビットが"1"の場合、エンドポイントEPdのトランザクションが正常に完結すると、このレジスタのForceNAKビットを"1"にセットします。

D6 EnShortPkt

このビットを"1"にセットすることで、エンドポイントEPdのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に"0"にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。FIFO内にデータがない場合にこのビットを"1"にセットすると、ホストからのINトークンに対してゼロ長パケットを送信することができます。このビットをセットしてパケットを送信している最中に、該当FIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

D5 DisAF_NAK_Short

このビットが"0"(デフォルト)の場合、正常なOUTトランザクション完結時に受信したパケットがショートパケットの場合、自動的にForceNAKビットを"1"にセットします。
このビットを"1"にセットすると、この機能が無効になります。
AutoForceNAKビットが"1"にセットされている場合は、AutoForceNAKビットが優先されます。

D4 ToggleStat

エンドポイントEPdのトグルシーケンスビットの状態を示します。

D3 ToggleSet

エンドポイントEPdのトグルシーケンスビットを"1"にセットします。

D2 ToggleClr

エンドポイントEPdのトグルシーケンスビットを"0"にクリアします。

D1 ForceNAK

このビットを"1"にセットすると、FIFOのデータ数または空き容量にかかわらずエンドポイントEPdのトランザクションに対してNAK応答します。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

D0 ForceSTALL

このビットを"1"にセットすると、エンドポイントEPdのトランザクションに対してSTALL応答します。このビットは、ForceNAKビットの設定より優先されます。
現在実行中のトランザクションがある場合にトランザクション開始から一定時間後にこのビットを設定すると、その設定は次のトランザクションから有効になります。

0x1000050 EPaMaxSize_H (EPa Max Packet Size High)**0x1000051 EPaMaxSize_L (EPa Max Packet Size Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPaMaxSize_H (EPa max packet size high)	1000050 (B)	D7-2	–	–	–	–	0 when being read.
		D1	EPaMaxSize[9]	Endpoint EPa max packet size	0	R/W	
		D0	EPaMaxSize[8]		0		
EPaMaxSize_L (EPa max packet size low)	1000051 (B)	D7	EPaMaxSize[7]	Endpoint EPa max packet size	0	R/W	
		D6	EPaMaxSize[6]		0		
		D5	EPaMaxSize[5]		0		
		D4	EPaMaxSize[4]		0		
		D3	EPaMaxSize[3]		0		
		D2	EPaMaxSize[2]		0		
		D1	EPaMaxSize[1]		0		
		D0	EPaMaxSize[0]		0		

EPaMaxSize[9:0]

エンドポイントEPaの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPaの領域が狭い場合は、正常に動作しません。

0x1000052 EPaConfig_0 (EPa Configuration 0)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPaConfig_0 (EPa configuration 0)	1000052 (B)	D7	INxOUT	1 In 0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle 0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint 0 Disable endpoint	0	R/W	
		D4	–	–	–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)	0	R/W	
		D2	EndPointNumber[2]		0		
		D1	EndPointNumber[1]		0		
		D0	EndPointNumber[0]		0		

エンドポイントEPaの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle- トランザクションが正常に完結した場合のみトグルします。

Always toggle- トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを"1"にセットすることで、このエンドポイントを有効にします。

このビットが"0"のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D3-D0 EndPointNumber**

0x1~0xFの任意のエンドポイント番号を設定します。

0x1000053 EPaConfig_1 (EPa Configuration 1)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈	
EPaConfig_1 (EPa configuration 1)	1000053 (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—		—		—	—	0 when being read	

エンドポイントEPaの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO

アイソクロナスモードを設定します。

D6 ISO_CRCmode

USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D5-D0 Reserved

0x1000054 EPbMaxSize_H (EPb Max Packet Size High)**0x1000055 EPbMaxSize_L (EPb Max Packet Size Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPbMaxSize_H (EPb max packet size high)	1000054 (B)	D7-2	—	—	—	—	0 when being read.
		D1	EPbMaxSize[9]	Endpoint EPb max packet size	0	R/W	
		D0	EPbMaxSize[8]		0		
EPbMaxSize_L (EPb max packet size low)	1000055 (B)	D7	EPbMaxSize[7]	Endpoint EPb max packet size	0	R/W	
		D6	EPbMaxSize[6]		0		
		D5	EPbMaxSize[5]		0		
		D4	EPbMaxSize[4]		0		
		D3	EPbMaxSize[3]		0		
		D2	EPbMaxSize[2]		0		
		D1	EPbMaxSize[1]		0		
		D0	EPbMaxSize[0]		0		

EPbMaxSize[9:0]

エンドポイントEPbの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPbの領域が狭い場合は、正常に動作しません。

0x1000056 EPbConfig_0 (EPb Configuration 0)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPbConfig_0 (EPb configuration 0)	1000056 (B)	D7	INxOUT	1 In 0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle 0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint 0 Disable endpoint	0	R/W	
		D4	—	—	—	—	
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)	0	R/W	
		D2	EndPointNumber[2]		0		
		D1	EndPointNumber[1]		0		
		D0	EndPointNumber[0]		0		

エンドポイントEPbの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle- トランザクションが正常に完結した場合のみトグルします。

Always toggle- トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを"1"にセットすることで、このエンドポイントを有効にします。

このビットが"0"のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D3-D0 EndPointNumber**

0x1~0xFの任意のエンドポイント番号を設定します。

0x1000057 EPbConfig_1 (EPb Configuration 1)

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈
EPbConfig_1 (EPb configuration 1)	1000057 (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—		—			—	—	0 when being read.

エンドポイントEPbの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D6 ISO_CRCmode
USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D5-D0 Reserved

0x1000058 EPcMaxSize_H (EPc Max Packet Size High)**0x1000059 EPcMaxSize_L (EPc Max Packet Size Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPcMaxSize_H (EPc max packet size high)	1000058 (B)	D7-2	–	–	–	–	0 when being read.
		D1	EPcMaxSize[9]	Endpoint EPc max packet size	0	R/W	
		D0	EPcMaxSize[8]		0		
EPcMaxSize_L (EPc max packet size low)	1000059 (B)	D7	EPcMaxSize[7]	Endpoint EPc max packet size	0	R/W	
		D6	EPcMaxSize[6]		0		
		D5	EPcMaxSize[5]		0		
		D4	EPcMaxSize[4]		0		
		D3	EPcMaxSize[3]		0		
		D2	EPcMaxSize[2]		0		
		D1	EPcMaxSize[1]		0		
		D0	EPcMaxSize[0]		0		

EPcMaxSize[9:0]

エンドポイントEPcの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPcの領域が狭い場合は、正常に動作しません。

0x100005A EPcConfig_0 (EPc Configuration 0)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPcConfig_0 (EPc configuration 0)	100005A (B)	D7	INxOUT	1 In 0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle 0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint 0 Disable endpoint	0	R/W	
		D4	–	–	–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)	0	R/W	
		D2	EndPointNumber[2]		0		
		D1	EndPointNumber[1]		0		
		D0	EndPointNumber[0]		0		

エンドポイントEPcの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle- トランザクションが正常に完結した場合のみトグルします。

Always toggle- トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを"1"にセットすることで、このエンドポイントを有効にします。

このビットが"0"のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D3-D0 EndPointNumber**

0x1~0xFの任意のエンドポイント番号を設定します。

0x100005B EPcConfig_1 (EPc Configuration 1)

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈
EPcConfig_1 (EPc configuration 1)	100005B (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—		—			—	—	0 when being read.

エンドポイントEPcの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D6 ISO_CRCmode
USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D5-D0 Reserved

0x100005C EPdMaxSize_H (EPd Max Packet Size High)**0x100005D EPdMaxSize_L (EPd Max Packet Size Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPdMaxSize_H (EPd max packet size high)	100005C (B)	D7-2	–	–	–	–	0 when being read.
		D1	EPdMaxSize[9]	Endpoint EPd max packet size	0	R/W	
		D0	EPdMaxSize[8]		0		
EPdMaxSize_L (EPd max packet size low)	100005D (B)	D7	EPdMaxSize[7]	Endpoint EPd max packet size	0	R/W	
		D6	EPdMaxSize[6]		0		
		D5	EPdMaxSize[5]		0		
		D4	EPdMaxSize[4]		0		
		D3	EPdMaxSize[3]		0		
		D2	EPdMaxSize[2]		0		
		D1	EPdMaxSize[1]		0		
		D0	EPdMaxSize[0]		0		

EPdMaxSize[9:0]

エンドポイントEPdの最大パケットサイズを設定します。

このエンドポイントをバルク転送用として使用する場合には、8、16、32、64バイトのいずれかに設定してください。

インタラプト転送用として使用する場合は、64バイトまでの任意のサイズが設定可能です。

ここで設定したサイズより、エンドポイントEPdの領域が狭い場合は、正常に動作しません。

0x100005E EPdConfig_0 (EPd Configuration 0)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPdConfig_0 (EPd configuration 0)	100005E (B)	D7	INxOUT	1 In 0 Out	0	R/W	
		D6	ToggleMode	1 Always toggle 0 Normal toggle	0	R/W	
		D5	EnEndPoint	1 Enable endpoint 0 Disable endpoint	0	R/W	
		D4	–	–	–	–	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)	0	R/W	
		D2	EndPointNumber[2]		0		
		D1	EndPointNumber[1]		0		
		D0	EndPointNumber[0]		0		

エンドポイントEPdの設定を行います。

EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 INxOUT

エンドポイントの転送方向を設定します。

D6 ToggleMode

トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)

Normal toggle- トランザクションが正常に完結した場合のみトグルします。

Always toggle- トランザクションごとに常にトグルします。

D5 EnEndPoint

このビットを"1"にセットすることで、このエンドポイントを有効にします。

このビットが"0"のときは、エンドポイントへのアクセスを無視します。

ホストからのSetConfigurationリクエストに従って設定してください。

D4 Reserved**D3-D0 EndPointNumber**

0x1~0xFの任意のエンドポイント番号を設定します。

0x100005F EPdConfig_1 (EPd Configuration 1)

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈
EPdConfig_1 (EPd configuration 1)	100005F (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—		—			—	—	0 when being read.

エンドポイントEPdの設定を行います。
EndPointNumberとINxOUTの組み合わせが、他のエンドポイントと重複しないように設定してください。

D7 ISO
アイソクロナスモードを設定します。

D6 ISO_CRCmode
USB仕様により、アイソクロナス転送でCRCエラーが発生した場合は、そのパケットを廃棄する必要があります。このビットをセットすると、CRCエラーの発生したパケットは廃棄されません。なお、このビットはISOビット(D7)がセットされている場合に有効です。

D5-D0 Reserved

0x1000070 EPaStartAdrs_H (EPa FIFO Start Address High)**0x1000071 EPaStartAdrs_L (EPa FIFO Start Address Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPaStartAdrs_H (EPa FIFO start address high)	1000070 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPaStartAdrs[11]	Endpoint EPa start address	0	R/W	
		D2	EPaStartAdrs[10]		0		
		D1	EPaStartAdrs[9]		0		
		D0	EPaStartAdrs[8]		0		
EPaStartAdrs_L (EPa FIFO start address low)	1000071 (B)	D7	EPaStartAdrs[7]	Endpoint EPa start address	0	R/W	
		D6	EPaStartAdrs[6]		0		
		D5	EPaStartAdrs[5]		0		
		D4	EPaStartAdrs[4]		0		
		D3	EPaStartAdrs[3]		0		
		D2	EPaStartAdrs[2]		0		
		D1-0	—	—	—	—	0 when being read.

EPaStartAdrs[11:2]

エンドポイントEPaに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPaに割り当てられる領域は、EPaStartAdrsにて設定されたアドレスから、EPbStartAdrsにて設定されたアドレスの1バイト前までとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを"1"にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPaのEPaMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

また、EPaStartAdrsがEPbStartAdrsの設定値を超えないようにしてください。

0x1000072 EPbStartAdrs_H (EPb FIFO Start Address High)**0x1000073 EPbStartAdrs_L (EPb FIFO Start Address Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPbStartAdrs_H (EPb FIFO start address high)	1000072 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPbStartAdrs[11]	Endpoint EPb start address	0	R/W	
		D2	EPbStartAdrs[10]		0		
		D1	EPbStartAdrs[9]		0		
		D0	EPbStartAdrs[8]		0		
EPbStartAdrs_L (EPb FIFO start address low)	1000073 (B)	D7	EPbStartAdrs[7]	Endpoint EPb start address	0	R/W	
		D6	EPbStartAdrs[6]		0		
		D5	EPbStartAdrs[5]		0		
		D4	EPbStartAdrs[4]		0		
		D3	EPbStartAdrs[3]		0		
		D2	EPbStartAdrs[2]		0		
		D1-0	—	—	—	—	0 when being read.

EPbStartAdrs[11:2]

エンドポイントEPbに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPbに割り当てられる領域は、EPbStartAdrsにて設定されたアドレスから、EPcStartAdrsにて設定されたアドレスの1バイト前までとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを"1"にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPbのEPbMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

また、EPbStartAdrsがEPcStartAdrsの設定値を超えないようにしてください。

0x1000074 EPcStartAdrs_H (EPc FIFO Start Address High)
0x1000075 EPcStartAdrs_L (EPc FIFO Start Address Low)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPcStartAdrs_H (EPc FIFO start address high)	1000074 (B)	D7-4	-	-	-	-	0 when being read.
		D3	EPcStartAdrs[11]	Endpoint EPc start address	0	R/W	
		D2	EPcStartAdrs[10]		0		
		D1	EPcStartAdrs[9]		0		
		D0	EPcStartAdrs[8]		0		
EPcStartAdrs_L (EPc FIFO start address low)	1000075 (B)	D7	EPcStartAdrs[7]	Endpoint EPc start address	0	R/W	
		D6	EPcStartAdrs[6]		0		
		D5	EPcStartAdrs[5]		0		
		D4	EPcStartAdrs[4]		0		
		D3	EPcStartAdrs[3]		0		
		D2	EPcStartAdrs[2]		0		
		D1-0	-	-	-	-	0 when being read.

EPcStartAdrs[11:2]

エンドポイントEPcに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPcに割り当てられる領域は、EPcStartAdrsにて設定されたアドレスから、EPdStartAdrsにて設定されたアドレスの1バイト前までとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを"1"にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPcのEPcMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPc、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

また、EPcStartAdrsがEPdStartAdrsの設定値を超えないようにしてください。

0x1000076 EPdStartAdrs_H (EPd FIFO Start Address High)**0x1000077 EPdStartAdrs_L (EPd FIFO Start Address Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPdStartAdrs_H (EPd FIFO start address high)	1000076 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPdStartAdrs[11]	Endpoint EPd start address	0	R/W	
		D2	EPdStartAdrs[10]		0		
		D1	EPdStartAdrs[9]		0		
		D0	EPdStartAdrs[8]		0		
EPdStartAdrs_L (EPd FIFO start address low)	1000077 (B)	D7	EPdStartAdrs[7]	Endpoint EPd start address	0	R/W	
		D6	EPdStartAdrs[6]		0		
		D5	EPdStartAdrs[5]		0		
		D4	EPdStartAdrs[4]		0		
		D3	EPdStartAdrs[3]		0		
		D2	EPdStartAdrs[2]		0		
		D1-0	—	—	—	—	0 when being read.

EPdStartAdrs[11:2]

エンドポイントEPdに割り当てるFIFOの先頭アドレスを設定します。

エンドポイントEPdに割り当てられる領域は、EPdStartAdrsにて設定されたアドレスから、FIFOの最終アドレスまでとなります。

全エンドポイントのStartAdrsを設定した後は、必ずEPnControlレジスタのAllFIFO_Clrビットを"1"にしてすべてのFIFOをクリアしてください。

なお、ここで設定した領域より、エンドポイントEPdのEPdMaxSizeが大きい場合には、正常に動作しません。

全エンドポイントで確保するFIFO領域の合計が内蔵のRAMの合計(1Kバイト)を超えないように設定してください。

FIFOの領域は、アドレス下位からEP0、EPa、EPb、EPd、EPdの順に割り当てるようにしてください。

エンドポイントEP0のFIFOは、アドレス0からEP0MaxSizeレジスタで設定したエンドポイントEP0の最大パケットサイズと同じサイズを割り当てられます。他のエンドポイントには、それ以降を割り当ててください。

0x1000080 CPU_JoinRd (CPU Join FIFO Read)

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈
CPU_JoinRd (CPU join FIFO read)	1000080 (B)	D7-4	-		-			-	-	0 when being read.
		D3	JoinEPdRd	1	Join EPd FIFO read	0	Do nothing	0	R/W	
		D2	JoinEPcRd	1	Join EPc FIFO read	0	Do nothing	0	R/W	
		D1	JoinEPbRd	1	Join EPb FIFO read	0	Do nothing	0	R/W	
		D0	JoinEPaRd	1	Join EPa FIFO read	0	Do nothing	0	R/W	

このレジスタの設定によりCPUインタフェースからエンドポイントのFIFOのデータを読み出すことができます。このレジスタを設定したのち、EPnFIFOforCPUレジスタを読み出すと、該当するエンドポイントのFIFOのデータが読み出せます。また、EPnRdRemain_H、Lレジスタにより、FIFOの残りデータ数を参照できます。

このレジスタは、同時に1ビットのみを"1"にセットすることが可能です。複数のビットに対して同時に"1"を書き込んだ場合、その中で最も上位のビットのみが有効となります。すべてのビットを"0"に設定した場合は、EP0のFIFOが選択されます。

USBインタフェースまたはDMAインタフェースがFIFOを使用中のエンドポイントに対する、CPUインタフェースからのデータ読み出しは禁止します。

IN方向のエンドポイントのデータをCPUインタフェースから読み出す場合は、ForceNAKビットを使用し、USBインタフェースによるデータ読み出しが行われない状態にしてください。

OUT方向のエンドポイントのデータをCPUインタフェースから読み出す場合は、DMA_ControlレジスタのDMA_Runningビットを参照し、DMAによるデータ読み出しが行われていないことを確認してください。

このレジスタはEnEPnFIFO_Access、EnEPnFIFO_Rdビットがセットされている場合に有効です。

D7-D4 Reserved**D3 JoinEPdRd**

このビットに"1"をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPdのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPdのFIFO中のデータ数が参照できるようになります。

D2 JoinEPcRd

このビットに"1"をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPcのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPcのFIFO中のデータ数が参照できるようになります。

D1 JoinEPbRd

このビットに"1"をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPbのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPbのFIFO中のデータ数が参照できるようになります。

D0 JoinEPaRd

このビットに"1"をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPaのFIFOのデータを読み出すことができます。また、EPnRdRemain_H、LレジスタでエンドポイントEPaのFIFO中のデータ数が参照できるようになります。

0x1000081 CPU_JoinWr (CPU Join FIFO Write)

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈
CPU_JoinWr (CPU join FIFO write)	1000081 (B)	D7-4	-		-			-	-	0 when being read.
		D3	JoinEPdWr	1	Join EPd FIFO write	0	Do nothing	0	R/W	
		D2	JoinEPcWr	1	Join EPc FIFO write	0	Do nothing	0	R/W	
		D1	JoinEPbWr	1	Join EPb FIFO write	0	Do nothing	0	R/W	
		D0	JoinEPaWr	1	Join EPa FIFO write	0	Do nothing	0	R/W	

このレジスタの設定によりCPUインタフェースからエンドポイントのFIFOにデータを書き込むことができます。このレジスタを設定したのち、EPnFIFOforCPUレジスタにデータ書き込むと、該当するエンドポイントのFIFOに書き込まれます。また、EPnWrRemain_H、Lレジスタにより、FIFOの空き容量を参照できます。

このレジスタは、同時に1ビットのみを"1"にセットすることが可能です。複数のビットに対して同時に"1"を書き込んだ場合、その中で最も上位のビットのみが有効となります。すべてのビットを"0"に設定した場合は、EP0のFIFOが選択されます。

USBインタフェースまたはDMAインタフェースがFIFOを使用中のエンドポイントに対する、CPUインタフェースからのデータ書き込みは禁止します。

OUT方向のエンドポイントにCPUインタフェースからデータを書き込む場合は、ForceNAKビットを使用し、USB I/Fによるデータ書き込みが行われない状態にしてください。

IN方向のエンドポイントにCPUインタフェースからデータを書き込む場合は、DMA_ControlレジスタのDMA_Running ビットを参照し、DMAによるデータ書き込みが行われていないことを確認してください。

このレジスタはEnEPnFIFO_Access.EnEPnFIFO_Wrビットがセットされている場合に有効です。

D7-D4 Reserved**D3 JoinEPdWr**

このビットに"1"をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPdのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPdのFIFO中の空き容量が参照できるようになります。

D2 JoinEPcWr

このビットに"1"をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPcのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPcのFIFO中の空き容量が参照できるようになります。

D1 JoinEPbWr

このビットに"1"をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPbのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPbのFIFO中の空き容量が参照できるようになります。

D0 JoinEPaWr

このビットに"1"をセットすると、EPnFIFOforCPUレジスタからエンドポイントEPaのFIFOにデータを書き込むことができます。また、EPnWrRemain_H、LレジスタでエンドポイントEPaのFIFO中の空き容量が参照できるようになります。

0x1000082 EnEPnFIFO_Access (Enable EPn FIFO Access)

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈
EnEPnFIFO_Access (Enable EPn FIFO access)	1000082 (B)	D7-2	—	—			—	—	0 when being read.
		D1	EnEPnFIFO_Wr	1	Enable join EPn FIFO write	0	Do nothing	0	R/W
		D0	EnEPnFIFO_Rd	1	Enable join EPn FIFO read	0	Do nothing	0	R/W

CPU_JoinRdレジスタとCPU_JoinWrレジスタをそれぞれ有効にし、CPUインタフェースからのFIFOに対するアクセスを許可します。

D7-D2 Reserved

D1 EnEPnFIFO_Wr

このビットに"1"をセットするとCPU_JoinWrレジスタが有効となり、CPU_JoinWrレジスタで選択したEPnのFIFOにCPUがデータを書き込めるようになります。

D0 EnEPnFIFO_Rd

このビットに"1"をセットするとCPU_JoinRdレジスタが有効となり、CPU_JoinRdレジスタで選択したEPnのFIFOからCPUがデータを読み出せるようになります。

0x1000083 EPnFIFOforCPU (EPn FIFO for CPU)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPnFIFOforCPU (EPn FIFO for CPU)	1000083 (B)	D7	EPnFIFOData[7]	Endpoint EP0 FIFO access from CPU	X	R/W	
		D6	EPnFIFOData[6]		X		
		D5	EPnFIFOData[5]		X		
		D4	EPnFIFOData[4]		X		
		D3	EPnFIFOData[3]		X		
		D2	EPnFIFOData[2]		X		
		D1	EPnFIFOData[1]		X		
		D0	EPnFIFOData[0]		X		

D7-D0 EPnFIFOData[7:0]

CPUインタフェースからエンドポイントのFIFOにアクセスするためのレジスタです。

CPU_JoinRdレジスタで選択されたエンドポイントのFIFO内のデータを、このレジスタから読み出すことができます。

CPU_JoinWrレジスタで選択されたエンドポイントのFIFOに、このレジスタを通してデータを書き込むことができます。

EnEPnFIFO_AccessレジスタのEnEPnFIFO_Rdビットをセットせずにこのレジスタから値を読み出した場合、ダミーデータが出力されます。

また、EnEPnFIFO_AccessレジスタのEnEPnFIFO_Wrビットをセットせずにこのレジスタに書き込んだ場合、FIFOへの書き込みは行われません。

該当するエンドポイントのFIFOが空のときにこのレジスタを読み出すと、ダミーデータが読み出されます。

該当するエンドポイントのFIFOが満杯のときにこのレジスタにデータを書き込んでも、FIFOには書き込まれません。

0x1000084 EPnRdRemain_H (EPn FIFO Read Remain High)**0x1000085 EPnRdRemain_L (EPn FIFO Read Remain Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPnRdRemain_H (EPn FIFO read remain high)	1000084 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPnRdRemain[11]	Endpoint n FIFO read remain high	0	R	
		D2	EPnRdRemain[10]		0		
		D1	EPnRdRemain[9]		0		
		D0	EPnRdRemain[8]		0		
EPnRdRemain_L (EPn FIFO read remain low)	1000085 (B)	D7	EPnRdRemain[7]	Endpoint n FIFO read remain low	0	R	
		D6	EPnRdRemain[6]		0		
		D5	EPnRdRemain[5]		0		
		D4	EPnRdRemain[4]		0		
		D3	EPnRdRemain[3]		0		
		D2	EPnRdRemain[2]		0		
		D1	EPnRdRemain[1]		0		
		D0	EPnRdRemain[0]		0		

EPnRdRemain[11:0]

CPU_JoinRdレジスタによってCPUインタフェースに接続しているエンドポイントのFIFO内の残りデータ数を示します。FIFOの残りデータ数を取得する場合は、EPnRdRemain_HレジスタとEPnRdRemain_Lレジスタを対でアクセスする必要があります。その際には、EPnRdRemain_Hレジスタを先にアクセスしてください。

0x1000086 EPnWrRemain_H (EPn FIFO Write Remain High)**0x1000087 EPnWrRemain_L (EPn FIFO Write Remain Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EPnWrRemain_H (EPn FIFO write remain high)	1000086 (B)	D7-4	—	—	—	—	0 when being read.
		D3	EPnWrRemain[11]	Endpoint n FIFO write remain high	0	R	
		D2	EPnWrRemain[10]		0		
		D1	EPnWrRemain[9]		0		
		D0	EPnWrRemain[8]		0		
EPnWrRemain_L (EPn FIFO write remain low)	1000087 (B)	D7	EPnWrRemain[7]	Endpoint n FIFO write remain low	0	R	
		D6	EPnWrRemain[6]		0		
		D5	EPnWrRemain[5]		0		
		D4	EPnWrRemain[4]		0		
		D3	EPnWrRemain[3]		0		
		D2	EPnWrRemain[2]		0		
		D1	EPnWrRemain[1]		0		
		D0	EPnWrRemain[0]		0		

EPnWrRemain[11:0]

CPU_JoinWrレジスタによってCPUインタフェースに接続しているエンドポイントのFIFOの空き容量を示します。FIFOの空き容量を取得する場合は、EPnWrRemain_HレジスタとEPnWrRemain_Lレジスタを対でアクセスする必要があります。その際には、EPnWrRemain_Hレジスタを先にアクセスしてください。

0x1000088 DescAdrs_H (Descriptor Address High)**0x1000089 DescAdrs_L (Descriptor Address Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
DescAdrs_H (Descriptor address high)	1000088 (B)	D7-4	–	–	–	–	0 when being read.
		D3	DescAdrs[11]	Descriptor address	0	R/W	
		D2	DescAdrs[10]		0		
		D1	DescAdrs[9]		0		
		D0	DescAdrs[8]		0		
DescAdrs_L (Descriptor address low)	1000089 (B)	D7	DescAdrs[7]	Descriptor address	0	R/W	
		D6	DescAdrs[6]		0		
		D5	DescAdrs[5]		0		
		D4	DescAdrs[4]		0		
		D3	DescAdrs[3]		0		
		D2	DescAdrs[2]		0		
		D1	DescAdrs[1]		0		
		D0	DescAdrs[0]		0		

DescAdrs[11:0]

デスクリプタ返信機能における、デスクリプタ返信動作、デスクリプタ書き込み動作、およびデスクリプタ読み出し動作開始時のFIFOの先頭アドレスを指定します。

デスクリプタアドレスの指定は、デスクリプタ返信機能に対してFIFO領域を割り当てるものではありません。デスクリプタアドレスは、FIFOの領域設定にかかわらず、0x0000から0x03FF(1Kバイト)までのFIFOの全領域を指定することができます。

デスクリプタ返信時には、エンドポイントEP0におけるINトランザクション完了ごとに、送信データ数の分だけDescAdrsは更新されます。デスクリプタ返信機能については、EP0ControlレジスタのReplyDescriptorの項を参照してください。

デスクリプタ書き込み/読み出し時には、1回の書き込みまたは読み出しごとに、DescAdrsは1ずつ増加します。デスクリプタ書き込み/読み出しについては、DescDoorレジスタの項を参照してください。

デスクリプタ返信機能用のFIFO領域は、明示的には割り当てられませんので、DescAdrs_H、DescAdrs_LレジスタとDescSize_H、DescSize_Lレジスタの指定によって、他のエンドポイントのFIFOとの重複を避けてください。エンドポイントEP0の予約された領域の終了アドレス(0x0040)からエンドポイントEPaの領域の先頭アドレス(EPaStartAdrs_H、EPaStartAdrs_L)までの間が適切です。

DescriptorAddressを参照する場合は、DescAdrs_H、DescAdrs_Lの順に読み出してください。

0x100008A DescSize_H (Descriptor Size High)
0x100008B DescSize_L (Descriptor Size Low)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
DescSize_H (Descriptor size high)	100008A (B)	D7-2	–	–	–	–	0 when being read.
		D1	DescSize[9]	Descriptor size	0	R/W	
		D0	DescSize[8]		0		
DescSize_L (Descriptor size low)	100008B (B)	D7	DescSize[7]	Descriptor size	0	R/W	
		D6	DescSize[6]		0		
		D5	DescSize[5]		0		
		D4	DescSize[4]		0		
		D3	DescSize[3]		0		
		D2	DescSize[2]		0		
		D1	DescSize[1]		0		
		D0	DescSize[0]		0		

DescSize[9:0]

DescSizeには、デスクリプタ返信機能において返信するデータの総数を指定します。デスクリプタ返信機能については、EP0ControlレジスタのReplyDescriptorビットの項を参照してください。

DescSizeには、FIFOのサイズおよび領域設定にかかわらず、0x0000から0x03FFまでの値を指定することができます。デスクリプタ返信時には、エンドポイントEP0におけるINトランザクション完了ごとに、送信データ数の分だけDescAdrsは更新されます。

デスクリプタ返信機能用のFIFO領域は、明示的には割り当てられませんので、DescAdrs_H、DescAdrs_LレジスタとDescSize_H、DescSize_Lレジスタの指定によって、他のエンドポイントのFIFOとの重複を避けてください。エンドポイントEP0の予約された領域の終了アドレス(0x0040)からエンドポイントEPaの領域の先頭アドレス(EPaStartAdrs_H、EPaStartAdrs_L)までの間が適切です。

DescSizeを参照する場合は、DescSize_H、DescSize_Lの順に読み出してください。

0x100008F DescDoor (Descriptor Door)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
DescDoor (Descriptor door)	100008F (B)	D7	DescMode[7]	Descriptor door	0	R/W	
		D6	DescMode[6]		0		
		D5	DescMode[5]		0		
		D4	DescMode[4]		0		
		D3	DescMode[3]		0		
		D2	DescMode[2]		0		
		D1	DescMode[1]		0		
		D0	DescMode[0]		0		

D7-D0 DescMode[7:0]

デスクリプタの読み出しおよび書き込みを行うレジスタです。

書き込み開始前に、DescAdrs_H、DescAdrs_Lレジスタに、FIFOのデスクリプタを書き込む領域の先頭アドレスを設定してください。その後、このレジスタに1バイトずつ書き込みを行います。書き込みごとにDescAdrs_H、DescAdrs_Lが自動的に1バイトずつインクリメントされ、順次書き込みが行えます。

DescDoorレジスタから書き込んだデータは、ReplyDescriptorの機能によって何度でも使用できます。つまり、このデータはデスクリプタ返信機能によって、消されたり、上書きされることはありません。ただし、デスクリプタデータを書き込んだ領域が、他のエンドポイントで確保されている領域と重なる場合には、データは上書きされてしまいます。

このレジスタを読むことにより、DescAdrs_H、DescAdrs_Lに設定したアドレスから、順次FIFOのデータを読み出すことができます。このときも、DescAdrs_H、DescAdrs_Lレジスタのアドレスは読み出しごとにインクリメントされます。したがって、DescDoorレジスタに書き込み後、続けて読み出しを行っても、直前に書き込んだ値は読み出せませんので、注意してください。

0x1000090 DMA_FIFO_Control (DMA FIFO Control)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
DMA_FIFO_Control (DMA FIFO control)	1000090 (B)	D7	FIFO_Running	1	FIFO is running	0	FIFO is not running	0	R	
		D6	AutoEnShort	1	Auto enable short packet	0	Do nothing	0	R/W	
		D5-0	—	—				—	—	0 when being read.

D7 FIFO_Running
DMAに接続されたエンドポイントのFIFOが動作中であることを示します。DMAを起動すると"1"にセットされ、DMAが終了した後、FIFOが空になると"0"にクリアされます。

D6 AutoEnShort
このビットが"1"の場合、DMAの終了時に最大パケットサイズに満たないデータがFIFOに残った場合に、そのエンドポイントのEnShortPktビットを"1"にセットします。
DMAに接続されたエンドポイントがIN方向の場合に有効です。

D5-D0 Reserved

0x1000091 DMA_Join (DMA Join FIFO)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
DMA_Join (DMA join FIFO)	1000091 (B)	D7-4	–	–				–	–	0 when being read.
		D3	JoinEPdDMA	1	Join EPd to DMA	0	Do nothing	0	R/W	
		D2	JoinEPcDMA	1	Join EPc to DMA	0	Do nothing	0	R/W	
		D1	JoinEPbDMA	1	Join EPb to DMA	0	Do nothing	0	R/W	
		D0	JoinEPaDMA	1	Join EPa to DMA	0	Do nothing	0	R/W	

JoinEPdDMA、JoinEPcDMA、JoinEPbDMA、JoinEPaDMAビットの設定により、DMA転送を行うエンドポイントを指定します。これらのビットを設定したのち、DMA_Remain_H、DMA_Remain_Lレジスタにより、エンドポイントがOUT方向の場合は残りデータ数、エンドポイントがIN方向の場合は空き容量が、それぞれ参照できます。

このレジスタで同時に"1"にセット可能なのは1ビットのみです。複数のビットが同時に"1"にセットされた場合、上位の1ビットが有効となります。

D7-D4 Reserved**D3-D0 JoinEPdDMA, JoinEPcDMA, JoinEPbDMA, JoinEPaDMA**

このビットに"1"をセットすると、エンドポイントEPx(x=a,b,c,d)でDMA転送ができるようになります。また、DMA_Remain_H、DMA_Remain_Lレジスタで、エンドポイントEPx(x=a,b,c,d)のFIFOの空き容量(INの場合)またはデータ数(OUTの場合)が参照できるようになります。

0x1000092 DMA_Control (DMA Control)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈
DMA_Control (DMA control)	1000092 (B)	D7	DMA_Running	1	DMA is running	0	DMA is not running	0	R	0 when being read.
		D6	PDREQ	PDREQ (#DMAREQ3) signal logic				0	R	
		D5	PDACK	PDACK (#CE4) signal logic				0	R	
		D4	-	-				-	-	
		D3	CounterClr	1	Clear DMA counter	0	Do nothing	0	W	
		D2	-	-				-	-	
		D1	DMA_Stop	1	Finish DMA	0	Do nothing	0	W	
		D0	DMA_Go	1	Start DMA	0	Do nothing	0	W	

DMA転送時の制御、およびDMAインタフェースの状態を表示します。

D7 DMA_Running

DMA転送中、このビットが"1"にセットされます。このビットが"1"である間は、DMA_Joinレジスタを書き換えることはできません。

D6 PDREQ

PDREQ(#DMAREQ3)信号のロジックレベルをモニタできます。

D5 PDACK

PDACK(#CE4)信号のロジックレベルをモニタできます。

D4 Reserved**D3 CounterClr**

このビットに"1"をセットすると、DMA_Count_HH、HL、LH、LLレジスタが0x00にクリアされます。DMA_Runningビットが"1"のときは、このビットへの書き込みは無視されます。

D2 Reserved**D1 DMA_Stop**

このビットに"1"をセットすると、DMA転送を終了します。DMA転送を停止すると、DMA_Runningビットが"0"にクリアされ、MainIntStatレジスタのDMA_Cmpビットが"1"にセットされます。DMA転送を再開する場合、DMA_RunningビットまたはDMA_Cmpビットを確認し、DMAが終了するのを待って行ってください。

非同期DMA転送中にこのビットをセットしてDMA転送を終了した場合、データの欠落が生じる恐れがあります。このような場合は、先にHSDMA側を停止させてから、このビットをセットするようにしてください。

D0 DMA_Go

このビットを"1"にセットすると、DMA転送を開始します。

0x1000094 DMA_Config_0 (DMA Configuration 0)

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈	
DMA_Config_0 (DMA configuration 0)	1000094 (B)	D7	ActivePort	1	Activate DMA port	0	Disactivate DMA port	0	R/W		
		D6-4	—		—				—	—	0 when being read.
		D3	PDREQ_Level	1	Active-low	0	Active-high	0	R/W		
		D2	PDACK_Level	1	Active-low	0	Active-high	0	R/W		
		D1	PDRDWR_Level	1	Active-low	0	Active-high	0	R/W		
		D0	—		—				—	—	0 when being read.

DMAインタフェースのバスに関する設定を行います。

D7 ActivePort

DMAインタフェースをアクティブにします。

このビットが"0"のとき、DMAインタフェース信号はHi-Z状態になります。

D6-D4 Reserved**D3 PDREQ_Level**

PDREQ(#DMAREQ3)信号の論理レベルを設定します。"0"(アクティブHigh)に設定してください。

D2 PDACK_Level

PDACK(#CE4)信号の論理レベルを設定します。"1"(アクティブLow)に設定してください。

D1 PDRDWR_Level

PDRD(#RD)およびPDWR(#WRL)信号の論理レベルを設定します。"1"(アクティブLow)に設定してください。

D0 Reserved

0x1000095 DMA_Config_1 (DMA Configuration 1)

レジスタ名	アドレス	ビット	名 称	設 定		Init.	R/W	注 釈		
DMA_Config_1 (DMA configuration 1)	1000095 (B)	D7	RcvLimitMode	1	Recive limit mode	0	Normal	0	R/W	
		D6-4	-			-		-	-	0 when being read.
		D3	SingleWord	1	Single word	0	Multi word	0	R/W	
		D2-1	-			-		-	-	0 when being read.
		D0	CountMode	1	Count-down mode	0	Free-run mode	0	R/W	

DMAインタフェースの動作モードに関する設定を行います。

D7 RcvLimitMode

本ビットに"1"をセットすることによって、RcvLimitモードになります。非同期マルチワードDMA転送の書き込み動作時のみ有効で、カウントダウンモードでは使用できません。

RcvLimitモードの非同期DMA書き込み動作時は、本コントローラがPDREQ(#DMAREQ3)信号をネゲートした後も、更に16バイトまでのデータを受け取ることが可能です。

本モードでは、DMAの書き込み動作によってエンドポイントの空き領域が32バイトより少なくなった時点で、PDREQ(#DMAREQ3)信号をネゲートします。ただし、PDREQ(#DMAREQ3)信号ネゲート時点では、エンドポイントに書かれていない16バイトのデータが、内部回路の中に存在する可能性があります。したがって、PDREQ(#DMAREQ3)信号ネゲート後に受け取れるデータは、16バイトまでとなります。

本モードでは、エンドポイントが完全にフルになる前にPDREQ(#DMAREQ3)信号をネゲートします。

EP{a,b,c,d}StartAddressレジスタで設定するエンドポイントの領域が、EP{a,b,c,d}MaxSizeレジスタで設定する値と同じ場合(シングルバッファ設定の場合)には、常にエンドポイントがフルにならないため、USBのIN転送によってデータを送信することができません。

したがって、RcvLimitモードを使用する場合は、必ずEP{a,b,c,d}MaxSizeレジスタの値+32バイト以上のエリアを、EP{a,b,c,d}StartAddressレジスタで設定してください。

D6-D4 Reserved**D3 SingleWord**

非同期転送における、ハンドシェイクのモードを設定します。

シングルワードモードでは、1ワードの転送ごとに、PDREQ(#DMAREQ3)信号をネゲートします。

マルチワードモードでは、次のデータの送受信が可能であれば、1ワード転送ごとにPDREQ(#DMAREQ3)信号をネゲートしません。

D2-D1 Reserved**D0 CountMode**

DMA転送数制御のモードを設定します。

フリーランモードでは、DMA転送はDMA_Stopがセットされるまで動作します。DMA_Count_HH、HL、LH、LLレジスタで転送数が参照できます。

カウントダウンモードでは、DMA転送はDMA_Count_HH、HL、LH、LLレジスタに設定したバイト数の転送が終了するか、あるいはDMA_Stopビットで終了するまで動作します。DMA_Count_HH、HL、LH、LLレジスタでは残り転送数が参照できます。

0x1000097 DMA_Latency (DMA Latency)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
DMA_Latency (DMA latency)	1000097 (B)	D7-4	–	–	–	–	0 when being read.
		D3	DMA_Latency[3]	Latency	0	R/W	
		D2	DMA_Latency[2]		0		
		D1	DMA_Latency[1]		0		
		D0	DMA_Latency[0]		0		

非同期転送用の、データ転送のレイテンシを設定できます。レイテンシの単位時間は約130nsです。

D7-D4 Reserved

D3-D0 DMA_Latency[3:0]

レイテンシを設定します。
0x1~0xFの値を書き込むと、シングルワードモード、マルチワードモード共に、4ワードの転送を行うごとにPDREQ(#DMAREQ3)信号をネゲートし、130×N(ns)の期間、PDREQ(#DMAREQ3)信号をアサートしません。

0x1000098 DMA_Remain_H (DMA FIFO Remain High)
0x1000099 DMA_Remain_L (DMA FIFO Remain Low)

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
DMA_Remain_H (DMA FIFO remain high)	1000098 (B)	D7-4	–	–	–	–	0 when being read.
		D3	DMA_Remain[11]	DMA FIFO remain high	0	R	
		D2	DMA_Remain[10]		0		
		D1	DMA_Remain[9]		0		
		D0	DMA_Remain[8]		0		
DMA_Remain_L (DMA FIFO remain low)	1000099 (B)	D7	DMA_Remain[7]	DMA FIFO remain low	0	R	
		D6	DMA_Remain[6]		0		
		D5	DMA_Remain[5]		0		
		D4	DMA_Remain[4]		0		
		D3	DMA_Remain[3]		0		
		D2	DMA_Remain[2]		0		
		D1	DMA_Remain[1]		0		
		D0	DMA_Remain[0]		0		

DMA_Remain[11:0]

DMA_JoinレジスタによってDMAに接続しているエンドポイントがOUT方向である場合、そのエンドポイントのFIFO内の残りデータ数を示します。
DMA_JoinレジスタによってDMAに接続しているエンドポイントがIN方向である場合、そのエンドポイントのFIFOの空き容量を示します。
DMA_Remain_HとDMA_Remain_Lレジスタは、対でアクセスする必要があります。その際には、DMA_Remain_Hレジスタを先にアクセスしてください。

0x100009C DMA_Count_HH (DMA Transfer Byte Counter High/High)**0x100009D DMA_Count_HL (DMA Transfer Byte Counter High/Low)****0x100009E DMA_Count_LH (DMA Transfer Byte Counter Low/High)****0x100009F DMA_Count_LL (DMA Transfer Byte Counter Low/Low)**

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
DMA_Count_HH (DMA transfer byte counter high/high)	100009C (B)	D7	DMA_Count[31]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[30]		0		
		D5	DMA_Count[29]		0		
		D4	DMA_Count[28]		0		
		D3	DMA_Count[27]		0		
		D2	DMA_Count[26]		0		
		D1	DMA_Count[25]		0		
		D0	DMA_Count[24]		0		
					0		
DMA_Count_HL (DMA transfer byte counter high/low)	100009D (B)	D7	DMA_Count[23]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[22]		0		
		D5	DMA_Count[21]		0		
		D4	DMA_Count[20]		0		
		D3	DMA_Count[19]		0		
		D2	DMA_Count[18]		0		
		D1	DMA_Count[17]		0		
		D0	DMA_Count[16]		0		
					0		
DMA_Count_LH (DMA transfer byte counter low/high)	100009E (B)	D7	DMA_Count[15]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[14]		0		
		D5	DMA_Count[13]		0		
		D4	DMA_Count[12]		0		
		D3	DMA_Count[11]		0		
		D2	DMA_Count[10]		0		
		D1	DMA_Count[9]		0		
		D0	DMA_Count[8]		0		
					0		
DMA_Count_LL (DMA transfer byte counter low/low)	100009F (B)	D7	DMA_Count[7]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[6]		0		
		D5	DMA_Count[5]		0		
		D4	DMA_Count[4]		0		
		D3	DMA_Count[3]		0		
		D2	DMA_Count[2]		0		
		D1	DMA_Count[1]		0		
		D0	DMA_Count[0]		0		
					0		

DMA_Count[31:0]

DMA転送におけるデータ長をバイト単位で設定、および表示します。最大0xFFFFFFFFバイトまで設定可能です。

DMA_Config_1レジスタのCountModeビットでDMAがフリーランモード(CountMode="0")に設定されている場合、DMAで転送した値が随時参照できます。このモードでは、DMA_Countが0xFFFFFFFFを超えると0x00000000に戻り、MainIntStatレジスタのDMA_CountUpビットに"1"をセットします。

DMA_Config_1レジスタのCountModeビットでDMAがカウントダウンモード(CountMode="1")に設定されている場合、DMA_Countに総転送数を設定してから、DMA_ControlレジスタのDMA_Goビットに"1"をセットして、DMA転送を起動してください。このモードでは、DMA_CountはDMA転送したデータ数だけ随時減算され、0x00000000に達するとDMAは終了します。このモードでは、DMAの残り転送数が参照できます。DMA転送中のこのレジスタへの書き込みは無視されます。

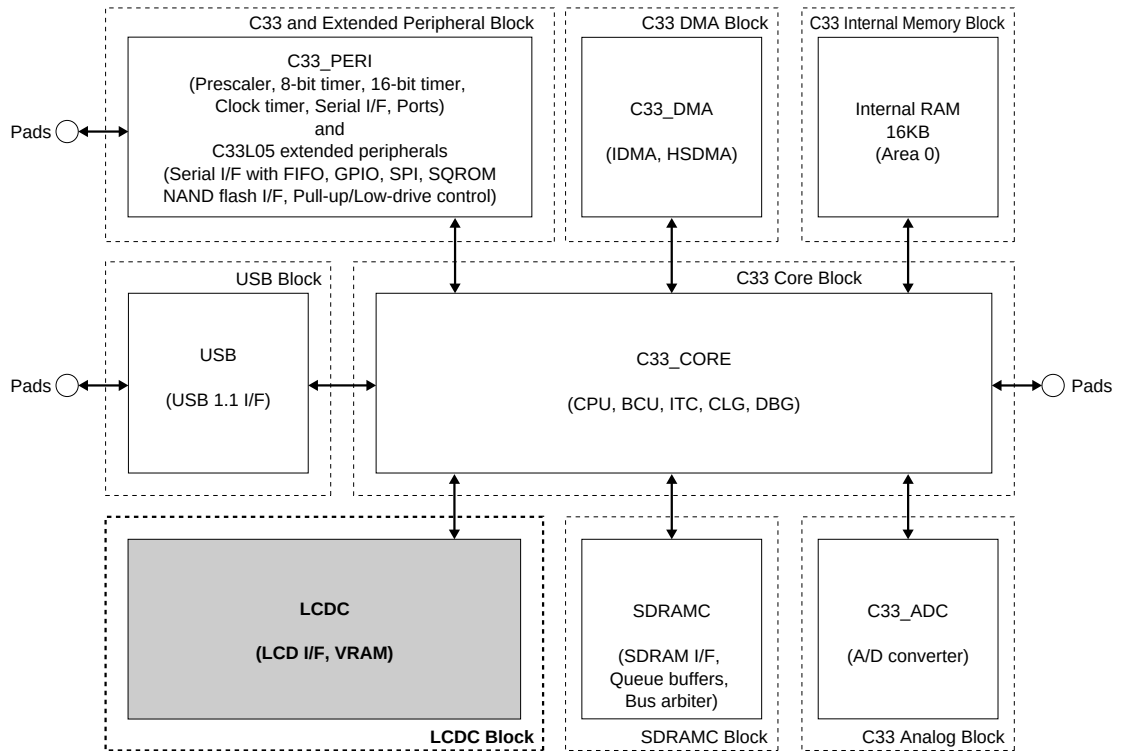
このレジスタを読み出す場合、DMA_Count_HH、DMA_Count_HL、DMA_Count_LH、DMA_Count_LLの順にアクセスしてください。

S1C33L05 Technical Manual

VII LCDCブロック

VII-1 はじめに

LCDCブロックは、LCDコントローラとVRAMで構成されています。



図VII.1.1 LCDCブロック

このページはブランクです。

VII-2 LCDコントローラ

ここでは、LCDコントローラの機能と制御方法について説明します。

概要

特長

LCDコントローラ(LCDC)の特長を以下に示します。

S1C33コアCPUインタフェースおよびVRAM

- バスアービタとIVRAMアービタを使用するUMA(Unified Memory Access)を実装。この機能は、CPUが内蔵回路をアクセス時にLCDCによるSDRAM(外部VRAM)へのアクセスを可能に、またCPUが他の回路をアクセス時にLCDCによるIVRAM(内蔵VRAM)へのアクセスを可能にします。
- LCDCレジスタはエリア6に配置され、16ビットアクセスが可能
- アドレス0x3C0000～0x3C9FFFに内蔵VRAM(40KB)を配置
- 外部VRAMの配置は指定可能(32MB SDRAM中の最大1MB)
- LCDC割り込みにITCの割り込みベクタNo.89(トラップテーブルベースアドレス + 0x164)を割り当て

対応ディスプレイ

- 4または8ビット モノクロLCDパネル
- 4または8ビット カラーLCDパネル
- シングルパネル、シングルドライブパッシブディスプレイ
- 解像度の例
320×240(16bppモード、外部VRAMが必要) * bpp = ビット/ピクセル
320×240(4bppモード)
160×240(8bppモード)

表示モード

- フレームレートモジュレーションによりモノクロパッシブLCDパネルで最大64階調のグレースケール表示が可能
1bppモードで2×6ビットルックアップテーブルを使用した2階調表示
2bppモードで4×6ビットルックアップテーブルを使用した4階調表示
4または12bppモードで16×6ビットルックアップテーブルを使用した16階調表示
8または16bppモードで256×6ビットルックアップテーブルを使用した64階調表示
- カラーパッシブLCDパネルで256K色中最大64K色の同時表示が可能
1bppモードで2×6ビットルックアップテーブルを3個使用した2色表示
2bppモードで4×6ビットルックアップテーブルを3個使用した4色表示
4bppモードで16×6ビットルックアップテーブルを3個使用した16色表示
8bppモードで256×6ビットルックアップテーブルを3個使用した256色表示
12bppモードで48×6ビットルックアップテーブルを使用した4K色表示
16bppモードで128×6ビットルックアップテーブルを使用した64K色表示

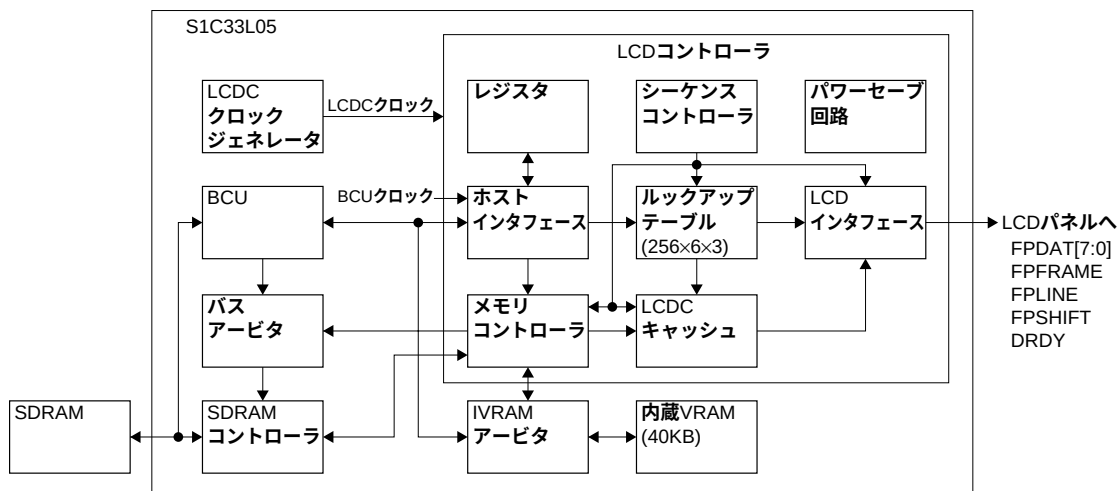
クロック

- LCDコントローラ用のPCLK(ピクセルクロック)とMCLK(メモリクロック)をLCDCクロックジェネレータがOSC3/PLLクロックを1～16分周して生成
- LCDコントローラ用のUMAクロックをBCUCLKまたはOSC3/PLLクロックから選択可能
- クロック供給はゲート制御により停止可能

パワーセーブ

- ソフトウェアパワーセーブモード
- RAM内蔵あるいはセルフリフレッシュタイプLCDパネルに対応したDOZEモード
- ブランク表示

ブロック図



図VII.2.1 LCDコントローラブロック図

ホストインタフェース

C33 STDコアは、このホストインタフェースを介してLCDCレジスタとルックアップテーブルをアクセスします。

メモリコントローラ

メモリコントローラは、CPUとLCDCによる表示データのアクセスの調停を行います。LCDCキャッシュの制御も行います。

LCDCキャッシュ

2個の32バイトFIFOで構成され、LCDパネルに表示データを送るための表示データキャッシュとして使用します。

シーケンスコントローラ

シーケンスコントローラは、メモリコントローラからルックアップテーブルを通りLCDインタフェースに送られるデータの流れを制御します。また、画面をリフレッシュするために、表示データメモリアドレスも生成します。

ルックアップテーブル

256×6ビットテーブル3個(赤、緑、青)で構成され、表示色やモノクロ表示の階調を設定しておきます。モノクロモード時は、緑ルックアップテーブルのみを使用します。

LCDインタフェース

LCDインタフェースはパッシブLCDパネルでの表示用にフレームレート変調を行います。また、各種のLCDパネルに対応した形式の表示データやタイミング制御信号を生成します。

パワーセーブ回路

LCDCのパワーセーブモードを制御します。

LCDコントローラの入出力端子

表VII.2.1にLCDコントローラの入出力端子を、表VII.2.2に使用するLCDパネルによる端子の構成を示します。

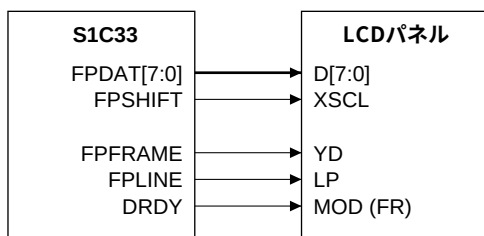
表VII.2.1 LCDコントローラの入出力端子

端子名	I/O	機 能	機能選択ビット
PB0(FPDAT0)	I/O	入出力兼用ポート/LCD表示データ出力(D0)	FPB0[1:0](PB0–PB3ポート 機能拡張レジスタ0x300F62-D[1:0])
PB1(FPDAT1)	I/O	入出力兼用ポート/LCD表示データ出力(D1)	FPB1[1:0](PB0–PB3ポート 機能拡張レジスタ0x300F62-D[3:2])
PB2(FPDAT2)	I/O	入出力兼用ポート/LCD表示データ出力(D2)	FPB2[1:0](PB0–PB3ポート 機能拡張レジスタ0x300F62-D[5:4])
PB3(FPDAT3)	I/O	入出力兼用ポート/LCD表示データ出力(D3)	FPB3[1:0](PB0–PB3ポート 機能拡張レジスタ0x300F62-D[7:6])
PB4(FPDAT4)	I/O	入出力兼用ポート/LCD表示データ出力(D4)	FPB4[1:0](PB4–PB7ポート 機能拡張レジスタ0x300F63-D[1:0])
PB5(FPDAT5)	I/O	入出力兼用ポート/LCD表示データ出力(D5)	FPB5[1:0](PB4–PB7ポート 機能拡張レジスタ0x300F63-D[3:2])
PB6(FPDAT6)	I/O	入出力兼用ポート/LCD表示データ出力(D6)	FPB6[1:0](PB4–PB7ポート 機能拡張レジスタ0x300F63-D[5:4])
PB7(FPDAT7)	I/O	入出力兼用ポート/LCD表示データ出力(D7)	FPB7[1:0](PB4–PB7ポート 機能拡張レジスタ0x300F63-D[7:6])
PC0(FPFRAME)	I/O	入出力兼用ポート/LCD垂直スキャン開始パルス出力	FPC0[1:0](PC0–PC3ポート 機能拡張レジスタ0x300F64-D[1:0])
PC1(FPLINE)	I/O	入出力兼用ポート/LCD表示データラッチクロック出力	FPC1[1:0](PC0–PC3ポート 機能拡張レジスタ0x300F64-D[3:2])
PC2(FPSHIFT)	I/O	入出力兼用ポート/LCD表示データシフトクロック出力	FPC2[1:0](PC0–PC3ポート 機能拡張レジスタ0x300F64-D[5:4])
PC3(DRDY)	I/O	入出力兼用ポート/LCDバックプレーンバイアス信号出力	FPC3[1:0](PC0–PC3ポート 機能拡張レジスタ0x300F64-D[7:6])

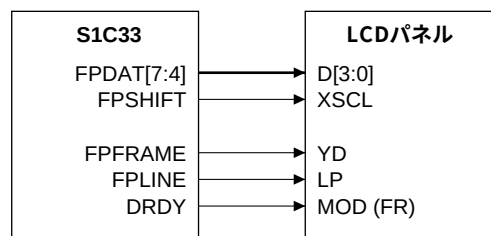
LCDインタフェース信号端子はPBおよびPC入出力兼用ポートと共用されており、コールドスタート時はすべて入出力兼用ポート端子に設定されます。LCDCを使用する場合は、PBおよびPCポートの機能拡張レジスタ(0x300F62～0x300F64)を使用して、これらの端子をLCDインタフェース用に設定してください。ホットスタート時、ポート機能拡張レジスタはリセット前の状態を保持します。

表VII.2.2 使用パネルによる端子構成

端子名	モノクロパッシブパネル		カラーパッシブパネル		
	4ビット	8ビット	4ビット	8ビットフォーマット1	8ビットフォーマット2
FPFRAME	FPFRAME				
FPLINE	FPLINE				
FPSHIFT	FPSHIFT				
DRDY	MOD	MOD	MOD	FPSHIFT2	MOD
FPDAT7	D3	D7	D3	D7	D7
FPDAT6	D2	D6	D2	D6	D6
FPDAT5	D1	D5	D1	D5	D5
FPDAT4	D0	D4	D0	D4	D4
FPDAT3	PB3	D3	PB3	D3	D3
FPDAT2	PB2	D2	PB2	D2	D2
FPDAT1	PB1	D1	PB1	D1	D1
FPDAT0	PB0	D0	PB0	D0	D0



8ビットパッシブLCDパネル



4ビットパッシブLCDパネル

図VII.2.2 LCDパネルの接続例

システム設定

BCUの設定

LCDCレジスタと内蔵VRAMは、エリア6に割り付けられています。したがって、制御レジスタとVRAMをアクセスするためには、以下に示す手順でBCUの設定が必要です。

1. A6IO(アクセス制御レジスタ0x48132・D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6WT[2:0](エリア6-4設定レジスタ0x4812A・D[A:8]) = "000"(x2スピードモード)または"001"(x1スピードモード)
x1スピードモード時は、エリア6のアクセス時に1サイクルのウェイトが挿入されるように設定します。
x2スピードモード時は0ウェイトでアクセス可能です。
3. SWAITE(バスコントロールレジスタ0x4812E・D0) = "1"
内部#WAIT信号を有効にします。
4. A6EC(アクセス制御レジスタ0x48132・D1) = "0"
エリア6のデータ形式をリトルエンディアンに設定します。
5. IVRAMはバイト、ハーフワード、ワードアクセスが可能です。LCDCレジスタとルックアップテーブルはバイトアクセスに対応していません。

表示メモリ (VRAM) の選択

S1C33L05は40Kバイトの表示用RAMを内蔵しています。このVRAMはエリア6のアドレス0x3C0000～0x3C9FFFにマップされています。

LCDCは、外部SDRAMを表示メモリ(最大1MB)として使用できるようになっています。

どちらのメモリをVRAMとして使用するかについては、VRAMSEL(画面開始アドレスレジスタ0x380210・DF)で選択できます。

VRAMSEL = "0": 内蔵VRAMを使用(デフォルト)

VRAMSEL = "1": 外部VRAMを使用

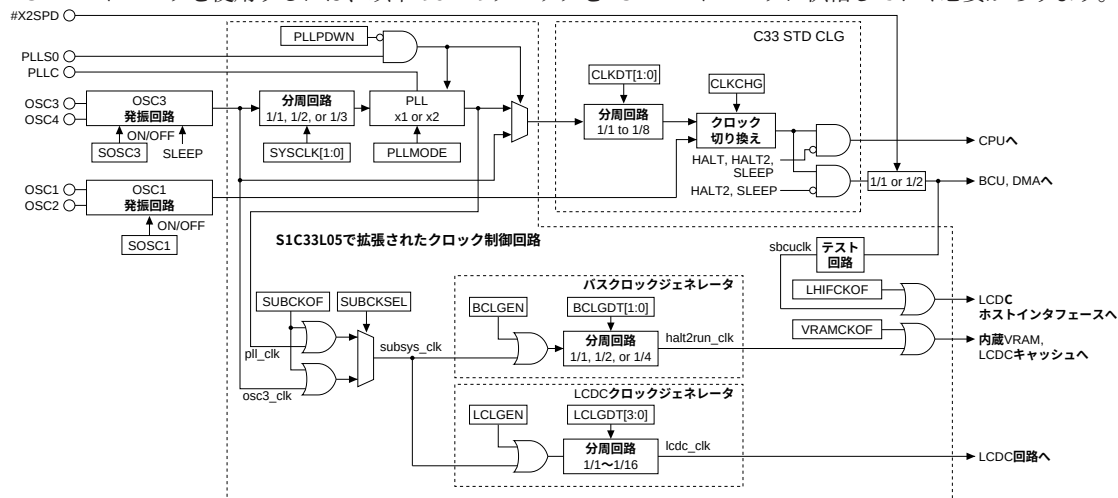
内蔵VRAMを使用する場合、前述のBCUの設定以外、特別な設定などは必要ありません。内蔵VRAMは5つのバンクに分けられ、異なるバンクであればCPUとLCDCから同時にアクセスできるようになっています。同じバンクをCPUとLCDCが同時にアクセスした場合はLCD表示の更新を優先して行うため、先にLCDCからのアクセスが許可されます。LCDCがVRAMから表示データを読み出してLCDCキャッシュが満杯になるまで、CPUはアクセス待ち状態になります。この制御はIVRAMアービタが行います。詳細については、「VII-3 内蔵VRAMとIVRAMアービタ」を参照してください。

外部SDRAMをVRAMとして使用する場合はSDRAMコントローラの設定が必要です。SDRAMコントローラの設定については、"VIII-2 SDRAMコントローラ"を参照してください。

LCDCはSDRAM先頭から最大1MバイトまでをVRAMとして使用します。

LCDCクロックの設定

LCDコントローラを使用するには、以下の3つのクロックをLCDコントローラに供給しておく必要があります。



図VII.2.3 LCDCクロック

sbcuclk: sbcuclkクロックはLCDCホストインタフェースが使用します。このクロックをLCDCに供給するには、LHIFCKOF(モジュールクロック制御レジスタ0, 0x300F35・D0)を"0"(デフォルト)に設定します。

lcdc_clk: lcdc_clkはLCDCのピクセルクロックPCLKとして使用するクロックで、LCDCクロックジェネレータにより生成されます。このクロックをLCDCに供給するには、LCLGEN(LCDCクロックジェネレータ制御レジスタ0x300F34・D7)を"1"に設定します。
LCDCクロックを生成するためのソースクロックと分周比は、SUBCKSEL(サブシステムクロック選択レジスタ0x300F32・D0)と、LCLGDT[3:0](LCDCクロックジェネレータ制御レジスタ0x300F34・D[3:0])で選択できます。

ソースクロックの選択(subsys_clk)

SUBCKSEL = "0": OSC3クロック

SUBCKSEL = "1": PLL出力クロック

表VII.2.3 LCDCクロックの分周比

LCLGDT3	LCLGDT2	LCLGDT1	LCLGDT0	LCLGソースクロック
1	1	1	1	subsys_clk / 16
1	1	1	0	subsys_clk / 15
1	1	0	1	subsys_clk / 14
1	1	0	0	subsys_clk / 13
1	0	1	1	subsys_clk / 12
1	0	1	0	subsys_clk / 11
1	0	0	1	subsys_clk / 10
1	0	0	0	subsys_clk / 9
0	1	1	1	subsys_clk / 8
0	1	1	0	subsys_clk / 7
0	1	0	1	subsys_clk / 6
0	1	0	0	subsys_clk / 5
0	0	1	1	subsys_clk / 4
0	0	1	0	subsys_clk / 3
0	0	0	1	subsys_clk / 2
0	0	0	0	subsys_clk

halt2run_clk: バスクロックジェネレータで生成されるクロックで、内蔵VRAM、LCDCキャッシュ、SDRAMの動作クロックとして使用されます。このクロックをLCDCに供給するには、BCLGEN(バスクロックジェネレータ制御レジスタ0x300F33・D7)を"1"に、VRAMCKOF(モジュールクロック制御レジスタ1, 0x300F36・D0)を"0"に設定します。

halt2run_clkクロックの生成には、lcdc_clkクロックの場合と同じソースクロック(OSC3またはPLL出力)を使用します。分周比は、BCLGDT[1:0](バスクロックジェネレータ制御レジスタ0x300F33・D[1:0])で選択することができます。

表VII.2.4 バスクロックの分周比

BCLGDT1	BCLGDT0	BCLGソースクロック
1	1	subsys_clk / 4
1	0	subsys_clk / 2
0	1	subsys_clk
0	0	

クロックシステムの詳細については、"III-17 S1C33L05クロック系とMiscレジスタ"を参照してください。

LCDパネル設定

パネルの種類

本LCDコントローラは以下のシングルLCDパネルに対応しています。

- 4または8ビット モノクロパッシブLCDパネル
- 4または8ビット カラーパッシブLCDパネル

デュアルパネルには対応していません。

使用するLCDパネルの種類は、以下の制御ビットによりLCDコントローラに設定しておきます。

■カラー/モノクロ選択

パネルの種類として、カラーパネルまたはモノクロパネルをCOLOR (LCDCモードレジスタ1, 0x380202・DE)で選択します。

COLOR = "1": カラーパネル

COLOR = "0": モノクロパネル(デフォルト)

■データ幅の選択

データ幅とデータ形式をDWT[1:0] (LCDCモードレジスタ1, 0x380202・D[B:A])で選択します。

表VII.2.5 LCDパネルの選択

COLOR	DWT1	DWT0	LCDパネル
1	1	1	カラーシングル8ビットパッシブLCDフォーマット2
	1	0	Reserved
	0	1	カラーシングル8ビットパッシブLCDフォーマット1
	0	0	カラーシングル4ビットパッシブLCD
0	1	1	Reserved
	1	0	Reserved
	0	1	モノクロシングル8ビットパッシブLCD
	0	0	モノクロシングル4ビットパッシブLCD

解像度

LCDパネルの解像度と非表示期間を以下のように設定します。

水平解像度

HSIZE[6:0] (パネル水平サイズレジスタ0x380042・D[6:0])に次の値を設定します。

$$\text{HSIZE}[6:0] = \frac{\text{水平解像度(ピクセル数)}}{8} - 1$$

たとえば、水平解像度が320ドットのパネルの場合、HSIZEには39(=0x27)を設定します。

水平非表示期間

HNDP[4:0] (水平非表示期間レジスタ0x380040・D[4:0])に次の値を設定します。

$$\text{HNDP}[4:0] = \frac{\text{水平非表示期間(ピクセル数)}}{8} - 4$$

垂直解像度

VSIZE[9:0] (パネル垂直サイズレジスタ0x38004C・D[9:0])に次の値を設定します。

$$\text{VSIZ}[9:0] = \text{垂直解像度(ライン数)} - 1$$

たとえば、垂直解像度が240ラインのパネルの場合、VSIZには239(=0xEF)を設定します。

垂直非表示期間

VNDP[5:0] (垂直非表示期間レジスタ0x38004A・D[5:0])に次の値を設定します。

$$\text{VNDP}[5:0] = \text{垂直非表示期間(ライン数)}$$

表示モード

グレースケール表示の階調数やカラー表示の色数は、各ピクセルを表現するビット数(bpp = bit per pixel)で決まります。このbpp値をBPP[2:0](LCDCモードレジスタ0, 0x380200・D[2:0])に書き込み、表示モード(表示階調数/色数)を設定します。

表VII.2.5 表示モードの指定

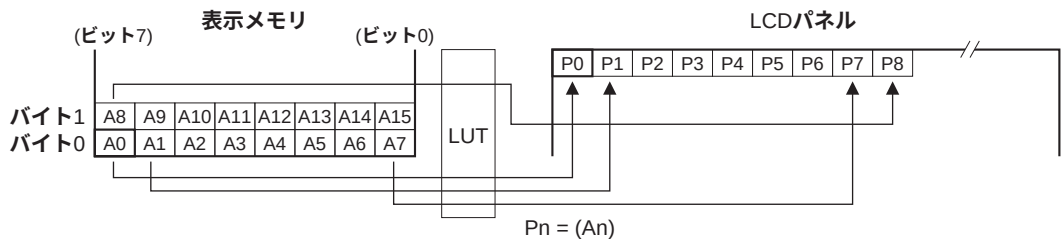
BPP2	BPP1	BPP0	表示モード	
			モノクロ(COLOR = "0")	カラー(COLOR = "1")
1	1	*	Reserved	Reserved
1	0	1	16bpp, 64階調グレースケール	16bpp, 64K色
1	0	0	12bpp, 16階調グレースケール	12bpp, 4K色
0	1	1	8bpp, 64階調グレースケール	8bpp, 256色
0	1	0	4bpp, 16階調グレースケール	4bpp, 16色
0	0	1	2bpp, 4階調グレースケール	2bpp, 4色
0	0	0	1bpp, 2階調グレースケール	1bpp, 2色

(1) 1bpp(2階調/2色)モード

1ピクセルを1ビットで表現し、2階調または2色の表示を行います。

モノクロパネルの場合は、緑ルックアップテーブル(後述)の2つのエントリ(ビット = "0"と"1"それぞれに対応)に白黒を含む64階調のグレースケールのレベルの中から2つのレベルを割り付けて、2階調の表示が行えます。カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの2エントリを使用し、256K色中の2色をピクセルデータの"0"と"1"に対応させて設定しておくことができます。

表示メモリには、8個の連続したピクセルのデータを1バイトとして格納します。



図VII.2.4 1bppモードのデータフォーマット

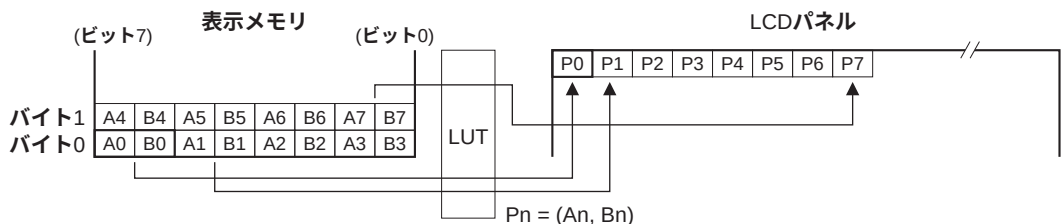
このモードでは、ルックアップテーブルをバイパスすることにより(白黒2値表示として使用)、消費電力を低減できます。

(2) 2bpp(4階調/4色)モード

1ピクセルを2ビットで表現し、4階調または4色の表示を行います。

モノクロパネルの場合は、緑ルックアップテーブルの4つのエントリ(ビット = "00"～"11"それぞれに対応)に白黒を含む64階調のグレースケールのレベルの中から4つのレベルを割り付けて、4階調の表示が行えます。カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの4エントリを使用し、256K色中の4色をピクセルデータの"00"～"11"に対応させて設定しておくことができます。

表示メモリには、4個の連続したピクセルのデータを1バイトとして格納します。



図VII.2.5 2bppモードのデータフォーマット

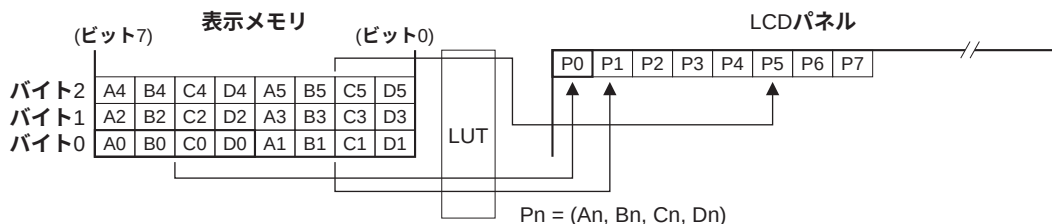
このモードでは、ルックアップテーブルをバイパスすることにより、消費電力を低減できます。

(3) 4bpp(16階調/16色)モード

1ピクセルを4ビットで表現し、16階調または16色の表示を行います。

モノクロパネルの場合は、緑ルックアップテーブルの16エントリ(ビット = "0000"~"1111"それぞれに対応)に白黒を含む64階調のグレースケール中の16階調のグレースケールを割り付けて表示が行えます。カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの16エントリを使用し、256K色中の16色をピクセルデータの"0000"~"1111"に対応させて設定しておくことができます。

表示メモリには、2個の連続したピクセルのデータを1バイトとして格納します。



図VII.2.6 4bppモードのデータフォーマット

このモードでは、ルックアップテーブルをバイパスすることにより、消費電力を低減できます。

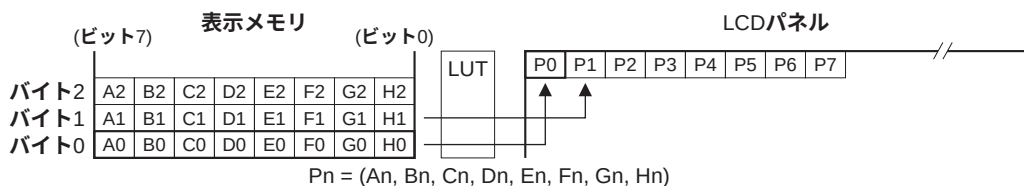
(4) 8bpp(64階調/256色)モード

1ピクセルを8ビットで表現し、64階調または256色の表示を行います。

モノクロパネルの場合は、緑ルックアップテーブルの256エントリに白黒を含む64階調のグレースケールを割り付けて表示が行えます。

カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの256エントリを使用し、256K色中の256色をピクセルデータの"0x00"~"0xFF"に対応させて設定しておくことができます。

表示メモリには、1個のピクセルのデータを1バイトとして格納します。

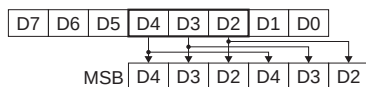


図VII.2.7 8bppモードのデータフォーマット

このモードでは、ルックアップテーブルをバイパスすることができます。この場合、表示メモリ内の表示データが直接、階調や表示色を指定します。下図は、メモリデータとLCDパネルに送られるピクセルデータの対応を示しています。

モノクロ8bppモード

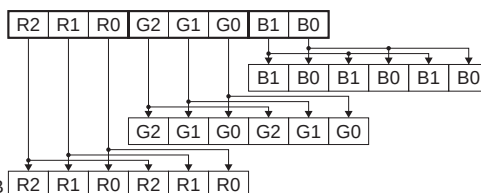
メモリデータ



表示データ

カラー8bppモード

メモリデータ



表示データ (青)

表示データ (緑)

表示データ (赤)

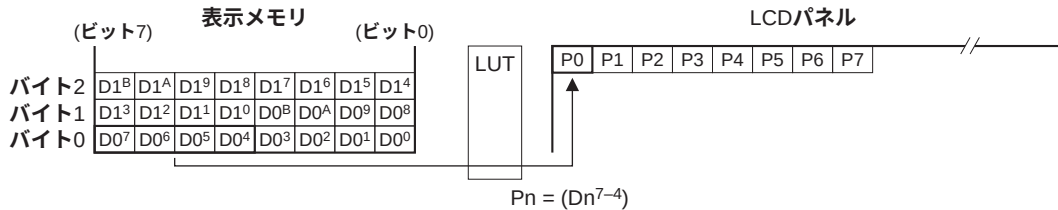
図VII.2.8 LUTバイパス時のピクセルデータ

(5) 12bpp(16階調/4K色)モード

1ピクセルを12ビットで表現し、16階調または4K色の表示を行います。

モノクロパネルの場合は、緑ルックアップテーブルの16エントリ(ビット="0000"~"1111"それぞれに対応)に白黒を含む64階調のグレーレベル中の16階調のグレーレベルを割り付けて表示が行えます。このモードでは、12ビットピクセルデータ中のD7~D4のみが階調の指定に使用されます。

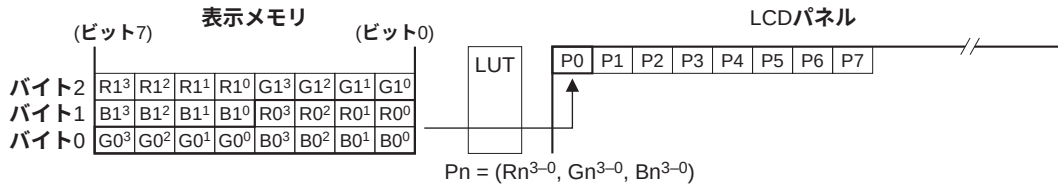
表示メモリには、2個のピクセルのデータを3バイトとして格納します。



図VII.2.9 12bppモードのモノクロデータフォーマット

カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの16エントリを使用し、4K色の組み合わせを設定しておくことができます。

表示メモリには、2個のピクセルのデータを3バイトとして格納します。

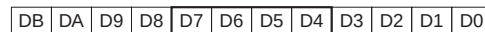


図VII.2.10 12bppモードのカラーデータフォーマット

このモードでは、ルックアップテーブルをバイパスすることができます。この場合、表示メモリ内の表示データが直接、階調や表示色を指定します。下図は、メモリデータとLCDパネルに送られるピクセルデータの対応を示しています。

モノクロ12bppモード

メモリデータ

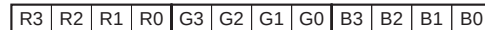


表示データ

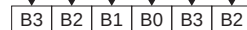


カラー12bppモード

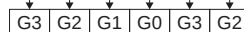
メモリデータ



表示データ (青)



表示データ (緑)



表示データ (赤)



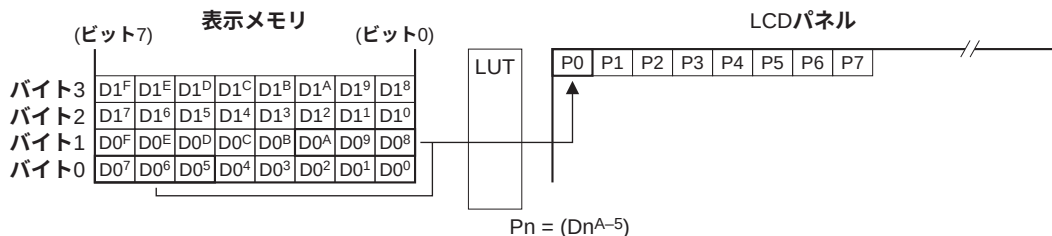
図VII.2.11 LUTバイパス時のピクセルデータ

(6) 16bpp(64階調/64K色)モード

1ピクセルを16ビットで表現し、64階調または64K色の表示を行います。

モノクロパネルの場合は、緑ルックアップテーブルの64エン트리(ビット="000000"~"111111"それぞれに対応)に白黒を含む64階調のグレースケール中の64階調のグレースケールを割り付けて表示が行えます。このモードでは、16ビットピクセル中のD10~D5のみが階調の指定に使用されます。

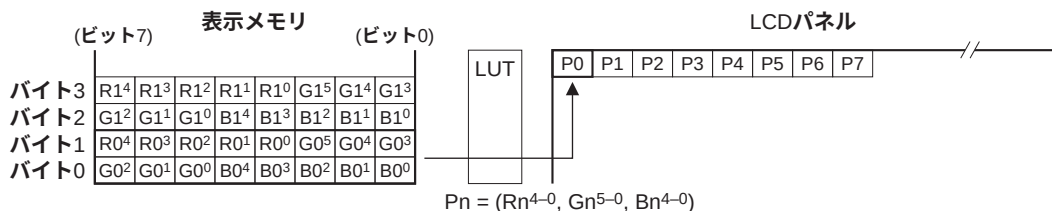
表示メモリには、1個のピクセルのデータを2バイトとして格納します。



図VII.2.12 16bppモードのモノクロデータフォーマット

カラーパネルの場合は、赤および青ルックアップテーブルそれぞれの32エン트리、緑ルックアップテーブルの64エントリを使用し、64K色の組み合わせを設定しておくことができます。

表示メモリには、1個のピクセルのデータを2バイトとして格納します。

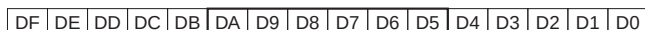


図VII.2.13 16bppモードのカラーデータフォーマット

このモードでは、ルックアップテーブルをバイパスすることができます。この場合、表示メモリ内の表示データが直接、階調や表示色を指定します。下図は、メモリデータとLCDパネルに送られるピクセルデータの対応を示しています。

モノクロ16bppモード

メモリデータ

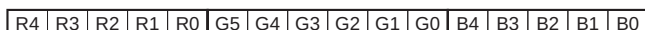


表示データ

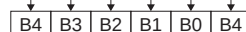


カラー16bppモード

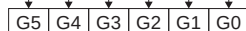
メモリデータ



表示データ (青)



表示データ (緑)



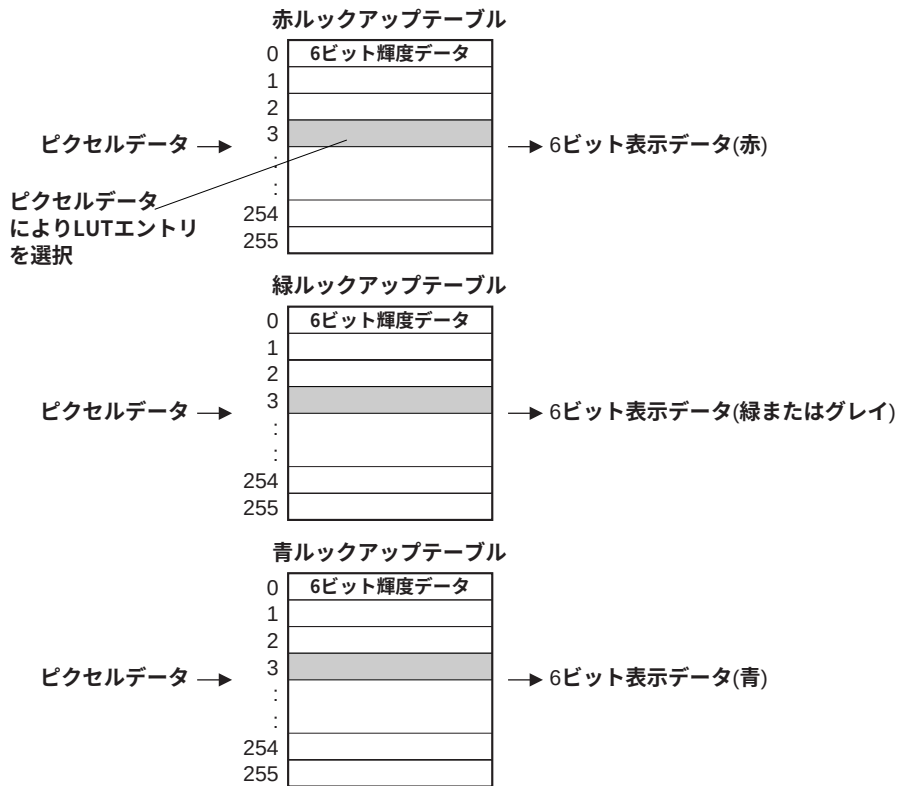
表示データ (赤)



図VII.2.14 LUTバイパス時のピクセルデータ

ルックアップテーブル

本LCDコントローラには、RGB(赤、緑、青)の色要素それぞれについて6ビットのエントリ256個で構成されるルックアップテーブルが内蔵されています。



図VII.2.15 ルックアップテーブルの構成

表示メモリのピクセルデータはルックアップテーブルのインデックスとして使用され、ピクセルデータが示しているエントリの値から輝度データが生成され、LCDパネルに出力されます。

本LCDコントローラは表示反転制御が可能です。この制御はルックアップテーブルの出力に対して行われます。

すべてのbppモード(1bpp、2bpp、4bpp、8bpp、12bpp、16bpp)でルックアップテーブルをバイパスすることができます。この場合、表示メモリ内のピクセルデータが直接、階調や表示色を指定します。ルックアップテーブルをバイパスするには、LUTPASS(LCDCモードレジスタ0, 0x380200・D4)を"1"に設定します。

■グレースケールモードのルックアップテーブル

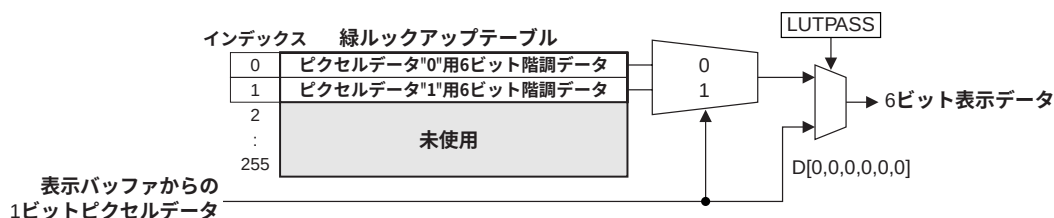
グレースケールモードでは、緑ルックアップテーブルのみを使用します。

グレースケールモードの場合、ルックアップテーブルに書き込むデータは6ビットで表現される64階調から選択します。0x0は黒、0x20は50%のグレー、0x3Fは白となります。

表示モードによる構成の違いを以下に示します。

(1) 1bpp(2階調)モード

緑ルックアップテーブルの先頭から2つのエントリを使用します。64階調の中から2つのデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが"0"の場合はエントリ0のデータが、ピクセルデータが"1"の場合はエントリ1のデータが出力されます。白黒表示を行う場合は、エントリ0に0x0を、エントリ1に0x3Fを書き込んでおきます。



図VII.2.16 1bpp(2階調)モード時のルックアップテーブル

表VII.2.7は基本的なデータ設定例です。

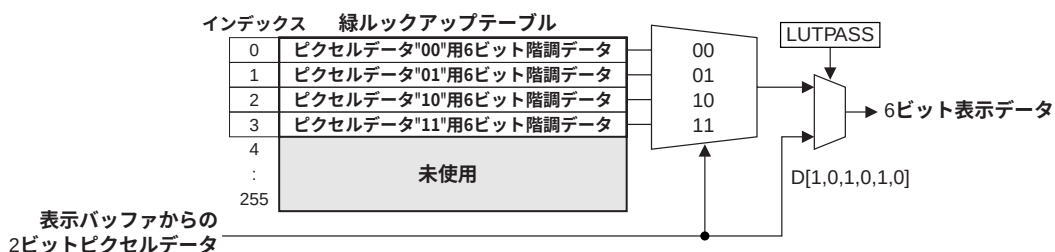
表VII.2.7 1bpp(2階調)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0xFC	0
2~255	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(2) 2bpp(4階調)モード

緑ルックアップテーブルの先頭から4つのエントリを使用します。64階調の中から4つのデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが"00"の場合はエントリ0のデータが、ピクセルデータが"11"の場合はエントリ3のデータが出力されます。



図VII.2.17 2bpp(4階調)モード時のルックアップテーブル

表VII.2.8は基本的なデータ設定例です。

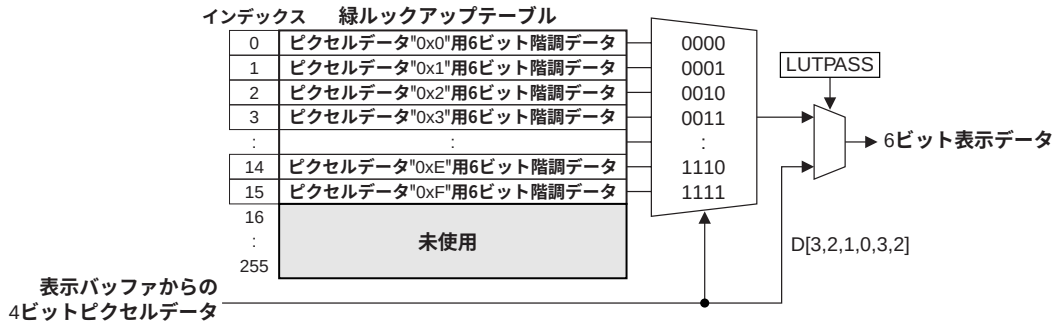
表VII.2.8 2bpp(4階調)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0x54	0
2	0	0xA8	0
3	0	0xFC	0
4~255	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(3)4bpp(16階調)モード

緑ルックアップテーブルの先頭から16エントリを使用します。64階調の中から16個のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが0000の場合はエントリ0のデータが、ピクセルデータが1111の場合はエントリ15のデータが出力されます。



図VII.2.18 4bpp(16階調)モード時のルックアップテーブル

表VII.2.9は基本的なデータ設定例です。

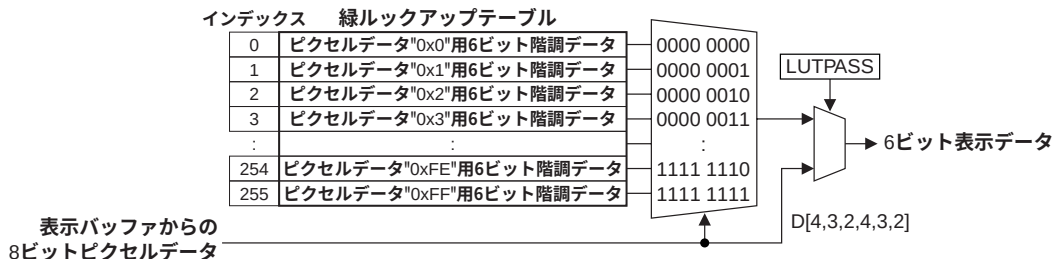
表VII.2.9 4bpp(16階調)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0x10	0
2	0	0x20	0
3	0	0x30	0
4	0	0x44	0
5	0	0x54	0
6	0	0x64	0
7	0	0x74	0
8	0	0x88	0
9	0	0x98	0
10	0	0xA8	0
11	0	0xB8	0
12	0	0xCC	0
13	0	0xDC	0
14	0	0xEC	0
15	0	0xFC	0
16～255	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(4)8bpp(64階調)モード

緑ルックアップテーブルの全エントリを使用します。64階調のデータをすべて割り付けることができます。ピクセルデータが0x0の場合はエントリ0のデータが、ピクセルデータが0xFFの場合はエントリ255のデータが出力されます。



図VII.2.19 8bpp(64階調)モード時のルックアップテーブル

表VII.2.10は基本的なデータ設定例です。

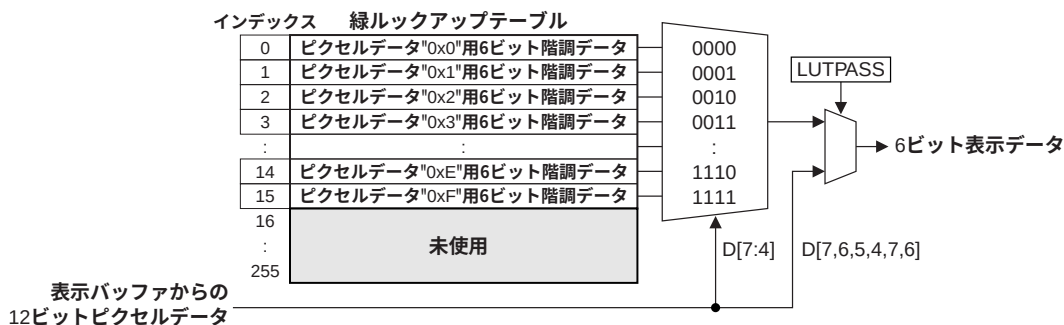
表VII.2.10 8bpp(64階調)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0～3	0	0	0
4～7	0	4	0
8～11	0	8	0
12～15	0	0xC	0
16～19	0	0x10	0
⋮	0	⋮	0
240～243	0	0xF0	0
244～247	0	0xF4	0
248～251	0	0xF8	0
252～255	0	0xFC	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(5) 12bpp(16階調)モード

緑ルックアップテーブルの先頭から16エントリを使用します。64階調の中から16個のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータのD[7:4]が0000の場合はエントリ0のデータが、ピクセルデータのD[7:4]が1111の場合はエントリ15のデータが出力されます。



図VII.2.20 12bpp(16階調)モード時のルックアップテーブル

表VII.2.11は基本的なデータ設定例です。

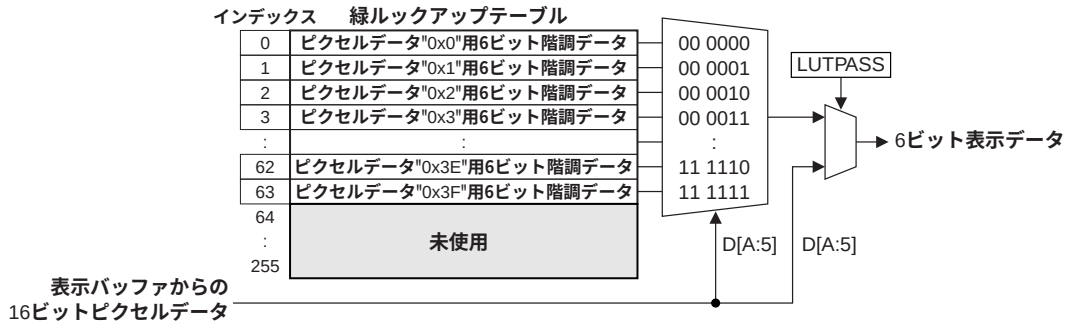
表VII.2.11 12bpp(16階調)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0x10	0
2	0	0x20	0
3	0	0x30	0
4	0	0x44	0
5	0	0x54	0
6	0	0x64	0
7	0	0x74	0
8	0	0x88	0
9	0	0x98	0
10	0	0xA8	0
11	0	0xB8	0
12	0	0xCC	0
13	0	0xDC	0
14	0	0xEC	0
15	0	0xFC	0
16～255	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(6) 16bpp(64階調) モード

緑ルックアップテーブルの先頭から64エントリを使用します。64階調のデータをすべて割り付けることができます。ピクセルデータのD[A:5]が0x0の場合にはエントリ0のデータが、ピクセルデータのD[A:5]が0x3Fの場合にはエントリ63のデータが出力されます。



図VII.2.21 16bpp(64階調)モード時のルックアップテーブル

表VII.2.12は基本的なデータ設定例です。

表VII.2.12 16bpp(64階調)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	4	0
2	0	8	0
3	0	0xC	0
4	0	0x10	0
⋮	⋮	⋮	⋮
60	0	0xF0	0
61	0	0xF4	0
62	0	0xF8	0
63	0	0xFC	0
64～255	0	0	0

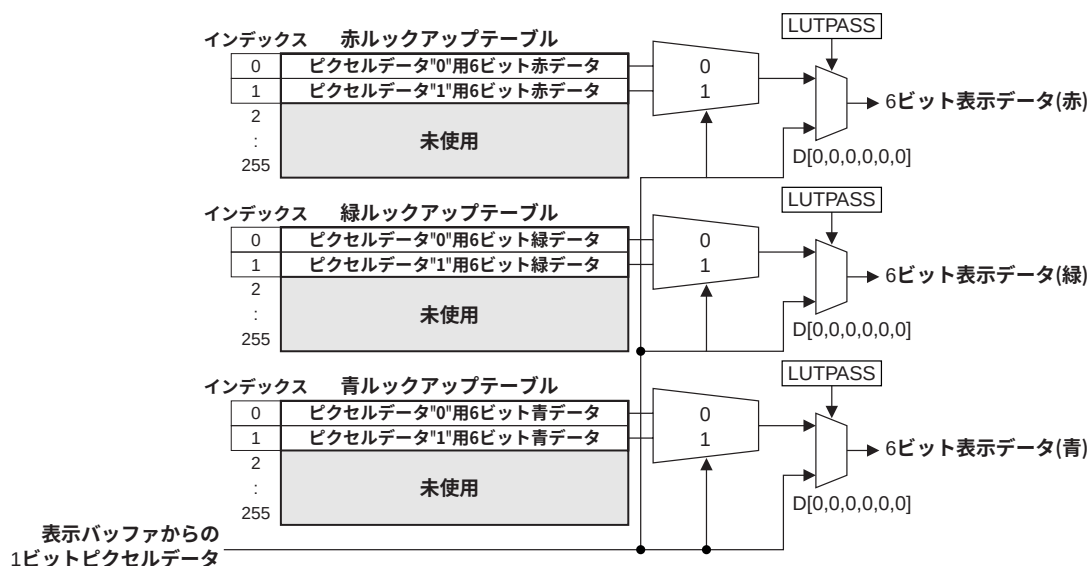
表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

■カラーモードのルックアップテーブル

カラーモードでは、赤(R)、緑(G)、青(B)すべてのルックアップテーブルを使用します。これは、光の3原色に対応しており、各色要素を6ビットのデータで表します。RGB=00・00・00では黒、RGB=3F・00・00は赤、RGB=00・20・00は50%輝度の緑、RGB=3F・00・3Fはマゼンタ、RGB=3F・3F・3Fは白というように各要素の割合で色が決定します。各色要素の輝度を6ビットで表すと、 $64 \times 64 \times 64 = 256K$ 種類の色情報が得られます。この中から表示モードにより使用可能な数(2色、4色、16色、256色、4K色または64K色)の色データを選び、ルックアップテーブル内の有効なエントリに書き込んでおきます。表示モードによる構成の違いを以下に示します。

(1)1bpp(2色)モード

ルックアップテーブルの先頭から2つのエントリを使用します。256K色の中から2色のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが"0"の場合はエントリ0のRGBデータが、ピクセルデータが"1"の場合はエントリ1のRGBデータが出力されます。白黒表示を行う場合は、赤、緑、青それぞれのエントリ0に0x0を、同じくエントリ1に0x3Fを書き込んでおきます。



図VII.2.22 1bpp(2色)モード時のルックアップテーブル

表VII.2.13は基本的なデータ設定例です。

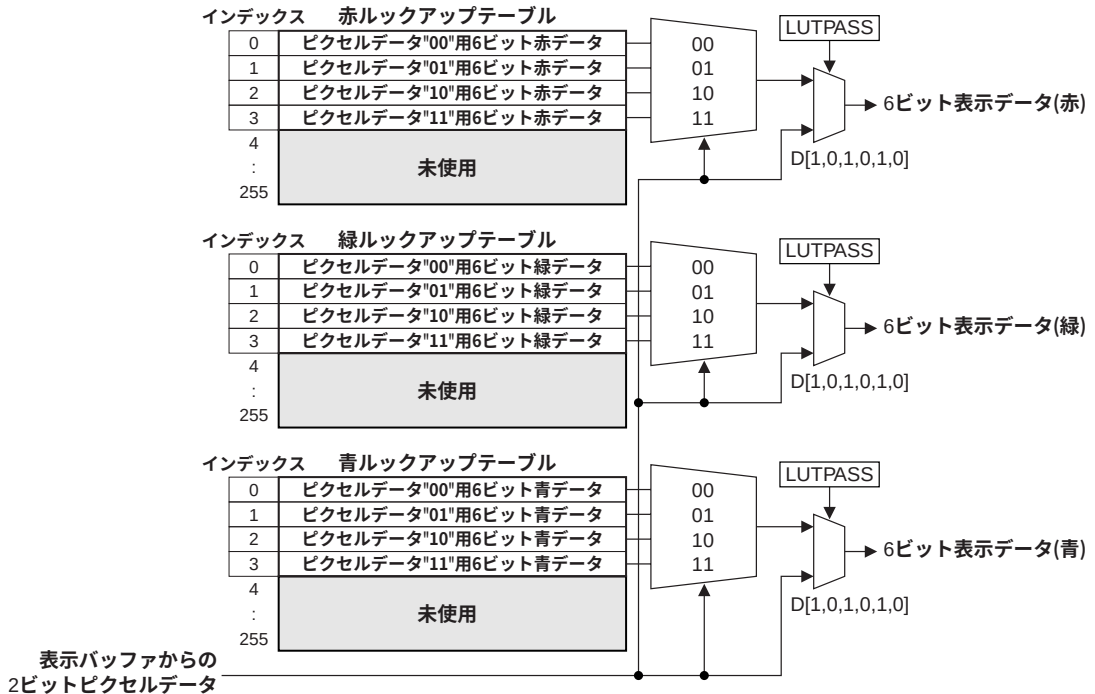
表VII.2.13 1bpp(2色)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0xFC	0xFC	0xFC
2~255	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(2)2bpp(4色)モード

ルックアップテーブルの先頭から4つのエントリを使用します。256K色の中から4色のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが"00"の場合はエントリ0のRGBデータが、ピクセルデータが"11"の場合はエントリ3のRGBデータが出力されます。



図VII.2.23 2bpp(4色)モード時のルックアップテーブル

表VII.2.14は基本的なデータ設定例です。

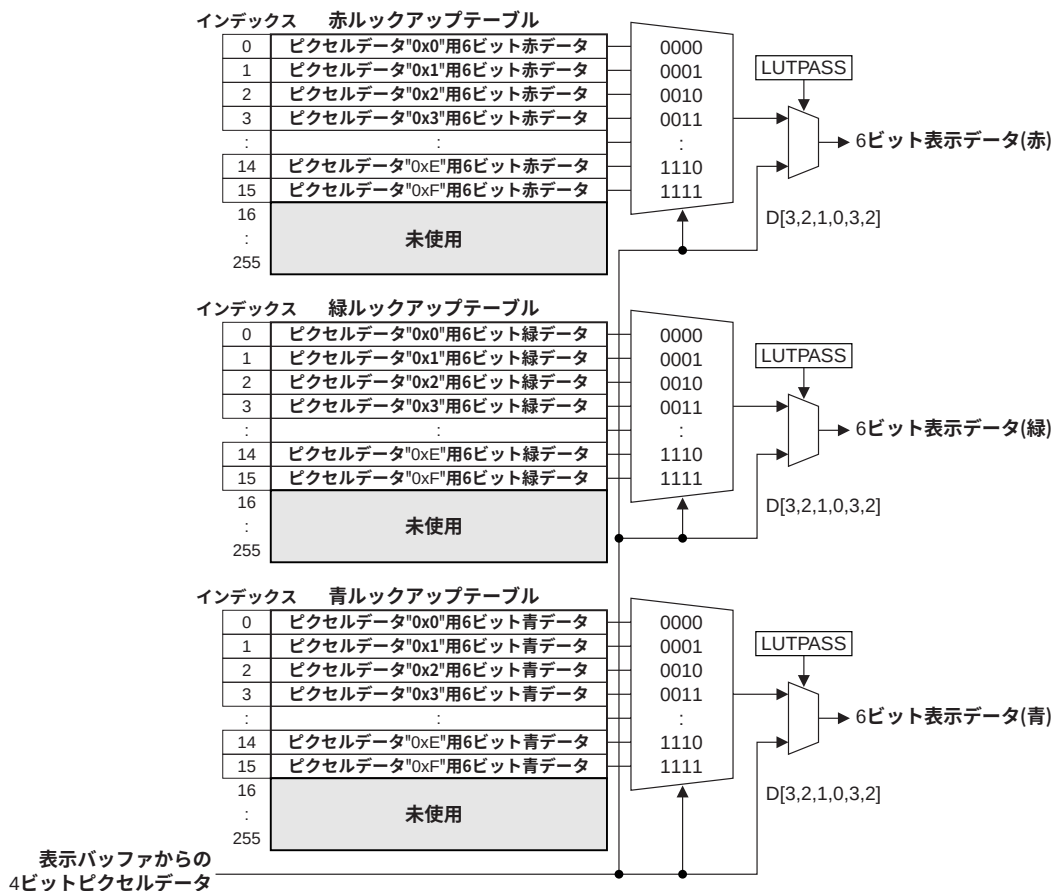
表VII.2.14 2bpp(4色)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0	0xFC
2	0xFC	0	0
3	0xFC	0xFC	0xFC
4~255	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(3) 4bpp(16色)モード

ルックアップテーブルの先頭から16エントリを使用します。256K色の中から16色のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが0000の場合はエントリ0のRGBデータが、ピクセルデータが1111の場合はエントリ15のRGBデータが出力されます。



図VII.2.24 4bpp(16色)モード時のルックアップテーブル

表VII.2.15は基本的なデータ設定例です。

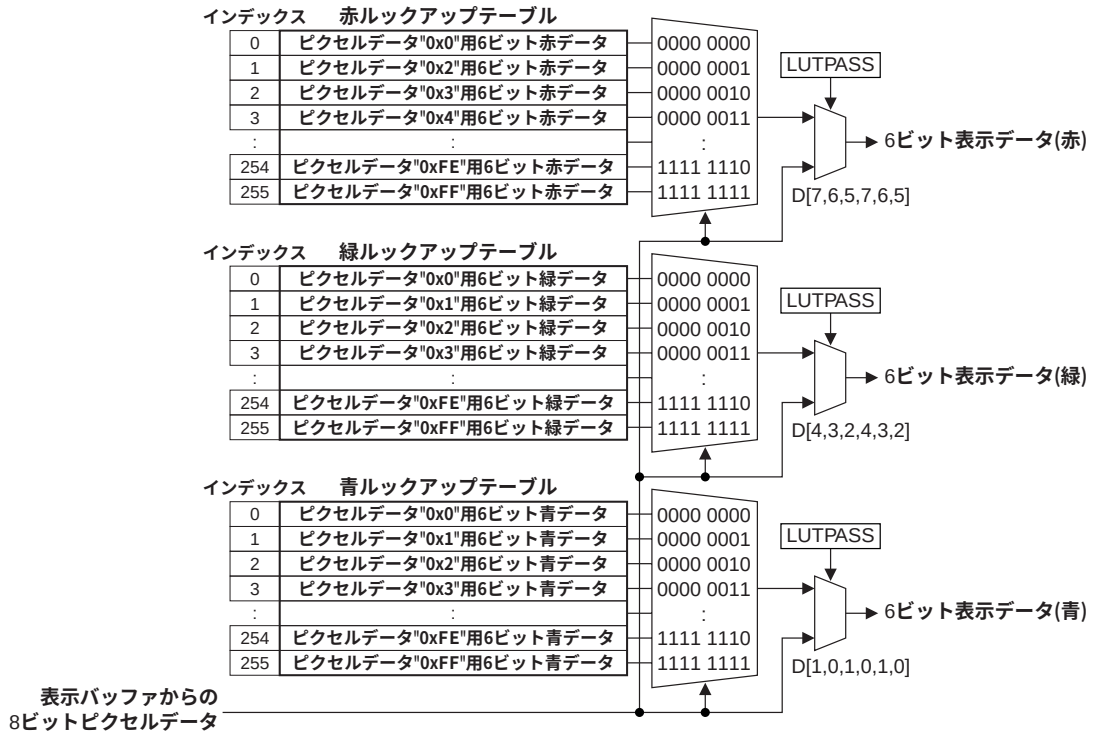
表VII.2.15 4bpp(16色)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0x80	0	0
2	0	0x80	0
3	0x80	0x80	0
4	0	0	0x80
5	0x80	0	0x80
6	0	0x80	0x80
7	0xC0	0xC0	0xC0
8	0x80	0x80	0x80
9	0xFC	0	0
10	0	0xFC	0
11	0xFC	0xFC	0
12	0	0	0xFC
13	0xFC	0	0xFC
14	0	0xFC	0xFC
15	0xFC	0xFC	0xFC
16~255	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(4) 8bpp(256色)モード

ルックアップテーブルの全エントリを使用します。256K色の中から256色のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが0x0の場合はエントリ0のRGBデータが、ピクセルデータが0xFFの場合はエントリ255のRGBデータが出力されます。



図VII.2.25 8bpp(256色)モード時のルックアップテーブル

表VII.2.16は基本的なデータ設定例です。

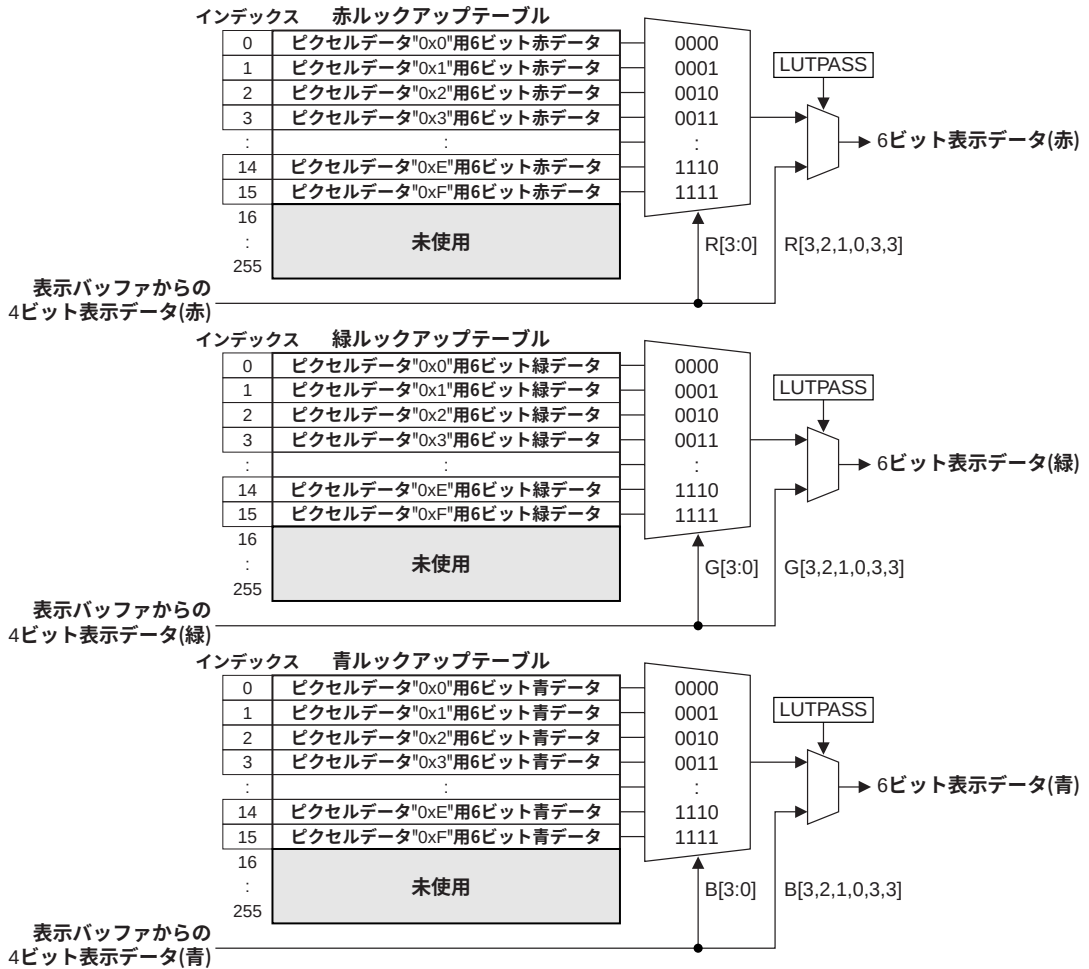
表VII.2.16 8bpp(256色)モード時のルックアップテーブル設定例

インデックス	R	G	B	インデックス	R	G	B	インデックス	R	G	B	インデックス	R	G	B
0	0	0	0	64	0xF0	0x70	0x70	128	0x30	0x30	0x70	192	0	0x40	0x0
1	0	0	0xA0	65	0xF0	0x90	0x70	129	0x40	0x30	0x70	193	0	0x40	0x10
2	0	0xA0	0	66	0xF0	0xB0	0x70	130	0x50	0x30	0x70	194	0	0x40	0x20
3	0	0xA0	0xA0	67	0xF0	0xD0	0x70	131	0x60	0x30	0x70	195	0	0x40	0x30
4	0xA0	0	0	68	0xF0	0xF0	0x70	132	0x70	0x30	0x70	196	0	0x40	0x40
5	0xA0	0	0xA0	69	0xD0	0xF0	0x70	133	0x70	0x30	0x60	197	0	0x30	0x40
6	0xA0	0x50	0	70	0xB0	0xF0	0x70	134	0x70	0x30	0x50	198	0	0x20	0x40
7	0xA0	0xA0	0xA0	71	0x90	0xF0	0x70	135	0x70	0x30	0x40	199	0	0x10	0x40
8	0x50	0x50	0x50	72	0x70	0xF0	0x70	136	0x70	0x30	0x30	200	0x20	0x20	0x40
9	0x50	0x50	0xF0	73	0x70	0xF0	0x90	137	0x70	0x40	0x30	201	0x20	0x20	0x40
10	0x50	0xF0	0x50	74	0x70	0xF0	0xB0	138	0x70	0x50	0x30	202	0x30	0x20	0x40
11	0x50	0xF0	0xF0	75	0x70	0xF0	0xD0	139	0x70	0x60	0x30	203	0x30	0x20	0x40
12	0xF0	0x50	0x50	76	0x70	0xF0	0xF0	140	0x70	0x70	0x30	204	0x40	0x20	0x40
13	0xF0	0x50	0xF0	77	0x70	0xD0	0xF0	141	0x60	0x70	0x30	205	0x40	0x20	0x30
14	0xF0	0xF0	0x50	78	0x70	0xB0	0xF0	142	0x50	0x70	0x30	206	0x40	0x20	0x30
15	0xF0	0xF0	0xF0	79	0x70	0x90	0xF0	143	0x40	0x70	0x30	207	0x40	0x20	0x20
16	0	0	0	80	0xB0	0xB0	0xF0	144	0x30	0x70	0x30	208	0x40	0x20	0x20
17	0x10	0x10	0x10	81	0xC0	0xB0	0xF0	145	0x30	0x70	0x40	209	0x40	0x20	0x20
18	0x20	0x20	0x20	82	0xD0	0xB0	0xF0	146	0x30	0x70	0x50	210	0x40	0x30	0x20
19	0x20	0x20	0x20	83	0xE0	0xB0	0xF0	147	0x30	0x70	0x60	211	0x40	0x30	0x20
20	0x30	0x30	0x30	84	0xF0	0xB0	0xF0	148	0x30	0x70	0x70	212	0x40	0x40	0x20
21	0x40	0x40	0x40	85	0xF0	0xB0	0xE0	149	0x30	0x60	0x70	213	0x30	0x40	0x20
22	0x50	0x50	0x50	86	0xF0	0xB0	0xD0	150	0x30	0x50	0x70	214	0x30	0x40	0x20
23	0x60	0x60	0x60	87	0xF0	0xB0	0xC0	151	0x30	0x40	0x70	215	0x20	0x40	0x20
24	0x70	0x70	0x70	88	0xF0	0xB0	0xB0	152	0x50	0x50	0x70	216	0x20	0x40	0x20
25	0x80	0x80	0x80	89	0xF0	0xC0	0xB0	153	0x50	0x50	0x70	217	0x20	0x40	0x20
26	0x90	0x90	0x90	90	0xF0	0xD0	0xB0	154	0x60	0x50	0x70	218	0x20	0x40	0x30
27	0xA0	0xA0	0xA0	91	0xF0	0xE0	0xB0	155	0x60	0x50	0x70	219	0x20	0x40	0x30
28	0xB0	0xB0	0xB0	92	0xF0	0xF0	0xB0	156	0x70	0x50	0x70	220	0x20	0x40	0x40
29	0xC0	0xC0	0xC0	93	0xE0	0xF0	0xB0	157	0x70	0x50	0x60	221	0x20	0x30	0x40
30	0xE0	0xE0	0xE0	94	0xD0	0xF0	0xB0	158	0x70	0x50	0x60	222	0x20	0x30	0x40
31	0xF0	0xF0	0xF0	95	0xC0	0xF0	0xB0	159	0x70	0x50	0x50	223	0x20	0x20	0x40
32	0	0	0xF0	96	0xB0	0xF0	0xB0	160	0x70	0x50	0x50	224	0x20	0x20	0x40
33	0x40	0	0xF0	97	0xB0	0xF0	0xC0	161	0x70	0x50	0x50	225	0x30	0x20	0x40
34	0x70	0	0xF0	98	0xB0	0xF0	0xD0	162	0x70	0x60	0x50	226	0x30	0x20	0x40
35	0xB0	0	0xF0	99	0xB0	0xF0	0xE0	163	0x70	0x60	0x50	227	0x30	0x20	0x40
36	0xF0	0	0xF0	100	0xB0	0xF0	0xF0	164	0x70	0x70	0x50	228	0x40	0x20	0x40
37	0xF0	0	0xB0	101	0xB0	0xE0	0xF0	165	0x60	0x70	0x50	229	0x40	0x20	0x30
38	0xF0	0	0x70	102	0xB0	0xD0	0xF0	166	0x60	0x70	0x50	230	0x40	0x20	0x30
39	0xF0	0	0x40	103	0xB0	0xC0	0xF0	167	0x50	0x70	0x50	231	0x40	0x20	0x30
40	0xF0	0	0	104	0	0	0x70	168	0x50	0x70	0x50	232	0x40	0x20	0x20
41	0xF0	0x40	0	105	0x10	0	0x70	169	0x50	0x70	0x50	233	0x40	0x30	0x20
42	0xF0	0x70	0	106	0x30	0	0x70	170	0x50	0x70	0x60	234	0x40	0x30	0x20
43	0xF0	0xB0	0	107	0x50	0	0x70	171	0x50	0x70	0x60	235	0x40	0x30	0x20
44	0xF0	0xF0	0	108	0x70	0	0x70	172	0x50	0x70	0x70	236	0x40	0x40	0x20
45	0xB0	0xF0	0	109	0x70	0	0x50	173	0x50	0x60	0x70	237	0x30	0x40	0x20
46	0x70	0xF0	0	110	0x70	0	0x30	174	0x50	0x60	0x70	238	0x30	0x40	0x20
47	0x40	0xF0	0	111	0x70	0	0x10	175	0x50	0x50	0x70	239	0x30	0x40	0x20
48	0	0xF0	0	112	0x70	0	0	176	0	0	0x40	240	0x20	0x40	0x20
49	0	0xF0	0x40	113	0x70	0x10	0	177	0x10	0	0x40	241	0x20	0x40	0x30
50	0	0xF0	0x70	114	0x70	0x30	0	178	0x20	0	0x40	242	0x20	0x40	0x30
51	0	0xF0	0xB0	115	0x70	0x50	0	179	0x30	0	0x40	243	0x20	0x40	0x30
52	0	0xF0	0xF0	116	0x70	0x70	0	180	0x40	0	0x40	244	0x20	0x40	0x40
53	0	0xB0	0xF0	117	0x50	0x70	0	181	0x40	0	0x30	245	0x20	0x30	0x40
54	0	0x70	0xF0	118	0x30	0x70	0	182	0x40	0	0x20	246	0x20	0x30	0x40
55	0	0x40	0xF0	119	0x10	0x70	0	183	0x40	0	0x10	247	0x20	0x30	0x40
56	0x70	0x70	0xF0	120	0	0x70	0	184	0x40	0	0	248	0	0	0
57	0x90	0x70	0xF0	121	0	0x70	0x10	185	0x40	0x10	0	249	0	0	0
58	0xB0	0x70	0xF0	122	0	0x70	0x30	186	0x40	0x20	0	250	0	0	0
59	0xD0	0x70	0xF0	123	0	0x70	0x50	187	0x40	0x30	0	251	0	0	0
60	0xF0	0x70	0xF0	124	0	0x70	0x70	188	0x40	0x40	0	252	0	0	0
61	0xF0	0x70	0xD0	125	0	0x50	0x70	189	0x30	0x40	0	253	0	0	0
62	0xF0	0x70	0xB0	126	0	0x30	0x70	190	0x20	0x40	0	254	0	0	0
63	0xF0	0x70	0x90	127	0	0x10	0x70	191	0x10	0x40	0	255	0	0	0

表は8ビットに拡張した値を示します。ルックアップテーブルレジスタにはこのまま書き込むことができ、上位6ビットのみがルックアップテーブルに設定されます(下位2ビットは無視されます)。

(5) 12bpp(4K色)モード

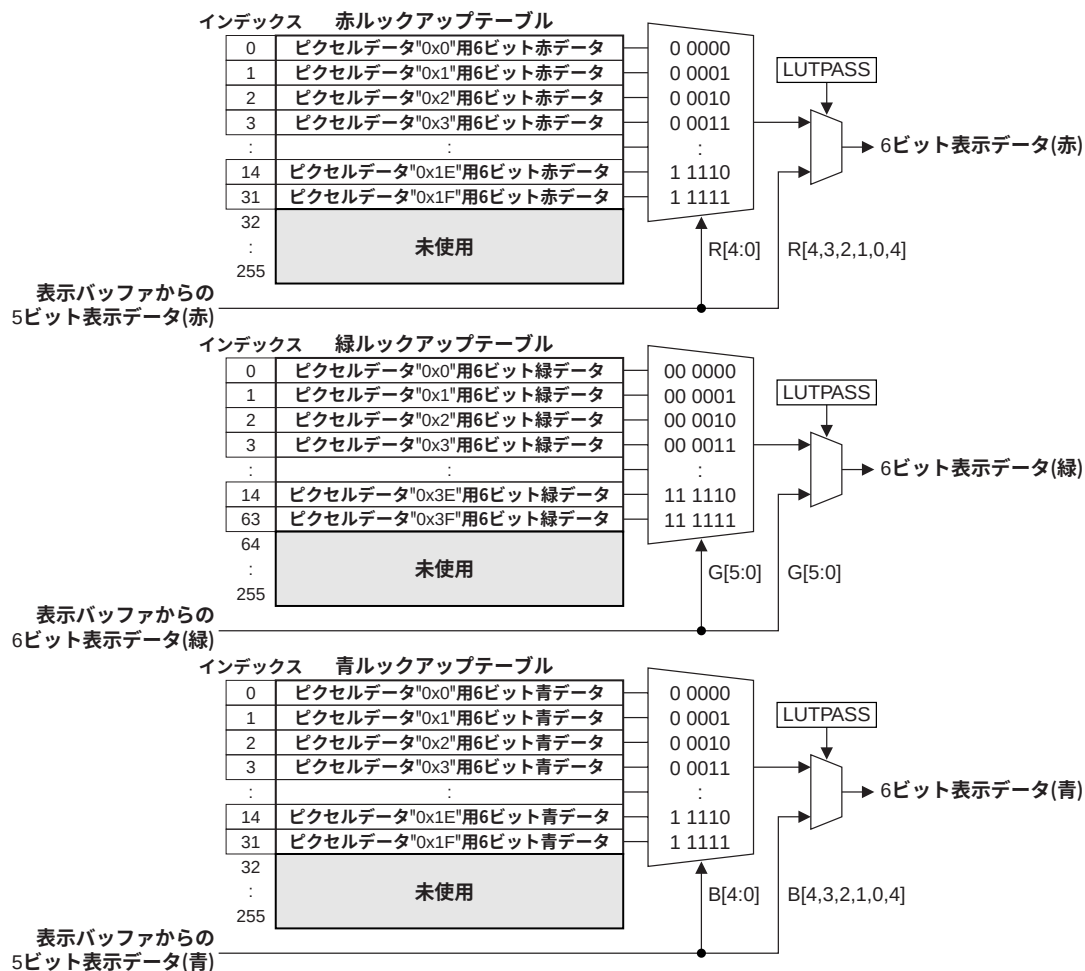
1ピクセルを12ビットで表現し、4K(4,096)色の表示を行います。このモードでは、赤、緑および青ルックアップテーブルを16エントリ使用し、4K種類の組み合わせを構成します。12ビットのピクセルデータのビット11~8が赤ルックアップテーブルのインデックス、ビット7~4が緑ルックアップテーブルのインデックス、ビット3~0が青ルックアップテーブルのインデックスとして使用されます。



図VII.2.26 12bpp(4K色)モード時のルックアップテーブル

(6) 16bpp(64K色)モード

1ピクセルを16ビットで表現し、64K(65536)色の表示を行います。このモードでは、赤および青ルックアップテーブルをそれぞれ32エン트리、緑ルックアップテーブルを64エン트리使用し、64K種類の組み合わせを構成します。16ビットのピクセルデータのビット15～11が赤ルックアップテーブルのインデックス、ビット10～5が緑ルックアップテーブルのインデックス、ビット4～0が青ルックアップテーブルのインデックスとして使用されます。



図VII.2.27 16bpp(64K色)モード時のルックアップテーブル

■ルックアップテーブルへのデータ設定方法

ルックアップテーブルに対する6ビットグレー/カラーデータの書き込み/読み出しには、ルックアップテーブルデータレジスタを使用します。ルックアップテーブルデータレジスタは、アドレス0x380400～0x3807FFに下図のようにマップされています。

アドレス	LUTインデックス	D[F:A]	D[9:8]	D[7:2]	D[1:0]
0x380400	0x00	G		R	
0x380402	(0)			B	
0x380404	0x01	G		R	
0x380406	(1)			B	
0x380408	0x02	G		R	
0x38040A	(2)			B	
⋮	⋮	⋮	⋮	⋮	⋮
0x3807F8	0xFE	G		R	
0x3807FA	(254)			B	
0x3807FC	0xFF	G		R	
0x3807FE	(255)			B	

■ 未使用(reserved)

図VII.2.28 ルックアップテーブルマップ

アドレス0x380400を先頭として、それ以降の各ワード(32ビット)がルックアップテーブルのインデックスに対応します。たとえば、0x380400～0x380403はルックアップテーブルのインデックス0に対応し、0x3807FC～0x3807FFはインデックス255(0xFF)に対応します。各ワードの中の前半の16ビットには緑と赤のエントリが、後半の16ビットには青のエントリが含まれています。それぞれの色データは8ビットデータとして書き込み可能で、下位2ビットは無視されます。

ルックアップテーブルを設定する場合、データの書き込みはどのLUTインデックスからでも開始できます。ただし、各インデックスは緑と赤のデータ(前半の16ビット)を青のデータよりも先に書き込む必要があります。これは、緑と赤の書き込みデータが一旦バッファに入れられ、そのインデックスの青データが書き込まれた時点で、RGBデータがルックアップテーブルに設定されるためです。

このため、緑データのみを使用するグレースケールモードの場合でも、青データを書き込む必要があります。この場合、赤と青のエントリにはダミーデータ(通常は0)を書き込んでください。

エリア6をリトルエンディアンモードに設定している場合、ルックアップテーブルに対するデータの読み出し/書き込みには、ワード(32ビット)アクセスを推奨します。

フレームレート

フレームレートはパネルの解像度、非表示期間、ピクセルクロック周波数により以下のとおり算出できます。

$$\text{フレームレート} = \frac{f_{\text{PCLK}}}{(\text{HDP} + \text{HNDP}) \times (\text{VDP} + \text{VNDP})}$$

f_{PCLK}: PCLK周波数(Hz)

LCDCクロックジェネレータからLCDコントローラに入力されるPCLKクロック周波数です。LCDC (PCLK)クロックの設定については"III-17 S1C33L05クロック系とMiscレジスタ"を参照してください。

HDP: 水平表示期間

パネルの水平解像度(ピクセル数)です。

HSIZE[6:0](パネル水平サイズレジスタ0x380042・D[6:0])の設定値からは次のように算出されます。

水平表示期間 = (HSIZE[6:0] + 1) × 8 (Ts) * Ts = PCLKクロック周期

HNDP: 水平非表示期間

1ラインの全ピクセルを表示後、次のラインの表示を開始するまでの非表示の期間です。HNDP[4:0](水平非表示期間設定レジスタ0x380040・D[4:0])に8ピクセル単位の値を設定します。

水平非表示期間 = (HNDP[4:0] + 4) × 8 (Ts)

上記のHDPにHNDPを加えた値が1ラインの期間(FPLINEパルス周期)あたりのPCLKクロック数になります。

VDP: 垂直表示期間

パネルの垂直解像度(表示ライン数)です。

VSIZE[9:0](パネル垂直サイズレジスタ0x38004C・D[9:0])の設定値からは次のように算出されます。

垂直表示期間 = VSIZE[9:0] + 1 (ライン)

VNDP: 垂直非表示期間

1フレームの全ラインを表示後、次のフレームの表示を開始するまでの非表示の期間です。VNDP[5:0](垂直非表示期間設定レジスタ0x38004A・D[5:0])にライン数で設定します。

垂直非表示期間 = VNDP[5:0] (ライン)

以上のパラメータにより、(HDP + HNDP) × (VDP + VNDP)で1フレームの表示に必要なPCLKクロック数が得られます。PCLKクロック周波数をこの値で割ると、フレームレートが算出されます。

注: パッシブ(STN)パネルはほとんどの場合、どのようなHNDP値とVNDP値の組み合わせにも対応しますが、通常は数ラインの垂直非表示期間が必要です。本LCDCは最大で63ラインの垂直非表示期間を生成できます。この値は非表示期間としては十分以上で、逆に大きな値を指定すると表示品質の低下を招きます。同様に大きすぎるHNDPの指定も表示品質を低下させます。可能であれば、7以下のVNDP値と20以下のHNDP値が選択できるように、システムを設計してください。

その他の設定

■FPSHIFTのマスキ

モノクロパッシブパネルを使用する場合、非表示期間にFPSHIFT(シフトクロック)を出力するか停止するか、MASK(LCDCモードレジスタ1, 0x380202・DD)で選択することができます。

MASK = "1": 停止

MASK = "0": 出力(デフォルト)

MASKの設定は、COLOR(LCDCモードレジスタ1, 0x380202・DE)が"0"(モノクロパネル)の場合にのみ有効です。

■MODレート

MOD信号が切り換わる周期を、MOD[5:0](MODレートレジスタ0x380052・D[5:0])で設定することができます。

MOD = "0x0": MOD信号をFPFRAME信号の周期で切り換え(デフォルト)

MOD = "0x0"以外: MOD+1個のFPLINEパルスの周期で切り換え

■FRMパターンのリピート

ELパネル用の設定項目です。フレームレートモジュレーションのパターンを0x40000フレーム(内蔵フレームカウンタがカウント)ごとに繰り返すかどうか、FRMRPT(LCDCモードレジスタ0, 0x380200・D7)で設定できます。

FRMRPT = "1": FRMパターンを繰り返す(ELパネル用)

FRMRPT = "0": 繰り返さない(デフォルト)

表示の制御

LCDパワーアップ/ダウン制御

LCDコントローラはLCLGEN(LCDCクロックジェネレータ制御レジスタ0x300F34・D7)を"1"に設定することによって動作します。LCLGENを"0"に設定するとLCDコントローラは動作を停止し、LCD信号出力がLowとなります。なお、正しく表示を開始させるには、LCLGENを"1"に設定した後に、クロック条件、LCDパネルのパラメータや表示データを設定しておく必要があります。

また、LCD信号が正しく出力されていない状態でLCDパネルの電源を投入/切断すると、パネルを損傷する場合があります。したがって、本LCDコントローラがLCD信号の出力制御を開始してから、LCDパネルの電源を投入する必要があります。このLCDパネル電源の制御には、入出力兼用ポートを使用してください。LCD信号が出力されていない場合は、入出力兼用ポートの出力をLCD電源がOffするように制御し、LCD信号が出力されてからポートの制御によりLCD電源をOnします。

LCDコントローラはコールドリセット後、LCLGEN = "0"およびパワーセーブモードが有効の状態に設定されます。LCLGENを"1"に設定しても、すぐにパワーアップシーケンスを開始して表示を行うわけではありません。パワーセーブモードになり、LCD信号出力端子はすべてLowに固定されます。

パワーセーブモードを解除して通常モードにするには、LPSAVE[1:0](ステータス&パワーセーブレジスタ0x380014・D[1:0])を"0b11"に設定します。LCDコントローラはここからパワーアップシーケンスを開始し、LCD信号を出力します。逆に通常モードからパワーセーブモードに移行する場合、LPSAVEを"0b00"に設定するとLCDコントローラはここからパワーダウンシーケンスを開始し、LCD信号をLowにします。パワーセーブモードでも、LCD制御レジスタの設定やルックアップテーブルを設定することはできません。

電源投入時のLCD初期化手順の例を以下にまとめます。

1. BCU、クロック、端子、表示メモリエリアの設定を行います。("システム設定"参照)
2. LCDコントローラをイネーブル(LCLGEN = "1")にします。
3. LCDパネルパラメータ、表示モード、ルックアップテーブルの設定を行います。("LCDパネル設定"参照)
4. LCDC割り込みをイネーブルにします。
5. 表示メモリに表示データを書き込みます。
6. 表示開始アドレスを設定します。("表示開始アドレスの設定"参照)
7. LCDコントローラを通常モード(LPSAVE = "0b11")にします。
8. LCDコントローラはLCD信号の出力を開始します。
9. LCDパネル用電源に合わせ、待ち時間をとります。
10. 入出力兼用ポートを制御して、LCDパネルに電源を供給します。

パワーダウンの操作は次のように行います。

1. LCDパネルの電源をOffします。
2. LCDパネル用電源に合わせ、待ち時間をとります。
3. LCDコントローラをパワーセーブモード(LPSAVE = "0b00")にします。
4. LCDコントローラはLCD信号をLowにします。

表示開始アドレスの設定

LCDコントローラは初期設定により、表示メモリの先頭から表示するようになっています。表示を開始する表示メモリアドレスは、画面開始アドレスレジスタ(0x380210)で自由に変更できます。画面開始アドレスレジスタに設定した開始アドレスがLCDパネルの左上端に対応します。

このレジスタには、VRAMエリアの先頭からのオフセットアドレスを設定してください。たとえば内蔵VRAMを使用する場合、表示メモリの先頭アドレスは0x3C0000ではなく0x0です。使用するVRAMに合わせ、以下の境界アドレスを指定する必要があります。

内蔵VRAM使用時: (画面開始アドレス - IVRAM開始アドレス) / 2

外部SDRAM使用時: (画面開始アドレス - SDRAM開始アドレス) / 32

VRAMSEL(画面開始アドレスレジスタ0x380210・DF)を"0"に設定した場合は内蔵VRAMが、"1"に設定した場合は外部SDRAMが表示メモリとして選択されます。

表示データの書き込み

LCDコントローラは、各フレームのリフレッシュシーケンスを終了後、垂直非表示期間の最初に割り込みを発生します。また、垂直表示期間の状態を示すVNDPFフラグ(ステータス&パワーセーブレジスタ0x380014・D7)が用意されており、垂直非表示期間中は"1"になります。

画面のちらつき等を防ぐため、表示データ、LUTデータ、表示バッファの変更は、この割り込みまたはVNDPFフラグを使用して非表示期間に行うようにしてください。

LCDC割り込みの詳細については"LCDC割り込みとDMA"を参照してください。

表示の反転とブランク表示

表示メモリの内容を書き換えることなく、表示を消す(画面全体を黒くまたは白くする)ことができます。BLANK (LCDCモードレジスタ1, 0x380202・D8)を"1"に設定すると、FPDAT信号がLowまたはHighになり表示が消えます。"0"にすると通常の表示に戻ります。このとき、画面の色(黒または白)は、以下に説明するSWINV(0x380202・D9)の設定により決まります。

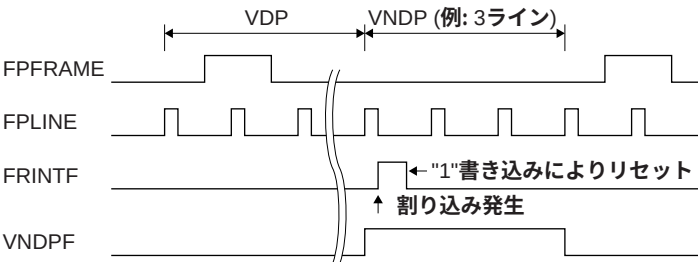
また、ビットの操作のみで表示を反転(ネガ表示)させることができます。SWINV(LCDCモードレジスタ1, 0x380202・D9)を"1"に設定すると表示が反転し、"0"にすると通常の表示に戻ります。この機能は、表示メモリのピクセルデータではなく、ルックアップテーブルから出力された表示データを反転します。

これらの操作により、画面を点滅させることができます。切り換えは、垂直非表示期間内(VNDPF = "1")に行ってください。

LCDC割り込みとDMA

■フレーム割り込み

フレームリフレッシュサイクル(垂直表示期間)が終了すると垂直非表示期間が始まり、フレーム割り込みフラグFRINTF(ステータス&パワーセーブレジスタ0x380014・DF)が"1"にセットされます。FRINTEN(フレーム割り込みレジスタ0x380010・DF)を"1"に設定してフレーム割り込みを許可している場合、これと同時に、LCDコントローラは割り込みコントローラに割り込み信号を出力します。割り込みコントローラの制御レジスタで割り込みが許可されていれば、CPUに対して割り込みが発生します。この割り込みの発生により、表示データを表示メモリに書き込むタイミングを知ることができます。また、この割り込みはIDMAを起動することもできますので、DMA転送によりデータを表示メモリに書き込むこともできます。



図VII.2.29 フレーム割り込みタイミング

FRINTFフラグは"1"にセットされると、ソフトウェアによって"1"を書き込むまでリセットされません。したがって、フレーム割り込みを許可する場合は、不要な割り込みを防ぐため、FRINTENを"1"に設定する前に、FRINTFに"1"を書き込んでください。
LCDC割り込みを使用しない場合は、FRINTENを"0"に設定します。

■割り込みコントローラの制御レジスタ

LCDC割り込み用の割り込みコントローラの制御レジスタを表VII.2.17に示します。

表VII.2.17 割り込みコントローラの制御レジスタ

割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
FLCDCI (0x402A9・D5)	ELCDCI (0x402A6・D5)	PLCDCI[2:0] (0x402A2・D[6:4])

上記の割り込み要因の発生により、割り込み要因フラグが"1"にセットされます。対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。
割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。
割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。
また、割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した割り込みのレベルよりも小さな値に設定されている場合に限られます。
これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"ITC(割り込みコントローラ)"を参照してください。

■インテリジェントDMA

LCDC割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、データメモリから表示メモリへのデータ転送がDMAを使用して行えます。

LCDC割り込みに設定されたIDMAチャンネル番号は43です。

IDMAを起動させるには、VII.2.18に示すIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表VII.2.18 IDMA転送用の制御ビット

IDMAリクエストビット	IDMAイネーブルビット
RLCDCI (0x402AC・D5)	DELCDCI (0x402AE・D5)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送と転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■トラップベクタ

LCDC割り込みのトラップベクタアドレスは、デフォルトで0x0C00164に設定されます。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

パワーセーブ

本LCDコントローラは2種類のパワーセーブモードを持っています。LPSAVE[1:0](ステータス&パワーセーブレジスタ0x380014・D[1:0])で設定します。

表VII.2.19 パワーセーブモードの設定

LPSAVE1	LPSAVE0	モード
1	1	通常動作
1	0	DOZEモード
0	1	Reserved
0	0	パワーセーブモード

■パワーセーブモード

このモードに設定すると、LCD信号出力端子がすべてLowとなりLCDパネルをパワーダウンします。LCDコントローラは制御レジスタとルックアップテーブルへのアクセスのみが可能となる他はすべて動作を停止します。

LPSAVEを"00"に設定するとパワーセーブモードに設定されます。

LPSAVEを"11"に設定するとパワーセーブモードが解除されます。

■DOZEモード

DOZEモードはRAM内蔵タイプあるいはセルフリフレッシュタイプのLCDパネルに対応したパワーセーブモードです。これらのパネルは、同一画像の表示リフレッシュのためにデータを常に送る必要があります。この間、本LCDコントローラをDOZEモードに設定することができます。DOZEモードではFPDATとFPSHIFT信号がLowに固定され、表示メモリへのアクセスも発生しません。パワーセーブモードほどの大きな省電力効果は得られませんが、表示を継続したまま、消費電流を低減できます。

■パワーセーブモードの比較

表VII.2.20にパワーセーブモードの相違点をまとめます。

表VII.2.20 パワーセーブモードの相違点

項 目	LCDCディセーブル	パワーセーブモード	DOZEモード	通常動作
I/Oレジスタへのアクセス	不可	可	可	可
ルックアップテーブルへのアクセス	不可	可	可	可
VRAMへのアクセス	可	可	可	可
表示	インアクティブ	インアクティブ	アクティブ	アクティブ
LCDCによる表示データフェッチ動作	インアクティブ	インアクティブ	インアクティブ	アクティブ
FPDAT[7:0], FPSHIFT信号	Low	Low	Low	アクティブ
FPLINE, FPFRAME, DRDY信号	Low	Low	アクティブ	アクティブ

■LCDCモード移行時の確認

LPSAVEが変更されると、LCDコントローラはLPSAVEで指定されたモードに移行する前に、数フレームの期間、特別なシーケンスを実行します。LCDCが表示データのフェッチ動作中かどうかを示すVRAMF(ステータス&パワーセーブレジスタ0x380014・D6)が用意されています。LCDCが指定のモードになったかどうかについては、VRAMFを読み出して確認してください。

ホストインタフェースバッファとLCDCキャッシュ

ホストインタフェースバッファとアクセスタイムアウトエラー

LCDCレジスタとルックアップテーブルはLCDCクロック(LCDCクロックジェネレータで生成)で動作します。このため、BCUクロックに同期したCPU側からは直接アクセスできません。そこで、LCDCホストインタフェースは、LCDCレジスタとルックアップテーブルに対するCPUからの読み出し/書き込みを内部のバッファを介して行います。CPUがLCDCレジスタまたはルックアップテーブルに対してデータの書き込みを行うと、データは一旦BCUクロックによってLCDCのバッファに書き込まれます。その後、データはLCDCクロックによりLCDCレジスタまたはルックアップテーブルに書き込まれます。データが正しく書き込まれる前にCPUが次のLCDCに対するアクセスを行わないように、CPUが書き込みを行った時点から書き込みが正常に終了してバッファが空になるまで、LCDCホストインタフェースはC33 STDコアに対して#WAIT信号を出力し、バスサイクルを延長します。

読み出し時は、LCDCレジスタまたはルックアップテーブルのデータがバッファに書き込まれるまで#WAIT信号を出力し、CPUのリードサイクルを延長します。

LCDCクロックが供給されていない(LCLGEN="0")などの理由により、CPUによるアクセス後、LCDCレジスタまたはルックアップテーブルが一定期間内に応答しなかった場合は、内蔵のタイムアウトカウンタによりCPUのバスサイクルを終了させるようになっています。この場合、CPUによる読み出し/書き込みは無効となるため、タイムアウトが発生したことを示すTOERRFフラグ(ステータス&パワーセーブレジスタ0x380014・D5)が用意されています。このフラグが"0"の場合、LCDCレジスタまたはルックアップテーブルに対する読み出し/書き込みは正常に終了しています。フラグが"1"の場合、タイムアウトエラーが発生しています。このフラグは"1"にセットされると、ソフトウェアで"1"を書き込むまでリセットされません。

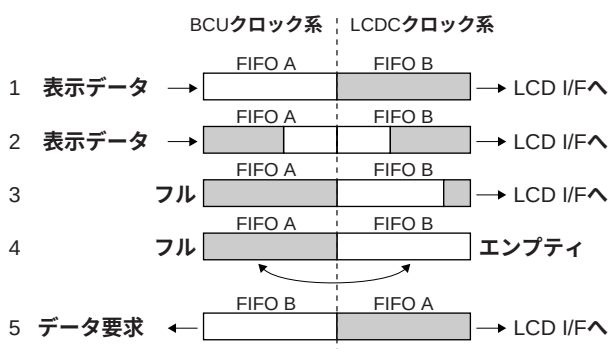
TOERRFフラグの他に、バッファの状態を示すWRBUFFフラグ(ステータス&パワーセーブレジスタ0x380014・D8)も用意されています。タイムアウトエラー発生後、このフラグが"1"にセットされていた場合は、書き込みデータがバッファに残っており、書き込みが正常に終了していません。このフラグが"0"の場合、バッファは空になっていますので、読み出し時にタイムアウトエラーが発生しています。

LCDCキャッシュ

表示メモリ(内蔵VRAMまたは外部SDRAM)はLCDコントローラとは別のクロック系に存在します。このため、表示メモリ内の表示データはIVRAMアービタ(内蔵VRAMの場合)またはバスアービタ(外部SDRAMの場合)を介してLCDコントローラに入力され、LCDインタフェースに送られる前に一旦LCDCキャッシュに取り込まれます。

LCDCキャッシュは、2つの32バイトの非同期FIFO(デュアルポートSOG-RAM)で構成されています。これは、ピンポン機構を実現するためのもので、一方のFIFOがLCDCクロック系で動作する場合、もう一方はBCUクロック系で動作します。つまり、一方のFIFOがLCDCとは非同期に表示メモリから読み出された表示データを取り込み、もう一方のFIFOはLCDインタフェースに表示データを送ります。2つのFIFOは32バイトのデータの処理が終了するごとに、それぞれの機能を交換します。

VRAM側のFIFOが満杯になると、もう一方のFIFOが空になるまでVRAMからのデータ読み出しを中断します。その後、LCDインタフェース側のFIFOが空になると、そのFIFOはVRAM側に切り換えられ、IVRAMアービタまたはバスアービタに対して続きの表示データを要求します。LCDインタフェースは、満杯になっている別のFIFOから表示データの読み出しを続けます。



図VII.2.30 LCDCキャッシュの動作

VRAM側のFIFOが満杯になる前にLCDインタフェース側のFIFOが空になると、LCDCはVRAM側のFIFOが満杯になるまで表示シーケンスを中断します。この状態が発生すると、FIFOEFフラグ(ステータス&パワーセーブレジスタ0x380014・D9)が"1"にセットされます。このフラグは"1"にセットされると、ソフトウェアで"1"を書き込むまでリセットされません。

このエラーは表示のちらつきなどの原因になります。このエラーが頻繁に発生する場合は、lcdc_clkクロックに対するhalt2run_clkクロックの速度を上げる、水平非表示期間を延ばす、あるいはFIFOのフレキシブルバーストリード機能を使用するなどの方法により、システムの処理速度を上げてやる必要があります。FIFOフレキシブルバーストリード機能は、FIFOHP(ステータス&パワーセーブレジスタ0x380014・D3)を"1"に設定することで有効になります。デフォルト設定(FIFOHP="0")では、表示データが16バーストリードによってFIFOに取り込まれます。フレキシブルバーストリード機能を有効にすると、ランダムに16、32または48バーストリードを行います。

また、バスクロックジェネレータやバスアービタがディセーブルになっている、あるいはSDRAMコントローラが初期化されていないなどの理由により、外部SDRAMがアクセスできない場合はFIFOエンプティエラーになり、FIFOEF(ステータス&パワーセーブレジスタ0x380014・D9)が"1"にセットされます。

LCDコントローラのI/Oメモリ

表VII.2.21にLCDコントローラの制御ビットを示します。

表VII.2.21 LCDコントローラの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
LCDC割り込み プライオリティ レジスタ	00402A2 (B)	D7	—	reserved	—		—	—	読み出し時: 0		
		D6	PLCDCI2	LCDCコントローラ 割り込みレベル	0~7	X	R/W				
		D5	PLCDCI1			X					
		D4	PLCDCI0			X					
		D3	—	reserved	—		—	—	読み出し時: 0		
		D2	—	拡張機能 割り込みレベル(reserved)	0~7	X	R/W				
		D1	—			X					
		D0	—			X					
LCDC, USB, SPI割り込み イネーブル レジスタ	00402A6 (B)	D7	ESPII	SPI割り込み	1 許可	0 禁止	0	R/W	1書き込み禁止		
		D6	EUSBI	USB割り込み			0	R/W			
		D5	ELCDCI	LCDC割り込み			0	R/W			
		D4	—	拡張機能割り込み(reserved)			0	R/W			
		D3	—	拡張機能割り込み(reserved)			0	R/W			
		D2	—	拡張機能割り込み(reserved)			0	R/W			
		D1	—	拡張機能割り込み(reserved)			0	R/W			
		D0	—	拡張機能割り込み(reserved)			0	R/W			
LCDC, USB, SPI割り込み 要因フラグ レジスタ	00402A9 (B)	D7	FSPII	SPI割り込み	1 要因発生	0 要因なし	X	R/W	1書き込み禁止		
		D6	FUSBI	USB割り込み			X	R/W			
		D5	FLCDCI	LCDC割り込み			X	R/W			
		D4	—	拡張機能割り込み(reserved)			X	R/W			
		D3	—	拡張機能割り込み(reserved)			X	R/W			
		D2	—	拡張機能割り込み(reserved)			X	R/W			
		D1	—	拡張機能割り込み(reserved)			X	R/W			
		D0	—	拡張機能割り込み(reserved)			X	R/W			
LCDC, USB, SPI IDMAリクエスト レジスタ	00402AC (B)	D7	RSPII	SPI割り込み	1 IDMA要求	0 割り込み 要求	0	R/W	1書き込み禁止		
		D6	RUSBI	USB割り込み			0	R/W			
		D5	RLCDCI	LCDC割り込み			0	R/W			
		D4	—	拡張機能割り込み(reserved)			0	R/W			
		D3	—	拡張機能割り込み(reserved)			0	R/W			
		D2	—	拡張機能割り込み(reserved)			0	R/W			
		D1	—	拡張機能割り込み(reserved)			0	R/W			
		D0	—	拡張機能割り込み(reserved)			0	R/W			
LCDC, USB, SPI IDMAイネーブル レジスタ	00402AE (B)	D7	DESPII	SPI割り込み	1 IDMA許可	0 IDMA禁止	0	R/W	1書き込み禁止		
		D6	DEUSBI	USB割り込み			0	R/W			
		D5	DELCDCI	LCDC割り込み			0	R/W			
		D4	—	拡張機能割り込み(reserved)			0	R/W			
		D3	—	拡張機能割り込み(reserved)			0	R/W			
		D2	—	拡張機能割り込み(reserved)			0	R/W			
		D1	—	拡張機能割り込み(reserved)			0	R/W			
		D0	—	拡張機能割り込み(reserved)			0	R/W			
PB0–PB3 ポート機能拡張 レジスタ	0300F62 (B)	D7 D6	FPB31 FPB30	PB3ポート機能拡張	FPB3[1:0]		機能		0	R/W	
					1	*	reserved				
					0	1	FPDAT3				
					0	0	PB3				
		D5 D4	FPB21 FPB20	PB2ポート機能拡張	FPB2[1:0]		機能		0	R/W	
					1	*	reserved				
					0	1	FPDAT2				
					0	0	PB2				
		D3 D2	FPB11 FPB10	PB1ポート機能拡張	FPB1[1:0]		機能		0	R/W	
					1	*	reserved				
					0	1	FPDAT1				
					0	0	PB1				
D1 D0	FPB01 FPB00	PB0ポート機能拡張	FPB0[1:0]		機能		0	R/W			
			1	*	reserved						
			0	1	FPDAT0						
			0	0	PB0						

VII-2 LCDCブロック: LCDコントローラ

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
PB4–PB7 ポート機能拡張 レジスタ	0300F63 (B)	D7 D6	FPB71 FPB70	PB7ポート機能拡張	FPB7[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPDAT7				
					0	0	PB7				
		D5 D4	FPB61 FPB60	PB6ポート機能拡張	FPB6[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPDAT6				
					0	0	PB6				
		D3 D2	FPB51 FPB50	PB5ポート機能拡張	FPB5[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPDAT5				
					0	0	PB5				
		D1 D0	FPB41 FPB40	PB4ポート機能拡張	FPB4[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPDAT4				
					0	0	PB4				
PC0–PC3 ポート機能拡張 レジスタ	0300F64 (B)	D7 D6	FPC31 FPC30	PC3ポート機能拡張	FPC3[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	DRDY				
					0	0	PC3				
		D5 D4	FPC21 FPC20	PC2ポート機能拡張	FPC2[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPSHIFT				
					0	0	PC2				
		D3 D2	FPC11 FPC10	PC1ポート機能拡張	FPC1[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPLINE				
					0	0	PC1				
		D1 D0	FPC01 FPC00	PC0ポート機能拡張	FPC0[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPFRAME				
					0	0	PC0				
サブシステム クロック選択 レジスタ	0300F32 (B)	D7–1	–	reserved	–			–	–	読み出し時: 0	
		D0	SUBCKSEL	サブシステムソースクロック選択	1	PLL クロック	0	OSC3 クロック	0	R/W	
LCDCクロック ジェネレータ 制御レジスタ	0300F34 (B)	D7	LCLGEN	LCDCクロックジェネレータイネーブル	1	動作	0	停止	0	R/W	
		D6–4	–	reserved	–			–	–	読み出し時: 0	
		D3	LCLGDT3	LCDCクロック設定 (サブシステムクロック分周比)	LCDCクロック周波数 = $\frac{\text{subsys_clk}}{\text{LCLGDT}[3:0] + 1} \text{ [Hz]}$			0	R/W		
		D2	LCLGDT2					0			
		D1	LCLGDT1					0			
		D0	LCLGDT0					0			
フレーム割り込 みレジスタ	0380010 (HW)	DF	FRINTEN	フレーム割り込みイネーブル	1	有効	0	無効	0	R/W	
		DE–0	–	reserved	–			–	–	読み出し時: 0	
ステータス&パ ワーセーブレジ スタ	0380014 (HW)	DF	FRINTF	フレーム割り込みフラグ	1	要因あり	0	要因なし	0	R/W	1書き込みでリセット
		DE–A	–	reserved	–			–	–	読み出し時: 0	
		D9	FIFOEF	表示FIFOエンプティフラグ	1	エンプティ	0	データあり	0	R/W	1書き込みでリセット
		D8	WRBUFF	LUT/IOライトバッファステータス	1	データあり	0	エンプティ	0	R	
		D7	VNDPF	垂直表示ステータス	1	VNDP	0	VDP	1	R	
		D6	VRAMF	VRAMステータス	1	待機	0	ビジー	1	R	
		D5	TOERRF	CPUアクセスタイムアウトエラーフラグ	1	エラー	0	ノーマル	0	R/W	1書き込みでリセット
		D4	–	reserved	–			–	–	読み出し時: 0	
		D3	FIFOHP	表示FIFOフレキシブルバーストリード	1	フレキシブル	0	16バースト	0	R/W	
		D2	–	reserved	–			–	–	読み出し時: 0	
		D1 D0	LPSAVE1 LPSAVE0	パワーセーブモード	LPSAVE[1:0]		モード	0	R/W		
					1	1	通常動作	0			
					1	0	DOZE				
					0	1	reserved				
水平非表示期間 レジスタ	0380040 (HW)	DF–5	–	reserved	–			–	–	読み出し時: 0	
		D4	HNDP4	水平非表示期間 HNDP4 = MSB HNDP0 = LSB	$\frac{\text{水平非表示期間(ピクセル)}}{8} \cdot 4$		0	R/W			
		D3	HNDP3				0				
		D2	HNDP2				0				
		D1	HNDP1				0				
		D0	HNDP0				0				
パネル 水平サイズ レジスタ	0380042 (HW)	DF–7	–	reserved	–			–	–	読み出し時: 0	
		D6	HSIZE6	パネル水平サイズ HSIZE6 = MSB HSIZE0 = LSB	$\frac{\text{水平解像度(ピクセル)}}{8} \cdot 1$		0	R/W			
		D5	HSIZE5				0				
		D4	HSIZE4				0				
		D3	HSIZE3				0				
		D2	HSIZE2				0				
		D1	HSIZE1				0				
		D0	HSIZE0				0				

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
垂直非表示期間 レジスタ	038004A (HW)	DF-6	–	reserved	–	–	–	読み出し時: 0
		D5	VNDP5	垂直非表示期間 VNDP5 = MSB VNDP0 = LSB	非表示期間(ライン)	0	R/W	
		D4	VNDP4			0		
		D3	VNDP3			0		
		D2	VNDP2			0		
		D1	VNDP1			0		
		D0	VNDP0			0		
パネル 垂直サイズ レジスタ	038004C (HW)	DF-A	–	reserved	–	–	–	読み出し時: 0
		D9	VSIZE9	パネル垂直サイズ VSIZE9 = MSB VSIZE0 = LSB	垂直解像度(ライン) -1	0	R/W	
		D8	VSIZE8			0		
		D7	VSIZE7			0		
		D6	VSIZE6			0		
		D5	VSIZE5			0		
		D4	VSIZE4			0		
		D3	VSIZE3			0		
		D2	VSIZE2			0		
		D1	VSIZE1			0		
		D0	VSIZE0			0		
MODレート レジスタ	0380052 (HW)	DF-6	–	reserved	–	–	–	読み出し時: 0
		D5	MOD5	LCD MODレート MOD5 = MSB MOD0 = LSB	0x0~0x3F	0	R/W	
		D4	MOD4			0		
		D3	MOD3			0		
		D2	MOD2			0		
		D1	MOD1			0		
		D0	MOD0			0		
LCDCモード レジスタ0	0380200 (HW)	DF-8	–	reserved	–	–	–	読み出し時: 0
		D7	FRMRPT	EL/パネル用フレームリポート	1 リポート 0 リポートなし	0	R/W	
		D6	DITHEN	ディザモードイネーブル	1 有効 0 無効	0	R/W	
		D5	–	reserved	–	–	–	読み出し時: 0
		D4	LUTPASS	LUTバイパスモード	1 バイパス 0 LUT使用	0	R/W	
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	BPP2	bpp選択	BPP[2:0] bpp(カラー/グレイ)	0	R/W	
		D1	BPP1		1 1 * reserved	0		
		D0	BPP0		1 0 1 16bpp(64Kc/64gr)	0		
					1 0 0 12bpp(4Kc/16gr)			
					0 1 1 8bpp(256c/64gr)			
					0 1 0 4bpp(16c/16gr)			
					0 0 1 2bpp(4c/4gr)			
					0 0 0 1bpp(2c/2gr)			
LCDCモード レジスタ1	0380202 (HW)	DF	–	reserved	–	–	–	読み出し時: 0
		DE	COLOR	カラー/モノクロ選択	1 カラー 0 モノクロ	0	R/W	
		DD	MASK	FPSHIFTマスクイネーブル	1 有効 0 無効	0	R/W	
		DC	–	reserved	–	–	–	読み出し時: 0
		DB	DWT1	LCDパネルデータ幅	DWT[1:0] データ形式	0	R/W	
		DA	DWT0		1 1 8ビット(形式2)	0		
					1 0 reserved			
					0 1 8ビット(形式1)			
					0 0 4ビット			
		D9	SWINV	ソフトウェアビデオ反転	1 反転 0 ノーマル	0	R/W	
		D8	BLANK	ブランク表示イネーブル	1 ブランク 0 通常表示	0	R/W	
		D7-0	–	reserved	–	–	–	読み出し時: 0
画面開始アドレ スレジスタ	0380210 (HW)	DF	VRAMSEL	VRAM選択	1 外部VRAM 0 内蔵VRAM	0	R/W	
		DE	SADDR14	画面開始アドレス SADDR14 = MSB SADDR0 = LSB	0x0~0x7FFF	0	R/W	
		DD	SADDR13			0		
		DC	SADDR12			0		
		DB	SADDR11			0		
		DA	SADDR10			0		
		D9	SADDR9			0		
		D8	SADDR8			0		
		D7	SADDR7			0		
		D6	SADDR6			0		
		D5	SADDR5			0		
		D4	SADDR4			0		
		D3	SADDR3			0		
		D2	SADDR2			0		
		D1	SADDR1			0		
		D0	SADDR0			0		

VII-2 LCDCブロック: LCDコントローラ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ルックアップテーブルR/Gデータレジスタ (アドレス0)	0380400 (HW)	DF	LUTG05	ルックアップテーブルGデータ LUTG05 = MSB LUTG00 = LSB	0x0～0x3F	X	R/W	読み出し時: 0
		DE	LUTG04			X		
		DD	LUTG03			X		
		DC	LUTG02			X		
		DB	LUTG01			X		
		DA	LUTG00			X		
		D9-8	—	reserved	—	—	—	読み出し時: 0
		D7	LUTR05	ルックアップテーブルRデータ LUTR05 = MSB LUTR00 = LSB	0x0～0x3F	X	R/W	
		D6	LUTR04			X		
		D5	LUTR03			X		
		D4	LUTR02			X		
		D3	LUTR01			X		
		D2	LUTR00			X		
		D1-0	—	reserved	—	—	—	読み出し時: 0
ルックアップテーブルBデータレジスタ (アドレス0)	0380402 (HW)	DF-8	—	reserved	—	—	—	読み出し時: 0
		D7	LUTB05	ルックアップテーブルBデータ LUTB05 = MSB LUTB00 = LSB	0x0～0x3F	X	R/W	
		D6	LUTB04			X		
		D5	LUTB03			X		
		D4	LUTB02			X		
		D3	LUTB01			X		
		D2	LUTB00			X		
		D1-0	—	reserved	—	—	—	読み出し時: 0

:

--- 0x380404 ... 0x3807FA ---

:

ルックアップテーブルR/Gデータレジスタ (アドレスFF)	03807FC (HW)	DF	LUTGFF5	ルックアップテーブルGデータ LUTGFF5 = MSB LUTGFF0 = LSB	0x0～0x3F	X	R/W	読み出し時: 0
		DE	LUTGFF4			X		
		DD	LUTGFF3			X		
		DC	LUTGFF2			X		
		DB	LUTGFF1			X		
		DA	LUTGFF0			X		
		D9-8	—	reserved	—	—	—	読み出し時: 0
		D7	LUTRFF5	ルックアップテーブルRデータ LUTRFF5 = MSB LUTRFF0 = LSB	0x0～0x3F	X	R/W	
		D6	LUTRFF4			X		
		D5	LUTRFF3			X		
		D4	LUTRFF2			X		
		D3	LUTRFF1			X		
		D2	LUTRFF0			X		
		D1-0	—	reserved	—	—	—	読み出し時: 0
ルックアップテーブルBデータレジスタ (アドレスFF)	03807FE (HW)	DF-8	—	reserved	—	—	—	読み出し時: 0
		D7	LUTBFF5	ルックアップテーブルBデータ LUTBFF5 = MSB LUTBFF0 = LSB	0x0～0x3F	X	R/W	
		D6	LUTBFF4			X		
		D5	LUTBFF3			X		
		D4	LUTBFF2			X		
		D3	LUTBFF1			X		
		D2	LUTBFF0			X		
		D1-0	—	reserved	—	—	—	読み出し時: 0

FPB01–FPB00: PB0ポート機能拡張(D[1:0]/0x300F62<PB0–PB3ポート機能拡張レジスタ>)
 FPB11–FPB10: PB1ポート機能拡張(D[3:2]/0x300F62<PB0–PB3ポート機能拡張レジスタ>)
 FPB21–FPB20: PB2ポート機能拡張(D[5:6]/0x300F62<PB0–PB3ポート機能拡張レジスタ>)
 FPB31–FPB30: PB3ポート機能拡張(D[7:4]/0x300F62<PB0–PB3ポート機能拡張レジスタ>)
 FPB41–FPB40: PB4ポート機能拡張(D[1:0]/0x300F63<PB4–PB7ポート機能拡張レジスタ>)
 FPB51–FPB50: PB5ポート機能拡張(D[3:2]/0x300F63<PB4–PB7ポート機能拡張レジスタ>)
 FPB61–FPB60: PB6ポート機能拡張(D[5:4]/0x300F63<PB4–PB7ポート機能拡張レジスタ>)
 FPB71–FPB70: PB7ポート機能拡張(D[7:6]/0x300F63<PB4–PB7ポート機能拡張レジスタ>)
 FPC01–FPC00: PC0ポート機能拡張(D[1:0]/0x300F64<PC0–PC3ポート機能拡張レジスタ>)
 FPC11–FPC10: PC1ポート機能拡張(D[3:2]/0x300F64<PC0–PC3ポート機能拡張レジスタ>)
 FPC21–FPC20: PC2ポート機能拡張(D[5:4]/0x300F64<PC0–PC3ポート機能拡張レジスタ>)
 FPC31–FPC30: PC3ポート機能拡張(D[7:6]/0x300F64<PC0–PC3ポート機能拡張レジスタ>)

PBおよびPCポートの機能を切り換えます。

表VII.2.22 PBおよびPCポート拡張機能

機能拡張 ビット	FPxx[1:0] = "00"	FPxx[1:0] = "01"	FPxx[1:0] = "10"	FPxx[1:0] = "11"
FPB0[1:0]	PB0	FPDAT0	–	–
FPB1[1:0]	PB1	FPDAT1	–	–
FPB2[1:0]	PB2	FPDAT2	–	–
FPB3[1:0]	PB3	FPDAT3	–	–
FPB4[1:0]	PB4	FPDAT4	–	–
FPB5[1:0]	PB5	FPDAT5	–	–
FPB6[1:0]	PB6	FPDAT6	–	–
FPB7[1:0]	PB7	FPDAT7	–	–
FPC0[1:0]	PC0	FPFRAME	–	–
FPC1[1:0]	PC1	FPLINE	–	–
FPC2[1:0]	PC2	FPSHIFT	–	–
FPC3[1:0]	PC3	DRDY	–	–

LCDコントローラを使用する場合は、FPBx[1:0]とFPCx[1:0]を"01"に設定してください。これにより、PBxおよびPCx端子がLCDインタフェース端子に設定されます。

イニシャルリセット時、FPBおよびFPCは"00"に設定されます。

SUBCKSEL: サブシステムソースクロック選択(D0/0x300F32<サブシステムクロック選択レジスタ>)

バスクロックジェネレータとLCDCクロックジェネレータのソースクロックを選択します。

"1"書き込み: PLL出力クロック

"0"書き込み: OSC3クロック

読み出し: 可能

SUBCKSELに"1"を書き込むと、PLL出力クロックがバスクロックジェネレータとLCDCクロックジェネレータのソースクロック(subsys_clk)として選択されます。"0"を書き込むとOSC3クロックが選択されます。

イニシャルリセット時、SUBCKSELは"0"(OSC3クロック)に設定されます。

LCLGEN: LCDCクロックジェネレータイネーブル(D7/0x300F34<LCDCクロックジェネレータ制御レジスタ>)

LCDCクロックジェネレータを動作させます。

"1"書き込み: 動作

"0"書き込み: 停止

読み出し: 可能

LCLGENに"1"を書き込むと、LCDCクロックジェネレータにソースクロックが供給され、LCDコントローラ用のlcdc_clkクロックの出力を開始します。"0"を書き込むと、LCDCクロックジェネレータはlcdc_clkクロックの出力を停止します。

イニシャルリセット時、LCLGENは"0"(停止)に設定されます。

LCLGDT3-LCLGDT0: LCDCクロック設定 (D[3:0]/0x300F34<LCDCクロックジェネレータ制御レジスタ>)

LCDCクロックジェネレータの分周比を選択し、lcdc_clkの周波数を設定します。

表VII.2.23 LCDCクロック分周比の選択

LCLGDT3	LCLGDT2	LCLGDT1	LCLGDT0	LCLGソースクロック
1	1	1	1	subsys_clk / 16
1	1	1	0	subsys_clk / 15
1	1	0	1	subsys_clk / 14
1	1	0	0	subsys_clk / 13
1	0	1	1	subsys_clk / 12
1	0	1	0	subsys_clk / 11
1	0	0	1	subsys_clk / 10
1	0	0	0	subsys_clk / 9
0	1	1	1	subsys_clk / 8
0	1	1	0	subsys_clk / 7
0	1	0	1	subsys_clk / 6
0	1	0	0	subsys_clk / 5
0	0	1	1	subsys_clk / 4
0	0	1	0	subsys_clk / 3
0	0	0	1	subsys_clk / 2
0	0	0	0	subsys_clk

イニシャルリセット時、LCLGDTは"0"(subsys_clk)に設定されます。

FRINTEN: フレーム割り込みイネーブル (DF/0x380010<フレーム割り込みレジスタ>)

LCDCフレーム割り込みを有効にします。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

フレーム割り込みを使用する場合はFRINTENを"1"に設定します。これにより、割り込みコントローラに割り込み信号が出力されるようになります。このビットが"0"の場合、LCDC割り込みは発生しません。

イニシャルリセット時、FRINTENは"0"(無効)に設定されます。

FRINTF: フレーム割り込みフラグ (DF/0x380014<ステータス&パワーセーブレジスタ>)

フレーム割り込みの発生状態を示します。

- 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

- 書き込み時

"1"書き込み: フラグをリセット

"0"書き込み: 無効

FRINTFは垂直非表示期間が始まると"1"にセットされます。FRINTENを"1"に設定してフレーム割り込みを許可している場合、割り込み信号がアクティブとなり、割り込みコントローラのLCDC割り込み要因フラグが"1"にセットされます。このフラグは"1"の書き込みによってのみリセットされます。

イニシャルリセット時、FRINTFは"0"(割り込み要因なし)に設定されます。

FIFOEF: 表示FIFOエンプティフラグ (D9/0x380014<ステータス&パワーセーブレジスタ>)

表示FIFOが空かどうかを示します。

- 読み出し時

"1"読み出し: エンプティ

"0"読み出し: データあり

- 書き込み時

"1"書き込み: フラグをリセット

"0"書き込み: 無効

FIFOEFは、VRAM側のFIFOが満杯になっていない場合にLCDインタフェース側のFIFOが空になると"1"にセットされます。この場合、LCDコントローラはVRAM側のFIFOが満杯になるまで表示シーケンスを中断します。このフラグは"1"の書き込みによってのみリセットされます。

イニシャルリセット時、FIFOEFは"0"(データあり)に設定されます。

WRBUFF: LUT/IOライトバッファステータス(D8/0x380014<ステータス&パワーセーブレジスタ>)

LCDCホストインタフェースバッファの状態を示します。

"1"読み出し: データあり

"0"読み出し: 空

書き込み: 無効

タイムアウトエラー発生後にこのフラグが"1"にセットされていた場合、直前の書き込みデータがバッファに残っており、書き込みが正しく終了していないことを示します。このフラグが"0"の場合、バッファは空になっています。この場合は、読み出し中にタイムアウトエラーが発生したことを示します。

イニシャルリセット時、WRBUFFは"0"(空)に設定されます。

VNDPF: 垂直表示期間ステータス(D7/0x380014<ステータス&パワーセーブレジスタ>)

垂直非表示期間内かどうかを示します。

"1"読み出し: 垂直非表示期間

"0"読み出し: 垂直表示期間

書き込み: 無効

垂直非表示期間中にVNDPFは"1"になり、垂直表示期間は"0"になります。画面を乱さずに画像の切り換えを行う場合は、このビットを読み出すことによって垂直非表示期間内に切り換え操作が行えます。

イニシャルリセット時、VNDPFは"1"(垂直非表示期間)に設定されます。

VRAMF: VRAMステータス(D6/0x380014<ステータス&パワーセーブレジスタ>)

VRAMがアクセス中かどうかを示します。

"1"読み出し: 待機中

"0"読み出し: アクセス中

書き込み: 無効

VRAMFが"0"の場合、VRAMがアクセス中で、FIFOがVRAMからの表示データを取り込んでいることを示します。FIFOが満杯になり、VRAMが待機状態になると"1"にセットされます。

イニシャルリセット時、VRAMFは"1"(待機中)に設定されます。

TOERRF: CPUアクセスタイムアウトエラーフラグ(D5/0x380014<ステータス&パワーセーブレジスタ>)

タイムアウトエラーの発生状態を示します。

- 読み出し時

"1"読み出し: エラー

"0"読み出し: 正常

- 書き込み時

"1"書き込み: フラグをリセット

"0"書き込み: 無効

TOERRFは、タイムアウトエラーが発生すると"1"にセットされます。

このエラーは、CPUからのアクセスに対し、LCDCレジスタまたはルックアップテーブルが一定期間内に応答しない場合に発生します。(LCDCクロックがLCDCに供給されていない可能性があります。)

このフラグは"1"の書き込みによってのみリセットされます。

イニシャルリセット時、TOERRFは"0"(正常)に設定されます。

FIFOHP: 表示FIFOフレキシブルバーストリード (D3/0x380014<ステータス&パワーセーブレジスタ>)

FIFOフレキシブルバーストリード機能を有効にします。

"1"書き込み: フレキシブルバーストリード

"0"書き込み: 16バーストリード

読み出し: 可能

FIFOHPを"1"に設定するとFIFOフレキシブルバーストリード機能が有効となり、表示データの読み出し速度が向上します。この機能が有効の場合、ランダムに16、32、または48バーストリードが行われます。FIFOHPが"0"の場合、表示データは16バーストリードによってFIFOに取り込まれます。イニシャルリセット時、FIFOHPは"0"(16バーストリード)に設定されます。

LPSAVE[1:0]: パワーセーブモード (D[1:0]/0x380014<ステータス&パワーセーブレジスタ>)

パワーセーブモードを選択します。

表VII.2.24 パワーセーブモードの設定

LPSAVE1	LPSAVE0	モード
1	1	通常動作
1	0	DOZEモード
0	1	Reserved
0	0	パワーセーブモード

LPSAVEを"00"に設定するとパワーセーブモードに設定されます。このモードは、LCD信号出力端子がすべてLowとなり、LCDコントローラは制御レジスタとルックアップテーブルへのアクセスのみが可能となる他はすべて動作を停止します。LPSAVEを"11"に設定するとパワーセーブモードが解除されます。

DOZEモードはRAM内蔵タイプあるいはセルフリフレッシュタイプのLCDパネルに対応したパワーセーブモードです。DOZEモードではFPDATとFPSHIFT信号がLowに固定され、表示メモリへのアクセスも発生しません。パワーセーブモードほどの大きな省電力効果は得られませんが、表示を継続したまま、消費電流を低減できます。

イニシャルリセット時、LPSAVEは"00"(パワーセーブモード)に設定されます。

HNDP[4:0]: 水平非表示期間 (D[4:0]/0x380040<水平非表示期間レジスタ>)

水平非表示期間を8ピクセル単位で設定します。次の値に設定してください。

$$\text{HNDP}[4:0] = \frac{\text{水平非表示期間(ピクセル数)}}{8} - 4$$

イニシャルリセット時、HNDPは"0x0"に設定されます。

HSIZE[6:0]: パネル水平サイズ (D[6:0]/0x380042<パネル水平サイズレジスタ>)

LCDパネルの水平解像度を8ピクセル単位で設定します。次の値に設定してください。

$$\text{HSIZE}[6:0] = \frac{\text{水平解像度(ピクセル数)}}{8} - 1$$

たとえば、水平解像度が320ドットのパネルの場合、HSIZEには39(=0x27)を設定します。

このレジスタに1以下の値は設定しないでください。

イニシャルリセット時、HSIZEは"0x0"に設定されます。

VNDP[5:0]: 垂直非表示期間 (D[5:0]/0x38004A<垂直非表示期間レジスタ>)

垂直非表示期間をライン数で設定します。次の値に設定してください。

$$\text{VNDP}[5:0] = \text{垂直非表示期間(ライン数)}$$

イニシャルリセット時、VNDPは"0x0"に設定されます。

VSIZE[9:0]: パネル垂直サイズ (D[9:0]/0x3004C<パネル垂直サイズレジスタ>)

LCDパネルの垂直解像度をライン数で設定します。次の値に設定してください。

$$\text{VSIZE}[9:0] = \text{垂直解像度(ライン数)} - 1$$

たとえば、垂直解像度が240ラインのパネルの場合、VSIZEには239(=0xEF)を設定します。

イニシャルリセット時、VSIZEは"0x0"に設定されます。

MOD[5:0]: MODレート (D[5:0]/0x380052<MODレートレジスタ>)

MOD信号を切り換える周期を設定します。

このレジスタが0x0の場合は、FPFRAME信号の周期でMOD信号が切り換わります。それ以外の周期に設定するには、FPLINEパルスのカウント値を設定します。

イニシャルリセット時、MODは"0x0"(FPFRAME周期)に設定されます。

FRMRPT: ELパネル用フレームリピート (D7/0x380200<LCDCモードレジスタ0>)

フレームレートモジュレーションのパターンを繰り返すかしないか選択します。(ELパネルのみ)

- "1"書き込み: リピート
- "0"書き込み: リピートなし
- 読み出し: 可能

FRMRPTを"1"に設定すると、内部の19ビットフレームカウンタが有効になり、フレーム数をカウントします。このカウンタがオーバーフローする(0x40000 → 0になる)ごとに、フレームレートモジュレーションのパターンが繰り返されます。

"0"に設定するとカウンタは無効となり、パターンを繰り返しません。

イニシャルリセット時、FRMRPTは"0"(リピートなし)に設定されます。

DITHEN: ディザモードイネーブル (D6/0x380200<LCDCモードレジスタ0>)

ディザモードを有効/無効にします。

- "1"書き込み: ディザモード
- "0"書き込み: 通常モード
- 読み出し: 可能

DITHENを"1"に設定すると、1/2/4/8/12/16bppモードでLUTを使用する場合に、最大256K色(2¹⁸)または64階調を生成することができます。DITHENが"0"の場合は、最大4096色(2¹²)または16階調が使用可能です。

イニシャルリセット時、DITHENは"0"(通常モード)に設定されます。

LUTPASS: LUTバイパスモード (D4/0x380200<LCDCモードレジスタ0>)

ルックアップテーブルをバイパスするかどうかを選択します。(全bppモードに適用)

- "1"書き込み: バイパス
- "0"書き込み: 使用
- 読み出し: 可能

LUTPASSを"1"に設定すると、選択されているbppモードにかかわらずルックアップテーブルがバイパスされます。この場合、表示メモリ内のピクセルデータから直接、LCDパネルに送られる表示データが生成されます。LUTPASSを"0"に設定すると、表示メモリのピクセルデータはルックアップテーブルによりLCDインタフェースデータに変換されます。

イニシャルリセット時、LUTPASSは"0"(使用)に設定されます。

BPP[2:0]: bpp(表示モード)選択 (D[2:0]/0x380200<LCDCモードレジスタ0>)

表示モード(bppモード)を選択します。COLORも含めた選択内容を表VII.2.25に示します。

表VII.2.25 表示モードの指定

BPP2	BPP1	BPP0	表示モード	
			モノクロ(COLOR = "0")	カラー(COLOR = "1")
1	1	*	Reserved	Reserved
1	0	1	16bpp, 64階調グレースケール	16bpp, 64K色
1	0	0	12bpp, 16階調グレースケール	12bpp, 4K色
0	1	1	8bpp, 64階調グレースケール	8bpp, 256色
0	1	0	4bpp, 16階調グレースケール	4bpp, 16色
0	0	1	2bpp, 4階調グレースケール	2bpp, 4色
0	0	0	1bpp, 2階調グレースケール	1bpp, 2色

イニシャルリセット時、BPPは"000"(1bppモード)に設定されます。

COLOR: カラー/モノクロ選択(DE/0x380202<LCDCモードレジスタ1>)

接続するLCDパネルの種類(カラー/モノクロ)を選択します。

- "1"書き込み: カラーパネル
 "0"書き込み: モノクロパネル
 読み出し: 可能

COLORを"1"に設定するとカラーパネル、"0"に設定するとモノクロパネルの駆動方式が選択されます。
 イニシャルリセット時、COLORは"0"(モノクロパネル)に設定されます。

MASK: FPSHIFTマスクイネーブル(DD/0x380202<LCDCモードレジスタ1>)

FPSHIFTのマスクを可能な状態に設定します。(モノクロLCDパネルのみ)

- "1"書き込み: 有効
 "0"書き込み: 無効
 読み出し: 可能

MASKを"1"に設定すると、FPSHIFT信号が非表示期間にマスクされ、出力されません。"0"に設定すると、FPSHIFT信号は非表示期間も出力されます。

この設定はモノクロLCDパネル使用時(COLOR = "0")のみ有効です。カラーLCDパネルでは、このビットの設定にかかわらず、FPSHIFT信号は常時マスクされます。

イニシャルリセット時、MASKは"0"(無効)に設定されます。

DWT[1:0]: LCDパネルデータ幅[D[B:A]/0x380202<LCDCモードレジスタ1>)

LCDパネルのデータ幅/形式を選択します。COLORも含めた選択内容を表VII.2.26に示します。

表VII.2.26 LCDパネルの選択

COLOR	DWT1	DWT0	LCDパネル
1	1	1	カラーシングル8ビットパッシブLCDフォーマット2
	1	0	Reserved
	0	1	カラーシングル8ビットパッシブLCDフォーマット1
	0	0	カラーシングル4ビットパッシブLCD
0	1	1	Reserved
	1	0	Reserved
	0	1	モノクロシングル8ビットパッシブLCD
	0	0	モノクロシングル4ビットパッシブLCD

イニシャルリセット時、DWTは"00"(4ビット)に設定されます。

SWINV: ソフトウェア表示反転(D9/0x380202<LCDCモードレジスタ1>)

表示を反転(ネガ表示)します。

- "1"書き込み: 反転表示
 "0"書き込み: 通常表示
 読み出し: 可能

SWINVを"1"に設定するとLCDパネル上の表示が反転します。"0"に設定すると通常表示を行います。反転操作はルックアップテーブルの出力に対して行われます。表示メモリには影響を与えません。

イニシャルリセット時、SWINVは"0"(通常表示)に設定されます。

BLANK: ブランク表示イネーブル(D8/0x380202<LCDCモードレジスタ1>)

表示をブランク状態にします。

- "1"書き込み: ブランク
 "0"書き込み: 通常表示
 読み出し: 可能

BLANKを"0"に設定すると表示メモリのデータがLCDパネルに表示されます。"1"に設定するとFPDAT信号をすべてLowにして表示を消します。表示メモリには影響を与えません。

イニシャルリセット時、BLANKは"0"(通常表示)に設定されます。

VRAMSEL: VRAM選択(DF/0x380210<画面開始アドレスレジスタ>)

使用するVRAMを選択します。

"1"書き込み: 外部SDRAM

"0"書き込み: 内蔵VRAM

読み出し: 可能

VRAMSELを"0"に設定すると、表示メモリとして内蔵VRAMが選択されます。VRAMSELを"1"に設定すると、外部SDRAMが選択されます。

イニシャルリセット時、VRAMSELは"0"(内蔵VRAM)に設定されます。

SADDR[14:0]: 画面開始アドレス(D[E:0]/0x380210<画面開始アドレスレジスタ>)

画面開始アドレスを設定します。

次のとおり、使用するVRAMに合った境界アドレスを指定する必要があります。

内蔵VRAM使用時: $SADDR = (\text{画面開始アドレス} - \text{IVRAM開始アドレス}) / 2$

外部SDRAM使用時: $SADDR = (\text{画面開始アドレス} - \text{SDRAM開始アドレス}) / 32$

イニシャルリセット時、SADDRは"0x0"(表示メモリの先頭)に設定されます。

LUTR0[5:0]–LUTRFF[5:0]: ルックアップテーブルRデータ

(D[7:2]/0x380400–0x3807FC<ルックアップテーブルR/Gデータレジスタ>)

LUTG0[5:0]–LUTGFF[5:0]: ルックアップテーブルGデータ

(D[F:A]/0x380400–0x3807FC<ルックアップテーブルR/Gデータレジスタ>)

LUTB0[5:0]–LUTBFF[5:0]: ルックアップテーブルBデータ

(D[7:2]/0x380402–0x3807FE<ルックアップテーブルBデータレジスタ>)

ルックアップテーブルの読み出し/書き込みに使用します。

ルックアップテーブルを設定する場合、データの書き込みはどのLUTインデックスからでも開始できます。ただし、各インデックスは緑と赤のデータ(ルックアップテーブルR/Gデータレジスタ)を青のデータ(ルックアップテーブルBデータレジスタ)よりも先に書き込む必要があります。これは、緑と赤の書き込みデータが一旦バッファに入れられ、そのインデックスの青データが書き込まれた時点で、RGBデータがルックアップテーブルに設定されるためです。

このため、緑データのみを使用するグレースケールモードの場合でも、青データを書き込む必要があります。この場合、赤と青のエントリにはダミーデータ(通常は0)を書き込んでください。

イニシャルリセット時、これらのレジスタは不定となります。

PLCDCI2–PLCDCI0: LCDC割り込みレベル(D[6:4]/0x402A2<LCDC割り込みプライオリティレジスタ>)

LCDC割り込みの優先レベルを設定します。

割り込みの優先レベルを0～7の範囲で設定できます。

イニシャルリセット時、PLCDCIは不定となります。

ELCDCI: LCDC割り込みイネーブル(D5/0x402A6<LCDC, USB, SPI割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ELCDCIは、LCDCの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定するとLCDC割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

FLCDCI: LCDC割り込み要因フラグ(D5/0x402A9<LCDC, USB, SPI割り込み要因フラグレジスタ>)

LCDC割り込みの発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FLCDCIフラグは、LCDC割り込みに対応する割り込み要因フラグで、LCDC割り込み要因の発生により"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、LCDC割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FLCDCIは不定となりますので、必ずソフトウェアでリセットしてください。

RLCDCI: LCDC IDMAリクエスト (D5/0x402AC<LCDC, USB, SPI IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)
 - "1"書き込み: IDMA要求
 - "0"書き込み: 無効
 - 読み出し: 可能
- リード/ライト方式
 - "1"書き込み: IDMA要求
 - "0"書き込み: 割り込み要求
 - 読み出し: 可能

RLCDCIはLCDCの割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、RLCDCIは"0"(割り込み要求)に設定されます。

DELCDCI: LCDC IDMAイネーブル (D5/0x402AE<LCDC, USB, SPI IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

- セットオンリー方式(デフォルト)
 - "1"書き込み: IDMA許可
 - "0"書き込み: 無効
 - 読み出し: 可能
- リード/ライト方式
 - "1"書き込み: IDMA許可
 - "0"書き込み: IDMA禁止
 - 読み出し: 可能

DELCDCIはLCDCの割り込み要因に対応するIDMAイネーブルビットで、"1"に設定するとLCDC割り込み要因によるIDMAの起動を許可します。"0"に設定するとIDMA起動要求は受け付けられません。

イニシャルリセット時、DELCDCIは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) LCDCレジスタとルックアップテーブルをアクセスするには、LCDCクロックジェネレータの設定を行い、LCDCクロックをLCDコントローラに供給しておく必要があります。また、LCDCキャッシュとVRAMの動作にはhalt2run_clkクロック(バスクロックジェネレータで生成)が必要なため、表示を開始する前にバスクロックジェネレータもイネーブルにしておく必要があります。
- (2) LCDCレジスタとルックアップテーブルを設定後は、必ずアクセスタイムアウトエラーフラグが"1"にセットされていないことを確認してください。"1"にセットされている場合、LCDCレジスタとルックアップテーブルにはデータが正しく書き込まれていません。
- (3) ルックアップテーブルのインデックスを設定する場合、ルックアップテーブルR/GデータレジスタのデータをルックアップテーブルBデータレジスタよりも先に書き込む必要があります。先にルックアップテーブルBデータレジスタへの書き込みを行った場合、そのインデックスは更新されません。したがって、ルックアップテーブルのデータは、32ビットアクセス(リトルエンディアン)により書き込むことを推奨します。
- (4) ルックアップテーブル以外のLCDCレジスタは、必ず16ビットまたは32ビットアクセスにて読み出し/書き込みを行ってください。バイトアクセスは禁止します。
- (5) halt2run_clkクロック周波数をCPUクロックより低く設定すると、CPUはIVRAMとSDRAMをアクセスすることができません。この場合でも、LCDCからはこれらのメモリへのアクセスとLCD表示を通常どおり行うことが可能ですので、このようなクロックの設定はHALT/HALT2モード時の消費電力を抑えるのに有効です。
- (6) LCDCの動作クロック周波数(PCLK)の設定にはいくつかの制約があります。次項を参照してください。

システムパフォーマンス

■外部VRAM(SDRAM)



LCDCバースト リードタイプ	表示データ サイズ	トータルSDRAM アクセスサイクル	LCDCリード 期間A	バスオペレーション 期間B	LCDC バス占有率
4バーストリード	8バイト	9	187.2ns	651.2ns	28.75%
8バーストリード	16バイト	13	270.4ns	1302.4ns	20.76%
16バーストリード	32バイト	21	436.8ns	2604.8ns	16.77%
32バーストリード	64バイト	37	769.6ns	5209.6ns	14.77%

LCDパネル: 320×240×RGB

パネルフレームレート: 80Hz

SDRAMパラメータ: プリチャージ=1サイクル、アクティブ=1サイクル、CASレイテンシ=2サイクル

SDRAMバスクロック: 48MHz

■内蔵VRAM

LCDCバースト リードタイプ	表示データ サイズ	トータルSDRAM アクセスサイクル	LCDCリード 期間A	バスオペレーション 期間B	LCDC バス占有率
16バーストリード	32バイト	17	353.6ns	2604.8ns	13.57%
32バーストリード	64バイト	33	686.4ns	5209.6ns	13.18%

LCDパネル: 320×240×RGB

パネルフレームレート: 80Hz

SDRAMパラメータ: プリチャージ=1サイクル、アクティブ=1サイクル、CASレイテンシ=2サイクル

SDRAMバスクロック: 48MHz

■パネルフレームレート

$$\text{フレームレート} = \frac{f_{\text{PCLK}}}{(\text{HDP} + \text{HNDP}) \times (\text{VDP} + \text{VNDP})}$$

f_{PCLK} : LCDC(ピクセル)クロック周波数(Hz)

HDP: 水平表示期間 = $(\text{HSIZE}[6:0] + 1) \times 8$ (ピクセル)

HNDP: 水平非表示期間 = $(\text{HNDP}[4:0] + 4) \times 8$ (ピクセル)

VDP: 垂直表示期間 = $\text{VSIZE}[9:0] + 1$ (ライン)

VNDP: 垂直非表示期間 = $\text{VNDP}[5:0]$ (ライン)

例:

LCDパネル: 320×240

パネルフレームレート: 80Hz

LCDCクロック周波数(f_{PCLK}): 6.8MHz

パネルサイズ	フレームレート(Hz)	LCDCクロック(MHz)
320×240	80	Min. 6.8
	60	Min. 5.9
240×160	80	Min. 3.5
	60	Min. 2.6
160×160	80	Min. 2.5
	60	Min. 1.8

■サブシステムクロック - LCDCクロック比

CPUクロック: OSC3(1、2または3分周)→PLL(1または2通倍)
 →C33 CLG(1、2、4または8分周)
 またはOSC1

サブシステムクロック: OSC3またはPLL出力

LCDCクロック(PCLK): サブシステムクロックの1、2、3、4、5、...15または16分周

VRAMクロック(halt2run_clk): サブシステムクロックの1、2または4分周

表示モード	VRAMクロック : LCDCクロック	
	SDRAM	内蔵VRAM
1bpp	3:1 > クロック比 > 1:8	3:1 > クロック比 > 1:16
2bpp	7:1 > クロック比 > 1:4	6:1 > クロック比 > 1:8
4bpp	14:1 > クロック比 > 1:2	11:1 > クロック比 > 1:4
8bpp	クロック比 > 1:1	クロック比 > 1:2
12bpp	クロック比 > 3:2	クロック比 > 3:4
16bpp	クロック比 > 2:1	クロック比 > 1:1

サブシステムクロック周波数はCPUクロックよりも高くなるか、低くなる場合もあります。

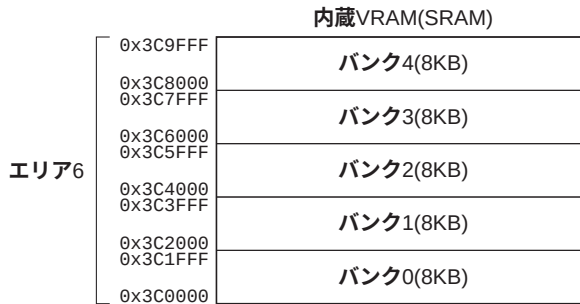
表示モード	クロック比 (VRAM : LCDC)	FIFOエンプティ (VRAMサイクル)	BCUアクセス(1回) (VRAMサイクル)	LCDCの16バーストアクセス (VRAMサイクル)	LCDC バス使用率
16bpp	2:1	32	< 7	20 or 25(リフレッシュ)	63% or 78%
	3:1	48	< 23	20 or 25(リフレッシュ)	42% or 52%
	4:1	64	< 39	20 or 25(リフレッシュ)	31% or 39%
	7:1	112	< 87	20 or 25(リフレッシュ)	18% or 22%
12bpp	2:1	42	< 17	20 or 25(リフレッシュ)	48% or 60%
	3:1	64	< 39	20 or 25(リフレッシュ)	31% or 39%
	6:1	128	< 103	20 or 25(リフレッシュ)	16% or 20%
	7:1	147	< 122	20 or 25(リフレッシュ)	14% or 17%
8bpp	1:1	32	< 7	20 or 25(リフレッシュ)	63% or 78%
	2:1	64	< 39	20 or 25(リフレッシュ)	31% or 39%
	4:1	128	< 103	20 or 25(リフレッシュ)	16% or 20%
	7:1	224	< 199	20 or 25(リフレッシュ)	9% or 11%
4bpp	1:1	64	< 39	20 or 25(リフレッシュ)	31% or 39%
	2:1	128	< 103	20 or 25(リフレッシュ)	16% or 20%
	4:1	256	< 231	20 or 25(リフレッシュ)	8% or 10%
	7:1	448	< 423	20 or 25(リフレッシュ)	4% or 6%
2bpp	1:1	128	< 103	20 or 25(リフレッシュ)	16% or 20%
	3:1	384	< 359	20 or 25(リフレッシュ)	5% or 7%
	6:1	768	< 743	20 or 25(リフレッシュ)	3%
1bpp	1:2	128	< 103	20 or 25(リフレッシュ)	16% or 20%
	1:1	256	< 231	20 or 25(リフレッシュ)	8% or 10%
	2:1	512	< 487	20 or 25(リフレッシュ)	4% or 5%

LCDCの16バーストアクセスサイクルはSDRAMリフレッシュの状態により変わります。SDRAMがオートリフレッシュまたはセルフリフレッシュ中に16バーストリードが発生すると、5サイクル余分に必要になります。

VII-3 内蔵VRAMとIVRAMアービタ

概要

S1C33L05はLCD表示データを格納するVRAMとして、40KバイトのシンクロナスSRAMを内蔵しています。このSRAMはエリア6の0x3C0000～0x3C9FFFに配置されています。
 なお、このメモリはVRAM用途としてだけでなく、汎用のデータRAMとしても使用可能です。SRAMは、図VII.3.1に示すとおり、それぞれ8Kバイトの5つのバンクで構成されています。



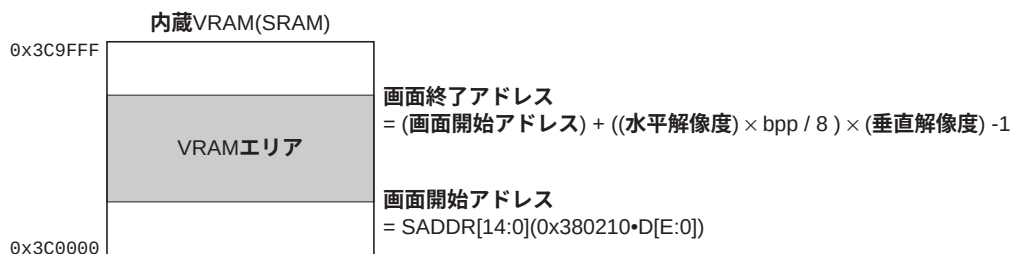
図VII.3.1 内蔵VRAMの構成

各バンクは独立してアクセスできるため、S1C33L05が採用するUMA(Unified Memory Access)アーキテクチャにより、異なるバンクをCPUとLCDCから同時にアクセス可能です。同一バンクをCPUとLCDCから同時にアクセスした場合は、表示を優先させるため、LCDCが先にアクセス権を獲得し、LCDCキャッシュへの読み出しが終了するまで、CPUは待たされます。この制御をIVRAMアービタが行います。

なお、このVRAMは8、16、32ビットアクセスが可能です。

内蔵VRAMの使用例

SRAMの全部または一部をVRAMとして使用することができます。図VII.3.2のとおり、VRAMエリアの開始アドレスは画面開始アドレスレジスタ(0x380210)で指定され、VRAMエリアのサイズはパネルサイズと色深度(bppモード)によって決まります。



図VII.3.2 VRAMエリア

表VII.3.1にVRAMの使用例を示します。

表VII.3.1 VRAMの使用例

パネルサイズ	色深度	VRAM使用サイズ	画面開始アドレス (オフセットアドレス)	VRAM使用範囲
320 × 240	4bpp	37.5Kバイト	0x0000	0x3C0000～0x3C95FF
160 × 120	12bpp	28.125Kバイト	0x0000	0x3C0000～0x3C707F
			0x2000	0x3C2000～0x3C907F
160 × 160	1bpp	3.125Kバイト	0x0000	0x3C0000～0x3C0C7F
			0x4444	0x3C4444～0x3C50C3
			0x9000	0x3C9000～0x3C9C7F

内蔵VRAMを使用するためのBCUの設定

内蔵VRAMはエリア6にマップされています。したがって、VRAMをアクセスするには、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

- 1) A6IO(アクセス制御レジスタ0x48132・D9)を"1"に設定し、エリア6を内部デバイスエリアにします。
- 2) A6EC(アクセス制御レジスタ0x48132・D1)を"0"に設定し、エリア6のデータ形式をリトルエンディアンにします。
- 3) A6WT[2:0](エリア6—4設定レジスタ0x4812A・D[A:8])を"001"に設定し、エリア6のアクセス時に1サイクルのウェイトが挿入されるようにします。
CPUが48MHzクロックのx2スピードモードで動作している場合は、ウェイト数を0に設定可能ですが、他のエリア6にマップされているI/Oレジスタのアクセスには1ウェイトの挿入が必要です。

表VII.3.2とVII.3.3にBCUとLCDCのタイミングパラメータとアクセス速度を示します。

表VII.3.2 BCUタイミングパラメータとアクセス速度

BCU条件	x1スピードモード(40MHz)	x2スピードモード(50MHz)
ソフトウェアウェイトサイクル	1min.	0
出力ディセーブル遅延サイクル	0.5	0.5
リードホールドサイクル	0	0
リードサイクル(CPUクロック)	2	2
リード時間	50ns min.	40ns min.
ライトサイクル(CPUクロック)	2	4
ライト時間	50ns min.	80ns min.

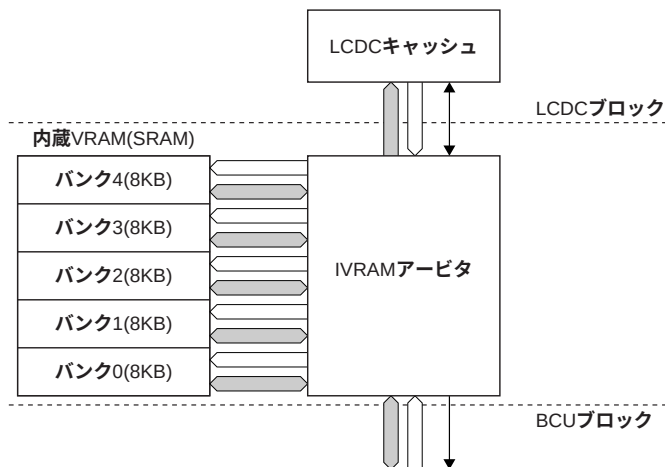
ソフトウェアによりウェイトサイクル、リードホールドサイクル、出力ディセーブル遅延サイクルを増やすことでアクセスの信頼性は向上しますが、消費電力も増加します。

表VII.3.3 LCDCアクセス速度

LCDC条件	x1スピードモード(40MHz)	x2スピードモード(50MHz)
16バーストリードサイクル(halt2run_clkクロック)	17	17
リード時間	27ns	21ns

IVRAMアービタ

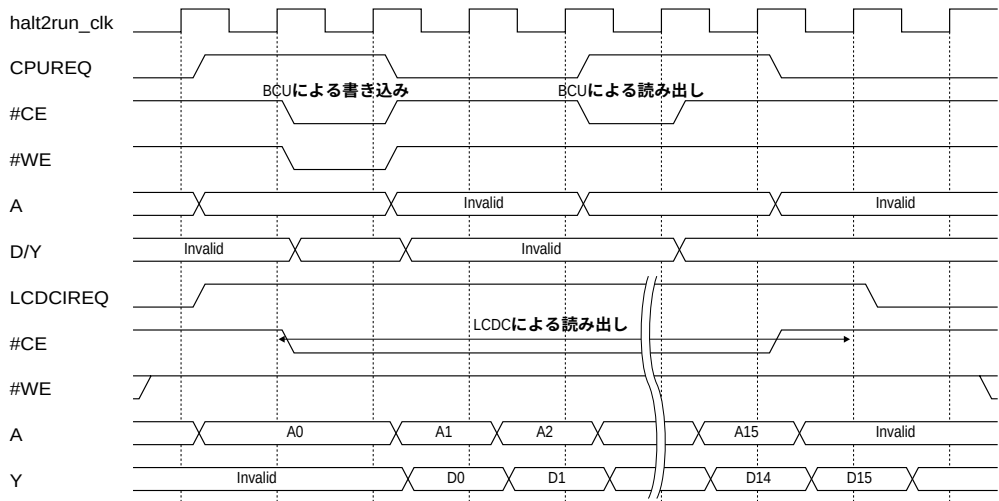
IVRAMアービタはLCDCからのVRAMデータ読み出し要求とCPUからのアクセス要求の調停を行うための回路です。



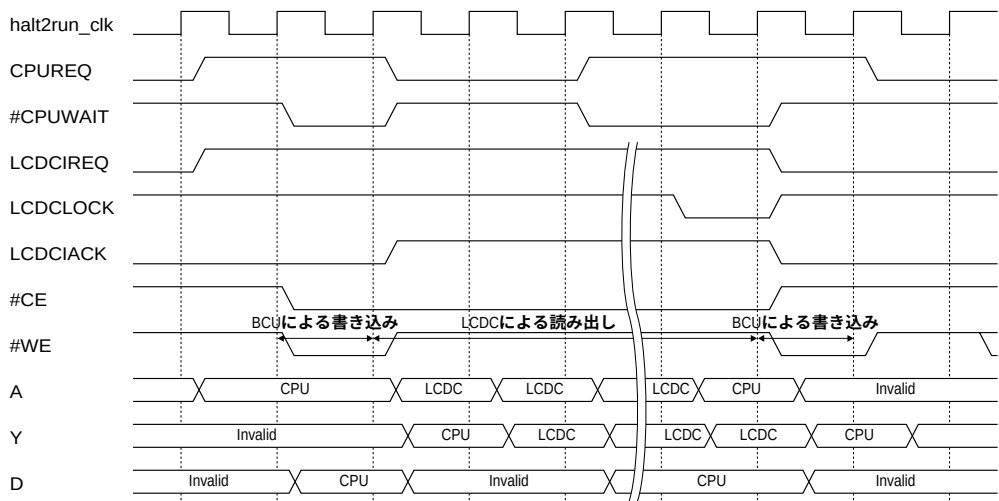
図VII.3.3 IVRAMアービタ

SRAMの異なるバンクに対して同時発生したLCDCとCPUからのアクセス要求は、どちらも許可され、SRAMはLCDCとCPUから同時にアクセスされます。

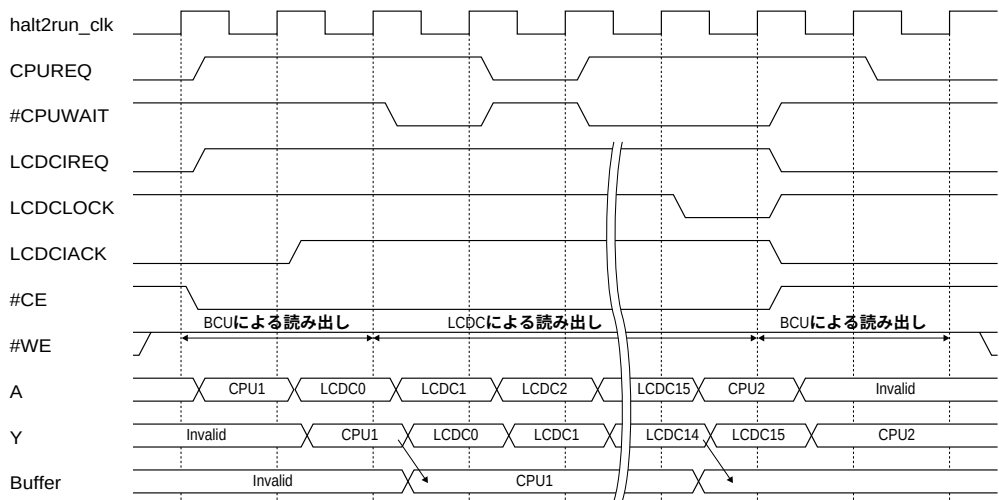
LCDCとCPUが同時に同じバンクをアクセスした場合、あるいはLCDCがデータリード中にCPUが同じバンクをアクセスした場合はLCDCからのアクセスを優先して処理します。LCDCの要求に対して、IVRAMアービタはバーストリードによりSRAMからデータを取得します。したがって、CPUはバーストリードによりLCDCキャッシュが満杯になるまで待たされることになります。



1) 異なるSRAMバンクへのアクセス



2) バスが衝突しない同一SRAMバンクへのアクセス



3) 同一SRAMバンクへの同時アクセス

図VII.3.4 内蔵VRAMアクセスタイミングチャート

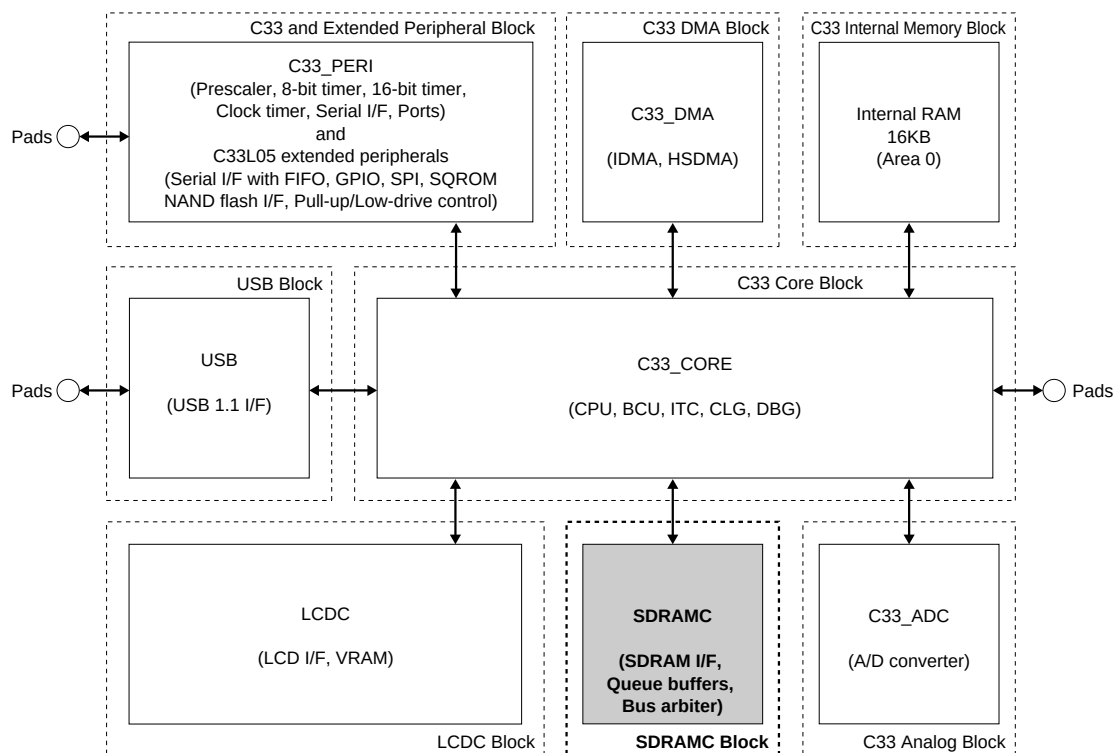
このページはブランクです。

S1C33L05 Technical Manual

VIII SDRAMCブロック

VIII-1 はじめに

SDRAMCブロックは、SDRAMインタフェース、命令/データキューおよびバスアービタで構成されています。



図VIII.1.1 SDRAMCブロック

このページはブランクです。

VIII-2 SDRAMインタフェース

SDRAMコントローラは、エリア7と8またはエリア13と14に最大32MBのSDRAMを直接接続可能なSDRAMダイレクトインタフェースを提供します。ここでは、SDRAMインタフェースの制御方法や動作について説明します。SDRAMアクセス時のパフォーマンスを向上させる命令およびデータキューバッファと、BCUとLCDCからのSDRAMアクセスを制御するバスアービタについては、それぞれ"VIII-3 命令/データキューバッファ"、"VIII-4 バスアービタ"を参照してください。

SDRAMインタフェースの概要

SDRAMインタフェースの主な特長と仕様を以下に示します。

- 最大32MBのSDRAMを接続可能
- SDRAMに対応した2つのエリア(エリア14と13またはエリア8と7)
SDRAMチップ構成例
 - 16M×16ビット×1チップまたは16M×8ビット×2チップ(32MB)
 - 8M×16ビット×1チップまたは8M×8ビット×2チップ(16MB)
 - 4M×16ビット×1チップ(8MB)
 - 2M×8ビット×2チップ(4MB)
 - 1M×16ビット×1チップ(2MB)
- 2または4バンクのSDRAMに対応(BA1とBA0出力)
ローアドレス範囲: 2K(SDA10-SDA0)、4K(SDA11-SDA0)、または8K(SDA12-SDA0)
カラムアドレス範囲: 256(SDA7-SDA0)、512(SDA8-SDA0)、または1K(SDA9-SDA0)
- バンクインターリーブアクセス対応
- プログラマブルな12ビットオートリフレッシュカウンタを内蔵
使用するクロック周波数によらず、必要なリフレッシュが可能
- 省電力動作のためのインテリジェントセルフリフレッシュモード
- データバス幅: 16ビット
- CASレイテンシ: 2
- バースト長: 2

入出力端子とSDRAMの接続

入出力端子

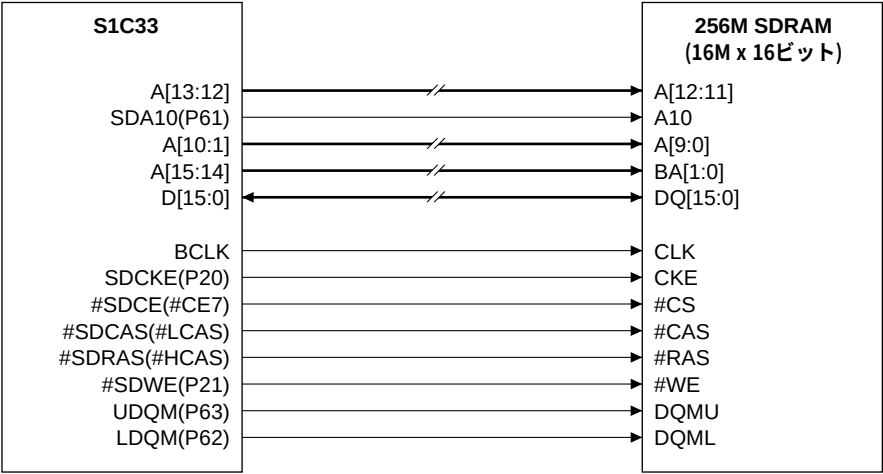
表VIII.2.1にSDRAMインタフェースに使用する端子の一覧を示します。

表VIII.2.1 入出力端子一覧

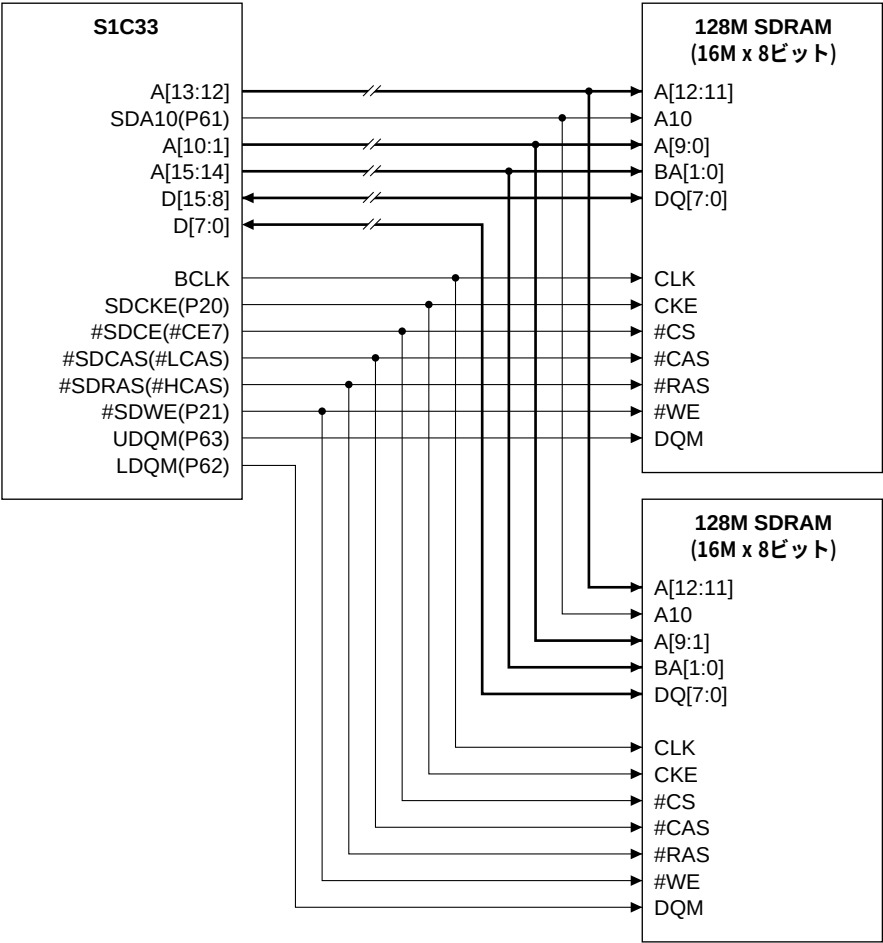
端子名	I/O	機 能	機能選択ビット
A[13:12]	○	アドレスバス(SDA[12:11])	—
A[10:1]	○	アドレスバス(SDA[9:0])	—
A[15:14]	○	SDRAMバンク選択信号(SDBA[1:0])	—
D[15:0]	I/O	データバス(D0-D15)	—
#CE7(#RAS0)#CE13(#RAS2/P53)#SDCE	I/O	エリア7/13チップイネーブル/DRAMローストローブ/ 入出力兼用ポート/SDRAMチップイネーブル	EFPP53[1:0](P50-P53ポート 機能拡張レジスタ0x30004A-D[7:6])
#LCAS(PA0)#SDCAS	I/O	DRAMカラムアドレスストローブ(下位バイト)/ 入出力兼用ポート/SDRAMカラムアドレスストローブ	FPA0[1:0](PA0-PA2ポート 機能拡張レジスタ0x300F60-D[1:0])
#HCAS(PA1)#SDRAS	I/O	DRAMカラムアドレスストローブ(上位バイト)/ 入出力兼用ポート/SDRAMローアドレスストローブ	FPA1[1:0](PA0-PA2ポート 機能拡張レジスタ0x300F60-D[3:2])
BCLK(P60)/FOSC1/SDCLK	I/O	バスクロック出力/入出力兼用ポート/ OSC1クロック出力/SDRAMクロック出力	EFPP60[1:0](P60-P63ポート 機能拡張レジスタ0x30004C-D[1:0])
P20(#DRD)/SDCKE	I/O	入出力兼用ポート/DRAMリード/ SDRAMクロックイネーブル	EFPP20[1:0](P20-P21ポート 機能拡張レジスタ0x300044-D[1:0])
P21(#DWE)#GAAS(#SDWE)	I/O	入出力兼用ポート/DRAMライト/GA用エリアアドレ スストローブ出力/SDRAMライト	EFPP21[1:0](P20-P21ポート 機能拡張レジスタ0x300044-D[3:2])
P61(SDA10)	I/O	入出力兼用ポート/SDRAMアドレスバス10	EFPP61[1:0](P60-P63ポート 機能拡張レジスタ0x30004C-D[3:2])
P62(LDQM)	I/O	入出力兼用ポート/SDRAMデータ(下位バイト)入出力 マスク信号出力	EFPP62[1:0](P60-P63ポート 機能拡張レジスタ0x30004C-D[5:4])
P63(UDQM)	I/O	入出力兼用ポート/SDRAMデータ(上位バイト)入出力 マスク信号出力	EFPP63[1:0](P60-P63ポート 機能拡張レジスタ0x30004C-D[7:6])

接続例

図VIII.2.1に16ビットSDRAMの接続例を、図VIII.2.2に8ビットSDRAMの接続例を示します。



図VIII.2.1 16ビットSDRAMの接続例(32MB)



図VIII.2.2 8ビットSDRAM × 2の接続例(16MB × 2)

- 注: • SDRAMのアドレスバス端子は、通常の外部アドレス端子名とはビット番号が一致しませんので、接続には注意が必要です(SDRAMアドレスSDA0はA1端子から、SDA12はA13端子から出力されます)。また、特別な機能を持つSDA10信号はアドレスバスA11ではなく、P61端子に割り付けられています。
- 誤動作を防止するため、SDRAMはノイズなどが影響しないように接続してください。
 - SDRAMコントローラはエリア7、8、13、14のいずれかをSDRAMエリアとして使用します。BCUのCEFUNC[1:0]が"00"に設定されている場合、SDRAMにはエリア7とエリア8が使用可能です。CEFUNC[1:0]が"01"または"1x"に設定されている場合、SDRAMにはエリア13とエリア14が使用可能です。
 - SDRAMコントローラはSDRAM用に16ビットデータバスと1本のチップイネーブル出力のみをサポートしています。したがって、16ビットSDRAM 1個または8ビットSDRAM 2個のみ使用可能です。16ビットSDRAM × 2または8ビットSDRAM × 1の構成で使用することはできません。

表VIII.2.2にSDRAMチップの構成例を示します。

表VIII.2.2 チップ構成例

SDRAM	デバイス数	メモリサイズ
16M × 16ビット	1	32Mバイト
16M × 8ビット	2	32Mバイト
8M × 16ビット	1	16Mバイト
8M × 8ビット	2	16Mバイト
4M × 16ビット	1	8Mバイト
2M × 8ビット	2	4Mバイト
1M × 16ビット	1	2Mバイト

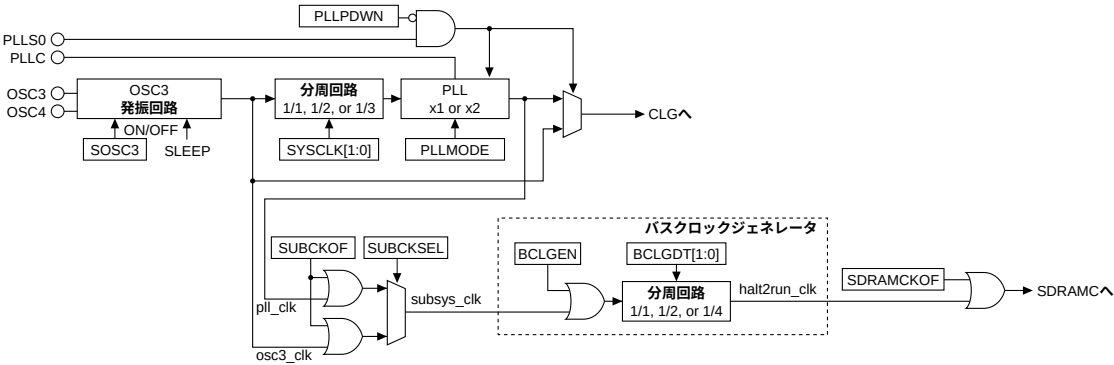
SDRAMの設定

端子の設定

SDRAM I/F信号端子は他の入出力兼用ポートや制御信号出力ポートと共用されており、コールドスタート時は入出力兼用ポートや他のポートの端子に設定されます。SDRAMコントローラを使用する場合は、表VIII.2.1に記載のポート機能拡張レジスタを使用して、これらの端子をSDRAMインタフェース用に設定してください。ホットスタート時、ポート機能拡張レジスタはリセット前の状態を保持します。

SDRAMC用バスクロックの設定

SDRAMコントローラを使用するには、halt2run_clkクロックをSDRAMコントローラに供給しておく必要があります。



図VIII.2.3 SDRAMCクロック

halt2run_clk: バスクロックジェネレータで生成されるクロックで、SDRAMC動作クロックとして使用されます。このクロックをSDRAMCに供給するには、バスクロックジェネレータ制御レジスタ(0x300F33)のBCLGEN(D7)を"1"に設定します。

halt2run_clkクロックを生成するためのソースクロックと分周比を、それぞれサブシステムクロック選択レジスタ(0x300F32)のSUBCKSEL(D0)とバスクロックジェネレータ制御レジスタ(0x300F33)のBCLGDT[1:0](D[1:0])で選択することができます。

ソースクロックの選択(subsys_clk)

SUBCKSEL = "0": OSC3クロック

SUBCKSEL = "1": PLL出力クロック

表VIII.2.3 halt2run_clkクロックを生成する分周比

BCLGDT1	BCLGDT0	BCLGソースクロック
1	1	subsys_clk / 4
1	0	subsys_clk / 2
0	1	subsys_clk
0	0	

クロックシステムの詳細については、"III-17 S1C33L05クロック系とMiscレジスタ"を参照してください。

注: SDRAMCを使用する場合、CPUクロックの速度をhalt2run_clkクロック以下に設定する必要があります。

BCUの設定

SDRAMインタフェースの制御レジスタは、エリア6の0x3A0200～0x3A0210に割り付けられています。したがって、SDRAMC制御レジスタをアクセスするためには、以下に示す手順でBCUの設定が必要です。

1. A6IO(アクセス制御レジスタ0x48132・D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6WT[2:0](エリア6-4設定レジスタ0x4812A・D[A:8])
エリア6のウェイト数をエリア6-4設定レジスタ(0x4812A)で適切な値に設定します。これが不適切な場合、データが制御レジスタに正しく書き込まれないことがあります。OSC3クロック周波数とバススピードモードによるウェイトサイクル数の設定例を下表に示します。

表VIII.2.4 エリア6のウェイトサイクル数

OSC3クロック	バススピードモード	ウェイトサイクル数(min.)
48MHz	x2スピード	0ウェイトサイクル
32MHz	x1スピード	2ウェイトサイクル

3. SWAITE(バスコントロールレジスタ0x4812E・D0) = "1"
#WAIT信号を有効にします。

以上で、エリア6にあるSDRAM制御レジスタへのアクセスが可能になります。
次に、SDRAMを接続するエリア7-8またはエリア13-14の設定を行います。

1. CEFUNC[1:0](DRAMタイミグ設定レジスタ0x48130・D[A:9])
SDRAMをエリア13-14で使用する場合はCEFUNC[1:0] = "01"または"1x"に、エリア7-8で使用する場合はCEFUNC[1:0] = "00"に設定します。
2. A8IOまたはA14IO(アクセス制御レジスタ0x48132・DAまたはDD) = "0"
エリア7-8またはエリア13-14を外部アクセスに設定します。
3. A8WT[2:0](エリア8-7設定レジスタ0x48128・D[2:0]) = "000"、"001"または"010"
または
A14WT[2:0](エリア14-13設定レジスタ0x48122・D[2:0]) = "000"、"001"または"010"
SDRAMアクセス時に挿入するウェイトサイクル数を設定します。必要なウェイトサイクル数は動作速度により変わります。

表VIII.2.5 エリア7-8/13-14のウェイトサイクル数

最大周波数	バススピードモード	ウェイトサイクル数(min.)
48MHz	x2スピード	0ウェイトサイクル
48MHz	x1スピード	2ウェイトサイクル
40MHz	x1スピード	1ウェイトサイクル

4. A8SZ(エリア8-7設定レジスタ0x48128・D6) = "0"または
A14SZ(エリア14-13設定レジスタ0x48122・D6) = "0"
エリア7-8またはエリア13-14のデバイスサイズを16ビットに設定します。
5. A8DF[1:0](エリア8-7設定レジスタ0x48128・D[5:4]) = "00"または
A14DF[1:0](エリア14-13設定レジスタ0x48122・D[5:4]) = "00"
SDRAMアクセス時間を短縮するため、エリア7-8またはエリア13-14の出力ディセーブル遅延時間を0.5サイクルに設定します。
6. A8RHまたはA14RH(リードサイクルホールド時間制御レジスタ0x4813C・D2またはD5) = "0"
SDRAMアクセス時間を短縮するため、エリア7-8またはエリア13-14のアクセス時はリードホールドサイクルが挿入されないように設定します。

SDRAMをアクセスするためのBCU側の設定は以上です。

上記以外のBCUパラメータについては、システムに合わせて設定してください。

SDRAMアクセス条件設定

SDRAMインタフェースは、以下の条件が選択できるようになっています。

表VIII.2.6 SDRAMインタフェースの設定項目

設定項目	選択内容	初期設定	制御ビット
エリア7/13設定	SDRAMまたはその他	その他	AR13C(SDRAMアプリケーション設定レジスタ0x3A0210・D1)
エリア8/14設定	SDRAMまたはその他	その他	AR14C(SDRAMアプリケーション設定レジスタ0x3A0210・D2)
SDRAMサイズ	1M×16ビット×1チップ 4M×16ビット×1チップ 8M×16ビット×1チップ 16M×16ビット×1チップ 2M×8ビット×2チップ 8M×8ビット×2チップ 16M×8ビット×2チップ	1M×16ビット×1	ADDRC[2:0](SDRAM制御レジスタ0x3A0200・D[2:0])
trc, trfc, txsr	2、3、4または5サイクル	5サイクル	T80NS[1:0](SDRAMタイミング設定レジスタ0x3A0208・D[2:1])
trp, trcd	1または2サイクル	2サイクル	T24NS(SDRAMタイミング設定レジスタ0x3A0208・D0)
ハイパフォーマンスモード	ローまたはハイパフォーマンス	ハイパフォーマンス	SDHP(SDRAMアプリケーション設定レジスタ0x3A0210・D3)
CASレイテンシ	2(固定)	2(固定)	–
バースト長	2(固定)	2(固定)	–

■エリアの選択

SDRAMを接続するエリアを以下のレジスタで選択します。

エリア7/13: AR13C(SDRAMアプリケーション設定レジスタ0x3A0210・D1)

エリア8/14: AR14C(SDRAMアプリケーション設定レジスタ0x3A0210・D2)

AR13C/AR14Cに"1"を書き込むと、対応するエリアはSDRAM用に設定されます。AR13C/AR14Cが"0" (デフォルト)の場合は、SDRAM用には設定されません。

表VIII.2.7にSDRAM用エリアの設定を示します。

表VIII.2.7 SDRAM用エリアの設定

設定		SDRAM対応エリア	
AR13C	AR14C	CEFUNC = "00"	CEFUNC = "01" or "1x"
1	1	エリア7, 8	エリア13, 14
1	0	エリア7	エリア13
0	1	エリア8	エリア14
0	0	未使用	未使用

#SDCEは#CE7/#CE13端子に割り当てられていますが、エリア7または13に固定されている訳ではありません。エリア8または14をSDRAM用に使用する場合でも、チップイネーブルに#SDCE(#CE7/13)を使用することができます。

■SDRAMサイズ

SDRAM制御レジスタ(0x3A0200)のADDRC[2:0](D[2:0])でSDRAMサイズとチップ構成を選択します。この選択により、バンクサイズ、カラムアドレスサイズ(ページサイズ)およびローアドレスサイズも設定されます。

表VIII.2.8 SDRAMサイズの選択

ADDRC2	ADDRC1	ADDRC0	バンク数	ローサイズ	カラムサイズ	SDRAMチップ構成	メモリサイズ
1	1	1	–	–	–	reserved	–
1	1	0	4	4K	1K	16M×8ビット×2	32Mバイト
1	0	1	4	4K	512	8M×8ビット×2	16Mバイト
1	0	0	2	2K	512	2M×8ビット×2	4Mバイト
0	1	1	4	8K	512	16M×16ビット×1	32Mバイト
0	1	0	4	4K	512	8M×16ビット×1	16Mバイト
0	0	1	4	4K	256	4M×16ビット×1	8Mバイト
0	0	0	2	2K	256	1M×16ビット×1	2Mバイト

SDRAMコントローラは28ビットアドレスバスの中の下位側から25ビットのみを使用します。CPUアドレスとバンク、カラム、ローアドレスとの対応は以下のとおりです。

A(m+n+p)	A(m+n+1)	A(m+n)	...	A(m+1)	A(m)	...	A1	A0
バンクアドレス		ローアドレス			カラムアドレス			DQM

図VIII.2.4 SDRAMアドレス

バイトデータのリード/ライト時は、SDRAMコントローラがA0/BSLとWRH/BSHをLDQMとUDQMにデコードします。

m: カラムアドレスサイズ(ビット数)

n: ローアドレスサイズ(ビット数)

p: バンクアドレスサイズ(ビット数)

メモリサイズにより使用されない上位アドレスビットはすべて0に固定されます。

図VIII.2.5～VIII.2.8に使用するSDRAMによるエリアの構成とアドレス範囲を示します。

エリア13: 使用 (AR13C = "1", CEFUNC = "01" or "1x")			エリア13: 未使用 (AR13C = "0", CEFUNC = "01" or "1x")		
エリア14: 未使用 (AR14C = "0", CEFUNC = "01" or "1x")			エリア14: 使用 (AR14C = "1", CEFUNC = "01" or "1x")		
1M × 16ビット × 1 (ADDRC[2:0] = "000")	0x2FFFFFFF	ミラー	1M × 16ビット × 1 (ADDRC[2:0] = "000")	0x3FFFFFFF	ミラー
	0x22000000			0x32000000	
	0x21FFFFFF	バンク1		0x31FFFFFF	バンク1
	0x21000000			0x31000000	
	0x20FFFFFF	バンク0		0x30FFFFFF	バンク0
	0x20000000			0x30000000	
エリア13			エリア14		
4M × 16ビット × 1 (ADDRC[2:0] = "001")	0x2FFFFFFF	ミラー	4M × 16ビット × 1 (ADDRC[2:0] = "001")	0x3FFFFFFF	ミラー
	0x28000000			0x38000000	
	0x27FFFFFF	バンク3		0x37FFFFFF	バンク3
	0x26000000			0x36000000	
	0x25FFFFFF	バンク2		0x35FFFFFF	バンク2
	0x24000000			0x34000000	
	0x23FFFFFF	バンク1		0x33FFFFFF	バンク1
	0x22000000			0x32000000	
0x21FFFFFF	バンク0	0x31FFFFFF	バンク0		
0x20000000		0x30000000			
エリア13			エリア14		
8M × 16ビット × 1 (ADDRC[2:0] = "010") または 8M × 8ビット × 2 (ADDRC[2:0] = "101")	0x2FFFFFFF	バンク3	8M × 16ビット × 1 (ADDRC[2:0] = "010") または 8M × 8ビット × 2 (ADDRC[2:0] = "101")	0x3FFFFFFF	バンク3
	0x2C000000			0x3C000000	
	0x2BFFFFFF	バンク2		0x3BFFFFFF	バンク2
	0x28000000			0x38000000	
	0x27FFFFFF	バンク1		0x37FFFFFF	バンク1
	0x24000000			0x34000000	
0x23FFFFFF	バンク0	0x33FFFFFF	バンク0		
0x20000000		0x30000000			
エリア13			エリア14		
16M × 16ビット × 1 (ADDRC[2:0] = "011") または 16M × 8ビット × 2 (ADDRC[2:0] = "110")	0x2FFFFFFF	バンク1	16M × 16ビット × 1 (ADDRC[2:0] = "011") または 16M × 8ビット × 2 (ADDRC[2:0] = "110")	0x3FFFFFFF	バンク1
	0x28000000			0x38000000	
	0x27FFFFFF	バンク0		0x37FFFFFF	バンク0
	0x20000000			0x30000000	
エリア13			エリア14		
2M × 8ビット × 2 (ADDRC[2:0] = "100")	0x2FFFFFFF	ミラー	2M × 8ビット × 2 (ADDRC[2:0] = "100")	0x3FFFFFFF	ミラー
	0x24000000			0x34000000	
	0x23FFFFFF	バンク1		0x33FFFFFF	バンク1
	0x22000000			0x32000000	
	0x21FFFFFF	バンク0		0x31FFFFFF	バンク0
	0x20000000			0x30000000	
エリア13			エリア14		

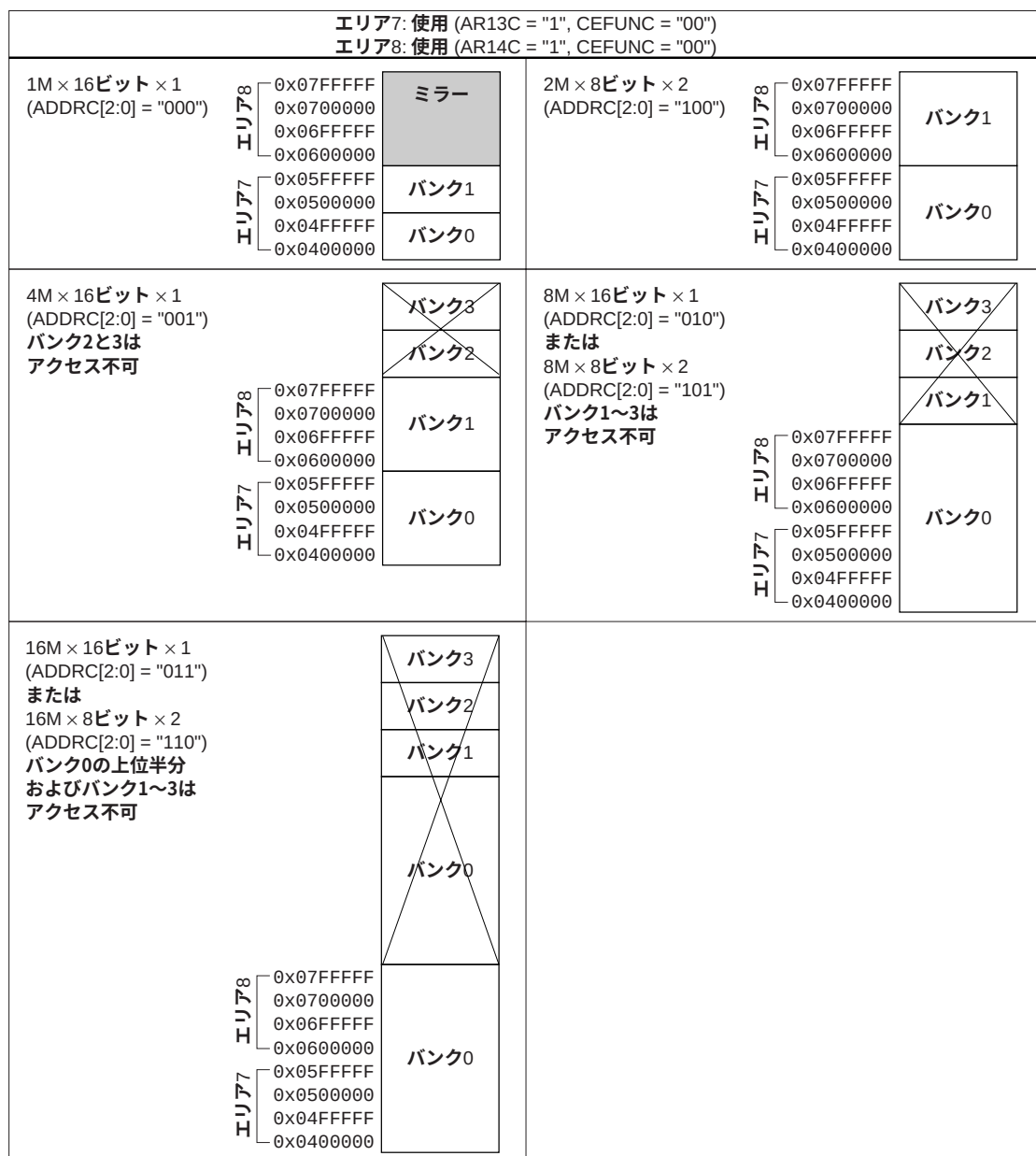
図VIII.2.5 SDRAMマップ(エリア13または14使用時)

エリア13: 使用 (AR13C = "1", CEFUNC = "01" or "1x") エリア14: 使用 (AR14C = "1", CEFUNC = "01" or "1x")							
1M × 16ビット × 1 (ADDRC[2:0] = "000")	エリア14	0x3FFFFFFF	ミラー	2M × 8ビット × 2 (ADDRC[2:0] = "100")	エリア14	0x3FFFFFFF	ミラー
	エリア13	0x30000000 0x2FFFFFFF 0x22000000 0x21FFFFFFF 0x21000000 0x20FFFFFFF 0x20000000	バンク1 バンク0		エリア13	0x30000000 0x2FFFFFFF 0x24000000 0x23FFFFFFF 0x22000000 0x21FFFFFFF 0x20000000	バンク1 バンク0
4M × 16ビット × 1 (ADDRC[2:0] = "001")	エリア14	0x3FFFFFFF	ミラー	8M × 16ビット × 1 (ADDRC[2:0] = "010") または 8M × 8ビット × 2 (ADDRC[2:0] = "101")	エリア14	0x3FFFFFFF	ミラー
	エリア13	0x30000000 0x2FFFFFFF 0x28000000 0x27FFFFFFF 0x26000000 0x25FFFFFFF 0x24000000 0x23FFFFFFF 0x22000000 0x21FFFFFFF 0x20000000	バンク3 バンク2 バンク1 バンク0		エリア13	0x30000000 0x2FFFFFFF 0x2C000000 0x2BFFFFFFF 0x28000000 0x27FFFFFFF 0x24000000 0x23FFFFFFF 0x20000000	バンク3 バンク2 バンク1 バンク0
16M × 16ビット × 1 (ADDRC[2:0] = "011") または 16M × 8ビット × 2 (ADDRC[2:0] = "110")	エリア14	0x3FFFFFFF 0x38000000 0x37FFFFFFF	バンク3 バンク2				
	エリア13	0x30000000 0x2FFFFFFF 0x28000000 0x27FFFFFFF 0x20000000	バンク1 バンク0				

図VIII.2.6 SDRAMマップ(エリア13と14使用時)

エリア7: 使用 (AR13C = "1", CEFUNC = "00") エリア8: 未使用 (AR14C = "0", CEFUNC = "00")	エリア7: 未使用 (AR13C = "0", CEFUNC = "00") エリア8: 使用 (AR14C = "1", CEFUNC = "00")
1M × 16ビット × 1 (ADDR[2:0] = "000") 0x05FFFFFF 0x05000000 0x04FFFFFF 0x04000000 バンク1 バンク0 エリア7	1M × 16ビット × 1 (ADDR[2:0] = "000") 0x07FFFFFF 0x07000000 0x06FFFFFF 0x06000000 バンク1 バンク0 エリア8
4M × 16ビット × 1 (ADDR[2:0] = "001") バンク2と3は アクセス不可 0x05FFFFFF 0x05000000 0x04FFFFFF 0x04000000 バンク3 バンク2 バンク1 バンク0 エリア7	4M × 16ビット × 1 (ADDR[2:0] = "001") バンク0と1は アクセス不可 0x07FFFFFF 0x07000000 0x06FFFFFF 0x06000000 バンク3 バンク2 バンク1 バンク0 エリア8
8M × 16ビット × 1 (ADDR[2:0] = "010") または 8M × 8ビット × 2 (ADDR[2:0] = "101") バンク0の上位と バンク1～3は アクセス不可 0x05FFFFFF 0x04000000 バンク3 バンク2 バンク1 バンク0 バンク0 エリア7	8M × 16ビット × 1 (ADDR[2:0] = "010") または 8M × 8ビット × 2 (ADDR[2:0] = "101") バンク0の上位と バンク1～3は アクセス不可 0x07FFFFFF 0x06000000 バンク3 バンク2 バンク1 バンク0 バンク0 エリア8
16M × 16ビット × 1 (ADDR[2:0] = "011") または 16M × 8ビット × 2 (ADDR[2:0] = "110") バンク0の上位と バンク1～3は アクセス不可 0x05FFFFFF 0x04000000 バンク3 バンク2 バンク1 バンク0 エリア7	16M × 16ビット × 1 (ADDR[2:0] = "011") または 16M × 8ビット × 2 (ADDR[2:0] = "110") バンク0の上位と バンク1～3は アクセス不可 0x07FFFFFF 0x06000000 バンク3 バンク2 バンク1 バンク0 エリア8
2M × 8ビット × 2 (ADDR[2:0] = "100") バンク1は アクセス不可 0x05FFFFFF 0x04000000 バンク1 バンク0 エリア7	2M × 8ビット × 2 (ADDR[2:0] = "100") バンク0は アクセス不可 0x07FFFFFF 0x06000000 バンク1 バンク0 エリア8

図VIII.2.7 SDRAMマップ(エリア7または8使用時)



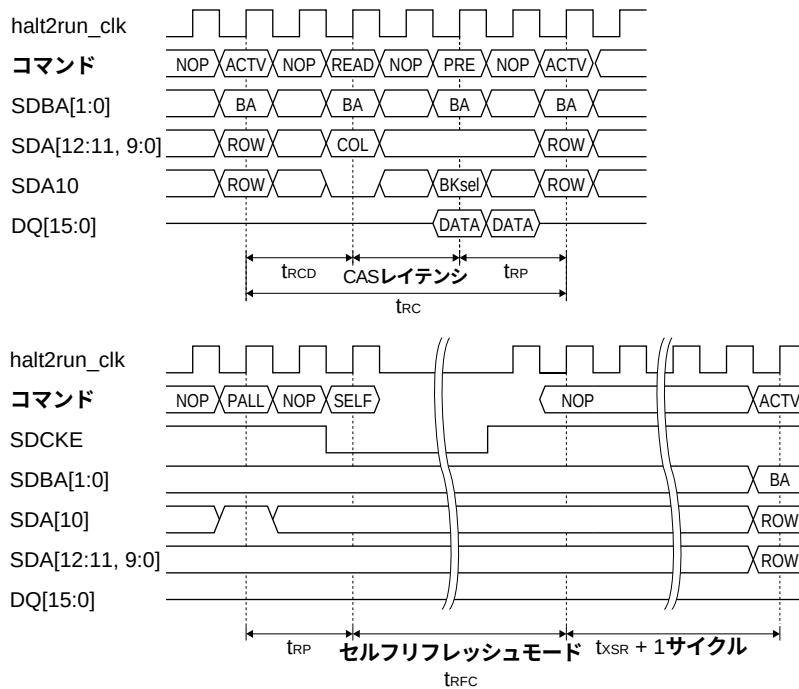
図VIII.2.8 SDRAMマップ(エリア7と8使用時)

■ タイミングの設定

以下のパラメータをSDRAMの仕様に合わせて設定しておくことができます。

表VIII.2.9 SDRAMパラメータ

シンボル	SDRAMパラメータ	設定値 (クロック数)	制御ビット
t _{RC}	ACTIVE→ACTIVEコマンドサイクル	2、3、4 または5	T80NS[1:0](SDRAMタイミング設定レジスタ0x3A0208・D[2:1])
t _{RFC}	REFRESHコマンドサイクル		
t _{XS}	セルフリフレッシュ終了→ACTIVEコマンド間隔		
t _{RP}	PRECHARGEコマンド期間	1または2	T24NS(SDRAMタイミング設定レジスタ0x3A0208・D0)
t _{RCD}	ACTIVE→READまたはWRITE遅延時間		



図VIII.2.9 SDRAMタイミングパラメータ

SDRAMインタフェースの動作

SDRAMの電源投入と初期化

SDRAM電源投入時の処理手順を以下に示します。

1. BCUとSDRAMアクセス条件の設定
"SDRAMの設定"で説明したとおり、BCUおよびSDRAMコントローラの設定を行います。
2. SDON(SDRAM制御レジスタ0x3A0200・D3) = "1"
SDRAMコントローラが起動し、SDRAMインタフェース信号を発生します。
3. SDRAM制御レジスタ(0x3A0200)のADDR[2:0](D[2:0])を設定します。
4. SDRAMオートリフレッシュカウンタレジスタ(0x3A0204)のAURCO[11:0](D[B:0])を設定します。
5. SDRAMセルフリフレッシュカウンタレジスタ(0x3A0206)のSCKON(D8)、SELEN(D7)、SELCO[6:0](D[6:0])を設定します。
6. SDRAMタイミング設定レジスタ(0x3A0208)のT80NS[1:0](D[2:1])とT24NS(D0)を設定します。
7. SDRAMアプリケーション設定レジスタ(0x3A0210)のSDHP(D3)、AR14C(D2)、AR13C(D1)およびIQBON(D0)を設定します。
8. ポート機能拡張レジスタ(0x300044、0x30004A、0x30004C、0x300F60)でSDRAM I/F端子を設定します。
9. SDRAM電源投入後、100 μ s以上待機
SDRAMの電源投入後は、100 μ s以上NOP状態(#SDCE = High)を保つ必要があります。この時間はSDRAMにより変わる場合がありますので、仕様を確認してください。
10. SDRAM初期化レジスタ(0x3A0202)のINIPRE(D1)、INIREF(D0)、INIMRS(D2)の制御
SDRAMを初期化するため、PALL(全バンクプリチャージ)、REF(オートリフレッシュ)、およびMRS(モードレジスタセット)コマンドを続けて実行します。この実行順序はSDRAMにより異なりますので注意してください。
Type A: 1. PALL → 2. REF → 3. MRS
Type B: 1. PALL → 2. MRS → 3. REF

初期化手順については、使用するSDRAMの仕様を参照してください。

各コマンドは以下に示す制御ビットで個々に実行可能です。

PALL(全バンクプリチャージ)コマンドの実行

INIPRE(0x3A0202・D1)に"1"を書き込みます。

REF(オートリフレッシュ)コマンドの実行

INIREF(0x3A0202・D0)に"1"を書き込みます。REFコマンドは間にnop命令の実行をはさみ、2回実行してください。SDRAMによっては、3回以上の実行が必要な場合もあります。詳細については、SDRAMの仕様を参照してください。

1) INIREFに"1"を書き込み

2) nop命令を実行

3) INIREFに再度"1"を書き込み

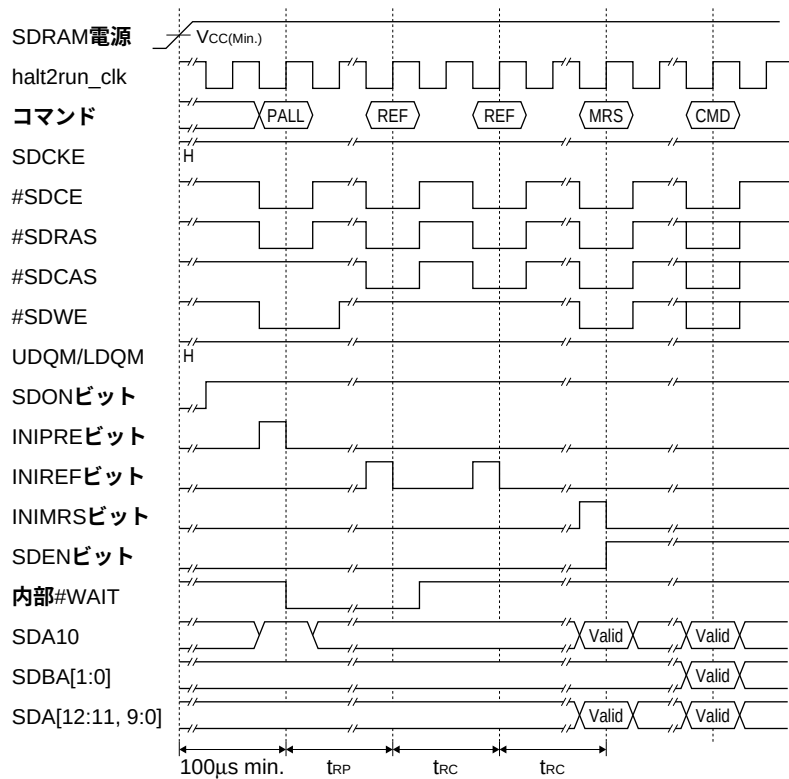
MRS(モードレジスタセット)コマンドの実行

INIMRS(0x3A0202・D2)に"1"を書き込みます。本SDRAMインタフェースによりSDRAMのモードレジスタに設定される値は、ハードウェアにより"00100_010_0_001"に固定されています。

注: SDRAMの初期化が終了するまで、セルフリフレッシュ機能は無効にしてください。

11. SDEN(SDRAM初期化レジスタ0x3A0202・D3)のチェック
SDENは電源投入時に"0"にリセットされ、上記のSDRAM初期化が終了すると"1"にセットされます。SDRAMをアクセスする前に、SDENが"1"になっていることを確認してください。
SDENは電源投入時以外にも、SDON(0x3A0200・D3)への"0"書き込みにより"0"にリセットされます。

以上でSDRAMの初期化シーケンスが終了し、アクセスが可能となります。



図VIII.2.10 SDRAMの電源投入と初期化

SDRAMコマンド

SDRAMは信号の論理レベルを組み合わせる構成されるコマンドによって制御されます。本SDRAMコントローラが出力するコマンドを表VIII.2.10に示します。

表VIII.2.10 サポートSDRAMコマンド一覧

コマンド		端 子								
機 能	シンボル	SDCKE	DQM U/LDQM	バンク A[15:14]	SDA10	SDA A[13:1]	#SDCE	#SDRAS	#SDCAS	#SDWE
選択解除	－	H	X	X	X	X	H	X	X	X
バンクアクティブ	ACTV	H	X	V	V	V	L	L	H	H
指定バンクプリチャージ	PRE	H	X	V	L	X	L	L	H	L
全バンクプリチャージ	PALL	H	X	X	H	X	L	L	H	L
ライト	WRIT	H	X	V	L	V	L	H	L	L
リード	READ	H	X	V	L	V	L	H	L	H
モードレジスタセット	MRS	H	X	X	V	V	L	L	L	L
NOP	NOP	H	X	X	X	X	L	H	H	H
オートリフレッシュ	REF	H	X	X	X	X	L	L	L	H
セルフリフレッシュ開始	SELF	H → L	X	X	X	X	L	L	L	H
セルフリフレッシュ終了	－	L → H	X	X	X	X	H	X	X	X
データライト/出力許可	－	H	L	X	X	X	X	X	X	X
データライト/出力禁止	－	H	H	X	X	X	X	X	X	X

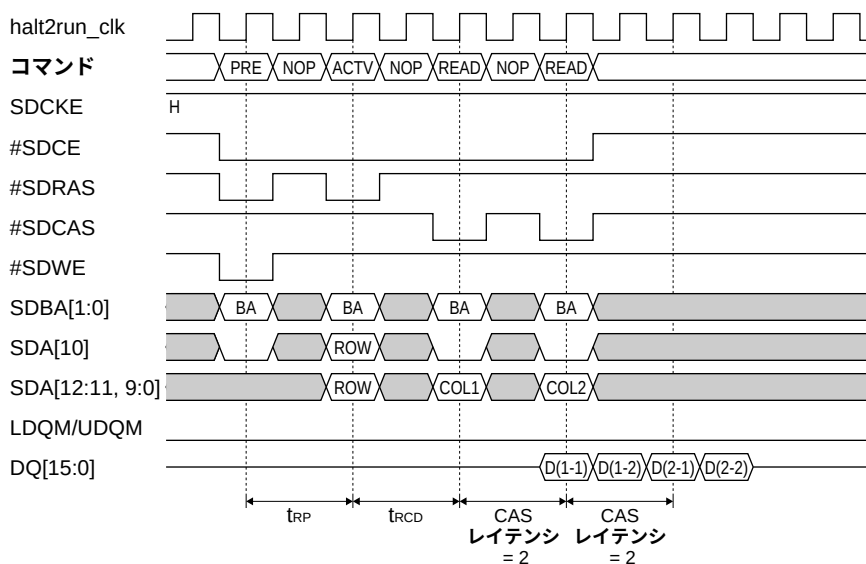
V = 有効, X = 任意/不定, L = Lowレベル, H = Highレベル

各コマンド出力はSDRAMコントローラが行いますので、SDRAMの初期化以外ユーザプログラムで制御する必要はありません。

リードサイクル

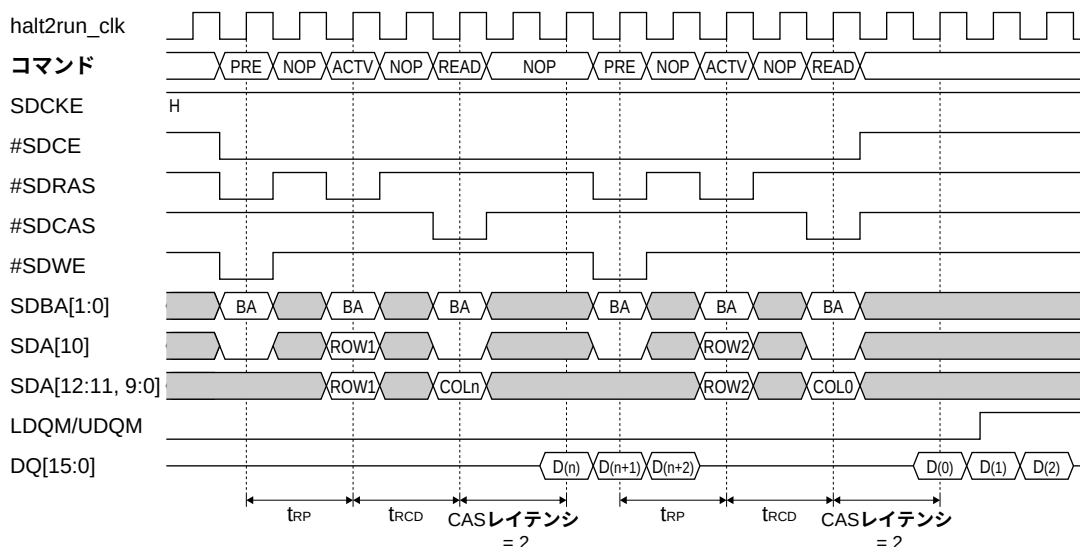
SDRAMコントローラはバーストリードによりSDRAMからデータを読み出します。バースト長は2に固定されています。図VIII.2.11に、同じローアドレスから4ワードのデータを読み出す場合のタイミング例を示します。以下の例は、命令/データキューバッファを使用しない場合のものです。キューバッファを使用する場合の動作については、"VIII-3 命令/データキューバッファ"を参照してください。

パラメータの設定例: $t_{RCD} = 2$ サイクル、 $t_{RP} = 2$ サイクル



図VIII.2.11 同一ページ内のバーストリード

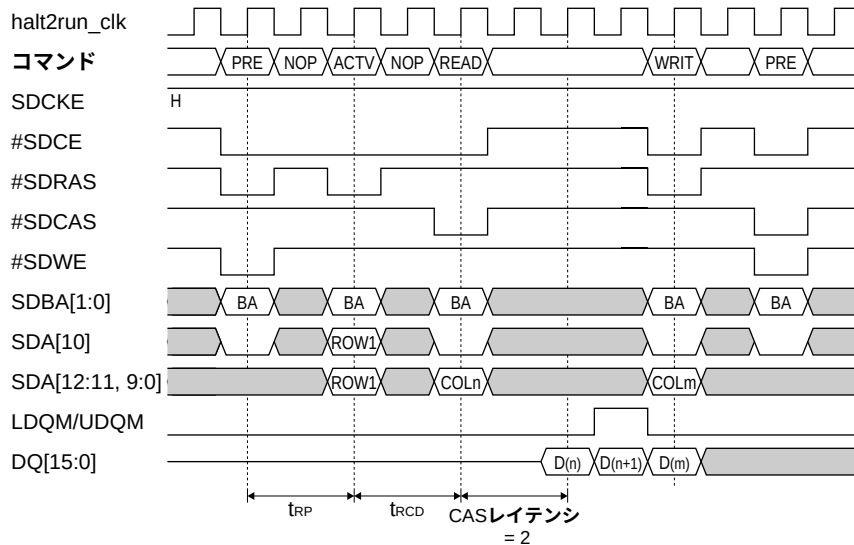
図VIII.2.12は、バーストリード中にローアドレスが変わる場合の例です。



図VIII.2.12 バーストリード時のローアドレス変更

ライトサイクル

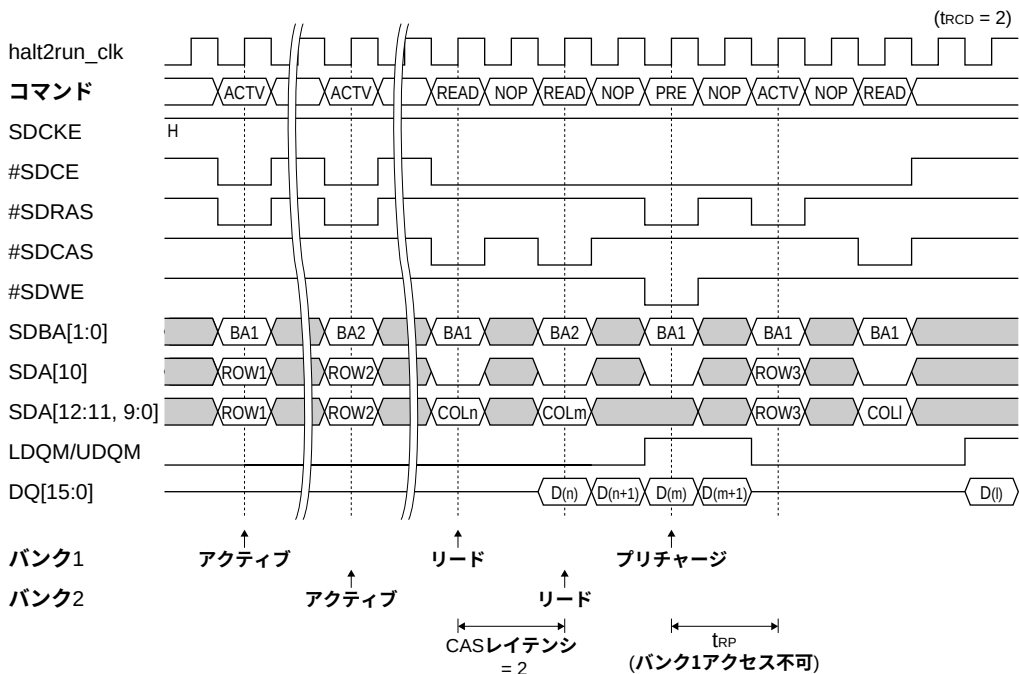
SDRAMへの書き込みは、常にシングルライトになります。



図VIII.2.13 バーストリード→シングルライト(同一ページ)

バンクインターリーブアクセス

複数のバンク(4バンクまで)を同時にアクティブにすることができます。これにより、バンクが変わる場合でも、ACTV(アクティブ)コマンドをその都度発行することなく、連続的にSDRAMをアクセスすることができます。



図VIII.2.14 バンクインターリーブアクセス

リフレッシュモード

SDRAMコントローラは、オートリフレッシュとセルフリフレッシュの2種類のSDRAMリフレッシュモードに対応しています。

■オートリフレッシュ

SDRAMコントローラは12ビットのオートリフレッシュカウンタを内蔵しています。このカウンタはhalt2run_clkクロックで常にカウントを行い、カウンタが指定した値になると全バンクのプリチャージコマンドとオートリフレッシュコマンドをSDRAMに送信するようになっています。その時点でカウンタはリセットされ、次のリフレッシュ周期のカウントを開始します。カウンタはセルフリフレッシュによってもリセットされます。

オートリフレッシュの周期はhalt2run_clkクロックの周波数と、AURCO[11:0](オートリフレッシュカウンタレジスタ0x3A0204・D[B:0])に設定するカウント値で決まります。SDRAMの仕様を満たすようにAURCOの値を設定してください。カウント値は次の計算式で求められます。

$$\text{AURCO} \leq \frac{\text{RFP}}{\text{ROWS}} \times \text{fCLK} - \text{BL} - \text{CL} - 2 \times \text{trP} - \text{trCD} - 3$$

RFP: 最大リフレッシュ周期[s]

ROWS: ローアドレスサイズ

fCLK: halt2run_clkクロック周波数 [Hz]

BL: バースト長(= 2)

CL: CASレイテンシ(= 2)

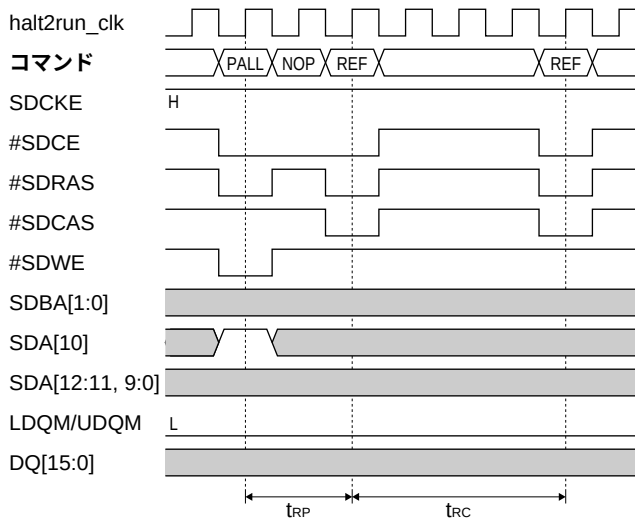
trP: PRECHARGEコマンド期間 [クロック数]

trCD: ACTIVE→READまたはWRITE遅延時間 [クロック数]

たとえば、RFP = 64ms、ROWS = 4,096、fCLK = 20MHz、trP = 2、trCD = 2の場合の設定値は次のように算出されます。

$$\text{AURCO} \leq \frac{0.064}{4,096} \times 20,000,000 - 2 - 2 - 2 \times 2 - 2 - 3 = 299$$

AURCOには299(0x12b)以下の値を設定します。



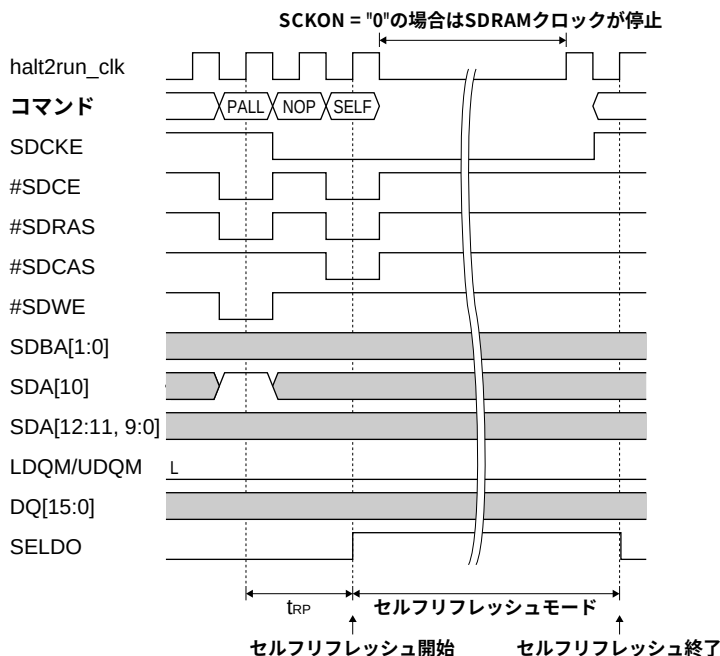
図VIII.2.15 オートリフレッシュ

■セルフリフレッシュ

セルフリフレッシュはSDRAMのセルフリフレッシュ機能を使用するもので、リフレッシュ期間中にクロックが不要なため、電力消費を抑えることができます。また、パワーダウンモード時のデータ保持には、このセルフリフレッシュを使用します。

セルフリフレッシュを行う場合は、SELEN (SDRAMセルフリフレッシュカウンタレジスタ0x3A0206・D7) を"1"に設定します。これにより、SDRAMコントローラはセルフリフレッシュコマンド (SDCKE出力をLowに設定) をSDRAMに送ることができるようになります。実際にコマンドが送られるのはSDRAMのアクセスから、またはオートリフレッシュから一定時間経過後で、SDRAMコントローラは、この時間をカウントするセルフリフレッシュカウンタを内蔵しています。このカウンタはhalt2run_clkクロックでカウントを行い、カウントが指定した値になるとリフレッシュコマンドをSDRAMに送信します。また、SDRAMのアクセスやオートリフレッシュコマンドの発行時にカウンタはリセットされ、再度カウントを開始するようになっています。カウンタと比較する値は、SELCO[6:0] (SDRAMセルフリフレッシュカウンタレジスタ0x3A0206・D[6:0]) で0~127の範囲で指定可能です。

セルフリフレッシュモード中にSDRAMへのアクセスが発生すると、SDCKEがHighに戻りセルフリフレッシュモードは解除されます。セルフリフレッシュ中にオートリフレッシュコマンドが発行された場合も、SDRAMはセルフリフレッシュモードから抜けます。したがって、セルフリフレッシュカウンタ値はオートリフレッシュカウンタ値よりも小さく設定する必要があります。



図VIII.2.16 セルフリフレッシュ

セルフリフレッシュ中 (SDCKE = Low の期間) は、SELDO (SDRAMセルフリフレッシュカウンタレジスタ0x3A0206・D9) が"1"になりますので、これを読み出して確認することができます。

また、SCKON (SDRAMセルフリフレッシュカウンタレジスタ0x3A0206・D8) を"0"に設定することで、セルフリフレッシュ中のSDRAMクロック出力を停止して電力消費を抑えることができます。

パワーダウンモード

SDRAMコントローラはS1C33コアの3つのパワーダウンモード(HALT、HALT2、SLEEP)をサポートしています。

HALTモードはバスクロックが停止しませんので、いつでも設定することができます。

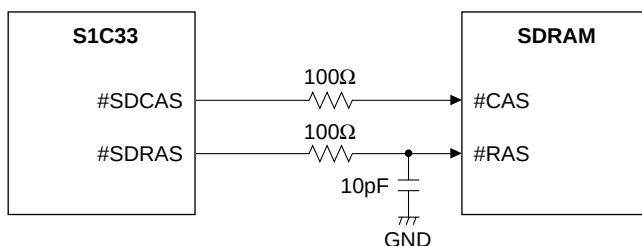
HALT2モードではBCUからSDRAMをアクセスすることはできません。ただし、SDRAMをVRAMとして使用する場合にLCDの表示を継続するために、LCDCからはSDRAMを読み出すことができるようになっています。

SLEEPモードではSDRAMクロックが停止しますので、SLEEPモードに入る前に次の手順でSDRAMをセルフリフレッシュモードに設定しておく必要があります。

1. SELEN(0x3A0206・D7)を"1"に設定し、SDRAMのセルフリフレッシュを有効にします。
2. SELDO(0x3A0206・D9)が"1"(SDRAMがセルフリフレッシュ中)になったことを確認します。
3. slp命令を実行します。

注: • SDRAMへのアクセスがあるとセルフリフレッシュモードが解除されてしまうため、上記手順の2と3はSDRAM以外のメモリ上で実行する必要があります。

- SDRAMの中には、SELEN(SDRAMセルフリフレッシュカウンタレジスタ0x3A0206・D7)が"1"に設定されている場合のセルフリフレッシュ時のRASおよびCAS信号に対して厳密なタイミングを要求するものもあります。特にSDCLKを基準とする信号のホールド時間が重要です。回路基板や他の原因によってホールド時間が規定外になることを防ぐため、以下のような接続方法(参考)を推奨します。



図VIII.2.17 #SDRASおよび#SDCAS信号の接続

SDRAMインタフェースのI/Oメモリ

表VIII.2.11にSDRAMインタフェースの制御ビットを示します。これらのレジスタはエリア6に割り付けられています。

表VIII.2.11 SDRAMインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
P20–P21 ポート機能拡張 レジスタ	0300044 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	EFP211	P21ポート機能拡張	EFP21[1:0]	機能	0	R/W
		D2	EFP210		1 * 0 1 0 0	reserved #SDWE P21/#DWE	0	
		D1	EFP201		EFP20[1:0]	機能	0	
		D0	EFP200		1 * 0 1 0 0	reserved SDCKE P20/#DRD	0	
P50–P53 ポート機能拡張 レジスタ	030004A (B)	D7	EFP531	P53ポート機能拡張	EFP53[1:0]	機能	0	R/W
		D6	EFP530		1 1 1 0 0 1 0 0	reserved #SDCE P53 #CE7, etc.	0	
		D5	EFP521		EFP52[1:0]	機能	0	
		D4	EFP520		1 * 0 1 0 0	reserved P52 #CE6, etc.	0	
		D3	EFP511	P51ポート機能拡張	EFP51[1:0]	機能	0	R/W
		D2	EFP510		1 * 0 1 0 0	reserved P51 #CE5, etc.	0	
		D1	EFP501	P50ポート機能拡張	EFP50[1:0]	機能	0	R/W
		D0	EFP500		1 * 0 1 0 0	reserved P50 #CE4, etc.	0	
		D7	EFP631	P63ポート機能拡張	EFP63[1:0]	機能	0	R/W
		D6	EFP630		1 * 0 1 0 0	reserved UDQM P63	0	
		D5	EFP621		EFP62[1:0]	機能	0	R/W
		D4	EFP620		1 * 0 1 0 0	reserved LDQM P62	0	
P60–P63 ポート機能拡張 レジスタ	030004C (B)	D3	EFP611	P61ポート機能拡張	EFP61[1:0]	機能	0	R/W
		D2	EFP610		1 * 0 1 0 0	reserved SDA10 P61	0	
		D1	EFP601	P60ポート機能拡張	EFP60[1:0]	機能	0	R/W
		D0	EFP600		1 1 1 0 0 1 0 0	SDCLK FOSC1 P60 BCLK	0	
		D7–1	–	reserved	–	–	–	読み出し時: 0
		D0	SUBCKSEL	サブシステムソースクロック選択	1 PLL クロック	0 OSC3 クロック	0	R/W
バスクロック ジェネレータ 制御レジスタ	0300F33 (B)	D7	BCLGEN	バスクロックジェネレータイネーブル	1 動作	0 停止	0	R/W
		D6–2	–	reserved	–	–	–	読み出し時: 0
		D1	BCLGDT1	バスクロック設定 (サブシステムクロック分周比)	BCLGDT[1:0]	分周比	0	R/W
		D0	BCLGDT0		1 1 1 0 0 *	subsys_clk / 4 subsys_clk / 2 subsys_clk / 1	0	

VIII

SDRAMC

VIII-2 SDRAMCブロック: SDRAMインタフェース

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈				
PA0-PA2 ポート機能拡張 レジスタ	0300F60 (B)	D7-6	-	reserved	-			-	-	読み出し時: 0				
		D5 D4	FPA21 FPA20	PA2ポート機能拡張	FPA2[1:0]		機能	0	R/W					
			1 *		reserved	0								
			0 1 0 0		PA2 P30, etc.									
		D3 D2	FPA11 FPA10	PA1ポート機能拡張	FPA1[1:0]		機能	0	R/W					
			1 1		reserved	0								
			1 0 0 1 0 0		#SDRAS PA1 #HCAS									
			1 1 1 0 0 1 0 0		PA0 #SDCAS PA0 #LCAS	0	R/W							
		SDRAM制御 レジスタ	03A0200 (HW)	DF-4	-	reserved	-			-	-	読み出し時: 0		
				D3	SDON	SDRAMコントローライネーブル	1	有効	0	無効	0	R/W		
D2 D1 D0	ADDRC2 ADDRC1 ADDRC0			SDRAMアドレス設定	ADDRC[2:0]		SDRAM構成	0	R/W					
	1 1 1			reserved	0									
	1 1 0			16M x 8ビット x 2	0									
	1 0 1			8M x 8ビット x 2										
	1 0 0			2M x 8ビット x 2										
	0 1 1			16M x 16ビット x 1										
	0 1 0			8M x 16ビット x 1										
	0 0 1			4M x 16ビット x 1										
	0 0 0		1M x 16ビット x 1											
SDRAM初期化 レジスタ	03A0202 (HW)	DF-4	-	reserved	-			-	-	読み出し時: 0				
		D3	SDEN	SDRAM初期化フラグ	1	初期化終了	0	初期化前	0	R	読み出し時: 0			
		D2	INIMRS	MRSコマンド実行	1	実行	0	不可	0	W				
		D1	INIPRE	PREコマンド実行	1	実行	0	不可	0	W				
		D0	INIREF	REFコマンド実行	1	実行	0	不可	0	W				
SDRAMオート リフレッシュカ ウンタレジスタ	03A0204 (HW)	DF-C	-	reserved	-			-	-	読み出し時: 0				
		DB	AURCO11	SDRAMオートリフレッシュ カウンタ	0x0~0xFFFF			0	R/W					
		DA	AURCO10		0									
		D9	AURCO9		0									
		D8	AURCO8		0									
		D7	AURCO7		0									
		D6	AURCO6		0									
		D5	AURCO5		0									
		D4	AURCO4		0									
		D3	AURCO3		0									
		D2	AURCO2		0									
		D1	AURCO1		0									
		D0	AURCO0		0									
		SDRAMセルフ リフレッシュカ ウンタレジスタ	03A0206 (HW)		DF-A	-	reserved	-			-	-	読み出し時: 0	
					D9	SELDO	SDRAMセルフリフレッシュ状態	1	リフレッシュ中		0	リフレッシュ以外	0	R
D8	SCKON			セルフリフレッシュ中SDRAMクロック	1	許可	0	禁止	0	R/W				
D7	SELEN			SDRAMセルフリフレッシュイネーブル	1	有効	0	無効	0	R/W				
D6	SELCO6			SDRAMセルフリフレッシュ カウンタ	0x0~0x7F			1	R/W					
D5	SELCO5				1									
D4	SELCO4				1									
D3	SELCO3				1									
D2	SELCO2				1									
D1	SELCO1				1									
D0	SELCO0	1												
SDRAM タイミング設定 レジスタ	03A0208 (HW)	DF-3	-	reserved	-			-	-	読み出し時: 0				
		D2	T80NS1	SDRAM trc, trfC, txsrサイクル	T80NS[1:0]		サイクル数	1	R/W					
		D1	T80NS0		1 1	5サイクル	1							
		1 0	4サイクル											
		0 1	3サイクル											
		0 0	2サイクル											
SDRAMアプリ ケーション設定 レジスタ	03A0210 (HW)	D0	T24NS	SDRAM trp, trcdサイクル	1	2サイクル	0	1サイクル	1	R/W				
		DF-4	-	reserved	-			-	-	読み出し時: 0				
		D3	SDHP	SDRAMハイパフォーマンスアクセス	1	High	0	Low	0	R/W				
		D2	AR14C	エリア8/14設定	1	SDRAM	0	SDRAM以外	0	R/W				
		D1	AR13C	エリア7/13設定	1	SDRAM	0	SDRAM以外	0	R/W				
		D0	IOBON	命令キューバッファイネーブル	1	有効	0	無効	0	R/W				

EFP201–EFP200: P20ポート機能拡張(D[1:0]/0x300044<P20–P21ポート機能拡張レジスタ>)
 EFP211–EFP210: P21ポート機能拡張(D[3:2]/0x300044<P20–P21ポート機能拡張レジスタ>)
 EFP531–EFP530: P53ポート機能拡張(D[7:6]/0x30004A<P50–P53ポート機能拡張レジスタ>)
 EFP601–EFP600: P60ポート機能拡張(D[1:0]/0x30004C<P60–P63ポート機能拡張レジスタ>)
 EFP611–EFP610: P61ポート機能拡張(D[3:2]/0x30004C<P60–P63ポート機能拡張レジスタ>)
 EFP621–EFP620: P62ポート機能拡張(D[5:4]/0x30004C<P60–P63ポート機能拡張レジスタ>)
 EFP631–EFP630: P63ポート機能拡張(D[7:6]/0x30004C<P60–P63ポート機能拡張レジスタ>)
 FPA01–FPA00: PA0ポート機能拡張(D[1:0]/0x300F60<PA0–PA2ポート機能拡張レジスタ>)
 FPA11–FPA10: PA1ポート機能拡張(D[3:2]/0x300F60<PA0–PA2ポート機能拡張レジスタ>)

ポートの機能を切り換えます。

表VIII.2.12 ポート拡張機能

機能拡張 ビット	EFPxx[1:0] = "00" FPxx[1:0] = "00"	EFPxx[1:0] = "01" FPxx[1:0] = "01"	EFPxx[1:0] = "10" FPxx[1:0] = "10"	EFPxx[1:0] = "11" FPxx[1:0] = "11"
EFP20[1:0]	P20/#DRD	SDCKE	–	–
EFP21[1:0]	P21/#DWE	#SDWE	–	–
EFP53[1:0]	#CE7/#CE13, etc.	P53	#SDCE	–
EFP60[1:0]	BCLK	P60	FOSC1	SDCLK
EFP61[1:0]	P61	SDA10	–	–
EFP62[1:0]	P62	LDQM	–	–
EFP63[1:0]	P63	UDQM	–	–
FPA0[1:0]	#LCAS	PA0	#SDCAS	–
FPA1[1:0]	#HCAS	PA1	#SDRAS	–

太字で記載されたSDRAM I/Fの機能を選択します。

イニシャルリセット時、EFPおよびFPは"00"に設定されます。

SUBCKSEL: サブシステムソースクロック選択(D0/0x300F32<サブシステムクロック選択レジスタ>)

バスクロックジェネレータとLCDCクロックジェネレータのソースクロックを選択します。

"1"書き込み: PLL出力クロック

"0"書き込み: OSC3クロック

読み出し: 可能

SUBCKSELに"1"を書き込むと、PLL出力クロックがバスクロックジェネレータとLCDCクロックジェネレータのソースクロック(subsys_clk)として選択されます。"0"を書き込むとOSC3クロックが選択されます。

イニシャルリセット時、SUBCKSELは"0"(OSC3クロック)に設定されます。

BCLGEN: バスクロックジェネレータイネーブル(D7/0x300F33<バスクロックジェネレータ制御レジスタ>)

バスクロックジェネレータを動作させます。

"1"書き込み: 動作

"0"書き込み: 停止

読み出し: 可能

BCLGENに"1"を書き込むと、バスクロックジェネレータにソースクロックが供給され、SDRAMと内蔵VRAM用のhalt2run_clkクロックの出力を開始します。"0"を書き込むと、バスクロックジェネレータはhalt2run_clkクロックの出力を停止します。

イニシャルリセット時、BCLGENは"0"(停止)に設定されます。

BCLGDT1–BCLGDT0: バスクロック設定(D[1:0]/0x300F33<バスクロックジェネレータ制御レジスタ>)

バスクロックジェネレータの分周比を選択し、halt2run_clkの周波数を設定します。

表VIII.2.13 バスクロック分周比の選択

BCLGDT1	BCLGDT0	BCLGソースクロック
1	1	subsys_clk / 4
1	0	subsys_clk / 2
0	1	subsys_clk
0	0	

イニシャルリセット時、BCLGDTは"0"(subsys_clk)に設定されます。

SDON: SDRAMコントローライネーブル(D3/0x3A0200<SDRAM制御レジスタ>)

SDRAMコントローラを有効にします。

"1"書き込み: 有効
 "0"書き込み: 無効
 読み出し: 可能

SDONを"1"に設定するとSDRAMコントローラが動作を開始し、SDRAMクロックをSDCLK(BCLK)端子から出力します。SDONを"1"に設定する前に、必ずhalt2run_clkクロックのSDRAMコントローラへの供給を開始してください。

イニシャルリセット時、SDONは"0"(無効)に設定されます。

ADDRC2-ADDRC0: SDRAMアドレス設定(D[2:0]/0x3A0200<SDRAM制御レジスタ>)

SDRAMサイズとチップ構成を選択します。この選択により、バンクサイズ、カラムアドレスサイズ(ページサイズ)、およびローアドレスサイズも決定します。

表VIII.2.14 SDRAMサイズの選択

ADDRC2	ADDRC1	ADDRC0	バンク数	ローサイズ	カラムサイズ	SDRAMチップ構成	メモリサイズ
1	1	1	—	—	—	reserved	—
1	1	0	4	4K	1K	16M×8ビット×2	32Mバイト
1	0	1	4	4K	512	8M×8ビット×2	16Mバイト
1	0	0	2	2K	512	2M×8ビット×2	4Mバイト
0	1	1	4	8K	512	16M×16ビット×1	32Mバイト
0	1	0	4	4K	512	8M×16ビット×1	16Mバイト
0	0	1	4	4K	256	4M×16ビット×1	8Mバイト
0	0	0	2	2K	256	1M×16ビット×1	2Mバイト

イニシャルリセット時、ADDRCは"0"(1M×16ビット×1)に設定されます。

SDEN: SDRAM初期化フラグ(D3/0x3A0202<SDRAM初期化レジスタ>)

SDRAMが初期化(モードレジスタセット)を終了したことを示します。

"1"読み出し: 初期化終了
 "0"読み出し: 初期化前
 書き込み: 無効

SDENは電源投入時に"0"にリセットされ、初期化シーケンスを終了すると"1"にセットされます。SDRAMをアクセスする前に、SDENが"1"になっていることを確認してください。

SDENは電源投入時以外にも、SDON(0x3A0200・D3)への"0"書き込みにより"0"にリセットされます。

イニシャルリセット時、SDENは"0"(初期化前)に設定されます。

INIMRS: MRSコマンド実行(D2/0x3A0202<SDRAM初期化レジスタ>)

MRS(Mode Register Set)コマンドを実行します。

"1"書き込み: 実行
 "0"書き込み: 無効
 読み出し: 常時"0"

INIMRSへの"1"書き込みによりMRS(モードレジスタセット)コマンドが送られ、SDRAMを初期化します。本SDRAMインタフェースによりSDRAMのモードレジスタに設定される値は、ハードウェアにより"00100_010_0_001"に固定されています。

SDRAMを初期化するには、PALL(プリチャージオール)、REF(オートリフレッシュ)、およびMRS(モードレジスタセット)コマンドを続けて実行する必要があります。この実行順序はSDRAMにより異なりますので注意してください。

Type A: 1. PALL → 2. REF → 3. MRS

Type B: 1. PALL → 2. MRS → 3. REF

初期化シーケンスについては、使用するSDRAMの仕様を参照してください。

SDRAMの電源投入後は、SDRAMを100μs(SDRAMにより異なります)以上NOP状態にしてから初期化シーケンスを開始する必要があります。

"0"の書き込みはノーオペレーションとなります。

INIMRSは書き込み専用のため、読み出しは常時"0"となります。

INIPRE: PREコマンド実行(D1/0x3A0202<SDRAM初期化レジスタ>)

PALL(Precharge All)コマンドを実行します。

"1"書き込み: 実行
 "0"書き込み: 無効
 読み出し: 常時"0"

INIPREへの"1"書き込みにより、SDRAMを初期化するためのPALL(全バンクプリチャージ)コマンドがSDRAMに送られます。SDRAM初期化シーケンスについてはINIMRS(0x3A0202・D2)を参照してください。
 "0"の書き込みはノーオペレーションとなります。
 INIPREは書き込み専用のため、読み出しは常時"0"となります。

INIREF: REFコマンド実行(D0/0x3A0202<SDRAM初期化レジスタ>)

REF(Auto Refresh)コマンドを実行します。

"1"書き込み: 実行
 "0"書き込み: 無効
 読み出し: 常時"0"

INIREFへの"1"書き込みにより、SDRAMを初期化するためのREF(オートリフレッシュ)コマンドがSDRAMに送られます。SDRAM初期化シーケンスについてはINIMRS(0x3A0202・D2)を参照してください。
 "0"の書き込みはノーオペレーションとなります。
 INIREFは書き込み専用のため、読み出しは常時"0"となります。

AURCO11-AURCO0: SDRAMオートリフレッシュカウンタ
(D[B:0]/0x3A0204<SDRAMオートリフレッシュカウンタレジスタ>)

オートリフレッシュカウンタ値を設定します。

オートリフレッシュカウンタはhalt2run_clkクロックにより0からカウントアップを行い、ここで指定した値になるとオートリフレッシュコマンドを送信します。その時点でカウンタはリセットされ、次の周期のカウントを開始します。カウンタはセルフリフレッシュによってもリセットされます。
 次の式で算出される値が、設定可能な最大値です。

$$\text{AURCO} \leq \frac{\text{RFP}}{\text{ROWS}} \times \text{fCLK} - \text{BL} - \text{CL} - 2 \times \text{trP} - \text{trCD} - 3$$

RFP: 最大リフレッシュ周期 [s]
 ROWS: ローアドレスサイズ
 fCLK: halt2run_clkクロック周波数 [Hz]
 BL: バースト長(=2)
 CL: CASレイテンシ(=2)
 trP: PRECHARGEコマンド期間 [クロック数]
 trCD: ACTIVE→READまたはWRITE遅延時間 [クロック数]

イニシャルリセット時、AURCOは"0x0"に設定されます。

SELDO: SDRAMセルフリフレッシュステータス
(D9/0x3A0206<SDRAMセルフリフレッシュカウンタレジスタ>)

SDRAMのセルフリフレッシュ状態を示します。

"1"読み出し: セルフリフレッシュ中
 "0"読み出し: セルフリフレッシュモード以外
 書き込み: 無効

SDRAMコントローラがSDCKE端子をLowにしている間(SDRAMがセルフリフレッシュ中)、SELDOが"1"になります。それ以外は"0"になります。
 SLEEPモードに設定する前は、必ずSDRAM以外の場所に置かれているプログラムで本ビットを読み出し、SDRAMがセルフリフレッシュモード中であることを確認してください。
 イニシャルリセット時、SELDOは"0"(セルフリフレッシュモード以外)に設定されます。

SCKON: セルフリフレッシュ時SDRAMクロック指定 (D8/0x3A0206<SDRAMセルフリフレッシュカウンタレジスタ>)

セルフリフレッシュ中にSDRAMクロックを停止するかどうかを選択します。

- "1"書き込み: 許可(出力を保持)
- "0"書き込み: 禁止(出力を停止)
- 読み出し: 可能

SCKONに"0"を書き込むと、SDRAMがセルフリフレッシュ中にSDCLK端子からのSDRAMクロック出力を停止します。これにより、消費電流を低減できます。

SCKONが"1"の場合は、SDRAMがセルフリフレッシュ中でもSDCLK端子からSDRAMクロックが出力されます。

イニシャルリセット時、SCKONは"0"(禁止)に設定されます。

SELEN: SDRAMセルフリフレッシュイネーブル (D7/0x3A0206<SDRAMセルフリフレッシュカウンタレジスタ>)

SDRAMのセルフリフレッシュ制御機能を有効にします。

- "1"書き込み: 有効
- "0"書き込み: 無効
- 読み出し: 可能

SELENに"1"を書き込むと、SDRAMコントローラはSDRAMのセルフリフレッシュを開始(SDCKE出力をLowに設定)することができるようになります。実際にセルフリフレッシュを開始するのはSDRAMのアクセスまたはオートリフレッシュからSELCO[6:0](0x3A0206・D[6:0])で指定したクロックサイクルの経過後です。

SELENが"0"の場合、セルフリフレッシュ機能は無効になります。

イニシャルリセット時、SELENは"0"(無効)に設定されます。

SELCO6–SELCO0: SDRAMセルフリフレッシュカウンタ (D[6:0]/0x3A0206<SDRAMセルフリフレッシュカウンタレジスタ>)

セルフリフレッシュカウンタ値を設定します。

SELEN(0x3A0206・D7)が"1"(セルフリフレッシュ有効)に設定されている場合、セルフリフレッシュカウンタはSDRAMのアクセス後、あるいはオートリフレッシュ実行後にhalt2run_clkクロックにより0からカウントアップを行います。カウンタがここで指定した値になるとSDCKE出力をLowにしてSDRAMにセルフリフレッシュを開始させます。セルフリフレッシュモード中にSDRAMへのアクセスが発生すると、SDCKEがHighに戻りセルフリフレッシュモードは解除されます。

イニシャルリセット時、SELCOは"0x7F"に設定されます。

T80NS1–T80NS0: SDRAM t_{TRC}, t_{TRFC}, t_{XS}Rサイクル(D[2:1]/0x3A0208<SDRAMタイミング設定レジスタ>)

以下のSDRAMタイミングパラメータを設定します。

- t_{TRC} ACTIVE→ACTIVEコマンドサイクル
- t_{TRFC} REFRESHコマンドサイクル
- t_{XS}R SELF REFRESH解除→ACTIVEコマンド間隔

表VIII.2.15 t_{TRC}, t_{TRFC}, t_{XS}Rタイミングパラメータの設定

T80NS1	T80NS0	t _{TRC} , t _{TRFC} , t _{XS} R
1	1	5サイクル
1	0	4サイクル
0	1	3サイクル
0	0	2サイクル

イニシャルリセット時、T80NSは"11"(5サイクル)に設定されます。

T24NS: SDRAM trp, trcdサイクル(D0/0x3A0208<SDRAMタイミグ設定レジスタ>)

trpとtrcdのSDRAMタイミグパラメータを設定します。

"1"書き込み: 2サイクル

"0"書き込み: 1サイクル

読み出し: 可能

- trp PRECHARGEコマンド期間
- trcd ACTIVE→READまたはWRITE遅延時間

イニシャルリセット時、T24NSは"1"(2サイクル)に設定されます。

SDHP: SDRAMハイパフォーマンスアクセス(D3/0x3A0210<SDRAMアプリケーション設定レジスタ>)

ハイパフォーマンスアクセス処理を選択します。

"1"書き込み: ハイパフォーマンス

"0"書き込み: ローパフォーマンス

読み出し: 可能

SDHPが"0"の場合、C33 STDからのリード/ライト信号をそのままSDRAMのアクセスに使用します。SDHPを"1"に設定すると、SDRAMのリード/ライト信号がSDRAMCブロック内で、バスモードやバスサイズに合わせて生成されます。これにより、SDRAMCの動作速度が、SDHP="0"の場合に比べわずかに高まります。ただし、SDRAMを外部VRAMとして使用し、bcucclk = halt2run_clk / (2、4または8)の場合は、SDHPを"0"に設定する必要があります。

イニシャルリセット時、SDHPは"0"(ローパフォーマンス)に設定されます。

AR14C: エリア8またはエリア14設定(D2/0x3A0210<SDRAMアプリケーション設定レジスタ>)**AR13C: エリア7またはエリア13設定(D1/0x3A0210<SDRAMアプリケーション設定レジスタ>)**

SDRAM用のエリアとして使用するかどうかを選択します。

"1"書き込み: SDRAM用

"0"書き込み: SDRAM以外のデバイス用

読み出し: 可能

16ビットSDRAM×1または8ビットSDRAM×2をエリア7と8、またはエリア13と14に接続できます。エリア7または13をSDRAM用に設定するにはAR13Cに"1"を書き込みます。同様に、エリア8または14をSDRAM用に設定するにはAR14Cに"1"を書き込みます。どちらか一方のみ、または両方のエリア(エリア7+エリア8またはエリア13+エリア14)をSDRAM用に設定することができます。ただし、両エリアをSDRAM用に設定した場合でも、チップイネーブル信号出力は1本のみです。

どちらも、"0"を書き込んだ場合はその他のデバイス用のエリアに設定されます。

イニシャルリセット時、これらのビットは"0"(SDRAM以外)に設定されます。

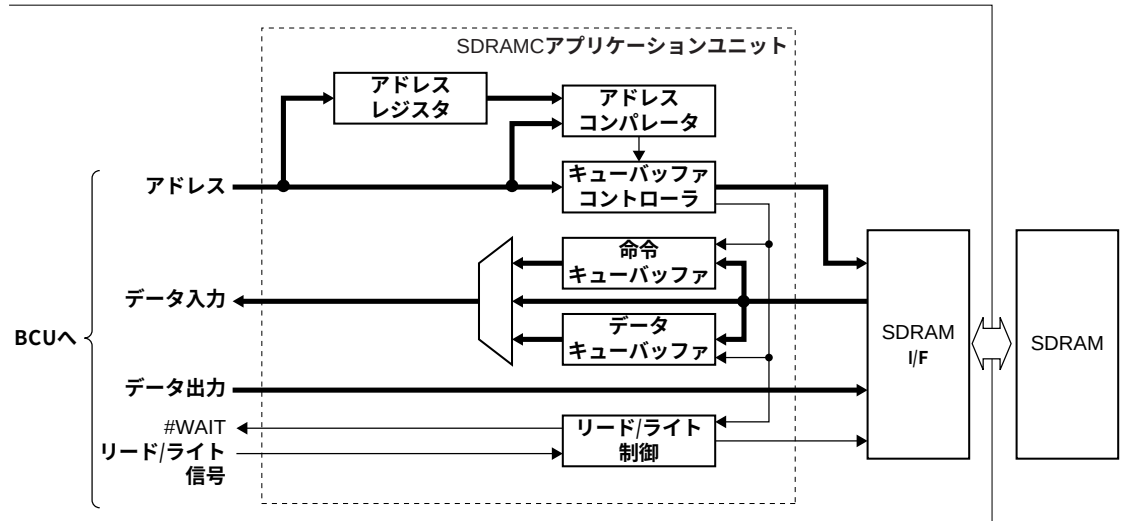
プログラミング上の注意事項

- (1) SDRAMに使用するエリアは外部アクセス(A8IOまたはA14IO(0x48132•DAまたはDD) = "0")に設定してください。
- (2) SDRAMコントローラを使用する場合は、必ずSWAITE(0x4812E•D0)を"1"に設定して#WAIT信号の制御を有効にしてください。この場合、P30端子の機能を#WAIT入力に切り換える必要はありませんが、P30入出力兼用ポートとしては使用できなくなります。P30端子を入出力ポートとして使用したい場合には、端子機能をPA2ポートに切り換えて使用してください。
- (3) SLEEPモードではSDRAMのオートリフレッシュができなくなりますので、SLEEPモードに入る前に、SDRAMをセルフリフレッシュモードに設定しておく必要があります。この場合、SELDO(0x3A0206•D9)が"1"(SDRAMがセルフリフレッシュ中)になったことを確認した後でslp命令を実行します。
なお、セルフリフレッシュ中にSDRAMへのアクセスが発生するとセルフリフレッシュモードが解除されますので、SELDOのチェックとslp命令は必ずSDRAM以外のデバイスで実行してください。

VIII-3 命令/データキューバッファ

概要

SDRAMCブロックには、C33 STDとVIII-2項で説明したSDRAMインタフェースモジュール間のインタフェースを行うSDRAMCアプリケーションユニットが組み込まれています。このユニットは、SDRAMインタフェースモジュールを駆動するためのリード/ライト、アドレス、データおよびハンドシェーク信号を生成します。また、このユニットには、命令のプリフェッチ機能を実現し、C33 STDのメモリアクセス性能を向上させる、命令キューバッファとデータキューバッファも組み込まれています。



図VIII.3.1 命令/データキューバッファ

IQB(命令キューバッファ)

IQBは命令をプリフェッチするキューバッファで、16×16ビットデュアルポート同期SRAMで構成されています。下図に示すように、2スロット×8×16ビットのバッファとして使用されます。

A[24:14]	A[13:4]	A[3:1]							
IQBアドレス	スロット1 アドレス	スロット1							
		Buf 0	Buf 1	Buf 2	Buf 3	Buf 4	Buf 5	Buf 6	Buf 7
	スロット2 アドレス	スロット2							
		Buf 0	Buf 1	Buf 2	Buf 3	Buf 4	Buf 5	Buf 6	Buf 7

図VIII.3.2 IQBの構造

IQBON(SDRAMアプリケーション設定レジスタ0x3A0210・D0)を"1"に設定することにより、IQBはCPUとSDRAM間に置かれた命令キャッシュとして働きます。IQBをイネーブルに設定後、CPUがSDRAMから最初の命令をフェッチしようとする、SDRAMCアプリケーションユニットはSDRAMから8命令(CPUが必要としている命令を含む)をプリフェッチし、IQBのスロット1にストアします。CPUはIQBのスロット1から必要としている命令を読み出します。IQBにプリフェッチされていれば、その後もCPUは続いて実行する命令を、IQBから読み出すことができます(これをヒットと呼びます)。次に実行する命令がIQBにストアされていなかった場合(ミスと呼びます)、SDRAMCアプリケーションユニットはSDRAMから別の8命令(CPUが必要としている命令を含む)をプリフェッチし、IQBのスロット2にストアします。CPUはスロット2から必要としている命令を読み出します。このように2つのスロットは交互に使用され、実行するルーチンがSDRAM上にある間、CPUは実行命令をIQBからフェッチします。

各スロットは8命令をストア可能です。したがって、IQBは常に4ワード(128ビット)境界アドレスから始まるデータを取り込みます。

注: CPUがフェッチしようとした命令のアドレスA[3:2]が"11"でIQBがミスした場合に限り、その命令はIQBではなくデータキューバッファからフェッチされます。

CPUの実行対象命令アドレス A[3:1]	スロット1, 2							
	Buf 0	Buf 1	Buf 2	Buf 3	Buf 4	Buf 5	Buf 6	Buf 7
000								
001								
010								
011								
100								
101								
110								
111								

 CPUの実行対象命令  IQBのプリフェッチ命令

図VIII.3.3 スロット内の命令

IQBを無効(IQBON(0x3A0210・D0) = "0")に設定している場合、CPUはSDRAMにある命令およびデータを次に説明するデータキューバッファから読み出します。

DQB(データキューバッファ)

DQBは2段の16ビットバッファで構成され、主にSDRAMから読み出すデータのキューバッファとしてSDRAM読み出し待ち時間の削減のために使用されます。バッファ0とバッファ1の2段構成は、SDRAMの2バーストリードに対応したものです。

IQBON(0x3A0210・D0)を"1"に設定してIQBを有効にすると、DQBはプログラム内のデータを保持するデータバッファとして働きます(前ページの注にある特殊なケースでは命令もストアされます)。IQBON(0x3A0210・D0)を"0"に設定してIQBを無効にすると、DQBは命令とデータの区別なく、SDRAMから読み出されるすべてのデータを保持するリードバッファとして働きます。DQBを無効に設定することはできません。表VIII.3.1にSDRAMを対象とするバスオペレーションによるDQBの状態を示します。

表VIII.3.1 バスオペレーションとDQBステータス

バスオペレーション	DQBステータス(アクティブまたはインアクティブ)	
	IQBイネーブル	IQBディセーブル
CPU命令フェッチ	アドレスA[3:2] = "11"にある命令のフェッチでIQBがミスした場合に限りアクティブ	アクティブ
CPUベクタフェッチ	アクティブ	アクティブ
CPUデータリード	アクティブ	アクティブ
CPUデータライト	インアクティブ	インアクティブ
CPUスタックリード	アクティブ	アクティブ
CPUスタックライト	インアクティブ	インアクティブ
DMAデータリード	アクティブ	アクティブ
DMAデータライト	インアクティブ	インアクティブ

SDRAMインタフェースは、常に32ビット境界アドレスから始まる2つの連続したハーフワードデータをバーストリードにより読み出します。したがって、ワード境界アドレス(A[1:0]が"00"に固定)にある16ビットデータは常にバッファ0に、続くハーフワード境界アドレス(A[1:0] = "10")にあるデータはバッファ1にストアされます。

CPUがSDRAM上のデータを読み出す際にDQBがそのデータを保持している場合は、SDRAMへのリードサイクルは発生せず、データはDQBから読み出されます。

IQB/DQBの動作

SDRAMからのデータ読み出し

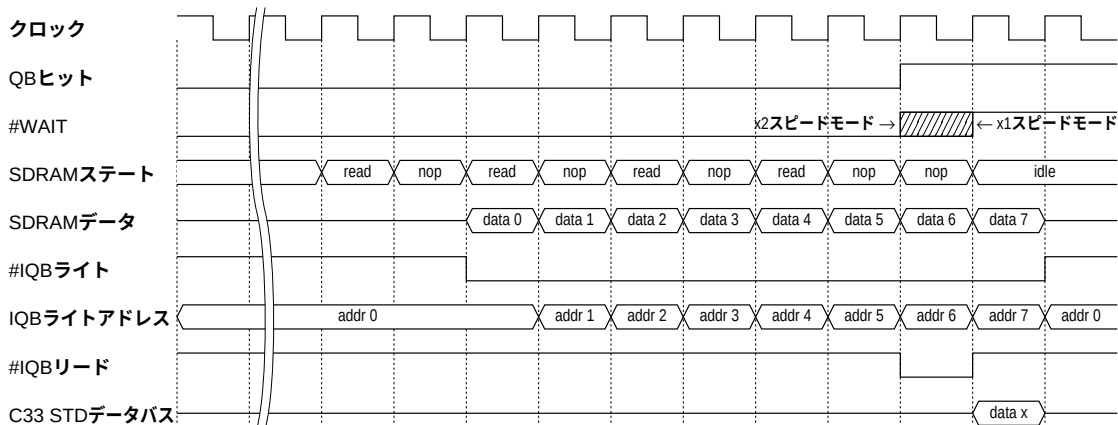
IQB/DQBのヒットおよびミス进行判定するため、SDRAMCアプリケーションユニットにはIQB/DQBに取り込んだデータのアドレスを保持するアドレスレジスタと、その内容とCPUからの読み出しアドレスを比較するアドレスコンパレータが組み込まれています。

アドレスコンパレータは、CPUがアクセスしているSDRAMアドレスとアドレスレジスタ内のアドレスデータを比較し、一致するとヒットを、不一致の場合はミスを発行します。

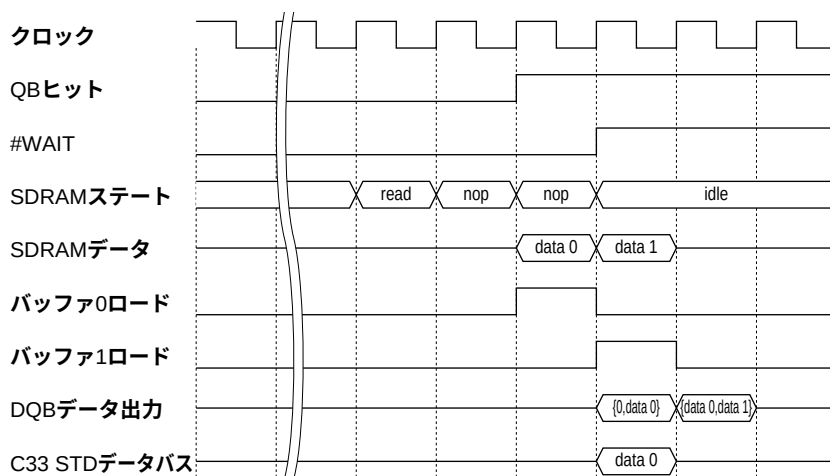
イニシャルリセット時、IQB/DQBとアドレスレジスタは空の状態にリセットされます。したがって、CPUのSDRAMに対する最初のフェッチ/読み出しは必ずミスとなります。

■ミスの場合

内部ウェイト信号がC33 STDコアに出力され、BCUバスサイクルはウェイト状態になります。SDRAMCアプリケーションユニットはSDRAMインタフェースを介してSDRAMからデータを読み出し、IQBまたはDQBにストアします。バッファが読み出し可能になると、内部ウェイト信号がインアクティブになり、BCUのバスサイクルはウェイト状態を抜けてIQBまたはDQBからデータを読み出します。



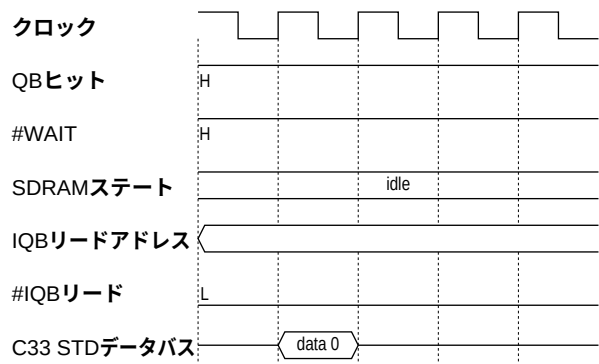
図VIII.3.4 IQBミス時のCPU命令フェッチサイクル



図VIII.3.5 DQBミス時のCPUデータリードサイクル

■ヒットの場合

SDRAMへのアクセスは発生しません。CPUは命令のフェッチまたはデータの読み出しを、IQBまたはDQBからノーウェイトで行えます。



図VIII.3.6 ヒット時のCPUリードサイクル

SDRAMへのデータ書き込み

CPUがSDRAMにデータを書き込む場合は、SDRAMインターフェースがSDRAMへの書き込みを終了するまで、C33 STDコアのウェイト信号入力がアクティブになります。
IQBまたはDQBに取り込まれているデータのアドレスに対して書き込みが行われた場合、バッファされているデータは消去されます。

IQB/DQBのI/Oメモリ

表VIII.3.2にIQB/DQBの制御ビットを示します。

表VIII.3.2 IQB/DQBの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
SDRAMアプリケーション設定レジスタ	03A0210 (HW)	DF-4	—	reserved	—			—	—	読み出し時: 0
		D3	SDHP	SDRAMハイパフォーマンスアクセス	1	High	0 Low	0	R/W	
		D2	AR14C	エリア8/14設定	1	SDRAM	0 SDRAM以外	0	R/W	
		D1	AR13C	エリア7/13設定	1	SDRAM	0 SDRAM以外	0	R/W	
		D0	IQBON	命令キューバッファイネーブル	1	有効	0 無効	0	R/W	

IQBON: 命令キューバッファイネーブル(D0/0x3A0210<SDRAMアプリケーション設定レジスタ>)

IQB(命令キューバッファ)を有効にします。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

IQBONを"1"に設定するとIQBが有効になり、SDRAMに格納されている命令はIQBにプリフェッチされるようになります。IQBはCPUの高速な命令キャッシュとして働きます。この場合、DQBはデータリードバッファとして使用されます。IQBONを"0"に設定するとIQBは無効になり、DQBが命令/データバッファとして使用されます。

イニシャルリセット時、IQBONは"0"(無効)に設定されます。

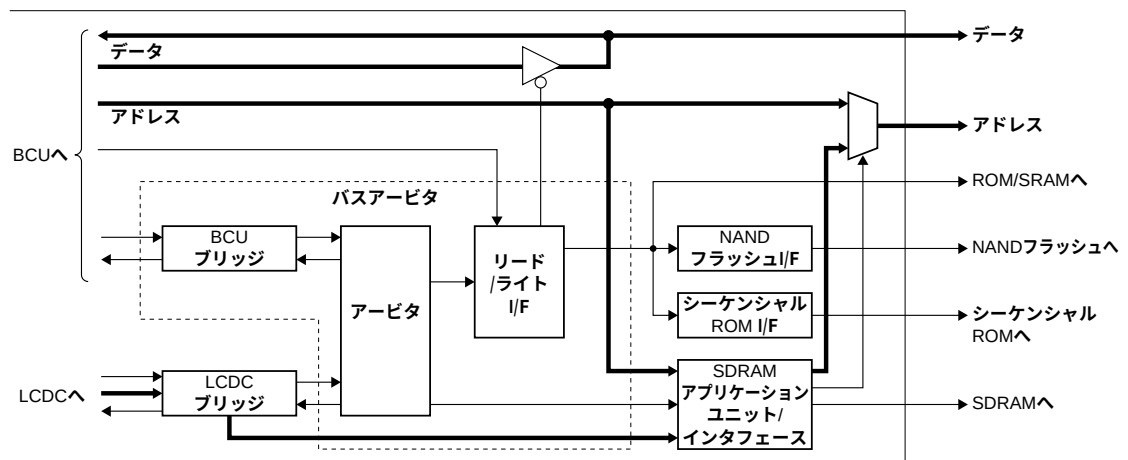
VIII-4 バスアービタ

概要

LCDCは、SDRAM先頭から1MB(max.)の領域をVRAMとして使用できるようになっています。LCD表示品質の低下を防ぐため、C33 STDが他のデバイスをアクセス中は、SDRAM(VRAM)をLCDCが直接アクセスできます。これを実現しているのが、UMA(Unified Memory Access)システムに組み込まれているバスアービタです。バスアービタはLCDCとBCUによる外部バスの使用权を調停する働きを持ちます。以下に、バスアービタの特長を示します。

- 動作周波数の対応
SDRAM以外のエリア: x1スピードモードでの32MHz動作周波数
(1リードホールドサイクルと1ウェイトサイクルの挿入が必要)
SDRAM以外のエリア: x2スピードモードでの48MHz動作周波数
(1ウェイトサイクルと1出力ディセーブル遅延サイクルの挿入が必要)
SDRAMエリア: x1スピードモードでの32MHz動作周波数
(1ウェイトサイクルと1出力ディセーブル遅延サイクルの挿入が必要)
SDRAMエリア: x2スピードモードでの48MHz動作周波数
(0ウェイトサイクル設定可能)
- 単一クロックエッジ動作
- バス権の調停は最大4つのバスマスタに対応
- パーク/許可ロジック
外部バス権を要求しているマスタがない場合は、レジスタで選択されているデフォルトマスタが外部バス権を獲得します。
- バスロック機能
高位のバスマスタによりバスリクエスト信号がアサートされても、現在のバスマスタがバス権を保持することができます。
- BCUとのインタフェースを行うBCUブリッジに対応
- バスアービタ使用中は、以下に示すC33 STDコアの機能は使用できません。
 - 外部バーストROMへのアクセス
 - #BUSREQ/#BUSACK信号によるバスリクエスト
 - EDO-DRAMへのアクセス

これらの機能を1つでも使用する必要がある場合は、バスアービタをディセーブルにしてください。同時に使用すると、誤動作します。



図VIII.4.1 バスアービタブロック図

バスアービタの制御

外部SDRAMをVRAMとして使用する場合、LCDCとBCUの双方からSDRAMをアクセスするにはバスアービタをイネーブルにする必要があります。バスアービタをイネーブルにする前に、以下の設定も行ってください。

BCUの設定

バスアービタの制御レジスタはエリア6に割り付けられています。したがって、これらのレジスタにアクセスする前に、BCUレジスタを以下のとおり設定しておく必要があります。

1. A6IO(アクセス制御レジスタ0x48132•D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6WT[2:0](エリア6—設定レジスタ0x4812A•D[A:8])
CPUが48MHzクロックのx2スピードモード、または32MHzクロックのx1スピードモードで動作している場合は、エリア6のウェイト数を0に設定可能です。
3. SWAITE(バスコントロールレジスタ0x4812E•D0) = "1"
#WAIT信号を有効にします。
4. A6EC(アクセス制御レジスタ0x48132•D1) = "0"
エリア6のデータ形式をリトルエンディアンに設定します。
5. AxxRH(リードサイクルホールド時間制御レジスタ0x4813C•D[7:0])
バスアービタを使用し、SDRAM以外の外部デバイス(外部ROM/SRAM、NANDフラッシュ、シーケンシャルROM等)もx1スピードモードでアクセスする場合は、リードサイクルホールド時間制御レジスタ(0x4813C)を、外部デバイスが割り付けられたエリアのアクセス時に1リードホールドサイクルが挿入されるように設定してください。
6. AxxWT[2:0]、AxxDF[1:0](エリアxx設定レジスタ)
バスアービタを使用し、外部デバイス(SDRAM、外部ROM/SRAM、NANDフラッシュ、シーケンシャルROM等)もアクセスする場合は、外部デバイスに対応するエリアxx設定レジスタのウェイトサイクル制御ビット(AxxWT[2:0])と出力ディセーブル遅延サイクル制御ビット(AxxDF[1:0])を適切な値に設定します。(ウェイトサイクル数と出力ディセーブル遅延サイクル数は、動作周波数、バススピードモード、デバイスタイプ(SDRAMまたはその他)に応じた必要最小値以上に設定してください。)
7. エリア6に割り付けられているバスアービタ制御レジスタのアクセスには、"ld.h"または"ld.uh"命令のみ使用可能です。
8. CFP30(P3機能選択レジスタ0x402DC•D0) = "1"
P30ポートを#WAIT機能として設定します。
9. SBUSST(バスコントロールレジスタ0x4812E•D3) = BSLSEL(A0/#BSL選択レジスタ0x300F38•D0)
BCUレジスタのSBUSST(0x4812E•D3)とMiscレジスタのBSLSEL(0x300F38•D0)で同じ外部インタフェース方式を設定してください。
A0/#BSL選択レジスタ(0x300F38)に書き込みを行うには、その前にMiscレジスタの書き込み保護を解除する必要があります。

動作クロックの制御

バスアービタはBCUクロックと同等のsbucclkクロックで動作しますので、バスアービタ用に別途クロックを設定する必要はありません。このクロックはCPUがHALT2またはSLEEPモードになると停止します。また、バスアービタを使用しない場合は、消費電流を抑えるため、ソフトウェアによってバスアービタへのクロック供給を停止することもできます。クロックの供給を停止するには、ARBCKOF(モジュールクロック制御レジスタ0, 0x300F35•D1)を"1"に設定します。イニシャルリセット時、ARBCKOFは"0"に初期化され、バスアービタにはクロックが供給されます。システムが誤動作しますので、バスアービタをイネーブルにしている間は、この制御ビットを"1"には設定しないでください。

クロックシステムの詳細については、"III-17 S1C33L05クロック系とMiscレジスタ"を参照してください。

デフォルトバスマスタの設定

バスアービタは、バスマスタ(BCUまたはLCDC)からのバス要求に応じて、そのバスマスタに外部バスを解放します。バス要求を出しているバスマスタがない場合は、デフォルトバスマスタがバス権を獲得します。デフォルトバスマスタはPARKID[1:0](バスアービタ制御レジスタ0x390000・D[3:2])で選択可能です。

表VIII.4.1 デフォルトバスマスタの設定

PARKID1	PARKID0	バスマスタID
1	1	バスマスタ3 (reserved)
1	0	バスマスタ2 (reserved)
0	1	バスマスタ1 (LCDC)
0	0	バスマスタ0 (BCU)

イニシャルリセット時、バスマスタ0(BCU)がデフォルトバスマスタとして設定されます。

注: CPUをHALT2モードに設定する場合は、halt命令を実行する前に必ずPARKIDを"01"(LCDC)に設定してください。この設定を行わないとシステムが誤動作します。CPUが通常モードに戻った後は、PARKIDを"00"(BCU)にリセットできます。

バスアービタがディセーブルの場合、外部バスはBCUのみにより制御されます。

ウェイトサイクル数の設定

誤動作を防ぐため、外部バス権が他のバスマスタからBCUに移るたびに、その最初のバスサイクルには追加のウェイトサイクルが挿入されます。ここで挿入されるウェイトサイクル数は、ARBWT[3:0](バスアービタウェイト制御レジスタ0x390002・D[3:0])で指定可能です。バススピードモード(x1またはx2スピードモード)により指定値が変わりますので注意してください。

x1スピードモード: ウェイトサイクル数 = ARBWT[3:0] (0~7サイクル)

x2スピードモード: ウェイトサイクル数 = (ARBWT[3:0] + 1) / 2 (0~15サイクル)

表VIII.4.2 ARBWT[3:0]の設定

ウェイト サイクル数	ARBWT[3:0]	
	x1スピードモード	x2スピードモード
0	0	0
1	1	1
2	2	3
3	3	5
4	4	7
5	5	9
6	6	11
7	7	13

バスアービタの起動

前記の条件を設定後、ARBIEN(バスアービタ制御レジスタ0x390000・D0)に"1"を書き込んでバスアービタをイネーブルにします。

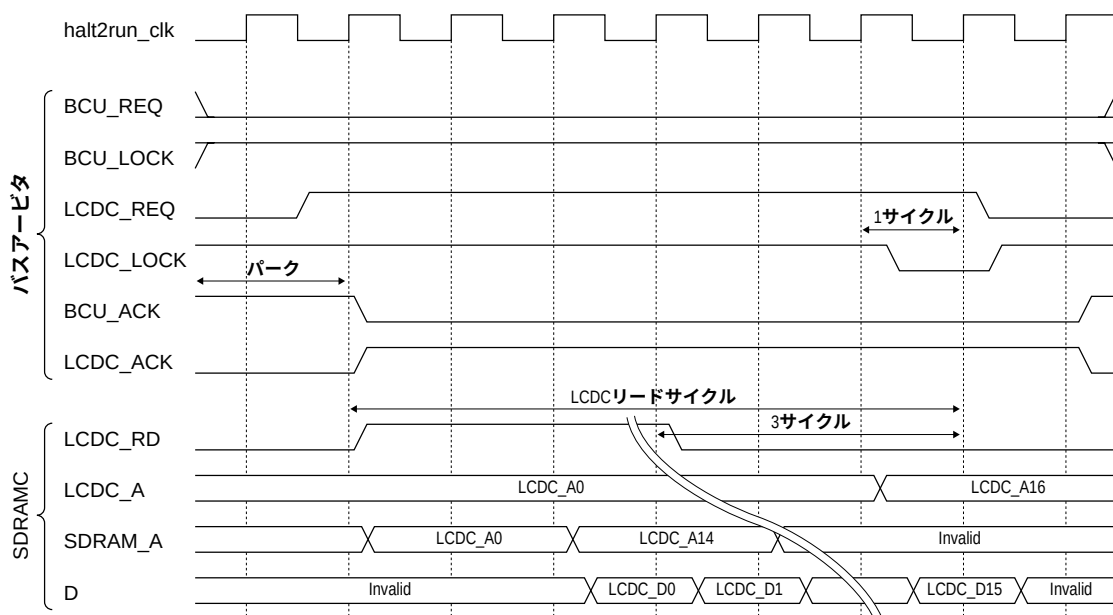
バスアービタがイネーブルに設定されている間は、以下の機能を使用することはできません。

- 外部バーストROMへのアクセス
- #BUSREQ/#BUSACK信号によるバスリクエスト
- EDO-DRAMへのアクセス

これらの機能を1つでも使用する必要がある場合は、バスアービタをディセーブルにしてください。同時に使用すると、誤動作します。

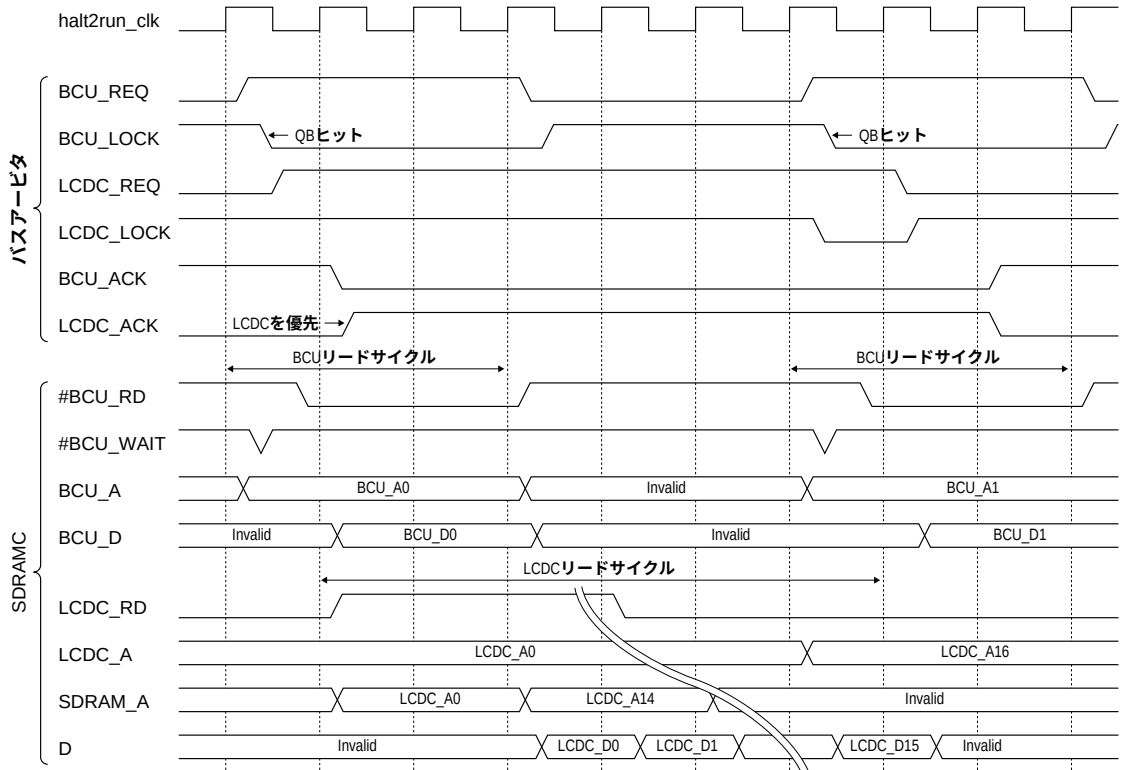
タイミングチャート

■CPUが内部デバイスをアクセスまたはHALTモード時にLCDCがSDRAMからデータを読み出す場合

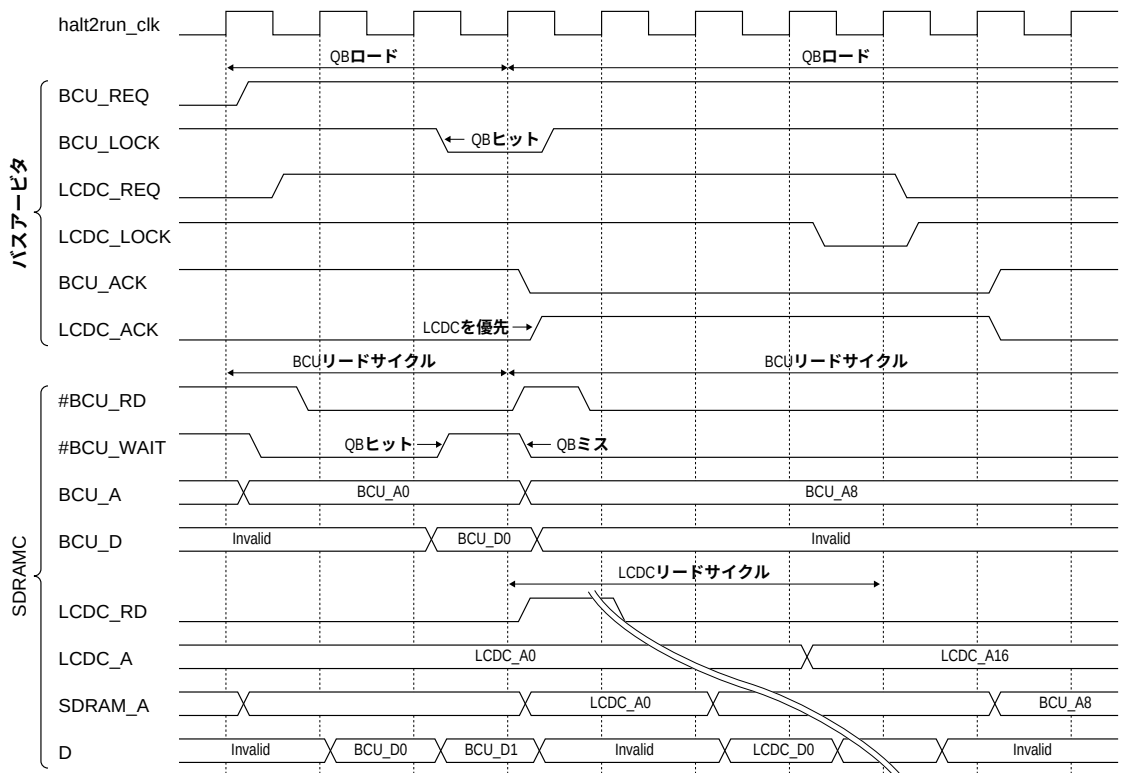


図VIII.4.2 タイミングチャート1(BCU: 待機状態、LCDC: SDRAMリード)

■BCUとLCDCがSDRAMからデータを読み出す場合

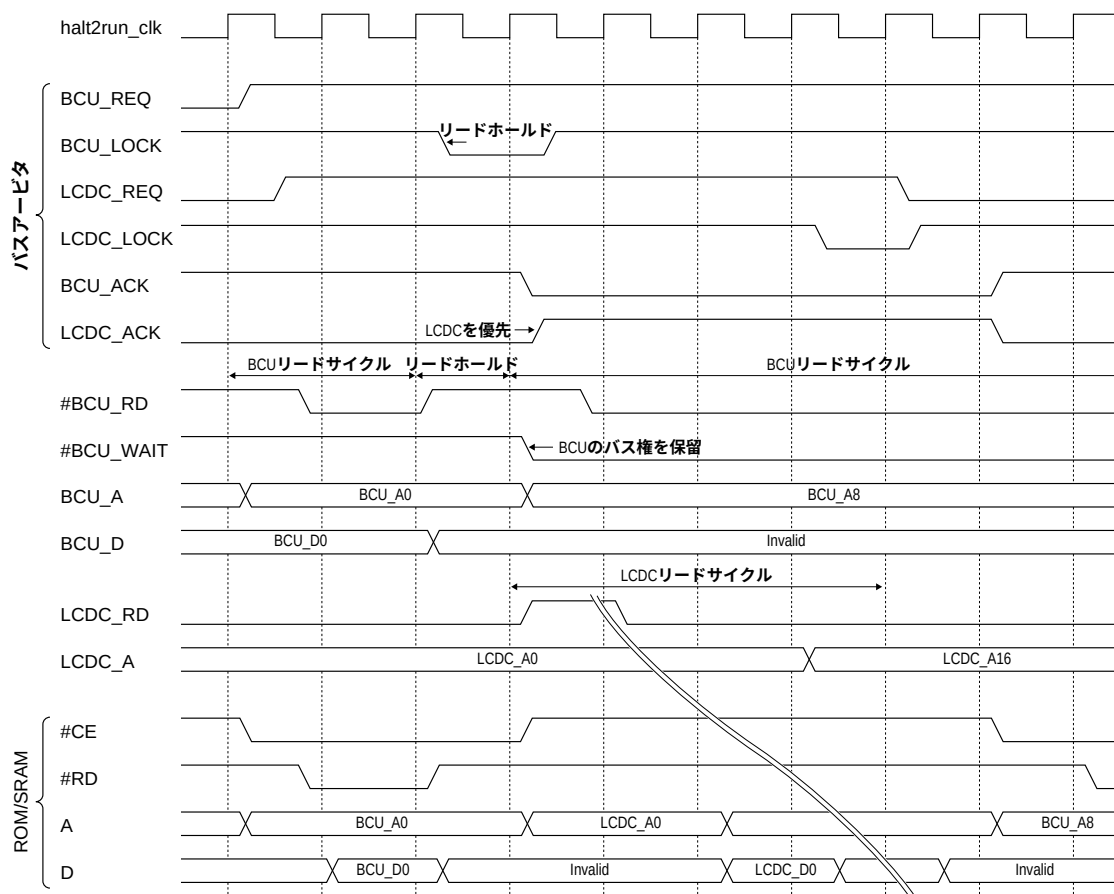


図VIII.4.3 タイミングチャート2(BCU: QBヒット時のSDRAMリード、LCDC: SDRAMリード)



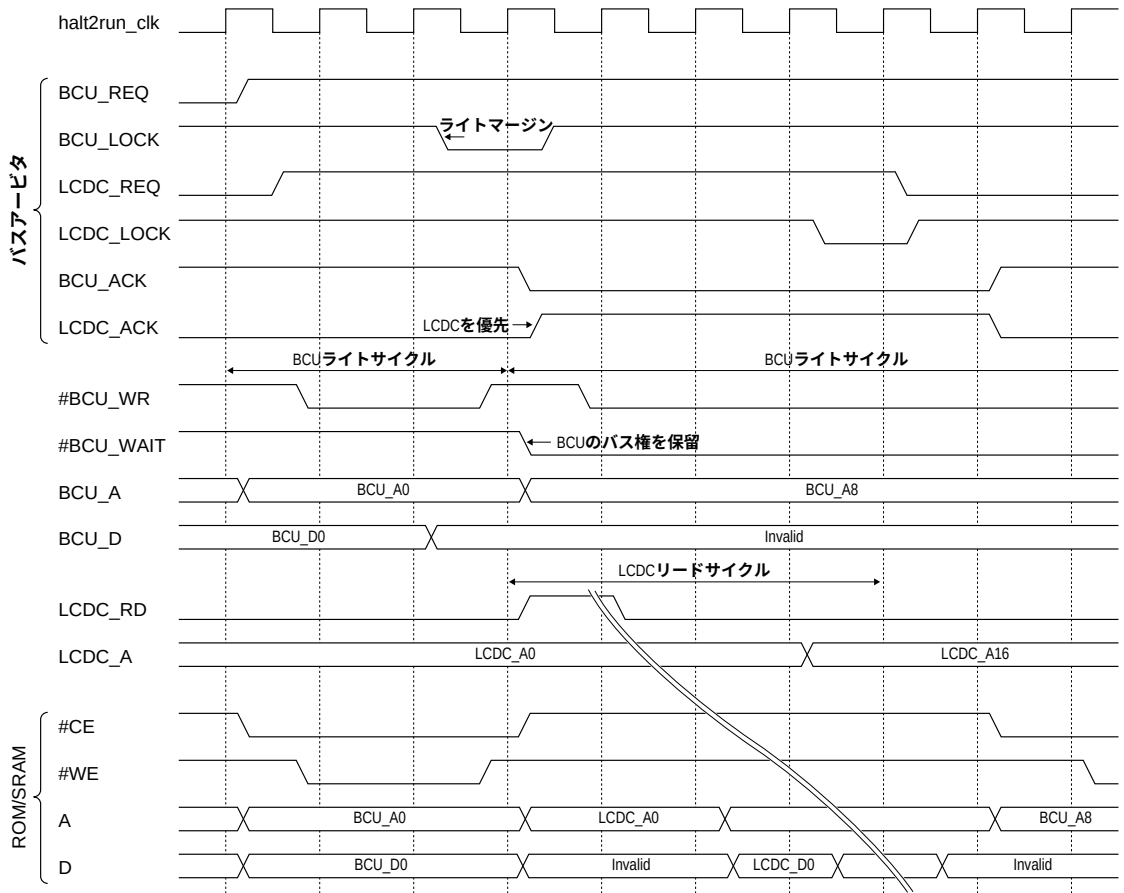
図VIII.4.4 タイミングチャート3(BCU: QBミス時のSDRAMリード、LCDC: SDRAMリード)

■BCUが外部デバイスの読み出し時にLCDCがSDRAMからデータを読み出す場合



図VIII.4.5 タイミングチャート4(BCU: x1スピードモードでの外部デバイスリード、LCDC: SDRAMリード)

■BCUが外部デバイスへの書き込み時にLCDCがSDRAMからデータを読み出す場合



図VIII.4.6 タイミングチャート5(BCU: 外部デバイスへの書き込み、LCDC: SDRAMリード)

バスアービタのI/Oメモリ

表VIII.4.3にバスアービタの制御ビットを示します。

表VIII.4.3 バスアービタの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
バスアービタ 制御レジスタ	0390000 (HW)	DF-4	–	reserved	–	–	–	読み出し時: 0
		D3	PARKID1	デフォルトバスマスタID	PARKID[1:0] バスマスタID 1 1 3 (reserved) 1 0 2 (reserved) 0 1 1 (LCDC) 0 0 0 (BCU)	0	R/W	
		D2	PARKID0					
		D1	–	reserved	–	–	–	読み出し時: 0
		D0	ARBIEN	バスアービタイネーブル	1 有効 0 無効	0	R/W	
バスアービタ ウェイト制御 レジスタ	0390002 (HW)	DF-4	–	reserved	–	–	–	読み出し時: 0
		D3	ARBWT3	バスアービタウェイト制御	0~15	1	R/W	
		D2	ARBWT2					
		D1	ARBWT1					
		D0	ARBWT0					

PARKID1–PARKID0: デフォルトバスマスタID (D[3:2]/0x390000<バスアービタ制御レジスタ>)

どのバスマスタからもバス権の要求が出ていない場合に、外部バス権を獲得するデフォルトバスマスタを設定します。

表VIII.4.4 デフォルトバスマスタの設定

PARKID1	PARKID0	バスマスタID
1	1	バスマスタ3 (reserved)
1	0	バスマスタ2 (reserved)
0	1	バスマスタ1 (LCDC)
0	0	バスマスタ0 (BCU)

PARKIDはバスアービタがイネーブルの場合にのみ有効です。バスアービタがディセーブルの場合、外部バスはマスタ0により管理されます。

イニシャルリセット時、PARKIDは"00"(マスタ0)に設定されます。

ARBIEN: バスアービタイネーブル (D0/0x390000<バスアービタ制御レジスタ>)

バスアービタを有効にします。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

ARBIENを"1"に設定するとバスアービタが有効になり、バスマスタからの外部バス要求の調停を開始します。ARBIENを"0"に設定するとバスアービタは無効となり、動作を停止します。この場合、外部バスはBCUからのみ使用可能となります。

SDRAMをVRAMとして使用する場合は、必ずARBIENを"1"に設定してください。

イニシャルリセット時、ARBIENは"0"(無効)に設定されます。

ARBWT3–ARBWT0: バスアービタウェイト制御 (D[3:0]/0x390002<バスアービタウェイト制御レジスタ>)

BCUの外部バスサイクルに挿入するウェイトサイクル数を指定します。

ARBWTで設定したウェイトサイクルは、外部バス権が他のバスマスタからBCUに移るたびに、その最初のバスサイクルにのみ挿入されます。

バススピードモード(x1またはx2スピードモード)により指定値が変わりますので注意してください。

x1スピードモード: ウェイトサイクル数 = ARBWT[3:0] (0~7サイクル)

x2スピードモード: ウェイトサイクル数 = (ARBWT[3:0] + 1) / 2 (0~15サイクル)

イニシャルリセット時、ARBWTは"0xF"に設定されます。

プログラミング上の注意事項

- (1) バスアービタがイネーブルに設定されている間は、C33 STDコアの以下の機能を使用することはできません。
- 外部バーストROMへのアクセス
 - #BUSREQ/#BUSACK信号によるバスリクエスト
 - EDO-DRAMへのアクセス
- これらの機能を1つでも使用する必要がある場合は、バスアービタをディセーブルにしてください。同時に使用すると、誤動作します。
- (2) BCUの外部バスオペレーションに挿入するウェイト数を指定するARBWTの値は、バススピードモード(x1またはx2スピードモード)により変わりますので注意してください。
- x1スピードモード: ウェイトサイクル数 = $\text{ARBWT}[3:0]$
- x2スピードモード: ウェイトサイクル数 = $(\text{ARBWT}[3:0] + 1) / 2$
- (3) CPUをHALT2モードに設定する場合は、halt命令を実行する前に必ずPARKIDを"01"(LCDC)に設定してください。この設定を行わないとシステムが誤動作します。CPUが通常モードに戻った後は、PARKIDを"00"(BCU)にリセットできます。

このページはブランクです。

S1C33L05 Technical Manual

Appendix

A I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ4/5 クロック選択 レジスタ	0040140 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	P8TPCK5	8bitタイマ5クロック選択	1 0/1 0 分周クロック	0	R/W	0: プリスケール クロック選択レジスタ (0x40181)で選択
		D0	P8TPCK4	8bitタイマ4クロック選択	1 0/1 0 分周クロック	0	R/W	
8bitタイマ4/5 クロック コントロール レジスタ	0040145 (B)	D7	P8TON5	8bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS52	8bitタイマ5	1 1 1 0/256	0	R/W	0: プリスケール クロック選択レジスタ (0x40181)で選択
		D5	P8TS51	クロック分周比選択	1 1 0 0/128	0	R/W	
		D4	P8TS50		1 0 1 0/64	0	R/W	
					1 0 0 0/32			
					0 1 1 0/16			8bitタイマ5は シリアル/F Ch.3の クロックを生成
					0 1 0 0/8			
					0 0 1 0/4			
					0 0 0 0/2			
		D3	P8TON4	8bitタイマ4クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS42	8bitタイマ4	1 1 1 0/4096	0	R/W	0: プリスケール クロック選択レジスタ (0x40181)で選択
		D1	P8TS41	クロック分周比選択	1 1 0 0/2048	0	R/W	
		D0	P8TS40		1 0 1 0/64	0	R/W	
					1 0 0 0/32			
					0 1 1 0/16			8bitタイマ4は シリアル/F Ch.2の クロックを生成
					0 1 0 0/8			
					0 0 1 0/4			
					0 0 0 0/2			
8bitタイマ0-3 クロック選択 レジスタ	0040146 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P8TPCK3	8bitタイマ3クロック選択	1 0/1 0 分周クロック	0	R/W	0: プリスケール クロック選択レジスタ (0x40181)で選択
		D2	P8TPCK2	8bitタイマ2クロック選択	1 0/1 0 分周クロック	0	R/W	
		D1	P8TPCK1	8bitタイマ1クロック選択	1 0/1 0 分周クロック	0	R/W	
		D0	P8TPCK0	8bitタイマ0クロック選択	1 0/1 0 分周クロック	0	R/W	
16bitタイマ0 クロック コントロール レジスタ	0040147 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON0	16bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS02	16bitタイマ0	P16TS0[2:0] 分周比	0	R/W	0: プリスケール クロック選択レジスタ (0x40181)で選択
		D1	P16TS01	クロック分周比選択	1 1 1 0/4096	0		
		D0	P16TS00		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			16bitタイマ0は ウォッチドッグタイ マとして使用可
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ1 クロック コントロール レジスタ	0040148 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON1	16bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS12	16bitタイマ1	P16TS1[2:0] 分周比	0	R/W	0: プリスケール クロック選択レジスタ (0x40181)で選択
		D1	P16TS11	クロック分周比選択	1 1 1 0/4096	0		
		D0	P16TS10		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ2 クロック コントロール レジスタ	0040149 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON2	16bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS22	16bitタイマ2	P16TS2[2:0] 分周比	0	R/W	0: プリスケール クロック選択レジスタ (0x40181)で選択
		D1	P16TS21	クロック分周比選択	1 1 1 0/4096	0		
		D0	P16TS20		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			

[アドレス]の(B)は8ビットレジスタ、(HW)は16ビットレジスタを示しています。

[Init.]のシンボルの意味は次のとおりです。

0, 1: イニシャルリセット時、記載の値に初期化されます。

(ただし、バスと出力ポートのレジスタはホットスタートでは初期化されません。)

X: イニシャルリセットで初期化されません。

—: 回路上設定されません。

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ3 クロック コントロール レジスタ	004014A (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON3	16bitタイマ3クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS32	16bitタイマ3	P16TS3[2:0] 分周比	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択
		D1	P16TS31	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P16TS30		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ4 クロック コントロール レジスタ	004014B (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON4	16bitタイマ4クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS42	16bitタイマ4	P16TS4[2:0] 分周比	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択
		D1	P16TS41	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P16TS40		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ5 クロック コントロール レジスタ	004014C (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON5	16bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS52	16bitタイマ5	P16TS5[2:0] 分周比	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択
		D1	P16TS51	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P16TS50		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
8bitタイマ0/1 クロック コントロール レジスタ	004014D (B)	D7	P8TON1	8bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS12	8bitタイマ1	P8TS1[2:0] 分周比	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択
		D5	P8TS11	クロック分周比選択	1 1 1 θ/4096	0		
		D4	P8TS10		1 1 0 θ/2048	0		
					1 0 1 θ/1024			
					1 0 0 θ/512			
					0 1 1 θ/256			
					0 1 0 θ/128			
					0 0 1 θ/64			
					0 0 0 θ/32			
		D3	P8TON0	8bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS02	8bitタイマ0	P8TS0[2:0] 分周比	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択
		D1	P8TS01	クロック分周比選択	1 1 1 θ/256	0		
		D0	P8TS00		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
8bitタイマ2/3 クロック コントロール レジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1 On	0 Off	0	R/W	θ: プリスケラック ロック選択レジスタ (0x40181)で選択 8bitタイマ3は シリアル/F Ch.1の クロックを生成		
		D6	P8TS32	8bitタイマ3 クロック分周比選択	P8TS3[2:0]		分周比			0	R/W
		D5	P8TS31		1 1 1	θ/256		0			
		D4	P8TS30		1 1 0	θ/128		0			
					1 0 1	θ/64					
					1 0 0	θ/32					
					0 1 1	θ/16					
					0 1 0	θ/8					
					0 0 1	θ/4					
					0 0 0	θ/2					
		D3	P8TON2	8bitタイマ2クロック制御	1 On	0 Off	0	R/W			
		D2	P8TS22	8bitタイマ2 クロック分周比選択	P8TS2[2:0]		分周比			0	R/W
		D1	P8TS21		1 1 1	θ/4096		0			
		D0	P8TS20		1 1 0	θ/2048		0			
					1 0 1	θ/64					
					1 0 0	θ/32					
		0 1 1	θ/16								
		0 1 0	θ/8								
		0 0 1	θ/4								
		0 0 0	θ/2								
A/Dクロック コントロール レジスタ	004014F (B)	D7-4	-	reserved	-		-	-	読み出し時: 0		
		D3	PSONAD	A/D変換器クロック制御	1 On	0 Off	0	R/W	θ: プリスケラックク ロック選択レジスタ (0x40181)で選択		
		D2	PSAD2	A/D変換器クロック分周比選択	PSAD[2:0]		分周比			0	R/W
		D1	PSAD1		1 1 1	θ/256		0			
		D0	PSAD0		1 1 0	θ/128		0			
					1 0 1	θ/64					
					1 0 0	θ/32					
					0 1 1	θ/16					
					0 1 0	θ/8					
					0 0 1	θ/4					
					0 0 0	θ/2					
計時タイマ Run/Stop レジスタ	0040151 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0		
		D1	TCRST	計時タイマリセット	1 リセット	0 無効	X	W			
		D0	TCRUN	計時タイマRun/Stop制御	1 Run	0 Stop	X	R/W			
計時タイマ 割り込み制御 レジスタ	0040152 (B)	D7	TCISE2	計時タイマ割り込み要因選択	TCISE[2:0]	割り込み要因	X	R/W			
		D6	TCISE1		1 1 1	なし	X				
		D5	TCISE0		1 1 0	1日	X				
					1 0 1	1時間					
					1 0 0	1分					
					0 1 1	1Hz					
					0 1 0	2Hz					
					0 0 1	8Hz					
					0 0 0	32Hz					
		D4	TCASE2	計時タイマアラーム要因選択	TCASE[2:0]	アラーム要因	X	R/W			
		D3	TCASE1		1 X X	日アラーム	X				
D2	TCASE0	X 1 X	時間アラーム		X						
		X X 1	分アラーム								
		0 0 0		なし							
D1	TCIF	割り込み要因発生フラグ	1 要因あり	0 要因なし	X	R/W	"1"書き込みでリセット				
D0	TCAF	アラーム要因発生フラグ	1 要因あり	0 要因なし	X	R/W					
計時タイマ 分周レジスタ	0040153 (B)	D7	TCD7	計時タイマデータ 1Hz	1 High	0 Low	X	R			
		D6	TCD6	計時タイマデータ 2Hz	1 High	0 Low	X	R			
		D5	TCD5	計時タイマデータ 4Hz	1 High	0 Low	X	R			
		D4	TCD4	計時タイマデータ 8Hz	1 High	0 Low	X	R			
		D3	TCD3	計時タイマデータ 16Hz	1 High	0 Low	X	R			
		D2	TCD2	計時タイマデータ 32Hz	1 High	0 Low	X	R			
		D1	TCD1	計時タイマデータ 64Hz	1 High	0 Low	X	R			
		D0	TCD0	計時タイマデータ 128Hz	1 High	0 Low	X	R			
計時タイマ 秒レジスタ	0040154 (B)	D7-6	-	reserved	-		-	-	読み出し時: 0		
		D5	TCMD5	計時タイマ秒データ TCMD5 = MSB TCMD0 = LSB	0~59秒		X	R			
		D4	TCMD4				X				
		D3	TCMD3				X				
		D2	TCMD2				X				
		D1	TCMD1				X				
		D0	TCMD0				X				

APP

I/O map

Appendix A I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイマ分レジスタ	0040155 (B)	D7-6	–	reserved	–	–	–	読み出し時: 0
		D5	TCHD5	計時タイマ分データ	0～59分	X	R/W	
		D4	TCHD4	TCHD5 = MSB		X		
		D3	TCHD3	TCHD0 = LSB		X		
		D2	TCHD2			X		
		D1	TCHD1			X		
		D0	TCHD0			X		
計時タイマ時間レジスタ	0040156 (B)	D7-5	–	reserved	–	–	–	読み出し時: 0
		D4	TCDD4	計時タイマ時間データ	0～23時	X	R/W	
		D3	TCDD3	TCDD4 = MSB		X		
		D2	TCDD2	TCDD0 = LSB		X		
		D1	TCDD1			X		
		D0	TCDD0			X		
計時タイマ日(下位)レジスタ	0040157 (B)	D7	TCND7	計時タイマ日データ	0～65535日 (下位8ビット)	X	R/W	
		D6	TCND6	(下位8ビット)		X		
		D5	TCND5	TCND0 = LSB		X		
		D4	TCND4			X		
		D3	TCND3			X		
		D2	TCND2			X		
		D1	TCND1			X		
		D0	TCND0			X		
計時タイマ日(上位)レジスタ	0040158 (B)	D7	TCND15	計時タイマ日データ	0～65535日 (上位8ビット)	X	R/W	
		D6	TCND14	(上位8ビット)		X		
		D5	TCND13	TCND15 = MSB		X		
		D4	TCND12			X		
		D3	TCND11			X		
		D2	TCND10			X		
		D1	TCND9			X		
		D0	TCND8			X		
計時タイマ分比較レジスタ	0040159 (B)	D7-6	–	reserved	–	–	–	読み出し時: 0
		D5	TCCH5	計時タイマ分比較データ	0～59分 (注)0～63を設定可能	X	R/W	
		D4	TCCH4	TCCH5 = MSB		X		
		D3	TCCH3	TCCH0 = LSB		X		
		D2	TCCH2			X		
		D1	TCCH1			X		
		D0	TCCH0			X		
計時タイマ時間比較レジスタ	004015A (B)	D7-5	–	reserved	–	–	–	読み出し時: 0
		D4	TCCD4	計時タイマ時間比較データ	0～23時 (注)0～31を設定可能	X	R/W	
		D3	TCCD3	TCCD4 = MSB		X		
		D2	TCCD2	TCCD0 = LSB		X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイマ日比較レジスタ	004015B (B)	D7-5	–	reserved	–	–	–	読み出し時: 0
		D4	TCCN4	計時タイマ日比較データ	0～31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3	TCCN4 = MSB		X		
		D2	TCCN2	TCCN0 = LSB		X		
		D1	TCCN1			X		
		D0	TCCN0			X		
8bitタイマ0制御レジスタ	0040160 (B)	D7-3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT0	8bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET0	8bitタイマ0プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN0	8bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ0リロードデータレジスタ	0040161 (B)	D7	RLD07	8bitタイマ0	0～255	X	R/W	
		D6	RLD06	リロードデータ		X		
		D5	RLD05	RLD07 = MSB		X		
		D4	RLD04	RLD00 = LSB		X		
		D3	RLD03			X		
		D2	RLD02			X		
		D1	RLD01			X		
		D0	RLD00			X		
8bitタイマ0カウントデータレジスタ	0040162 (B)	D7	PTD07	8bitタイマ0カウントデータ	0～255	X	R	
		D6	PTD06	PTD07 = MSB		X		
		D5	PTD05	PTD00 = LSB		X		
		D4	PTD04			X		
		D3	PTD03			X		
		D2	PTD02			X		
		D1	PTD01			X		
		D0	PTD00			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ1 制御レジスタ	0040164 (B)	D7-3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET1	8bitタイマ1プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1 リロードデータ	0~255	X	R/W	
		D6	RLD16			X		
		D5	RLD15	RLD17 = MSB		X		
		D4	RLD14	RLD10 = LSB		X		
		D3	RLD13			X		
		D2	RLD12			X		
		D1	RLD11			X		
		D0	RLD10			X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0~255	X	R	
		D6	PTD16	PTD17 = MSB		X		
		D5	PTD15	PTD10 = LSB		X		
		D4	PTD14			X		
		D3	PTD13			X		
		D2	PTD12			X		
		D1	PTD11			X		
		D0	PTD10			X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7-3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET2	8bitタイマ2プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2 リロードデータ	0~255	X	R/W	
		D6	RLD26			X		
		D5	RLD25	RLD27 = MSB		X		
		D4	RLD24	RLD20 = LSB		X		
		D3	RLD23			X		
		D2	RLD22			X		
		D1	RLD21			X		
		D0	RLD20			X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0~255	X	R	
		D6	PTD26	PTD27 = MSB		X		
		D5	PTD25	PTD20 = LSB		X		
		D4	PTD24			X		
		D3	PTD23			X		
		D2	PTD22			X		
		D1	PTD21			X		
		D0	PTD20			X		
8bitタイマ3 制御レジスタ	004016C (B)	D7-3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT3	8bitタイマ3クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET3	8bitタイマ3プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ3 リロードデータ レジスタ	004016D (B)	D7	RLD37	8bitタイマ3 リロードデータ	0~255	X	R/W	
		D6	RLD36			X		
		D5	RLD35	RLD37 = MSB		X		
		D4	RLD34	RLD30 = LSB		X		
		D3	RLD33			X		
		D2	RLD32			X		
		D1	RLD31			X		
		D0	RLD30			X		
8bitタイマ3 カウントデータ レジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ	0~255	X	R	
		D6	PTD36	PTD37 = MSB		X		
		D5	PTD35	PTD30 = LSB		X		
		D4	PTD34			X		
		D3	PTD33			X		
		D2	PTD32			X		
		D1	PTD31			X		
		D0	PTD30			X		
ウォッチドッグ タイマ書き込み 保護レジスタ	0040170 (B)	D7	WRWD	EWD書き込み保護	1 書込許可 0 書込禁止	0	R/W	
		D6-0	–	–	–	–	–	読み出し時: 0
ウォッチドッグ タイマイネー ブルレジスタ	0040171 (B)	D7-2	–	–	–	–	–	読み出し時: 0
		D1	EWD	ウォッチドッグタイマイネーブル	1 NMI許可 0 NMI禁止	0	R/W	
		D0	–	–	–	–	–	読み出し時: 0

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈		
8bitタイマ4 制御レジスタ	0040174 (B)	D7-3	-	reserved	-			-	-	読み出し時: 0		
		D2	PTOUT4	8bitタイマ4出力制御	1	On	0	Off	0	R/W		
		D1	PSET4	8bitタイマ4プリセット	1	プリセット	0	無効	-	W	読み出し時: 0	
		D0	PTRUN4	8bitタイマ4 Run/Stop制御	1	Run	0	Stop	0	R/W		
8bitタイマ4 リロードデータ レジスタ	0040175 (B)	D7	RLD47	8bitタイマ4 リロードデータ	0~255			X	R/W			
		D6	RLD46	リロードデータ				X				
		D5	RLD45	RLD47 = MSB				X				
		D4	RLD44	RLD40 = LSB				X				
		D3	RLD43					X				
		D2	RLD42					X				
		D1	RLD41					X				
		D0	RLD40					X				
8bitタイマ4 カウントデータ レジスタ	0040176 (B)	D7	PTD47	8bitタイマ4 カウントデータ	0~255			X	R			
		D6	PTD46	カウントデータ				X				
		D5	PTD45	PTD47 = MSB				X				
		D4	PTD44	PTD40 = LSB				X				
		D3	PTD43					X				
		D2	PTD42					X				
		D1	PTD41					X				
		D0	PTD40					X				
8bitタイマ5 制御レジスタ	0040178 (B)	D7-3	-	reserved	-			-	-	読み出し時: 0		
		D2	PTOUT5	8bitタイマ5出力制御	1	On	0	Off	0	R/W		
		D1	PSET5	8bitタイマ5プリセット	1	プリセット	0	無効	-	W	読み出し時: 0	
		D0	PTRUN5	8bitタイマ5 Run/Stop制御	1	Run	0	Stop	0	R/W		
8bitタイマ5 リロードデータ レジスタ	0040179 (B)	D7	RLD57	8bitタイマ5 リロードデータ	0~255			X	R/W			
		D6	RLD56	リロードデータ				X				
		D5	RLD55	RLD57 = MSB				X				
		D4	RLD54	RLD50 = LSB				X				
		D3	RLD53					X				
		D2	RLD52					X				
		D1	RLD51					X				
		D0	RLD50					X				
8bitタイマ5 カウントデータ レジスタ	004017A (B)	D7	PTD57	8bitタイマ5 カウントデータ	0~255			X	R			
		D6	PTD56	カウントデータ				X				
		D5	PTD55	PTD57 = MSB				X				
		D4	PTD54	PTD50 = LSB				X				
		D3	PTD53					X				
		D2	PTD52					X				
		D1	PTD51					X				
		D0	PTD50					X				
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0]		分周比		0	R/W		
		D6	CLKDT0		1	1	1/8		0			
					1	0	1/4					
					0	1	1/2					
					0	0	1/1					
		D5	PSCON	プリスケアラOn/Off制御	1	On	0	Off	1	R/W		
		D4-3	-	reserved	-					0	-	1書き込み禁止
		D2	CLKCHG	CPU動作クロック切り換え	1	OSC3	0	OSC1	1	R/W		
プリスケアラ クロック選択 レジスタ	0040181 (B)	D7-1	-	reserved	-			0		-		
		D0	PSCDT0	プリスケアラクロック選択	1	OSC1	0	OSC3/PLL	0	R/W		
クロック オプション レジスタ	0040190 (B)	D7-4	-	-	-			-		-	読み出し時: 0	
		D3	HLT2OP	HALTクロックオプション	1	On	0	Off	0	R/W		
		D2	8T1ON	高速(OSC3)発振待ち時間On	1	Off	0	On	1	R/W		
		D1	-	reserved	-					0	-	1書き込み禁止
		D0	PF1ON	OSC1外部出力On/Off制御	1	On	0	Off	0	R/W		
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定			0		R/W		
		D6	CLGP6					0				
		D5	CLGP5					0				
		D4	CLGP4					0				
		D3	CLGP3					0				
		D2	CLGP2					0				
		D1	CLGP1					0				
		D0	CLGP0					0				

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアル/F Ch.0送信データ レジスタ	00401E0 (B)	D7	TXD07	シリアル/F Ch.0 送信データ	0x0~0xFF(0x7F)	X	R/W	調歩同期式7ビット モードの場合、 TXD07は無効
		D6	TXD06			X		
		D5	TXD05	TXD07(06) = MSB		X		
		D4	TXD04	TXD00 = LSB		X		
		D3	TXD03			X		
		D2	TXD02			X		
		D1	TXD01			X		
		D0	TXD00			X		
シリアル/F Ch.0受信データ レジスタ	00401E1 (B)	D7	RXD07	シリアル/F Ch.0 受信データ	0x0~0xFF(0x7F)	X	R	調歩同期式7ビット モードの場合、 RXD07は無効(0固定)
		D6	RXD06			X		
		D5	RXD05	RXD07(06) = MSB		X		
		D4	RXD04	RXD00 = LSB		X		
		D3	RXD03			X		
		D2	RXD02			X		
		D1	RXD01			X		
		D0	RXD00			X		
シリアル/F Ch.0ステータス レジスタ	00401E2 (B)	D7~6	—	—	—	—	—	読み出し時: 0
		D5	TEND0	Ch.0転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER0	Ch.0フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER0	Ch.0パリティエラーフラグ	1 エラー 0 正常	0	R/W	
		D2	OER0	Ch.0オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	
		D1	TDBE0	Ch.0送信データバッファエンティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF0	Ch.0受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアル/F Ch.0制御 レジスタ	00401E3 (B)	D7	TXEN0	Ch.0送信許可	1 許可 0 禁止	0	R/W	調歩同期式モード時 のみ有効
		D6	RXEN0	Ch.0受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR0	Ch.0パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	
		D4	PMD0	Ch.0パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB0	Ch.0ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK0	Ch.0入力クロック選択	1 #SCLK0 0 内部クロック	X	R/W	
		D1	SMD01	Ch.0転送モード選択	SMD0[1:0]		X	R/W
		D0	SMD00		1 1	調歩同期式8bit	X	
					1 0	調歩同期式7bit		
					0 1	クロック同期スレーブ クロック同期マスタ		
シリアル/F Ch.0 IrDA レジスタ	00401E4 (B)	D7~5	—	—	—	—	—	読み出し時: 0
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時 のみ有効
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD01	Ch.0インタフェースモード 選択	IRMD0[1:0]		X	R/W
		D0	IRMD00		1 1	reserved	X	
					1 0	IrDA 1.0		
					0 1	reserved		
シリアル/F Ch.1送信データ レジスタ	00401E5 (B)	D7	TXD17	シリアル/F Ch.1 送信データ	0x0~0xFF(0x7F)	X	R/W	調歩同期式7ビット モードの場合、 TXD17は無効
		D6	TXD16			X		
		D5	TXD15	TXD17(16) = MSB		X		
		D4	TXD14	TXD10 = LSB		X		
		D3	TXD13			X		
		D2	TXD12			X		
		D1	TXD11			X		
		D0	TXD10			X		
シリアル/F Ch.1受信データ レジスタ	00401E6 (B)	D7	RXD17	シリアル/F Ch.1 受信データ	0x0~0xFF(0x7F)	X	R	調歩同期式7ビット モードの場合、 RXD17は無効(0固定)
		D6	RXD16			X		
		D5	RXD15	RXD17(16) = MSB		X		
		D4	RXD14	RXD10 = LSB		X		
		D3	RXD13			X		
		D2	RXD12			X		
		D1	RXD11			X		
		D0	RXD10			X		
シリアル/F Ch.1ステータス レジスタ	00401E7 (B)	D7~6	—	—	—	—	—	読み出し時: 0
		D5	TEND1	Ch.1転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER1	Ch.1フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER1	Ch.1パリティエラーフラグ	1 エラー 0 正常	0	R/W	
		D2	OER1	Ch.1オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	
		D1	TDBE1	Ch.1送信データバッファエンティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF1	Ch.1受信データバッファフル	1 バッファフル 0 エンプティ	0	R	

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈		
シリアルI/F Ch.1制御 レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1	許可	0	禁止	0	R/W	調歩同期式モード時のみ有効	
		D6	RXEN1	Ch.1受信許可	1	許可	0	禁止	0	R/W		
		D5	EPR1	Ch.1パリティイネーブル	1	パリティ付	0	パリティなし	X	R/W		
		D4	PMD1	Ch.1パリティモード選択	1	奇数	0	偶数	X	R/W		
		D3	STPB1	Ch.1ストップビット選択	1	2bit	0	1bit	X	R/W		
		D2	SSCK1	Ch.1入力クロック選択	1	#SCLK1	0	内部クロック	X	R/W		
		D1	SMD11	Ch.1転送モード選択	SMD1[1:0]		転送モード			X		R/W
		D0	SMD10		1	1	調歩同期式8bit			X		
					1	0	調歩同期式7bit					
0	1				クロック同期スレーブ							
0	0	クロック同期マスタ										
シリアルI/F Ch.1 IrDA レジスタ	00401E9 (B)	D7-5	-	-	-			-	-	読み出し時: 0		
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1	1/8	0	1/16	X	R/W	調歩同期式モード時のみ有効	
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1	反転	0	反転なし	X	R/W		
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1	反転	0	反転なし	X	R/W		
		D1	IRMD11	Ch.1インタフェースモード 選択	IRMD1[1:0]		I/Fモード			X	R/W	
		D0	IRMD10		1	1	reserved			X		
					1	0	IrDA 1.0					
					0	1	reserved					
		0	0	通常のI/F								
シリアルI/F Ch.2送信データ レジスタ	00401F0 (B)	D7	TXD27	シリアルI/F Ch.2 送信データ TXD27(26) = MSB TXD20 = LSB	0x0~0xFF(0x7F)			X	R/W			
		D6	TXD26					X				
		D5	TXD25					X				
		D4	TXD24					X				
		D3	TXD23					X				
		D2	TXD22					X				
		D1	TXD21					X				
		D0	TXD20					X				
		シリアルI/F Ch.2受信データ レジスタ	00401F1 (B)					D7	RXD27		シリアルI/F Ch.2 受信データ RXD27(26) = MSB RXD20 = LSB	0x0~0xFF(0x7F)
D6	RXD26			X								
D5	RXD25			X								
D4	RXD24			X								
D3	RXD23			X								
D2	RXD22			X								
D1	RXD21			X								
D0	RXD20			X								
シリアルI/F Ch.2ステータス レジスタ	00401F2 (B)			D7-6	-	reserved	-			-		
		D5	TEND2	Ch.2転送終了フラグ	1	転送中	0	終了	0	R	0書き込みでクリア	
		D4	FER2	Ch.2フレーミングエラーフラグ	1	エラー	0	正常	0	R/W		
		D3	PER2	Ch.2パリティエラーフラグ	1	エラー	0	正常	0	R/W		
		D2	OER2	Ch.2オーバーランエラーフラグ	1	エラー	0	正常	0	R/W		
		D1	TDBE2	Ch.2送信データバッファエンプティ	1	エンプティ	0	バッファフル	1	R		
		D0	RDBF2	Ch.2受信データバッファフル	1	バッファフル	0	エンプティ	0	R		
		シリアルI/F Ch.2制御 レジスタ	00401F3 (B)	D7	TXEN2	Ch.2送信許可	1	許可	0	禁止		0
D6	RXEN2			Ch.2受信許可	1	許可	0	禁止	0	R/W		
D5	EPR2			Ch.2パリティイネーブル	1	パリティ付	0	パリティなし	X	R/W		
D4	PMD2			Ch.2パリティモード選択	1	奇数	0	偶数	X	R/W		
D3	STPB2			Ch.2ストップビット選択	1	2bit	0	1bit	X	R/W		
D2	SSCK2			Ch.2入力クロック選択	1	#SCLK2	0	内部クロック	X	R/W		
D1	SMD21			Ch.2転送モード選択	SMD2[1:0]		転送モード			X		R/W
D0	SMD20				1	1	調歩同期式8bit			X		
					1	0	調歩同期式7bit					
					0	1	クロック同期スレーブ					
					0	0	クロック同期マスタ					
シリアルI/F Ch.2 IrDA レジスタ	00401F4 (B)	D7-5	-	reserved	-			-	-	読み出し時: 0		
		D4	DIVMD2	Ch.2調歩同期クロック分周比	1	1/8	0	1/16	X	R/W	調歩同期式モード時のみ有効	
		D3	IRTL2	Ch.2 IrDA I/F出力論理反転	1	反転	0	反転なし	X	R/W		
		D2	IRRL2	Ch.2 IrDA I/F入力論理反転	1	反転	0	反転なし	X	R/W		
		D1	IRMD21	Ch.2インタフェースモード 選択	IRMD2[1:0]		I/Fモード					
		D0	IRMD20		1	1	reserved				X	
					1	0	IrDA 1.0					
					0	1	reserved					
		0	0	通常のI/F								

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈		
シリアルI/F Ch.3送信データ レジスタ	00401F5 (B)	D7	TXD37	シリアルI/F Ch.3 送信データ TXD37(36) = MSB TXD30 = LSB	0x0~0xFF(0x7F)			X	R/W			
		D6	TXD36					X				
		D5	TXD35					X				
		D4	TXD34					X				
		D3	TXD33					X				
		D2	TXD32					X				
		D1	TXD31					X				
		D0	TXD30					X				
シリアルI/F Ch.3受信データ レジスタ	00401F6 (B)	D7	RXD37	シリアルI/F Ch.3 受信データ RXD37(36) = MSB RXD30 = LSB	0x0~0xFF(0x7F)			X	R			
		D6	RXD36					X				
		D5	RXD35					X				
		D4	RXD34					X				
		D3	RXD33					X				
		D2	RXD32					X				
		D1	RXD31					X				
		D0	RXD30					X				
シリアルI/F Ch.3ステータス レジスタ	00401F7 (B)	D7-6	—	reserved	—			—	—	読み出し時: 0		
		D5	TEND3	Ch.3転送終了フラグ	1 転送中	0 終了	0	R	0書き込みでクリア			
		D4	FER3	Ch.3フレーミングエラーフラグ	1 エラー	0 正常	0	R/W				
		D3	PER3	Ch.3パリティエラーフラグ	1 エラー	0 正常	0	R/W				
		D2	OER3	Ch.3オーバーランエラーフラグ	1 エラー	0 正常	0	R/W				
		D1	TDBE3	Ch.3送信データバッファエンプティ	1 エンプティ	0 バッファフル	1	R				
		D0	RDBF3	Ch.3受信データバッファフル	1 バッファフル	0 エンプティ	0	R				
		シリアルI/F Ch.3制御 レジスタ	00401F8 (B)	D7	TXEN3	Ch.3送信許可	1 許可	0 禁止	0	R/W	調歩同期式モード時のみ有効	
D6	RXEN3			Ch.3受信許可	1 許可	0 禁止	0	R/W				
D5	EPR3			Ch.3パリティイネーブル	1 パリティ付	0 パリティなし	X	R/W				
D4	PMD3			Ch.3パリティモード選択	1 奇数	0 偶数	X	R/W				
D3	STPB3			Ch.3ストップビット選択	1 2bit	0 1bit	X	R/W				
D2	SSCK3			Ch.3入力クロック選択	1 #SCLK3	0 内部クロック	X	R/W				
D1	SMD31			Ch.3転送モード選択	SMD3[1:0]		転送モード		X	R/W		
D0	SMD30				1	1	調歩同期式8bit					
					1	0	調歩同期式7bit					
					0	1	クロック同期スレーブ					
0	0	クロック同期マスタ										
シリアルI/F Ch.3 IrDA レジスタ	00401F9 (B)	D7-5	—	reserved	—			—	—	読み出し時: 0		
		D4	DIVMD3	Ch.3調歩同期クロック分周比	1 1/8	0 1/16	X	R/W	調歩同期式モード時のみ有効			
		D3	IRTL3	Ch.3 IrDA I/F出力論理反転	1 反転	0 反転なし	X	R/W				
		D2	IRRL3	Ch.3 IrDA I/F入力論理反転	1 反転	0 反転なし	X	R/W				
		D1	IRMD31	Ch.3インタフェースモード 選択	IRMD3[1:0]		I/Fモード			X	R/W	
		D0	IRMD30		1	1	reserved					
A/D変換結果 (下位)レジスタ	0040240 (B)	D7	ADD7	A/D変換結果(下位8ビット) ADD0 = LSB	0x0~0x3FF (下位8ビット)			0	R			
		D6	ADD6					0				
		D5	ADD5					0				
		D4	ADD4					0				
		D3	ADD3					0				
		D2	ADD2					0				
		D1	ADD1					0				
		D0	ADD0					0				
A/D変換結果 (上位)レジスタ	0040241 (B)	D7-2	—	reserved	—			—	—	読み出し時: 0		
		D1	ADD9	A/D変換結果(上位2ビット) ADD9 = MSB	0x0~0x3FF (上位2ビット)			0	R			
		D0	ADD8					0				
A/Dトリガ レジスタ	0040242 (B)	D7-6	—	—	—			—	—	読み出し時: 0		
		D5	MS	A/D変換モード選択	1 連続モード	0 通常モード	0	R/W				
		D4	TS1	A/D変換トリガ選択	TS[1:0]		トリガ			0	R/W	
					D3	TS0	1	1		#ADTRG端子		
							1	0		8bitタイマ0		
							0	1		16bitタイマ0		
		0	0	ソフトウェア								
		D2	CH2	A/D変換中チャネルステータス	CH[2:0]		チャネル		0	R		
		D1	CH1		1	1	1	AD7	0			
		D0	CH0		1	1	0	AD6	0			
					1	0	1	AD5				
					1	0	0	AD4				
					0	1	1	AD3				
					0	1	0	AD2				
					0	0	1	AD1				
					0	0	0	AD0				

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
A/Dチャンネル レジスタ	0040243 (B)	D7-6	-	-	-		-	-	読み出し時: 0		
		D5	CE2	A/D変換終了チャンネル設定	CE[2:0]		終了チャンネル	0	R/W		
		D4	CE1		1	1	1	AD7			0
		D3	CE0		1	1	0	AD6			0
					1	0	1	AD5			0
					1	0	0	AD4			
					0	1	1	AD3			
					0	1	0	AD2			
					0	0	1	AD1			
					0	0	0	AD0			
					D2	CS2	A/D変換開始チャンネル設定	CS[2:0]			開始チャンネル
		D1	CS1	1	1	1		AD7	0		
		D0	CS0	1	1	0		AD6	0		
				1	0	1		AD5			
				1	0	0		AD4			
				0	1	1		AD3			
				0	1	0		AD2			
				0	0	1		AD1			
				0	0	0		AD0			
				A/Dイネーブル レジスタ	0040244 (B)	D7		-	reserved		-
D6	INTMODE	割り込み信号モード	1			変換終了のみ	0	両方OR	0		R/W
D5	CMPINTEN	上下限割り込みイネーブル	1			有効	0	無効	0	R/W	
D4	CNVINTEN	変換終了割り込みイネーブル	1			有効	0	無効	1	R/W	ADD読み出しでクリア
D3	ADF	変換終了フラグ	1			変換終了	0	変換/待機中	0	R	
D2	ADE	A/Dイネーブル	1			許可	0	禁止	0	R/W	
D1	ADST	A/D変換制御/ステータス	1			開始/変換中	0	停止	0	R/W	
D0	OWE	オーバーライトエラーフラグ	1			エラー	0	正常	0	R/W	0書き込みでクリア
A/Dサンプリング レジスタ	0040245 (B)	D7	ADCMPPE	上限値/下限値比較イネーブル	1	許可	0	禁止	0	R/W	ADCADV="1"の場合 に使用可能
		D6	ADCMP2	上限値/下限値比較チャンネル設定	0~7				0	R/W	
		D5	ADCMP1		0						
		D4	ADCMP0		0						
		D3	ADUPRST	上限値比較ステータス	1	上限オーバー	0	範囲内	0	R	9クロックで使用して ください
		D2	ADLWRST	下限値比較ステータス	1	下限アンダー	0	範囲内	0	R	
		D1	ST1	入力サンプリング時間設定	ST[1:0]		サンプリング時間		1	R/W	
		D0	ST0		1	1	9クロック		1		
					1	0	7クロック				
					0	1	5クロック				
0	0			3クロック							
A/D変換終了 フラグレジスタ	0040246 (B)	D7	ADF7	Ch.7変換終了フラグ	1	変換終了	0	変換/待機中	0	R	ADCADV="1"の場合 に使用可能
		D6	ADF6	Ch.6変換終了フラグ					0	R	
		D5	ADF5	Ch.5変換終了フラグ					0	R	ADBUFx読み出しで クリア
		D4	ADF4	Ch.4変換終了フラグ					0	R	
		D3	ADF3	Ch.3変換終了フラグ					0	R	
		D2	ADF2	Ch.2変換終了フラグ					0	R	
		D1	ADF1	Ch.1変換終了フラグ					0	R	
		D0	ADF0	Ch.0変換終了フラグ					0	R	
A/Dオーバー ライトエラー フラグレジスタ	0040247 (B)	D7	OWE7	Ch.7オーバーライトエラーフラグ	1	エラー	0	正常	0	R/W	ADCADV="1"の場合 に使用可能
		D6	OWE6	Ch.6オーバーライトエラーフラグ					0	R/W	
		D5	OWE5	Ch.5オーバーライトエラーフラグ					0	R/W	0書き込みでクリア
		D4	OWE4	Ch.4オーバーライトエラーフラグ					0	R/W	
		D3	OWE3	Ch.3オーバーライトエラーフラグ					0	R/W	
		D2	OWE2	Ch.2オーバーライトエラーフラグ					0	R/W	
		D1	OWE1	Ch.1オーバーライトエラーフラグ					0	R/W	
		D0	OWE0	Ch.0オーバーライトエラーフラグ					0	R/W	
A/D Ch.0 変換結果(下位) バッファ	0040248 (B)	D7	AD0BUF7	A/D Ch.0変換結果(下位8ビット) AD0BUF0 = LSB	0x0~0x3FF (下位8ビット)				0	R	ADCADV="1"の場合 に使用可能
		D6	AD0BUF6		0						
		D5	AD0BUF5		0						
		D4	AD0BUF4		0						
		D3	AD0BUF3		0						
		D2	AD0BUF2		0						
		D1	AD0BUF1		0						
		D0	AD0BUF0		0						
A/D Ch.0 変換結果(上位) バッファ	0040249 (B)	D7-2	-	reserved	-				-	-	読み出し時: 0
		D1	AD0BUF9	A/D Ch.0変換結果(上位2ビット) AD0BUF9 = MSB	0x0~0x3FF (上位2ビット)				0	R	ADCADV="1"の場合 に使用可能
		D0	AD0BUF8		0						

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
A/D Ch.1 変換結果(下位) バッファ	004024A (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD1BUF7 AD1BUF6 AD1BUF5 AD1BUF4 AD1BUF3 AD1BUF2 AD1BUF1 AD1BUF0	A/D Ch.1変換結果(下位8ビット) AD1BUF0 = LSB	0x0~0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.1 変換結果(上位) バッファ	004024B (B)	D7-2 D1 D0	- AD1BUF9 AD1BUF8	reserved A/D Ch.1変換結果(上位2ビット) AD1BUF9 = MSB	- 0x0~0x3FF (上位2ビット)	- 0 0	- R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.2 変換結果(下位) バッファ	004024C (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD2BUF7 AD2BUF6 AD2BUF5 AD2BUF4 AD2BUF3 AD2BUF2 AD2BUF1 AD2BUF0	A/D Ch.2変換結果(下位8ビット) AD2BUF0 = LSB	0x0~0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.2 変換結果(上位) バッファ	004024D (B)	D7-2 D1 D0	- AD2BUF9 AD2BUF8	reserved A/D Ch.2変換結果(上位2ビット) AD2BUF9 = MSB	- 0x0~0x3FF (上位2ビット)	- 0 0	- R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.3 変換結果(下位) バッファ	004024E (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD3BUF7 AD3BUF6 AD3BUF5 AD3BUF4 AD3BUF3 AD3BUF2 AD3BUF1 AD3BUF0	A/D Ch.3変換結果(下位8ビット) AD3BUF0 = LSB	0x0~0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.3 変換結果(上位) バッファ	004024F (B)	D7-2 D1 D0	- AD3BUF9 AD3BUF8	reserved A/D Ch.3変換結果(上位2ビット) AD3BUF9 = MSB	- 0x0~0x3FF (上位2ビット)	- 0 0	- R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.4 変換結果(下位) バッファ	0040250 (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD4BUF7 AD4BUF6 AD4BUF5 AD4BUF4 AD4BUF3 AD4BUF2 AD4BUF1 AD4BUF0	A/D Ch.4変換結果(下位8ビット) AD4BUF0 = LSB	0x0~0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.4 変換結果(上位) バッファ	0040251 (B)	D7-2 D1 D0	- AD4BUF9 AD4BUF8	reserved A/D Ch.4変換結果(上位2ビット) AD4BUF9 = MSB	- 0x0~0x3FF (上位2ビット)	- 0 0	- R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.5 変換結果(下位) バッファ	0040252 (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD5BUF7 AD5BUF6 AD5BUF5 AD5BUF4 AD5BUF3 AD5BUF2 AD5BUF1 AD5BUF0	A/D Ch.5変換結果(下位8ビット) AD5BUF0 = LSB	0x0~0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.5 変換結果(上位) バッファ	0040253 (B)	D7-2 D1 D0	- AD5BUF9 AD5BUF8	reserved A/D Ch.5変換結果(上位2ビット) AD5BUF9 = MSB	- 0x0~0x3FF (上位2ビット)	- 0 0	- R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.6 変換結果(下位) バッファ	0040254 (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD6BUF7 AD6BUF6 AD6BUF5 AD6BUF4 AD6BUF3 AD6BUF2 AD6BUF1 AD6BUF0	A/D Ch.6変換結果(下位8ビット) AD6BUF0 = LSB	0x0~0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.6 変換結果(上位) バッファ	0040255 (B)	D7-2 D1 D0	- AD6BUF9 AD6BUF8	reserved A/D Ch.6変換結果(上位2ビット) AD6BUF9 = MSB	- 0x0~0x3FF (上位2ビット)	- 0 0	- R	読み出し時: 0 ADCADV="1"の場合 に使用可能

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈																																																																																																																																																																																																																																																																																																														
A/D Ch.7 変換結果(下位) バッファ	0040256 (B)	D7	AD7BUF7	A/D Ch.7変換結果(下位8ビット) AD7BUF0 = LSB	0x0～0x3FF (下位8ビット)		0	R	ADCADV="1"の場合 に使用可能																																																																																																																																																																																																																																																																																																														
		D6	AD7BUF6				0																																																																																																																																																																																																																																																																																																																
		D5	AD7BUF5				0																																																																																																																																																																																																																																																																																																																
		D4	AD7BUF4				0																																																																																																																																																																																																																																																																																																																
		D3	AD7BUF3				0																																																																																																																																																																																																																																																																																																																
		D2	AD7BUF2				0																																																																																																																																																																																																																																																																																																																
		D1	AD7BUF1				0																																																																																																																																																																																																																																																																																																																
		D0	AD7BUF0				0																																																																																																																																																																																																																																																																																																																
		A/D Ch.7 変換結果(上位) バッファ	0040257 (B)				D7-2			—	reserved	—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																							
D1	AD7BUF9			A/D Ch.7変換結果(上位2ビット)	0x0～0x3FF (上位2ビット)	0	R	ADCADV="1"の場合 に使用可能																																																																																																																																																																																																																																																																																																															
D0	AD7BUF8			AD7BUF9 = MSB		0			A/D変換上限値 (下位)レジスタ	0040258 (B)	D7	ADUPR7	A/D変換上限値(下位8ビット) ADUPR0 = LSB	0x0～0x3FF (下位8ビット)		0	R/W	ADCADV="1"の場合 に使用可能	D6	ADUPR6	0	D5	ADUPR5	0	D4	ADUPR4	0	D3	ADUPR3	0	D2	ADUPR2	0	D1	ADUPR1	0	D0	ADUPR0	0	A/D変換上限値 (上位)レジスタ	0040259 (B)	D7-2	—	reserved	—		—	—	読み出し時: 0	D1	ADUPR9	A/D変換上限値(上位2ビット)	0x0～0x3FF (上位2ビット)	0	R/W	ADCADV="1"の場合 に使用可能	D0	ADUPR8	ADUPR9 = MSB		0	A/D変換下限値 (下位)レジスタ	004025A (B)	D7	ADLWR7	A/D変換下限値(下位8ビット) ADLWR0 = LSB	0x0～0x3FF (下位8ビット)		0	R/W	ADCADV="1"の場合 に使用可能	D6	ADLWR6	0	D5	ADLWR5	0	D4	ADLWR4	0	D3	ADLWR3	0	D2	ADLWR2	0	D1	ADLWR1	0	D0	ADLWR0	0	A/D変換下限値 (上位)レジスタ	004025B (B)	D7-2	—	reserved	—		—	—	読み出し時: 0	D1	ADLWR9	A/D変換下限値(上位2ビット)	0x0～0x3FF (上位2ビット)	0	R/W	ADCADV="1"の場合 に使用可能	D0	ADLWR8	ADLWR9 = MSB		0	A/D変換終了 割り込みマスク レジスタ	004025C (B)	D7	INTMASK7	Ch.7変換終了割り込みマスク	1 割り込み 有効	0 割り込み マスク	1	R/W	ADCADV="1"の場合 に使用可能	D6	INTMASK6	Ch.6変換終了割り込みマスク	1	R/W	D5	INTMASK5	Ch.5変換終了割り込みマスク	1	R/W	D4	INTMASK4	Ch.4変換終了割り込みマスク	1	R/W	D3	INTMASK3	Ch.3変換終了割り込みマスク	1	R/W	D2	INTMASK2	Ch.2変換終了割り込みマスク	1	R/W	D1	INTMASK1	Ch.1変換終了割り込みマスク	1	R/W	D0	INTMASK0	Ch.0変換終了割り込みマスク	1	R/W	A/D変換器 モード選択 レジスタ	004025F (B)	D7-1	—	reserved	—		—	—	読み出し時: 0	D0	ADCADV	33209互換モード/機能拡張モード 選択	1 機能拡張 モード	0 33209互換 モード	0	R/W		ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PP1L2	ポート入力1 割り込みレベル	0～7		X	R/W		D5	PP1L1	X	D4	PP1L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PP0L2	ポート入力0 割り込みレベル	0～7		X	R/W		D1	PP0L1	X	D0	PP0L0	X	ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PP3L2	ポート入力3 割り込みレベル	0～7		X	R/W		D5	PP3L1	X	D4	PP3L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PP2L2	ポート入力2 割り込みレベル	0～7		X	R/W		D1	PP2L1	X	D0	PP2L0	X	キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PK1L2	キー入力1 割り込みレベル	0～7		X	R/W		D5	PK1L1	X	D4	PK1L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PK0L2	キー入力0 割り込みレベル	0～7		X	R/W		D1	PK0L1
A/D変換上限値 (下位)レジスタ	0040258 (B)	D7	ADUPR7	A/D変換上限値(下位8ビット) ADUPR0 = LSB	0x0～0x3FF (下位8ビット)		0	R/W			ADCADV="1"の場合 に使用可能																																																																																																																																																																																																																																																																																																												
		D6	ADUPR6				0																																																																																																																																																																																																																																																																																																																
		D5	ADUPR5				0																																																																																																																																																																																																																																																																																																																
		D4	ADUPR4				0																																																																																																																																																																																																																																																																																																																
		D3	ADUPR3				0																																																																																																																																																																																																																																																																																																																
		D2	ADUPR2				0																																																																																																																																																																																																																																																																																																																
		D1	ADUPR1				0																																																																																																																																																																																																																																																																																																																
		D0	ADUPR0				0																																																																																																																																																																																																																																																																																																																
		A/D変換上限値 (上位)レジスタ	0040259 (B)				D7-2		—	reserved		—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																							
D1	ADUPR9			A/D変換上限値(上位2ビット)	0x0～0x3FF (上位2ビット)	0	R/W	ADCADV="1"の場合 に使用可能																																																																																																																																																																																																																																																																																																															
D0	ADUPR8			ADUPR9 = MSB		0			A/D変換下限値 (下位)レジスタ	004025A (B)	D7	ADLWR7	A/D変換下限値(下位8ビット) ADLWR0 = LSB	0x0～0x3FF (下位8ビット)		0	R/W	ADCADV="1"の場合 に使用可能	D6	ADLWR6	0	D5	ADLWR5	0	D4	ADLWR4	0	D3	ADLWR3	0	D2	ADLWR2	0	D1	ADLWR1	0	D0	ADLWR0	0	A/D変換下限値 (上位)レジスタ	004025B (B)	D7-2	—	reserved	—		—	—	読み出し時: 0	D1	ADLWR9	A/D変換下限値(上位2ビット)	0x0～0x3FF (上位2ビット)	0	R/W	ADCADV="1"の場合 に使用可能	D0	ADLWR8	ADLWR9 = MSB		0	A/D変換終了 割り込みマスク レジスタ	004025C (B)	D7	INTMASK7	Ch.7変換終了割り込みマスク	1 割り込み 有効	0 割り込み マスク	1	R/W	ADCADV="1"の場合 に使用可能	D6	INTMASK6	Ch.6変換終了割り込みマスク	1	R/W	D5	INTMASK5	Ch.5変換終了割り込みマスク	1	R/W	D4	INTMASK4	Ch.4変換終了割り込みマスク	1	R/W	D3	INTMASK3	Ch.3変換終了割り込みマスク	1	R/W	D2	INTMASK2	Ch.2変換終了割り込みマスク	1	R/W	D1	INTMASK1	Ch.1変換終了割り込みマスク	1	R/W	D0	INTMASK0	Ch.0変換終了割り込みマスク	1	R/W	A/D変換器 モード選択 レジスタ	004025F (B)	D7-1	—	reserved	—		—	—	読み出し時: 0	D0	ADCADV	33209互換モード/機能拡張モード 選択	1 機能拡張 モード	0 33209互換 モード	0	R/W		ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PP1L2	ポート入力1 割り込みレベル	0～7		X	R/W		D5	PP1L1	X	D4	PP1L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PP0L2	ポート入力0 割り込みレベル	0～7		X	R/W		D1	PP0L1	X	D0	PP0L0	X	ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PP3L2	ポート入力3 割り込みレベル	0～7		X	R/W		D5	PP3L1	X	D4	PP3L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PP2L2	ポート入力2 割り込みレベル	0～7		X	R/W		D1	PP2L1	X	D0	PP2L0	X	キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PK1L2	キー入力1 割り込みレベル	0～7		X	R/W		D5	PK1L1	X	D4	PK1L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PK0L2	キー入力0 割り込みレベル	0～7		X	R/W		D1	PK0L1	X	D0	PK0L0	X																																																	
A/D変換下限値 (下位)レジスタ	004025A (B)	D7	ADLWR7	A/D変換下限値(下位8ビット) ADLWR0 = LSB	0x0～0x3FF (下位8ビット)		0	R/W			ADCADV="1"の場合 に使用可能																																																																																																																																																																																																																																																																																																												
		D6	ADLWR6				0																																																																																																																																																																																																																																																																																																																
		D5	ADLWR5				0																																																																																																																																																																																																																																																																																																																
		D4	ADLWR4				0																																																																																																																																																																																																																																																																																																																
		D3	ADLWR3				0																																																																																																																																																																																																																																																																																																																
		D2	ADLWR2				0																																																																																																																																																																																																																																																																																																																
		D1	ADLWR1				0																																																																																																																																																																																																																																																																																																																
		D0	ADLWR0				0																																																																																																																																																																																																																																																																																																																
		A/D変換下限値 (上位)レジスタ	004025B (B)				D7-2		—	reserved		—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																							
D1	ADLWR9			A/D変換下限値(上位2ビット)	0x0～0x3FF (上位2ビット)	0	R/W	ADCADV="1"の場合 に使用可能																																																																																																																																																																																																																																																																																																															
D0	ADLWR8			ADLWR9 = MSB		0			A/D変換終了 割り込みマスク レジスタ	004025C (B)	D7	INTMASK7	Ch.7変換終了割り込みマスク	1 割り込み 有効	0 割り込み マスク	1	R/W	ADCADV="1"の場合 に使用可能	D6	INTMASK6	Ch.6変換終了割り込みマスク	1	R/W	D5	INTMASK5	Ch.5変換終了割り込みマスク	1	R/W	D4	INTMASK4	Ch.4変換終了割り込みマスク	1	R/W	D3	INTMASK3	Ch.3変換終了割り込みマスク	1	R/W	D2	INTMASK2	Ch.2変換終了割り込みマスク	1	R/W	D1	INTMASK1	Ch.1変換終了割り込みマスク	1	R/W	D0	INTMASK0	Ch.0変換終了割り込みマスク	1	R/W	A/D変換器 モード選択 レジスタ	004025F (B)	D7-1	—	reserved	—		—	—	読み出し時: 0	D0	ADCADV	33209互換モード/機能拡張モード 選択	1 機能拡張 モード	0 33209互換 モード	0	R/W		ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PP1L2	ポート入力1 割り込みレベル	0～7		X	R/W		D5	PP1L1	X	D4	PP1L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PP0L2	ポート入力0 割り込みレベル	0～7		X	R/W		D1	PP0L1	X	D0	PP0L0	X	ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PP3L2	ポート入力3 割り込みレベル	0～7		X	R/W		D5	PP3L1	X	D4	PP3L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PP2L2	ポート入力2 割り込みレベル	0～7		X	R/W		D1	PP2L1	X	D0	PP2L0	X	キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PK1L2	キー入力1 割り込みレベル	0～7		X	R/W		D5	PK1L1	X	D4	PK1L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PK0L2	キー入力0 割り込みレベル	0～7		X	R/W		D1	PK0L1	X	D0	PK0L0	X																																																																																																						
A/D変換終了 割り込みマスク レジスタ	004025C (B)	D7	INTMASK7	Ch.7変換終了割り込みマスク	1 割り込み 有効	0 割り込み マスク	1	R/W			ADCADV="1"の場合 に使用可能																																																																																																																																																																																																																																																																																																												
		D6	INTMASK6	Ch.6変換終了割り込みマスク			1					R/W																																																																																																																																																																																																																																																																																																											
		D5	INTMASK5	Ch.5変換終了割り込みマスク			1					R/W																																																																																																																																																																																																																																																																																																											
		D4	INTMASK4	Ch.4変換終了割り込みマスク			1					R/W																																																																																																																																																																																																																																																																																																											
		D3	INTMASK3	Ch.3変換終了割り込みマスク			1					R/W																																																																																																																																																																																																																																																																																																											
		D2	INTMASK2	Ch.2変換終了割り込みマスク			1					R/W																																																																																																																																																																																																																																																																																																											
		D1	INTMASK1	Ch.1変換終了割り込みマスク			1					R/W																																																																																																																																																																																																																																																																																																											
		D0	INTMASK0	Ch.0変換終了割り込みマスク			1		R/W	A/D変換器 モード選択 レジスタ		004025F (B)	D7-1	—	reserved	—		—	—	読み出し時: 0	D0	ADCADV	33209互換モード/機能拡張モード 選択	1 機能拡張 モード	0 33209互換 モード	0	R/W		ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PP1L2	ポート入力1 割り込みレベル	0～7		X	R/W		D5	PP1L1	X	D4	PP1L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PP0L2	ポート入力0 割り込みレベル	0～7		X	R/W		D1	PP0L1	X	D0	PP0L0	X	ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PP3L2	ポート入力3 割り込みレベル	0～7		X	R/W		D5	PP3L1	X	D4	PP3L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PP2L2	ポート入力2 割り込みレベル	0～7		X	R/W		D1	PP2L1	X	D0	PP2L0	X	キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	—	reserved	—		—	—	読み出し時: 0	D6	PK1L2	キー入力1 割り込みレベル	0～7		X	R/W		D5	PK1L1	X	D4	PK1L0	X	D3	—	reserved	—		—	—	読み出し時: 0	D2	PK0L2	キー入力0 割り込みレベル	0～7		X	R/W		D1	PK0L1	X	D0	PK0L0	X																																																																																																																																																	
A/D変換器 モード選択 レジスタ	004025F (B)	D7-1	—	reserved	—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																														
		D0	ADCADV	33209互換モード/機能拡張モード 選択	1 機能拡張 モード	0 33209互換 モード	0	R/W																																																																																																																																																																																																																																																																																																															
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																														
		D6	PP1L2	ポート入力1 割り込みレベル	0～7		X	R/W																																																																																																																																																																																																																																																																																																															
		D5	PP1L1				X																																																																																																																																																																																																																																																																																																																
		D4	PP1L0				X																																																																																																																																																																																																																																																																																																																
		D3	—	reserved	—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																														
		D2	PP0L2	ポート入力0 割り込みレベル	0～7		X	R/W																																																																																																																																																																																																																																																																																																															
D1	PP0L1	X																																																																																																																																																																																																																																																																																																																					
D0	PP0L0	X																																																																																																																																																																																																																																																																																																																					
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																														
		D6	PP3L2	ポート入力3 割り込みレベル	0～7		X	R/W																																																																																																																																																																																																																																																																																																															
		D5	PP3L1				X																																																																																																																																																																																																																																																																																																																
		D4	PP3L0				X																																																																																																																																																																																																																																																																																																																
		D3	—	reserved	—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																														
		D2	PP2L2	ポート入力2 割り込みレベル	0～7		X	R/W																																																																																																																																																																																																																																																																																																															
D1	PP2L1	X																																																																																																																																																																																																																																																																																																																					
D0	PP2L0	X																																																																																																																																																																																																																																																																																																																					
キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	—	reserved	—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																														
		D6	PK1L2	キー入力1 割り込みレベル	0～7		X	R/W																																																																																																																																																																																																																																																																																																															
		D5	PK1L1				X																																																																																																																																																																																																																																																																																																																
		D4	PK1L0				X																																																																																																																																																																																																																																																																																																																
		D3	—	reserved	—		—	—	読み出し時: 0																																																																																																																																																																																																																																																																																																														
		D2	PK0L2	キー入力0 割り込みレベル	0～7		X	R/W																																																																																																																																																																																																																																																																																																															
D1	PK0L1	X																																																																																																																																																																																																																																																																																																																					
D0	PK0L0	X																																																																																																																																																																																																																																																																																																																					

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0/1割り込み プライオリティ レジスタ	0040263 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD1L2	高速DMA Ch.1	0~7	X	R/W	
		D5	PHSD1L1	割り込みレベル		X		
		D4	PHSD1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0	0~7	X	R/W	
		D1	PHSD0L1	割り込みレベル		X		
		D0	PHSD0L0			X		
高速DMA Ch.2/3割り込み プライオリティ レジスタ	0040264 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD3L2	高速DMA Ch.3	0~7	X	R/W	
		D5	PHSD3L1	割り込みレベル		X		
		D4	PHSD3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2	0~7	X	R/W	
		D1	PHSD2L1	割り込みレベル		X		
		D0	PHSD2L0			X		
IDMA割り込み プライオリティ レジスタ	0040265 (B)	D7~3	–	reserved	–	–	–	読み出し時: 0
		D2	PDM2	IDMA	0~7	X	R/W	
		D1	PDM1	割り込みレベル		X		
		D0	PDM0			X		
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T12	16bitタイマ1	0~7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T02	16bitタイマ0	0~7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T32	16bitタイマ3	0~7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T22	16bitタイマ2	0~7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T52	16bitタイマ5	0~7	X	R/W	
		D5	P16T51	割り込みレベル		X		
		D4	P16T50			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T42	16bitタイマ4	0~7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		
8bitタイマ, シリ アル/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0~7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P8TM2	8bitタイマ0~5	0~7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		
シリアル/F Ch.1, A/D変換器 割り込み プライオリティ レジスタ	004026A (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PAD2	A/D変換器	0~7	X	R/W	
		D5	PAD1	割り込みレベル		X		
		D4	PAD0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0~7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
		D0	PSIO10			X		
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7~3	–	reserved	–	–	–	1書き込み禁止
		D2	PCTM2	計時タイマ	0~7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0			X		

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP5L2	ポート入力5	0~7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP4L2	ポート入力4	0~7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP7L2	ポート入力7	0~7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP6L2	ポート入力6	0~7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
シリアルI/F Ch.2/3 割り込み プライオリティ レジスタ	004026E (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PSIO32	シリアルインタフェースCh.3	0~7	X	R/W	
		D5	PSIO31	割り込みレベル		X		
		D4	PSIO30			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PSIO22	シリアルインタフェースCh.2	0~7	X	R/W	
		D1	PSIO21	割り込みレベル		X		
		D0	PSIO20			X		
キー入力, ポート入力0~3 割り込み イネーブル レジスタ	0040270 (B)	D7~6	–	reserved	–	–	–	読み出し時: 0
		D5	EK1	キー入力1	1 許可 0 禁止	0	R/W	
		D4	EK0	キー入力0		0	R/W	
		D3	EP3	ポート入力3		0	R/W	
		D2	EP2	ポート入力2		0	R/W	
		D1	EP1	ポート入力1		0	R/W	
		D0	EP0	ポート入力0		0	R/W	
DMA割り込み イネーブル レジスタ	0040271 (B)	D7~5	–	reserved	–	–	–	読み出し時: 0
		D4	EIDMA	IDMA	1 許可 0 禁止	0	R/W	
		D3	EHDM3	高速DMA Ch.3		0	R/W	
		D2	EHDM2	高速DMA Ch.2		0	R/W	
		D1	EHDM1	高速DMA Ch.1		0	R/W	
		D0	EHDM0	高速DMA Ch.0		0	R/W	
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU1	16bitタイマ1コンペアB		0	R/W	
		D5~4	–	reserved	–	–	–	読み出し時: 0
		D3	E16TC0	16bitタイマ0コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB		0	R/W	
		D1~0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU3	16bitタイマ3コンペアB		0	R/W	
		D5~4	–	reserved	–	–	–	読み出し時: 0
		D3	E16TC2	16bitタイマ2コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB		0	R/W	
		D1~0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU5	16bitタイマ5コンペアB		0	R/W	
		D5~4	–	reserved	–	–	–	読み出し時: 0
		D3	E16TC4	16bitタイマ4コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB		0	R/W	
		D1~0	–	reserved	–	–	–	読み出し時: 0
8bitタイマ0~3 割り込み イネーブル レジスタ	0040275 (B)	D7~4	–	reserved	–	–	–	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可 0 禁止	0	R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー		0	R/W	
シリアルI/F Ch.0/1 割り込み イネーブル レジスタ	0040276 (B)	D7~6	–	reserved	–	–	–	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンプティ	1 許可 0 禁止	0	R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル		0	R/W	
		D3	ESERR1	SIF Ch.1受信エラー		0	R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンプティ		0	R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル		0	R/W	
		D0	ESERR0	SIF Ch.0受信エラー		0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力4-7、 計時タイマ、A/D 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	EP7	ポート入力7	1 許可	0 禁止	0 R/W	
		D4	EP6	ポート入力6			0 R/W	
		D3	EP5	ポート入力5			0 R/W	
		D2	EP4	ポート入力4			0 R/W	
		D1	ECTM	計時タイマ			0 R/W	
		D0	EADE	A/D変換器			0 R/W	
8bitタイマ4/5 割り込みイネー ブルレジスタ	0040278 (B)	D7-2	-	reserved	-	-	-	読み出し時: 0
		D1	E8TU5	8bitタイマ5アンダーフロー	1 許可	0 禁止	0 R/W	
		D0	E8TU4	8bitタイマ4アンダーフロー			0 R/W	
シリアル/F Ch.2/3 割り込み イネーブル レジスタ	0040279 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	ESTX3	SIF Ch.3送信バッファエンプティ	1 許可	0 禁止	0 R/W	
		D4	ESRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	ESERR3	SIF Ch.3受信エラー			0 R/W	
		D2	ESTX2	SIF Ch.2送信バッファエンプティ			0 R/W	
		D1	ESRX2	SIF Ch.2受信バッファフル			0 R/W	
		D0	ESERR2	SIF Ch.2受信エラー			0 R/W	
キー入力、 ポート入力0-3 割り込み要因 フラグレジスタ	0040280 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生	0 要因なし	X R/W	
		D4	FK0	キー入力0			X R/W	
		D3	FP3	ポート入力3			X R/W	
		D2	FP2	ポート入力2			X R/W	
		D1	FP1	ポート入力1			X R/W	
		D0	FP0	ポート入力0			X R/W	
DMA割り込み 要因フラグ レジスタ	0040281 (B)	D7-5	-	reserved	-	-	-	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生	0 要因なし	X R/W	
		D3	FHDM3	高速DMA Ch.3			X R/W	
		D2	FHDM2	高速DMA Ch.2			X R/W	
		D1	FHDM1	高速DMA Ch.1			X R/W	
		D0	FHDM0	高速DMA Ch.0			X R/W	
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1 要因発生	0 要因なし	X R/W	
		D6	F16TU1	16bitタイマ1コンペアB			X R/W	
		D5-4	-	reserved	-	-	-	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU0	16bitタイマ0コンペアB			X R/W	
		D1-0	-	reserved	-	-	-	読み出し時: 0
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1 要因発生	0 要因なし	X R/W	
		D6	F16TU3	16bitタイマ3コンペアB			X R/W	
		D5-4	-	reserved	-	-	-	読み出し時: 0
		D3	F16TC2	16bitタイマ2コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU2	16bitタイマ2コンペアB			X R/W	
		D1-0	-	reserved	-	-	-	読み出し時: 0
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1 要因発生	0 要因なし	X R/W	
		D6	F16TU5	16bitタイマ5コンペアB			X R/W	
		D5-4	-	reserved	-	-	-	読み出し時: 0
		D3	F16TC4	16bitタイマ4コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU4	16bitタイマ4コンペアB			X R/W	
		D1-0	-	reserved	-	-	-	読み出し時: 0
8bitタイマ0-3 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	-	reserved	-	-	-	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1 要因発生	0 要因なし	X R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー			X R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー			X R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー			X R/W	
シリアル/F Ch.0/1 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	FSTX1	SIF Ch.1送信バッファエンプティ	1 要因発生	0 要因なし	X R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル			X R/W	
		D3	FSERR1	SIF Ch.1受信エラー			X R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンプティ			X R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル			X R/W	
		D0	FSERR0	SIF Ch.0受信エラー			X R/W	
ポート入力4-7、 計時タイマ、A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	FP7	ポート入力7	1 要因発生	0 要因なし	X R/W	
		D4	FP6	ポート入力6			X R/W	
		D3	FP5	ポート入力5			X R/W	
		D2	FP4	ポート入力4			X R/W	
		D1	FCTM	計時タイマ			X R/W	
		D0	FADE	A/D変換器			X R/W	

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈
8bitタイマ4/5 割り込み要因フ ラグレジスタ	0040288 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0
		D1	F8TU5	8bitタイマ5アンダーフロー	1	要因発生	0	要因なし	
		D0	F8TU4	8bitタイマ4アンダーフロー					
シリアルI/F Ch.2/3 割り込み 要因フラグ レジスタ	0040289 (B)	D7-6	-	reserved	-		-	-	読み出し時: 0
		D5	FSTX3	SIF Ch.3送信バッファEMPTY	1	要因発生	0	要因なし	
		D4	FSRX3	SIF Ch.3受信バッファフル					
		D3	FSERR3	SIF Ch.3受信エラー					
		D2	FSTX2	SIF Ch.2送信バッファEMPTY					
		D1	FSRX2	SIF Ch.2受信バッファフル					
		D0	FSERR2	SIF Ch.2受信エラー					
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み 要求	0 R/W
		D6	R16TU0	16bitタイマ0コンペアB					0 R/W
		D5	RHDM1	高速DMA Ch.1					0 R/W
		D4	RHDM0	高速DMA Ch.0					0 R/W
		D3	RP3	ポート入力3					0 R/W
		D2	RP2	ポート入力2					0 R/W
		D1	RP1	ポート入力1					0 R/W
		D0	RP0	ポート入力0					0 R/W
16bitタイマ1-4 IDMAリクエスト レジスタ	0040291 (B)	D7	R16TC4	16bitタイマ4コンペアA	1	IDMA要求	0	割り込み 要求	0 R/W
		D6	R16TU4	16bitタイマ4コンペアB					0 R/W
		D5	R16TC3	16bitタイマ3コンペアA					0 R/W
		D4	R16TU3	16bitタイマ3コンペアB					0 R/W
		D3	R16TC2	16bitタイマ2コンペアA					0 R/W
		D2	R16TU2	16bitタイマ2コンペアB					0 R/W
		D1	R16TC1	16bitタイマ1コンペアA					0 R/W
		D0	R16TU1	16bitタイマ1コンペアB					0 R/W
16bitタイマ5, 8bitタイマ0-3, シリアルI/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファEMPTY	1	IDMA要求	0	割り込み 要求	0 R/W
		D6	RSRX0	SIF Ch.0受信バッファフル					0 R/W
		D5	R8TU3	8bitタイマ3アンダーフロー					0 R/W
		D4	R8TU2	8bitタイマ2アンダーフロー					0 R/W
		D3	R8TU1	8bitタイマ1アンダーフロー					0 R/W
		D2	R8TU0	8bitタイマ0アンダーフロー					0 R/W
		D1	R16TC5	16bitタイマ5コンペアA					0 R/W
		D0	R16TU5	16bitタイマ5コンペアB					0 R/W
シリアルI/F Ch.1, A/D, ポー ト入力4-7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1	IDMA要求	0	割り込み 要求	0 R/W
		D6	RP6	ポート入力6					0 R/W
		D5	RP5	ポート入力5					0 R/W
		D4	RP4	ポート入力4					0 R/W
		D3	-	reserved	-		-	-	読み出し時: 0
		D2	RADE	A/D変換器	1	IDMA要求	0	割り込み 要求	
		D1	RSTX1	SIF Ch.1送信バッファEMPTY					0 R/W
		D0	RSRX1	SIF Ch.1受信バッファフル					0 R/W
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0 R/W
		D6	DE16TU0	16bitタイマ0コンペアB					0 R/W
		D5	DEHDM1	高速DMA Ch.1					0 R/W
		D4	DEHDM0	高速DMA Ch.0					0 R/W
		D3	DEP3	ポート入力3					0 R/W
		D2	DEP2	ポート入力2					0 R/W
		D1	DEP1	ポート入力1					0 R/W
		D0	DEP0	ポート入力0					0 R/W
16bitタイマ1-4 IDMAイネーブル レジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1	IDMA許可	0	IDMA禁止	0 R/W
		D6	DE16TU4	16bitタイマ4コンペアB					0 R/W
		D5	DE16TC3	16bitタイマ3コンペアA					0 R/W
		D4	DE16TU3	16bitタイマ3コンペアB					0 R/W
		D3	DE16TC2	16bitタイマ2コンペアA					0 R/W
		D2	DE16TU2	16bitタイマ2コンペアB					0 R/W
		D1	DE16TC1	16bitタイマ1コンペアA					0 R/W
		D0	DE16TU1	16bitタイマ1コンペアB					0 R/W
16bitタイマ5, 8bitタイマ0-3, シリアルI/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファEMPTY	1	IDMA許可	0	IDMA禁止	0 R/W
		D6	DESRX0	SIF Ch.0受信バッファフル					0 R/W
		D5	DE8TU3	8bitタイマ3アンダーフロー					0 R/W
		D4	DE8TU2	8bitタイマ2アンダーフロー					0 R/W
		D3	DE8TU1	8bitタイマ1アンダーフロー					0 R/W
		D2	DE8TU0	8bitタイマ0アンダーフロー					0 R/W
		D1	DE16TC5	16bitタイマ5コンペアA					0 R/W
		D0	DE16TU5	16bitタイマ5コンペアB					0 R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
シリアルI/F Ch.1, A/D, ポー ト入力4-7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	-	reserved	-			-	-	読み出し時: 0	
		D2	DEADE	A/D変換器	1	IDMA許可	0	IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンブティ					0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル					0	R/W	
高速DMA Ch.0/1 トリガ設定 レジスタ	0040298 (B)	D7	HSD1S3	高速DMA Ch.1トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD1S2		1	K51入力(立ち下がりエッジ)			0		
		D5	HSD1S1		2	K51入力(立ち上がりエッジ)			0		
		D4	HSD1S0		3	ポート1入力			0		
					4	ポート5入力					
					5	8bitタイムCh.1アンダーフロー					
					6	16bitタイムCh.1コンペアB					
					7	16bitタイムCh.1コンペアA					
					8	16bitタイムCh.5コンペアB					
					9	16bitタイムCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンブティ					
					C	A/D変換終了					
					D	FSI/F Ch.0 Rx bufフル					
					E	FSI/F Ch.0 Tx bufエンブティ					
		D3	HSD0S3	高速DMA Ch.0トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD0S2		1	K50入力(立ち下がりエッジ)			0		
		D1	HSD0S1		2	K50入力(立ち上がりエッジ)			0		
		D0	HSD0S0		3	ポート0入力			0		
					4	ポート4入力					
					5	8bitタイムCh.0アンダーフロー					
					6	16bitタイムCh.0コンペアB					
					7	16bitタイムCh.0コンペアA					
					8	16bitタイムCh.4コンペアB					
					9	16bitタイムCh.4コンペアA					
					A	SI/F Ch.0 Rx bufフル					
					B	SI/F Ch.0 Tx bufエンブティ					
					C	A/D変換終了					
					D	reserved					
					E	reserved					
高速DMA Ch.2/3 トリガ設定 レジスタ	0040299 (B)	D7	HSD3S3	高速DMA Ch.3トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD3S2		1	K54入力(立ち下がりエッジ)			0		
		D5	HSD3S1		2	K54入力(立ち上がりエッジ)			0		
		D4	HSD3S0		3	ポート3入力			0		
					4	ポート7入力					
					5	8bitタイムCh.3アンダーフロー					
					6	16bitタイムCh.3コンペアB					
					7	16bitタイムCh.3コンペアA					
					8	16bitタイムCh.5コンペアB					
					9	16bitタイムCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンブティ					
					C	A/D変換終了					
					D	FSI/F Ch.0 Rx bufフル					
					E	FSI/F Ch.0 Tx bufエンブティ					
		D3	HSD2S3	高速DMA Ch.2トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD2S2		1	K53入力(立ち下がりエッジ)			0		
		D1	HSD2S1		2	K53入力(立ち上がりエッジ)			0		
		D0	HSD2S0		3	ポート2入力			0		
					4	ポート6入力					
					5	8bitタイムCh.2アンダーフロー					
					6	16bitタイムCh.2コンペアB					
					7	16bitタイムCh.2コンペアA					
					8	16bitタイムCh.4コンペアB					
					9	16bitタイムCh.4コンペアA					
					A	SI/F Ch.0 Rx bufフル					
					B	SI/F Ch.0 Tx bufエンブティ					
					C	A/D変換終了					
					D	reserved					
					E	reserved					

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA ソフトウェア トリガレジスタ	004029A (B)	D7-4	-	reserved	-	-	-	読み出し時: 0
		D3	HST3	HSDMA Ch.3ソフトウェアトリガ	1 トリガ	0 無効	0 W	
		D2	HST2	HSDMA Ch.2ソフトウェアトリガ			0 W	
		D1	HST1	HSDMA Ch.1ソフトウェアトリガ			0 W	
		D0	HST0	HSDMA Ch.0ソフトウェアトリガ			0 W	
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAリクエスト レジスタ	004029B (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	RSTX3	SIF Ch.3送信バッファエンプティ	1 IDMA要求	0 割り込み 要求	0 R/W	
		D4	RSRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	RSTX2	SIF Ch.2送信バッファエンプティ			0 R/W	
		D2	RSRX2	SIF Ch.2受信バッファフル			0 R/W	
		D1	R8TU5	8bitタイマ5アンダーフロー			0 R/W	
		D0	R8TU4	8bitタイマ4アンダーフロー			0 R/W	
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAイネーブル レジスタ	004029C (B)	D7-6	-	reserved	-	-	-	読み出し時: 0
		D5	DESTX3	SIF Ch.3送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0 R/W	
		D4	DESRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	DESTX2	SIF Ch.2送信バッファエンプティ			0 R/W	
		D2	DESRX2	SIF Ch.2受信バッファフル			0 R/W	
		D1	DE8TU5	8bitタイマ5アンダーフロー			0 R/W	
		D0	DE8TU4	8bitタイマ4アンダーフロー			0 R/W	
フラグセット/リ セット方式選択 レジスタ	004029F (B)	D7-3	-	reserved	-	-	-	
		D2	DENONLY	IDMAイネーブルレジスタ セット方式選択	1 セット オンリー	0 RD/WR	1 R/W	
		D1	IDMAONLY	IDMAリクエストレジスタ セット方式選択	1 セット オンリー	0 RD/WR	1 R/W	
		D0	RSTONLY	割り込み要因フラグ リセット方式選択	1 リセット オンリー	0 RD/WR	1 R/W	
拡張機能用 割り込み プライオリティ レジスタ	00402A0 (B)	D7	-	reserved	-	-	-	読み出し時: 0
		D6	-	拡張機能	0~7		X R/W	
		D5	-	割り込みレベル(reserved)			X R/W	
		D4	-				X R/W	読み出し時: 0
		D3	-	reserved	-	-	-	
		D2	-	拡張機能	0~7		X R/W	
		D1	-	割り込みレベル(reserved)			X R/W	
		D0	-				X R/W	
拡張機能用 割り込み プライオリティ レジスタ	00402A1 (B)	D7	-	reserved	-	-	-	読み出し時: 0
		D6	-	拡張機能	0~7		X R/W	
		D5	-	割り込みレベル(reserved)			X R/W	
		D4	-				X R/W	読み出し時: 0
		D3	-	reserved	-	-	-	
		D2	-	拡張機能	0~7		X R/W	
		D1	-	割り込みレベル(reserved)			X R/W	
		D0	-				X R/W	
LCDC割り込み プライオリティ レジスタ	00402A2 (B)	D7	-	reserved	-	-	-	読み出し時: 0
		D6	PLCDCI2	LCDコントローラ	0~7		X R/W	
		D5	PLCDCI1	割り込みレベル			X R/W	
		D4	PLCDCI0				X R/W	読み出し時: 0
		D3	-	reserved	-	-	-	
		D2	-	拡張機能	0~7		X R/W	
		D1	-	割り込みレベル(reserved)			X R/W	
		D0	-				X R/W	
USB, SPI 割り込み プライオリティ レジスタ	00402A3 (B)	D7	-	reserved	-	-	-	読み出し時: 0
		D6	PSPII2	SPI	0~7		X R/W	
		D5	PSPII1	割り込みレベル			X R/W	
		D4	PSPII0				X R/W	読み出し時: 0
		D3	-	reserved	-	-	-	
		D2	PUSBI2	USB	0~7		X R/W	
		D1	PUSBI1	割り込みレベル			X R/W	
		D0	PUSBI0				X R/W	
拡張機能用 割り込み プライオリティ レジスタ	00402A4 (B)	D7	-	reserved	-	-	-	読み出し時: 0
		D6	-	拡張機能	0~7		X R/W	
		D5	-	割り込みレベル(reserved)			X R/W	
		D4	-				X R/W	読み出し時: 0
		D3	-	reserved	-	-	-	
		D2	-	拡張機能	0~7		X R/W	
		D1	-	割り込みレベル(reserved)			X R/W	
		D0	-				X R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
拡張機能用 割り込み プライオリティ レジスタ	00402A5 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能 割り込みレベル(reserved)	0~7	X	R/W	
		D5	—			X		
		D4	—			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	—	拡張機能 割り込みレベル(reserved)	0~7	X	R/W	
		D1	—			X		
		D0	—			X		
LCDC, USB, SPI割り込み イネーブル レジスタ	00402A6 (B)	D7	ESPII	SPI割り込み	1 許可	0 禁止	0 R/W	
		D6	EUSBI	USB割り込み			0 R/W	
		D5	ELCDCI	LCDC割り込み			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	1書き込み禁止
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み イネーブル レジスタ	00402A7 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み イネーブル レジスタ	00402A8 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
LCDC, USB, SPI割り込み 要因フラグ レジスタ	00402A9 (B)	D7	FSPII	SPI割り込み	1 要因発生	0 要因なし	X R/W	
		D6	FUSBI	USB割り込み			X R/W	
		D5	FLCDCI	LCDC割り込み			X R/W	
		D4	—	拡張機能割り込み(reserved)			X R/W	1書き込み禁止
		D3	—	拡張機能割り込み(reserved)			X R/W	
		D2	—	拡張機能割り込み(reserved)			X R/W	
		D1	—	拡張機能割り込み(reserved)			X R/W	
		D0	—	拡張機能割り込み(reserved)			X R/W	
拡張機能用 割り込み 要因フラグ レジスタ	00402AA (B)	D7	—	拡張機能割り込み(reserved)	1 要因発生	0 要因なし	X R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			X R/W	
		D5	—	拡張機能割り込み(reserved)			X R/W	
		D4	—	拡張機能割り込み(reserved)			X R/W	
		D3	—	拡張機能割り込み(reserved)			X R/W	
		D2	—	拡張機能割り込み(reserved)			X R/W	
		D1	—	拡張機能割り込み(reserved)			X R/W	
		D0	—	拡張機能割り込み(reserved)			X R/W	
拡張機能用 割り込み 要因フラグ レジスタ	00402AB (B)	D7	—	拡張機能割り込み(reserved)	1 要因発生	0 要因なし	X R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			X R/W	
		D5	—	拡張機能割り込み(reserved)			X R/W	
		D4	—	拡張機能割り込み(reserved)			X R/W	
		D3	—	拡張機能割り込み(reserved)			X R/W	
		D2	—	拡張機能割り込み(reserved)			X R/W	
		D1	—	拡張機能割り込み(reserved)			X R/W	
		D0	—	拡張機能割り込み(reserved)			X R/W	
LCDC, USB, SPI IDMAリクエスト レジスタ	00402AC (B)	D7	RSPII	SPI割り込み	1 IDMA要求	0 割り込み 要求	0 R/W	
		D6	RUSBI	USB割り込み			0 R/W	
		D5	RLCDCI	LCDC割り込み			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	1書き込み禁止
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
拡張機能用 IDMAリクエスト レジスタ	00402AD (B)	D7	–	拡張機能割り込み(reserved)	1	IDMA要求	0	割り込み 要求	0	R/W	1書き込み禁止
		D6	–	拡張機能割り込み(reserved)					0	R/W	
		D5	–	拡張機能割り込み(reserved)					0	R/W	
		D4	–	拡張機能割り込み(reserved)					0	R/W	
		D3	–	拡張機能割り込み(reserved)					0	R/W	
		D2	–	拡張機能割り込み(reserved)					0	R/W	
		D1	–	拡張機能割り込み(reserved)					0	R/W	
		D0	–	拡張機能割り込み(reserved)					0	R/W	
LCDC, USB, SPI IDMAイネーブル レジスタ	00402AE (B)	D7	DESPH	SPI割り込み	1	IDMA許可	0	IDMA禁止	0	R/W	1書き込み禁止
		D6	DEUSBI	USB割り込み					0	R/W	
		D5	DELCDCI	LCDC割り込み					0	R/W	
		D4	–	拡張機能割り込み(reserved)					0	R/W	
		D3	–	拡張機能割り込み(reserved)					0	R/W	
		D2	–	拡張機能割り込み(reserved)					0	R/W	
		D1	–	拡張機能割り込み(reserved)					0	R/W	
		D0	–	拡張機能割り込み(reserved)					0	R/W	
拡張機能用 IDMAイネーブル レジスタ	00402AF (B)	D7	–	拡張機能割り込み(reserved)	1	IDMA許可	0	IDMA禁止	0	R/W	1書き込み禁止
		D6	–	拡張機能割り込み(reserved)					0	R/W	
		D5	–	拡張機能割り込み(reserved)					0	R/W	
		D4	–	拡張機能割り込み(reserved)					0	R/W	
		D3	–	拡張機能割り込み(reserved)					0	R/W	
		D2	–	拡張機能割り込み(reserved)					0	R/W	
		D1	–	拡張機能割り込み(reserved)					0	R/W	
		D0	–	拡張機能割り込み(reserved)					0	R/W	
FIFOシリアル I/F Ch.0 割り込み プライオリティ レジスタ	00402B0 (B)	D7	–	reserved	–		–	–	読み出し時: 0		
		D6	PFSIO02	FIFOシリアルインタフェース	0~7		X	R/W			
		D5	PFSIO01	Ch.0割り込みレベル			X				
		D4	PFSIO00				X				
		D3-0	–	reserved	–		–	–	読み出し時: 0		
FIFOシリアル I/F Ch.0 割り込み イネーブル レジスタ	00402B1 (B)	D7-6	–	reserved	–		–	–	読み出し時: 0		
		D5	EFSTX0	FSI/F Ch.0送信バッファエンプティ	1	許可	0	禁止	0	R/W	
		D4	EFSRX0	FSI/F Ch.0受信バッファフル					0	R/W	
		D3	EFSERR0	FSI/F Ch.0受信エラー					0	R/W	
		D2-0	–	reserved					–	–	読み出し時: 0
FIFOシリアル I/F Ch.0 割り込み 要因フラグ レジスタ	00402B2 (B)	D7-6	–	reserved	–		–	–	読み出し時: 0		
		D5	FFSTX0	FSI/F Ch.0送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
		D4	FFSRX0	FSI/F Ch.0受信バッファフル					X	R/W	
		D3	FFSERR0	FSI/F Ch.0受信エラー					X	R/W	
		D2-0	–	reserved					–	–	読み出し時: 0
FIFOシリアル I/F Ch.0 IDMAリクエスト レジスタ	00402B3 (B)	D7-4	–	reserved	–		–	–	読み出し時: 0		
		D3	RFSTX0	FSI/F Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み 要求	0	R/W	
		D2	RFSRX0	FSI/F Ch.0受信バッファフル					0	R/W	
		D1-0	–	reserved					–	–	読み出し時: 0
FIFOシリアル I/F Ch.0 IDMAイネーブル レジスタ	00402B4 (B)	D7-4	–	reserved	–		–	–	読み出し時: 0		
		D3	DEFSTX0	FSI/F Ch.0送信バッファエンプティ	1	IDMA許可	0	IDMA禁止	0	R/W	
		D2	DEFSRX0	FSI/F Ch.0受信バッファフル					0	R/W	
		D1-0	–	reserved					–	–	読み出し時: 0
K5機能選択 レジスタ	00402C0 (B)	D7-5	–	reserved	–		–	–	読み出し時: 0		
		D4	CFK54	K54機能選択	1	#DMAREQ3	0	K54	0	R/W	
		D3	CFK53	K53機能選択	1	#DMAREQ2	0	K53	0	R/W	
		D2	CFK52	K52機能選択	1	#ADTRG	0	K52	0	R/W	
		D1	CFK51	K51機能選択	1	#DMAREQ1	0	K51	0	R/W	
		D0	CFK50	K50機能選択	1	#DMAREQ0	0	K50	0	R/W	
K5入力ポート データレジスタ	00402C1 (B)	D7-5	–	reserved	–		–	–	読み出し時: 0		
		D4	K54D	K54入力ポートデータ	1	High	0	Low	–	R	
		D3	K53D	K53入力ポートデータ					–	R	
		D2	K52D	K52入力ポートデータ					–	R	
		D1	K51D	K51入力ポートデータ					–	R	
		D0	K50D	K50入力ポートデータ					–	R	
K6機能選択 レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1	AD7	0	K67	0	R/W	
		D6	CFK66	K66機能選択	1	AD6	0	K66	0	R/W	
		D5	CFK65	K65機能選択	1	AD5	0	K65	0	R/W	
		D4	CFK64	K64機能選択	1	AD4	0	K64	0	R/W	
		D3	CFK63	K63機能選択	1	AD3	0	K63	0	R/W	
		D2	CFK62	K62機能選択	1	AD2	0	K62	0	R/W	
		D1	CFK61	K61機能選択	1	AD1	0	K61	0	R/W	
		D0	CFK60	K60機能選択	1	AD0	0	K60	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈			
K6入力ポート データレジスタ	00402C4 (B)	D7	K67D	K67入力ポートデータ	1	High	0	Low	—	R				
		D6	K66D	K66入力ポートデータ					—	R				
		D5	K65D	K65入力ポートデータ					—	R				
		D4	K64D	K64入力ポートデータ					—	R				
		D3	K63D	K63入力ポートデータ					—	R				
		D2	K62D	K62入力ポートデータ					—	R				
		D1	K61D	K61入力ポートデータ					—	R				
		D0	K60D	K60入力ポートデータ					—	R				
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W				
		D6	SPT30		P23	P03	K53	K63	0					
		D5	SPT21	FPT2割り込み入力ポート選択	11	10	01	00	0	R/W				
		D4	SPT20		P22	P02	K52	K62	0					
		D3	SPT11	FPT1割り込み入力ポート選択	11	10	01	00	0	R/W				
		D2	SPT10		P21	P01	K51	K61	0					
		D1	SPT01	FPT0割り込み入力ポート選択	11	10	01	00	0	R/W				
		D0	SPT00		P20	P00	K50	K60	0					
ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	0	R/W				
		D6	SPT70		P27	P07	P33	K67	0					
		D5	SPT61	FPT6割り込み入力ポート選択	11	10	01	00	0	R/W				
		D4	SPT60		P26	P06	P32	K66	0					
		D3	SPT51	FPT5割り込み入力ポート選択	11	10	01	00	0	R/W				
		D2	SPT50		P25	P05	P31	K65	0					
		D1	SPT41	FPT4割り込み入力ポート選択	11	10	01	00	0	R/W				
		D0	SPT40		P24	P04	K54	K64	0					
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)	D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1	R/W				
		D6	SPPT6	FPT6入力極性選択					1	R/W				
		D5	SPPT5	FPT5入力極性選択					1	R/W				
		D4	SPPT4	FPT4入力極性選択					1	R/W				
		D3	SPPT3	FPT3入力極性選択					1	R/W				
		D2	SPPT2	FPT2入力極性選択					1	R/W				
		D1	SPPT1	FPT1入力極性選択					1	R/W				
		D0	SPPT0	FPT0入力極性選択					1	R/W				
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W				
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W				
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W				
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W				
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W				
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W				
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W				
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W				
キー入力 割り込み選択 レジスタ	00402CA (B)	D7-4	—	reserved	—				—	—	読み出し時: 0			
		D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W				
		D2	SPPK10		P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]	0					
		D1	SPPK01	FPK0割り込み入力ポート選択	11	10	01	00	0	R/W				
		D0	SPPK00		P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]	0					
キー入力 割り込み(FPK0) 入力比較 レジスタ	00402CC (B)	D7-5	—	reserved	—				—	—	読み出し時: 0			
		D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W				
		D3	SCPK03	FPK03入力比較					0	R/W				
		D2	SCPK02	FPK02入力比較					0	R/W				
		D1	SCPK01	FPK01入力比較					0	R/W				
		D0	SCPK00	FPK00入力比較					0	R/W				
キー入力 割り込み(FPK1) 入力比較 レジスタ	00402CD (B)	D7-4	—	reserved					—				—	—
		D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W				
		D2	SCPK12	FPK12入力比較					0	R/W				
		D1	SCPK11	FPK11入力比較					0	R/W				
		D0	SCPK10	FPK10入力比較					0	R/W				
		キー入力 割り込み(FPK0) 入力マスク レジスタ	00402CE (B)	D7-5	—				reserved	—				—
D4	SMPK04			FPK04入力マスク	1				割り込み 許可	0	割り込み 禁止	0	R/W	
D3	SMPK03			FPK03入力マスク		0	R/W							
D2	SMPK02			FPK02入力マスク		0	R/W							
D1	SMPK01			FPK01入力マスク		0	R/W							
D0	SMPK00			FPK00入力マスク		0	R/W							
キー入力 割り込み(FPK1) 入力マスク レジスタ	00402CF (B)	D7-4	—	reserved		—						—	—	読み出し時: 0
		D3	SMPK13	FPK13入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W				
		D2	SMPK12	FPK12入力マスク					0	R/W				
		D1	SMPK11	FPK11入力マスク					0	R/W				
		D0	SMPK10	FPK10入力マスク					0	R/W				

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	拡張機能(0x300040)
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
P0入出力兼用 ポートデータ レジスタ	00402D1 (B)	D7	P07D	P07入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	P06D	P06入出力兼用ポートデータ					0	R/W	
		D5	P05D	P05入出力兼用ポートデータ					0	R/W	
		D4	P04D	P04入出力兼用ポートデータ					0	R/W	
		D3	P03D	P03入出力兼用ポートデータ					0	R/W	
		D2	P02D	P02入出力兼用ポートデータ					0	R/W	
		D1	P01D	P01入出力兼用ポートデータ					0	R/W	
		D0	P00D	P00入出力兼用ポートデータ					0	R/W	
P0 I/O制御 レジスタ	00402D2 (B)	D7	IOC07	P07 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D6	IOC06	P06 I/O制御					0	R/W	
		D5	IOC05	P05 I/O制御					0	R/W	
		D4	IOC04	P04 I/O制御					0	R/W	
		D3	IOC03	P03 I/O制御					0	R/W	
		D2	IOC02	P02 I/O制御					0	R/W	
		D1	IOC01	P01 I/O制御					0	R/W	
		D0	IOC00	P00 I/O制御					0	R/W	
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	拡張機能(0x402D7)
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1入出力兼用 ポートデータ レジスタ	00402D5 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	P16D	P16入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D5	P15D	P15入出力兼用ポートデータ					0	R/W	
		D4	P14D	P14入出力兼用ポートデータ					0	R/W	
		D3	P13D	P13入出力兼用ポートデータ					0	R/W	
		D2	P12D	P12入出力兼用ポートデータ					0	R/W	
		D1	P11D	P11入出力兼用ポートデータ					0	R/W	
		D0	P10D	P10入出力兼用ポートデータ					0	R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D5	IOC15	P15 I/O制御					0	R/W	
		D4	IOC14	P14 I/O制御					0	R/W	
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	
ポートSIO 機能拡張 レジスタ	00402D7 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0	
		D3	SSRDY3	シリアル/F Ch.3 SRDY選択	1	#SRDY3	0	P32/ #DMAACK0	0	R/W	
		D2	SSCLK3	シリアル/F Ch.3 SCLK選択	1	#SCLK3	0	P15/EXCL4/ #DMAEND0	0	R/W	
		D1	SSOUT3	シリアル/F Ch.3 SOUT選択	1	SOUT3	0	P16/EXCL5/ #DMAEND1	0	R/W	
			SSIN3	シリアル/F Ch.3 SIN選択	1	SIN3	0	P33/ #DMAACK1	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈		
P2機能選択 レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	拡張機能(0x402DB)	
		D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W		
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W		
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W		
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W		
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W		
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W		拡張機能(0x402DF)
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W		
P2入出力兼用 ポートデータ レジスタ	00402D9 (B)	D7	P27D	P27入出力兼用ポートデータ	1	High	0	Low	0	R/W		
		D6	P26D	P26入出力兼用ポートデータ					0	R/W		
		D5	P25D	P25入出力兼用ポートデータ					0	R/W		
		D4	P24D	P24入出力兼用ポートデータ					0	R/W		
		D3	P23D	P23入出力兼用ポートデータ					0	R/W		
		D2	P22D	P22入出力兼用ポートデータ					0	R/W		
		D1	P21D	P21入出力兼用ポートデータ					0	R/W		
		D0	P20D	P20入出力兼用ポートデータ					0	R/W		
P2 I/O制御 レジスタ	00402DA (B)	D7	IOC27	P27 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)	
		D6	IOC26	P26 I/O制御					0	R/W		
		D5	IOC25	P25 I/O制御					0	R/W		
		D4	IOC24	P24 I/O制御					0	R/W		
		D3	IOC23	P23 I/O制御					0	R/W		
		D2	IOC22	P22 I/O制御					0	R/W		
		D1	IOC21	P21 I/O制御					0	R/W		
		D0	IOC20	P20 I/O制御					0	R/W		
ポートSIO 機能拡張 レジスタ	00402DB (B)	D7-4	-	reserved		-		-	-	-	読み出し時: 0	
		D3	SSRDY2	シリアル/F Ch.2 SRDY選択	1	#SRDY2	0	P24/TM2	0	R/W		
		D2	SSCLK2	シリアル/F Ch.2 SCLK選択	1	#SCLK2	0	P25/TM3	0	R/W		
		D1	SSOUT2	シリアル/F Ch.2 SOUT選択	1	SOUT2	0	P26/TM4	0	R/W		
		D0	SSIN2	シリアル/F Ch.2 SIN選択	1	SIN2	0	P27/TM5	0	R/W		
P3機能選択 レジスタ	00402DC (B)	D7-6	-	reserved		-		-	-	-	読み出し時: 0	
		D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0	R/W	拡張機能(0x300047)	
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0	R/W		
		D3	CFP33	P33機能選択	1	#DMAACK1	0	P33	0	R/W	拡張機能(0x402D7)	
		D2	CFP32	P32機能選択	1	#DMAACK0	0	P32	0	R/W	拡張機能(0x402DF)	
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0	R/W		
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0	R/W		
P3入出力兼用 ポートデータ レジスタ	00402DD (B)	D7-6	-	reserved		-		-	-	-	読み出し時: 0	
		D5	P35D	P35入出力兼用ポートデータ	1	High	0	Low	0	R/W		
		D4	P34D	P34入出力兼用ポートデータ					0	R/W		
		D3	P33D	P33入出力兼用ポートデータ					0	R/W		
		D2	P32D	P32入出力兼用ポートデータ					0	R/W		
		D1	P31D	P31入出力兼用ポートデータ					0	R/W		
		D0	P30D	P30入出力兼用ポートデータ					0	R/W		
P3 I/O制御 レジスタ	00402DE (B)	D7-6	-	reserved		-		-	-	-	読み出し時: 0	
		D5	IOC35	P35 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)	
		D4	IOC34	P34 I/O制御					0	R/W		
		D3	IOC33	P33 I/O制御					0	R/W		
		D2	IOC32	P32 I/O制御					0	R/W		
		D1	IOC31	P31 I/O制御					0	R/W		
		D0	IOC30	P30 I/O制御					0	R/W		
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W		
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W		
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W		
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W		
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W		
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W		
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO	0	P10, etc. P11, etc. P13, etc.	1	R/W		
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W		

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア18-15 設定レジスタ	0048120 (HW)	DF	—	reserved	—	—	—	読み出し時: 0
		DE	A18SZ	エリア18-17デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		DD	A18DF1	エリア18-17 出力ディセーブル遅延時間	A18DF[1:0] サイクル数	1	R/W	
		DC	A18DF0		1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		DB	—	reserved	—	—	—	読み出し時: 0
		DA	A18WT2	エリア18-17ウェイト制御	A18WT[2:0] ウェイト数	1	R/W	
		D9	A18WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1		
		D8	A18WT0					
		D7	—	reserved	—	—	—	読み出し時: 0
		D6	A16SZ	エリア16-15デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A16DF1	エリア16-15 出力ディセーブル遅延時間	A16DF[1:0] サイクル数	1	R/W	
		D4	A16DF0		1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A16WT2	エリア16-15ウェイト制御	A16WT[2:0] ウェイト数	1	R/W	
		D1	A16WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1		
		D0	A16WT0					
エリア14-13 設定レジスタ	0048122 (HW)	DF-9	—	reserved	—	—	—	読み出し時: 0
		D8	A14DRA	エリア14 DRAM選択	1 使用 0 未使用	0	R/W	
		D7	A13DRA	エリア13 DRAM選択	1 使用 0 未使用	0	R/W	
		D6	A14SZ	エリア14-13デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A14DF1	エリア14-13 出力ディセーブル遅延時間	A14DF[1:0] サイクル数	1	R/W	
		D4	A14DF0		1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A14WT2	エリア14-13ウェイト制御	A14WT[2:0] ウェイト数	1	R/W	
		D1	A14WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1		
		D0	A14WT0					
エリア12-11 設定レジスタ	0048124 (HW)	DF-7	—	reserved	—	—	—	読み出し時: 0
		D6	A12SZ	エリア12-11デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A12DF1	エリア12-11 出力ディセーブル遅延時間	A12DF[1:0] サイクル数	1	R/W	
		D4	A12DF0		1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A12WT2	エリア12-11ウェイト制御	A12WT[2:0] ウェイト数	1	R/W	
		D1	A12WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1		
		D0	A12WT0					

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈				
エリア10-9 設定レジスタ	0048126 (HW)	DF	-	reserved	-		-	-	読み出し時: 0			
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0]		ROM容量		1	R/W		
		DD	A10IR1		1	1	1	2MB	1			
		DC	A10IR0		1	1	0	1MB	1			
					1	0	1	512KB				
					1	0	0	256KB				
					0	1	1	128KB				
					0	1	0	64KB				
					0	0	1	32KB				
					0	0	0	16KB				
		DB	-		reserved	-		-	-			-
		DA	A10BW1	エリア10-9 バーストROM バーストリードサイクルウェイト 制御	A10BW[1:0]		ウェイト数		0	R/W		
		D9	A10BW0		1	1	3	0				
					1	0	2					
					0	1	1					
					0	0	0					
		D8	A10DRA	エリア10バーストROM選択	1	使用	0	未使用	0	R/W		
		D7	A9DRA	エリア9バーストROM選択	1	使用	0	未使用	0	R/W		
		D6	A10SZ	エリア10-9デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W		
		D5	A10DF1	エリア10-9 出力ディセーブル遅延時間	A10DF[1:0]		サイクル数		1	R/W		
		D4	A10DF0		1	1	3.5	1				
					1	0	2.5					
					0	1	1.5					
					0	0	0.5					
		D3	-	reserved	-		-	-	-	読み出し時: 0		
		D2	A10WT2	エリア10-9ウェイト制御	A10WT[2:0]		ウェイト数		1	R/W		
		D1	A10WT1		1	1	1	7	1			
D0	A10WT0	1	1		0	6	1					
		1	0		1	5						
		1	0		0	4						
		0	1		1	3						
		0	1		0	2						
		0	0		1	1						
		0	0		0	0						
エリア8-7 設定レジスタ	0048128 (HW)	DF-9	-	reserved	-		-	-	読み出し時: 0			
		D8	A8DRA	エリア8 DRAM選択	1	使用	0	未使用	0			R/W
		D7	A7DRA	エリア7 DRAM選択	1	使用	0	未使用	0			R/W
		D6	A8SZ	エリア8-7デバイスサイズ選択	1	8ビット	0	16ビット	0			R/W
		D5	A8DF1	エリア8-7 出力ディセーブル遅延時間	A8DF[1:0]		サイクル数		1			R/W
		D4	A8DF0		1	1	3.5	1				
					1	0	2.5					
					0	1	1.5					
					0	0	0.5					
		D3	-	reserved	-		-	-	-			読み出し時: 0
		D2	A8WT2	エリア8-7ウェイト制御	A8WT[2:0]		ウェイト数		1	R/W		
		D1	A8WT1		1	1	1	7	1			
		D0	A8WT0		1	1	0	6	1			
					1	0	1	5				
					1	0	0	4				
					0	1	1	3				
					0	1	0	2				
					0	0	1	1				
					0	0	0	0				

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
エリア6-4 設定レジスタ	004812A (HW)	DF-E	-	reserved	-		-	-	読み出し時: 0	
		DD	A6DF1	エリア6	A6DF[1:0]	サイクル数	1	R/W		
		DC	A6DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1			
		DB	-	reserved	-		-	-		読み出し時: 0
		DA	A6WT2	エリア6ウェイト制御	A6WT[2:0]	ウェイト数	1	R/W		
		D9	A6WT1	1 1 1 1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	7 6 5 4 3 2 1 0	1				
		D8	A6WT0							
		D7	-	reserved	-		-	-	読み出し時: 0	
		D6	A5SZ	エリア5-4デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W		
		D5	A5DF1	エリア5-4	A5DF[1:0]	サイクル数	1	R/W		
		D4	A5DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1			
		D3	-	reserved	-		-	-		読み出し時: 0
		D2	A5WT2	エリア5-4ウェイト制御	A5WT[2:0]	ウェイト数	1	R/W		
		D1	A5WT1	1 1 1 1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	7 6 5 4 3 2 1 0	1				
		D0	A5WT0							
TTBRレジスタ 書き込み保護 レジスタ	004812D (B)	D7 D6 D5 D4 D3 D2 D1 D0	TBRP7 TBRP6 TBRP5 TBRP4 TBRP3 TBRP2 TBRP1 TBRP0	TTBRレジスタ書き込み保護	01011001(0x59)書き込みによりTTBRレジスタ(0x48134)の書き込み保護を解除 それ以外は書き込み禁止に設定		0 0 0 0 0 0 0 0	W	読み出し時: 不定	
バスコントロー ルレジスタ	004812E (HW)	DF	RBCLK	BCLK出力イネーブル	1 H 固定	0 イネーブル	0	R/W		
		DE	-	reserved	-		0	-	1書き込み禁止	
		DD	RBST8	バーストROM/バーストモード選択	1 8連続	0 4連続	0	R/W		
		DC	REDO	DRAMページモード選択	1 EDO	0 高速ページ	0	R/W		
		DB	RCA1	カラムアドレスサイズ選択	RCA[1:0]	サイズ	0	R/W		
		DA	RCA0	1 1 1 0 0 1 0 0	11 10 9 8	0				
		D9	RPC2	リフレッシュイネーブル	1 イネーブル	0 ディセーブル	0	R/W		
		D8	RPC1	リフレッシュ方式選択	1 セルフ	0 CBR	0	R/W		
		D7	RPC0	リフレッシュRPCディレイ	1 2.0	0 1.0	0	R/W		
		D6	RRA1	リフレッシュ	RRA[1:0]	サイクル数	0	R/W		
		D5	RRA0	RASパルス幅選択	1 1 1 0 0 1 0 0	5 4 3 2	0			
		D4	-	reserved	-		0	-		1書き込み禁止
		D3	SBUSST	外部インタフェース方式設定	1 #BSL	0 A0	0	R/W		
		D2	SEMAS	外部バスマスタ設定	1 存在	0 なし	0	R/W		
		D1	SEPD	外部パワーダウン制御	1 有効	0 無効	0	R/W		
		D0	SWAITE	#WAITイネーブル	1 許可	0 禁止	0	R/W		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
DRAM タイミング設定 レジスタ	0048130 (HW)	DF-C	-	reserved	-	-	-	読み出し時: 0
		DB	A3EEN	エリア3エミュレーション	1 内蔵ROM	0 エミュレーション	1	R/W
		DA	CEFUNC1	#CE端子機能選択	CEFUNC[1:0]		#CE出力	
		D9	CEFUNC0		1 x	#CE7/8..#CE17/18	0	R/W
					0 1	#CE6..#CE17	0	
					0 0	#CE4..#CE10	0	
		D8	CRAS	連続RASモード	1 連続	0 通常	0	R/W
		D7	RPRC1	DRAM RASプリチャージサイクル数	RPRC[1:0]		サイクル数	
		D6	RPRC0		1 1	4	0	R/W
					1 0	3		
					0 1	2		
					0 0	1		
		D5	-	reserved	-	-	-	読み出し時: 0
		D4	CASC1	DRAM CASサイクル数	CASC[1:0]		サイクル数	
		D3	CASC0		1 1	4	0	R/W
					1 0	3		
					0 1	2		
					0 0	1		
		D2	-	reserved	-	-	-	読み出し時: 0
		D1	RASC1	DRAM RASサイクル数	RASC[1:0]		サイクル数	
		D0	RASC0		1 1	4	0	R/W
					1 0	3		
					0 1	2		
					0 0	1		
アクセス制御 レジスタ	0048132 (HW)	DF	A18IO	エリア18, 17外部/内部アクセス	1 内部 アクセス	0 外部 アクセス	0	R/W
		DE	A16IO	エリア16, 15外部/内部アクセス			0	R/W
		DD	A14IO	エリア14, 13外部/内部アクセス			0	R/W
		DC	A12IO	エリア12, 11外部/内部アクセス			0	R/W
		DB	-	reserved	-	-	0	読み出し時: 0
		DA	A8IO	エリア8, 7外部/内部アクセス	1 内部 アクセス	0 外部 アクセス	0	R/W
		D9	A6IO	エリア6外部/内部アクセス			0	R/W
		D8	A5IO	エリア5, 4外部/内部アクセス			0	R/W
		D7	A18EC	エリア18, 17エンディアン制御	1 ビッグエン ディアン	0 リトルエン ディアン	0	R/W
		D6	A16EC	エリア16, 15エンディアン制御			0	R/W
		D5	A14EC	エリア14, 13エンディアン制御			0	R/W
		D4	A12EC	エリア12, 11エンディアン制御			0	R/W
		D3	A10EC	エリア10, 9エンディアン制御			0	R/W
		D2	A8EC	エリア8, 7エンディアン制御			0	R/W
		D1	A6EC	エリア6エンディアン制御			0	R/W
		D0	A5EC	エリア5, 4エンディアン制御			0	R/W
TTBR 下位レジスタ	0048134 (HW)	DF	TTBR15	トラップテーブル ベースアドレス bit[15:10]			0	R/W
		DE	TTBR14				0	
		DD	TTBR13				0	
		DC	TTBR12				0	
		DB	TTBR11				0	
		DA	TTBR10				0	
		D9	TTBR09	トラップテーブル ベースアドレス bit[9:0]	0に固定		0	R
		D8	TTBR08				0	読み出し時: 0 1書き込み禁止
		D7	TTBR07				0	
		D6	TTBR06				0	
		D5	TTBR05				0	
		D4	TTBR04				0	
TTBR 上位レジスタ	0048136 (HW)	DF	TTBR33	トラップテーブル ベースアドレス bit[31:28]	0に固定		0	R
		DE	TTBR32				0	読み出し時: 0 1書き込み禁止
		DD	TTBR31				0	
		DC	TTBR30				0	
		DB	TTBR2B	トラップテーブル ベースアドレス bit[27:16]	0x0C0		0	R/W
		DA	TTBR2A				0	
		D9	TTBR29				0	
		D8	TTBR28				0	
		D7	TTBR27				1	
		D6	TTBR26				1	
		D5	TTBR25				0	
		D4	TTBR24				0	
		D3	TTBR23				0	
		D2	TTBR22				0	
		D1	TTBR21				0	
		D0	TTBR20				0	

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
G/Aリード信号 制御レジスタ	0048138 (HW)	DF	A18AS	エリア18, 17アドレスストローブ	1	生成	0	禁止	0	R/W	
		DE	A16AS	エリア16, 15アドレスストローブ					0	R/W	
		DD	A14AS	エリア14, 13アドレスストローブ					0	R/W	
		DC	A12AS	エリア12, 11アドレスストローブ					0	R/W	
		DB	—	reserved	—			0	—	読み出し時: 0	
		DA	A8AS	エリア8, 7アドレスストローブ	1	生成	0	禁止	0	R/W	
		D9	A6AS	エリア6アドレスストローブ					0	R/W	
		D8	A5AS	エリア5, 4アドレスストローブ					0	R/W	
		D7	A18RD	エリア18, 17リード信号	1	生成	0	禁止	0	R/W	
		D6	A16RD	エリア16, 15リード信号					0	R/W	
		D5	A14RD	エリア14, 13リード信号					0	R/W	
		D4	A12RD	エリア12, 11リード信号					0	R/W	
		D3	—	reserved	—			0	—	読み出し時: 0	
		D2	A8RD	エリア8, 7リード信号	1	生成	0	禁止	0	R/W	
		D1	A6RD	エリア6リード信号					0	R/W	
		D0	A5RD	エリア5, 4リード信号					0	R/W	
BCLK選択 レジスタ	004813A (B)	D7-4	—	reserved	—			0	—	読み出し時: 0	
		D3	A1X1MD	エリア1アクセス速度	1	2サイクル	0	4サイクル	0	R/W	x2スピードモード時 (0設定での使用不可)
		D2	—	reserved	—			0	—	読み出し時: 0	
		D1	BCLKSEL1	BCLK出力クロック選択	BCLKSEL[1:0]		BCLK		0	R/W	
		D0	BCLKSEL0		1	1	PLL_CLK	0			
		1	0		OSC3_CLK						
0	1	BUS_CLK									
0	0	CPU_CLK									
リードサイクル ホールド時間 制御レジスタ	004813C (B)	D7	A18RH	エリア18-17リードホールドサイクル	1	あり	0	なし	0	R/W	
		D6	A16RH	エリア16-15リードホールドサイクル					0	R/W	
		D5	A14RH	エリア14-13リードホールドサイクル					0	R/W	
		D4	A12RH	エリア12-11リードホールドサイクル					0	R/W	
		D3	A10RH	エリア10-9リードホールドサイクル					0	R/W	
		D2	A8RH	エリア8-7リードホールドサイクル					0	R/W	
		D1	A6RH	エリア6リードホールドサイクル					0	R/W	
		D0	A5RH	エリア5-4リードホールドサイクル					0	R/W	
バス速度設定 レジスタ	004813E (B)	D7	A18BS	エリア18-17バス速度選択	1	×1速度	0	#X2SPD に従う	0	R/W	本レジスタの設定 は、#X2SPD="0"(×2 スピードモード)の場 合に有効
		D6	A16BS	エリア16-15バス速度選択					0	R/W	
		D5	A14BS	エリア14-13バス速度選択					0	R/W	
		D4	A12BS	エリア12-11バス速度選択					0	R/W	
		D3	A10BS	エリア10-9バス速度選択					0	R/W	
		D2	A8BS	エリア8-7バス速度選択					0	R/W	
		D1	A6BS	エリア6バス速度選択					0	R/W	
		D0	A5BS	エリア5-4バス速度選択					0	R/W	
16bitタイマ0 コンペアデータ A設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0	0~65535			X	R/W		
		DE	CR0A14	コンペアデータA							
		DD	CR0A13	CR0A15 = MSB							
		DC	CR0A12	CR0A0 = LSB							
		DB	CR0A11								
		DA	CR0A10								
		D9	CR0A9								
		D8	CR0A8								
		D7	CR0A7								
		D6	CR0A6								
		D5	CR0A5								
		D4	CR0A4								
		D3	CR0A3								
		D2	CR0A2								
		D1	CR0A1								
		D0	CR0A0								
16bitタイマ0 コンペアデータ B設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0	0~65535			X	R/W		
		DE	CR0B14	コンペアデータB							
		DD	CR0B13	CR0B15 = MSB							
		DC	CR0B12	CR0B0 = LSB							
		DB	CR0B11								
		DA	CR0B10								
		D9	CR0B9								
		D8	CR0B8								
		D7	CR0B7								
		D6	CR0B6								
		D5	CR0B5								
		D4	CR0B4								
		D3	CR0B3								
		D2	CR0B2								
		D1	CR0B1								
		D0	CR0B0								

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ0 カウンタデータ レジスタ	0048184 (HW)	DF	TC015	16bitタイマ0	0～65535	X	R	
		DE	TC014	カウンタデータ		X		
		DD	TC013	TC015 = MSB		X		
		DC	TC012	TC00 = LSB		X		
		DB	TC011			X		
		DA	TC010			X		
		D9	TC09			X		
		D8	TC08			X		
		D7	TC07			X		
		D6	TC06			X		
		D5	TC05			X		
		D4	TC04			X		
		D3	TC03			X		
		D2	TC02			X		
		D1	TC01			X		
		D0	TC00			X		
16bitタイマ0 制御レジスタ	0048186 (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELFM0	16bitタイマ0ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB0	16bitタイマ0コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM0	16bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET0	16bitタイマ0リセット	1 リセット 0 無効	0	W	
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	読み出し時: 0
16bitタイマ1 コンペアデータ A設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1	0～65535	X	R/W	
		DE	CR1A14	コンペアデータA		X		
		DD	CR1A13	CR1A15 = MSB		X		
		DC	CR1A12	CR1A0 = LSB		X		
		DB	CR1A11			X		
		DA	CR1A10			X		
		D9	CR1A9			X		
		D8	CR1A8			X		
		D7	CR1A7			X		
		D6	CR1A6			X		
		D5	CR1A5			X		
		D4	CR1A4			X		
		D3	CR1A3			X		
		D2	CR1A2			X		
		D1	CR1A1			X		
		D0	CR1A0			X		
16bitタイマ1 コンペアデータ B設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1	0～65535	X	R/W	
		DE	CR1B14	コンペアデータB		X		
		DD	CR1B13	CR1B15 = MSB		X		
		DC	CR1B12	CR1B0 = LSB		X		
		DB	CR1B11			X		
		DA	CR1B10			X		
		D9	CR1B9			X		
		D8	CR1B8			X		
		D7	CR1B7			X		
		D6	CR1B6			X		
		D5	CR1B5			X		
		D4	CR1B4			X		
		D3	CR1B3			X		
		D2	CR1B2			X		
		D1	CR1B1			X		
		D0	CR1B0			X		
16bitタイマ1 カウンタデータ レジスタ	004818C (HW)	DF	TC115	16bitタイマ1	0～65535	X	R	
		DE	TC114	カウンタデータ		X		
		DD	TC113	TC115 = MSB		X		
		DC	TC112	TC10 = LSB		X		
		DB	TC111			X		
		DA	TC110			X		
		D9	TC19			X		
		D8	TC18			X		
		D7	TC17			X		
		D6	TC16			X		
		D5	TC15			X		
		D4	TC14			X		
		D3	TC13			X		
		D2	TC12			X		
		D1	TC11			X		
		D0	TC10			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ1 制御レジスタ	004818E (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELF1M1	16bitタイマ1ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV1	16bitタイマ1出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL1	16bitタイマ1入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM1	16bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET1	16bitタイマ1リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
16bitタイマ2 コンペアデータ A設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2 コンペアデータA	0~65535	X	R/W	
		DE	CR2A14	CR2A15 = MSB		X		
		DD	CR2A13	CR2A15 = MSB		X		
		DC	CR2A12	CR2A0 = LSB		X		
		DB	CR2A11			X		
		DA	CR2A10			X		
		D9	CR2A9			X		
		D8	CR2A8			X		
		D7	CR2A7			X		
		D6	CR2A6			X		
		D5	CR2A5			X		
		D4	CR2A4			X		
		D3	CR2A3			X		
		D2	CR2A2			X		
		D1	CR2A1			X		
		D0	CR2A0			X		
16bitタイマ2 コンペアデータ B設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2 コンペアデータB	0~65535	X	R/W	
		DE	CR2B14	コンペアデータB		X		
		DD	CR2B13	CR2B15 = MSB		X		
		DC	CR2B12	CR2B0 = LSB		X		
		DB	CR2B11			X		
		DA	CR2B10			X		
		D9	CR2B9			X		
		D8	CR2B8			X		
		D7	CR2B7			X		
		D6	CR2B6			X		
		D5	CR2B5			X		
		D4	CR2B4			X		
		D3	CR2B3			X		
		D2	CR2B2			X		
		D1	CR2B1			X		
		D0	CR2B0			X		
16bitタイマ2 カウンタデータ レジスタ	0048194 (HW)	DF	TC215	16bitタイマ2 カウンタデータ	0~65535	X	R	
		DE	TC214	カウンタデータ		X		
		DD	TC213	TC215 = MSB		X		
		DC	TC212	TC20 = LSB		X		
		DB	TC211			X		
		DA	TC210			X		
		D9	TC29			X		
		D8	TC28			X		
		D7	TC27			X		
		D6	TC26			X		
		D5	TC25			X		
		D4	TC24			X		
		D3	TC23			X		
		D2	TC22			X		
		D1	TC21			X		
		D0	TC20			X		
16bitタイマ2 制御レジスタ	0048196 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELF2M2	16bitタイマ2ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB2	16bitタイマ2コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV2	16bitタイマ2出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL2	16bitタイマ2入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM2	16bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET2	16bitタイマ2リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN2	16bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ3 コンペアデータ A設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3	0～65535	X	R/W	
		DE	CR3A14	コンペアデータA		X		
		DD	CR3A13	CR3A15 = MSB		X		
		DC	CR3A12	CR3A0 = LSB		X		
		DB	CR3A11			X		
		DA	CR3A10			X		
		D9	CR3A9			X		
		D8	CR3A8			X		
		D7	CR3A7			X		
		D6	CR3A6			X		
		D5	CR3A5			X		
		D4	CR3A4			X		
		D3	CR3A3			X		
		D2	CR3A2			X		
		D1	CR3A1			X		
		D0	CR3A0			X		
16bitタイマ3 コンペアデータ B設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3	0～65535	X	R/W	
		DE	CR3B14	コンペアデータB		X		
		DD	CR3B13	CR3B15 = MSB		X		
		DC	CR3B12	CR3B0 = LSB		X		
		DB	CR3B11			X		
		DA	CR3B10			X		
		D9	CR3B9			X		
		D8	CR3B8			X		
		D7	CR3B7			X		
		D6	CR3B6			X		
		D5	CR3B5			X		
		D4	CR3B4			X		
		D3	CR3B3			X		
		D2	CR3B2			X		
		D1	CR3B1			X		
		D0	CR3B0			X		
16bitタイマ3 カウンタデータ レジスタ	004819C (HW)	DF	TC315	16bitタイマ3	0～65535	X	R	
		DE	TC314	カウンタデータ		X		
		DD	TC313	TC315 = MSB		X		
		DC	TC312	TC30 = LSB		X		
		DB	TC311			X		
		DA	TC310			X		
		D9	TC39			X		
		D8	TC38			X		
		D7	TC37			X		
		D6	TC36			X		
		D5	TC35			X		
		D4	TC34			X		
		D3	TC33			X		
		D2	TC32			X		
		D1	TC31			X		
		D0	TC30			X		
16bitタイマ3 制御レジスタ	004819E (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELFM3	16bitタイマ3ファインモード選択	1 ファイン	0 通常	0	R/W
		D5	SELCRB3	16bitタイマ3コンペアバッファ	1 許可	0 禁止	0	R/W
		D4	OUTINV3	16bitタイマ3出力反転	1 反転	0 通常	0	R/W
		D3	CKSL3	16bitタイマ3入力クロック選択	1 外部クロック	0 内部クロック	0	R/W
		D2	PTM3	16bitタイマ3クロック出力制御	1 On	0 Off	0	R/W
		D1	PRESET3	16bitタイマ3リセット	1 リセット	0 無効	0	W 読み出し時: 0
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1 Run	0 Stop	0	R/W
16bitタイマ4 コンペアデータ A設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4	0～65535	X	R/W	
		DE	CR4A14	コンペアデータA		X		
		DD	CR4A13	CR4A15 = MSB		X		
		DC	CR4A12	CR4A0 = LSB		X		
		DB	CR4A11			X		
		DA	CR4A10			X		
		D9	CR4A9			X		
		D8	CR4A8			X		
		D7	CR4A7			X		
		D6	CR4A6			X		
		D5	CR4A5			X		
		D4	CR4A4			X		
		D3	CR4A3			X		
		D2	CR4A2			X		
		D1	CR4A1			X		
		D0	CR4A0			X		

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ4 コンペアデータ B設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4	0～65535	X	R/W	
		DE	CR4B14	コンペアデータB		X		
		DD	CR4B13	CR4B15 = MSB		X		
		DC	CR4B12	CR4B0 = LSB		X		
		DB	CR4B11			X		
		DA	CR4B10			X		
		D9	CR4B9			X		
		D8	CR4B8			X		
		D7	CR4B7			X		
		D6	CR4B6			X		
		D5	CR4B5			X		
		D4	CR4B4			X		
		D3	CR4B3			X		
		D2	CR4B2			X		
		D1	CR4B1			X		
		D0	CR4B0			X		
16bitタイマ4 カウンタデータ レジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4	0～65535	X	R	
		DE	TC414	カウンタデータ		X		
		DD	TC413	TC415 = MSB		X		
		DC	TC412	TC40 = LSB		X		
		DB	TC411			X		
		DA	TC410			X		
		D9	TC49			X		
		D8	TC48			X		
		D7	TC47			X		
		D6	TC46			X		
		D5	TC45			X		
		D4	TC44			X		
		D3	TC43			X		
		D2	TC42			X		
		D1	TC41			X		
		D0	TC40			X		
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELF4	16bitタイマ4ファインモード選択	1 ファイン	0 通常	0	R/W
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1 許可	0 禁止	0	R/W
		D4	OUTINV4	16bitタイマ4出力反転	1 反転	0 通常	0	R/W
		D3	CKSL4	16bitタイマ4入力クロック選択	1 外部クロック	0 内部クロック	0	R/W
		D2	PTM4	16bitタイマ4クロック出力制御	1 On	0 Off	0	R/W
		D1	PRESET4	16bitタイマ4リセット	1 リセット	0 無効	0	W
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1 Run	0 Stop	0	R/W
								読み出し時: 0
16bitタイマ5 コンペアデータ A設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5	0～65535	X	R/W	
		DE	CR5A14	コンペアデータA		X		
		DD	CR5A13	CR5A15 = MSB		X		
		DC	CR5A12	CR5A0 = LSB		X		
		DB	CR5A11			X		
		DA	CR5A10			X		
		D9	CR5A9			X		
		D8	CR5A8			X		
		D7	CR5A7			X		
		D6	CR5A6			X		
		D5	CR5A5			X		
		D4	CR5A4			X		
		D3	CR5A3			X		
		D2	CR5A2			X		
		D1	CR5A1			X		
		D0	CR5A0			X		
16bitタイマ5 コンペアデータ B設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5	0～65535	X	R/W	
		DE	CR5B14	コンペアデータB		X		
		DD	CR5B13	CR5B15 = MSB		X		
		DC	CR5B12	CR5B0 = LSB		X		
		DB	CR5B11			X		
		DA	CR5B10			X		
		D9	CR5B9			X		
		D8	CR5B8			X		
		D7	CR5B7			X		
		D6	CR5B6			X		
		D5	CR5B5			X		
		D4	CR5B4			X		
		D3	CR5B3			X		
		D2	CR5B2			X		
		D1	CR5B1			X		
		D0	CR5B0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ5 カウンタデータ レジスタ	00481AC (HW)	DF	TC515	16bitタイマ5	0~65535	X	R	
		DE	TC514	カウンタデータ		X		
		DD	TC513	TC515 = MSB		X		
		DC	TC512	TC50 = LSB		X		
		DB	TC511			X		
		DA	TC510			X		
		D9	TC59			X		
		D8	TC58			X		
		D7	TC57			X		
		D6	TC56			X		
		D5	TC55			X		
		D4	TC54			X		
		D3	TC53			X		
		D2	TC52			X		
		D1	TC51			X		
		D0	TC50			X		
16bitタイマ5 制御レジスタ	00481AE (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELFM5	16bitタイマ5ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL5	16bitタイマ5入カクロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1 Run 0 Stop	0	R/W	
IDMA ベースアドレス 下位レジスタ	0048200 (HW)	DF	DBASEL15	IDMA	ベースアドレス 下位16ビット (初期値: 0x0C003A0)	0	R/W	
		DE	DBASEL14			0		
		DD	DBASEL13			0		
		DC	DBASEL12			0		
		DB	DBASEL11			0		
		DA	DBASEL10			0		
		D9	DBASEL9			1		
		D8	DBASEL8			1		
		D7	DBASEL7			1		
		D6	DBASEL6			0		
		D5	DBASEL5			1		
		D4	DBASEL4			0		
		D3	DBASEL3			0		
		D2	DBASEL2			0		
		D1	DBASEL1			0		
		D0	DBASEL0			0		
IDMA ベースアドレス 上位レジスタ	0048202 (HW)	DF-C	—	reserved	—	—	—	読み出し時: 不定
		DB	DBASEH11	IDMA	ベースアドレス 上位12ビット (初期値: 0x0C003A0)	0	R/W	
		DA	DBASEH10			0		
		D9	DBASEH9			0		
		D8	DBASEH8			0		
		D7	DBASEH7			1		
		D6	DBASEH6			1		
		D5	DBASEH5			0		
		D4	DBASEH4			0		
		D3	DBASEH3			0		
		D2	DBASEH2			0		
		D1	DBASEH1			0		
		D0	DBASEH0			0		
IDMAスタート レジスタ	0048204 (B)	D7	DSTART	IDMAスタート	1 IDMA開始 0 停止	0	R/W	
		D6-0	DCHN	IDMAチャネル番号	0~127	0	R/W	
IDMAイネーブル レジスタ	0048205 (B)	D7-1	—	reserved	—	—	—	
		D0	IDMAEN	IDMAイネーブル	1 転送可 0 転送不可	0	R/W	

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0 転送カウンタ レジスタ	0048220 (HW)	DF	TC0_L7	Ch.0転送カウンタ[7:0] (ブロック転送モード)		X	R/W	
		DE	TC0_L6			X		
		DD	TC0_L5			X		
		DC	TC0_L4	Ch.0転送カウンタ[15:8] (シングル/連続転送モード)		X		
		DB	TC0_L3			X		
		DA	TC0_L2			X		
		D9	TC0_L1			X		
		D8	TC0_L0			X		
		D7	BLKLEN07	Ch.0ブロック長 (ブロック転送モード)		X	R/W	
		D6	BLKLEN06			X		
		D5	BLKLEN05			X		
		D4	BLKLEN04	Ch.0転送カウンタ[7:0] (シングル/連続転送モード)		X		
		D3	BLKLEN03			X		
		D2	BLKLEN02			X		
		D1	BLKLEN01			X		
		D0	BLKLEN00			X		
高速DMA Ch.0 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048222 (HW)	DF	DUALM0	Ch.0アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	DODIR	D) 無効 S) Ch.0転送方向制御	— 1 メモリWR 0 メモリRD	— 0	— R/W	
		DD-8	—	reserved	—	—	—	読み出し時: 不定
		D7	TC0_H7	Ch.0転送カウンタ[15:8] (ブロック転送モード)		X	R/W	
		D6	TC0_H6			X		
		D5	TC0_H5			X		
		D4	TC0_H4	Ch.0転送カウンタ[23:16] (シングル/連続転送モード)		X		
		D3	TC0_H3			X		
		D2	TC0_H2			X		
		D1	TC0_H1			X		
		D0	TC0_H0			X		
高速DMA Ch.0 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048224 (HW)	DF	S0ADRL15	D) Ch.0転送元アドレス[15:0] S) Ch.0メモリアドレス[15:0]		X	R/W	
		DE	S0ADRL14			X		
		DD	S0ADRL13			X		
		DC	S0ADRL12			X		
		DB	S0ADRL11			X		
		DA	S0ADRL10			X		
		D9	S0ADRL9			X		
		D8	S0ADRL8			X		
		D7	S0ADRL7			X		
		D6	S0ADRL6			X		
		D5	S0ADRL5			X		
		D4	S0ADRL4			X		
		D3	S0ADRL3			X		
		D2	S0ADRL2			X		
		D1	S0ADRL1			X		
		D0	S0ADRL0			X		
高速DMA Ch.0 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048226 (HW)	DF	—	reserved	—	—	—	
		DE	DATSIZE0	Ch.0転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S0IN1	D) Ch.0転送元アドレス制御	S0IN[1:0]	0	R/W	
		DC	S0IN0	S) Ch.0メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S0ADRH11	D) Ch.0転送元アドレス[27:16] S) Ch.0メモリアドレス[27:16]		X	R/W	
		DA	S0ADRH10			X		
		D9	S0ADRH9			X		
		D8	S0ADRH8			X		
		D7	S0ADRH7			X		
		D6	S0ADRH6			X		
		D5	S0ADRH5			X		
		D4	S0ADRH4			X		
		D3	S0ADRH3			X		
		D2	S0ADRH2			X		
		D1	S0ADRH1			X		
		D0	S0ADRH0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
高速DMA Ch.0 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048228 (HW)	DF	D0ADRL15	D) Ch.0転送先アドレス[15:0] S) 無効			X	R/W			
		DE	D0ADRL14				X				
		DD	D0ADRL13				X				
		DC	D0ADRL12				X				
		DB	D0ADRL11				X				
		DA	D0ADRL10				X				
		D9	D0ADRL9				X				
		D8	D0ADRL8				X				
		D7	D0ADRL7				X				
		D6	D0ADRL6				X				
		D5	D0ADRL5				X				
		D4	D0ADRL4				X				
		D3	D0ADRL3				X				
		D2	D0ADRL2				X				
		D1	D0ADRL1				X				
		D0	D0ADRL0				X				
		高速DMA Ch.0 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004822A (HW)				DF			D0MOD1 D0MOD0	Ch.0転送モード
1	1										
1	0										
0	1										
0	0										
DD	D0IN1 D0IN0			D) Ch.0転送先アドレス制御 S) 無効	D0IN[1:0]		Inc/dec Inc.(initなし) Inc.(init) Dec.(initなし) 固定	0 0	R/W		
					1	1					
					1	0					
					0	1					
					0	0					
DB	D0ADRH11 D0ADRH10 D0ADRH9 D0ADRH8 D0ADRH7 D0ADRH6 D0ADRH5 D0ADRH4 D0ADRH3 D0ADRH2 D0ADRH1 D0ADRH0			D) Ch.0転送先アドレス[27:16] S) 無効			X X X X X X X X X X X X	R/W			
									DA	D0ADRH10	
									D9	D0ADRH9	
									D8	D0ADRH8	
									D7	D0ADRH7	
									D6	D0ADRH6	
									D5	D0ADRH5	
									D4	D0ADRH4	
									D3	D0ADRH3	
									D2	D0ADRH2	
									D1	D0ADRH1	
									D0	D0ADRH0	
高速DMA Ch.0 イネーブル レジスタ	004822C (HW)	DF-1	-	reserved	-		-	-	読み出し時: 不定		
		D0	HS0_EN	Ch.0イネーブル	1	許可	0	禁止	0	R/W	
高速DMA Ch.0 トリガフラグ レジスタ	004822E (HW)	DF-1	-	reserved	-		-	-	読み出し時: 不定		
		D0	HS0_TF	Ch.0トリガフラグクリア(WR)	1	クリア	0	無効	0	R/W	
Ch.0トリガフラグステータス(RD)	1			セット	0	クリア					
高速DMA Ch.1 転送カウンタ レジスタ	0048230 (HW)	DF	TC1_L7	Ch.1転送カウンタ[7:0] (ブロック転送モード) Ch.1転送カウンタ[15:8] (シングル/連続転送モード)			X X X X X X X X	R/W			
		DE	TC1_L6								
		DD	TC1_L5								
		DC	TC1_L4								
		DB	TC1_L3								
		DA	TC1_L2								
		D9	TC1_L1								
		D8	TC1_L0								
		D7	BLKLEN17	Ch.1ブロック長 (ブロック転送モード) Ch.1転送カウンタ[7:0] (シングル/連続転送モード)			X X X X X X X X	R/W			
		D6	BLKLEN16								
		D5	BLKLEN15								
		D4	BLKLEN14								
		D3	BLKLEN13								
		D2	BLKLEN12								
		D1	BLKLEN11								
		D0	BLKLEN10								

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.1 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048232 (HW)	DF	DUALM1	Ch.1アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D1DIR	D) 無効	—	—	—	
				S) Ch.1転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
		DD-8	—	reserved	—	—	—	読み出し時: 不定
		D7	TC1_H7	Ch.1転送カウンタ[15:8]		X	R/W	
		D6	TC1_H6	(ブロック転送モード)		X		
		D5	TC1_H5			X		
		D4	TC1_H4	Ch.1転送カウンタ[23:16]		X		
		D3	TC1_H3	(シングル/連続転送モード)		X		
		D2	TC1_H2			X		
		D1	TC1_H1			X		
		D0	TC1_H0			X		
高速DMA Ch.1 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048234 (HW)	DF	S1ADRL15	D) Ch.1転送元アドレス[15:0]		X	R/W	
		DE	S1ADRL14	S) Ch.1メモリアドレス[15:0]		X		
		DD	S1ADRL13			X		
		DC	S1ADRL12			X		
		DB	S1ADRL11			X		
		DA	S1ADRL10			X		
		D9	S1ADRL9			X		
		D8	S1ADRL8			X		
		D7	S1ADRL7			X		
		D6	S1ADRL6			X		
		D5	S1ADRL5			X		
		D4	S1ADRL4			X		
		D3	S1ADRL3			X		
		D2	S1ADRL2			X		
		D1	S1ADRL1			X		
		D0	S1ADRL0			X		
高速DMA Ch.1 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048236 (HW)	DF	—	reserved	—	—	—	
		DE	DATSIZE1	Ch.1転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S1IN1	D) Ch.1転送元アドレス制御	S1IN[1:0]	0	R/W	
		DC	S1IN0	S) Ch.1メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S1ADRH11	D) Ch.1転送元アドレス[27:16]		X	R/W	
		DA	S1ADRH10	S) Ch.1メモリアドレス[27:16]		X		
		D9	S1ADRH9			X		
		D8	S1ADRH8			X		
		D7	S1ADRH7			X		
		D6	S1ADRH6			X		
		D5	S1ADRH5			X		
		D4	S1ADRH4			X		
		D3	S1ADRH3			X		
		D2	S1ADRH2			X		
		D1	S1ADRH1			X		
		D0	S1ADRH0			X		
高速DMA Ch.1 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048238 (HW)	DF	D1ADRL15	D) Ch.1転送先アドレス[15:0]		X	R/W	
		DE	D1ADRL14	S) 無効		X		
		DD	D1ADRL13			X		
		DC	D1ADRL12			X		
		DB	D1ADRL11			X		
		DA	D1ADRL10			X		
		D9	D1ADRL9			X		
		D8	D1ADRL8			X		
		D7	D1ADRL7			X		
		D6	D1ADRL6			X		
		D5	D1ADRL5			X		
		D4	D1ADRL4			X		
		D3	D1ADRL3			X		
		D2	D1ADRL2			X		
		D1	D1ADRL1			X		
		D0	D1ADRL0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
高速DMA Ch.1 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004823A (HW)	DF	D1MOD1	Ch.1転送モード	D1MOD[1:0]		モード	0	R/W	
		DE	D1MOD0		1	1	無効	0		
					1	0	ブロック転送			
					0	1	連続転送			
					0	0	シングル転送			
		DD	D1IN1	D) Ch.1転送先アドレス制御 S) 無効	D1IN[1:0]		Inc/dec	0	R/W	
		DC	D1IN0		1	1	Inc.(initなし)	0		
					1	0	Inc.(init)			
					0	1	Dec.(initなし)			
					0	0	固定			
		DB	D1ADRH11	D) Ch.1転送先アドレス[27:16] S) 無効				X	R/W	
		DA	D1ADRH10					X		
		D9	D1ADRH9					X		
		D8	D1ADRH8					X		
		D7	D1ADRH7					X		
D6	D1ADRH6	X								
D5	D1ADRH5	X								
D4	D1ADRH4	X								
D3	D1ADRH3	X								
D2	D1ADRH2	X								
D1	D1ADRH1	X								
D0	D1ADRH0	X								
高速DMA Ch.1 イネーブル レジスタ	004823C (HW)	DF-1	-	reserved	-			-	-	読み出し時: 不定
		D0	HS1_EN	Ch.1イネーブル	1	許可	0	禁止	0	R/W
高速DMA Ch.1 トリガフラグ レジスタ	004823E (HW)	DF-1	-	reserved	-			-	-	読み出し時: 不定
		D0	HS1_TF	Ch.1トリガフラグクリア(WR)	1	クリア	0	無効	0	R/W
				Ch.1トリガフラグステータス(RD)	1	セット	0	クリア		
高速DMA Ch.2 転送カウンタ レジスタ	0048240 (HW)	DF	TC2_L7	Ch.2転送カウンタ[7:0] (ブロック転送モード)				X	R/W	
		DE	TC2_L6					X		
		DD	TC2_L5					X		
		DC	TC2_L4					X		
		DB	TC2_L3					X		
		DA	TC2_L2	Ch.2転送カウンタ[15:8] (シングル/連続転送モード)				X	R/W	
		D9	TC2_L1					X		
		D8	TC2_L0					X		
		D7	BLKLEN27	Ch.2ブロック長 (ブロック転送モード)				X	R/W	
		D6	BLKLEN26					X		
		D5	BLKLEN25					X		
		D4	BLKLEN24	Ch.2転送カウンタ[7:0] (シングル/連続転送モード)				X	R/W	
		D3	BLKLEN23					X		
		D2	BLKLEN22					X		
		D1	BLKLEN21					X		
		D0	BLKLEN20					X		
高速DMA Ch.2 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048242 (HW)	DF	DUALM2	Ch.2アドレスモード選択	1	デュアル	0	シングル	0	R/W
		DE	D2DIR	D)無効 S) Ch.2転送方向制御	-			-	-	
					1	メモリWR	0	メモリRD	0	R/W
		DD-8	-	reserved	-			-	-	読み出し時: 不定
		D7	TC2_H7	Ch.2転送カウンタ[15:8] (ブロック転送モード)				X	R/W	
		D6	TC2_H6					X		
		D5	TC2_H5					X		
		D4	TC2_H4	Ch.2転送カウンタ[23:16] (シングル/連続転送モード)				X	R/W	
		D3	TC2_H3					X		
		D2	TC2_H2					X		
		D1	TC2_H1					X		
		D0	TC2_H0					X		

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈								
高速DMA Ch.2 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048244 (HW)	DF	S2ADRL15	D) Ch.2転送元アドレス[15:0] S) Ch.2メモリアドレス[15:0]				X	R/W									
		DE	S2ADRL14					X										
		DD	S2ADRL13					X										
		DC	S2ADRL12					X										
		DB	S2ADRL11					X										
		DA	S2ADRL10					X										
		D9	S2ADRL9					X										
		D8	S2ADRL8					X										
		D7	S2ADRL7					X										
		D6	S2ADRL6					X										
		D5	S2ADRL5					X										
		D4	S2ADRL4					X										
		D3	S2ADRL3					X										
		D2	S2ADRL2					X										
		D1	S2ADRL1					X										
		D0	S2ADRL0					X										
		高速DMA Ch.2 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048246 (HW)					DF			—	reserved	—			—	—	
DE	DATSIZE2			Ch.2転送データサイズ	1	ハーフワード	0	バイト	0	R/W								
DD	S2IN1			D) Ch.2転送元アドレス制御	S2IN[1:0]		Inc/dec		0	R/W								
DC	S2IN0			S) Ch.2メモリアドレス制御	1	1	Inc.(initなし)		0									
					1	0	Inc.(init)		0									
					0	1	Dec.(initなし)											
					0	0	固定											
DB	S2ADRH11			D) Ch.2転送元アドレス[27:16]				X	R/W									
DA	S2ADRH10			S) Ch.2メモリアドレス[27:16]				X										
D9	S2ADRH9			X														
D8	S2ADRH8			X														
D7	S2ADRH7			X														
D6	S2ADRH6			X														
D5	S2ADRH5			X														
D4	S2ADRH4			X														
D3	S2ADRH3			X														
D2	S2ADRH2			X														
D1	S2ADRH1			X														
D0	S2ADRH0			X														
高速DMA Ch.2 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048248 (HW)			DF	D2ADRL15	D) Ch.2転送先アドレス[15:0]				X	R/W							
		DE	D2ADRL14	S) 無効	X													
		DD	D2ADRL13	X														
		DC	D2ADRL12	X														
		DB	D2ADRL11	X														
		DA	D2ADRL10	X														
		D9	D2ADRL9	X														
		D8	D2ADRL8	X														
		D7	D2ADRL7	X														
		D6	D2ADRL6	X														
		D5	D2ADRL5	X														
		D4	D2ADRL4	X														
		D3	D2ADRL3	X														
		D2	D2ADRL2	X														
		D1	D2ADRL1	X														
		D0	D2ADRL0	X														
		高速DMA Ch.2 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004824A (HW)	DF	D2MOD1	Ch.2転送モード				D2MOD[1:0]			モード		0	R/W		
				DE	D2MOD0					1			1	無効				0
										1			0	ブロック転送		0		
										0			1	連続転送				
					0	0	シングル転送											
DD	D2IN1			D) Ch.2転送先アドレス制御	D2IN[1:0]		Inc/dec		0	R/W								
DC	D2IN0			S) 無効	1	1	Inc.(initなし)		0									
					1	0	Inc.(init)											
					0	1	Dec.(initなし)											
					0	0	固定											
DB	D2ADRH11			D) Ch.2転送先アドレス[27:16]				X	R/W									
DA	D2ADRH10			S) 無効				X										
D9	D2ADRH9			X														
D8	D2ADRH8			X														
D7	D2ADRH7			X														
D6	D2ADRH6			X														
D5	D2ADRH5			X														
D4	D2ADRH4			X														
D3	D2ADRH3			X														
D2	D2ADRH2			X														
D1	D2ADRH1	X																
D0	D2ADRH0	X																

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.2 イネーブル レジスタ	004824C (HW)	DF-1	-	reserved	-	-	-	読み出し時: 不定
		D0	HS2_EN	Ch.2イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.2 トリガフラグ レジスタ	004824E (HW)	DF-1	-	reserved	-	-	-	読み出し時: 不定
		D0	HS2_TF	Ch.2トリガフラグクリア(WR) Ch.2トリガフラグステータス(RD)	1 クリア 0 無効 1 セット 0 クリア	0	R/W	
高速DMA Ch.3 転送カウンタ レジスタ	0048250 (HW)	DF	TC3_L7	Ch.3転送カウンタ[7:0]		X	R/W	
		DE	TC3_L6	(ブロック転送モード)		X		
		DD	TC3_L5			X		
		DC	TC3_L4	Ch.3転送カウンタ[15:8]		X		
		DB	TC3_L3	(シングル/連続転送モード)		X		
		DA	TC3_L2			X		
		D9	TC3_L1			X		
		D8	TC3_L0			X		
		D7	BLKLEN37	Ch.3ブロック長		X	R/W	
		D6	BLKLEN36	(ブロック転送モード)		X		
		D5	BLKLEN35			X		
		D4	BLKLEN34	Ch.3転送カウンタ[7:0]		X		
		D3	BLKLEN33	(シングル/連続転送モード)		X		
		D2	BLKLEN32			X		
		D1	BLKLEN31			X		
		D0	BLKLEN30			X		
高速DMA Ch.3 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048252 (HW)	DF	DUALM3	Ch.3アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D3DIR	D) 無効 S) Ch.3転送方向制御	- 1 メモリWR 0 メモリRD	- 0	R/W	
		DD-8	-	reserved	-	-	-	読み出し時: 不定
		D7	TC3_H7	Ch.3転送カウンタ[15:8]		X	R/W	
		D6	TC3_H6	(ブロック転送モード)		X		
		D5	TC3_H5			X		
		D4	TC3_H4	Ch.3転送カウンタ[23:16]		X		
		D3	TC3_H3	(シングル/連続転送モード)		X		
		D2	TC3_H2			X		
		D1	TC3_H1			X		
		D0	TC3_H0			X		
高速DMA Ch.3 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048254 (HW)	DF	S3ADRL15	D) Ch.3転送元アドレス[15:0]		X	R/W	
		DE	S3ADRL14	S) Ch.3メモリアドレス[15:0]		X		
		DD	S3ADRL13			X		
		DC	S3ADRL12			X		
		DB	S3ADRL11			X		
		DA	S3ADRL10			X		
		D9	S3ADRL9			X		
		D8	S3ADRL8			X		
		D7	S3ADRL7			X		
		D6	S3ADRL6			X		
		D5	S3ADRL5			X		
		D4	S3ADRL4			X		
		D3	S3ADRL3			X		
		D2	S3ADRL2			X		
		D1	S3ADRL1			X		
		D0	S3ADRL0			X		
高速DMA Ch.3 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048256 (HW)	DF	-	reserved	-	-	-	
		DE	DATSIZE3	Ch.3転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S3IN1	D) Ch.3転送元アドレス制御	S3IN[1:0] Inc/dec	0	R/W	
		DC	S3IN0	S) Ch.3メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S3ADRH11	D) Ch.3転送元アドレス[27:16]		X	R/W	
		DA	S3ADRH10	S) Ch.3メモリアドレス[27:16]		X		
		D9	S3ADRH9			X		
		D8	S3ADRH8			X		
		D7	S3ADRH7			X		
		D6	S3ADRH6			X		
		D5	S3ADRH5			X		
		D4	S3ADRH4			X		
		D3	S3ADRH3			X		
		D2	S3ADRH2			X		
		D1	S3ADRH1			X		
		D0	S3ADRH0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈	
高速DMA Ch.3 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048258 (HW)	DF	D3ADRL15	D) Ch.3転送先アドレス[15:0] S) 無効			X	R/W		
		DE	D3ADRL14				X			
		DD	D3ADRL13				X			
		DC	D3ADRL12				X			
		DB	D3ADRL11				X			
		DA	D3ADRL10				X			
		D9	D3ADRL9				X			
		D8	D3ADRL8				X			
		D7	D3ADRL7				X			
		D6	D3ADRL6				X			
		D5	D3ADRL5				X			
		D4	D3ADRL4				X			
		D3	D3ADRL3				X			
		D2	D3ADRL2				X			
		D1	D3ADRL1				X			
		D0	D3ADRL0				X			
		高速DMA Ch.3 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004825A (HW)				DF			D3MOD1
DE	D3MOD0			1 1	無効	0				
				1 0	無効					
				0 1	ブロック転送					
				0 0	連続転送					
DD	D3IN1			D) Ch.3転送先アドレス制御 S) 無効	D3IN[1:0]		Inc/dec	0	R/W	
DC	D3IN0				1 1	Inc.(initなし)	0			
					1 0	Inc.(init)				
					0 1	Dec.(initなし)				
					0 0	固定				
DB	D3ADRH11				D) Ch.3転送先アドレス[27:16] S) 無効			X		R/W
DA	D3ADRH10			X						
D9	D3ADRH9			X						
D8	D3ADRH8			X						
D7	D3ADRH7			X						
D6	D3ADRH6			X						
D5	D3ADRH5			X						
D4	D3ADRH4			X						
D3	D3ADRH3			X						
D2	D3ADRH2			X						
D1	D3ADRH1			X						
D0	D3ADRH0			X						
高速DMA Ch.3 イネーブル レジスタ	004825C (HW)			DF-1	-	reserved	-		-	-
		D0	HS3_EN	Ch.3イネーブル	1	許可	0	禁止	0	R/W
高速DMA Ch.3 トリガフラグ レジスタ	004825E (HW)	DF-1	-	reserved	-		-	-	読み出し時: 不定	
		D0	HS3_TF	Ch.3トリガフラグクリア(WR)	1	クリア	0	無効	0	R/W
				Ch.3トリガフラグステータス(RD)	1	セット	0	クリア		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈						
コアIDレジスタ	0300000 (B)	D7	CID7	チップコアID	0x02	0	R							
		D6	CID6	0x02: C33スタンダードマクロコア		0								
		D5	CID5	0x03: C33ミニマクロコア		0								
		D4	CID4	0x04: C33アドバンスドマクロコア		0								
		D3	CID3			0								
		D2	CID2			0								
		D1	CID1			1								
		D0	CID0			0								
		製品シリーズID レジスタ	0300001 (B)	D7		MID7	製品シリーズID		0x15	0	R			
D6	MID6			0x03: S1C333xx	0									
D5	MID5			0x15: S1C33Lxx	0									
D4	MID4				1									
D3	MID3				0									
D2	MID2				1									
D1	MID1				0									
D0	MID0				1									
機種IDレジスタ	0300002 (B)			D7	NAME7	機種ID	0x05	0		R				
		D6	NAME6	0x04: S1C33L04	0									
		D5	NAME5	0x05: S1C33L05	0									
		D4	NAME4	0x11: S1C33L11	0									
		D3	NAME3		0									
		D2	NAME2		1									
		D1	NAME1		0									
		D0	NAME0		1									
		バージョン レジスタ	0300003 (B)	D7	VER3	バージョンコード		0x00	0	R				
D6	VER2			0x00: version 1.0	0									
D5	VER1				0									
D4	VER0				0									
D3-0	-			reserved	-	-	読み出し時: 0							
P4入出力兼用 ポートデータ レジスタ	0300020 (B)	D7	P47D	P47入出力兼用ポートデータ	1 High	0 Low	0	R/W						
		D6	P46D	P46入出力兼用ポートデータ			0	R/W						
		D5	P45D	P45入出力兼用ポートデータ			0	R/W						
		D4	P44D	P44入出力兼用ポートデータ			0	R/W						
		D3	P43D	P43入出力兼用ポートデータ			0	R/W						
		D2	P42D	P42入出力兼用ポートデータ			0	R/W						
		D1	P41D	P41入出力兼用ポートデータ			0	R/W						
		D0	P40D	P40入出力兼用ポートデータ			0	R/W						
		P4 I/O制御 レジスタ	0300021 (B)	D7			IOC47	P47 I/O制御		1 出力	0 入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
D6	IOC46			P46 I/O制御	0	R/W								
D5	IOC45			P45 I/O制御	0	R/W								
D4	IOC44			P44 I/O制御	0	R/W								
D3	IOC43			P43 I/O制御	0	R/W								
D2	IOC42			P42 I/O制御	0	R/W								
D1	IOC41			P41 I/O制御	0	R/W								
D0	IOC40			P40 I/O制御	0	R/W								
P5入出力兼用 ポートデータ レジスタ	0300022 (B)			D7-6	-	reserved	1 High	0 Low	-			-	読み出し時: 0	
		D5	P55D	P55入出力兼用ポートデータ	0	R/W								
		D4	P54D	P54入出力兼用ポートデータ	0	R/W								
		D3	P53D	P53入出力兼用ポートデータ	0	R/W								
		D2	P52D	P52入出力兼用ポートデータ	0	R/W								
		D1	P51D	P51入出力兼用ポートデータ	0	R/W								
		D0	P50D	P50入出力兼用ポートデータ	0	R/W								
		P5 I/O制御 レジスタ	0300023 (B)	D7-6	-	reserved			1 出力	0 入力	-	-		読み出し時: 0
				D5	IOC55	P55 I/O制御					0	R/W		
D4	IOC54			P54 I/O制御	0	R/W								
D3	IOC53			P53 I/O制御	0	R/W								
D2	IOC52			P52 I/O制御	0	R/W								
D1	IOC51			P51 I/O制御	0	R/W								
D0	IOC50			P50 I/O制御	0	R/W								
P6入出力兼用 ポートデータ レジスタ	0300024 (B)			D7-4	-	reserved	1 High	0 Low			-	-	読み出し時: 0	
				D3	P63D	P63入出力兼用ポートデータ					0	R/W		
		D2	P62D	P62入出力兼用ポートデータ	0	R/W								
		D1	P61D	P61入出力兼用ポートデータ	0	R/W								
		D0	P60D	P60入出力兼用ポートデータ	0	R/W								
P6 I/O制御 レジスタ	0300025 (B)	D7-4	-	reserved	1 出力	0 入力	-	-	読み出し時: 0					
		D3	IOC63	P63 I/O制御			0	R/W						
		D2	IOC62	P62 I/O制御			0	R/W						
		D1	IOC61	P61 I/O制御			0	R/W						
		D0	IOC60	P60 I/O制御			0	R/W						

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈				
P00-P03 ポート機能拡張 レジスタ	0300040 (B)	D7 D6	EFP031 EFP030	P03ポート機能拡張	EFP03[1:0]		機能	0	R/W				
					1	*	reserved	0					
					0	1	#FSRDY0						
					0	0	P03/#SRDY0						
		D5 D4	EFP021 EFP020	P02ポート機能拡張	EFP02[1:0]		機能	0	R/W				
					1	*	reserved	0					
					0	1	#FSCLK0						
					0	0	P02/#SCLK0						
		D3 D2	EFP011 EFP010	P01ポート機能拡張	EFP01[1:0]		機能	0	R/W				
					1	*	reserved	0					
					0	1	FSOUT0						
					0	0	P01/SOUT0						
D1 D0	EFP001 EFP000	P00ポート機能拡張	EFP00[1:0]		機能	0	R/W						
			1	*	reserved	0							
			0	1	FSIN0								
			0	0	P00/SIN0								
P20-P21 ポート機能拡張 レジスタ	0300044 (B)	D7-4 D3 D2	-	reserved	-		-	-	読み出し時: 0				
					EFP211 EFP210	P21ポート機能拡張	EFP21[1:0]				機能	0	
							1	*			reserved		
							0	1			#SDWE		
		D1 D0	EFP201 EFP200	P20ポート機能拡張	EFP20[1:0]		機能	0	R/W				
					1	*	reserved	0					
					0	1	SDCKE						
		P31-P33 ポート 機能拡張 レジスタ	0300046 (B)	D7 D6	EFP331 EFP330	P33ポート機能拡張	EFP33[1:0]		機能		0	R/W	
							1	*	reserved		0		
							0	1	SDI				
							0	0	P33, etc.				
				D5 D4	EFP321 EFP320	P32ポート機能拡張	EFP32[1:0]		機能		0	R/W	
1	*						reserved	0					
0	1						SPICLK						
0	0						P32, etc.						
D3 D2	EFP311 EFP310			P31ポート機能拡張	EFP31[1:0]		機能	0	R/W				
					1	*	reserved	0					
					0	1	SDO						
					0	0	P31, etc.						
D1-0	-	reserved	-		-	-	読み出し時: 0						
P34-P35 ポート機能拡張 レジスタ	0300047 (B)	D7-4 D3 D2	-	reserved	-		-	-	読み出し時: 0				
					EFP351 EFP350	P35ポート機能拡張	EFP35[1:0]				機能	0	
							1	*			reserved	0	
							0	1			#SMRE		
		D1 D0	EFP341 EFP340	P34ポート機能拡張	EFP34[1:0]		機能	0	R/W				
					1	*	reserved	0					
					0	1	#SMWE						
		P40-P43 ポート機能拡張 レジスタ	0300048 (B)	D7 D6	EFP431 EFP430	P43ポート機能拡張	EFP43[1:0]		機能		0	R/W	
							1	*	reserved		0		
							0	1	P43				
							0	0	A22				
				D5 D4	EFP421 EFP420	P42ポート機能拡張	EFP42[1:0]		機能		0	R/W	
1	*						reserved	0					
0	1						P42						
0	0						A23						
D3 D2	EFP411 EFP410			P41ポート機能拡張	EFP41[1:0]		機能	0	R/W				
					1	*	reserved	0					
					0	1	P41						
					0	0	A24						
D1 D0	EFP401 EFP400	P40ポート機能拡張	EFP40[1:0]		機能	0	R/W						
			1	*	reserved	0							
			0	1	P40								
			0	0	A25								

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈		
P44-P47 ポート機能拡張 レジスタ	0300049 (B)	D7 D6	EFP471 EFP470	P47ポート機能拡張	EFP47[1:0]		機能	0 0	R/W			
					1	*	reserved					
					0	1	P47					
					0	0	A18					
		D5 D4	EFP461 EFP460	P46ポート機能拡張	EFP46[1:0]		機能	0 0	R/W			
					1	*	reserved					
					0	1	P46					
					0	0	A19					
		D3 D2	EFP451 EFP450	P45ポート機能拡張	EFP45[1:0]		機能	0 0	R/W			
					1	*	reserved					
					0	1	P45					
					0	0	A20					
D1 D0	EFP441 EFP440	P44ポート機能拡張	EFP44[1:0]		機能	0 0	R/W					
			1	*	reserved							
			0	1	P44							
			0	0	A21							
P50-P53 ポート機能拡張 レジスタ	030004A (B)	D7 D6	EFP531 EFP530	P53ポート機能拡張	EFP53[1:0]		機能	0 0	R/W			
					1	*	reserved					
					0	1	#SDCE					
					0	1	P53					
		D5 D4	EFP521 EFP520	P52ポート機能拡張	EFP52[1:0]		機能	0 0	R/W			
					1	*	reserved					
					0	1	P52					
					0	0	#CE6, etc.					
		D3 D2	EFP511 EFP510	P51ポート機能拡張	EFP51[1:0]		機能	0 0	R/W			
					1	*	reserved					
					0	1	P51					
					0	0	#CE5, etc.					
D1 D0	EFP501 EFP500	P50ポート機能拡張	EFP50[1:0]		機能	0 0	R/W					
			1	*	reserved							
			0	1	P50							
			0	0	#CE4, etc.							
P54-P55 ポート機能拡張 レジスタ	030004B (B)	D7-4 D3 D2	-	reserved	-			-	-	読み出し時: 0		
				P55ポート機能拡張	EFP55[1:0]		機能	0 0	R/W			
		1	*		reserved							
		0	1		P55							
		0	0		#CE9, etc.							
		D1 D0	EFP541 EFP540		P54ポート機能拡張	EFP54[1:0]				機能	0 0	R/W
						1	*			reserved		
		0	1	P54								
0	0	#CE8, etc.										
P60-P63 ポート機能拡張 レジスタ	030004C (B)	D7 D6	EFP631 EFP630	P63ポート機能拡張	EFP63[1:0]		機能	0 0	R/W			
					1	*	reserved					
					0	1	UDQM					
					0	0	P63					
		D5 D4	EFP621 EFP620	P62ポート機能拡張	EFP62[1:0]		機能	0 0	R/W			
					1	*	reserved					
					0	1	LDQM					
					0	0	P62					
		D3 D2	EFP611 EFP610	P61ポート機能拡張	EFP61[1:0]		機能	0 0	R/W			
					1	*	reserved					
					0	1	SDA10					
					0	0	P61					
D1 D0	EFP601 EFP600	P60ポート機能拡張	EFP60[1:0]		機能	0 0	R/W					
			1	1	SDCLK							
			1	0	FOSC1							
			0	1	P60							
0	0	BCLK										
NAND フラッシュI/F #CEエリア選択 レジスタ	0300100 (B)	D7 D6-2	SMCODE -	ブートコードディネーブル	1	許可	0	禁止	1	R/W	読み出し時: 0	
				reserved	-			-	-			
		D1 D0	SMCES1 SMCES0	NANDフラッシュI/F #CEエリア選択 (CEFUNCにより異なる)	SMCES[1:0]		#CEエリア	0 0	R/W			
					1	1	#CE9/#CE17(+18)					
					1	0	#CE8/#CE14					
					0	1	#CE7/#CE13					
					0	0	#CE5/#CE15(+16)					
					0	0						

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ECC リセット/レディ レジスタ	0300101 (B)	D7-1	—	reserved	—	—	—	読み出し時: 0
		D0	ECCRST	ECC回路リセット	1 リセット 0 無効	—	W	
			ECCRDY	パリティデータレディステータス	1 レディ 0 ビジー	0	R	
ECCイネーブル レジスタ	0300102 (B)	D7-1	—	reserved	—	—	—	読み出し時: 0
		D0	ECCEN	ECC回路イネーブル	1 イネーブル 0 ディセーブル	0	R/W	
モードレジスタ	0300103 (B)	D7-1	—	reserved	—	—	—	読み出し時: 0
		D0	MODE	フラッシュデバイスモード	1 16ビット 0 8ビット	0	R/W	
エリア0 ECC カラムパリティ データレジスタ	0300104 (B)	D7	CP05	エリア0カラムパリティデータ	0x0~0x3F	1	R	
		D6	CP04			1		
		D5	CP03			1		
		D4	CP02			1		
		D3	CP01			1		
		D2	CP00			1		
		D1	—	未使用ビット	—	1	R	読み出し時: 1
		D0	—	未使用ビット	—	1	R	
エリア0 ECC ラインパリティ レジスタ0 (下位バイト)	0300105 (B)	D7	LP07	エリア0 ECCラインパリティ下位 バイト	0x0~0xFF	1	R	
		D6	LP06			1		
		D5	LP05			1		
		D4	LP04			1		
		D3	LP03			1		
		D2	LP02			1		
		D1	LP01			1		
		D0	LP00			1		
エリア0 ECC ラインパリティ レジスタ1 (上位バイト)	0300106 (B)	D7	LP015	エリア0 ECCラインパリティ上位 バイト	0x0~0xFF	1	R	
		D6	LP014			1		
		D5	LP013			1		
		D4	LP012			1		
		D3	LP011			1		
		D2	LP010			1		
		D1	LP09			1		
		D0	LP08			1		
エリア1 ECC カラムパリティ データレジスタ	0300107 (B)	D7	CP15	エリア1カラムパリティデータ	0x0~0x3F	1	R	
		D6	CP14			1		
		D5	CP13			1		
		D4	CP12			1		
		D3	CP11			1		
		D2	CP10			1		
		D1	—	未使用ビット	—	1	R	読み出し時: 1
		D0	—	未使用ビット	—	1	R	
エリア1 ECC ラインパリティ レジスタ0 (下位バイト)	0300108 (B)	D7	LP17	エリア1 ECCラインパリティ下位 バイト	0x0~0xFF	1	R	
		D6	LP16			1		
		D5	LP15			1		
		D4	LP14			1		
		D3	LP13			1		
		D2	LP12			1		
		D1	LP11			1		
		D0	LP10			1		
エリア1 ECC ラインパリティ レジスタ1 (上位バイト)	0300109 (B)	D7	LP115	エリア1 ECCラインパリティ上位 バイト	0x0~0xFF	1	R	
		D6	LP114			1		
		D5	LP113			1		
		D4	LP112			1		
		D3	LP111			1		
		D2	LP110			1		
		D1	LP19			1		
		D0	LP18			1		
FIFOシリアル I/F Ch.0 送信データ レジスタ	0300200 (B)	D7	TXD07	FIFOシリアルI/F Ch.0 送信データ TXD07(06) = MSB TXD00 = LSB	0x0~0xFF(0x7F)	X	R/W	調歩同期式7ビットモ ードの場合、TXD07 は無効
		D6	TXD06			X		
		D5	TXD05			X		
		D4	TXD04			X		
		D3	TXD03			X		
		D2	TXD02			X		
		D1	TXD01			X		
		D0	TXD00			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈
FIFOシリアル I/F Ch.0 受信データ レジスタ	0300201 (B)	D7 D6 D5 D4 D3 D2 D1 D0	RXD07 RXD06 RXD05 RXD04 RXD03 RXD02 RXD01 RXD00	FIFOシリアルI/F Ch.0 受信データ RXD07(06) = MSB RXD00 = LSB	0x0～0xFF(0x7F)		X X X X X X X X	R	調歩同期式7ビットモ ードの場合、RXD07 は無効(0固定)
FIFOシリアル I/F Ch.0 ステータス レジスタ	0300202 (B)	D7 D6 D5 D4 D3 D2 D1 D0	RXD0NUM1 RXD0NUM0 TEND0 FER0 PER0 OER0 TDBE0 RDBF0	Ch.0 FIFO内受信データ数 Ch.0転送終了フラグ Ch.0フレーミングエラーフラグ Ch.0パリティエラーフラグ Ch.0オーバーランエラーフラグ Ch.0送信データバッファステータス Ch.0受信データバッファステータス	RXD0NUM[1:0] 1 1 1 0 0 1 0 0	データ数 4 3 2 1 or 0	0 0 0 0 0 0 1 0	R/W R R/W R/W R/W R R	 0書き込みでクリア
FIFOシリアル I/F Ch.0 制御レジスタ	0300203 (B)	D7 D6 D5 D4 D3 D2 D1 D0	TXEN0 RXEN0 EPR0 PMD0 STPB0 SSCK0 SMD01 SMD00	Ch.0送信許可 Ch.0受信許可 Ch.0パリティイネーブル Ch.0パリティモード選択 Ch.0ストップビット選択 Ch.0入力クロック選択 Ch.0転送モード選択	1 許可 1 許可 1 パリティ付 1 奇数 1 2bit 1 #FSCLK0 SMD0[1:0] 1 1 1 0 0 1 0 0	0 禁止 0 禁止 0 パリティなし 0 偶数 0 1bit 0 内部クロック 転送モード 調歩同期式8bit 調歩同期式7bit クロック同期スレーブ クロック同期マスタ	0 0 X X X X X X X X	R/W R/W R/W R/W R/W R/W R/W R/W	調歩同期式モード時 のみ有効
FIFOシリアル I/F Ch.0 IrDAレジスタ	0300204 (B)	D7 D6 D5 D4 D3 D2 D1 D0	SRDYCTL0 FIFOINT01 FIFOINT00 DIVMD0 IRTL0 IRRL0 IRMD01 IRMD00	Ch.0 #FSRDY制御 Ch.0受信FIFOレベル設定 Ch.0調歩同期クロック分周比 Ch.0 IrDA I/F出力論理反転 Ch.0 IrDA I/F入力論理反転 Ch.0インタフェースモード 選択	1 Highマスク FIFOINT0[1:0] 1 1 1 0 0 1 0 0	0 通常 レベル 4 3 2 1	0 0 0 X X X X X	R/W R/W R/W R/W R/W R/W R/W	調歩同期式モード時 のみ有効
FIFOシリアル I/F Ch.0 ボーレートタイ マ制御レジスタ	0300205 (B)	D7-1 D0	- BRTRUN	reserved ボーレートタイマRun/Stop制御	- 1 Run 0 Stop	- - -	- 0 0	- R/W	読み出し時: 0
FIFOシリアル I/F Ch.0 ボーレート タイマリロード データレジスタ (LSB)	0300206 (B)	D7 D6 D5 D4 D3 D2 D1 D0	BRTRD07 BRTRD06 BRTRD05 BRTRD04 BRTRD03 BRTRD02 BRTRD01 BRTRD00	FIFOシリアルI/F Ch.0 ボーレートタイマ リロードデータ[7:0]	0x0～0xFF (BRTRD0[9:0] = 0x0～0x3FF)		0 0 0 0 0 0 0 0	R/W	
FIFOシリアル I/F Ch.0 ボーレート タイマリロード データレジスタ (MSB)	0300207 (B)	D7-2 D1 D0	- BRTRD09 BRTRD08	reserved FIFOシリアルI/F Ch.0 ボーレートタイマ リロードデータ[9:8]	0x0～0x3 (BRTRD0[9:0] = 0x0～0x3FF)		0 0	R/W	読み出し時: 0

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
FIFOシリアル I/F Ch.0 ボーレート タイマカウン タレジスタ (LSB)	0300208 (B)	D7 D6 D5 D4 D3 D2 D1 D0	BRTCD07 BRTCD06 BRTCD05 BRTCD04 BRTCD03 BRTCD02 BRTCD01 BRTCD00	FIFOシリアルI/F Ch.0 ボーレートタイマ カウントデータ[7:0]	0x0~0xFF (BRTCD0[9:0] = 0x0~0x3FF)	0 0 0 0 0 0 0 0	R	
FIFOシリアル I/F Ch.0 ボーレート タイマカウン タレジスタ (MSB)	0300209 (B)	D7-2 D1 D0	- BRTCD09 BRTCD08	reserved FIFOシリアルI/F Ch.0 ボーレートタイマ カウントデータ[9:8]	- 0x0~0x3 (BRTCD0[9:0] = 0x0~0x3FF)	- 0 0	- R	読み出し時: 0
バス信号 ブルアップ制御 レジスタ	0300F00 (B)	D7-4 D3 D2 D1 D0	- PUPCAS PUPCE PUPAD PUPRW	reserved #HCAS, #LCAS, BCLK (PA1, PA0, P60)ブルアップ #CE10EX-#CE4 (P55-P50)ブルアップ A25-A0 (P40-P47)ブルアップ #WRH, #WRL, #RDブルアップ	- 1 ブルアップ あり 0 ブルアップ なし	- 1 1 1 1	- R/W R/W R/W R/W	読み出し時: 0
バス信号 Low駆動制御 レジスタ	0300F01 (B)	D7-5 D4 D3 D2 D1 D0	- LDRVDB LDRVCAS LDRVCE LDRVAD LDRVVRW	reserved D15-D0 Low駆動 #LCAS, #HCAS, BCLK Low駆動 #CE10EX-#CE4 Low駆動 A25-A0 Low駆動 #WRH, #WRL, #RD Low駆動	- 1 Low駆動 0 通常出力	- 0 0 0 0 0	- R/W R/W R/W R/W R/W	読み出し時: 0
入力ポート ブルアップ制御 レジスタ	0300F02 (B)	D7-3 D2 D1 D0	- PUPK6H PUPK6L PUPK5	reserved K64, BOOTブルアップ K63-K60ブルアップ K53-K50ブルアップ	- 1 ブルアップ あり 0 ブルアップ なし	- 1 1 1	- R/W R/W R/W	読み出し時: 0
入出力兼用ポート ブルアップ制御 レジスタ	0300F04 (B)	D7 D6 D5-4 D3 D2 D1 D0	- PUPP6 PUPP3 PUPP2 PUPP1 PUPP0	reserved P63-P61ブルアップ P35-P30 (PA2)ブルアップ P27-P20ブルアップ P16-P10ブルアップ P07-P00ブルアップ	- 1 ブルアップあり 0 ブルアップなし 1 ブルアップ あり 0 ブルアップ なし	- 1 1 1 1 1	- R/W R/W R/W R/W R/W	読み出し時: 0
PB, PCポート ブルアップ制御 レジスタ	0300F06 (B)	D7-5 D4 D3 D2 D1-0	- PUPPBH PUPPBL PUPPCL reserved	reserved PB7-PB4ブルアップ PB3-PB0ブルアップ PC3-PC0ブルアップ	- 1 ブルアップ あり 0 ブルアップ なし	- 1 1 1	- R/W R/W R/W	読み出し時: 0
PDポート ブルアップ制御 レジスタ	0300F08 (B)	D7-2 D1 D0	- PUPPDH PUPPDL	reserved PD7-PD4ブルアップ PD3-PD0ブルアップ	- 1 ブルアップ あり 0 ブルアップ なし	- 1 1	- R/W R/W	読み出し時: 0
マクロ制御 レジスタ	0300F20 (B)	D7-6 D5 D4 D3 D2 D1 D0	- USBSNZ USBCKLEN reserved USBWT2 USBWT1 USBWT0	reserved USBスヌーズ制御 USBクロックイネーブル reserved USBバスウェイト数	- 1 許可 0 禁止 1 許可 0 禁止 0~7	- 0 0 0 0 0 0	- R/W R/W R/W R/W	読み出し時: 0
Misc書き込み 保護レジスタ	0300F2F (B)	D7 D6 D5 D4 D3 D2 D1 D0	WRPROT7 WRPROT6 WRPROT5 WRPROT4 WRPROT3 WRPROT2 WRPROT1 WRPROT0	Miscレジスタ書き込み保護	10010110(0x96)書き込みによ りMiscレジスタ(0x300F20, 0x300F30~0x300F39)の書き 込み保護を解除します。本レジ スタへの10010110(0x96)以外 の書き込み、またはMiscレジス タ(0x300F20, 0x300F30~ 0x300F39)への書き込みにより 書き込み保護状態に戻ります。	0 0 0 0 0 0 0 0	R/W	
システムクロッ ク分周レジスタ	0300F30 (B)	D7-2 D1 D0	- SYSCLK1 SYSCLK0	reserved PLL入力クロック設定 (OSC3クロック分周比)	- SYSCLK[1:0] 分周比 1 1 OSC3 / 3 1 0 OSC3 / 2 0 * OSC3 / 1	1 0	- R/W	読み出し時: 0

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈	
PLL制御 レジスタ	0300F31 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0	
		D1	PLLPDWN	PLLソフトウェアパワーダウン (PLLS0を"1"に設定した場合)	1 PLL未使用 (CLK=OSC3)	0 PLL使用	0	R/W		
		D0	PLLMODE	PLL通信モード選択	1 x2	0 x1	0	R/W		
サブシステム クロック選択 レジスタ	0300F32 (B)	D7-1	-	reserved	-		-	-	読み出し時: 0	
		D0	SUBCKSEL	サブシステムソースクロック選択	1 PLL クロック	0 OSC3 クロック	0	R/W		
バスクロック ジェネレータ 制御レジスタ	0300F33 (B)	D7	BCLGEN	バスクロックジェネレータイネーブル	1 動作	0 停止	0	R/W	読み出し時: 0	
		D6-2	-	reserved	-		-	-		
		D1	BCLGDT1	バスクロック設定 (サブシステムクロック分周比)	BCLGDT[1:0]		分周比	0		R/W
		D0	BCLGDT0		1 1 0 0 0 *	subsys_clk / 4 subsys_clk / 2 subsys_clk / 1	0			
LCDCクロック ジェネレータ 制御レジスタ	0300F34 (B)	D7	LCLGEN	LCDCクロックジェネレータイネーブル	1 動作	0 停止	0	R/W	読み出し時: 0	
		D6-4	-	reserved	-		-	-		
		D3	LCLGDT3	LCDCクロック設定 (サブシステムクロック分周比)	LCDCクロック周波数 =		0	R/W		
		D2	LCLGDT2		subsys_clk		0			
		D1	LCLGDT1		LCLGDT[3:0] + 1 [Hz]		0			
D0	LCLGDT0				0					
モジュール クロック制御 レジスタ0	0300F35 (B)	D7	USBCKOF	USBクロック(sbcuclk)	1 停止	0 供給	0	R/W		
		D6	FSIFCK1OF	FSIFクロック(bcucclk)			0	R/W		
		D5	FSIFCK2OF	FSIFクロック(pericclk)			0	R/W		
		D4	SPICKOF	SPIクロック(sbcuclk)			0	R/W		
		D3	SMIFCKOF	SMIFクロック(sbcuclk)			0	R/W		
		D2	SQCKOF	SQROMクロック(sbcuclk)			0	R/W		
		D1	ARBCKOF	バスアービタクロック(sbcuclk)			0	R/W		
		D0	LHIFCKOF	LCDCホストI/Fクロック(sbcuclk)			0	R/W		
モジュール クロック制御 レジスタ1	0300F36 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0	
		D1	SDRAMCKOF	SDRAMクロック(halt2run_clk)	1 停止	0 供給	0	R/W		
		D0	VRAMCKOF	内蔵VRAMクロック(halt2run_clk)			0	R/W		
サブシステム クロック制御 レジスタ	0300F37 (B)	D7-1	-	reserved	-		-	-	読み出し時: 0	
		D0	SUBCKOF	OSC3/PLLクロックディセーブル	1 停止	0 供給	0	R/W		
A0/#BSL選択 レジスタ	0300F38 (B)	D7-1	-	reserved	-		-	-	読み出し時: 0	
		D0	BSLSEL	A0/#BSLモード選択	1 #BSLモード	0 A0モード	0	R/W		
x2スピードモード 制御レジスタ	0300F39 (B)	D7-2	-	reserved	-		-	-	読み出し時: 0	
		D1	SDRAMX2	SDRAM x2スピードモードディセーブル	1 x1スピード モード	0 x2スピード モード	0	R/W		
		D0	IVRAMX2	IVRAM x2スピードモードディセーブル			0	R/W		
PA入出力兼用 ポートデータ レジスタ	0300F40 (B)	D7-3	-	reserved	-		-	-	読み出し時: 0	
		D2	PA2D	PA2入出力兼用ポートデータ	1 High	0 Low	0	R/W		
		D1	PA1D	PA1入出力兼用ポートデータ			0	R/W		
		D0	PA0D	PA0入出力兼用ポートデータ			0	R/W		
PA I/O制御 レジスタ	0300F41 (B)	D7-3	-	reserved	-		-	-	読み出し時: 0	
		D2	IOCA2	PA2 I/O制御	1 出力	0 入力	0	R/W		
		D1	IOCA1	PA1 I/O制御			0	R/W		
		D0	IOCA0	PA0 I/O制御			0	R/W		
PB入出力兼用 ポートデータ レジスタ	0300F42 (B)	D7	PB7D	PB7入出力兼用ポートデータ	1 High	0 Low	0	R/W		
		D6	PB6D	PB6入出力兼用ポートデータ			0	R/W		
		D5	PB5D	PB5入出力兼用ポートデータ			0	R/W		
		D4	PB4D	PB4入出力兼用ポートデータ			0	R/W		
		D3	PB3D	PB3入出力兼用ポートデータ			0	R/W		
		D2	PB2D	PB2入出力兼用ポートデータ			0	R/W		
		D1	PB1D	PB1入出力兼用ポートデータ			0	R/W		
		D0	PB0D	PB0入出力兼用ポートデータ			0	R/W		
PB I/O制御 レジスタ	0300F43 (B)	D7	IOCB7	PB7 I/O制御	1 出力	0 入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値	
		D6	IOCB6	PB6 I/O制御			0	R/W		
		D5	IOCB5	PB5 I/O制御			0	R/W		
		D4	IOCB4	PB4 I/O制御			0	R/W		
		D3	IOCB3	PB3 I/O制御			0	R/W		
		D2	IOCB2	PB2 I/O制御			0	R/W		
		D1	IOCB1	PB1 I/O制御			0	R/W		
		D0	IOCB0	PB0 I/O制御			0	R/W		
PC入出力兼用 ポートデータ レジスタ	0300F44 (B)	D7-4	-	reserved	-		-	-	読み出し時: 0	
		D3	PC3D	PC3入出力兼用ポートデータ	1 High	0 Low	0	R/W		
		D2	PC2D	PC2入出力兼用ポートデータ			0	R/W		
		D1	PC1D	PC1入出力兼用ポートデータ			0	R/W		
		D0	PC0D	PC0入出力兼用ポートデータ			0	R/W		

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈				
PC I/O制御 レジスタ	0300F45 (B)	D7-4	-	reserved	-		-	-	読み出し時: 0				
		D3	IOCC3	PC3 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値		
		D2	IOCC2	PC2 I/O制御					0			R/W	
		D1	IOCC1	PC1 I/O制御					0			R/W	
		D0	IOCC0	PC0 I/O制御					0			R/W	
PD入出力兼用 ポートデータ レジスタ	0300F46 (B)	D7	PD7D	PD7入出力兼用ポートデータ	1	High	0	Low	0	R/W			
		D6	PD6D	PD6入出力兼用ポートデータ					0			R/W	
		D5	PD5D	PD5入出力兼用ポートデータ					0			R/W	
		D4	PD4D	PD4入出力兼用ポートデータ					0			R/W	
		D3	PD3D	PD3入出力兼用ポートデータ					0			R/W	
		D2	PD2D	PD2入出力兼用ポートデータ					0			R/W	
		D1	PD1D	PD1入出力兼用ポートデータ					0			R/W	
		D0	PD0D	PD0入出力兼用ポートデータ					0			R/W	
PD I/O制御 レジスタ	0300F47 (B)	D7	IODC7	PD7 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値		
		D6	IODC6	PD6 I/O制御					0			R/W	
		D5	IODC5	PD5 I/O制御					0			R/W	
		D4	IODC4	PD4 I/O制御					0			R/W	
		D3	IODC3	PD3 I/O制御					0			R/W	
		D2	IODC2	PD2 I/O制御					0			R/W	
		D1	IODC1	PD1 I/O制御					0			R/W	
		D0	IODC0	PD0 I/O制御					0			R/W	
PA0-PA2 ポート機能拡張 レジスタ	0300F60 (B)	D7-6	-	reserved	-		-	-	読み出し時: 0				
		D5 D4	FPA21 FPA20	PA2ポート機能拡張	FPA2[1:0]		機能		0	R/W			
					1	*	reserved		0				
					0	1	PA2 P30, etc.						
		D3 D2	FPA11 FPA10	PA1ポート機能拡張	FPA1[1:0]		機能		0	R/W			
					1	1	reserved		0				
					1	0	#SDRAS PA1 #HCAS						
		D1 D0	FPA01 FPA00	PA0ポート機能拡張	FPA0[1:0]		機能		0	R/W			
					1	1	reserved		0				
					1	0	#SDCAS PA0 #LCAS						
		PB0-PB3 ポート機能拡張 レジスタ	0300F62 (B)	D7 D6	FPB31 FPB30	PB3ポート機能拡張	FPB3[1:0]		機能		0	R/W	
							1	*	reserved		0		
							0	1	FPDAT3 PB3				
							0	0					
				D5 D4	FPB21 FPB20	PB2ポート機能拡張	FPB2[1:0]		機能		0	R/W	
1	*						reserved		0				
0	1						FPDAT2 PB2						
0	0												
D3 D2	FPB11 FPB10			PB1ポート機能拡張	FPB1[1:0]		機能		0	R/W			
					1	*	reserved		0				
					0	1	FPDAT1 PB1						
					0	0							
D1 D0	FPB01 FPB00			PB0ポート機能拡張	FPB0[1:0]		機能		0	R/W			
					1	*	reserved		0				
					0	1	FPDAT0 PB0						
					0	0							
PB4-PB7 ポート機能拡張 レジスタ	0300F63 (B)	D7 D6	FPB71 FPB70	PB7ポート機能拡張	FPB7[1:0]		機能		0	R/W			
					1	*	reserved		0				
					0	1	FPDAT7 PB7						
					0	0							
		D5 D4	FPB61 FPB60	PB6ポート機能拡張	FPB6[1:0]		機能		0	R/W			
					1	*	reserved		0				
					0	1	FPDAT6 PB6						
					0	0							
		D3 D2	FPB51 FPB50	PB5ポート機能拡張	FPB5[1:0]		機能		0	R/W			
					1	*	reserved		0				
					0	1	FPDAT5 PB5						
					0	0							
		D1 D0	FPB41 FPB40	PB4ポート機能拡張	FPB4[1:0]		機能		0	R/W			
					1	*	reserved		0				
					0	1	FPDAT4 PB4						
					0	0							

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
PC0-PC3 ポート機能拡張 レジスタ	0300F64 (B)	D7 D6	FPC31 FPC30	PC3ポート機能拡張	FPC3[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	DRDY				
					0	0	PC3				
		D5 D4	FPC21 FPC20	PC2ポート機能拡張	FPC2[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPSHIFT				
					0	0	PC2				
		D3 D2	FPC11 FPC10	PC1ポート機能拡張	FPC1[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPLINE				
					0	0	PC1				
		D1 D0	FPC01 FPC00	PC0ポート機能拡張	FPC0[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	FPFRAME				
					0	0	PC0				
PD0-PD2 ポート機能拡張 レジスタ	0300F66 (B)	D7-6 D5 D4	- FPD21 FPD20	reserved PD2ポート機能拡張	-		-	-	読み出し時: 0		
					FPD2[1:0]		機能	0			R/W
					1	*	reserved	0			
					0	1	SQUALE				
		D3 D2	FPD11 FPD10	PD1ポート機能拡張	FPD1[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	SQLALE				
					0	0	PD1				
		D1 D0	FPD01 FPD00	PD0ポート機能拡張	FPD0[1:0]		機能	0	R/W		
					1	*	reserved	0			
					0	1	#SQRD				
					0	0	PD0				

レジスタ名	アドレス	ビット	機 能	設 定	Init.	R/W	注 釈
フレーム割り込みレジスタ	0380010 (HW)	DF	FRINTEN	フレーム割り込みイネーブル	1 有効	0 無効	0 R/W
		DE-0	-	reserved	-	-	- 読み出し時: 0
ステータス&パワーセーブレジスタ	0380014 (HW)	DF	FRINTF	フレーム割り込みフラグ	1 要因あり	0 要因なし	0 R/W 1書き込みでリセット
		DE-A	-	reserved	-	-	- 読み出し時: 0
		D9	FIFOEF	表示FIFOエンプティフラグ	1 エンプティ	0 データあり	0 R/W 1書き込みでリセット
		D8	WRBUFF	LUT/I/Oライトバッファステータス	1 データあり	0 エンプティ	0 R
		D7	VNDPF	垂直表示ステータス	1 VNDP	0 VDP	1 R
		D6	VRAMF	VRAMステータス	1 待機	0 ビジー	1 R
		D5	TOERRF	CPUアクセスタイムアウトエラーフラグ	1 エラー	0 ノーマル	0 R/W 1書き込みでリセット
		D4	-	reserved	-	-	- 読み出し時: 0
		D3	FIFOHP	表示FIFOフレキシブルバーストリード	1 フレキシブル	0 16バースト	0 R/W
		D2	-	reserved	-	-	- 読み出し時: 0
		D1	LPSAVE1	パワーセーブモード	LPSAVE[1:0] モード		0 R/W
		D0	LPSAVE0		1 1	通常動作	0
					1 0	DOZE	
					0 1	reserved	
					0 0	パワーセーブ	
水平非表示期間レジスタ	0380040 (HW)	DF-5	-	reserved	-	-	- 読み出し時: 0
		D4	HNDP4	水平非表示期間	水平非表示期間(ピクセル) -4		0 R/W
		D3	HNDP3	HNDP4 = MSB	8		0
		D2	HNDP2	HNDP0 = LSB			0
		D1	HNDP1				0
		D0	HNDP0				0
パネル水平サイズレジスタ	0380042 (HW)	DF-7	-	reserved	-	-	- 読み出し時: 0
		D6	HSIZE6	パネル水平サイズ	水平解像度(ピクセル) -1		0 R/W
		D5	HSIZE5	HSIZE6 = MSB	8		0
		D4	HSIZE4	HSIZE0 = LSB			0
		D3	HSIZE3				0
		D2	HSIZE2				0
		D1	HSIZE1				0
		D0	HSIZE0				0
垂直非表示期間レジスタ	038004A (HW)	DF-6	-	reserved	-	-	- 読み出し時: 0
		D5	VNDP5	垂直非表示期間	非表示期間(ライン)		0 R/W
		D4	VNDP4	VNDP5 = MSB			0
		D3	VNDP3	VNDP0 = LSB			0
		D2	VNDP2				0
		D1	VNDP1				0
		D0	VNDP0				0
パネル垂直サイズレジスタ	038004C (HW)	DF-A	-	reserved	-	-	- 読み出し時: 0
		D9	VSIZE9	パネル垂直サイズ	垂直解像度(ライン) -1		0 R/W
		D8	VSIZE8	VSIZE9 = MSB			0
		D7	VSIZE7	VSIZE0 = LSB			0
		D6	VSIZE6				0
		D5	VSIZE5				0
		D4	VSIZE4				0
		D3	VSIZE3				0
		D2	VSIZE2				0
		D1	VSIZE1				0
MODレートレジスタ	0380052 (HW)	DF-6	-	reserved	-	-	- 読み出し時: 0
		D5	MOD5	LCD MODレート	0x0~0x3F		0 R/W
		D4	MOD4	MOD5 = MSB			0
		D3	MOD3	MOD0 = LSB			0
		D2	MOD2				0
		D1	MOD1				0
		D0	MOD0				0
LCDCモードレジスタ0	0380200 (HW)	DF-8	-	reserved	-	-	- 読み出し時: 0
		D7	FRMRPT	ELパネル用フレームリビート	1 リビート	0 リビートなし	0 R/W
		D6	DITHEN	ディザモードイネーブル	1 有効	0 無効	0 R/W
		D5	-	reserved	-	-	- 読み出し時: 0
		D4	LUTPASS	LUTバイパスモード	1 バイパス	0 LUT使用	0 R/W
		D3	-	reserved	-	-	- 読み出し時: 0
		D2	BPP2	bpp選択	BPP[2:0] bpp(カラー/グレイ)		0 R/W
		D1	BPP1		1 1	* reserved	0
		D0	BPP0		1 0	1 16bpp(64Kc/64gr)	0
					1 0	0 12bpp(4Kc/16gr)	
					0 1	1 8bpp(256c/64gr)	
					0 1	0 4bpp(16c/16gr)	
					0 0	1 2bpp(4c/4gr)	
					0 0	0 1bpp(2c/2gr)	

レジスタ名	アドレス	ビット	機 能		設 定			Init.	R/W	注 釈	
LCDCモード レジスタ1	0380202 (HW)	DF	—	reserved	—			—	—	読み出し時: 0	
		DE	COLOR	カラー/モノクロ選択	1	カラー	0	モノクロ	0	R/W	
		DD	MASK	FPSHIFTマスキネーブル	1	有効	0	無効	0	R/W	
		DC	—	reserved	—			—	—	読み出し時: 0	
		DB	DWT1	LCDパネルデータ幅	DWT[1:0]		データ形式		0	R/W	
		DA	DWT0		1	1	8ビット(形式2)	0			
					1	0	reserved				
					0	1	8ビット(形式1)				
				0	0	4ビット					
D9	SWINV	ソフトウェアビデオ反転	1	反転	0	ノーマル	0	R/W			
D8	BLANK	ブランク表示イネーブル	1	ブランク	0	通常表示	0	R/W			
D7-0	—	reserved	—			—		—	—	読み出し時: 0	
画面開始アドレ スレジスタ	0380210 (HW)	DF	VRAMSEL	VRAM選択	1	外部VRAM	0	内蔵VRAM	0	R/W	
		DE	SADDR14	画面開始アドレス	0x0~0x7FFF				0	R/W	
		DD	SADDR13	SADDR14 = MSB					0		
		DC	SADDR12	SADDR0 = LSB					0		
		DB	SADDR11					0			
		DA	SADDR10					0			
		D9	SADDR9					0			
		D8	SADDR8					0			
		D7	SADDR7					0			
		D6	SADDR6					0			
		D5	SADDR5					0			
		D4	SADDR4					0			
		D3	SADDR3					0			
		D2	SADDR2					0			
		D1	SADDR1					0			
		D0	SADDR0					0			
		ルックアップテ ーブルR/Gデー タレジスタ (アドレス0)	0380400 (HW)	DF	LUTG05	ルックアップテーブルGデータ	0x0~0x3F			X	
DE	LUTG04			LUTG05 = MSB	X						
DD	LUTG03			LUTG00 = LSB	X						
DC	LUTG02			X							
DB	LUTG01			X							
DA	LUTG00			X							
D9-8	—			reserved	—			—	—	読み出し時: 0	
D7	LUTR05			ルックアップテーブルRデータ	0x0~0x3F			X	R/W		
D6	LUTR04				LUTR05 = MSB	X					
D5	LUTR03				LUTR00 = LSB	X					
D4	LUTR02				X						
D3	LUTR01				X						
D2	LUTR00				X						
D1-0	—	reserved	—			—	—	読み出し時: 0			
ルックアップテ ーブルBデー タレジスタ (アドレス0)	0380402 (HW)	DF-8	—	reserved	—			—	—	読み出し時: 0	
		D7	LUTB05	ルックアップテーブルBデータ	0x0~0x3F			X	R/W		
		D6	LUTB04		LUTB05 = MSB	X					
		D5	LUTB03		LUTB00 = LSB	X					
		D4	LUTB02		X						
		D3	LUTB01		X						
		D2	LUTB00		X						
		D1-0	—	reserved	—			—	—	読み出し時: 0	
— — — 0x380404 ... 0x3807FA — — —											
ルックアップテ ーブルR/Gデー タレジスタ (アドレスFF)	03807FC (HW)	DF	LUTGFF5	ルックアップテーブルGデータ	0x0~0x3F			X	R/W	読み出し時: 0	
		DE	LUTGFF4		LUTGFF5 = MSB	X					
		DD	LUTGFF3		LUTGFF0 = LSB	X					
		DC	LUTGFF2		X						
		DB	LUTGFF1		X						
		DA	LUTGFF0		X						
		D9-8	—	reserved	—			—	—	読み出し時: 0	
		D7	LUTRFF5	ルックアップテーブルRデータ	0x0~0x3F			X	R/W		
		D6	LUTRFF4		LUTRFF5 = MSB	X					
		D5	LUTRFF3		LUTRFF0 = LSB	X					
		D4	LUTRFF2		X						
		D3	LUTRFF1		X						
		D2	LUTRFF0		X						
D1-0	—	reserved	—			—	—	読み出し時: 0			
ルックアップテ ーブルBデー タレジスタ (アドレスFF)	03807FE (HW)	DF-8	—	reserved	—			—	—	読み出し時: 0	
		D7	LUTBFF5	ルックアップテーブルBデータ	0x0~0x3F			X	R/W		
		D6	LUTBFF4		LUTBFF5 = MSB	X					
		D5	LUTBFF3		LUTBFF0 = LSB	X					
		D4	LUTBFF2		X						
		D3	LUTBFF1		X						
		D2	LUTBFF0		X						
		D1-0	—	reserved	—			—	—	読み出し時: 0	

レジスタ名	アドレス	ビット	機 能		設 定		Init.	R/W	注 釈		
バスアービタ 制御レジスタ	0390000 (HW)	DF-4	-	reserved	-		-	-	読み出し時: 0		
		D3	PARKID1	デフォルトバスマスタID	PARKID[1:0]		0	R/W			
		D2	PARKID0		1	1	3 (reserved)			0	
		1	0		2 (reserved)						
		0	1		1 (LCDC)						
0	0	0 (BCU)									
D1	-	reserved	-		-	-	読み出し時: 0				
D0	ARBIEN	バスアービタイネーブル		1	有効	0	無効	0	R/W		
バスアービタ ウェイト制御 レジスタ	0390002 (HW)	DF-4	-	reserved	-		-	-	読み出し時: 0		
		D3	ARBWT3	バスアービタウェイト制御	0~15		1	R/W			
		D2	ARBWT2		1						
		D1	ARBWT1		1						
		D0	ARBWT0		1						
SPI受信データ レジスタ	03A0000 (HW)	DF	SPIRDF	SPI受信データ SPIRDF = MSB SPIRD0 = LSB	0x0~0xFFFF		X	R			
		DE	SPIRDE		X						
		DD	SPIRDD		X						
		DC	SPIRDC		X						
		DB	SPIRDB		X						
		DA	SPIRDA		X						
		D9	SPIRD9		X						
		D8	SPIRD8		X						
		D7	SPIRD7		X						
		D6	SPIRD6		X						
		D5	SPIRD5		X						
		D4	SPIRD4		X						
		D3	SPIRD3		X						
		D2	SPIRD2		X						
		D1	SPIRD1		X						
		D0	SPIRD0		X						
SPI送信データ レジスタ	03A0002 (HW)	DF	SPITDF	SPI送信データ SPITDF = MSB SPITD0 = LSB	0x0~0xFFFF		X	W			
		DE	SPITDE		X						
		DD	SPITDD		X						
		DC	SPITDC		X						
		DB	SPITDB		X						
		DA	SPITDA		X						
		D9	SPITD9		X						
		D8	SPITD8		X						
		D7	SPITD7		X						
		D6	SPITD6		X						
		D5	SPITD5		X						
		D4	SPITD4		X						
		D3	SPITD3		X						
		D2	SPITD2		X						
		D1	SPITD1		X						
		D0	SPITD0		X						
SPI制御 レジスタ1	03A0004 (HW)	DF-E	-	reserved	-		-	-	読み出し時: 0		
		DD	BPT3	転送データビット数	転送データビット数 = BPT + 1		0	R/W			
		DC	BPT2		0						
		DB	BPT1		0						
		DA	BPT0		0						
		D9	CPHA	SPICLK位相選択	1	フェーズ1	0	フェーズ0	0	R/W	
		D8	CPOL	SPICLK極性選択	1	アクティブL	0	アクティブH	0	R/W	
		D7	-	reserved	-		-	-	読み出し時: 0		
		D6	MCBR2	マスタクロックビットレート (マスタモード時のみ)	マスタクロック分周比 =		0	R/W			
		D5	MCBR1		4 × 2 ^{MCBR}		0				
		D4	MCBR0		0						
		D3	CLKS	クロックソース選択	"0"に固定		0	R/W			
		D2	-	reserved	-		-	-	読み出し時: 0		
D1	MODE	SPIモード選択	"1"に固定		0	R/W					
D0	ENA	SPIイネーブル	1	許可	0	禁止	0	R/W			
SPI制御 レジスタ2	03A0006 (HW)	DF-B	-	reserved	-		-	-	読み出し時: 0		
		DA	SS	#SCS制御	reserved, "0"に固定		0	R/W	マスタモード		
		D9	SSP	#SCS極性選択	reserved, "0"に固定		0	R/W	スレープモード		
		D8	SSC	#SCS設定	reserved, "0"に固定		0	R/W	マスタモード		
		D7-2	-	reserved	-		-	-	読み出し時: 0		
		D1	RDYS	#SRDYモード選択	reserved, "0"に固定		0	R/W			
		D0	RDYE	#SRDYイネーブル	reserved, "0"に固定		0	R/W			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
SPIウェイト レジスタ	03A0008 (HW)	DF	SPIWF	ウェイトサイクル制御 (マスタモード時のみ) SPIWF = MSB SPIW0 = LSB	0x0~0xFFFF	0	R/W	
		DE	SPIWE			0		
		DD	SPIWD			0		
		DC	SPIWC			0		
		DB	SPIWB			0		
		DA	SPIWA			0		
		D9	SPIW9			0		
		D8	SPIW8			0		
		D7	SPIW7			0		
		D6	SPIW6			0		
		D5	SPIW5			0		
		D4	SPIW4			0		
		D3	SPIW3			0		
		D2	SPIW2			0		
		D1	SPIW1			0		
		D0	SPIW0			0		
SPIステータス レジスタ	03A000A (HW)	DF-7	—	reserved	—	—	—	読み出し時: 0
		D6	BSYF	転送ビジーフラグ	1 転送中 0 停止中	0	R	マスタモード
		D5	—	reserved	—	—	—	読み出し時: 0
		D4	TDEF	送信データエンプティフラグ	1 エンプティ 0 データあり	1	R	
		D3	—	reserved	—	—	—	
		D2	RDFF	受信データフルフラグ	1 データフル 0 データなし	0	R	
		D1-0	—	reserved	—	—	—	読み出し時: 0
SPI割り込み 制御レジスタ	03A000C (HW)	DF-6	—	reserved	—	—	—	読み出し時: 0
		D5	MFIE	モード違反割り込みイネーブル	reserved, "0"に固定	0	R/W	
		D4	TEIE	データ送信割り込みイネーブル	1 許可 0 禁止	0	R/W	
		D3	ROIE	受信オーバーフロー割り込みイネーブル	reserved, "0"に固定	0	R/W	
		D2	RFIE	データ受信割り込みイネーブル	1 許可 0 禁止	0	R/W	
		D1	MIRQ	マニュアルIRQセット/クリア	1 セット 0 クリア	0	R/W	
		D0	IRQE	割り込み要求イネーブル	1 許可 0 禁止	0	R/W	
シーケンシャル ROM I/F #CEエリア選択 レジスタ	03A0100 (HW)	DF-2	—	reserved	—	—	—	読み出し時: 0
		D1	SQCES1	シーケンシャルROM I/F #CEエリア選択 (CEFUNCにより異なる)	SQCES[1:0] #CEエリア	0	R/W	
		D0	SQCES0		1 1 #CE9/#CE17(+18)	0		
					1 0 #CE8/#CE14			
					0 1 #CE7/#CE13			
SDRAM制御 レジスタ	03A0200 (HW)	DF-4	—	reserved	—	—	—	読み出し時: 0
		D3	SDON	SDRAMコントローライネーブル	1 有効 0 無効	0	R/W	
		D2	ADDRC2	SDRAMアドレス設定	ADDRC[2:0] SDRAM構成	0	R/W	
		D1	ADDRC1		1 1 1 reserved	0		
		D0	ADDRC0		1 1 0 16M x 8ビット x 2	0		
					1 0 1 8M x 8ビット x 2			
					1 0 0 2M x 8ビット x 2			
					0 1 1 16M x 16ビット x 1			
					0 1 0 8M x 16ビット x 1			
					0 0 1 4M x 16ビット x 1			
					0 0 0 1M x 16ビット x 1			
SDRAM初期化 レジスタ	03A0202 (HW)	DF-4	—	reserved	—	—	—	読み出し時: 0
		D3	SDEN	SDRAM初期化フラグ	1 初期化終了 0 初期化前	0	R	
		D2	INIMRS	MRSコマンド実行	1 実行 0 不可	0	W	読み出し時: 0
		D1	INIPRE	PREコマンド実行	1 実行 0 不可	0	W	
		D0	INIREF	REFコマンド実行	1 実行 0 不可	0	W	
SDRAMオート リフレッシュカ ウンタレジスタ	03A0204 (HW)	DF-C	—	reserved	—	—	—	読み出し時: 0
		DB	AURCO11	SDRAMオートリフレッシュ カウンタ	0x0~0xFFFF	0	R/W	
		DA	AURCO10			0		
		D9	AURCO9			0		
		D8	AURCO8			0		
		D7	AURCO7			0		
		D6	AURCO6			0		
		D5	AURCO5			0		
		D4	AURCO4			0		
		D3	AURCO3			0		
		D2	AURCO2			0		
		D1	AURCO1			0		
		D0	AURCO0			0		

APP

I/O map

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
SDRAMセルフ リフレッシュカ ウンタレジスタ	03A0206 (HW)	DF-A	-	reserved	-		-	-	読み出し時: 0		
		D9	SELDO	SDRAMセルフリフレッシュ状態	1	リフレッシュ中	0	リフレッシュ以外		0	R
		D8	SCKON	セルフリフレッシュ中SDRAMクロック	1	許可	0	禁止		0	R/W
		D7	SELEN	SDRAMセルフリフレッシュイネーブル	1	有効	0	無効		0	R/W
		D6	SELCO6	SDRAMセルフリフレッシュ カウンタ	0x0~0x7F			1		R/W	
		D5	SELCO5		1						
		D4	SELCO4		1						
		D3	SELCO3		1						
		D2	SELCO2		1						
		D1	SELCO1		1						
D0	SELCO0	1									
SDRAM タイミング設定 レジスタ	03A0208 (HW)	DF-3	-	reserved	-		-	-	読み出し時: 0		
		D2	T80NS1	SDRAM trc, trfc, txsrサイクル	T80NS[1:0]		サイクル数			1	R/W
		D1	T80NS0		1	1	5サイクル			1	
					1	0	4サイクル				
					0	1	3サイクル				
					0	0	2サイクル				
		D0	T24NS	SDRAM trp, trcdサイクル	1	2サイクル	0	1サイクル		1	R/W
SDRAMアプリ ケーション設定 レジスタ	03A0210 (HW)	DF-4	-	reserved	-		-	-	読み出し時: 0		
		D3	SDHP	SDRAMハイパフォーマンスアクセス	1	High	0	Low		0	R/W
		D2	AR14C	エリア8/14設定	1	SDRAM	0	SDRAM以外		0	R/W
		D1	AR13C	エリア7/13設定	1	SDRAM	0	SDRAM以外		0	R/W
		D0	IQBON	命令キューバッファイネーブル	1	有効	0	無効		0	R/W

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈	
MainIntStat (Main interrupt status)	1000000 (B)	D7	SIE_IntStat	1	SIE interrupts	0	None	0	R	0 when being read.	
		D6	EPrintStat	1	EP _r interrupts	0	None	0	R		
		D5	DMA_IntStat	1	DMA interrupts	0	None	0	R		
		D4	FIFO_IntStat	1	FIFO interrupts	0	None	0	R		
		D3-2	-				-	-	-		-
		D1	EP0IntStat	1	EP0 interrupts	0	None	0	R		
SIE_IntStat (SIE interrupt status)	1000001 (B)	D0	RcvEP0SETUP	1	Receive EP0 SETUP	0	None	0	R(W)	0 when being read.	
		D7	VBUS_Changed	1	VBUS is changed	0	None	0	R(W)		
		D6	NonJ	1	Detect non J state	0	None	0	R(W)		
		D5	DetectReset	1	Detect USB reset	0	None	0	R(W)		
		D4	DetectSuspend	1	Detect USB suspend	0	None	0	R(W)		
		D3	RcvSOF	1	Receive SOF token	0	None	0	R(W)		
		D2	DetectJ	1	Detect J state	0	None	0	R(W)		
		D1	-				-	-	-		-
EPrintStat (EP _r interrupt status)	1000002 (B)	D7-4	-				-	-	-	0 when being read.	
		D3	EPdIntStat	1	EP _d interrupt	0	None	0	R		
		D2	EPcIntStat	1	EP _c interrupt	0	None	0	R		
		D1	EPbIntStat	1	EP _b interrupt	0	None	0	R		
		D0	EPaIntStat	1	EP _a interrupt	0	None	0	R		
DMA_IntStat (DMA interrupt status)	1000003 (B)	D7-2	-				-	-	-	0 when being read.	
		D1	DMA_CountUp	1	DMA counter overflow	0	None	0	R(W)		
		D0	DMA_Cmp	1	DMA complete	0	None	0	R(W)		
FIFO_IntStat (FIFO interrupt status)	1000004 (B)	D7	DescriptorCmp	1	Descriptor complete	0	None	0	R(W)	0 when being read.	
		D6-2	-				-	-	-		-
		D1	FIFO_IN_Cmp	1	IN FIFO Complete	0	None	0	R(W)		
EP0IntStat (EP0 interrupt status)	1000007 (B)	D0	FIFO_OUT_Cmp	1	OUT FIFO complete	0	None	0	R(W)	0 when being read.	
		D7-6	-				-	-	-		-
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)		
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)		
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)		
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)		
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)		
EPaIntStat (EP _a interrupt status)	1000008 (B)	D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)	0 when being read.	
		D7	-				-	-	-		-
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)		
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)		
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)		
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)		
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)		
EPbIntStat (EP _b interrupt status)	1000009 (B)	D1	IN_TranErr	1	In transaction error	0	None	0	R(W)	0 when being read.	
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)		
		D7	-				-	-	-		-
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)		
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)		
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)		
		D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)		
EPcIntStat (EP _c interrupt status)	100000A (B)	D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)	0 when being read.	
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)		
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)		
		D7	-				-	-	-		-
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)		
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)		
		D4	OUT_TranACK	1	Out transaction ACK	0	None	0	R(W)		
EPdIntStat (EP _d interrupt status)	100000B (B)	D3	IN_TranNAK	1	In transaction NAK	0	None	0	R(W)	0 when being read.	
		D2	OUT_TranNAK	1	Out transaction NAK	0	None	0	R(W)		
		D1	IN_TranErr	1	In transaction error	0	None	0	R(W)		
		D0	OUT_TranErr	1	Out transaction error	0	None	0	R(W)		
		D7	-				-	-	-		-
		D6	OUT_ShortACK	1	Out short packet ACK	0	None	0	R(W)		
		D5	IN_TranACK	1	In transaction ACK	0	None	0	R(W)		

レジスタ名	アドレス	ビット	名 称	設 定		Init.	R/W	注 釈			
MainIntEnb (Main interrupt enable)	1000010 (B)	D7	EnSIE_IntStat	1	Enabled	0	Disabled	0	R/W		
		D6	EnEPrintStat					0			R/W
		D5	EnDMA_IntStat					0			R/W
		D4	EnFIFO_IntStat					0			R/W
		D3-2	-	-		-	-	0 when being read.			
		D1	EnEP0IntStat	1	Enabled	0	Disabled	0	R/W		
		D0	EnRcvEP0SETUP					0	R/W		
SIE_IntEnb (SIE interrupt enable)	1000011 (B)	D7	EnVBUS_Changed	1	Enabled	0	Disabled	0	R/W		
		D6	EnNonJ					0			R/W
		D5	EnDetectReset					0			R/W
		D4	EnDetectSuspend					0			R/W
		D3	EnRcvSOF					0			R/W
		D2	EnDetectJ					0			R/W
		D1	-	-		-	-	0 when being read.			
		D0	EnSetAddressCmp	1	Enabled	0	Disabled	0	R/W		
EPrintEnb (EP interrupt enable)	1000012 (B)	D7-4	-	-		-	-	-	-	0 when being read.	
		D3	EnEPdIntStat	1	Enabled	0	Disabled	0	R/W		
		D2	EnEPcIntStat					0			R/W
		D1	EnEPbIntStat					0			R/W
		D0	EnEPaIntStat					0			R/W
		DMA_IntEnb (DMA interrupt enable)	1000013 (B)	D7-2	-	-		-	-	-	-
D1	EnDMA_CountUp			1	Enabled	0	Disabled	0	R/W		
D0	EnDMA_Cmp							0			R/W
FIFO_IntEnb (FIFO interrupt enable)	1000014 (B)	D7	EnDescriptorCmp	1	Enabled	0	Disabled	0	R/W		
		D6-2	-					-			-
		D1	EnFIFO_IN_Cmp	1	Enabled	0	Disabled	0	R/W		
		D0	EnFIFO_OUT_Cmp					0			R/W
EP0IntEnb (EP0 interrupt enable)	1000017 (B)	D7-6	-	-		-	-	-	-	0 when being read.	
		D5	EnIN_TranACK	1	Enabled	0	Disabled	0	R/W		
		D4	EnOUT_TranACK					0			R/W
		D3	EnIN_TranNAK					0			R/W
		D2	EnOUT_TranNAK					0			R/W
		D1	EnIN_TranErr					0			R/W
		D0	EnOUT_TranErr					0			R/W
EPaIntEnb (EPa interrupt enable)	1000018 (B)	D7	-	-		-	-	-	-	0 when being read.	
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W		
		D5	EnIN_TranACK					0			R/W
		D4	EnOUT_TranACK					0			R/W
		D3	EnIN_TranNAK					0			R/W
		D2	EnOUT_TranNAK					0			R/W
		D1	EnIN_TranErr					0			R/W
		D0	EnOUT_TranErr					0			R/W
EPbIntEnb (EPb interrupt enable)	1000019 (B)	D7	-	-		-	-	-	-	0 when being read.	
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W		
		D5	EnIN_TranACK					0			R/W
		D4	EnOUT_TranACK					0			R/W
		D3	EnIN_TranNAK					0			R/W
		D2	EnOUT_TranNAK					0			R/W
		D1	EnIN_TranErr					0			R/W
		D0	EnOUT_TranErr					0			R/W
EPcIntEnb (EPc interrupt enable)	100001A (B)	D7	-	-		-	-	-	-	0 when being read.	
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W		
		D5	EnIN_TranACK					0			R/W
		D4	EnOUT_TranACK					0			R/W
		D3	EnIN_TranNAK					0			R/W
		D2	EnOUT_TranNAK					0			R/W
		D1	EnIN_TranErr					0			R/W
		D0	EnOUT_TranErr					0			R/W
EPdIntEnb (EPd interrupt enable)	100001B (B)	D7	-	-		-	-	-	-	0 when being read.	
		D6	EnOUT_ShortACK	1	Enabled	0	Disabled	0	R/W		
		D5	EnIN_TranACK					0			R/W
		D4	EnOUT_TranACK					0			R/W
		D3	EnIN_TranNAK					0			R/W
		D2	EnOUT_TranNAK					0			R/W
		D1	EnIN_TranErr					0			R/W
		D0	EnOUT_TranErr					0			R/W

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈
RevisionNum (Revision number)	1000020 (B)	D7	RevisionNum[7]	Revision number (0x12)			0	R		
		D6	RevisionNum[6]				0			
		D5	RevisionNum[5]				0			
		D4	RevisionNum[4]				1			
		D3	RevisionNum[3]				0			
		D2	RevisionNum[2]				0			
		D1	RevisionNum[1]				1			
		D0	RevisionNum[0]				0			
USB_Control (USB control register)	1000021 (B)	D7	DisBusDetect	1	Disable bus detect	0	Enable bus detect	0	R/W	
		D6	EnAutoNego	1	Enable auto negotiation	0	Disable auto negotiation	0	R/W	
		D5	InSUSPEND	1	Monitor NonJ	0	Do nothing	0	R/W	
		D4	StartDetectJ	1	Start J-state detection	0	Do nothing	0	R/W	
		D3	SendWakeup	1	Send remote wakeup signal	0	Do nothing	0	R/W	
		D2-1	-	-	-	-	-	-	0 when being read.	
USB_Status (USB status register)	1000022 (B)	D7	VBUS	1	VBUS=High	0	VBUS=Low	X	R	
		D6	FS	1	FS mode (fixed)	0	-	1	R	
		D5-2	-	-	-	-	-	-	-	
		D1	LineState[1]	LineState[1:0]		DP/DM		X	R	
		D0	LineState[0]	1	1	SE1		X		
				1	0	K				
XcvrControl (Xcvr control register)	1000023 (B)	D7	RpuEnb	1	Enable pull-up	0	Disable pull-up	1	R/W	
		D6-2	-	-	-	-	-	-	0 when being read.	
		D1	OpMode[1]	OpMode[1:0]		Operation mode		0	R/W	
		D0	OpMode[0]	1	1	reserved		1		
				1	0	Disable bitstuffing and NRZI encoding				
				0	1	Non-driving				
USB_Test (USB test)	1000024 (B)	D7	EnUSB_Test	1	Enable USB test	0	Do nothing	0	R/W	
		D6-4	-	-	-	-	-	-	0 when being read.	
		D3	Test_SE0_NAK	1	Test_SE0_NAK	0	Do nothing	0	R/W	
		D2	Test_J	1	Test_J	0	Do nothing	0	R/W	
		D1	Test_K	1	Test_K	0	Do nothing	0	R/W	
		D0	Test_Packet	1	Test_Packet	0	Do nothing	0	R/W	
EPnControl (Endpoint control)	1000025 (B)	D7	AllForceNAK	1	Set all ForceNAK	0	Do nothing	0	W	0 when being read.
		D6	EPForceSTALL	1	Set EP's ForceSTALL	0	Do nothing	0	W	
		D5	AllFIFO_Clr	1	Clear all FIFO	0	Do nothing	0	W	
		D4-1	-	-	-	-	-	-	-	
		D0	EP0FIFO_Clr	1	Clear EP0 FIFO	0	Do nothing	0	W	
EPPrFIFO_Clr (EPr FIFO clear)	1000026 (B)	D7-4	-	-	-	-	-	-	-	0 when being read.
		D3	EPdFIFO_Clr	1	Clear EPd FIFO	0	Do nothing	0	W	
		D2	EPcFIFO_Clr	1	Clear EPc FIFO	0	Do nothing	0	W	
		D1	EPbFIFO_Clr	1	Clear EPb FIFO	0	Do nothing	0	W	
		D0	EPaFIFO_Clr	1	Clear EPa FIFO	0	Do nothing	0	W	
FrameNumber_H (Frame number high)	100002E (B)	D7	FnnInvalid	1	Invalid frame number	0	Valid frame number	1	R	
		D6-3	-	-	-	-	-	-	0 when being read.	
		D2	FrameNumber[10]	Frame number high				0	R	
		D1	FrameNumber[9]					0		
FrameNumber_L (Frame number low)	100002F (B)	D0	FrameNumber[8]					0		
		D7	FrameNumber[7]	Frame number low				0	R	
		D6	FrameNumber[6]					0		
		D5	FrameNumber[5]					0		
		D4	FrameNumber[4]					0		
		D3	FrameNumber[3]					0		
		D2	FrameNumber[2]					0		
		D1	FrameNumber[1]					0		
EP0Setup_0 (EP0 set-up 0)	1000030 (B)	D0	FrameNumber[0]					0		
		D7	EP0Setup_0[7]	Endpoint 0 set-up data 0				0	R	
		D6	EP0Setup_0[6]					0		
		D5	EP0Setup_0[5]					0		
		D4	EP0Setup_0[4]					0		
		D3	EP0Setup_0[3]					0		
		D2	EP0Setup_0[2]					0		
		D1	EP0Setup_0[1]					0		
D0	EP0Setup_0[0]					0				

APP

I/O map

レジスタ名	アドレス	ビット	名 称	設 定		Init.	R/W	注 釈		
EP0Setup_1 (EP0 set-up 1)	1000031 (B)	D7	EP0Setup_1[7]	Endpoint 0 set-up data 1		0	R			
		D6	EP0Setup_1[6]			0				
		D5	EP0Setup_1[5]			0				
		D4	EP0Setup_1[4]			0				
		D3	EP0Setup_1[3]			0				
		D2	EP0Setup_1[2]			0				
		D1	EP0Setup_1[1]			0				
		D0	EP0Setup_1[0]			0				
		EP0Setup_2 (EP0 set-up 2)	1000032 (B)			D7			EP0Setup_2[7]	Endpoint 0 set-up data 2
D6	EP0Setup_2[6]			0						
D5	EP0Setup_2[5]			0						
D4	EP0Setup_2[4]			0						
D3	EP0Setup_2[3]			0						
D2	EP0Setup_2[2]			0						
D1	EP0Setup_2[1]			0						
D0	EP0Setup_2[0]			0						
EP0Setup_3 (EP0 set-up 3)	1000033 (B)			D7	EP0Setup_3[7]	Endpoint 0 set-up data 3		0	R	
		D6	EP0Setup_3[6]	0						
		D5	EP0Setup_3[5]	0						
		D4	EP0Setup_3[4]	0						
		D3	EP0Setup_3[3]	0						
		D2	EP0Setup_3[2]	0						
		D1	EP0Setup_3[1]	0						
		D0	EP0Setup_3[0]	0						
		EP0Setup_4 (EP0 set-up 4)	1000034 (B)	D7	EP0Setup_4[7]			Endpoint 0 set-up data 4		0
D6	EP0Setup_4[6]			0						
D5	EP0Setup_4[5]			0						
D4	EP0Setup_4[4]			0						
D3	EP0Setup_4[3]			0						
D2	EP0Setup_4[2]			0						
D1	EP0Setup_4[1]			0						
D0	EP0Setup_4[0]			0						
EP0Setup_5 (EP0 set-up 5)	1000035 (B)			D7	EP0Setup_5[7]	Endpoint 0 set-up data 5				0
		D6	EP0Setup_5[6]	0						
		D5	EP0Setup_5[5]	0						
		D4	EP0Setup_5[4]	0						
		D3	EP0Setup_5[3]	0						
		D2	EP0Setup_5[2]	0						
		D1	EP0Setup_5[1]	0						
		D0	EP0Setup_5[0]	0						
		EP0Setup_6 (EP0 set-up 6)	1000036 (B)	D7	EP0Setup_6[7]			Endpoint 0 set-up data 6		0
D6	EP0Setup_6[6]			0						
D5	EP0Setup_6[5]			0						
D4	EP0Setup_6[4]			0						
D3	EP0Setup_6[3]			0						
D2	EP0Setup_6[2]			0						
D1	EP0Setup_6[1]			0						
D0	EP0Setup_6[0]			0						
EP0Setup_7 (EP0 set-up 7)	1000037 (B)			D7	EP0Setup_7[7]	Endpoint 0 set-up data 7				0
		D6	EP0Setup_7[6]	0						
		D5	EP0Setup_7[5]	0						
		D4	EP0Setup_7[4]	0						
		D3	EP0Setup_7[3]	0						
		D2	EP0Setup_7[2]	0						
		D1	EP0Setup_7[1]	0						
		D0	EP0Setup_7[0]	0						
		USB_Address (USB address)	1000038 (B)	D7	AutoSetAddress			1	Auto set address	0
D6	USB_Address[6]			USB address				0	R/W	
D5	USB_Address[5]							0		
D4	USB_Address[4]							0		
D3	USB_Address[3]							0		
D2	USB_Address[2]							0		
D1	USB_Address[1]							0		
D0	USB_Address[0]							0		
EP0Control (EP0 control)	1000039 (B)							D7		INxOUT
		D6-1	-	-		-	-			
		D0	ReplyDescriptor	1	Reply descriptor	0	Do nothing	0	W	

レジスタ名	アドレス	ビット	名 称		設 定			Init.	R/W	注 釈	
EP0ControlIN (EP0 control IN)	100003A (B)	D7	–	–		–			–	–	0 when being read.
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W	0 when being read.	
		D5	–	–		–			–		–
		D4	ToggleStat	Toggle sequence bit			0	R			
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	R/W		
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	R/W		
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W		
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W		
EP0ControlOUT (EP0 control OUT)	100003B (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	0 when being read.	
		D6–5	–	–		–			–		–
		D4	ToggleStat	Toggle sequence bit			0	R			
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W		0 when being read.
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W		
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W		
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W		
		EP0MaxSize (EP0 max packet size)	100003F (B)	D7	–	–		–			–
D6	EP0MaxSize[6]			Endpoint EP0 max packet size			0	R/W	0 when being read.		
D5	EP0MaxSize[5]						0				
D4	EP0MaxSize[4]						0				
D3	EP0MaxSize[3]						1				
D2–0	–			–		–				–	–
EPaControl (EPa control)	1000040 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	0 when being read.	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W		
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W		
		D4	ToggleStat	Toggle sequence bit			0	R			
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W		
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W		
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W		
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W		
EPbControl (EPb control)	1000041 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	0 when being read.	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W		
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W		
		D4	ToggleStat	Toggle sequence bit			0	R			
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W		
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W		
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W		
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W		
EPcControl (EPc control)	1000042 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	0 when being read.	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W		
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W		
		D4	ToggleStat	Toggle sequence bit			0	R			
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W		
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W		
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W		
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W		
EPdControl (EPd control)	1000043 (B)	D7	AutoForceNAK	1	Auto force NAK	0	Do nothing	0	R/W	0 when being read.	
		D6	EnShortPkt	1	Enable short packet	0	Do nothing	0	R/W		
		D5	DisAF_NAK_Short	1	Disable auto force	0	Auto force NAK short	0	R/W		
		D4	ToggleStat	Toggle sequence bit			0	R			
		D3	ToggleSet	1	Set toggle sequence bit	0	Do nothing	0	W		
		D2	ToggleClr	1	Clear toggle sequence bit	0	Do nothing	0	W		
		D1	ForceNAK	1	Force NAK	0	Do nothing	0	R/W		
		D0	ForceSTALL	1	Force STALL	0	Do nothing	0	R/W		
EPaMaxSize_H (EPa max packet size high)	1000050 (B)	D7–2	–	–		–			–	–	0 when being read.
		D1	EPaMaxSize[9]	Endpoint EPa max packet size			0	R/W	0 when being read.		
		D0	EPaMaxSize[8]				0				
EPaMaxSize_L (EPa max packet size low)	1000051 (B)	D7	EPaMaxSize[7]	Endpoint EPa max packet size			0	R/W		0 when being read.	
		D6	EPaMaxSize[6]				0				
		D5	EPaMaxSize[5]				0				
		D4	EPaMaxSize[4]				0				
		D3	EPaMaxSize[3]				0				
		D2	EPaMaxSize[2]				0				
		D1	EPaMaxSize[1]				0				
		D0	EPaMaxSize[0]				0				

APP

I/O map

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈	
EPaConfig_0 (EPa configuration 0)	1000052 (B)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	—	—				—	—	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		
EPaConfig_1 (EPa configuration 1)	1000053 (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—	—				—	—	0 when being read.
EPbMaxSize_H (EPb max packet size high)	1000054 (B)	D7-2	—	—				—	—	0 when being read.
		D1	EPbMaxSize[9]	Endpoint EPb max packet size				0	R/W	
		D0	EPbMaxSize[8]					0		
EPbMaxSize_L (EPb max packet size low)	1000055 (B)	D7	EPbMaxSize[7]	Endpoint EPb max packet size				0	R/W	
		D6	EPbMaxSize[6]					0		
		D5	EPbMaxSize[5]					0		
		D4	EPbMaxSize[4]					0		
		D3	EPbMaxSize[3]					0		
		D2	EPbMaxSize[2]					0		
		D1	EPbMaxSize[1]					0		
		D0	EPbMaxSize[0]					0		
EPbConfig_0 (EPb configuration 0)	1000056 (B)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	—	—				—	—	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		
EPbConfig_1 (EPb configuration 1)	1000057 (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—	—				—	—	0 when being read.
EPcMaxSize_H (EPc max packet size high)	1000058 (B)	D7-2	—	—				—	—	0 when being read.
		D1	EPcMaxSize[9]	Endpoint EPc max packet size				0	R/W	
		D0	EPcMaxSize[8]					0		
EPcMaxSize_L (EPc max packet size low)	1000059 (B)	D7	EPcMaxSize[7]	Endpoint EPc max packet size				0	R/W	
		D6	EPcMaxSize[6]					0		
		D5	EPcMaxSize[5]					0		
		D4	EPcMaxSize[4]					0		
		D3	EPcMaxSize[3]					0		
		D2	EPcMaxSize[2]					0		
		D1	EPcMaxSize[1]					0		
		D0	EPcMaxSize[0]					0		
EPcConfig_0 (EPc configuration 0)	100005A (B)	D7	INxOUT	1	In	0	Out	0	R/W	
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W	
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W	
		D4	—	—				—	—	0 when being read.
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)				0	R/W	
		D2	EndPointNumber[2]					0		
		D1	EndPointNumber[1]					0		
		D0	EndPointNumber[0]					0		
EPcConfig_1 (EPc configuration 1)	100005B (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W	
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W	
		D5-0	—	—				—	—	0 when being read.
EPdMaxSize_H (EPd max packet size high)	100005C (B)	D7-2	—	—				—	—	0 when being read.
		D1	EPdMaxSize[9]	Endpoint EPd max packet size				0	R/W	
		D0	EPdMaxSize[8]					0		
EPdMaxSize_L (EPd max packet size low)	100005D (B)	D7	EPdMaxSize[7]	Endpoint EPd max packet size				0	R/W	
		D6	EPdMaxSize[6]					0		
		D5	EPdMaxSize[5]					0		
		D4	EPdMaxSize[4]					0		
		D3	EPdMaxSize[3]					0		
		D2	EPdMaxSize[2]					0		
		D1	EPdMaxSize[1]					0		
		D0	EPdMaxSize[0]					0		

レジスタ名	アドレス	ビット	名 称	設 定			Init.	R/W	注 釈		
EPdConfig_0 (EPd configuration 0)	100005E (B)	D7	INxOUT	1	In	0	Out	0	R/W		
		D6	ToggleMode	1	Always toggle	0	Normal toggle	0	R/W		
		D5	EnEndPoint	1	Enable endpoint	0	Disable endpoint	0	R/W		
		D4	—		—			—	—	0 when being read.	
		D3	EndPointNumber[3]	Endpoint number (0x1 to 0xF)					0	R/W	
		D2	EndPointNumber[2]						0		
		D1	EndPointNumber[1]						0		
D0	EndPointNumber[0]	0									
EPdConfig_1 (EPd configuration 1)	100005F (B)	D7	ISO	1	ISO	0	Non-ISO	0	R/W		
		D6	ISO_CRCmode	1	CRC mode	0	Normal ISO	0	R/W		
		D5-0	—		—			—	—	0 when being read.	
EPaStartAdrs_H (EPa FIFO start address high)	1000070 (B)	D7-4	—		—			—	—	0 when being read.	
		D3	EPaStartAdrs[11]	Endpoint EPa start address					0	R/W	
		D2	EPaStartAdrs[10]						0		
		D1	EPaStartAdrs[9]						0		
		D0	EPaStartAdrs[8]						0		
EPaStartAdrs_L (EPa FIFO start address low)	1000071 (B)	D7	EPaStartAdrs[7]	Endpoint EPa start address					0	R/W	
		D6	EPaStartAdrs[6]						0		
		D5	EPaStartAdrs[5]						0		
		D4	EPaStartAdrs[4]						0		
		D3	EPaStartAdrs[3]						0		
		D2	EPaStartAdrs[2]						0		
		D1-0	—		—			—	—	0 when being read.	
EPbStartAdrs_H (EPb FIFO start address high)	1000072 (B)	D7-4	—		—			—	—	0 when being read.	
		D3	EPbStartAdrs[11]	Endpoint EPb start address					0	R/W	
		D2	EPbStartAdrs[10]						0		
		D1	EPbStartAdrs[9]						0		
		D0	EPbStartAdrs[8]						0		
EPbStartAdrs_L (EPb FIFO start address low)	1000073 (B)	D7	EPbStartAdrs[7]	Endpoint EPb start address					0	R/W	
		D6	EPbStartAdrs[6]						0		
		D5	EPbStartAdrs[5]						0		
		D4	EPbStartAdrs[4]						0		
		D3	EPbStartAdrs[3]						0		
		D2	EPbStartAdrs[2]						0		
		D1-0	—		—			—	—	0 when being read.	
EPcStartAdrs_H (EPc FIFO start address high)	1000074 (B)	D7-4	—		—			—	—	0 when being read.	
		D3	EPcStartAdrs[11]	Endpoint EPc start address					0	R/W	
		D2	EPcStartAdrs[10]						0		
		D1	EPcStartAdrs[9]						0		
		D0	EPcStartAdrs[8]						0		
EPcStartAdrs_L (EPc FIFO start address low)	1000075 (B)	D7	EPcStartAdrs[7]	Endpoint EPc start address					0	R/W	
		D6	EPcStartAdrs[6]						0		
		D5	EPcStartAdrs[5]						0		
		D4	EPcStartAdrs[4]						0		
		D3	EPcStartAdrs[3]						0		
		D2	EPcStartAdrs[2]						0		
		D1-0	—		—			—	—	0 when being read.	
EPdStartAdrs_H (EPd FIFO start address high)	1000076 (B)	D7-4	—		—			—	—	0 when being read.	
		D3	EPdStartAdrs[11]	Endpoint EPd start address					0	R/W	
		D2	EPdStartAdrs[10]						0		
		D1	EPdStartAdrs[9]						0		
		D0	EPdStartAdrs[8]						0		
EPdStartAdrs_L (EPd FIFO start address low)	1000077 (B)	D7	EPdStartAdrs[7]	Endpoint EPd start address					0	R/W	
		D6	EPdStartAdrs[6]						0		
		D5	EPdStartAdrs[5]						0		
		D4	EPdStartAdrs[4]						0		
		D3	EPdStartAdrs[3]						0		
		D2	EPdStartAdrs[2]						0		
		D1-0	—		—			—	—	0 when being read.	
CPU_JoinRd (CPU join FIFO read)	1000080 (B)	D7-4	—		—			—	—	0 when being read.	
		D3	JoinEPdRd	1	Join EPd FIFO read	0	Do nothing	0	R/W		
		D2	JoinEPcRd	1	Join EPc FIFO read	0	Do nothing	0	R/W		
		D1	JoinEPbRd	1	Join EPb FIFO read	0	Do nothing	0	R/W		
		D0	JoinEPaRd	1	Join EPa FIFO read	0	Do nothing	0	R/W		
CPU_JoinWr (CPU join FIFO write)	1000081 (B)	D7-4	—		—			—	—	0 when being read.	
		D3	JoinEPdWr	1	Join EPd FIFO write	0	Do nothing	0	R/W		
		D2	JoinEPcWr	1	Join EPc FIFO write	0	Do nothing	0	R/W		
		D1	JoinEPbWr	1	Join EPb FIFO write	0	Do nothing	0	R/W		
		D0	JoinEPaWr	1	Join EPa FIFO write	0	Do nothing	0	R/W		

APP

I/O map

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
EnEPnFIFO_Access (Enable EPn FIFO access)	1000082 (B)	D7-2	–	–	–	–	0 when being read.
		D1	EnEPnFIFO_Wr	1 Enable join EPn FIFO write	0 Do nothing	0 R/W	
		D0	EnEPnFIFO_Rd	1 Enable join EPn FIFO read	0 Do nothing	0 R/W	
EPnFIFOforCPU (EPn FIFO for CPU)	1000083 (B)	D7	EPnFIFOData[7]	Endpoint EP0 FIFO access from CPU		X	R/W
		D6	EPnFIFOData[6]			X	
		D5	EPnFIFOData[5]			X	
		D4	EPnFIFOData[4]			X	
		D3	EPnFIFOData[3]			X	
		D2	EPnFIFOData[2]			X	
		D1	EPnFIFOData[1]			X	
		D0	EPnFIFOData[0]			X	
EPnRdRemain_H (EPn FIFO read remain high)	1000084 (B)	D7-4	–	–	–	–	0 when being read.
		D3	EPnRdRemain[11]	Endpoint n FIFO read remain high		0	R
		D2	EPnRdRemain[10]			0	
		D1	EPnRdRemain[9]			0	
		D0	EPnRdRemain[8]			0	
EPnRdRemain_L (EPn FIFO read remain low)	1000085 (B)	D7	EPnRdRemain[7]	Endpoint n FIFO read remain low		0	R
		D6	EPnRdRemain[6]			0	
		D5	EPnRdRemain[5]			0	
		D4	EPnRdRemain[4]			0	
		D3	EPnRdRemain[3]			0	
		D2	EPnRdRemain[2]			0	
		D1	EPnRdRemain[1]			0	
		D0	EPnRdRemain[0]			0	
EPnWrRemain_H (EPn FIFO write remain high)	1000086 (B)	D7-4	–	–	–	–	0 when being read.
		D3	EPnWrRemain[11]	Endpoint n FIFO write remain high		0	R
		D2	EPnWrRemain[10]			0	
		D1	EPnWrRemain[9]			0	
		D0	EPnWrRemain[8]			0	
EPnWrRemain_L (EPn FIFO write remain low)	1000087 (B)	D7	EPnWrRemain[7]	Endpoint n FIFO write remain low		0	R
		D6	EPnWrRemain[6]			0	
		D5	EPnWrRemain[5]			0	
		D4	EPnWrRemain[4]			0	
		D3	EPnWrRemain[3]			0	
		D2	EPnWrRemain[2]			0	
		D1	EPnWrRemain[1]			0	
		D0	EPnWrRemain[0]			0	
DescAdrs_H (Descriptor address high)	1000088 (B)	D7-4	–	–	–	–	0 when being read.
		D3	DescAdrs[11]	Descriptor address		0	R/W
		D2	DescAdrs[10]			0	
		D1	DescAdrs[9]			0	
		D0	DescAdrs[8]			0	
DescAdr_L (Descriptor address low)	1000089 (B)	D7	DescAdrs[7]	Descriptor address		0	R/W
		D6	DescAdrs[6]			0	
		D5	DescAdrs[5]			0	
		D4	DescAdrs[4]			0	
		D3	DescAdrs[3]			0	
		D2	DescAdrs[2]			0	
		D1	DescAdrs[1]			0	
		D0	DescAdrs[0]			0	
DescSize_H (Descriptor size high)	100008A (B)	D7-2	–	–	–	–	0 when being read.
		D1	DescSize[9]	Descriptor size		0	R/W
		D0	DescSize[8]			0	
DescSize_L (Descriptor size low)	100008B (B)	D7	DescSize[7]	Descriptor size		0	R/W
		D6	DescSize[6]			0	
		D5	DescSize[5]			0	
		D4	DescSize[4]			0	
		D3	DescSize[3]			0	
		D2	DescSize[2]			0	
		D1	DescSize[1]			0	
		D0	DescSize[0]			0	
DescDoor (Descriptor door)	100008F (B)	D7	DescMode[7]	Descriptor door		0	R/W
		D6	DescMode[6]			0	
		D5	DescMode[5]			0	
		D4	DescMode[4]			0	
		D3	DescMode[3]			0	
		D2	DescMode[2]			0	
		D1	DescMode[1]			0	
		D0	DescMode[0]			0	

レジスタ名	アドレス	ビット	名 称	設 定				Init.	R/W	注 釈	
DMA_FIFO_Control (DMA FIFO control)	1000090 (B)	D7	FIFO_Running	1	FIFO is running	0	FIFO is not running	0	R	0 when being read.	
		D6	AutoEnShort	1	Auto enable short packet	0	Do nothing	0	R/W		
		D5-0	-				-	-	-		-
DMA_Join (DMA join FIFO)	1000091 (B)	D7-4	-				-	-	-	0 when being read.	
		D3	JoinEPdDMA	1	Join EPd to DMA	0	Do nothing	0	R/W		
		D2	JoinEPcDMA	1	Join EPc to DMA	0	Do nothing	0	R/W		
		D1	JoinEPbDMA	1	Join EPb to DMA	0	Do nothing	0	R/W		
		D0	JoinEPaDMA	1	Join EPa to DMA	0	Do nothing	0	R/W		
		-				-	-	-	-		
DMA_Control (DMA control)	1000092 (B)	D7	DMA_Running	1	DMA is running	0	DMA is not running	0	R	0 when being read.	
		D6	PDREQ	PDREQ (#DMAREQ3) signal logic				0	R		
		D5	PDACK	PDACK (#CE4) signal logic				0	R		
		D4	-				-	-	-		-
		D3	CounterClr	1	Clear DMA counter	0	Do nothing	0	W		
		D2	-				-	-	-		-
		D1	DMA_Stop	1	Finish DMA	0	Do nothing	0	W		
		D0	DMA_Go	1	Start DMA	0	Do nothing	0	W		
DMA_Config_0 (DMA configuration 0)	1000094 (B)	D7	ActivePort	1	Activate DMA port	0	Disactivate DMA port	0	R/W	0 when being read.	
		D6-4	-				-	-	-		-
		D3	PDREQ_Level	1	Active-low	0	Active-high	0	R/W		
		D2	PDACK_Level	1	Active-low	0	Active-high	0	R/W		
		D1	PDRDWR_Level	1	Active-low	0	Active-high	0	R/W		
		D0	-				-	-	-		-
DMA_Config_1 (DMA configuration 1)	1000095 (B)	D7	RcvLimitMode	1	Recive limit mode	0	Normal	0	R/W	0 when being read.	
		D6-4	-				-	-	-		-
		D3	SingleWord	1	Single word	0	Multi word	0	R/W		
		D2-1	-				-	-	-		-
		D0	CountMode	1	Count-down mode	0	Free-run mode	0	R/W		
DMA_Latency (DMA latency)	1000097 (B)	D7-4	-				-	-	-	0 when being read.	
		D3	DMA_Latency[3]	Latency				0	R/W		
		D2	DMA_Latency[2]					0			
		D1	DMA_Latency[1]					0			
		D0	DMA_Latency[0]					0			
DMA_Remain_H (DMA FIFO remain high)	1000098 (B)	D7-4	-				-	-	-	0 when being read.	
		D3	DMA_Remain[11]	DMA FIFO remain high				0	R		
		D2	DMA_Remain[10]					0			
		D1	DMA_Remain[9]					0			
		D0	DMA_Remain[8]					0			
DMA_Remain_L (DMA FIFO remain low)	1000099 (B)	D7	DMA_Remain[7]	DMA FIFO remain low				0	R		
		D6	DMA_Remain[6]					0			
		D5	DMA_Remain[5]					0			
		D4	DMA_Remain[4]					0			
		D3	DMA_Remain[3]					0			
		D2	DMA_Remain[2]					0			
		D1	DMA_Remain[1]					0			
		D0	DMA_Remain[0]					0			
		-				-					-
DMA_Count_HH (DMA transfer byte counter high/high)	100009C (B)	D7	DMA_Count[31]	DMA transfer byte counter				0	R/W		
		D6	DMA_Count[30]					0			
		D5	DMA_Count[29]					0			
		D4	DMA_Count[28]					0			
		D3	DMA_Count[27]					0			
		D2	DMA_Count[26]					0			
		D1	DMA_Count[25]					0			
		D0	DMA_Count[24]					0			
		-				-					-
DMA_Count_HL (DMA transfer byte counter high/low)	100009D (B)	D7	DMA_Count[23]	DMA transfer byte counter				0	R/W		
		D6	DMA_Count[22]					0			
		D5	DMA_Count[21]					0			
		D4	DMA_Count[20]					0			
		D3	DMA_Count[19]					0			
		D2	DMA_Count[18]					0			
		D1	DMA_Count[17]					0			
		D0	DMA_Count[16]					0			
		-				-					-
DMA_Count_LH (DMA transfer byte counter low/high)	100009E (B)	D7	DMA_Count[15]	DMA transfer byte counter				0	R/W		
		D6	DMA_Count[14]					0			
		D5	DMA_Count[13]					0			
		D4	DMA_Count[12]					0			
		D3	DMA_Count[11]					0			
		D2	DMA_Count[10]					0			
		D1	DMA_Count[9]					0			
		D0	DMA_Count[8]					0			
		-				-					-

APP

I/O map

Appendix A I/Oマップ

レジスタ名	アドレス	ビット	名 称	設 定	Init.	R/W	注 釈
DMA_Count_LL (DMA transfer byte counter low/low)	100009F (B)	D7	DMA_Count[7]	DMA transfer byte counter	0	R/W	
		D6	DMA_Count[6]		0		
		D5	DMA_Count[5]		0		
		D4	DMA_Count[4]		0		
		D3	DMA_Count[3]		0		
		D2	DMA_Count[2]		0		
		D1	DMA_Count[1]		0		
		D0	DMA_Count[0]		0		

B 参考資料: バス条件設定一覧

	バス条件	48MHz @x1スピード				48MHz @x2スピード				32MHz @x1スピード				24MHz @x1スピード			
		Off	Off	On	On	Off	Off	On	On	Off	Off	On	On	Off	Off	On	On
バスアービタ機能 USB機能	-	Off	Off			Off	Off	On	On	Off	Off	On	On	Off	Off	On	On
	-	Off	Off			Off	Off	On	On	Off	Off	On	On	Off	Off	On	On
IVRAM (内部エリア6)	ウェイトサイクル		0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
	出カディセーブル	NA	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
SDRAM初期化 (内部エリア6)	リードホールド		0	1	0	0	1	0	1	0	1	0	1	0	1	0	1
	ウェイトサイクル	NA	0	0	0	0	2	0	2	2	2	2	2	2	2	2	2
SDRAM初期化以 外のエリア6 I/O (内部エリア6)	出カディセーブル	NA	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
	リードホールド	NA	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
USB I/O (内部エリア11)	ウェイトサイクル	NA	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1
	出カディセーブル	NA	NA			NA	NA			NA	NA			NA	NA		
USB DMA (内部エリア4)	リードホールド		1			1		1		1		1		1		1	
	ウェイトサイクル	NA	NA			NA	NA			NA	NA			NA	NA		
SDRAM (外部)	出カディセーブル	2	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
	リードホールド	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	1.5	1.5	0.5	0.5	1.5	1.5
SRAM/ROM (外部)	ウェイトサイクル	任意	任意	任意	1	1	任意	任意	任意	任意	任意	1	1	任意	任意	1	1
	出カディセーブル	任意	任意	任意	0.5	0.5	任意	任意	任意	任意	任意	0.5	0.5	任意	任意	0.5	0.5
NANDフラッシュ (外部)	リードホールド	任意	任意	任意	0	0	任意	0	0	任意	任意	1	1	任意	任意	1	1
	ウェイトサイクル	NA	2	2	2	2	2	2	2	NA	NA	NA	NA	2	2	2	2
SQ ROM (外部)	出カディセーブル	NA	0.5	0.5	0.5	0.5	0.5	0.5	0.5	NA	NA	NA	NA	0.5	0.5	0.5	0.5
	リードホールド	NA	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
SQ ROM (外部)	ウェイトサイクル	NA	5	5	5	5	6	6	6	6	6	6	6	4	4	4	4
	出カディセーブル	NA	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
SQ ROM (外部)	リードホールド	NA	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	ウェイトサイクル	NA	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

注1: 周辺ブロックやメモリ以外にも、バスアービタやUSB機能の使用/不使用で最小アクセス時間が変わります。
注2: バスをx1スピードモードで使用する場合はエリア6ウェイト設定条件は、(1)SDRAM初期化には2ウェイト、(2)IVRAMには1ウェイト、(3)他のI/Oデバイスには80ウェイトの3種類があります。できるだけ高い性能を維持するためには、SDRAM初期化前は2ウェイトに設定し、SDRAMの初期化が終了後は1ウェイトに変更してください。
注3: この条件では、SDRAMCをローパワーマンションモード(SDHP[D3/0x3A0210] = "0")で動作させる必要があります。

このページはブランクです。

セイコーエプソン株式会社 電子デバイス営業本部

〈ED東日本営業部〉

東京

〒191-8501 東京都日野市日野421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

仙台

〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F
TEL (022) 263-7975 (代表) FAX (022) 263-7990

〈ED西日本営業部〉

大阪

〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

名古屋

〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F
TEL (052) 953-8031 (代表) FAX (052) 953-8041

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com/domcfg.nsf>