

S1R72005/72015

On-The-Go デバイスコントローラ LSI

動作説明書

本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告無く変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性値の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

< 目次 >

1. はじめに	1
2. 用語	2
3. ホスト機能	3
3.1 VBUS制御	3
3.2 HCステート制御	4
3.2.1 リセット	5
3.2.2 オペレーショナル	5
3.2.3 サスペンド	5
3.2.4 リジューム	5
3.3 USB転送	6
3.3.1 転送動作概略	6
3.3.2 転送動作手順	7
3.3.3 FIFOアクセス	11
3.3.4 自動コントロール転送（オートモード）	16
3.3.5 フレーム番号	17
3.4 リモートウェイクアップ検出	18
4. ペリフェラル機能	19
4.1 接続・切断検出	19
4.2 USB転送	20
4.2.1 転送動作概略	20
4.2.2 転送動作手順	21
4.2.3 FIFOアクセス	23
4.3 デバイスアドレスの設定	26
4.4 エンドポイントのイネーブル／ディセーブル	27
4.5 ハンドシェーク制御	28
4.6 SETUPトランザクション受信時の動作	29
4.7 サスペンド	30
4.8 サスペンド復帰	31
4.8.1 リモートウェイクアップ送出	32
4.8.2 リジューム／リセット受信	33
4.9 USBリセット	34
5. OTG制御	35
5.1 割り込み	36
5.1.1 割り込みの種類	36
5.1.2 OTGステートと割り込み	37
5.2 OTGデュアルロールデバイスの場合の制御	38
5.2.1 遷移トリガー一覧	38

5.2.2 SPR.....	44
5.3 ホストオンリーデバイスの場合の制御（≡ルートハブ制御）.....	46
5.3.1 常にVBUSをONとする場合.....	46
5.3.2 状況に応じVBUSをOFFする場合.....	47
5.4 ペリフェラルオンリーデバイスの場合の制御.....	48
6. 低消費電力制御	49
6.1 内部クロック供給制御	49
6.2 内蔵コンパレータ	49
6.3 OTGステート別制御方法	50
付録 1. FAQ.....	51
付録 2. クロック制御方法	53
2.1 クロック概要.....	53
2.2 パワーオン後の状態	54
2.3 クロック停止方法.....	55
2.4 CPUからの制御によるクロック再開方法	56
2.5 USBバスのステート検出によるクロックの再開について.....	57
付録 3. FIFO(パケットメモリ)制御方法	58
3.1 各Channel（EndPoint）に割り当てられるメモリ領域	58
3.2 フロー制御及びFull / Empty	59
付録 4. DMAの概要	61
4.1 xRD, xWRストローブモード	61
4.2 xDACKストローブモード	62
4.3 DMASTRB SDRAMモード	63
4.4 DMASTRB 汎用モード	64
4.5 DMA使用上の注意.....	65
改訂履歴	66

1. はじめに

本ドキュメントは、S1R72005 および S1R72015 (以下 72005/72015) の使用方法を提供するものです。
本ドキュメントを、USB2.0 規格および On-The-Go (以下 OTG) 規格の基本的な内容について理解されている方を対象として作成されています。

本ドキュメントは、以下の規格書をもとに作成されています。

- ▶ Universal Serial Bus Specification, Revision 2.0
- ▶ On-The-Go Supplement to the USB 2.0 Specification, Revision 1.0aRC5

※ 本ドキュメントの記載内容は、72005/72015 のドライバ S/W 作成における指標および推奨例であって、その使用方法を制限するものではありません。ただし、使用時の注意点等には従うことを推奨いたします。

※ 本ドキュメントに記載される内容は、USB 規格および OTG 規格に順ずることに留意していますが、認証を保証するものではありません。原則的には USB2.0 規格および OTG 規格の動作・内容に則って下さい。

※ 本ドキュメントの内容を予告なしに変更する場合があります。

2. 用語

2. 用語

本ドキュメント内における用語についての説明を Tab. 2-1 に示します。

Tab. 2-1 用語

語	意味
xxxx.yyyy	xxxx レジスタの yyyy フィールドを示します。
FIFO 領域	各転送チャンネルに割り当てる LSI 内部のバッファ領域。
HC	72005/72015 のホストコントローラ。
PC	72005/72015 のペリフェラルコントローラ。
チャンネル	ホスト時では USB 転送チャンネル(パイプ)、ペリフェラル時ではエンドポイントをそれぞれ指します。
デバイス	製品機器類。 【注意】 本ドキュメントでは、USB の接続トポロジのスレーブを示す意味では用いていません。
転送サイズ	PIPETotalSize_H～L.TotalSize レジスタフィールドに示す(示される)値。
トータルサイズ	“転送サイズ”と同義。
バッファ領域	“FIFO 領域”と同義。
ペリフェラル	USB の接続トポロジにおけるスレーブを指します。 【注意】 本事項は、USB1.x/2.0 規格書では“デバイス”、OTG1.0 規格書では“ペリフェラル”とそれぞれ称されていますが、本ドキュメントでは“ペリフェラル”と統一することとします。
ホスト	USB の接続トポロジにおけるマスタを指します。

なお、レジスタ名に関しては本ドキュメント内では全て 8 ビットアクセス時の名称を使用しています。

3. ホスト機能

72005/72015 が USB ホストとなった場合の動作について、主要機能別に解説します。

ホストの動作 (HC ステート制御、USB 転送) が可能な OTG ステートコマンド (OTGControl.OTGStateCmd) は、“a_host” または “b_host” となります。ここで、“a_host” はミニ A プラグが挿入される場合の通常のホストの場合で、“b_host” は HNP によってアクティブとなったミニ B プラグが挿入されているホストの場合となります。これらの OTG ステートコマンド下でホスト機能に差異はありません。

3.1 VBUS 制御

ホスト時の VBUS 制御は、OTG ステート (OTGControl.OTGStateCmd) によって制御します。

VBUS が ON される OTG ステートは、“a_wait_vrise”、“a_wait_bcon”、“a_host”、“a_suspend”、“a_peripheral” となります。それ以外のステートでは VBUS は OFF となります。VBUS が ON となるステートのうちホストコントローラが動作可能となるのは、“a_host”、“a_suspend” のみとなります。

※ 詳しくは本ドキュメント 5 章を参照下さい。

3. ホスト機能

3.2 HC ステート制御

USB ホストは USB データラインのステート(HC ステート)を制御する必要があります。
HC ステートには次の 4 種類があります。

- ▶ リセット (SE0)
- ▶ オペレーショナル (SOF 出力状態; 転送可能状態)
- ▶ サスペンド (J 状態; アイドル)
- ▶ リジューム (K 状態)

これらの HC ステートは HCControl.HCStateCmd レジスタフィールドに値を設定することで生成することができます。
リセットとリジュームは S/W が時間管理を行います。また、ホスト動作可能状態(“a_host”または“b_host”)に OTG ステートを遷移した直後は、HC ステートはデフォルトのサスペンド状態となります。

以下に HC ステート遷移を示します。

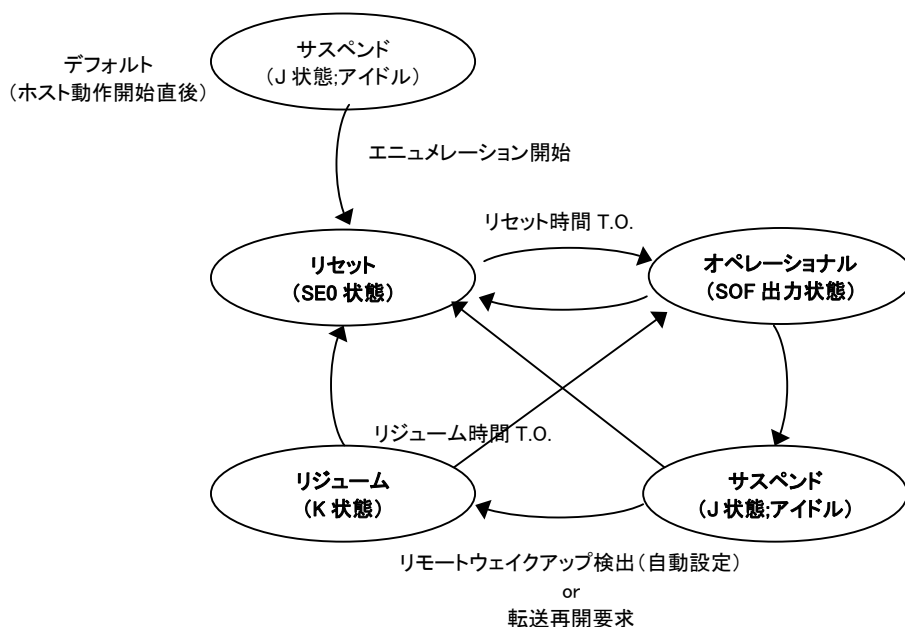


Fig. 3-1 HC ステート遷移

【注意】 OTGCControl.OTGStateCmd レジスタフィールドが“a_host”、“a_suspend”、“b_host”以外の場合では、HCControl.HCStateCmd レジスタフィールドに値を書き込むことはできません。

3.2.1 リセット

USB 上にリセット信号(SE0)を出力します。リセット出力時間は最低 50ms とし(USB2.0 規格書 7.1.7.5)、S/W がその時間を管理します。

リセット完了後は HC ステートをオペレーショナルにします。

3.2.2 オペレーショナル

USB 上に SOF を出力します。また、このステート下でのみ USB 転送が可能となります。USB 転送を行わない場合は HC ステートによりペリフェラルをサスペンドさせることもできます。

3.2.3 サスペンド

USB のデータラインをアイドル(J 状態)に保ちます。

サスペンド状態からオペレーショナル状態に復帰させる場合は必ずリジュームステートまたはリセットステートを介して行ってください。なお、OTG ステートにおいて a_host または b_host に遷移直後は、HC ステートはサスペンド状態(デフォルト状態)でいることになります。

【注意】 OTGControl.OTGStateCmd レジスタフィールドが“a_host”、“a_suspend”、“b_host”からこれら以外の値に設定された場合は、HC ステートはデフォルト(サスペンド)の値に自動的にリセットされます。

3.2.4 リジューム

USB 上にリジューム信号(K 状態)を出力します。リジューム時間は最低 20ms とし(USB2.0 規格書 7.1.7.7)、S/W がその時間を管理します。

リセット完了後は HC ステートをオペレーショナルにします。

【注意】 リモートウェイクアップが検出された時は、HC ステート(HC ステート)は自動的にリジュームの値に設定されます。

3. ホスト機能

3.3 USB 転送

72005/72015 のホスト時における USB 転送の方法を説明します。

3.3.1 転送動作概略

72005/72015 は最大 6 つ (72005 は 5 つ) の USB 転送チャンネルを持っています。1 つの転送チャンネルは 1 つの USB 転送パイプに相当し、転送チャンネル毎のレジスタ制御により転送を行います。

各転送チャンネルはエンドポイント番号を任意に設定できます。よって、転送チャンネルの設定をダイナミックに変更することでチャンネル数以上のパイプ数を有する場合に対応することが可能となります。

Fig. 3-2 に基本的な転送の流れを示します。

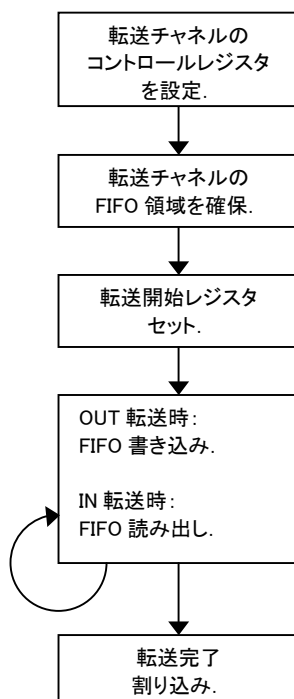


Fig. 3-2 ホスト転送の基本的な手順概略

USB 転送用のコントロールレジスタに適当な設定 (ex. ファンクションアドレス、エンドポイント番号、転送種類、転送方向、転送サイズ等) を行い、転送開始レジスタビットをセットすることで転送を開始することができます。

OUT 転送の場合は、FIFO にデータペイロードを書き込むことにより USB 上にデータが出力されます。IN 転送の場合は、USB から受信したデータペイロードが FIFO に格納され、それを読み出すことによってデータを受け取ることができます。

転送開始時に指定した転送サイズ分の転送が完了すると、転送完了を示す割り込み要因がセットされます。この時、該当する割り込みを許可していれば、CPU に H/W 割り込みを通知することができます。

3.3.2 転送動作手順

ホスト時における転送の方法について解説します。基本的な操作の流れはOUT転送／IN転送とも同様となります。ただし、FIFOアクセスのタイミングや方法に多少の違いがありますが詳細は 3.3.3 に記述します。

Fig. 3-3 に転送動作の手順を示します。

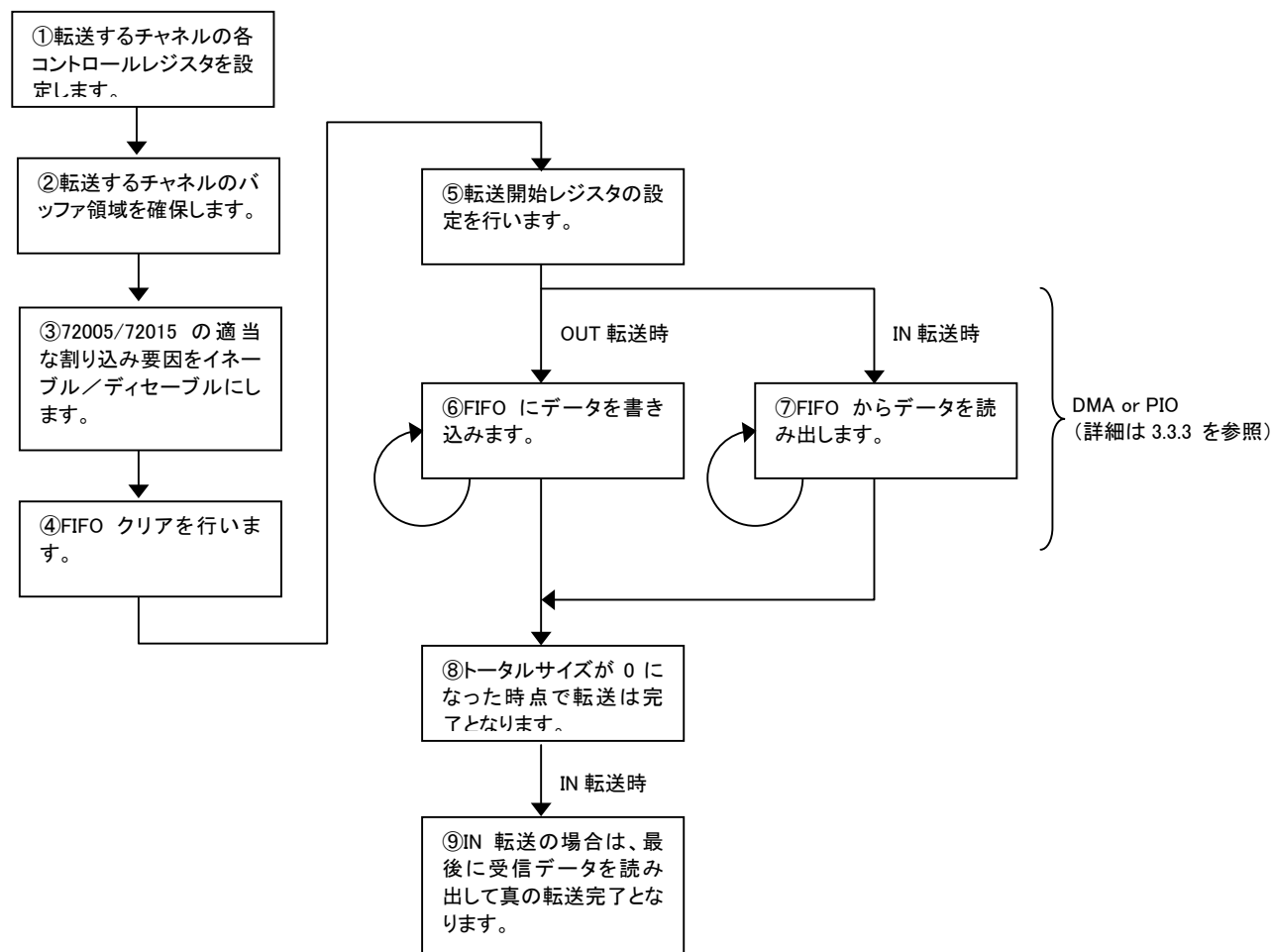


Fig. 3-3 USB 転送手順

次に各処理の詳細を記述します。(各項目の番号は Fig. 3-3 の処理内の番号に対応しています。)

3. ホスト機能

① 転送するチャンネルの各コントロールレジスタを設定します。

以下に示すレジスタの設定を行います。

Tab. 3-1 転送開始時のレジスタ設定 (必須)

設定項目	対応レジスタ・フィールド	条件
DMA の使用有無	Config_0.JoinDMA	
転送方向 (OUT/IN/SETUP)	Config_1.DirPID	
転送種類 (Control/Bulk/Int/Iso)	Config_1.TranType	チャンネル 0 以外
エンドポイント番号	Config_1.EPNumber	
連続転送回数	PIPETranConfig.Continuity	
ファンクションアドレス	PIPETranConfig.FuncAddr	
トグル (初期値として 0)	PIPEControl.Toggle	
転送サイズ (トータルサイズ)	PIPETotalSize_H.TotalSize, PIPETotalSize_M.TotalSize, PIPETotalSize_L.TotalSize	

また、必要に応じて以下の設定も行います。

Tab. 3-2 転送開始時のレジスタ設定 (選択)

設定項目	対応レジスタ・フィールド	条件
トグルモード	Config_0.ToggleMode	インタラプト転送時
ショートパケット終了のための 0 長パケット付与有無	Config_0.AutoZeroLen	OUT 転送時
トークン発行フレーム間隔	PIPEInterval.Interval	インタラプト転送時

【参考】 Tab. 3-1 および Tab. 3-2 の各設定項目について、その設定順序は問いません。

② 転送するチャンネルのバッファ領域を確保します。

以下に示すレジスタの設定を行います。(方法はペリフェラル動作時と同様となります。)

Tab. 3-3 バッファ領域確保時のレジスタ設定

設定項目	対応レジスタ・フィールド
Max パケットサイズ	MaxPktSize_H.MaxPktSize, MaxPktSize_L.MaxPktSize
バッファ領域面数	MaxPktSize_H.BufferPage
バッファ領域確保実行	PIPEEPCommon.SetBuffer

Max パケットサイズとバッファ領域面数を設定後、PIPEEPCommon.SetBuffer レジスタビットに“1”をセットすることで、(Max パケットサイズ × バッファ領域面数) 分のバッファ領域を確保します。

【注意】 Max パケットサイズやバッファ領域面数の設定を変更する場合、および SetBuffer を行う場合は、全てのチャンネルの転送が停止している必要があります。

【注意】 全チャンネルのバッファ領域サイズの総計が、FIFO の全領域サイズ (2.5k バイト) を超えない範囲で領域の確保を行う必要があります。

【注意】 SetBuffer を行くと、全チャンネルのバッファ領域のデータがクリアされます。

③ 72005/72015 の適当な割り込み要因をイネーブル／ディセーブルにします。

必要に応じて該当する割り込みのイネーブルレジスタを設定します。

以下に、ホスト時に用いる割り込みを示します。各割り込み内容の詳細については、レジスタ詳細解説を確認ください。

Tab. 3-4 ホスト時使用割り込み

カテゴリ	割り込み要因ビット名	内容	備考
転送正常系	TranCmp	指定サイズ転送完了	チャンネル毎。
	CTLTranCmp	自動コントロール転送完了	チャンネル毎。詳細は後述。
	InShortRcv	予期せぬショートパケット受信	チャンネル毎。
転送異常系	NoResp	デバイス無応答	チャンネル毎。
	Stalled	デバイスストール応答	チャンネル毎。
	TranErr	トランザクションエラー	チャンネル毎。
	InOverSize	Max パケット超 受信	チャンネル毎。
	PortErr	ポートエラー	
DMA 系	DMAComp	指定サイズ DMA 完了	詳細は後述。
	DetFreezeDMA	DMA サイズ残有り、DMA 転送データ残 1 バイト	IN 転送で DMA 使用時必要。詳細は後述。
フレーム管理系	SOF	SOF 送出	フレーム管理しない場合は不要。
	FmNumberOver	フレームナンバオーバフロー	フレーム管理しない場合は不要。
OTG 遷移（ルートハブ）系	ChangeID	ホスト側ケーブル挿抜検出	
	ChangeConnStat	デバイス接続状態変化検出	
	Cross44V	VBUS 電圧変化検出	
	DetRmtWkup	リモートウェイクアップ検出	
間接参照	MainIntStat_1	MainIntStat_1 レジスタの間接参照	
	HCIntStat	HCIntStat レジスタの間接参照	
	PIPEXIntStat	PIPEXIntStat レジスタの間接参照	チャンネル毎。

④ FIFO クリアを行います。

Config_0.FIFOClr レジスタビットに“1”を設定して FIFO データをクリアします。

SetBuffer 直後であれば、これを行う必要はありませんが、一度転送を開始して、バッファの再構築なしに引き続き転送を開始する場合は必ず FIFO クリアを行ってください。

⑤ 転送開始レジスタの設定を行います。

PIPEControl.TranGo レジスタビットに“1”をセットすることで、ホストコントローラは転送レディ状態となります。この状態で FIFO にデータが存在する場合は、USB 上にデータが出力されることとなります。

【参考】 ここでの「FIFO にデータが存在する場合」とは、転送サイズ（トータルサイズ）が Max パケットサイズ以上の場合は少なくとも Max パケットサイズ相当量のデータが FIFO 内に存在することを指し、トータルサイズが Max パケットサイズ未満の場合ではトータルサイズ相当量のデータが FIFO 内に存在することを指します。

⑥ FIFO にデータを書き込みます。

FIFO へのデータの書き込みは、上記 ⑤を行う前に行っても構いません。転送開始以降のFIFOへのアクセスタイミング判断方法は大きく分けて 2 つあります。アクセス方法に関する詳細は 3.3.3 に記述します。

⑦ FIFO からデータを読み出します。

⑧ トータルサイズが 0 になった時点で転送は完了となります。

転送が完了すると TranCmp 割り込み要因がセットされ、TranGo ビットは“0”になります。各種エラー割り込み要因がセットさ

3. ホスト機能

れた場合も転送は停止されます。

⑨ IN 転送の場合は、最後に受信データを読み出して真の転送完了となります。

IN 転送の場合は、最終データを FIFO に受信した時点で TranCmp 要因がセットされるため、TranCmp 後にさらに FIFO 内のデータを全て読み出す必要があります。この読み出し完了をもって真の意味での転送完了と見なします。

3.3.3 FIFO アクセス

FIFO へのアクセス方法には、DMA と PIO アクセスの 2 種類があります。

DMA を用いる場合は、転送を開始させた後は、指定したサイズ分の転送が完了するまで CPU はその転送に全く関与せずに転送を完了することができます。

PIO アクセスで行う場合は、FIFO への書き込み、もしくは FIFO からの読み出しは PIO I/F レジスタのアクセスによって行う必要があります。

3.3.3.1 PIO アクセス

3.3.3.1.1 方法

FIFOアクセスをPIOアクセスで行う場合は、Tab. 3-5 に示すレジスタもしくはレジスタフィールドを設定・参照します。それぞれの詳しい内容はレジスタ詳細解説を確認下さい。

Tab. 3-5 PIO アクセスで使用するレジスタ

設定項目	対応レジスタ・フィールド	説明	備考
PIO I/F	FIFOforCPU_H/L	FIFO へのアクセスはこのレジスタで行います。	必須。
書き込みアクセスイネーブル	FIFOControl_0.EnFIFOWr	FIFOforCPU レジスタにライトする場合に設定します。	
読み出しアクセスイネーブル	FIFOControl_0.EnFIFOOrd	FIFOforCPU レジスタをリードする場合に設定します。	
バイトアクセス許可	FIFOControl_0.EnFIFOByteAccess	16 ビットアクセス時に末尾の 1 バイトをアクセスするような場合に設定します。	必要に応じて参照/設定。
FIFO エンプティ	FIFOControl_0.Empty	該当チャネルの FIFO 領域が空の状態を示します。	
FIFO フル	FIFOControl_0.Full	該当チャネルの FIFO 領域が満杯の状態を示します。	
FIFO 中のデータリメインカウンタ	FIFOControl_0/1.FIFODataRemain	OUT 転送の場合は FIFO 領域内の未転送データ残量、IN 転送の場合は FIFO 領域内の受信完了データ数をそれぞれ示します。	

データを書き込む場合は、FIFOControl_0.EnFIFOWr ビットをセットして FIFOforCPU_H/L レジスタにデータをライトします。データを読み出す場合は、FIFOControl_0.EnFIFOOrd ビットをセットして FIFOforCPU_H/L レジスタからデータをリードします。FIFOforCPU_H/L にアクセスすると、自動的に FIFO 内部のポインタが移動します。よって、このレジスタを任意の回数アクセスすることで、任意のサイズのデータの読み書きを行うことができます。

1 回の FIFO アクセス処理の最小単位は Max パケットサイズ(=1 面)とします。その面数は固定でも可変でも構いません。ただし 1 回の FIFO アクセスで複数面にアクセスする場合、アクセス面数が増大すると CPU の占有率もそれだけ長くなることになります。

ワードアクセス時にバイトデータを読み書きしたい場合は、EnFIFOByteAccess ビットをセットして FIFOforCPU_L レジスタにアクセスします。EnFIFOByteAccess ビットをセットして FIFOforCPU_L レジスタにアクセスした後は、必ず FIFOClr を行ってください。(下記注意参照)

基本的に EnFIFOByteAccess ビットをセットしてアクセスする場合は、奇数データの最後の 1 バイトの読み書きする時のみとなります。

【注意】 EnFIFOWr または EnFIFOOrd ビットが設定されている場合に、不用意に FIFOforCPU_H/L レジスタにアクセスすると FIFO 内部のポインタも不用意に移動することとなり、データの整合が取れなくなることになるので注意が必要です。

3. ホスト機能

【注意】 8ビットアクセス時および EnFIFOByteAccess ビットをセットした場合は、FIFOforCPU_L レジスタのみにアクセスして下さい。FIFOforCPU_H レジスタにはアクセスしないで下さい。

【注意】 EnFIFOByteAccess ビットをセットして FIFOforCPU_L レジスタにアクセスした場合、内部ポインタはバイトサイズ分しか移動しません。よって、その後そのまま FIFO へのアクセスおよびデータの USB 送受信を行うと、データのワードバウンダリが保たれなくなります。そのため、EnFIFOByteAccess ビットをセットして FIFOforCPU_L レジスタにアクセスした後は FIFOClr を行う必要があります。

FIFO 領域に 1Max パケットサイズ以上のデータが存在するか (OUT 転送)、1Max パケットサイズ以上の空きがある場合 (IN 転送) に、USB 転送は行われます (ホストコントローラによりトークンが発行されます)。

3.3.3.1.2 アクセスタイミングの取り方

FIFO へのアクセスを PIO アクセスで行う場合、FIFO アクセスを開始するタイミングの取り方として次の二通り考えることができます。

(1) FIFO のフル/エンプティ、もしくは FIFO リメインカウンタをポーリングする方法

まず、転送トータルサイズに 1IRP サイズ (転送しようとする全データ数) を設定し、転送を行います。

転送開始後、OUT 転送の場合はエンプティ (FIFO エンプティビット=1 もしくは FIFO リメインカウンタ=0)、IN 転送の場合はフル (FIFO フルビット=1 もしくは FIFO リメインカウンタ=バッファ領域数) を判定することで、それぞれ FIFO にアクセスするタイミングを得る方法です。

FIFO リメインカウンタをポーリングする場合は、完全に FIFO がフル/エンプティになる前に FIFO にアクセスするタイミングを決めることも可能です。(バッファ領域を多面数確保時に有効です)

この方法は非 OS 環境でドライバを組み込む場合に有用です。

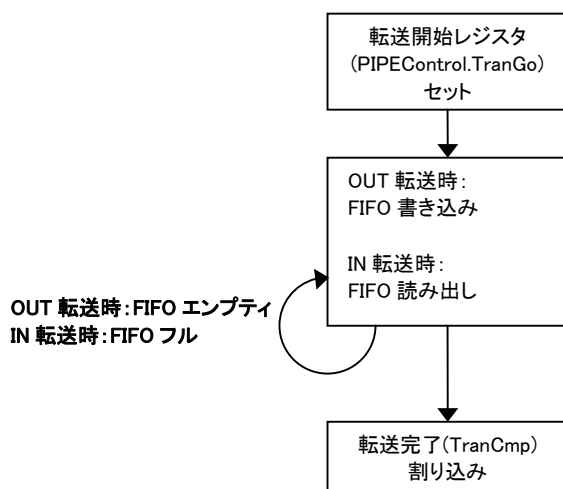


Fig. 3-4 FIFO アクセスタイミング (FIFO ポーリング)

(2) 転送完了割り込み(TranCmp 割り込み)による方法

アクセスしたいタイミング(転送数)毎に細切れに TranCmp 割り込みが上がるようにすることで、FIFO アクセスのトリガを作り出す方法です。

転送トータルサイズは TranCmp 割り込みを上げたい転送数に設定します。全体の転送量(真のトータル転送量)は別途 S/W で管理するようにします。

TranCmp 割り込みの発生後、適当な FIFO アクセス処理を行い、なおも転送すべきデータがある場合は、再び適当な転送トータルサイズを設定して転送を開始させます。以降、全体の転送が終わるまでこれを繰り返します。

例えば、1 トランザクション毎に TranCmp 割り込みを上げたい場合は、転送トータルサイズを 1Max パケットサイズにすることで、1 トランザクション毎に割り込みを発生させることができます。

この場合よりも割り込み間隔をもう少し大きく取りたい場合は、バッファ領域数毎に TranCmp 割り込みを上げる(バッファページ数分のトランザクションで割り込みを上げる)方法があります。この場合、バッファ領域数が大きいと 1 回の FIFO 書き込みもしくは読み出し処理に、連続して CPU が割り当たる時間も増加することとなるので注意が必要です。

この方法は RTOS 環境下でドライバを組み込む場合に有用です。

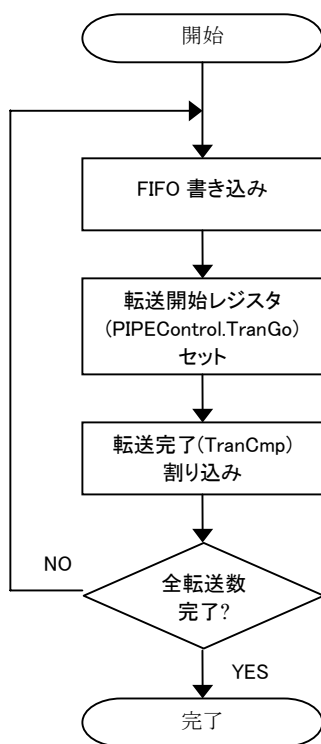


Fig. 3-5 FIFO アクセスタイミング(割り込み;OUT 転送)

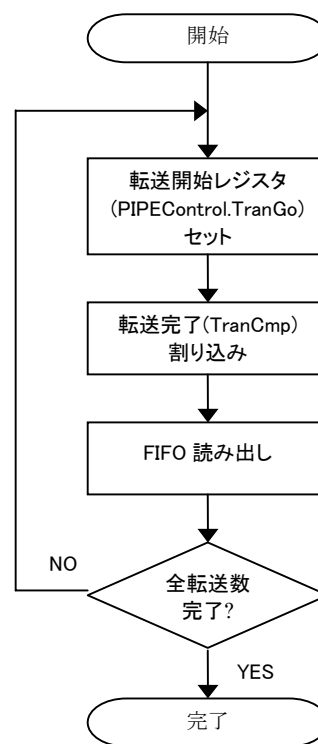


Fig. 3-6 FIFO アクセスタイミング(割り込み;IN 転送)

3. ホスト機能

3.3.3.2 DMA

FIFOアクセスをDMAで行う場合は、Tab. 3-6 に示すレジスタもしくはレジスタフィールドを設定・参照します。それぞれの詳しい内容と動作説明はそれぞれレジスタ詳細解説、LSI動作説明を確認下さい。

Tab. 3-6 DMA で使用するレジスタ

	設定項目	対応レジスタ・フィールド	説明
DMA 初期設定	DMA バス幅	DMAConfig_1.DMABus8x16	DMA バス幅を指定します。
	ストロブモード	DMAConfig_1.StrobeMode	DMA 転送時の xRD/xWR 信号使用有無を指定します。
	DMA エンディアン	DMAConfig_1.DMAEndian	16 ビット幅で DMA を行う時のエンディアンを指定します。
	xDREQ 信号論理	DMAConfig_1.DREQLevel	xDREQ 信号の論理を指定します。
	xDACK 信号による転送モード	DMAConfig_1.DMATranMode	xDACK 信号による DMA 転送方法を指定します。
	DMASTRB 信号の位相反転有無	DMAConfig_1.DMAClkPhase	DMASTRB 信号の位相反転の有無を指定します。
	DMA ハンドラ有無効設定	DMAConfig_1.ActiveDMA	72005/72015 の DMA ハンドラの有効/無効を指定します。
	DMA-IN レイテンシ	DMAConfig_0.DINLatency	外部メモリからのデータの取り込みタイミングを指定します。
	DMA-OUT レイテンシ	DMAConfig_0.DOUTLatency	外部メモリへのデータの出カタイミングを指定します。
	DMA バースト長	DMAControl_0.BurstLength	DMA バースト転送時のバースト長を指定します。
必要に応じて 参照	DMA ハンドラローカル FIFO 残データ有無	DMAControl_0. BurstFIFORemain	DMA バースト転送時における DMA ハンドラローカル FIFO 内の残データの有無を示します。
DMA 実制御	DMA 転送開始	DMAControl_1.DMAGo	DMA 転送の開始・停止を行います。
	DMA 転送強制中断	DMAControl_1.DMAAbort	DMA 転送を強制中断します。通常は使用しません。
	DMA カウンタ	DMACount_H DMACount_M DMACount_L	DMA 転送を行うサイズを指定します。基本的には TotalSize と同様の値をセットします。

3.3.3.2.1 操作手順

DMA による FIFO への書き込み・読み出しは次の手順で行います。

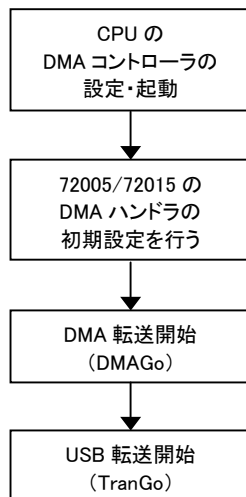


Fig. 3-7 DMA 転送開始手順

72005/72015 の DMA ハンドラの初期設定（一度でよい）と CPU の DMA コントローラの起動をそれぞれ行った後、DMA を開始します (DMAGo)。

DMAGo を設定する以前の 72005/72015 の DMA ハンドラの初期設定については、各項目の設定順序は問いません。

USB の帯域の有効活用の観点から USB 転送の開始前に予め DMA を起動しておくようにしますが、基本的には TranGo と DMAGo の順番が前後しても動作自体には支障はありません。

3.3.3.2.2 DMA 関連割り込み

DMA 転送が完了した時、その状況に応じて以下の割り込み要因がセットされます。

Tab. 3-7 DMA 割り込み

割り込み要因ビット名	内容
DMACmp	DMA 転送完了
DetFreezeDMA	DMA 停止 (ロック)

(3) DMACmp

DMA カウンタ (DMACount_H~L) が 0 になった場合にセットされます。また、DMA を停止した (DMAGo を 1 から 0 に設定した) 場合で、その時点の DMA 転送が完結した時に DMACmp の要因がセットされます。

DMACmp 割り込み後は、必要に応じて CPU の DMA コントローラの停止処理を行います。

(4) DetFreezeDMA

DMA のバスサイズが 16 ビットでかつ IN 転送時に、奇数サイズの予期せぬショートパケットを受信した場合にセットされます。この割り込み要因が発生した場合、FIFO 内には最後の 1 バイトのデータが存在するので、PIO アクセスによりその 1 バイトのデータを読み出す必要があります。(読み出し方法は 3.3.3.1.1 を参照して下さい)

また、DetFreezeDMA の要因がセットされた時は DMAGo は 1 にセットされたままなので、0 にクリアします (この時 DMACmp の要因が立ちます)。必要に応じて CPU の DMA コントローラの停止処理を行います。

【注意】 DetFreezeDMA 割り込み要因は、DMAGo をクリアするか、FIFO から 1 バイトデータの読み出しを行うまでクリアで

3. ホスト機能

きません。(割り込みハンドラ内にて EnDetFreezeDMA ビットをクリアすることで、DetFreezeDMA 割り込みのアサートをブロックすることができます。)

DMAを使用している 72005/72015 の USB 転送チャンネルの USB 転送が、異常系の終了 (Stalled, NoResp, TranErr, InOverSize) で終わった場合、DMA ハンドラは起動されたままとなっているので、DMAGo を 0 に設定し必要に応じて CPU の DMA コントローラの停止処理を行います。

3.3.4 自動コントロール転送 (オートモード)

72005/72015 のホストコントローラは、USB のコントロール転送 (セットアップステージ～(データステージ)～ステータスステージ) を自動的に完結する機能があります。この機能を“オートモード”と呼びます。オートモードは、チャンネル 0 のみ有しています。

オートモード機能を ON にし、データステージ有無、8 バイトのセットアップコマンドレジスタにリクエストコマンドを設定して、転送を開始 (TranGo) すれば、自動的にセットアップステージ→(データステージ)→ステータスステージが行われます。データステージがある場合は、データステージを有りとし、データステージの方向、セットアップコマンド、データステージのデータのトータルサイズをそれぞれ設定して TranGo します。

オートモードで転送を行う場合は、TranGo 前に必ずトグルを 0 にクリアしておくようにします。

【注意】 オートモードで転送を開始する場合も、トグルレジスタに設定されているトグル値から転送が開始されます。従って、トグルは必ず 0 にクリアして転送を開始して下さい。

【参考】 オートモードが ON の場合は、チャンネル 0 の Config_1.DirPID ビットの設定は無視されます。

Tab. 3-8 自動コントロール転送のレジスタ設定

カテゴリ	設定項目	対応レジスタ・フィールド	条件
オートモード関連	自動コントロール転送 (オートモード) ON/OFF	PIPE0CTLAutoMode.EnCTLAuto	
	データステージ有無	PIPE0CTLAutoMode.NoDataStage	
	データステージ方向	PIPE0CTLAutoMode.DataStageDir	データステージ有りの場合
	セットアップコマンドバッファ (8 バイト)	PIPE0Setup_0～7	
転送制御関連 (通常転送と同様)	DMA の使用有無	Config_0.JoinDMA	データステージ有りの場合
	エンドポイント番号	Config_1.EPNumber	
	連続転送回数	PIPETranConfig.Continuity	
	ファンクションアドレス	PIPETranConfig.FuncAddr	
	トグル (初期値として 0)	PIPEControl.Toggle	
	転送サイズ (トータルサイズ)	PIPETotalSize_H.TotalSize, PIPETotalSize_M.TotalSize, PIPETotalSize_L.TotalSize	データステージ有りの場合
バッファ領域確保 (通常転送と同様)	Max パケットサイズ	MaxPktSize_H.MaxPktSize, MaxPktSize_L.MaxPktSize	データステージ有りの場合
	バッファ領域面数	MaxPktSize_H.BufferPage	データステージ有りの場合
	バッファ領域確保実行	PIPEEPCommon.SetBuffer	データステージ有りの場合

【参考】 オートモードが OFF の場合は、オートモードに関わるその他のレジスタ (データステージ有無、データステージ方向、セットアップコマンドレジスタ) の設定は無視されます。

【参考】 データステージの無い自動コントロール転送時は、チャンネル 0 のバッファ領域確保の有無は問いません。

自動コントロール転送が正常にステータスステージを完了すると、CTLTranCmp 割り込み要因がセットされます。

途中、どのステージにおいても、NoResp, Stalled, TranErr, InOverSize の要因を検出した場合は、その時点で転送が停止され、該当の割り込み要因がセットされます。

データステージが有り方向が IN の場合、データステージで予期せぬショートパケットを受信 (InShortRcv 要因) すると、自動的にステータスステージが実行され、それが完了すると最後に InShortRcv の割り込み要因がセットされます。この時は、CTLTranCmp 要因はセットされません。
(InShortRcv 要因がセットアップステージおよびステータスステージでセットされることは、USB 規格上ありません。)

3.3.5 フレーム番号

アイソクロナス転送では、フレーム番号を意識して転送を行う場合があります。そういった場合には、SOF 割り込みやフレーム番号カウンタレジスタ (HCFmNumber_H/L) を利用して転送を開始させます。

SOF 割り込みやフレーム番号レジスタによってフレーム番号を監視します。目的のフレーム番号より 1 少ないフレームの時に TranGo します。これは、TranGo のセットによる転送動作は実際には TranGo をセットした次のフレームから開始されるためです。

フレーム関連の割り込みとレジスタをそれぞれ以下に示します。

Tab. 3-9 フレーム関連のレジスタ

内容	対応レジスタビット
フレーム番号	HCFmNumber_H HCFmNumber_L

Tab. 3-10 フレーム関連の割り込み

割り込み要因ビット名	意味	内容
SOF	SOF 送出	SOF の送出が完了した時にセット。
FmNumberOver	フレーム番号オーバーフロー	フレーム番号が 0xFFFF→0x0000 に変化した時にセット。

3. ホスト機能

3.4 リモートウェイクアップ検出

ペリフェラルがリモートウェイクアップをサポートしており、かつ SetFeature リクエストによってペリフェラルにリモートウェイクアップを許可している場合は、ホストはリモートウェイクアップに応答する必要があります。

リモートウェイクアップ関連のレジスタと割り込みをそれぞれ Tab. 3-11、Tab. 3-12 に示します。

Tab. 3-11 リモートウェイクアップ検出許可レジスタ

設定項目	対応レジスタビット
リモートウェイクアップ検出許可	OTGCCControl.AllowRmtWkup

Tab. 3-12 リモートウェイクアップ検出割り込み

割り込み要因ビット名	意味	内容	有効 OTG ステート (括弧内 HC ステート)
DetRmtWkup	リモートウェイクアップ検出	ラインステートに 3us の K 状態を検出した場合。	a_host(Suspend) a_suspend(Suspend)

リモートウェイクアップ検出の流れを以下に示します。

- ① 予め OTGCCControl.AllowRmtWkup ビットをセットして 72005/72015 のリモートウェイクアップ検出を有効にしておきます。
(リモートウェイクアップの検出は、HC ステートがサスペンドの時のみ行われます。)
- ② サスペンドステート中にウェイクアップ信号(K 状態)を検出すると、DetRmtWkup 割り込み要因がセットされます。
- ③ それと同時に、HC ステート(HCControl.HCStateCmd)が自動的にリジュームに設定されます。
- ④ DetRmtWkup 割り込み検出後、最低 20ms 経過後、S/W が HC ステートをオペレーショナルに復帰させます。

4. ペリフェラル機能

72005/72015 が USB ペリフェラルとなった場合の動作について、主要機能別に解説します。

ペリフェラルの動作 (USB 転送) が可能な OTG ステートコマンド (OTGCCControl.OTGStateCmd) は、“b_peripheral”または“a_peripheral”となります。ここで、“b_peripheral”はミニ B プラグが挿入される場合の通常のペリフェラルの場合で、“a_peripheral”は HNP によってアクティブとなったミニ A プラグが挿入されているペリフェラルの場合となります。これら双方の OTG ステートコマンド下でペリフェラル機能に差異はありません。

4.1 接続・切断検出

ペリフェラルとしての通信相手 (ホスト) の接続・切断の判断は、VBUS 電圧のモニタにより行います。VBUS 電圧が所定のしきい値を超えると接続とし、下回ると切断とみなします。

OTGCCMonitor.Comp20V ビットの値が 1 であれば接続、0 であれば切断状態となります。

接続・切断判定に割り込みを用いる場合は、Cross44V の割り込み要因で判定します。Cross44V 割り込みが発生した時に Comp44V ビットが 1 であれば接続、0 であれば切断状態と判断できます。

※ 詳しくは本ドキュメント 5 章を参照下さい。

4. ペリフェラル機能

4.2 USB 転送

72005/72015 のペリフェラル時における USB 転送の方法を説明します。

4.2.1 転送動作概略

72005/72015 は 1 つのコントロール転送専用エンドポイント(エンドポイント 0)と 6 つ(72005 は 5 つ)の汎用エンドポイントを持っています。

Fig. 4-1 に基本的な転送の流れを示します。

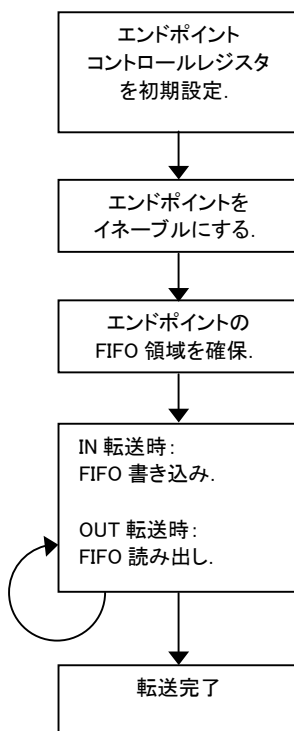


Fig. 4-1 ペリフェラル転送の基本的な手順概略

ペリフェラルが有する各エンドポイントディスクリプタの内容を 72005/72015 のエンドポイントコントロールレジスタに設定 (ex. ファンクションアドレス、エンドポイント番号、転送種類、転送方向、転送サイズ等) し、エンドポイントを割り当てます。

転送開始レジスタビットをセットすることで転送を開始することができます。

OUT 転送の場合は、FIFO にデータペイロードを書き込むことにより USB 上にデータが出力されます。IN 転送の場合は、USB から受信したデータペイロードが FIFO に格納され、それを読み出すことによってデータを受け取ることができます。

転送開始時に指定した転送サイズ分の転送が完了すると、転送完了を示す割り込み要因がセットされます。この時、該当する割り込みを許可していれば、CPU に H/W 割り込みを通知することができます。

4.2.2 転送動作手順

⑤ エンドポイントの各コントロールレジスタを設定します。(初期設定)

以下に示すレジスタの設定を行います。

Tab. 4-1 エンドポイントのレジスタ設定(必須)

設定項目	対応レジスタ・フィールド
DMA の使用有無	Config_0.JoinDMA
エンドポイントの方向(OUT/IN)	Config_1.DirPID
エンドポイントの種類(Control/Bulk/Int/Iso)	Config_1.TranType
エンドポイント番号	Config_1.EPNumber
トグル(初期値として 0)	EPControl_1.ToggleClr (以下エンドポイント 0 のみ) EPControl_1.InToggleClr EPControl_1.OutToggleClr

また、必要に応じて以下の設定も行います。

Tab. 4-2 エンドポイントのレジスタ設定(選択)

設定項目	対応レジスタ・フィールド
トグルモード(インタラプトエンドポイント時)	Config_0.ToggleMode
ショートパケット終了のための 0 長パケット付与有無(IN エンドポイント+DMA 使用時)	Config_0.AutoZeroLen

【参考】 Tab. 4-1 および Tab. 4-2 の各設定項目について、その設定順序は問いません。

⑥ 各エンドポイントのバッファ領域を確保します。

以下に示すレジスタの設定を行います。(方法はホスト動作時と同様となります。)

Tab. 4-3 エンドポイントのバッファ領域確保時のレジスタ設定

設定項目	対応レジスタ・フィールド
Max パケットサイズ	MaxPktSize_H.MaxPktSize, MaxPktSize_L.MaxPktSize
バッファ領域面数	MaxPktSize_H.BufferPage
バッファ領域確保実行	PIPEEPCommon.SetBuffer

Max パケットサイズとバッファ領域面数を設定後、PIPEEPCommon.SetBuffer レジスタビットに“1”をセットすることで、(Max パケットサイズ×バッファ領域面数)分のバッファ領域を確保します。

4. ペリフェラル機能

- 【注意】 Max パケットサイズやバッファ領域面数の設定を変更する場合、および SetBuffer を行う場合は、全てのエンドポイントの転送が停止している必要があります。
- 【注意】 全チャンネルのバッファ領域サイズの総計が、FIFO の全領域サイズ(2.5k バイト)を超えない範囲で領域の確保を行う必要があります。
- 【注意】 SetBuffer を行うと、全チャンネルのバッファ領域のデータがクリアされます。

4.2.3 FIFO アクセス

FIFO へのアクセス方法には、ホスト時同様、DMA と PIO アクセスの 2 種類があります。

DMA を用いる場合は、転送を開始させた後は、指定したサイズ分の転送が完了するまで CPU はその転送に全く関与せずに転送を完了することができます。

PIO アクセスで行う場合は、FIFO への書き込み、もしくは FIFO からの読み出しは PIO I/F レジスタのアクセスによって行う必要があります。

PIO アクセス・DMA とともにレジスタおよび使用方法はホストの場合と同様となります。ただし、PIO アクセスの場合において FIFO へのアクセスタイミングの取り方に多少の違いがあります。また、DMA ではペリフェラル用の割り込みがホスト時と比べて一つ追加されます。

4.2.3.1 PIO アクセス

4.2.3.1.1 方法

PIO アクセスは、レジスタとそれらの使用方法・注意点はホスト時と同様です。詳しくは 3.3.3.1.1 を参照して下さい。

FIFO 領域に 1Max パケットサイズ以上のデータが存在するか (IN エンドポイント)、1Max パケットサイズ以上の空きがある場合 (OUT エンドポイント) に、該当するトークンを受信すると USB 転送が自動的に行われます。

4.2.3.1.2 アクセスタイミングの取り方

FIFO へのアクセスを PIO アクセスで行う場合、FIFO アクセスを開始するタイミングの取り方として次の二通り考えることができます。

(1) FIFO のフル／エンプティ、もしくは FIFO リメインカウンタをポーリングする方法

IN 転送の場合はエンプティ (FIFO エンプティビット=1 もしくは FIFO リメインカウンタ=0) で、OUT 転送の場合はフル (FIFO フルビット=1 もしくは FIFO リメインカウンタ=バッファ領域数) を判定することで、それぞれ FIFO にアクセスするタイミングを得る方法です。

FIFO リメインカウンタをポーリングする場合は、完全に FIFO がフル／エンプティになる前に FIFO にアクセスするタイミングを決めることも可能です。(バッファ領域を多面数確保時に有効です)

USB 転送数は S/W にて管理します。

この方法は非 OS 環境でドライバを組み込む場合に有用です。

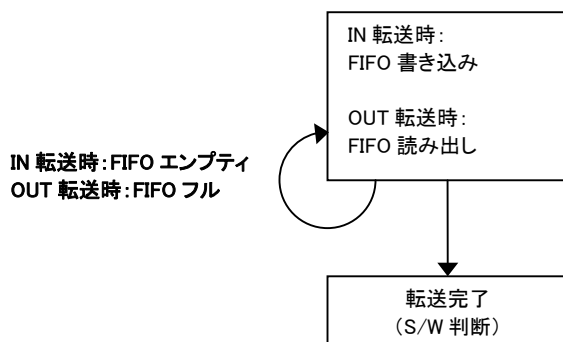


Fig. 4-2 FIFO アクセスタイミング (FIFO ポーリング)

4. ペリフェラル機能

(2) TranACK 割り込みと FIFO リメインカウンタによる方法

TranACK 割り込み (1 トランザクション完了割り込み) をトリガとして、FIFO にアクセスする方法です。

TranACK 割り込みが発生する最小の間隔は約 14us (Bulk, MPS:8byte) となります。よって全ての TranACK 割り込みを S/W で処理できるとは限りません。TranACK 割り込みの発生後、FIFO リメインカウンタ (FIFOControl_0/1.FIFODataRemain) を参照して、FIFO にアクセスするサイズを決めます。1 回の FIFO アクセス処理の最小単位は Max パケットサイズ (=1 面) とします。その面数は固定でも可変でも構いません。トータルの転送数は S/W で管理します。

この方法は RTOS 環境下でドライバを組み込む場合に有用です。

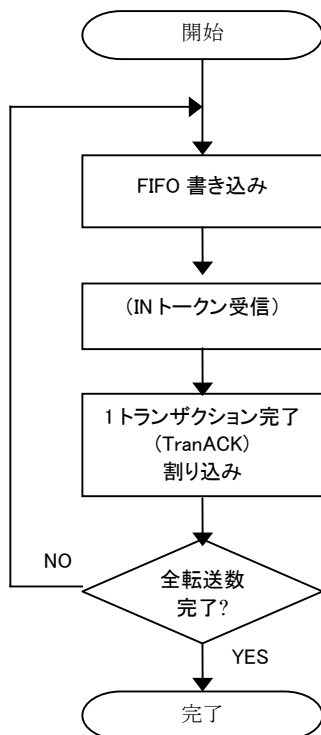


Fig. 4-3 FIFO アクセスタイミング
(割り込み; IN 転送)

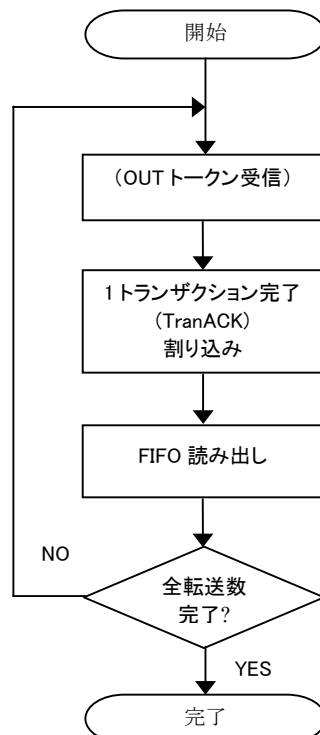


Fig. 4-4 FIFO アクセスタイミング
(割り込み; OUT 転送)

4.2.3.2 DMA

FIFOアクセスをDMAで行う場合も、レジスタとそれらの使用方法・注意点はホスト時と同様です。詳しくは 3.3.3.1.1 を参照して下さい。

4.2.3.2.1 操作手順

DMA による FIFO への書き込み・読み出しは次の手順で行います。

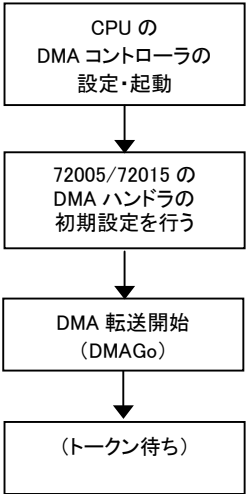


Fig. 4-5 DMA 転送開始手順

72005/72015 の DMA ハンドラの初期設定（一度でよい）と CPU の DMA コントローラの起動をそれぞれ行った後、DMA を開始します (DMAGo)。
DMAGo を設定する以前の 72005/72015 の DMA ハンドラの初期設定については、各項目の設定順序は問いません。

4.2.3.2.2 DMA 関連割り込み

DMA 転送が完了した時、その状況に応じて以下の割り込み要因がセットされます。

Tab. 4-4 DMA 割り込み

割り込み要因ビット名	内容	備考
DMACmp	DMA 転送完了	(ホスト時と同様)
DetFreezeDMA	DMA 停止 (ロック)	(ホスト時と同様)
INTranCmp	DMA を用いた USB-IN 転送完了	

(3) DMACmp

(ホスト時と同様。)

DMA カウンタ (DMACount_H~_L) が 0 になった場合にセットされます。また、DMA を停止した (DMAGo を 1 から 0 に設定した) 場合で、その時点の DMA 転送が完結した時に DMACmp の要因がセットされます。
DMACmp 割り込み後は、必要に応じて CPU の DMA コントローラの停止処理を行います。

4. ペリフェラル機能

(4) DetFreezeDMA

(ホスト時と同様。)

DMAのバスサイズが16ビットでかつIN転送時に、奇数サイズの予期せぬショートパケットを受信した場合にセットされます。この割り込み要因が発生した場合、FIFO内には最後の1バイトのデータが存在するので、PIOアクセスによりその1バイトのデータを読み出す必要があります。(読み出し方法は3.3.3.1.1を参照して下さい)

また、DetFreezeDMAの要因がセットされた時はDMAGoは1にセットされたままなので、0にクリアします(この時DMACmpの要因が立ちます)。その後、必要に応じてCPUのDMAコントローラの停止処理を行います。

【注意】 DetFreezeDMA 割り込み要因は、DMAGoをクリアするか、FIFOから1バイトデータの読み出しを行うまでクリアできません。(割り込みハンドラ内にてEnDetFreezeDMAビットをクリアすることで、DetFreezeDMA 割り込みのアサートをブロックすることができます。)

DMAを使用しているエンドポイントのUSB転送がエラー終了した場合(INTranErr, OUTTranErr)、DMAハンドラは起動されたままとなっているので、DMAGoを0に設定し必要に応じてCPUのDMAコントローラの停止処理を行います。

(5) INTranCmp

INエンドポイントにDMAを使用している場合、DMAが完了し、FIFO内のデータが全てUSB転送し終わり最後にホストからのACKを受信した場合に、この要因がセットされます。

INTranCmp要因のセット以前において、DMAが完了した時点でDMACmp要因もセットされます。

4.2.3.2.3 IRPデータの転送完了判断

ペリフェラル時のUSB転送サイズは基本的にはS/Wが管理することになりますが、DMAを用いる場合は、DMACount_H~Lにその役目を担わせることができます。従って、DMA使用時はDMAの割り込みによってIRPデータの転送完了を判断することができます。

IN転送の場合は、最終データがFIFOに書き込まれUSB上にデータが出力し終わりホストからACKを受信した場合に、IRPデータの転送完了となります。OUT転送の場合は、最終データをUSB側から受信しFIFOからそれを読み出し終わって、IRPデータの転送完了となります。以上のことから、以下のようにDMA使用時のIRPデータ転送完了判断をまとめることができます。

- | | |
|---------------------|------------------------|
| ▶ INエンドポイントにDMA使用時 | → INTranCmpでIRPデータ転送完了 |
| ▶ OUTエンドポイントにDMA使用時 | → DMACmpでIRPデータ転送完了 |

4.3 デバイスアドレスの設定

デバイスのアドレス設定は、以下のレジスタによって行います。

72005/72015は設定できるデバイスアドレスは1つのみとなります。

Tab. 4-5 デバイスアドレス設定レジスタ

設定項目	対応レジスタ・フィールド
デバイスアドレス	PCUSBAddress

エニュメレーション前は必ず0に設定して下さい。

エニュメレーション時のSetAddressリクエストのステータスステージ完了直後に所定のアドレス値に設定します。

切断時に0に設定します。

【注意】 接続相手のホストによっては、ステータスステージ完了後すぐに次のトークンが発行される場合があるため、アドレスの設定は特に素早く行う必要があります。

4.4 エンドポイントのイネーブル／ディセーブル

エンドポイントのイネーブル／ディセーブルの制御は、以下のレジスタによって行います。
なお、エンドポイント 0 は常にイネーブル状態である必要があるため、イネーブル制御ビットは持っていません。

Tab. 4-6 エンドポイントのイネーブル制御レジスタ

設定項目	対応レジスタ・フィールド
エンドポイントイネーブル (エンドポイント 0 を除く;ディセーブル不可)	EPControl_0.EnEndPoint

エnumレーションが完了するまでは、基本的には全ての汎用エンドポイントはディセーブルにします。
SetConfiguration または SetInterface リクエストによって選択されるエンドポイントのみイネーブルに設定します。
また、SetFeature リクエストで該当エンドポイントをイネーブルに、ClearFeature リクエストで該当エンドポイントをディセーブルに
します。
切断時にディセーブルにします。

4. ペリフェラル機能

4.5 ハンドシェーク制御

72005/72015 は、OUT 転送時にトランザクションが正常に完了した場合に自動的に ACK を送信します。また、IN 転送時で FIFO がエンプティの場合と OUT 転送時で FIFO がフルの場合に自動的に NAK を送信します。これら以外の場合のハンドシェーク制御は以下に示す制御ビットにより行います。

Tab. 4-7 ハンドシェーク制御ビット

重別	レジスタビット	機能	
STALL	(汎用エンドポイントのみ) EPControl_0.ForceSTALL	無条件に STALL 応答します。	転送に応答できない、もしくは何かトラブルにより転送を継続できない場合等に使用します。
	(エンドポイント 0 のみ) EPControl_0.InForceSTALL EPControl_0.OutForceSTALL	該当する方向のトークンに対して STALL 応答します。(どちらの場合でも SETUP トランザクションには ACK 応答します)	(同上)
	EPCommon.AllForceSTALL	全てのエンドポイントの ForceSTALL と In/OutForceSTALL ビットを 1 にします。	一度に ForceSTALL をセットしたい場合に使用します。
NAK	(汎用エンドポイントのみ) EPControl_0.ForceNAK	無条件に NAK 応答します。	S/W の転送準備が整っていない場合等に使用します。
	(エンドポイント 0 のみ) EPControl_0.InForceNAK EPControl_0.OutForceNAK	該当する方向のトークンに対して NAK 応答します。(どちらの場合でも SETUP トランザクションには ACK 応答します)	(同上)
	EPCommon.AllForceNAK	全てのエンドポイントの ForceNAK と In/OutForceNAK ビットを 1 にします。	一度に ForceNAK をセットしたい場合に使用します。
	EPControl_0.AutoForceNAK	正常な 1 トランザクション完了時に同エンドポイントの ForceNAK (In/OutForceNAK) ビットを 1 にします。	1 トランザクションずつ転送を保留したい場合に使用します。例えば、1 トランザクション毎に確実に S/W 処理を行いたい場合等に使用します。
	(汎用エンドポイントのみ) EPControl_0.AutoForceNAKShort	OUT 転送時、最後に受信したパケットがショートパケットだった場合に、同エンドポイントの ForceNAK ビットを 1 にします。	IRP データ毎にデータ受信を保留したい場合に使用します。例えば、1 つの IRP データの転送が完了したすぐ後に次の IRP データが送信されるような場合に使用します。

各制御ビットの優先度は以下の通りとなります。

高 (In/Out) ForceSTALL, AllForceSTALL > (In/Out) ForceNAK, AllForceNAK
高 AutoForceNAK > AutoForceNAKShort

低
低

4.6 SETUP トランザクション受信時の動作

72005/72015 は、SETUP トークンとそのデータを受信（セットアップステージを終了）すると、受信データを EP0Setup_0～7 レジスタに格納し、RcvEP0Setup 割り込み要因がセットされます。

RcvEP0Setup 割り込み後、EP0Setup_0～7 レジスタをリードすることによって受信したリクエストの内容を知ることができます。

また、RcvEP0Setup 割り込み要因のセットと同時に、In/OutForceSTALL ビットがクリアされ、In/OutForceNAK ビットが自動的にセットされます。

これにより、S/W が RcvEP0Setup 割り込み発生による処理を行っている間に次のステージのトークンおよびデータが送信されてきても、ペリフェラルコントローラは即座に NAK 応答できることになります。

S/W のリクエスト解析等が終了した時点で In/OutForceNAK ビットをクリアすることで、次のステージのトークンを受信しデータの送受信が可能となります。

Fig. 4-6 にSETUPトランザクション受信時の模式図を示します。

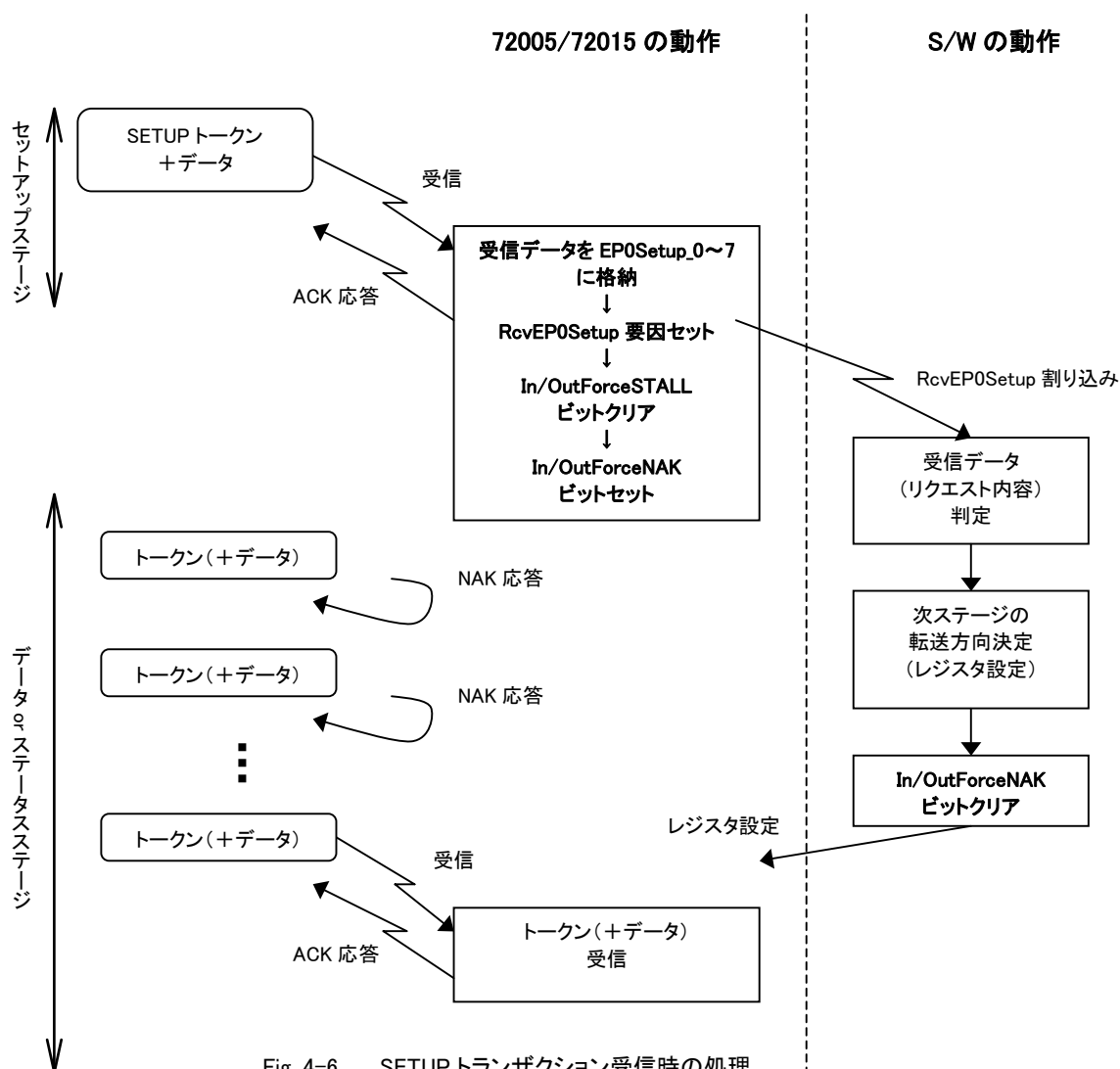


Fig. 4-6 SETUPトランザクション受信時の処理

【注意】 RcvEP0Setup 要因ビットが 1 である時に、In/OutForceNAK, In/OutForceSTALL ビットの値を変更しないで下さい。

【注意】 In/OutForceNAK ビットが 1 であっても、SETUP トランザクションは無条件に受信されます。

4. ペリフェラル機能

4.7 サスペンド

USB バスの状態が一定期間以上アイドル状態となった場合に、ペリフェラルはサスペンドする必要があります(→USB Specification Rev.2.0 – 7.1.7.6)。

サスペンドに入るトリガを DetSuspend 割り込み要因で判断します。

Tab. 4-8 サスペンド割り込み

割り込み要因ビット名	意味	内容	有効 OTG ステート
DetSuspend	サスペンド検出	ラインステートに 5ms の J(アイドル)状態を検出した場合。	b_peripheral a_peripheral

次にサスペンドの処理手順を記述します。

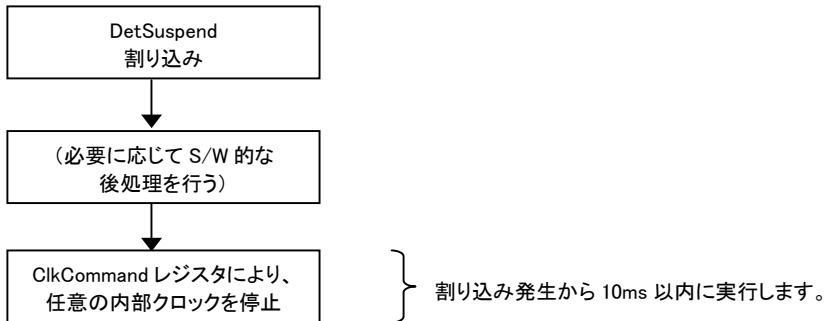


Fig. 4-7 デバイスサスペンド処理手順

- 【注意】 サスペンド割り込みが発生した場合は、必ず ClkCommand レジスタにより何らかの内部クロックの停止を行ってください。そうしないと、以降サスペンド復帰のための割り込み (DetNonJ) が発生しない可能性があります。
- 【注意】 サスペンド中 (内部クロックを停止した状態) では、限られたレジスタのみアクセス可能です。(レジスタ内容説明参照)
- 【参考】 クロック復帰後は、レジスタにはクロック停止以前の値が残っています。(モニタ関連レジスタ、割り込み要因を除く)

4.8 サスペンド復帰

サスペンドからの復帰要因として以下の 3 つがあります。

- ▶ リモートウェイクアップ信号送出
- ▶ リジューム信号受信
- ▶ リセット信号受信

以下に復帰要因別に説明します。

4. ペリフェラル機能

4.8.1 リモートウェイクアップ送出

ホストからリモートウェイクアップが許可されている場合には、ペリフェラル側の意思でサスペンドからの復帰を行うことができます。

リモートウェイクアップ信号(K 状態)の送出は、PCControl.SendWakeup ビットの設定によって行います。このレジスタは内部クロック停止中はアクセス不可となるので、レジスタにアクセスする以前に停止しているクロックを起動する必要があります。少なくとも ClkControl.OSCWakeupTime または PLLWakeupTime レジスタで指定した時間経過後、SendWakeup ビットを設定してウェイクアップ信号を送出します。ウェイクアップ信号送出時間は S/W が管理します。1～15ms 経過後(→USB Specification Rev.2.0 - 7.1.7.7) SendWakeup ビットをクリアしてウェイクアップ信号を停止します。

これらの手順を以下に示します。

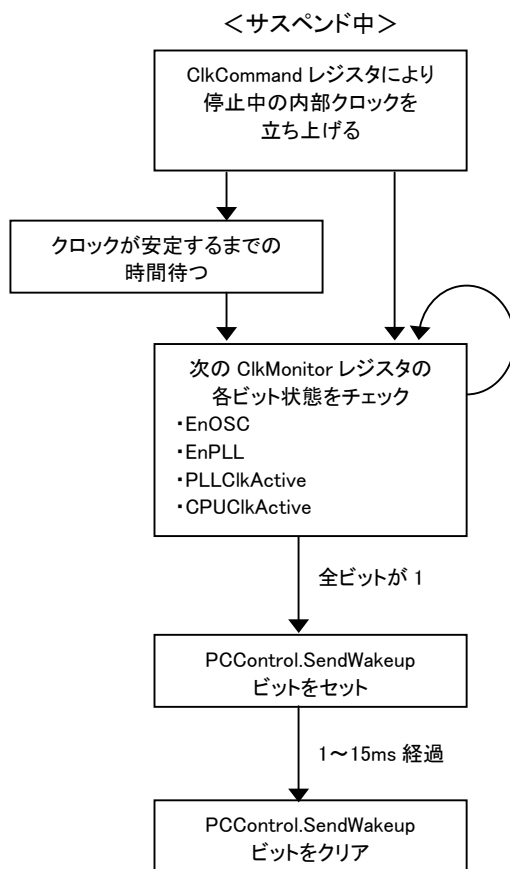


Fig. 4-8 リモートウェイクアップ手順

通常、ペリフェラルがウェイクアップ信号の送出を中止しても、ホスト(ダウンストリーム)のリジューム制御によってラインステートは K 状態に一定時間保たれたままとなります。そのリジューム信号の出力が完了した時点でリジューム完となります。

4.8.2 リジューム／リセット受信

パリフェラルは、サスペンド中にホスト(ダウンストリーム)からリジューム信号(K 状態)またはリセット信号(SE0)を受信した場合はサスペンドから復帰しなければなりません。

サスペンド中にリジューム信号／リセット信号が検出されると、停止していた内部クロックが自動的に所定のウェイクアップ時間を経て立ち上がります。その時点で DetNonJ の割り込み要因がセットされます。

S/W は DetNonJ 割り込みをトリガにして、OTGCMonitor.LineState フィールドから USB のラインステートをチェックします。ラインステートが K 状態であればリジューム信号を、SE0 であればリセット信号を受信していることになります。

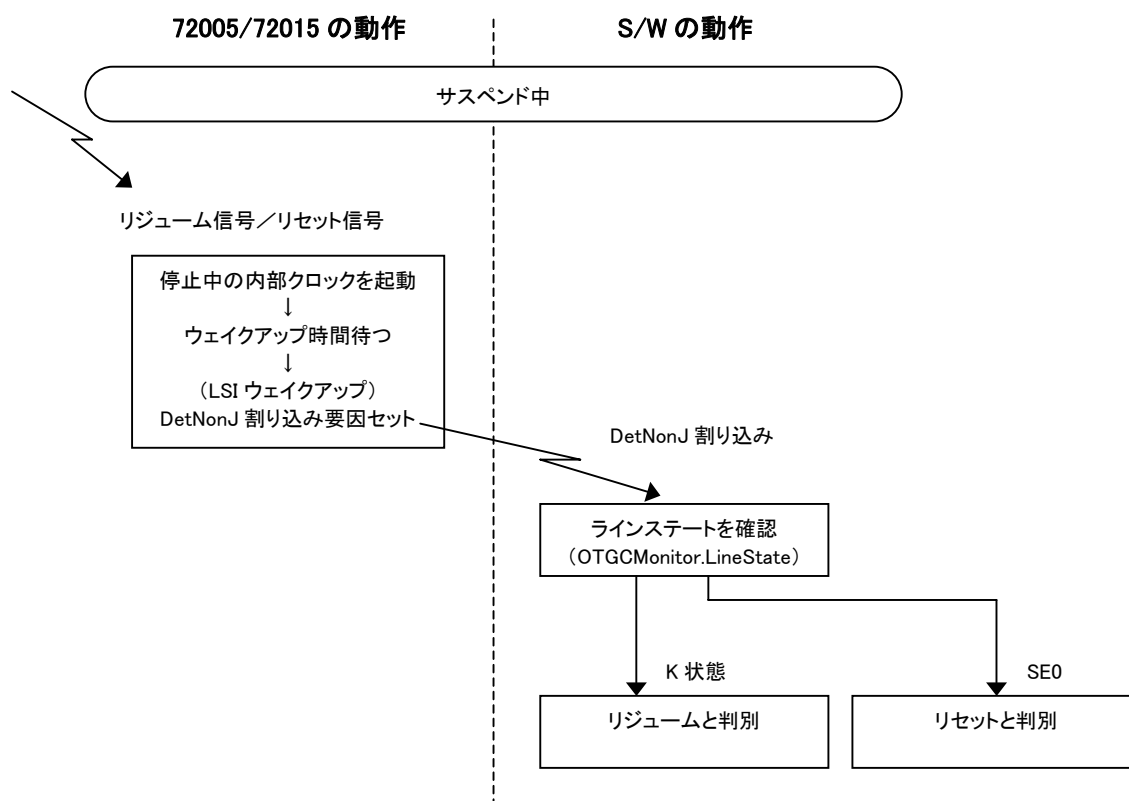


Fig. 4-9 サスペンド中のリジューム／リセット信号受信動作

【注意】 通常のサスペンド時におけるリジューム検出では DetResume 割り込み要因はセットされません。DetResume 要因は、HNP 動作時の OTG ステート“b_wait_acon”時のみでセットされます。

【注意】 72005/72015 がリジューム信号(J 状態以外)を検出してから、実際に DetNonJ 割り込み要因がセットされるまでの時間は、最大で ClkControl.OSCWakeuoTime と PLLWakeuoTime の合計の時間掛かることになります。また、この時間は、サスペンド時の ClkCommand レジスタの設定内容によって変動します。

【注意】 S/W は、ホストが出力するリジューム信号およびリセット信号の最小出力時間(理論値)から LSI のクロック復帰に必要な時間を差し引いた時間以内に、ラインステートのチェックを行う必要があります。そうしないと、ホストの信号出力終了後にラインステートチェックを行うこととなり、信号内容を正しく判定できないことになり得ます。

【参考】 DetNonJ 要因の検出は、ラインステートが J 状態から J 状態以外になった場合に行っています。

4. ペリフェラル機能

4.9 USB リセット

ペリフェラルは、ホストの出力する USB リセット信号を検出し、それに対する処理を行う必要があります。
USB リセットは DetReset 割り込み要因で判断します。

Tab. 4-9 USB リセット割り込み

割り込み要因ビット名	意味	内容	有効 OTG ステート
DetReset	USB リセット検出	ラインステートに 5ms の SE0 を検出した場合。	b_peripheral a_peripheral

ペリフェラルは、USB リセットでデバイスアドレスを 0 にリセットします。また、エンドポイント 0 によるエニュメレーション動作がいつでも開始できる状態である必要があります。

5. OTG 制御

OTG 制御には次のような項目があります。

- ▶ VBUS の制御
- ▶ プルアップ抵抗の ON/OFF
- ▶ ホスト／ペリフェラルコントローラのイネーブル／ディセーブル
- ▶ VBUS 電圧の監視
- ▶ ラインステートの監視(接続／切断(接続相手のプルアップ ON/OFF)の監視)
- ▶ ID ピン状態の監視

これらの項目の動作内容は OTG 規格で定められる OTG ステート毎に一意に決まっています。
72005/72015 は、これらの制御を OTG 規格に則り OTG ステートコマンドにより一括して制御するようにしています。
各 OTG ステートにおける OTG 制御をまとめたものを Tab. 5-1 に示します。

Tab. 5-1 各 OTG ステートの制御内容

	ステート名	ステート内容	レジスタ値	プルアップ	VBUS 供給	ラインステート監視内容	割り込み
A デバイス	a_idle	A アイドル	0x0	OFF	OFF	SRP(データラインパルシング)検出	DetSRP
	a_wait_vrise	VBUS 起動開始&立ち上がり待ち	0x1	OFF	ON (5V)	—	—
	a_wait_bcon	B デバイス接続待ち	0x2	OFF	ON (5V)	接続検出 切断検出	ChangeConnStat
	a_host	ホスト機能イネーブル	0x3	OFF	ON (5V)	切断検出	ChangeConnStat
	a_suspend	ホスト機能イネーブル(サスペンド)	0x4	OFF	ON (5V)	切断検出	ChangeConnStat
	a_peripheral	ペリフェラル機能イネーブル	0x5	ON	ON (5V)	サスペンド検出	DetSuspend
	a_vbus_err	VBUS エラー(電圧降下=過電流)	0x6	OFF	OFF	—	—
	a_wait_vfall	VBUS 電圧完全降下待ち	0x7	OFF	OFF	—	—
B デバイス	b_idle	B アイドル	0x8	OFF	OFF	—	—
	b_srp_init_d	データラインパルシング起動	0x9	OFF	OFF	—	—
	b_srp_init_v	VBUS パルシング起動(3V 出力)	0xA	OFF	ON (3V)	—	—
	b_srp_init_v5	VBUS パルシング起動(5V 出力)	0xE	OFF	ON (5V)	—	—
	b_peripheral	ペリフェラル機能イネーブル	0xB	ON	OFF	リセット検出 サスペンド検出 サスペンド中のリセット・リジューム検出	DetReset DetSuspend DetNonJ※1
	b_wait_acon	A デバイス接続待ち	0xC	OFF	OFF	接続検出 リジューム検出	ChangeConnStat DetResume
	b_host	ホスト機能イネーブル	0xD	OFF	OFF	切断検出	ChangeConnStat

VBUS 電圧の監視(Cross44V 割り込み要因)、および ID ピン状態の監視(ChangeID 割り込み要因)は、OTG ステートに関わらず行われます。

【注意】 ラインステート監視機能(ラインステートによる割り込み要因)は、一度該当するラインステートの状態が検出されると、OTG ステートコマンドレジスタにライトアクセスが発生するか、ラインステートに変化が生じるまで、その検出は行われません。

※1 サスペンド中における ClkCommand レジスタによるクロック停止中のみ検出されます。

5. OTG 制御

5.1 割り込み

5.1.1 割り込みの種類

OTG の割り込み要因として、72005/72015 は以下のようなものがあります。

Tab. 5-2 OTG 割り込み一覧

	割り込み要因	意味	要因セットタイミング
共通	ChangeID	ID ピン状態変化検出	OTGCMonitor.ID: 0→1 または 1→0
	Cross44V	VBUS 4.4V しきい値通過	OTGCMonitor.Comp44V: 0→1 または 1→0
	ChangeConnStat	接続状態検出	J: 3us(接続)または SE0: 3us(切断)
ホスト時	DetSRP	SRP 検出	J: 5ms 以上 10ms 以下
	DetRmtWkup	リモートウェイクアップ検出	K: 3us
ペリフェラル時	DetReset	リセット検出	SE0: 5ms
	DetSuspend	サスペンド検出	J: 5ms
	DetNonJ	サスペンド時 J 状態以外検出	J→J 以外
	DetResume	リジューム検出	SE0→K

5.1.2 OTG ステートと割り込み

72005/72015 で用意している OTG 割り込みは、ある特定のステートの時のみで検出が行われます。

【注意】 ラインステートの監視による割り込み要因は、一度該当するラインステートの状態が検出されると、新たに OTG ステートコマンドレジスタにライトアクセスが発生するか、ラインステートに変化が生じるまで、その検出は行われません。

OTGステートと検出が有効なOTG割り込みの対応関係を Tab. 5-3 に示します。

Tab. 5-3 OTG ステートと割り込み対応表

	OTG ステート	その他条件	共通				ホスト時		ペリフェラル時			
			Change ID	Cross44V	ChangeConnStat		DetSRP	Det RmtWkup	Det Reset	Det Suspend	DetNonJ	Det Resume
			ID: 0→1 1→0	Comp44V: 0→1 1→0	J 3us (接続)	SE0 3us (切断)	J 5-10ms	K 3us	SE0 5ms	J 5ms	J→J 以外	J→K
A デ バ イ ス	a_idle		○	○	×	×	○	×	×	×	×	×
	a_wait_vrise		○	○	×	×	×	×	×	×	×	×
	a_wait_bcon		○	○	○	○	×	×	×	×	×	×
	a_host/ a_suspend	Reset	○	○	×	×	×	×	×	×	×	×
		Operational	○	○	×	○	×	×	×	×	×	×
		Suspend	○	○	×	○	×	○	×	×	×	×
		Resume	○	○	×	×	×	×	×	×	×	×
	a_peripheral	Normal	○	○	×	×	×	×	○	○	×	×
		ClockStop	○	○	×	×	×	×	×	×	○	×
	a_vbus_err		○	○	×	×	×	×	×	×	×	×
	a_wait_vfall		○	○	×	×	×	×	×	×	×	×
B デ バ イ ス	b_idle		○	○	×	×	×	×	×	×	×	×
	b_srp_init_d		○	○	×	×	×	×	×	×	×	×
	b_srp_init_v		○	○	×	×	×	×	×	×	×	×
	b_srp_init_v5		○	○	×	×	×	×	×	×	×	×
	b_peripheral	Normal	○	○	×	×	×	×	○	○	×	×
		ClockStop	○	○	×	×	×	×	×	×	○	×
	b_wait_acon		○	○	○	×	×	×	×	×	×	○
	b_host	Reset	○	○	×	×	×	×	×	×	×	×
		Operational	○	○	×	○	×	×	×	×	×	×
		Suspend	○	○	×	○	×	○	×	×	×	×

5. OTG 制御

5.2 OTG デュアルロールデバイスの場合の制御

OTG デュアルロールデバイスの場合、OTG ステートの管理は原則的に OTG 規格書 (Revision 1.0aRC5) 内に記載されている遷移に従うものとします。

5.2.1 遷移トリガー一覧

OTG 規格書に記載されている遷移の条件に相当するイベントを、カレントステート別に以下に示します。以下の一覧は、OTG ステートの遷移のみに着眼しています。このほかに、ホスト／ペリフェラルになった場合の処理が加わることであります。

※ これらの一覧はあくまで指標です。OTG 規格を満足する保証はありません。また、これらはシステムや S/W 設計内容により異なる場合もあります。

イベントには大きく分けて、72005/72015 の H/W 割り込みと S/W の要求があります。カレントステートと、そのとき発生したイベントによって遷移先が決まります。

5.2.1.1 a_idle ~ a_wait_vrise

Tab. 5-4 遷移トリガ (a_idle ~ a_wait_vrise)

	カレント ステート	上段: 規格書遷移条件 下段: 相当するイベント	その他必要条件 (アンド条件)		遷移先	備考
1	a_idle	a_bus_drop/ (S/W)VBUS起動要求	a_bus_req (S/W) USB使用要求が既 にある	-	a_wait_vrise	
2		a_bus_drop/ (S/W)VBUS起動要求	a_srp_det (S/W) DetSRP割り込み発 生後5s以内である	-		Max5s
3		a_bus_req/ (S/W)USB使用要求	a_bus_drop/ (S/W) VBUS起動要求が 既にある	-		
4		a_srp_det/ (H/W)DetSRP割り込み	a_bus_drop/ (S/W) VBUS起動要求が 既にある	-		
5		id/ (H/W)ChangeID割り込み	-	-	b_idle	ID:0→1
6	a_wait_vrise	id (H/W)ChangeID割り込み	-	-	a_wait_bcon	ID:0→1
7		a_bus_drop (S/W)VBUS停止要求	-	-		
8		a_vbus_vld (H/W)Cross44V割り込み	-	-		Comp44V:0→1
9		a_wait_vrise_tmout (S/W)a_wait_vrise_tmrタイ マT.O.	-	-		Max100ms

5.2.1.2 a_wait_bcon ~ a_host

Tab. 5-5 遷移トリガ(a_wait_bcon~a_host)

	カレント ステート	上段:規格書遷移条件 下段:相当するイベント	その他必要条件 (アンド条件)		遷移先	備考
1	a_wait_bcon	b_conn (Long debounce) (H/W)ChangeConnStat割 り込み	-	(S/W) (Min100ms間 切断 検出無)	a_host	LineState:J 3us a_wait_vrise, a_host から遷移時。 割り込み後Min100msの間、切断が検出 されなかったら初めて a_host に遷移す る。
2		b_conn (Short debounce) (H/W)ChangeConnStat割 り込み	-	-	a_host	LineState:J 3us a_host, a_suspend, a_peripheral から遷 移時。 割り込み後Min100msの間、切断が検出 されなかったら初めて a_host に遷移す る。
3		id (H/W)ChangeID割り込み	-	-	a_wait_vfall	ID:0→1
4		id (H/W)ID=1	-	-		a_wait_vrise, a_host から遷移時
5		a_bus_drop (S/W)VBUS停止要求	-	-		
6		a_bus_drop (S/W)VBUS停止要求が 既にある	-	-		a_wait_vrise, a_host から遷移時
7		a_wait_bcon_tmout (S/W)a_wait_bcon_tmrタイ マT.O.	-	-		Min1s
8		a_vbus_vld/ (H/W)Cross44V割り込み	-	-	a_vbus_err	Comp44V:1→0
9		(Long debounce時間中の 切断) (H/W)ChangeConnStat割 り込み	-	LineState=SE0	a_wait_bcon	LineState:SE0 3us Long debounce時間中の切断時は a_wait_bcon へ再帰。
10	a_host	a_bus_req/ (S/W)USB使用停止要求	-	-	a_suspend	
11		a_suspend_req (S/W)サスペンド要求	-	-		
12		id (H/W)ChangeID割り込み	-	-	a_wait_bcon	ID:0→1
13		b_conn/ (H/W)ChangeConnStat割 り込み	-	-		LineState:SE0 3us
14		a_bus_drop (S/W)VBUS停止要求	-	-		
15		a_vbus_vld/ (H/W)Cross44V割り込み	-	-	a_vbus_err	Comp44V:1→0

5. OTG 制御

5.2.1.3 a_suspend ~ a_peripheral

Tab. 5-6 遷移トリガ(a_suspend~a_peripheral)

	カレント ステート	上段:規格書遷移条件 下段:相当するイベント	その他必要条件 (アンド条件)		遷移先	備考
1	a_suspend	b_conn/ (H/W)ChangeConnStat割 り込み	a_set_b_hnp_en (S/W) SetFeature(b_hnp_enable) 送信済み	-	a_peripheral	LineState:SE0 3us
2		b_conn/ (H/W)ChangeConnStat割 り込み	a_set_b_hnp_en/ (S/W) SetFeature(b_hnp_enable) 未送信	-	a_wait_bcon	LineState:SE0 3us
3		a_bus_req (S/W)USB使用要求	-	-	a_host	
4		b_bus_resume (H/W)DetRmtWkup割り込 み	-	-		LineState:K 3us
5		id (H/W)ChangeID割り込み	-	-	a_wait_vfall	ID:0→1
6		a_bus_drop (S/W)VBUS停止要求	-	-		
7		a_aidl_bdis_tmout (S/W)a_aidl_bdis_tmoutタ イマT.O.	-	-		Min200ms
8		a_vbus_vld/ (H/W)Cross44V割り込み	-	-	a_vbus_err	Comp44V:1→0
9	a_peripheral	b_bus_suspend (H/W)DetSuspend割り込み	-	-	a_wait_bcon	LineState:J 5ms
10		id (H/W)ChangeID割り込み	-	-	a_wait_vfall	ID:0→1
11		a_bus_drop (S/W)VBUS停止要求	-	-		
12		a_vbus_vld/ (H/W)Cross44V割り込み	-	-	a_vbus_err	Comp44V:1→0

5.2.1.4 a_vbus_err ~ a_wait_vfall

Tab. 5-7 遷移トリガ(a_vbus_err~a_wait_vfall)

	カレント ステート	上段:規格書遷移条件 下段:相当するイベント	その他必要条件 (アンド条件)		遷移先	備考
1	a_vbus_err	id (H/W)ChangeID割り込み	-	-	a_wait_vfall	ID:0→1
2		a_bus_drop (S/W)VBUS停止要求	-	-		
3		a_clr_err (S/W)過電流エラー解除 要求	-	-		過電流通知後の対応で発生する要求
4	a_wait_vfall	id (H/W)ChangeID割り込み	-	-	a_idle	ID:0→1
5		a_bus_req (S/W)USB使用要求	-	-		
6		b_conn/ (H/W)ChangeConnStat割 り込み	a_sess_vld/ Comp20V=0	-		Comp20Vポーリング周期は数ms~数十 msでもよい
7		b_conn/ (H/W)LineState=SE0	a_sess_vld/ Comp20V=0	-		

5. OTG 制御

5.2.1.5 b_idle ~ b_init_srp_d ~ b_init_srp_v ~ b_init_srp_v5

Tab. 5-8 遷移トリガ (b_idle~b_init_srp_d~b_init_srp_v~b_init_srp_v5)

	カレント ステート	上段:規格書遷移条件 下段:相当するイベント	その他必要条件 (アンド条件)		遷移先	備考
1	b_idle	b_bus_req (S/W)USB使用要求(SRP 起動要求)	b_sess_end (S/W) vfall_tmr(1.1s)タイマ T.O.既に完了	b_se0_srp (LSI) LineStat=SE0 2ms 確認	b_srp_init_d	SE0の監視は最初と2ms(Min)後だけで よい
2		b_sess_end (S/W)vfall_tmrタイマT.O.	b_bus_req (S/W) USB使用要求(SRP 起動要求)が既にある	b_se0_srp (LSI) LineStat=SE0 2ms 確認		SE0の監視は最初と2ms(Min)後だけで よい Min1.1s
3		b_sess_vld/ (H/W)Cross44V割り込み or Comp20V=1	-	-	b_peripheral	Comp44V:1→0 本来はComp20V=0をトリガとしたいが、 割り込みを使いたい場合はこれで代用 する。
4		b_sess_vld (H/W)Comp44V=0	-	-		b_srp_init_d/v から遷移時
5		id/ (H/W)ChangeID割り込み	-	-	a_idle	ID:1→0
6		id/ (H/W)ID=0	-	-		b_srp_init_d/v, b_host, b_wait_acon, b_peripheral から遷移時
7		- (S/W)VBUS起動待ちタイ マ(5s)T.O. :TB_SRP_FAIL	-	-	遷移無し	上位にSRP応答無しを通知 Min5s-Max30s
8	b_srp_init_d	id/ (H/W)ChangeID割り込み	-	-	b_idle	ID:1→0
9		b_srp_done (H/W)Cross44V割り込み	-	-		DataLinePulsing中にAデバイスがVBUS を立ち上げてきた場合。 VB_SESS_VLDはMax4.0Vなので Comp20Vを参照するのが正当だが、割 り込みを用いなければならない場合は Cross44V で代用する。
10		b_srp_done (H/W)Comp20V=1	-	-		
11		- (S/W)DataLinePulsingタイ マT.O. :TB_DATA_PLS	-	-	b_srp_init_v	次VBUSPulsingへ Min5ms-Max10ms
12	b_srp_init_v	id/ (H/W)ChangeID割り込み	-	-	b_idle	ID:1→0
13		b_srp_done (S/W)TB_SRP_INIT T.O.	-	-		Max100ms
14		b_srp_done (H/W)Cross44V割り込み	-	-		VBUSPulsing中にAデバイスがVBUSを 立ち上げてきた場合
15		- (S/W)SessionValid(2.0V) 確認タイマ(TBD)T.O.	A_SESS_VLD (LSI) Comp20V=1	-		相手が標準Hostの場 合 :SRPAabort(TB_SRP_FAILタイマ停止)

5.2.1.6 b_peripheral ~ b_wait_acon ~ b_host

Tab. 5-9 遷移トリガ (b_peripheral ~ b_wait_acon ~ b_host)

	カレント ステート	上段:規格書遷移条件 下段:相当するイベント	その他必要条件 (アンド条件)		遷移先	備考
1	b_peripheral	a_bus_suspend (H/W)DetSuspend割り込み	b_bus_req (S/W) USB使用要求が既にある	b_hnp_en (S/W) SetFeature(b_hnp_enabl e) 受信済み	b_wait_acon	
2		b_bus_req (S/W)USB使用要求	a_bus_suspend (S/W) 既にSuspend状態である	b_hnp_en (S/W) SetFeature(b_hnp_enabl e) 受信済み		
3		id/ (H/W)ChangeID割り込み	-	-	b_idle	ID:1→0
4		b_sess_vld/ (H/W)Cross44V割り込み or Comp20V=0	-	-		Comp44V:1→0 本来はComp20V=0をトリガとしたいが、 割り込みを使いたい場合はこれで代用 する。
5	b_wait_acon	a_conn (H/W)ChangeConnStat割 り込み	-	-	b_host	LineState:J 3us
6		a_bus_resume (H/W)DetResume割り込 み	-	-	b_peripheral	LineState:SE0→K
7		b_ase0_brst_tmout (S/W)b_ase0_brst_tmrタイ マT.O.	-	-		Min3.125ms
8		id/ (H/W)ChangeID割り込み	-	-	b_idle	ID:1→0
9		b_sess_vld/ (H/W)Cross44V割り込み or (H/W)Comp20V=0	-	-		Comp44V:1→0 本来はComp20V=0をトリガとしたいが、 割り込みを使いたい場合はこれで代用 する。
10	b_host	b_bus_req/ (S/W)USB使用停止要求	-	-	b_peripheral	≒b_hostでのSuspend
11		a_conn/ (H/W)ChangeConnStat割 り込み	-	-		LineState:SE0 3us
12		id/ (H/W)ChangeID割り込み	-	-	b_idle	ID:1→0
13		b_sess_vld/ (H/W)Cross44V割り込み or (H/W)Comp20V=0	-	-		Comp44V:1→0 本来はComp20V=0をトリガとしたいが、 割り込みを使いたい場合はこれで代用 する。

5. OTG 制御

5.2.2 SPR

B デバイス時では、Session-Request-Protocol (SRP) に対応する必要があります。SRP の実行は OTG ステートによって行います。

SRP はデータラインパルシングと VBUS パルシングの両方をサポートする必要があります。

SRPのイニシエート手順を Fig. 5-1 に示します。

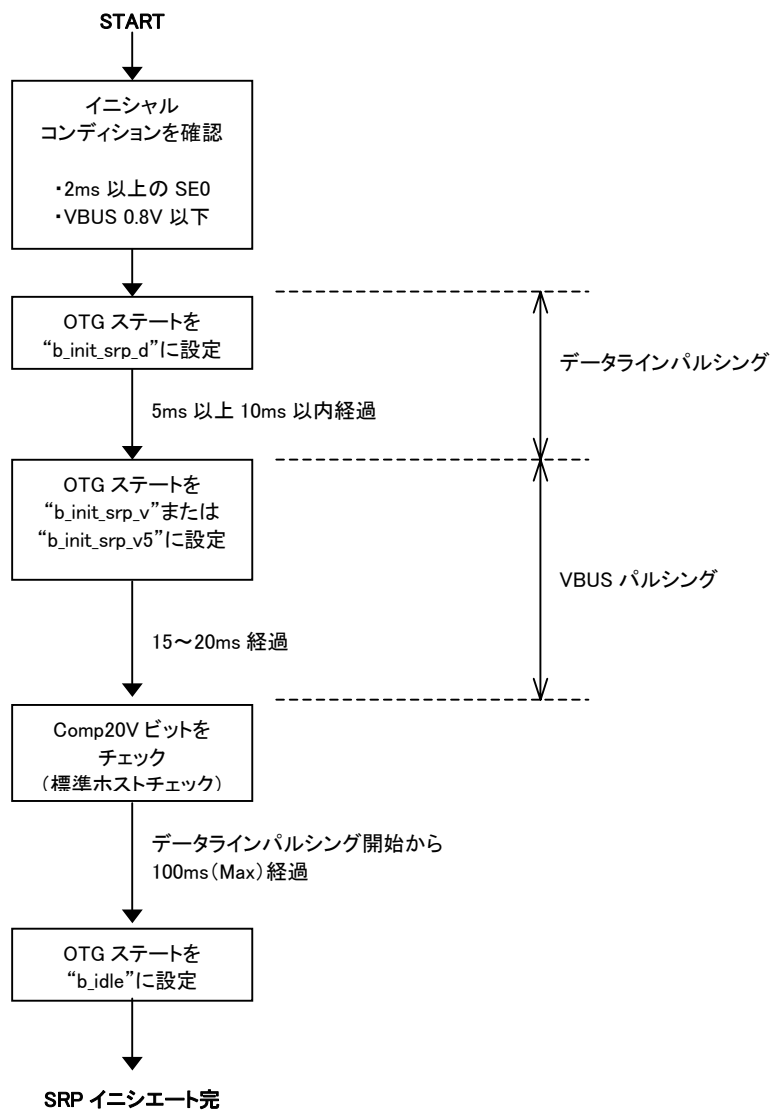


Fig. 5-1 SRP イニシエート手順

- ⑦ SRP を開始する前にイニシャルコンディション (2ms 以上の SE0 と VBUS 0.8V 以下) を確認します。
- ⑧ OTG ステートコマンドを“b_srp_init_d”に設定します。これにより、データラインパルシング実行状態となり、USB データライン上に J 状態を作り出します。データラインパルシングの時間 (5ms 以上 10ms 以下) は S/W が管理します。
データラインパルシング中に VBUS 電圧が既に B デバイスのセッション電圧に達している場合は、その時点で SRP を終了し、“b_idle”→“b_peripheral”の遷移を行います。
- ⑨ データラインパルシング時間経過後、OTG ステートコマンドを“b_srp_init_v”または“b_srp_init_v5”に設定します。これにより、VBUS パルシング実行状態となり、VBUS が出力されます。
データラインパルシングの開始から最高 100ms までの期間持続させます。
- ⑩ VBUS パルシングの開始から 15~20ms 経過しても B デバイスのセッション電圧に達しない (Comp20V が 1 とならない) 場合は、SRP の相手は標準ホストであると考えられるため、直ちに OTG ステートを“b_idle”にして SRP を終了させます。

【注意】 SRP (VBUS パルシング) の相手が標準ホストの場合、許容時間以上 VBUS を出力し続けると、標準ホストを破損させることにつながります。VBUS パルシング開始後は必ず、15~20ms 後に Comp20V の値をチェックするようにして下さい。

- ⑪ VBUS パルシング時間経過後、OTG ステートコマンドを“b_idle”に設定して SRP のイニシエート終了となります。
この時点で VBUS 電圧が B デバイスのセッション電圧を超えている場合は、OTG ステートを“b_peripheral”に設定してペリフェラル動作に移行することとなります。

【参考】 OTG ステートの“b_srp_init_v”と“b_srp_init_v5”の違いは、VBUS の到達電圧が異なる点のみです。前者は 3.0V まで、後者は 5.0V まで上昇します。システムの VBUS 回路が 3.0V 電圧を作り出さ(せ)ない場合 (外付けの場合等) に“b_srp_init_v5”を使用し、通常の場合は“b_srp_init_v”を使用するようにします。

5. OTG 制御

5.3 ホストオンリーデバイスの場合の制御（≒ルートハブ制御）

VBUS の ON/OFF、ペリフェラルの接続・切断検出制御を行います。

5.3.1 常に VBUS を ON とする場合

この方法では、ペリフェラルデバイスをケーブルによって物理的に接続された時点で VBUS の供給が行われ、ペリフェラルの接続検出となります。ただし、USB 転送が無い場合でも、ペリフェラルが物理的に接続されている限り、常に VBUS の供給が行われることになります。

遷移の様子を Fig. 5-2 に示します。

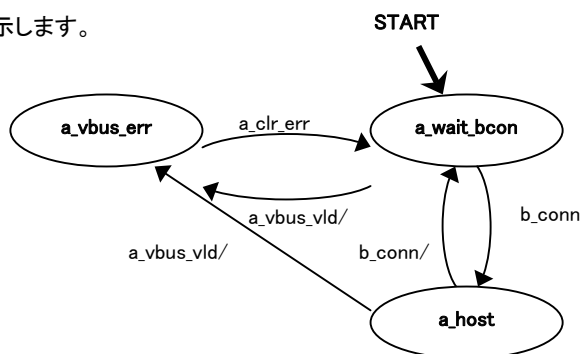


Fig. 5-2 OTG ステート遷移(ホストオンリーデバイス;VBUS 常時 ON)

イニシャルステートを“a_wait_bcon”とし、ペリフェラルの接続で“a_host”に遷移、切断で再び“a_wait_bcon”に戻るという OTG ステートの遷移を行います。

5.3.2 状況に応じ VBUS を OFF する場合

この方法では、ペリフェラルデバイスをケーブルで物理的に接続しても、ホスト側で USB 転送の要求が発生しない限り、VBUS の供給は行われなく、ペリフェラルも接続されたとは見なされないことになります。遷移の様子を Fig. 5-3 に示します。

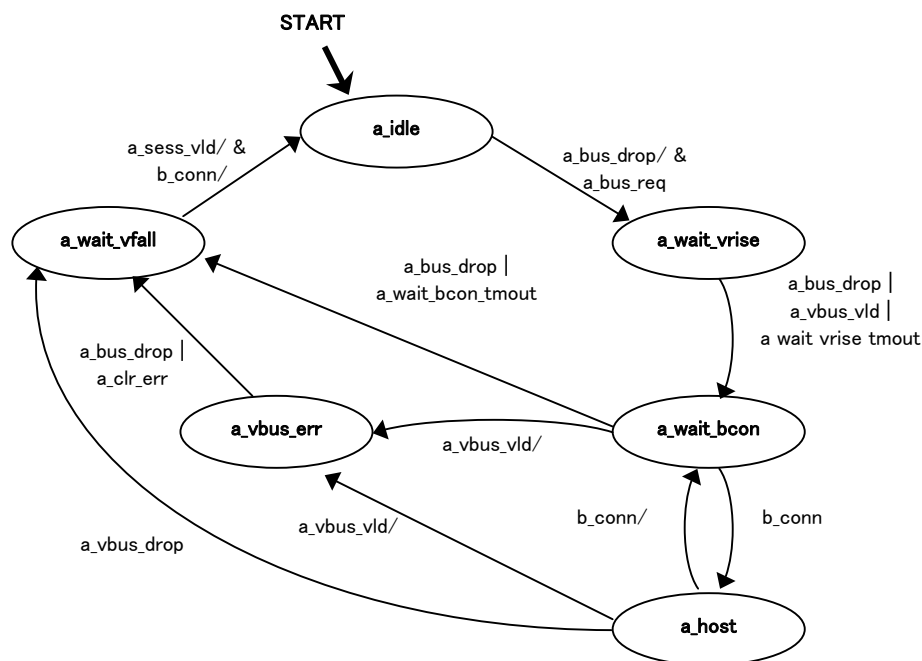


Fig. 5-3 OTG ステート遷移 (ホストオンリーデバイス; VBUS 選択 ON)

イニシャルステートは“a_idle”とします。

USB 転送要求 (a_bus_req) により VBUS を立ち上げます。(a_wait_vrise)

VBUS がノバリッド電圧に達したら (a_vbus_vld) 接続検出状態にします。(a_wait_bcon)

ペリフェラルの接続 (b_conn) を検出したら a_host に遷移します。

一定時間ペリフェラルの接続が認められなかった場合 (a_wait_bcon_tmout) は、“a_wait_vfall”に遷移します。

a_host 時に切断を検出した場合 (b_conn/) は“a_wait_bcon”に戻ります。

5. OTG 制御

5.4 ペリフェラルオンリーデバイスの場合の制御

VBUS電圧変化のみを監視させます。すなわち、ホストの接続・切断のみを監視することになります。遷移の様子を Fig. 5-4 に示します。

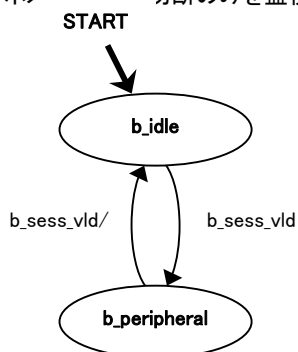


Fig. 5-4 OTG ステート遷移(ペリフェラルオンリーデバイス)

インisialステートは“b_idle”とします。VBUS のセッション電圧を検出、すなわち OTGCMonitor.Comp20V ビットを監視して、1 となれば“b_peripheral”に遷移させます。“b_peripheral”時にセッション電圧が低下、すなわち OTGCMonitor.Comp20V ビットを監視して、0 となれば“b_idle”に戻します。

6. 低消費電力制御

72005/72015 の各内部ブロックおよび回路は、OTG ステートによってそのアクティブ／非アクティブが一意に決定します。従って、不用なブロック・回路へのクロック供給や電源供給を停止することにより、LSI 全体としての消費電力を抑えることができます。

6.1 内部クロック供給制御

不用なブロックへのクロック供給、または内部クロック自体を停止することで、消費電力を抑えます。クロックの供給制御は Tab. 6-1 に示すレジスタによって行います。

※クロック制御動作の詳細説明は LSI 動作説明を参照して下さい。

Tab. 6-1 内部クロック供給制御レジスタ

	名称	レジスタ名	内容
基幹クロック	クロックコマンド	ClkCommand	OSC、PLL、CPU I/F および OTGC のクロックをそれぞれ停止します。
個別ブロック	HC ブロックスリープ	ClkControl.HCSleep	HC ブロックへのクロック供給を停止します。
	PC ブロックスリープ	ClkControl.PCSleep	PC ブロックへのクロック供給を停止します。
	Main ブロックスリープ	ClkControl.MainSleep	FIFO ブロック、チャネルコントロールレジスタブロック、DMA ハンドラへのクロック供給を停止します。
	トランシーバブロックスリープ	ClkControl.XcvrSleep	トランシーバブロックへのクロック供給を停止します。

6.2 内蔵コンパレータ

72005/72015 に内蔵する 2 つの VBUS 電圧監視用コンパレータ (4.4V、2.0V) のパワーダウンを行うことができます。コンパレータを使用しない場合にこれらのパワーダウンを行うことで消費電力を抑えます。これらの制御は Tab. 6-2 に示すレジスタビットによって制御します。

※両コンパレータにおいて、72005 は個別制御、72015 は一括制御となります。

Tab. 6-2 コンパレータパワーダウンレジスタ

	レジスタビット名	内容
(72005 のみ)	MacroConfig.COMP44PowerDown	VBUS-4.4V コンパレータのパワーダウンを行います。
	MacroConfig.COMP20PowerDown	VBUS-2.0V コンパレータのパワーダウンを行います。
(72015 のみ)	MacroConfig.COMPPowerDown	VBUS-4.4V および VBUS-2.0V コンパレータのパワーダウンを行います。

6. 低消費電力制御

6.3 OTG ステート別制御方法

OTG ステートによって不用となるブロック・回路は異なります。よって、低消費電力の制御は基本的に OTG ステート単位で行うようにします。

OTG ステートによる低消費電力制御内容を Tab. 6-3 に示します。

Tab. 6-3 OTG ステート別低消費電力制御対応表

	OTG ステート	その他条件	ClkCommand			Block				Comparator		
			OSC	PLL	CPU I/F OTGC	HC	PC	Main	Xcvr	Comp44V (72005)	Comp20V (72005)	Comp (72015)
A デ バ イ ス	a_idle	SRP 待ち	○	○	○	×	×	×	×	×	×	×
		None	×	-	-	-	-	-	-	×	×	×
	a_wait_vrise		○	○	○	×	×	×	×	○	×	○
	a_wait_bcon		○	○	○	×	×	×	×	○	×	○
	a_host/ a_suspend	Reset	○	○	○	○	×	×	○	○	×	○
		Operational	○	○	○	○	×	○	○	○	×	○
		Suspend	○	○	○	○	×	×	×	○	×	○
		Resume	○	○	○	○	×	×	○	○	×	○
	a_peripheral	Normal	○	○	○	×	○	○	○	○	×	○
		ClockStop	×	-	-	-	-	-	-	○	×	○
	a_vbus_err		○	○	○	×	×	×	×	○	×	○
	a_wait_vfall		○	○	○	×	×	×	×	×	○	○
B デ バ イ ス	b_idle		×	-	-	-	-	-	-	(○)	○	○
	b_srp_init_d		○	○	○	×	×	×	○	(○)	○	○
	b_srp_init_v		○	○	○	×	×	×	×	(○)	○	○
	b_srp_init_v5		○	○	○	×	×	×	×	(○)	○	○
	b_peripheral	Normal	○	○	○	×	○	○	○	(○)	○	○
		ClockStop	×	-	-	-	-	-	-	(○)	○	○
	b_wait_acon		○	○	○	×	×	×	×	(○)	○	○
	b_host	Reset	○	○	○	○	×	×	○	(○)	○	○
		Operational	○	○	○	○	×	○	○	(○)	○	○
		Suspend	○	○	○	○	×	×	×	(○)	○	○

(○:クロック供給あり/パワーオン, ×:クロック供給なし/パワーダウン, -:設定無効/Don't care)

(ブロック説明)

OSC :オシレータの発振 ON/OFF

PLL :PLL 動作の ON/OFF

CPU I/F :CPU I/F へのクロック供給 ON/OFF。ここを止めるとレジスタのリード/ライト等ができなくなります。

OTGC :OTG コントローラへのクロック供給 ON/OFF。ここを止めるとラインステートの監視、VBUS・プルアップ制御等ができなくなります。

HC :ホストコントローラへのクロック供給 ON/OFF。ここを止めるとホスト機能が停止します。

PC :ペリフェラルコントローラへのクロック供給 ON/OFF。ここを止めるとペリフェラル機能が停止します。

Main :FIFO マネージャ、DMA ハンドラ、チャネル/エンドポイントコントロールレジスタへのクロック供給 ON/OFF。ここ止めると該当ブロックの機能が停止します。

Xcvr :トランシーバへのクロック供給 ON/OFF。ここを止めるとデータラインのドライブ等ができなくなります。

Comp44V :VBUS 用の 4.4V コンパレータのパワーダウン ON/OFF。(72005 のみ)

Comp44V :VBUS 用の 4.4V コンパレータのパワーダウン ON/OFF。(72005 のみ)

Comp44V :VBUS 用の 4.4V および 2.0V コンパレータのパワーダウン ON/OFF。(72015 のみ)

付録 1. FAQ

Q1. ホスト時にアイソクロナス-IN転送を行っているチャンネルの転送を中止することがあります。

A1. S1R72005/S1R72015ではアイソクロナス転送もバルク/コントロール転送と同様に3回連続でエラーを検出すると割り込みを発生し、該当チャンネルのTranGoビットを0クリアします。転送を再開する場合にはこのTranGoビットを再び1に設定してください。

Q2. ペリフェラル動作時にアイソクロナス-INに設定したチャンネルがOレングスパケットを返すことがあります。

A2. S1R72005/S1R72015ではペリフェラル動作時にアイソクロナス-IN転送に設定されたチャンネルで、

1. FIFO に送るべきデータが無い場合
2. EPrControl.ForceNAK ビットが1に設定されている場合

には零長パケットで応答する仕様となっています。1、2をご確認ください。

Q3. b_peripheral遷移直後にDetSuspend割り込みが発生することがあります。

A3. S1R72005/S1R72015は、OTGStateCmdがb_peripheralに設定されている時にラインステートが5ms以上J状態にあると、DetSuspend割り込みを発生させます。従ってS1R72005/S1R72015がb_peripheral状態に遷移してから相手側がホストとして動作し始めるまで、5ms以上かかっている可能性があります。

よってセッション開始時のDetSuspend割り込みの扱いには注意してください。

Q4. CommonControl.ResetAllビットを使用してS1R72005/ S1R72015にリセットをかけたところ、以降の動作が正常に行われなくなりました。

A4. リセットによってCPUControlレジスタのCPUEndianビット、CPUBus8x16ビットが0クリアされます。

その為、S1R72005/S1R72015は、それ以降、16ビットアクセスおよびビッグエンディアンで動作します。

リセット前の設定がこれと異なる場合には、リセット後にこれらのビットを再設定して下さい。

Q5. ペリフェラル動作時にコントロール転送を行うと、ステータスステージ(OUT 転送)で ACK 応答は行いますが、OUTTranACK 割り込みが発生しないことがあります。

A5. EP0ControlレジスタのOutToggleStatビットが“0”の状態ステータスステージ(OUT転送)が行われるとS1R72005/S1R72015は“ACK応答は行うがOUTTranACK割り込みは発生しない”という動作をします。コントロール転送のトグルをS/Wで制御している場合で、ステータスステージのトグルの設定を行う前にホストからステータスステージのOUT転送が行われた為に起きた現象と考えられます。

S1R72005/S1R72015 はコントロール転送のセットアップステージ終了後に OutToggleStat,InToggleStat を“1”にセットします。続くデータステージが IN 転送の場合は InToggleStat は転送毎に更新されますが、OutToggleStat は“1”のまま変化しません。その為ステータスステージ(OUT 転送)は OutToggleStat が“1”で行います。

付録 1. FAQ

一方、データステージが OUT 転送の場合は OutToggleStat は転送毎に更新されますが、InToggleStat は“1”のまま変化しません。その為ステータスステージ(IN 転送)は InToggleStat が“1”で行います。

このように S1R72005/S1R72015 ではコントロール転送のトグルを H/W で制御しますので S/W で OutToggleStat,InToggleStat を操作する必要はありません。

付録 2. クロック制御方法

2.1 クロック概要

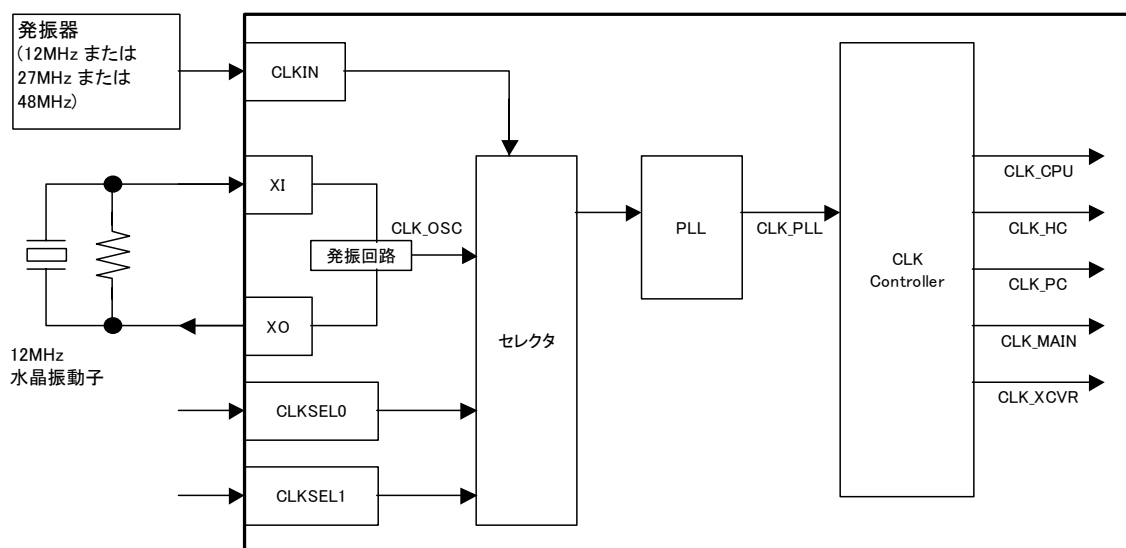
本 LSI では、レジスタの設定によりさまざまなクロックの制御を行うことができます。

レジスタの設定方法については、詳細レジスタ解説の ClkControl(0x4B)及び ClkCommand(0x4D)の解説を参照してください。本

LSI では、12MHz、27MHz、48MHz のクロックを直接入力できます。

12MHz、27MHz を入力した場合、内蔵 PLL を使用して 48MHz を生成します。

また、発振回路を内蔵していますので、直接水晶振動子を接続して使用することもできます。この場合は 12MHz の振動子にのみ対応します。

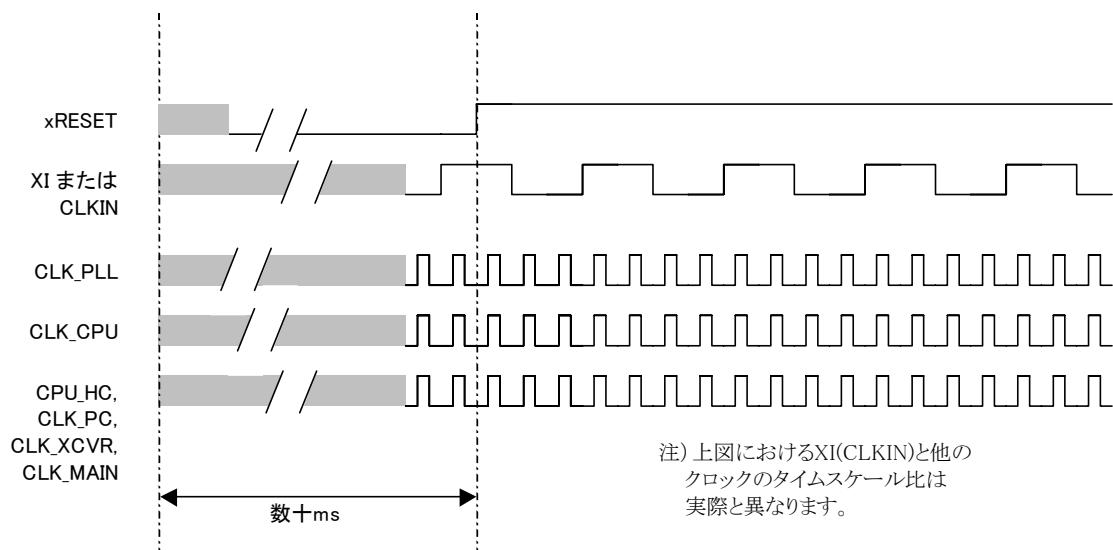


クロック	内容
CLK_OSC	内蔵発振回路の出力クロック
CLK_PLL	PLL の出力クロック
CLK_CPU	CPU インターフェース及び OTG 制御部で使用するクロック
CLK_HC	ホストコントローラ部で使用するクロック
CLK_PC	ペリフェラルコントローラ部で使用するクロック
CLK_XCVR	USB FS トランシーバ部で使用するクロック
CLK_MAIN	FIFO マネージャや DMA ブロックなどで使用するクロック

本 LSI においては、48MHz、27MHz、12MHz の外部発振器のクロックを用いて動作させることが可能です。また、12MHz の水晶振動子を用いて動作させることも可能です。これらの切り替えは CLKSEL0、CLKSEL1 端子を用いて行います。設定方法は以下の通りです。

CLKSEL[1:0]	動作モード
00	12MHz 水晶振動子接続
01	27MHz クロック入力
10	48MHz クロック入力
11	12MHz クロック入力

2.2 パワーオン後の状態

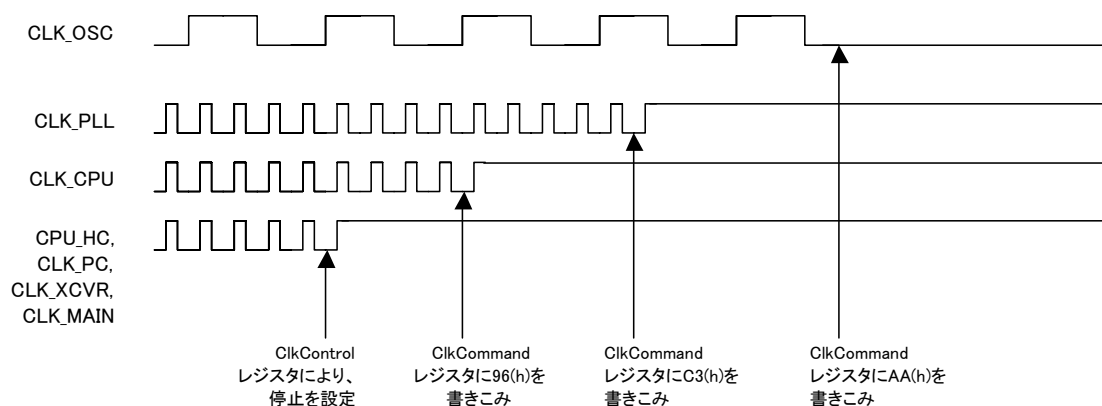


パワーオンリセット解除後、すべてのクロックは有効になります。

ただし、一般に発振回路の出力が十分安定するには数十 ms 程度の時間がかかります（発振器等の特性により異なります）。内蔵 PLL は発振回路安定後さらに 100us～200us の安定待ち時間が必要です。発振回路及び PLL が安定するまえにリセットを解除すると、その後の安定した動作の保証ができません。従って、パワーオンリセットは発振回路及び PLL が十分安定する時間だけ待ってからリセット解除を行ってください。

2.3 クロック停止方法

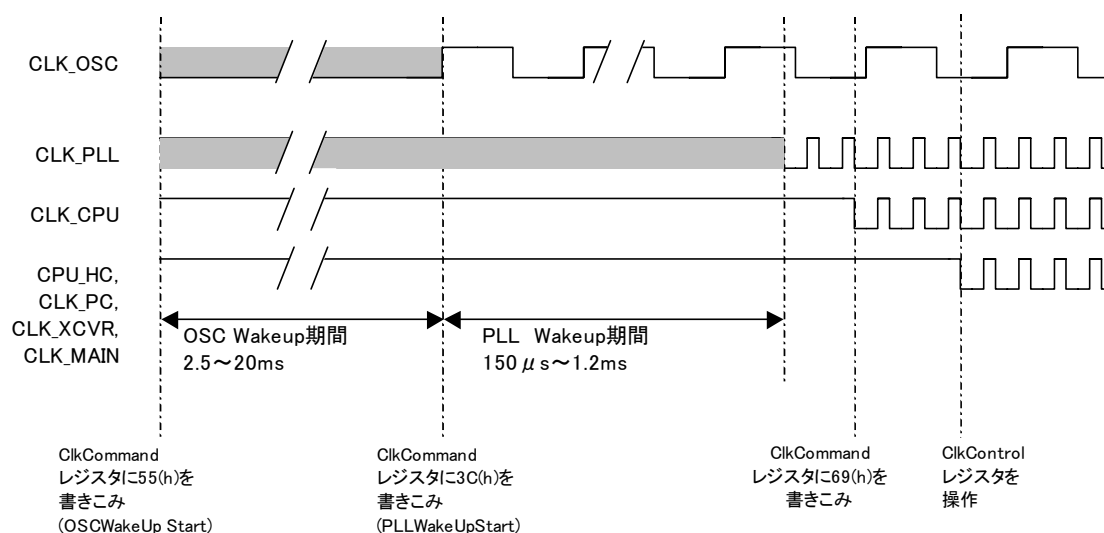
- CLK_HC, CLK_PC, CLK_XCVR, CLK_MAIN の4つのクロックは ClkControl(0x4B)レジスタによって停止できます。ClkControl レジスタは、同期レジスタなので、CLK_CPU が停止している状態ではリード/ライトすることが出来ません。CLK_HC, CLK_PC, CLK_XCVR, CLK_MAIN は S1R72005(72015)の動作状況によって適宜 CPU からクロックを停止することにより消費電力を削減できます。
- CLK_CPU は CPU インターフェース部と OTG コントロール部で使われるクロックです。このクロックは ClkControl レジスタではなく、ClkCommand(0x4D)レジスタによって制御します。ClkCommand レジスタはクロックが完全に停止している状態でも操作することが出来ます。ClkCommand レジスタに 96(h)を書きこむことにより、CLK_CPU を停止することができます。この状態では S1R72005(72015)のすべての同期型レジスタにリードライトできなくなります。ClkCommand レジスタに 69(h)を書きこむことにより、CLK_CPU を再開することができます。
- CLK_PLL は S1R72005(72015)の内部 PLL の出力です。ClkCommand レジスタの操作により、CLK_PLL を停止することが出来ます。内蔵 PLL を使用している場合のみ停止する意味があります。
- CLK_OSC は S1R72005(72015)の内蔵発振回路の出力です。ClkCommand レジスタの操作により、CLK_OSC を停止することが出来ます。内蔵発振回路を使用している場合のみ、停止する意味があります



注) 上図におけるCLK_OSCと他の
クロックのタイムスケール比は
実際と異なります。

2.4 CPU からの制御によるクロック再開方法

- すべてのクロックは、ソフトリセット(CommonControl[0x32]レジスタの ResetALL ビット操作)またはハードリセット(xRESET)アサート後に強制的に再開されます。リセット後の CLK_OSC, CLK_PLL の再開においては、タイマによる待ち時間設定はありません。
- ClkCommand レジスタに 55(h)を書きこむことにより、CLK_OSC を再開することが出来ます。この場合、発振回路のウエイクアップタイマが動作します。ClkControl(0x4B) レジスタの WakeUpTime で設定された時間(2.5ms ~ 20ms)経過すると CLK_OSC が出力開始されます。
- ClkCommand レジスタに 3C(h)を書きこむことにより、CLK_PLL を再開することが出来ます。この場合 PLL のイクアップタイマが動作します。ClkControl(0x4B)レジスタの PLLWakeUpTime で設定された時間(150 μ s ~ 1.2ms)経過すると、CLK_PLL が出力開始されます。
- ClkCommand レジスタに 69(h)を書きこむことにより、CLK_CPU を再開することが出来ます。
- ClkControl レジスタを操作することにより、CLK_HC, CLK_PC, CLK_XCVR, CLK_MAIN を再開することが出来ます。ただし、CLK_CPU がウエイクアップしている状態でなければ、ClkControl レジスタを操作することはできません。
- CLK_CPU, CLK_PLL を停止させずに、CLK_OSC を停止させた場合、CLK_CPU, CLK_PLL も CLK_OSC と同じタイミングで停止します。この状態で次に CLK_OSC を再開した場合、タイマの設定に従った待ち時間後に CLK_OSC 及び CLK_PLL、CLK_CPU が再開します。



注) 上図におけるCLK_OSCと他のクロックのタイムスケール比は実際と異なります。

2.5 USB バスのステート検出によるクロックの再開について

- CLK_OSC または、CLK_PLL または、CLK_CPU を停止している状態において、USB のバスの変化を検知して自動的にクロックを再開することができます。また、USB バスの状態変化検出割り込みが発生する設定になっていると、クロック(CLK_CPU)が再開された後に割り込みがアサートされます。

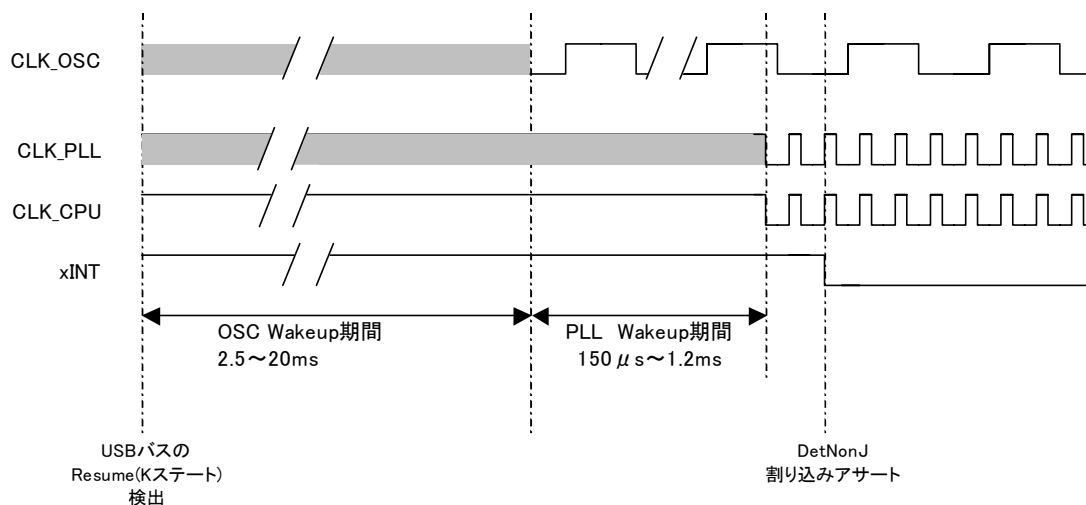
クロック再開のトリガとなるのは、以下の3つの状態変化です。

- (1)USB の D+及び D-信号線の状態が、非 J の状態に遷移した。
- (2)VBUS 電位が 4.4V 以下になった/あるいは、4.4V 以上になった。
- (3)ID 端子の信号レベルが“H”→“L”または“L”→“H”へと変化した。

* 例:

S1R72005 がペリフェラルコントローラとして動作時、サスペンド。

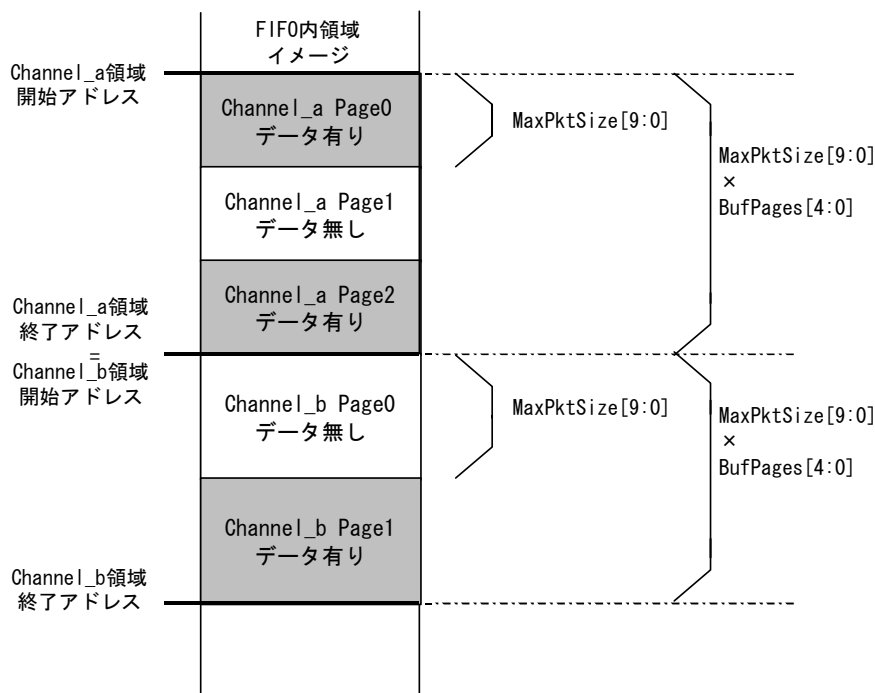
USB の D+, D-信号線が J ステートから Resume ステート(K ステート)に遷移したことを検出して、クロックをウエイクアップさせる。



注) 上図におけるCLK_OSCと他のクロックのタイムスケール比は実際と異なります。

付録 3. FIFO(パケットメモリ)制御方法

3.1 各 Channel (EndPoint) に割り当てられるメモリ領域



FIFO メモリの内部は、各 Channel 及び EndPoint レジスタの $\text{MaxPktSize}[7:0]$ 、 $\text{BufPages}[4:0]$ の設定にしたがって領域が割り振られます。2.5K バイトの FIFO メモリ内部は、Channel_0(EP0)から順番に領域が確保されていきます。確保された各領域はそれぞれ $\text{MaxPktSize} \times \text{BufPages}$ のサイズになっており、かつリングバッファとして機能します。USB 側のデータの転送が可能なかどうかは、各 Channel 内のデータ蓄積状況によります。Channel 内のデータ転送可否は、 MaxPktSize を単位にして判断されます。すなわち、

- ・ホストとして動作
- ・OUT 転送
- ・Channel_a

の場合は、Channel_a 領域に MaxPktSize 以上のデータが蓄積されていれば USB の OUT 転送が可能となります。

また、

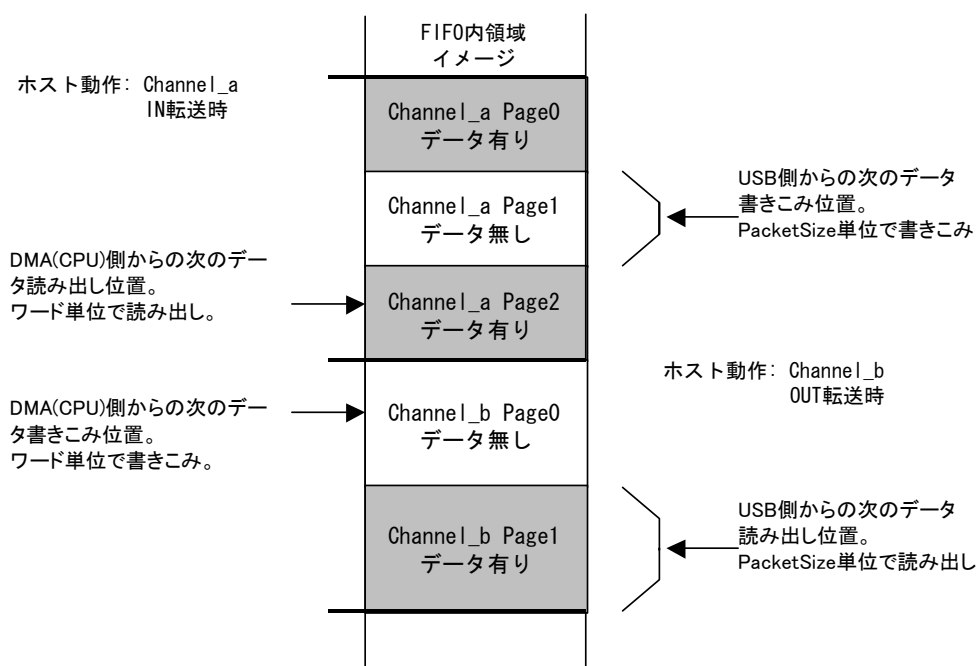
- ・ホストとして動作
- ・IN 転送
- ・Channel_b

の場合は、Channel_b 領域に MaxPktSize 以上の空き領域があれば USB の IN 転送可能となります。

なお、ハードウェアが FIFO メモリ内の状態に応じて転送の制御を行いますので、

ファームウェアがフロー制御を行わなくとも、バッファオーバーラン、アンダーランは発生しません。

3.2 フロー制御及び Full / Empty



FIFO メモリの内部は、各 Channel(EndPoint)ごとのリングバッファになっていて、フローの管理及び Full / Empty の処理は以下のように行われます。

■ Case1

図で Channel_a の領域は HOST 動作、IN 転送に使われているとします。

このとき、USB バスを通してデバイスからデータが HOST へ送られてきますが、そのデータを FIFO メモリ内の Channel_a の割り当て領域に、通常 MaxPacketSize 単位で書きこんで行きます。(IRP 転送の最後の転送が、ShortPacket となった場合、MaxPacketSize に満たない単位で書きこみます)。

DMA(CPU)側はデータが Channel_a 領域にデータが貯まるとワード単位で読み出して行きます。

図の状態において、Channel_a の Page1 領域に USB 側からデータが書きこまれると、空き領域が MaxPacketSize 以下になるので、USB 側から書きこみは出来なくなります。この場合はハード的に FIFO メモリが空くまで USB トランザクションを停止します。したがってソフトでフロー制御する必要はありません。

図において、DMA からのデータ読み出しが Page0 の分まで終了すると、Channel_a の内部は Empty になります。このとき、DMA はデータ転送が可能になるまでハードにより待ち状態になります。

CPU からの FIFO アクセスの場合も、データ読み出しが Page0 まで達すると Empty になってデータを読み出せなくなりますが、この場合は各 Channel/EP レジスタの Empty もしくは RemainCounter ビットを参照してデータの読み出し判断を行ってください。

Empty 以外の場合では、通常 MaxPacketSize 以上のデータが蓄積されていると言えるので、Empty かどうかを参照して、MaxPacketSize 単位でデータを読み出せます。なお、IRP 転送の最後では ShortPacket の発生により、MaxPacketSize に満たない場合があります。

付録 3. FIFO(パケットメモリ)制御方法

■ Case2

図で Channel_b の領域は HOST 動作、OUT 転送に使われているとします。このとき、DMA バスもしくは CPU バスを通してデータが FIFO メモリ内の Channel_b の割り当て領域に、ワード単位で書きこまれて行きます。

USB 側は、通常データが Channel_b 領域に MaxPacketSize 以上たまと MaxPacketSize 単位で読み出して転送します。ただし、IRP 転送の最後のパケットが ShortPacket となる場合は、MaxPacketSize 以下となります。

図において、Channel_b の Page0 領域に DMA(CPU)側からデータが書きこまれると、空き領域がゼロになるので、DMA(CPU)側から書きこみは出来なくなります。この状態は Channel_b の Full となります。この場合、DMA は FIFO メモリが空くまで DMA 転送を待たせます。したがってソフトでフロー制御する必要はありません。

CPU からの FIFO アクセスでデータを書きこんでいる場合は、Channel/EP レジスタの Full ビットもしくは RemainCounter を参照して書きこみを行ってください。

図において、USB からのデータ読み出しが Page1 の分まで終了すると、Channel_b の内部に貯まっているデータ量は PacketSize 以下となります。この場合、USB 側はデータが貯まるまでトランザクション開始を停止します。なお、IRP 転送の最後のパケットの場合、転送したい PacketSize が MaxPacetsize より小さい場合があります(ShortPacket)。この場合も、FIFO メモリ内に ShortPacket のサイズ以上のデータがあれば転送を行います。

付録 4. DMA の概要

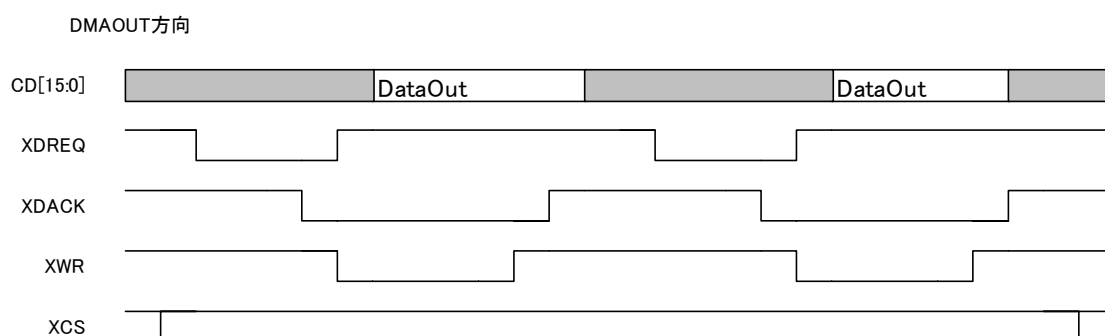
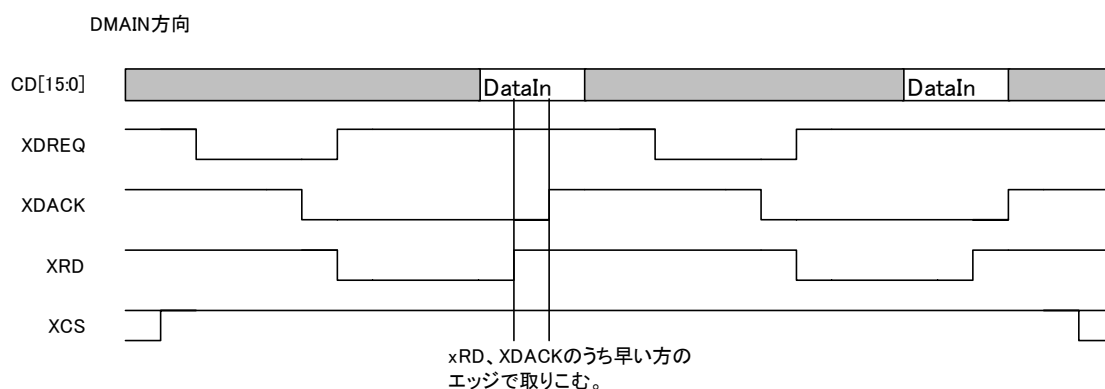
本 LSI は DREQ 及び DACK を用いるシングルアドレスモードの DMA を 1 チャンネル搭載しています。DMA の転送には動作モードがあり、DMAConfig0(0x40), DMAConfig1(0x41), DMAControl0(0x42), DMAControl1(0x43) レジスタにて設定を行います。設定方法についてはレジスタ詳細解説を参照してください。

4.1 xRD, xWR ストロープモード

S1R72005(S1R72015)の xRD、xWR 入力及び xDACK 入力をストロープ信号として用いて動作するモードです。外部システムメモリ→S1R72005 の転送、すなわち DMAIN の場合、xRD をストロープとして動作します。S1R72005→外部システムメモリの転送、すなわち DMAOUT の場合、xWR をストロープとして動作します。

xRD, xWR 信号は CPU からの S1R72005(72015)へのレジスタアクセスストロープと兼用になります。レジスタのリードライトとはストロープの方向が逆になりますので注意してください(外部メモリが基準です)。

レジスタアクセスとの分離は、xCS 信号にて行います。xCS がアクティブの時は S1R72005(S1R72015)へのレジスタアクセスとみなされます。



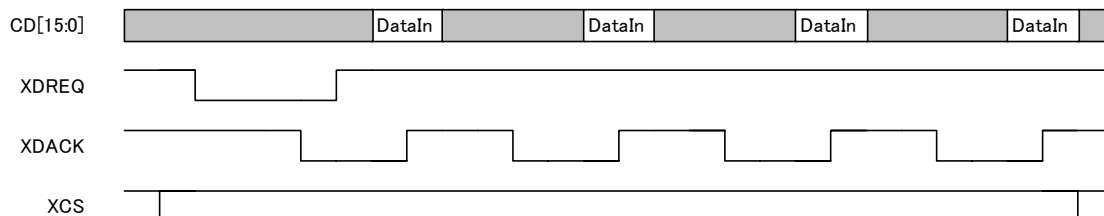
付録 4. DMA の概要

4.2 xDACK ストローブモード

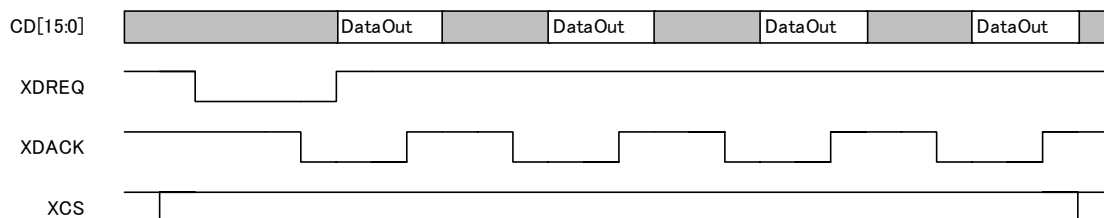
本 LSI への xDACK 信号をストローブとしてデータ転送を行うモードです。

一回の DREQ 出力に対し、BurstLength 回の xDACK でデータ転送を行います。

DMAIN方向(BurstLength = 10b [4word])



DMAOUT方向(BurstLength = 10b [4word])

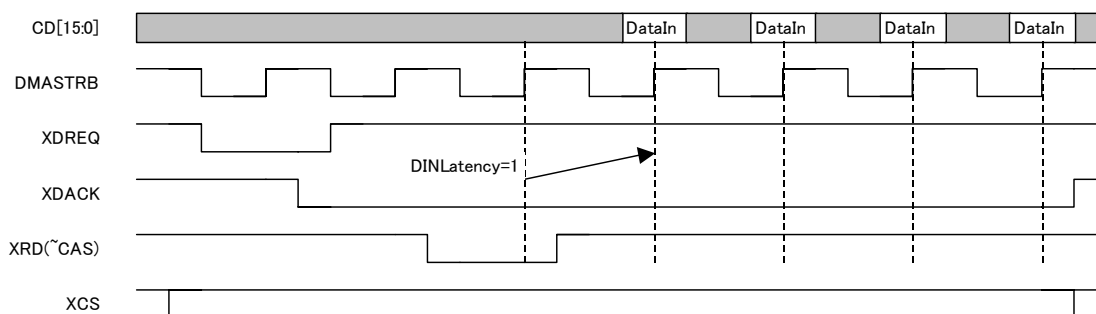


4.3 DMASTRB SDRAM モード

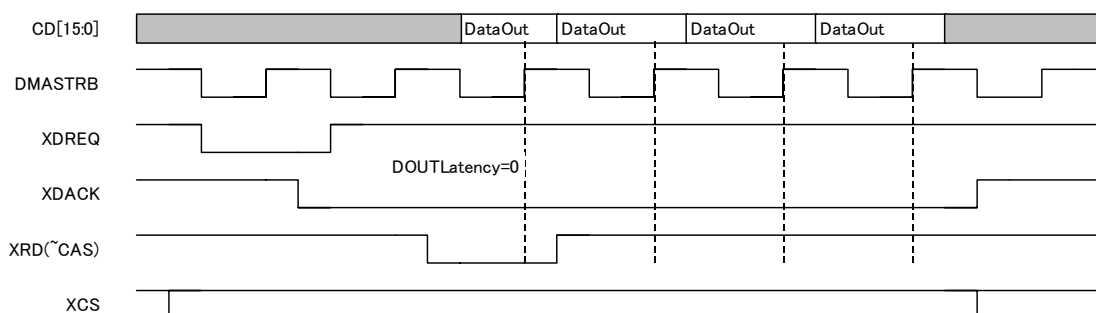
DMASTRB 信号をデータの入出力のストロブとして使用してデータ転送を行うモードです。SDRAM モードでは、xRD 端子に SDRAM への \sim CAS 信号を入力し、DMAConfig0(0x40)レジスタの DINLatency, DOUTLatency を設定することにより、外部に接続された SDRAM の CAS Latency を DMA 転送に適合させることができます。

DINLatency, DOUTLatency は xRD(\sim CAS)信号から DMASTRB の何サイクル目にデータが有効になるかを設定します(下図参照)。

DMAIN方向(BurstLength = 10b[4word], DINLatency=1)



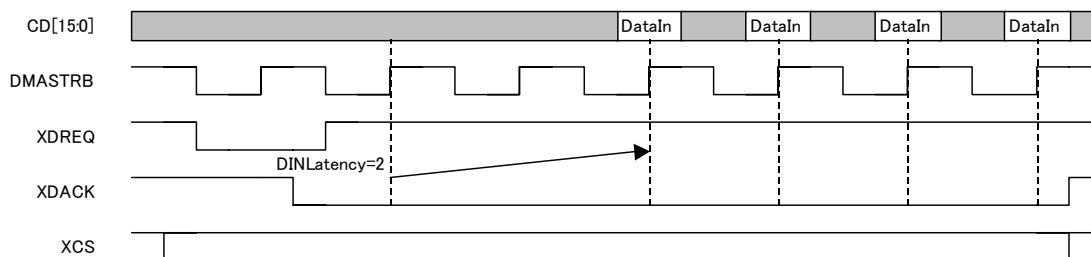
DMAOUT方向(BurstLength = 10b[4word], DOUTLatency=0)



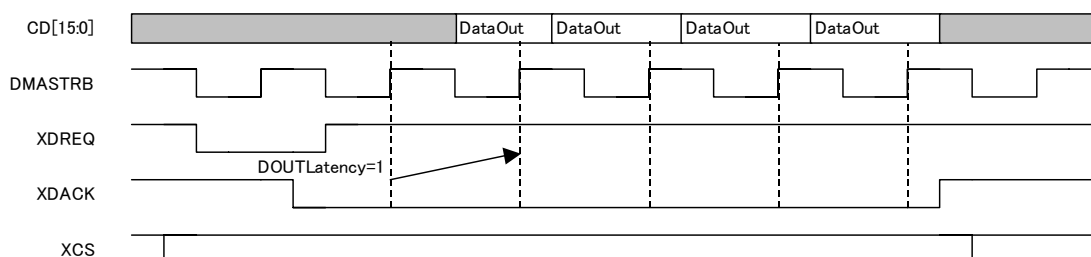
4.4 DMASTRB 汎用モード

4.1～4.3 と同様に DMASTRB 信号をデータの入出力のストロブとして使用してデータ転送を行うモードです。ただし、xRD 端子を Latency のトリガとして使用しません。DINLatency、DOUTLatency は xDACK 信号から DMASTRB の何サイクル目にデータが有効になるかを設定します(下図参照)。

DMAIN方向(BurstLength = 10b[4word], DINLatency=2)



DMAOUT方向(BurstLength = 10b[4word], DOUTLatency=1)



4.5 DMA 使用上の注意

- S1R72005(72015)の DMA の転送方向は、DMA にリンクされた Channel(または EndPoint)の USB 転送方向によって決定されます。したがって、本 LSI がホストとして動作中、OUT 転送を設定された Channel に対して DMAOUT(外部メモリへのデータ出力)を行うような動作は出来ません。
- DMA 転送において、全転送バイト数が BurstLength で割り切れない値の場合、DMACount[23:0] (0x45～0x47)に正しく全転送バイト数を設定しないと、BurstLength で割り切れなかった最後の端数データを転送することができませんので注意してください。
- DMACounter 分の転送が終了していないにもかかわらず、USB インターフェースがショートパケットの受信で終了し、パケットメモリ内に BurstLength で割り切れないデータが入ってしまった場合。この場合、BurstLength 分のデータが DMA バースト FIFO に蓄積されるまで DMA コントローラは xDREQ を発行しませんので、DMA はデッドロックします。このような状態になった場合は、以下の方法で DMA バースト FIFO 内のデータを外部メモリに掃き出します。

(1)DMAGo ビットに“0”を書きこみ、DMA を一旦止めます。

(2)DMACounter[23:0]に“0”を書きこみます。

(3)DMAGo ビットへ再度“1”を書きこみます。

この操作で DMA は DMA バースト FIFO に残った端数データを転送するために xDREQ をアサートします。

ただし、CPU の DMAC が xDACK をネゲートせず、通常通りのバースト転送を行おうとした場合は、
不用なデータまでメモリに転送される可能性があります。

改訂履歴

改訂履歴

日付	リビジョン	改訂頁	改訂種別	内容
03/02/18	1.00			S1R72005_LSI 動作説明として新規制定
04/01/16	1.10	全頁	変更	対象に S1R72015_LSI も含めた
		1-50	追加	LSI 使用方法説明追加
		51	追加	FAQ 追加
		65	追加	改訂履歴追加

（改訂種別について）

訂正 : 本来意図すべき記述と異なっていたために修正を施したもの。
変更 : 記述の内容（仕様）が変更されたもの。
追加 : 新たに記述が書き加えられたもの。
削除 : 記述が取り消されたもの。

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 東日本営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

<IC 西日本営業グループ>

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100
名古屋 〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F
TEL (052) 205-8421 (代表) FAX (052) 231-2538

ドキュメントコード : 410665600
2004 年 2 月 本文作成
2006 年 4 月 表紙改訂