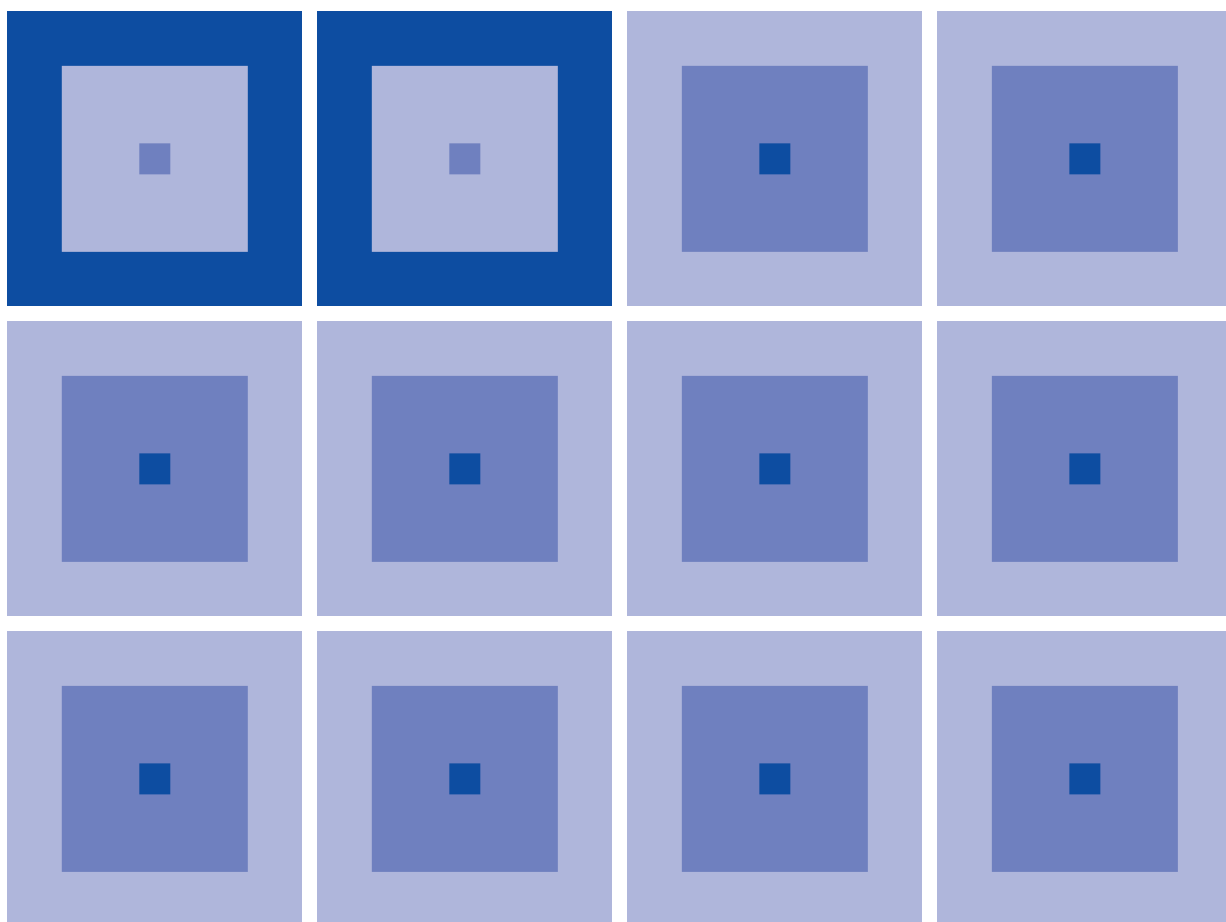


CMOS 8-BIT SINGLE CHIP MICROCOMPUTER

## S1C88650

### テクニカルマニュアル

S1C88650 Technical Hardware



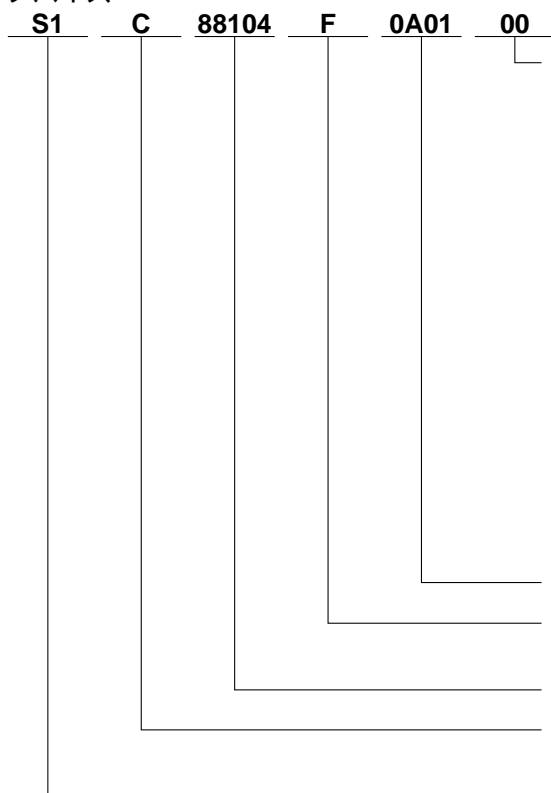
本資料のご使用につきましては、次の点にご留意願います。

---

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

## 製品型番体系

### デバイス



#### 梱包仕様

00: テープ&リール以外  
 0A: TCP BL 2方向  
 0B: テープ&リール BACK  
 0C: TCP BR 2方向  
 0D: TCP BT 2方向  
 0E: TCP BD 2方向  
 0F: テープ&リール FRONT  
 0G: TCP BT 4方向  
 0H: TCP BD 4方向  
 0J: TCP SL 2方向  
 0K: TCP SR 2方向  
 0L: テープ&リール LEFT  
 0M: TCP ST 2方向  
 0N: TCP SD 2方向  
 0P: TCP ST 4方向  
 0Q: TCP SD 4方向  
 0R: テープ&リール RIGHT  
 99: 梱包仕様未定

#### 仕様

#### 形状

[D: ペアチップ、F: QFP]

#### 機種番号

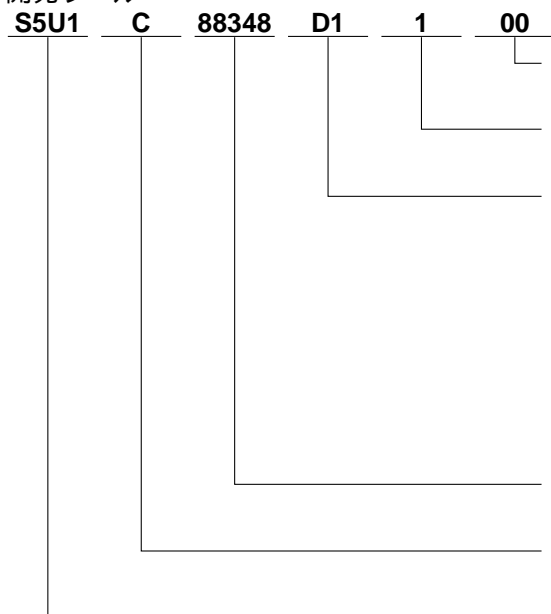
#### 機種名称

[C: マイコン、デジタル製品]

#### 製品分類

[S1: 半導体]

### 開発ツール



#### 梱包仕様

[00: 標準梱包]

#### バージョン

[1: Version 1]

#### ツール種類

Hx: ICE  
 Ex: EVAボード  
 Px: ペリフェラルボード  
 Wx: FLASHマイコン用ROMライタ  
 Xx: ROMライタ周辺ボード  
 Cx: Cコンパイラパッケージ  
 Ax: アセンブラパッケージ  
 Dx: 機種別ユーティリティツール  
 Qx: ソフトシミュレータ

#### 対応機種番号

[88348: S1C88348用]

#### ツール分類

[C: マイコン用]

#### 製品分類

[S5U1: 半導体用開発ツール]



## — 目 次 —

1	概要 .....	1
1.1	特長 .....	1
1.2	ブロック図 .....	2
1.3	端子 .....	3
1.3.1	端子配置図 .....	3
1.3.2	端子説明 .....	4
1.4	マスクオプション .....	5
2	電源 .....	7
2.1	動作電圧 .....	7
2.2	内部電源回路 .....	7
3	CPUとバスの構成 .....	8
3.1	CPU .....	8
3.2	内蔵メモリ .....	8
3.2.1	プログラムROM .....	8
3.2.2	RAM .....	8
3.2.3	I/Oメモリ .....	8
3.2.4	表示メモリ .....	8
3.2.5	漢字フォント用ROM .....	8
3.3	例外処理ベクタ .....	9
3.4	CC (カスタマイズコンディションフラグ) .....	9
3.5	チップモード .....	9
3.5.1	MCUモードとMPUモード .....	9
3.5.2	バスモード .....	10
3.5.3	CPUモード .....	11
3.6	外部バス .....	11
3.6.1	データバス .....	11
3.6.2	アドレスバス .....	12
3.6.3	リード( $\overline{RD}$ )/ライト(WR)信号 .....	12
3.6.4	チップイネーブル( $\overline{CE}$ )信号 .....	12
3.6.5	ウェイト制御 .....	13
3.6.6	バス権解放状態 .....	14
4	イニシャルリセット .....	15
4.1	イニシャルリセット要因 .....	15
4.1.1	$\overline{RESET}$ 端子 .....	15
4.1.2	入力ポート(K00 ~ K03)の同時LOWレベル入力 .....	16
4.1.3	イニシャルリセットシーケンス .....	16
4.2	イニシャルリセット時の初期設定 .....	17
5	周辺回路と動作 .....	18
5.1	I/Oメモリマップ .....	18
5.2	システムコントローラとバスの制御 .....	34
5.2.1	バスモードとCPUモードの設定 .....	34
5.2.2	アドレスデコーダ( $\overline{CE}$ 出力)の設定 .....	34
5.2.3	ウェイトステートの設定 .....	35
5.2.4	バス権解放要求信号の設定 .....	35

5.2.5	スタックページの設定 .....	35
5.2.6	システムコントローラの制御方法 .....	36
5.2.7	プログラミング上の注意事項 .....	38
5.3	ウォッチドッグタイマ .....	39
5.3.1	ウォッチドッグタイマの構成 .....	39
5.3.2	割り込み機能 .....	39
5.3.3	ウォッチドッグタイマの制御方法 .....	40
5.3.4	プログラミング上の注意事項 .....	40
5.4	発振回路 .....	41
5.4.1	発振回路の構成 .....	41
5.4.2	マスクオプション .....	41
5.4.3	OSC1発振回路 .....	41
5.4.4	OSC3発振回路 .....	42
5.4.5	CPUクロックの切り換え .....	42
5.4.6	発振回路の制御方法 .....	43
5.4.7	プログラミング上の注意事項 .....	43
5.5	入力ポート (Kポート) .....	44
5.5.1	入力ポートの構成 .....	44
5.5.2	マスクオプション .....	44
5.5.3	プルアップ制御 .....	45
5.5.4	割り込み機能と入力比較レジスタ .....	45
5.5.5	入力ポートの制御方法 .....	47
5.5.6	プログラミング上の注意事項 .....	50
5.6	出力ポート (Rポート) .....	51
5.6.1	出力ポートの構成 .....	51
5.6.2	ハイインピーダンス制御 .....	51
5.6.3	DC出力 .....	51
5.6.4	出力ポートの制御方法 .....	52
5.7	入出力兼用ポート (Pポート) .....	54
5.7.1	入出力兼用ポートの構成 .....	54
5.7.2	マスクオプション .....	54
5.7.3	I/Oコントロールレジスタと入力/出力モード .....	55
5.7.4	プルアップ制御 .....	55
5.7.5	特殊出力 .....	55
5.7.6	入出力兼用ポートの制御方法 .....	57
5.7.7	プログラミング上の注意事項 .....	60
5.8	シリアルインタフェース .....	61
5.8.1	シリアルインタフェースの構成 .....	61
5.8.2	端子機能の切り換え .....	61
5.8.3	転送モード .....	62
5.8.4	クロック源 .....	63
5.8.5	送受信の制御 .....	64
5.8.6	クロック同期式転送の動作 .....	65
5.8.7	調歩同期式転送の動作 .....	69
5.8.8	割り込み機能 .....	73
5.8.9	シリアルインタフェースの制御方法 .....	75
5.8.10	プログラミング上の注意事項 .....	80

5.9	計時タイマ	81
5.9.1	計時タイマの構成	81
5.9.2	割り込み機能	81
5.9.3	計時タイマの制御方法	83
5.9.4	プログラミング上の注意事項	85
5.10	プログラマブルタイマ	86
5.10.1	プログラマブルタイマの構成	86
5.10.2	動作モード	87
5.10.3	入力クロックの設定	89
5.10.4	タイマの動作と制御	89
5.10.5	割り込み機能	91
5.10.6	TOUT出力の設定	93
5.10.7	シリアルインタフェースの転送速度設定	94
5.10.8	LCDドライバ用フレーム周波数の設定	94
5.10.9	プログラマブルタイマの制御方法	95
5.10.10	プログラミング上の注意事項	107
5.11	LCDドライバ	108
5.11.1	LCDドライバの構成	108
5.11.2	LCD電源	108
5.11.3	フレーム周波数	109
5.11.4	駆動デューティの切り換え	109
5.11.5	表示メモリ	113
5.11.6	表示の制御	120
5.11.7	LCDドライバの制御方法	121
5.11.8	プログラミング上の注意事項	123
5.12	電源電圧検出(SVD)回路	124
5.12.1	SVD回路の構成	124
5.12.2	SVD動作	124
5.12.3	SVD回路の制御方法	125
5.12.4	プログラミング上の注意事項	125
5.13	重負荷保護機能	126
5.13.1	重負荷保護モード	126
5.13.2	重負荷保護機能の制御	126
5.13.3	プログラミング上の注意事項	126
5.14	割り込みとスタンバイ状態	127
5.14.1	割り込み発生条件	127
5.14.2	割り込み要因フラグ	129
5.14.3	割り込みイネーブルレジスタ	130
5.14.4	割り込みプライオリティレジスタと割り込み優先レベル	131
5.14.5	例外処理ベクタ	132
5.14.6	割り込みの制御	133
5.14.7	プログラミング上の注意事項	135
6	注意事項	136
6.1	低消費電力化のための注意事項	136
6.2	実装上の注意事項	137
7	基本外部結線図	139

8	電気的特性 .....	140
8.1	絶対最大定格 .....	140
8.2	推奨動作条件 .....	140
8.3	DC特性 .....	141
8.4	アナログ回路特性 .....	142
8.5	消費電流 .....	143
8.6	AC特性 .....	144
8.7	発振特性 .....	149
8.8	特性グラフ (参考値) .....	150
9	パッケージ .....	159
9.1	プラスチックパッケージ .....	159
9.2	テストサンプル用セラミックパッケージ .....	160
10	パッド配置 .....	161
10.1	パッド配置図 .....	161
10.2	パッド座標 .....	162
Appendix A S5U1C88000P1&S5U1C88649P2 Manual (Peripheral Circuit Board for S1C88650) ....		163
A.1	各部の名称と機能 .....	163
A.2	使用上の注意 .....	165
A.2.1	操作上の注意事項 .....	165
A.2.2	実際のICとの相違点 .....	165
A.3	ターゲットシステムとの接続 .....	168
A.4	製品の仕様 .....	171
Appendix B 漢字フォントの使用について .....		172





## 1.2 ブロック図

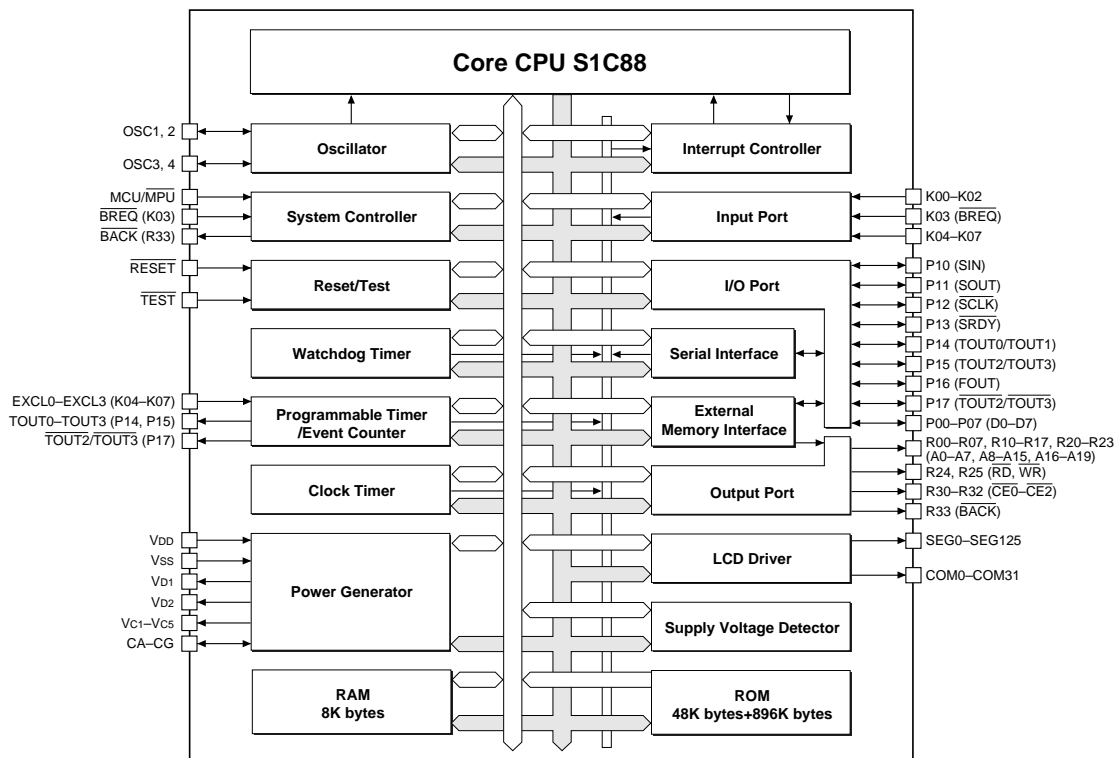
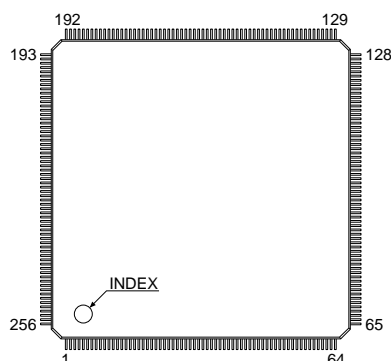


図1.2.1 S1C88650ブロック図

## 1.3 端子

### 1.3.1 端子配置図

QFP22-256pin



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	N.C.	53	SEG88	105	COM23	157	P07/D7	209	COM11
2	N.C.	54	SEG89	106	COM22	158	P06/D6	210	COM12
3	TEST	55	SEG90	107	COM21	159	P05/D5	211	COM13
4	SEG39	56	SEG91	108	COM20	160	P04/D4	212	COM14
5	SEG40	57	SEG92	109	COM19	161	P03/D3	213	COM15
6	SEG41	58	SEG93	110	COM18	162	P02/D2	214	SEG0
7	SEG42	59	SEG94	111	COM17	163	P01/D1	215	SEG1
8	SEG43	60	SEG95	112	COM16	164	P00/D0	216	SEG2
9	SEG44	61	SEG96	113	V <sub>D2</sub>	165	R00/A0	217	SEG3
10	SEG45	62	N.C.	114	CG	166	R01/A1	218	SEG4
11	SEG46	63	N.C.	115	CF	167	R02/A2	219	SEG5
12	SEG47	64	N.C.	116	CE	168	R03/A3	220	SEG6
13	SEG48	65	N.C.	117	CD	169	R04/A4	221	SEG7
14	SEG49	66	N.C.	118	CC	170	R05/A5	222	SEG8
15	SEG50	67	V <sub>SS</sub>	119	CB	171	R06/A6	223	SEG9
16	SEG51	68	SEG97	120	CA	172	R07/A7	224	SEG10
17	SEG52	69	SEG98	121	V <sub>C5</sub>	173	R10/A8	225	SEG11
18	SEG53	70	SEG99	122	V <sub>C4</sub>	174	R11/A9	226	SEG12
19	SEG54	71	SEG100	123	V <sub>C3</sub>	175	R12/A10	227	SEG13
20	SEG55	72	SEG101	124	V <sub>C2</sub>	176	R13/A11	228	SEG14
21	SEG56	73	SEG102	125	V <sub>C1</sub>	177	R14/A12	229	SEG15
22	SEG57	74	SEG103	126	N.C.	178	R15/A13	230	SEG16
23	SEG58	75	SEG104	127	N.C.	179	R16/A14	231	SEG17
24	SEG59	76	SEG105	128	N.C.	180	R17/A15	232	SEG18
25	SEG60	77	SEG106	129	N.C.	181	R20/A16	233	SEG19
26	SEG61	78	SEG107	130	N.C.	182	R21/A17	234	SEG20
27	SEG62	79	SEG108	131	V <sub>DD</sub>	183	R22/A18	235	SEG21
28	SEG63	80	SEG109	132	OSC3	184	R23/A19	236	SEG22
29	SEG64	81	SEG110	133	OSC4	185	R24/RD	237	SEG23
30	SEG65	82	SEG111	134	V <sub>SS</sub>	186	R25/WR	238	SEG24
31	SEG66	83	SEG112	135	V <sub>D1</sub>	187	R30/CE0	239	SEG25
32	SEG67	84	SEG113	136	OSC1	188	R31/CE1	240	SEG26
33	SEG68	85	SEG114	137	OSC2	189	V <sub>DD</sub>	241	SEG27
34	SEG69	86	SEG115	138	TEST	190	N.C.	242	SEG28
35	SEG70	87	SEG116	139	RESET	191	N.C.	243	SEG29
36	SEG71	88	SEG117	140	MCU/MPU	192	N.C.	244	SEG30
37	SEG72	89	SEG118	141	K07/EXCL3	193	N.C.	245	SEG31
38	SEG73	90	SEG119	142	K06/EXCL2	194	N.C.	246	SEG32
39	SEG74	91	SEG120	143	K05/EXCL1	195	V <sub>SS</sub>	247	SEG33
40	SEG75	92	SEG121	144	K04/EXCL0	196	R32/CE2	248	SEG34
41	SEG76	93	SEG122	145	K03/BREQ	197	R33/BACK	249	SEG35
42	SEG77	94	SEG123	146	K02	198	COM0	250	SEG36
43	SEG78	95	SEG124	147	K01	199	COM1	251	SEG37
44	SEG79	96	SEG125	148	K00	200	COM2	252	SEG38
45	SEG80	97	COM31	149	P17/TOUT2/TOUT3	201	COM3	253	V <sub>SS</sub>
46	SEG81	98	COM30	150	P16/FOUT	202	COM4	254	N.C.
47	SEG82	99	COM29	151	P15/TOUT2/TOUT3	203	COM5	255	N.C.
48	SEG83	100	COM28	152	P14/TOUT0/TOUT1	204	COM6	256	N.C.
49	SEG84	101	COM27	153	P13/SRDY	205	COM7	-	-
50	SEG85	102	COM26	154	P12/SCLK	206	COM8	-	-
51	SEG86	103	COM25	155	P11/SOUT	207	COM9	-	-
52	SEG87	104	COM24	156	P10/SIN	208	COM10	-	-

図1.3.1.1 S1C88650端子配置図

## 1.3.2 端子説明

表1.3.2.1 S1C88650端子説明

端子名	端子No.	In/Out	機能
VDD	131, 189	—	電源(+)端子
VSS	67, 134, 195, 253	—	電源(GND)端子
VD1	135	—	内部ロジックおよび発振系定電圧回路出力端子
VD2	113	—	LCD回路用電源昇圧出力端子
VC1~VC5	125~121	—	LCD系駆動電圧出力端子
CA~CG	120~114	—	LCD昇圧コンデンサ接続端子/電源電圧昇圧コンデンサ接続端子
OSC1	136	I	OSC1発振入力端子(水晶/CR発振をマスクオプションで選択)
OSC2	137	O	OSC1発振出力端子
OSC3	132	I	OSC3発振入力端子(水晶/セラミック/CR発振をマスクオプションで選択)
OSC4	133	O	OSC3発振出力端子
MCU/MPU	140	I	MCUモード/MPUモード設定端子
K00~K02	148~146	I	入力ポート(K00~K02)端子
K03/BREQ	145	I	入力ポート(K03)端子またはバスリクエスト信号(BREQ)入力端
K04/EXCL0	144	I	入力ポート(K04)端子またはプログラマブルタイマ外部クロック(EXCL0)入力端子
K05/EXCL1	143	I	入力ポート(K05)端子またはプログラマブルタイマ外部クロック(EXCL1)入力端子
K06/EXCL2	142	I	入力ポート(K06)端子またはプログラマブルタイマ外部クロック(EXCL2)入力端子
K07/EXCL3	141	I	入力ポート(K07)端子またはプログラマブルタイマ外部クロック(EXCL3)入力端子
R00~R07/A0~A7	165~172	O	出力ポート(R00~R07)端子またはアドレスバス(A0~A7)
R10~R17/A8~A15	173~180	O	出力ポート(R10~R17)端子またはアドレスバス(A8~A15)
R20~R23/A16~A19	181~184	O	出力ポート(R20~R23)端子またはアドレスバス(A16~A19)
R24/RD	185	O	出力ポート(R24)端子またはリード信号(RD)出力端子
R25/WR	186	O	出力ポート(R25)端子またはライト信号(WR)出力端子
R30~R32/CE0~CE2	187, 188, 196	O	出力ポート(R30~R32)端子またはチップイネーブル信号(CE0~CE2)出力端子
R33 (BACK)	197	O	出力ポート(R33)端子またはバスアクノリッジ信号(BACK)出力端子
P00~P07/D0~D7	164~157	I/O	入出力兼用ポート(P00~P07)端子またはデータバス(D0~D7)
P10/SIN	156	I/O	入出力兼用ポート(P10)端子またはシリアルI/Fデータ入力(SIN)端子
P11/SOUT	155	I/O	入出力兼用ポート(P11)端子またはシリアルI/Fデータ出力(SOUT)端子
P12/SCLK	154	I/O	入出力兼用ポート(P12)端子またはシリアルI/Fクロック(SCLK)入出力端子
P13/SRDY	153	I/O	入出力兼用ポート(P13)端子またはシリアルI/Fレディ信号(SRDY)出力端子
P14/TOUT0/TOUT1	152	I/O	入出力兼用ポート(P14)端子またはプログラマブルタイマアンダーフロー信号(TOUT0/TOUT1)出力端子
P15/TOUT2/TOUT3	151	I/O	入出力兼用ポート(P15)端子またはプログラマブルタイマアンダーフロー信号(TOUT2/TOUT3)出力端子
P16/FOUT	150	I/O	入出力兼用ポート(P16)端子またはクロック(FOUT)出力端子
P17/TOUT2/TOUT3	149	I/O	入出力兼用ポート(P17)端子またはプログラマブルタイマアンダーフロー反転信号(TOUT2/TOUT3)出力端子
COM0~COM31	198~213, 112~97	O	LCDコモン出力端子
SEG0~SEG125	214~252, 4~61, 68~96	O	LCDセグメント出力端子
RESET	139	I	イニシャルリセット入力端子
TEST	138	I	テスト用入力端子
TEST	3	—	テスト端子(通常動作時はオープン)

## 1.4 マスクオプション

S1C88650には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。本マニュアルの回路説明を参照してシステムに合った内容を選択し、 に印をつけてください。

なお、使用しない機能についても解説にしたがって必ず記入してください。

このオプションリストを参照して、マスクオプション選択をファンクションオプションジェネレータ winfogの画面上で行います。winfogによって作成したデータをもとに最終的なICのマスクパターンが生成されます。winfogについては"S5U1C88000C Manual II"を参照してください。

### RERIPHERAL CIRCUIT BOARDオプションリスト

ICE (S5U1C88000H5)に組み込むPeripheral Circuit Board (S5U1C88000P1&S5U1C88649P2)に対して設定できるオプションです。ICのマスクオプションには影響ありません。

#### A OSC1発振回路

OSC1 SYSTEM CLOCK

1. 内部クロック
2. ユーザクロック

ユーザクロックを選択した場合、OSC1端子から任意のクロックを入力してください。また、内部クロックを選択した場合、ICのマスクオプションリストによって選択された発振回路オプションにより、使用できる周波数が異なります。

#### B OSC3発振回路

OSC3 SYSTEM CLOCK

1. 内部クロック
2. ユーザクロック

ユーザクロックを選択した場合、OSC3端子から任意のクロックを入力してください。また、内部クロックを選択した場合、ICのマスクオプションリストによって選択された発振回路オプションにより、使用できる周波数が異なります。

### S1C88650マスクオプションリスト

ICのマスクパターンを生成するためのオプションリストです。ICEに組み込むPeripheral Circuit Boardにおいては一部選択できない項目があります。

#### 1 OSC1発振回路

OSC1 SYSTEM CLOCK

1. 水晶発振回路
2. CR発振回路

OSC1発振回路の種類を、水晶発振、CR発振から選択できます。詳細については、"5.4.3 OSC1発振回路"を参照してください。

#### 2 OSC3発振回路

OSC3 SYSTEM CLOCK

1. 水晶発振回路
2. セラミック発振回路
3. CR発振回路

OSC3発振回路の種類を、水晶発振、セラミック発振、CR発振から選択できます。詳細については、"5.4.4 OSC3発振回路"を参照してください。

#### 3 キー同時押しリセット

MULTIPLE KEY ENTRY RESET

- ・組み合わせ ..
1. 使用しない
  2. 使用する K00, K01
  3. 使用する K00, K01, K02
  4. 使用する K00, K01, K02, K03

複数キーの同時押しによってICをリセットする機能を使用するかしないかをマスクオプションで選択できます。使用する場合は、キーを接続する入力ポート(K00～K03)の組み合わせを選択します。詳細については"4.1.2 入力ポート(K00～K03)の同時LOWレベル入力"を参照してください。

#### 4 入力ポートプルアップ抵抗

INPUT PORT PULL UP RESISTOR

- ・ K00 ..... 1. 抵抗あり 2. 抵抗なし
- ・ K01 ..... 1. 抵抗あり 2. 抵抗なし
- ・ K02 ..... 1. 抵抗あり 2. 抵抗なし
- ・ K03 ..... 1. 抵抗あり 2. 抵抗なし
- ・ K04 ..... 1. 抵抗あり 2. 抵抗なし
- ・ K05 ..... 1. 抵抗あり 2. 抵抗なし
- ・ K06 ..... 1. 抵抗あり 2. 抵抗なし
- ・ K07 ..... 1. 抵抗あり 2. 抵抗なし
- ・ MCU/MPU ... 1. 抵抗あり 2. 抵抗なし
- ・ RESET ..... 1. 抵抗あり 2. 抵抗なし

入力(K)ポートにプルアップ抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"5.5 入力ポート(Kポート)"を参照してください。

また、MCU/MPU端子およびRESET端子にもプルアップ抵抗を付加するかしないか選択できます。

## 5 入出力兼用ポートプルアップ抵抗

## I/O PORT PULL UP RESISTOR

・ P00 .....	1. 抵抗あり	2. 抵抗なし
・ P01 .....	1. 抵抗あり	2. 抵抗なし
・ P02 .....	1. 抵抗あり	2. 抵抗なし
・ P03 .....	1. 抵抗あり	2. 抵抗なし
・ P04 .....	1. 抵抗あり	2. 抵抗なし
・ P05 .....	1. 抵抗あり	2. 抵抗なし
・ P06 .....	1. 抵抗あり	2. 抵抗なし
・ P07 .....	1. 抵抗あり	2. 抵抗なし
・ P10 .....	1. 抵抗あり	2. 抵抗なし
・ P11 .....	1. 抵抗あり	2. 抵抗なし
・ P12 .....	1. 抵抗あり	2. 抵抗なし
・ P13 .....	1. 抵抗あり	2. 抵抗なし
・ P14 .....	1. 抵抗あり	2. 抵抗なし
・ P15 .....	1. 抵抗あり	2. 抵抗なし
・ P16 .....	1. 抵抗あり	2. 抵抗なし
・ P17 .....	1. 抵抗あり	2. 抵抗なし

入出力兼用(P)ポートが入力モード時に働くプルアップ抵抗を付加するかしないか選択できます。この選択は入出力兼用ポートの各ビットごとに行えます。詳細については"5.7 入出力兼用ポート(Pポート)"を参照してください。

## 6 入力ポート入力インタフェースレベル

## INPUT PORT INPUT I/F LEVEL

・ K00 .....	1. CMOSレベル	2. CMOSシュミット
・ K01 .....	1. CMOSレベル	2. CMOSシュミット
・ K02 .....	1. CMOSレベル	2. CMOSシュミット
・ K03 .....	1. CMOSレベル	2. CMOSシュミット
・ K04 .....	1. CMOSレベル	2. CMOSシュミット
・ K05 .....	1. CMOSレベル	2. CMOSシュミット
・ K06 .....	1. CMOSレベル	2. CMOSシュミット
・ K07 .....	1. CMOSレベル	2. CMOSシュミット

入力(K)ポートの入力インタフェースレベルをCMOSレベルにするか、CMOSシュミットレベルにするか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"5.5 入力ポート(Kポート)"を参照してください。

ICEでは、このオプションの選択にかかわらずCMOSレベル固定になります。

## 7 入出力兼用ポート入力インタフェースレベル

## I/O PORT INPUT I/F LEVEL

・ P10 .....	1. CMOSレベル	2. CMOSシュミット
・ P11 .....	1. CMOSレベル	2. CMOSシュミット
・ P12 .....	1. CMOSレベル	2. CMOSシュミット
・ P13 .....	1. CMOSレベル	2. CMOSシュミット
・ P14 .....	1. CMOSレベル	2. CMOSシュミット
・ P15 .....	1. CMOSレベル	2. CMOSシュミット
・ P16 .....	1. CMOSレベル	2. CMOSシュミット
・ P17 .....	1. CMOSレベル	2. CMOSシュミット

入出力兼用(P)ポートの入力インタフェースレベルをCMOSレベルにするか、CMOSシュミットレベルにするか選択できます。この選択は入出力兼用ポートの各ビットごとに行えます。詳細については"5.7 入出力兼用ポート(Pポート)"を参照してください。

ICEでは、このオプションの選択にかかわらずCMOSレベル固定になります。

## 8 ウォッチドッグタイマNMI発生周期

## WATCHDOG TIMER NMI GENERATION CYCLE

1.  $32768/f_{osc1}$   
( $f_{osc1}=32\text{kHz}$ 時 0.75 ~ 1秒周期)
2.  $65536/f_{osc1}$   
( $f_{osc1}=32\text{kHz}$ 時 1.5 ~ 2秒周期)
3.  $131072/f_{osc1}$   
( $f_{osc1}=32\text{kHz}$ 時 3 ~ 4秒周期)
4.  $262144/f_{osc1}$   
( $f_{osc1}=32\text{kHz}$ 時 6 ~ 8秒周期)

ウォッチドッグタイマのNMI発生周期を選択することができます。詳細については"5.3.1 ウォッチドッグタイマの構成"を参照してください。

## 2 電源

ここでは、S1C88650の動作電圧、および内部電源回路の構成について説明します。

### 2.1 動作電圧

S1C88650の動作電源電圧は次のとおりです。

1.8V ~ 3.6V

### 2.2 内部電源回路

S1C88650は図2.2.1に示す電源回路を内蔵しており、前記の範囲内の電圧を $V_{DD}(+)$ 、 $V_{SS}(GND)$ 間に供給することによって内部回路に必要なすべての電圧をIC内部で発生します。

電源回路は大きく3つに分けられます。

表2.2.1 電源回路

回路系	電源回路	出力電圧
発振回路、内部回路	内部定電圧回路	$V_{D1}$
LCD系定電圧回路	電源電圧昇圧回路	$V_{DD}$ または $V_{D2}$
LCDドライバ	LCD系定電圧回路	$V_{C1} \sim V_{C5}$

内部定電圧回路は、内部ロジック回路と発振回路の動作電圧 $<V_{D1}>$ を発生します。

$V_{D1}$ の電圧値は1.8V(Typ.)に固定されています。

電源電圧昇圧回路は、LCD系定電圧回路の動作電圧 $<V_{D2}>$ を発生します。

電源電圧 $<V_{DD}>$ に応じて、LCD系定電圧回路の電源として、 $<V_{DD}>$ を供給するか $<V_{D2}>$ を供給するかを選択します。

表2.2.2 LCD系定電圧回路の電源

電源電圧 $V_{DD}$	LCD系定電圧回路電源
1.8 ~ 2.5V	$V_{D2}$
2.5 ~ 3.6V	$V_{DD}$

$V_{D2}$ の電圧値は $V_{DD}$ のおおよそ2倍の値になります。詳細については"8 電気的特性"を参照してください。

LCD系定電圧回路はLCDの1/5バイアス用駆動電圧 $<V_{C1}>$ 、 $<V_{C2}>$ 、 $<V_{C3}>$ 、 $<V_{C4}>$ 、 $<V_{C5}>$ を発生します。各電圧値については"8 電気的特性"を参照してください。

S1C88650では、内蔵されたLCDドライバにこのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

注! •  $V_{D1}$ 、 $V_{D2}$ 、 $V_{C1}$ 、 $V_{C2}$ 、 $V_{C3}$ 、 $V_{C4}$ 、 $V_{C5}$ 端子の出力を外部回路の駆動には絶対に使用しないでください。

•  $V_{DD} = 2.5V$ 以下のときにLCD系定電圧回路の電源として $V_{DD}$ を使用すると、 $V_{C1} \sim V_{C5}$ の電圧は正しい電圧とはなりません。

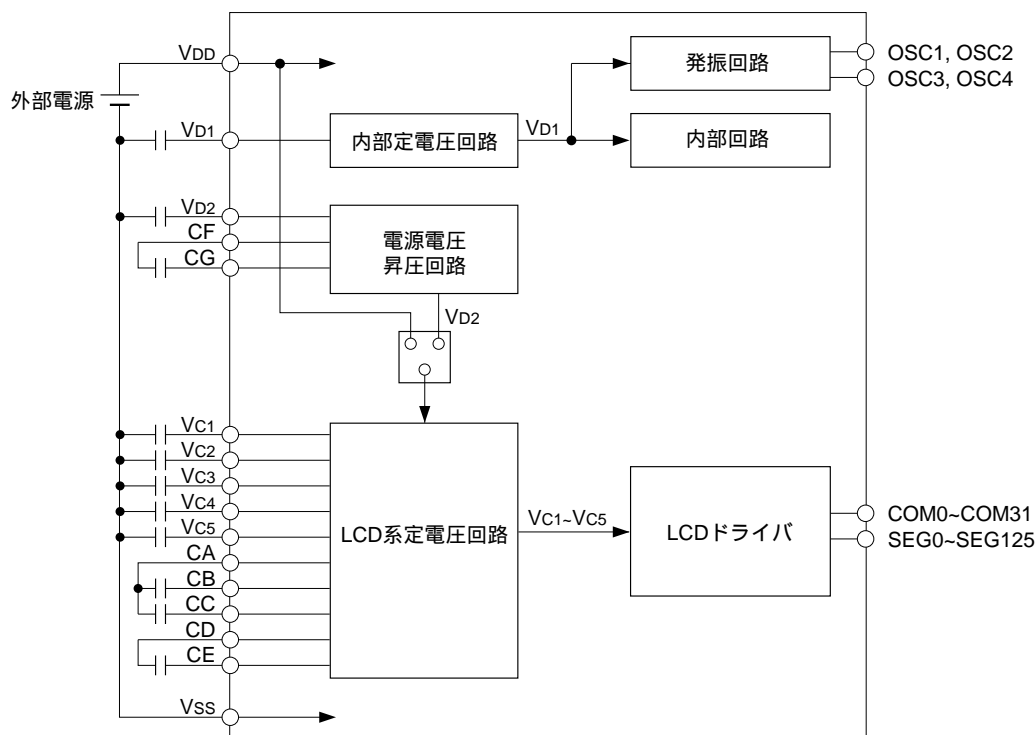


図2.2.1 電源回路の構成



## 3 CPUとバスの構成

ここでは、CPUと動作モード、およびバスの構成について説明します。

### 3.1 CPU

S1C88650はCPUとして8ビットコアCPU S1C88を使用しており、レジスタ構成、命令等は他のS1C88を使用したファミリプロセッサとほぼ同様です。S1C88については"S1C88コアCPUマニュアル"を参照してください。

使用しているS1C88のCPUモデルはMODEL3で、S1C88650の場合、アドレス空間は最大1Mバイト×3となっています。

### 3.2 内蔵メモリ

S1C88650は図3.2.1に示すROMおよびRAMを内蔵しており、小規模なアプリケーションには1チップで対応することができます。この内蔵メモリは外部メモリと合わせて使用可能です。また、内蔵ROMをバスから切り離して、所定の空間を外部に解放することもできます。

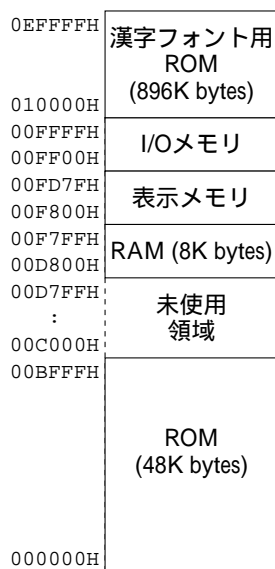


図3.2.1 内蔵メモリマップ

#### 3.2.1 プログラムROM

内蔵プログラムROMの容量は48Kバイトで、000000H～00BFFFHに配置されています。このROM領域はMCU/MPU端子の設定によって、外部メモリに解放することができます("3.5 チップモード"参照)。

#### 3.2.2 RAM

内蔵RAMの容量は8Kバイトで、00D800H～00F7FFHに配置されています。

なお、内蔵RAM領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常に内蔵RAMに対して行われます。

#### 3.2.3 I/Oメモリ

S1C88650では、内蔵する周辺回路とのインタフェースにメモリマップドI/O方式を採用しています。各周辺回路の制御ビットやデータレジスタはメモリ空間上に配置され、通常のメモリアクセスによって制御およびデータのやりとりが行えます。I/Oメモリが配置されている領域は00FF00H～00FFFFHです。I/Oメモリの詳細については"5.1 I/Oメモリマップ"を参照してください。

なお、I/Oメモリ領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常にI/Oメモリに対して行われます。

#### 3.2.4 表示メモリ

S1C88650はLCDドライバの表示データを保持する表示メモリを内蔵しています。表示メモリが配置されている領域は00Fx00H～00Fx7FH(x=8～DH)です。表示メモリの詳細については"5.11 LCDドライバ"を参照してください。

表示メモリの領域もI/Oメモリと同様に外部メモリには解放されません。

#### 3.2.5 漢字フォント用ROM

S1C88650は、JIS第1水準、JIS第2水準、非漢字のフォントおよびMusic shift JISフォントのデータを格納するための漢字フォント用ROMを内蔵しています。

ROMの容量は896Kバイトで、010000H～0EFFFFHに配置されています。

このROMは、漢字フォントを使用しない場合や、フォントデータの未使用領域をプログラムおよびデータ格納用として使用することができます(フォントデータの取り扱いに関しては、"S5U1C88xxxRx Manual"を参照)。

このROM領域はMCU/MPU端子の設定によって、外部メモリに解放することができます("3.5 チップモード"参照)。



### 3.3 例外処理ベクタ

S1C88650ではプログラム領域の000000H～00004BHが例外処理ベクタとして割り当てられています。また、00004EH～0000FFHまでは任意の偶数番地から始まる2バイトにソフトウェア割り込みのベクタを割り付けることができます。

表3.3.1にベクタアドレスと例外処理要因の対応を示します。

表3.3.1 ベクタアドレスと例外処理要因の対応

ベクタ アドレス	例外処理要因	優先 順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	K07入力割り込み	
000008H	K06入力割り込み	
00000AH	K05入力割り込み	
00000CH	K04入力割り込み	
00000EH	K03入力割り込み	
000010H	K02入力割り込み	
000012H	K01入力割り込み	
000014H	K00入力割り込み	
000016H	Pタイマ0アンダーフロー割り込み	
000018H	Pタイマ0コンペアマッチ割り込み	
00001AH	Pタイマ1アンダーフロー割り込み	
00001CH	Pタイマ1コンペアマッチ割り込み	
00001EH	Pタイマ2アンダーフロー割り込み	
000020H	Pタイマ2コンペアマッチ割り込み	
000022H	Pタイマ3アンダーフロー割り込み	
000024H	Pタイマ3コンペアマッチ割り込み	
000026H	システム予約 (使用不可)	
000028H	シリアルI/Fエラー割り込み	
00002AH	シリアルI/F受信完了割り込み	
00002CH	シリアルI/F送信完了割り込み	
00002EH	システム予約 (使用不可)	低い
000030H	システム予約 (使用不可)	
000032H	システム予約 (使用不可)	
000034H	計時タイマ 32Hz割り込み	
000036H	計時タイマ 8Hz割り込み	
000038H	計時タイマ 2Hz割り込み	
00003AH	計時タイマ 1Hz割り込み	
00003CH	Pタイマ4アンダーフロー割り込み	
00003EH	Pタイマ4コンペアマッチ割り込み	
000040H	Pタイマ5アンダーフロー割り込み	
000042H	Pタイマ5コンペアマッチ割り込み	なし
000044H	Pタイマ6アンダーフロー割り込み	
000046H	Pタイマ6コンペアマッチ割り込み	
000048H	Pタイマ7アンダーフロー割り込み	
00004AH	Pタイマ7コンペアマッチ割り込み	
00004CH	システム予約 (使用不可)	
00004EH : 0000FEH	ソフトウェア割り込み	

各ベクタアドレスとその次のアドレスに、例外処理ルーチンの先頭アドレスを下位、上位の順に格納しておきます。例外処理要因が発生すると、設定されたアドレスから始まる例外処理ルーチンを実行します。

同時に複数の例外処理が発生した場合は優先順位の高いものから先に実行されます。

なお、表3.3.1に示された割り込みの優先順位は、割り込み優先レベルがすべて同じ場合のもので、各割り込みの優先レベルは系列ごとにソフトウェアで設定することができます。("5.14 割り込みとスタンバイ状態"参照)

注! リセット以外の例外処理ではSC(システムコンディションフラグ)およびPC(プログラムカウンタ)をスタックに退避させ、各例外処理ルーチンに分岐します。したがって、例外処理ルーチンからメインルーチンに戻す際にはRETE命令を使用してください。

例外処理要因発生時のCPUの動作については"S1C88コアCPUマニュアル"を参照してください。

### 3.4 CC (カスタマイズコンディションフラグ)

S1C88650ではコアCPU内のカスタマイズコンディションフラグ(CC)を使用していません。したがって、条件付き分岐命令(JRS、CARS)の分岐条件として使用することはできません。

## 3.5 チップモード

### 3.5.1 MCUモードとMPUモード

S1C88650はMCU/MPU端子によってチップの動作モードを次の2種類に設定できます。

MCUモード ... MCU/MPU端子をHIGHに設定  
内蔵ROMを使用する場合に設定します。内蔵メモリ以外の領域については外部メモリの拡張も行えます。メモリマップについては"3.5.2 バスモード"を参照してください。

MCUモードではイニシャルリセット時に内蔵メモリのみのシステムとして起動するようになっています。内蔵プログラムROMはプログラムメモリのコモンエリア(論理空間の0000H～7FFFH)部として常時固定となり、例外処理ベクタは内蔵プログラムROM内に配置されます。また、リセット例外処理によって開始されるアプリケーションの初期化ルーチンについても、内蔵プログラムROMに書き込んでおく必要があります。外部に拡張したメモリに対応させるバス等の設定はソフトウェアによって行えますので、内蔵プログラムROMに書き込む初期化ルーチンの中でこの処理を行います。このバスモードの設定後、外部メモリのアクセスが行えるようになります。

このモードでは内蔵メモリの領域をアクセスする際、外部メモリに対してチップイネーブル( $\overline{CE}$ )信号およびリード( $\overline{RD}$ )/ライト( $\overline{WR}$ )信号が出力されず、データバス(D0～D7)はハイインピーダンス(またはプルアップ状態)となります。したがって、外部メモリと内蔵メモリでアドレスが重複した場合、外部メモリのその領域は無効となります。

**MPUモード** ...  $\overline{MCU/MPU}$ 端子をLOWに設定  
内蔵ROM領域を外部に解放します。内蔵ROMは使用できなくなり、この領域のアクセス時には外部メモリに対してチップイネーブル( $\overline{CE}$ )信号およびリード( $\overline{RD}$ )/ライト( $\overline{WR}$ )信号が出力され、データバス(D0～D7)がアクティブとなります。他の内蔵メモリの領域をアクセスする際には、これらの信号は外部に出力されません。

MPUモードでは外部のメモリによってシステムが起動します。

このモードで使用する場合、例外処理ベクタと初期化ルーチンを、必ずコモンエリア(000000H～007FFFH)内に配置する必要があります。

$\overline{MCU/MPU}$ 端子の内蔵プルアップ抵抗は、マスクオプションで使用するかしないかを選択することができます。

入力ポートプルアップ抵抗
$\overline{MCU/MPU}$ ..... 抵抗あり      抵抗なし

- 注!
- $\overline{MCU/MPU}$ 端子の設定は、RESET端子の立ち上がりエッジでラッチされますので、設定を変更する場合はRESET端子を再度LOWレベルとする必要があります。
  - 内蔵メモリアクセス時にデータバスをハイインピーダンスにするかプルアップするかは、プルアップコントロールレジスタおよびマスクオプションによって選択することができます。詳細は"5.7 入出力兼用ポート(Pポート)"を参照してください。

### 3.5.2 バスモード

バスモードは外部に拡張したメモリの構成にバスの仕様を合わせるための設定で、以下の2種類がソフトウェアによって選択できます。

#### シングルチップモード

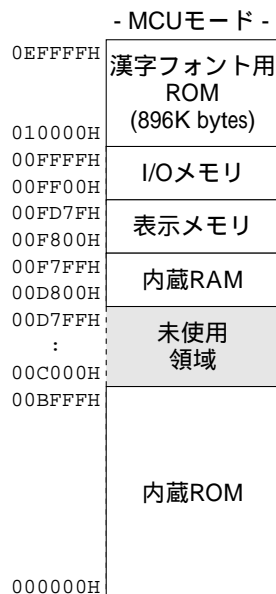


図3.5.2.1 シングルチップモードのメモリマップ

シングルチップモードは外部メモリの拡張を行わずにS1C88650をシングルチップマイクロコンピュータとして使用する場合に設定するモードです。

このモードでは内蔵ROMを使用するため、前項で示したMCUモードでのみ動作します。MPUモードではシングルチップモードを設定することはできません。

外部に対するバスラインが必要なくなるため、バス用に設定されている端子は汎用の出力ポートあるいは入出力兼用ポートとして使用できます。

#### 拡張モード

拡張モードはS1C88650の外部に1Mバイト×3以下のメモリを拡張して使用する場合に設定します。このモードはMCU/MPUモードにかかわらず設定できます。

MCUモードでは内蔵ROMが有効となり、100000Hから3FFFFFFHまでの領域に外部メモリ等を割り当てることができます。

MPUモードでは内蔵ROM領域が解放されますので、000000Hから2FFFFFFHまでの領域に外部メモリ等を割り当てることができます。

ただし、00C000Hから00FFFFFFHまでの領域は内蔵RAM等に割り当てられており、外部デバイスをアクセスすることはできません。

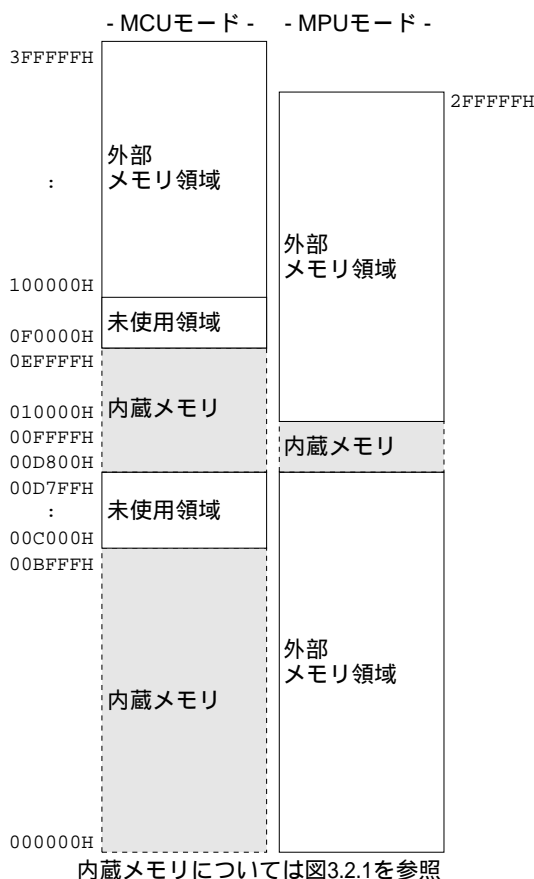


図3.5.2.2 拡張モードのメモリマップ

各モードの設定方法については"5.2 システムコントローラとバスの制御"で説明します。

### 3.5.3 CPUモード

CPUの動作については、プログラミング領域に応じて、以下の2種類がソフトウェアによって選択できます。

#### ミニマムモード

プログラム領域は、任意の1バンクエリアの64Kバイト以内に設定されます。ただし、CBレジスタは任意の1バンクを設定しておく必要があります。サブルーチンコール時にCBレジスタをスタックしないため、スタック領域が節約できます。プログラム容量が小～中規模、データ容量が大規模なシステムに適しています。

#### マキシマムモード

プログラム領域は、64Kバイトを越える領域で使うことが可能です。ただし、64Kバイトを越える領域をアクセスするためにはCBレジスタを設定しなくてはなりません。サブルーチンコール時にCBレジスタをスタックします。プログラム容量、データ容量ともに大規模なシステムに適しています。

## 3.6 外部バス

S1C88650は最大1Mバイト×3のアドレッシングが可能なバス端子を持ち、前項に示した各バスモードの範囲にしたがって、外部にメモリ等のデバイスを拡張することができます。

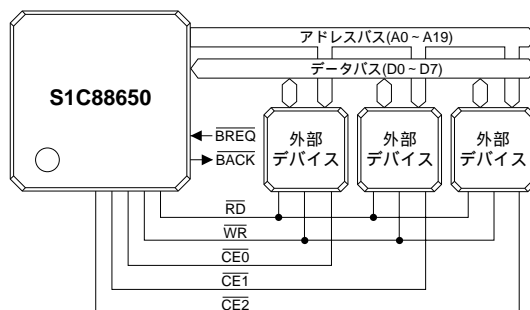


図3.6.1 外部バスライン

以下に外部バス端子の概要を説明します。制御方法については"5.2 システムコントローラとバスの制御"を参照してください。

### 3.6.1 データバス

S1C88650は8ビットの外部データバス(D0～D7)を持っています。データバスD0～D7は、端子および入出力回路が入出力兼用ポートP00～P07と共用されており、バスモードの設定によって機能が切り換わります。

シングルチップモードでは8ビットの端子がすべて入出力兼用ポートP00～P07として設定され、拡張モードではデータバス(D0～D7)に設定されます。データバスに設定された場合、各入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは入出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

このデータバスにおいては、入力モード時にプルアップ抵抗をONするかしないかを、プルアップコントロールレジスタおよびマスクオプションによって選択することができます。詳細は"5.7 入出力兼用ポート(Pポート)"を参照してください。

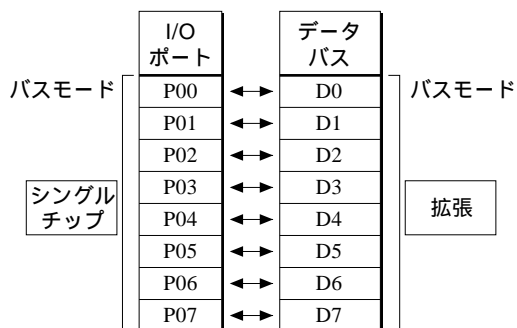


図3.6.1.1 データバスと入出力兼用ポートの対応

### 3.6.2 アドレスバス

S1C88650は20ビットの外部アドレスバス(A0～A19)を持っています。アドレスバスA0～A19は、端子および出力回路が出力ポートR00～R07(A0～A7)、R10～R17(A8～A15)、R20～R23(A16～A19)と共用されており、バスモードの設定によって機能が切り換わります。

シングルチップモードでは20ビットの端子がすべて出力ポートR00～R07、R10～R17、R20～R23として設定されます。

拡張モードでは20ビットの端子がすべてアドレスバス(A0～A19)として設定されます。

アドレスバスに設定された場合、各出力ポートのデータレジスタとハイインピーダンス制御レジスタは出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

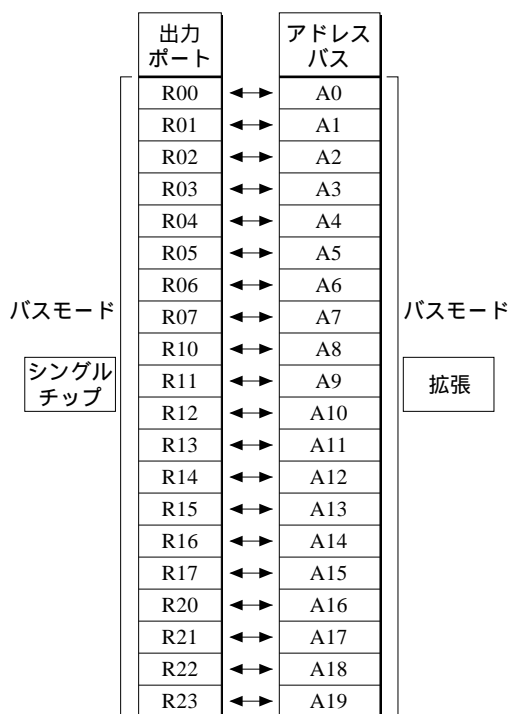


図3.6.2.1 アドレスバスと出力ポートの対応

### 3.6.3 リード(RD)/ライト(WR)信号

外部デバイスに対するリード(RD)/ライト(WR)信号の出力端子および出力回路はそれぞれ出力ポートR24、R25と共用されており、バスモードの設定によって機能の切り換えが行われます。

シングルチップモードではどちらの端子も出力ポート端子として設定され、拡張モードではリード(RD)/ライト(WR)信号出力端子に設定されます。

リード(RD)/ライト(WR)信号出力端子に設定された場合、出力ポートR24、R25のデータレジスタとハイインピーダンス制御レジスタは出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

信号の出力タイミングについては"3.6.5 ウェイト制御"を参照してください。

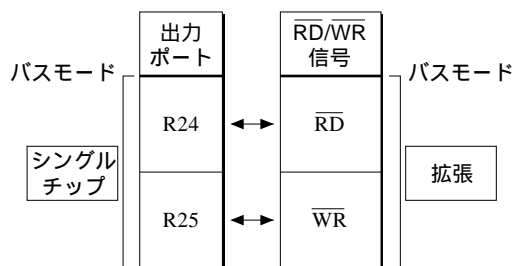


図3.6.3.1 リード(RD)/ライト(WR)信号と出力ポートの対応

### 3.6.4 チップイネーブル( $\overline{CE}$ )信号

S1C88650はチップイネーブル( $\overline{CE}$ )信号を最大3本出力することのできるアドレスデコーダを内蔵しています。これにより、外部にアドレスデコーダを設けることなしに、チップイネーブル( $\overline{CE}$ )またはチップセレクト( $\overline{CS}$ )端子を持つ3個のデバイスを直接、接続することができます。

3本のチップイネーブル( $\overline{CE0}$ ～ $\overline{CE2}$ )信号の出力端子および出力回路は出力ポートR30～R32と共用されており、シングルチップモード以外のモードの場合に、チップイネーブル( $\overline{CE}$ )と出力ポートのどちらに設定するかをソフトウェアで3ビット個々に選択することができます。

チップイネーブル( $\overline{CE}$ )出力に設定した場合、その出力ポートのデータレジスタとハイインピーダンス制御レジスタは出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

シングルチップモードの場合は出力ポートR30～R32として固定されます。

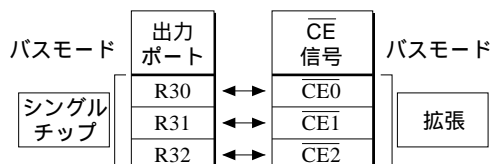


図3.6.4.1  $\overline{CE}$ 信号と出力ポートの対応

表3.6.4.1に、拡張モードにおいて割り当てられるチップイネーブル( $\overline{CE}$ )信号のアドレス範囲を示します。

表3.6.4.1  $\overline{\text{CE0}} \sim \overline{\text{CE2}}$ のアドレス設定

$\overline{\text{CE}}$ 信号	アドレス範囲(拡張モード)	
	MCUモード	MPUモード
$\overline{\text{CE0}}$	300000H~3FFFFFFH	000000H~00D7FFH, 010000H~0FFFFFFH
$\overline{\text{CE1}}$	100000H~1FFFFFFH	100000H~1FFFFFFH
$\overline{\text{CE2}}$	200000H~2FFFFFFH	200000H~2FFFFFFH

内蔵メモリ領域のアクセス時には $\overline{\text{CE}}$ 信号が出力されません。その部分のアドレス範囲が変則的な設定になりますので注意してください。

メモリ空間への外部デバイスの配置は必ずしも下位アドレスから連続させる必要はなく、任意のチップイネーブル信号を用いてその領域に割り当てることができます。

注!  $\overline{\text{CE}}$ 信号はICがスタンバイモード(HALTモードまたはSLEEPモード)になるとインアクティブとなります。

信号の出力タイミングについては"3.6.5 ウェイト制御"を参照してください。

### 3.6.5 ウェイト制御

S1C88650は、高速動作時における外付け低速デバイスのアクセスを保証するため、アクセスタイム伸長用のウェイト機能を内蔵しています。(ウェイト機能の詳細は"S1C88コアCPUマニュアル"を参照してください。)

挿入するウェイトステート数はソフトウェアによって表3.6.5.1に示す8種類の中から選択できます。

表3.6.5.1 選択可能なウェイトステート数

選択No.	1	2	3	4	5	6	7	8
挿入ステート数	0	2	4	6	8	10	12	14

\* 1ステート長はクロックの1/2サイクルです。

ソフトウェアで設定したウェイトステートはバスサイクルのT3~T4ステート間に挿入されます。ただし、内部レジスタと内蔵メモリのアクセス時、およびOSC1発振回路("5.4 発振回路"参照)での動作時には、ウェイトは挿入されません。したがって、シングルチップモードではウェイトステートの設定は意味を持ちません。

図3.6.5.1にメモリリード/ライトのタイミングチャートを示します。

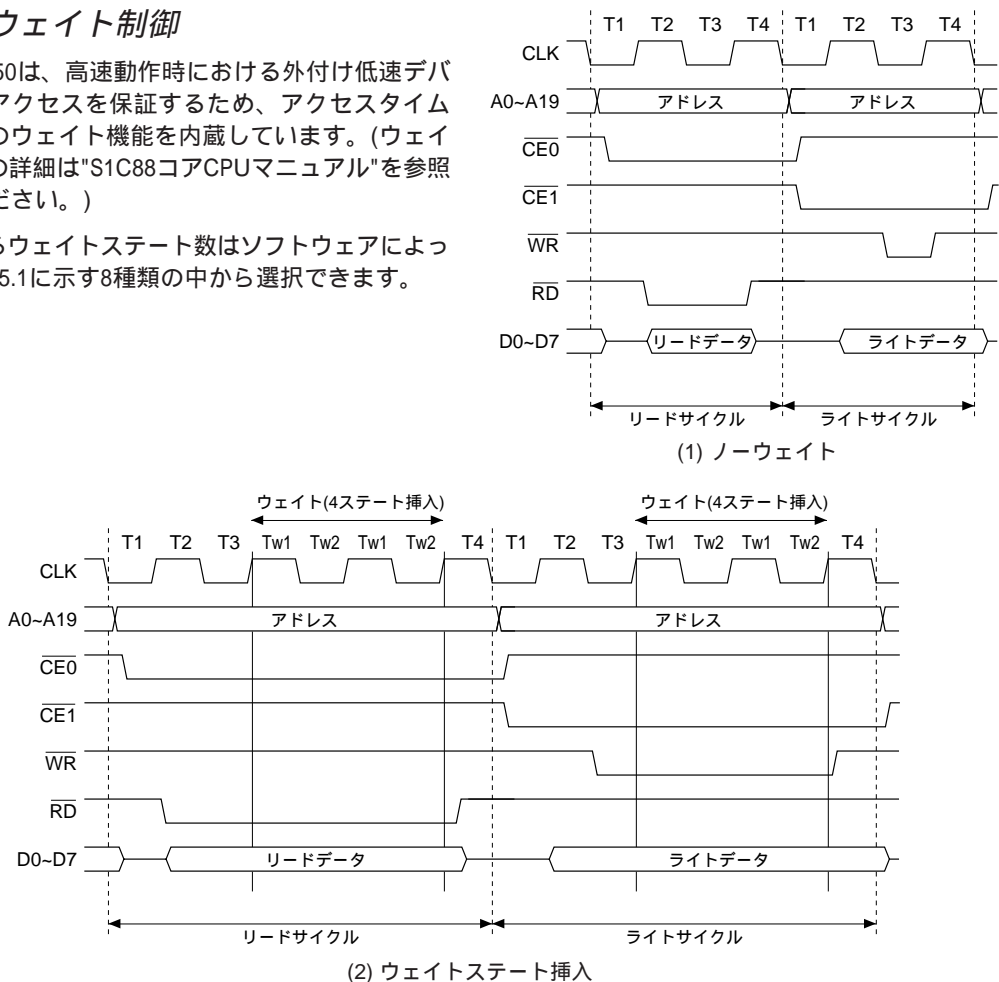


図3.6.5.1 メモリリード/ライトサイクル



### 3.6.6 バス権解放状態

S1C88650は、外部デバイスからの要求によるバス権解放機能を持っており、外部デバイス間でのDMA(Direct Memory Access)転送が行えます。本機能は内蔵メモリへのアクセスはできません。

この機能に使用する端子は、バス権解放要求信号(BREQ)入力端子とバス権解放応答信号(BACK)出力端子の2本が用意されています。

BREQ入力端子はK03入力ポート端子と、BACK出力端子はR33出力ポート端子と共用されており、ソフトウェアによってBREQ/BACK端子に設定して使用します。シングルチップモードの場合、またはバス権解放の必要ないシステムにおいては、それぞれを入力/出力ポートに設定してください。

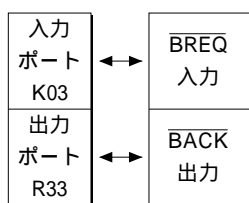


図3.6.6.1 BREQ/BACK端子

外部デバイスからのバス権解放要求(BREQ=LOW)を受け付けると、S1C88650はアドレスバス、データバス、RD/WR信号、およびCE信号の各ラインをハイインピーダンス状態に設定し、BACK端子にLOWレベルを出力してバス権を解放します。外部デバイスはBACK端子にLOWレベルが出力された時点から外部バスを使用することができ、DMA終了後にBREQ端子をHIGHレベルに戻すことでバス権を放棄します。

図3.6.6.2にバス権解放のシーケンスを示します。

バス権解放状態中、外部デバイスからは内蔵メモリをアクセスすることはできません。内蔵メモリの領域と重複した領域を持つ外部メモリがある場合、外部デバイスが出力するCE信号にしたがって外部メモリがアクセスされます。

注! バス権解放状態以外のはきは外部デバイスがバスマスタとならないようシステム上で注意してください。

BREQ端子をLOWレベルにした後BACK端子がLOWレベルになるまで、BREQ端子のLOWレベルを保持してください。

BACK端子がLOWレベルになる以前にBREQ端子をHIGHレベルに戻すと、バス権解放状態への移行が不確定となります。

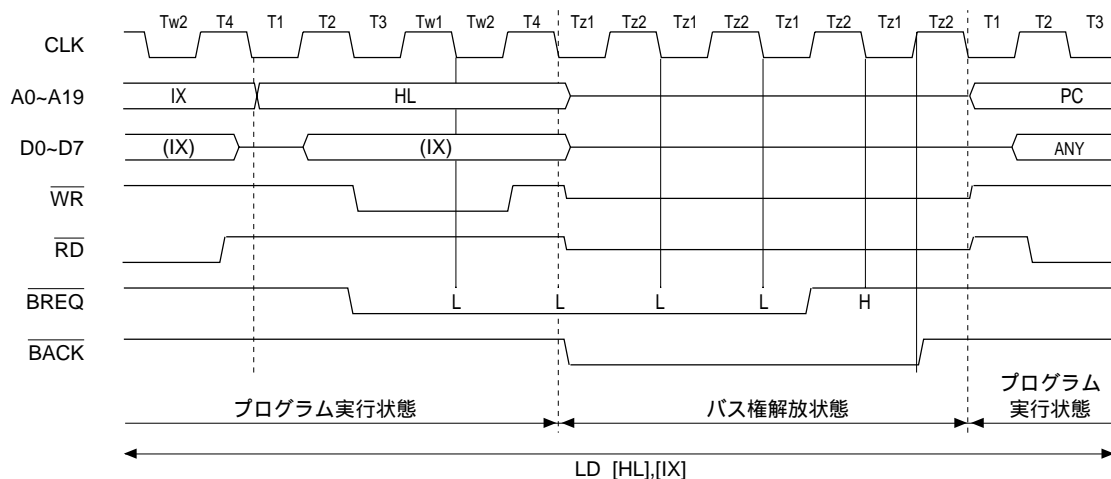


図3.6.6.2 バス権解放のシーケンス

# 4 イニシャルリセット

S1C88650は回路を初期化するためにイニシャルリセットを必要とします。

ここでは、イニシャルリセットの要因と内部レジスタ等の初期設定について説明します。

## 4.1 イニシャルリセット要因

S1C88650のイニシャルリセット要因としては以下の2種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部イニシャルリセット
- (2) 入力ポート(K00 ~ K03端子)の同時LOWレベル入力による外部イニシャルリセット(マスクオプションで設定)

図4.1.1にイニシャルリセット回路の構成を示します。イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット例外処理を開始します。("S1C88コアCPU マニュアル"参照)

これによって、バンク0先頭(000000H ~ 000001H)のリセット例外処理ベクタが読み出され、その読み出されたアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

### 4.1.1 $\overline{\text{RESET}}$ 端子

外部から $\overline{\text{RESET}}$ 端子にLOWレベルを入力することでイニシャルリセットが行えます。

S1C88650を確実に初期化するため、電源電圧立ち上がり後規定の時間 $\overline{\text{RESET}}$ 端子をLOWレベルに保持してください。("8.6 AC特性"参照)

また、電源投入時の初回のイニシャルリセットは必ず $\overline{\text{RESET}}$ 端子を使用してください。 $\overline{\text{RESET}}$ 端子の内蔵プルアップ抵抗はマスクオプションで使用するかしないかを選択することができます。

入力ポートプルアップ抵抗

$\overline{\text{RESET}}$  ..... 抵抗あり

抵抗なし

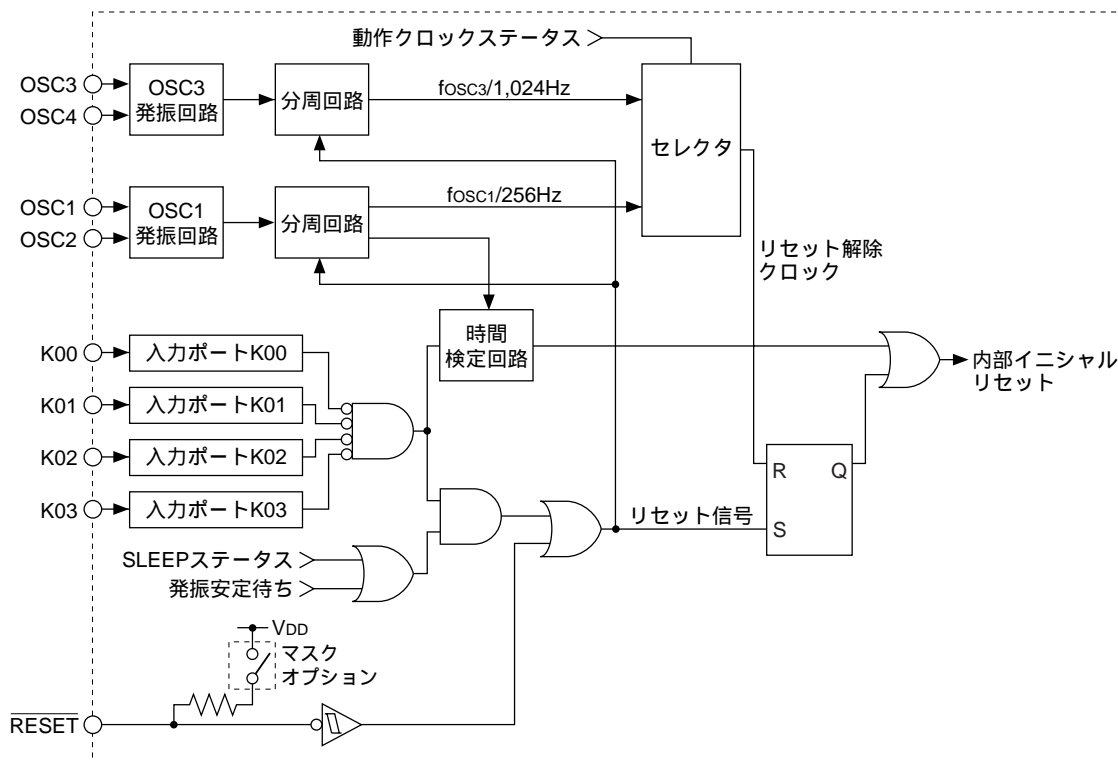


図4.1.1 イニシャルリセット回路の構成

### 4.1.2 入力ポート(K00 ~ K03)の同時 LOWレベル入力

マスクオプションで選択された入力ポート(K00 ~ K03)に、外部から同時にLOWレベルを入力することでイニシャルリセットが行えます。本イニシャルリセット手段は時間検定回路を内蔵しているため、 $65536/f_{osc1}$ 秒(発振周波数 $f_{osc1}=32.768\text{kHz}$ の場合2秒)以上、指定入力ポート端子をLOWレベルに保つ必要があります。

ただし、SLEEP(スタンバイ)状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、指定入力ポートへのLOWレベル同時入力直後にイニシャルリセットがかかります。マスクオプションで選択できる入力ポート(K00 ~ K03)の組合せは次のとおりです。

キー同時押しリセット 使用しない K00 & K01 K00 & K01 & K02 K00 & K01 & K02 & K03
--

たとえば、マスクオプションで"K00 & K01 & K02 & K03"を選択した場合、K00 ~ K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットがかかります。この機能を使用する場合、通常動作時に指定入力ポートが同時にLOWレベルにならないように注意してください。

### 4.1.3 イニシャルリセットシーケンス

電源投入時のRESET端子へのLOWレベル入力解除後、発振安定待ち時間( $512/f_{osc3}$ 秒)が経過するまでCPUの起動は待たされます。

図4.1.3.1にイニシャルリセット解除後の動作シーケンスを示します。

CPUはリセット解除後 $f_{osc3}$ に同期して起動します。

なお、入力ポート(K00 ~ K03)への同時LOWレベル入力によるイニシャルリセット手段を使用する場合は、次の点に注意してください。

- (1) SLEEP状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、LOWレベル同時入力直後にイニシャルリセットがかかります。この場合、LOWレベル同時入力解除後に発振安定時間を待ってCPUが起動します。
- (2) (1)の状態以外はLOWレベル同時入力 $65536/f_{osc1}$ 秒後にイニシャルリセットがかかります。この場合は、S1C88650内部でリセット微分パルス( $64/f_{osc1}$ 秒)が発生されるため、LOWレベル同時入力状態を解除しなくてもCPUは起動します。

注! 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP状態解除時の命令実行までの時間は、下図よりも長くなる場合があります。

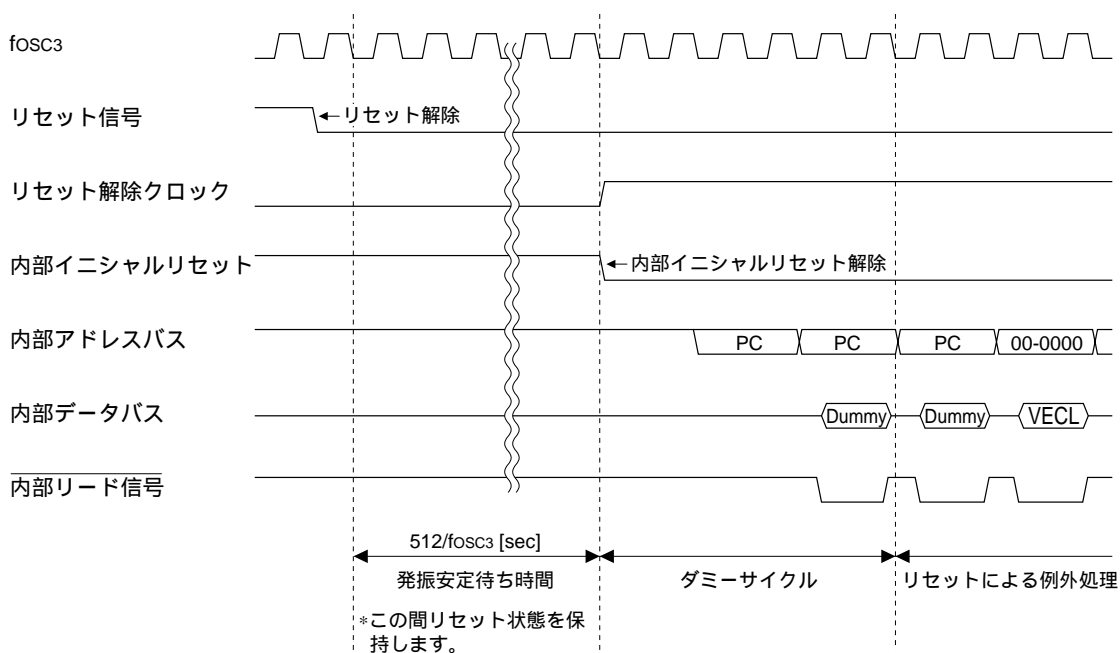


図4.1.3.1 イニシャルリセット解除後の動作シーケンス



## 4.2 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

表4.2.1 初期設定値

レジスタ名称	記号	ビット長	初期値
データレジスタA	A	8	不定
データレジスタB	B	8	不定
インデックス(データ)レジスタL	L	8	不定
インデックス(データ)レジスタH	H	8	不定
インデックスレジスタIX	IX	16	不定
インデックスレジスタIY	IY	16	不定
プログラムカウンタ	PC	16	不定*
スタックポインタ	SP	16	不定
ベースレジスタ	BR	8	不定
ゼロフラグ	Z	1	0
キャリーフラグ	C	1	0
オーバーフローフラグ	V	1	0
ネガティブフラグ	N	1	0
デシマルフラグ	D	1	0
アンパックフラグ	U	1	0
インタラプトフラグ0	I0	1	1
インタラプトフラグ1	I1	1	1
ニューコードバンクレジスタ	NB	8	01H
コードバンクレジスタ	CB	8	不定*
エクスパンドページレジスタ	EP	8	00H
IX用エクスパンドページレジスタ	XP	8	00H
IY用エクスパンドページレジスタ	YP	8	00H

\* リセット例外処理によって、0バンクのメモリの先頭(000000H～000001H)に格納されている値がPCにロードされます。また、このとき同時にNBの初期値01HがCBにロードされます。

イニシャルリセット時に初期化されない(不定)レジスタはソフトウェアで初期化してください。

内蔵RAMおよび表示メモリについてもイニシャルリセット時に初期化されませんので、同様にソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで初期化してください。

イニシャルリセット時の初期値については、次章のI/Oメモリマップまたは各周辺回路の説明を参照してください。

## 5 周辺回路と動作

S1C88650の周辺回路はメモリマップドI/O方式でCPUとインタフェースされています。このため、他のメモリアクセスと同様にI/Oメモリを操作して周辺回路を制御することができます。以下、各周辺回路別にその動作と制御方法を説明します。

### 5.1 I/Oメモリマップ

表5.1.1(a) I/Oメモリマップ(00FF00H~00FF03H)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈	
00FF00 (MCU)	D7	BUSMOD	バスモード		拡張モード	シングルチップ	0	R/W	予約レジスタ	
	D6	CPUMOD	CPUモード		マキシマム	ミニマム	0	R/W		
	D5	—	汎用レジスタ		1	0	0	R/W		
	D4	—	汎用レジスタ		1	0	0	R/W		
	D3	—	汎用レジスタ		1	0	0	R/W		
	D2	CE2	CE2 (R32)	CE信号出力イネーブル	CE2有効	CE2無効	0	R/W	シングルチップ モードの場合、 DC出力に固定	
	D1	CE1	CE1 (R31)	有効: CE信号出力	CE1有効	CE1無効	0	R/W		
	D0	CE0	CE0 (R30)	無効: DC出力(R3x)	CE0有効	CE0無効	0	R/W		
00FF00 (MPU)	D7	BUSMOD	バスモード		拡張モード	—	1	R	拡張モードに固定	
	D6	CPUMOD	CPUモード		マキシマム	ミニマム	0	R/W	予約レジスタ	
	D5	—	汎用レジスタ		1	0	0	R/W		
	D4	—	汎用レジスタ		1	0	0	R/W		
	D3	—	汎用レジスタ		1	0	0	R/W		
	D2	CE2	CE2 (R32)	CE信号出力イネーブル	CE2有効	CE2無効	0	R/W		
	D1	CE1	CE1 (R31)	有効: CE信号出力	CE1有効	CE1無効	0	R/W		
	D0	CE0	CE0 (R30)	無効: DC出力(R3x)	CE0有効	CE0無効	1	R/W		
00FF01	D7	SPP7	スタックポインタページアドレス (MSB)		1	0	0	R/W		
	D6	SPP6			1	0	0	R/W		
	D5	SPP5			1	0	0	R/W		
	D4	SPP4			1	0	0	R/W		
	D3	SPP3			1	0	0	R/W		
	D2	SPP2			1	0	0	R/W		
	D1	SPP1			1	0	0	R/W		
	D0	SPP0			(LSB)	1	0	0		R/W
00FF02	D7	EBR	バス解放イネーブル (K03, R33端子仕様)		K03 R33	BREQ BACK	入力ポート 出力ポート	0	R/W	
	D6	WT2	ウェイトステート制御				0	R/W		
			WT2	WT1	WT0	ステート数				
			1	1	1	14				
	D5	WT1	1	1	0	12		0	R/W	
			1	0	1	10				
			1	0	0	8				
			0	1	1	6				
			0	1	0	4		0	R/W	
	D4	WT0	0	0	1	2				
			0	0	0	ノーウェイト				
	D3	CLKCHG	CPU動作クロック切り換え		OSC3	OSC1	1	R/W		
D2	SOSC3	OSC3発振On/Off制御		On	Off	1	R/W			
D1	—	汎用レジスタ		1	0	0	R/W	予約レジスタ		
D0	—	汎用レジスタ		1	0	0	R/W			
00FF03	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	—	—		—	—	—			
	D5	—	—		—	—	—			
	D4	—	—		—	—	—			
	D3	—	—		—	—	—			
	D2	—	—		—	—	—			
	D1	VDSEL	液晶系定電圧回路用電源選択		VD2	VDD	0	R/W		
	D0	DBON	電源電圧昇圧回路On/Off制御		On	Off	0	R/W		

注! アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

表5.1.1(b) I/Oメモリマップ(00FF10H~00FF14H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF10	D7	HLMOD	重負荷保護モード	On	Off	0	R/W	予約レジスタ
	D6	SEGREV	SEG出力対応反転	反転	通常	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	DTFNT	LCDドットフォント選択	12×12	16×16/5×8	0	R/W	
	D1	LDUTY1	LCD駆動デューティ選択			1	R/W	
			LDUTY1 LDUTY0 デューティ					
			1 1 禁止					
	D0	LDUTY0	1 0 1/16 0 1 1/32 0 0 1/8			0	R/W	
00FF11	D7	FRMCS	LCDフレーム周波数源振クロック選択	Pタイマ	fosc1	0	R/W	SLP命令実行時に (0, 0)にリセット
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	
	D5	LCDC1	LCD表示制御			0	R/W	
			LCDC1 LCDC0 LCD表示					
			1 1 全点灯					
	D4	LCDC0	1 0 全消灯 0 1 通常表示 0 0 駆動Off			0	R/W	
	D3	LC3	LCDコントラスト調整			0	R/W	
	D2	LC2	LC3 LC2 LC1 LC0 コントラスト			0	R/W	
			1 1 1 1 濃					
	D1	LC1	1 1 1 0 :			0	R/W	
00FF12	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	SVDDT	SVD検出データ	Low	Normal	0	R	
	D4	SVDON	SVD回路On/Off	On	Off	0	R/W	
	D3	SVDS3	SVD比較電圧設定			0	R/W	
			SVDS3 SVDS2 SVDS1 SVDS0 電圧(V)					
	D2	SVDS2	1 1 1 1 2.7			0	R/W	
			1 1 1 0 2.6					
	D1	SVDS1	1 1 0 1 2.5			0	R/W	
00FF14			: : : : :					
	D0	SVDS0	0 0 1 1 1.8			0	R/W	
	D7	PRPRT1	プログラマブルタイマ1クロック制御	On	Off	0	R/W	
	D6	PST12	プログラマブルタイマ1分周比			0	R/W	
			PST12 PST11 PST10 (OSC3) (OSC1)					
			1 1 1 fosc3 / 4096 fosc1 / 128					
	D5	PST11	1 1 0 fosc3 / 1024 fosc1 / 64			0	R/W	
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
			0 1 1 fosc3 / 32 fosc1 / 8					
	D4	PST10	0 1 0 fosc3 / 8 fosc1 / 4			0	R/W	
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D3	PRPRT0	プログラマブルタイマ0クロック制御	On	Off	0	R/W	
	D2	PST02	プログラマブルタイマ0分周比			0	R/W	
			PST02 PST01 PST00 (OSC3) (OSC1)					
			1 1 1 fosc3 / 4096 fosc1 / 128					
	D1	PST01	1 1 0 fosc3 / 1024 fosc1 / 64			0	R/W	
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
			0 1 1 fosc3 / 32 fosc1 / 8					
	D0	PST00	0 1 0 fosc3 / 8 fosc1 / 4			0	R/W	
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					

表5.1.1(c) I/Oメモリマップ(00FF15H~00FF18H)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈
00FF15	D7	PRPRT3	プログラマブルタイマ3クロック制御		On	Off	0	R/W	
	D6	PST32	プログラマブルタイマ3分周比				0	R/W	
			PST32 PST31 PST30 (OSC3) (OSC1)						
		1 1 1 fosc1 / 4096 fosc1 / 128							
	D5	PST31	1 1 0 fosc1 / 1024 fosc1 / 64			0	R/W		
			1 0 1 fosc1 / 256 fosc1 / 32						
			1 0 0 fosc1 / 64 fosc1 / 16						
	D4	PST30	0 1 1 fosc1 / 32 fosc1 / 8			0	R/W		
			0 1 0 fosc1 / 8 fosc1 / 4						
			0 0 1 fosc1 / 2 fosc1 / 2						
		0 0 0 fosc1 / 1 fosc1 / 1							
	D3	PRPRT2	プログラマブルタイマ2クロック制御		On	Off	0	R/W	
	D2	PST22	プログラマブルタイマ2分周比				0	R/W	
			PST22 PST21 PST20 (OSC3) (OSC1)						
		1 1 1 fosc1 / 4096 fosc1 / 128							
D1	PST21	1 1 0 fosc1 / 1024 fosc1 / 64			0	R/W			
		1 0 1 fosc1 / 256 fosc1 / 32							
		1 0 0 fosc1 / 64 fosc1 / 16							
D0	PST20	0 1 1 fosc1 / 32 fosc1 / 8			0	R/W			
		0 1 0 fosc1 / 8 fosc1 / 4							
		0 0 1 fosc1 / 2 fosc1 / 2							
	0 0 0 fosc1 / 1 fosc1 / 1								
00FF17	D7	—	—	—	—	—	—	読み出し時は	
	D6	—	—	—	—	—	—	常時"0"	
	D5	—	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ	
	D3	PRTF3	プログラマブルタイマ3源振クロック選択	fosc1	fosc3	0	R/W		
	D2	PRTF2	プログラマブルタイマ2源振クロック選択	fosc1	fosc3	0	R/W		
	D1	PRTF1	プログラマブルタイマ1源振クロック選択	fosc1	fosc3	0	R/W		
	D0	PRTF0	プログラマブルタイマ0源振クロック選択	fosc1	fosc3	0	R/W		
00FF18	D7	PRPRT5	プログラマブルタイマ5クロック制御		On	Off	0	R/W	
	D6	PST52	プログラマブルタイマ5分周比				0	R/W	
			PST52 PST51 PST50 (OSC3) (OSC1)						
		1 1 1 fosc1 / 4096 fosc1 / 128							
	D5	PST51	1 1 0 fosc1 / 1024 fosc1 / 64			0	R/W		
			1 0 1 fosc1 / 256 fosc1 / 32						
			1 0 0 fosc1 / 64 fosc1 / 16						
	D4	PST50	0 1 1 fosc1 / 32 fosc1 / 8			0	R/W		
			0 1 0 fosc1 / 8 fosc1 / 4						
			0 0 1 fosc1 / 2 fosc1 / 2						
		0 0 0 fosc1 / 1 fosc1 / 1							
	D3	PRPRT4	プログラマブルタイマ4クロック制御		On	Off	0	R/W	
	D2	PST42	プログラマブルタイマ4分周比				0	R/W	
			PST42 PST41 PST40 (OSC3) (OSC1)						
		1 1 1 fosc1 / 4096 fosc1 / 128							
D1	PST41	1 1 0 fosc1 / 1024 fosc1 / 64			0	R/W			
		1 0 1 fosc1 / 256 fosc1 / 32							
		1 0 0 fosc1 / 64 fosc1 / 16							
D0	PST40	0 1 1 fosc1 / 32 fosc1 / 8			0	R/W			
		0 1 0 fosc1 / 8 fosc1 / 4							
		0 0 1 fosc1 / 2 fosc1 / 2							
	0 0 0 fosc1 / 1 fosc1 / 1								

表5.1.1(d) I/Oメモリマップ(00FF19H~00FF22H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈	
00FF19	D7	PRPRT7	プログラマブルタイマ7クロック制御	On	Off	0	R/W		
	D6	PST72	プログラマブルタイマ7分周比			0	R/W		
			PST72 PST71 PST70 (OSC3) (OSC1)						
			1 1 1 fosc3 / 4096 fosc1 / 128						
			1 1 0 fosc3 / 1024 fosc1 / 64						
	D5	PST71	1 0 1 fosc3 / 256 fosc1 / 32			0	R/W		
			1 0 0 fosc3 / 64 fosc1 / 16						
			0 1 1 fosc3 / 32 fosc1 / 8						
			0 1 0 fosc3 / 8 fosc1 / 4						
	D4	PST70	0 0 1 fosc3 / 2 fosc1 / 2			0	R/W		
			0 0 0 fosc3 / 1 fosc1 / 1						
D3	PRPRT6	プログラマブルタイマ6クロック制御	On	Off	0	R/W			
D2	PST62	プログラマブルタイマ6分周比			0	R/W			
D1	PST61	PST62 PST61 PST60 (OSC3) (OSC1)							
		1 1 1 fosc3 / 4096 fosc1 / 128							
		1 1 0 fosc3 / 1024 fosc1 / 64							
		1 0 1 fosc3 / 256 fosc1 / 32			0	R/W			
		1 0 0 fosc3 / 64 fosc1 / 16							
		0 1 1 fosc3 / 32 fosc1 / 8							
		0 1 0 fosc3 / 8 fosc1 / 4							
		0 0 1 fosc3 / 2 fosc1 / 2							
D0	PST60	0 0 0 fosc3 / 1 fosc1 / 1			0	R/W			
00FF1B	D7	—	—	—	—	—		読み出し時は 常時"0"	
	D6	—	—	—	—	—			
	D5	—	—	—	—	—			
	D4	—	—	—	—	—			
	D3	PRTF7	プログラマブルタイマ7源振クロック選択	fosc1	fosc3	0	R/W		
	D2	PRTF6	プログラマブルタイマ6源振クロック選択	fosc1	fosc3	0	R/W		
	D1	PRTF5	プログラマブルタイマ5源振クロック選択	fosc1	fosc3	0	R/W		
	D0	PRTF4	プログラマブルタイマ4源振クロック選択	fosc1	fosc3	0	R/W		
00FF20	D7	PK01	K00 ~ K07割り込み	PK01 PSIF1	PK00 PSIF0	優先 レベル	0	R/W	
	D6	PK00	プライオリティレジスタ	1 1	1 1	レベル3			
	D5	PSIF1	シリアルインタフェース割り込み	1 0	0 0	レベル2	0	R/W	
	D4	PSIF0	プライオリティレジスタ	0 1	0 0	レベル1			
	D3	—	—	—	—	—	—		読み出し時は 常時"0"
	D2	—	—	—	—	—	—		
	D1	PTM1	計時タイマ割り込み	PTM1	PTM0	優先レベル	0	R/W	
	D0	PTM0	プライオリティレジスタ	1 1	1 1	レベル3			
	00FF21	D7	—	—	—	—	—	—	読み出し時は 常時"0"
		D6	—	—	—	—	—	—	
D5		PPT3	プログラマブルタイマ3-2割り込み	PPT3 PPT1	PPT2 PPT0	優先 レベル	0	R/W	
D4		PPT2	プライオリティレジスタ	1 1	1 1	レベル3			
D3		PPT1	プログラマブルタイマ1-0割り込み	1 0	0 0	レベル2	0	R/W	
D2		PPT0	プライオリティレジスタ	0 1	0 0	レベル1			
D1		—	—	—	—	—	—		読み出し時は 常時"0"
D0		—	—	—	—	—	—		
00FF22	D7	—	—	—	—	—	—	読み出し時は 常時"0"	
	D6	—	—	—	—	—	—		
	D5	—	—	—	—	—	—		
	D4	—	—	—	—	—	—		
	D3	ETM32	計時タイマ32Hz割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W		
	D2	ETM8	計時タイマ8Hz割り込みイネーブル						
	D1	ETM2	計時タイマ2Hz割り込みイネーブル						
	D0	ETM1	計時タイマ1Hz割り込みイネーブル						

表5.1.1(e) I/Oメモリマップ(00FF23H~00FF28H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF23	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブル					
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブル					
00FF24	D7	EK07	K07割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EK06	K06割り込みイネーブル					
	D5	EK05	K05割り込みイネーブル					
	D4	EK04	K04割り込みイネーブル					
	D3	EK03	K03割り込みイネーブル					
	D2	EK02	K02割り込みイネーブル					
	D1	EK01	K01割り込みイネーブル					
	D0	EK00	K00割り込みイネーブル					
00FF25	D7	ETC3	PTM3コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D6	ETU3	PTM3アンダーフロー割り込みイネーブル					
	D5	ETC2	PTM2コンペアマッチ割り込みイネーブル					
	D4	ETU2	PTM2アンダーフロー割り込みイネーブル					
	D3	ETC1	PTM1コンペアマッチ割り込みイネーブル					
	D2	ETU1	PTM1アンダーフロー割り込みイネーブル					
	D1	ETC0	PTM0コンペアマッチ割り込みイネーブル					
	D0	ETU0	PTM0アンダーフロー割り込みイネーブル					
00FF26	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(R)	(R)	0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	割り込みあり	割り込みなし			
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ	(W)	(W)			
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ	リセット	無効			
00FF27	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ	(R)	(R)	0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ	割り込みあり	割り込みなし			
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ	(W) リセット	(W) 無効			
00FF28	D7	FK07	K07割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FK06	K06割り込み要因フラグ					
	D5	FK05	K05割り込み要因フラグ					
	D4	FK04	K04割り込み要因フラグ					
	D3	FK03	K03割り込み要因フラグ	(W) リセット	(W) 無効			
	D2	FK02	K02割り込み要因フラグ					
	D1	FK01	K01割り込み要因フラグ					
	D0	FK00	K00割り込み要因フラグ					

表5.1.1(f) I/Oメモリマップ(00FF29H ~ 00FF31H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈		
00FF29	D7	FTC3	PTM3コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W			
	D6	FTU3	PTM3アンダーフロー割り込み要因フラグ							
	D5	FTC2	PTM2コンペアマッチ割り込み要因フラグ							
	D4	FTU2	PTM2アンダーフロー割り込み要因フラグ							
	D3	FTC1	PTM1コンペアマッチ割り込み要因フラグ	(W) リセット	(W) 無効					
	D2	FTU1	PTM1アンダーフロー割り込み要因フラグ							
	D1	FTC0	PTM0コンペアマッチ割り込み要因フラグ							
	D0	FTU0	PTM0アンダーフロー割り込み要因フラグ							
00FF2A	D7	—	—	—	—	—		読み出し時は 常時"0"		
	D6	—	—	—	—	—				
	D5	—	—	—	—	—				
	D4	—	—	—	—	—				
	D3	PPT7	プログラマブルタイマ7-6割り込み	PPT7	PPT6	優先 レベル	0	R/W		
	D2	PPT6	プライオリティレジスタ	1	1	レベル3	0	R/W		
	D1	PPT5	プログラマブルタイマ5-4割り込み	1	0	レベル2				
	D0	PPT4	プライオリティレジスタ	0	1	レベル1				
			0	0	レベル0					
00FF2C	D7	ETC7	PTM7コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W			
	D6	ETU7	PTM7アンダーフロー割り込みイネーブル							
	D5	ETC6	PTM6コンペアマッチ割り込みイネーブル							
	D4	ETU6	PTM6アンダーフロー割り込みイネーブル							
	D3	ETC5	PTM5コンペアマッチ割り込みイネーブル							
	D2	ETU5	PTM5アンダーフロー割り込みイネーブル							
	D1	ETC4	PTM4コンペアマッチ割り込みイネーブル							
	D0	ETU4	PTM4アンダーフロー割り込みイネーブル							
00FF2E	D7	FTC7	PTM7コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W			
	D6	FTU7	PTM7アンダーフロー割り込み要因フラグ							
	D5	FTC6	PTM6コンペアマッチ割り込み要因フラグ							
	D4	FTU6	PTM6アンダーフロー割り込み要因フラグ							
	D3	FTC5	PTM5コンペアマッチ割り込み要因フラグ	(W) リセット	(W) 無効					
	D2	FTU5	PTM5アンダーフロー割り込み要因フラグ							
	D1	FTC4	PTM4コンペアマッチ割り込み要因フラグ							
	D0	FTU4	PTM4アンダーフロー割り込み要因フラグ							
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W			
	D6	PTNREN_A	外部クロック0 ノイズリジェクタ選択	有効	無効	0	R/W			
	D5	—	—	—	—	—			読み出し時は"0"	
	D4	—	汎用レジスタ	1	0	0	R/W		予約レジスタ	
	D3	PTOUT0	PTM0クロック出力制御	On	Off	0	R/W			
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W			
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W			読み出し時は"0"
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W			
00FF31	D7	—	—	—	—	—		読み出し時は 常時"0"		
	D6	—	—	—	—	—				
	D5	—	—	—	—	—				
	D4	—	汎用レジスタ	1	0	0	R/W		予約レジスタ	
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W			
	D2	PTRUN1	PTM1 Run/Stop制御	Run	Stop	0	R/W			
	D1	PSET1	PTM1プリセット	プリセット	無効	0	W		読み出し時は"0"	
	D0	CKSEL1	PTM1入力クロック選択	外部クロック	内部クロック	0	R/W			

表5.1.1(g) I/Oメモリマップ(00FF32H~00FF37H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF32	D7	RDR07	PTM0リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR06	PTM0リロードデータD6					
	D5	RDR05	PTM0リロードデータD5					
	D4	RDR04	PTM0リロードデータD4					
	D3	RDR03	PTM0リロードデータD3					
	D2	RDR02	PTM0リロードデータD2					
	D1	RDR01	PTM0リロードデータD1					
	D0	RDR00	PTM0リロードデータD0 (LSB)					
00FF33	D7	RDR17	PTM1リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR16	PTM1リロードデータD6					
	D5	RDR15	PTM1リロードデータD5					
	D4	RDR14	PTM1リロードデータD4					
	D3	RDR13	PTM1リロードデータD3					
	D2	RDR12	PTM1リロードデータD2					
	D1	RDR11	PTM1リロードデータD1					
	D0	RDR10	PTM1リロードデータD0 (LSB)					
00FF34	D7	CDR07	PTM0コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR06	PTM0コンペアデータD6					
	D5	CDR05	PTM0コンペアデータD5					
	D4	CDR04	PTM0コンペアデータD4					
	D3	CDR03	PTM0コンペアデータD3					
	D2	CDR02	PTM0コンペアデータD2					
	D1	CDR01	PTM0コンペアデータD1					
	D0	CDR00	PTM0コンペアデータD0 (LSB)					
00FF35	D7	CDR17	PTM1コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR16	PTM1コンペアデータD6					
	D5	CDR15	PTM1コンペアデータD5					
	D4	CDR14	PTM1コンペアデータD4					
	D3	CDR13	PTM1コンペアデータD3					
	D2	CDR12	PTM1コンペアデータD2					
	D1	CDR11	PTM1コンペアデータD1					
	D0	CDR10	PTM1コンペアデータD0 (LSB)					
00FF36	D7	PTM07	PTM0データD7 (MSB)	High	Low	1	R	
	D6	PTM06	PTM0データD6					
	D5	PTM05	PTM0データD5					
	D4	PTM04	PTM0データD4					
	D3	PTM03	PTM0データD3					
	D2	PTM02	PTM0データD2					
	D1	PTM01	PTM0データD1					
	D0	PTM00	PTM0データD0 (LSB)					
00FF37	D7	PTM17	PTM1データD7 (MSB)	High	Low	1	R	
	D6	PTM16	PTM1データD6					
	D5	PTM15	PTM1データD5					
	D4	PTM14	PTM1データD4					
	D3	PTM13	PTM1データD3					
	D2	PTM12	PTM1データD2					
	D1	PTM11	PTM1データD1					
	D0	PTM10	PTM1データD0 (LSB)					



表5.1.1(h) I/Oメモリマップ(00FF38H~00FF3DH)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF38	D7	MODE16_B	PTM2-3 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_B	外部クロック1ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	RPTOUT2	PTM2反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT2	PTM2クロック出力制御	On	Off	0	R/W	
	D2	PTRUN2	PTM2 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET2	PTM2プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL2	PTM2入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF39	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	RPTOUT3	PTM3反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT3	PTM3クロック出力制御	On	Off	0	R/W	
	D2	PTRUN3	PTM3 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET3	PTM3プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL3	PTM3入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF3A	D7	RDR27	PTM2リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR26	PTM2リロードデータD6					
	D5	RDR25	PTM2リロードデータD5					
	D4	RDR24	PTM2リロードデータD4					
	D3	RDR23	PTM2リロードデータD3					
	D2	RDR22	PTM2リロードデータD2					
	D1	RDR21	PTM2リロードデータD1					
	D0	RDR20	PTM2リロードデータD0 (LSB)					
00FF3B	D7	RDR37	PTM3リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR36	PTM3リロードデータD6					
	D5	RDR35	PTM3リロードデータD5					
	D4	RDR34	PTM3リロードデータD4					
	D3	RDR33	PTM3リロードデータD3					
	D2	RDR32	PTM3リロードデータD2					
	D1	RDR31	PTM3リロードデータD1					
	D0	RDR30	PTM3リロードデータD0 (LSB)					
00FF3C	D7	CDR27	PTM2コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR26	PTM2コンペアデータD6					
	D5	CDR25	PTM2コンペアデータD5					
	D4	CDR24	PTM2コンペアデータD4					
	D3	CDR23	PTM2コンペアデータD3					
	D2	CDR22	PTM2コンペアデータD2					
	D1	CDR21	PTM2コンペアデータD1					
	D0	CDR20	PTM2コンペアデータD0 (LSB)					
00FF3D	D7	CDR37	PTM3コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR36	PTM3コンペアデータD6					
	D5	CDR35	PTM3コンペアデータD5					
	D4	CDR34	PTM3コンペアデータD4					
	D3	CDR33	PTM3コンペアデータD3					
	D2	CDR32	PTM3コンペアデータD2					
	D1	CDR31	PTM3コンペアデータD1					
	D0	CDR30	PTM3コンペアデータD0 (LSB)					

表5.1.1(i) I/Oメモリマップ(00FF3EH ~ 00FF41H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈																																
00FF3E	D7	PTM27	PTM2データD7 (MSB)	High	Low	1	R																																	
	D6	PTM26	PTM2データD6																																					
	D5	PTM25	PTM2データD5																																					
	D4	PTM24	PTM2データD4																																					
	D3	PTM23	PTM2データD3																																					
	D2	PTM22	PTM2データD2																																					
	D1	PTM21	PTM2データD1																																					
	D0	PTM20	PTM2データD0 (LSB)																																					
00FF3F	D7	PTM37	PTM3データD7 (MSB)	High	Low	1	R																																	
	D6	PTM36	PTM3データD6																																					
	D5	PTM35	PTM3データD5																																					
	D4	PTM34	PTM3データD4																																					
	D3	PTM33	PTM3データD3																																					
	D2	PTM32	PTM3データD2																																					
	D1	PTM31	PTM3データD1																																					
	D0	PTM30	PTM3データD0 (LSB)																																					
00FF40	D7	WDEN	ウォッチドッグタイマイネーブル	有効	無効	1	R/W																																	
	D6	FOUT2	FOUT周波数選択			0	R/W																																	
			<table><tr><td>FOUT2</td><td>FOUT1</td><td>FOUT0</td><td>周波数</td></tr><tr><td>1</td><td>1</td><td>1</td><td>fosc3 / 8</td></tr><tr><td>1</td><td>1</td><td>0</td><td>fosc3 / 4</td></tr><tr><td>1</td><td>0</td><td>1</td><td>fosc3 / 2</td></tr><tr><td>1</td><td>0</td><td>0</td><td>fosc3 / 1</td></tr><tr><td>0</td><td>1</td><td>1</td><td>fosc1 / 8</td></tr><tr><td>0</td><td>1</td><td>0</td><td>fosc1 / 4</td></tr><tr><td>0</td><td>0</td><td>1</td><td>fosc1 / 2</td></tr><tr><td>0</td><td>0</td><td>0</td><td>fosc1 / 1</td></tr></table>			FOUT2	FOUT1		FOUT0	周波数	1	1	1	fosc3 / 8	1	1	0	fosc3 / 4	1	0	1	fosc3 / 2	1	0	0	fosc3 / 1	0	1	1	fosc1 / 8	0	1	0	fosc1 / 4	0	0	1	fosc1 / 2	0	0
	FOUT2	FOUT1	FOUT0	周波数																																				
	1	1	1	fosc3 / 8																																				
	1	1	0	fosc3 / 4																																				
	1	0	1	fosc3 / 2																																				
	1	0	0	fosc3 / 1																																				
	0	1	1	fosc1 / 8																																				
	0	1	0	fosc1 / 4																																				
0	0	1	fosc1 / 2																																					
0	0	0	fosc1 / 1																																					
D5	FOUT1					0	R/W																																	
D4	FOUT0					0	R/W																																	
D3	FOUTON	FOUT出力制御	On	Off	0	R/W																																		
D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	－	W	読み出し時は																																	
D1	TMRST	計時タイマリセット	リセット	無効	－	W	常時"0"																																	
D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W																																		
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R																																	
	D6	TMD6	計時タイマデータ 2Hz																																					
	D5	TMD5	計時タイマデータ 4Hz																																					
	D4	TMD4	計時タイマデータ 8Hz																																					
	D3	TMD3	計時タイマデータ 16Hz																																					
	D2	TMD2	計時タイマデータ 32Hz																																					
	D1	TMD1	計時タイマデータ 64Hz																																					
	D0	TMD0	計時タイマデータ 128Hz																																					

表5.1.1(j) I/Oメモリマップ(00FF48H~00FF4BH)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈	
00FF48	D7	—	—		—	—	—		読み出し時は"0"	
	D6	EPR	パリティイネーブルレジスタ		パリティ付き	パリティなし	0	R/W	調歩同期式のみ	
	D5	PMD	パリティモード選択		奇数	偶数	0	R/W		
	D4	SCS1	クロック源選択				0	R/W	クロック同期式 スレーブモード では外部クロック が選択される	
			SCS1	SCS0	クロック源					
			1	1	プログラマブルタイマ					
	D3	SCS0	1	0	fosc3 / 4			0		R/W
			0	1	fosc3 / 8					
		0	0	fosc3 / 16						
D2	SMD1	シリアルI/Fモード選択				0	R/W			
		SMD1	SMD0	モード						
		1	1	調歩同期式8ビット						
D1	SMD0	1	0	調歩同期式7ビット			0	R/W		
		0	1	クロック同期式スレーブ						
		0	0	クロック同期式マスタ						
	D0	ESIF	シリアルI/Fイネーブルレジスタ		シリアルI/F	I/Oポート	0	R/W		
00FF49	D7	—	—		—	—	—		読み出し時は"0"	
	D6	FER	シリアルI/F フレーミングエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ	
	D5	PER	シリアルI/F パリティエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W		
	D4	OER	シリアルI/F オーバーランエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W		
	D3	RXTRG	シリアルI/F受信トリガ/ステータス	R W	受信中 トリガ	停止中 無効	0	R/W		
	D2	RXEN	シリアルI/F受信許可		許可	禁止	0	R/W		
	D1	TXTRG	シリアルI/F送信トリガ/ステータス	R W	送信中 トリガ	停止中 無効	0	R/W		
	D0	TXEN	シリアルI/F送信許可		許可	禁止	0	R/W		
00FF4A	D7	TRXD7	シリアルI/F送受信データD7 (MSB)							
	D6	TRXD6	シリアルI/F送受信データD6							
	D5	TRXD5	シリアルI/F送受信データD5							
	D4	TRXD4	シリアルI/F送受信データD4							
	D3	TRXD3	シリアルI/F送受信データD3		High	Low	X	R/W		
	D2	TRXD2	シリアルI/F送受信データD2							
	D1	TRXD1	シリアルI/F送受信データD1							
	D0	TRXD0	シリアルI/F送受信データD0 (LSB)							
00FF4B	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	—	—		—	—	—			
	D5	—	—		—	—	—			
	D4	—	—		—	—	—			
	D3	—	—		—	—	—			
	D2	—	—		—	—	—			
	D1	STPB	ストップビット選択		2ビット	1ビット	0	R/W		
	D0	SDP	データ入出力順列選択レジスタ		MSB先頭	LSB先頭	0	R/W		

表5.1.1(k) I/Oメモリマップ(00FF52H~00FF60H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈	
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W		
	D6	KCP06	K06入力比較レジスタ						
	D5	KCP05	K05入力比較レジスタ						
	D4	KCP04	K04入力比較レジスタ						
	D3	KCP03	K03入力比較レジスタ						
	D2	KCP02	K02入力比較レジスタ						
	D1	KCP01	K01入力比較レジスタ						
	D0	KCP00	K00入力比較レジスタ						
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	－	R		
	D6	K06D	K06入力ポートデータ						
	D5	K05D	K05入力ポートデータ						
	D4	K04D	K04入力ポートデータ						
	D3	K03D	K03入力ポートデータ						
	D2	K02D	K02入力ポートデータ						
	D1	K01D	K01入力ポートデータ						
	D0	K00D	K00入力ポートデータ						
00FF56	D7	PULK07	K07プルアップコントロールレジスタ	On	Off	1	R/W		
	D6	PULK06	K06プルアップコントロールレジスタ						
	D5	PULK05	K05プルアップコントロールレジスタ						
	D4	PULK04	K04プルアップコントロールレジスタ						
	D3	PULK03	K03プルアップコントロールレジスタ						
	D2	PULK02	K02プルアップコントロールレジスタ						
	D1	PULK01	K01プルアップコントロールレジスタ						
	D0	PULK00	K00プルアップコントロールレジスタ						
00FF58	D7	－	－	－	－	－		読み出し時は"0"	
	D6	CTK02H	K04～K07ポートチャタリング防止 (入力レベル検定時間) CTK02H CTK01H CTK00H 検定時間[秒]			0	R/W		
	D5	CTK01H	1 1 1 4/fosc3			0	R/W		
			1 1 0 2/fosc3						
			1 0 1 1/fosc3						
			1 0 0 4096/fosc1						
	D4	CTK00H	0 1 1 2048/fosc1			0	R/W		
			0 1 0 512/fosc1						
			0 0 1 128/fosc1						
			0 0 0 なし						
	D3	－	－	－	－	－			読み出し時は"0"
	D2	CTK02L	K00～K03ポートチャタリング防止 (入力レベル検定時間) CTK02L CTK01L CTK00L 検定時間[秒]			0	R/W		
	D1	CTK01L	1 1 1 4/fosc3			0	R/W		
			1 1 0 2/fosc3						
1 0 1 1/fosc3									
1 0 0 4096/fosc1									
D0	CTK00L	0 1 1 2048/fosc1			0	R/W			
		0 1 0 512/fosc1							
		0 0 1 128/fosc1							
		0 0 0 なし							
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W		
	D6	IOC06	P06 I/Oコントロールレジスタ						
	D5	IOC05	P05 I/Oコントロールレジスタ						
	D4	IOC04	P04 I/Oコントロールレジスタ						
	D3	IOC03	P03 I/Oコントロールレジスタ						
	D2	IOC02	P02 I/Oコントロールレジスタ						
	D1	IOC01	P01 I/Oコントロールレジスタ						
	D0	IOC00	P00 I/Oコントロールレジスタ						

表5.1.1(l) I/Oメモリマップ(00FF61H～00FF70H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ					
	D5	IOC15	P15 I/Oコントロールレジスタ					
	D4	IOC14	P14 I/Oコントロールレジスタ					
	D3	IOC13	P13 I/Oコントロールレジスタ					
	D2	IOC12	P12 I/Oコントロールレジスタ					
	D1	IOC11	P11 I/Oコントロールレジスタ					
	D0	IOC10	P10 I/Oコントロールレジスタ					
00FF62	D7	P07D	P07入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06入出力兼用ポートデータ					
	D5	P05D	P05入出力兼用ポートデータ					
	D4	P04D	P04入出力兼用ポートデータ					
	D3	P03D	P03入出力兼用ポートデータ					
	D2	P02D	P02入出力兼用ポートデータ					
	D1	P01D	P01入出力兼用ポートデータ					
	D0	P00D	P00入出力兼用ポートデータ					
00FF63	D7	P17D	P17入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16入出力兼用ポートデータ					
	D5	P15D	P15入出力兼用ポートデータ					
	D4	P14D	P14入出力兼用ポートデータ					
	D3	P13D	P13入出力兼用ポートデータ					
	D2	P12D	P12入出力兼用ポートデータ					
	D1	P11D	P11入出力兼用ポートデータ					
	D0	P10D	P10入出力兼用ポートデータ					
00FF64	D7	PULP07	P07プルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP06	P06プルアップコントロールレジスタ					
	D5	PULP05	P05プルアップコントロールレジスタ					
	D4	PULP04	P04プルアップコントロールレジスタ					
	D3	PULP03	P03プルアップコントロールレジスタ					
	D2	PULP02	P02プルアップコントロールレジスタ					
	D1	PULP01	P01プルアップコントロールレジスタ					
	D0	PULP00	P00プルアップコントロールレジスタ					
00FF65	D7	PULP17	P17プルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP16	P16プルアップコントロールレジスタ					
	D5	PULP15	P15プルアップコントロールレジスタ					
	D4	PULP14	P14プルアップコントロールレジスタ					
	D3	PULP13	P13プルアップコントロールレジスタ					
	D2	PULP12	P12プルアップコントロールレジスタ					
	D1	PULP11	P11プルアップコントロールレジスタ					
	D0	PULP10	P10プルアップコントロールレジスタ					
00FF70	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	HZR1H	R14～R17/ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D2	HZR1L	R10～R13/ハイインピーダンス制御					
	D1	HZR0H	R04～R07/ハイインピーダンス制御					
	D0	HZR0L	R00～R03/ハイインピーダンス制御					

表5.1.1(m) I/Oメモリマップ(00FF71H~00FF76H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF71	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	HZR25	R25ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D4	HZR24	R24ハイインピーダンス制御					
	D3	HZR23	R23ハイインピーダンス制御					
	D2	HZR22	R22ハイインピーダンス制御					
	D1	HZR21	R21ハイインピーダンス制御					
	D0	HZR20	R20ハイインピーダンス制御					
00FF72	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	HZR33	R33ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D2	HZR32	R32ハイインピーダンス制御					
	D1	HZR31	R31ハイインピーダンス制御					
	D0	HZR30	R30ハイインピーダンス制御					
00FF73	D7	R07D	R07出力ポートデータ	High	Low	1	R/W	
	D6	R06D	R06出力ポートデータ					
	D5	R05D	R05出力ポートデータ					
	D4	R04D	R04出力ポートデータ					
	D3	R03D	R03出力ポートデータ					
	D2	R02D	R02出力ポートデータ					
	D1	R01D	R01出力ポートデータ					
	D0	R00D	R00出力ポートデータ					
00FF74	D7	R17D	R17出力ポートデータ	High	Low	1	R/W	
	D6	R16D	R16出力ポートデータ					
	D5	R15D	R15出力ポートデータ					
	D4	R14D	R14出力ポートデータ					
	D3	R13D	R13出力ポートデータ					
	D2	R12D	R12出力ポートデータ					
	D1	R11D	R11出力ポートデータ					
	D0	R10D	R10出力ポートデータ					
00FF75	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	R25D	R25出力ポートデータ	High	Low	1	R/W	
	D4	R24D	R24出力ポートデータ					
	D3	R23D	R23出力ポートデータ					
	D2	R22D	R22出力ポートデータ					
	D1	R21D	R21出力ポートデータ					
	D0	R20D	R20出力ポートデータ					
00FF76	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	R33D	R33出力ポートデータ	High	Low	1	R/W	
	D2	R32D	R32出力ポートデータ					
	D1	R31D	R31出力ポートデータ					
	D0	R30D	R30出力ポートデータ					

表5.1.1(n) I/Oメモリマップ(00FFB0H ~ 00FFB5H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FFB0	D7	MODE16_C	PTM4-5 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_C	外部クロック2ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN4	PTM4 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET4	PTM4プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL4	PTM4入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB1	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN5	PTM5 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET5	PTM5プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL5	PTM5入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB2	D7	RDR47	PTM4リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR46	PTM4リロードデータD6					
	D5	RDR45	PTM4リロードデータD5					
	D4	RDR44	PTM4リロードデータD4					
	D3	RDR43	PTM4リロードデータD3					
	D2	RDR42	PTM4リロードデータD2					
	D1	RDR41	PTM4リロードデータD1					
	D0	RDR40	PTM4リロードデータD0 (LSB)					
00FFB3	D7	RDR57	PTM5リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR56	PTM5リロードデータD6					
	D5	RDR55	PTM5リロードデータD5					
	D4	RDR54	PTM5リロードデータD4					
	D3	RDR53	PTM5リロードデータD3					
	D2	RDR52	PTM5リロードデータD2					
	D1	RDR51	PTM5リロードデータD1					
	D0	RDR50	PTM5リロードデータD0 (LSB)					
00FFB4	D7	CDR47	PTM4コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR46	PTM4コンペアデータD6					
	D5	CDR45	PTM4コンペアデータD5					
	D4	CDR44	PTM4コンペアデータD4					
	D3	CDR43	PTM4コンペアデータD3					
	D2	CDR42	PTM4コンペアデータD2					
	D1	CDR41	PTM4コンペアデータD1					
	D0	CDR40	PTM4コンペアデータD0 (LSB)					
00FFB5	D7	CDR57	PTM5コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR56	PTM5コンペアデータD6					
	D5	CDR55	PTM5コンペアデータD5					
	D4	CDR54	PTM5コンペアデータD4					
	D3	CDR53	PTM5コンペアデータD3					
	D2	CDR52	PTM5コンペアデータD2					
	D1	CDR51	PTM5コンペアデータD1					
	D0	CDR50	PTM5コンペアデータD0 (LSB)					

表5.1.1(o) I/Oメモリマップ(00FFB6H~00FFBBH)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FFB6	D7	PTM47	PTM4データD7 (MSB)	High	Low	1	R	
	D6	PTM46	PTM4データD6					
	D5	PTM45	PTM4データD5					
	D4	PTM44	PTM4データD4					
	D3	PTM43	PTM4データD3					
	D2	PTM42	PTM4データD2					
	D1	PTM41	PTM4データD1					
	D0	PTM40	PTM4データD0 (LSB)					
00FFB7	D7	PTM57	PTM5データD7 (MSB)	High	Low	1	R	
	D6	PTM56	PTM5データD6					
	D5	PTM55	PTM5データD5					
	D4	PTM54	PTM5データD4					
	D3	PTM53	PTM5データD3					
	D2	PTM52	PTM5データD2					
	D1	PTM51	PTM5データD1					
	D0	PTM50	PTM5データD0 (LSB)					
00FFB8	D7	MODE16_D	PTM6-7 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	読み出し時は"0"
	D6	PTNREN_D	外部クロック3ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN6	PTM6 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET6	PTM6プリセット	プリセット	無効	0	W	
	D0	CKSEL6	PTM6入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB9	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN7	PTM7 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET7	PTM7プリセット	プリセット	無効	0	W	
	D0	CKSEL7	PTM7入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFBA	D7	RDR67	PTM6リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR66	PTM6リロードデータD6					
	D5	RDR65	PTM6リロードデータD5					
	D4	RDR64	PTM6リロードデータD4					
	D3	RDR63	PTM6リロードデータD3					
	D2	RDR62	PTM6リロードデータD2					
	D1	RDR61	PTM6リロードデータD1					
	D0	RDR60	PTM6リロードデータD0 (LSB)					
00FFBB	D7	RDR77	PTM7リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR76	PTM7リロードデータD6					
	D5	RDR75	PTM7リロードデータD5					
	D4	RDR74	PTM7リロードデータD4					
	D3	RDR73	PTM7リロードデータD3					
	D2	RDR72	PTM7リロードデータD2					
	D1	RDR71	PTM7リロードデータD1					
	D0	RDR70	PTM7リロードデータD0 (LSB)					



表5.1.1(p) I/Oメモリマップ(00FFBCH ~ 00FFBFH)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FFBC	D7	CDR67	PTM6コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR66	PTM6コンペアデータD6					
	D5	CDR65	PTM6コンペアデータD5					
	D4	CDR64	PTM6コンペアデータD4					
	D3	CDR63	PTM6コンペアデータD3					
	D2	CDR62	PTM6コンペアデータD2					
	D1	CDR61	PTM6コンペアデータD1					
	D0	CDR60	PTM6コンペアデータD0 (LSB)					
00FFBD	D7	CDR77	PTM7コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR76	PTM7コンペアデータD6					
	D5	CDR75	PTM7コンペアデータD5					
	D4	CDR74	PTM7コンペアデータD4					
	D3	CDR73	PTM7コンペアデータD3					
	D2	CDR72	PTM7コンペアデータD2					
	D1	CDR71	PTM7コンペアデータD1					
	D0	CDR70	PTM7コンペアデータD0 (LSB)					
00FFBE	D7	PTM67	PTM6データD7 (MSB)	High	Low	1	R	
	D6	PTM66	PTM6データD6					
	D5	PTM65	PTM6データD5					
	D4	PTM64	PTM6データD4					
	D3	PTM63	PTM6データD3					
	D2	PTM62	PTM6データD2					
	D1	PTM61	PTM6データD1					
	D0	PTM60	PTM6データD0 (LSB)					
00FFBF	D7	PTM77	PTM7データD7 (MSB)	High	Low	1	R	
	D6	PTM76	PTM7データD6					
	D5	PTM75	PTM7データD5					
	D4	PTM74	PTM7データD4					
	D3	PTM73	PTM7データD3					
	D2	PTM72	PTM7データD2					
	D1	PTM71	PTM7データD1					
	D0	PTM70	PTM7データD0 (LSB)					

## 5.2 システムコントローラとバスの制御

システムコントローラはメモリなどのシステム構成にしたがって、バスモード等の設定を行う管理ユニットです。

システムを制御するために、以下の設定がソフトウェアによって行えます。

- (1) バスモードとCPUモードの設定
- (2) チップイネーブル(CE)出力の設定
- (3) 外部メモリに対するウェイトステートの設定
- (4) スタックポインタのページアドレスの設定

以下、これらの設定方法について説明します。

### 5.2.1 バスモードとCPUモードの設定

S1C88650はそれぞれ2種類のバスモードとCPUモードを持ち、外部に接続するメモリの容量にしたがってソフトウェアによる設定が必要となります。

この設定は表5.2.1.1に示すとおり、BUSMODおよびCPUMODレジスタに各モードの設定値を書き込むことによって行います。

表5.2.1.1 バスモードとCPUモードの設定

MCU/MPU 端子	設定値		バスモード	CPUモード	外部メモリの構成
	BUSMOD	CPUMOD			
1(MCUモード)	1	1	拡張	マキシマム	ROM+RAM>64Kバイト(プログラム≥64Kバイト)
	1	0		ミニマム	ROM+RAM>64Kバイト(プログラム<64Kバイト)
	0	1	シングルチップ	マキシマム	なし(プログラム≥64Kバイト)
	0	0		ミニマム	なし(プログラム<64Kバイト)
0(MPUモード)	1	1	拡張	マキシマム	ROM+RAM>64Kバイト(プログラム≥64Kバイト)
	1	0		ミニマム	ROM+RAM>64Kバイト(プログラム<64Kバイト)
	0	1		マキシマム	ROM+RAM>64Kバイト(プログラム≥64Kバイト)
	0	0		ミニマム	ROM+RAM>64Kバイト(プログラム<64Kバイト)

表5.2.1.2 入出力端子の設定

端子	バスモード	
	シングルチップ	拡張
R00	出力ポートR00	アドレスバスA0
R01	出力ポートR01	アドレスバスA1
R02	出力ポートR02	アドレスバスA2
R03	出力ポートR03	アドレスバスA3
R04	出力ポートR04	アドレスバスA4
R05	出力ポートR05	アドレスバスA5
R06	出力ポートR06	アドレスバスA6
R07	出力ポートR07	アドレスバスA7
R10	出力ポートR10	アドレスバスA8
R11	出力ポートR11	アドレスバスA9
R12	出力ポートR12	アドレスバスA10
R13	出力ポートR13	アドレスバスA11
R14	出力ポートR14	アドレスバスA12
R15	出力ポートR15	アドレスバスA13
R16	出力ポートR16	アドレスバスA14
R17	出力ポートR17	アドレスバスA15
R20	出力ポートR20	アドレスバスA16
R21	出力ポートR21	アドレスバスA17
R22	出力ポートR22	アドレスバスA18
R23	出力ポートR23	アドレスバスA19
R24	出力ポートR24	RD信号
R25	出力ポートR25	WR信号
P00	入出力兼用ポートP00	データバスD0
P01	入出力兼用ポートP01	データバスD1
P02	入出力兼用ポートP02	データバスD2
P03	入出力兼用ポートP03	データバスD3
P04	入出力兼用ポートP04	データバスD4
P05	入出力兼用ポートP05	データバスD5
P06	入出力兼用ポートP06	データバスD6
P07	入出力兼用ポートP07	データバスD7

モードの選択にしたがって入出力端子の機能が表5.2.1.2のとおり設定されます。

イニシャルリセット時、バスモード(CPUモード)は以下のように設定されます。

#### • MCUモードの場合

イニシャルリセット時、シングルチップモード(ミニマム)に設定されます。

したがって、MCUモードでは外部にメモリを拡張している場合でも内蔵ROMに書き込まれたプログラムにより起動します。

外部にメモリを拡張しているシステムでは、内蔵ROM上の初期化ルーチンで該当するバスモードの設定を行ってください。

#### • MPUモードの場合

イニシャルリセット時、拡張モード(ミニマム)に設定されます。

したがって、内蔵ROMは無効となります。

### 5.2.2 アドレスデコーダ(CE出力)の設定

S1C88650は"3.6.4 チップイネーブル(CE)信号"で説明したとおり、外部デバイスに対するチップイネーブル信号を最大3本(CE0～CE2)出力することのできるアドレスデコーダを内蔵しています。

表5.2.2.1  $\overline{CE0} \sim \overline{CE2}$ のアドレス設定

$\overline{CE}$ 信号	アドレス範囲(拡張モード)	
	MCUモード	MPUモード
$\overline{CE0}$	300000H~3FFFFFFH	000000H~00D7FFH, 010000H~0FFFFFFH
$\overline{CE1}$	100000H~1FFFFFFH	100000H~1FFFFFFH
$\overline{CE2}$	200000H~2FFFFFFH	200000H~2FFFFFFH

$\overline{CE0} \sim \overline{CE2}$ の出力端子および出力回路は出力ポートR30～R32と共用となっており、イニシャルリセット時には出力ポート端子に設定されます。このため、シングルチップモード以外の場合は使用する $\overline{CE}$ 端子の設定を行う必要があります。この設定はソフトウェアによってレジスタ $\overline{CE0} \sim \overline{CE2}$ で行い、使用する $\overline{CE}$ 信号に対応するレジスタに"1"を書き込みます。

3本のチップイネーブル( $\overline{CE}$ )信号に割り当てられるアドレス範囲を表5.2.2.1に示します。

メモリ空間への外部デバイスの配置は必ずしも下位アドレスから連続させる必要はなく、任意のチップイネーブル信号を用いてその領域に割り当てることができます。ただし、MPUモードの場合は必ず $\overline{CE0}$ にプログラムメモリを割り当てておく必要があります。

$\overline{CE}$ 信号は所定の外部メモリ領域をアクセスする場合にのみ出力され、内蔵メモリのアクセス時には出力されません。

### 5.2.3 ウェイトステートの設定

S1C88650は外付け低速デバイスのアクセスを保証するために、アクセスタイム伸長用のウェイト機能を内蔵しています。

挿入するウェイトステート数はレジスタWT0～WT2によって表5.2.3.1に示す8種類の中から選択できます。

表5.2.3.1 ウェイトステート数の設定

WT2	WT1	WT0	挿入ステート数
1	1	1	14
1	1	0	12
1	0	1	10
1	0	0	8
0	1	1	6
0	1	0	4
0	0	1	2
0	0	0	ノーウェイト

\* 1ステート長はクロックの1/2サイクルです。

ソフトウェアで設定したウェイトステートはバスサイクルのT3～T4ステート間に挿入されます。ただし、内部レジスタと内蔵メモリのアクセス時、およびOSC1発振回路("5.4 発振回路"参照)での動作時には、ウェイトは挿入されません。

したがって、シングルチップモードではウェイトステートの設定は意味を持ちません。

ウェイト挿入のタイミングについては"3.6.5 ウェイト制御"を参照してください。

### 5.2.4 バス権解放要求信号の設定

DMA転送を行うシステムの場合、バス権解放要求信号(BREQ)入力端子、および応答信号(BACK)出力端子を設定する必要があります。

BREQ入力端子はK03入力ポート端子と、BACK出力端子はR33出力ポート端子と共用されており、イニシャルリセット時はそれぞれ入力ポート端子、出力ポート端子に設定されます。

BREQ/BACK端子への機能変更はレジスタEBRに"1"を書き込むことによって行います。

バス権解放の詳細については"3.6.6 バス権解放状態"および"S1C88650コアCPUマニュアル"を参照してください。

### 5.2.5 スタックページの設定

サブルーチンコール時のレジスタ退避などに使用されるスタック領域は、スタックポインタSPによってデータRAM上の任意のエリアに確保できますが、このページアドレスはI/Oメモリ上のレジスタSPP0～SPP7によって設定されます。

イニシャルリセット時はSPP0～SPP7が"00H"(0ページ)に設定されます。

内蔵RAMが0ページ(00D800H～00F7FFH)に配置されているため、シングルチップモードでのスタック領域は必然的に0ページとなります。内蔵RAMの最終アドレスからスタック領域を設定する場合はSPに"F800H"を初期設定します。(SPはプリデクリメント)

拡張モードで外部拡張したRAMにスタック領域を設定する場合は、SPP0～SPP7に該当するページを設定します。SPP0～SPP7に設定可能なページアドレスは00H～27Hで、必ずRAMが配置されている領域内で設定を行う必要があります。

\* ページはデータメモリを0番地から64Kバイトごとに分割したそれぞれの領域のことです。

## 5.2.6 システムコントローラの制御方法

表5.2.6.1にシステムコントローラの制御ビットを示します。

表5.2.6.1 システムコントローラの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF00 (MCU)	D7	BUSMOD	バスモード	拡張モード	シングルチップ	0	R/W	予約レジスタ
	D6	CPUMOD	CPUモード	マキシマム	ミニマム	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	CE2	CE2 (R32) CE信号出力イネーブル	CE2有効	CE2無効	0	R/W	シングルチップ モードの場合、 DC出力に固定
	D1	CE1	CE1 (R31) 有効: CE信号出力	CE1有効	CE1無効	0	R/W	
	D0	CE0	CE0 (R30) 無効: DC出力(R3x)	CE0有効	CE0無効	0	R/W	
00FF00 (MPU)	D7	BUSMOD	バスモード	拡張モード	—	1	R	拡張モードに固定
	D6	CPUMOD	CPUモード	マキシマム	ミニマム	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	CE2	CE2 (R32) CE信号出力イネーブル	CE2有効	CE2無効	0	R/W	
	D1	CE1	CE1 (R31) 有効: CE信号出力	CE1有効	CE1無効	0	R/W	
	D0	CE0	CE0 (R30) 無効: DC出力(R3x)	CE0有効	CE0無効	1	R/W	
00FF01	D7	SPP7	スタックポインタページアドレス (MSB)	1	0	0	R/W	
	D6	SPP6		1	0	0	R/W	
	D5	SPP5	< SPページ割り付け可能アドレス >	1	0	0	R/W	
	D4	SPP4	・ シングルチップモード: 0ページのみ	1	0	0	R/W	
	D3	SPP3	・ 拡張モード: 0 ~ 27Hページ	1	0	0	R/W	
	D2	SPP2		1	0	0	R/W	
	D1	SPP1		1	0	0	R/W	
	D0	SPP0	(LSB)	1	0	0	R/W	
00FF02	D7	EBR	バス解放イネーブル (K03, R33端子仕様)	K03 BREQ	入力ポート	0	R/W	
	D6	WT2	ウェイトステート制御	R33 BACK	出力ポート	0	R/W	
			WT2 WT1 WT0 ステート数					
			1 1 1 14					
	D5	WT1	1 1 0 12			0	R/W	
			1 0 1 10					
			1 0 0 8					
	D4	WT0	0 1 1 6					
			0 1 0 4			0	R/W	
			0 0 1 2					
			0 0 0 ノーウェイト					
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	1	R/W	
	D2	SOSC3	OSC3発振On/Off制御	On	Off	1	R/W	
	D1	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D0	—	汎用レジスタ	1	0	0	R/W	

注! アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

**BUSMOD, CPUMOD: 00FF00H-D7, D6**

バスモードとCPUモードを表5.2.6.2のとおりに設定します。

表5.2.6.2 バスモードとCPUモードの設定

MCU/MPU 端子	設定値		バスモード	CPUモード
	BUSMOD	CPUMOD		
1(MCUモード)	1	1	拡張	マキシマム
	1	0		ミニマム
	0	1	シングル チップ	マキシマム
	0	0		ミニマム
0(MPUモード)	1	1	拡張	マキシマム
	1	0		ミニマム
	0	1		マキシマム
	0	0		ミニマム

シングルチップモードは本ICをMCUモードで使用する場合にのみ設定可能です。MPUモードでは内蔵ROMを使用しないため、シングルチップモードは設定できません。

イニシャルリセット時、MCUモードではシングルチップミニマムモードに、MPUモードでは拡張ミニマムモードにそれぞれ設定されます。

**CE0~CE2: 00FF00H-D0~D2**

使用する $\overline{\text{CE}}$ 出力端子を設定します。

- "1"書き込み:  $\overline{\text{CE}}$ 出力イネーブル  
 "0"書き込み:  $\overline{\text{CE}}$ 出力ディセーブル  
 読み出し: 可能

使用する $\overline{\text{CE}}$ 出力に対応するレジスタCE0~CE2に"1"を書き込み $\overline{\text{CE}}$ 出力をイネーブルに設定します。"0"を書き込んだ $\overline{\text{CE}}$ 信号の出力はディセーブルとなり、その端子は出力ポートR30~R32として機能します。

イニシャルリセット時、レジスタCE0はMCUモードでは"0"に、MPUモードでは"1"にそれぞれ設定され、レジスタCE1~CE2はMCU/MPUモードにかかわらず常時"0"に設定されます。

注! バスの構成を初期設定するまでの割り込み発生によるシステムの誤動作を回避するため、アドレス"00FF00H"に任意の値を書き込むまで、NMIを含めたすべての割り込みはマスクされます。

**SPP0~SPP7: 00FF01H**

スタック領域のページアドレスを設定します。シングルチップモードの場合は"00H"を設定します。拡張モードの場合は"00H"~"27H"の範囲内で任意の値を設定できます。

スタックポインタSPのキャリー/ボローは本レジスタSPPへは反映されませんので、連続的に使用できるスタック領域の上限は64Kバイトとなります。イニシャルリセット時、本レジスタは"00H"(0ページ)に設定されます。

注! スタック領域を設定するまでの割り込み発生によるシステムの誤動作を回避するため、アドレス"00FF01H"に任意の値を書き込むまで、NMIを含めたすべての割り込みはマスクされます。また、スタック領域設定の継ぎ目で割り込みが発生するのを回避するため、アドレス"00FF01H"への書き込み後1命令実行期間、NMIを含めたすべての割り込みはマスクされます。

**WT0~WT2: 00FF02H-D4~D6**

ウェイトステートの設定を行います。レジスタの設定により挿入されるウェイトステート数は表5.2.6.3のとおりです。

表5.2.6.3 ウェイトステートの設定

WT2	WT1	WT0	挿入ステート数
1	1	1	14
1	1	0	12
1	0	1	10
1	0	0	8
0	1	1	6
0	1	0	4
0	0	1	2
0	0	0	ノーウェイト

\* 1ステート長はクロックの1/2サイクルです。

イニシャルリセット時、本レジスタは"0"(ノーウェイト)に設定されます。

**EBR: 00FF02H-D7**

BREQ/BACK端子を設定します。

- "1"書き込み: BREQ/BACKイネーブル  
 "0"書き込み: BREQ/BACKディセーブル  
 読み出し: 可能

BREQ端子、BACK端子の機能を設定します。EBRに"1"を書き込んだ場合BREQ/BACKの入出力がイネーブルとなります。"0"を書き込んだ場合はディセーブルとなり、BREQ端子がK03入力ポート端子、BACK端子がR33出力ポート端子に設定されます。

イニシャルリセット時、EBRは"0"(BREQ/BACKディセーブル)に設定されます。

### 5.2.7 プログラミング上の注意事項

- (1) アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、 $\overline{\text{NMI}}$ を含めたすべての割り込みはマスクされます。したがって、本アドレスの内容を変更しない(初期値をそのまま使用する)場合でも、書き込み動作は初期化ルーチン内で必ず行ってください。
- (2) スタック領域をページアドレスも含めて変更する場合は、レジスタSPP("00FF01H")、スタックポインタSPの順で書き換えを行ってください。

例: アドレス"178000H"を設定する場合

```
LD    EP,#00H
LD    HL,#0FF01H
LD    [HL],#17H  この間割り込み( $\overline{\text{NMI}}$ を
LD    SP,#8000H  含む)がマスクされます。
```



## 5.3 ウォッチドッグタイマ

### 5.3.1 ウォッチドッグタイマの構成

S1C88650はOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはソフトウェアによって周期的にリセットする必要がある、設定した周期内にリセットが行われない場合、CPUに対してノンマスクابلインタラプトを発生します。ウォッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることもできます。

ウォッチドッグタイマの $\overline{\text{NMI}}$ 発生周期はマスクオプションによって選択することができます。

ウォッチドッグタイマの $\overline{\text{NMI}}$ 発生周期

32768/ $f_{\text{OSC1}}$  ( $f_{\text{OSC1}}=32\text{kHz}$ 時 0.75 ~ 1秒周期)  
 65536/ $f_{\text{OSC1}}$  ( $f_{\text{OSC1}}=32\text{kHz}$ 時 1.5 ~ 2秒周期)  
 131072/ $f_{\text{OSC1}}$  ( $f_{\text{OSC1}}=32\text{kHz}$ 時 3 ~ 4秒周期)  
 262144/ $f_{\text{OSC1}}$  ( $f_{\text{OSC1}}=32\text{kHz}$ 時 6 ~ 8秒周期)

図5.3.1.1にウォッチドッグタイマのブロック図を示します。

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。

通常はこのルーチンを定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を設定した周期以上続けるとCPUは例外処理に移行します。

SLEEP時はウォッチドッグタイマも停止します。

注! マスクオプションリストの $\overline{\text{NMI}}$ 発生周期は最大値です。実際の周期はウォッチドッグタイマをリセットするタイミングにより最大でマイナス(マスクオプション選択周期/4)秒の誤差を生じます。たとえば、マスクオプションで131072/ $f_{\text{OSC1}}$ を選択した場合、実際の $\overline{\text{NMI}}$ 発生周期は98304/ $f_{\text{OSC1}}$  ~ 131072/ $f_{\text{OSC1}}$ 秒の間になります。

### 5.3.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、ウォッチドッグタイマはコアCPUの $\overline{\text{NMI}}$ (レベル4)入力に対して割り込み信号を出力します。この割り込みはマスクが不可能で、他の割り込みに優先して例外処理が発生します。 $\overline{\text{NMI}}$ 例外処理の詳細については“S1C88 コアCPUマニュアル”を参照してください。

本例外処理ベクタアドレスは、000004Hに設定されています。

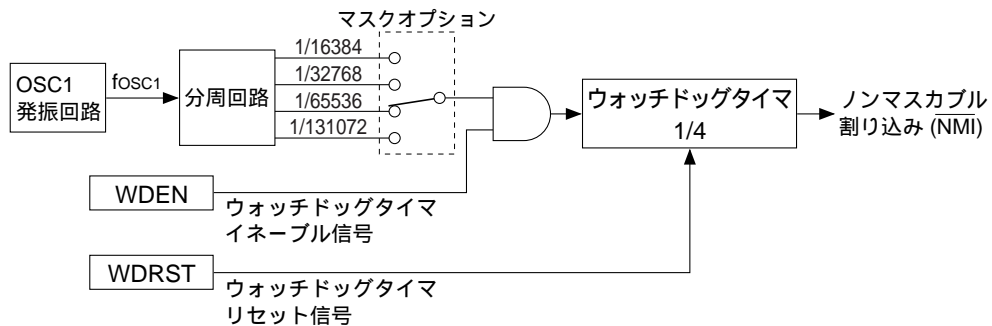


図5.3.1.1 ウォッチドッグタイマのブロック図

### 5.3.3 ウォッチドッグタイマの制御方法

表5.3.3.1にウォッチドッグタイマの制御ビットを示します。

表5.3.3.1 ウォッチドッグタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF40	D7	WDEN	ウォッチドッグタイマイネーブル	有効	無効	1	R/W	
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0 周波数					
			1 1 1 fosc3 / 8					
	D5	FOUT1	1 1 0 fosc3 / 4			0	R/W	
			1 0 1 fosc3 / 2					
			1 0 0 fosc3 / 1					
	D4	FOUT0	0 1 1 fosc1 / 8			0	R/W	
			0 1 0 fosc1 / 4					
			0 0 1 fosc1 / 2					
			0 0 0 fosc1 / 1					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	–	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	–	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	

#### WDEN: 00FF40H・D7

ウォッチドッグタイマを使用するかしないか選択します。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

WDENに"1"を書き込むことによりウォッチドッグタイマは有効となり、カウント動作を行います。"0"を書き込んだ場合は無効となります。カウント動作が停止するため割り込み(NMI)も発生しません。イニシャルリセット時、このレジスタは"1"にセットされます。

#### WDRST: 00FF40H・D2

ウォッチドッグタイマをリセットします。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

WDRSTは書き込み専用のため、読み出し時は常時"0"となります。

### 5.3.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマを使用する場合は、マスクオプションで設定した周期以内に必ずソフトウェアでリセットをする必要があります。
- (2) NMI割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)
- (3) イニシャルリセットによりウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマを無効に設定してください。
- (4) マスクオプションリストのNMI発生周期は最大値です。実際の周期はウォッチドッグタイマをリセットするタイミングにより最大でマイナス(マスクオプション選択周期/4)秒の誤差を生じます。たとえば、マスクオプションで131072/fosc1を選択した場合、実際のNMI発生周期は98304/fosc1 ~ 131072/fosc1秒の間になります。



## 5.4 発振回路

### 5.4.1 発振回路の構成

S1C88650は2種類の発振回路(OSC1およびOSC3)を内蔵したツインクロック仕様となっています。OSC3発振回路はCPUや一部の周辺回路を高速動作させるためのメインクロック(Max. 8.2MHz)を、OSC1発振回路は低電力動作のサブクロック(Typ. 32.768kHz)を発生します。

図5.4.1.1に発振回路の構成を示します。

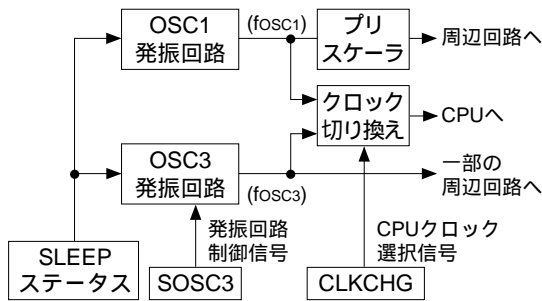


図5.4.1.1 発振回路の構成

イニシャルリセット時、CPUの動作クロックにはOSC3発振回路が選択されます。OSC3発振回路のON/OFFとシステムクロックの切り換え(OSC3 $\leftrightarrow$ OSC1)はソフトウェアによって制御できます。OSC3発振回路はCPUや一部の周辺回路の高速動作が必要な場合に使用します。それ以外の場合は消費電流を低減させるためにOSC3発振を停止させ、OSC1を動作クロックとして使用してください。

### 5.4.2 マスクオプション

#### OSC1発振回路

水晶発振回路  
CR発振回路

#### OSC3発振回路

水晶発振回路  
セラミック発振回路  
CR発振回路

OSC1発振回路の種類としては水晶発振またはCR発振のいずれかをマスクオプションで選択できます。OSC3発振回路の種類としては水晶発振、セラミック発振、CR発振のいずれかをOSC1同様にマスクオプションで選択できます。

**注!** OSC3水晶発振回路を使用する場合は、OSC1 CR発振回路を選択しないでください。OSC3の発振が安定する前に、内部へOSC3クロックが供給されてしまう可能性があります。

### 5.4.3 OSC1発振回路

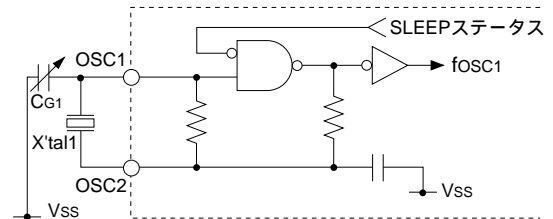
OSC1発振回路は32.768kHz(Typ.)のシステムクロックを発生します。

OSC1発振クロックはCPUおよび周辺回路の低速(低消費電力)動作時のシステムクロックとして使用されます。また、OSC3をシステムクロックとして使用する場合にも、計時タイマやストップウォッチタイマの原振として使用されます。

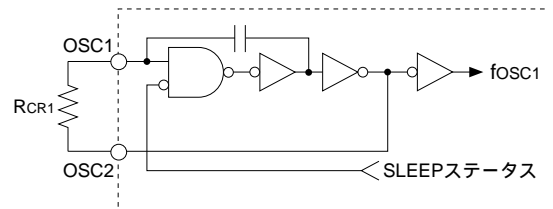
本発振回路は、SLP命令実行時に発振停止状態となります。

発振回路の種類としては、水晶発振またはCR発振のいずれかをマスクオプションで選択できます。

図5.4.3.1にOSC1発振回路の構造を示します。



(1) 水晶発振回路



(2) CR発振回路

図5.4.3.1 OSC1発振回路

水晶発振回路を選択した場合は、OSC1端子とOSC2端子間に水晶振動子X'tal 1(Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCG1(5 ~ 25pF)をそれぞれ接続することにより、容易に水晶発振回路を構成できます。

CR発振を選択した場合は、OSC1端子とOSC2端子間に抵抗(RCR1)を接続するだけでCR発振回路(Max. 200kHz)を構成できます。

### 5.4.4 OSC3発振回路

OSC3発振回路はCPUや一部の周辺回路を高速動作させる場合のシステムクロックを発生します。本発振回路はSLP命令実行時、またはレジスタSOSC3に"0"設定時に発振停止状態となります。発振回路の種類としては水晶発振、セラミック発振、CR発振のいずれかをマスクオプションで選択できます。

図5.4.4.1にOSC3発振回路の構造を示します。

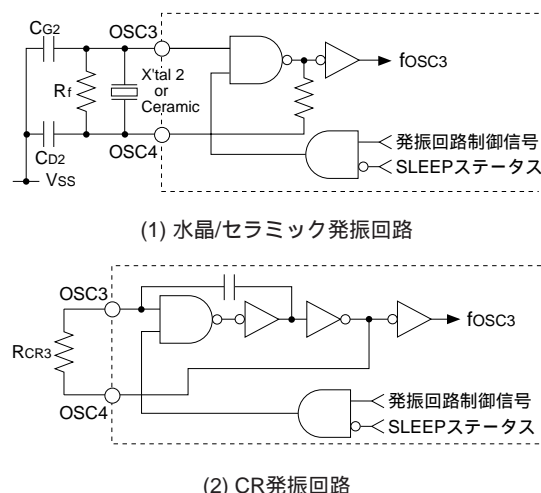


図5.4.4.1 OSC3発振回路

水晶/セラミック発振回路を選択した場合は、OSC3端子とOSC4端子間に水晶振動子(X'tal 2)またはセラミック振動子(Ceramic)と帰還抵抗(Rf)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG2、CD2)それぞれ接続することで水晶またはセラミック発振回路(Max. 8.2MHz)を構成できます。CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(RCR3)を接続するだけでCR発振回路(Max. 2.2MHz)を構成できます。

### 5.4.5 CPUクロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかを、ソフトウェアによって切り換えることができます。

OSC1でCPUが動作している間は、OSC3発振回路をOFFさせることでパワーセーブが実現できます。

OSC3での動作が必要な場合にOSC3発振回路をONさせ、システムクロックを切り換えることで高速動作が実現できます。この場合、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。

OSC3からOSC1に切り換える場合は、クロック切り換えの直後にOSC3発振回路をOFFしてください。

また、電源投入時にOSC3からOSC1へ切り換える場合は、OSC1の発振が十分安定するまでに数10msec～数秒の時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

図5.4.5.1にクロック切り換えの状態遷移図を示します。

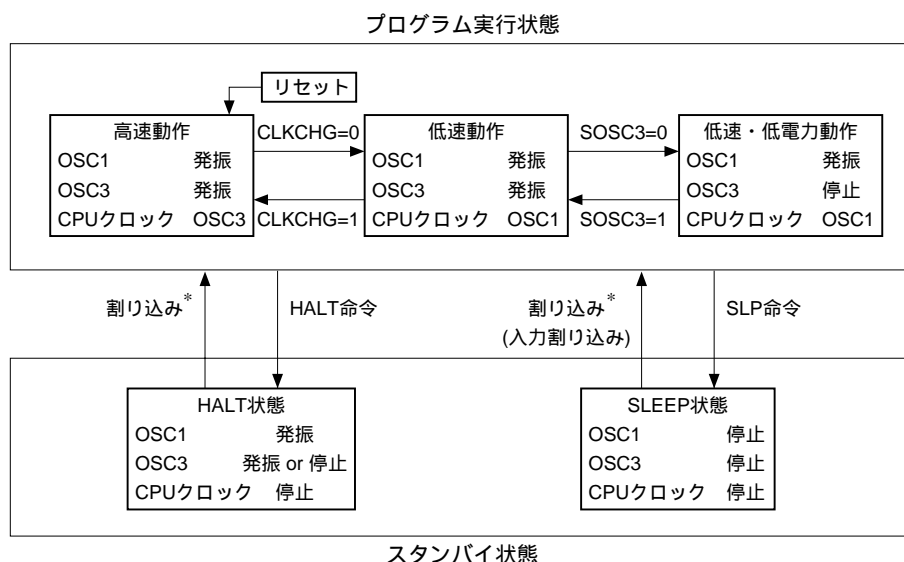


図5.4.5.1 クロック切り換えの状態遷移図

\* スタンバイ状態からの復帰先は、スタンバイ状態へ遷移する以前のプログラム実行状態となります。

図5.4.5.1 クロック切り換えの状態遷移図

### 5.4.6 発振回路の制御方法

表5.4.6.1に発振回路の制御ビットを示します。

表5.4.6.1 発振回路の制御ビット

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈
00FF02	D7	EBR	バス解放イネーブル (K03, R33端子仕様)		K03	$\overline{\text{BREQ}}$	入力ポート	0	R/W		
					R33	BACK	出力ポート				
	D6	WT2	ウェイトステート制御						0	R/W	
			WT2	WT1	WT0	ステート数					
			1	1	1	14					
	D5	WT1	1	1	0	12			0	R/W	
			1	0	1	10					
			1	0	0	8					
			0	1	1	6					
	D4	WT0	0	1	0	4			0	R/W	
			0	0	1	2					
0			0	0	ノーウェイト						
D3	CLKCHG	CPU動作クロック切り換え				OSC3	OSC1	1	R/W		
D2	SOSC3	OSC3発振On/Off制御				On	Off	1	R/W		
D1	—	汎用レジスタ				1	0	0	R/W	予約レジスタ	
D0	—	汎用レジスタ				1	0	0	R/W		

#### SOSC3: 00FF02H・D2

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON  
 "0"書き込み: OSC3発振OFF  
 読み出し: 可能

CPUや一部の周辺回路を高速動作させる必要のある場合にSOSC3を"1"とし、それ以外の場合は、低消費電力化のため"0"としてください。

イニシャルリセット時、SOSC3は"1"(OSC3発振ON)に設定されます。

#### CLKCHG: 00FF02H・D3

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック  
 "0"書き込み: OSC1クロック  
 読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を設定した場合OSC3、"0"を設定した場合OSC1となります。  
 イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

### 5.4.7 プログラミング上の注意事項

- (1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。

- CPU動作クロック .... OSC1
- OSC3発振回路 ..... OFF

(一部の周辺回路に対してOSC3クロックが必要ない場合)

- (2) OSC3発振回路をONにしてから発振が安定するまでに、数msec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)
- (3) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- (4) 電源投入時にOSC3からOSC1へ切り換える場合は、OSC1の発振が十分安定するまでに数10msec～数秒の時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

## 5.5 入力ポート (Kポート)

### 5.5.1 入力ポートの構成

S1C88650は8ビット(K00～K07)の入力ポートを内蔵しており、これらのポートはすべて割り込み機能を持つ汎用入力ポート端子として使用できます。

K04～K07入力ポート端子はプログラマブルタイマ(イベントカウンタ)の外部クロック(EXCL0～EXCL3)入力端子も兼ねており、入力ポート機能はそのままに入力信号が共有されます。("5.10 プログラマブルタイマ"参照)

また、K03入力ポート端子はバス権解放要求信号(BREQ)入力端子と共用となっており、ソフトウェアによってどちらの機能を使用するか選択できます。BREQ信号を選択した場合は、K03を入力ポートとして使用することはできません。("5.2 システムコントローラとバスの制御"参照)

以降の説明はK03を入力ポートとして使用するものとして行います。

図5.5.1.1に入力ポートの構造を示します。

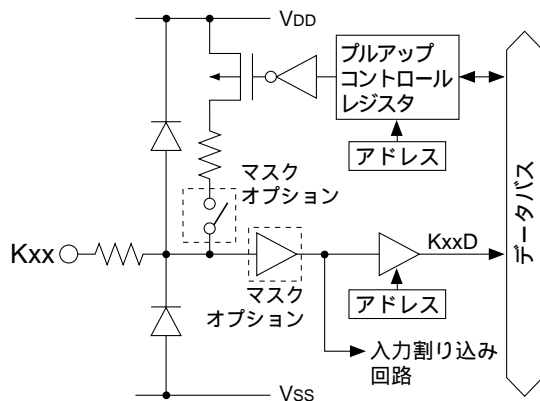


図5.5.1.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

### 5.5.2 マスクオプション

#### 入力ポートプルアップ抵抗

K00	抵抗あり	抵抗なし
K01	抵抗あり	抵抗なし
K02	抵抗あり	抵抗なし
K03	抵抗あり	抵抗なし
K04	抵抗あり	抵抗なし
K05	抵抗あり	抵抗なし
K06	抵抗あり	抵抗なし
K07	抵抗あり	抵抗なし

#### 入力ポート入力インタフェースレベル

K00	.....	CMOSレベル	CMOSシュミット
K01	.....	CMOSレベル	CMOSシュミット
K02	.....	CMOSレベル	CMOSシュミット
K03	.....	CMOSレベル	CMOSシュミット
K04	.....	CMOSレベル	CMOSシュミット
K05	.....	CMOSレベル	CMOSシュミット
K06	.....	CMOSレベル	CMOSシュミット
K07	.....	CMOSレベル	CMOSシュミット

入力ポートK00～K07にはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各ポート(1ビット)ごとに選択できます。また、入力インタフェースレベルについてもCMOSレベルまたはCMOSシュミットレベルを各ポート(1ビット)ごとに選択できます。

### 5.5.3 プルアップ制御

マスクオプションでプルアップ抵抗ありを選択した場合、これを使用するかしないかを各ポート(1ビット)ごとにソフトウェアで選択できます。

各ポートに対応したプルアップコントロールレジスタPULK0xに"1"を書き込むことによりプルアップ抵抗が有効になり、入力ラインがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。

マスクオプションでプルアップ抵抗なしを選択した場合、レジスタの設定は無効になり汎用レジスタとして使用することができます。

イニシャルリセット時、プルアップコントロールレジスタは"1"(プルアップ)に設定されます。

プルアップ付きポートはプッシュスイッチ、キーマトリクス等の入力に適当です。

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 =  $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$

$R_{IN}$ : プルアップ抵抗Max.値

$C_{IN}$ : 端子容量Max.値

プルアップなしのポートは、スライドスイッチ入力、他LSIとのインタフェースなどに適当となります。この場合は、入力にフローティング状態が発生しないよう注意してください。

使用しない入力ポートについてはマスクオプションデフォルトの"抵抗あり"を選択し、プルアップコントロールレジスタを有効に設定してください。

### 5.5.4 割り込み機能と入力比較レジスタ

入力ポートK00～K07は、すべて割り込み機能を持っており、端子ごとに割り込み発生条件をソフトウェアで設定することができます。

端子ごとに設定した割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグFK00～FK07が"1"にセットされ、割り込みが発生します。K00～K07に対応した割り込みイネーブルレジスタEK00～EK07の設定により、CPUに対する割り込みを許可/禁止することができます。

また、CPUに対する入力割り込みの優先レベルを、割り込みプライオリティレジスタPK00～PK01によって、任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

入力割り込みの例外処理ベクタは、それぞれ以下のとおり設定されています。

K07入力割り込み:	000006H
K06入力割り込み:	000008H
K05入力割り込み:	00000AH
K04入力割り込み:	00000CH
K03入力割り込み:	00000EH
K02入力割り込み:	000010H
K01入力割り込み:	000012H
K00入力割り込み:	000014H

図5.5.4.1に入力割り込み回路の構成を示します。

入力比較レジスタKCPIは、各入力ポートの割り込みを入力立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

入力端子K0xが入力比較レジスタKCP0xで指定された状態に変化すると、割り込み要因フラグFK0xが"1"にセットされ、割り込みが発生します。

なお、各入力ポートにはチャタリングによる誤った割り込み発生を防止するため、チャタリング除去回路が設けられ、入力レベルを検定しています。チャタリング除去は、K00～K03、K04～K07に対して、それぞれに設定することが可能です。

また、検定時間をCTK00x～CTK02xレジスタによって表5.5.4.1に示すとおり選択することができます。



表5.5.4.1 入力検定時間の設定

CTK02x	CTK01x	CTK00x	検定時間 (*)
1	1	1	4/fosc3 (2μs)
1	1	0	2/fosc3 (1μs)
1	0	1	1/fosc3 (0.5μs)
1	0	0	4096/fosc1 (128ms)
0	1	1	2048/fosc1 (64ms)
0	1	0	512/fosc1 (16ms)
0	0	1	128/fosc1 (4ms)
0	0	0	なし -

※: OSC1=32kHz, OSC3=2MHz時

- 注!
- ・CTK0xレジスタの設定変更は、必ず割り込みが禁止されている状態で行ってください。割り込みイネーブルレジスタEK0xによって割り込みが許可されている状態で設定を変更すると、割り込みが誤って発生する場合があります。
  - ・チャタリング除去の検定時間とは、除去できる最大パルス幅のことを指します。ポートの割り込みを有効にしたい場合は、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
  - ・入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25nsec以下を目安に設定してください。

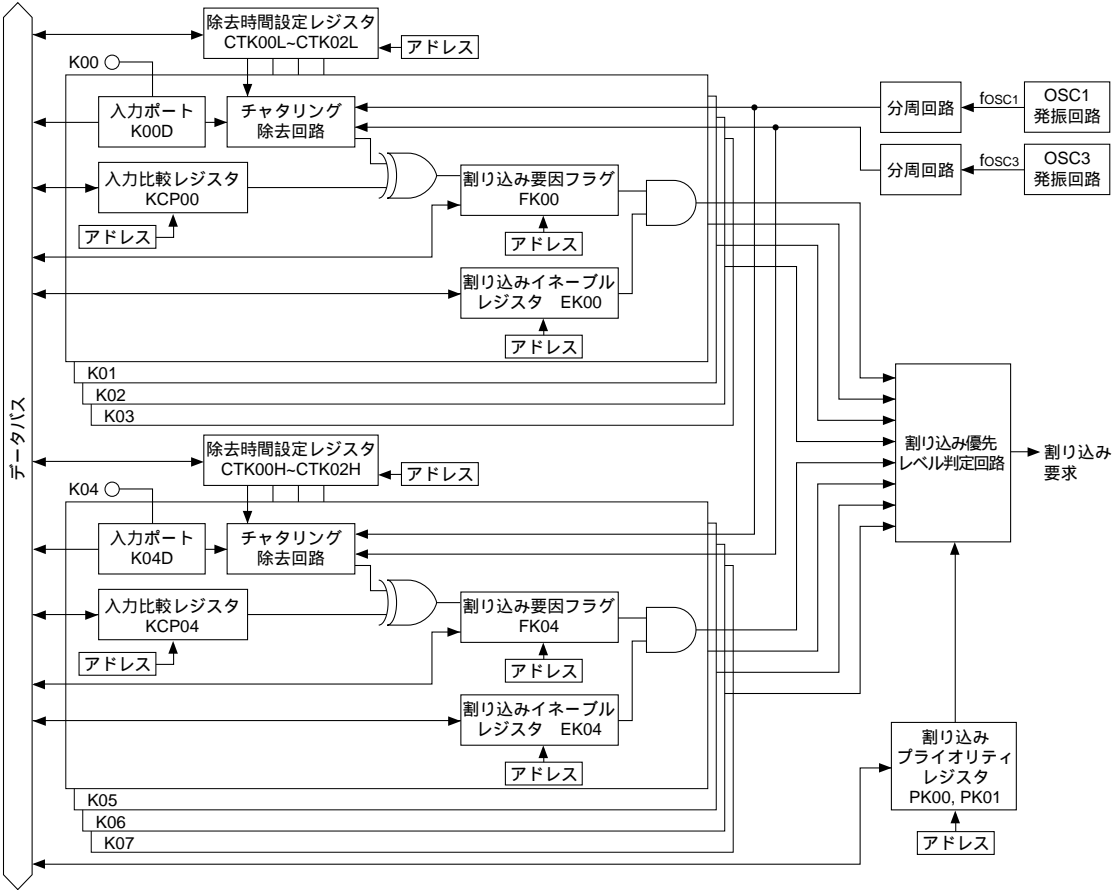


図5.5.4.1 入力割り込み回路の構成

## 5.5.5 入力ポートの制御方法

表5.5.5.1に入力ポートの制御ビットを示します。

表5.5.5.1(a) 入力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ					
	D5	KCP05	K05入力比較レジスタ					
	D4	KCP04	K04入力比較レジスタ					
	D3	KCP03	K03入力比較レジスタ					
	D2	KCP02	K02入力比較レジスタ					
	D1	KCP01	K01入力比較レジスタ					
	D0	KCP00	K00入力比較レジスタ					
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	-	R	
	D6	K06D	K06入力ポートデータ					
	D5	K05D	K05入力ポートデータ					
	D4	K04D	K04入力ポートデータ					
	D3	K03D	K03入力ポートデータ					
	D2	K02D	K02入力ポートデータ					
	D1	K01D	K01入力ポートデータ					
	D0	K00D	K00入力ポートデータ					
00FF56	D7	PULK07	K07プルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULK06	K06プルアップコントロールレジスタ					
	D5	PULK05	K05プルアップコントロールレジスタ					
	D4	PULK04	K04プルアップコントロールレジスタ					
	D3	PULK03	K03プルアップコントロールレジスタ					
	D2	PULK02	K02プルアップコントロールレジスタ					
	D1	PULK01	K01プルアップコントロールレジスタ					
	D0	PULK00	K00プルアップコントロールレジスタ					
00FF58	D7	-	-	-	-	-		読み出し時は"0"
	D6	CTK02H	K04～K07ポートチャタリング防止 (入力レベル検定時間) CTK02H CTK01H CTK00H 検定時間[秒]			0	R/W	
	D5	CTK01H	1 1 1 4/fosc3			0	R/W	
			1 1 0 2/fosc3					
			1 0 1 1/fosc3					
			1 0 0 4096/fosc1					
	D4	CTK00H	0 1 1 2048/fosc1			0	R/W	
			0 1 0 512/fosc1					
			0 0 1 128/fosc1					
			0 0 0 なし					
	D3	-	-	-	-	-		読み出し時は"0"
	D2	CTK02L	K00～K03ポートチャタリング防止 (入力レベル検定時間) CTK02L CTK01L CTK00L 検定時間[秒]			0	R/W	
	D1	CTK01L	1 1 1 4/fosc3			0	R/W	
			1 1 0 2/fosc3					
1 0 1 1/fosc3								
1 0 0 4096/fosc1								
D0	CTK00L	0 1 1 2048/fosc1			0	R/W		
		0 1 0 512/fosc1						
		0 0 1 128/fosc1						
		0 0 0 なし						

表5.5.5.1(b) 入力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈		
00FF20	D7	PK01	K00～K07割り込み	PK01 PSIF1	PK00 PSIF0	優先 レベル	0	R/W		
	D6	PK00	プライオリティレジスタ	1	1	レベル3	0	R/W		
	D5	PSIF1	シリアルインタフェース割り込み	1	0	レベル2				
	D4	PSIF0	プライオリティレジスタ	0	1	レベル1				
				0	0	レベル0				
	D3	—	—	—	—	—			読み出し時は 常時"0"	
	D2	—	—	—	—	—				
	D1	PTM1	計時タイマ割り込み	プライオリティレジスタ	PTM1	PTM0	優先レベル	0	R/W	
D0	PTM0	1	1		レベル3					
			1	0	レベル2					
			0	1	レベル1					
			0	0	レベル0					
00FF24	D7	EK07	K07割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W			
	D6	EK06	K06割り込みイネーブル							
	D5	EK05	K05割り込みイネーブル							
	D4	EK04	K04割り込みイネーブル							
	D3	EK03	K03割り込みイネーブル							
	D2	EK02	K02割り込みイネーブル							
	D1	EK01	K01割り込みイネーブル							
	D0	EK00	K00割り込みイネーブル							
00FF28	D7	FK07	K07割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W			
	D6	FK06	K06割り込み要因フラグ							
	D5	FK05	K05割り込み要因フラグ							
	D4	FK04	K04割り込み要因フラグ							
	D3	FK03	K03割り込み要因フラグ	(W) リセット	(W) 無効					
	D2	FK02	K02割り込み要因フラグ							
	D1	FK01	K01割り込み要因フラグ							
	D0	FK00	K00割り込み要因フラグ							

**K00D~K07D: 00FF54H**

K0x入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポートK00～K07の端子電圧がそれぞれHIGH (V<sub>DD</sub>)レベルのとき"1"、LOW (V<sub>SS</sub>)レベルのとき"0"として直接読み出せます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

**PULK00~PULK07: 00FF56H**

入力プルアップ抵抗を制御します。

"1"書き込み: プルアップON

"0"書き込み: プルアップOFF

読み出し: 可能

PULK0xは各入力ポートK0xに対応するプルアップコントロールレジスタで、各入力ポートに内蔵されたプルアップ抵抗をON/OFFします。

マスクオプションでプルアップ抵抗なしを選択した場合、レジスタの設定は無効になり汎用レジスタとして使用することができます。

PULK0xに"1"を書き込むことにより、対応する入力ポートK0xがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、本レジスタは"1"(プルアップON)に設定されます。



**KCP00~KCP07: 00FF52H**

K00 ~ K07入力ポート端子の割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

KCP0xは各入力ポートK0xに対応する入力比較レジスタで、"1"に設定した入力ポートの割り込みは入力の立ち下がりエッジで、"0"に設定した入力ポートの割り込みは入力の立ち上がりエッジでそれぞれ発生します。

イニシャルリセット時、本レジスタは"1"(立ち下がりエッジ)に設定されます。

**CTK00L~CTK02L: 00FF58H・D0~D2**

K00 ~ K03入力ポート割り込み用チャタリング除去回路の入力レベル検定時間を表5.5.5.2のとおり設定します。

表5.5.5.2 入力検定時間の設定

CTK02L	CTK01L	CTK00L	入力レベル検定時間[秒]
1	1	1	$4/f_{OSC3}$
1	1	0	$2/f_{OSC3}$
1	0	1	$1/f_{OSC3}$
1	0	0	$4096/f_{OSC1}$
0	1	1	$2048/f_{OSC1}$
0	1	0	$512/f_{OSC1}$
0	0	1	$128/f_{OSC1}$
0	0	0	なし

本レジスタの設定変更は、必ず割り込みが禁止されている状態で行ってください。

割り込みイネーブルレジスタEK0xによって割り込みが許可されている状態で設定を変更すると、割り込みが誤って発生する場合があります。

イニシャルリセット時、本レジスタは"0"(なし)に設定されます。

**CTK00H~CTK02H: 00FF58H・D4~D6**

K04 ~ K07入力ポート割り込み用チャタリング除去回路の入力レベル検定時間を表5.5.5.3のとおり設定します。

表5.5.5.3 入力検定時間の設定

CTK02H	CTK01H	CTK00H	入力レベル検定時間[秒]
1	1	1	$4/f_{OSC3}$
1	1	0	$2/f_{OSC3}$
1	0	1	$1/f_{OSC3}$
1	0	0	$4096/f_{OSC1}$
0	1	1	$2048/f_{OSC1}$
0	1	0	$512/f_{OSC1}$
0	0	1	$128/f_{OSC1}$
0	0	0	なし

本レジスタの設定変更は、必ず割り込みが禁止されている状態で行ってください。

割り込みイネーブルレジスタEK0xによって割り込みが許可されている状態で設定を変更すると、割り込みが誤って発生する場合があります。

イニシャルリセット時、本レジスタは"0"(なし)に設定されます。

**PK00, PK01: 00FF20H・D6, D7**

入力割り込みの優先レベルを設定します。

PK00、PK01は入力割り込みに対応した割り込みプライオリティレジスタです。

本レジスタによって設定できる割り込み優先レベルは表5.5.5.4のとおりです。

表5.5.5.4 割り込み優先レベルの設定

PK01	PK00	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

**EK00~EK07: 00FF24H**

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EK0xは各入力ポートK0xに対応する割り込みイネーブルレジスタで、"1"に設定した端子の割り込みが許可され、"0"に設定した端子の割り込みが禁止されます。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

**FK00~FK07: 00FF28H**

入力割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FK0xは各入力ポートK0xに対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。イニシャルリセット時、本フラグはすべて"0"にリセットされます。

### 5.5.6 プログラミング上の注意事項

- (1) 入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

$R_{IN}$ : プルアップ抵抗Max.値

$C_{IN}$ : 端子容量Max.値

- (2) CTK0xレジスタの設定変更は、必ず割り込みが禁止されている状態で行ってください。割り込みイネーブルレジスタEK0xによって割り込みが許可されている状態で設定を変更すると、割り込みが誤って発生する場合があります。

## 5.6 出力ポート (Rポート)

### 5.6.1 出力ポートの構成

S1C88650は26ビット(R00～R07、R10～R17、R20～R25、R30～R33)の出力ポートを内蔵しています。出力ポートの構成はバスモードの設定により、以下のとおり異なります。

表5.6.1.1 出力ポートの構成

端子	バスモード	
	シングルチップ	拡張
R00	出力ポートR00	アドレスA0
R01	出力ポートR01	アドレスA1
R02	出力ポートR02	アドレスA2
R03	出力ポートR03	アドレスA3
R04	出力ポートR04	アドレスA4
R05	出力ポートR05	アドレスA5
R06	出力ポートR06	アドレスA6
R07	出力ポートR07	アドレスA7
R10	出力ポートR10	アドレスA8
R11	出力ポートR11	アドレスA9
R12	出力ポートR12	アドレスA10
R13	出力ポートR13	アドレスA11
R14	出力ポートR14	アドレスA12
R15	出力ポートR15	アドレスA13
R16	出力ポートR16	アドレスA14
R17	出力ポートR17	アドレスA15
R20	出力ポートR20	アドレスA16
R21	出力ポートR21	アドレスA17
R22	出力ポートR22	アドレスA18
R23	出力ポートR23	アドレスA19
R24	出力ポートR24	RD信号
R25	出力ポートR25	WR信号
R30	出力ポートR30	出力ポートR30/CE0信号
R31	出力ポートR31	出力ポートR31/CE1信号
R32	出力ポートR32	出力ポートR32/CE2信号
R33	出力ポートR33	出力ポートR33/BACK信号

ここではシングルチップモード時の構成として出力ポートのみの説明を行います。バスの制御については"5.2 システムコントローラとバスの制御"を参照してください。

図5.6.1.1に出力ポートの基本構造を示します。

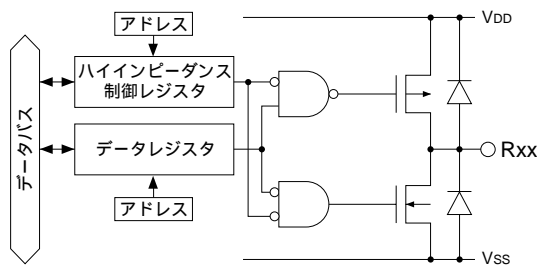


図5.6.1.1 出力ポートの構造

拡張モードの場合、バス機能に使用される出力ポートのデータレジスタとハイインピーダンス制御レジスタはリード/ライト可能な汎用レジスタとして使用することができ、バス信号の出力には影響を与えません。

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

### 5.6.2 ハイインピーダンス制御

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

これにより、出力信号ラインを他の外部デバイスと共有することも可能となります。

出力ポートには以下に示す端子系列ごとのハイインピーダンス制御レジスタが設けられており、このレジスタによってコンプリメンタリ出力、またはハイインピーダンス状態のいずれかが選択できます。

表5.6.2.1 ハイインピーダンス制御レジスタ

レジスタ	出力ポート端子
HZR0L	R00～R03
HZR0H	R04～R07
HZR1L	R10～R13
HZR1H	R14～R17
HZR20	R20
HZR21	R21
HZR22	R22
HZR23	R23
HZR24	R24
HZR25	R25
HZR30	R30
HZR31	R31
HZR32	R32
HZR33	R33

ハイインピーダンス制御レジスタHZRxxに"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。

### 5.6.3 DC出力

図5.6.1.1に示すように、出力ポートのデータレジスタに"1"を書き込むと出力端子がHIGH(VDD)レベルとなり、"0"を書き込むとLOW(VSS)レベルとなります。出力がハイインピーダンス状態の場合にデータレジスタに書き込まれたデータは、出力をコンプリメンタリに切り換えた時点で端子から出力されます。

## 5.6.4 出力ポートの制御方法

表5.6.4.1に出力ポートの制御ビットを示します。

表5.6.4.1(a) 出力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF70	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	HZR1H	R14～R17ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D2	HZR1L	R10～R13ハイインピーダンス制御					
	D1	HZR0H	R04～R07ハイインピーダンス制御					
	D0	HZR0L	R00～R03ハイインピーダンス制御					
00FF71	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	HZR25	R25ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D4	HZR24	R24ハイインピーダンス制御					
	D3	HZR23	R23ハイインピーダンス制御					
	D2	HZR22	R22ハイインピーダンス制御					
	D1	HZR21	R21ハイインピーダンス制御					
	D0	HZR20	R20ハイインピーダンス制御					
00FF72	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	HZR33	R33ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D2	HZR32	R32ハイインピーダンス制御					
	D1	HZR31	R31ハイインピーダンス制御					
	D0	HZR30	R30ハイインピーダンス制御					
00FF73	D7	R07D	R07出力ポートデータ	High	Low	1	R/W	
	D6	R06D	R06出力ポートデータ					
	D5	R05D	R05出力ポートデータ					
	D4	R04D	R04出力ポートデータ					
	D3	R03D	R03出力ポートデータ					
	D2	R02D	R02出力ポートデータ					
	D1	R01D	R01出力ポートデータ					
	D0	R00D	R00出力ポートデータ					
00FF74	D7	R17D	R17出力ポートデータ	High	Low	1	R/W	
	D6	R16D	R16出力ポートデータ					
	D5	R15D	R15出力ポートデータ					
	D4	R14D	R14出力ポートデータ					
	D3	R13D	R13出力ポートデータ					
	D2	R12D	R12出力ポートデータ					
	D1	R11D	R11出力ポートデータ					
	D0	R10D	R10出力ポートデータ					
00FF75	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	R25D	R25出力ポートデータ	High	Low	1	R/W	
	D4	R24D	R24出力ポートデータ					
	D3	R23D	R23出力ポートデータ					
	D2	R22D	R22出力ポートデータ					
	D1	R21D	R21出力ポートデータ					
	D0	R20D	R20出力ポートデータ					

表5.6.4.1(b) 出力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF76	D7	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	—	汎用レジスタ	1	0	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	R33D	R33出力ポートデータ	High	Low	1	R/W	
	D2	R32D	R32出力ポートデータ					
	D1	R31D	R31出力ポートデータ					
	D0	R30D	R30出力ポートデータ					

***HZR0L, HZR0H: 00FF70H-D0, D1******HZR1L, HZR1H: 00FF70H-D2, D3******HZR20~HZR25: 00FF71H-D0~D5******HZR30~HZR33: 00FF72H-D0~D3***

各出力端子をハイインピーダンスに設定します。

"1"書き込み: ハイインピーダンス

"0"書き込み: コンプリメンタリ

読み出し: 可能

HZRxxは出力ポート端子のハイインピーダンス制御レジスタで、表5.6.2.1に示すとおり各出力ポート端子に対応しています。

HZRxxに"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。

イニシャルリセット時、本レジスタはすべて"0"(コンプリメンタリ)に設定されます。

***R00D~R07D: 00FF73H******R10D~R17D: 00FF74H******R20D~R25D: 00FF75H-D0~D5******R30D~R33D: 00FF76H-D0~D3***

Rxx出力ポート端子の出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

RxxDは各出力ポートのデータレジスタで、"1"を設定すると対応する出力ポート端子がHIGH(V<sub>DD</sub>)レベルとなり、"0"を設定するとLOW(V<sub>SS</sub>)レベルとなります。

イニシャルリセット時、本レジスタはすべて"1"(HIGHレベル出力)に設定されます。

バス信号の出力に設定されている出力ポートのデータレジスタは、出力端子に影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

5.7 入出力兼用ポート (Pポート)

5.7.1 入出力兼用ポートの構成

S1C88650は16ビット(P00～P07、P10～P17)の入出力兼用(I/O)ポートを内蔵しています。  
入出力兼用ポートの構成はバスモードにより、以下のとおり異なります。

表5.7.1.1 入出力兼用(I/O)ポートの構成

端子	バスモード	
	シングルチップ	拡張
P00	I/OポートP00	データバスD0
P01	I/OポートP01	データバスD1
P02	I/OポートP02	データバスD2
P03	I/OポートP03	データバスD3
P04	I/OポートP04	データバスD4
P05	I/OポートP05	データバスD5
P06	I/OポートP06	データバスD6
P07	I/OポートP07	データバスD7
P10	I/OポートP10 (SIN)	
P11	I/OポートP11 (SOUT)	
P12	I/OポートP12 (SCLK)	
P13	I/OポートP13 (SRDY)	
P14	I/OポートP14 (TOUT0/TOUT1)	
P15	I/OポートP15 (TOUT2/TOUT3)	
P16	I/OポートP16 (FOUT)	
P17	I/OポートP17 (TOUT2/TOUT3)	

データバスについては"5.2 システムコントローラとバスの制御"を参照してください。  
図5.7.1.1に入出力兼用ポートの構造を示します。

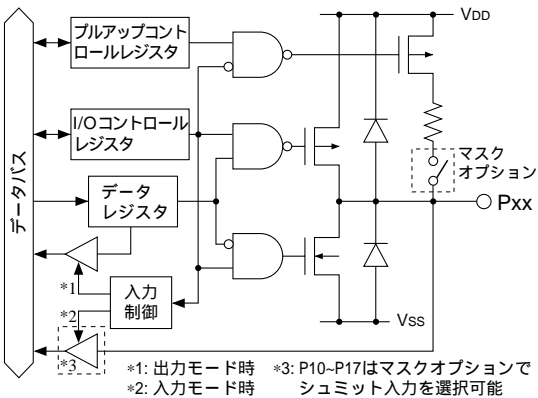


図5.7.1.1 入出力兼用ポートの構造

入出力兼用ポートは1ビットごとに入力モード、または出力モードを設定することができます。この設定はI/Oコントロールレジスタにデータを書き込むことによって行います。

入出力兼用ポートP10～P13はシリアルインタフェースの入出力端子と共用されており、どの用途で使用するかをソフトウェアによって選択することができます。

シリアルインタフェースの詳細については"5.8 シリアルインタフェース"を参照してください。

データバスとシリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。また、シリアルインタフェースの入力端子に設定される入出力兼用ポートのI/Oコントロールレジスタも同様に、汎用レジスタとして使用することができます。

入出力兼用ポートP14～P17は汎用DC入出力のほか、に特殊出力機能を持っており、ソフトウェアによってどちらを使用するかを選択することができます。

5.7.2 マスクオプション

入出力兼用ポートプルアップ抵抗

P00 .....	抵抗あり	抵抗なし
P01 .....	抵抗あり	抵抗なし
P02 .....	抵抗あり	抵抗なし
P03 .....	抵抗あり	抵抗なし
P04 .....	抵抗あり	抵抗なし
P05 .....	抵抗あり	抵抗なし
P06 .....	抵抗あり	抵抗なし
P07 .....	抵抗あり	抵抗なし
P10 .....	抵抗あり	抵抗なし
P11 .....	抵抗あり	抵抗なし
P12 .....	抵抗あり	抵抗なし
P13 .....	抵抗あり	抵抗なし
P14 .....	抵抗あり	抵抗なし
P15 .....	抵抗あり	抵抗なし
P16 .....	抵抗あり	抵抗なし
P17 .....	抵抗あり	抵抗なし

入出力兼用ポート入力インタフェースレベル

P10 .....	CMOSレベル	CMOSシュミット
P11 .....	CMOSレベル	CMOSシュミット
P12 .....	CMOSレベル	CMOSシュミット
P13 .....	CMOSレベル	CMOSシュミット
P14 .....	CMOSレベル	CMOSシュミット
P15 .....	CMOSレベル	CMOSシュミット
P16 .....	CMOSレベル	CMOSシュミット
P17 .....	CMOSレベル	CMOSシュミット

入出力兼用ポートP00～P07、P10～P17には入力モード時においてONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。また、P10～P17については、インタフェースレベルをCMOSレベルまたはCMOSシュミットレベルから各ポート(1ビット)ごとに選択できます。



### 5.7.3 I/Oコントロールレジスタと 入力/出力モード

入出力兼用ポートP00～P07とP10～P17は、それぞれのビットに対応したI/OコントロールレジスタIOC00～IOC07とIOC10～IOC17にデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/Oコントロールレジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHIGH(V<sub>DD</sub>)レベルのときに"1"、LOW(V<sub>SS</sub>)レベルのときに"0"となります。

ソフトウェアで内蔵プルアップ抵抗を有効に設定しておくと、入力モード時にポート端子がプルアップされます。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/Oコントロールレジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHIGH(V<sub>DD</sub>)レベル、"0"の場合にLOW(V<sub>SS</sub>)レベルを出力します。

出力モード時の読み出しでは、データレジスタの内容が読み込まれます。

イニシャルリセット時、I/Oコントロールレジスタは"0"(入出力兼用ポートは入力モード)に設定されます。

### 5.7.4 プルアップ制御

マスクオプションでプルアップ抵抗ありを選択した場合、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。

各ポートに対応したプルアップコントロールレジスタPULPxに"1"を書き込むことによりプルアップ抵抗が有効になり、入力モード時にPxx端子がプルアップされます。"0"を書き込んだ場合、プルアップは行われません。

マスクオプションでプルアップ抵抗なしを選択した場合、レジスタの設定は無効になり汎用レジスタとして使用することができます。

出力モード時には、プルアップコントロールレジスタの設定は無効になります(出力時にはプルアップされません)。

イニシャルリセット時、プルアップコントロールレジスタは"1"(プルアップ)に設定されます。

内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 =  $RIN \times (CIN + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$

RIN: プルアップ抵抗Max.値

CIN: 端子容量Max.値

使用しない入出力兼用ポートについてはマスクオプションデフォルトの"抵抗あり"を選択し、プルアップコントロールレジスタを有効に設定してください。

### 5.7.5 特殊出力

入出力兼用ポートP14～P17は汎用DC入出力のほか表5.7.5.1に示す特殊出力をソフトウェアによって選択することができます。

表5.7.5.1 特殊出力ポート

出力ポート	特殊出力
P14	TOUT0/TOUT1出力
P15	TOUT2/TOUT3出力
P16	FOUT出力
P17	TOUT2/TOUT3出力

P14～P17を特殊出力ポートとして使用する場合は、対応するI/Oコントロールレジスタ(IOC14～IOC17)に"1"を書き込み、ポートを出力モードに設定してください。

#### TOUT出力(P14, P15)

S1C88650は外部デバイスに対してクロックを供給する場合などのために、TOUTx信号(プログラマブルタイマの出力クロック)をP14、P15端子から出力させることができます。

TOUTx信号(x=0～3)の出力はレジスタPTOUTxによって制御します。PTOUTxに"1"を設定するとTOUTx信号が対応するポート端子から出力され、"0"を設定するとDC出力を行います。このとき、I/OコントロールレジスタIOC14/IOC15およびデータレジスタP14D/P15Dの設定は無効になります。

TOUT0～TOUT3信号はプログラマブルタイマ0～3のアンダーフローおよびコンペアマッチによって生成されたタイマ出力信号です。周波数の制御等については"5.10 プログラマブルタイマ"を参照してください。

なお、TOUTx信号はレジスタPTOUTxとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.7.5.1にTOUT信号の出力波形を示します。

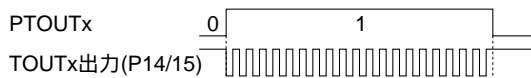


図5.7.5.1 TOUT信号の出力波形

注! PTOUT0とPTOUT1を同時に設定した場合はPTOUT1が、PTOUT2とPTOUT3を同時に設定した場合はPTOUT3が有効になります。

#### FOUT出力(P16)

S1C88650は外部デバイスに対してクロックを供給する場合などのために、FOUT信号(発振クロックfosc1またはfosc3の分周クロック)をP16ポート端子から出力させることができます。

FOUT信号の出力はレジスタFOUTONによって制御します。FOUTONに"1"を設定するとFOUT信号がP16ポート端子から出力され、"0"を設定するとDC出力を行います。このとき、I/OコントロールレジスタIOC16およびデータレジスタP16Dの設定は無効になります。

FOUT信号の周波数はソフトウェアによるレジスタFOUT0～FOUT2への設定によって、表5.7.5.2に示す8種類の中から1つを選択することができます。

表5.7.5.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
1	1	1	fosc3 / 8
1	1	0	fosc3 / 4
1	0	1	fosc3 / 2
1	0	0	fosc3 / 1
0	1	1	fosc1 / 8
0	1	0	fosc1 / 4
0	0	1	fosc1 / 2
0	0	0	fosc1 / 1

(fosc1: OSC1発振周波数、fosc3: OSC3発振周波数)

FOUTの周波数を"fosc3/n"とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

なお、FOUT信号はレジスタFOUTONとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.7.5.2にFOUT信号の出力波形を示します。

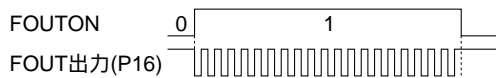


図5.7.5.2 FOUT信号の出力波形

#### 反転TOUT出力(P17)

S1C88650は外部デバイスに対してクロックを供給する場合やブザーを駆動するために、TOUT2またはTOUT3信号(プログラマブルタイマの出力クロック)の反転出力を行うことができます。

P15のTOUT2またはTOUT3と組み合わせてブザーに接続することにより、より大きなバイアスがかかることが可能です。

TOUTx信号(x=2, 3)の出力はレジスタRPTOUTxによって制御します。RPTOUTxに"1"を設定するとTOUTx信号が対応するポート端子から出力され、"0"を設定するとDC出力を行います。このとき、I/OコントロールレジスタIOC17およびデータレジスタP17Dの設定は無効になります。

TOUT2とTOUT3信号はプログラマブルタイマ2と3のアンダーフローおよびコンペアマッチによって生成されたタイマ出力信号です。周波数の制御等については"5.10 プログラマブルタイマ"を参照してください。

なお、TOUTx信号はレジスタRPTOUTxとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.7.5.3にTOUT信号の出力波形を示します。



図5.7.5.3 TOUT信号の出力波形

注! RPTOUT2とRPTOUT3を同時に設定した場合はRPTOUT3が有効になります。



## 5.7.6 入出力兼用ポートの制御方法

表5.7.6.1に入出力兼用ポートの制御ビットを示します。

表5.7.6.1(a) 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC06	P06 I/Oコントロールレジスタ					
	D5	IOC05	P05 I/Oコントロールレジスタ					
	D4	IOC04	P04 I/Oコントロールレジスタ					
	D3	IOC03	P03 I/Oコントロールレジスタ					
	D2	IOC02	P02 I/Oコントロールレジスタ					
	D1	IOC01	P01 I/Oコントロールレジスタ					
	D0	IOC00	P00 I/Oコントロールレジスタ					
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ					
	D5	IOC15	P15 I/Oコントロールレジスタ					
	D4	IOC14	P14 I/Oコントロールレジスタ					
	D3	IOC13	P13 I/Oコントロールレジスタ					
	D2	IOC12	P12 I/Oコントロールレジスタ					
	D1	IOC11	P11 I/Oコントロールレジスタ					
	D0	IOC10	P10 I/Oコントロールレジスタ					
00FF62	D7	P07D	P07入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06入出力兼用ポートデータ					
	D5	P05D	P05入出力兼用ポートデータ					
	D4	P04D	P04入出力兼用ポートデータ					
	D3	P03D	P03入出力兼用ポートデータ					
	D2	P02D	P02入出力兼用ポートデータ					
	D1	P01D	P01入出力兼用ポートデータ					
	D0	P00D	P00入出力兼用ポートデータ					
00FF63	D7	P17D	P17入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16入出力兼用ポートデータ					
	D5	P15D	P15入出力兼用ポートデータ					
	D4	P14D	P14入出力兼用ポートデータ					
	D3	P13D	P13入出力兼用ポートデータ					
	D2	P12D	P12入出力兼用ポートデータ					
	D1	P11D	P11入出力兼用ポートデータ					
	D0	P10D	P10入出力兼用ポートデータ					
00FF64	D7	PULP07	P07プルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP06	P06プルアップコントロールレジスタ					
	D5	PULP05	P05プルアップコントロールレジスタ					
	D4	PULP04	P04プルアップコントロールレジスタ					
	D3	PULP03	P03プルアップコントロールレジスタ					
	D2	PULP02	P02プルアップコントロールレジスタ					
	D1	PULP01	P01プルアップコントロールレジスタ					
	D0	PULP00	P00プルアップコントロールレジスタ					
00FF65	D7	PULP17	P17プルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP16	P16プルアップコントロールレジスタ					
	D5	PULP15	P15プルアップコントロールレジスタ					
	D4	PULP14	P14プルアップコントロールレジスタ					
	D3	PULP13	P13プルアップコントロールレジスタ					
	D2	PULP12	P12プルアップコントロールレジスタ					
	D1	PULP11	P11プルアップコントロールレジスタ					
	D0	PULP10	P10プルアップコントロールレジスタ					

表5.7.6.1(b) 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_A	外部クロック0ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT0	PTM0クロック出力制御	On	Off	0	R/W	
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF31	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W	
	D2	PTRUN1	PTM1 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET1	PTM1プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL1	PTM1入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF38	D7	MODE16_B	PTM2-3 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_B	外部クロック1ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	RPTOUT2	PTM2反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT2	PTM2クロック出力制御	On	Off	0	R/W	
	D2	PTRUN2	PTM2 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET2	PTM2プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL2	PTM2入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF39	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	RPTOUT3	PTM3反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT3	PTM3クロック出力制御	On	Off	0	R/W	
	D2	PTRUN3	PTM3 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET3	PTM3プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL3	PTM3入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF40	D7	WDEN	ウォッチドッグタイマイネーブル	有効	無効	1	R/W	
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0 周波数					
			1 1 1 fosc3 / 8					
			1 1 0 fosc3 / 4					
	D5	FOUT1	1 0 1 fosc3 / 2			0	R/W	
			1 0 0 fosc3 / 1					
			0 1 1 fosc1 / 8					
	D4	FOUT0	0 1 0 fosc1 / 4			0	R/W	
			0 0 1 fosc1 / 2					
			0 0 0 fosc1 / 1					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	

## DC出力制御

**P00D~P07D: 00FF62H****P10D~P17D: 00FF63H**

Pxx入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

## データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V<sub>DD</sub>)レベルとなり、"0"を書き込んだ場合はLOW(V<sub>SS</sub>)レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

## データ読み出し時

"1"読み出し: HIGHレベル ("1")

"0"読み出し: LOWレベル ("0")

入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出されます。端子電圧がHIGH(V<sub>DD</sub>)レベルの場合は"1"、LOW(V<sub>SS</sub>)レベルの場合は"0"がそれぞれ入力データとして読み出されます。

また、出力モードの場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、本レジスタはすべて"1"(HIGHレベル)に設定されます。

注! 特殊出力およびデータバスとシリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

**IOC00~IOC07: 00FF60H****IOC10~IOC17: 00FF61H**

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

IOCxxは各入出力兼用ポートにビット単位で対応するI/Oコントロールレジスタです。IOCxxに"1"を書き込むと対応する入出力兼用ポートPxxが出力モードとなり、"0"を書き込むと入力モードとなります。なお、特殊出力を使用する場合は、出力端子となる入出力兼用ポートのI/Oコントロールレジスタ(IOC14~IOC17)に常時"1"を設定する必要があります。

イニシャルリセット時、本レジスタはすべて"0"(入力モード)に設定されます。

注! 特殊出力およびデータバスとシリアルインタフェースの入出力端子に設定される入出力兼用ポートのI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

**PULP00~PULP07: 00FF64H****PULP10~PULP17: 00FF65H**

入力モード時のプルアップを設定します。

"1"書き込み: プルアップON

"0"書き込み: プルアップOFF

読み出し: 可能

PULPxxは各入出力兼用ポートにビット単位で対応するプルアップコントロールレジスタです。

マスクオプションでプルアップ抵抗なしを選択した場合、レジスタの設定は無効になり汎用レジスタとして使用することができます。

PULPxxに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルアップがONとなります。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗がすべてONになります。

注! 特殊出力およびシリアルインタフェースの出力端子に設定される入出力兼用ポートのプルアップコントロールレジスタは、プルアップには影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。シリアル入力に用いられるポートのプルアップコントロールレジスタは入出力兼用ポートの場合と同様に機能します。

## 特殊出力制御

**PTOUT0: 00FF30H・D3****PTOUT1: 00FF31H・D3****PTOUT2: 00FF38H・D3****PTOUT3: 00FF39H・D3**

TOUT(プログラマブルタイマ出力クロック)信号の出力制御を行います。

"1"書き込み: TOUT信号出力

"0"書き込み: DC出力

読み出し: 可能

PTOUT0~PTOUT3はTOUT0~TOUT3信号の出力制御レジスタです。"1"を設定するとTOUT0またはTOUT1信号はP14ポート端子から、TOUT2またはTOUT3信号はP15ポート端子から出力され、"0"を設定するとDC出力を行います。

このとき、I/OコントロールレジスタIOC14/IOC15およびデータレジスタP14D/P15Dの設定は無効になります。

イニシャルリセット時、PTOUTは"0"(DC出力)に設定されます。

注! PTOUT0とPTOUT1を同時に設定した場合はPTOUT1が、PTOUT2とPTOUT3を同時に設定した場合はPTOUT3が有効になります。なお、プログラマブルタイマを16ビットモードに設定した場合、TOUT0、TOUT2を出力することはできません。

#### **RPTOUT2: 00FF38H・D4**

#### **RPTOUT3: 00FF39H・D4**

TOUT2/TOUT3信号(TOUT2/TOUT3反転信号)の出力制御を行います。

"1"書き込み: TOUT信号出力

"0"書き込み: DC出力

読み出し: 可能

RPTOUT2とRPTOUT3はTOUT2またはTOUT3信号の出力制御レジスタです。"1"を設定するとTOUT2またはTOUT3信号がP17ポート端子から出力され、"0"を設定するとDC出力を行います。

このとき、I/OコントロールレジスタIOC17およびデータレジスタP17Dの設定は無効になります。イニシャルリセット時、RPTOUTは"0"(DC出力)に設定されます。

注! RPTOUT2とRPTOUT3を同時に設定した場合はRPTOUT3が有効になります。なお、プログラマブルタイマを16ビットモードに設定した場合、TOUT2を出力することはできません。

#### **FOUTON: 00FF40H・D3**

FOUT(fosc1/fosc3分周クロック)信号の出力制御を行います。

"1"書き込み: FOUT信号出力

"0"書き込み: DC出力

読み出し: 可能

FOUTONはFOUT信号の出力制御レジスタで、"1"を設定するとFOUT信号がP16ポート端子から出力され、"0"を設定するとDC出力を行います。

このとき、I/OコントロールレジスタIOC16およびデータレジスタP16Dの設定は無効になります。イニシャルリセット時、FOUTONは"0"(DC出力)に設定されます。

#### **FOUT0~FOUT2: 00FF40H・D4~D6**

FOUT信号の周波数を表5.7.6.2のとおり設定します。

表5.7.6.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
1	1	1	fosc3 / 8
1	1	0	fosc3 / 4
1	0	1	fosc3 / 2
1	0	0	fosc3 / 1
0	1	1	fosc1 / 8
0	1	0	fosc1 / 4
0	0	1	fosc1 / 2
0	0	0	fosc1 / 1

(fosc1: OSC1発振周波数、fosc3: OSC3発振周波数)

イニシャルリセット時、本レジスタは"0"(fosc1/1)に設定されます。

### 5.7.7 プログラミング上の注意事項

- (1) プルアップ抵抗を有効に設定したポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R<sub>IN</sub>: プルアップ抵抗Max.値

C<sub>IN</sub>: 端子容量Max.値

- (2) 特殊出力(TOUT0~3、TOUT2またはTOUT3、FOUT)信号は出力制御レジスタ(PTOUT0~3、RPTOUT2~3、FOUTON)とは非同期に発生していますので、出力制御レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (3) FOUTの周波数を"fosc3/n"とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONにしてから発振が安定するまでに数msec~数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)
- (4) 特殊出力(TOUT0~3、TOUT2またはTOUT3、FOUT)信号がイネーブルの状態でSLP命令を実行した場合は、SLEEP状態からの復帰時に特殊出力に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に特殊出力信号をディセーブル状態に設定してください。

## 5.8 シリアルインタフェース

### 5.8.1 シリアルインタフェースの構成

S1C88650はクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインタフェースを内蔵しています。

転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能です。調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのパリティチェックおよび送信データへのパリティビットの付加もソフトウェア選択によって自動的に行えます。

図5.8.1.1にシリアルインタフェースの構成を示します。

### 5.8.2 端子機能の切り換え

シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポートP10～P13と共用されており、シリアルインタフェースの入出力端子として用いる場合はレジスタESIFに"1"を書き込む必要があります。イニシャルリセット時は入出力兼用ポート端子に設定されます。

シリアルインタフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/Oコントロールレジスタの設定は無効となります。

表5.8.2.1 入出力端子の構成

端子	シリアルインタフェース選択時
P10	SIN
P11	SOUT
P12	SCLK
P13	SRDY

\* 転送モードにより使用する端子が異なります。

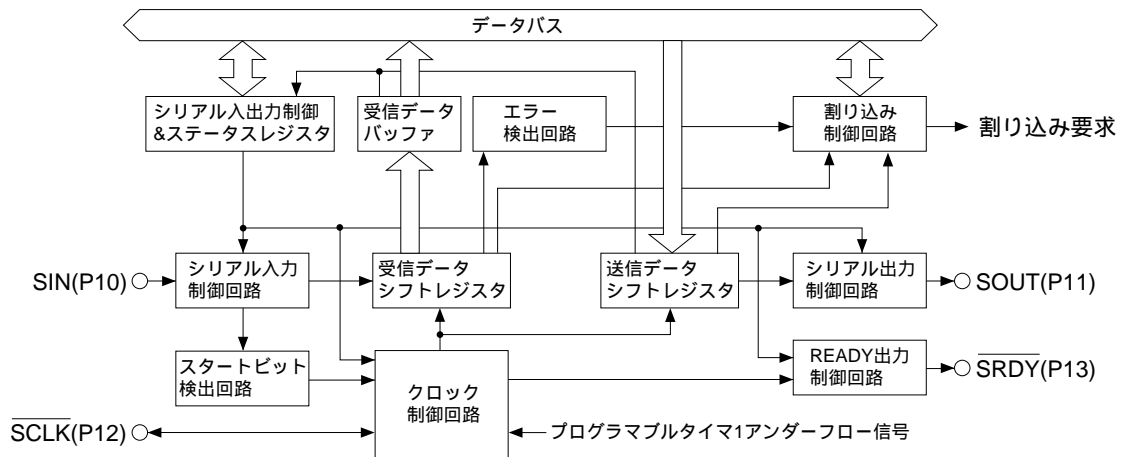


図5.8.1.1 シリアルインタフェースの構成



使用する端子の構成は、レジスタSMD0およびSMD1によって設定する転送モードによって決まります。

SIN、SOUTはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。SCLKはクロック同期式専用で、同期クロックの入出力端子となります。SRDYはクロック同期式スレーブモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合はSCLKおよびSRDYを使用しませんので、P12、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

同様に、クロック同期式マスタモードを選択した場合はSRDYを使用しませんので、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

### 5.8.3 転送モード

シリアルインタフェースの転送モードは、モード選択レジスタSMD0およびSMD1の2ビットの設定によって以下の4種類が選択できます。

表5.8.3.1 転送モード

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

表5.8.3.2 転送モードによる端子設定

モード	SIN	SOUT	SCLK	SRDY
調歩同期式8ビット	入力	出力	P12	P13
調歩同期式7ビット	入力	出力	P12	P13
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスタ	入力	出力	出力	P13

イニシャルリセット時はクロック同期式マスタモードに設定されます。

#### クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードではSRDY端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図5.8.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

#### クロック同期式スレーブモード

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子より入力し、本シリアルインタフェースの同期クロックとして使用します。

また、SRDY端子からは送受信レディ状態を示すSRDY信号がシリアルインタフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCS0、SCS1の設定が無効となります。

図5.8.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

#### 調歩同期式7ビットモード

このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.8.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

#### 調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.8.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

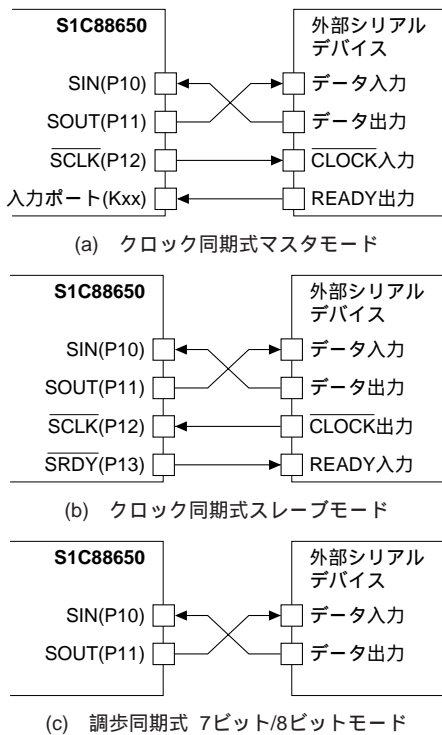


図5.8.3.1 シリアルインタフェース入出力端子の接続例

## 5.8.4 クロック源

クロック源はクロック選択レジスタSCS0、SCS1の2ビットの設定によって以下の4種類が選択できます。

表5.8.4.1 クロック源

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	$f_{OSC3} / 4$
0	1	$f_{OSC3} / 8$
0	0	$f_{OSC3} / 16$

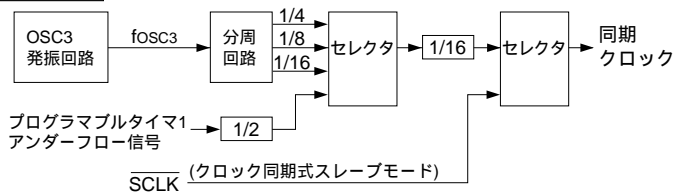
図5.8.4.1  
同期クロックの分周

表5.8.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	$f_{OSC3}=2.4756\text{MHz}$		$f_{OSC3}=3.0720\text{MHz}$		$f_{OSC3}=3.6864\text{MHz}$	
	PST1X	RDR1X	PST1X	RDR1X	PST1X	RDR1X
19,200	00H	03H	00H	04H	00H	05H
9,600	00H	07H	00H	09H	00H	0BH
4,800	00H	0FH	00H	13H	00H	17H
2,400	00H	1FH	00H	27H	00H	2FH
1,200	00H	3FH	00H	4FH	00H	5FH
600	00H	7FH	00H	9FH	00H	BFH
300	02H	1FH	03H	09H	01H	BFH
150	02H	3FH	03H	13H	02H	5FH

\* アンダーフロー信号を用いるためCDR1Xの値は影響しません。

クロック同期式スレーブモードでは本レジスタの設定は無効となり、SCLK端子より入力される外部クロックが使用されます。

"プログラマブルタイマ"を選択した場合は、プログラマブルタイマ1のアンダーフローを1/2分周した信号がクロック源として使用されます。転送速度設定の詳細については"5.10 プログラマブルタイマ"を参照してください。

イニシャルリセット時は" $f_{OSC3}/16$ "が設定されます。

選択したクロックはさらに1/16に分周され、同期クロックとして使用されます。

また、クロック同期式スレーブモードのSCLKは外部からの入力そのまま使用されます。

表5.8.4.2にプログラマブルタイマをクロック源とした場合の転送速度とOSC3発振周波数の例を示します。

OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はON状態に設定されます。

### 5.8.5 送受信の制御

以下に送受信の制御を行うレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

#### シフトレジスタと受信データバッファ

本シリアルインタフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に行う全二重通信が可能です。

TRXD0～TRXD7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUT端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SIN端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まる前にデータを読み出す必要があります。

#### 送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENと送信制御ビットTXTRGを使用します。

送信許可レジスタTXENは送信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もイネーブルとなります。

送信制御ビットTXTRGは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENを"0"として、送信禁止状態に設定してください。

#### 受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENと受信制御ビットRXTRGを使用します。

受信許可レジスタRXENは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もイネーブルとなります。これによって受信を開始し、SIN端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スリープモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合は、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENを"0"として、受信禁止状態に設定してください。



### 5.8.6 クロック同期式転送の動作

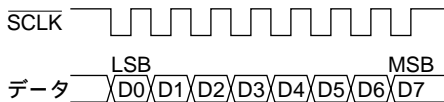
クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。

本シリアルインタフェースをマスタモードで使用する場合はSCS0、SCS1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLK端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLK端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭にするかMSB(ビット7)を先頭にするかは、レジスタにより切り換えることができます。

LSB先頭



MSB先頭

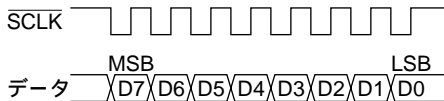


図5.8.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.8.8 割り込み機能"を参照してください。

#### シリアルインタフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

##### (1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

##### (2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポート端子P10～P13に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

##### (3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード SMD0 = "0"、SMD1 = "0"

スレーブモード SMD0 = "1"、SMD1 = "0"

##### (4) クロック源の選択

マスタモードの場合はクロック源選択レジスタSCS0、SCS1の2ビットにデータを書き込んで同期クロック源を選択します。(表5.8.4.1参照)  
スレーブモードでは、この選択は不要です。

(2)～(4)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

なお、このアドレスにはパリティイネーブルレジスタEPRも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

##### (5) クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)  
OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.4 発振回路"参照)

##### (6) シリアルデータの入出力順列

データ入出力順列選択レジスタSDPにより、シリアルデータの入出力の順列をLSBを先頭にするか、MSBを先頭にするか切り換えることができます。SDPの設定はTRXD0～TRXD7にデータを設定する前に行ってください。

## データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENおよび受信許可レジスタRXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
- (4) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち上がりエッジで1ビットずつシフトされ、SOUT端子より出力されます。最後のビット(LSB先頭の場合はMSB、MSB先頭の場合はLSB)が出力されると、次の送信が開始されるまでSOUT端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (6) 送信データのバイト数だけ(3)～(5)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

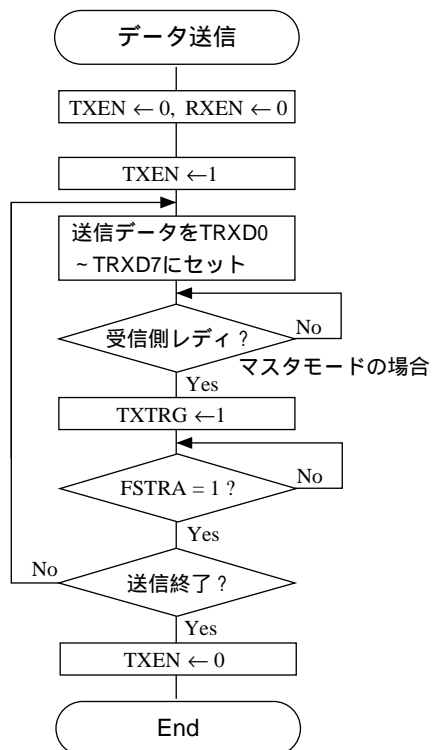


図5.8.6.2 クロック同期式の送信手順

## データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENおよび送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4) 受信制御ビットRXTRGに"1"を書き込み、受信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

SIN端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

8ビット目のデータが同期クロック最後(8個目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。

- (5) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

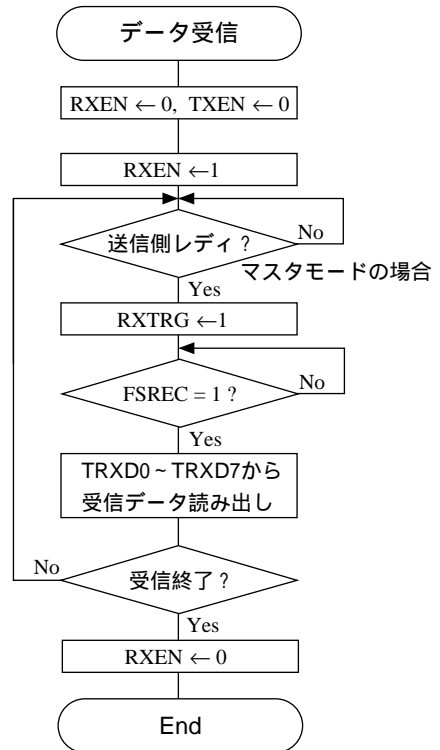
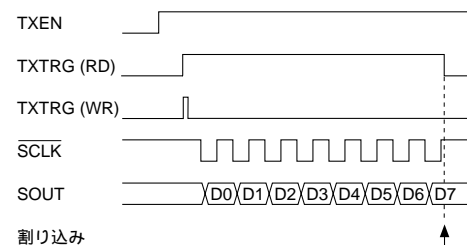


図5.8.6.3 クロック同期式の受信手順

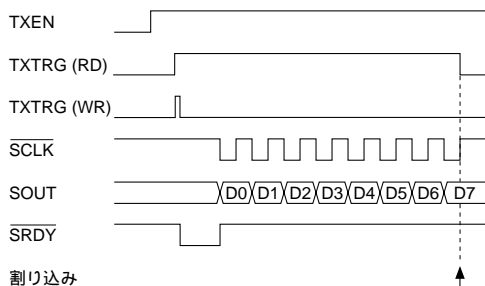
## 送受信レディ(SRDY)信号

本シリアルインタフェースをクロック同期式スレープモード(外部クロック入力)で使用する場合は、マスタ側(外部のシリアル入出力デバイス)に対して本シリアルインタフェースが送受信可能かどうかを示すSRDY信号が出力されます。この信号はSRDY端子から出力され、本インタフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)、送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

SRDY信号は送信制御ビットTXTRG、または受信制御ビットRXTRGに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。



(a) マスタモード送信タイミング

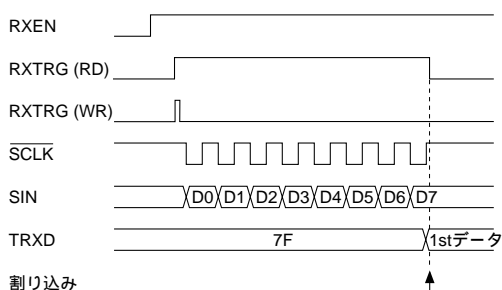


(b) スレープモード送信タイミング

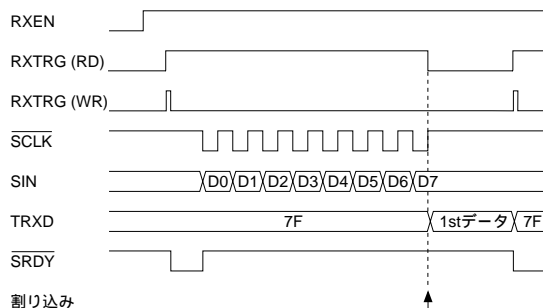
マスタモードに設定した場合は、スレープ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、SRDY端子は設定されずP13端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてることもできます。

## タイミングチャート

クロック同期式転送のタイミングチャートを図5.8.6.4に示します。



(c) マスタモード受信タイミング



(d) スレープモード受信タイミング

図5.8.6.4 タイミングチャート(クロック同期式転送、LSB先頭の場合)

### 5.8.7 調歩同期式転送の動作

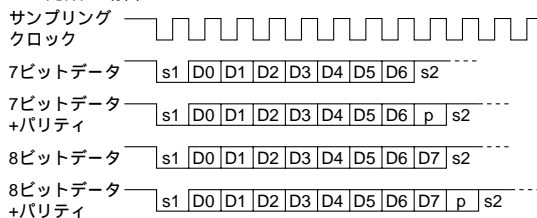
調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインタフェース機能などを容易に実現することができます。

本インタフェースは送受信個別にシフトレジスタを持っており、送受信が同時に行える全二重方式の転送が可能となっています。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的に行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートビットは1ビット固定、ストップビットはストップビット選択レジスタSTPBにより、1ビットまたは2ビットを選択できます。また、LSB(ビット0)を先頭とするかMSB(ビット7)を先頭とするかは、データ入出力順選択レジスタSDPにより切り換えることができます。

LSB先頭の場合



MSB先頭の場合



s1: スタートビット(Lowレベル, 1ビット)  
s2: ストップビット(Highレベル, 1ビットまたは2ビット)  
p: パリティビット

図5.8.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.8.8 割り込み機能"を参照してください。

#### シリアルインタフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

- (1) 送受信禁止に設定  
シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。  
なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。
- (2) ポート選択  
イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUTは入出力兼用ポート端子P10、P11に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。  
クロック同期式モードにおいて設定されるSCLK、SRDY端子は調歩同期式モードでは使用しません。これらの端子は入出力兼用ポート端子P12、P13として機能します。
- (3) 転送モードの設定  
モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んで調歩同期式モードを選択します。  
7ビットモード SMD0 = "0", SMD1 = "1"  
8ビットモード SMD0 = "1", SMD1 = "1"
- (4) パリティビットの選択

パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDによって、パリティを"奇数"とするか"偶数"とするかを、選択する必要があります。

レジスタPMDに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

## (5) クロック源の選択

クロック源選択レジスタSCS0およびSCS1の2ビットにデータを書き込んでクロック源を選択します。(表5.8.4.1参照)

(2)～(5)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

## (6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.4 発振回路"参照)

## (7) ストップビット長の選択

ストップビット選択レジスタSTPBにより、ストップビットを1ビットにするか2ビットにするかを選択することができます。

表5.8.7.1 ストップビットとパリティビットの設定

STPB	EPR	PMD	設 定	
			ストップビット	パリティビット
1	1	1	2ビット	奇数
		0	2ビット	偶数
	0	–	2ビット	なし
0	1	1	1ビット	奇数
		0	1ビット	偶数
	0	–	1ビット	なし

## (8) シリアルデータの入出力順序

データ入出力順序選択レジスタSDPにより、シリアルデータの入出力の順序をLSBを先頭にするか、MSBを先頭にするか切り換えることができます。SDPの設定はTRXD0～TRXD7にデータを設定する前に行ってください。

## データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。  
なお、7ビットデータ選択時は、TRXD7のデータは無効となります。

- (4) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち上がりエッジに同期してスタートビット(LOW)がSOUT端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち上がりエッジで1ビットずつシフトされSOUT端子より出力されます。データ出力後はストップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

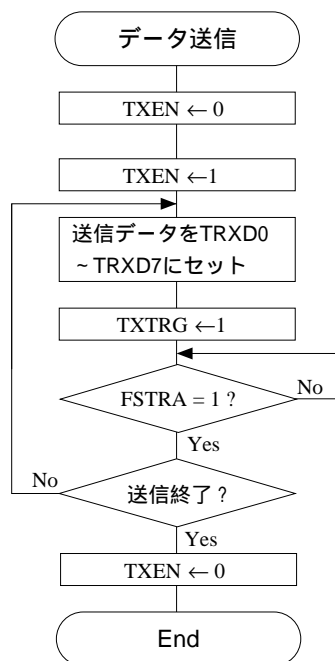


図5.8.7.2 調歩同期式の送信手順



## データの受信

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERフラグ、OERフラグ、FERフラグをそれぞれリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) SIN端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー同様この時点でエラー割り込みが発生します。

- (4) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。

- (5) 受信制御ビットRXTRGに"1"を書き込み、受信データが読み出されたことを知らせます。

RXTRGに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。

- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

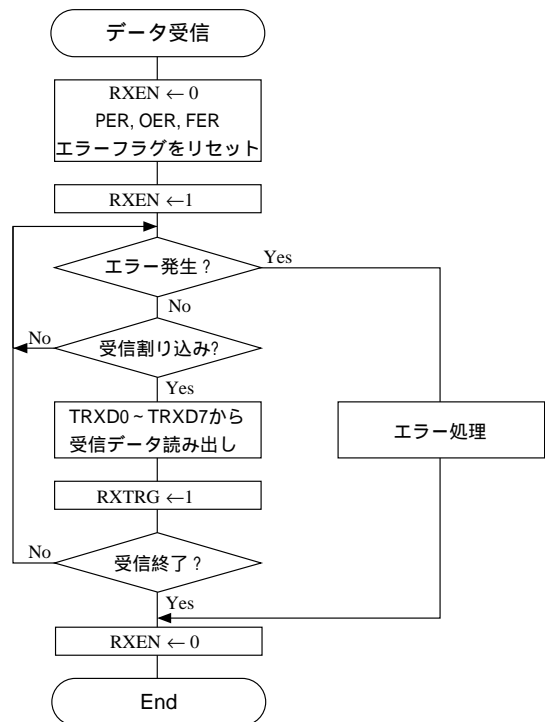


図5.8.7.3 調歩同期式の受信手順



### 受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

#### (1) パリティエラー

レジスタEPRに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数か偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データ(パリティビット含)中の"1"のビット数がレジスタPMDで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

#### (2) フレーミングエラー

調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。本エラーが発生すると、フレーミングエラーフラグFERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

#### (3) オーバーランエラー

RXTRGに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。

本エラーが発生すると、オーバーランエラーフラグOERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

### タイミングチャート

調歩同期式転送のタイミングチャートを図5.8.7.4に示します。

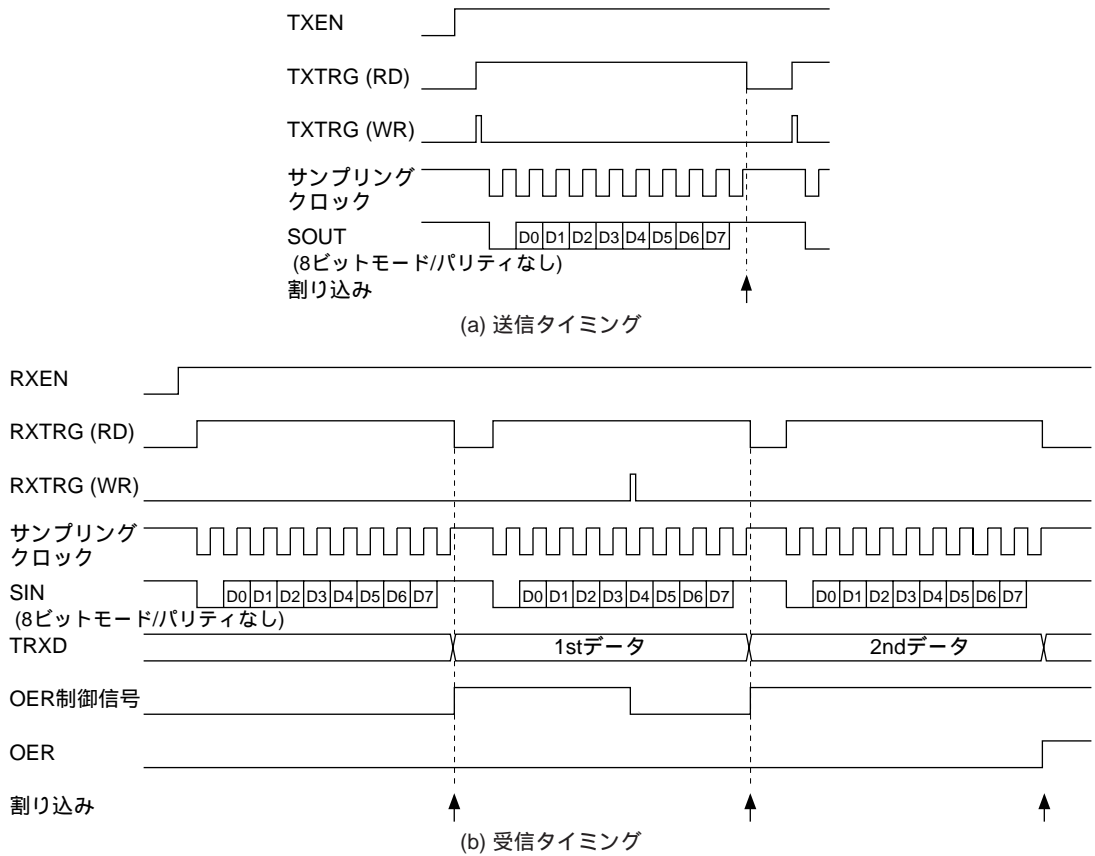


図5.8.7.4 タイミングチャート(調歩同期式転送、LSB先頭、ストップビット=1ビットの場合)

### 5.8.8 割り込み機能

本シリアルインタフェースには以下に示す3種類の割り込みを発生させる機能があります。

- 送信完了割り込み
- 受信完了割り込み
- エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグFSxxxと割り込みイネーブルレジスタESxxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。また、CPUに対するシリアルインタフェース割り込みの優先レベルを割り込みプライオリティレジスタPSIF0、PSIF1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については、「5.14 割り込みとスタンバイ状態」を参照してください。

図5.8.8.1にシリアルインタフェース割り込み回路の構成を示します。

#### 送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグFSTRAを"1"にセットします。このとき、割り込みイネーブルレジスタESTRAが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。割り込みイネーブルレジスタESTRAに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSTRAは"1"にセットされます。割り込み要因フラグFSTRAは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御(TXTRGに"1"を書き込む)を行うことができます。

本割り込み要因の例外処理ベクタアドレスは、次のとおり設定されています。

送信完了割り込み: 00002CH

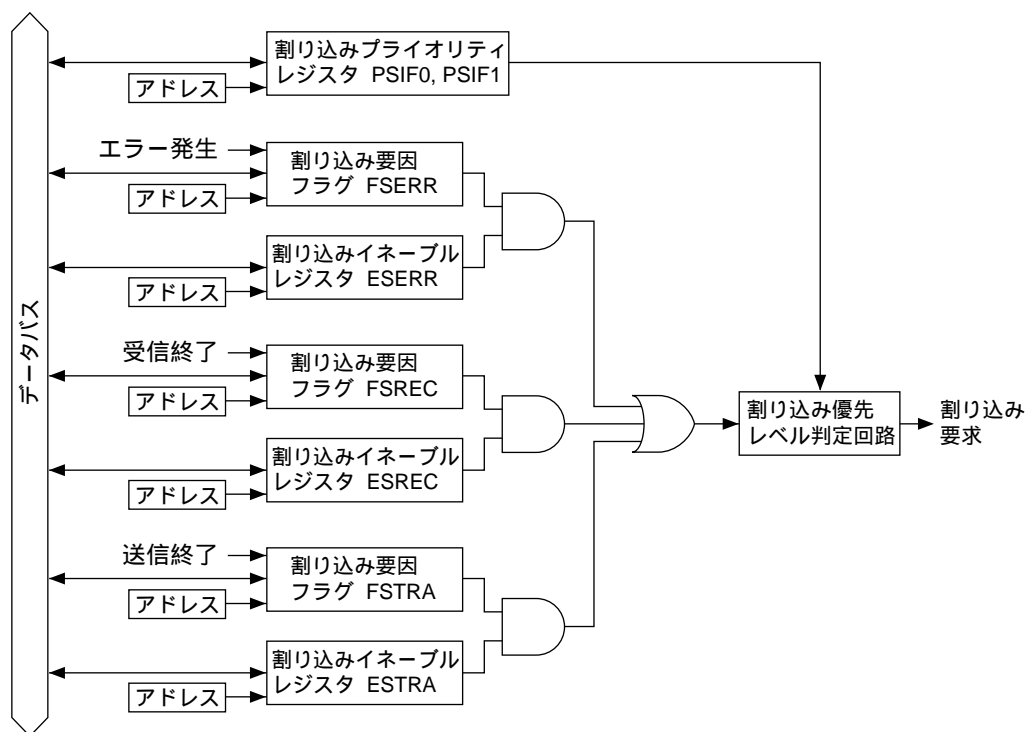


図5.8.8.1 シリアルインタフェース割り込み回路の構成

### 受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグFSRECを"1"にセットします。このとき、割り込みイネーブルレジスタESRECが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESRECに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSRECは"1"にセットされます。

割り込み要因フラグFSRECは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により、受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグFSRECは"1"にセットされます。

本割り込み要因の例外処理ベクタアドレスは、次のとおり設定されています。

受信完了割り込み: 00002AH

### エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグFSERRを"1"にセットします。このとき、割り込みイネーブルレジスタESERRが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESERRに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSERRは"1"にセットされます。

割り込み要因フラグFSERRは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER(パリティエラー)、OER(オーバーランエラー)、FER(フレーミングエラー)で行ってください。

本割り込み要因の例外処理ベクタアドレスは、次のとおり設定されています。

エラー割り込み: 000028H

## 5.8.9 シリアルインタフェースの制御方法

表5.8.9.1にシリアルインタフェースの制御ビットを示します。

表5.8.9.1(a) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF48	D7	—	—	—	—	—		読み出し時は"0"
	D6	EPR	パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD	パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS1	クロック源選択 SCS1 SCS0 クロック源 1 1 プログラマブルタイマ			0	R/W	クロック同期式 スレーブモード では外部クロック が選択される
	D3	SCS0	1 0 fosc3 / 4 0 1 fosc3 / 8 0 0 fosc3 / 16			0	R/W	
	D2	SMD1	シリアルI/Fモード選択 SMD1 SMD0 モード 1 1 調歩同期式8ビット			0	R/W	
	D1	SMD0	1 0 調歩同期式7ビット 0 1 クロック同期式スレーブ 0 0 クロック同期式マスタ			0	R/W	
	D0	ESIF	シリアルI/Fイネーブルレジスタ	シリアルI/F	I/Oポート	0	R/W	
00FF49	D7	—	—	—	—	—		読み出し時は"0"
	D6	FER	シリアルI/F フレーミングエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ
	D5	PER	シリアルI/F パリティエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D4	OER	シリアルI/F オーバーランエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D3	RXTRG	シリアルI/F受信トリガ/ステータス	R 受信中 W トリガ	停止中 無効	0	R/W	
	D2	RXEN	シリアルI/F受信許可	許可	禁止	0	R/W	
	D1	TXTRG	シリアルI/F送信トリガ/ステータス	R 送信中 W トリガ	停止中 無効	0	R/W	
	D0	TXEN	シリアルI/F送信許可	許可	禁止	0	R/W	
00FF4A	D7	TRXD7	シリアルI/F送受信データD7 (MSB)					
	D6	TRXD6	シリアルI/F送受信データD6					
	D5	TRXD5	シリアルI/F送受信データD5					
	D4	TRXD4	シリアルI/F送受信データD4					
	D3	TRXD3	シリアルI/F送受信データD3					
	D2	TRXD2	シリアルI/F送受信データD2					
	D1	TRXD1	シリアルI/F送受信データD1					
	D0	TRXD0	シリアルI/F送受信データD0 (LSB)					
00FF4B	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	STPB	ストップビット選択	2ビット	1ビット	0	R/W	
	D0	SDP	データ入出力順列選択レジスタ	MSB先頭	LSB先頭	0	R/W	

表5.8.9.1(b) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00 ~ K07割り込み	PK01	PK00	優先 レベル	0	R/W
	D6	PK00	プライオリティレジスタ	PSIF1	PSIF0			
	D5	PSIF1	シリアルインタフェース割り込み	1	0	レベル3	0	R/W
	D4	PSIF0	プライオリティレジスタ	0	1	レベル2		
				0	0	レベル1		
	D3	—	—	—	—	—		読み出し時は 常時"0"
	D2	—	—	—	—	—		
	D1	PTM1	計時タイマ割り込み	PTM1	PTM0	優先レベル	0	R/W
	D0	PTM0	プライオリティレジスタ	1	1	レベル3		
00FF23				1	0	レベル2		
				0	1	レベル1		
				0	0	レベル0		
	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブル					
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブル					
00FF27	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ	(R) 割り込みあり (W) リセット	(R) 割り込みなし (W) 無効	0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ					
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ					

**ESIF: 00FF48H-D0**

シリアルインタフェース用端子(P10 ~ P13)の設定を行います。

"1"書き込み: シリアル入出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

ESIFはシリアルインタフェースイネーブルレジスタで、"1"を書き込んだ場合はP10 ~ P13端子がシリアル入出力端子(SIN、SOUT、SCLK、SRDY)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。

なお、転送モードによる端子の設定は表5.8.3.2を参照してください。

イニシャルリセット時、ESIFは"0"(入出力兼用ポート)に設定されます。

**SMD0, SMD1: 00FF48H-D1, D2**

転送モードを表5.8.9.2のとおり設定します。

表5.8.9.2 転送モードの設定

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

SMD0、SMD1は読み出しも可能です。

イニシャルリセット時、本レジスタは"0"(クロック同期式マスタモード)に設定されます。

**SCS0, SCS1: 00FF48H-D3, D4**

クロック源を表5.8.9.3のとおり選択します。

表5.8.9.3 クロック源の選択

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

SCS0、SCS1は読み出しも可能です。  
クロック同期式スレーブモードでは、本レジスタの設定は無効です。  
イニシャルリセット時、本レジスタは"0"(fosc3/16)に設定されます。

**SDP: 00FF4BH-D0**

シリアルデータの入出力順列を選択します。

"1"書き込み: MSB先頭  
"0"書き込み: LSB先頭  
読み出し: 可能

データの入出力をMSB先頭で行うか、LSB先頭で行うか選択します。  
イニシャルリセット時、SDPは"0"(LSB先頭)に設定されます。

**STPB: 00FF4BH-D1**

調歩同期式転送を行う場合のストップビット長を選択します。

"1"書き込み: 2ビット  
"0"書き込み: 1ビット  
読み出し: 可能

STPBは調歩同期式転送時にのみ有効なストップビット選択レジスタです。"1"を書き込むとストップビットが2ビットに、"0"を書き込むと1ビットになります。スタートビットは1ビットに固定です。クロック同期式転送を行う場合、スタート/ストップビットを付加することはできません。よって、STPBの設定も無効となります。  
イニシャルリセット時、STPBは"0"(1ビット)に設定されます。

**EPR: 00FF48H-D6**

パリティ機能を選択します。

"1"書き込み: パリティあり  
"0"書き込み: パリティなし  
読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行うが行わないかを選択します。EPRに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。

送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

パリティは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRの設定は無効となります。

イニシャルリセット時、EPRは"0"(パリティなし)に設定されます。

**PMD: 00FF48H-D5**

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ  
"0"書き込み: 偶数パリティ  
読み出し: 可能

PMDに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRに"1"が書き込まれている場合にのみ有効で、EPRに"0"が書き込まれている場合は、PMDによる奇数パリティ/偶数パリティの設定は無効となります。  
イニシャルリセット時、PMDは"0"(偶数パリティ)に設定されます。

**TXEN: 00FF49H-D0**

シリアルインタフェースを送信許可状態に設定します。

"1"書き込み: 送信許可  
"0"書き込み: 送信禁止  
読み出し: 可能

TXENに"1"を書き込むとシリアルインタフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、TXENを"0"に設定してください。  
イニシャルリセット時、TXENは"0"(送信禁止)に設定されます。

**TXTRG: 00FF49H-D1**

送信開始のトリガ/動作状態(送信中/停止中)を示すステータスとして機能します。

"1"読み出し: 送信中  
"0"読み出し: 停止中  
"1"書き込み: 送信開始  
"0"書き込み: 無効

送信データを書き込んだ後、TXTRGに"1"を書き込むことで送信処理を開始します。

TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

イニシャルリセット時、TXTRGは"0"(停止中)に設定されます。



**RXEN: 00FF49H-D2**

シリアルインタフェースを受信許可状態に設定します。

"1"書き込み: 受信許可  
 "0"書き込み: 受信禁止  
 読み出し: 可能

RXENに"1"を書き込むとシリアルインタフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、RXENを"0"に設定してください。

イニシャルリセット時、RXENは"0"(受信禁止)に設定されます。

**RXTRG: 00FF49H-D3**

受信開始のトリガ/次のデータの受信準備/動作状態(受信/停止中)を示すステータスとして機能します。

"1"読み出し: 受信中  
 "0"読み出し: 停止中

"1"書き込み: 受信開始/次のデータの受信準備  
 "0"書き込み: 無効

RXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合はオーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

イニシャルリセット時、RXTRGは"0"(停止中)に設定されます。

**TRXD0~TRXD7: 00FF4AH**

送信時

送信データを送信シフトレジスタに書き込みます。

"1"書き込み: HIGHレベル  
 "0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXD7が無効となります。

SOUT端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH(V<sub>DD</sub>)レベル、"0"に設定されたビットがLOW(V<sub>SS</sub>)レベルとして出力されます。

受信時

受信データを読み出します。

"1"読み出し: HIGHレベル  
 "0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目(TRXD7)には"0"がロードされます。

SIN端子から入力されたシリアルデータはHIGH(V<sub>DD</sub>)レベルのビットを"1"、LOW(V<sub>SS</sub>)レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

**OER: 00FF49H-D4**

オーバーランエラーの発生を示します。

"1"読み出し: エラーあり  
 "0"読み出し: エラーなし

"1"書き込み: "0"にリセット  
 "0"書き込み: 無効

OERはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは調歩同期式モードの受信において、RXTRGに"1"を書き込む前に次のデータの受信を完了した場合に発生します。

OERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときOERは"0"(エラーなし)に設定されます。



**PER: 00FF49H-D5**

パリティエラーの発生を示します。

- "1"読み出し: エラーあり
- "0"読み出し: エラーなし
- "1"書き込み: "0"にリセット
- "0"書き込み: 無効

PERはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。PERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のとき、PERは"0"(エラーなし)に設定されます。

**FER: 00FF49H-D6**

フレーミングエラーの発生を示します。

- "1"読み出し: エラーあり
- "0"読み出し: エラーなし
- "1"書き込み: "0"にリセット
- "0"書き込み: 無効

FERはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは調歩同期式モードの受信において、ストップビットが"0"になっていた場合に発生します。FERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときFERは"0"(エラーなし)に設定されます。

**PSIF0, PSIF1: 00FF20H-D4, D5**

シリアルインタフェース割り込みの優先レベルを設定します。

PSIF0、PSIF1はシリアルインタフェース割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.8.9.4のとおりです。

表5.8.9.4 割り込み優先レベルの設定

PSIF1	PSIF0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

**ESTRA, ESREC, ESERR: 00FF23H-D0, D1, D2**

CPUに対する割り込みの発生を許可または禁止します。

- "1"書き込み: 割り込み許可
- "0"書き込み: 割り込み禁止
- 読み出し: 可能

ESTRA、ESREC、ESERRはそれぞれ送信完了、受信完了、受信エラーの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

**FSTRA, FSREC, FSERR: 00FF27H-D0, D1, D2**

シリアルインタフェース割り込みの発生状態を示します。

- "1"読み出し: 割り込み要因あり
- "0"読み出し: 割り込み要因なし
- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

FSTRA、FSREC、FSERRはそれぞれ送信完了、受信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

### 5.8.10 プログラミング上の注意事項

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。また、SLP命令も実行しないでください。(SLP命令を実行する場合はTXEN=RXEN="0"としてください。)
- (3) クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグFSERRは、受信完了割り込み要因フラグFSRECに対して表5.8.10.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグFSRECを"0"にリセットしてください。  
なお、オーバーランエラー発生時には受信完了割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。

表5.8.10.1 エラー発生時のFSERRとFSRECの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。  
なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)  
イニシャルリセット時、OSC3発振回路はON状態に設定されます。

## 5.9 計時タイマ

### 5.9.1 計時タイマの構成

S1C88650はOSC1発振回路を原振とする計時タイマを内蔵しています。計時タイマは $f_{OSC1}$ を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128~1Hz)のデータをソフトウェアによって読み出すことができます。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図5.9.1.1に計時タイマの構成を示します。

### 5.9.2 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。

図5.9.2.1に計時タイマ割り込み回路の構成を示します。

32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFTM32、FTM8、FTM2、FTM1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタETM32、ETM8、ETM2、ETM1の設定により、割り込みを禁止することもできます。

また、CPUに対する計時タイマ割り込みの優先レベルを割り込みプライオリティレジスタPTM0、PTM1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

32Hz割り込み: 000034H

8Hz割り込み: 000036H

2Hz割り込み: 000038H

1Hz割り込み: 00003AH

図5.9.2.2に計時タイマのタイミングチャートを示します。

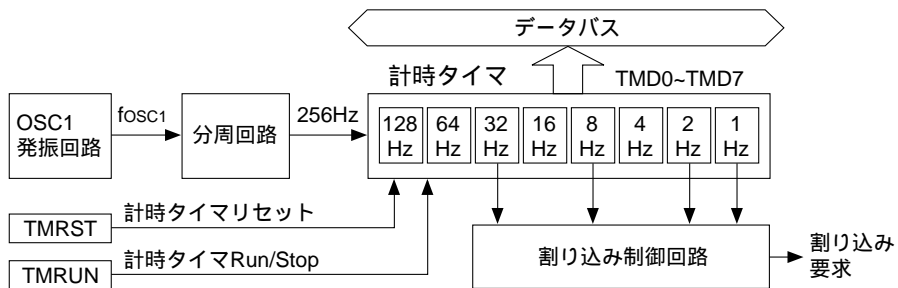


図5.9.1.1 計時タイマの構成

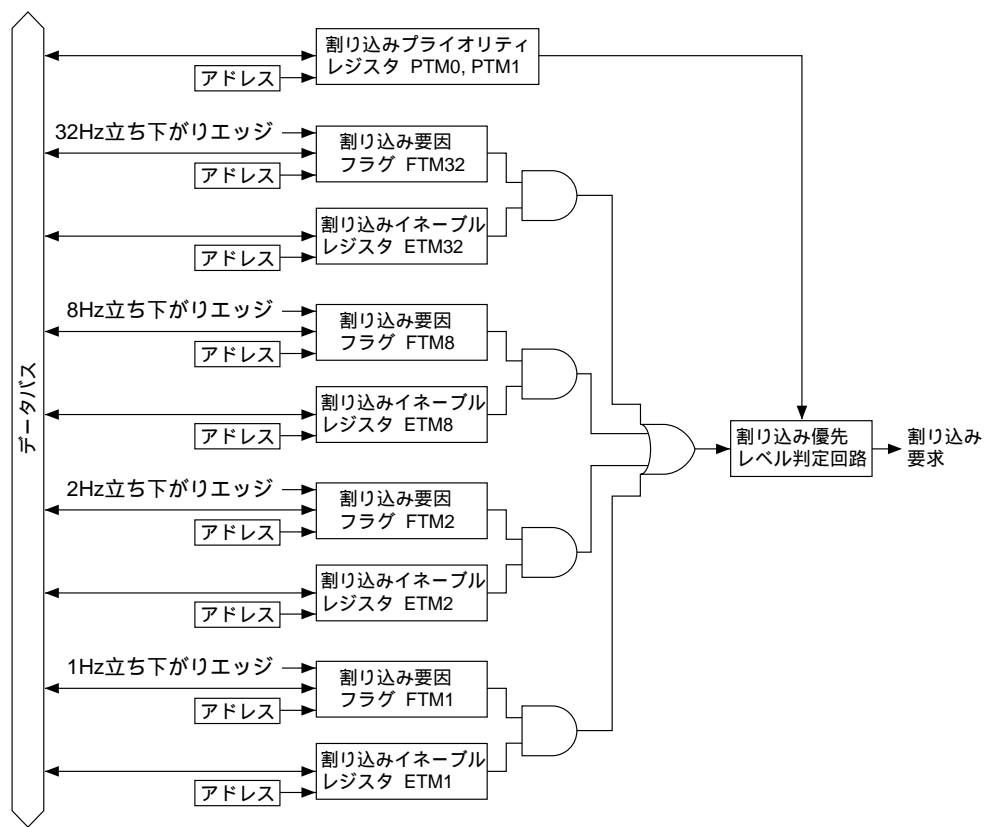


図5.9.2.1 計時タイマ割り込み回路の構成

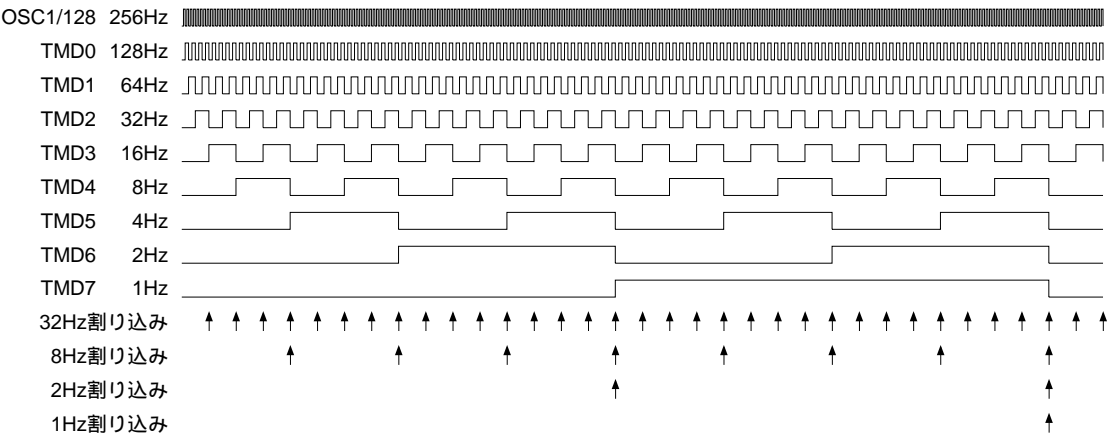


図5.9.2.2 計時タイマのタイミングチャート

## 5.9.3 計時タイマの制御方法

表5.9.3.1に計時タイマの制御ビットを示します。

表5.9.3.1 計時タイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈		
00FF40	D7	WDEN	ウォッチドッグタイマイネーブル	有効	無効	1	R/W			
	D6	FOUT2	FOUT周波数選択			0	R/W			
				FOUT2	FOUT1				FOUT0	周波数
	1	1	1	fosc3 / 8						
	D5	FOUT1	1	1	0	fosc3 / 4	0		R/W	
			1	0	1	fosc3 / 2				
			1	0	0	fosc3 / 1				
			0	1	1	fosc1 / 8				
	D4	FOUT0	0	1	0	fosc1 / 4	0		R/W	
			0	0	1	fosc1 / 2				
0			0	0	fosc1 / 1					
D3	FOUTON	FOUT出力制御	On	Off	0	R/W				
D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	－	W	読み出し時は			
D1	TMRST	計時タイマリセット	リセット	無効	－	W	常時"0"			
D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W				
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R			
	D6	TMD6	計時タイマデータ 2Hz							
	D5	TMD5	計時タイマデータ 4Hz							
	D4	TMD4	計時タイマデータ 8Hz							
	D3	TMD3	計時タイマデータ 16Hz							
	D2	TMD2	計時タイマデータ 32Hz							
	D1	TMD1	計時タイマデータ 64Hz							
	D0	TMD0	計時タイマデータ 128Hz							
00FF20	D7	PK01	K00～K07割り込み	PK01 PSIF1	PK00 PSIF0	優先 レベル3	0	R/W		
	D6	PK00	プライオリティレジスタ	1	1	レベル3	0	R/W		
	D5	PSIF1	シリアルインタフェース割り込み	1	0	レベル2				
	D4	PSIF0	プライオリティレジスタ	0	1	レベル1				
				0	0	レベル0				
	D3	－	－	－	－	－	－	読み出し時は		
	D2	－	－	－	－	－	－	常時"0"		
	D1	PTM1	計時タイマ割り込み	PTM1	PTM0	優先レベル3	0	R/W		
	D0	PTM0	プライオリティレジスタ	1	1	レベル2				
				1	0	レベル2				
			0	1	レベル1					
			0	0	レベル0					
00FF22	D7	－	－	－	－	－	－	読み出し時は 常時"0"		
	D6	－	－	－	－	－	－			
	D5	－	－	－	－	－	－			
	D4	－	－	－	－	－	－			
	D3	ETM32	計時タイマ32Hz割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W			
	D2	ETM8	計時タイマ8Hz割り込みイネーブル							
	D1	ETM2	計時タイマ2Hz割り込みイネーブル							
	D0	ETM1	計時タイマ1Hz割り込みイネーブル							
00FF26	D7	－	－	－	－	－	－	読み出し時は 常時"0"		
	D6	－	－	－	－	－	－			
	D5	－	－	－	－	－	－			
	D4	－	－	－	－	－	－			
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(R)	(R)	0	R/W			
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	割り込みあり	割り込みなし					
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ	(W)	(W)					
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ	リセット	無効					

**TMD0~TMD7: 00FF41H**

計時タイマのデータが読み出せます。  
各ビットと周波数との対応は以下のとおりです。

TMD0: 128Hz	TMD4: 8Hz
TMD1: 64Hz	TMD5: 4Hz
TMD2: 32Hz	TMD6: 2Hz
TMD3: 16Hz	TMD7: 1Hz

TMD0~TMD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

**TMRST: 00FF40H-D1**

計時タイマをリセットします。

"1"書き込み: 計時タイマリセット  
"0"書き込み: ノーオペレーション  
読み出し: 常時"0"

計時タイマはTMRSTに"1"を書き込むことによってリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。TMRSTは書き込み専用のため、読み出し時は常時"0"となります。

**TMRUN: 00FF40H-D0**

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN  
"0"書き込み: STOP  
読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、TMRUNは"0"(STOP)に設定されます。

**PTM0, PTM1: 00FF20H-D0, D1**

計時タイマ割り込みの優先レベルを設定します。PTM0、PTM1は計時タイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.9.3.2のとおりです。

表5.9.3.2 割り込み優先レベルの設定

PTM1	PTM0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

**ETM1, ETM2, ETM8, ETM32: 00FF22H-D0~D3**

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可  
"0"書き込み: 割り込み禁止  
読み出し: 可能

ETM1、ETM2、ETM8、ETM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

**FTM1, FTM2, FTM8, FTM32: 00FF26H-D0~D3**

計時タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり  
"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット  
"0"書き込み: 無効

FTM1、FTM2、FTM8、FTM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

### 5.9.4 プログラミング上の注意事項

- (1) 計時タイマはレジスタTMRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。  
したがって、TMRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときTMRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。  
図5.9.4.1にRUN/STOP制御のタイミングチャートを示します。

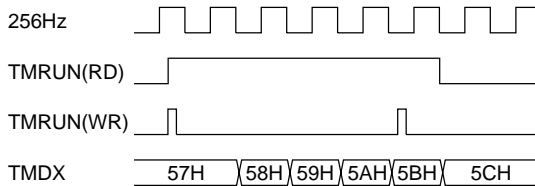


図5.9.4.1 RUN/STOP制御のタイミングチャート

- (2) 計時タイマがRUNしている状態(TMRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に計時タイマをSTOP状態(TMRUN="0")に設定してください。



## 5.10 プログラマブルタイマ

### 5.10.1 プログラマブルタイマの構成

S1C88650は16ビットのプログラマブルタイマを4系統内蔵しています。それぞれの系統のタイマは16ビットプリセッタブルダウンカウンタで構成され、16ビット×1チャンネルあるいは8ビット×2チャンネルのプログラマブルタイマとして使用することができます。また、入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

図5.10.1.1と図5.10.1.2に16ビットプログラマブルタイマの構成を示します。

各系統の16ビットプログラマブルタイマには、8ビットのダウンカウンタ2本と、それぞれのダウンカウンタに対応した8ビットのリロードデータレジスタRDRおよび8ビットのコンペアデータレジスタCDRが設けられています。

リロードデータレジスタはダウンカウンタの初期値を設定するレジスタです。コンペアデータレジスタはダウンカウンタの内容と比較するためのデータを格納するレジスタです。

これらのレジスタの設定により、PWM波形を生成し、TOUT0～3信号として外部デバイスに対して出力することもできます。また、タイマ1のアンダーフローからシリアルインタフェースのクロックが生成されます。タイマ5のアンダーフローでLCDドライバのフレーム周波数を設定することも可能です。



図5.10.1.1 16ビットプログラマブルタイマの構成(タイマ1～3)



図5.10.1.2 16ビットプログラマブルタイマの構成(タイマ4～7)

### 5.10.2 動作モード

タイマ0と1、タイマ2と3、タイマ4と5、タイマ6と7はそれぞれ2チャネルの8ビットタイマまたは1チャネルの16ビットタイマとして使用することができます。これに対応する2種類の動作モードが設定されており、8/16ビットモード選択レジスタMODE16\_A(タイマ0～1用)～MODE16\_D(タイマ6～7用)によって選択することができます。MODE16\_Aを"0"に設定するとタイマ0と1は8ビットモード(8ビット×2チャネル)、“1”を設定すると16ビットモード(16ビット×1チャネル)になります。

8ビットモードでは、タイマ0と1をそれぞれ個別に制御することができます。

16ビットモードでは、タイマ0のアンダーフロー信号がタイマ1の入力クロックとなり、16ビットの連続したダウンカウンタとして動作します。

16ビットモード時のタイマの制御は、クロック出力を除き、タイマ0の制御レジスタによって行います。

MODE16\_B～MODE16\_Dも同様です。

動作モードによるタイマ構成を図5.10.2.1に、制御レジスタの構成を表5.10.2.1に示します。

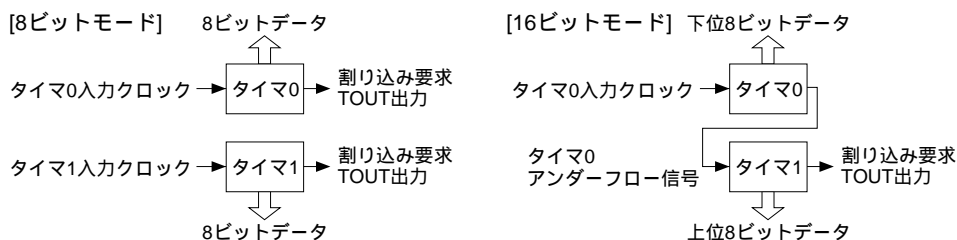


図5.10.2.1 8/16ビットモードのカウンタ構成(タイマ0と1の例)

表5.10.2.1(a) 8ビットモード時の制御レジスタ(タイマ0と1の例)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_A	外部クロック0ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT0	PTM0クロック出力制御	On	Off	0	R/W	
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF31	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W	
	D2	PTRUN1	PTM1 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET1	PTM1プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL1	PTM1入力クロック選択	外部クロック	内部クロック	0	R/W	

表5.10.2.1(b) 16ビットモード時の制御レジスタ(タイマ0と1の例)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_A	外部クロック0ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT0	無効(0固定)	無効	"0"固定	0	R/W	
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF31	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W	
	D2	PTRUN1	無効(0固定)	無効	"0"固定	0	R/W	
	D1	PSET1	無効(0固定)	無効	"0"固定	0	W	読み出し時は"0"
	D0	CKSEL1	無効(0固定)	無効	"0"固定	0	R/W	

注! レジスタ名にはタイマ番号を示す数値(0~7)が付けられています。以降の説明では特に必要な場合を除き、これを"x"と記述します。たとえば、PTRUNxはPTRUN0~PTRUN7を表します。また、16ビットモード時の説明には1対のタイマをタイマ(L)とタイマ(H)と記述します。

タイマ(L) = タイマ0、タイマ2、タイマ4、タイマ6

タイマ(H) = タイマ1、タイマ3、タイマ5、タイマ7

レジスタ名も同様です。

### 5.10.3 入力クロックの設定

カウンタに入力するクロックは、各タイマごとに設けられた入力クロック選択レジスタ(CKSEL)によって内部クロックまたは外部クロックから選択できます。内部クロックはプリスケアラの出力です。外部クロックはイベントカウンタとして使用するもので、入力ポートの信号をカウントクロックとして使用します。各タイマの入力クロック選択レジスタと入力クロックを表5.10.3.1に示します。

表5.10.3.1 入力クロックの選択

タイマ	レジスタ設定	入力クロック
タイマ0	CKSEL0 = "0"	INCL0 (プリスケアラ)
	CKSEL0 = "1"	EXCL0 (K04入力)
タイマ1	CKSEL1 = "0"	INCL1 (プリスケアラ)
	CKSEL1 = "1"	EXCL0 (K04入力)
タイマ2	CKSEL2 = "0"	INCL2 (プリスケアラ)
	CKSEL2 = "1"	EXCL1 (K05入力)
タイマ3	CKSEL3 = "0"	INCL3 (プリスケアラ)
	CKSEL3 = "1"	EXCL1 (K05入力)
タイマ4	CKSEL4 = "0"	INCL4 (プリスケアラ)
	CKSEL4 = "1"	EXCL2 (K06入力)
タイマ5	CKSEL5 = "0"	INCL5 (プリスケアラ)
	CKSEL5 = "1"	EXCL2 (K06入力)
タイマ6	CKSEL6 = "0"	INCL6 (プリスケアラ)
	CKSEL6 = "1"	EXCL3 (K07入力)
タイマ7	CKSEL7 = "0"	INCL7 (プリスケアラ)
	CKSEL7 = "1"	EXCL3 (K07入力)

外部クロックを選択した場合は、入力ポートの信号がプログラマブルタイムに入力されます。この外部クロック入力部にはノイズリジェクタが設けられており、EXCL0～EXCL3に対応する外部クロックノイズリジェクタ選択レジスタPTNREN\_A～PTNREN\_Dによって個々に使用するかないかを選択することができます。PTNREN\_A(～D)に"1"を書き込むことによって、外部クロックEXCL0(～3)のノイズリジェクタが有効となります。これにより、16/fosc1秒以下のパルスはノイズとみなされて除去されます(クロックとしては最低2倍以上のパルス幅が必要です)。PTNREN\_A(～D)が"0"の場合、外部クロックはノイズリジェクタをバイパスします。

内部クロックを使用する場合、タイマごとに源振クロックとプリスケアラの分周比を選択して、クロック周波数を設定します。

源振クロックは、タイマ個々に用意された源振クロック選択レジスタPRTFxで指定します。PRTFxに"1"を書き込むとタイマxの源振クロックとしてOSC1クロックが、"0"を書き込むとOSC3クロックが選択されます。OSC3クロックを使用する場合は、OSC3発振回路をONにしておく必要があります。OSC3発振回路の制御については"5.4 発振回路"を参照してください。

プリスケアラにはタイマ個別に分周比選択レジスタPSTx0～PSTx2が設けられています。なお、分周比は源振によって設定内容が変わりますので注意してください。

表5.10.3.2 分周比と制御レジスタ

分周比選択レジスタ			分周比	
PSTx2	PSTx1	PSTx0	(OSC3)	(OSC1)
1	1	1	fosc3/4096	fosc1/128
1	1	0	fosc3/1024	fosc1/64
1	0	1	fosc3/256	fosc1/32
1	0	0	fosc3/64	fosc1/16
0	1	1	fosc3/32	fosc1/8
0	1	0	fosc3/8	fosc1/4
0	0	1	fosc3/2	fosc1/2
0	0	0	fosc3/1	fosc1/1

設定したクロックはクロック出力ON/OFF制御レジスタPRPRTxに"1"を書き込むことにより、タイマxに出力されます。

16ビットモードを選択している場合は、タイマ(L)の入力クロックで動作し、タイマ(H)にはタイマ(L)のアンダーフロー信号がクロックとして入力されます。したがって、タイマ(H)の入力クロックの設定は無効となります。

### 5.10.4 タイマの動作と制御

#### リロードデータレジスタと初期値の設定

リロードデータレジスタ(RDRx)はダウンカウンタの初期値を設定するレジスタです。

8ビットモード時はタイマごとに独立した8ビットレジスタRDRxとして使用します。

16ビットモード時はRDR(L)レジスタがリロードデータの低位8ビット、RDR(H)レジスタが上位8ビットとして扱われます。

リロードデータレジスタは読み出し/書き込み可能で、イニシャルリセット時はすべてFFHに設定されます。

ここに書き込んだデータがダウンカウンタにプリセットされ、その値からダウンカウントが行われます。

ダウンカウンタへのプリセットは、次の2つの場合に行われます

- 1) ソフトウェアでプリセットを行った場合  
ソフトウェアによるプリセットはタイマxに対応するプリセット制御ビットPSETxによって行います。このビットに"1"を書き込むと、その時点でリロードデータレジスタの内容がダウンカウンタにロードされます。  
16ビットモード時はPSET(L)によって16ビットリロードデータが1度にロードされます。この場合、PSET(H)への書き込みは無効となります。
- 2) ダウンカウンタがカウント中にアンダーフローした場合  
ダウンカウンタはそのアンダーフローによりリロードデータをプリセットしますので、リロードデータレジスタの設定値により、アンダーフロー周期が決定します。このアンダーフローは割り込みを発生するとともに外部へのクロック(TOUTx信号)出力を制御します。

### コンペアデータレジスタ

プログラマブルタイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この値を設定するレジスタがコンペアデータレジスタ(CDRx)です。

8ビットモード時はタイマごとに独立した8ビットレジスタCDRxとして使用します。

16ビットモード時はCDR(L)レジスタがコンペアデータの下位8ビット、CDR(H)レジスタが上位8ビットとして扱われます。

コンペアデータレジスタは読み出し/書き込み可能で、イニシャルリセット時はすべて00Hに設定されます。

プログラマブルタイマはコンペアデータレジスタ(CDRx)とカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TOUTx信号)出力を制御します。

### タイマの動作

タイマにはそれぞれ、RUN/STOPを制御するレジスタPTRUNxが設けられています。タイマxはPTRUNxに"1"を書き込むことによってダウンカウントを開始します。

なお、カウントを始める前に、入力クロックの制御とリロードデータをプリセットしておく必要があります。

PTRUNxレジスタに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

8ビットモード時はPTRUNxレジスタにより、タイマ個別に制御可能です。

16ビットモード時はPTRUN(L)レジスタにより16ビットを一括して制御します。この場合、PTRUN(H)レジスタの制御は無効となります。

カウンタにはバッファPTMxが付属しており、任意のタイミングで読み出しが可能です。

ダウンカウント中にカウンタがコンペアデータレジスタの設定値と一致すると、コンペアマッチ割り込みを発生します。

また、カウンタがアンダーフローすると、アンダーフロー割り込みが発生するとともに、リロードデータレジスタに設定された初期値をカウンタにリロードします。

どちらの割り込みが発生した場合もダウンカウントはそのまま続きます。アンダーフロー割り込みの場合はリロードされた初期値からのカウントとなります。

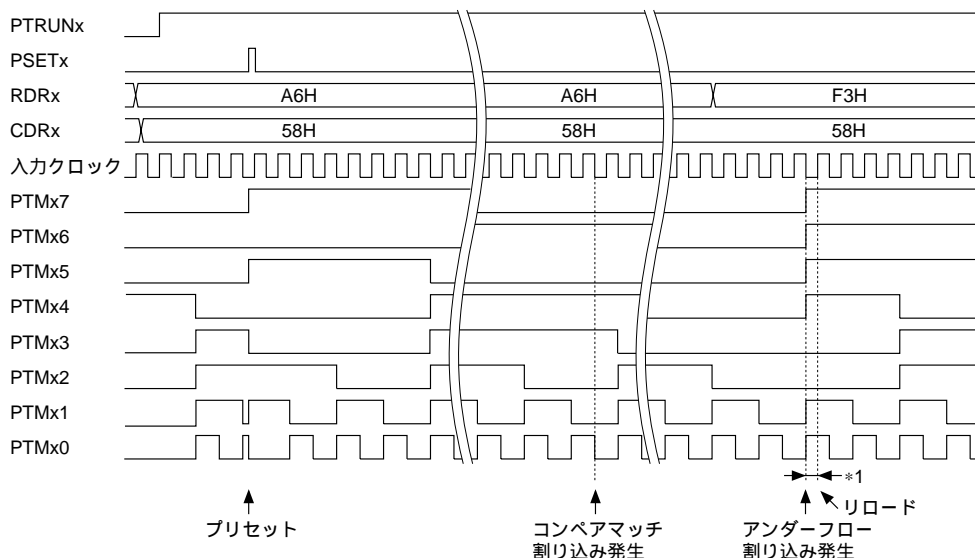


図5.10.4.1 カウンタの基本動作タイミング(8ビットモードの例)

**注!** プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(\*1の区間)。リロードデータを正しくカウンタにセットするために、割り込み発生後は\*1の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。



### 5.10.5 割り込み機能

16ビットプログラマブルタイマは、各タイマのコンペアマッチ信号およびアンダーフロー信号によって割り込みを発生させることができます。

図5.10.5.1に16ビットプログラマブルタイマ割り込み回路の構成を示します。

各タイマのコンペアマッチ信号およびアンダーフロー信号によって、それぞれに対応する割り込み要因フラグが"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタの設定により、割り込みを禁止することもできます。

また、CPUに対する割り込みの優先レベルを割り込みプライオリティレジスタによって任意のレベル(0～3)に設定できます。

それぞれの割り込み要因に対応する割り込み要因フラグ、割り込みイネーブルレジスタ、割り込みプライオリティレジスタは表5.10.5.1のとおりです。

8ビットモード時はタイマ個別にコンペアマッチ割り込み要因フラグとアンダーフロー割り込み要因フラグがセットされます。

16ビットモード時は16ビットのコンペアマッチ、アンダーフローによりタイマ(H)の割り込み要因フラグがセットされます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

タイマ0アンダーフロー割り込み: 000016H  
 タイマ0コンペアマッチ割り込み: 000018H  
 タイマ1アンダーフロー割り込み: 00001AH  
 タイマ1コンペアマッチ割り込み: 00001CH  
 タイマ2アンダーフロー割り込み: 00001EH  
 タイマ2コンペアマッチ割り込み: 000020H  
 タイマ3アンダーフロー割り込み: 000022H  
 タイマ3コンペアマッチ割り込み: 000024H  
 タイマ4アンダーフロー割り込み: 00003CH  
 タイマ4コンペアマッチ割り込み: 00003EH  
 タイマ5アンダーフロー割り込み: 000040H  
 タイマ5コンペアマッチ割り込み: 000042H  
 タイマ6アンダーフロー割り込み: 000044H  
 タイマ6コンペアマッチ割り込み: 000046H  
 タイマ7アンダーフロー割り込み: 000048H  
 タイマ7コンペアマッチ割り込み: 00004AH

表5.10.5.1 割り込み制御レジスタ

割り込み要因		割り込み要因フラグ		割り込みイネーブルレジスタ		割り込みプライオリティレジスタ	
		名称	アドレス・Dx	名称	アドレス・Dx	名称	アドレス・Dx
タイマ0	カウンタのアンダーフロー	FTU0	00FF29H-D0	ETU0	00FF25H-D0	PPT0	00FF21H-D2
	コンペアマッチ	FTC0	00FF29H-D1	ETC0	00FF25H-D1	PPT1	00FF21H-D3
タイマ1	カウンタのアンダーフロー	FTU1	00FF29H-D2	ETU1	00FF25H-D2		
	コンペアマッチ	FTC1	00FF29H-D3	ETC1	00FF25H-D3		
タイマ2	カウンタのアンダーフロー	FTU2	00FF29H-D4	ETU2	00FF25H-D4	PPT2	00FF21H-D4
	コンペアマッチ	FTC2	00FF29H-D5	ETC2	00FF25H-D5	PPT3	00FF21H-D5
タイマ3	カウンタのアンダーフロー	FTU3	00FF29H-D6	ETU3	00FF25H-D6		
	コンペアマッチ	FTC3	00FF29H-D7	ETC3	00FF25H-D7		
タイマ4	カウンタのアンダーフロー	FTU4	00FF2EH-D0	ETU4	00FF2CH-D0	PPT4	00FF2AH-D0
	コンペアマッチ	FTC4	00FF2EH-D1	ETC4	00FF2CH-D1	PPT5	00FF2AH-D1
タイマ5	カウンタのアンダーフロー	FTU5	00FF2EH-D2	ETU5	00FF2CH-D2		
	コンペアマッチ	FTC5	00FF2EH-D3	ETC5	00FF2CH-D3		
タイマ6	カウンタのアンダーフロー	FTU6	00FF2EH-D4	ETU6	00FF2CH-D4	PPT6	00FF2AH-D2
	コンペアマッチ	FTC6	00FF2EH-D5	ETC6	00FF2CH-D5	PPT7	00FF2AH-D3
タイマ7	カウンタのアンダーフロー	FTU7	00FF2EH-D6	ETU7	00FF2CH-D6		
	コンペアマッチ	FTC7	00FF2EH-D7	ETC7	00FF2CH-D7		

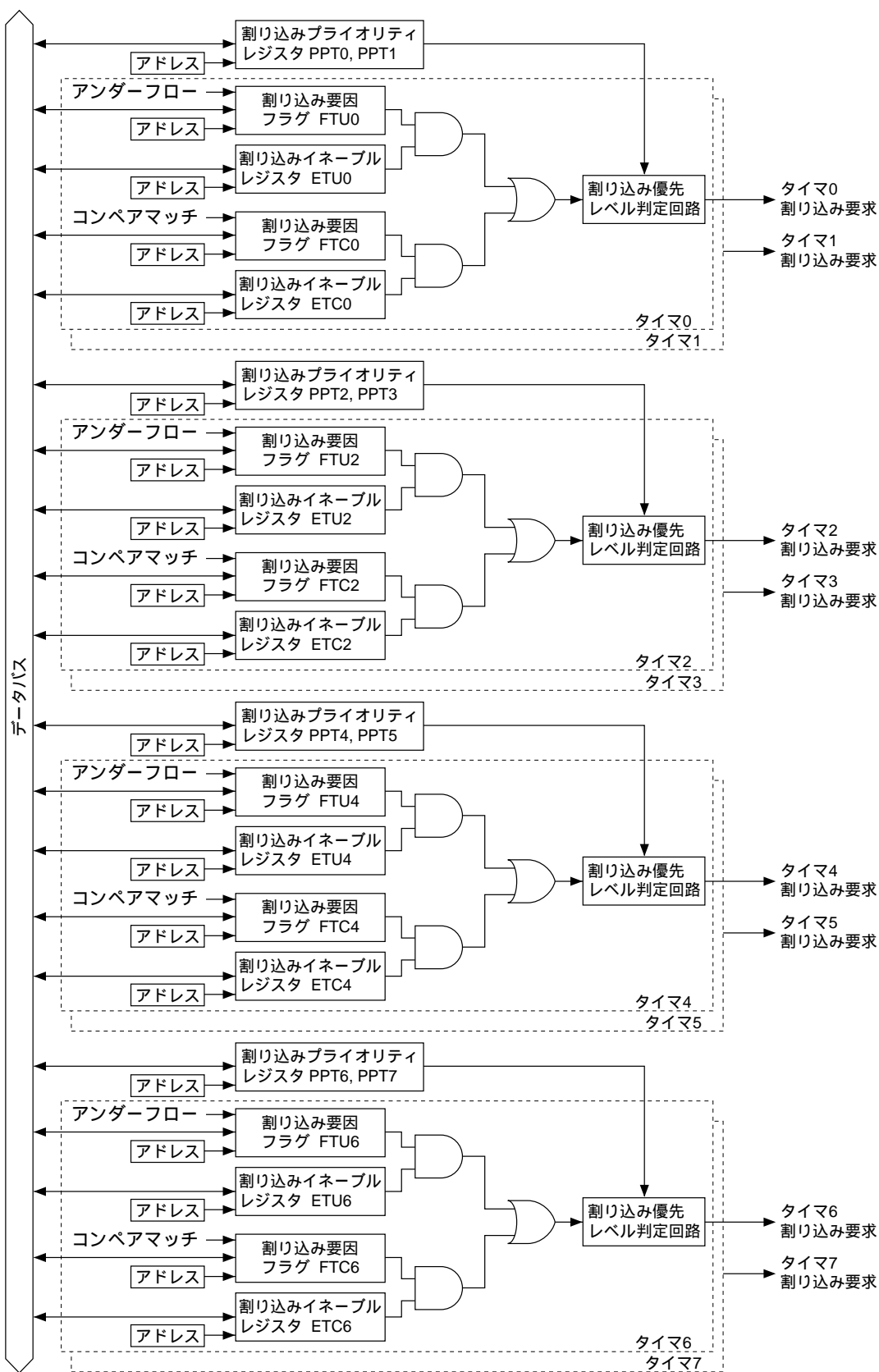


図5.10.5.1 16ビットプログラマブルタイマ割り込み回路の構成



### 5.10.6 TOUT出力の設定

16ビットプログラマブルタイマは、タイマ0～タイマ3のアンダーフローおよびコンペアマッチ信号によってTOUT信号を発生させることができます。ここで発生したTOUT信号は、表5.10.6.1に示す入力兼用ポート端子から出力させることができ、外部デバイスへのクロック供給やPWM波形出力として利用できます。

表5.10.6.1 TOUT出力端子

タイマ	出力クロック名	出力端子
タイマ0	TOUT0	P14
タイマ1	TOUT1	P14
タイマ2	TOUT2	P15
	TOUT2	P17
タイマ3	TOUT3	P15
	TOUT3	P17

TOUT信号はアンダーフロー信号の立ち下がりエッジで立ち上がり、コンペアマッチ信号の立ち下がりエッジで立ち下がります。TOUT信号はその反転波形です。したがって、リロードデータレジスタ(RDR)とコンペアデータレジスタ(CDR)の設定によりTOUT信号の周波数とデューティ比を変化させることができます。

ただし、条件として $RDR > CDR$ 、 $CDR \neq 0$ としておく必要があります。 $RDR \leq CDR$ の場合、TOUT信号は"1"に固定されます。

TOUT出力は各タイマのクロック出力制御レジスタPTOUTxによって、TOUT出力はタイマ2とタイマ3の反転クロック出力制御レジスタRPTOUTxによってON/OFFを制御できます。

PTOUTx(RPTOUTx)に"1"を設定するとTOUTx(TOUTx)信号が対応するポート端子から出力され、"0"を設定するとDC出力を行います。このとき、I/OコントロールレジスタIOC14/IOC15/IOC17およびデータレジスタP14D/P15D/P17Dの設定は無効になります。

注! PTOUT0とPTOUT1を同時に設定した場合はPTOUT1が、PTOUT2(RPTOUT2)とPTOUT3(RPTOUT3)を同時に設定した場合はPTOUT3(RPTOUT3)が有効になります。

16ビットモード時はタイマ(H)の制御レジスタPTOUT(H)によって出力を制御します。クロック出力もタイマ(H)から行われます。

なお、TOUTx(TOUTx)信号はレジスタPTOUTx(RPTOUTx)とは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.10.6.1にTOUT信号の出力波形を示します。

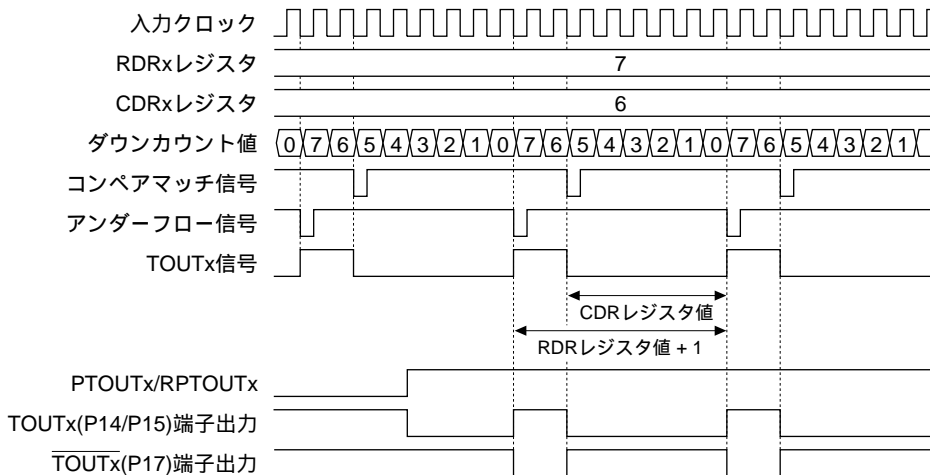


図5.10.6.1 TOUT信号の出力波形

### 5.10.7 シリアルインタフェースの転送速度設定

タイマ1のアンダーフロー信号をシリアルインタフェースのクロック源として使用することができます。

この場合の転送速度の設定はレジスタPST1X、RDR1Xによって行います(アンダーフロー信号を用いるためCDR1Xの値は影響しません。任意の値に設定してください)。

タイマ1のアンダーフロー信号はシリアルインタフェース内で1/32分周されるため、転送速度に対するレジスタRDR1Xへの設定値は次式のようになります。

$$RDR1X = \frac{fdiv}{32 \times bps} - 1$$

fdiv: 入力クロック周波数(PST1Xの設定)

bps: 転送速度

表5.10.7.1 転送速度とOSC3発振周波数

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3=2.4756MHz		fosc3=3.0720MHz		fosc3=3.6864MHz	
	PST1X	RDR1X	PST1X	RDR1X	PST1X	RDR1X
19,200	00H	03H	00H	04H	00H	05H
9,600	00H	07H	00H	09H	00H	0BH
4,800	00H	0FH	00H	13H	00H	17H
2,400	00H	1FH	00H	27H	00H	2FH
1,200	00H	3FH	00H	4FH	00H	5FH
600	00H	7FH	00H	9FH	00H	BFH
300	02H	1FH	03H	09H	01H	BFH
150	02H	3FH	03H	13H	02H	5FH

\* アンダーフロー信号を用いるためCDR1Xの値は影響しません。

### 5.10.8 LCDドライバ用フレーム周波数の設定

タイマ5のアンダーフロー信号をLCDドライバのフレーム周波数を決定するクロック源として使用することができます。

この場合の周波数の設定はレジスタPST5X、RDR5Xによって行います(アンダーフロー信号を用いるためCDR5Xの値は影響しません。任意の値に設定してください)。

タイマ5のアンダーフロー信号はLCDドライバ内で1/128分周(1/16、1/32デューティ)または1/256分周(1/8デューティ)されるため、レジスタRDR5Xへの設定値は次式のようになります。

(1/16、1/32デューティ)

$$RDR5X = \frac{fdiv}{128 \times fFRM} - 1$$

(1/8デューティ)

$$RDR5X = \frac{fdiv}{256 \times fFRM} - 1$$

fdiv: 入力クロック周波数(PST5Xの設定)

fFRM: フレーム周波数(Hz)

## 5.10.9 プログラマブルタイマの制御方法

表5.10.9.1にプログラマブルタイマの制御ビットを示します。

表5.10.9.1(a) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF14	D7	PRPRT1	プログラマブルタイマ1クロック制御	On	Off	0	R/W	
	D6	PST12	プログラマブルタイマ1分周比 PST12 PST11 PST10 (OSC3) (OSC1)			0	R/W	
	D5	PST11	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
	D4	PST10	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D3	PRPRT0	プログラマブルタイマ0クロック制御	On	Off	0	R/W	
	D2	PST02	プログラマブルタイマ0分周比 PST02 PST01 PST00 (OSC3) (OSC1)			0	R/W	
	D1	PST01	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
00FF15	D7	PST32	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D6	PST32	プログラマブルタイマ3分周比 PST32 PST31 PST30 (OSC3) (OSC1)			0	R/W	
	D5	PST31	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
	D4	PST30	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D3	PRPRT2	プログラマブルタイマ2クロック制御	On	Off	0	R/W	
	D2	PST22	プログラマブルタイマ2分周比 PST22 PST21 PST20 (OSC3) (OSC1)			0	R/W	
	D1	PST21	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
00FF18	D7	PST52	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D6	PST52	プログラマブルタイマ5分周比 PST52 PST51 PST50 (OSC3) (OSC1)			0	R/W	
	D5	PST51	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
	D4	PST50	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D3	PRPRT4	プログラマブルタイマ4クロック制御	On	Off	0	R/W	
	D2	PST42	プログラマブルタイマ4分周比 PST42 PST41 PST40 (OSC3) (OSC1)			0	R/W	
	D1	PST41	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
	D0	PST40	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					

表5.10.9.1(b) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF19	D7	PRPRT7	プログラマブルタイマ7クロック制御	On	Off	0	R/W	
	D6	PST72	プログラマブルタイマ7分周比 PST72 PST71 PST70 (OSC3) (OSC1)			0	R/W	
	D5	PST71	1 1 1 fosc3 / 4096 fosc1 / 128					
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
	D4	PST70	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D3	PRPRT6	プログラマブルタイマ6クロック制御	On	Off	0	R/W	
	D2	PST62	プログラマブルタイマ6分周比 PST62 PST61 PST60 (OSC3) (OSC1)			0	R/W	
D1	PST61	1 1 1 fosc3 / 4096 fosc1 / 128						
		1 1 0 fosc3 / 1024 fosc1 / 64						
		1 0 1 fosc3 / 256 fosc1 / 32						
		1 0 0 fosc3 / 64 fosc1 / 16						
D0	PST60	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W		
		0 1 0 fosc3 / 8 fosc1 / 4						
		0 0 1 fosc3 / 2 fosc1 / 2						
		0 0 0 fosc3 / 1 fosc1 / 1						
00FF17	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	PRTF3	プログラマブルタイマ3源振クロック選択	fosc1	fosc3	0	R/W	予約レジスタ
	D2	PRTF2	プログラマブルタイマ2源振クロック選択	fosc1	fosc3	0	R/W	
	D1	PRTF1	プログラマブルタイマ1源振クロック選択	fosc1	fosc3	0	R/W	
	D0	PRTF0	プログラマブルタイマ0源振クロック選択	fosc1	fosc3	0	R/W	
00FF1B	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PRTF7	プログラマブルタイマ7源振クロック選択	fosc1	fosc3	0	R/W	
	D2	PRTF6	プログラマブルタイマ6源振クロック選択	fosc1	fosc3	0	R/W	
	D1	PRTF5	プログラマブルタイマ5源振クロック選択	fosc1	fosc3	0	R/W	
	D0	PRTF4	プログラマブルタイマ4源振クロック選択	fosc1	fosc3	0	R/W	
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	PPT3	プログラマブルタイマ3-2割り込み	PPT3	PPT2	優先 レベル	0	R/W
	D4	PPT2	プライオリティレジスタ	PPT1	PPT0			
	D3	PPT1	プログラマブルタイマ1-0割り込み	1	0	レベル2	0	R/W
	D2	PPT0	プライオリティレジスタ	0	1	レベル1		
	D1	—	—	—	—	—		読み出し時は 常時"0"
	D0	—	—	—	—	—		
00FF2A	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PPT7	プログラマブルタイマ7-6割り込み	PPT7	PPT6	優先 レベル	0	R/W
	D2	PPT6	プライオリティレジスタ	PPT5	PPT4			
	D1	PPT5	プログラマブルタイマ5-4割り込み	1	0	レベル2	0	R/W
	D0	PPT4	プライオリティレジスタ	0	1	レベル1		

表5.10.9.1(c) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF25	D7	ETC3	PTM3コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D6	ETU3	PTM3アンダーフロー割り込みイネーブル					
	D5	ETC2	PTM2コンペアマッチ割り込みイネーブル					
	D4	ETU2	PTM2アンダーフロー割り込みイネーブル					
	D3	ETC1	PTM1コンペアマッチ割り込みイネーブル					
	D2	ETU1	PTM1アンダーフロー割り込みイネーブル					
	D1	ETC0	PTM0コンペアマッチ割り込みイネーブル					
	D0	ETU0	PTM0アンダーフロー割り込みイネーブル					
00FF29	D7	FTC3	PTM3コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FTU3	PTM3アンダーフロー割り込み要因フラグ					
	D5	FTC2	PTM2コンペアマッチ割り込み要因フラグ					
	D4	FTU2	PTM2アンダーフロー割り込み要因フラグ					
	D3	FTC1	PTM1コンペアマッチ割り込み要因フラグ	(W) リセット	(W) 無効			
	D2	FTU1	PTM1アンダーフロー割り込み要因フラグ					
	D1	FTC0	PTM0コンペアマッチ割り込み要因フラグ					
	D0	FTU0	PTM0アンダーフロー割り込み要因フラグ					
00FF2C	D7	ETC7	PTM7コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D6	ETU7	PTM7アンダーフロー割り込みイネーブル					
	D5	ETC6	PTM6コンペアマッチ割り込みイネーブル					
	D4	ETU6	PTM6アンダーフロー割り込みイネーブル					
	D3	ETC5	PTM5コンペアマッチ割り込みイネーブル					
	D2	ETU5	PTM5アンダーフロー割り込みイネーブル					
	D1	ETC4	PTM4コンペアマッチ割り込みイネーブル					
	D0	ETU4	PTM4アンダーフロー割り込みイネーブル					
00FF2E	D7	FTC7	PTM7コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FTU7	PTM7アンダーフロー割り込み要因フラグ					
	D5	FTC6	PTM6コンペアマッチ割り込み要因フラグ					
	D4	FTU6	PTM6アンダーフロー割り込み要因フラグ					
	D3	FTC5	PTM5コンペアマッチ割り込み要因フラグ	(W) リセット	(W) 無効			
	D2	FTU5	PTM5アンダーフロー割り込み要因フラグ					
	D1	FTC4	PTM4コンペアマッチ割り込み要因フラグ					
	D0	FTU4	PTM4アンダーフロー割り込み要因フラグ					
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	読み出し時は"0"
	D6	PTNREN_A	外部クロック0ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	PTOUT0	PTM0クロック出力制御	On	Off	0	R/W	
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W	
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF31	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W	
	D2	PTRUN1	PTM1 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET1	PTM1プリセット	プリセット	無効	0	W	
	D0	CKSEL1	PTM1入力クロック選択	外部クロック	内部クロック	0	R/W	

表5.10.9.1(d) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF32	D7	RDR07	PTM0リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR06	PTM0リロードデータD6					
	D5	RDR05	PTM0リロードデータD5					
	D4	RDR04	PTM0リロードデータD4					
	D3	RDR03	PTM0リロードデータD3					
	D2	RDR02	PTM0リロードデータD2					
	D1	RDR01	PTM0リロードデータD1					
	D0	RDR00	PTM0リロードデータD0 (LSB)					
00FF33	D7	RDR17	PTM1リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR16	PTM1リロードデータD6					
	D5	RDR15	PTM1リロードデータD5					
	D4	RDR14	PTM1リロードデータD4					
	D3	RDR13	PTM1リロードデータD3					
	D2	RDR12	PTM1リロードデータD2					
	D1	RDR11	PTM1リロードデータD1					
	D0	RDR10	PTM1リロードデータD0 (LSB)					
00FF34	D7	CDR07	PTM0コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR06	PTM0コンペアデータD6					
	D5	CDR05	PTM0コンペアデータD5					
	D4	CDR04	PTM0コンペアデータD4					
	D3	CDR03	PTM0コンペアデータD3					
	D2	CDR02	PTM0コンペアデータD2					
	D1	CDR01	PTM0コンペアデータD1					
	D0	CDR00	PTM0コンペアデータD0 (LSB)					
00FF35	D7	CDR17	PTM1コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR16	PTM1コンペアデータD6					
	D5	CDR15	PTM1コンペアデータD5					
	D4	CDR14	PTM1コンペアデータD4					
	D3	CDR13	PTM1コンペアデータD3					
	D2	CDR12	PTM1コンペアデータD2					
	D1	CDR11	PTM1コンペアデータD1					
	D0	CDR10	PTM1コンペアデータD0 (LSB)					
00FF36	D7	PTM07	PTM0データD7 (MSB)	High	Low	1	R	
	D6	PTM06	PTM0データD6					
	D5	PTM05	PTM0データD5					
	D4	PTM04	PTM0データD4					
	D3	PTM03	PTM0データD3					
	D2	PTM02	PTM0データD2					
	D1	PTM01	PTM0データD1					
	D0	PTM00	PTM0データD0 (LSB)					
00FF37	D7	PTM17	PTM1データD7 (MSB)	High	Low	1	R	
	D6	PTM16	PTM1データD6					
	D5	PTM15	PTM1データD5					
	D4	PTM14	PTM1データD4					
	D3	PTM13	PTM1データD3					
	D2	PTM12	PTM1データD2					
	D1	PTM11	PTM1データD1					
	D0	PTM10	PTM1データD0 (LSB)					

表5.10.9.1(e) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF38	D7	MODE16_B	PTM2-3 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_B	外部クロック1ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	RPTOUT2	PTM2反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT2	PTM2クロック出力制御	On	Off	0	R/W	
	D2	PTRUN2	PTM2 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET2	PTM2プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL2	PTM2入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF39	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	RPTOUT3	PTM3反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT3	PTM3クロック出力制御	On	Off	0	R/W	
	D2	PTRUN3	PTM3 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET3	PTM3プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL3	PTM3入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF3A	D7	RDR27	PTM2リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR26	PTM2リロードデータD6					
	D5	RDR25	PTM2リロードデータD5					
	D4	RDR24	PTM2リロードデータD4					
	D3	RDR23	PTM2リロードデータD3					
	D2	RDR22	PTM2リロードデータD2					
	D1	RDR21	PTM2リロードデータD1					
	D0	RDR20	PTM2リロードデータD0 (LSB)					
00FF3B	D7	RDR37	PTM3リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR36	PTM3リロードデータD6					
	D5	RDR35	PTM3リロードデータD5					
	D4	RDR34	PTM3リロードデータD4					
	D3	RDR33	PTM3リロードデータD3					
	D2	RDR32	PTM3リロードデータD2					
	D1	RDR31	PTM3リロードデータD1					
	D0	RDR30	PTM3リロードデータD0 (LSB)					
00FF3C	D7	CDR27	PTM2コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR26	PTM2コンペアデータD6					
	D5	CDR25	PTM2コンペアデータD5					
	D4	CDR24	PTM2コンペアデータD4					
	D3	CDR23	PTM2コンペアデータD3					
	D2	CDR22	PTM2コンペアデータD2					
	D1	CDR21	PTM2コンペアデータD1					
	D0	CDR20	PTM2コンペアデータD0 (LSB)					
00FF3D	D7	CDR37	PTM3コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR36	PTM3コンペアデータD6					
	D5	CDR35	PTM3コンペアデータD5					
	D4	CDR34	PTM3コンペアデータD4					
	D3	CDR33	PTM3コンペアデータD3					
	D2	CDR32	PTM3コンペアデータD2					
	D1	CDR31	PTM3コンペアデータD1					
	D0	CDR30	PTM3コンペアデータD0 (LSB)					



表5.10.9.1(f) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF3E	D7	PTM27	PTM2データD7 (MSB)	High	Low	1	R	
	D6	PTM26	PTM2データD6					
	D5	PTM25	PTM2データD5					
	D4	PTM24	PTM2データD4					
	D3	PTM23	PTM2データD3					
	D2	PTM22	PTM2データD2					
	D1	PTM21	PTM2データD1					
	D0	PTM20	PTM2データD0 (LSB)					
00FF3F	D7	PTM37	PTM3データD7 (MSB)	High	Low	1	R	
	D6	PTM36	PTM3データD6					
	D5	PTM35	PTM3データD5					
	D4	PTM34	PTM3データD4					
	D3	PTM33	PTM3データD3					
	D2	PTM32	PTM3データD2					
	D1	PTM31	PTM3データD1					
	D0	PTM30	PTM3データD0 (LSB)					
00FFB0	D7	MODE16_C	PTM4-5 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_C	外部クロック2ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN4	PTM4 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET4	PTM4プリセット	プリセット	無効	0	W	
	D0	CKSEL4	PTM4入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB1	D7	—	—	—	—	—		
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN5	PTM5 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET5	PTM5プリセット	プリセット	無効	0	W	
	D0	CKSEL5	PTM5入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB2	D7	RDR47	PTM4リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR46	PTM4リロードデータD6					
	D5	RDR45	PTM4リロードデータD5					
	D4	RDR44	PTM4リロードデータD4					
	D3	RDR43	PTM4リロードデータD3					
	D2	RDR42	PTM4リロードデータD2					
	D1	RDR41	PTM4リロードデータD1					
	D0	RDR40	PTM4リロードデータD0 (LSB)					
00FFB3	D7	RDR57	PTM5リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR56	PTM5リロードデータD6					
	D5	RDR55	PTM5リロードデータD5					
	D4	RDR54	PTM5リロードデータD4					
	D3	RDR53	PTM5リロードデータD3					
	D2	RDR52	PTM5リロードデータD2					
	D1	RDR51	PTM5リロードデータD1					
	D0	RDR50	PTM5リロードデータD0 (LSB)					

表5.10.9.1(g) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FFB4	D7	CDR47	PTM4コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR46	PTM4コンペアデータD6					
	D5	CDR45	PTM4コンペアデータD5					
	D4	CDR44	PTM4コンペアデータD4					
	D3	CDR43	PTM4コンペアデータD3					
	D2	CDR42	PTM4コンペアデータD2					
	D1	CDR41	PTM4コンペアデータD1					
	D0	CDR40	PTM4コンペアデータD0 (LSB)					
00FFB5	D7	CDR57	PTM5コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR56	PTM5コンペアデータD6					
	D5	CDR55	PTM5コンペアデータD5					
	D4	CDR54	PTM5コンペアデータD4					
	D3	CDR53	PTM5コンペアデータD3					
	D2	CDR52	PTM5コンペアデータD2					
	D1	CDR51	PTM5コンペアデータD1					
	D0	CDR50	PTM5コンペアデータD0 (LSB)					
00FFB6	D7	PTM47	PTM4データD7 (MSB)	High	Low	1	R	
	D6	PTM46	PTM4データD6					
	D5	PTM45	PTM4データD5					
	D4	PTM44	PTM4データD4					
	D3	PTM43	PTM4データD3					
	D2	PTM42	PTM4データD2					
	D1	PTM41	PTM4データD1					
	D0	PTM40	PTM4データD0 (LSB)					
00FFB7	D7	PTM57	PTM5データD7 (MSB)	High	Low	1	R	
	D6	PTM56	PTM5データD6					
	D5	PTM55	PTM5データD5					
	D4	PTM54	PTM5データD4					
	D3	PTM53	PTM5データD3					
	D2	PTM52	PTM5データD2					
	D1	PTM51	PTM5データD1					
	D0	PTM50	PTM5データD0 (LSB)					
00FFB8	D7	MODE16_D	PTM6-7 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	読み出し時は"0"
	D6	PTNREN_D	外部クロック3ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN6	PTM6 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET6	PTM6プリセット	プリセット	無効	0	W	
	D0	CKSEL6	PTM6入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB9	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN7	PTM7 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET7	PTM7プリセット	プリセット	無効	0	W	
	D0	CKSEL7	PTM7入力クロック選択	外部クロック	内部クロック	0	R/W	

表5.10.9.1(h) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FFBA	D7	RDR67	PTM6リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR66	PTM6リロードデータD6					
	D5	RDR65	PTM6リロードデータD5					
	D4	RDR64	PTM6リロードデータD4					
	D3	RDR63	PTM6リロードデータD3					
	D2	RDR62	PTM6リロードデータD2					
	D1	RDR61	PTM6リロードデータD1					
	D0	RDR60	PTM6リロードデータD0 (LSB)					
00FFBB	D7	RDR77	PTM7リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR76	PTM7リロードデータD6					
	D5	RDR75	PTM7リロードデータD5					
	D4	RDR74	PTM7リロードデータD4					
	D3	RDR73	PTM7リロードデータD3					
	D2	RDR72	PTM7リロードデータD2					
	D1	RDR71	PTM7リロードデータD1					
	D0	RDR70	PTM7リロードデータD0 (LSB)					
00FFBC	D7	CDR67	PTM6コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR66	PTM6コンペアデータD6					
	D5	CDR65	PTM6コンペアデータD5					
	D4	CDR64	PTM6コンペアデータD4					
	D3	CDR63	PTM6コンペアデータD3					
	D2	CDR62	PTM6コンペアデータD2					
	D1	CDR61	PTM6コンペアデータD1					
	D0	CDR60	PTM6コンペアデータD0 (LSB)					
00FFBD	D7	CDR77	PTM7コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR76	PTM7コンペアデータD6					
	D5	CDR75	PTM7コンペアデータD5					
	D4	CDR74	PTM7コンペアデータD4					
	D3	CDR73	PTM7コンペアデータD3					
	D2	CDR72	PTM7コンペアデータD2					
	D1	CDR71	PTM7コンペアデータD1					
	D0	CDR70	PTM7コンペアデータD0 (LSB)					
00FFBE	D7	PTM67	PTM6データD7 (MSB)	High	Low	1	R	
	D6	PTM66	PTM6データD6					
	D5	PTM65	PTM6データD5					
	D4	PTM64	PTM6データD4					
	D3	PTM63	PTM6データD3					
	D2	PTM62	PTM6データD2					
	D1	PTM61	PTM6データD1					
	D0	PTM60	PTM6データD0 (LSB)					
00FFBF	D7	PTM77	PTM7データD7 (MSB)	High	Low	1	R	
	D6	PTM76	PTM7データD6					
	D5	PTM75	PTM7データD5					
	D4	PTM74	PTM7データD4					
	D3	PTM73	PTM7データD3					
	D2	PTM72	PTM7データD2					
	D1	PTM71	PTM7データD1					
	D0	PTM70	PTM7データD0 (LSB)					

**MODE16\_A: 00FF30H-D7****MODE16\_B: 00FF38H-D7****MODE16\_C: 00FFB0H-D7****MODE16\_D: 00FFB8H-D7**

8/16ビットモードを選択します。

"1"書き込み: 16ビット×1チャンネル

"0"書き込み: 8ビット×2チャンネル

読み出し: 可能

MODE16\_Aはタイマ0-1、MODE16\_Bはタイマ2-3、MODE16\_Cはタイマ4-5、MODE16\_Dはタイマ6-7に対応する8/16ビットモード選択レジスタで、タイマ(L)とタイマ(H)を独立した2チャンネルの8ビットタイマとして使用するか、組み合わせた1チャンネルの16ビットタイマとして使用するか選択します。MODE16\_A(～D)に"0"を書き込んだ場合は8ビット×2チャンネル、"1"を書き込んだ場合は16ビット×1チャンネルがそれぞれ選択されます。イニシャルリセット時、本レジスタは"0"(8ビット×2チャンネル)に設定されます。

**PTNREN\_A: 00FF30H-D6****PTNREN\_B: 00FF38H-D6****PTNREN\_C: 00FFB0H-D6****PTNREN\_D: 00FFB8H-D6**

外部クロック入力部のノイズリジェクタを有効/無効にします。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

PTNREN\_A(～D)に"1"を書き込むことによって、外部クロックEXCL0(～3)のノイズリジェクタが有効となります。これにより、16/fosc1以下のパルスはノイズとみなされて除去されます。PTNREN\_A(～D)が"0"の場合、外部クロックはノイズリジェクタをバイパスします。イニシャルリセット時、PTNREN\_A(～D)は"0"(無効)に設定されます。

**CKSEL0: 00FF30H-D0****CKSEL1: 00FF31H-D0****CKSEL2: 00FF38H-D0****CKSEL3: 00FF39H-D0****CKSEL4: 00FFB0H-D0****CKSEL5: 00FFB1H-D0****CKSEL6: 00FFB8H-D0****CKSEL7: 00FFB9H-D0**

各タイマの入力クロックを選択します。

"1"書き込み: 外部クロック

"0"書き込み: 内部クロック

読み出し: 可能

各タイマの入力クロックを外部クロック(入力ポートの入力信号)とするか内部クロック(プリスケアラの出力クロック)とするかを選択します。

CKSELxに"0"を書き込んだ場合はタイマxの入力クロックとして内部クロック(プリスケアラ出力INCLx)が選択されます。

"1"を書き込んだ場合は外部クロック(タイマ0と1はK04入力EXCL0、タイマ2と3はK05入力EXCL1、タイマ4と5はK06入力EXCL2、タイマ6と7はK07入力EXCL3)が選択され、イベントカウンタとして機能します。

なお、16ビットモードではCKSEL(H)の設定が無効となります。

イニシャルリセット時、本レジスタは"0"(内部クロック)に設定されます。

**PRTF0: 00FF17H-D0****PRTF1: 00FF17H-D1****PRTF2: 00FF17H-D2****PRTF3: 00FF17H-D3****PRTF4: 00FF1BH-D0****PRTF5: 00FF1BH-D1****PRTF6: 00FF1BH-D2****PRTF7: 00FF1BH-D3**

各タイマの原振クロックを選択します(内部クロック使用時)。

"1"書き込み: fosc1

"0"書き込み: fosc3

読み出し: 可能

PRTFxに"1"を書き込むことにより、OSC1クロックがタイマxの原振として選択されます。"0"を書き込むと、OSC3クロックが選択されます。

イニシャルリセット時、本レジスタは"0"(fosc3)に設定されます。

**PST00~PST02: 00FF14H-D0~D2****PST10~PST12: 00FF14H-D4~D6****PST20~PST22: 00FF15H-D0~D2****PST30~PST32: 00FF15H-D4~D6****PST40~PST42: 00FF18H-D0~D2****PST50~PST52: 00FF18H-D4~D6****PST60~PST62: 00FF19H-D0~D2****PST70~PST72: 00FF19H-D4~D6**

各タイマの入力クロックを設定します(内部クロック使用時)。

表5.10.9.1(a)、(b)に示した8種類の分周比の中から選択できます。

本レジスタは読み出しも可能です。

イニシャルリセット時、本レジスタは"0"に設定されます。

**PRPRT0: 00FF14H・D3**  
**PRPRT1: 00FF14H・D7**  
**PRPRT2: 00FF15H・D3**  
**PRPRT3: 00FF15H・D7**  
**PRPRT4: 00FF18H・D3**  
**PRPRT5: 00FF18H・D7**  
**PRPRT6: 00FF19H・D3**  
**PRPRT7: 00FF19H・D7**

各タイマへのクロック供給を制御します(内部クロック使用時)。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PRPRTxレジスタに"1"を書き込むことにより、PSTxレジスタで選択したクロックがタイマxに出力されます。

"0"を書き込むと、クロックは出力されません。イニシャルリセット時、本レジスタは"0"(OFF)に設定されます。

**RDR00~RDR07: 00FF32H**  
**RDR10~RDR17: 00FF33H**  
**RDR20~RDR27: 00FF3AH**  
**RDR30~RDR37: 00FF3BH**  
**RDR40~RDR47: 00FFB2H**  
**RDR50~RDR57: 00FFB3H**  
**RDR60~RDR67: 00FFBAH**  
**RDR70~RDR77: 00FFBBH**

各タイマのカウンタの初期値を設定します。本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPSETxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

本レジスタは読み出しも可能です。イニシャルリセット時、本レジスタは"FFH"に設定されます。

**CDR00~CDR07: 00FF34H**  
**CDR10~CDR17: 00FF35H**  
**CDR20~CDR27: 00FF3CH**  
**CDR30~CDR37: 00FF3DH**  
**CDR40~CDR47: 00FFB4H**  
**CDR50~CDR57: 00FFB5H**  
**CDR60~CDR67: 00FFBCH**  
**CDR70~CDR77: 00FFBDH**

各タイマのコンペアデータを設定します。本レジスタに設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアマッチ信号を出力します。コンペアマッチ信号は割り込みとTOUT出力波形を制御します。

本レジスタは読み出しも可能です。イニシャルリセット時、本レジスタは"00H"に設定されます。

**PTM00~PTM07: 00FF36H**  
**PTM10~PTM17: 00FF37H**  
**PTM20~PTM27: 00FF3EH**  
**PTM30~PTM37: 00FF3FH**  
**PTM40~PTM47: 00FFB6H**  
**PTM50~PTM57: 00FFB7H**  
**PTM60~PTM67: 00FFBEH**  
**PTM70~PTM77: 00FFBFH**

各タイマのカウンタデータが読み出せます。データは任意のタイミングで読み出しが可能です。ただし、16ビットモードでは、PTM(L)の読み出しによるPTM(H)のタイマ(H)カウンタデータのラッチは行われません。

タイマ(L)からタイマ(H)へのポロー発生を回避する必要がある場合は、PTRUN(L)に"0"を書き込み、タイマをストップしてからカウンタデータの読み出しを行ってください。

PTMxは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、PTMxは"FFH"に設定されます。

**PSET0: 00FF30H・D1**  
**PSET1: 00FF31H・D1**  
**PSET2: 00FF38H・D1**  
**PSET3: 00FF39H・D1**  
**PSET4: 00FFB0H・D1**  
**PSET5: 00FFB1H・D1**  
**PSET6: 00FFB8H・D1**  
**PSET7: 00FFB9H・D1**

リロードデータをカウンタにプリセットします。

"1"書き込み: プリセット

"0"書き込み: 無効

読み出し: 常時"0"

PSETxに"1"を書き込むことによって、RDRxのリロードデータがタイマxのカウンタにプリセットされます。タイマxのカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。なお、16ビットモードを選択している場合はPSET(L)によって16ビットのプリセットが行われるため、PSET(H)への"1"書き込みは無効となります。

PSETxは書き込み専用のため、読み出しは常時"0"となります。

**PTRUN0: 00FF30H-D2**  
**PTRUN1: 00FF31H-D2**  
**PTRUN2: 00FF38H-D2**  
**PTRUN3: 00FF39H-D2**  
**PTRUN4: 00FFB0H-D2**  
**PTRUN5: 00FFB1H-D2**  
**PTRUN6: 00FFB8H-D2**  
**PTRUN7: 00FFB9H-D2**

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN  
 "0"書き込み: STOP  
 読み出し: 可能

タイマxのカウンタはPTRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

なお、16ビットモードを選択している場合はPTRUN(L)によって制御します。その場合、PTRUN(H)は"0"に固定されます。

イニシャルリセット時、本レジスタは"0"(STOP)に設定されます。

**PTOUT0: 00FF30H-D3**  
**PTOUT1: 00FF31H-D3**  
**PTOUT2: 00FF38H-D3**  
**PTOUT3: 00FF39H-D3**

TOUT信号の出力制御を行います。

"1"書き込み: TOUT信号出力  
 "0"書き込み: DC出力  
 読み出し: 可能

PTOUTxはTOUTx信号(タイマx出力クロック)の出力制御レジスタです。"1"を設定するとTOUT0またはTOUT1信号はP14ポート端子から、TOUT2またはTOUT3信号はP15ポート端子から出力され、"0"を設定するとDC出力を行います。

このとき、I/OコントロールレジスタIOC14/IOC15およびデータレジスタP14D/P15Dの設定は無効になります。

16ビットモードを選択している場合はPTOUT(H)によって制御します。その場合、PTOUT(L)は"0"に固定されます。

イニシャルリセット時、本レジスタは"0"(DC出力)に設定されます。

注! PTOUT0とPTOUT1を同時に設定した場合はPTOUT1が、PTOUT2とPTOUT3を同時に設定した場合はPTOUT3が有効になります。なお、プログラマブルタイマを16ビットモードに設定した場合、TOUT0、TOUT2を出力することはできません。

**RPTOUT2: 00FF38H-D4**  
**RPTOUT3: 00FF39H-D4**

TOUT信号の出力制御を行います。

"1"書き込み: TOUT信号出力  
 "0"書き込み: DC出力  
 読み出し: 可能

RPTOUTxはTOUTx信号(タイマx出力反転クロック)の出力制御レジスタです。"1"を設定するとTOUT2またはTOUT3信号はP17ポート端子から出力され、"0"を設定するとDC出力を行います。

このとき、I/OコントロールレジスタIOC17およびデータレジスタP17Dの設定は無効になります。16ビットモードを選択している場合はRPTOUT3によって制御します。その場合、RPTOUT2は"0"に固定されます。

イニシャルリセット時、本レジスタは"0"(DC出力)に設定されます。

注! RPTOUT2とRPTOUT3を同時に設定した場合はRPTOUT3が有効になります。

**PPT0, PPT1: 00FF21H-D2, D3**  
**PPT2, PPT3: 00FF21H-D4, D5**  
**PPT4, PPT5: 00FF2AH-D0, D1**  
**PPT6, PPT7: 00FF2AH-D2, D3**

プログラマブルタイマ割り込みの優先レベルを設定します。

PPT0とPPT1はタイマ0と1、PPT2とPPT3はタイマ2と3、PPT4とPPT5はタイマ4と5、PPT6とPPT7はタイマ6と7の割り込みに対応した割り込みプライオリティレジスタです。

設定できる割り込み優先レベルは表5.10.9.2のとおりです。

表5.10.9.2 割り込み優先レベルの設定

PPT7 PPT5 PPT3 PPT1	PPT6 PPT4 PPT2 PPT0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。



**ETU0: 00FF25H·D0**  
**ETU1: 00FF25H·D2**  
**ETU2: 00FF25H·D4**  
**ETU3: 00FF25H·D6**  
**ETU4: 00FF2CH·D0**  
**ETU5: 00FF2CH·D2**  
**ETU6: 00FF2CH·D4**  
**ETU7: 00FF2CH·D6**

CPUに対するアンダーフロー割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可  
 "0"書き込み: 割り込み禁止  
 読み出し: 可能

ETUxレジスタはタイマxのアンダーフロー割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

なお、16ビットモードを選択している場合はETU(L)の設定は無効となります。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

**ETC0: 00FF25H·D1**  
**ETC1: 00FF25H·D3**  
**ETC2: 00FF25H·D5**  
**ETC3: 00FF25H·D7**  
**ETC4: 00FF2CH·D1**  
**ETC5: 00FF2CH·D3**  
**ETC6: 00FF2CH·D5**  
**ETC7: 00FF2CH·D7**

CPUに対するコンペアマッチ割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可  
 "0"書き込み: 割り込み禁止  
 読み出し: 可能

ETCxレジスタはタイマxのコンペアマッチ割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

なお、16ビットモードを選択している場合はETC(L)の設定は無効となります。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

**FTU0: 00FF29H·D0**  
**FTU1: 00FF29H·D2**  
**FTU2: 00FF29H·D4**  
**FTU3: 00FF29H·D6**  
**FTU4: 00FF2EH·D0**  
**FTU5: 00FF2EH·D2**  
**FTU6: 00FF2EH·D4**  
**FTU7: 00FF2EH·D6**

アンダーフロー割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり  
 "0"読み出し: 割り込み要因なし  
 "1"書き込み: 要因フラグをリセット  
 "0"書き込み: 無効

FTUxはタイマxの割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

なお、16ビットモードを選択している場合は割り込み要因フラグFTU(L)は"1"にセットされず、タイマ(L)の割り込みも発生しません。16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFTU(H)が"1"にセットされます。イニシャルリセット時、本フラグは"0"にリセットされます。



**FTC0: 00FF29H-D1**  
**FTC1: 00FF29H-D3**  
**FTC2: 00FF29H-D5**  
**FTC3: 00FF29H-D7**  
**FTC4: 00FF2EH-D1**  
**FTC5: 00FF2EH-D3**  
**FTC6: 00FF2EH-D5**  
**FTC7: 00FF2EH-D7**

コンペアマッチ割り込みの発生状態を示します。

- "1"読み出し: 割り込み要因あり
- "0"読み出し: 割り込み要因なし
- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

FTCxはタイマxの割り込みに対応する割り込み要因フラグで、それぞれのカウンタのコンペアマッチ信号に同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

なお、16ビットモードを選択している場合は割り込み要因フラグFTC(L)は"1"にセットされず、タイマ(L)の割り込みも発生しません。16ビットモード時は、16ビットカウンタのコンペアマッチによって割り込み要因フラグFTC(H)が"1"にセットされます。イニシャルリセット時、本フラグは"0"にリセットされます。

### 5.10.10 プログラミング上の注意事項

- (1) プログラマブルタイマはレジスタPTRUNxへの書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。  
図5.10.10.1にRUN/STOP制御のタイミングチャートを示します。

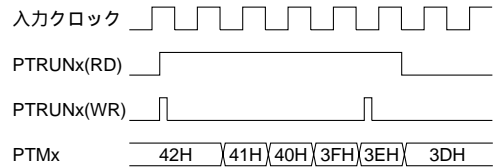


図5.10.10.1 RUN/STOP制御のタイミングチャート

- (2) プログラマブルタイマがRUNしている状態(PTRUNx="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にプログラマブルタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にプログラマブルタイマをSTOP状態(PTRUNx="0")に設定してください。  
また、同様にクロック出力ポート端子に不安定なクロックが出力されないようTOUT信号をディセーブル状態(PTOUTx="0")に設定してください。
- (3) 16ビットモードでは、PTM(L)の読み出しによるPTM(H)のタイマ(H)カウンタデータのラッチは行われません。タイマ(L)からタイマ(H)へのポーラ発生を回避する必要がある場合は、PTRUN(L)に"0"を書き込み、タイマをストップしてからカウンタデータの読み出しを行ってください。
- (4) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。  
プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(この区間)。

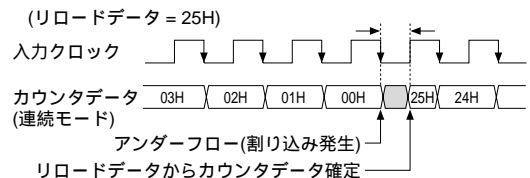


図5.10.10.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後はこの区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

## 5.11 LCDドライバ

### 5.11.1 LCDドライバの構成

S1C88650は最大4,032ドット(126セグメント×32コモン)のLCDパネルが駆動可能なドットマトリクスLCDドライバを内蔵しています。図5.11.1.1にLCDドライバと駆動電源の構成を示します。

### 5.11.2 LCD電源

LCD系の駆動電圧 $V_{C1} \sim V_{C5}$ は、内部のLCD系定電圧回路によって発生します。外部より印加する必要はありません。また、この内部発生電圧で外部の負荷を駆動することはできません。

LCD系定電圧回路は電源電圧により $V_{DD}$ または $V_{D2}$ で駆動できるようになっており、この切り換えを液晶系定電圧回路用電源選択レジスタ $VDSEL$ により行います。 $VDSEL$ が"0"の場合は $V_{DD}$ が、"1"の場合は $V_{D2}$ が選択されます。 $V_{D2}$ は $V_{DD}$ を電源電圧昇圧回路により約2倍に昇圧した電圧です。 $V_{D2}$ を使用するには $V_{D2}$ に切り換える前に電源電圧昇圧回路ON/OFF制御レジスタ $DBON$ に"1"を書き込み、電源電圧昇圧回路をONしておく必要があります。

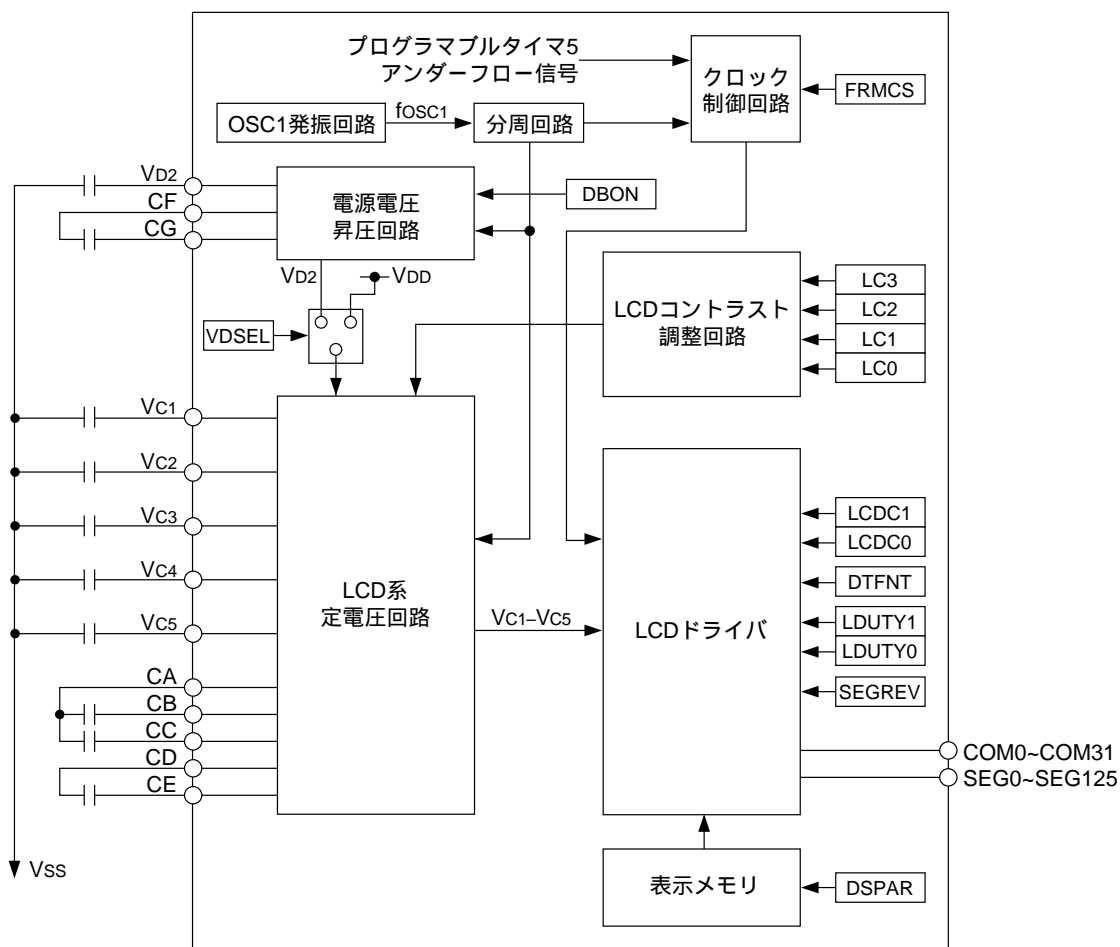


図5.11.1.1 LCDドライバと駆動電源の構成

### 5.11.3 フレーム周波数

本LCDドライバはフレーム信号を生成するための源振クロックを、OSC1発振クロック( $f_{OSC1}$ )またはプログラマブルタイマ5のアンダーフロー信号から選択できます。プログラマブルタイマ5を使用すると、フレーム周波数を細かく調整可能です。設定値については、"5.10.8 LCDドライバ用フレーム周波数の設定"を参照してください。

源振クロックはLCDフレーム周波数源振クロック選択レジスタFRMCSによって選択します。FRMCSが"0"の場合が $f_{OSC1}$ 、"1"の場合がプログラマブルタイマ5となります。源振クロックに $f_{OSC1}$ を選択した場合のフレーム周波数は以下のとおりです( $f_{OSC1}=32.768\text{kHz}$ の場合)。

1/8デューティ: 64Hz

1/16デューティ: 32Hz

1/32デューティ: 32Hz

### 5.11.4 駆動デューティの切り換え

S1C88650はソフトウェアにより駆動デューティを1/8、1/16、1/32の3種類に切り換えることができます。この設定はレジスタLDUTY0、1によって行います。

表5.11.4.1にLDUTYの設定と駆動デューティ、最大表示ドット数の対応を示します。

1/32デューティ選択時は126セグメント×32コモン(最大4,032ドット)のLCDパネルが駆動可能となります。

1/16デューティ選択時は126セグメント×16コモン(最大2,016ドット)のLCDパネルが駆動可能となります。なお、1/16デューティ選択時はCOM16～COM31端子が常時OFF信号を出力する無効な端子となります。

1/8デューティ選択時は126セグメント×8コモン(最大1,008ドット)のLCDパネルが駆動可能となります。なお、1/8デューティ選択時はCOM8～COM31端子が常時OFF信号を出力する無効な端子となります。

1/32、1/16、1/8デューティいずれも駆動バイアスは1/5( $V_{C1}$ 、 $V_{C2}$ 、 $V_{C3}$ 、 $V_{C4}$ 、 $V_{C5}$ による5電位)で、駆動波形はそれぞれ図5.11.4.1～図5.11.4.3に示すとおりとなります。

表5.11.4.1 LDUTYの設定と駆動デューティ、最大表示ドット数の対応

LDUTY1	LDUTY0	デューティ	コモン端子	セグメント端子	最大表示ドット数
1	1	禁止	—	—	—
1	0	1/16	COM0～COM15	SEG0～SEG125	2,016ドット
0	1	1/32	COM0～COM31	SEG0～SEG125	4,032ドット
0	0	1/8	COM0～COM7	SEG0～SEG125	1,008ドット

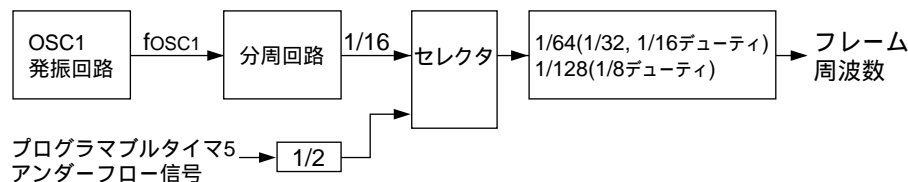
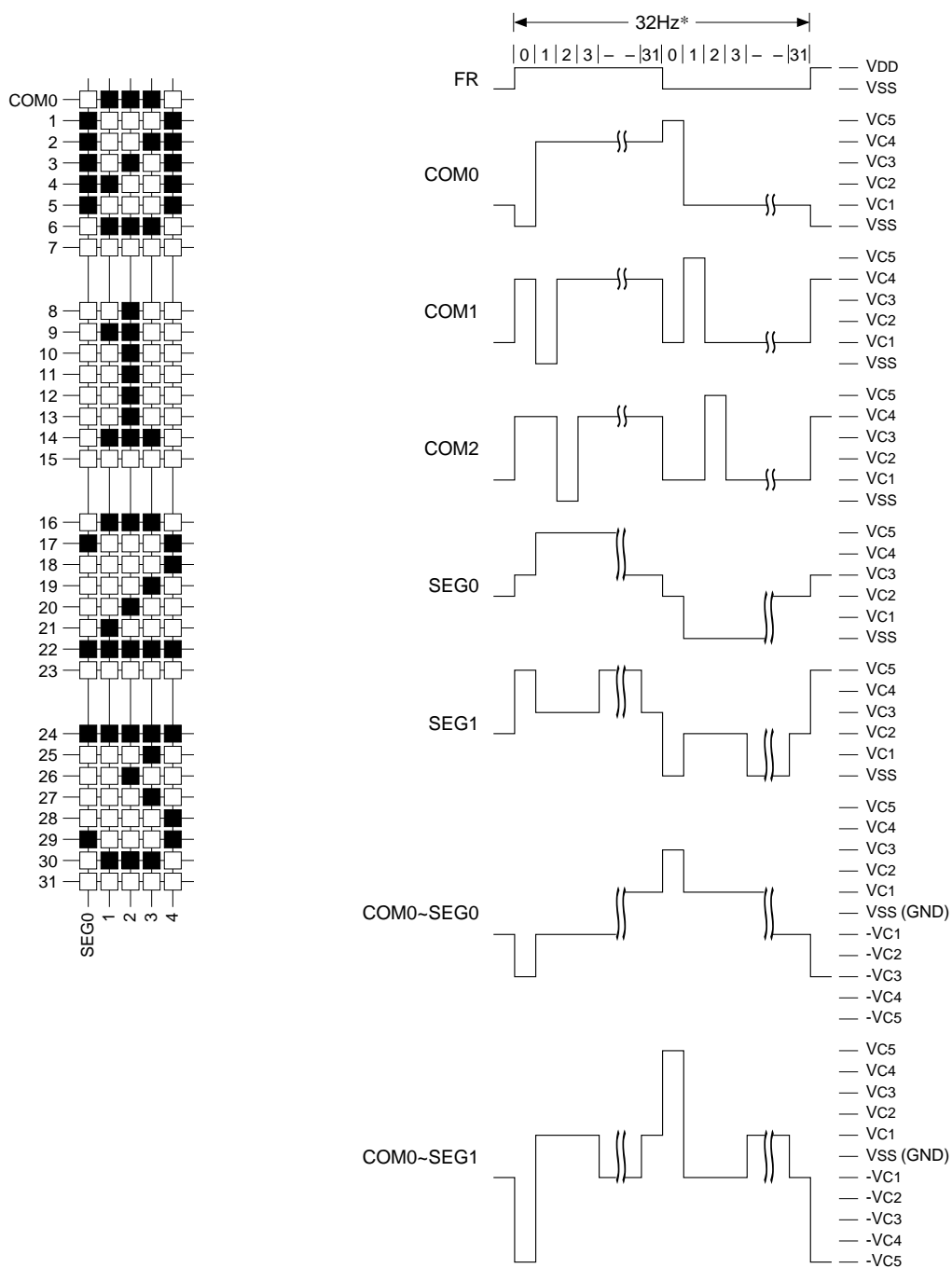
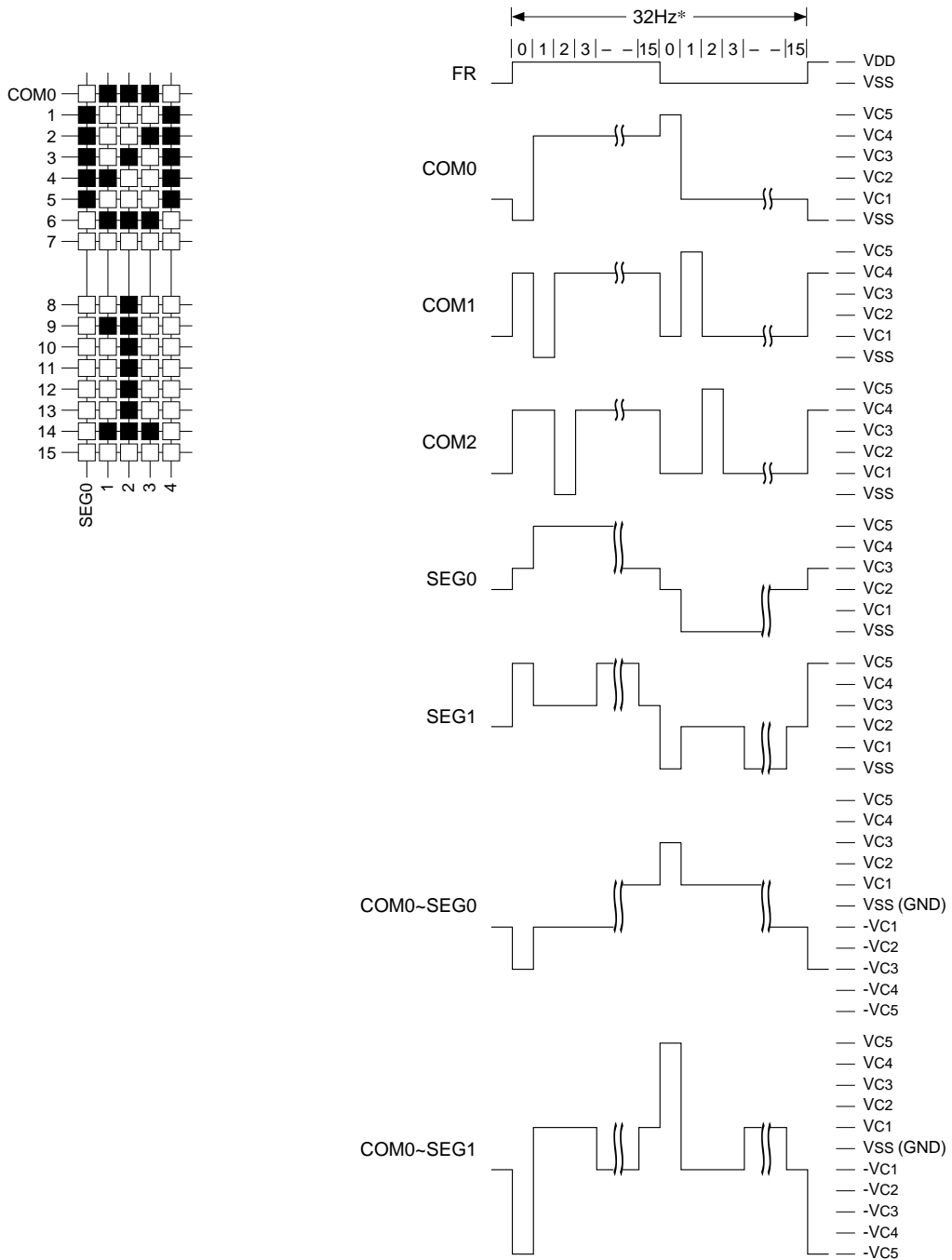


図5.11.3.1 フレーム周波数源振クロックの分周



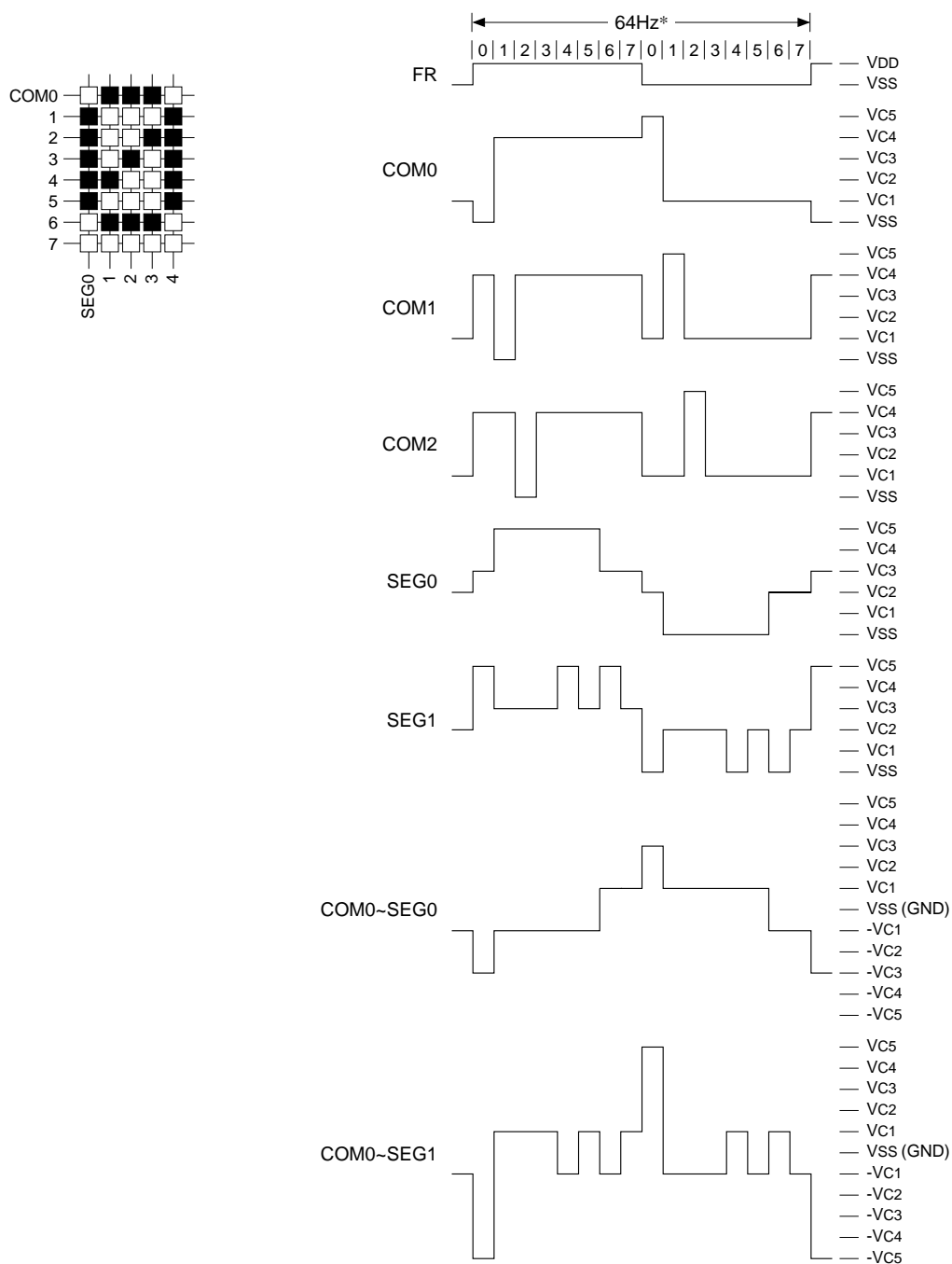
\* fosc1(32.768kHz)を源振クロックに選択した場合(FRMCS="0")

図5.11.4.1 1/32デューティの駆動波形



\* fosc1(32.768kHz)を源振クロックに選択した場合(FRMCS="0")

図5.11.4.2 1/16デューティの駆動波形



\* fosc1(32.768kHz)を源振クロックに選択した場合(FRMCS="0")

図5.11.4.3 1/8デューティの駆動波形



### 5.11.5 表示メモリ

S1C88650は768バイトの表示メモリを内蔵しています。表示メモリはアドレスFx00H～Fx7FH(x=8～DH)に割り付けられており、メモリビットとコモン/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。

- (1) 駆動デューティ(1/32、1/16または1/8デューティ)
- (2) ドットフォント(16×16/5×8または12×12ドット)
- (3) SEG端子割り付け(通常または反転)

駆動デューティとして1/16または1/8デューティを選択した場合は2画面分のメモリを確保することができ、表示メモリ領域選択レジスタDSPARによって画面の切り換えを行うことができます。DSPARに"0"を書き込んだ場合は表示領域0、"1"を書き込んだ場合は表示領域1がそれぞれ選択されます。

また、12×12ドットフォントのLCDパネルにソフトウェアで容易にキャラクタを表示できるよう16×16/5×8ドットと12×12ドット間で別々のメモリ配置を選択することができます。

この選択はドットフォント選択レジスタDTFNTによって行われ、DTFNTに"0"を書き込んだ場合は16×16/5×8ドット、"1"を書き込んだ場合は12×12ドットがそれぞれ選択されます。

SEG端子に対応するメモリの割り付けをSEG出力対応反転レジスタSEGREVで反転することもできます。

表5.11.5.1 SEG端子割り付けの反転

SEGREV	割り付け	Fx00H	Fx70H
1	反転	SEG125	SEG0
0	通常	SEG0	SEG125

駆動デューティとドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応を図5.11.5.1～図15.11.5.6にそれぞれ示します。

LCDパネル上のドットに対応する表示メモリのビットに"1"を書き込むとそのドットがONし、"0"を書き込むとOFFします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。

768バイトの表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。なお、表示メモリ領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常に表示メモリに対して行われます。

アドレス / データビット		0	1	2	3	4	5	6	7	COM
		0-F	0-F	0-F	0-F	0-F	0-F	0-F	0-D	
00F800H   00F87DH	D0	表示領域								0
	D1									1
	D2									2
	D3									3
	D4									4
	D5									5
	D6									6
	D7									7
00F900H   00F97DH	D0	表示領域								8
	D1									9
	D2									10
	D3									11
	D4									12
	D5									13
	D6									14
	D7									15
00FA00H   00FA7DH	D0	表示領域								16
	D1									17
	D2									18
	D3									19
	D4									20
	D5									21
	D6									22
	D7									23
00FB00H   00FB7DH	D0	表示領域								24
	D1									25
	D2									26
	D3									27
	D4									28
	D5									29
	D6									30
	D7									31
00FC00H   00FC7DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
00FD00H   00FD7DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
SEG(通常)*1	0-15	16-31	32-47	48-63	64-79	80-95	96-111	112-125		
SEG(反転)*2	125-112	111-96	95-80	79-64	63-48	47-32	31-16	15-0		

\*1: SEGREV = "0"

\*2: SEGREV = "1"

図5.11.5.1 1/32デューティ、16×16/5×8ドット表示メモリマップ

アドレス / データビット		0 0-F	1 0-F	2 0-F	3 0-F	4 0-F	5 0-F	6 0-F	7 0-D	COM
00F800H   00F87DH	D0	表示領域								0
	D1									1
	D2									2
	D3									3
	D4									4
	D5									5
	D6									6
	D7									7
00F900H   00F97DH	D0	表示領域								8
	D1									9
	D2									10
	D3									11
	D4									
	D5									
	D6									
	D7									
00FA00H   00FA7DH	D0	表示領域								12
	D1									13
	D2									14
	D3									15
	D4									
	D5									
	D6									
	D7									
00FB00H   00FB7DH	D0	表示領域								16
	D1									17
	D2									18
	D3									19
	D4									20
	D5									21
	D6									22
	D7									23
00FC00H   00FC7DH	D0	表示領域								24
	D1									25
	D2									26
	D3									27
	D4									
	D5									
	D6									
	D7									
00FD00H   00FD7DH	D0	表示領域								28
	D1									29
	D2									30
	D3									31
	D4									
	D5									
	D6									
	D7									
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	96-111	112-125	
SEG(反転)*2		125-112	111-96	95-80	79-64	63-48	47-32	31-16	15-0	

\*1: SEGREV = "0"

\*2: SEGREV = "1"

図5.11.5.2 1/32デューティ、12×12ドット表示メモリマップ

アドレス / データビット		0	1	2	3	4	5	6	7	COM	
		0-F	0-F	0-F	0-F	0-F	0-F	0-F	0-D		
00F800H   00F87DH	D0	表示領域0(DSPARに"0"が設定されている場合)								0	
	D1									1	
	D2									2	
	D3									3	
	D4									4	
	D5									5	
	D6									6	
	D7									7	
00F900H   00F97DH	D0	表示領域0(DSPARに"0"が設定されている場合)								8	
	D1									9	
	D2									10	
	D3									11	
	D4									12	
	D5									13	
	D6									14	
	D7									15	
00FA00H   00FA7DH	D0	表示領域1(DSPARに"1"が設定されている場合)								0	
	D1									1	
	D2									2	
	D3									3	
	D4									4	
	D5									5	
	D6									6	
	D7									7	
00FB00H   00FB7DH	D0	表示領域1(DSPARに"1"が設定されている場合)								8	
	D1									9	
	D2									10	
	D3									11	
	D4									12	
	D5									13	
	D6									14	
	D7									15	
00FC00H   00FC7DH	D0										
	D1										
	D2										
	D3										
	D4										
	D5										
	D6										
	D7										
00FD00H   00FD7DH	D0										
	D1										
	D2										
	D3										
	D4										
	D5										
	D6										
	D7										
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	96-111	112-125		
SEG(反転)*2		125-112	111-96	95-80	79-64	63-48	47-32	31-16	15-0		

\*1: SEGREV = "0"

\*2: SEGREV = "1"

図5.11.5.3 1/16デューティ、16×16/5×8ドット表示メモリマップ

アドレス / データビット		0 0-F	1 0-F	2 0-F	3 0-F	4 0-F	5 0-F	6 0-F	7 0-D	COM
00F800H   00F87DH	D0	表示領域0(DSPARに"0"が設定されている場合)								0
	D1									1
	D2									2
	D3									3
	D4									4
	D5									5
	D6									6
	D7									7
00F900H   00F97DH	D0									8
	D1									9
	D2									10
	D3									11
	D4									
	D5									
	D6									
	D7									
00FA00H   00FA7DH	D0	表示領域0(DSPARに"0"が設定されている場合)								12
	D1									13
	D2									14
	D3									15
	D4									
	D5									
	D6									
	D7									
00FB00H   00FB7DH	D0	表示領域1(DSPARに"1"が設定されている場合)								0
	D1									1
	D2									2
	D3									3
	D4									4
	D5									5
	D6									6
	D7									7
00FC00H   00FC7DH	D0									8
	D1									9
	D2									10
	D3									11
	D4									
	D5									
	D6									
	D7									
00FD00H   00FD7DH	D0	表示領域1(DSPARに"1"が設定されている場合)								12
	D1									13
	D2									14
	D3									15
	D4									
	D5									
	D6									
	D7									
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	96-111	112-125	
SEG(反転)*2		125-112	111-96	95-80	79-64	63-48	47-32	31-16	15-0	

\*1: SEGREV = "0"

\*2: SEGREV = "1"

図5.11.5.4 1/16デューティ、12×12ドット表示メモリマップ

アドレス / データビット		0	1	2	3	4	5	6	7	COM
		0-F	0-F	0-F	0-F	0-F	0-F	0-F	0-D	
00F800H   00F87DH	D0	表示領域0(DSPARに"0"が設定されている場合)								0
	D1									1
	D2									2
	D3									3
	D4									4
	D5									5
	D6									6
	D7									7
00F900H   00F97DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
00FA00H   00FA7DH	D0	表示領域1(DSPARに"1"が設定されている場合)								0
	D1									1
	D2									2
	D3									3
	D4									4
	D5									5
	D6									6
	D7									7
00FB00H   00FB7DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
00FC00H   00FC7DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
00FD00H   00FD7DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	96-111	112-125	
SEG(反転)*2		125-112	111-96	95-80	79-64	63-48	47-32	31-16	15-0	

\*1: SEGREV = "0"

\*2: SEGREV = "1"

図5.11.5.5 1/8デューティ、5×8ドット表示メモリマップ

アドレス / データビット		0 0-F	1 0-F	2 0-F	3 0-F	4 0-F	5 0-F	6 0-F	7 0-D	COM
00F800H   00F87DH	D0	表示領域0(DSPARに"0"が設定されている場合)								0
	D1									1
	D2									2
	D3									3
	D4									4
	D5									5
	D6									6
	D7									7
00F900H   00F97DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
00FA00H   00FA7DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
00FB00H   00FB7DH	D0	表示領域1(DSPARに"1"が設定されている場合)								0
	D1									1
	D2									2
	D3									3
	D4									4
	D5									5
	D6									6
	D7									7
00FC00H   00FC7DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
00FD00H   00FD7DH	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	96-111	112-125	
SEG(反転)*2		125-112	111-96	95-80	79-64	63-48	47-32	31-16	15-0	

\*1: SEGREV = "0"

\*2: SEGREV = "1"

図5.11.5.6 1/8デューティ、12×12ドット表示メモリマップ



### 5.11.6 表示の制御

内蔵LCDドライバの表示状態とコントラストの調整を内蔵のLCDドライバによって制御することができます。

LCDの表示状態は表示制御レジスタLCDC0、LCDC1によって選択され、設定値と表示状態が表5.11.6.1に示すとおり対応しています。

表5.11.6.1 LCD表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯 (スタティック)
1	0	全消灯 (ダイナミック)
0	1	通常表示
0	0	駆動 OFF

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、このときのコモン端子はそれぞれ全点灯ではスタティック駆動、全消灯ではダイナミック駆動となるため、次のような用途にこの機能を使用することができます。

- (1) 全点灯はスタティック駆動による2値( $V_{C5}$ と $V_{SS}$ )出力となるため、コモン/セグメント端子をOSC1発振周波数の周波数調整用モニタ端子として使用することができます。
- (2) 全消灯はダイナミック駆動のため、LCD表示全体を点滅させたい場合に表示メモリのデータを変更せずに点滅を実現することができます。

駆動OFFを選択した場合はLCD駆動電源回路がOFFとなり、 $V_{C1} \sim V_{C5}$ 端子はすべて $V_{SS}$ レベルとなります。

なお、レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセット("駆動OFF"に設定)されます。

LCDのコントラストは16段階の調整が可能です。この調整はコントラスト調整レジスタLC0～LC3によって行われ、設定値とコントラストの濃淡が表5.11.6.2に示すとおり対応しています。

表5.11.6.2 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
:	:	:	:	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

### 5.11.7 LCDドライバの制御方法

表5.11.7.1にLCDドライバの制御ビットを示します。

表5.11.7.1 LCDドライバの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF03	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	VDSEL	液晶系定電圧回路用電源選択	VD2	VDD	0	R/W	
	D0	DBON	電源電圧昇圧回路On/Off制御	On	Off	0	R/W	
00FF10	D7	HLMOD	重負荷保護モード	On	Off	0	R/W	予約レジスタ
	D6	SEGREV	SEG出力対応反転	反転	通常	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	DTFNT	LCDドットフォント選択	12×12	16×16/5×8	0	R/W	
	D1	LDUTY1	LCD駆動デューティ選択			1	R/W	
	D0	LDUTY0	LDUTY1 LDUTY0 デューティ					
			1 1 禁止					
			1 0 1/16			0	R/W	
			0 1 1/32					
			0 0 1/8					
00FF11	D7	FRMCS	LCDフレーム周波数源振クロック選択	Pタイマ	fosc1	0	R/W	SLP命令実行時に (0, 0)にリセット
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	
	D5	LCDC1	LCD表示制御			0	R/W	
	D4	LCDC0	LCDC1 LCDC0 LCD表示					
			1 1 全点灯					
			1 0 全消灯			0	R/W	
			0 1 通常表示					
			0 0 駆動Off					
	D3	LC3	LCDコントラスト調整			0	R/W	
	D2	LC2	LC3 LC2 LC1 LC0 コントラスト			0	R/W	
	D1	LC1	1 1 1 0 濃					
			∴ ∴ ∴ ∴ ∴			0	R/W	
	D0	LC0	0 0 0 0 淡			0	R/W	

#### LDUTY0, LDUTY1: 00FF10H・D0, D1

駆動デューティを選択します。

表5.11.7.2 駆動デューティの設定

LDUTY1	LDUTY0	デューティ	コモン端子	セグメント端子	最大表示ドット数
1	1	禁止	—	—	—
1	0	1/16	COM0~COM15	SEG0~SEG125	2,016ドット
0	1	1/32	COM0~COM31	SEG0~SEG125	4,032ドット
0	0	1/8	COM0~COM7	SEG0~SEG125	1,008ドット

イニシャルリセット時、LDUTYは"10"(1/16デューティ)に設定されます。

**DTFNT: 00FF10H-D2**

ドットフォントを選択します。

"1"書き込み: 12×12ドット

"0"書き込み: 16×16/5×8ドット

読み出し: 可能

表示メモリ上の表示領域を16×16/5×8ドットに適合させるか、12×12ドットに適合させるかを選択します。DTFNTに"0"を書き込むと16×16/5×8ドット、"1"を書き込むと12×12ドットがそれぞれ選択されます。

ドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.5を参照してください。イニシャルリセット時、DTFNTは"0"(16×16/5×8ドット)に設定されます。

**SEGREV: 00FF10H-D6**

SEG端子に対するメモリの割り付けを反転します。

表5.11.7.3 SEG端子割り付けの反転

SEGREV	割り付け	Fx00H	Fx70H
1	反転	SEG125	SEG0
0	通常	SEG0	SEG125

イニシャルリセット時、SEGREVは"0"(通常)に設定されます。

**DSPAR: 00FF11H-D6**

表示領域を選択します。

"1"書き込み: 表示領域1

"0"書き込み: 表示領域0

読み出し: 可能

表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARに"0"を書き込むと表示領域0、"1"を書き込むと表示領域1がそれぞれ選択されます。

表示領域の選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.5を参照してください。イニシャルリセット時、DSPARは"0"(表示領域0)に設定されます。

**LCDC0, LCDC1: 00FF11H-D4, D5**

LCDの表示を制御します。

表5.11.7.4 LCDの表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯(スタティック)
1	0	全消灯(ダイナミック)
0	1	通常表示
0	0	駆動 OFF

上記4種類の状態を表示メモリのデータを変更せずに設定することができます。

イニシャルリセット時、およびSLEEP状態のとき本レジスタは"0"(駆動OFF)に設定されます。

**LC0~LC3: 00FF11H-D0~D3**

LCDのコントラストを調整します。

表5.11.7.5 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
1	1	0	0	
1	0	1	1	
1	0	1	0	
1	0	0	1	
1	0	0	0	
0	1	1	1	
0	1	1	0	
0	1	0	1	
0	1	0	0	
0	0	1	1	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

コントラストは上記16段階の調整を行うことができ、これによってLCD駆動電圧Vc1～Vc5が変化します。

イニシャルリセット時、本レジスタは"0"に設定されます。

**FRMCS: 00FF11H-D7**

フレーム信号を生成するための源振クロックを選択します。

"1"書き込み: プログラマブルタイマ5

"0"書き込み: fosc1

読み出し: 可能

FRMCSに"0"を書き込むとfosc1、"1"を書き込むとプログラマブルタイマ5が選択されます。

イニシャルリセット時、FRMCSは"0"(fosc1)に設定されます。

**DBON: 00FF03H-D0**

電源電圧昇圧回路を制御します。

"1"書き込み: ON  
 "0"書き込み: OFF  
 読み出し: 可能

DBONに"1"を書き込むと電源電圧昇圧回路がONし、V<sub>DD</sub>を約2倍に昇圧したV<sub>D2</sub>を出力します。V<sub>D2</sub>でLCD系定電圧回路を駆動する場合にONします。DBONに"0"を書き込むと電源電圧昇圧回路はOFFします。消費電流を低減するため、V<sub>DD</sub>でLCD系定電圧回路を駆動する場合はOFFにして使用してください。  
 イニシャルリセット時、DBONは"0"(OFF)に設定されます。

**VDSEL: 00FF03H-D1**

LCD系定電圧回路の電源電圧を選択します。

"1"書き込み: V<sub>D2</sub>  
 "0"書き込み: V<sub>DD</sub>  
 読み出し: 可能

VDSELに"1"を書き込むと電源電圧昇圧回路が出力するV<sub>D2</sub>でLCD系定電圧回路が動作します。この設定の前に、DBONに"1"を書き込み、電源電圧昇圧回路をONしておく必要があります。なお、電源電圧昇圧回路をONしてから電圧が安定するまでの約1msecの間はV<sub>D2</sub>に切り換えないでください。  
 VDSELに"0"を書き込んだ場合は、V<sub>DD</sub>でLCD系定電圧回路が動作します。  
 イニシャルリセット時、VDSELは"0"(V<sub>DD</sub>)に設定されます。

**5.11.8 プログラミング上の注意事項**

- (1) 表示制御レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセットされます。
- (2) LCD系定電圧回路をV<sub>D2</sub>で動作させる場合、電源電圧昇圧回路をONしてから電圧が安定するまでの約1msecの間は、LCD系定電圧回路の電源電圧をVDSELによってV<sub>D2</sub>に切り換えないでください。

## 5.12 電源電圧検出(SVD)回路

### 5.12.1 SVD回路の構成

S1C88650は、SVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。

SVD回路のON/OFFおよび比較電圧の設定はソフトウェアによって行えます。

図5.12.1.1にSVD回路の構成を示します。

### 5.12.2 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧( $V_{DD}-V_{SS}$ )の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧はレジスタSVDS3～SVDS0によって表5.12.2.1の13種類に設定できます。

表5.12.2.1 比較電圧の設定

SVDS3	SVDS2	SVDS1	SVDS0	比較電圧 (V)
1	1	1	1	2.7
1	1	1	0	2.6
1	1	0	1	2.5
1	1	0	0	2.4
1	0	1	1	2.3
1	0	1	0	2.2
1	0	0	1	2.1
1	0	0	0	2.05
0	1	1	1	2.0
0	1	1	0	1.95
0	1	0	1	1.9
0	1	0	0	1.85
0	0	1	1	1.8
0	0	1	0	—
0	0	0	1	—
0	0	0	0	—

SVD回路による電源電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。

なお、安定した検出結果を得るためには少なくとも500 $\mu$ sec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 500 $\mu$ sec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

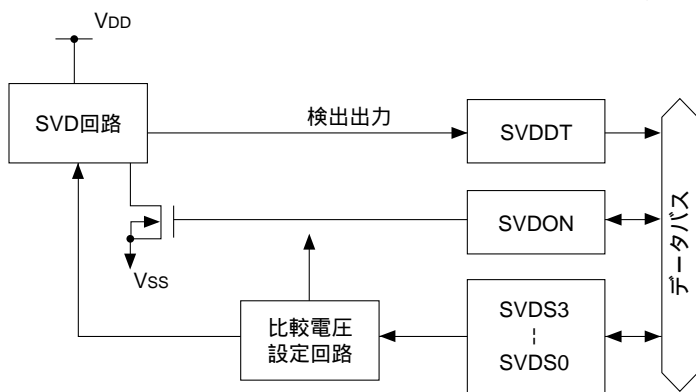


図5.12.1.1 SVD回路の構成

### 5.12.3 SVD回路の制御方法

表5.12.3.1にSVD回路の制御ビットを示します。

表5.12.3.1 SVD回路の制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF12	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	SVDDT	SVD検出データ	Low	Normal	0	R	
	D4	SVDON	SVD回路On/Off	On	Off	0	R/W	
	D3	SVDS3	SVD比較電圧設定			0	R/W	
	D2	SVDS2	SVDS3 SVDS2 SVDS1 SVDS0 電圧(V)			0	R/W	
	D1	SVDS1	1 1 1 0 1 2.5			0	R/W	
	D0	SVDS0	: : : : : 1.8			0	R/W	
			0 0 1 1					

#### SVDS3~SVDS0: 00FF12H・D3~D0

SVDの比較電圧を表5.12.2.1に示すとおり設定します。  
イニシャルリセット時、このレジスタは"0"に設定されます。

#### SVDON: 00FF12H・D4

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。

なお、安定したSVD検出結果を得るためには、少なくとも500μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

#### SVDDT: 00FF12H・D5

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧(V<sub>DD</sub>-V<sub>SS</sub>)が高い

"1"読み出し: 比較電圧より電源電圧(V<sub>DD</sub>-V<sub>SS</sub>)が低い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

### 5.12.4 プログラミング上の注意事項

- (1) SVD回路はONさせてから安定した結果が得られるまでに500μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、500μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

## 5.13 重負荷保護機能

### 5.13.1 重負荷保護モード

S1C88650は、外付けランプ点灯時やOSC3高速駆動時など電池の負荷が重くなり電源電圧が変動する場合に備えて、重負荷保護機能を持っています。この重負荷保護機能が働いているモードを重負荷保護モードと呼びます。液晶の表示の濃淡が現れる場合などにも、重負荷保護モードを適用してください。通常動作モードから重負荷保護モードへは、ソフトウェアでHLMODを"1"にセットした場合に移行します。

注! 重負荷保護モードでは、通常動作モードより消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

### 5.13.2 重負荷保護機能の制御

表5.13.2.1に重負荷保護機能の制御ビットを示します。

表5.13.2.1 重負荷保護機能の制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF10	D7	HLMOD	重負荷保護モード	On	Off	0	R/W	
	D6	SEGREV	SEG出力対応反転	反転	通常	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	DTFNT	LCDドットフォント選択	12×12	16×16/5×8	0	R/W	
	D1	LDUTY1	LCD駆動デューティ選択			1	R/W	
			LDUTY1 LDUTY0 デューティ					
			1 1 禁止					
	D0	LDUTY0	1 0 1/16			0	R/W	
			0 1 1/32					
			0 0 1/8					

#### HLMOD: 00FF10H・D7

重負荷保護機能を制御します。

"1"書き込み: 重負荷保護モード ON

"0"書き込み: 重負荷保護モード OFF

読み出し: 可能

HLMODに"1"を書き込むと重負荷保護モードになり、"0"を書き込むと通常モードに戻ります。重負荷保護モードは消費電流が大きくなりますので、必要なとき以外はソフトウェアにより重負荷保護モードに設定しないでください。

イニシャル時、このレジスタは"0"に設定されます。

### 5.13.3 プログラミング上の注意事項

重負荷保護モードでは、通常モードよりも消費電流が大きくなります。必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。



## 5.14 割り込みとスタンバイ状態

### 割り込みの種類

S1C88650には以下に示す4系統31種類の割り込みが用意されています。

#### 外部割り込み

- K00 ~ K07入力割り込み(8種類)

#### 内部割り込み

- 計時タイマ割り込み(4種類)
- プログラマブルタイマ割り込み(16種類)
- シリアルインタフェース割り込み(3種類)

それぞれの割り込みには、割り込み要因の発生を示す割り込み要因フラグと割り込み要求の許可/禁止を設定する割り込みイネーブルレジスタが設けられており、個々の要因に対して割り込みの発生を任意に設定することができます。また、割り込みの各系統には割り込みプライオリティレジスタが設けられており、各系統ごとに割り込み処理の優先度を3レベルまで設定することができます。

図5.14.1に割り込み回路の構成を示します。

各割り込みの詳細については、それぞれの周辺回路の説明を参照してください。

### HALT状態

プログラム上でHALT命令を実行することで、S1C88650はHALT状態となります。HALT状態ではCPUの動作が停止するため、周辺回路のみの動作による低消費電力化が実現できます。HALT状態の解除はイニシャルリセット、または任意の割り込み要求によって行われ、CPUは例外処理ルーチンからプログラムの実行を再開します。HALT状態と再起動のシーケンスについては、"S1C88コアCPUマニュアル"を参照してください。

### SLEEP状態

プログラム上でSLP命令を実行することで、S1C88650はSLEEP状態となります。SLEEP状態ではCPUと周辺回路が完全に動作を停止するため、HALT状態以上の低消費電力が実現できます。SLEEP状態の解除はイニシャルリセット、または入力ポートからの入力割り込みによって行われ、128/fosc1秒もしくは512/fosc3秒の発振安定待ち時間後にCPUは再起動します(発振安定待ち時間は、SLP命令実行時の動作クロックによって異なります)。このとき、CPUは例外処理ルーチン(入力割り込みルーチン)からプログラムの実行を再開します。

注! SLEEP状態からの再起動時は、しばらくの間発振が不安定となるため、128/fosc1秒もしくは512/fosc3秒以上かかる場合があります。

## 5.14.1 割り込み発生条件

先に示した4系統31種類の割り込みには、それぞれの割り込み要因の発生を示す割り込み要因フラグが設けられており、要因の発生によって"1"にセットされます。

また、各割り込み要因フラグには1対1に対応する割り込みイネーブルレジスタが設けられており、"1"を書き込むと割り込み許可、"0"を書き込むと割り込み禁止となります。

CPUは割り込み要求の許可/禁止を割り込み優先レベルによって管理しています。4系統の各割り込みには優先レベルを設定する割り込みプライオリティレジスタが設けられており、CPUはインタラプトフラグ(I0、I1)が示すレベルより高いレベルの割り込みのみ受け付けます。

したがって、実際にCPUが割り込みを受け付けるには、以下の3条件の成立が必要です。

- (1) 割り込み要因の発生によって、割り込み要因フラグが"1"にセットされている。
- (2) 先に対応する割り込みイネーブルレジスタが"1"に設定されている。
- (3) 先に対応する割り込みプライオリティレジスタが、インタラプトフラグ(I0、I1)より高い割り込み優先レベルに設定されている。

CPUは各命令の第1オペコードフェッチサイクルの最初で割り込みのサンプリングを行います。ここで上記の条件が成立していると、CPUは例外処理に移行します。

例外処理のシーケンスについては"S1C88コアCPUマニュアル"を参照してください。

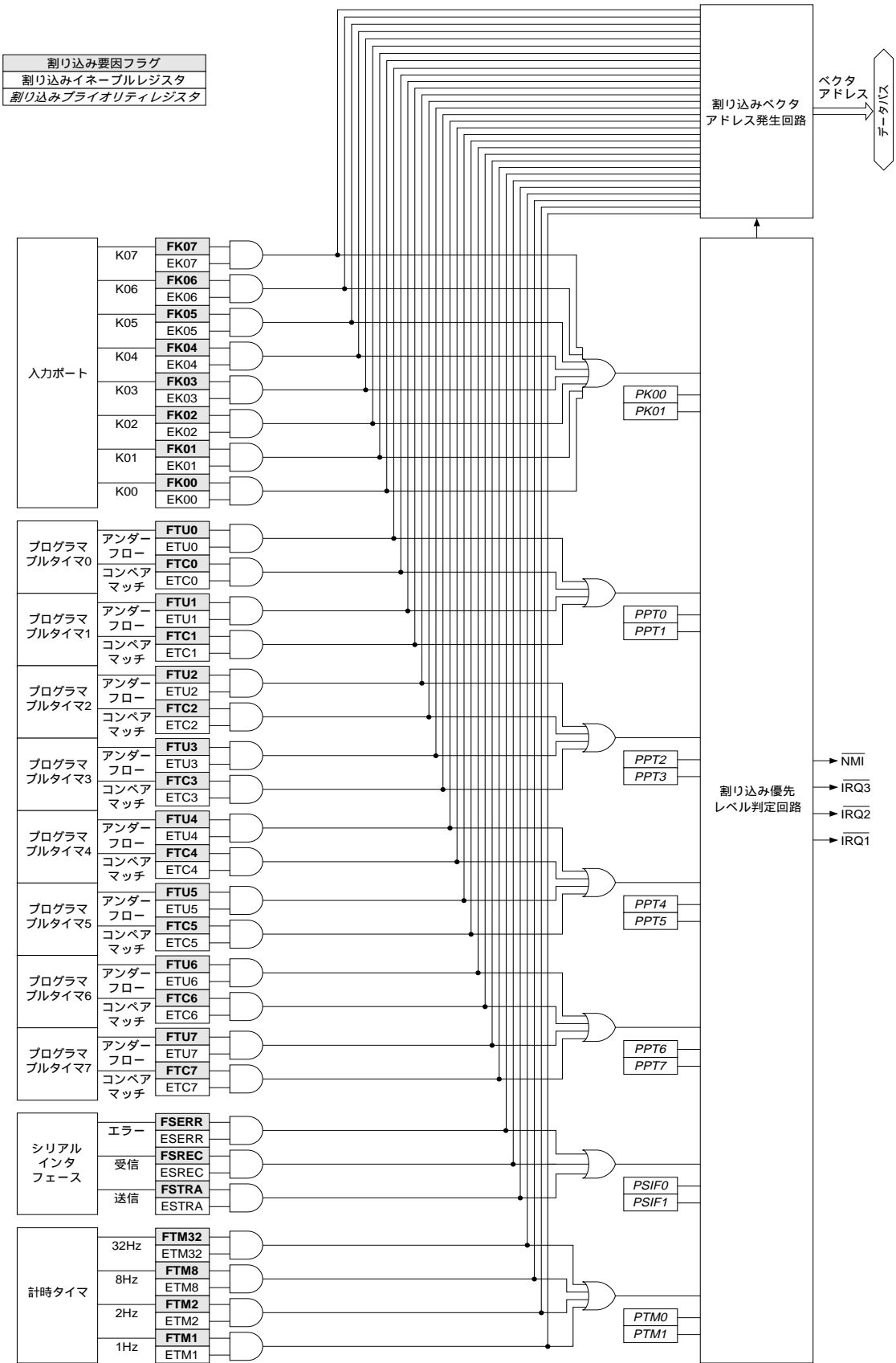


図5.14.1 割り込み回路の構成

### 5.14.2 割り込み要因フラグ

割り込みを発生する要因と割り込み要因フラグの対応を表5.14.2.1に示します。

それぞれの割り込み要因の発生によって、対応する割り込み要因フラグが"1"にセットされます。ソフトウェアによってこのフラグを読み出すことで、発生した割り込み要因の種類を確認することができます。

"1"にセットされた割り込み要因フラグは、"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注! 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因フラグのリセット("1"書き込み)を必ず行ってください。

表5.14.2.1 割り込み要因

割り込み要因	割り込み要因フラグ	
K07入力の立ち下がりまたは立ち上がり(KCP07で指定)	FK07	00FF28H-D7
K06入力の立ち下がりまたは立ち上がり(KCP06で指定)	FK06	00FF28H-D6
K05入力の立ち下がりまたは立ち上がり(KCP05で指定)	FK05	00FF28H-D5
K04入力の立ち下がりまたは立ち上がり(KCP04で指定)	FK04	00FF28H-D4
K03入力の立ち下がりまたは立ち上がり(KCP03で指定)	FK03	00FF28H-D3
K02入力の立ち下がりまたは立ち上がり(KCP02で指定)	FK02	00FF28H-D2
K01入力の立ち下がりまたは立ち上がり(KCP01で指定)	FK01	00FF28H-D1
K00入力の立ち下がりまたは立ち上がり(KCP00で指定)	FK00	00FF28H-D0
プログラマブルタイマ0のアンダーフロー	FTU0	00FF29H-D0
プログラマブルタイマ0のコンペアマッチ	FTC0	00FF29H-D1
プログラマブルタイマ1のアンダーフロー	FTU1	00FF29H-D2
プログラマブルタイマ1のコンペアマッチ	FTC1	00FF29H-D3
プログラマブルタイマ2のアンダーフロー	FTU2	00FF29H-D4
プログラマブルタイマ2のコンペアマッチ	FTC2	00FF29H-D5
プログラマブルタイマ3のアンダーフロー	FTU3	00FF29H-D6
プログラマブルタイマ3のコンペアマッチ	FTC3	00FF29H-D7
プログラマブルタイマ4のアンダーフロー	FTU4	00FF2EH-D0
プログラマブルタイマ4のコンペアマッチ	FTC4	00FF2EH-D1
プログラマブルタイマ5のアンダーフロー	FTU5	00FF2EH-D2
プログラマブルタイマ5のコンペアマッチ	FTC5	00FF2EH-D3
プログラマブルタイマ6のアンダーフロー	FTU6	00FF2EH-D4
プログラマブルタイマ6のコンペアマッチ	FTC6	00FF2EH-D5
プログラマブルタイマ7のアンダーフロー	FTU7	00FF2EH-D6
プログラマブルタイマ7のコンペアマッチ	FTC7	00FF2EH-D7
シリアルインタフェースの受信エラー (調歩同期式モード時)	FSERR	00FF27H-D2
シリアルインタフェースの受信完了	FSREC	00FF27H-D1
シリアルインタフェースの送信完了	FS TRA	00FF27H-D0
計時タイマ32Hz信号の立ち下がりエッジ	FTM32	00FF26H-D3
計時タイマ8Hz信号の立ち下がりエッジ	FTM8	00FF26H-D2
計時タイマ2Hz信号の立ち下がりエッジ	FTM2	00FF26H-D1
計時タイマ1Hz信号の立ち下がりエッジ	FTM1	00FF26H-D0

### 5.14.3 割り込みイネーブルレジスタ

割り込みイネーブルレジスタは各割り込み要因フラグに1対1で対応しており、個々に割り込み要求の許可/禁止を設定することができます。

割り込みイネーブルレジスタに"1"を書き込むと割り込み要求が許可され、"0"を書き込むと禁止されます。

このレジスタは読み出しも可能で、その時点の設定状態を確認することもできます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"に設定され、割り込み禁止状態となります。表5.14.3.1に割り込みイネーブルレジスタと割り込み要因フラグの対応を示します。

表5.14.3.1 割り込みイネーブルレジスタと割り込み要因フラグ

割り込み	割り込み要因フラグ		割り込みイネーブルレジスタ	
K07入力	FK07	00FF28H-D7	EK07	00FF24H-D7
K06入力	FK06	00FF28H-D6	EK06	00FF24H-D6
K05入力	FK05	00FF28H-D5	EK05	00FF24H-D5
K04入力	FK04	00FF28H-D4	EK04	00FF24H-D4
K03入力	FK03	00FF28H-D3	EK03	00FF24H-D3
K02入力	FK02	00FF28H-D2	EK02	00FF24H-D2
K01入力	FK01	00FF28H-D1	EK01	00FF24H-D1
K00入力	FK00	00FF28H-D0	EK00	00FF24H-D0
タイマ0のアンダーフロー	FTU0	00FF29H-D0	ETU0	00FF25H-D0
タイマ0のコンペアマッチ	FTC0	00FF29H-D1	ETC0	00FF25H-D1
タイマ1のアンダーフロー	FTU1	00FF29H-D2	ETU1	00FF25H-D2
タイマ1のコンペアマッチ	FTC1	00FF29H-D3	ETC1	00FF25H-D3
タイマ2のアンダーフロー	FTU2	00FF29H-D4	ETU2	00FF25H-D4
タイマ2のコンペアマッチ	FTC2	00FF29H-D5	ETC2	00FF25H-D5
タイマ3のアンダーフロー	FTU3	00FF29H-D6	ETU3	00FF25H-D6
タイマ3のコンペアマッチ	FTC3	00FF29H-D7	ETC3	00FF25H-D7
タイマ4のアンダーフロー	FTU4	00FF2EH-D0	ETU4	00FF2CH-D0
タイマ4のコンペアマッチ	FTC4	00FF2EH-D1	ETC4	00FF2CH-D1
タイマ5のアンダーフロー	FTU5	00FF2EH-D2	ETU5	00FF2CH-D2
タイマ5のコンペアマッチ	FTC5	00FF2EH-D3	ETC5	00FF2CH-D3
タイマ6のアンダーフロー	FTU6	00FF2EH-D4	ETU6	00FF2CH-D4
タイマ6のコンペアマッチ	FTC6	00FF2EH-D5	ETC6	00FF2CH-D5
タイマ7のアンダーフロー	FTU7	00FF2EH-D6	ETU7	00FF2CH-D6
タイマ7のコンペアマッチ	FTC7	00FF2EH-D7	ETC7	00FF2CH-D7
シリアルI/F受信エラー	FSERR	00FF27H-D2	ESERR	00FF23H-D2
シリアルI/F受信完了	FSREC	00FF27H-D1	ESREC	00FF23H-D1
シリアルI/F送信完了	FSTRA	00FF27H-D0	ESTRA	00FF23H-D0
計時タイマ32Hz	FTM32	00FF26H-D3	ETM32	00FF22H-D3
計時タイマ8Hz	FTM8	00FF26H-D2	ETM8	00FF22H-D2
計時タイマ2Hz	FTM2	00FF26H-D1	ETM2	00FF22H-D1
計時タイマ1Hz	FTM1	00FF26H-D0	ETM1	00FF22H-D0

### 5.14.4 割り込みプライオリティレジスタと割り込み優先レベル

表5.14.4.1 割り込みプライオリティレジスタ

割り込み	割り込みプライオリティレジスタ	
K00～K07入力	PK00, PK01	00FF20-D6, D7
プログラマブルタイマ1-0	PPT0, PPT1	00FF21-D2, D3
プログラマブルタイマ3-2	PPT2, PPT3	00FF21-D4, D5
プログラマブルタイマ5-4	PPT4, PPT5	00FF2A-D0, D1
プログラマブルタイマ7-6	PPT6, PPT7	00FF2A-D2, D3
シリアルインタフェース	PSIF0, PSIF1	00FF20-D4, D5
計時タイマ	PTM0, PTM1	00FF20-D0, D1

割り込みの各系列には、表5.14.4.1に示す割り込みプライオリティレジスタが設けられており、CPUに対する割り込みの優先レベル(0～3)を任意に設定することができます。

これによって、割り込みの優先処理順位をシステムに適合させた多重割り込みが可能となります。

各系列間の割り込み優先レベルは、割り込みプライオリティレジスタによって任意に3レベルまで設定できます。ただし、複数の系列を同一の優先レベルに設定した場合は、デフォルトの優先順位にしたがって処理されます。

表5.14.4.2 割り込み優先レベルの設定

P*1	P*0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、割り込みプライオリティレジスタはすべて"0"に設定され、各割り込みはレベル0となります。

なお、各系列内での優先レベルはあらかじめ決められており、これを変更することはできません。

CPUはインタラプトフラグ(I0、I1)の設定によって各割り込みをマスクすることができます。各系列の割り込み優先レベルとインタラプトフラグの関係は表5.14.4.3のとおりで、CPUはインタラプトフラグが示すレベルより高い優先レベルの割り込みのみ受け付けます。このうち、レベル4の優先度を持っているNMI(ウォッチドッグタイマ)は、インタラプトフラグの設定にかかわらず常時受け付けられます。

表5.14.4.3 CPUの割り込みマスク設定

I1	I0	受け付け可能な割り込み
1	1	レベル4 (NMI)
1	0	レベル4、レベル3 (IRQ3)
0	1	レベル4、レベル3、レベル2 (IRQ2)
0	0	レベル4、レベル3、レベル2、レベル1 (IRQ1)

割り込みが受け付けられた後は、表5.14.4.4に示すとおりインタラプトフラグが受け付けた割り込みと同じレベルに書き換えられます。ただし、NMI受け付け後のインタラプトフラグの書き換えはレベル3(I0=I1="1")となります。

表5.14.4.4 割り込み受け付け後のインタラプトフラグ

受け付けた割り込みの優先レベル	I1	I0
レベル4 (NMI)	1	1
レベル3 (IRQ3)	1	1
レベル2 (IRQ2)	1	0
レベル1 (IRQ1)	0	1

インタラプトフラグは、割り込み処理ルーチンからの復帰時に、設定が元の値に戻されます。したがって、3レベルまでの多重割り込みは、割り込みプライオリティレジスタへの初期設定のみで制御することができます。また、それ以上の多重化は、インタラプトフラグと割り込みイネーブルレジスタを割り込み処理ルーチン内で書き換えることで実現できます。

注! 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグを書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。

### 5.14.5 例外処理ベクタ

CPUが割り込みを受け付けると、実行中の命令の終了後に例外処理を開始します。例外処理ではプログラム分岐のために、以下の操作が行われます。

- (1) ミニマムモードではプログラムカウンタ(PC)とシステムコンディションフラグ(SC)を、マキシマムモードではコードバンクレジスタ(CB)とPC、およびSCをスタックに退避。
- (2) 各例外処理(割り込み)要因に対応する例外処理ベクタから分岐先アドレスを読み出し、PCにセット。

例外処理ベクタは、各例外(割り込み)処理ルーチンの先頭アドレスを格納している2バイトのデータで、ベクタアドレスと例外処理要因は表5.14.5.1のとおり対応しています。

注! 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H ~ 007FFFH)に記述しておく必要があります。

表5.14.5.1 ベクタアドレスと例外処理要因の対応

ベクタ アドレス	例外処理要因	優先 順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	K07入力割り込み	
000008H	K06入力割り込み	
00000AH	K05入力割り込み	
00000CH	K04入力割り込み	
00000EH	K03入力割り込み	
000010H	K02入力割り込み	
000012H	K01入力割り込み	
000014H	K00入力割り込み	
000016H	Pタイマ0アンダーフロー割り込み	
000018H	Pタイマ0コンペアマッチ割り込み	
00001AH	Pタイマ1アンダーフロー割り込み	
00001CH	Pタイマ1コンペアマッチ割り込み	
00001EH	Pタイマ2アンダーフロー割り込み	
000020H	Pタイマ2コンペアマッチ割り込み	
000022H	Pタイマ3アンダーフロー割り込み	
000024H	Pタイマ3コンペアマッチ割り込み	
000026H	システム予約 (使用不可)	
000028H	シリアルI/Fエラー割り込み	
00002AH	シリアルI/F受信完了割り込み	
00002CH	シリアルI/F送信完了割り込み	
00002EH	システム予約 (使用不可)	低い
000030H	システム予約 (使用不可)	
000032H	システム予約 (使用不可)	
000034H	計時タイマ32Hz割り込み	
000036H	計時タイマ8Hz割り込み	
000038H	計時タイマ2Hz割り込み	
00003AH	計時タイマ1Hz割り込み	
00003CH	Pタイマ4アンダーフロー割り込み	
00003EH	Pタイマ4コンペアマッチ割り込み	
000040H	Pタイマ5アンダーフロー割り込み	
000042H	Pタイマ5コンペアマッチ割り込み	
000044H	Pタイマ6アンダーフロー割り込み	なし
000046H	Pタイマ6コンペアマッチ割り込み	
000048H	Pタイマ7アンダーフロー割り込み	
00004AH	Pタイマ7コンペアマッチ割り込み	
00004CH	システム予約 (使用不可)	なし
00004EH	ソフトウェア割り込み	
0000FEH		



## 5.14.6 割り込みの制御

表5.14.6.1に割り込みの制御ビットを示します。

表5.14.6.1(a) 割り込みの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00～K07割り込み	PK01	PK00	優先	0	R/W
	D6	PK00	プライオリティレジスタ	PSIF1	PSIF0	レベル		
	D5	PSIF1	シリアルインタフェース割り込み	1	1	レベル3	0	R/W
	D4	PSIF0	プライオリティレジスタ	1	0	レベル2		
				0	1	レベル1		
	D3	—	—	0	0	レベル0		
	D2	—	—	—	—	—		読み出し時は 常時"0"
	D1	PTM1	計時タイマ割り込み	PTM1	PTM0	優先レベル	0	R/W
	D0	PTM0	プライオリティレジスタ	1	1	レベル3		
				1	0	レベル2		
				0	1	レベル1		
				0	0	レベル0		
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	PPT3	プログラマブルタイマ3-2割り込み	PPT3	PPT2	優先	0	R/W
	D4	PPT2	プライオリティレジスタ	PPT1	PPT0	レベル		
				1	1	レベル3		
	D3	PPT1	プログラマブルタイマ1-0割り込み	1	0	レベル2	0	R/W
	D2	PPT0	プライオリティレジスタ	0	1	レベル1		
				0	0	レベル0		
00FF2A	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PPT7	プログラマブルタイマ7-6割り込み	PPT7	PPT6	優先	0	R/W
	D2	PPT6	プライオリティレジスタ	PPT5	PPT4	レベル		
				1	1	レベル3		
	D1	PPT5	プログラマブルタイマ5-4割り込み	1	0	レベル2	0	R/W
	D0	PPT4	プライオリティレジスタ	0	1	レベル1		
				0	0	レベル0		
00FF22	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	ETM32	計時タイマ32Hz割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブル					
	D1	ETM2	計時タイマ2Hz割り込みイネーブル					
	D0	ETM1	計時タイマ1Hz割り込みイネーブル					
00FF23	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブル					
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブル					



表5.14.6.1(b) 割り込みの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈			
00FF24	D7	EK07	K07割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W				
	D6	EK06	K06割り込みイネーブル								
	D5	EK05	K05割り込みイネーブル								
	D4	EK04	K04割り込みイネーブル								
	D3	EK03	K03割り込みイネーブル								
	D2	EK02	K02割り込みイネーブル								
	D1	EK01	K01割り込みイネーブル								
	D0	EK00	K00割り込みイネーブル								
00FF25	D7	ETC3	PTM3コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W				
	D6	ETU3	PTM3アンダーフロー割り込みイネーブル								
	D5	ETC2	PTM2コンペアマッチ割り込みイネーブル								
	D4	ETU2	PTM2アンダーフロー割り込みイネーブル								
	D3	ETC1	PTM1コンペアマッチ割り込みイネーブル								
	D2	ETU1	PTM1アンダーフロー割り込みイネーブル								
	D1	ETC0	PTM0コンペアマッチ割り込みイネーブル								
	D0	ETU0	PTM0アンダーフロー割り込みイネーブル								
00FF2C	D7	ETC7	PTM7コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W				
	D6	ETU7	PTM7アンダーフロー割り込みイネーブル								
	D5	ETC6	PTM6コンペアマッチ割り込みイネーブル								
	D4	ETU6	PTM6アンダーフロー割り込みイネーブル								
	D3	ETC5	PTM5コンペアマッチ割り込みイネーブル								
	D2	ETU5	PTM5アンダーフロー割り込みイネーブル								
	D1	ETC4	PTM4コンペアマッチ割り込みイネーブル								
	D0	ETU4	PTM4アンダーフロー割り込みイネーブル								
00FF26	D7	—	—	—	—	—		読み出し時は 常時"0"			
	D6	—	—	—	—	—					
	D5	—	—	—	—	—					
	D4	—	—	—	—	—					
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(R)	(R)	0	R/W				
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	割り込みあり	割り込みなし						
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ	(W)	(W)						
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ	リセット	無効						
00FF27	D7	—	—	—	—	—		読み出し時は 常時"0"			
	D6	—	—	—	—	—					
	D5	—	—	—	—	—					
	D4	—	—	—	—	—					
	D3	—	—	—	—	—					
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ	(R)	(R)	0			R/W		
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ	割り込みあり	割り込みなし						
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ	(W) リセット	(W) 無効						
00FF28	D7	FK07	K07割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D6	FK06	K06割り込み要因フラグ								
	D5	FK05	K05割り込み要因フラグ								
	D4	FK04	K04割り込み要因フラグ								
	D3	FK03	K03割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FK02	K02割り込み要因フラグ								
	D1	FK01	K01割り込み要因フラグ								
	D0	FK00	K00割り込み要因フラグ								

表5.14.6.1(c) 割り込みの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF29	D7	FTC3	PTM3コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FTU3	PTM3アンダーフロー割り込み要因フラグ					
	D5	FTC2	PTM2コンペアマッチ割り込み要因フラグ					
	D4	FTU2	PTM2アンダーフロー割り込み要因フラグ					
	D3	FTC1	PTM1コンペアマッチ割り込み要因フラグ	(W) リセット	(W) 無効			
	D2	FTU1	PTM1アンダーフロー割り込み要因フラグ					
	D1	FTC0	PTM0コンペアマッチ割り込み要因フラグ					
	D0	FTU0	PTM0アンダーフロー割り込み要因フラグ					
00FF2E	D7	FTC7	PTM7コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FTU7	PTM7アンダーフロー割り込み要因フラグ					
	D5	FTC6	PTM6コンペアマッチ割り込み要因フラグ					
	D4	FTU6	PTM6アンダーフロー割り込み要因フラグ					
	D3	FTC5	PTM5コンペアマッチ割り込み要因フラグ	(W) リセット	(W) 無効			
	D2	FTU5	PTM5アンダーフロー割り込み要因フラグ					
	D1	FTC4	PTM4コンペアマッチ割り込み要因フラグ					
	D0	FTU4	PTM4アンダーフロー割り込み要因フラグ					

各ビットの設定内容および制御方法については、それぞれの周辺回路の説明を参照してください。

### 5.14.7 プログラミング上の注意事項

- (1) 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因のリセット("1"書き込み)を必ず行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグ(I0、I1)を書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。
- (3) 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H～007FFFH)に記述しておく必要があります。
- (4) NMI割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

# 6 注意事項

## 6.1 低消費電力化のための注意事項

S1C88650は、電力を多く消費する回路系を制御レジスタによってON/OFFすることができます。  
必要最小限の回路を、この制御レジスタによって動作させるプログラムとすることで、低消費電力化が実現できます。  
以下に、プログラムによって動作を制御することのできる回路系とその制御レジスタ(命令)を示しますので、プログラミング上の参考としてください。

消費電流については"8 電気的特性"を参照してください。

その他、各周辺回路の注意事項については、それぞれの項の"プログラミング上の注意事項"を参照してください。

表6.1.1 回路系と制御レジスタ

回路系	制御レジスタ (命令)	イニシャルリセット時の状態
CPU	HALT、SLP命令	動作状態
発振回路	CLKCHG、SOSC3	OSC3クロック (CLKCHG="1") OSC3発振ON (SOSC3="1")
電源電圧昇圧回路	DBON	OFF状態 (DBON="0")
LCDコントローラ	LCDC0、LCDC1	駆動OFF (LCDC0=LCDC1="0")
SVD回路	SVDON	OFF状態 (SVDON="0")
重負荷保護回路	HLMOD	OFF状態 (HLMOD="0")

## 6.2 実装上の注意事項

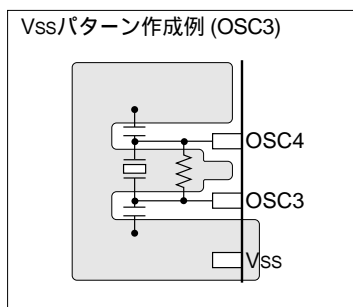
### 発振回路

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC2、OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1、OSC2、OSC3、OSC4端子およびこれらの端子に接続された部品の周辺部は下図のようにVssパターンをできるだけ広く作成してください。  
また、このVssパターンは発振用途以外に使用しないでください。



OSC1(OSC3) - VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

### リセット回路

パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。  
また、プルアップ抵抗値のばらつきを十分考慮した定数設定が必要です。

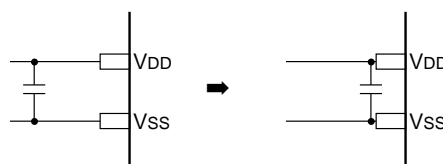
ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

### 電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からVDD、Vss端子へはできるだけ短かつ太いパターンで接続してください。
- (2) VDD - Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。

バイパスコンデンサの接続例



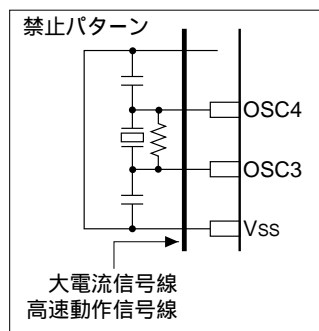
- (3) VD1、VC1、VC2、VC3、VC4、VC5端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。  
特にVC1、VC2、VC3、VC4、VC5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

### 信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長かつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



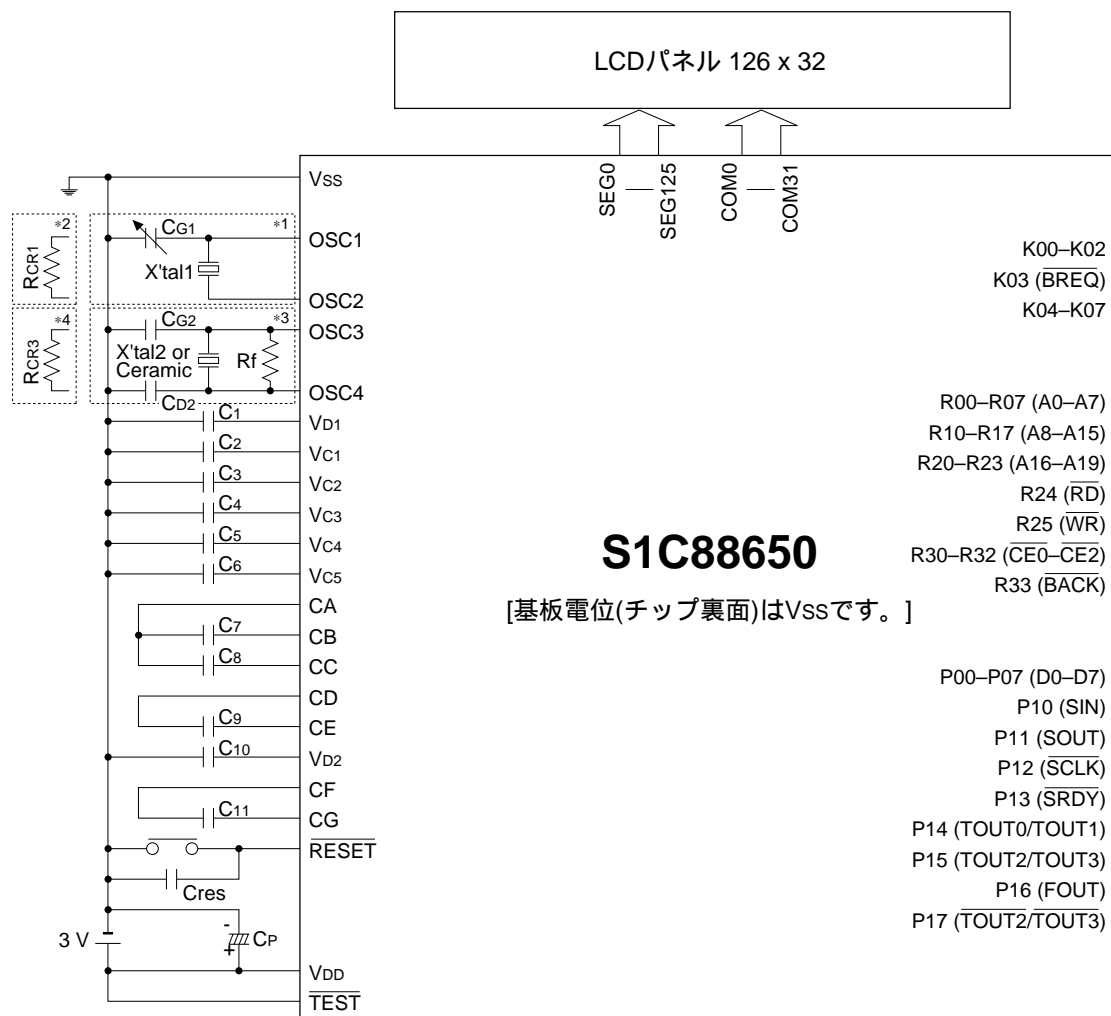
### 光に対する取り扱い(ペアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

# 7 基本外部結線図



- \*1: OSC1 = 水晶発振  
 \*2: OSC1 = CR発振  
 \*3: OSC3 = 水晶またはセラミック発振  
 \*4: OSC3 = CR発振

## 外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz, CI(Max.)=35kΩ
Cg1	トリマキャパシタ	0~25pF
RCR1	CR発振用抵抗	1.5MΩ
X'tal2	水晶振動子	4MHz
Ceramic	セラミック振動子	4MHz
Rf	帰還抵抗	1MΩ
Cg2	ゲートキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
Cd2	ドレインキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
RCR3	CR発振用抵抗	40kΩ

シンボル	名称	推奨値
C1	Vss~Vd1間キャパシタ	0.1μF
C2	Vss~Vc1間キャパシタ	0.1μF
C3	Vss~Vc2間キャパシタ	0.1μF
C4	Vss~Vc3間キャパシタ	0.1μF
C5	Vss~Vc4間キャパシタ	0.1μF
C6	Vss~Vc5間キャパシタ	0.1μF
C7~C9	昇圧キャパシタ	0.1μF
C10	Vss~Vd2間キャパシタ	0.1μF
C11	昇圧キャパシタ	0.1μF
Cp	電源間キャパシタ	3.3μF
Cres	RESET端子キャパシタ	0.47μF

注! ここに記載されている値は一例です。

## 8 電気的特性

### 8.1 絶対最大定格

(V <sub>SS</sub> = 0V)					
項 目	記号	条 件	定 格 値	単位	注
電源電圧	V <sub>DD</sub>		-0.3 ~ +4.7	V	
液晶電源電圧	V <sub>C5</sub>		-0.3 ~ +6.0	V	
入力電圧	V <sub>I</sub>		-0.3 ~ V <sub>DD</sub> + 0.3	V	
出力電圧	V <sub>O</sub>		-0.3 ~ V <sub>DD</sub> + 0.3	V	
高レベル出力電流	I <sub>OH</sub>	1端子	-5	mA	
		全端子合計	-20	mA	
低レベル出力電流	I <sub>OL</sub>	1端子	5	mA	
		全端子合計	20	mA	
許容損失	P <sub>D</sub>		200	mW	1
動作温度	T <sub>opr</sub>		-20 ~ +70	°C	
保存温度	T <sub>stg</sub>		-65 ~ +150	°C	
半田付け温度・時間	T <sub>sol</sub>		260°C, 10sec (リード部)	-	

注) 1 プラスチックパッケージの場合

### 8.2 推奨動作条件

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作電源電圧	V <sub>DD</sub>		1.8		3.6	V	
動作周波数	f <sub>OSC1</sub>		30	32.768	200	kHz	
	f <sub>OSC3</sub>	CR発振	0.03		2.2	MHz	
		水晶/セラミック発振	0.03		8.2	MHz	
V <sub>SS</sub> ~ V <sub>D1</sub> 間キャパシタ	C <sub>1</sub>			0.1		μF	
V <sub>SS</sub> ~ V <sub>C1</sub> 間キャパシタ	C <sub>2</sub>			0.1		μF	1
V <sub>SS</sub> ~ V <sub>C2</sub> 間キャパシタ	C <sub>3</sub>			0.1		μF	1
V <sub>SS</sub> ~ V <sub>C3</sub> 間キャパシタ	C <sub>4</sub>			0.1		μF	1
V <sub>SS</sub> ~ V <sub>C4</sub> 間キャパシタ	C <sub>5</sub>			0.1		μF	1
V <sub>SS</sub> ~ V <sub>C5</sub> 間キャパシタ	C <sub>6</sub>			0.1		μF	1
CA ~ CB間キャパシタ	C <sub>7</sub>			0.1		μF	1
CA ~ CC間キャパシタ	C <sub>8</sub>			0.1		μF	1
CD ~ CE間キャパシタ	C <sub>9</sub>			0.1		μF	1
V <sub>SS</sub> ~ V <sub>D2</sub> 間キャパシタ	C <sub>10</sub>			0.1		μF	1
CF ~ CG間キャパシタ	C <sub>11</sub>			0.1		μF	1

注) 1 LCD駆動電源を使用しない場合は、キャパシタは必要ありません。また、V<sub>C1</sub> ~ V<sub>C5</sub>およびCA ~ CGは開放としてください。



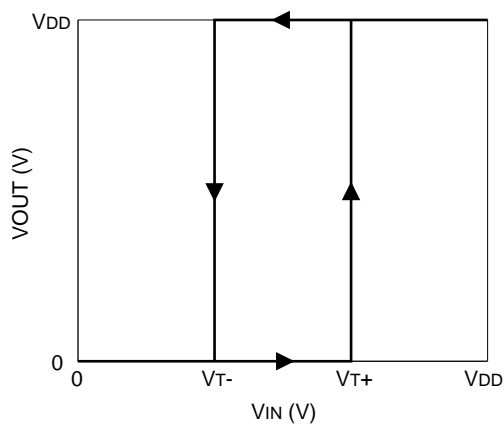
### 8.3 DC特性

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -20 \sim 70$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
高レベル入力電圧	$V_{IH}$	Kxx, Pxx	$0.8V_{DD}$		$V_{DD}$	V	
低レベル入力電圧	$V_{IL}$	Kxx, Pxx	0		$0.2V_{DD}$	V	
高レベルシュミット入力電圧(1)	$V_{T1+}$	RESET, MCU/MPU	$0.5V_{DD}$		$0.9V_{DD}$	V	
低レベルシュミット入力電圧(1)	$V_{T1-}$	RESET, MCU/MPU	$0.1V_{DD}$		$0.5V_{DD}$	V	
高レベルシュミット入力電圧(2)	$V_{T2+}$	Kxx	$0.5V_{DD}$		$0.9V_{DD}$	V	1
低レベルシュミット入力電圧(2)	$V_{T2-}$	Kxx	$0.1V_{DD}$		$0.5V_{DD}$	V	1
高レベル出力電流	$I_{OH}$	Pxx, Rxx, $V_{OH} = 0.9V_{DD}$			-0.5	mA	
低レベル出力電流	$I_{OL}$	Pxx, Rxx, $V_{OL} = 0.1V_{DD}$	0.5			mA	
入力リーク電流	$I_{LI}$	Kxx, Pxx, RESET, MCU/MPU	-1		1	$\mu A$	
出力リーク電流	$I_{LO}$	Pxx, Rxx	-1		1	$\mu A$	
入力プルアップ抵抗	$R_{IN}$	Kxx, Pxx, RESET, MCU/MPU	100		500	k $\Omega$	2
入力端子容量	$C_{IN}$	Kxx, Pxx $V_{IN} = 0V$ , $f = 1MHz$ , $T_a = 25$			15	pF	
セグメント、コモン出力電流	$I_{SEGH}$	SEGxx, COMxx, $V_{SEGH} = V_{C5} - 0.1V$			-5	$\mu A$	
	$I_{SEGL}$	SEGxx, COMxx, $V_{SEGL} = 0.1V$	5			$\mu A$	

注) 1 マスクオプションによりCMOSシュミットレベルを選択した場合。

2 マスクオプションによりプルアップ抵抗付加を選択した場合。



## 8.4 アナログ回路特性

### LCDドライバ

LCDドライバは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)の違いによってTyp.値がシフトしますので、実際に使用するパネルを接続して評価してください。負荷特性については、"8.8 特性グラフ"を参照してください。

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $C_1 \sim C_{11} = 0.1\mu F$ , 市松模様出力時, パネル負荷なし

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
LCD駆動電圧	VC1	*1	$0.18 \cdot V_{C5}$		$0.22 \cdot V_{C5}$	V	
	VC2	*2	$0.39 \cdot V_{C5}$		$0.43 \cdot V_{C5}$	V	
	VC3	*3	$0.59 \cdot V_{C5}$		$0.63 \cdot V_{C5}$	V	
	VC4	*4	$0.79 \cdot V_{C5}$		$0.83 \cdot V_{C5}$	V	
	VC5	*5	Typ $\times 0.94$	4.20	Typ $\times 1.06$	V	
				4.30		V	
				4.40		V	
				4.50		V	
				4.60		V	
				4.70		V	
				4.80		V	
				4.90		V	
				5.00		V	
				5.10		V	
				5.20		V	
				5.30		V	
				5.40		V	
				5.50		V	
				5.60		V	
				5.70		V	

\*1  $V_{SS} \sim V_{C1}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

\*2  $V_{SS} \sim V_{C2}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

\*3  $V_{SS} \sim V_{C3}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

\*4  $V_{SS} \sim V_{C4}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

\*5  $V_{SS} \sim V_{C5}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

### SVD回路

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SVD電圧	VSVD	SVDS0-3 = "0"		—		V	
		SVDS0-3 = "1"		—		V	
		SVDS0-3 = "2"		—		V	
		SVDS0-3 = "3"	Typ $\times 0.91$	1.8	Typ $\times 1.09$	V	
		SVDS0-3 = "4"		1.85		V	
		SVDS0-3 = "5"		1.9		V	
		SVDS0-3 = "6"		1.95		V	
		SVDS0-3 = "7"		2.0		V	
		SVDS0-3 = "8"		2.05		V	
		SVDS0-3 = "9"		2.1		V	
		SVDS0-3 = "10"		2.2		V	
		SVDS0-3 = "11"		2.3		V	
		SVDS0-3 = "12"		2.4		V	
		SVDS0-3 = "13"		2.5		V	
		SVDS0-3 = "14"		2.6		V	
		SVDS0-3 = "15"		2.7		V	
SVD回路応答時間	tsvd				500	$\mu s$	

## 8.5 消費電流

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $C_1 \sim C_{11} = 0.1\mu F$ , LCDパネル負荷なし

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SLEEP時消費電流	ISLP	OSC1 = OFF, OSC3 = OFF		1	2.5	$\mu A$	
HALT時消費電流	IHALT1	OSC1 = 32kHz水晶発振, OSC3 = OFF		2.5	5	$\mu A$	
	IHALT2	OSC1 = 32kHz CR発振, OSC3 = OFF		10	20	$\mu A$	
	IHALT3	OSC1 = 32kHz水晶発振, OSC3 = 8MHzセラミック発振		250	450	$\mu A$	
	IHALT4	OSC1 = 32kHz CR発振, OSC3 = 2MHz CR発振		220	450	$\mu A$	
実行時消費電流	IEXE1	OSC1 = 32kHz水晶発振, OSC3 = OFF		9	16	$\mu A$	
	IEXE2	OSC1 = 32kHz CR発振, OSC3 = OFF		15	30	$\mu A$	
	IEXE3	OSC1 = 32kHz水晶発振, OSC3 = 8MHzセラミック発振		1700	3000	$\mu A$	
	IEXE4	OSC1 = 32kHz CR発振, OSC3 = 2MHz CR発振		600	1200	$\mu A$	
重負荷保護モード 実行時消費電流	IHVL1	OSC1 = 32kHz水晶発振, OSC3 = OFF, HLMOD = H		15	27	$\mu A$	
	IHVL2	OSC1 = 32kHz CR発振, OSC3 = OFF, HLMOD = H		20	40	$\mu A$	
LCD回路電流	ILCD1	LCDCx = 全点灯, LCx = FH, fosc1 = 32.768kHz, $V_{DD} = 2.5 \sim 3.6V$		5	10	$\mu A$	1
重負荷保護モード LCD回路電流	ILCD1H	LCDCx = 全点灯, LCx = FH, fosc1 = 32.768kHz, HLMOD = H		15	30	$\mu A$	2
電源電圧昇圧時 LCD回路電流	ILCD2	LCDCx = 全点灯, LCx = FH, fosc1 = 32.768kHz, DBON = H, $V_{DD} = 1.8 \sim 2.5V$		10	20	$\mu A$	3
重負荷保護モード, 電源電圧昇圧時 LCD回路電流	ILCD2H	LCDCx = 全点灯, LCx = FH, fosc1 = 32.768kHz, DBON = H, $V_{DD} = 1.8 \sim 2.5V$ , HLMOD = H		30	60	$\mu A$	4
SVD回路電流	ISVD	SVDON = ON		5	10	$\mu A$	5

- 注) 1 LCD回路動作時に実行時消費電流に加算されます。消費電流は表示パターン、パネル負荷によって増加します。  
 2 LCD回路動作時に重負荷保護モード実行時消費電流に加算されます。消費電流は表示パターン、パネル負荷によって増加します。  
 3 電源電圧昇圧回路+LCD回路動作時に実行時消費電流に加算されます。消費電流は表示パターン、パネル負荷によって増加します。  
 4 電源電圧昇圧回路+LCD回路動作時に重負荷保護モード実行時消費電流に加算されます。消費電流は表示パターン、パネル負荷によって増加します。  
 5 SVD回路動作時に実行時消費電流/重負荷保護モード実行時消費電流に加算されます。

## 8.6 AC特性

## 動作範囲

条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -20 \sim 70$ 

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作周波数	f <sub>OSC1</sub>	$V_{DD} = 1.8 \sim 3.6V$	30	32.768	200	kHz	
	f <sub>OSC3</sub>		0.03		8.2	MHz	
インストラクション実行時間 (OSC1クロック動作時)	t <sub>cy</sub>	1サイクル命令	10	61	67	μs	
		2サイクル命令	20	122	133	μs	
		3サイクル命令	30	183	200	μs	
		4サイクル命令	40	244	267	μs	
		5サイクル命令	50	305	333	μs	
		6サイクル命令	60	366	400	μs	
インストラクション実行時間 (OSC3クロック動作時)	t <sub>cy</sub>	1サイクル命令	0.24		66.67	μs	
		2サイクル命令	0.49		133.33	μs	
		3サイクル命令	0.73		200.00	μs	
		4サイクル命令	0.98		266.67	μs	
		5サイクル命令	1.22		333.33	μs	
		6サイクル命令	1.46		400.00	μs	

## 外部メモリアクセス

## • リードサイクル

条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{IH2} = 1.6V$ ,  $V_{IL2} = 0.6V$ ,  
 $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ ,  $C_L = 100pF$  (負荷容量)

項 目	記号	Min.	Typ.	Max.	単位	注
リード時アドレスセットアップ時間	tras	$t_c + t_l - 50 + n \cdot t_c / 2$			ns	1
リード時アドレスホールド時間	trah	$t_h - 40$			ns	
リード信号パルス幅	trp	$t_c - 10 + n \cdot t_c / 2$			ns	1
リード時データ入力セットアップ時間	trds	150			ns	
リード時データ入力ホールド時間	trdh	0			ns	

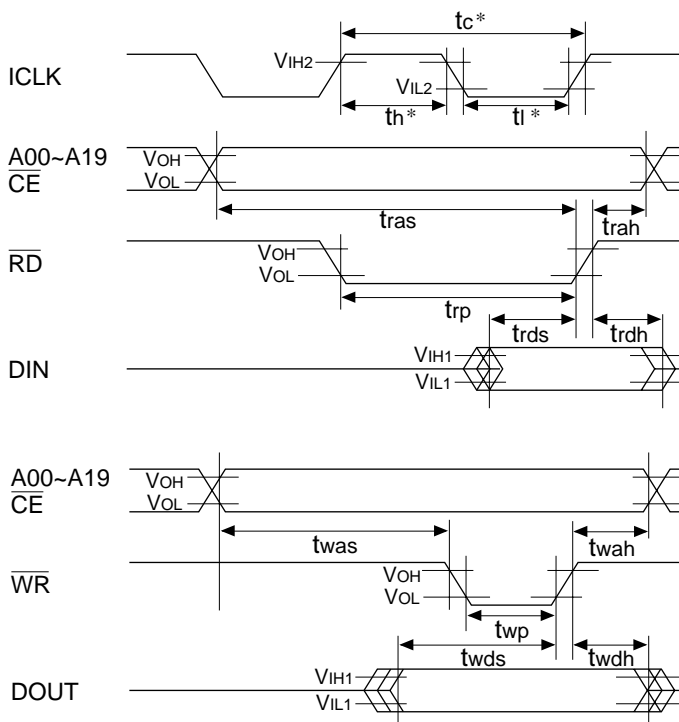
注) 1 nには、ウェイトの挿入ステート数を代入します。

## • ライトサイクル

条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{IH2} = 1.6V$ ,  $V_{IL2} = 0.6V$ ,  
 $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ ,  $C_L = 100pF$  (負荷容量)

項 目	記号	Min.	Typ.	Max.	単位	注
ライト時アドレスセットアップ時間	twas	$t_c - 90$			ns	
ライト時アドレスホールド時間	twah	$t_h - 40$			ns	
ライト信号パルス幅	twp	$t_l - 20 + n \cdot t_c / 2$			ns	1
ライト時データ出力セットアップ時間	twds	$t_c - 90 + n \cdot t_c / 2$			ns	1
ライト時データ出力ホールド時間	twdh	$t_h - 40$		$t_h + 40$	ns	

注) 1 nには、ウェイトの挿入ステート数を代入します。



\* 水晶・セラミック発振使用の場合は、 $t_h = 0.5t_c \pm 0.05t_c$ ,  $t_l = t_c - t_h$  と考えてください。(1/ $t_c$ は発振周波数)

\* CR発振使用の場合は、 $t_h = 0.5t_c \pm 0.10t_c$ ,  $t_l = t_c - t_h$  と考えてください。(1/ $t_c$ は発振周波数)

## シリアルインタフェース

## • クロック同期式マスタモード

条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ 

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t <sub>smd</sub>			100	ns	
受信データ入力セットアップ時間	t <sub>sms</sub>	250			ns	
受信データ入力ホールド時間	t <sub>smh</sub>	100			ns	

## • クロック同期式スレーブモード

条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ 

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t <sub>ssd</sub>			250	ns	
受信データ入力セットアップ時間	t <sub>sss</sub>	100			ns	
受信データ入力ホールド時間	t <sub>ssh</sub>	100			ns	

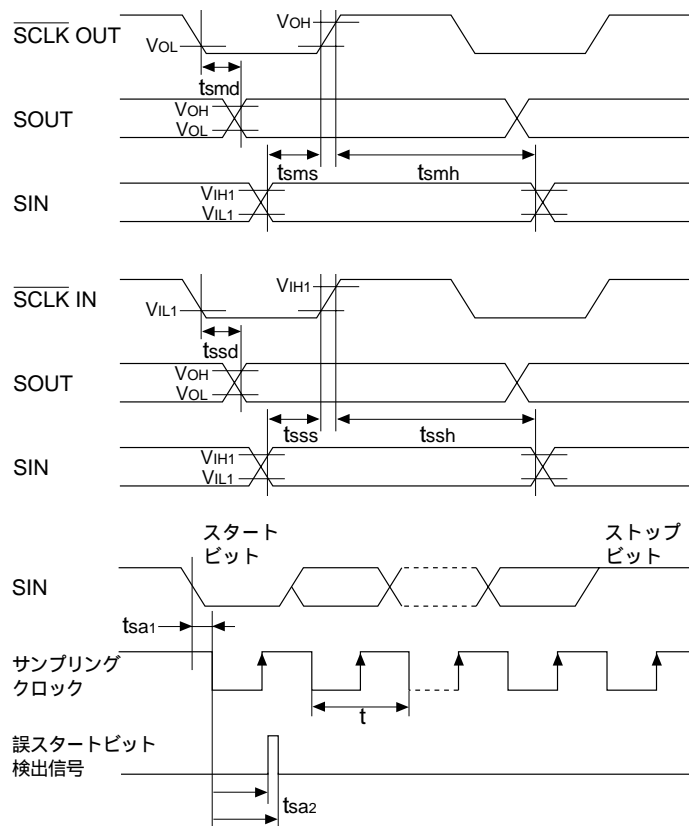
## • 調歩同期式

条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$ 

項 目	記号	Min.	Typ.	Max.	単位	注
スタートビット検出誤差時間	t <sub>sa1</sub>	0		t/16	s	1
誤スタートビット検出範囲時間	t <sub>sa2</sub>	9t/16		10t/16	s	2

注) 1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)

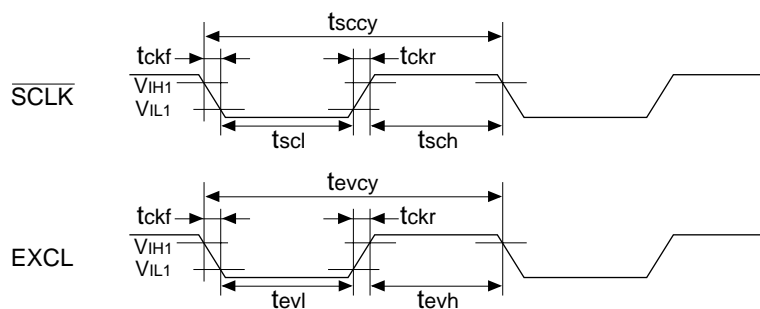
2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)



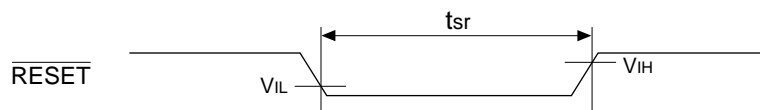
## 入力クロック

•  $\overline{\text{SCLK}}$ , EXCL入力クロック条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ\text{C}$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ 

項 目		記号	Min.	Typ.	Max.	単位	注
$\overline{\text{SCLK}}$ 入力クロック時間	サイクル時間	$t_{\text{scyc}}$	2			$\mu\text{s}$	
	"H"パルス幅	$t_{\text{sch}}$	1			$\mu\text{s}$	
	"L"パルス幅	$t_{\text{scl}}$	1			$\mu\text{s}$	
EXCL入力クロック時間 (ノイズリジェクタあり)	サイクル時間	$t_{\text{evcy}}$	$64/f_{\text{OSC1}}$			s	
	"H"パルス幅	$t_{\text{evh}}$	$32/f_{\text{OSC1}}$			s	
	"L"パルス幅	$t_{\text{evl}}$	$32/f_{\text{OSC1}}$			s	
EXCL入力クロック時間 (ノイズリジェクタなし)	サイクル時間	$t_{\text{evcy}}$	2			$\mu\text{s}$	
	"H"パルス幅	$t_{\text{evh}}$	1			$\mu\text{s}$	
	"L"パルス幅	$t_{\text{evl}}$	1			$\mu\text{s}$	
入力クロック立ち上がり時間		$t_{\text{ckr}}$			25	ns	
入力クロック立ち下がり時間		$t_{\text{ckf}}$			25	ns	

•  $\overline{\text{RESET}}$ 入力クロック条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ\text{C}$ ,  $V_{IH} = 0.5V_{DD}$ ,  $V_{IL} = 0.1V_{DD}$ 

項 目	記号	Min.	Typ.	Max.	単位	注
$\overline{\text{RESET}}$ 入力時間	$t_{\text{sr}}$	100			$\mu\text{s}$	

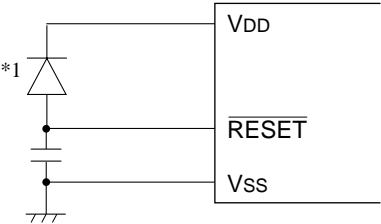
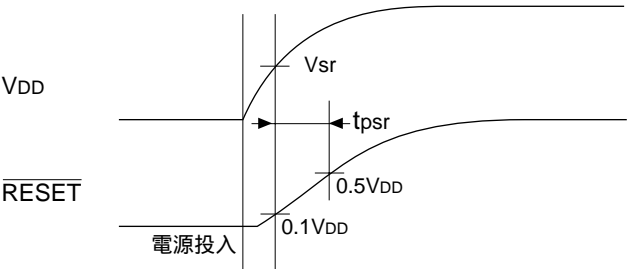




外付けキャパシタを用いたパワーオンリセット

条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$

項 目	記号	Min.	Typ.	Max.	単位	注
動作電源電圧	$V_{sr}$	1.8			V	
RESET入力時間	$t_{psr}$	10			ms	



\*1 RESET端子の電位が $V_{DD}$ レベル以上にならないため。

## 8.7 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。特にOSC3にセラミック発振子または水晶発振子を使用する場合、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。また発振開始時間は、OSC3のクロックを使用する場合の待ち時間となりますので重要な項目です。(発振が安定するまでにCPUクロックとして使用した場合、CPUが誤動作します。)

### OSC1水晶発振

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$  , 水晶発振子 = Q12C2000 ( $R_i = 30k\Omega$  Typ.)\*,  
 $C_{G1} = 25pF$  外付け,  $C_{D1} =$  内蔵

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				3	s	
外付けゲート容量	$C_{G1}$	基板容量など含む	5		25	pF	
内蔵ドレイン容量	$C_{D1}$	チップの場合		10		pF	
周波数IC偏差	$\partial f/\partial IC$	$V_{DD} =$ 一定	-10		10	ppm	
周波数電源電圧偏差	$\partial f/\partial V$				1	ppm/V	
周波数調整範囲	$\partial f/\partial C_G$	$V_{DD} =$ 一定, $C_G = 5 \sim 25pF$	25			ppm	

\* Q12C2000 セイコーエプソン(株) 製

### OSC1 CR発振

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				100	$\mu s$	
周波数IC偏差	$\partial f/\partial IC$	RCR = 一定	-25		25	%	

### OSC3水晶発振

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$  , 水晶発振子 = Q21CA301\*,  $R_F = 1M\Omega$ ,  $C_{G2} = C_{D2} = 15pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				10	ms	1

\* Q21CA301 セイコーエプソン(株) 製

注) 1 水晶発振開始時間は、使用する水晶発振子および $C_{G2}$ ,  $C_{D2}$ により変化します。

### OSC3セラミック発振

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$  , セラミック発振子 = KBR-4.0MSB/KBR-8.0MSB\*,  
 $R_F = 1M\Omega$ ,  $C_{G2} = C_{D2} = 30pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				1	ms	1

\* KBR-4.0MSB/KBR-8.0MSB Kyocera製

注) 1 セラミック発振開始時間は、使用するセラミック発振子および $C_{G2}$ ,  $C_{D2}$ により変化します。

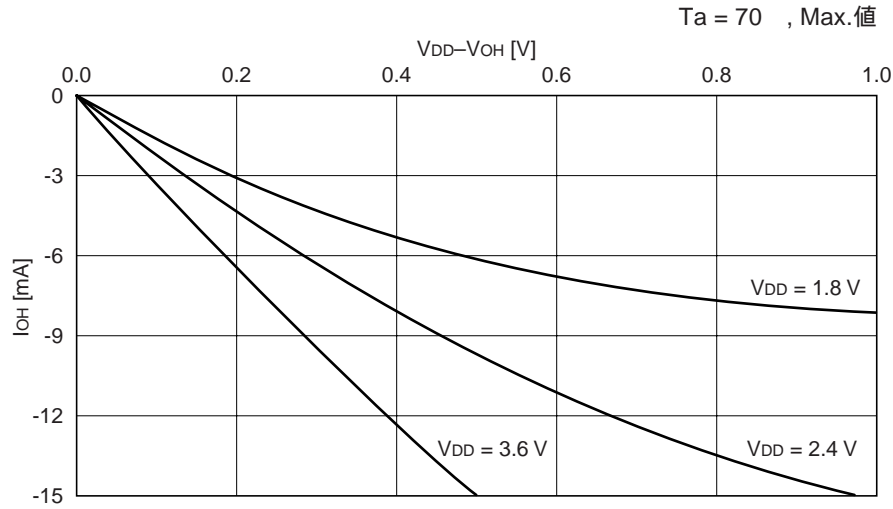
### OSC3 CR発振

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$

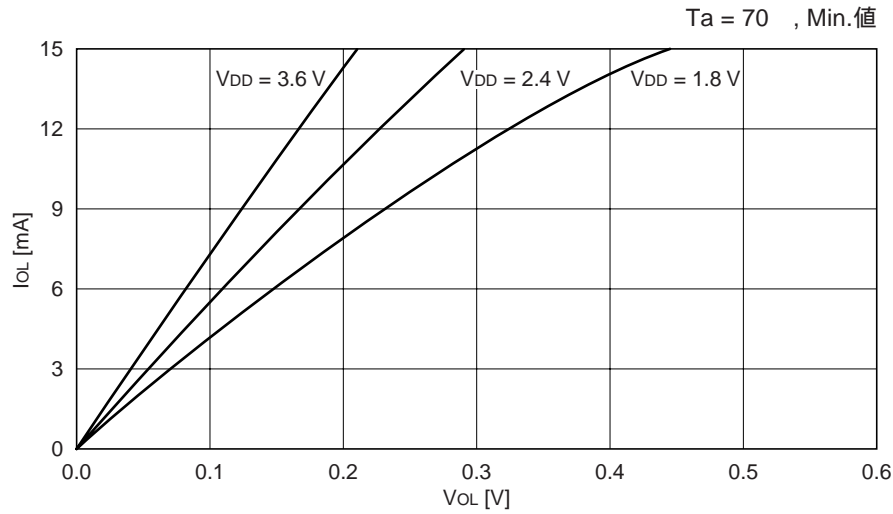
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				100	$\mu s$	
周波数IC偏差	$\partial f/\partial IC$	RCR = 一定	-25		25	%	

8.8 特性グラフ (参考値)

高レベル出力電流特性



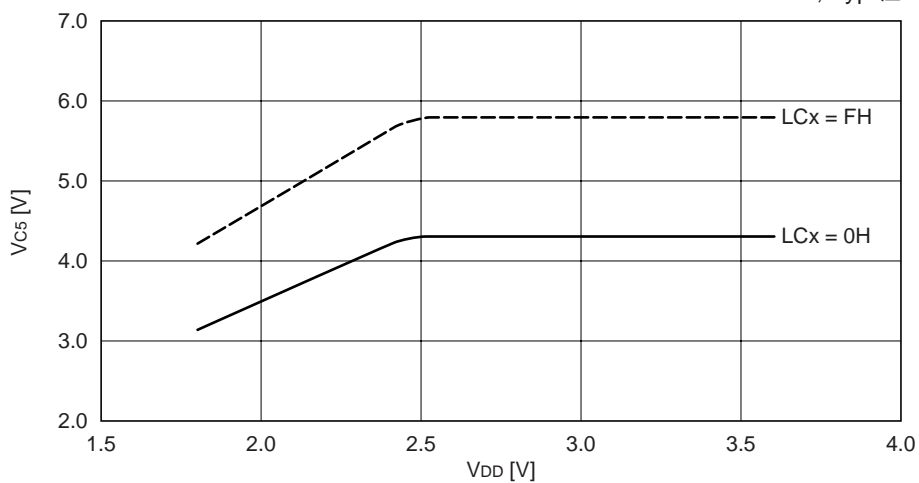
低レベル出力電流特性



## LCD駆動電圧電源電圧特性(電源電圧昇圧回路未使用時)

V<sub>SS</sub> ~ V<sub>C5</sub>間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)

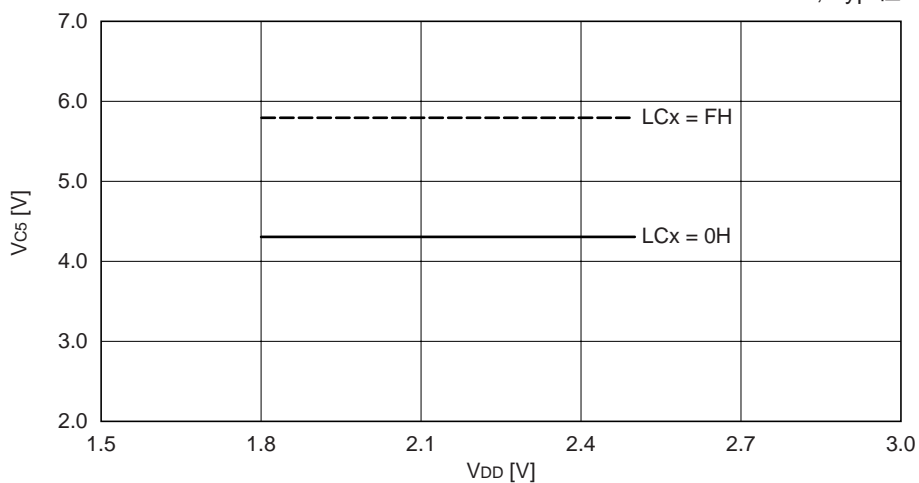
Ta = 25 , Typ.値



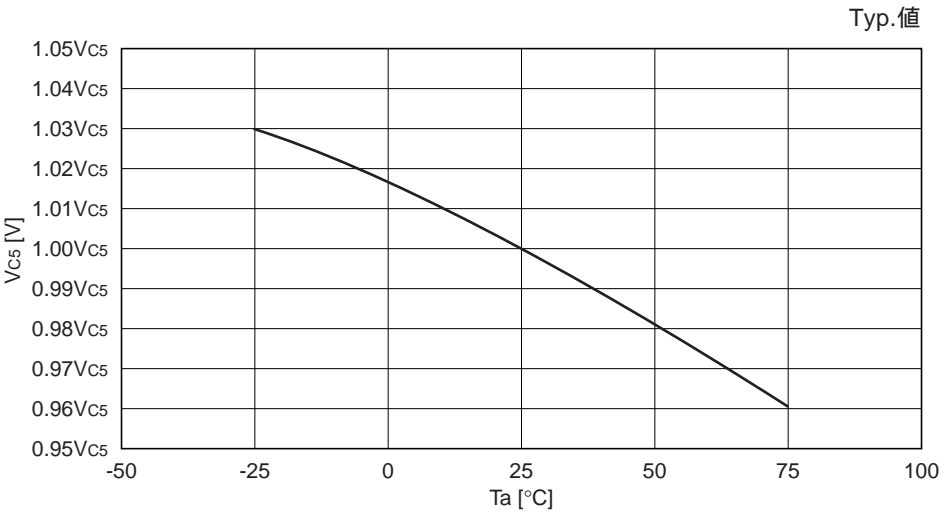
## LCD駆動電圧電源電圧特性(電源電圧昇圧回路使用時)

V<sub>SS</sub> ~ V<sub>C5</sub>間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)

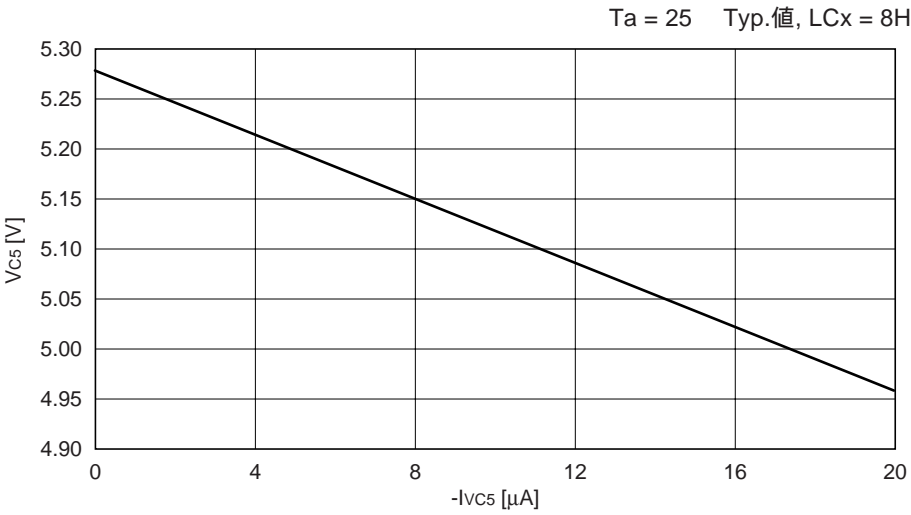
Ta = 25 , Typ.値



LCD駆動電圧温度特性

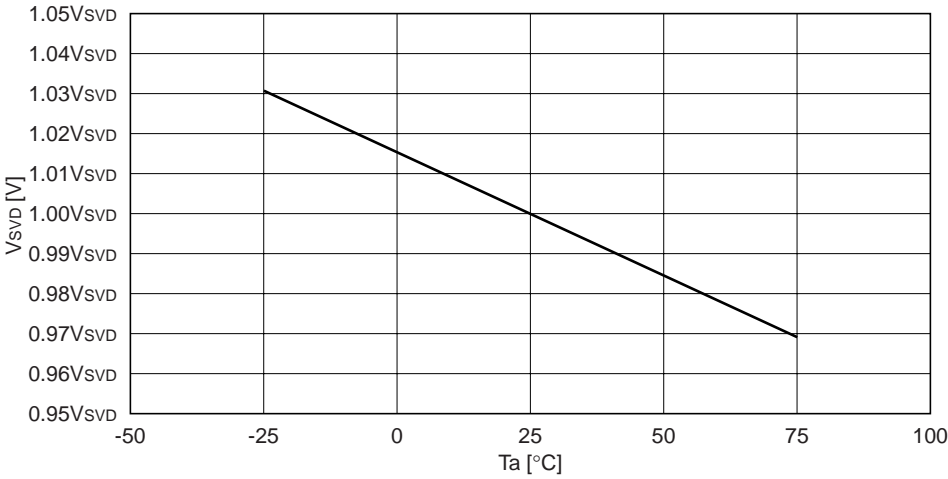


LCD駆動電圧負荷特性



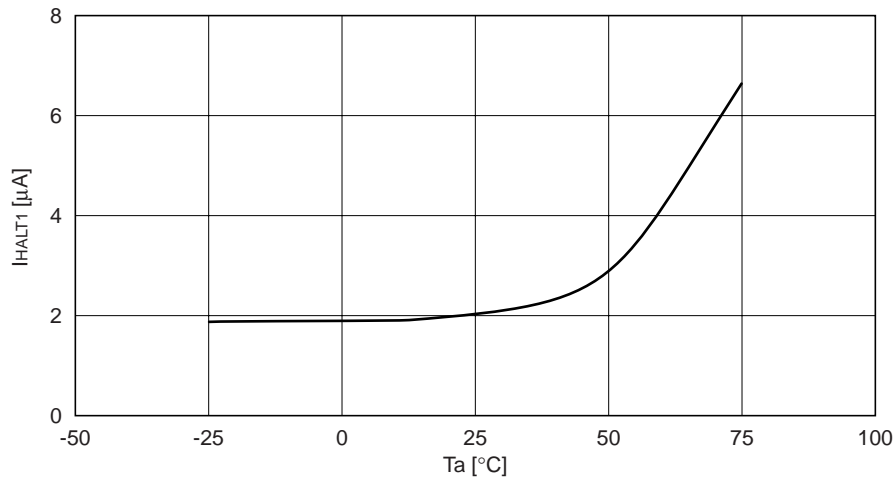
SVD電圧温度特性

Typ.値, SVDSx = FH



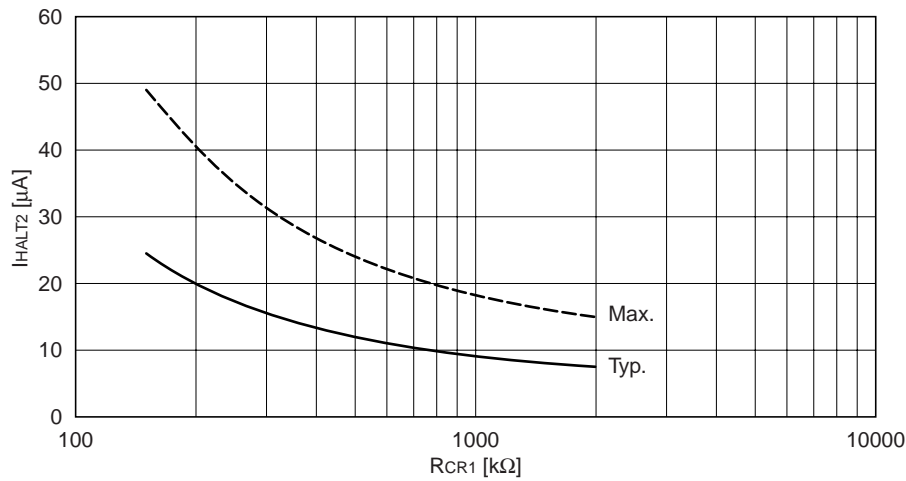
HALT時消費電流温度特性 (OSC1動作時) <水晶発振, fOSC1 = 32.768kHz>

Typ.値



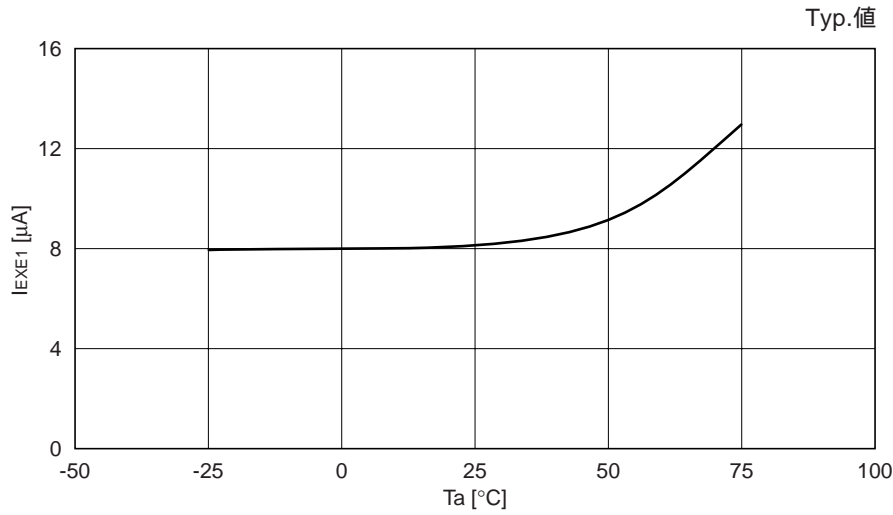
HALT時消費電流抵抗特性 (OSC1動作時) <CR発振>

$T_a = 25$

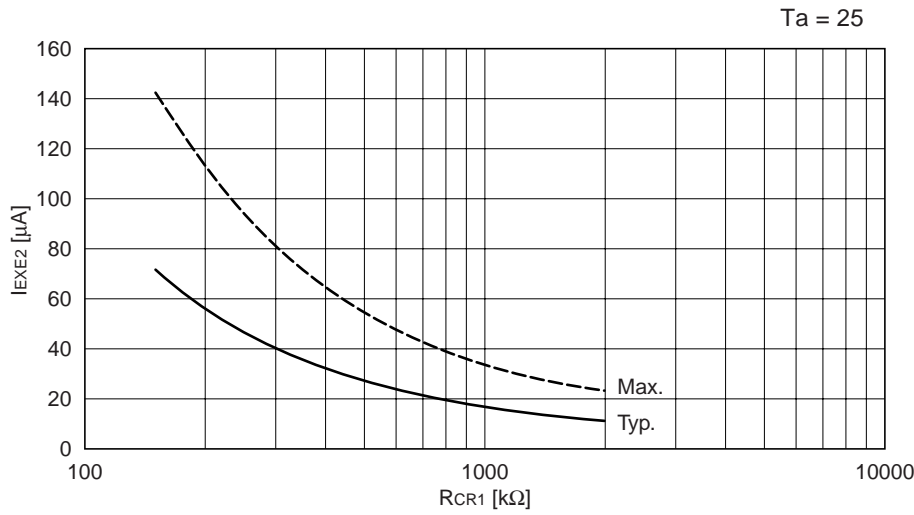




実行時消費電流温度特性 (OSC1動作時) <水晶発振, fosc1 = 32.768kHz>

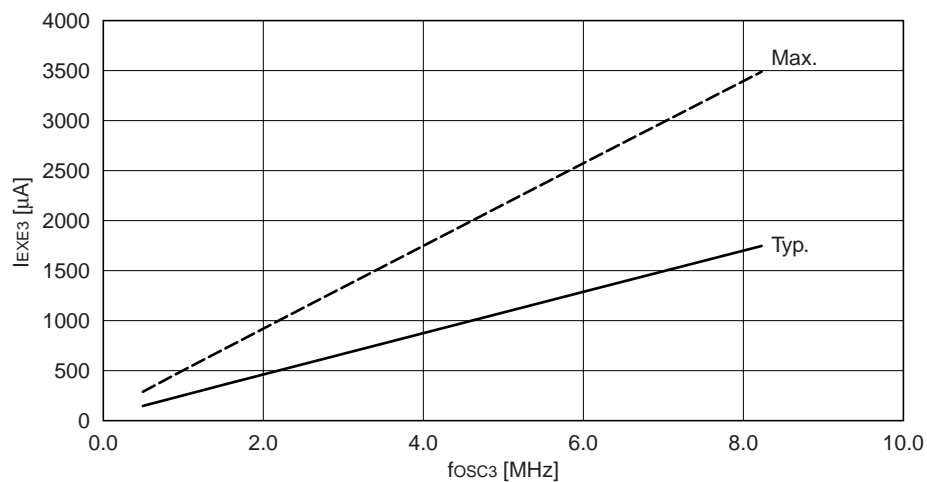


実行時消費電流抵抗特性 (OSC1動作時) <CR発振>



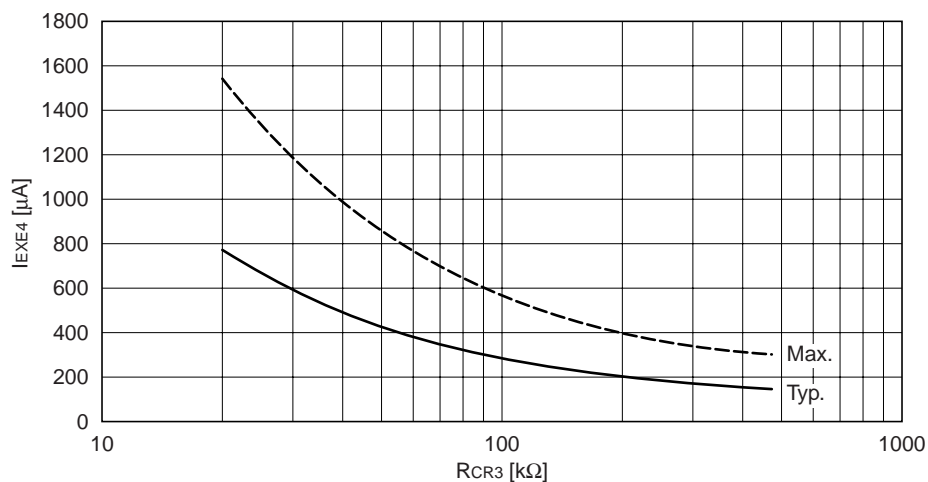
## 実行時消費電流周波数特性 (OSC3動作時) &lt;水晶発振/セラミック発振&gt;

Ta = 25



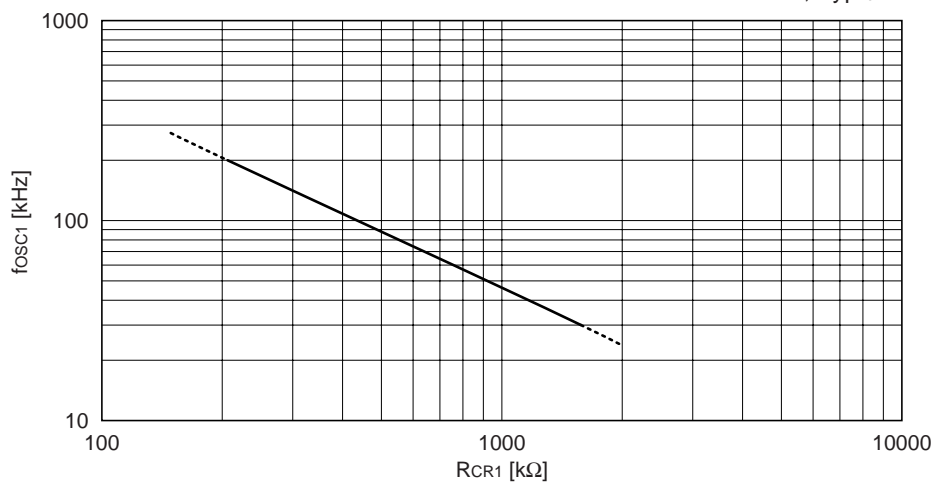
## 実行時消費電流抵抗特性 (OSC3動作時) &lt;CR発振&gt;

Ta = 25

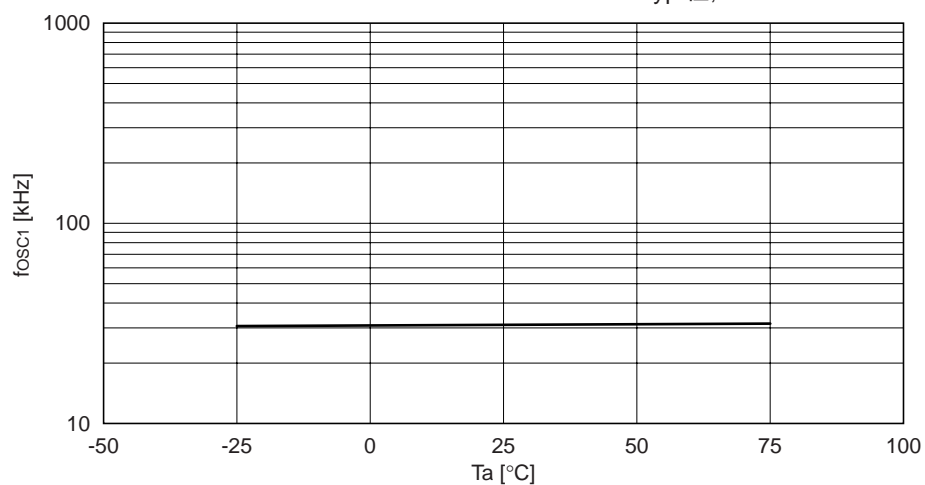


## 発振周波数抵抗特性 (OSC1) &lt;CR発振&gt;

Ta = 25 , Typ.値

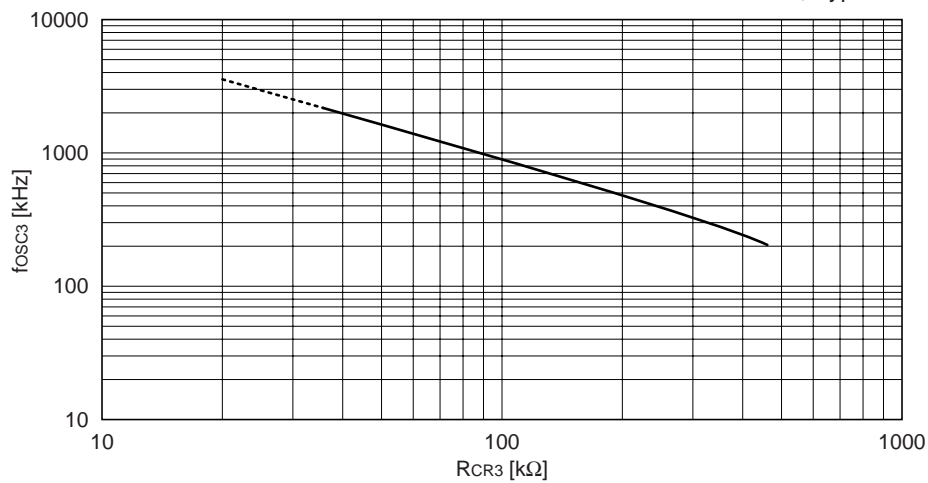


## 発振周波数温度特性 (OSC1) &lt;CR発振&gt;

Typ.値,  $R_{CR1} = 1500\text{k}\Omega$ 

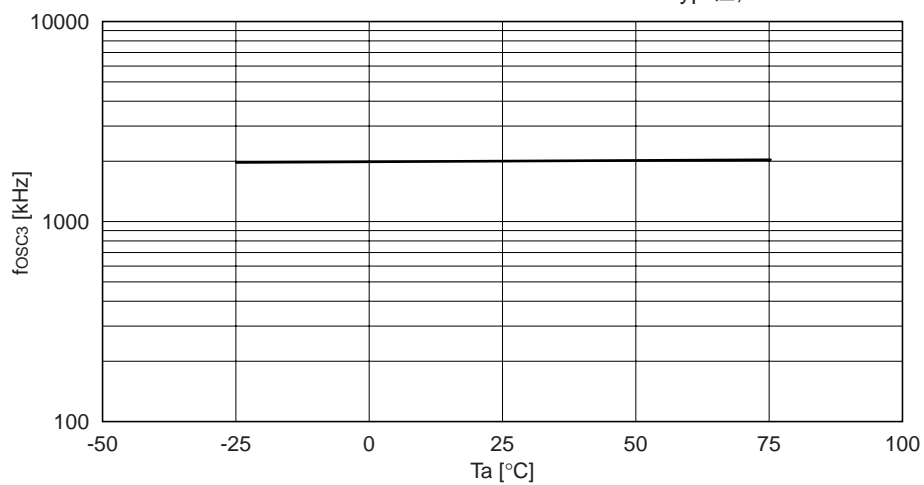
## 発振周波数抵抗特性 (OSC3) &lt;CR発振&gt;

Ta = 25 , Typ.値



## 発振周波数温度特性 (OSC3) &lt;CR発振&gt;

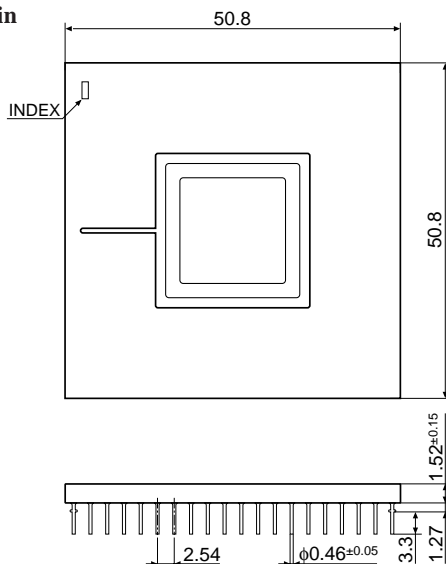
Typ.値, Rcr3 = 40kΩ



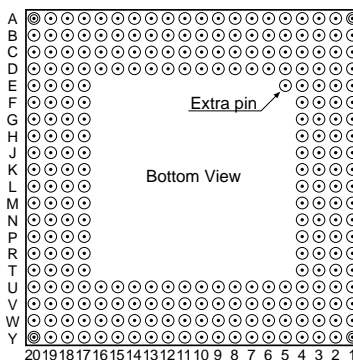


## 9.2 テストサンプル用セラミックパッケージ

PGA-256pin



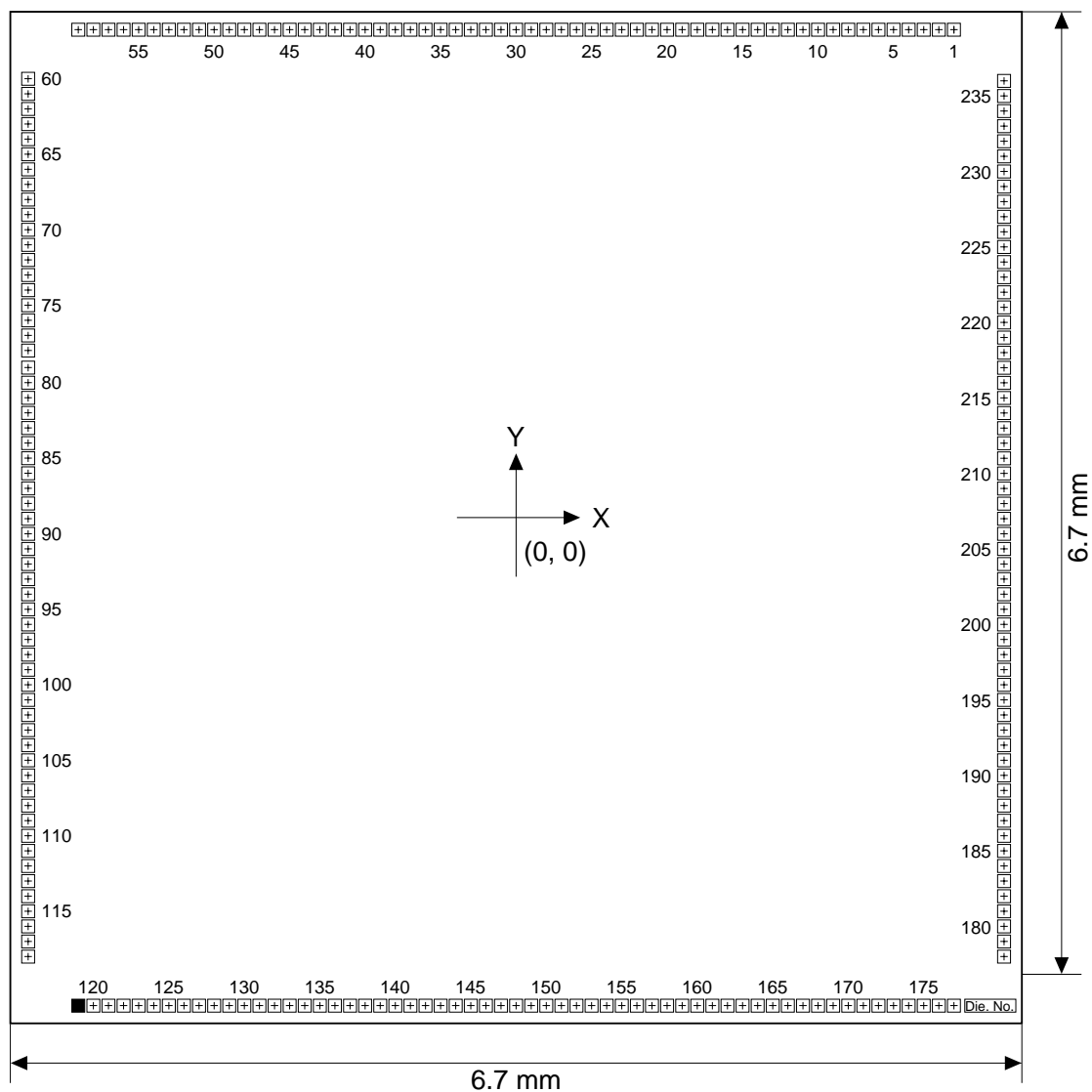
(単位: mm)



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名					
1	A1	N.C.	53	U1	R20/A16	105	Y14	SEG19	157	M20	SEG64	209	A16	SEG110
2	D4	N.C.	54	P4	R21/A17	106	U12	SEG20	158	L17	SEG65	210	D13	SEG111
3	C2	V <sub>DD</sub>	55	U2	R22/A18	107	W14	SEG21	159	L20	SEG66	211	B14	SEG112
4	D3	OSC3	56	T3	R23/A19	108	V12	SEG22	160	L19	SEG67	212	C13	SEG113
5	B1	OSC4	57	V1	R24/RD	109	Y15	SEG23	161	K20	SEG68	213	A15	SEG114
6	E4	V <sub>SS</sub>	58	R4	R25/WR	110	V13	SEG24	162	K19	SEG69	214	C12	SEG115
7	D2	V <sub>D1</sub>	59	V2	R30/CE0	111	W15	SEG25	163	J20	SEG70	215	B13	SEG116
8	E3	OSC1	60	U3	R31/CE1	112	U13	SEG26	164	K17	SEG71	216	D12	SEG117
9	C1	OSC2	61	W1	V <sub>DD</sub>	113	Y16	SEG27	165	H20	SEG72	217	A14	SEG118
10	F4	TEST	62	T4	N.C.	114	V14	SEG28	166	K18	SEG73	218	B12	SEG119
11	E2	RESET	63	W2	N.C.	115	W16	SEG29	167	H19	SEG74	219	A13	SEG120
12	F3	MPU/MPU	64	V3	N.C.	116	V15	SEG30	168	J19	SEG75	220	C11	SEG121
13	D1	K07/EXCL3	65	Y1	N.C.	117	Y17	SEG31	169	G20	SEG76	221	A12	SEG122
14	G4	K06/EXCL2	66	U4	N.C.	118	U14	SEG32	170	J17	SEG77	222	D11	SEG123
15	F2	K05/EXCL1	67	W3	V <sub>SS</sub>	119	W17	SEG33	171	G19	SEG78	223	A11	SEG124
16	G3	K04/EXCL0	68	V4	R32/CE2	120	V16	SEG34	172	J18	SEG79	224	B11	SEG125
17	E1	K03/BREQ	69	Y2	R33/BACK	121	Y18	SEG35	173	F20	SEG80	225	A10	COM31
18	H4	K02	70	U5	COM0	122	U15	SEG36	174	H18	SEG81	226	B10	COM30
19	G2	K01	71	W4	COM1	123	W18	SEG37	175	F19	SEG82	227	A9	COM29
20	H3	K00	72	V5	COM2	124	V17	SEG38	176	H17	SEG83	228	D10	COM28
21	F1	P17/TOUT2/TOUT3	73	Y3	COM3	125	Y19	V <sub>SS</sub>	177	E20	SEG84	229	A8	COM27
22	J3		P16/FOUT	74	U6	COM4	126	U16	N.C.	178	G18	SEG85	230	C10
23	H2	P15/TOUT2/TOUT3	75	W5	COM5	127	W19	N.C.	179	E19	SEG86	231	B8	COM25
24	J4		P14/TOUT0/TOUT1	76	V6	COM6	128	V18	N.C.	180	F18	SEG87	232	B9
25	G1	P13/SRDY	77	Y4	COM7	129	Y20	N.C.	181	D20	SEG88	233	A7	COM23
26	J2	P12/SCLK	78	U7	COM8	130	U17	N.C.	182	G17	SEG89	234	D9	COM22
27	H1	P11/SOUT	79	W6	COM9	131	V19	TEST	183	D19	SEG90	235	B7	COM21
28	K3	P10/SIN	80	V7	COM10	132	U18	SEG39	184	E18	SEG91	236	C9	COM20
29	J1	P07/D7	81	Y5	COM11	133	W20	SEG40	185	C20	SEG92	237	A6	COM19
30	K4	P06/D6	82	U8	COM12	134	T17	SEG41	186	F17	SEG93	238	C8	COM18
31	K1	P05/D5	83	W7	COM13	135	U19	SEG42	187	C19	SEG94	239	B6	COM17
32	K2	P04/D4	84	V8	COM14	136	T18	SEG43	188	D18	SEG95	240	D8	COM16
33	L1	P03/D3	85	Y6	COM15	137	V20	SEG44	189	B20	SEG96	241	A5	V <sub>D2</sub>
34	L2	P02/D2	86	V9	SEG0	138	R17	SEG45	190	E17	N.C.	242	C7	CG
35	M1	P01/D1	87	W8	SEG1	139	T19	SEG46	191	B19	N.C.	243	B5	CF
36	L4	P00/D0	88	U9	SEG2	140	R18	SEG47	192	C18	N.C.	244	C6	CE
37	N1	R00/A0	89	Y7	SEG3	141	U20	SEG48	193	A20	N.C.	245	A4	CD
38	L3	R01/A1	90	W9	SEG4	142	P17	SEG49	194	D17	N.C.	246	D7	CC
39	N2	R02/A2	91	Y8	SEG5	143	R19	SEG50	195	B18	V <sub>SS</sub>	247	B4	CB
40	M2	R03/A3	92	V10	SEG6	144	P18	SEG51	196	C17	SEG97	248	C5	CA
41	P1	R04/A4	93	Y9	SEG7	145	T20	SEG52	197	A19	SEG98	249	A3	V <sub>C5</sub>
42	M4	R05/A5	94	U10	SEG8	146	N17	SEG53	198	D16	SEG99	250	D6	V <sub>C4</sub>
43	P2	R06/A6	95	Y10	SEG9	147	P19	SEG54	199	B17	SEG100	251	B3	V <sub>C3</sub>
44	M3	R07/A7	96	W10	SEG10	148	N18	SEG55	200	C16	SEG101	252	C4	V <sub>C2</sub>
45	R1	R10/A8	97	Y11	SEG11	149	R20	SEG56	201	A18	SEG102	253	A2	V <sub>C1</sub>
46	N3	R11/A9	98	W11	SEG12	150	M18	SEG57	202	D15	SEG103	254	D5	N.C.
47	R2	R12/A10	99	Y12	SEG13	151	N19	SEG58	203	B16	SEG104	255	B2	N.C.
48	N4	R13/A11	100	U11	SEG14	152	M17	SEG59	204	C15	SEG105	256	C3	N.C.
49	T1	R14/A12	101	Y13	SEG15	153	P20	SEG60	205	A17	SEG106	-	-	-
50	P3	R15/A13	102	V11	SEG16	154	M19	SEG61	206	D14	SEG107	-	-	-
51	T2	R16/A14	103	W13	SEG17	155	N20	SEG62	207	B15	SEG108	-	-	-
52	R3	R17/A15	104	W12	SEG18	156	L18	SEG63	208	C14	SEG109	-	-	-

# 10 パッド配置

## 10.1 パッド配置図



チップ厚: 400 $\mu$ m  
パッド開口部: 90 $\mu$ m

パッドは出荷検査時に使用するパッドですので、ボンディングしないでください。



## 10.2 パッド座標

(単位: mm)

パッド		座標		パッド		座標		パッド		座標		パッド		座標	
No.	名称	X	Y	No.	名称	X	Y	No.	名称	X	Y	No.	名称	X	Y
1	VDD	2.900	3.232	60	VSS	-3.232	2.907	119	TEST	-2.900	-3.232	178	VSS	3.232	-2.907
2	OSC3	2.800	3.232	61	R32/CE2	-3.232	2.807	120	SEG39	-2.800	-3.232	179	SEG97	3.232	-2.807
3	OSC4	2.700	3.232	62	R33/BACK	-3.232	2.707	121	SEG40	-2.700	-3.232	180	SEG98	3.232	-2.707
4	VSS	2.600	3.232	63	COM0	-3.232	2.607	122	SEG41	-2.600	-3.232	181	SEG99	3.232	-2.607
5	VD1	2.500	3.232	64	COM1	-3.232	2.507	123	SEG42	-2.500	-3.232	182	SEG100	3.232	-2.507
6	OSC1	2.400	3.232	65	COM2	-3.232	2.407	124	SEG43	-2.400	-3.232	183	SEG101	3.232	-2.407
7	OSC2	2.300	3.232	66	COM3	-3.232	2.307	125	SEG44	-2.300	-3.232	184	SEG102	3.232	-2.307
8	TEST	2.200	3.232	67	COM4	-3.232	2.207	126	SEG45	-2.200	-3.232	185	SEG103	3.232	-2.207
9	RESET	2.100	3.232	68	COM5	-3.232	2.107	127	SEG46	-2.100	-3.232	186	SEG104	3.232	-2.107
10	MCU/MPU	2.000	3.232	69	COM6	-3.232	2.007	128	SEG47	-2.000	-3.232	187	SEG105	3.232	-2.007
11	K07/EXCL3	1.900	3.232	70	COM7	-3.232	1.907	129	SEG48	-1.900	-3.232	188	SEG106	3.232	-1.907
12	K06/EXCL2	1.800	3.232	71	COM8	-3.232	1.807	130	SEG49	-1.800	-3.232	189	SEG107	3.232	-1.807
13	K05/EXCL1	1.700	3.232	72	COM9	-3.232	1.707	131	SEG50	-1.700	-3.232	190	SEG108	3.232	-1.707
14	K04/EXCL0	1.600	3.232	73	COM10	-3.232	1.607	132	SEG51	-1.600	-3.232	191	SEG109	3.232	-1.607
15	K03/BREQ	1.500	3.232	74	COM11	-3.232	1.507	133	SEG52	-1.500	-3.232	192	SEG110	3.232	-1.507
16	K02	1.400	3.232	75	COM12	-3.232	1.407	134	SEG53	-1.400	-3.232	193	SEG111	3.232	-1.407
17	K01	1.300	3.232	76	COM13	-3.232	1.307	135	SEG54	-1.300	-3.232	194	SEG112	3.232	-1.307
18	K00	1.200	3.232	77	COM14	-3.232	1.207	136	SEG55	-1.200	-3.232	195	SEG113	3.232	-1.207
19	P17/TOUT2/TOUT3	1.100	3.232	78	COM15	-3.232	1.107	137	SEG56	-1.100	-3.232	196	SEG114	3.232	-1.107
20	P16/FOUT	1.000	3.232	79	SEG0	-3.232	0.994	138	SEG57	-1.000	-3.232	197	SEG115	3.232	-1.007
21	P15/TOUT2/TOUT3	0.900	3.232	80	SEG1	-3.232	0.894	139	SEG58	-0.900	-3.232	198	SEG116	3.232	-0.907
22	P14/TOUT0/TOUT1	0.800	3.232	81	SEG2	-3.232	0.794	140	SEG59	-0.800	-3.232	199	SEG117	3.232	-0.807
23	P13/SRDY	0.700	3.232	82	SEG3	-3.232	0.694	141	SEG60	-0.700	-3.232	200	SEG118	3.232	-0.707
24	P12/SCLK	0.600	3.232	83	SEG4	-3.232	0.594	142	SEG61	-0.600	-3.232	201	SEG119	3.232	-0.607
25	P11/SOUT	0.500	3.232	84	SEG5	-3.232	0.494	143	SEG62	-0.500	-3.232	202	SEG120	3.232	-0.507
26	P10/SIN	0.400	3.232	85	SEG6	-3.232	0.394	144	SEG63	-0.400	-3.232	203	SEG121	3.232	-0.407
27	P07/D7	0.300	3.232	86	SEG7	-3.232	0.294	145	SEG64	-0.300	-3.232	204	SEG122	3.232	-0.307
28	P06/D6	0.200	3.232	87	SEG8	-3.232	0.194	146	SEG65	-0.200	-3.232	205	SEG123	3.232	-0.207
29	P05/D5	0.100	3.232	88	SEG9	-3.232	0.094	147	SEG66	-0.100	-3.232	206	SEG124	3.232	-0.107
30	P04/D4	0.000	3.232	89	SEG10	-3.232	-0.007	148	SEG67	0.000	-3.232	207	SEG125	3.232	-0.007
31	P03/D3	-0.100	3.232	90	SEG11	-3.232	-0.107	149	SEG68	0.100	-3.232	208	COM31	3.232	0.107
32	P02/D2	-0.200	3.232	91	SEG12	-3.232	-0.207	150	SEG69	0.200	-3.232	209	COM30	3.232	0.207
33	P01/D1	-0.300	3.232	92	SEG13	-3.232	-0.307	151	SEG70	0.300	-3.232	210	COM29	3.232	0.307
34	P00/D0	-0.400	3.232	93	SEG14	-3.232	-0.407	152	SEG71	0.400	-3.232	211	COM28	3.232	0.407
35	R00/A0	-0.500	3.232	94	SEG15	-3.232	-0.507	153	SEG72	0.500	-3.232	212	COM27	3.232	0.507
36	R01/A1	-0.600	3.232	95	SEG16	-3.232	-0.607	154	SEG73	0.600	-3.232	213	COM26	3.232	0.607
37	R02/A2	-0.700	3.232	96	SEG17	-3.232	-0.707	155	SEG74	0.700	-3.232	214	COM25	3.232	0.707
38	R03/A3	-0.800	3.232	97	SEG18	-3.232	-0.807	156	SEG75	0.800	-3.232	215	COM24	3.232	0.807
39	R04/A4	-0.900	3.232	98	SEG19	-3.232	-0.907	157	SEG76	0.900	-3.232	216	COM23	3.232	0.907
40	R05/A5	-1.000	3.232	99	SEG20	-3.232	-1.007	158	SEG77	1.000	-3.232	217	COM22	3.232	1.007
41	R06/A6	-1.100	3.232	100	SEG21	-3.232	-1.107	159	SEG78	1.100	-3.232	218	COM21	3.232	1.107
42	R07/A7	-1.200	3.232	101	SEG22	-3.232	-1.207	160	SEG79	1.200	-3.232	219	COM20	3.232	1.207
43	R10/A8	-1.300	3.232	102	SEG23	-3.232	-1.307	161	SEG80	1.300	-3.232	220	COM19	3.232	1.307
44	R11/A9	-1.400	3.232	103	SEG24	-3.232	-1.407	162	SEG81	1.400	-3.232	221	COM18	3.232	1.407
45	R12/A10	-1.500	3.232	104	SEG25	-3.232	-1.507	163	SEG82	1.500	-3.232	222	COM17	3.232	1.507
46	R13/A11	-1.600	3.232	105	SEG26	-3.232	-1.607	164	SEG83	1.600	-3.232	223	COM16	3.232	1.607
47	R14/A12	-1.700	3.232	106	SEG27	-3.232	-1.707	165	SEG84	1.700	-3.232	224	VD2	3.232	1.707
48	R15/A13	-1.800	3.232	107	SEG28	-3.232	-1.807	166	SEG85	1.800	-3.232	225	CG	3.232	1.807
49	R16/A14	-1.900	3.232	108	SEG29	-3.232	-1.907	167	SEG86	1.900	-3.232	226	CF	3.232	1.907
50	R17/A15	-2.000	3.232	109	SEG30	-3.232	-2.007	168	SEG87	2.000	-3.232	227	CE	3.232	2.007
51	R20/A16	-2.100	3.232	110	SEG31	-3.232	-2.107	169	SEG88	2.100	-3.232	228	CD	3.232	2.107
52	R21/A17	-2.200	3.232	111	SEG32	-3.232	-2.207	170	SEG89	2.200	-3.232	229	CC	3.232	2.207
53	R22/A18	-2.300	3.232	112	SEG33	-3.232	-2.307	171	SEG90	2.300	-3.232	230	CB	3.232	2.307
54	R23/A19	-2.400	3.232	113	SEG34	-3.232	-2.407	172	SEG91	2.400	-3.232	231	CA	3.232	2.407
55	R24/RD	-2.500	3.232	114	SEG35	-3.232	-2.507	173	SEG92	2.500	-3.232	232	Vc5	3.232	2.507
56	R25/WR	-2.600	3.232	115	SEG36	-3.232	-2.607	174	SEG93	2.600	-3.232	233	Vc4	3.232	2.607
57	R30/CE0	-2.700	3.232	116	SEG37	-3.232	-2.707	175	SEG94	2.700	-3.232	234	Vc3	3.232	2.707
58	R31/CE1	-2.800	3.232	117	SEG38	-3.232	-2.807	176	SEG95	2.800	-3.232	235	Vc2	3.232	2.807
59	VDD	-2.900	3.232	118	VSS	-3.232	-2.907	177	SEG96	2.900	-3.232	236	Vc1	3.232	2.907

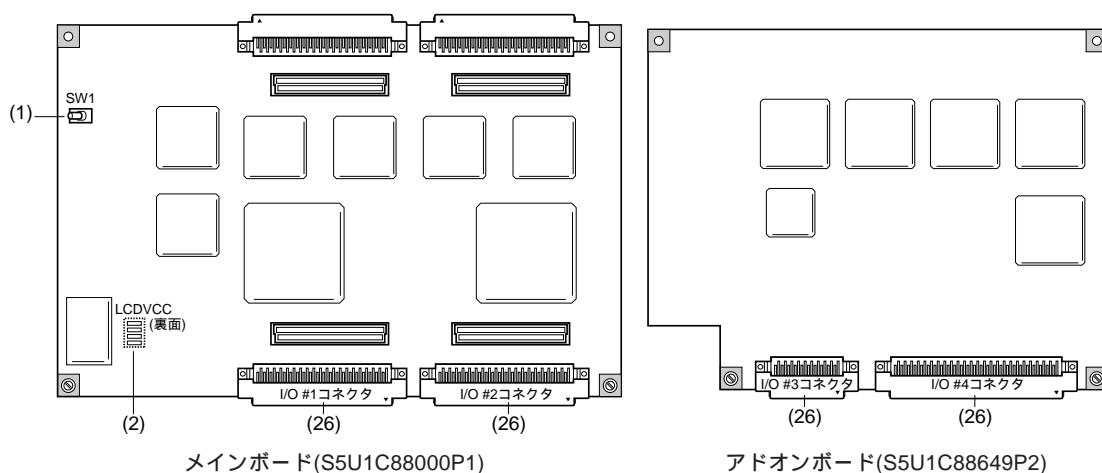
## Appendix A S5U1C88000P1&S5U1C88649P2 Manual (Peripheral Circuit Board for S1C88650)

ここでは、8-bit Single Chip Microcomputer S1C88 FamilyのデバッキングツールであるICE (S5U1C88000H5)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C88650 (S5U1C88000P1&S5U1C88649P2)の使用方法を説明します。

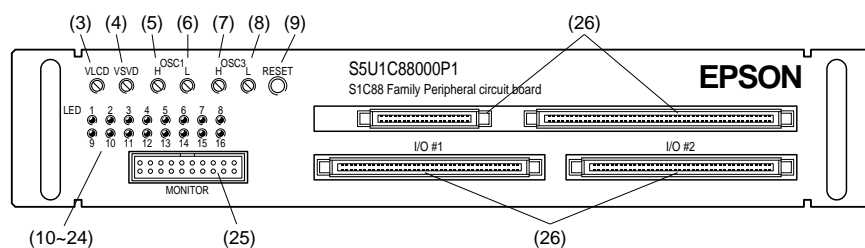
なお、本文はS1C88 Family Peripheral Circuit Board (S5U1C88000P1)にS1C88650用回路データがダウンロードされているものについて適用されます。S1C88 Family Peripheral Circuit Board (S5U1C88000P1)への回路データのダウンロード方法とボードの共通仕様などについては、製品に添付された"S5U1C88000P Manual"を、ICEの機能および操作などの詳細については、それぞれに用意されたマニュアルを参照してください。

### A.1 各部の名称と機能

以下、S5U1C88000P1&S5U1C88649P2の各部の名称と機能について説明します。



図A.1.1 ボードレイアウト



図A.1.2 パネルレイアウト(S5U1C88000P1)

## (1) SW1

回路データをダウンロードする場合は、"3"側に設定してください。それ以外の場合は、"1"側に設定してください。

## (2) LCDVCC (S5U1C88000P1裏面)

表A.1.1に示すようにDIPスイッチ設定により、LCDドライバ用の内蔵電源( $V_{C5}$ )の電圧を変更することができます。なお、実ICの $V_{C5}$ 電圧はこれと異なりますので、充分ご注意ください。

表A.1.1 LCDVCCの設定

LCDVCC				設定
1	2	3	4	
ON	OFF	OFF	ON	$V_{C5} = 6V$
OFF	ON	OFF	OFF	$V_{C5} = 5.75V$
OFF	OFF	ON	OFF	$V_{C5} = 5.5V$
OFF	OFF	OFF	ON	$V_{C5} = 5V$
その他の組み合わせ				設定禁止

\* LCDコントラスト調整レジスタLC0～LC3が0FHの場合の電圧値です。また、本ボードにおける使用部品の特性上、最大±6%の誤差が見込まれます。

## (3) VLCDボリューム

未使用

## (4) VSVDボリューム

電源電圧検出(SVD)機能を確認するため、擬似的に電源電圧を変化させるボリュームです。("A.2.2 実際のICとの相違点"を参照してください。)

## (5) OSC1 Hボリューム

OSC1にCR発振回路が選択されている場合に、発振周波数を大まかに調整します。

## (6) OSC1 Lボリューム

OSC1にCR発振回路が選択されている場合に、発振周波数を微調整します。

## (7) OSC3 Hボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を大まかに調整します。

## (8) OSC3 Lボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を微調整します。

## (9) RESET

本ボードの回路をリセットし、ICEにリセット信号を与えます。

## (10) LED 1 (MPU/MCU)

MPU/MCUモードの設定を示します。

点灯: MPUモード

消灯: MCUモード

## (11) LED 2 (BUSMOD), LED 3 (CPUMOD)

バス/CPUモード(BUSMOD/CPUMODレジスタの設定)を示します。

表A.1.2 バス/CPUモード

BUSMOD	CPUMOD	バスモード	CPUモード
点灯	点灯	拡張	マキシマム
点灯	消灯		ミニマム
消灯	点灯	シングルチップ	マキシマム
消灯	消灯		ミニマム

## (12) LED 4 (CLKCHG)

CPU動作クロックを示します。

点灯: OSC3 (CLKCHGレジスタ="1")

消灯: OSC1 (CLKCHGレジスタ="0")

## (13) LED 5 (SOSC3)

OSC3発振回路の状態を示します。

点灯: OSC3発振ON (SOSC3レジスタ="1")

消灯: OSC3発振OFF (SOSC3レジスタ="0")

## (14) LED 6 (SVDON)

SVD回路の状態を示します。

点灯: SVD回路ON (SVDONレジスタ="1")

消灯: SVD回路OFF (SVDONレジスタ="0")

## (15) LED 7 (LCDC)

LCD回路の状態を示します。

点灯: LCD回路ON (LCDCレジスタ="00"以外)

消灯: LCD回路OFF (LCDCレジスタ="00")

## (16) LED 8 (HLMOD)

重負荷保護モードの状態を示します。

点灯: 重負荷保護モード (HLMODレジスタ="1")

消灯: 通常モード (HLMODレジスタ="0")

## (17) LED 9 (HALT/SLEEP)

CPUの動作状態を示します。

点灯: HALTまたはSLEEPモード

消灯: 通常動作モード

## (18) LED10 (VDSEL)

LCD系定電圧回路用電源として $V_{DD}$ と $V_{D2}$ のどちらが選択されているかを示します。

点灯:  $V_{D2}$  (VDSELレジスタ="1")

消灯:  $V_{DD}$  (VDSELレジスタ="0")

## (19) LED11 (DBON)

電源電圧昇圧回路の状態を示します。

点灯: 昇圧ON (DBONレジスタ="1")

消灯: 昇圧OFF (DBONレジスタ="0")

## (20) LED12 (SEGREV)

SEG出力対応反転の状態を表示します。

点灯: 反転表示 (SEGREVレジスタ="1")

消灯: 通常表示 (SEGREVレジスタ="0")

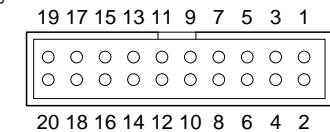
(21) LED 13 (Reserved)  
未使用

(22) LED 14 (OSC1動作クロック)  
OSC1の動作クロックが接続されています。対応するモニタピン(14番ピン)をモニタすることで、OSC1が現在どのような周波数で発振を行っているかを確認することができます。

(23) LED 15 (OSC3動作クロック)  
OSC3の動作クロックが接続されています。対応するモニタピン(15番ピン)をモニタすることで、OSC3が現在どのような周波数で発振を行っているかを確認することができます。

(24) LED 16 (FPGA Configuration)  
S5U1C88000P1上のFPGAに回路データが書き込まれている状態で電源が投入されると点灯します。消灯している場合は、デバッグ前にFPGAデータの書き込みが必要です(データ書き込み後、電源を入れ直すと点灯します)。

(25) LED信号モニタ用コネクタ  
前記LEDの信号をモニタするためのコネクタです。コネクタ端子より以下の信号が出力されます。LED信号は点灯時がHIGH、消灯時がLOWです。



図A.1.3 LED信号モニタ用コネクタ

- 1番ピン: LED 1 (MPU/MCUモード)
- 2番ピン: LED 2 (バスモード1)
- 3番ピン: LED 3 (CPUモード0)
- 4番ピン: LED 4 (CPU動作クロック)
- 5番ピン: LED 5 (OSC3発振ON/OFF)
- 6番ピン: LED 6 (SVD回路ON/OFF)
- 7番ピン: LED 7 (LCD回路ON/OFF)
- 8番ピン: LED 8 (重負荷保護モードON/OFF)
- 9番ピン: LED 9 (HALT/SLEEP、RUN)
- 10番ピン: LED10 (LCD系定電圧回路V<sub>D2</sub>/V<sub>DD</sub>)
- 11番ピン: LED11 (電源電圧昇圧回路ON/OFF)
- 12番ピン: LED12 (SEG出力反転/通常)
- 14番ピン: OSC1動作クロック
- 15番ピン: OSC3動作クロック
- 18番ピン: OSC1 CR発振周波数モニタ
- 19番ピン: OSC3 CR発振周波数モニタ

13、17および20番ピンは未使用です。

18、19番ピンはCR発振クロックが接続されています(水晶発振の選択やSOSC3レジスタの設定にかかわらず、CR発振回路は常に動作しています)。CR発振周波数を微調整する場合のモニタ用端子として使用します。

(26) I/O #1, I/O #2, I/O #3, I/O #4コネクタ  
I/OおよびLCD接続用コネクタです。I/O接続ケーブル(80pin/40pin × 2 flat type、100pin/50pin × 2 flat type、40pin/20pin × 2 flat type)によってターゲットシステムと接続します。

## A.2 使用上の注意

S5U1C88000P1&S5U1C88649P2を正しく使用していただくために、以下の事項に注意してください。

### A.2.1 操作上の注意事項

- (1) ケーブルの接続、切り離しは接続する機器すべての電源をOFFにした状態で行ってください。
- (2) 入力ポート(K00 ~ K03)をすべてLOWレベルにした状態において、電源投入およびマスクオプションデータのロードを行わないでください。キー同時押しリセット機能が働く可能性があります。
- (3) デバッグは、必ずマスクオプションデータをロードしてから行ってください。

### A.2.2 実際のICとの相違点

実際のICとは機能、特性上、以下の相違がありますので注意が必要です。これらについて考慮を怠った場合、S5U1C88000P1&S5U1C88649P2を装着したICEでは動作しても実ICで動作しない場合があります。

#### (1) I/Oについての相違

##### インタフェース電源

本ボードとターゲットシステムのインタフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインタフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフタ回路などを付加して対応してください。

##### 各出力ポートの駆動能力

本ボードにおける各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、“8電氣的特性”を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

##### 各入力ポートの特性

入力割り込み等を使用する場合、入力端子のAC特性が実ICと異なりますので、立ち上がり/立ち下がり時間が遅い場合には、必ず実ICで動作確認を行ってください。

##### 各ポートの保護ダイオード

すべてのI/Oポートには保護用ダイオードがV<sub>DD</sub>とV<sub>SS</sub>に対して入っており、ターゲットシステムとのインタフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンレインに設定し、V<sub>DD</sub>を超える電圧レベルとのインタフェースをとることはできません。

### プルアップ抵抗値

本ボードにおいて、プルアップ抵抗値は300k $\Omega$ に固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、"8 電気的特性"を参照して確認してください。

なお、プルアップ抵抗を使用して入力端子をHighレベルに引き上げる場合などにおいて、Highレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせてキーマトリックス回路を構成した場合は、入力ポートの立ち上がりディレイに相違が発生しますので十分な注意が必要です。

### (2) 消費電流についての相違

本ボードの消費電流は実際のICと大きく異なります。S5U1C88000P1前面パネルのLEDを確認することで、おおよその消費電流を把握することができます。なお、消費電流に大きく影響をおよぼすものとして以下のようなものがあげられます。

LED、モニタピンなどで確認が可能なもの

- a) RunとHaltの実行比率  
(ICEのモニタピン、LEDによる)
- b) CPU動作クロック切り換え  
(LED4: モニタ4番ピン)
- c) OSC3発振On/Off  
(LED5: モニタ5番ピン)
- d) SVD回路連続On/Off制御  
(LED6: モニタ6番ピン)
- e) LCD電源制御  
(LED7: モニタ7番ピン)
- f) 重負荷保護モード  
(LED8: モニタ8番ピン)
- g) SLEEPとHALTの実行比率  
(LED9: モニタ9番ピン)
- h) LCD系定電圧回路電源選択  
(LED10: モニタ10番ピン)
- i) 電源電圧昇圧回路  
(LED11: モニタ11番ピン)
- j) OSC1動作クロック  
(LED14: モニタ14番ピン)
- k) OSC3動作クロック  
(LED15: モニタ15番ピン)

システム、ソフトウェア上注意するしかないもの

- l) 内蔵プルアップ抵抗により消費される電流
- m) 入力ポートがフローティング状態

### (3) 機能上の相違

#### LCD回路

- LCD端子(SEG、COM)の駆動能力および出力電圧は実際のICと異なりますので、十分な注意が必要です。LCDのコントラストについては、調整可能となるようにシステムおよびソフトウェアを設計してください。また、S5U1C88000P1ボード裏面スイッチによりLCD駆動電圧を切り換えることが可能です。("A.1 各部の名称と機能"参照)
- LCDC0およびLCDC1レジスタが共に"0"(LCD電源制御回路がOFF)の場合、実ICではSEG、COM端子の出力レベルはV<sub>SS</sub>レベルに固定されますが、本ボードにおいてはCOM端子はV<sub>C4</sub>となり、SEG端子はV<sub>C3</sub>になります。
- ドットフォント12×12には対応しておりません。16×16/5×8ドットフォント固定となります。(DTFNTビットの書き込み、読み出しは可能です。)
- SEG出力反転表示に対応していません。モニタLED12の点灯で表示状態を判断してください。(SEGREVビットの書き込み、読み出しは可能です。)
- 1/16(1/8)デューティで使用時に表示メモリ領域を切り換えると(DSPAR="1")、実ICではCOM0～15までしか出力されませんが、本ボードではCOM16～31にもCOM0～15と同一の波形が出力されてしまいます。そのため、COM16～31をLCDパネルに接続している場合、LCDパネルは同一内容を2段表示します。

#### SVD回路

- SVD機能は、S5U1C88000P1前面パネルのVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでに遅延時間が発生します。本ボードの遅延時間は実際のICと異なりますので、"8 電気的特性"を参照して、ソフトウェアにより適切な待ち時間を設定してください。
- 本ボードで設定できる比較電圧は実際のICと異なります。本ボードでSVD回路のデバックを行うときはレベル的な比較としてください。



### 発振回路

- OSC1水晶発振回路の発振周波数は32.768kHzに固定されています。
- OSC1 CR発振回路の発振周波数は、S5U1C88000P1前面パネルのボリュームにより約20kHz～500kHzの範囲で調整できます。ただし、実ICの動作範囲はこれとは異なりますので、"8 電気的特性"を参照して実ICが動作可能な周波数に設定してください。
- OSC3水晶発振回路の発振周波数は4.9152MHzに固定されています。
- OSC3 CR発振回路の発振周波数は、S5U1C88000P1前面パネルのボリュームにより約100kHz～8MHzの範囲で調整できます。ただし、実ICの動作範囲はこれとは異なりますので、"8 電気的特性"を参照して実ICが動作可能な周波数に設定してください。
- OSC3セラミック発振回路は内蔵していません。セラミック発振回路オプションを選択した場合は、代わりに水晶発振回路が選択されるようになっています。
- 外部クロック入力を使用する場合は、振幅を $3.3V \pm 5\%$ 、デューティを $50\% \pm 10\%$ 以内に調整し、VssをGNDとしてOSC1、OSC3端子から入力してください。
- 本ボードではOSC3発振制御回路をON(SOSC3="1")した後、待ち時間を取らずにCPUクロックをOSC3に切り換えても(CLKCHG="1")動作してしまいます。実ICでは発振ON後、クロックを切り換える前に発振安定待ち時間が必要ですので、"8 電気的特性"を参照の上、適切な待ち時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に処理すると、本ボードで動作しても、実際のICで動作しない場合があります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。実ICにおいてOSC3の発振子を接続しない場合でも、OSC3クロックによる動作が可能になりますので、注意してください。
- ロジックレベルが高いため発振開始や停止時間などのタイミングが異なります。

### 未使用アドレスへのアクセス

S1C88650内蔵のROM/RAM、I/O空間の未定義領域に対して読み出し/書き込みを行った場合、その値は不定となります。  
また、S5U1C88000P1&S5U1C88649P2と実際のICでは、不定となる状態が異なりますので充分注意してください。

### リセット回路

本ボードを組み込んだICEに電源を投入してからプログラムが動作するまでのシーケンスは、実際のICと異なりますので注意してください。  
本ボードでは、オプションデータのロード、ユーザプログラムのロードを行ってからデバッグシステムとしての動作が可能になります。

### 内部電源回路

LCDの駆動電圧は実際のICと異なります。

### 漢字フォント用ROMサイズについて

実ICでは漢字フォント用メモリが896Kバイト(領域010000H～0EFFFFH)内蔵されていますが、ICE内の実装メモリサイズは448Kバイトに制限されています。

### ファンクションオプション

- 入力インタフェースレベル  
実ICでは、ファンクションオプションでK00～K07およびP10～P17ポートの入力インタフェースレベルをCMOSレベルにするか、CMOSシュミットレベルにするか選択できますが、本ボード上ではWinfogでどちらを選択してもCMOSレベル固定となります。

## (4) 各機種対応における注意事項

### パラメータファイル

本ボードを組み込んだICEは、パーソナルコンピュータ上のデバッグを起動した際に、機種ごとに提供されるパラメータファイル(88650.par)に従ってROM、RAM、I/O空間がその機種用に設定されます。

お客さまは、実際に使用するROM、RAM空間に合わせてこのパラメータファイルを変更することができますが、シングルチップマキシマムモードで使用する場合は、以下の領域以外は設定しないでください。

ROM領域: 0000H～BFFFFH  
10000H～EFFFFH  
RAM領域: D800H～F7FFH  
スタック領域: D800H～F7FFH

### アクセス禁止領域

S1C88650の開発で本ボードを使用する場合は、I/OメモリのアドレスFF16H、FF90H～FFADHに対しては絶対に読み出しや書き込みをしないでください。

また、アドレスFF17HのD4ビット、FF21HのD6およびD7ビット、FF22HのD7ビット、FF26HのD7ビットについては、書き込み時に初期値を変更しないように注意してください。

### A.3 ターゲットシステムとの接続

ここではS5U1C88000P1&S5U1C88649P2とターゲットシステムとの接続について説明します。

注: ケーブルの接続、切り離しは接続する機器すべての電源をOFFに行ってください。

ターゲットシステムは、前面パネルのI/O #1～I/O #4コネクタに添付のI/Oケーブル(80pin/40pin×2 flat type、100pin/50pin×2 flat type、40pin/20pin×2 flat type)を使用して接続します。

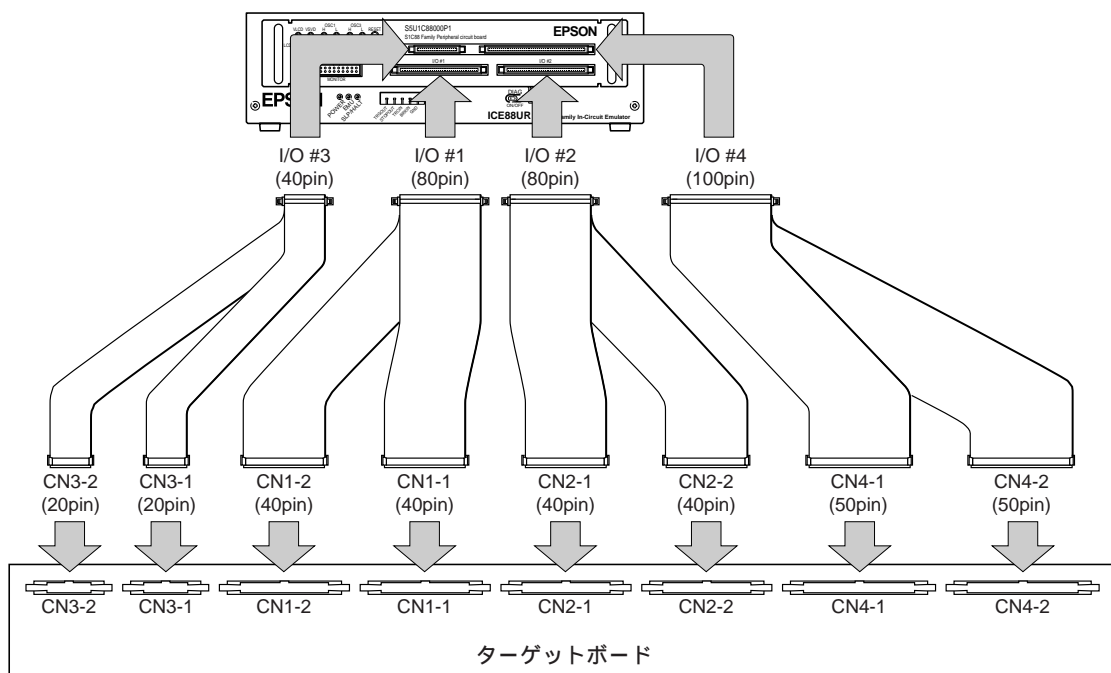
80pin、100pin、40pinをI/O #1～I/O #4コネクタに接続し、40pin×2、50pin×2、20pin×2をターゲットシステムに接続します。I/O #1、I/O #2、I/O #3には電源(VDD)が供給されていますので注意してください。

内蔵水晶発振回路の周波数は次のとおりです。

OSC1水晶発振選択時: 32.768kHz

OSC3水晶発振選択時: 4.9152MHz

CR発振を選択した場合は、前面パネルのボリューム(OSC1用がOSC1HとOSC1L、OSC3用がOSC3HとOSC3L)で発振周波数を調整することができます。この場合は、モニタ用コネクタのOSC1 CR発振モニタピン(18番ピン)、またはOSC3 CR発振モニタピン(19番ピン)に周波数カウンタ等を接続し、値を確認しながら必要な周波数に設定してください。CR発振の初期周波数は不定のため、必ず使用前にOSC1 CR、OSC3 CR発振モニタピンで確認してください。



図A.3.1 ターゲットシステムとの接続

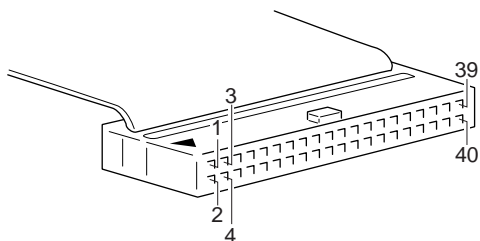
## I/Oコネクタピン配置

表A.3.1 I/O #1コネクタ

40pin CN1-1		40pin CN1-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	R12/A10
2	VDD (3.3V)	2	R13/A11
3	Vss	3	R14/A12
4	Vss	4	R15/A13
5	N.C.	5	R16/A14
6	N.C.	6	R17/A15
7	N.C.	7	R20/A16
8	N.C.	8	R21/A17
9	N.C.	9	R22/A18
10	N.C.	10	R23/A19
11	N.C.	11	R24/RD
12	N.C.	12	R25/WR
13	N.C.	13	N.C.
14	N.C.	14	N.C.
15	N.C.	15	R30/CE0
16	N.C.	16	R31/CE1
17	N.C.	17	R32/CE2
18	N.C.	18	R33/(BACK)
19	N.C.	19	N.C.
20	N.C.	20	N.C.
21	N.C.	21	N.C.
22	N.C.	22	N.C.
23	N.C.	23	N.C.
24	N.C.	24	N.C.
25	N.C.	25	COM0
26	N.C.	26	COM1
27	N.C.	27	COM2
28	N.C.	28	COM3
29	N.C.	29	COM4
30	N.C.	30	COM5
31	R00/A0	31	COM6
32	R01/A1	32	COM7
33	R02/A2	33	COM8
34	R03/A3	34	COM9
35	R04/A4	35	COM10
36	R05/A5	36	COM11
37	R06/A6	37	COM12
38	R07/A7	38	COM13
39	R10/A8	39	COM14
40	R11/A9	40	COM15

表A.3.2 I/O #2コネクタ

40pin CN2-1		40pin CN2-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	SEG27
2	VDD (3.3V)	2	SEG28
3	Vss	3	SEG29
4	Vss	4	SEG30
5	RESET	5	SEG31
6	MCU/MPU	6	SEG32
7	OSC1EX	7	SEG33
8	OSC3EX	8	SEG34
9	N.C.	9	SEG35
10	N.C.	10	SEG36
11	N.C.	11	SEG37
12	N.C.	12	SEG38
13	N.C.	13	SEG39
14	SEG0	14	SEG40
15	SEG1	15	SEG41
16	SEG2	16	SEG42
17	SEG3	17	SEG43
18	SEG4	18	SEG44
19	SEG5	19	SEG45
20	SEG6	20	SEG46
21	SEG7	21	SEG47
22	SEG8	22	SEG48
23	SEG9	23	SEG49
24	SEG10	24	SEG50
25	SEG11	25	SEG51
26	SEG12	26	SEG52
27	SEG13	27	SEG53
28	SEG14	28	SEG54
29	SEG15	29	SEG55
30	SEG16	30	SEG56
31	SEG17	31	SEG57
32	SEG18	32	SEG58
33	SEG19	33	SEG59
34	SEG20	34	SEG60
35	SEG21	35	SEG61
36	SEG22	36	SEG62
37	SEG23	37	SEG63
38	SEG24	38	SEG64
39	SEG25	39	SEG65
40	SEG26	40	SEG66



図A.3.2 CN1-1/CN1-2、CN2-1/CN2-2のピン配置



表A.3.3 I/O #3コネクタ

20pin CN3-1		20pin CN3-2	
No.	端子名	No.	端子名
1	K00	1	Vss
2	K01	2	Vss
3	K02	3	P00/D0
4	K03(BREQ)	4	P01/D1
5	K04/EXCL0	5	P02/D2
6	K05/EXCL1	6	P03/D3
7	K06/EXCL2	7	P04/D4
8	K07/EXCL3	8	P05/D5
9	N.C.	9	P06/D6
10	N.C.	10	P07/D7
11	N.C.	11	VDD (3.3V)
12	N.C.	12	VDD (3.3V)
13	N.C.	13	P10/SIN
14	N.C.	14	P11/SOUT
15	N.C.	15	P12/SCLK
16	N.C.	16	P13/SRDY
17	N.C.	17	P14/TOUT0/TOUT1
18	N.C.	18	P15/TOUT2/TOUT3
19	N.C.	19	P16/FOUT
20	N.C.	20	P17/TOUT2/TOUT3

表A.3.4 I/O #4コネクタ

50pin CN4-1		50pin CN4-2	
No.	端子名	No.	端子名
1	SEG67	1	SEG117
2	SEG68	2	SEG118
3	SEG69	3	SEG119
4	SEG70	4	SEG120
5	SEG71	5	SEG121
6	SEG72	6	SEG122
7	SEG73	7	SEG123
8	SEG74	8	SEG124
9	SEG75	9	SEG125
10	SEG76	10	N.C.
11	SEG77	11	N.C.
12	SEG78	12	N.C.
13	SEG79	13	N.C.
14	SEG80	14	N.C.
15	SEG81	15	N.C.
16	SEG82	16	N.C.
17	SEG83	17	N.C.
18	SEG84	18	N.C.
19	SEG85	19	N.C.
20	SEG86	20	N.C.
21	SEG87	21	N.C.
22	SEG88	22	N.C.
23	SEG89	23	N.C.
24	SEG90	24	N.C.
25	SEG91	25	N.C.
26	SEG92	26	N.C.
27	SEG93	27	N.C.
28	SEG94	28	N.C.
29	SEG95	29	N.C.
30	SEG96	30	N.C.
31	SEG97	31	N.C.
32	SEG98	32	N.C.
33	SEG99	33	N.C.
34	SEG100	34	Vss
35	SEG101	35	COM16
36	SEG102	36	COM17
37	SEG103	37	COM18
38	SEG104	38	COM19
39	SEG105	39	COM20
40	SEG106	40	COM21
41	SEG107	41	COM22
42	SEG108	42	COM23
43	SEG109	43	COM24
44	SEG110	44	COM25
45	SEG111	45	COM26
46	SEG112	46	COM27
47	SEG113	47	COM28
48	SEG114	48	COM29
49	SEG115	49	COM30
50	SEG116	50	COM31

## A.4 製品の仕様

以下にS5U1C88649P2の構成品の仕様を示します。

### S5U1C88649P2

寸法(mm): 184(横) × 152(奥行き) × 17(高さ)

#### I/O接続ケーブル(100pin/50pin × 2)

本機側コネクタ(100pin):

KEL 8830E-100-170L

ケーブル側コネクタ(100pin):

KEL 8822E-100-170L × 1

ケーブル側コネクタ(50pin):

コネクタ 3M 7950-B500SC × 2

ストレーンリリーフ 3M 3448-7950 × 2

ケーブル:

50芯フラットケーブル × 1

インタフェース:

CMOSインタフェース(3.3V)

長さ: 約40cm

#### I/O接続ケーブル(40pin/20pin × 2)

本機側コネクタ(40pin):

KEL 8830E-040-170L

ケーブル側コネクタ(40pin):

KEL 8822E-040-170L × 1

ケーブル側コネクタ(20pin):

コネクタ 3M 7920-B500SC × 2

ストレーンリリーフ 3M 3448-7920 × 2

ケーブル:

20芯フラットケーブル × 1

インタフェース:

CMOSインタフェース(3.3V)

長さ: 約40cm

#### 付属品

ターゲットシステム接続コネクタ(50pin):

3M 3433-6002LCSC × 2

ターゲットシステム接続コネクタ(20pin):

3M 3428-6002LCSC × 2

## Appendix B 漢字フォントの使用について

S1C88650で漢字フォントをLCDに表示させるためには、S5U1C88000R1(12×12 dot RIS 506 kanji font package)を使用します。

このパッケージは、日本レコード協会規格 RIS 506-1996に記載されているミュージックシフトJIS漢字に準拠した文字符号の12×12ドットサイズフォント(セイコーエプソンオリジナルデザイン<sup>注1</sup>)を、S1C88 Familyのプログラムに組み込める形式のデータで提供するものです。また、これらのフォントデータをLCDに表示するS1C88 Familyマイコン上で動作するサンプルプログラムおよびそのアプリケーションノート、お客さまがカスタムフォントデータを作成するときにご利用いただけるビットマップユーティリティが含まれています。

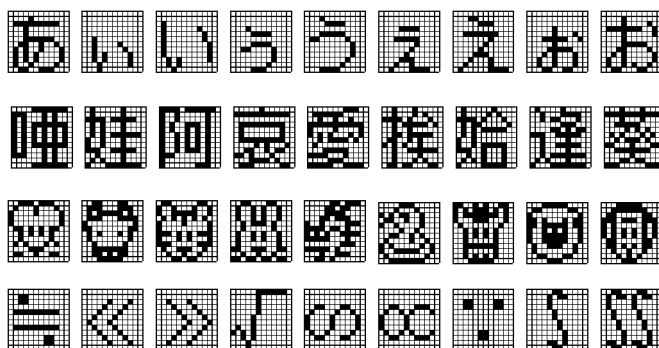
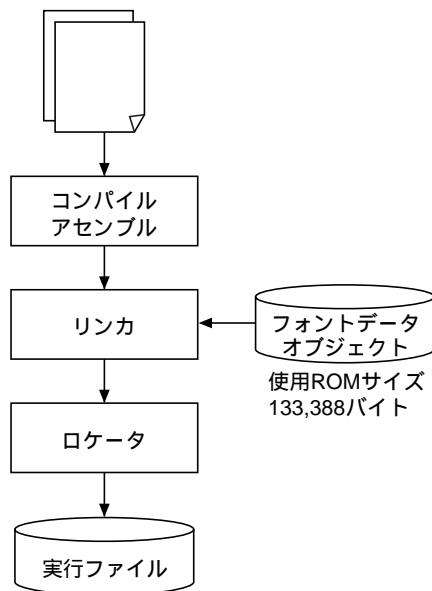
漢字フォントデータはS1C88 Familyのプログラムに組み込めるように、オブジェクトファイル形式(拡張子 \*.obj、アセンブラの出力ファイル)で提供され、お客さまが作成したアプリケーションプログラムにこのオブジェクトファイルをリンクすることで漢字フォントデータを簡単に使用することができます<sup>注2</sup>。

詳細は、"S5U1C88000R1 Manual"を参照してください。

注 1 パッケージに含まれる漢字フォントデータおよびマニュアルに記載の書体を利用するためには、あらかじめ弊社と書体使用許諾に関する契約を締結する必要があります。

2 キャラクタコードからフォントデータの取得、LCDへの表示等のプログラムはお客さまが作成する必要があります。

### ユーザ開発プログラム



抜粋した漢字フォントの書体です。

## セイコーエプソン株式会社 電子デバイス営業本部

### ED東日本営業部

#### 東京

〒191-8501 東京都日野市日野421-8  
TEL (042) 587-5313(直通) FAX (042) 587-5116

#### 仙台

〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F  
TEL (022) 263-7975(代表) FAX (022) 263-7990

### ED西日本営業部

#### 大阪

〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F  
TEL (06) 6120-6000(代表) FAX (06) 6120-6100

#### 名古屋

〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F  
TEL (052) 953-8031(代表) FAX (052) 953-8041

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com/domcfg.nsf>