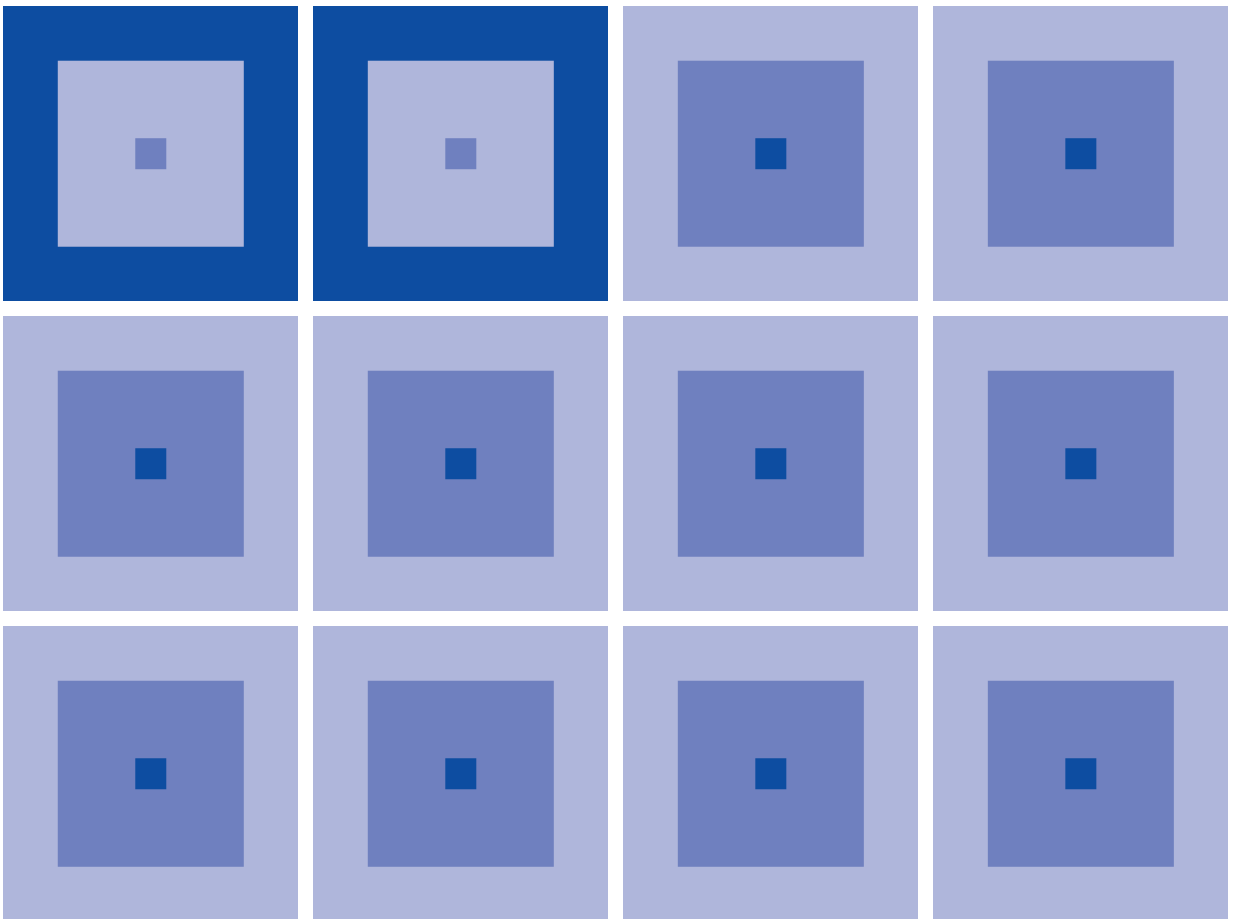


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER

S1C60N05

テクニカルマニュアル

S1C60N05 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

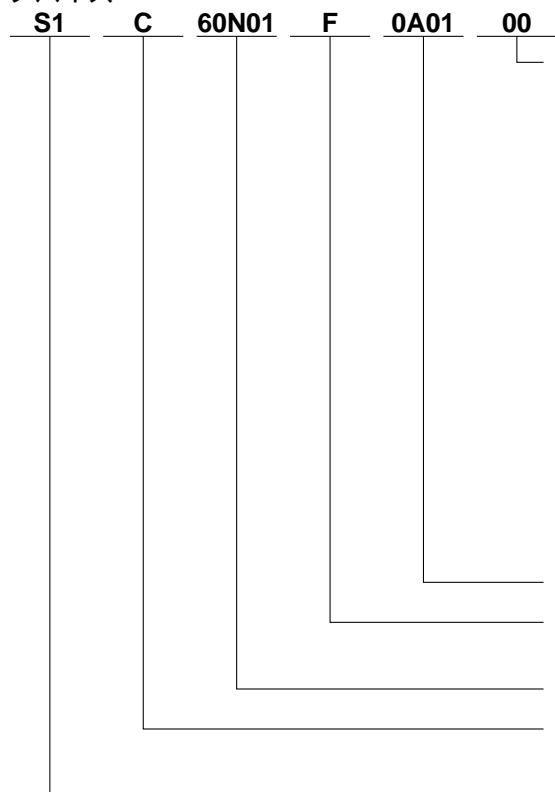
1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

本版で改訂または追加された箇所

章	節/項	頁	項目	内容
Appendix	B.2	79	A/Dコンバータの誤差要因	図B.2.4と説明文を追加
	C	82	特性定格	表を変更
			外形寸法図	図を変更

製品型番体系

デバイス



梱包仕様

00 : テープ&リール以外
 0A : TCP BL 2方向
 0B : テープ&リール BACK
 0C : TCP BR 2方向
 0D : TCP BT 2方向
 0E : TCP BD 2方向
 0F : テープ&リール FRONT
 0G : TCP BT 4方向
 0H : TCP BD 4方向
 0J : TCP SL 2方向
 0K : TCP SR 2方向
 0L : テープ&リール LEFT
 0M : TCP ST 2方向
 0N : TCP SD 2方向
 0P : TCP ST 4方向
 0Q : TCP SD 4方向
 0R : テープ&リール RIGHT
 99 : 梱包仕様未定

仕様

形状

[D: ペアチップ、F: QFP]

機種番号

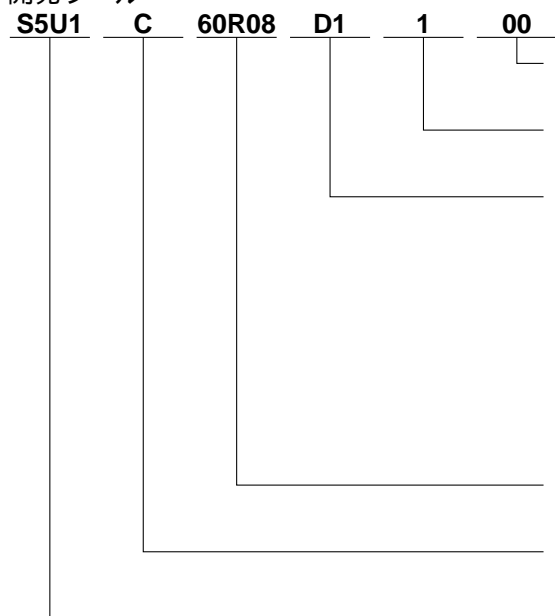
機種名称

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

Hx : ICE
 Ex : EVAボード
 Px : ペリフェラルボード
 Wx : FLASHマイコン用ROMライター
 Xx : ROMライター周辺ボード
 Cx : Cコンパイラパッケージ
 Ax : アセンブラパッケージ
 Dx : 機種別ユーティリティツール
 Qx : ソフトシミュレータ

対応機種番号

[60R08: S1C60R08用]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

- 目 次 -

1	概要	1
1.1	機種構成	1
1.2	特長	1
1.3	ブロック図	2
1.4	端子配置図	3
1.5	端子説明	4
2	電源およびイニシャルリセット	5
2.1	電源	5
2.2	イニシャルリセット	7
2.2.1	発振検出回路	8
2.2.2	リセット端子 (RESET)	8
2.2.3	入力ポート (K00 ~ K03) の同時HIGH入力	8
2.2.4	イニシャルリセット時の内部レジスタ	9
2.3	テスト端子 (TEST)	9
3	CPU, ROM, RAM	10
3.1	CPU	10
3.2	ROM	10
3.3	RAM	10
4	周辺回路と動作	11
4.1	メモリマップ	11
4.2	発振回路	14
4.2.1	水晶発振回路	14
4.2.2	CR発振回路	14

4.3	入力ポート (K00 ~ K03)	15
4.3.1	入力ポートの構成	15
4.3.2	割り込み機能	15
4.3.3	マスクオプション	16
4.3.4	入力ポートの制御	16
4.4	出力ポート (R00 ~ R03)	18
4.4.1	出力ポートの構成	18
4.4.2	マスクオプション	19
4.4.3	出力ポートの制御	21
4.5	入出力兼用ポート (P00 ~ P03)	23
4.5.1	入出力兼用ポートの構成	23
4.5.2	I/Oコントロールレジスタと入力/出力モード	23
4.5.3	マスクオプション	24
4.5.4	入出力兼用ポートの制御	24
4.6	LCDドライバ (COM0 ~ COM3, SEG0 ~ SEG19)	26
4.6.1	LCDドライバの構成	26
4.6.2	発振周波数の歩度調整	32
4.6.3	マスクオプション	33
4.6.4	LCDドライバの制御	35
4.7	計時タイマ	36
4.7.1	計時タイマの構成	36
4.7.2	割り込み機能	36
4.7.3	計時タイマの制御	37
4.8	A/Dコンバータ	39
4.8.1	A/Dコンバータの構成	39
4.8.2	A/Dコンバータの動作	40
4.8.3	割り込み機能	43
4.8.4	A/Dコンバータの使用例	44
4.8.5	A/Dコンバータの制御	45
4.9	重負荷保護機能	48
4.9.1	重負荷保護機能の動作	48
4.9.2	重負荷保護機能の制御	48
4.10	割り込みとHALT	49
4.10.1	割り込み要因	50
4.10.2	割り込みの個別マスク	51
4.10.3	割り込みベクタ	51
4.10.4	割り込みの制御	52

5	基本外部結線図	53
6	電気的特性	55
6.1	絶対最大定格	55
6.2	推奨動作条件	56
6.3	DC特性	57
6.4	アナログ回路特性・消費電流	59
6.5	発振特性	63
7	パッケージ	65
7.1	プラスチックパッケージ	65
7.2	テストサンプル用セラミックパッケージ	66
8	パッド配置	67
8.1	パッド配置図	67
8.2	パッド座標	68
9	実装上の注意事項	69
	Appendix S1C60N05技術情報	71
A	温度計の設計手順	71
A.1	設計手順	71
A.2	コンデンサ容量と発振周波数の求め方	73
A.3	アップカウンタ初期値の設定	73
A.4	直線近似による表示温度の算出	74
B	誤差要因	76
B.1	サーミスタ抵抗値のばらつき	76
B.2	A/Dコンバータの誤差要因	76
B.3	浮遊容量による誤差	80
B.4	ソフトウェア上の誤差	80
C	参考: ATサーミスタの仕様	81

1.3 ブロック図

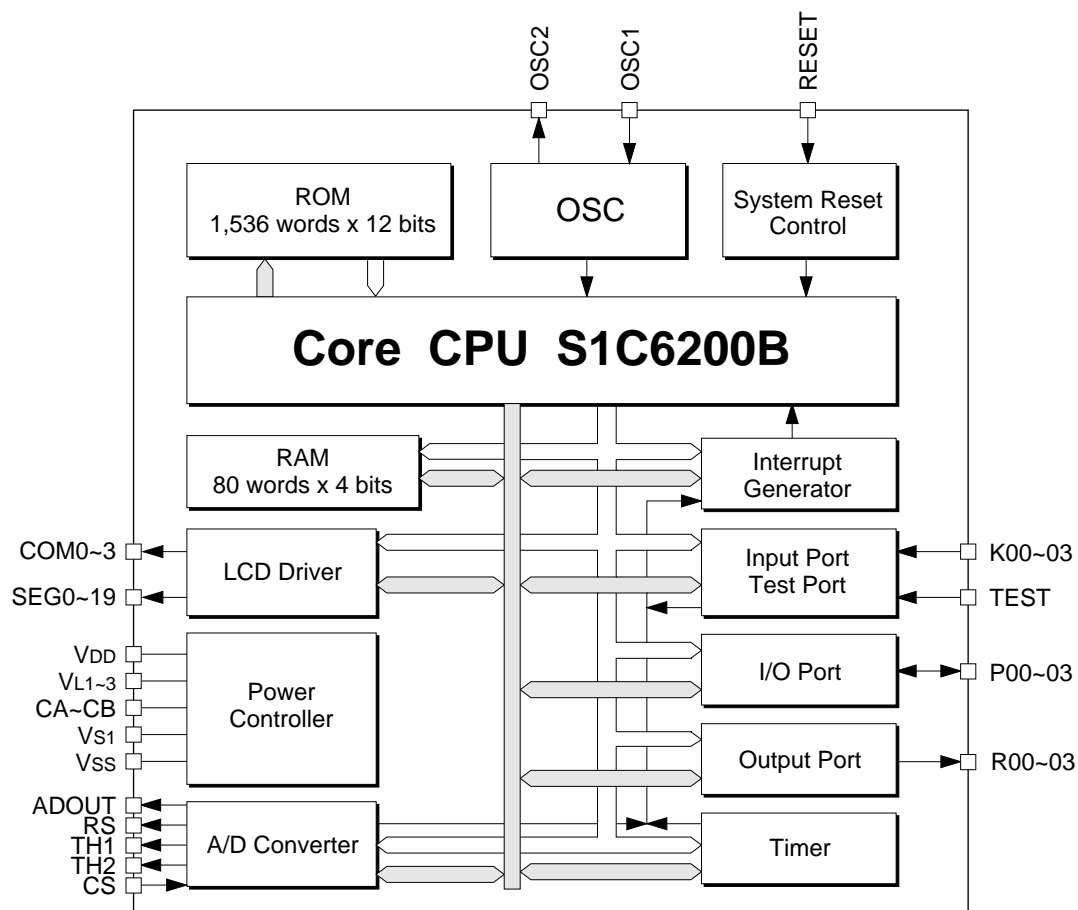
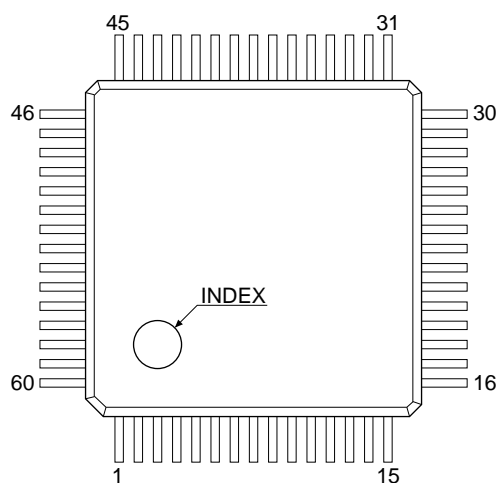


図1.3.1 ブロック図

1.4 端子配置図

QFP6-60pin



ピン番号	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号	端子名
1	非接続	16	非接続	31	TEST	46	VL3
2	非接続	17	ADOUT	32	RESET	47	VL2
3	K00	18	SEG0	33	SEG12	48	VL1
4	K01	19	SEG1	34	SEG13	49	CA
5	K02	20	SEG2	35	SEG14	50	CB
6	K03	21	SEG3	36	SEG15	51	VSS
7	R00	22	SEG4	37	SEG16	52	VDD
8	R01	23	SEG5	38	SEG17	53	OSC1
9	R02	24	SEG6	39	SEG18	54	OSC2
10	R03	25	SEG7	40	SEG19	55	VS1
11	RS	26	SEG8	41	COM0	56	P00
12	TH1	27	SEG9	42	COM1	57	P01
13	TH2	28	SEG10	43	COM2	58	P02
14	CS	29	SEG11	44	COM3	59	P03
15	非接続	30	非接続	45	非接続	60	非接続

図1.4.1 端子配置図

1.5 端子説明

表1.5.1 端子説明

端子名	ピン番号	入出力	機 能
VDD	52	(I)	電源(+)端子
VSS	51	(I)	電源(-)端子
Vs1	55	O	発振および内部ロジック系定電圧出力端子
VL1	48	O	LCD系定電圧出力端子
VL2	47	O	LCD系昇圧出力端子
VL3	46	O	LCD系昇圧出力端子
CA, CB	49, 50	–	昇圧キャパシタ接続端子
OSC1	53	I	水晶またはCR発振入力端子
OSC2	54	O	水晶またはCR発振出力端子
K00~K03	3~6	I	入力端子
P00~P03	56~59	I/O	入出力端子
R00~R03	7~10	O	出力端子
SEG0~19	18~29 33~40	O	LCDセグメント出力端子 (マスクオプションによりDC出力端子へ転用可)
COM0~3	41~44	O	LCDコモン出力端子
CS	14	I	A/Dコンバータ CR発振入力端子
RS	11	O	A/Dコンバータ CR発振出力端子
TH1, TH2	12, 13	O	A/Dコンバータ CR発振出力端子
ADOUT	17	O	A/Dコンバータ 発振周波数出力端子
RESET	32	I	初期設定入力端子
TEST	31	I	テスト入力端子

2 電源およびイニシャルリセット

2.1 電源

S1C60N05シリーズは外部より単一電源(*)を $V_{DD} - V_{SS}$ 間に与えることにより、内部に必要な電圧を定電圧回路(発振回路および内部回路用電圧 $\langle V_{S1} \rangle$)および昇降圧回路(LCD駆動用電圧 $\langle V_{L2} \rangle$ 、 $\langle V_{L3} \rangle$ または $\langle V_{L1} \rangle$ 、 $\langle V_{L3} \rangle$)により発生します。

S1C60N05の4.5V LCDパネル用電源をマスクオプションで選択した場合、 $\langle V_{L2} \rangle$ はIC内部で $\langle V_{SS} \rangle$ と短絡され、 $\langle V_{L1} \rangle$ と $\langle V_{L3} \rangle$ が昇降圧回路より出力されます。3.0Vパネル用電源を選択した場合は $\langle V_{L3} \rangle$ がIC内部で $\langle V_{SS} \rangle$ と短絡され、 $\langle V_{L1} \rangle$ と $\langle V_{L2} \rangle$ が降圧回路より出力されます。

S1C60L05では $\langle V_{L1} \rangle$ がIC内部で $\langle V_{SS} \rangle$ と短絡され、 $\langle V_{L2} \rangle$ と $\langle V_{L3} \rangle$ が昇圧回路より出力されます。定電圧回路にて発生される内部回路用電圧 $\langle V_{S1} \rangle$ は-1.2V(V_{DD} 基準)となります。

* 電源電圧: S1C60N05 3.0V
S1C60L05 1.5V

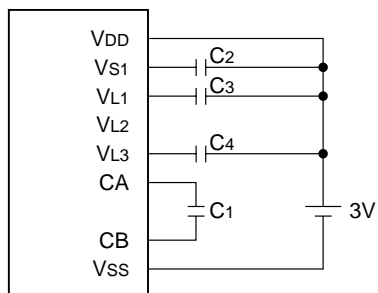
注: • 定電圧回路および昇降圧回路の出力電圧による外付け負荷の駆動は禁止します。
• 電圧値については"6 電気的特性"を参照してください。

図2.1.1にLCD系定電圧回路を使用しない場合の外付け部品の構成を示します。

S1C60N05の場合

<LCD 4.5V用パネル>

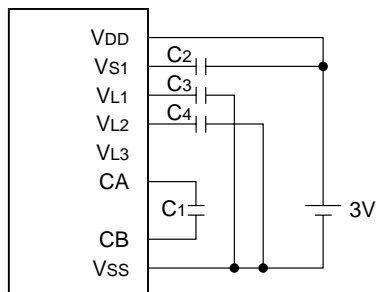
1/4、1/3、1/2デューティ、1/3バイアス



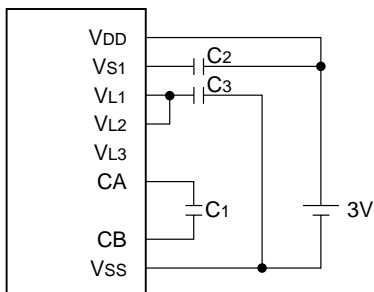
注: IC内部でVL2とVSSが短絡されます。

<LCD 3V用パネル>

1/4、1/3、1/2デューティ、1/3バイアス



1/4、1/3、1/2デューティ、1/2バイアス

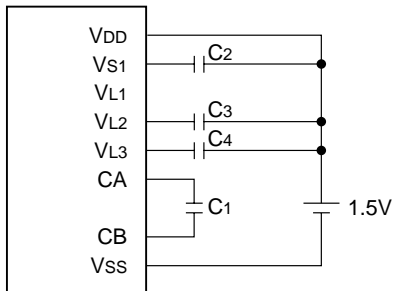


注: IC内部でVL3とVSSが短絡されます。

S1C60L05の場合

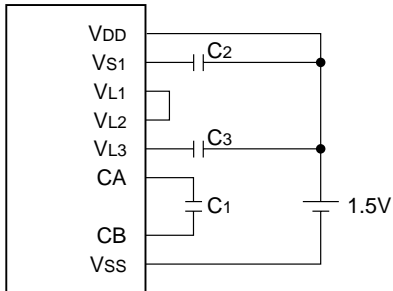
<LCD 4.5V用パネル>

1/4、1/3、1/2デューティ、1/3バイアス



<LCD 3V用パネル>

1/4、1/3、1/2デューティ、1/2バイアス



注: IC内部でVL1とVSSが短絡されます。

図2.1.1 LCD系定電圧回路を使用しない場合の外付け部品の構成

2.2 イニシャルリセット

S1C60N05シリーズは回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては以下の3種類があります。

- (1) 発振検出回路によるイニシャルリセット (注)
- (2) RESET端子による外部イニシャルリセット
- (3) K00～K03端子の同時HIGHレベル入力による外部イニシャルリセット (マスクオプションで設定)

図2.2.1にイニシャルリセット回路の構成を示します。

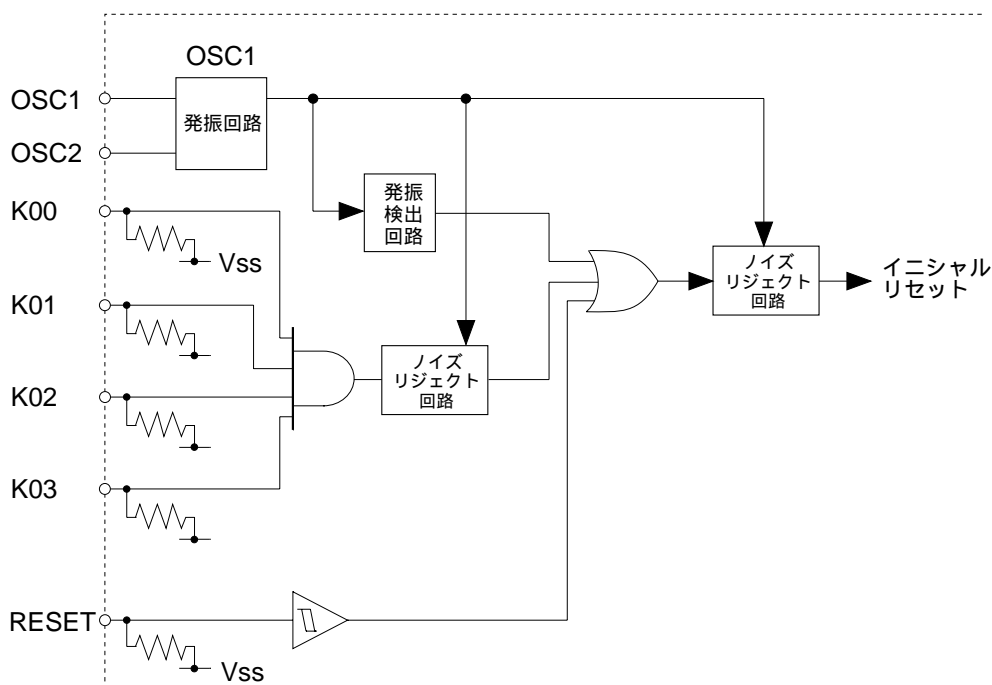


図2.2.1 イニシャルリセット回路の構成

注: (1)の発振検出回路によるイニシャルリセットは、電源の投入方法により回路が正常に動作しない場合もありますので、(2)、(3)に示すいずれかのイニシャルリセットの方法を採用してください。

2.2.1 発振検出回路

発振検出回路は電源投入時に発振回路が発振を開始するまで、または何らかの原因で発振回路が停止した場合にイニシャルリセット信号を出力しますが、発振検出回路によるイニシャルリセットは、電源の投入方法により回路が正常に動作しない場合もありますので、以下に示すいずれかのイニシャルリセットの方法を採用してください。

2.2.2 リセット端子 (RESET)

外部よりリセット端子をHIGHレベルにすることにより、イニシャルリセットが行えます。イニシャルリセット回路はノイズリジェクト回路を内蔵しているため、5ms(発振周波数 $f_{osc}=32\text{kHz}$ の場合)以上HIGHレベルを保ってください。リセット端子がLOWレベルになると、CPUが動作を開始します。

2.2.3 入力ポート(K00 ~ K03)の同時HIGH入力

マスクオプションで選択された入力ポート(K00 ~ K03)に外部から同時にHIGH入力を与えることによりイニシャルリセットが行えます。ノイズリジェクト回路を内蔵しているため、4秒(発振周波数 $f_{osc}=32\text{kHz}$ の場合)以上、指定の入力ポート端子をHIGHレベルに保ってください。表2.2.3.1にマスクオプションで選択できる入力ポート(K00 ~ K03)の組合せを示します。

表2.2.3.1 入力ポートの組合せ

A	使用しない
B	K00 * K01
C	K00 * K01 * K02
D	K00 * K01 * K02 * K03

たとえば、マスクオプションでDの"K00 * K01 * K02 * K03"を選択した場合、K00 ~ K03の4端子の入力が同時にHIGHレベルになったときにイニシャルリセットを行います。

なお、この機能を使用する場合、通常動作時に指定ポートが同時にHIGHレベルにならないように注意してください。

2.2.4 イニシャルリセット時の内部レジスタ

イニシャルリセットにより、CPUは以下のように初期化されます。

表2.2.4.1 初期設定値

CPU コア			
名 称	記号	ビット長	設定値
プログラムカウンタステップ	PCS	8	00H
プログラムカウンタページ	PCP	4	1H
ニューページポインタ	NPP	4	1H
スタックポインタ	SP	8	不定
インデックスレジスタX	X	8	不定
インデックスレジスタY	Y	8	不定
レジスタポインタ	RP	4	不定
汎用Aレジスタ	A	4	不定
汎用Bレジスタ	B	4	不定
割り込みフラグ	I	1	0
デシマルフラグ	D	1	0
ゼロフラグ	Z	1	不定
キャリーフラグ	C	1	不定

周辺回路		
名 称	ビット長	設定値
RAM	80 × 4	不定
表示メモリ	20 × 4	不定
その他の周辺回路	-	*

* "4.1 メモリマップ"参照

2.3 テスト端子 (TEST)

ICの出荷検査時に使用する端子です。通常動作時は必ずVssに接続してください。

3 CPU, ROM, RAM

3.1 CPU

S1C60N05シリーズはCPU部分に4ビットコアCPU S1C6200Bを使用しているため、レジスタ構成、命令等は他のS1C6200Bを使用したファミリプロセッサとほぼ同様です。S1C6200Bについては"S1C6200/6200AコアCPUマニュアル"を参照してください。

なお、S1C60N05シリーズにおいては、以下の点に注意してください。

- (1) SLEEP動作を想定していないため、SLP命令は使用できません。
- (2) ROM容量が1,536ワード(12ビット/ワード)のためバンクビットの必要がなく、PCBおよびNBPは使用していません。
- (3) RAMは0ページのみを設定となっているため、RAMアドレスの指定を行うインデックスレジスタのページ部分(XP、YP)は無効となります。

このため、以下の命令は使用できません。

PUSH	XP	PUSH	YP
POP	XP	POP	YP
LD	XP,r	LD	YP,r
LD	r,XP	LD	r,YP

3.2 ROM

内蔵ROMはプログラム格納用のマスクROMで、1,536ステップ×12ビットの容量があります。プログラム領域は6ページ(0～5)×256ステップ(00H～FFH)となっており、イニシャルリセット後のプログラム開始番地が1ページ00Hステップに、割り込みベクタが1ページ01H～07Hステップに割り当てられています。

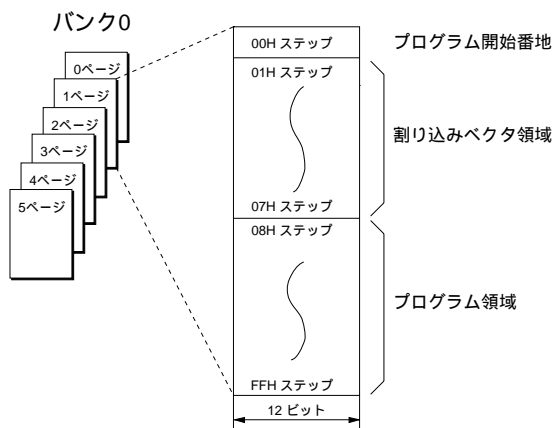


図3.2.1 ROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、80ワード×4ビットの容量があります。プログラミングの際には以下の点に注意してください。

- (1) RAMの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (2) サブルーチンコール、割り込み等ではスタック領域を3ワード消費します。
- (3) RAMのアドレス00H～0FHはレジスタポインタRPによってアドレス指定されるメモリレジスタ領域です。

4 周辺回路と動作

S1C60N05シリーズの周辺回路(タイマ、I/O等)はメモリマップド方式でCPUとインタフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下、各周辺回路の動作について説明します。

4.1 メモリマップ

S1C60N05シリーズのデータメモリは137ワードのアドレス空間を持っており、そのうち32ワードが表示メモリ、25ワードがI/Oメモリとして割り付けられています。

図4.1.1にS1C60N05シリーズの全体のメモリマップを、表4.1.1(a)、(b)に周辺回路(I/O空間)のメモリマップを示します。

Address Page	Low High	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
		M0	M1	M2	M3	M4	M5	M6	M7	M8	M9	MA	MB	MC	MD	ME	MF
0	0	RAM領域 (000H ~ 04FH) 80ワード x 4ビット (R/W)															
	1																
	2																
	3																
	4																
	5																
	6																
	7																
	8																
	9	表示メモリ領域 (090H ~ 0AFH) 32ワード x 4ビット (書き込み専用)															
	A																
	B																
	C																
	D																
	E																
	F																
		I/Oメモリ 表4.1.1(a), (b)															


 未使用領域

図4.1.1 メモリマップ

注: メモリマップ中の未使用領域、およびこの章で示されていないメモリ領域にはメモリが実装されていません。このため、これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

表4.1.1(a) I/Oメモリマップ (アドレス 0E0H ~ 0EFH)

アドレス	レジスタ								注釈
	D3	D2	D1	D0	Name	Init *1	1	0	
0E0H	K03	K02	K01	K00	K03	— *2	High	Low	入力ポートデータ K03
					K02	— *2	High	Low	入力ポートデータ K02
					K01	— *2	High	Low	入力ポートデータ K01
					K00	— *2	High	Low	入力ポートデータ K00
0E3H	TM3	TM2	TM1	TM0	TM3	— *3	High	Low	計時タイマデータ 2Hz
					TM2	— *3	High	Low	計時タイマデータ 4Hz
					TM1	— *3	High	Low	計時タイマデータ 8Hz
					TM0	— *3	High	Low	計時タイマデータ 16Hz
0E4H	TC3	TC2	TC1	TC0	TC3	— *3	1	0	アップダウンカウンタデータ TC3
					TC2	— *3	1	0	アップダウンカウンタデータ TC2
					TC1	— *3	1	0	アップダウンカウンタデータ TC1
					TC0	— *3	1	0	アップダウンカウンタデータ TC0 (LSB)
0E5H	TC7	TC6	TC5	TC4	TC7	— *3	1	0	アップダウンカウンタデータ TC7
					TC6	— *3	1	0	アップダウンカウンタデータ TC6
					TC5	— *3	1	0	アップダウンカウンタデータ TC5
					TC4	— *3	1	0	アップダウンカウンタデータ TC4
0E6H	TC11	TC10	TC9	TC8	TC11	— *3	1	0	アップダウンカウンタデータ TC11
					TC10	— *3	1	0	アップダウンカウンタデータ TC10
					TC9	— *3	1	0	アップダウンカウンタデータ TC9
					TC8	— *3	1	0	アップダウンカウンタデータ TC8
0E7H	TC15	TC14	TC13	TC12	TC15	— *3	1	0	アップダウンカウンタデータ TC15 (MSB)
					TC14	— *3	1	0	アップダウンカウンタデータ TC14
					TC13	— *3	1	0	アップダウンカウンタデータ TC13
					TC12	— *3	1	0	アップダウンカウンタデータ TC12
0E8H	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ K03
					EIK02	0	Enable	Mask	割り込みマスクレジスタ K02
					EIK01	0	Enable	Mask	割り込みマスクレジスタ K01
					EIK00	0	Enable	Mask	割り込みマスクレジスタ K00
0EBH	0	EIT2	EIT8	EIT32	0				*5
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(タイマ) 2Hz
					EIT8	0	Enable	Mask	割り込みマスクレジスタ(タイマ) 8Hz
					EIT32	0	Enable	Mask	割り込みマスクレジスタ(タイマ) 32Hz
0ECH	0	0	0	EIAD	0				*5
					0				*5
					0				*5
					EIAD	0	Enable	Mask	割り込みマスクレジスタ(A/D)
0EDH	0	0	0	IK0	0				*5
					0				*5
					0				*5
					IK0	0	Yes	No	割り込み要因フラグ(K00 ~ K03)
0EFH	0	IT2	IT8	IT32	0				*5
					IT2	0	Yes	No	割り込み要因フラグ(タイマ) 2Hz
					IT8	0	Yes	No	割り込み要因フラグ(タイマ) 8Hz
					IT32	0	Yes	No	割り込み要因フラグ(タイマ) 32Hz

I/Oメモリマップの * は以下のとおりです。

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 不定

*4 読み出し直後、リセット(0)

*5 読み出し時は常時"0"

*6 本編参照

表4.1.1(b) I/Oメモリマップ (アドレス 0F0H ~ 0FEH)

アドレス	レジスタ								注釈
	D3	D2	D1	D0	Name	Init *1	1	0	
0F0H	0	0	0	IAD	0				*5
					0				*5
					0				*5
	R				IAD	0	Yes	No	割り込み要因フラグ(A/D) *4
0F1H	CHTH	0	0	ADRUN	CHTH	0	TH2	TH1	A/Dチャンネル選択 *5
					0				*5
	R/W	R		R/W	ADRUN	0	Start	Stop	A/D変換 Start/Stop
0F3H	R03	R02	R01	R00	R03	0	High	Low	出力ポートデータ R03
					R02	0	High	Low	出力ポートデータ R02
			BUZZER	FOUT	R01	0	High	Low	出力ポートデータ R01
					BUZZER	0	On	Off	ブザー On/Off 制御レジスタ
	R/W				R00	0	High	Low	出力ポートデータ R00
					FOUT	0	On	Off	周波数出力制御レジスタ
0F4H	P03	P02	P01	P00	P03	— *2	High	Low	入出力ポートデータ P03
					P02	— *2	High	Low	入出力ポートデータ P02
	R/W				P01	— *2	High	Low	入出力ポートデータ P01
					P00	— *2	High	Low	入出力ポートデータ P00
0F5H	C3	C2	C1	C0	C3	— *3	1	0	アップカウンタデータ C3
					C2	— *3	1	0	アップカウンタデータ C2
	R/W				C1	— *3	1	0	アップカウンタデータ C1
					C0	— *3	1	0	アップカウンタデータ C0 (LSB)
0F6H	C7	C6	C5	C4	C7	— *3	1	0	アップカウンタデータ C7
					C6	— *3	1	0	アップカウンタデータ C6
	R/W				C5	— *3	1	0	アップカウンタデータ C5
					C4	— *3	1	0	アップカウンタデータ C4
0F7H	C11	C10	C9	C8	C11	— *3	1	0	アップカウンタデータ C11
					C10	— *3	1	0	アップカウンタデータ C10
	R/W				C9	— *3	1	0	アップカウンタデータ C9
					C8	— *3	1	0	アップカウンタデータ C8
0F8H	C15	C14	C13	C12	C15	— *3	1	0	アップカウンタデータ C15 (MSB)
					C14	— *3	1	0	アップカウンタデータ C14
	R/W				C13	— *3	1	0	アップカウンタデータ C13
					C12	— *3	1	0	アップカウンタデータ C12
0F9H	0	0	0	TMRST	0				*5
					0				*5
					0				*5
	R			W	TMRST	Reset	Reset	—	計時タイマリセット *5
0FAH	HLMOD	0	0	0	HLMOD	0	Heavy	Normal	重負荷保護モード *5
					0				*5
	R/W	R			0				*5
					0				
0FBH	CSDC	0	0	0	CSDC	0	Static	Dynamic	LCD駆動切り換え *5
					0				*5
	R/W	R			0				*5
					0				
0FCH	0	0	0	IOC	0				*5
					0				*5
	R			R/W	0				*5
					IOC	0	Out	In	入出力 In/Out 制御レジスタ
0FDH	XBZR	0	XFOUT1	XFOUT0	XBZR	0	2kHz	4kHz	ブザー周波数制御 *5
					0				*5
	R/W	R	R/W		XFOUT1	0			FOUT周波数制御 *6
					XFOUT0	0			FOUT周波数制御 *6
0FEH	0	0	0	ADCLK	0				*5
					0				*5
	R			R/W	0				*5
					ADCLK	0	65kHz	32kHz	A/Dクロック選択 65kHz/32kHz

4.2 発振回路

S1C60N05シリーズは発振回路を内蔵しています。

発振回路は水晶発振またはCR発振がマスクオプションによって選択できます。

4.2.1 水晶発振回路

水晶発振回路は外付け素子として水晶振動子(Typ. 32.768kHz)とトリマコンデンサ(5 ~ 25pF)を接続することにより、CPUおよび周辺回路の動作クロックを発生します。

図4.2.1.1に水晶発振回路の構成を示します。

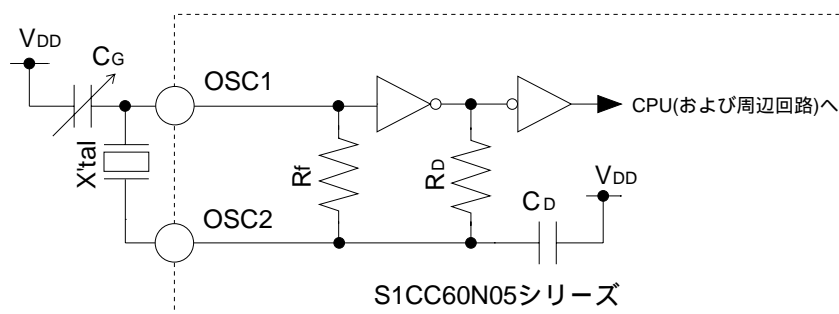


図4.2.1.1 水晶発振回路の構成

図4.2.1.1に示すとおり、OSC1端子とOSC2端子間に水晶振動子(X'tal)を、OSC1端子とV_{DD}間にトリマコンデンサ(C_G)をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。

4.2.2 CR発振回路

S1C60N05シリーズはマスクオプションによりCR発振回路(Typ. 65kHz)を選択することができます。

図4.2.2.1にCR発振回路の構成を示します。

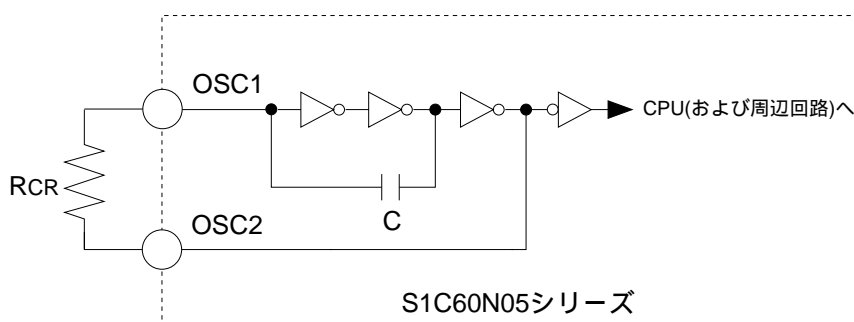


図4.2.2.1 CR発振回路の構成

図4.2.2.1に示すとおり、容量(C)が内蔵されているため、OSC1端子とOSC2端子間に抵抗(R_{CR})を接続するだけでCR発振回路を構成することができます。R_{CR}の値については"6 電気的特性"を参照してください。

4.3 入力ポート (K00 ~ K03)

4.3.1 入力ポートの構成

S1C60N05シリーズは4ビットの汎用入力ポートを内蔵しています。入力ポートの各ビットにはマスクオプションによりプルダウン抵抗を付加することができます。

図4.3.1.1に入力ポートの構成を示します。

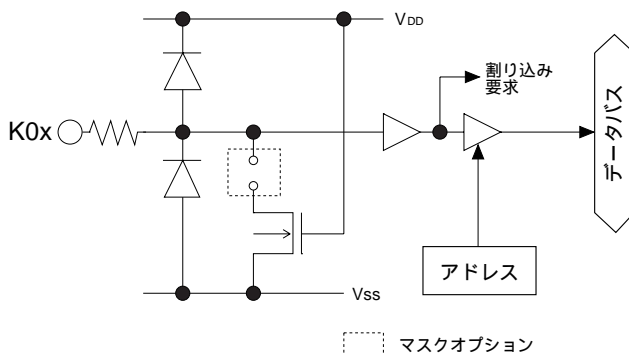


図4.3.1.1 入力ポートの構成

マスクオプションにより入力ポートにプルダウン抵抗を付加した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。プルダウン抵抗を付加しない場合はスライドスイッチ、他LSIとのインタフェースなどに使用できます。

4.3.2 割り込み機能

入力ポート4ビット(K00 ~ K03)は、すべて割り込み機能を持っています。割り込みの発生条件と割り込みのマスクは、ソフトウェアにより各ビット個別に設定することができます。

図4.3.2.1に入力割り込み回路の構成を示します。

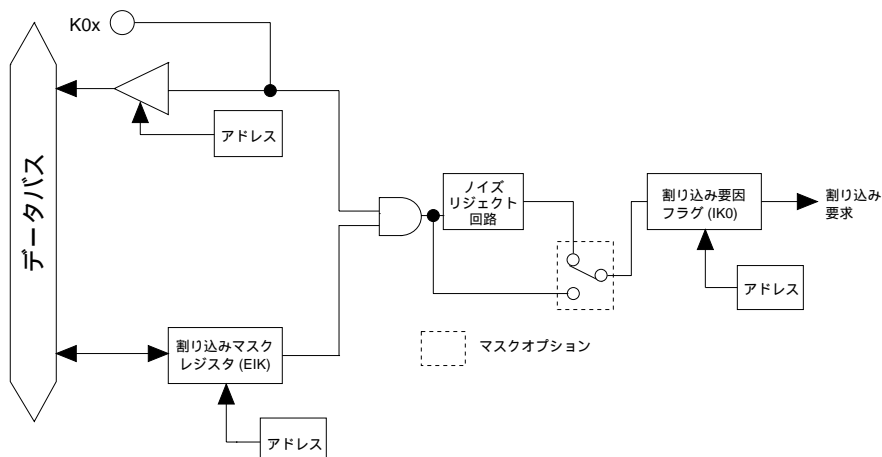


図4.3.2.1 入力割り込み回路の構成

割り込みマスクレジスタEIK00 ~ EIK03により、入力割り込みのマスクを個別に設定することができます。K00 ~ K03の入力割り込みは、割り込みマスクレジスタにより割り込みが許可されている入力の立上りエッジで発生します。このとき、割り込み要因フラグIK0が"1"にセットされます。

4.3.3 マスクオプション

入力ポートのマスクオプションで選択できる内容は以下のとおりです。

- (1) 4ビットの入力ポート(K00～K03)に対して、1ビットごとに内蔵プルダウン抵抗の有無を選択できます。
"プルダウン抵抗なし"を選択した場合は、入力にフローティング状態が発生しないように注意してください。
使用しない入力ポートには"プルダウン抵抗あり"を選択してください。
- (2) ノイズ等による割り込みの誤発生を防ぐため、入力割り込み回路にはノイズリジェクト回路が内蔵されています。
このノイズリジェクト回路を使用するかしないか、入力端子ごとに選択できます。
"使用する"を選択した場合、割り込み条件成立から割り込み要因フラグIK0が"1"にセットされるまで、最大0.5ms($f_{osc}=32kHz$)の遅延が生じます。

4.3.4 入力ポートの制御

表4.3.4.1に入力ポートの制御レジスタを示します。

表4.3.4.1 I/Oメモリ (入力ポート)

アドレス	レジスタ				注釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
0E0H	K03	K02	K01	K00	K03	– *2	High	Low	入力ポートデータ K03
					K02	– *2	High	Low	入力ポートデータ K02
					K01	– *2	High	Low	入力ポートデータ K01
	R				K00	– *2	High	Low	入力ポートデータ K00
0E8H	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ K03
					EIK02	0	Enable	Mask	割り込みマスクレジスタ K02
					EIK01	0	Enable	Mask	割り込みマスクレジスタ K01
	R/W				EIK00	0	Enable	Mask	割り込みマスクレジスタ K00
0EDH	0	0	0	IK0	0				*5
					0				*5
					0				*5
	R				IK0	0	Yes	No	割り込み要因フラグ(K00～K03) *4

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 不定

*4 読み出し直後、リセット(0)

*5 読み出し時は常時"0"

*6 本編参照

K00～K03: 入力ポートデータ (0E0H)

入力ポート端子の入力データをこれらのレジスタから読み出すことができます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポート4ビット(K00～K03)の端子電圧がそれぞれHIGH(V_{DD})レベルのときに"1"、LOW(V_{SS})レベルのときに"0"として読み出せます。

これらのレジスタは読み出し専用のため、書き込み動作は無効となります。

EIK00 ~ EIK03: 割り込みマスクレジスタ (0E8H)

入力割り込みのマスクを設定します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込みをマスク
読み出し: 可能

K00 ~ K03の各ビットごとに、割り込みのマスクを設定できます。

イニシャルリセット時、これらのレジスタはすべて"0"(割り込みをマスク)に設定されます。

IK0: 割り込み要因フラグ (0EDH D0)

入力割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込みあり
"0"読み出し: 割り込みなし
書き込み: 無効

IK0はK00 ~ K03に対応する割り込み要因フラグです。

このフラグを読み出すことによって、入力割り込みの有無を判断できます。なお、フラグは読み出し直後に"0"にリセットされます。

EI時、割り込み要因フラグの読み込みは可能ですが、以下の場合には注意が必要です。

読み込みもうとする割り込み要因フラグに対応する割り込みマスクレジスタの値が"1"にセットされている(マスクされていない)場合、割り込み要因フラグが"1"にセットされるタイミングにより、CPUに対し割り込み要求を発生する場合と、割り込み要因フラグが読み込みによりクリアされ、割り込み要求が発生しない場合があります。

イニシャルリセット時、このフラグは"0"(割り込みなし)に設定されます。

4.4 出力ポート (R00 ~ R03)

4.4.1 出力ポートの構成

S1C60N05シリーズは4ビットの出力ポートR00 ~ R03を内蔵しています。

各出力ポートの出力仕様は、マスクオプションによりコンプリメンタリ出力、あるいはPチャネルオープンドレイン出力のいずれかを選択できます。

また、出力ポートR00およびR01はマスクオプションにより特殊出力ポートとしても使用できます。

図4.4.1.1に出力ポートの構成を示します。

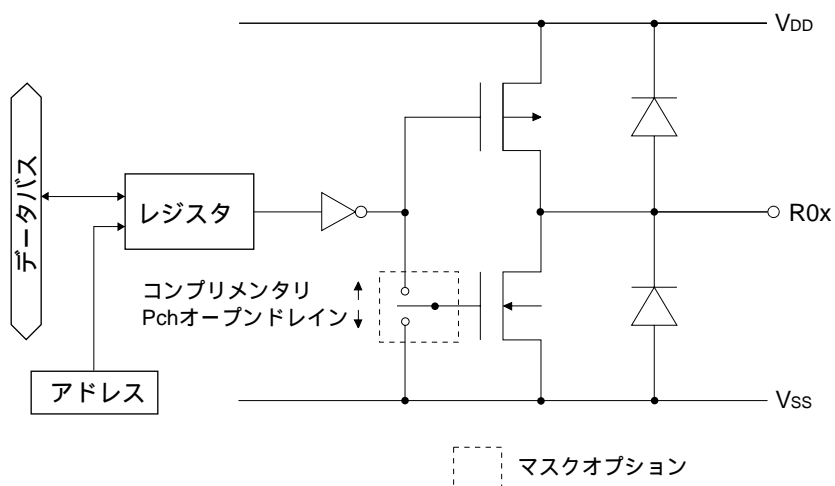


図4.4.1.1 出力ポートの構成

4.4.2 マスクオプション

出力ポートはマスクオプションにより以下の選択が行えます。

(1) 出力ポートの出力仕様

出力ポート(R00～R03)の出力仕様は、4ビットのポート個々にコンプリメンタリ出力、あるいはPチャンネルオープンドレイン出力のいずれかが選択できます。

ただし、Pチャンネルオープンドレイン出力を選択した場合でも、出力ポートに電源電圧を越える電圧の印加は禁止します。

(2) 特殊出力

出力ポートR00およびR01は通常のDC出力の他に、表4.4.2.1に示す特殊出力を選択できます。

図4.4.2.1に出力ポートR00～R03の構造を示します。

表4.4.2.1 特殊出力

レジスタ	特殊出力選択時
R00	FOUTまたはBUZZER出力
R01	BUZZER出力

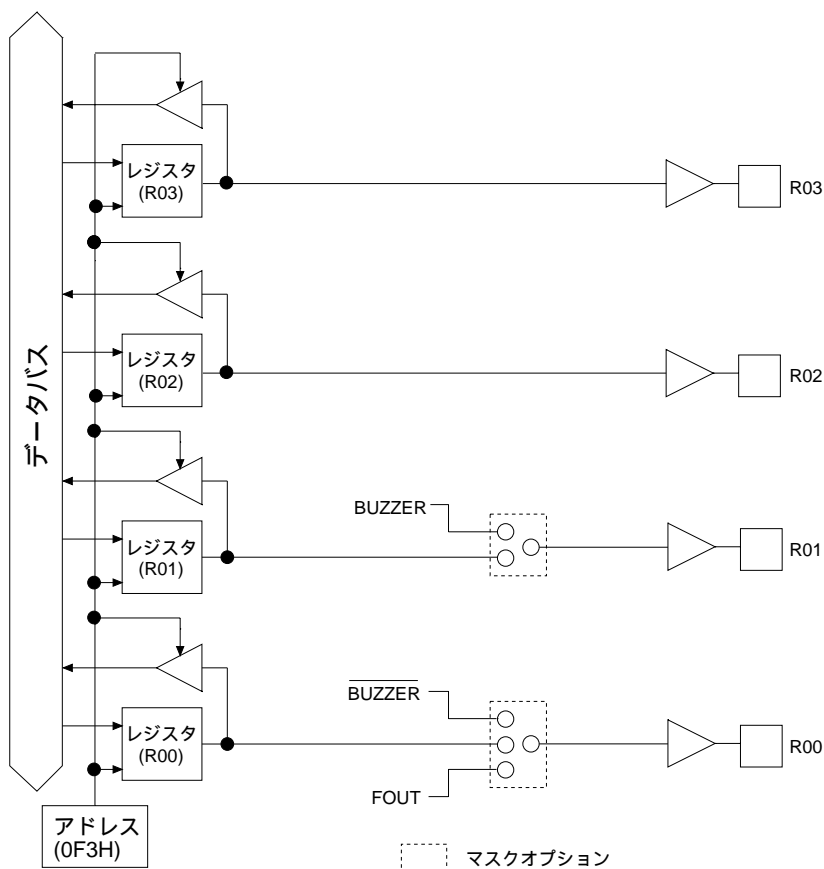


図4.4.2.1 出力ポートR00～R03の構造

FOUT (R00)

出力ポートR00をFOUT出力に設定した場合、このポートはfosc(CPU動作クロック周波数)またはfoscを分周したクロックを出力します。クロックの周波数はF1～F4のそれぞれについて5種類から1つをマスクオプションで選択でき、ソフトウェアでF1～F4のいずれかを選択して使用します。選択できる周波数の種類は表4.4.2.2のとおりです。

表4.4.2.2 FOUTクロック周波数

設定値	クロック周波数 (Hz) fosc=32,768			
	F1	F2	F3	F4
	(D1,D0)=(0,0)	(D1,D0)=(0,1)	(D1,D0)=(1,0)	(D1,D0)=(1,1)
1	256 (fosc/128)	512 (fosc/64)	1,024 (fosc/32)	2,048 (fosc/16)
2	512 (fosc/64)	1,024 (fosc/32)	2,048 (fosc/16)	4,096 (fosc/8)
3	1,024 (fosc/32)	2,048 (fosc/16)	4,096 (fosc/8)	8,192 (fosc/4)
4	2,048 (fosc/16)	4,096 (fosc/8)	8,192 (fosc/4)	16,384 (fosc/2)
5	4,096 (fosc/8)	8,192 (fosc/4)	16,384 (fosc/2)	32,768 (fosc/1)

(D1, D0) = (XFOUT1, XFOUT0)

注: FOUT出力信号はON/OFF時にハザードを生じる可能性があります。

BUZZER, $\overline{\text{BUZZER}}$ (R01, R00)

出力ポートR01とR00はそれぞれをBUZZER出力、 $\overline{\text{BUZZER}}$ 出力(BUZZER反転出力)に設定でき、圧電ブザーのダイレクト駆動が可能です。

$\overline{\text{BUZZER}}$ 出力(R00)は、R01をBUZZER出力にした場合のみ設定できます。この場合、 $\overline{\text{BUZZER}}$ 出力のON/OFFをR00レジスタで行うか、R01レジスタでBUZZER出力と同時に制御するかについてもマスクオプションで選択できます。

BUZZER出力の周波数は、2kHzまたは4kHzのいずれかをソフトウェアによって選択することができます。

注: BUZZER出力信号はON/OFF時にハザードを生じる可能性があります。

4.4.3 出力ポートの制御

表4.4.3.1に出力ポートの制御レジスタを示します。

表4.4.3.1 I/Oメモリ (出力ポート)

アドレス	レジスタ								注釈
	D3	D2	D1	D0	Name	Init *1	1	0	
0F3H	R03	R02	R01	R00	R03	0	High	Low	出力ポートデータ R03
			-----	-----	R02	0	High	Low	出力ポートデータ R02
			BUZZER	FOUT	R01	0	High	Low	出力ポートデータ R01
	R/W				BUZZER	0	On	Off	ブザー On/Off 制御レジスタ
					R00	0	High	Low	出力ポートデータ R00
					FOUT	0	On	Off	周波数出力制御レジスタ
0FDH	XBZR	0	XFOUT1	XFOUT0	XBZR	0	2kHz	4kHz	ブザー周波数制御
	R/W	R	R/W	0					*5
				XFOUT1	0			FOUT周波数制御	*6
				XFOUT0	0			FOUT周波数制御	*6

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 不定

*4 読み出し直後、リセット(0)

*5 読み出し時は常時"0"

*6 本編参照

R00 ~ R03: 出力ポートデータ (0F3H)

各出力ポートの出力データを設定します。

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

読み出し: 可能

出力ポート端子は対応するレジスタ(R00 ~ R03)に書き込まれたデータを出力します。レジスタに"1"を書き込んだ場合は出力ポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

イニシャルリセット時、これらのレジスタはすべて"0"になります。

R00 (FOUT選択時): 特殊出力データ (0F3H D0)

FOUT(クロック)出力を制御します。

"1"書き込み: クロック出力

"0"書き込み: LOWレベル(DC)出力

読み出し: 可能

R00レジスタへのデータ書き込みにより、FOUT出力を制御できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

図4.4.3.1にFOUT出力波形を示します。

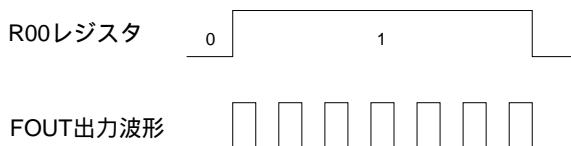


図4.4.3.1 FOUT出力波形

XFOUT0, XFOUT1: FOUT周波数制御 (0FDH D0, 0FDH D1)

R00ポートをFOUT出力に設定した場合の出力周波数を選択します。

表4.4.3.2 FOUT周波数の選択

XFOUT1	XFOUT0	選択周波数
0	0	F1
0	1	F2
1	0	F3
1	1	F4

イニシャルリセット時、これらのレジスタは"0"に設定されます。

R00, R01 (BUZZER, BUZZER選択時): 特殊出力データ (0F3H D0, 0F3H D1)

BUZZER、BUZZER(ブザー)出力を制御します。

"1"書き込み: ブザー出力

"0"書き込み: LOWレベル(DC)出力

読み出し: 可能

R00レジスタおよびR01レジスタへのデータ書き込みにより、BUZZER出力、BUZZER出力を制御できます。

マスクオプションによりBUZZER出力をR01レジスタ制御に設定した場合はR01レジスタへのデータ書き込みにより、BUZZER出力とBUZZER出力の双方を同時に制御できます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

図4.4.3.2にブザー出力波形を示します。

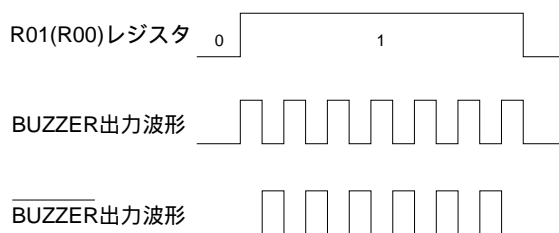


図4.4.3.2 BUZZER出力波形

XBZR: ブザー周波数制御 (0FDH D3)

ブザー周波数を選択します。

"1"書き込み: 2kHz

"0"書き込み: 4kHz

読み出し: 可能

R00、R01ポートをブザー出力に設定した場合に、ブザー周波数の選択を行います。レジスタに"1"を書き込むと2kHz、"0"を書き込むと4kHzに設定されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.5 入出力兼用ポート (P00 ~ P03)

4.5.1 入出力兼用ポートの構成

S1C60N05シリーズは4ビットの汎用入出力兼用ポートを内蔵しています。

図4.5.1.1に入出力兼用ポートの構成を示します。

入出力兼用ポート(P00 ~ P03)の4ビットは、I/Oコントロールレジスタ(IOC)にデータを書き込むことによって入力モードまたは出力モードに設定できます。

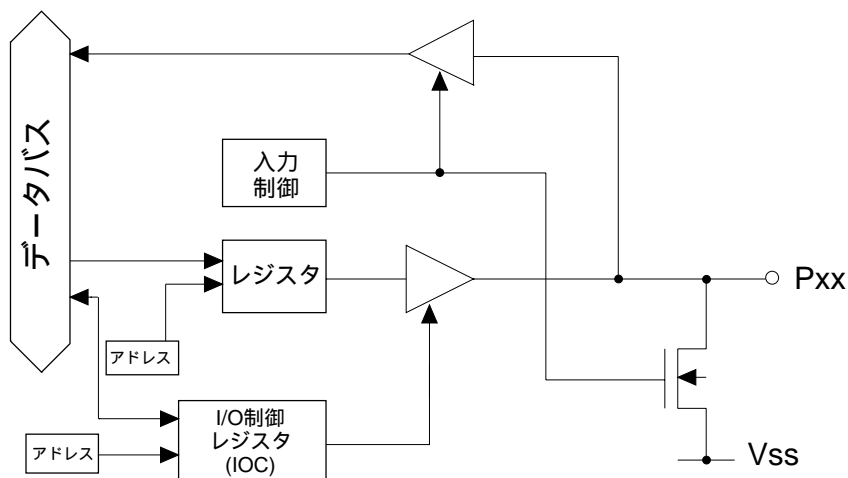


図4.5.1.1 入出力兼用ポートの構成

4.5.2 I/Oコントロールレジスタと入力/出力モード

入出力兼用ポートP00 ~ P03はI/OコントロールレジスタIOCにデータを書き込むことにより、入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はIOCに"0"を書き込みます。

入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、入力データの読み込み時は入力ラインがプルダウンされます。

出力モードに設定する場合はIOCに"1"を書き込みます。

出力モードに設定された入出力兼用ポートは出力ポートとして働き、レジスタへの書き込みデータが"1"のときにHIGH(V_{DD})レベル、"0"のときにLOW(V_{SS})レベルの出力を行います。

イニシャルリセット時、I/OコントロールレジスタIOCは"0"に設定され、入出力兼用ポートは入力モードになります。

4.5.3 マスクオプション

入出力兼用ポートは出力モード時(IOC="1")の出力仕様としてコンプリメンタリ出力、またはPチャンネルオープンドレイン出力のいずれかを選択することができます。この選択はポートの1ビットごとに行えます。

ただし、Pチャンネルオープンドレイン出力を選択した場合でも、ポートに電源電圧を越える電圧を印加することは禁止します。

4.5.4 入出力兼用ポートの制御

表4.5.4.1に入出力兼用ポートの制御レジスタを示します。

表4.5.4.1 I/Oメモリ (入出力兼用ポート)

アドレス	レジスタ				注釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
0F4H	P03	P02	P01	P00	P03	– *2	High	Low	入出力ポートデータ P03
					P02	– *2	High	Low	入出力ポートデータ P02
					P01	– *2	High	Low	入出力ポートデータ P01
					P00	– *2	High	Low	入出力ポートデータ P00
0FCH	R/W								
	0	0	0	IOC	0				*5
					0				*5
					0				*5
	R			R/W	IOC	0	Out	In	入出力 In/Out 制御レジスタ

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 不定

*4 読み出し直後、リセット(0)

*5 読み出し時は常時"0"

*6 本編参照

P00～P03: 入出力兼用ポートデータ (0F4H)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

• データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、このレジスタに書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

- データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合は出力電圧レベルが読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は読み出されるポートデータが"1"、LOW(V_{SS})レベルの場合は"0"となります。

また、読み出し時は内蔵プルダウン抵抗がONとなり、入出力兼用ポート端子がプルダウンされます。

注: • 入出力兼用ポートが出力モードに設定され、ポート端子に低インピーダンスの負荷が接続されている場合、レジスタに書き込んだデータと読み出したデータが異なることがあります。

• 入出力兼用ポートが入力モードに設定され、入力が内蔵プルダウンによりHIGH(V_{DD})からLOW(V_{SS})に変化した場合、入力ラインの容量性負荷と内蔵プルダウン抵抗との時定数により誤入力となる場合があります。端子の電位がCPUシステムクロックの0.5周期以内に定まらない場合は、プルダウン抵抗を外部に設けるか、複数回の読み出しを行うなどの対策が必要です。

IOC: I/Oコントロールレジスタ (0FCH D0)

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

IOCに"1"を書き込むことにより入出力兼用ポートの全ビットが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、このレジスタは"0"(入力モード)に設定されます。

4.6 LCDドライバ (COM0 ~ COM3, SEG0 ~ SEG19)

4.6.1 LCDドライバの構成

S1C60N05シリーズは4本のコモン端子(COM0 ~ COM3)と20本のセグメント端子(SEG0 ~ SEG19)を持ち、最大80(20×4)セグメントのLCDを駆動できます。

LCD駆動用電源はCPUの内部回路により発生するため、外部から特別に与える必要はありません。駆動方式はV_{DD}、V_{L1}、V_{L2}、V_{L3}の4電位(1/3バイアス)による1/4デューティ(マスクオプションで1/3、1/2デューティも可)ダイナミック駆動です。また、マスクオプションにより、V_{DD}、V_{L1}=V_{L2}、V_{L3}の3電位(1/2バイアス)による1/4デューティ(マスクオプションで1/3、1/2デューティも可)ダイナミック駆動も選択できます。

1/2バイアス選択は、LCD系定電圧回路を使用しない場合にのみ有効で、V_{L1}端子とV_{L2}端子をIC外部にて接続してください。

フレーム周波数は1/4デューティのとき32Hz、1/3デューティのとき42.7Hz、1/2デューティのとき32Hzになります($f_{osc}=32.768\text{kHz}$)。

図4.6.1.1に1/4デューティ(1/3バイアス)、図4.6.1.2に1/3デューティ(1/3バイアス)、図4.6.1.3に1/2デューティ(1/3バイアス)、図4.6.1.4に1/4デューティ(1/2バイアス)、図4.6.1.5に1/3デューティ(1/2バイアス)、図4.6.1.6に1/2デューティ(1/2バイアス)の駆動波形を示します。

注: f_{osc} は発振回路の発振周波数を示します。

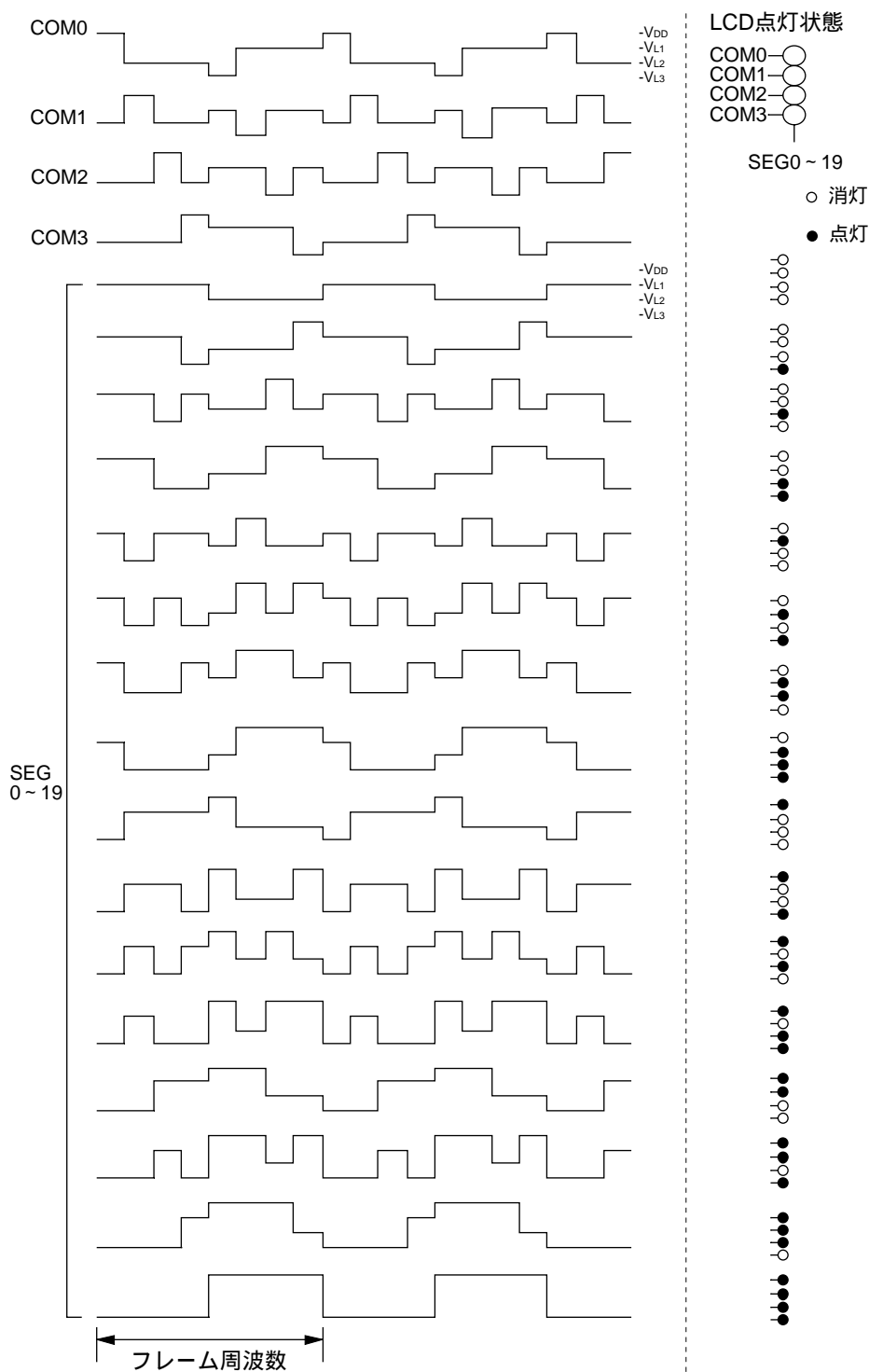


図4.6.1.1 1/4デューティの駆動波形 (1/3バイアス)

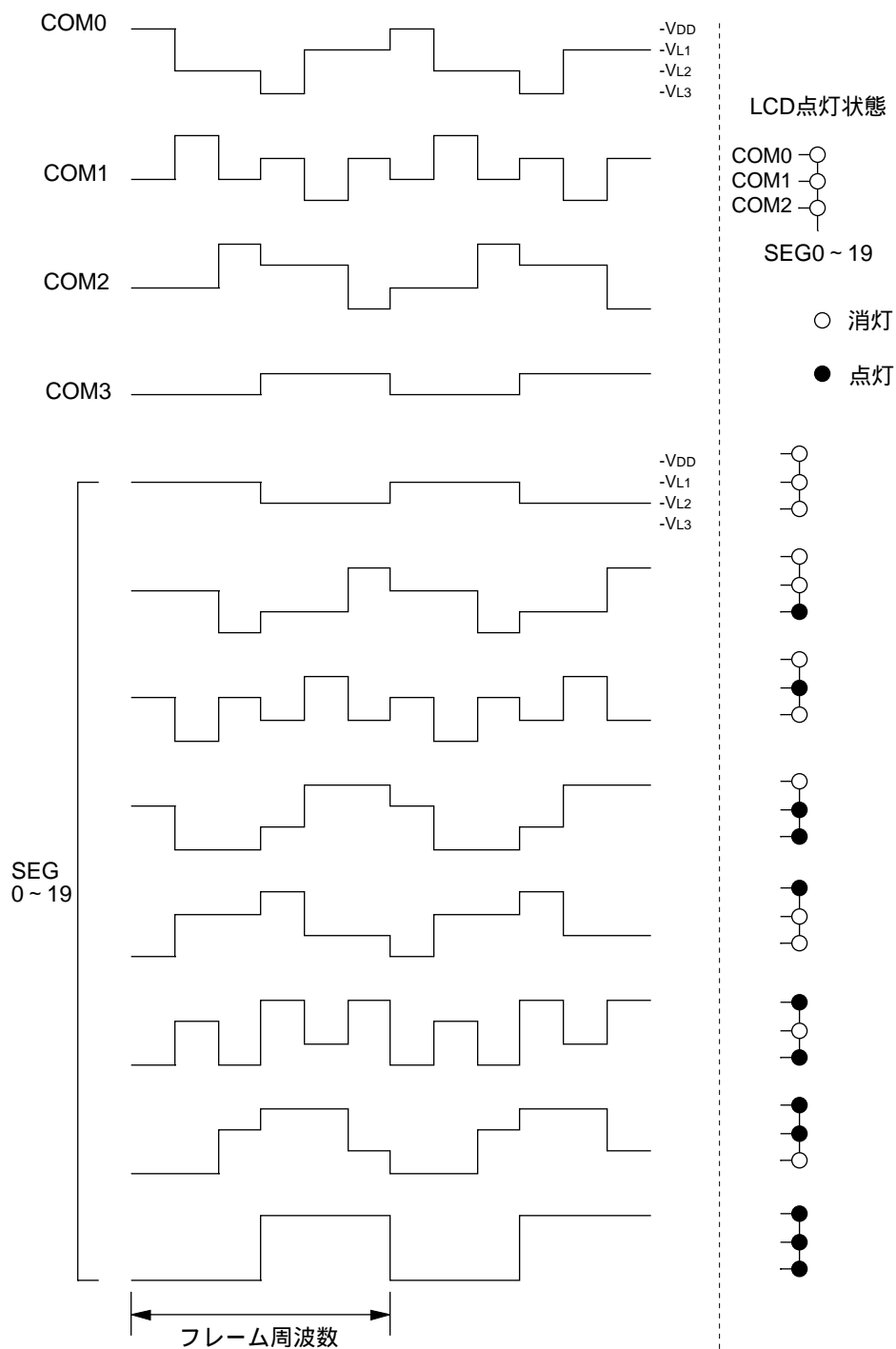


図4.6.1.2 1/3デューティの駆動波形 (1/3バイアス)

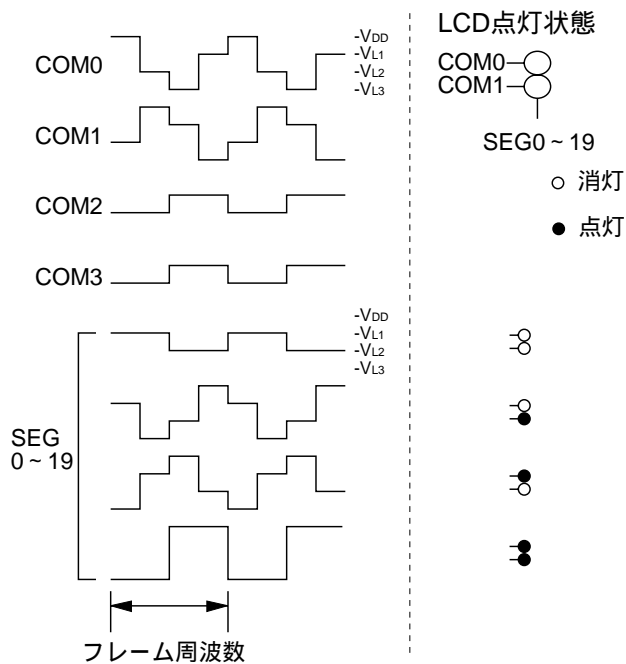


図4.6.1.3 1/2デューティの駆動波形 (1/3バイアス)

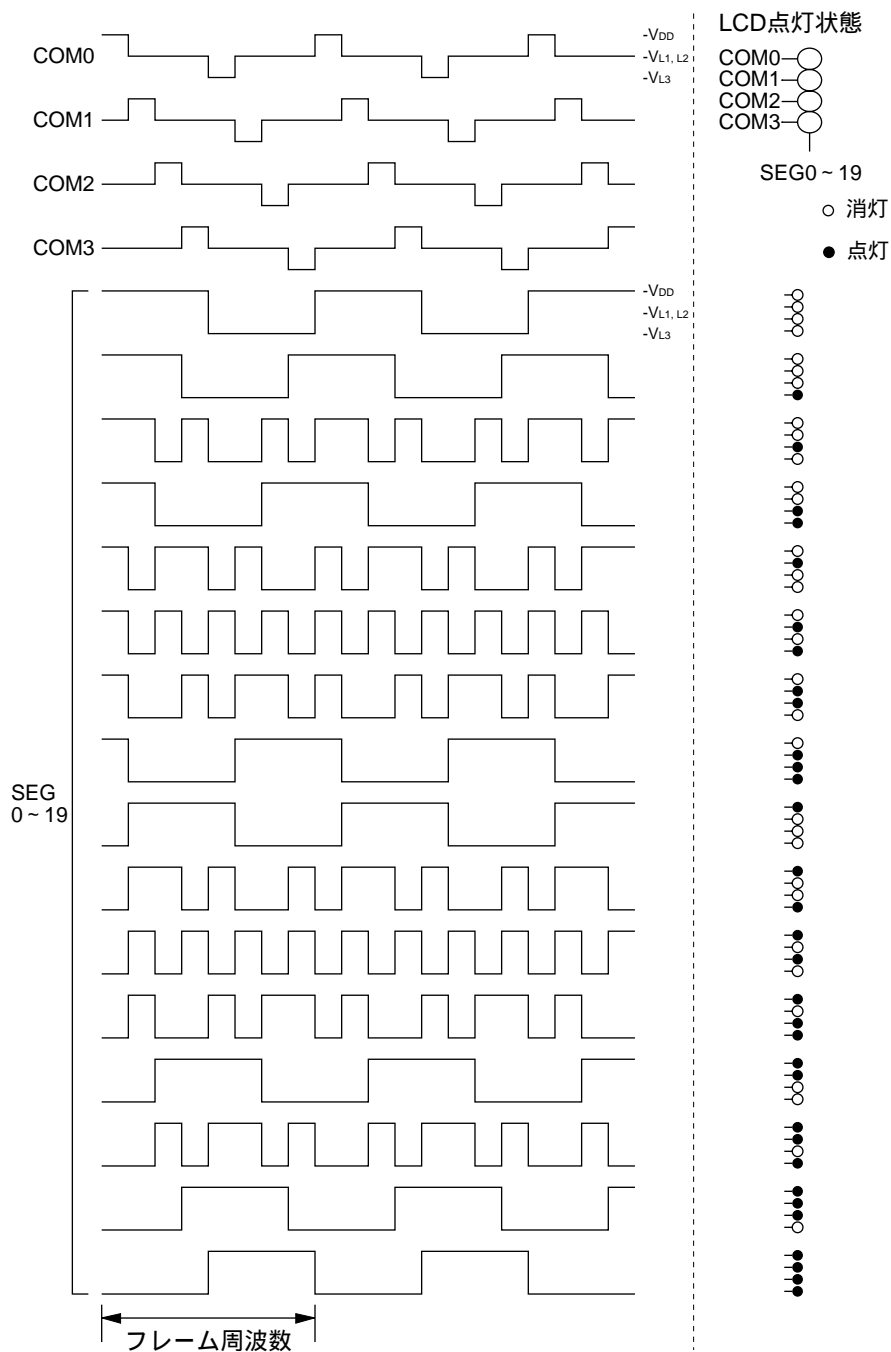


図4.6.1.4 1/4デューティの駆動波形 (1/2バイアス)

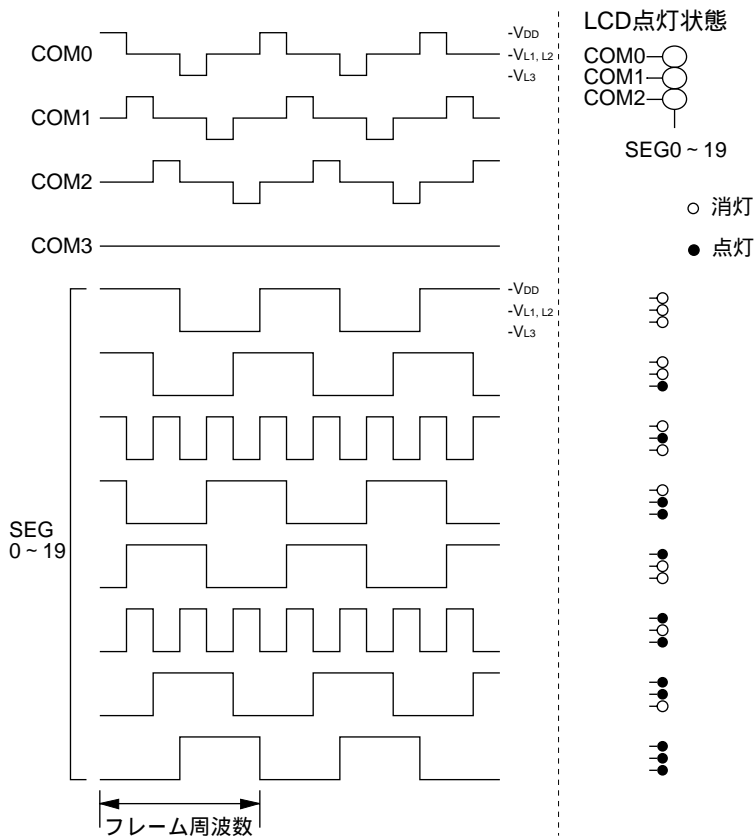


図4.6.1.5 1/3デューティの駆動波形 (1/2バイアス)

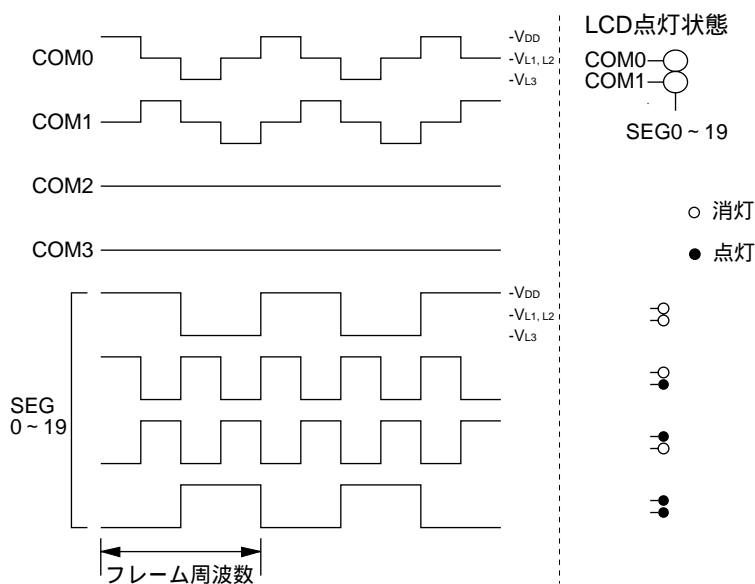


図4.6.1.6 1/2デューティの駆動波形 (1/2バイアス)

4.6.2 発振周波数の歩度調整

S1C60N05シリーズはソフトウェアによりLCD駆動デューティを1/1デューティに設定できます。この機能により、発振回路の発振周波数を簡単に調整(歩度調整)できます。

LCD駆動を1/1デューティに設定する手順は以下のとおりです。

- ① アドレス"0FBH D3"のレジスタCSDCに"1"を書き込みます。
- ② 表示メモリのCOM0～COM3に対応するレジスタにはすべて同一の値を書き込みます。

フレーム周波数は32Hz($f_{OSC1}/1,024$ 、 $f_{OSC1}=32.768\text{kHz}$ のとき)となります。

- 注:
- マスクオプションにて1/3、1/2デューティを選択している場合でも、ソフトウェアで1/1デューティ駆動にすると全てのCOMが有効になります。そのため、1/1デューティ駆動の場合、1/3、1/2デューティを選択してもCOM0～COM3に対応する全ての表示メモリに同じ値を設定してください。
 - 歩度調整時はLCDが全点灯となるようにCOM0～COM3に対応する全ての表示データをセットしてください。

図4.6.2.1に1/1デューティ駆動波形(1/3バイアス)、図4.6.2.2に1/1デューティ駆動波形(1/2バイアス)を示します。

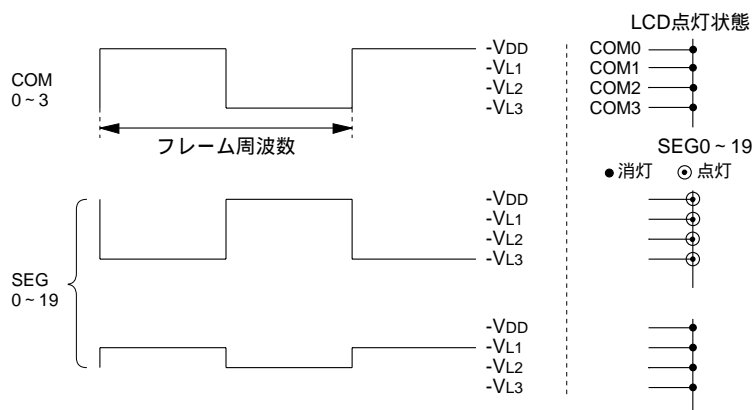


図4.6.2.1 1/1デューティ駆動波形 (1/3バイアス)

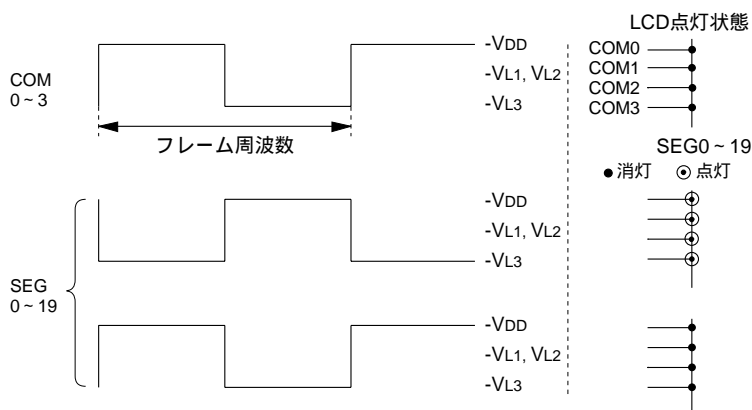


図4.6.2.2 1/1デューティ駆動波形 (1/2バイアス)

4.6.3 マスクオプション

(1) セグメント割り付け

S1C60N05シリーズのセグメントデータは、図4.1.1に示すようにメモリ空間上アドレス"090H～0AFH"の表示メモリに表示データを書き込むことにより決定されます。

表示メモリのアドレスおよびビットは、マスクオプションにより任意のセグメント端子(SEG0～SEG19)に対応させることができます。このため、液晶パネルの自由度が増し設計が容易になります。図4.6.3.1にLCDセグメント(パネル上)と表示メモリとの関係を1/3デューティの場合を例として示します。

アドレス	データ			
	D3	D2	D1	D0
09AH	d	c	b	a
09BH	p	g	f	e
09CH	d'	c'	b'	a'
09DH	p'	g'	f'	e'

表示メモリ割り付け表



	コモン 0	コモン 1	コモン 2
SEG10	9A, D0 (a)	9B, D1 (f)	9B, D0 (e)
SEG11	9A, D1 (b)	9B, D2 (g)	9A, D3 (d)
SEG12	9D, D1 (f')	9A, D2 (c)	9B, D3 (p)

端子アドレス割り付け表

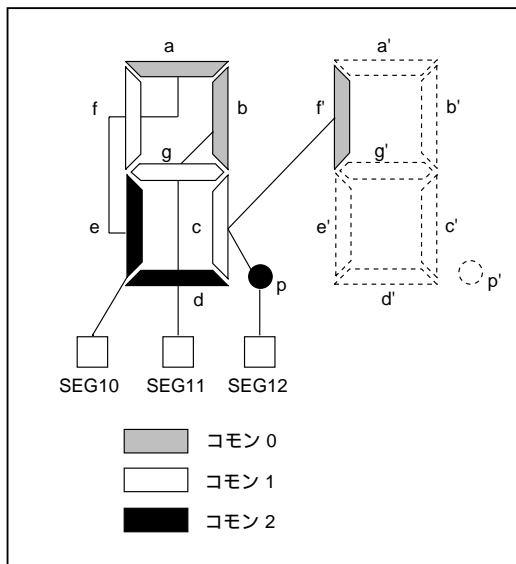


図4.6.3.1 セグメント割り付け

(2) 駆動デューティ

LCDの駆動デューティとして1/4デューティ、1/3デューティまたは1/2デューティをマスクオプションで選択します。

表4.6.3.1に選択デューティによるセグメント数等の差異を示します。

表4.6.3.1 選択デューティによる差異

デューティ	使用コモン端子	最大セグメント数	フレーム周波数 (fosc=32kHzの場合)
1/4	COM0 ~ 3	80 (20 × 4)	32Hz
1/3	COM0 ~ 2	60 (20 × 3)	42.7Hz
1/2	COM0 ~ 1	40 (20 × 2)	32Hz

(3) 出力仕様

- ① 各セグメント端子(SEG0 ~ SEG19)は2端子単位でセグメント信号出力かDC出力(V_{DD} 、 V_{SS} の2値出力)をマスクオプションで選択します。
DC出力を選択した場合は各セグメント端子のCOM0に対応するデータが出力されます。
- ② DC出力を選択した場合、コンプリメンタリ出力がPチャンネルオープンドレイン出力を各端子ごとにマスクオプションで選択できます。

注: 2端子単位とは $SEG(2 \cdot n)$ 、 $SEG(2 \cdot n+1)$ (n は0 ~ 9の整数)の組合せです。

(4) 駆動バイアス

LCDの駆動バイアスとして1/3バイアス、1/2バイアスをマスクオプションで選択します。

4.6.4 LCDドライバの制御

表4.6.4.1にLCDドライバの制御レジスタを、図4.6.4.1に表示メモリマップを示します。

表4.6.4.1 I/Oメモリ (LCDドライバ)

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
0FBH	CSDC	0	0	0	CSDC	0	Static	Dynamic	LCD駆動切り換え
					0				*5
	R/W	R			0				*5

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 不定

*4 読み出し直後、リセット(0)

*5 読み出し時は常時"0"

*6 本編参照

アドレス	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
090	表示メモリ (書き込み専用) 32ワード×4ビット															
0A0																

図4.6.4.1 表示メモリマップ

CSDC: LCD駆動切り換え (0FBH D3)

LCDの駆動方式を選択します。

"1"書き込み: スタティック駆動

"0"書き込み: ダイナミック駆動

読み出し: 可能

イニシャルリセット時はダイナミック駆動(CSDC="0")が選択されます。

表示メモリ (090H ~ 0AFH)

LCDセグメントを点灯/消灯させます。

"1"書き込み: 点灯

"0"書き込み: 消灯

読み出し: 不可

LCDセグメント(パネル上)を割り付けた表示メモリにデータを書き込むことにより、セグメントの点灯/消灯を行います。

イニシャルリセット時の表示メモリの内容は不定です。

4.7 計時タイマ

4.7.1 計時タイマの構成

S1C60N05シリーズは発振回路を原振とする計時タイマを内蔵しています。計時タイマは発振回路より出力される256Hz信号を入力クロックとする7ビットのバイナリカウンタで構成され、そのうち上位4ビット(16Hz～2Hz)のデータをソフトウェアによって読み出すことができます。
図4.7.1.1に計時タイマの構成を示します。

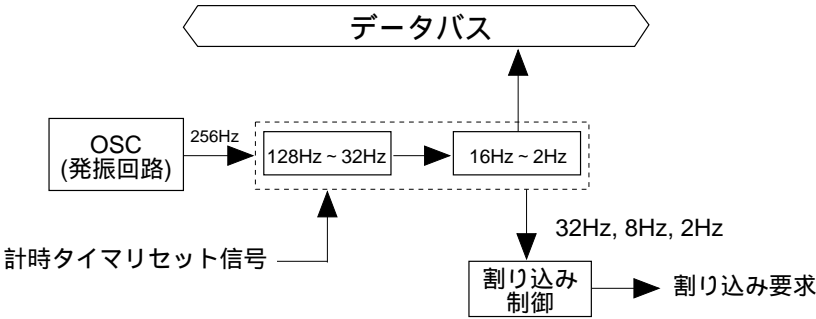


図4.7.1.1 計時タイマの構成

通常は、この計時タイマを時計などのような各種の計時機能に用います。

4.7.2 割り込み機能

計時タイマは32Hz、8Hz、2Hzの各信号の立下りエッジにおいて割り込みを発生させることができます。
また、これらの割り込みに対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。
図4.7.2.1に計時タイマのタイミングチャートを示します。

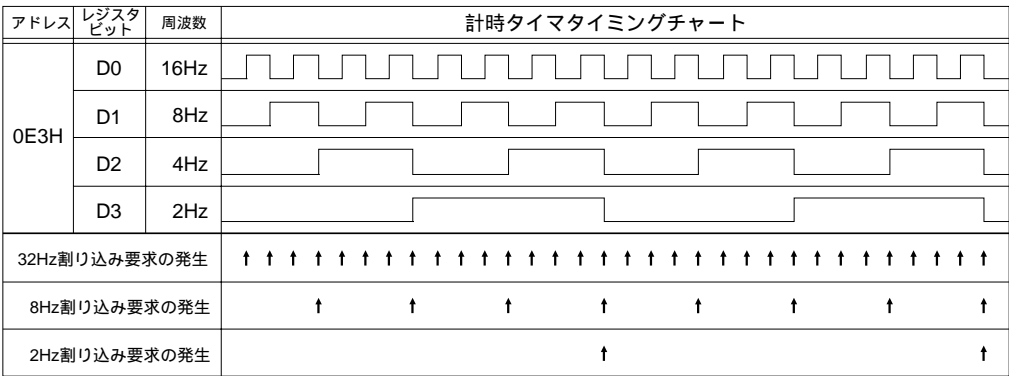


図4.7.2.1 計時タイマのタイミングチャート

図4.7.2.1に示すとおり、割り込みは各周波数(32Hz、8Hz、2Hz)の信号の立下りエッジによって発生します。この時点で対応する割り込み要因フラグ(IT32、IT8、IT2)が"1"にセットされます。また、各割り込みは割り込みマスクレジスタ(EIT32、EIT8、EIT2)によって個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立下りエッジで"1"にセットされます。たとえば、EIT2を"0"(マスク)に設定した場合でも、2Hz信号の立下りエッジによって割り込み要因フラグIT2が"1"にセットされます。

注: 割り込みマスクレジスタ(EIT32、EIT8、EIT2)への書き込みは、必ずDI(割り込みフラグ="0")状態時に行ってください。EI(割り込みフラグ="1")状態時に行くと誤動作の原因となります。

4.7.3 計時タイマの制御

表4.7.3.1に計時タイマの制御レジスタを示します。

表4.7.3.1 I/Oメモリ (計時タイマ)

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
0E3H	TM3	TM2	TM1	TM0	TM3	– *3	High	Low	計時タイマデータ 2Hz
					TM2	– *3	High	Low	計時タイマデータ 4Hz
					TM1	– *3	High	Low	計時タイマデータ 8Hz
					TM0	– *3	High	Low	計時タイマデータ 16Hz
0EBH				R					
	0	EIT2	EIT8	EIT32	0	0	Enable	Mask	割り込みマスクレジスタ(タイマ) 2Hz *5
	R			R/W	EIT8	0	Enable	Mask	割り込みマスクレジスタ(タイマ) 8Hz
					EIT32	0	Enable	Mask	割り込みマスクレジスタ(タイマ) 32Hz
0EFH	0	IT2	IT8	IT32	0	0	Yes	No	割り込み要因フラグ(タイマ) 2Hz *5
					IT2	0	Yes	No	割り込み要因フラグ(タイマ) 8Hz *4
					IT8	0	Yes	No	割り込み要因フラグ(タイマ) 32Hz *4
					IT32	0	Yes	No	割り込み要因フラグ(タイマ) 32Hz *4
0F9H	0	0	0	TMRST	0				*5
					0				*5
					0				*5
					0				*5
				R	W	Reset	Reset	–	計時タイマリセット

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 不定

*4 読み出し直後、リセット(0)

*5 読み出し時は常時"0"

*6 本編参照

TM0 ~ TM3: タイマデータ (0E3H)

計時タイマの16Hz ~ 2Hzのタイマデータが読み出せます。この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"0H"に初期化されます。

EIT32, EIT8, EIT2: 割り込みマスクレジスタ (0EBH D0 ~ D2)

計時タイマの割り込みについてマスクするかしないかを選択します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込みマスク
読み出し: 可能

割り込みマスクレジスタ(EIT32, EIT8, EIT2)によって、対応する各周波数(32Hz、8Hz、2Hz)の割り込みを個別にマスクするかしないか選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"(マスク)に設定されます。

IT32, IT8, IT2: 割り込み要因フラグ (0EFH D0 ~ D2)

計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込みあり
"0"読み出し: 割り込みなし
書き込み: 無効

割り込み要因フラグ(IT32, IT8, IT2)は、それぞれ各周波数(32Hz、8Hz、2Hz)の計時タイマ割り込みに対応します。これらのフラグによって、計時タイマ割り込みの有無をソフトウェアで判断することができます。なお、これらのフラグは割り込みをマスクしていても、対応する信号の立下りエッジで"1"にセットされます。

これらのフラグはソフトウェアで読み出すことによってリセットされます。

EI時、割り込み要因フラグの読み込みは可能ですが、以下の場合には注意が必要です。

読み込もうとする割り込み要因フラグに対応する割り込みマスクレジスタの値が"1"にセットされている(マスクされていない)場合、割り込み要因フラグが"1"にセットされるタイミングにより、CPUに対し割り込み要求を発生する場合と、割り込み要因フラグが読み込みによりクリアされ、割り込み要求が発生しない場合があります。

特に、同一アドレスに複数の割り込み要因フラグがある場合には、細心の注意が必要です。

イニシャルリセット時、これらのフラグはすべて"0"に設定されます。

TMRST: 計時タイマリセット (0F9H D0)

計時タイマをリセットします。

"1"書き込み: 計時タイマリセット
"0"書き込み: ノーオペレーション
読み出し: 常時"0"

計時タイマはTMRSTに"1"を書き込むことによりリセットされ、その直後リスタートします。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

4.8 A/Dコンバータ

4.8.1 A/Dコンバータの構成

S1C60N05シリーズはCR発振方式のA/Dコンバータを2チャンネル内蔵しています。このA/Dコンバータには2系統のCR発振回路とその発振周波数を計測するカウンタが設けられおり、そのカウント値を読み出すことによって接続した抵抗値をデジタル変換したデータが得られます。RS～CS端子間に温度などにより発振周波数がほとんど変化しない基準抵抗を、TH～CS端子間に温度などにより抵抗値が変化するセンサ等を接続して交互に発振させます。それぞれの発振周波数の差をカウント値の差として読み出すことができますので、たとえばサーミスタを利用した温度測定回路等の各種のセンサ回路が容易に実現できます。

図4.8.1.1にA/Dコンバータの構成を示します。

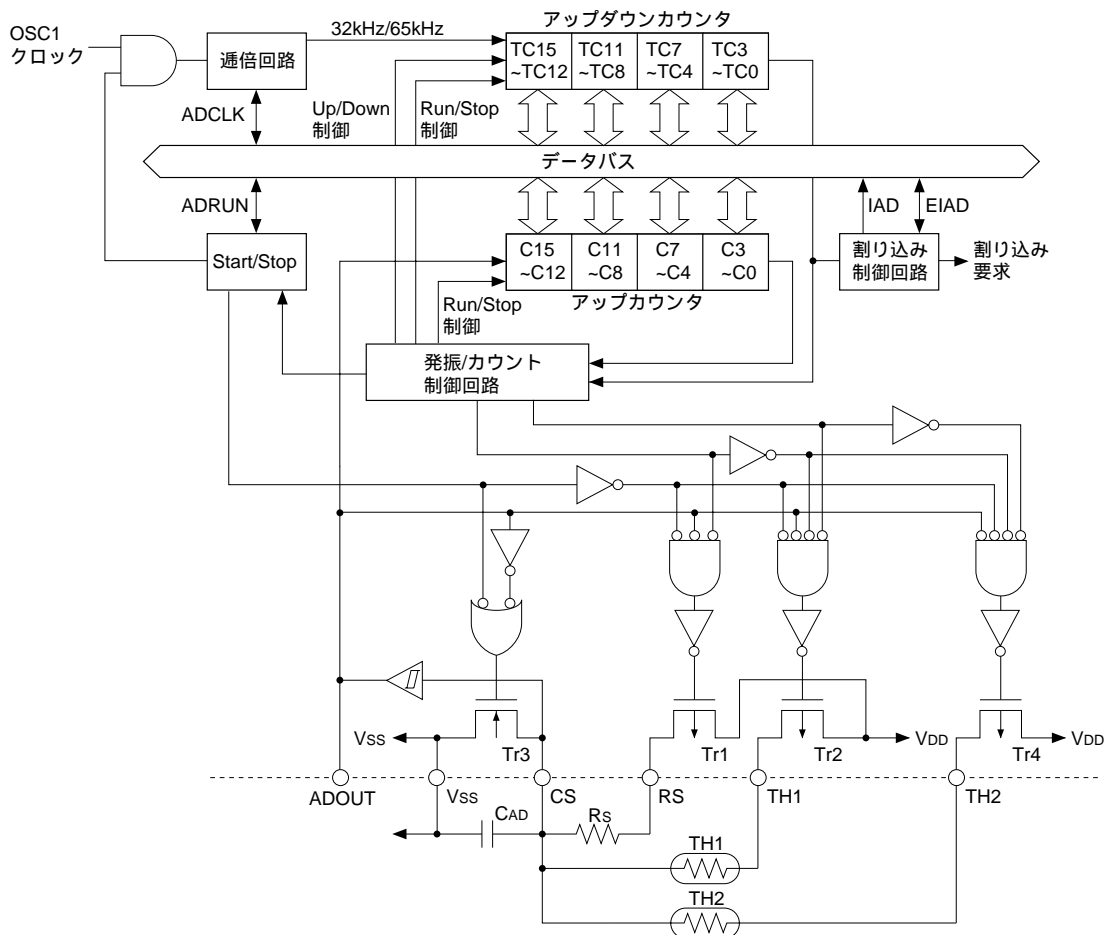


図4.8.1.1 A/Dコンバータの構成

発振入出力端子のRS～CS間には環境による抵抗値の変化がほとんどない基準抵抗を接続し、TH～CS間に抵抗値が変化するセンサ等を接続します。さらにCS～Vss間にコンデンサを接続することによりCR発振回路が構成されます。

4.8.2 A/Dコンバータの動作

このA/Dコンバータは外部に接続した2個の抵抗それぞれによってCR発振を行い、その発振周波数をクロックとしてカウントを行います。それぞれの抵抗値の違いは発振周波数の違いとなっており、カウント値に現われますので、その差をプログラムで補正することにより抵抗値の変化による測定結果を得ることができます。

(1) 外部抵抗とコンデンサ

センサ(サーミスタ等の可変抵抗素子)をTH1/TH2端子～CS端子間に接続します。

ここで測定する内容の基準となる値(たとえば、温度測定の場合は基準温度)を設定し、その値におけるセンサの抵抗値と同じ値の基準抵抗をRS端子～CS端子間に接続します。なお、基準抵抗は温度など環境により変化しない素子を使用する必要があります。

CS端子～Vss端子間には基準抵抗とセンサのCR発振に共通に使用する発振用コンデンサを接続します。

(2) 発振回路

CR発振回路は、発振制御回路によって基準抵抗側とセンサ側が個別にどちらか一方だけが動作するようにになっています。

A/D変換はADRUNレジスタ(0F1H D0)に"1"を書き込むことにより開始し、発振回路も同時にONとなります。発振制御回路によってははじめに基準抵抗側(RS)の回路が動作し、その発振クロックによるカウントが終了した時点でセンサ側(TH1またはTH2)の回路に切り換わります。

TH1またはTH2はCHTHレジスタ(0F1H D3)によって選択されます。

それぞれの回路の発振動作はまったく同じで、次のようになります。(例: CHTH="0"、TH1が選択されている場合)

はじめにTr1(Tr2)がONになり、基準抵抗(センサ)を通してCS端子～Vss端子間に接続したコンデンサが充電されます。CS端子の電圧レベルが上がるとTr1(Tr2)がOFF、Tr3がONとなってコンデンサの電荷が放電され、CRの時定数による発振が行われます。

センサの抵抗値の変化によりこの時定数が変わり、基準抵抗の発振周波数と差が生じます。

発振波形はシュミットトリガにより整形されカウンタに送られます。このカウンタに送られるクロックはADOUT端子からも出力されますので、発振周波数をオシロスコープ等で確認することができます。このモニタは発振周波数に影響を与えませんが、CR発振周波数の調整等に利用できません。

図4.8.2.1に発振波形とADOUTの出力波形を示します。

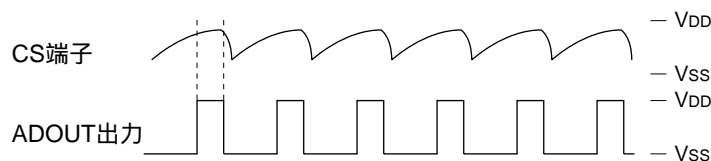


図4.8.2.1 発振波形

(3) カウンタ

A/Dコンバータには2種類の16ビットカウンタが内蔵されています。1つは前記の発振クロックをカウントするアップカウンタC0～C15で、もう1つは内部クロックにより基準カウントを行うアップダウンカウンタTC0～TC15です。それぞれのカウンタは4ビット単位で読み出し、書き込みが可能です。

なお、アップダウンカウンタTC0～TC15の入力部には逡倍回路が設けられており、入力クロックとしてOSC1クロック(Typ. 32.768kHz)またはその逡倍クロック(Typ. 65.536kHz)のどちらか一方がソフトウェアにより選択できます。

ADRUNレジスタによりA/D変換を開始させると、はじめに基準抵抗による発振がONとなり、そのクロックによりアップカウンタC0～C15がアップカウントを行います。

これと同時にアップダウンカウンタTC0～TC15もカウントアップを開始します。

図4.8.2.2に発振開始とカウントアップ開始のタイミングを示します。

アップカウンタはCR発振開始後の最初のクロック立下りエッジでイネーブルとなり、次のクロックの立下りエッジからカウントアップを開始します。

アップダウンカウンタは最初のCR発振クロックの立下り直後に入力される内部クロック立下りエッジでイネーブルとなり、次の内部クロックの立下りエッジからカウントアップを開始します。

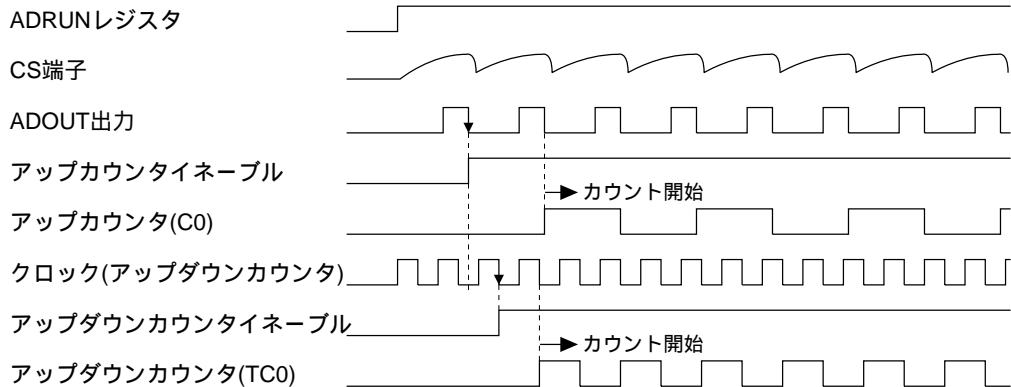


図4.8.2.2 カウントアップ開始タイミング

アップカウンタC0～C15がオーバーフローして"0000H"になると発振回路がセンサ側に切り換わり、今度はセンサ側の発振クロックによってカウントアップします。

アップダウンカウンタTC0～TC15はこの時点でダウンカウントに切り換わり、基準抵抗の発振によってカウントされた値から逆にカウントダウンします。

発振が切り換わった時点のカウンタのタイミングは図4.8.2.2と同様です。

アップダウンカウンタTC0～TC15のカウントダウンが進み"0000H"になると、その時点で双方のカウンタのカウント動作とCR発振を停止し、割り込みを発生します。同時にADRUNレジスタが"0"に設定されA/Dコンバータの回路がすべて停止します。

A/D変換を開始する前にアップダウンカウンタTC0～TC15を"0000H"に設定しておくことにより、基準抵抗の発振時間と同じ時間センサの発振を行いますので、発振周波数の差をアップカウンタC0～C15のカウント値から得ることができます。

基準抵抗の発振時間はアップカウンタC0～C15がオーバーフローするまでの時間となるため、A/D変換を開始するまえに適切な初期値を設定しておく必要があります。この初期値を小さな値にしておくとカウント期間が長くとれ、検出の精度は上がります。同様にアップダウンカウンタTC0～TC15の入力クロックに65kHzを選択した場合も精度が上がります。ただし、通常は測定精度の関係からCR発振周波数をアップダウンカウンタTC0～TC15のクロックの周波数よりも低く設定するため、基準抵抗の発振をカウント中にアップダウンカウンタTC0～TC15がオーバーフローする可能性があります。このオーバーフローが発生した場合、その時点でCR発振およびA/D変換を終了します。なお、この場合もアップダウンカウンタの値が"0000H"になるため、割り込みが発生します。ただし、この割り込みがオーバーフローによるものか、正常に終了したもののかの判定が行えません。オーバーフローした場合は正しい結果が得られませんので注意してください。また、サーミスタによる測定範囲をどの程度に設定するか、およびその範囲のどの辺に基準抵抗値を設定するかによっても初期値の設定が変わってきます。以上の点に注意して初期値の設定を行ってください。

初期値は補数(0000Hから減算した値)に変換してアップカウンタC0～C15に設定します。A/D変換が終了したアップカウンタC0～C15の内容がセンサが検出したデータとなりますので、その値と補数に変換する前の初期値との差をプログラムで処理して目的の数値を算出してください。

以上の動作を図4.8.2.3に示します。

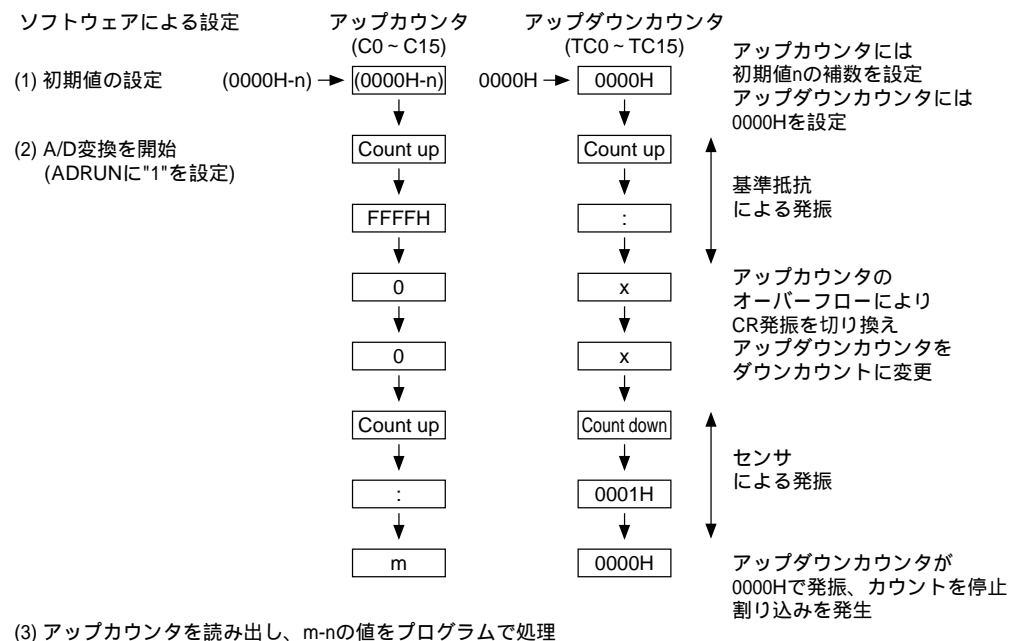


図4.8.2.3 A/D変換のシーケンス

- 注:
- ADRUNに"1"を設定する前に、TH1またはTH2を選択しておく必要があります(デフォルトはTH1)。
 - アップカウンタC0～C15の初期値は、測定範囲およびアップダウンカウンタTC0～TC15のオーバーフローに注意して設定してください。
 - A/D変換終了後にアップダウンカウンタTC0～TC15を読み出した場合、"0000H"になっていない場合があります。これはアップカウンタにカウント動作終了の制御信号を出力した後にダウンカウントのクロックが入力されることがあるため、A/D変換終了のタイミングがずれたためではありません。

4.8.3 割り込み機能

A/DコンバータにはA/D変換終了時に割り込みを発生させる機能があります。

アップダウンカウンタTC0～TC15のカウンタダウンが進み"0000H"になった時点で双方のカウンタのカウンタ動作が停止し、次のクロックの立下りエッジで割り込み要因フラグIADが"1"にセットされます。アップダウンカウンタTC0～TC15がアップカウント中にオーバーフローした場合は、カウンタが"0000H"になった直後のクロックの立上りエッジで割り込み要因フラグIADが"1"にセットされます。

この割り込み要因は割り込みマスクレジスタEIADによるマスクが可能で、EIADを"1"に設定している場合にCPUに対して割り込みが発生します。EIADを"0"に設定している場合、割り込み要因フラグは"1"にセットされますが、CPUに対する割り込みは発生しません。なお、割り込み要因フラグは読み出しにより"0"にリセットされます。

図4.8.3.1にA/Dコンバータの割り込みタイミングを示します。

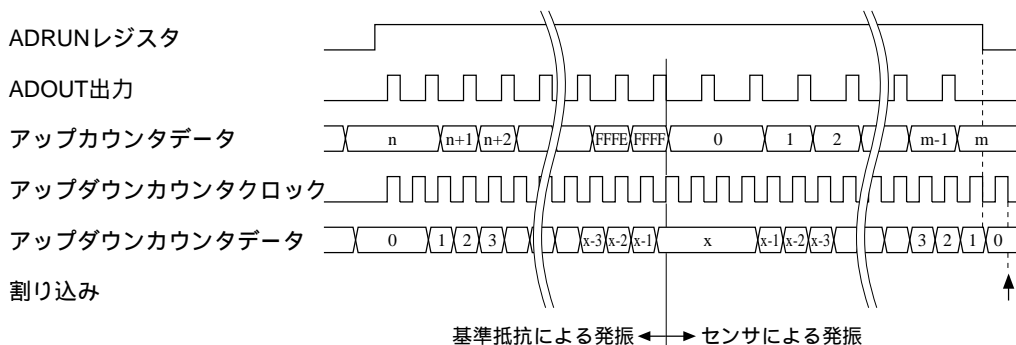


図4.8.3.1 A/Dコンバータの割り込みタイミング

4.8.4 A/Dコンバータの使用例

本A/Dコンバータはセンサにサーミスタを用いることにより温度測定を行うことができます。以下に、この温度測定を行う場合を例に、接続する素子およびカウンタの設定を示します。

例: -20 ~ 70 の温度測定
 基準抵抗 49.8k Ω
 サーミスタ 50k Ω
 発振用コンデンサ 2,200pF

以上の素子を接続することにより、基準抵抗による発振周波数が約10kHz、サーミスタによる発振周波数は-20 ~ 70 で約1kHz ~ 50kHzに変化します。

基準抵抗は温度が25 におけるサーミスタの抵抗値に合わせてあります。

なお、図4.8.4.1にA/D変換時の抵抗・発振周波数比TYPを示します。

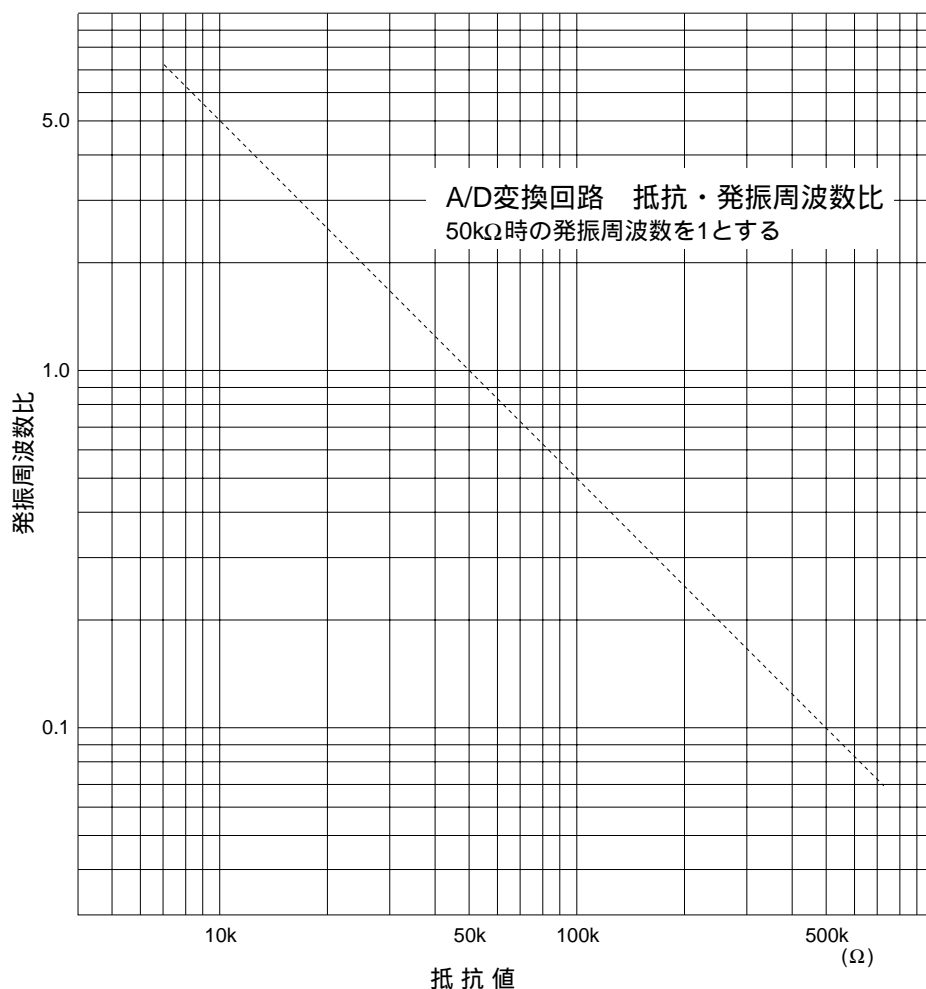


図4.8.4.1 抵抗・発振周波数比

4.8.5 A/Dコンバータの制御

表4.8.5.1にA/Dコンバータの制御レジスタを示します。

表4.8.5.1 I/Oメモリ (A/Dコンバータ)

アドレス	レジスタ				Name	Init ^{*1}	1	0	注釈
	D3	D2	D1	D0					
0E4H	TC3	TC2	TC1	TC0	TC3	— ^{*3}	1	0	アップダウンカウンタデータ TC3
					TC2	— ^{*3}	1	0	アップダウンカウンタデータ TC2
	R/W				TC1	— ^{*3}	1	0	アップダウンカウンタデータ TC1
					TC0	— ^{*3}	1	0	アップダウンカウンタデータ TC0 (LSB)
0E5H	TC7	TC6	TC5	TC4	TC7	— ^{*3}	1	0	アップダウンカウンタデータ TC7
					TC6	— ^{*3}	1	0	アップダウンカウンタデータ TC6
	R/W				TC5	— ^{*3}	1	0	アップダウンカウンタデータ TC5
					TC4	— ^{*3}	1	0	アップダウンカウンタデータ TC4
0E6H	TC11	TC10	TC9	TC8	TC11	— ^{*3}	1	0	アップダウンカウンタデータ TC11
					TC10	— ^{*3}	1	0	アップダウンカウンタデータ TC10
	R/W				TC9	— ^{*3}	1	0	アップダウンカウンタデータ TC9
					TC8	— ^{*3}	1	0	アップダウンカウンタデータ TC8
0E7H	TC15	TC14	TC13	TC12	TC15	— ^{*3}	1	0	アップダウンカウンタデータ TC15 (MSB)
					TC14	— ^{*3}	1	0	アップダウンカウンタデータ TC14
	R/W				TC13	— ^{*3}	1	0	アップダウンカウンタデータ TC13
					TC12	— ^{*3}	1	0	アップダウンカウンタデータ TC12
0F5H	C3	C2	C1	C0	C3	— ^{*3}	1	0	アップカウンタデータ C3
					C2	— ^{*3}	1	0	アップカウンタデータ C2
	R/W				C1	— ^{*3}	1	0	アップカウンタデータ C1
					C0	— ^{*3}	1	0	アップカウンタデータ C0 (LSB)
0F6H	C7	C6	C5	C4	C7	— ^{*3}	1	0	アップカウンタデータ C7
					C6	— ^{*3}	1	0	アップカウンタデータ C6
	R/W				C5	— ^{*3}	1	0	アップカウンタデータ C5
					C4	— ^{*3}	1	0	アップカウンタデータ C4
0F7H	C11	C10	C9	C8	C11	— ^{*3}	1	0	アップカウンタデータ C11
					C10	— ^{*3}	1	0	アップカウンタデータ C10
	R/W				C9	— ^{*3}	1	0	アップカウンタデータ C9
					C8	— ^{*3}	1	0	アップカウンタデータ C8
0F8H	C15	C14	C13	C12	C15	— ^{*3}	1	0	アップカウンタデータ C15 (MSB)
					C14	— ^{*3}	1	0	アップカウンタデータ C14
	R/W				C13	— ^{*3}	1	0	アップカウンタデータ C13
					C12	— ^{*3}	1	0	アップカウンタデータ C12
0F1H	CHTH	0	0	ADRUN	CHTH	0	TH2	TH1	A/Dチャンネル選択
					0				^{*5}
	R/W	R		R/W	ADRUN	0	Start	Stop	A/D変換 Start/Stop
0FEH	0	0	0	ADCLK	0				^{*5}
					0				^{*5}
	R			R/W	ADCLK	0	65kHz	32kHz	A/Dクロック選択 65kHz/32kHz
0ECH	0	0	0	EIAD	0				^{*5}
					0				^{*5}
	R			R/W	EIAD	0	Enable	Mask	割り込みマスクレジスタ(A/D)
0F0H	0	0	0	IAD	0				^{*5}
					0				^{*5}
	R				IAD	0	Yes	No	割り込み要因フラグ(A/D)

^{*1} イニシャルリセット時の初期値

^{*2} 回路上設定されない

^{*3} 不定

^{*4} 読み出し直後、リセット(0)

^{*5} 読み出し時は常時"0"

^{*6} 本編参照

TC0～TC15: アップダウンカウンタ (0E4H～0E7H)

基準抵抗と可変抵抗素子のCR発振時間を合わせるためのアップダウンカウンタで、4ビット単位で書き込み/読み出しが可能です。

基準抵抗による発振時はアップカウントを行い、センサによる発振時は基準抵抗の発振によりカウントアップされた値から"0000H"までのダウンカウントを行います。

双方のカウント時間を合わせるため、A/D変換を開始する前にこのカウンタに"0000H"を書き込んでおく必要があります。

イニシャルリセット時、このカウンタの内容は不定となります。

C0～C15: アップカウンタ (0F5H～0F8H)

CR発振クロックによりカウントアップするカウンタで、4ビット単位で書き込み/読み出しが可能です。

このカウンタには、基準抵抗による発振でカウントするクロック数の補数をA/D変換を開始させる前に書き込んでおきます。

A/D変換を開始させると、はじめに基準抵抗による発振クロックによって、設定した初期値からアップカウントを行います。カウンタがオーバーフローしカウント値が"0000H"になった時点で発振がセンサ側に切り換わり、そのクロックによりカウントを継続します。基準抵抗の発振によるカウント時間はアップダウンカウンタTC0～TC15で計数されており、それと同じ時間でアップカウンタC0～C15のカウントが停止するようになっています。停止したカウンタの値を読み出すことによって基準抵抗との差が得られますので、それをプログラムで処理して目的の数値を算出してください。

なお、A/D変換前に書き込む初期値は、測定範囲およびアップダウンカウンタTC0～TC15のオーバーフローに注意して設定してください。

イニシャルリセット時、このカウンタの内容は不定となります。

ADCLK: 入力クロック選択 (0FEH D0)

アップダウンカウンタTC0～TC15の入力クロックを選択します。

"1"書き込み: 65kHz

"0"書き込み: 32kHz

読み出し: 可能

アップダウンカウンタTC0～TC15のカウントを行う、逓倍回路の出力クロックを選択します。

ADCLKに"1"を書き込むことによりOSC1クロックを逓倍した65kHzが選択されます。"0"を書き込んだ場合はOSC1クロックの周波数32kHzが選択されます。

65kHzを選択した場合、A/D変換の精度が上がります。ただし、CR発振のカウント中にアップダウンカウンタTC0～TC15がオーバーフローしないように、アップカウンタC0～C15に設定する初期値に注意してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

ADRUN: A/D変換START/STOP (0F1H D0)

A/D変換を開始させます。

"1"書き込み: A/D変換START

"0"書き込み: A/D変換STOP

読み出し: 可能

ADRUNに"1"を書き込むことによりA/D変換を開始します。A/D変換中はこのレジスタに"1"が保持され、A/D変換が終了した時点で"0"に設定されます。

A/D変換中にADRUNに"0"を書き込んだ場合は、その時点でA/D変換を中止します。

イニシャルリセット時、アップダウンカウンタのオーバーフロー時および測定終了時はこのレジスタが"0"に設定されます。

CHTH: A/Dチャンネル選択 (0F1H D3)

A/Dコンバータのチャンネルを選択します。

"1"書き込み: TH2

"0"書き込み: TH1

読み出し: 可能

A/D変換を開始する前に、TH1またはTH2のどちらのセンサの変換を行うかについてCHTHで選択しておく必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

EIAD: 割り込みマスクレジスタ (0ECH D0)

A/Dコンバータの割り込みについてマスクするかしないかを選択します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込みマスク

読み出し: 可能

EIADに"1"を書き込むことによりA/Dコンバータ割り込みが許可され、"0"を書き込むことにより割り込みがマスクされます。

イニシャルリセット時、このレジスタは"0"に設定されます。

IAD: 割り込み要因フラグ (0F0H D0)

A/Dコンバータ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込みあり

"0"読み出し: 割り込みなし

書き込み: 無効

IADはA/D変換の終了(アップダウンカウンタがカウントダウン/アップにより"0000H"になった時点)によって"1"にセットされます。このフラグによりA/Dコンバータ割り込みの有無をソフトウェアで判断することができます。なお、このフラグは割り込みマスクレジスタの設定にかかわらず、A/D変換の終了によってセットされます。

このフラグはソフトウェアで読み出すことによってリセットされます。

EI時、割り込み要因フラグの読み込みは可能ですが、以下の場合には注意が必要です。

読み込みもうとする割り込み要因フラグに対応する割り込みマスクレジスタの値が"1"にセットされている(マスクされていない)場合、割り込み要因フラグが"1"にセットされるタイミングにより、CPUに対し割り込み要求を発生する場合と、割り込み要因フラグが読み込みによりクリアされ、割り込み要求が発生しない場合があります。

イニシャルリセット時、このフラグは"0"に設定されます。

4.9 重負荷保護機能

4.9.1 重負荷保護機能の動作

S1C60N05シリーズはブザー出力時や外付けランプ点灯時などのように、電池の負荷が重くなり電源電圧が低下した場合に備えて重負荷保護機能を持っています。この重負荷保護機能が働いているモードを重負荷保護モードと呼びます。

通常の動作モードから重負荷保護モードへは次の場合に移行します。

- ・ ソフトウェア(HLMODを"1"にセット)により重負荷保護モードに移した場合

重負荷保護モードでは、LCD系定電圧回路を低消費電流モードから高安定モードに切り換えます。このため、重負荷保護モードでは通常モードより消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

4.9.2 重負荷保護機能の制御

表4.9.2.1に重負荷保護機能の制御レジスタを示します。

表4.9.2.1 I/Oメモリ (重負荷保護機能)

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
0FAH	HLMOD	0	0	0	HLMOD	0	Heavy	Normal	重負荷保護モード
					0				*5
	R/W	R			0				*5
					0				*5

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 不定

*4 読み出し直後、リセット(0)

*5 読み出し時は常時"0"

*6 本編参照

HLMOD: 重負荷保護モード ON/OFF (0FAH D3)

重負荷保護モードのON/OFFを制御します。

"1"書き込み: 重負荷保護モードON

"0"書き込み: 重負荷保護モードOFF

読み出し: 可能

HLMODに"1"を書き込むことによりICの動作状態を重負荷保護モードにします。

重負荷保護モードでは消費電流が大きくなりますので、必要なとき以外はソフトウェアにより重負荷保護モードに設定しないでください。

4.10 割り込みとHALT

S1C60N05シリーズには以下の割り込みが設定されており、それぞれマスクが可能です。

- 外部割り込み: • 入力割り込み (1系統)
内部割り込み: • タイマ割り込み (1系統)
 • A/Dコンバータ割り込み (1系統)

割り込みを許可するためには割り込みフラグを"1"(EI)にセットし、あわせて必要な割り込みマスクレジスタも"1"(許可)にセットする必要があります。

割り込みが発生すると割り込みフラグは自動的に"0"(DI)にリセットされ、以後の割り込みは禁止されます。

CPUはHALT命令が入力されるとCPU動作クロックを停止し、HALT状態になります。

CPUのHALT状態からの再起動は割り込み要求が発生することにより行われます。

図4.10.1に割り込み回路の構成を示します。

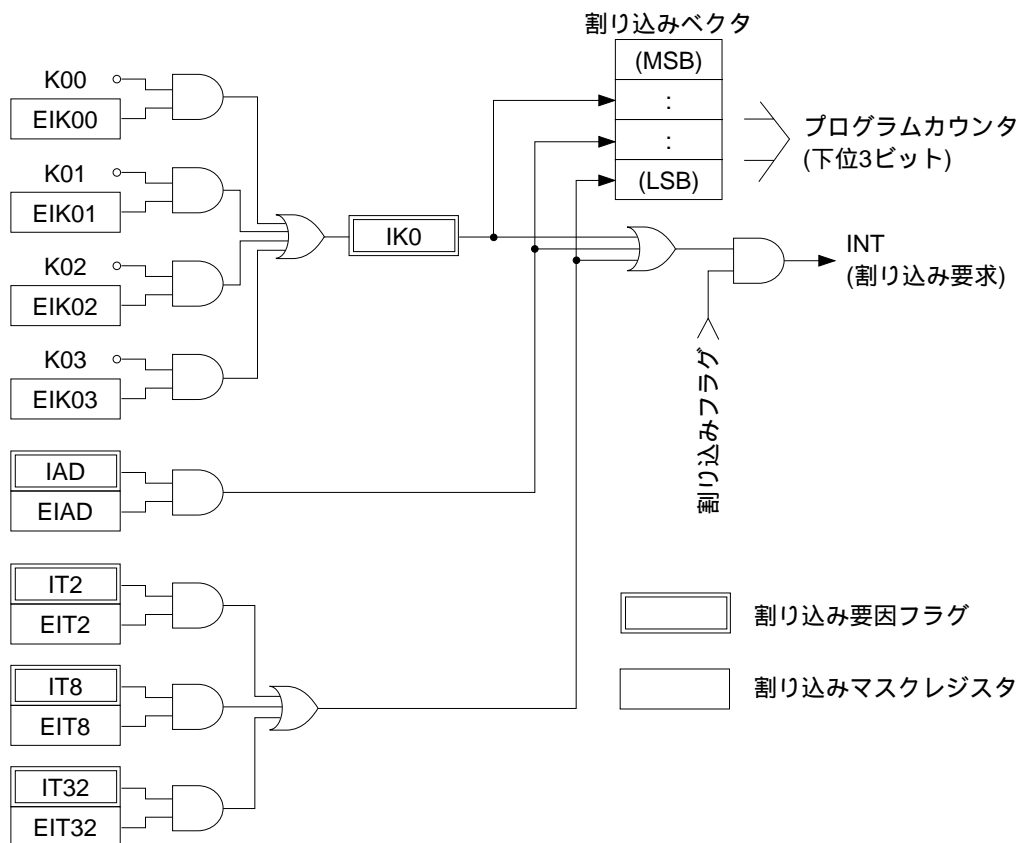


図4.10.1 割り込み回路の構成

4.10.1 割り込み要因

割り込みが発生する要因を表4.10.1.1に示します。

それぞれの割り込み要因により、対応する割り込み要因フラグは"1"にセットされます。

CPUに対する割り込みは次の2つの条件が成立している場合に、割り込み要因フラグが"1"になると発生します。

- 対応する割り込みマスクレジスタが"1" (指定の割り込みを許可)
- 割り込みフラグが"1" (EI状態)

割り込み要因フラグは読み出し専用のレジスタですが、フラグを読み出すことにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注: EI時、割り込み要因フラグの読み込みは可能ですが、以下の場合には注意が必要です。

読み込もうとする割り込み要因フラグに対応する割り込みマスクレジスタの値が"1"にセットされている(マスクされていない)場合、割り込み要因フラグが"1"にセットされるタイミングにより、CPUに対し割り込み要求が発生する場合と、割り込み要因フラグが読み込みによりクリアされ、割り込み要求が発生しない場合があります。

特に、同一アドレスに複数の割り込み要因フラグがある場合には、細心の注意が必要です。

表4.10.1.1 割り込み要因

割り込み要因	割り込み要因フラグ	
計時タイマ2Hz立下りエッジ	IT2	(0EFH D2)
計時タイマ8Hz立下りエッジ	IT8	(0EFH D1)
計時タイマ32Hz立下りエッジ	IT32	(0EFH D0)
A/Dコンバータ A/D変換終了	IAD	(0F0H D0)
入力データ (K00 ~ K03) 立上りエッジ	IK0	(0EDH D0)

4.10.2 割り込みの個別マスク

割り込み要因フラグは対応する割り込みマスクレジスタによってマスクできます。

割り込みマスクレジスタはリード/ライト可能なレジスタで、"1"書き込みでイネーブル(割り込み許可)、"0"書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.10.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ		割り込み要因フラグ	
EIT2	(0EBH D2)	IT2	(0EFH D2)
EIT8	(0EBH D1)	IT8	(0EFH D1)
EIT32	(0EBH D0)	IT32	(0EFH D0)
EIAD	(0ECH D0)	IAD	(0F0H D0)
EIK03 *	(0E8H D3)	IK0	(0EDH D0)
EIK02 *	(0E8H D2)		
EIK01 *	(0E8H D1)		
EIK00 *	(0E8H D0)		

* 入力ポートは端子ごとに割り込みマスクレジスタがあります。

4.10.3 割り込みベクタ

CPUに対して割り込みが発生すると、CPUは割り込み処理を開始します。

割り込み処理は実行中の命令を終了後、以下の手順で行われます。

- ① 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域に退避
- ② 割り込み要求による割り込みベクタの値(1ページ、01H～07H)をプログラムカウンタにセット
- ③ 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

注: ①、②の処理にCPUシステムクロックの12周期分の時間を要します。

4.10.4 割り込みの制御

表4.10.4.1に割り込みの制御レジスタを示します。

表4.10.4.1 I/Oメモリ (割り込み)

アドレス	レジスタ								注釈
	D3	D2	D1	D0	Name	Init *1	1	0	
0E8H	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ K03
					EIK02	0	Enable	Mask	割り込みマスクレジスタ K02
	R/W				EIK01	0	Enable	Mask	割り込みマスクレジスタ K01
					EIK00	0	Enable	Mask	割り込みマスクレジスタ K00
0EBH	0	EIT2	EIT8	EIT32	0				*5
					EIT2	0	Enable	Mask	
					EIT8	0	Enable	Mask	
					EIT32	0	Enable	Mask	
0ECH	0	0	0	EIAD	0				*5
					0				*5
					0				*5
	R			R/W	EIAD	0	Enable	Mask	割り込みマスクレジスタ(A/D)
0EDH	0	0	0	IK0	0				*5
					0				*5
					0				*5
	R				IK0	0	Yes	No	割り込み要因フラグ(K00 ~ K03)
0EFH	0	IT2	IT8	IT32	0				*5
					IT2	0	Yes	No	割り込み要因フラグ(タイマ) 2Hz
					IT8	0	Yes	No	割り込み要因フラグ(タイマ) 8Hz
					IT32	0	Yes	No	割り込み要因フラグ(タイマ) 32Hz
0F0H	0	0	0	IAD	0				*5
					0				*5
					0				*5
	R				IAD	0	Yes	No	割り込み要因フラグ(A/D)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 不定

*4 読み出し直後、リセット(0)

*5 読み出し時は常時"0"

*6 本編参照

EIT32, EIT8, EIT2: 割り込みマスクレジスタ (0EBH D0 ~ D2)

IT32, IT8, IT2: 割り込み要因フラグ (0EFH D0 ~ D2)

"4.7.3 計時タイマの制御"参照

EIAD: 割り込みマスクレジスタ (0ECH D0)

IAD: 割り込み要因フラグ (0F0H D0)

"4.8.5 A/Dコンバータの制御"参照

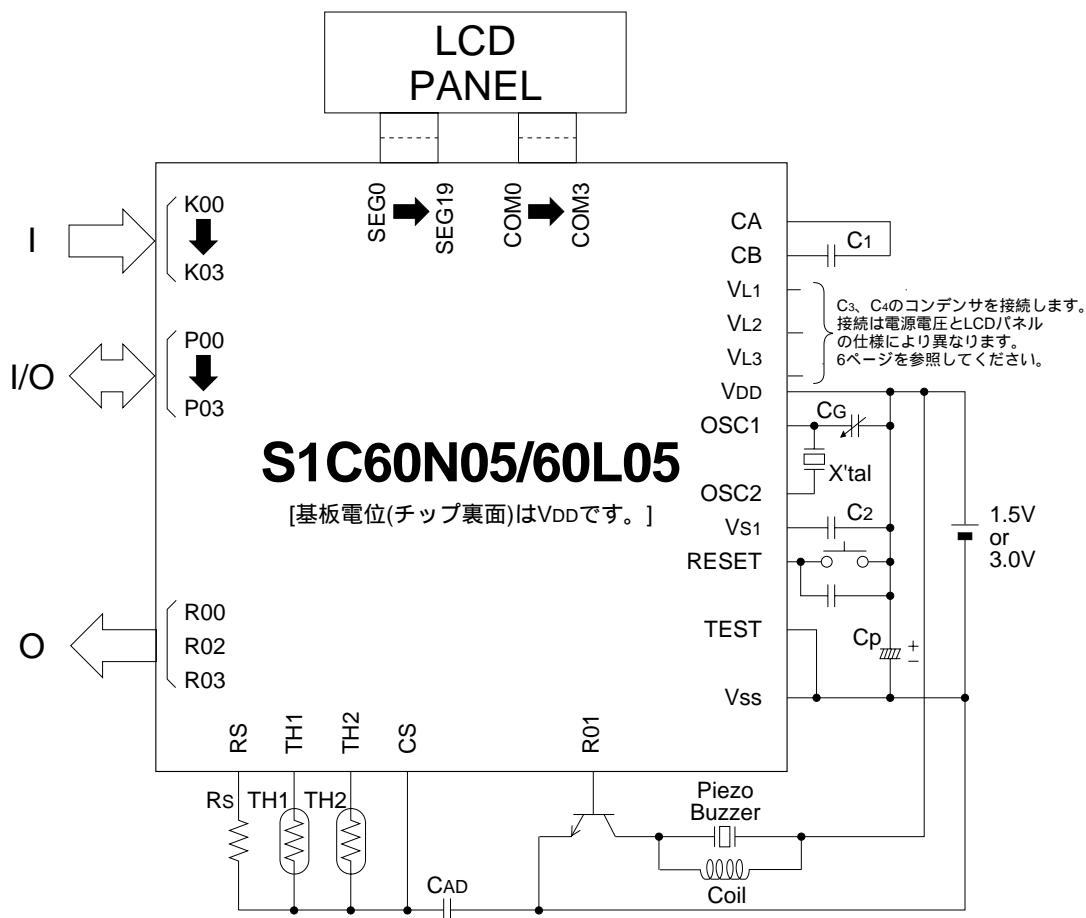
EIK00 ~ EIK03: 割り込みマスクレジスタ (0E8H)

IK0: 割り込み要因フラグ (0EDH D0)

"4.3.4 入力ポートの制御"参照

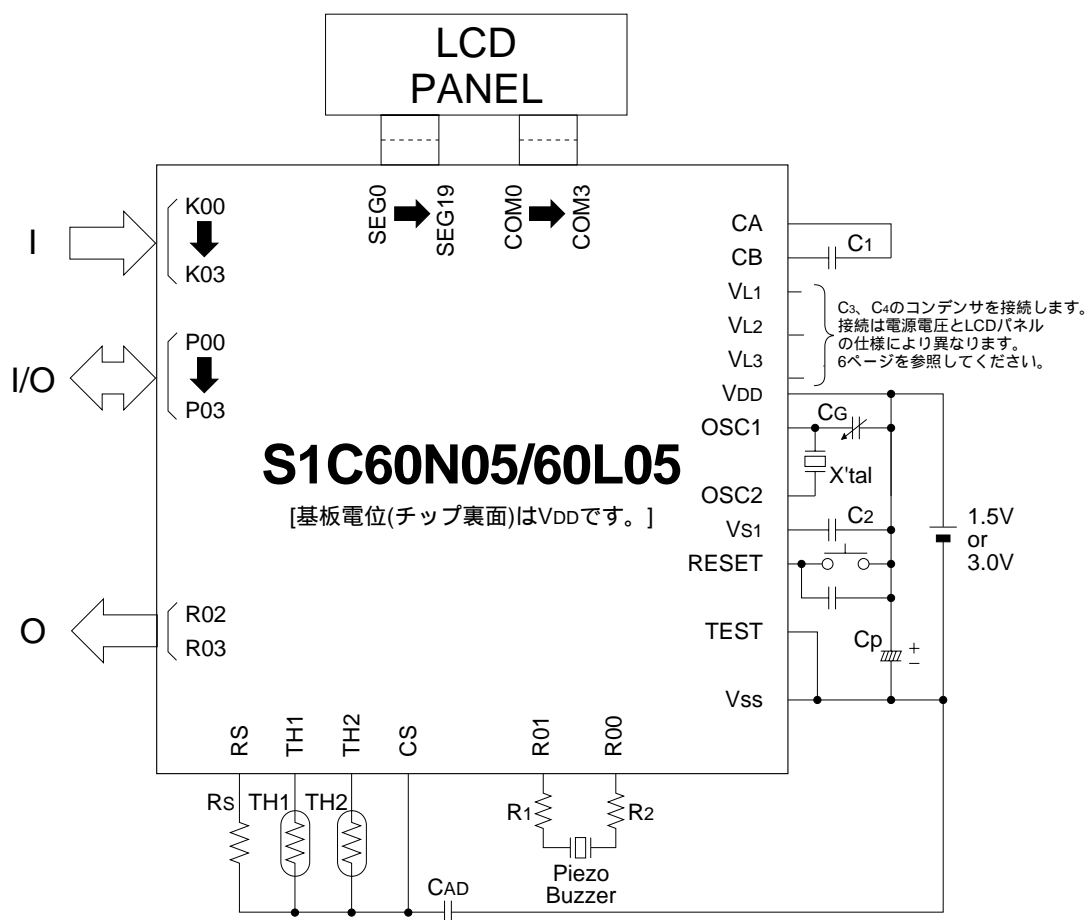
5 基本外部結線図

(1) ピエゾブザー1端子駆動



X'tal	水晶振動子	32,768Hz	CI(MAX)=35kΩ
Cg	トリマキャパシタ	5 ~ 25pF	
C1, C2, C3, C4	キャパシタ	0.1μF	
Cp	キャパシタ	3.3μF	
TH1, TH2	サーミスタ	50kΩ	
Rs	抵抗	49.8kΩ	
CAD	キャパシタ	2,200pF	

(2) ピエゾブザーダイレクト駆動



X'tal	水晶振動子	32,768Hz CI(MAX)=35kΩ
Cg	トリマキャパシタ	5 ~ 25pF
C1, C2, C3, C4	キャパシタ	0.1μF
Cp	キャパシタ	3.3μF
TH1, TH2	サーミスタ	50kΩ
Rs	抵抗	49.8kΩ
R1, R2	抵抗	100Ω
CAD	キャパシタ	2,200pF

6 電気的特性

6.1 絶対最大定格

S1C60N05

(V_{DD}=0V)

項目	記号	定格値	単位
電源電圧	V _{SS}	-5.0 ~ 0.5	V
入力電圧 (1)	V _I	V _{SS} -0.3 ~ 0.5	V
入力電圧 (2)	V _{IOSC}	V _{SS} -0.3 ~ 0.5	V
動作温度	T _{opr}	-20 ~ 70	
保存温度	T _{stg}	-65 ~ 150	
半田付け温度・時間	T _{sol}	260 , 10sec(リード部)	
許容損失 *1	P _b	250	mW

*1 QFP6-60pinプラスチックパッケージの場合

S1C60L05

(V_{DD}=0V)

項目	記号	定格値	単位
電源電圧	V _{SS}	-5.0 ~ 0.5	V
入力電圧 (1)	V _I	V _{SS} -0.3 ~ 0.5	V
入力電圧 (2)	V _{IOSC}	V _{SS} -0.3 ~ 0.5	V
動作温度	T _{opr}	-20 ~ 70	
保存温度	T _{stg}	-65 ~ 150	
半田付け温度・時間	T _{sol}	260 , 10sec(リード部)	
許容損失 *1	P _b	250	mW

*1 QFP6-60pinプラスチックパッケージの場合

6.2 推奨動作条件

S1C60N05

(Ta=-20 ~ 70)

項目	記号	条件	Min	Typ	Max	単位
電源電圧	V _{SS}	V _{DD} =0V	-3.5	-3.0	-1.8	V
発振周波数	f _{OSC1}	水晶発振		32,768		Hz
	f _{OSC2}	CR発振・外付R=420kΩ		65	80	kHz
昇圧キャパシタ	C1		0.1			μF
V _{DD} -V _{S1} 間キャパシタ	C2		0.1			μF

S1C60L05

(Ta=-20 ~ 70)

項目	記号	条件	Min	Typ	Max	単位
電源電圧	V _{SS}	V _{DD} =0V *1	-2.0	-1.5	-1.2	V
発振周波数	f _{OSC1}	水晶発振		32,768		Hz
	f _{OSC2}	CR発振・外付R=420kΩ		65	80	kHz
昇圧キャパシタ	C1		0.1			μF
V _{DD} -V _{S1} 間キャパシタ	C2		0.1			μF

*1 CR発振時、または水晶発振時でソフト対応のないとき

6.3 DC特性

S1C60N05

特記なき場合

VDD=0V, VSS=-3.0V, fosc=32,768Hz, Ta=25℃, VS1, VL1, VL2, VL3は内部電圧, C1=C2=0.1μF

項目	記号	条件	Min	Typ	Max	単位
高レベル入力電圧 (1)	VIH1	K00~K03, P00~P03	0.2•VSS		0	V
高レベル入力電圧 (2)	VIH2	RESET, TEST	0.15•VSS		0	V
低レベル入力電圧 (1)	VIL1	K00~K03, P00~P03	VSS		0.8•VSS	V
低レベル入力電圧 (2)	VIL2	RESET, TEST	VSS		0.85•VSS	V
高レベル入力電流 (1)	IIH1	VIH1=0V Pull down抵抗なし	0		0.5	μA
高レベル入力電流 (2)	IIH2	VIH2=0V Pull down抵抗付き	10		40	μA
高レベル入力電流 (3)	IIH3	VIH3=0V Pull down抵抗付き	30		100	μA
低レベル入力電流	IIL	VIL=VSS	-0.5		0	μA
高レベル出力電流 (1)	IOH1	VOH1=0.1•VSS			-1.0	mA
高レベル出力電流 (2)	IOH2	VOH2=0.1•VSS (保護抵抗内蔵)			-1.0	mA
高レベル出力電流 (3)	IOH3	VOH3=-1.0V			-1.0	mA
低レベル出力電流 (1)	IOL1	VOL1=0.9•VSS	3.0			mA
低レベル出力電流 (2)	IOL2	VOL2=0.9•VSS (保護抵抗内蔵)	3.0			mA
低レベル出力電流 (3)	IOL3	VOL3=-2.0V	3.0			mA
コモン出力電流	IOH4	VOH4=-0.05V			-3	μA
	IOL4	VOL4=VL3+0.05V	3			μA
セグメント出力電流 (LCD出力時)	IOH5	VOH5=-0.05V			-3	μA
	IOL5	VOL5=VL3+0.05V	3			μA
セグメント出力電流 (DC出力時)	IOH6	VOH6=0.1•VSS			-300	μA
	IOL6	VOL6=0.9•VSS	300			μA

S1C60L05

特記なき場合

VDD=0V, VSS=-1.5V, fosc=32,768Hz, Ta=25℃, VS1, VL1, VL2, VL3は内部電圧, C1=C2=0.1μF

項目	記号	条件	Min	Typ	Max	単位
高レベル入力電圧 (1)	VIH1	K00~K03, P00~P03	0.2•VSS		0	V
高レベル入力電圧 (2)	VIH2	RESET, TEST	0.15•VSS		0	V
低レベル入力電圧 (1)	VIL1	K00~K03, P00~P03	VSS		0.8•VSS	V
低レベル入力電圧 (2)	VIL2	RESET, TEST	VSS		0.85•VSS	V
高レベル入力電流 (1)	IIH1	VIH1=0V Pull down抵抗なし	0		0.5	μA
高レベル入力電流 (2)	IIH2	VIH2=0V Pull down抵抗付き	5		20	μA
高レベル入力電流 (3)	IIH3	VIH3=0V Pull down抵抗付き	9.0		100	μA
低レベル入力電流	IIL	VIL=VSS	-0.5		0	μA
高レベル出力電流 (1)	IOH1	VOH1=0.1•VSS			-200	μA
高レベル出力電流 (2)	IOH2	VOH2=0.1•VSS (保護抵抗内蔵)			-200	μA
高レベル出力電流 (3)	IOH3	VOH3=-0.5V			-200	μA
低レベル出力電流 (1)	IOL1	VOL1=0.9•VSS	700			μA
低レベル出力電流 (2)	IOL2	VOL2=0.9•VSS (保護抵抗内蔵)	700			μA
低レベル出力電流 (3)	IOL3	VOL3=-1.0V	700			μA
コモン出力電流	IOH4	VOH4=-0.05V			-3	μA
	IOL4	VOL4=VL3+0.05V	3			μA
セグメント出力電流 (LCD出力時)	IOH5	VOH5=-0.05V			-3	μA
	IOL5	VOL5=VL3+0.05V	3			μA
セグメント出力電流 (DC出力時)	IOH6	VOH6=0.1•VSS			-100	μA
	IOL6	VOL6=0.9•VSS	130			μA

6.4 アナログ回路特性・消費電流

S1C60N05 (通常の動作モード)

特記なき場合

$V_{DD}=0V$, $V_{SS}=-3.0V$, $f_{osc}=32,768Hz$, $T_a=25$, $C_G=25pF$, V_{S1} , V_{L1} , V_{L2} , V_{L3} は内部電圧,
 $C_1=C_2=0.1\mu F$ (A/D実行時: $R_S=49.8k\Omega$, $T_H=50k\Omega$, $C_{AD}=2,200pF$)

項目	記号	条件	Min	Typ	Max	単位
内部電圧	V_{L1}	$V_{DD}-V_{L1}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)	$1/2 \cdot V_{L2}$ -0.1		$1/2 \cdot V_{L2}$ $\times 0.9$	V
	V_{L2}	$V_{DD}-V_{L2}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)		V_{SS}		V
	V_{L3}	$V_{DD}-V_{L3}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)	$3/2 \cdot V_{L2}$ -0.1		$3/2 \cdot V_{L2}$ $\times 0.9$	V
消費電流	IOP	HALT時		0.8	1.4	μA
		実行時	パネル負荷なし	1.5	5.0	μA
		A/D実行時 (HALT)		30	40	μA

S1C60N05 (重負荷保護モード)

特記なき場合

$V_{DD}=0V$, $V_{SS}=-3.0V$, $f_{osc}=32,768Hz$, $T_a=25$, $C_G=25pF$, V_{S1} , V_{L1} , V_{L2} , V_{L3} は内部電圧,
 $C_1=C_2=0.1\mu F$ (A/D実行時: $R_S=49.8k\Omega$, $T_H=50k\Omega$, $C_{AD}=2,200pF$)

項目	記号	条件	Min	Typ	Max	単位
内部電圧	V_{L1}	$V_{DD}-V_{L1}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)	$1/2 \cdot V_{L2}$ -0.1		$1/2 \cdot V_{L2}$ $\times 0.85$	V
	V_{L2}	$V_{DD}-V_{L2}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)		V_{SS}		V
	V_{L3}	$V_{DD}-V_{L3}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)	$3/2 \cdot V_{L2}$ -0.1		$3/2 \cdot V_{L2}$ $\times 0.85$	V
消費電流	IOP	HALT時		2.0	5.5	μA
		実行時	パネル負荷なし	5.5	10.0	μA
		A/D実行時 (HALT)		31	41.5	μA

S1C60L05 (通常の動作モード)

特記なき場合

$V_{DD}=0V$, $V_{SS}=-1.5V$, $f_{osc}=32,768Hz$, $T_a=25$, $C_G=25pF$, V_{S1} , V_{L1} , V_{L2} , V_{L3} は内部電圧,
 $C_1=C_2=0.1\mu F$ (A/D実行時: $R_S=49.8k\Omega$, $T_H=50k\Omega$, $C_{AD}=2,200pF$)

項目	記号	条件	Min	Typ	Max	単位
内部電圧	V_{L1}	$V_{DD}-V_{L1}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)		V_{SS}		V
	V_{L2}	$V_{DD}-V_{L2}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)	$2 \cdot V_{L1}$ -0.1		$2 \cdot V_{L1}$ $\times 0.9$	V
	V_{L3}	$V_{DD}-V_{L3}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)	$3 \cdot V_{L1}$ -0.1		$3 \cdot V_{L1}$ $\times 0.9$	V
消費電流	IOP	HALT時		0.8	1.4	μA
		実行時	パネル負荷なし	1.5	5.0	μA
		A/D実行時 (HALT)		30	40	μA

S1C60L05 (重負荷保護モード)

特記なき場合

$V_{DD}=0V$, $V_{SS}=-1.5V$, $f_{osc}=32,768Hz$, $T_a=25$, $C_G=25pF$, V_{S1} , V_{L1} , V_{L2} , V_{L3} は内部電圧,
 $C_1=C_2=0.1\mu F$ (A/D実行時: $R_S=49.8k\Omega$, $T_H=50k\Omega$, $C_{AD}=2,200pF$)

項目	記号	条件	Min	Typ	Max	単位
内部電圧	V_{L1}	$V_{DD}-V_{L1}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)		V_{SS}		V
	V_{L2}	$V_{DD}-V_{L2}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)	$2 \cdot V_{L1}$ -0.1		$2 \cdot V_{L1}$ $\times 0.85$	V
	V_{L3}	$V_{DD}-V_{L3}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷はなし)	$3 \cdot V_{L1}$ -0.1		$3 \cdot V_{L1}$ $\times 0.85$	V
消費電流	IOP	HALT時		2.0	5.5	μA
		実行時	パネル負荷なし	5.5	10.0	μA
		A/D実行時 (HALT)		31	41.5	μA

S1C60N05 (CR発振, 通常の動作モード)

特記なき場合

V_{DD}=0V, V_{SS}=-3.0V, f_{osc}=65kHz, T_a=25℃, C_G=25pF, V_{S1}, V_{L1}, V_{L2}, V_{L3}は内部電圧C₁=C₂=0.1μF, CR発振用推奨外付抵抗値=420kΩ(A/D実行時: R_S=49.8kΩ, T_H=50kΩ, C_{AD}=2,200pF)

項目	記号	条件	Min	Typ	Max	単位
内部電圧	V _{L1}	V _{DD} -V _{L1} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)	1/2・V _{L2} -0.1		1/2・V _{L2} × 0.9	V
	V _{L2}	V _{DD} -V _{L2} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)		V _{SS}		V
	V _{L3}	V _{DD} -V _{L3} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)	3/2・V _{L2} -0.1		3/2・V _{L2} × 0.9	V
消費電流	I _{OP}	HALT時		8.0	15.0	μA
		実行時		15.0	20.0	μA
		A/D実行時 (HALT)		37	52.5	μA

S1C60N05 (CR発振, 重負荷保護モード)

特記なき場合

V_{DD}=0V, V_{SS}=-3.0V, f_{osc}=65kHz, T_a=25℃, C_G=25pF, V_{S1}, V_{L1}, V_{L2}, V_{L3}は内部電圧C₁=C₂=0.1μF, CR発振用推奨外付抵抗値=420kΩ(A/D実行時: R_S=49.8kΩ, T_H=50kΩ, C_{AD}=2,200pF)

項目	記号	条件	Min	Typ	Max	単位
内部電圧	V _{L1}	V _{DD} -V _{L1} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)	1/2・V _{L2} -0.1		1/2・V _{L2} × 0.85	V
	V _{L2}	V _{DD} -V _{L2} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)		V _{SS}		V
	V _{L3}	V _{DD} -V _{L3} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)	3/2・V _{L2} -0.1		3/2・V _{L2} × 0.85	V
消費電流	I _{OP}	HALT時		16.0	30.0	μA
		実行時		30.0	40.0	μA
		A/D実行時 (HALT)		45	57.5	μA

S1C60L05 (CR発振, 通常の動作モード)

特記なき場合

V_{DD}=0V, V_{SS}=-1.5V, f_{osc}=65kHz, T_a=25℃, C_G=25pF, V_{S1}, V_{L1}, V_{L2}, V_{L3}は内部電圧C₁=C₂=0.1μF, CR発振用推奨外付抵抗値=420kΩ(A/D実行時: R_S=49.8kΩ, T_H=50kΩ, C_{AD}=2,200pF)

項目	記号	条件	Min	Typ	Max	単位
内部電圧	V _{L1}	V _{DD} -V _{L1} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)		V _{SS}		V
	V _{L2}	V _{DD} -V _{L2} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)	2•V _{L1} -0.1		2•V _{L1} × 0.9	V
	V _{L3}	V _{DD} -V _{L3} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)	3•V _{L1} -0.1		3•V _{L1} × 0.9	V
消費電流	I _{OP}	HALT時		8.0	15.0	μA
		実行時		15.0	20.0	μA
		A/D実行時 (HALT)		37	52.5	μA

S1C60L05 (CR発振, 重負荷保護モード)

特記なき場合

V_{DD}=0V, V_{SS}=-1.5V, f_{osc}=65kHz, T_a=25℃, C_G=25pF, V_{S1}, V_{L1}, V_{L2}, V_{L3}は内部電圧C₁=C₂=0.1μF, CR発振用推奨外付抵抗値=420kΩ(A/D実行時: R_S=49.8kΩ, T_H=50kΩ, C_{AD}=2,200pF)

項目	記号	条件	Min	Typ	Max	単位
内部電圧	V _{L1}	V _{DD} -V _{L1} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)		V _{SS}		V
	V _{L2}	V _{DD} -V _{L2} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)	2•V _{L1} -0.1		2•V _{L1} × 0.85	V
	V _{L3}	V _{DD} -V _{L3} 間に1MΩの負荷抵抗を接続 (パネル負荷はなし)	3•V _{L1} -0.1		3•V _{L1} × 0.85	V
消費電流	I _{OP}	HALT時		16.0	30.0	μA
		実行時		30.0	40.0	μA
		A/D実行時 (HALT)		45	57.5	μA

6.5 発振特性

発振特性は諸条件(使用部品、基板パターンなど)により変化します。

以下の特性は参考値としてご使用ください。

S1C60N05

特記なき場合

V_{DD}=0V, V_{SS}=-3.0V, 水晶:Q13MC146, C_G=25pF, C_D=内蔵, T_a=25

項目	記号	条件	Min	Typ	Max	単位
発振開始電圧	V _{sta} (V _{SS})	t _{sta} 5sec	-1.8			V
発振停止電圧	V _{stp} (V _{SS})	t _{stp} 10sec	-1.8			V
内蔵容量(ドレイン)	C _D	IC内部の寄生容量を含む		20		pF
周波数電圧偏差	f/V	V _{SS} =-1.8 ~ -3.5V			5	ppm
周波数IC偏差	f/IC		-10		10	ppm
周波数調整範囲	f/C _G	C _G =5 ~ 25pF	40			ppm
高調波発振開始電圧	V _{hho} (V _{SS})	C _G =5pF			-3.6	V
許容リーク抵抗	R _{leak}	OSC1とV _{DD} , V _{SS} の間	200			MΩ

S1C60L05

特記なき場合

V_{DD}=0V, V_{SS}=-1.5V, 水晶:Q13MC146, C_G=25pF, C_D=内蔵, T_a=25

項目	記号	条件	Min	Typ	Max	単位
発振開始電圧	V _{sta} (V _{SS})	t _{sta} 5sec	-1.2			V
発振停止電圧	V _{stp} (V _{SS})	t _{stp} 10sec	-1.2			V
内蔵容量(ドレイン)	C _D	IC内部の寄生容量を含む		20		pF
周波数電圧偏差	f/V	V _{SS} =-1.2 ~ -2.0V (-0.9) *1			5	ppm
周波数IC偏差	f/IC		-10		10	ppm
周波数調整範囲	f/C _G	C _G =5 ~ 25pF	40			ppm
高調波発振開始電圧	V _{hho} (V _{SS})	C _G =5pF			-2.0	V
許容リーク抵抗	R _{leak}	OSC1とV _{DD} , V _{SS} の間	200			MΩ

*1 ()内、重負荷保護モードで動作の場合

S1C60N05 (CR発振)

特記なき場合

 $V_{DD}=0V$, $V_{SS}=-3.0V$, $R_{CR}=480k\Omega$, $T_a=25$

項目	記号	条件	Min	Typ	Max	単位
発振周波数バラツキ	fosc		-20	65kHz	20	%
発振開始電圧	Vsta		-1.8			V
発振開始時間	tsta	$V_{SS}=-1.8 \sim -3.5V$		3		ms
発振停止電圧	Vstp		-1.8			V

S1C60L05 (CR発振)

特記なき場合

 $V_{DD}=0V$, $V_{SS}=-1.5V$, $R_{CR}=480k\Omega$, $T_a=25$

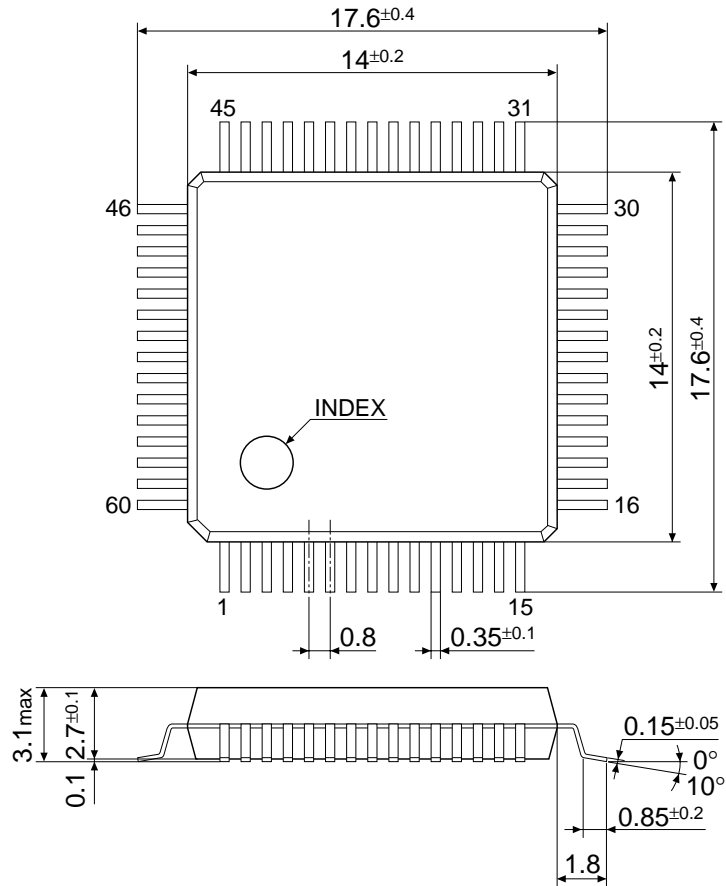
項目	記号	条件	Min	Typ	Max	単位
発振周波数バラツキ	fosc		-20	65kHz	20	%
発振開始電圧	Vsta		-1.2			V
発振開始時間	tsta	$V_{SS}=-1.2 \sim -2.0V$		3		ms
発振停止電圧	Vstp		-1.2			V

7 パッケージ

7.1 プラスチックパッケージ

QFP6-60pin

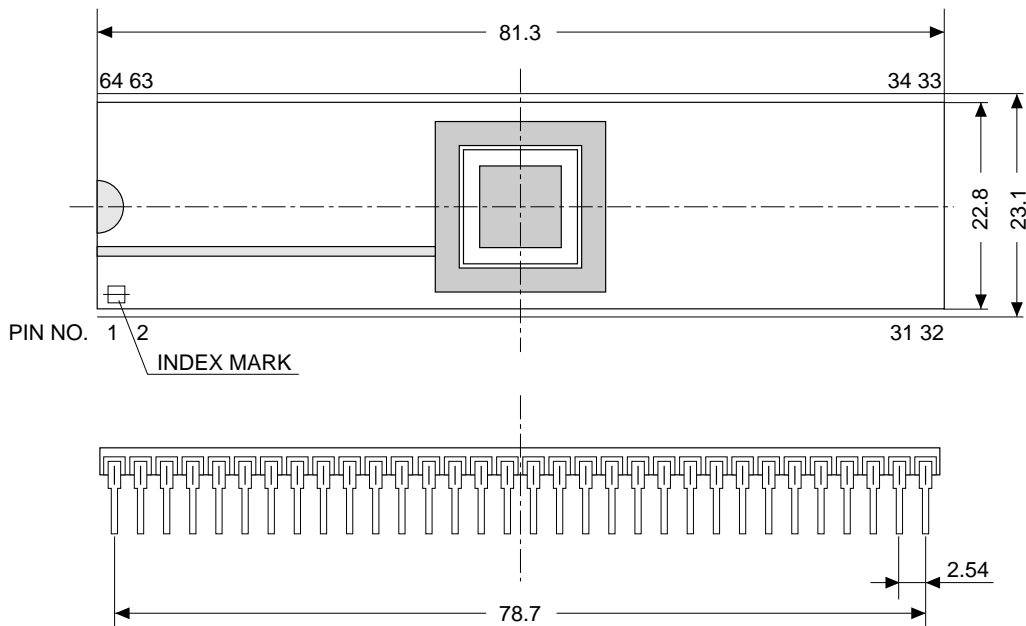
(単位: mm)



7.2 テストサンプル用セラミックパッケージ

DIP-64pin

(単位: mm)

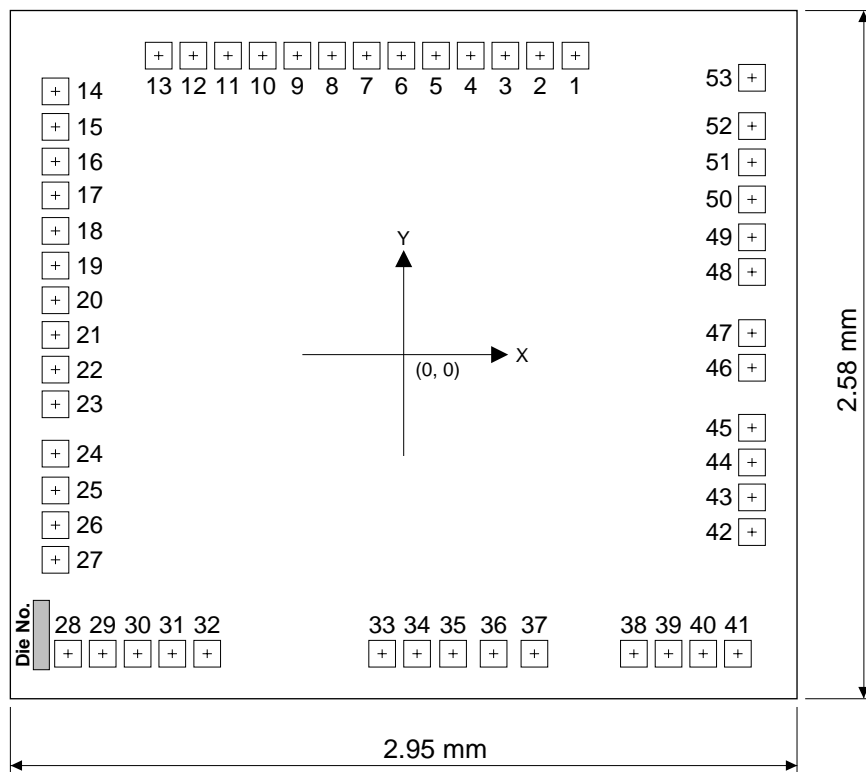


No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	N.C.	17	OSC1	33	R02	49	SEG6
2	SEG17	18	OSC2	34	R03	50	SEG7
3	SEG18	19	Vs1	35	RS	51	SEG8
4	SEG19	20	P00	36	TH1	52	SEG9
5	COM0	21	P01	37	TH2	53	SEG10
6	COM1	22	P02	38	CS	54	SEG11
7	COM2	23	P03	39	N.C.	55	N.C.
8	COM3	24	N.C.	40	N.C.	56	N.C.
9	N.C.	25	N.C.	41	N.C.	57	TEST
10	VL3	26	N.C.	42	ADOUT	58	RESET
11	VL2	27	K00	43	SEG0	59	SEG12
12	VL1	28	K01	44	SEG1	60	SEG13
13	CA	29	K02	45	SEG2	61	SEG14
14	CB	30	K03	46	SEG3	62	SEG15
15	VSS	31	R00	47	SEG4	63	SEG16
16	VDD	32	R01	48	SEG5	64	N.C.

N.C. = No Connection

8 パッド配置

8.1 パッド配置図



8.2 パッド座標

パッドNo.	パッド名	X座標	Y座標	パッドNo.	パッド名	X座標	Y座標
1	ADOUT	644	1,121	28	VL3	-1,259	-1,121
2	SEG0	511	1,121	29	VL2	-1,129	-1,121
3	SEG1	381	1,121	30	VL1	-998	-1,121
4	SEG2	251	1,121	31	CA	-868	-1,121
5	SEG3	121	1,121	32	CB	-737	-1,121
6	SEG4	-9	1,121	33	VSS	-81	-1,121
7	SEG5	-139	1,121	34	VDD	50	-1,121
8	SEG6	-269	1,121	35	OSC1	185	-1,121
9	SEG7	-399	1,121	36	OSC2	337	-1,121
10	SEG8	-529	1,121	37	Vs1	490	-1,121
11	SEG9	-659	1,121	38	P00	863	-1,121
12	SEG10	-789	1,121	39	P01	993	-1,121
13	SEG11	-919	1,121	40	P02	1,123	-1,121
14	TEST	-1,306	987	41	P03	1,253	-1,121
15	RESET	-1,306	854	42	K00	1,306	-665
16	SEG12	-1,306	724	43	K01	1,306	-535
17	SEG13	-1,306	597	44	K02	1,306	-404
18	SEG14	-1,306	464	45	K03	1,306	-274
19	SEG15	-1,306	334	46	R00	1,306	-49
20	SEG16	-1,306	204	47	R01	1,306	81
21	SEG17	-1,306	74	48	R02	1,306	310
22	SEG18	-1,306	-56	49	R03	1,306	440
23	SEG19	-1,306	-186	50	RS	1,306	582
24	COM0	-1,306	-371	51	TH1	1,306	721
25	COM1	-1,306	-509	52	TH2	1,306	857
26	COM2	-1,306	-639	53	CS	1,306	1,038
27	COM3	-1,306	-769				

(単位: μm)

9 実装上の注意事項

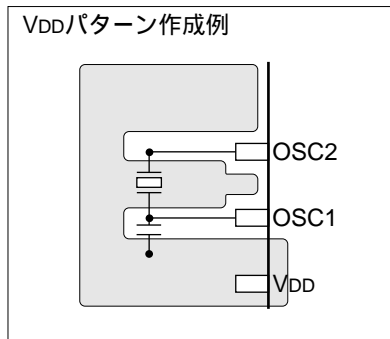
<発振回路>

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC2端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1、OSC2端子およびこれらの端子に接続された部品の周辺部は右図のようにV_{DD}パターンをできるだけ広く作成してください。また、このV_{DD}パターンは発振用途以外に使用しないでください。



OSC1 - V_{SS}間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1はV_{SS}電源や信号線とは十分な距離を確保してください。

<リセット回路>

パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

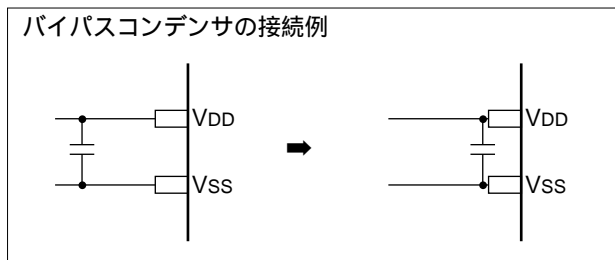
また、マスクオプションによりRESET端子のブルダウン抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

<電源回路>

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からV_{DD}およびV_{SS}端子へはできるだけ短くかつ太いパターンで接続してください。
- (2) V_{DD} - V_{SS}のバイパスコンデンサを接続する場合、V_{DD}端子とV_{SS}端子をできるだけ最短で接続してください。



- (3) V_{S1}、V_{L1} ~ V_{L3}端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。特にV_{L1} ~ V_{L3}の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

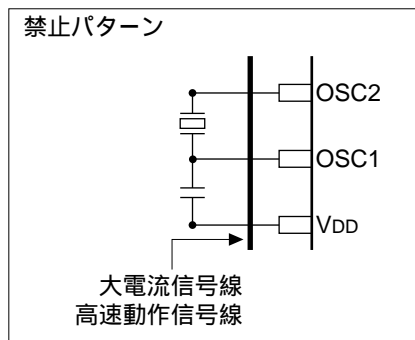
LCDドライバを使用しない場合は、V_{L1} ~ V_{L3}端子を開放としてください。

< 信号線の配置 >

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



< 光に対する取り扱い(ベアチップ実装の場合)>

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1)実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2)検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3)ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

Appendix S1C60N05技術情報

このAppendixには、セイコーエプソンのS1C60N05を使用して温度計を設計する際に必要となる情報が掲載されています。以下の説明には石塚電子製のサーミスタを使用します。

A 温度計の設計手順

ここでは、S1C60N05とサーミスタを使用した温度計の設計手順を説明します。

A.1 設計手順

設計手順の概要は以下のとおりです。

- (1) 外付けコンデンサの容量と発振周波数の決定
- (2) A/Dコンバータのアップカウンタに設定する初期値の決定
- (3) A/D変換後にアップカウンタから得られる値から、直線近似によって表示温度を算出

上記手順の詳細は後述します。

温度計を設計する前に、測定温度範囲、基準温度、使用するサーミスタを決定しておく必要があります。

測定温度範囲 開発するアプリケーションの仕様に合わせて決定してください。

基準温度 最も正確に測定する必要がある温度を基準温度に設定してください。

サーミスタ サーミスタは測定温度範囲および基準温度を考慮して選択してください。また、ICの仕様に合ったものが必要です。

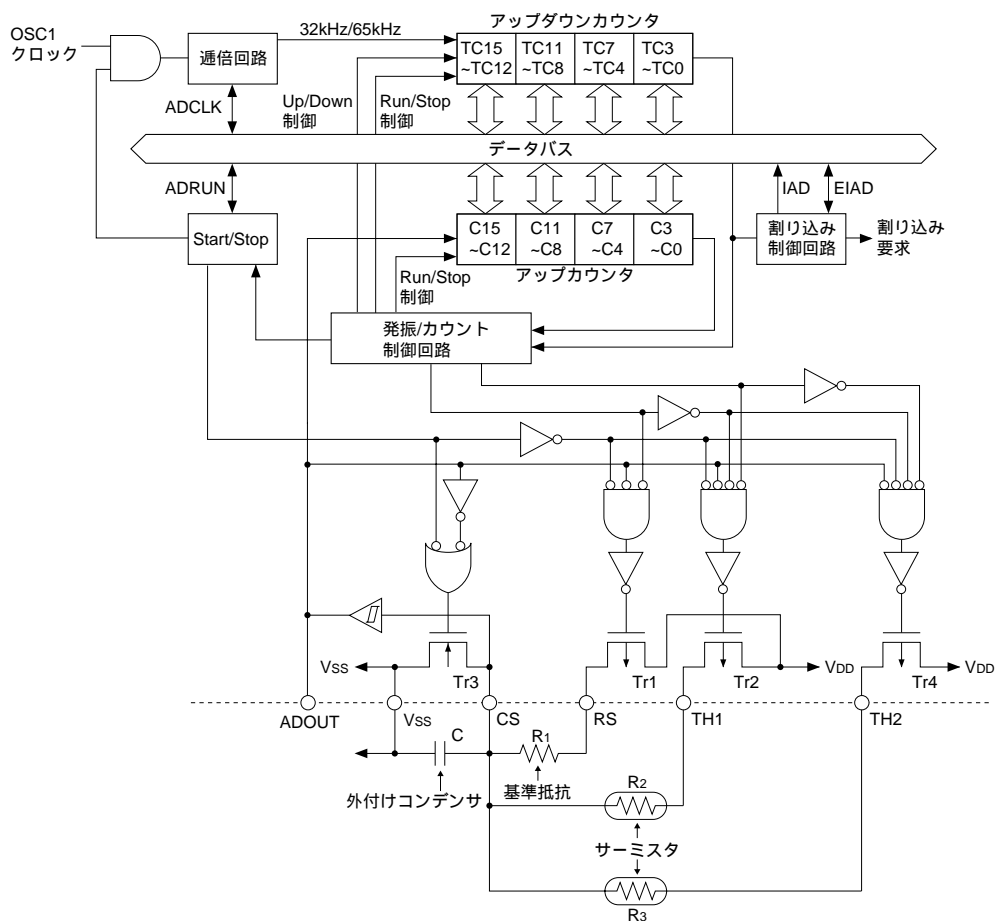
以下の説明は、これらの条件を次のように設定した場合を想定して行います。

温度測定範囲: -30°C ~ 70°C

基準温度: 20°C

サーミスタ: 石塚電子製 103AT (S1C60N05の仕様に合致)

設計の参考に、A/Dコンバータの回路図を次に示します。



A.2 コンデンサ容量と発振周波数の求め方

S1C60N05のA/Dコンバータは、基準抵抗とサーミスタを同一のコンデンサを使用して個別に発振させてA/D変換を行います。以下に、基準抵抗値、外付けコンデンサの容量およびCR発振周波数を求める方法を説明します。

表A.2.1

項目	説明	サーミスタ103AT使用時の事例
基準抵抗値(R ₁)	基準温度におけるサーミスタの抵抗値とします。	25°Cにおける103ATの抵抗値は10kΩです。したがって、基準抵抗を10kΩとします。
発振用コンデンサ容量の算出	<p>発振周波数、コンデンサ容量および抵抗値の関係は次のとおりです。</p> $f = \frac{K}{CR}$ <p>f: 発振周波数 K: CR発振係数 C: 容量 R: 抵抗値</p> <p>S1C60N05におけるfとKの条件をもとに、上記の式によりCが求められます。 設定可能な条件の範囲内でCの値を小さくすることにより、変換精度が上がります。</p>	<p>S1C60N05におけるfとKの条件は次のとおりです。</p> <p>f(max) = 85kHz (IC動作上の上限) 1 K 3 (S1C60N05の発振係数)</p> <p>これらの条件により、次の式が得られます。</p> $85\text{kHz} = \frac{K}{CR_2(TMAX)}$ <p>R₂(TMAX): サーミスタの最小抵抗値</p> <p>Kを最悪条件の3とすると、</p> $C = \frac{3}{85 \times 10^3 \times 2.23 \times 10^3} = 15,800 \text{ (pF)}$ <p>となります。結果としてCを次の値に決定します。 C = 22,000 (pF) (汎用品の容量)</p>
基準抵抗による発振周波数の算出	<p>上記の式でCが決定すると、基準抵抗による発振周波数(f_{CR1})は次の式で求められます。</p> $f_{CR1} \text{ (kHz)} = \frac{K}{CR_1}$	<p>次のように求められます。</p> $f_{CR1} = \frac{(1 \sim 3)}{22,000 \times 10^{-12} \times 10 \times 10^3} = 4.5 \sim 13.5 \text{ (kHz)}$

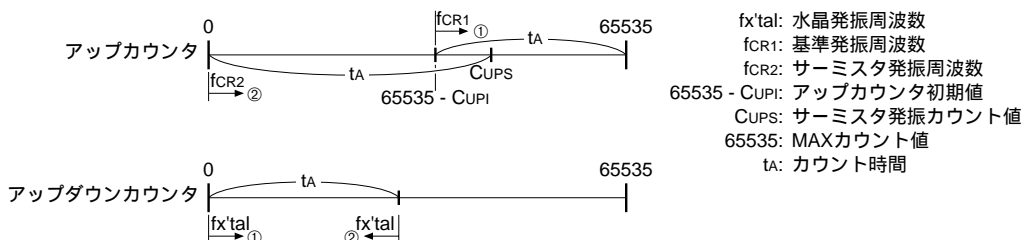
表A.2.1に示した式により、コンデンサの容量は22,000pF、基準抵抗による発振周波数は4.5～13.5kHzに決定します。

103ATの詳細についてはAppendix Cを参照してください。

A.3 アップカウンタ初期値の設定

前項でコンデンサの容量と基準抵抗による発振周波数が決定しましたので、次にA/Dコンバータのアップカウンタに設定する初期値を決定します。以下、その求め方を説明します。

A/Dコンバータの動作については、"4.8 A/Dコンバータ"を参照してください。



図A.3.1

アップカウンタとアップダウンカウンタの関係は図A.3.1のとおりです。

アップカウンタの初期値を設定する場合、次の条件を満たしてください。

- 条件1: アップカウンタがカウントアップ中にアップダウンカウンタがオーバーフローしないこと
条件2: アップダウンカウンタがカウントダウン中にアップカウンタがオーバーフローしないこと

これらの条件により、アップカウンタの初期値は以下の式により求められます。

表A.3.1

項目	説明	サーミスタ103AT使用時の実例
条件1によるアップカウンタ初期値の取得	<p>条件1から次の式が得られます。</p> $65535 > t_A \cdot f_{x'tal} = \frac{65535 - C_{UPI}}{f_{CR1}} \times f_{x'tal}$ $C_{UPI} > (1 - \frac{f_{CR1}}{f_{x'tal}}) \times 65535$ <p>初期値 $65535 - C_{UPI} \dots (a)$</p>	<p>$f_{x'tal} = 65\text{kHz}$, $f_{CR1} = 4.5 \sim 13.5\text{kHz}$より</p> $C_{UPI} = (1 - \frac{4.5 \times 10^3}{65 \times 10^3}) \times 65535 \quad 59571$ $C_{UPI} = (1 - \frac{13.5 \times 10^3}{65 \times 10^3}) \times 65535 \quad 50707$ <p>初期値 $65535 - 59571 = 5964 \dots (a)'$</p>
条件2によるアップカウンタ初期値の取得	<p>条件2から次の式が得られます。</p> $65535 > C_{UPS} = t_A \times f_{CR2(3)}$ $= \frac{f_{CR2}}{f_{CR1}} \times (65535 - C_{UPI})$ $C_{UPI} = (1 - \frac{f_{CR1}}{f_{CR2(3)}}) \times 65535$ <p>初期値 $65535 - C_{UPI} \dots (b)$</p> <p>式(a)および(b)により、初期値を決定することができます。</p>	<p>$f_{CR1} = 4.5 \sim 13.5\text{kHz}$, $f_{CR2} = 85\text{kHz}$ (IC動作上限)より</p> $C_{UPI} = (1 - \frac{4.5 \times 10^3}{85 \times 10^3}) \times 65535 \quad 60608$ $C_{UPI} = (1 - \frac{13.5 \times 10^3}{85 \times 10^3}) \times 65535 \quad 53837$ <p>初期値 $65535 - 60608 = 4927 \dots (b)'$</p> <p>(a)'と(b)'から、初期値は4927以下となります。ここでは3000を設定することになります。 (条件の範囲で初期値を大きくすることにより変換精度が上がります。)</p>

表A.3.1に示した式により、アップカウンタの初期値(3,000)が得られました。

A.4 直線近似による表示温度の算出

表示温度を得るための直線近似式を次に示します。

$$\text{表示温度 (}^\circ\text{C)} = (\text{A/D変換後のカウント値} - \text{温度範囲の最小カウント値}) \\ \times \text{直線近似係数} + \text{温度範囲の最小温度}$$

この式により、表示する温度が得られます。以下、算出方式および式の内容について説明します。

A/D変換後のカウント値

A/D変換終了後のアップカウンタの値です。

温度範囲の最小カウント値、温度範囲の最小温度

直線近似によって表示温度を算出するには、直線近似を行う温度範囲を決定する必要があります。ここでは、例として-30°C ~ 70°Cの温度測定を行うものとします。

たとえば、10°Cきざみで直線近似を行う場合、温度範囲は-30°C ~ -20°C、-20°C ~ -10°C ... 60°C ~ 70°Cのように分けられます。これらの温度範囲ごとの最小値が、直線近似式中の"温度範囲の最小温度"です。一方、温度範囲ごとの最大値が"温度範囲の最大温度"となります。

実際の温度に対応するカウント値は次の式で表されます。

$$\begin{aligned} \text{A/Dコンバータのカウント値} &= \frac{f_{CR2(3)}}{f_{CR1}} \times \text{アップカウンタ初期値} \\ &= \frac{(K/CR2(3))}{(K/CR1)} \times \text{アップカウンタ初期値} \\ &= \frac{R_1}{R2(3)} \times \text{アップカウンタ初期値} \end{aligned}$$

この式に、温度範囲の最小温度に対応するサーミスタの抵抗値(R2)と基準抵抗値(R1)、およびアップカウンタの初期値を代入することにより、"温度範囲の最小カウント値"が求められます。

直線近似係数

直線近似係数は1カウントが温度範囲内で何度(°C)の変化に相当するかを示す値で、次の式で表されます。

$$\text{直線近似係数} = \frac{\text{温度範囲の温度幅}}{\text{温度範囲の最大カウント値} - \text{温度範囲の最小カウント値}}$$

(この式からわかるように、温度範囲が小さいほど、変換精度が上がります。)

表A.4.1に温度範囲を10°Cに設定した場合のそれぞれの値を示します。

表A.4.1

温度(°C)	103ATサーミスタ R ₂ 抵抗値(kΩ)	測定温度範囲内の 直線近似係数	カウント値
-30	111.3		269
-20	67.74	0.0575	443
-10	42.45	0.0380	706
0	27.28	0.0254	1099
10	17.96	0.0175	1670
20	12.09	0.0123	2481
30	8.313	0.00887	3608
40	5.828	0.00650	5147
50	4.161	0.00485	7209
60	3.021	0.00368	9930
70	2.229	0.00283	13459

次に、この表を利用した表示温度の算出例を示します。

例

A/D変換によって3200のカウント値が得られた場合を想定します。

このカウント値は表A.4.1の3608～2481の範囲内です。つまり、20°～30°の温度範囲内であることがわかります。

- ・ 温度範囲の最小カウント値: 2481
- ・ 温度範囲の最大カウント値: 3608
- ・ 直線近似係数: 0.00887

これらの値から、表示温度は次のように求められます。

$$\text{表示温度} = (3200 - 2481) \times 0.00887 + 20(^{\circ}\text{C}) = 26.377(^{\circ}\text{C})$$

B 誤差要因

S1C60N05のA/Dコンバータとサーミスタによって温度を算出する際には、以下に示す誤差を考慮した処理を行ってください。

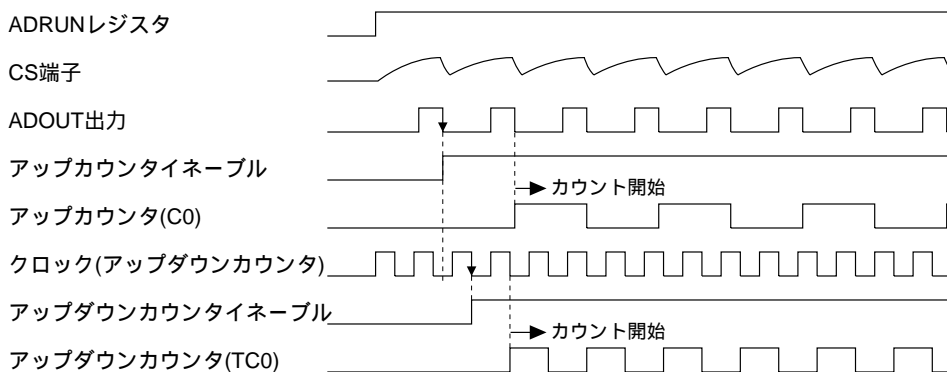
B.1 サーミスタ抵抗値のばらつき

サーミスタの精度は製造元の保証範囲内となります。

B.2 A/Dコンバータの誤差要因

基準抵抗(R_1)とサーミスタ(R_2)のA/D変換誤差(回路上の要因)

基準抵抗(R_1)のCR発振により、アップカウンタとアップダウンカウンタは下図に示すタイミングでカウントを行います。



図B.2.1

A/Dコンバータが動作を開始後、CS端子の最初の立ち下がりエッジでアップカウンタがイネーブルとなり、次の立ち下がりエッジからカウントを開始します。アップダウンカウンタは、アップカウンタがイネーブルとなった後、入力クロックの最初の立ち下がりエッジでイネーブルとなり、次のクロック立ち下がりからカウントを開始します。

アップカウンタはカウンタ値が0になるとディセーブルとなります。アップダウンカウンタはその直後のクロックの立ち下がりエッジでディセーブルとなります。

ここまでで、アップダウンカウンタの値は次に示す誤差を生じます。

カウント開始時: 最小 0	}	合計 -2カウント (アップダウンカウンタ値)
最大 -1カウント(アップダウンカウンタ値)		
カウント停止時: 最小 0	}	
最大 -1カウント(アップダウンカウンタ値)		

サーミスタ(R_2)によるCR発振でも同様の誤差が生じます。ただし、アップダウンカウンタがカウントダウンを行うため、カウント誤差は次のようになります。

カウント開始時: 最小 0	}	合計 -2カウント (アップダウンカウンタ値)
最大 -1カウント(アップダウンカウンタ値)		
カウント停止時: 最小 0	}	
最大 -1カウント(アップダウンカウンタ値)		

したがって、回路上では最大2カウントの誤差を生じます。2カウントの誤差への影響を以下に示します。

$$\Delta_1\text{MAX}(\%) = \frac{2}{(f_{\text{CLK}}/f_{\text{CR1}}) \times \text{CUP11}} \times 100 \dots(1)$$

$$\Delta_2\text{MAX}(\%) = \frac{2}{(f_{\text{CLK}}/f_{\text{CR2}}) \times \text{CUPS}} \times 100 \dots(2)$$

fCLK: クロック周波数 (32kHz/64kHz)
 fCR1: 基準抵抗によるCR発振周波数(Hz)
 CUP11: アップカウンタ初期値(回)
 $\Delta_1\text{MAX}$: 基準抵抗によるCR発振の最大誤差(%)
 fCR2: サーマスタによるCR発振周波数(Hz)
 CUPS: サーマスタのカウント値(回)
 $\Delta_2\text{MAX}$: サーマスタによるCR発振の最大誤差(%)

アップダウンカウンタのカウント数は同じはずなので、次の式が成り立ちます。

$$\frac{f_{\text{CLK}}}{f_{\text{CR1}}} \times \text{CUP11} = \frac{f_{\text{CLK}}}{f_{\text{CR2}}} \times \text{CUPS} \dots(3)$$

アップダウンカウンタが2カウントずれた場合は次のようになります。

$$\frac{f_{\text{CLK}}}{f_{\text{CR1}}} \times \text{CUP11} = \frac{f_{\text{CLK}}}{f_{\text{CR2}}} \times \text{CUPS} \pm 2$$

$$\frac{f_{\text{CR2}}}{f_{\text{CR1}}} = \frac{\text{CUPS} \pm 2 \times (f_{\text{CR2}}/f_{\text{CLK}})}{\text{CUP11}} \dots(3)'$$

(1)は基準抵抗によるCR発振時のカウント誤差、(2)はサーミスタによるCR発振時のカウント誤差です。全体の誤差はfCR1とfCR2の比率による式(3)'で表されます。

式(3)'で誤差を表している部分は $\pm 2 \times (f_{\text{CR2}}/f_{\text{CLK}})$ です。CUP11とCUPSが大きい場合には、この誤差を無視できます。

アップカウンタの初期値(CUP11)の決定方法については、Appendix Aを参照してください。

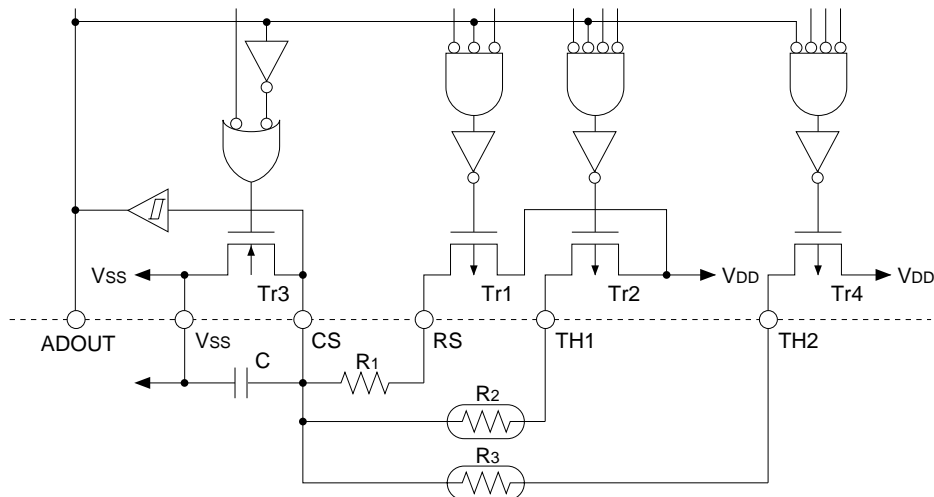
CR発振係数(K)誤差

CR発振係数KはIC内部のシュミットトリガのロジックレベルで決まります。ただし、S1C60N05では1つのシュミットトリガを基準抵抗とサーミスタの発振回路で共用しているため、この要因による誤差は発生しません。

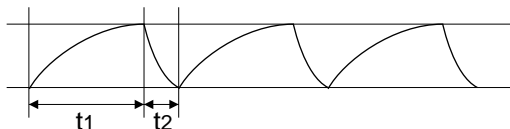
トランジスタON抵抗による誤差

基準抵抗とサーミスタにはトランジスタのON抵抗が直列に接続された形になりますので、誤差の要因となります。

図B.2.2の回路において、まず、Tr1またはTr2がON、Tr3がOFFし、コンデンサにチャージします。次に、CS端子電圧があるレベルに達した時点でTr1またはTr2はOFF、Tr3がONします。この動作により図B.2.3のような発振波形が生成されます。



図B.2.2



図B.2.3

Tr1、Tr2のON抵抗はt1、Tr3のON抵抗はt2の時定数に影響します。

S1C60N05内部のトランジスタについては、ON抵抗が最大100Ωに規定されています。これには、温度特性、PchおよびNchなどの特性によるばらつきも含まれています。

また、Evaluation Boardでは標準のICが使用されており、実測では約1kΩです(ただし、保証値ではありませんので、参考にとどめてください)。

このトランジスタのON抵抗による誤差は、以下の式で表されます。

$$\Delta_3 (\%) = \frac{\text{アップカウンタカウント数} - \text{実際のアップカウンタカウント数}}{\text{アップカウンタカウント数}} \times 100$$

$$= \frac{K}{\text{CUP11} - \frac{C(R_1 + R_{Tr})}{f_{CR1}} \times \text{CUP11}} \times 100 = \left\{ 1 - \frac{R_1}{(R_1 + R_{Tr})} \right\} \times 100$$

$$\Delta_4 (\%) = \frac{\text{アップカウンタカウント数} - \text{実際のアップカウンタカウント数}}{\text{アップカウンタカウント数}} \times 100$$

$$= \frac{K}{\text{CUPS} - \frac{C(R_2 + R_{Tr})}{f_{CR2}} \times \text{CUP11}} \times 100 = \left\{ 1 - \frac{R_2}{(R_2 + R_{Tr})} \right\} \times 100$$

- Δ_3 : 基準抵抗によるCR発振時のトランジスタON抵抗による誤差(%)
 Δ_4 : サーミスタによるCR発振時のトランジスタON抵抗による誤差(%)
 CUP11: アップカウンタ初期値(回)
 CUPS: サーミスタのカウント値(回)
 RTr: トランジスタON抵抗(Ω)
 fCR1: 基準抵抗によるCR発振周波数(Hz)
 fCR2: サーミスタによるCR発振周波数(Hz)

例: サーミスタ103ATで60°C測定時のトランジスタON抵抗による誤差

$$\Delta_3 = \left\{ 1 - \frac{10 \times 10^3}{(10 \times 10^3 + 100)} \right\} \times 100 \quad 1\%$$

$$\Delta_4 = \left\{ 1 - \frac{3.217 \times 10^3}{(3.217 \times 10^3 + 100)} \right\} \times 100 \quad 3\%$$

トランジスタON抵抗が直列に接続されることによって、以下の誤差を生じます。

基準抵抗によるCR発振時: 1%

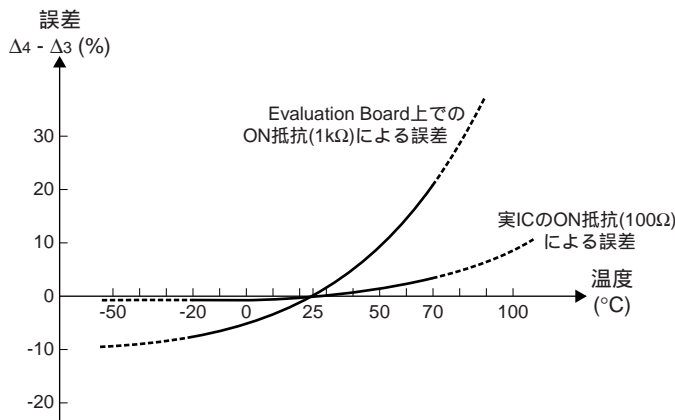
サーミスタによるCR発振時: 3%

Δ_3 、 Δ_4 の式からわかるように、 R_1 および R_2 の値が大きいほどトランジスタON抵抗の影響は小さくなります。

高温では R_2 の値が小さくなることによって Δ_4 が大きくなり、変換精度も下がります。この精度がアプリケーションの仕様を満たさない場合、補正の処理が必要となります。

サーミスタ103ATを使用した場合の、Evaluation Boardと実ICのA/DコンバータON抵抗の誤差($\Delta_4 - \Delta_3$)を図B.2.4に示します。

サーミスタ103AT使用時のON抵抗による誤差



図B.2.4

この図はEvaluation BoardのON抵抗を1kΩ、実ICのON抵抗を100Ωとした場合のON抵抗の誤差をグラフにしたものです。

このグラフによるとEvaluation Boardは実ICに比べて誤差が大きく、Evaluation Boardで評価したプログラムが実ICでは正しく動作しない可能性があります。

このような不具合を減らすためには、ON抵抗の誤差をできるだけ小さくする必要があります。

そのためには、より大きな値のサーミスタ抵抗を選択することです。

サーミスタ抵抗値は最低でも10kΩ($T_a = 25^\circ\text{C}$)以上は必要です。グラフ(図B.2.4)はその推奨最低値の条件のものですが、10kΩでも温度が60°C以上になると大きな誤差が発生していることがわかります。

たとえば実ICで10kΩ($T_a = 25^\circ\text{C}$)のサーミスタを使用する場合、Evaluation Boardではサーミスタを直列に10個つないで100kΩ($T_a = 25^\circ\text{C}$)とし、基準抵抗も100kΩにし、コンデンサを1/10とすることで、見かけ上実ICのON抵抗に近づけることができます。

ただし、ON抵抗は電源電圧などに大きく影響され、また変換結果は基板実装方法でも変わるため、上記のような方法をとってもEvaluation Boardと実ICの結果が全く同一となることはありません。基本的に、実ICを使用した最終製品の複数サンプルの結果で合わせ込みが必要になります。

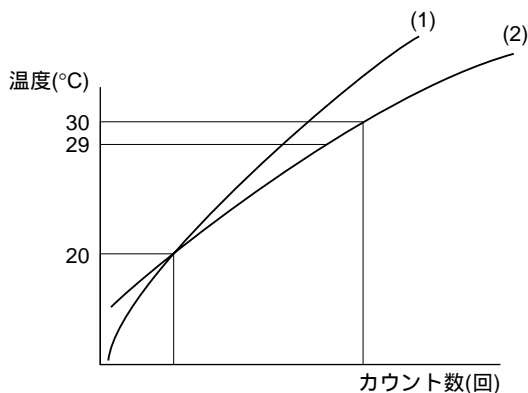
B.3 浮遊容量による誤差

IC内部、基板、センサのリード線などの浮遊容量が誤差要因となります。IC内部の浮遊容量は数pF程度ですので、コンデンサの容量を大きくすることにより無視できます。

B.4 ソフトウェア上の誤差

通常、ソフトウェアは直線近似によってカウンタ値を実際の温度に変換します。このため直線近似による誤差が生じます。

図B.4.1のように20°C～30°Cの温度範囲を直線近似する場合、20°Cと29°Cでは1カウントの重みが違います。



図B.4.1

(1)の傾斜ではこの区間の1カウントの持つ直線近似係数は大きく、(2)の傾斜では小さくなります。たとえば、20°Cを基準にこの20°C～30°Cの区間を同じ直線近似係数で変換した場合、29°Cで直線近似係数が最大になるため、誤差も最大となります。

この誤差は、ソフトウェアで設定する温度範囲およびカウンタの初期値、サーミスタの種類によって変わります。

C 参考: ATサーミスタの仕様

特長

ATサーミスタは抵抗値およびB定数の許容差が極めて小さい($\pm 1\%$)高精度サーミスタです。

ATサーミスタを温度センサとして使用した場合、制御回路とセンサ間の調整作業を必要とせず、 $\pm 0.3^\circ\text{C}$ の温度精度が得られます。高精度の温度制御、温度表示が容易に実現できます。

- ・抵抗-温度特性の許容差が極めて小さい。
- ・経時変化が小さく高信頼性である。
- ・低価格
- ・耐候性にすぐれている。

用途

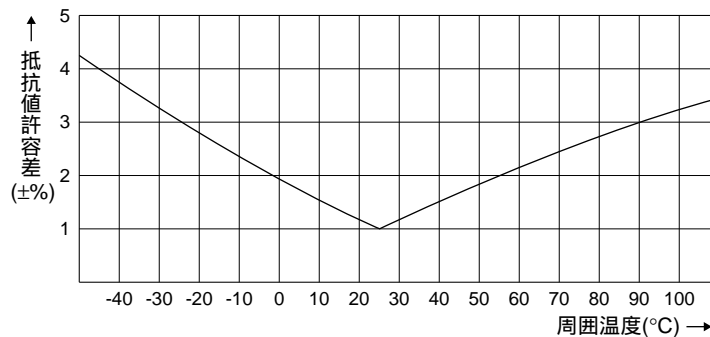
エアコン・ファンヒータ、FF暖房機、冷蔵庫、給湯器、ボイラ・厨房機器、複写機、プリンタ、ファクシミリ、自動販売機、乾燥機、加湿器、農業用機器、自動車(外気温・車内温・エアフローセンサ)、ポータブル温度計、体温計、医用機器、電子ジャー、ソーラーシステム、温水便器、火災検知器、ホームオートメーション。

型名

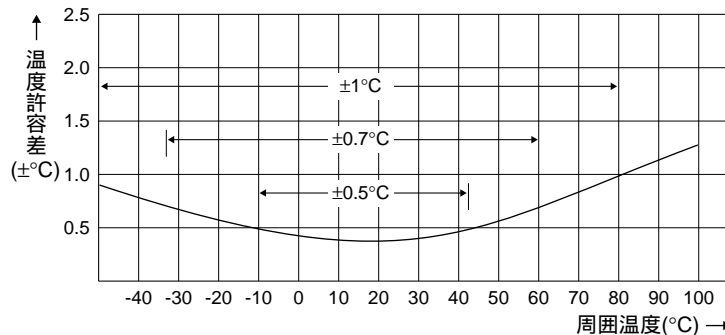
103 AT-2

外形種別
高精度ATサーミスタ
ゼロ負荷抵抗値(25°C) 103: $10\text{k}\Omega$

抵抗値許容差グラフ



温度精度グラフ



AT型と従来型との比較

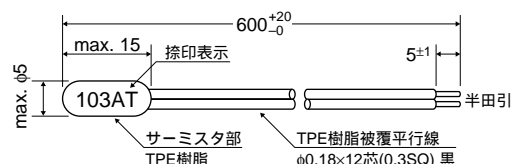
サーミスタ	R25許容差	B許容差	温度許容差(25°C)	1°C毎の温度制御(表示)
AT型	±1%	±1%	±0.3°C	回路調整不要
従来型	±5%	±3%	±1.3°C	回路調整必要

特性定格

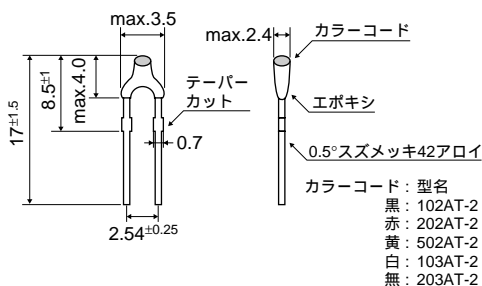
型名	R25	B定数	熱放散定数 (mW/°C)	熱時定数(s)	最大許容電力 (mW) 25°C	使用温度範圍 (°C)
102AT-1	1kΩ±1%	3100K±1%	約3	約75	15	-50 ~ 90
202AT-1	2kΩ±1%	3182K±1%	〃	〃	〃	〃
502AT-1	5kΩ±1%	3324K±1%	〃	〃	〃	-50 ~ 105
103AT-1	10kΩ±1%	3435K±1%	〃	〃	〃	〃
102AT-2	1kΩ±1%	3100K±1%	約2	約15	10	-50 ~ 90
202AT-2	2kΩ±1%	3182K±1%	〃	〃	〃	〃
502AT-2	5kΩ±1%	3324K±1%	〃	〃	〃	-50 ~ 110
103AT-2, 3	10kΩ±1%	3435K±1%	〃	〃	〃	〃
203AT-2	20kΩ±1%	4013K±1%	〃	〃	〃	〃
103AT-4	10kΩ±1%	3435K±1%	〃	約10	〃	-30 ~ 90

外形寸法図(AT-3, 4は略)

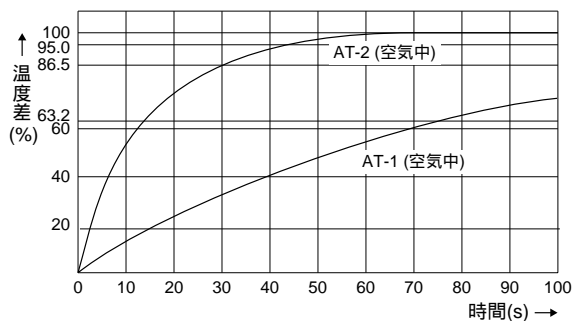
AT-1



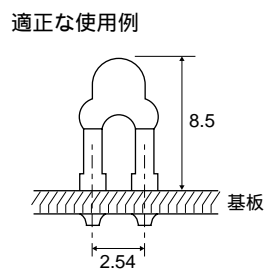
AT-2



熱応答性



基板半田付け方法



半田付け条件: 260°C, 10秒以内

抵抗-温度特性(-50℃ ~ 29℃)

Temp (°C)	103AT		
	Rmax (kΩ)	Rst (kΩ)	Rmin (kΩ)
-50	344.4	329.2	314.7
-49	324.7	310.7	297.2
-48	306.4	293.3	280.7
-47	289.2	277.0	265.3
-46	273.2	261.8	250.8
-45	258.1	247.5	237.3
-44	244.0	234.1	224.6
-43	230.8	221.6	212.7
-42	218.5	209.8	201.5
-41	206.8	198.7	191.0
-40	195.9	188.4	181.1
-39	185.4	178.3	171.5
-38	175.5	168.9	162.6
-37	166.2	160.1	154.2
-36	157.5	151.8	146.2
-35	149.3	144.0	138.8
-34	141.6	136.6	131.8
-33	134.4	129.7	125.2
-32	127.6	123.2	118.9
-31	121.2	117.1	113.1
-30	115.1	111.3	107.5
-29	109.3	105.7	102.2
-28	103.8	100.4	97.16
-27	98.63	95.47	92.41
-26	93.75	90.80	87.93
-25	89.15	86.39	83.70
-24	84.82	82.22	79.71
-23	80.72	78.29	75.93
-22	76.85	74.58	72.36
-21	73.20	71.07	68.99
-20	69.74	67.74	65.80
-19	66.42	64.54	62.72
-18	63.27	61.52	59.81
-17	60.30	58.66	57.05
-16	57.49	55.95	54.44
-15	54.83	53.39	51.97
-14	52.31	50.96	49.63
-13	49.93	48.66	47.42
-12	47.67	46.48	45.31
-11	45.53	44.41	43.32
-10	43.50	42.45	41.43
-9	41.54	40.56	39.59
-8	39.68	38.76	37.85
-7	37.91	37.05	36.20
-6	36.24	35.43	34.63
-5	34.65	33.89	33.14
-4	33.14	32.43	31.73
-3	31.71	31.04	30.39
-2	30.35	29.72	29.11
-1	29.06	28.47	27.89
0	27.83	27.28	26.74
1	26.64	26.13	25.62
2	25.51	25.03	24.55
3	24.44	23.99	23.54
4	23.42	22.99	22.57
5	22.45	22.05	21.66
6	21.52	21.15	20.78
7	20.64	20.29	19.95
8	19.80	19.48	19.15
9	19.00	18.70	18.40
10	18.24	17.96	17.67
11	17.51	17.24	16.97
12	16.80	16.55	16.31
13	16.13	15.90	15.67
14	15.50	15.28	15.06
15	14.89	14.68	14.48
16	14.31	14.12	13.93
17	13.75	13.57	13.40
18	13.22	13.06	12.89
19	12.72	12.56	12.41
20	12.23	12.09	11.95
21	11.77	11.63	11.50
22	11.32	11.20	11.07
23	10.90	10.78	10.66
24	10.49	10.38	10.27
25	10.10	10.00	9.900
26	9.732	9.632	9.533
27	9.381	9.281	9.181
28	9.044	8.944	8.845
29	8.721	8.622	8.523

抵抗-温度特性(30℃ ~ 110℃)

Temp (°C)	103AT		
	Rmax (kΩ)	Rst (kΩ)	Rmin (kΩ)
30	8.412	8.313	8.215
31	8.113	8.015	7.917
32	7.826	7.729	7.632
33	7.551	7.455	7.359
34	7.288	7.192	7.097
35	7.036	6.941	6.846
36	6.793	6.699	6.606
37	6.561	6.468	6.375
38	6.338	6.246	6.154
39	6.124	6.033	5.942
40	5.918	5.828	5.739
41	5.719	5.630	5.541
42	5.527	5.439	5.352
43	5.343	5.256	5.170
44	5.166	5.080	4.996
45	4.996	4.912	4.828
46	4.833	4.749	4.667
47	4.676	4.594	4.512
48	4.525	4.444	4.364
49	4.380	4.300	4.221
50	4.240	4.161	4.084
51	4.104	4.026	3.950
52	3.973	3.897	3.822
53	3.847	3.772	3.698
54	3.726	3.652	3.579
55	3.609	3.537	3.465
56	3.497	3.426	3.355
57	3.389	3.319	3.249
58	3.285	3.216	3.148
59	3.184	3.116	3.049
60	3.088	3.021	2.955
61	2.994	2.928	2.863
62	2.903	2.838	2.775
63	2.816	2.752	2.690
64	2.732	2.669	2.608
65	2.650	2.589	2.529
66	2.572	2.512	2.452
67	2.496	2.437	2.379
68	2.423	2.365	2.308
69	2.353	2.296	2.240
70	2.285	2.229	2.174
71	2.219	2.163	2.109
72	2.155	2.101	2.047
73	2.093	2.040	1.987
74	2.034	1.981	1.930
75	1.976	1.924	1.874
76	1.920	1.870	1.820
77	1.866	1.817	1.768
78	1.814	1.766	1.718
79	1.764	1.716	1.669
80	1.716	1.669	1.622
81	1.668	1.622	1.577
82	1.623	1.577	1.533
83	1.578	1.534	1.490
84	1.536	1.492	1.449
85	1.494	1.451	1.409
86	1.454	1.412	1.371
87	1.415	1.374	1.333
88	1.378	1.337	1.297
89	1.341	1.301	1.262
90	1.306	1.266	1.228
91	1.271	1.233	1.195
92	1.238	1.200	1.163
93	1.206	1.169	1.132
94	1.175	1.138	1.102
95	1.144	1.108	1.073
96	1.115	1.080	1.045
97	1.087	1.052	1.018
98	1.059	1.025	0.9918
99	1.032	0.9988	0.9663
100	1.006	0.9735	0.9416
101	0.9812	0.9489	0.9175
102	0.9567	0.9250	0.8942
103	0.9330	0.9018	0.8716
104	0.9100	0.8793	0.8496
105	0.8877	0.8575	0.8284
106	0.8660	0.8364	0.8077
107	0.8456	0.8159	0.7877
108	0.8245	0.7960	0.7683
109	0.8047	0.7767	0.7495

セイコーエプソン株式会社 電子デバイス営業本部

ED東日本営業部

東京 〒191-8501 東京都日野市日野421-8
TEL (042) 587-5313(直通) FAX (042) 587-5116

仙台 〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F
TEL (022) 263-7975(代表) FAX (022) 263-7990

ED西日本営業部

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000(代表) FAX (06) 6120-6100

名古屋 〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F
TEL (052) 953-8031(代表) FAX (052) 953-8041

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com/domcfg.nsf>