

S1C17 シリーズテクニカルマニュアル正誤表

項目 T16A/T16A2 の CBUFEN レジスタについて			
対象マニュアル	発行 No.	項目	ページ
S1C17624/604/622/602/621 テクニカルマニュアル	411914802	13.8 制御レジスタ詳細	13-15
S1C17705/703 テクニカルマニュアル	411706502	10.8 制御レジスタ詳細	10-18
S1C17706 テクニカルマニュアル	412026301	10.8 制御レジスタ詳細	10-17
S1C17711 テクニカルマニュアル	411905502	10.8 制御レジスタ詳細	10-14
S1C17554/564 テクニカルマニュアル	411914302	11.8 制御レジスタ詳細	11-14
S1C17651 テクニカルマニュアル	412120500	12.8 制御レジスタ詳細	12-13
<p>13-15 ページ S1C17624/604/622/602/621 テクニカルマニュアル 10-17 ページ S1C17706 テクニカルマニュアル 12-13 ページ S1C17651 テクニカルマニュアル</p>			
<p>(誤)</p> <p>D3 CBUFEN: Compare Buffer Enable Bit</p> <p>コンペアバッファを有効/無効に設定します。</p> <p>1(R/W): 有効</p> <p>0(R/W): 無効(デフォルト)</p> <p>CBUFEN を 1 に設定するとコンペアバッファが有効になり、コンパレータはコンペア A、コンペア B レジスタの代わりにコンペア A、コンペア B バッファとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。ソフトウェアでコンペア A、コンペア B レジスタに書き込んだ比較値は、コンペア B 信号が発生した時点でコンペア A、コンペア B バッファにロードされます。</p> <p>CBUFEN を 0 に設定するとコンペアバッファが無効となり、コンパレータはコンペア A、コンペア B レジスタとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。</p> <p>注: CBUFEN の設定は、カウンタが停止中 (PRUN = 0) に行ってください。</p>			
<p>(正)</p> <p>D3 CBUFEN: Compare Buffer Enable Bit</p> <p>コンペアバッファを有効/無効に設定します。</p>			

1(R/W): 有効

0(R/W): 無効(デフォルト)

CBUFEN を 1 に設定するとコンペアバッファが有効になり、コンパレータはコンペア A、コンペア B レジスタの代わりにコンペア A、コンペア B バッファとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。ソフトウェアでコンペア A、コンペア B レジスタに書き込んだ比較値は、コンペア B 信号が発生した時点でコンペア A、コンペア B バッファにロードされます。

CBUFEN を 0 に設定するとコンペアバッファが無効となり、コンパレータはコンペア A、コンペア B レジスタとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。

注: CBUFEN の設定は、カウンタが停止中 (CLKEN = 0) に行ってください。

10-18 ページ S1C17705/703 テクニカルマニュアル

10-14 ページ S1C17711 テクニカルマニュアル

11-14 ページ S1C17554/564 テクニカルマニュアル

(誤)

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFEN が 1 に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。バッファの内容は、コンペア B 信号が発生した時点でコンペア A およびコンペア B レジスタにロードされます。

CBUFEN が 0 に設定されている場合は、コンペアデータの書き込みがコンペア A およびコンペア B レジスタに対して直接行われます。

注: CBUFEN の設定は、カウンタが停止中 (PRUN = 0) に行ってください。

(正)

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFEN が 1 に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。バッファの内容は、コンペア B 信号が発生した時点でコンペア A およびコンペア B レジスタにロードされます。

CBUFEN が 0 に設定されている場合は、コンペアデータの書き込みがコンペア A およびコンペア B レジスタに対して直接行われます。

注: CBUFEN の設定は、カウンタが停止中 (CLKEN = 0) に行ってください。

S1C17 シリーズテクニカルマニュアル正誤表

項目 SPI スレーブモード時の送信バッファ emptiness 割り込み			
対象マニュアル	発行 No.	項目	ページ
S1C17003 テクニカルマニュアル	411635002	19.6 SPI 割り込み	19-8
		19.7 制御レジスタ詳細	19-13
		19.8 注意事項	19-15
S1C17705/703 テクニカルマニュアル	411706502	15.6 SPI 割り込み	15-5
		15.7 制御レジスタ詳細	15-8
19-8 ページ S1C17003 テクニカルマニュアル			
<p>(誤)</p> <p>送信バッファ emptiness 割り込み</p> <p>この割り込みを使用するには、SPTIE (D4/SPI_CTL レジスタ) を 1 に設定します。SPTIE が 0 (デフォルト) に設定されていると、この要因による割り込み要求は ITC に送られません。</p> <p>* SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit in the SPI Control (SPI_CTL) Register (D4/0x4326)</p> <p>送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPI モジュールは SPTBE ビット (D0/SPI_ST レジスタ) を 1 にセットして送信データバッファが空であることを示します。送信バッファ emptiness 割り込みが許可されていれば (SPTIE = 1)、これと同時に割り込み要求が ITC に出力されます。</p> <p>* SPTBE: Transmit Data Buffer Empty Flag in the SPI Status (SPI_ST) Register (D0/0x4320)</p> <p>もし、他の割り込み条件が満たされていれば、割り込みが発生します。</p> <p>SPI 割り込みが送信バッファ emptiness によるものかどうかについては、SPI 割り込み処理ルーチンで SPTBE フラグを読み出して確認してください。SPTBE が 1 であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。</p>			
<p>(正)</p> <p>送信バッファ emptiness 割り込み</p> <p>この割り込みを使用するには、SPTIE (D4/SPI_CTL レジスタ) を 1 に設定します。SPTIE が 0 (デフォルト) に設定されていると、この要因による割り込み要求は ITC に送られません。</p> <p>* SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit in the SPI Control (SPI_CTL) Register (D4/0x4326)</p> <p>送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPI モジュールは SPTBE ビット (D0/SPI_ST レジスタ) を 1 にセットして送信データバッファが空であることを示します。送信バッファ emptiness 割り込みが許可されていれば (SPTIE = 1)、これと同時に割り込み要求が ITC に</p>			

出力されます。

* **SPTBE**: Transmit Data Buffer Empty Flag in the SPI Status (SPI_ST) Register (D0/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

注：送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。

19-13 ページ S1C17003 テクニカルマニュアル

(誤)

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

(正)

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIE を 0 に設定すると、送信データバッファエンプティによる SPI 割り込みは発生しません。

注：送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。

19-15 ページ S1C17003 テクニカルマニュアル

(誤)

- SPBSYフラグ(D2/SPI_STレジスタ)が1の間およびSPRBFフラグ(D1/SPI_STレジスタ)が1の間(データの送受信中)は、SPI_CTLレジスタ(0x4326)にアクセスしないでください。

* **SPBSY**: Transfer Busy Flag in the SPI Status (SPI_ST) Register (D2/0x4320)

* **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI_ST) Register (D1/0x4320)

- SPI でデータの送受信を行っている最中に Read レジスタ(SPI_ST、SPI_RXD)に、Write アクセスを行わないで下さい。

(正)

- ・ SPBSYフラグ (D2/SPI_STレジスタ) が1の間およびSPRBFフラグ (D1/SPI_STレジスタ) が1の間(データの送受信中)は、SPI_CTLレジスタ(0x4326)にアクセスしないでください。
 - * **SPBSY**: Transfer Busy Flag in the SPI Status (SPI_ST) Register (D2/0x4320)
 - * **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI_ST) Register (D1/0x4320)
- ・ SPI でデータの送受信を行っている最中に Read レジスタ (SPI_ST、SPI_RXD) に、Write アクセスを行わないで下さい。
- ・ **送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。**

15-5 ページ S1C17705/703テクニカルマニュアル

(誤)

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE/SPI_CTLxレジスタを1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBE/SPI_STxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

(正)

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE/SPI_CTLxレジスタを1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBE/SPI_STxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

注：送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。

15-8 ページ S1C17705/703テクニカルマニュアル

(誤)

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

(正)

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

注: 送信バッファエンプティ割り込みは、マスタモード時にのみ使用可能です。