

S2R72A21

アプリケーションノート

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍사용途に使用する目的をもって製品および弊社が提供する技術を費消、再販または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1. 概要	3
2. 用語と略語	4
3. 動作説明	5
3.1 概要	5
3.2 基本的なシステム構成	5
3.3 基本動作	7
3.3.1 動作波形	7
3.3.2 各動作の説明	8
3.4 HS 送信電流調整	11
4. 接続例	12
4.1 Host SoC(同一基板に実装)を INT ポート、Portable Device を EXT ポートに接続	12
4.2 Host SoC(別基板に実装)を INT ポート、Portable Device を EXT ポートに接続	13
4.3 Host SoC(別基板に実装)を EXT ポート、Portable Device を INT ポートに接続	13
5. 各接続例における動作	14
5.1 Host SoC(同一基板に実装)を INT ポート、Portable Device を EXT ポートに接続	15
5.1.1 ADJ 設定	15
5.1.2 BC 制御	15
5.1.3 Role Switch 制御	15
5.1.4 Portable Device の切断検出方法	15
5.2 Host SoC(別基板に実装)を INT ポート、Portable Device を EXT ポートに接続	17
5.2.1 ADJ 設定	17
5.2.2 BC 制御	17
5.2.3 Role Switch 制御	17
5.2.4 Portable Device の切断検出方法	17
5.3 Host SoC(別基板に実装)を EXT ポート、Portable Device を INT ポートに接続	19
5.3.1 ADJ 設定	19
5.3.2 BC 制御	19
5.3.3 Role Switch 制御	19
5.3.4 Portable Device の切断検出方法	19
6. USB コンプライアンステスト	21
6.1 USB コンプライアンステストに向けた S2R72A21 の機能	21
6.2 一般的なテスト方法	21
6.2.1 High-speed Signal Quality	21
6.2.2 Test J / K	22
6.3 評価ボードにおけるテスト方法	22
6.3.1 テスト環境	22
6.3.2 テスト手順	23
6.4 各試験項目の注意点	25
6.4.1 EL_22	25
6.4.2 Full-speed Signal Quality	25
6.5 S2R72A21 搭載 Host システムのコンプライアンステスト	25
6.6 コンプライアンステストに関する問い合わせ先	26

7. PCB 設計ガイド	27
7.1 電源供給とリセット	27
7.2 DP/DM 信号ライン	27
7.2.1 基板配線.....	27
7.2.2 付加部品.....	27
7.3 発振回路	29
7.4 その他の注意事項	29
改訂履歴表	31

1. 概要

本ドキュメントは、USB2.0 Re-Synchronization IC: S2R72A21 のアプリケーションノートです。

本ドキュメントでは、S2R72A21 を介した USB 接続の概要、システムへの組み込み例や、S2R72A21 搭載製品のコンプライアンステスト、PCB 設計上の注意点などを説明します。S2R72A21 のハードウェア情報に関しては、S2R72A21 データシートを参照してください。

2. 用語と略語

2. 用語と略語

本アプリケーションノートで使用する用語と略語の定義を示します。

表 2.1 用語と略語

用語と略語	定義
Attach	ケーブルを挿す動作、または挿した瞬間。
ADJ 端子	HS 送信電流を設定する S2R72A21 の端子。
BC	Battery Charge。
BC Regulator	BC 規格に対応したレギュレータ。
Bus Reset	HS detection handshake の契機となる Bus の Reset。
Bus Switch	ポート間を接続するバススイッチ (アナログスイッチ)。
Chip Reset	S2R72A21 の XRESET 端子に Reset 信号を与えること。
Compliance Test	USB 製品の USB Logo 認証を取得するために実施するテスト。 USB-IF は、Compliance Test を Pass した製品を Integrators List に登録し、ライセンスを付与する。
Connect	Device の Rpu が ON となった状態。
Detach	ケーブルを抜く動作、または抜いた瞬間。
Device	USB 規格で定義される Device。
Disconnect	S2R72A21 を介した USB 接続が電氣的に切断された状態。
EOP	End-of-Packet。
EXT ポート	S2R72A21 の外部側ポート。
FS	Full-Speed。
FS_J	FS においてバスステートが J であること(差動"1")。
FS_K	FS においてバスステートが K であること(差動"0")。
Host	USB 規格で定義される Host。SOF を発行する主体。
Host SoC	初期状態で Host となる SoC (System-on-a-Chip)。
HS	High-Speed。
HS Synchronizer	Re-Synchronization を行う回路。
I2C	Inter-Integrated Circuit。シリアルインタフェースの一種。
INT ポート	S2R72A21 の内部側ポート。
LS	Low-Speed。
Portable Device (PD)	Smart phone、Tablet などの携帯デバイス。
Re-Synchronization	一方のポートに受信した HS packet を、再同期して他方のポートから送信すること。
Role Switch	Host と Device が入れ替わること。(注: OTG Device が Host の一部の役割を担うこととは異なる。)
SOF	Start-of-Frame。
USB-IF	USB Implementers Forum, Inc.
USB 規格	Universal Serial Bus Specification Revision 2.0

3. 動作説明

3.1 概要

S2R72A21 は、USB の信号経路として Bus Switch と HS Synchronizer の二つの経路を備えています。

Bus Switch は、INT_DP/DM と EXT_DP/DM を電氣的に接続し、LS/FS や BC の信号をそのまま通過させます。

HS Synchronizer は、INT_DP/DM または EXT_DP/DM の一方より受信した HS 信号を再同期し、他方のポートから送信します。

二つの経路の切り替えは、内蔵の Bus Monitor が自動的に行います。

3.2 基本的なシステム構成

基本的なシステム構成として、カーナビゲーションやディスプレイオーディオの基板(Host SoC 基板)上に S2R72A21 を実装した例を示します。S2R72A21 は、Host SoC の USB ポートと USB Type-A レセプタクルとの間に介在することで、Host SoC を Host、スマートフォンなどの Portable Device を Device として接続します。

この構成における S2R72A21 の端子接続の例を以下に示します。

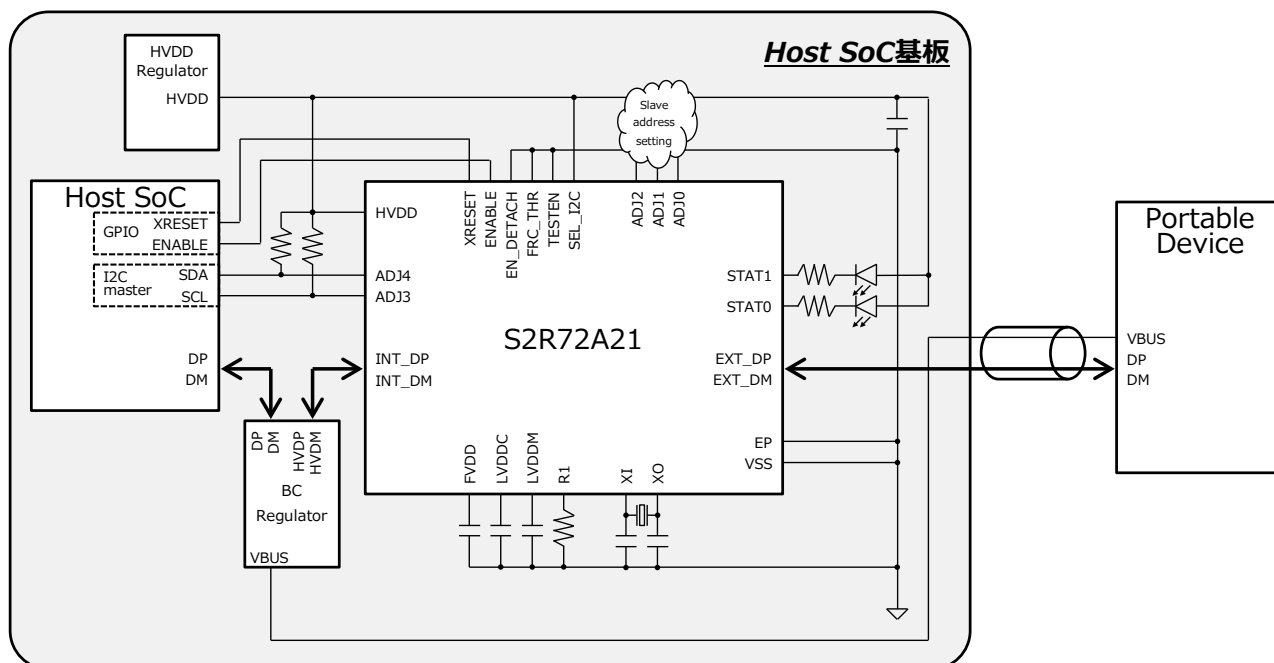


図 3.2.1 S2R72A21 の基本的なシステム構成

3. 動作説明

- INT_DP/DM : Host SoC の USB ポートを接続してください。
Role Switch を行う場合は Host SoC の USB OTG ポートに接続してください。なお、Portable Device に VBUS を供給するための BC Regulator を Host SoC の USB OTG ポートと S2R72A21 の INT ポートとの間に接続することも可能です。
BC Regulator は、BC 対応の Portable Device を接続した場合は、直接ネゴシエーションを行い VBUS 供給能力を設定することができます。BC 非対応の Portable Device を接続した場合は、VBUS 供給能力を、固定値あるいは Host SoC が設定してください。
- EXT_DP/DM : USB Type-A レセプタクルを接続してください。
USB ケーブルなどを用いて Portable Device を接続/切断してください。
- ENABLE : Host SoC の GPIO で制御してください。
Device の接続が可能なおときには 1 を、Device が切断されたときには 0 を入力してください。
- EN_DETACH : 基板上で 0 または 1 に固定してください。本章では、EN_DETACH=0 の場合を基本として説明します。
- FRC_THR : 基板上で 0 に固定してください。
- SEL_I2C : 基板上で 0 または 1 に固定してください。本章では、SEL_I2C=1 (I2C 使用) の場合を基本として説明します。
- ADJ[4:0] : 基板上で 0 または 1 に固定してください。
SEL_I2C=1 のときには ADJ[4:0] を I2C スレーブ機能として用いることができます。
ADJ[2:0] : 基板上で 0 または 1 に固定しスレーブアドレスを指定してください。
ADJ[3] : I2C マスターの SCL に接続し、HVDD にプルアップしてください。
ADJ[4] : I2C マスターの SDA に接続し、HVDD にプルアップしてください。
- STAT[1:0] : 内部状態を出力しています。デフォルトではオープンドレイン(0/HiZ)出力です。必要に応じてモニターしてください。

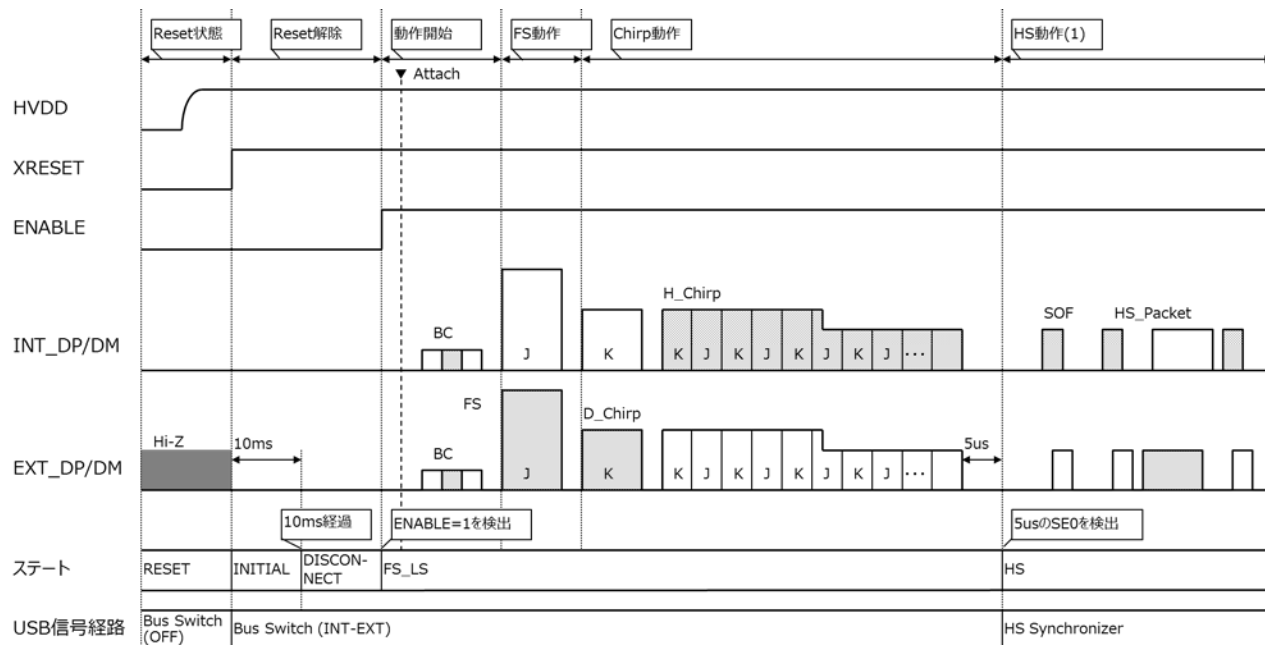
詳細な各種接続例およびその動作については 4 章および 5 章を参照してください。

3.3 基本動作

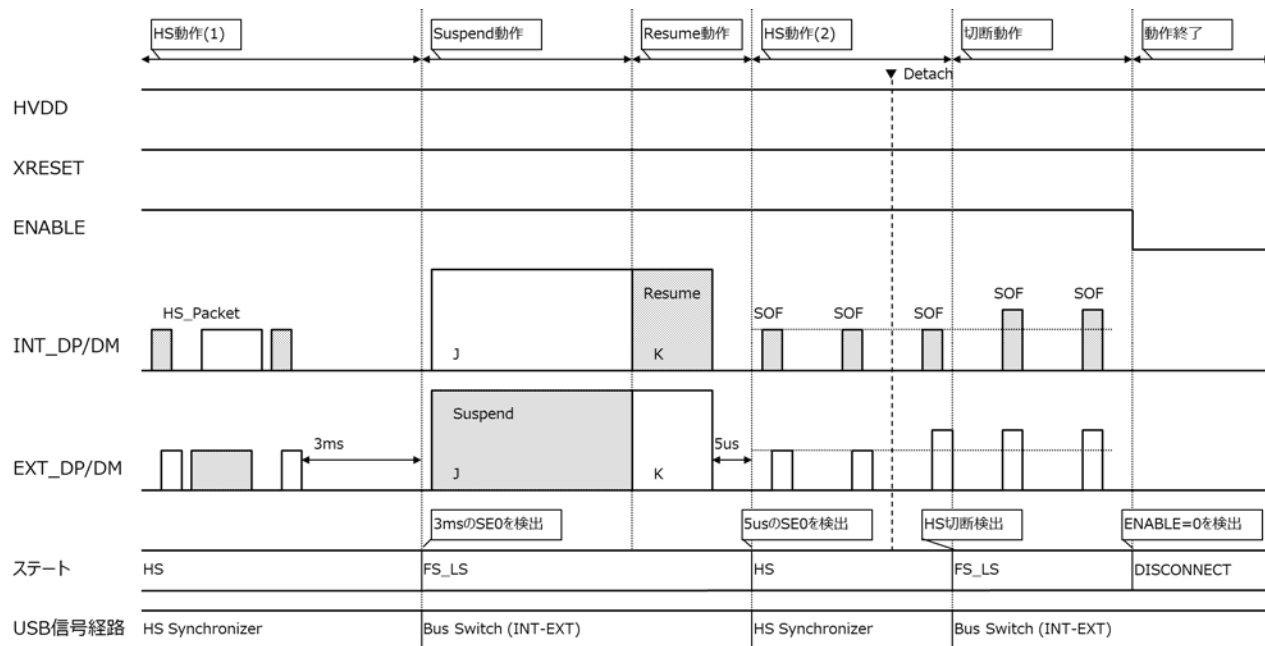
上述の基本的なシステム構成における S2R72A21 の基本動作について、USB2.0+BC の動作波形の一例を元に説明します。

3.3.1 動作波形

図 3.2.1 に示した基本的なシステム構成における S2R72A21 の動作波形を図 3.3.1.1 に示します。



a) Reset 状態から HS 動作(1)まで



b) HS 動作(1)から動作終了まで

図 3.3.1.1 基本動作波形

3. 動作説明

3.3.2 各動作の説明

上記動作波形中の各動作について、時系列順に説明します。

3.3.2.1 RESET 状態

電源投入後、XRESET=0 の状態では S2R72A21 は RESET ステートを保持します。

このとき、Bus Switch および HS Synchronizer はいずれも停止していますので、内部の USB 信号経路は切断状態になります。よって、この状態では EXT ポートは Hi-Z になります。

3.3.2.2 RESET 解除

XRESET=1 としてリセットを解除すると S2R72A21 は INITIAL ステートに遷移し、さらに 10ms 経過すると DISCONNECT ステートに遷移します。

このとき、USB 信号経路は Bus Switch を経由して INT ポートと EXT ポートとが接続されますので、BC Regulator が持つプルダウン抵抗により、INT ポートおよび EXT ポートは VSS レベルになります。

3.3.2.3 動作開始

Host SoC が ENABLE=1 とすると S2R72A21 は FS_LS ステートに遷移します。

このとき、DISCONNECT ステートと同様に、USB 信号経路は Bus Switch を経由して INT ポートと EXT ポートとが接続されていますので、BC Regulator が持つプルダウン抵抗により、INT ポートおよび EXT ポートは VSS レベルを保ちます。

この状態で BC 対応の Portable Device を Device として EXT ポートに Attach すると、BC のプロトコルに則って 0.6V 以下の信号レベルで Portable Device と BC Regulator とのネゴシエーションが行われます。

3.3.2.4 FS 動作

BC のネゴシエーションが終了すると、Portable Device は EXT ポートに FS_J を示し IDLE 状態を通知します。

このとき、USB 信号経路は Bus Switch の経路で INT ポートと EXT ポートとが接続されていますので、Host SoC は Host として IDLE 状態の Portable Device が接続されていることを検出することができます。

Host SoC は Portable Device を検出した後、HS ターミネーションを有効にし、INT ポートに SE0 をドライブすることで Bus Reset を開始します。

3.3.2.5 Chirp 動作

Host SoC からの Bus Reset を受けた後、Portable Device は HS 対応であることを示すために EXT ポートに Chirp K を送出します。Host SoC はこれを受けた後、自らも HS 対応であることを示すために INT ポートに Chirp K-J を送出します。これらのやりとりは Host SoC の HS ターミネーションが有効な状態で行われるため、振幅は約 800mV になります。

Portable Device は Chirp K-J-K-J-K-J を検出すると、自らの HS ターミネーションも有効にするため、これ以降の Chirp K-J は振幅が約 800mV から約 400mV に変化した状態で続きます。

S2R72A21 はこの一連の Chirp 動作を Bus Monitor で検出し、Chirp の終了を待機します。

3.3.2.6 HS 動作(1)

Host SoC から INT ポートへの Chirp K-J 送出が終了し、SE0 を検出したときに S2R72A21 は Chirp が終了したと判断し、HS ステートに遷移します。

このとき、USB 信号経路は Bus Switch から HS Synchronizer に切り替わりますので、Host SoC は Chirp 送出終了から最初の SOF 送信開始までは 5us 以上待機してください。

この状態では、INT ポートで受信した Host SoC からの HS 信号、および EXT ポートで受信した Portable Device からの HS 信号はそれぞれ HS Synchronizer で再同期してから他方のポートへ送信されます。このとき HS パケットの SYNC フィールドを 32bit に補って再同期するためパケット遅延が生じます。よって、Host SoC はこの遅延を考慮したスケジューリングで通信を行ってください。また、USB 規格 7.1.19.2 節に記載のタイムアウトが発生しないようにしてください。特に Hub を多段接続する場合に注意が必要です。

なお、HS 動作時には INT ポートあるいは EXT ポートのどちらかが SOF を受信したかを検出しており、SOF を検出した側と逆側のポートの HS 切断検出回路を有効にします。基本動作においては Host SoC が接続されている INT ポートで SOF を受信するため、Portable Device が接続されている EXT ポートの HS 切断検出回路を有効にします。

3.3.2.7 Suspend 動作

HS 動作中に INT ポートおよび EXT ポートのいずれも HS 信号を受信しない状態が 3ms 経過すると、S2R72A21 は HS 動作の中断と判断し、Suspend 検出に備えて FS_LS ステートに遷移します。

このとき、USB 信号経路は HS Synchronizer から Bus Switch に切り替わり INT ポートと EXT ポートとが接続されますので、Host SoC および Portable Device は最後の HS 信号送出から 2.95ms 以降は HS 信号を送出しないでください。

USB 信号経路が Bus Switch に切り替わった後、EXT ポートの状態を検出します。SE0 を検出したら Host SoC が Bus Reset を示していると判断し、FS_J を検出したら Host SoC が Suspend を示していると判断します。前者の場合は Chirp 動作に備えますが、後者の場合は FS_J の検出が継続している間は Suspend 動作中としてステートならびに USB 信号経路を保持します。

3.3.2.8 Resume 動作

Suspend 動作中に EXT ポートの状態を検出し続けますが、SE0 を検出したら S2R72A21 は Host SoC が Bus Reset を示していると判断し、FS_K を検出したら Host SoC が Resume を示していると判断し Suspend 動作を終了します。前者の場合は Chirp 動作に備えますが、後者の場合は FS_K の検出が継続している間は Resume 動作中としてステートならびに USB 信号経路を保持します。

3.3.2.9 HS 動作(2)

EXT ポートの FS_K が終了し、SE0 を検出したときに S2R72A21 は Host が Resume を解除したと判断し、HS ステートに遷移します。

このとき、USB 信号経路は Bus Switch から HS Synchronizer に切り替わりますので、Host SoC は Resume 終了から最初の SOF 送信開始までは 5us 以上待機してください。

Resume 解除後の HS 動作は Suspend 前の状態を保持しているため、基本動作においては再び Portable Device が接続されている EXT ポートの HS 切断検出回路を有効にします。

3. 動作説明

3.3.2.10 切断動作

HS 動作中に Portable Device が切断(Detach)されると、Portable Device の HS ターミネーションが消失しますので、EXT ポートの HS 信号の振幅が約 400mV から約 800mV に変化します。有効にされている EXT ポートの HS 切断検出回路は、40bit time 分の幅を持つ SOF の EOP でこの振幅の変化を検出し、Portable Device が Detach されたと判断すると、S2R72A21 は FS_LS ステータスに遷移します(EN_DETACH=0 の場合)。

このとき、USB 信号経路は HS Synchronizer から Bus Switch に切り替わり INT ポートと EXT ポートとが接続されますので、以降の Host SoC が送信する HS パケットは Bus Switch を通じて INT ポートから EXT ポートにそのまま通過します。Detach された Portable Device の HS ターミネーションは既に消失していますので、Host SoC からの出力は振幅が約 800mV で送出されることとなります。そのため、Host SoC は自らの HS 切断検出回路を用いて Portable Device が Detach されたことを検出することが可能になります。

なお、EN_DETACH=1 に設定されている場合は、Portable Device が Detach されたと判断すると、S2R72A21 は DETACH ステータスに遷移します。このとき、Bus Switch および HS Synchronizer はいずれも停止していますので、内部の USB 信号経路は切断状態になり、EXT ポートは Hi-Z になります。これにより、EXT ポート側のケーブルは USB 信号経路から除外されますので、INT ポート側と EXT ポート側に接続されるケーブル長の合計が長い場合でも、Host SoC は反射波の影響がより少ない状態で Portable Device が Detach されたことを検出することが可能になります。この状態で 3ms 経過すると、S2R72A21 は FS_LS ステータスに遷移します。

図 3.3.2.10.1 に EN_DETACH=1 の場合の切断動作波形を示します。

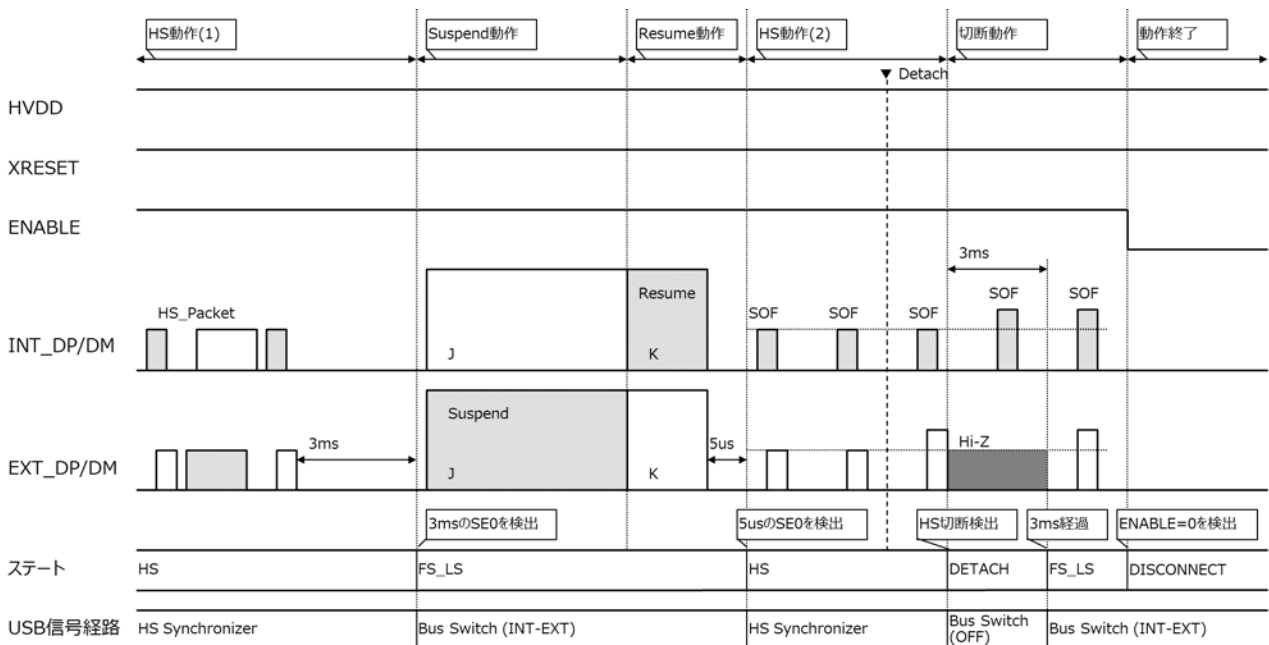


図 3.3.2.10.1 EN_DETACH=1 の場合の切断動作波形

3.3.2.11 動作終了

Host SoC は Portable Device が Detach されたことを検出したら、ENABLE=0 にすることで S2R72A21 へ Detach 検出を通知することができます。これにより S2R72A21 は DISCONNECT ステータスに遷移します。

このとき、INT ポートと EXT ポートとの接続が保持されますので、Host である Host SoC が持つプルダウン抵抗により、INT ポートおよび EXT ポートは VSS レベルになります。

この後、ENABLE=1 にすることで再び動作開始となり、Portable Device が Device として再度接続されるのを待機します。

なお、ENABLE 端子による制御の代わりに XRESET 端子を 0→1 と変化させて 10ms 待機することによっても、DISCONNECT ステートへ遷移します。ここで ENABLE=1 を検出することで、再 Attach を受け付ける状態となります。

3.4 HS 送信電流調整

HS 送信電流調整機能(以下、ADJ 機能)は、HS 接続時に INT ポートおよび EXT ポートから送信する電流を調整する機能です。本機能により、USB 信号の振幅を調整することができます。詳しくは、データシートの 6.4.1 節を参照してください。

本節では、ADJ 機能設定上の注意点を説明します。

図 3.4.1 に、USB ケーブルを含む USB システムの一例と、HS 信号振幅の模式図を Eye pattern の形で示します。

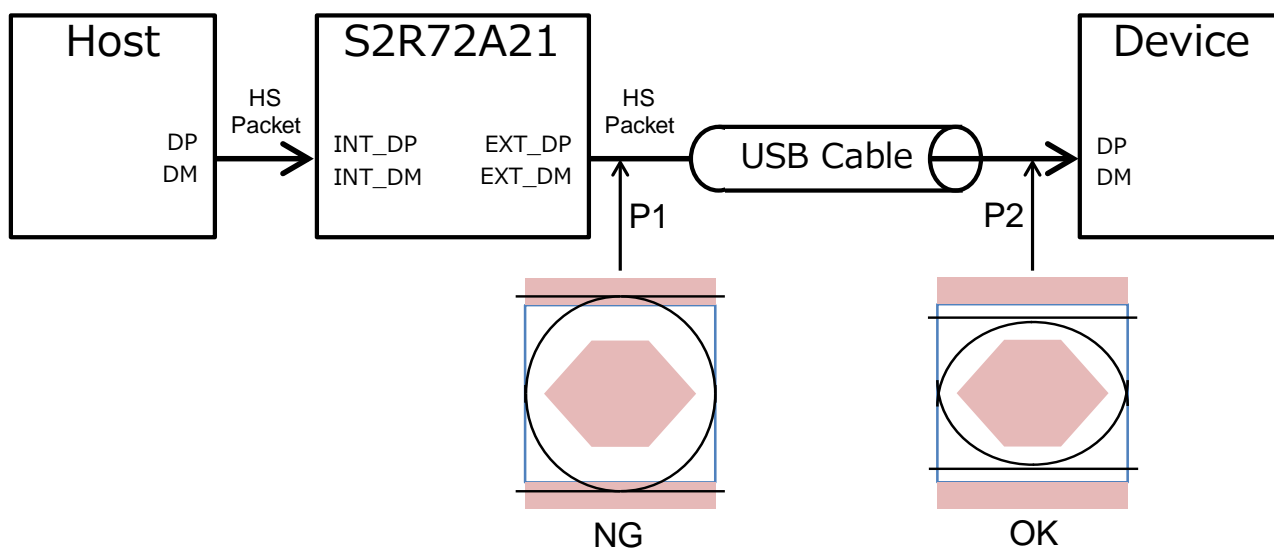


図 3.4.1 USB システムの一例と信号振幅の模式図

Host から送出された HS パケットは、S2R72A21 により再同期され、USB ケーブルを介して Device に届きます。P1 は S2R72A21 端子における信号測定点、P2 は Device における測定点です。

S2R72A21 から送信された HS 信号は、USB ケーブル等により減衰して Device に届きますので、図に示したように、P2 よりも P1 の信号振幅が大きくなります。

S2R72A21 は自身の端子位置の SOF 電圧レベル上昇にて切断検出を行いますので、P1 における SOF 信号振幅が切断検出レベルを超えないように注意して ADJ 機能を設定してください。

4. 接続例

4. 接続例

S2R72A21 のシステムへの接続例を 3 通り示します。各接続例における動作の詳細は、5 章を参照してください。

なお、図中の”EP”は Exposed die pad を示します。

Portable Device が Role Switch を実行するデバイスであり、Role Switch の期間中 Bus が Floating となる場合、Portable Device 側の DP および DM を pull-down する(例:1MΩ)ことを推奨します。

4.1 Host SoC(同一基板に実装)を INT ポート、Portable Device を EXT ポートに接続

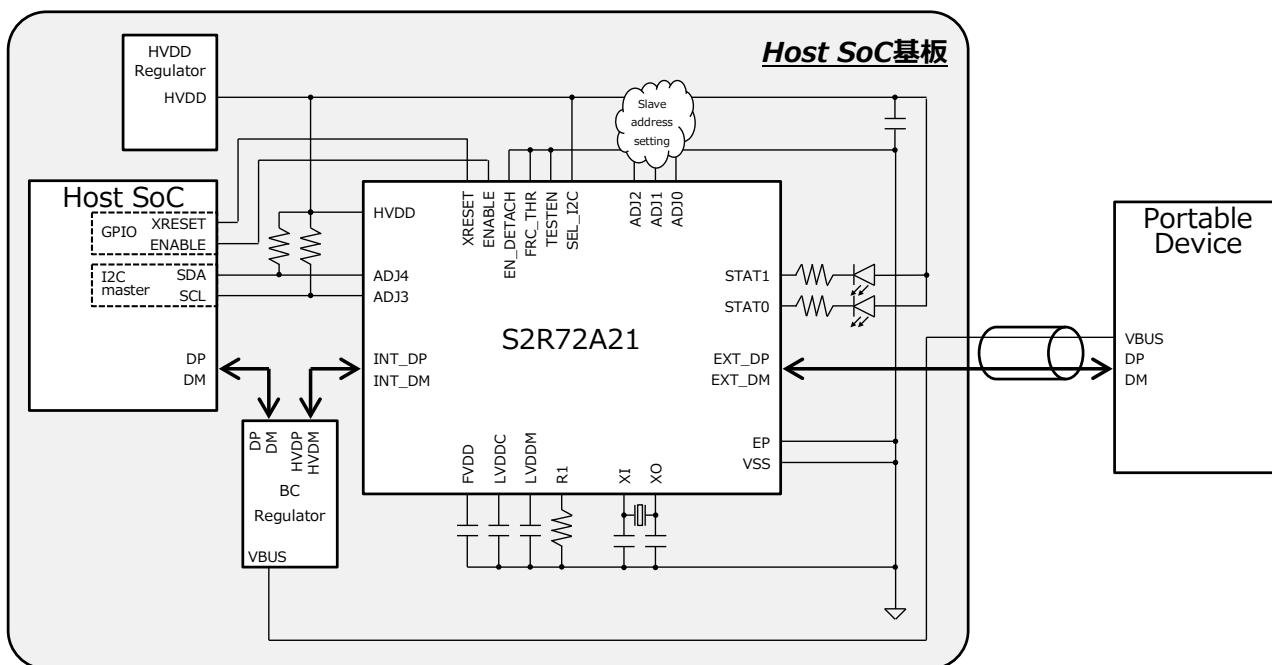


図 4.1.1 Host SoC(同一基板に実装)を INT ポート、Portable Device を EXT ポートに接続

図 3.2.1 に示した、基本的なシステム構成と同様です。

4.2 Host SoC(別基板に実装)を INT ポート、Portable Device を EXT ポートに接続

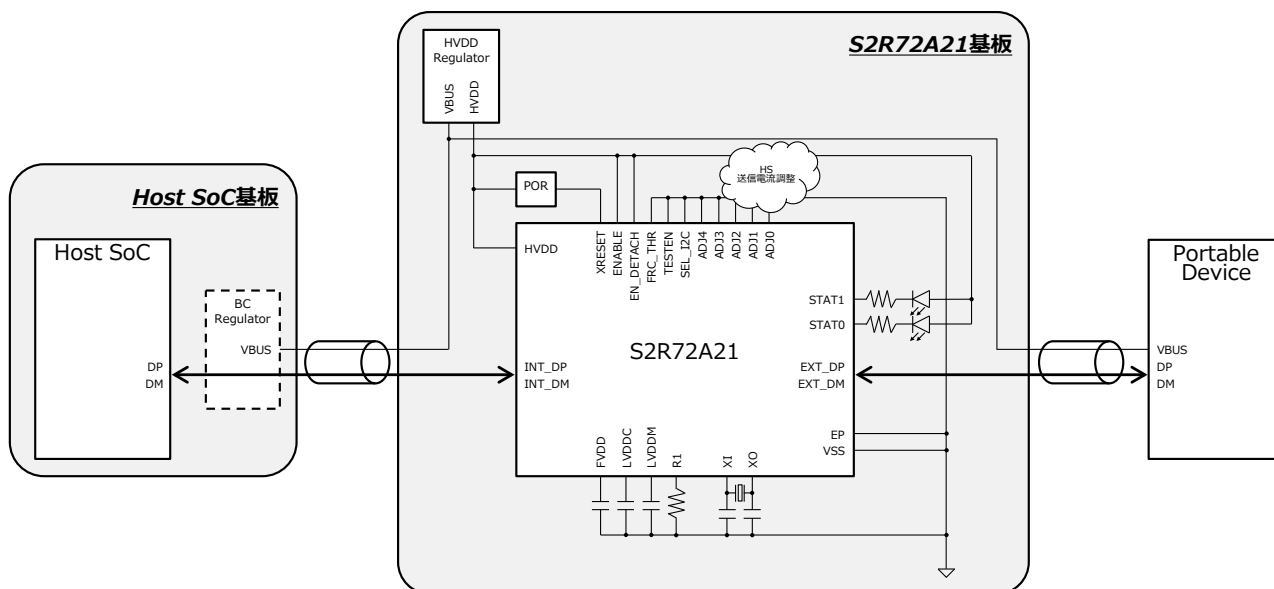


図 4.2.1 Host SoC(別基板に実装)を INT ポート、Portable Device を EXT ポートに接続

4.3 Host SoC(別基板に実装)を EXT ポート、Portable Device を INT ポートに接続

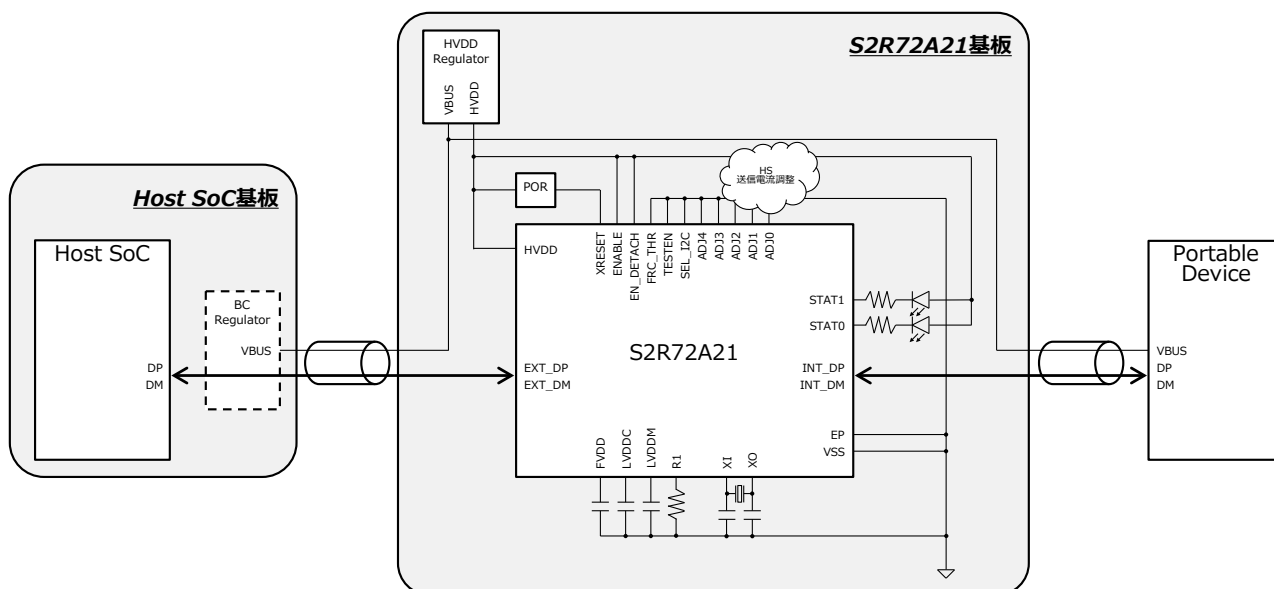


図 4.3.1 Host SoC(別基板に実装)を EXT ポート、Portable Device を INT ポートに接続

5. 各接続例における動作

5. 各接続例における動作

4章で図示した3つのシステム構成例において、ADJ設定、BC制御、Role Switch制御、切断検出方法の各動作項目についてそれぞれ5.1-5.3節において個別に説明します。表5.1は各個別システム構成における接続、機能、端子設定、切断検出制御をまとめたものです。

Role Switchとは、2章に記載したように、HostとDeviceの役割を入れ替える機能であり、一部のPortable Deviceが備えております。S2R72A21はこのRole Switch機能にも対応したRe-Synchronization ICです。

Role Switchを備えたPortable Deviceの場合、通常のUSB規格に準じたFS接続→HS接続後に所定のネゴシエーションを行うことでHostとDeviceの役割を切り替え、その後Portable DeviceがHostとしてBus Resetを実行し、再度FS接続→HS接続を経てHS通信を再開します。

S2R72A21データシート6.1.1節に示される通り、S2R72A21はSE0の3ms以上継続を検出すると自動的にHSステートからFS_LSステートに遷移しINT-EXT間のBus Switch接続を有効にします。すなわち上記一連のRole Switchの動作シーケンス内においても、S2R72A21はSE0の3ms以上継続を検出して自動的にFS通信用にINT-EXT間のBus Switchを有効にし、Role Switch後のHS通信接続状態まで自動で移行します。

表 5.1 個別システム構成例まとめ

Chapter	USBポート接続先		機能		端子設定	Role Switch後の切断検出制御
	INT	EXT	I2C IF	開口調整	ADJ	
4.1 5.1	Host SoC (BC)	PD	使用可	INT/EXT 微調整	I2C アドレス 設定用	ENABLE 端子 を0→1に制御
4.2 5.2	Host SoC (BC)	PD	使用不可	EXTのみ 粗調整	開口調整 設定用	VBUS供給を 停止→再開
4.3 5.3	PD	Host SoC (BC)	使用不可	EXTのみ 粗調整	開口調整 設定用	VBUS供給を 停止→再開

BC=BC Regulator

PD=Portable Device

5.1 Host SoC(同一基板に実装)を INT ポート、Portable Device を EXT ポートに接続

5.1.1 ADJ 設定

S2R72A21 は Host SoC と同一基板に実装されており、ADJ4 端子(SDA 端子)と ADJ3(SCL 端子)がそれぞれ SoC の I2C master と接続されています。この時 HS 送信電流調整は SEL_I2C=1 設定とすることで I2C レジスタを用いて INT/EXT ポート共に 4bit 全て設定可能です。S2R72A21 データシートの 4.2 制御端子に従い、ADJ4-0 端子を設定してください。

5.1.2 BC 制御

XRESET=1 としてリセットを解除すると、S2R72A21 の Bus Switch は INT-EXT 間に接続されます。Portable Device が EXT ポートに接続されると、INT ポートに配線接続されている同一基板の BC Regulator と通信し、BC プロトコルによる SDP/CDP/DCP の判定が行われます。BC プロトコル終了後に Portable Device が FS_J を示すと、Host SoC との接続が行われます。

5.1.3 Role Switch 制御

Portable Device が Role Switch を行わない Device である場合、INT 側に接続された Host SoC は Host、EXT 側に接続された Portable Device は Device として機能し続けます。

Portable Device が Role Switch を行う Device である場合には、HS 接続後の所定のプロセスを経た後 EXT 側に接続された Portable Device が Host、INT 側に接続された Host SoC が Device として機能が切り替わります(この場合 Portable Device ならびに Host SoC はそれぞれの名称に関わらず Host、Device と役割が変更されますが、便宜上ここでは Portable Device、Host SoC と呼称し続けます)。Role Switch の期間中 Bus が Floating となる場合は、1MΩ などで Bus を Pull down することを推奨します。

5.1.4 Portable Device の切断検出方法

Portable Device が Role Switch 動作をしない場合、S2R72A21 を介した USB 接続の切断は下記の 3STEP を経ます。

1: S2R72A21 が HS 切断を検出

S2R72A21 は自身の EXT ポートが送出する SOF の振幅レベル変化を検出することで HS 切断を検出します。その後、EN_DETACH=0 のときは HS Synchronizer を OFF し、Bus Switch を INT-EXT ポート間で接続する FS_LS ステートに遷移します。EN_DETACH=1 のときは HS Synchronizer と Bus Switch の両方が OFF となる 3ms の DETACH ステートを経た後に、HS Synchronizer を OFF し、Bus Switch を INT-EXT ポート間で接続する FS_LS ステートに遷移します。INT ポート側と EXT ポート側に接続されるケーブル長の合計が長い場合は後者の設定にしてください。

2: Host SoC が HS 切断を検出

Host SoC は同じく SOF 振幅レベルの上昇を観測し、内蔵の HS 切断検出機能にて Portable Device の切断を検出します。

3: Host SoC が S2R72A21 に HS 切断を通知(省略可)

必要に応じて ENABLE=0 とすることにより、Host SoC が切断検出したことを S2R72A21 に通知することができます。

5. 各接続例における動作

Portable Device が Role Switch 動作をした場合、Portable Device の HS 切断を Host SoC が検出するには下記の 3STEP を経ます。

1: S2R72A21 が SE0 状態を検出し、FS_LS ステータに移行

Host である Portable Device からの定期的な SOF の通信が途切れるため、EXT ポートの Bus ステータとして SE0 が検出されます。S2R72A21 は Bus State で SE0 状態が 3ms 間経過したことを検出すると、HS Synchronizer の動作を停止して INT-EXT 間の Bus Switch の経路を ON し、FS_LS ステータに移行します。

なお、このとき Host である Portable Device が不在となり、Device である Host SoC との接続を保持しているため、Bus は USB 規格から逸脱している状態となり、S2R72A21 が Bus ステータに追従できない可能性があります。さらに、Portable Device が切断される時はパケットの送受信が行われているため、コネクタの接触状態によっては EXT ポートの Bus ステータが不安定となり、S2R72A21 の誤動作を引き起こす可能性があります。

2: Host SoC が Bus 無効状態より HS 切断と判定

Bus Switch の経路接続により、Host SoC は INT ポートの Bus の無効状態を一定期間検出することで Portable Device の切断を判定します。

3: Host SoC が S2R72A21 に HS 切断を通知

ENABLE=0 とすることにより、Host SoC が切断検出したことを S2R72A21 に通知します。

これにより、USB 規格から逸脱した状態を初期化するとともに、切断時のコネクタの接触状態による誤動作を防ぐことができます。

上記いずれの場合の切断検出においても、その後 ENABLE=1 に復帰させることにより、Bus Switch の経路が初期状態の INT ポート-EXT ポート間に戻り、Portable Device の再 Attach を受け付けるようになります。

5.2 Host SoC(別基板に実装)を INT ポート、Portable Device を EXT ポートに接続

5.2.1 ADJ 設定

S2R72A21 は Host SoC と USB ケーブルのみを介した接続となるため、I2C レジスタを用いた HS 送信電流調整機能は使用できません。この場合 SEL_I2C=0 と設定し、S2R72A21 データシートの 4.2 制御端子に従い、HS 送信電流調整機能は ADJ2-0 で設定してください。

またこの場合送信電流を調整できるポートは EXT のみであるため、Portable Device 側のみとなります。

5.2.2 BC 制御

XRESET=1 としてリセットを解除すると、S2R72A21 の Bus Switch は INT-EXT 間に接続されます。Portable Device が EXT ポートに接続されると、USB ケーブルを介して INT ポートに接続されている別基板の BC Regulator と通信し、BC プロトコルによる SDP/CDP/DCP の判定が行われます。BC プロトコル終了後に Portable Device が FS_J を示すと、Host SoC との接続が行われます。

5.2.3 Role Switch 制御

Portable Device が Role Switch を行わない Device である場合、INT 側に接続された Host SoC は Host、EXT 側に接続された Portable Device は Device として機能し続けます。

Portable Device が Role Switch を行う Device である場合には、HS 接続後の所定のプロセスを経た後 EXT 側に接続された Portable Device が Host、INT 側に接続された Host SoC が Device として機能が切り替わります(この場合 Portable Device ならびに Host SoC はそれぞれの名称に関わらず Host、Device と役割が変更されますが、便宜上ここでは Portable Device、Host SoC と呼称し続けます)。Role Switch の期間中 Bus が Floating となる場合は、1M Ω などで Bus を Pull down することを推奨します。

5.2.4 Portable Device の切断検出方法

Portable Device が Role Switch 動作をしない場合、S2R72A21 を介した USB 接続の切断は下記の 3STEP を経ます。

1: S2R72A21 が HS 切断を検出

S2R72A21 は自身の EXT ポートが送出する SOF の振幅レベル変化を検出することで HS 切断を検出します。その後、EN_DETACH=0 のときは HS Synchronizer を OFF し、Bus Switch を INT-EXT ポート間で接続する FS_LS ステートに遷移します。EN_DETACH=1 のときは HS Synchronizer と Bus Switch の両方が OFF となる 3ms の DETACH ステートを経た後に、HS Synchronizer を OFF し、Bus Switch を INT-EXT ポート間で接続する FS_LS ステートに遷移します。INT ポート側と EXT ポート側に接続されるケーブル長の合計が長い場合は後者の設定にしてください。

2: Host SoC が HS 切断を検出

Host SoC は同じく SOF 振幅レベルの上昇を観測し、内蔵の HS 切断検出機能にて Portable Device の切断を検出します。

3: Host SoC が S2R72A21 を停止(省略可)

必要に応じて VBUS の供給を停止することにより、Host SoC が S2R72A21 を停止することができます。

5. 各接続例における動作

Portable Device が Role Switch 動作をした場合、Portable Device の HS 切断を Host SoC が検出するには下記の 3STEP を経ます。

1: S2R72A21 が SE0 状態を検出し、FS_LS ステートに移行

Host である Portable Device からの定期的な SOF の通信が途切れるため、EXT ポートの Bus ステートとして SE0 が検出されます。S2R72A21 は Bus State で SE0 状態が 3ms 間経過したことを検出すると、HS Synchronizer の動作を停止して INT-EXT 間の Bus Switch の経路を ON し、FS_LS ステートに移行します。

なお、このとき Host である Portable Device が不在となり、Device である Host SoC との接続を保持しているため、Bus は USB 規格から逸脱している状態となり、S2R72A21 が Bus ステートに追従できない可能性があります。さらに、Portable Device が切断される時はパケットの送受信が行われているため、コネクタの接触状態によっては EXT ポートの Bus ステートが不安定となり、S2R72A21 の誤動作を引き起こす可能性があります。

2: Host SoC が Bus 無効状態より HS 切断と判定

Bus Switch の経路接続により、Host SoC は INT ポートの Bus の無効状態を一定期間検出することで Portable Device の切断を判定します。

3: Host SoC が S2R72A21 を停止

VBUS の供給を停止することにより、Host SoC が S2R72A21 を停止します。

これにより、USB 規格から逸脱した状態を初期化するとともに、切断時のコネクタの接触状態による誤動作を防ぐことができます。

上記いずれの場合の切断検出においても、その後 VBUS の供給を再開することにより、Bus Switch の経路が初期状態の INT ポート-EXT ポート間に戻り、Portable Device の再 Attach を受け付けるようになります。

本接続例では、Host SoC と S2R72A21 とが別基板に実装されており、USB ケーブルのみを介した接続となるため、ENABLE 端子を用いた切断検出の通知ができません。この場合は上記 STEP3 のように VBUS の供給を一旦停止し、その後供給再開することにより S2R72A21 をリセットしてください。VBUS 供給停止から供給再開までのタイミングは、データシートの AC 特性を満たすようにしてください。

5.3 Host SoC(別基板に実装)を EXT ポート、Portable Device を INT ポートに接続

5.3.1 ADJ 設定

S2R72A21 は Host SoC と USB ケーブルのみを介した接続となるため、I2C レジスタを用いた HS 送信電流調整機能は使用できません。この場合 SEL_I2C=0 と設定し、S2R72A21 データシートの 4.2 制御端子に従い、HS 送信電流調整機能は ADJ2-0 で設定してください。

またこの場合送信電流を調整できるポートは EXT のみであるため、Host SoC 側のみとなります。

5.3.2 BC 制御

XRESET=1 としてリセットを解除すると、S2R72A21 の Bus Switch は INT-EXT 間に接続されます。Portable Device が INT ポートに接続されると、USB ケーブルを介して EXT ポートに接続されている別基板の BC Regulator と通信し、BC プロトコルによる SDP/CDP/DCP の判定が行われます。BC プロトコル終了後に Portable Device が FS_J を示すと、Host SoC との接続が行われます。

5.3.3 Role Switch 制御

Portable Device が Role Switch を行わない Device である場合、EXT 側に接続された Host SoC は Host、INT 側に接続された Portable Device は Device として機能し続けます。

Portable Device が Role Switch を行う Device である場合には、HS 接続後の所定のプロセスを経た後 INT 側に接続された Portable Device が Host、EXT 側に接続された Host SoC が Device として機能に切り替わります(この場合 Portable Device ならびに Host SoC はそれぞれの名称に関わらず Host、Device と役割が変更されますが、便宜上ここでは Portable Device、Host SoC と呼称し続けます)。Role Switch の期間中 Bus が Floating となる場合は、1MΩ など Bus を Pull down することを推奨します。

5.3.4 Portable Device の切断検出方法

Portable Device が Role Switch 動作をしない場合、S2R72A21 を介した USB 接続の切断は下記の 3STEP を経ます。

1: S2R72A21 が HS 切断を検出

S2R72A21 は自身の INT ポートが送出する SOF の振幅レベル変化を検出することで HS 切断を検出します。その後、EN_DETACH=0 のときは HS Synchronizer を OFF し、Bus Switch を INT-EXT ポート間で接続する FS_LS ステートに遷移します。EN_DETACH=1 のときは HS Synchronizer と Bus Switch の両方が OFF となる 3ms の DETACH ステートを経た後に、HS Synchronizer を OFF し、Bus Switch を INT-EXT ポート間で接続する FS_LS ステートに遷移します。EXT ポート側と INT ポート側に接続されるケーブル長の合計が長い場合は後者の設定にしてください。

2: Host SoC が HS 切断を検出

Host SoC は同じく SOF 振幅レベルの上昇を観測し、内蔵の HS 切断検出機能にて Portable Device の切断を検出します。

3: Host SoC が S2R72A21 を停止(省略可)

必要に応じて VBUS の供給を停止することにより、Host SoC が S2R72A21 を停止することができます。

5. 各接続例における動作

Portable Device が Role Switch 動作をした場合、Portable Device の HS 切断を Host SoC が検出するには下記の 3STEP を経ます。

1: S2R72A21 が SE0 状態を検出し、FS_LS ステートに移行

Host である Portable Device からの定期的な SOF の通信が途切れるため、INT ポートの Bus ステートとして SE0 が検出されます。S2R72A21 は Bus State で SE0 状態が 3ms 間経過したことを検出すると、HS Synchronizer の動作を停止して INT-EXT 間の Bus Switch の経路を ON し、FS_LS ステートに移行します。

なお、このとき Host である Portable Device が不在となり、Device である Host SoC との接続を保持しているため、Bus は USB 規格から逸脱している状態となり、S2R72A21 が Bus ステートに追従できない可能性があります。さらに、Portable Device が切断される時はパケットの送受信が行われているため、コネクタの接触状態によっては INT ポートの Bus ステートが不安定となり、S2R72A21 の誤動作を引き起こす可能性があります。

2: Host SoC が Bus 無効状態より HS 切断と判定

Bus Switch の経路接続により、Host SoC は EXT ポートの Bus の無効状態を一定期間検出することで Portable Device の切断を判定します。

3: Host SoC が S2R72A21 を停止

VBUS の供給を停止することにより、Host SoC が S2R72A21 を停止します。

これにより、USB 規格から逸脱した状態を初期化するとともに、切断時のコネクタの接触状態による誤動作を防ぐことができます。

上記いずれの場合の切断検出においても、その後 VBUS の供給を再開することにより、Bus Switch の経路が初期状態の INT ポート-EXT ポート間に戻り、Portable Device の再 Attach を受け付けるようになります。

本接続例では、Host SoC と S2R72A21 とが別基板に実装されており、USB ケーブルのみを介した接続となるため、ENABLE 端子を用いた切断検出の通知ができません。この場合は上記 STEP3 のように VBUS の供給を一旦停止し、その後供給再開することにより S2R72A21 をリセットしてください。VBUS 供給停止から供給再開までのタイミングは、データシートの AC 特性を満たすようにしてください。

6. USB コンプライアンステスト

S2R72A21 は USB における Host、Device、Hub のどれにも属しておらず、USB コンプライアンステストに必要な Host 機能、Device 機能、Hub 機能を有していません。さらに S2R72A21 は、VID/PID を保持する為のレジスタも有していません。従って、S2R72A21 単独での USB 認証は取得できません。本章の説明を基に、S2R72A21 を搭載した Host 製品にて、Host としてのコンプライアンステストを実施し、USB 認証を取得してください。

6.1 USB コンプライアンステストに向けた S2R72A21 の機能

コンプライアンステストに使用する HS Test Packet は、S2R72A21 の HS 動作において再同期化され、INT→EXT もしくは EXT→INT へ送信されます。

また、一方のポートで HS Test_J / Test_K を検出すると、他方のポートに High-speed J / K を送信する機能を有しています。この状態からの復帰は、S2R72A21 の ENABLE 端子を 0 にするか XRESET 端子を 0 にしてください。

これらの機能により、一般的な Host と組み合わせることで USB コンプライアンステストを実施することが出来ます。

6.2 一般的なテスト方法

6.2.1 High-speed Signal Quality

HS の Eye パターン取得方法について説明します。HS の Eye パターンは S2R72A21 を HS ステート(HS Synchronizer を ON)にして取得する必要があります。

1. INT ポートに HS Host、EXT ポートに HS Device を接続し、Host と Device が HS 接続されることを確認してください。接続後は Bus が Suspend または FS/LS 状態にならないようにしてください。これにより、S2R72A21 は HS ステートとなります。

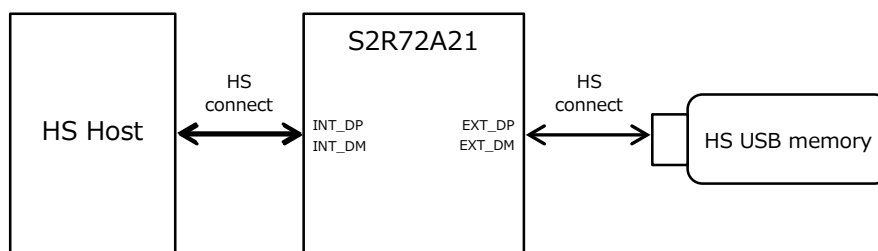


図 6.2.1.1 手順 1 の接続

2. Host から Test Packet を出力させ、INT ポートに入力します。Host は USB 規格に従ってバスが Suspend 状態にならないよう、適切な間隔で Test Packet を連続出力して下さい。これにより、S2R72A21 は INT ポートから入力された Test Packet を再同期して EXT ポートから出力します。
3. EXT ポートの HS Device を Host Test Fixture に差し替えます。

6. USB コンプライアンステスト

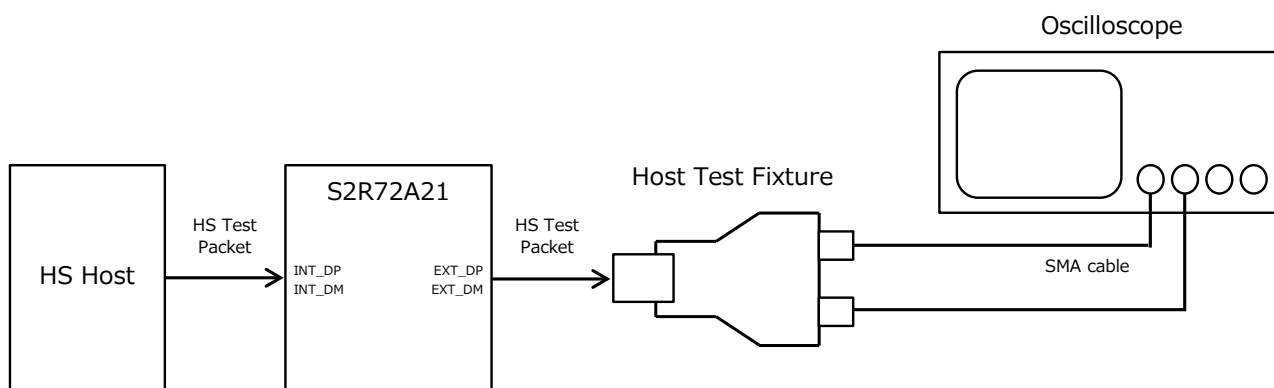


図 6.2.1.2 手順 3 の接続

4. 3.で接続したHost Test Fixtureとオシロスコープにより、HS Eyeパターンを取得してください。

6.2.2 Test J / K

S2R72A21 に High-speed J/K を出力させる方法について説明します。6.2.1 節で説明した方法とほぼ同様です。HS Host は Test Packet に代えて、Test_J / K mode により High-speed J / K を出力してください。

1. INT ポートに HS Host、EXT ポートに HS Device を接続し、Host と Device が HS 接続されることを確認してください。接続後はバスが Suspend または FS/LS 状態にならないようにしてください。これにより、S2R72A21 は HS ステートとなります。
2. HS Host を Test J / K モードにし、Host から INT ポートに Test J/K 信号を入力します。これにより、S2R72A21 は EXT ポートから High-speed J/K を出力します。
3. EXT ポートから出力される High-speed J/K 信号にて、電圧レベルの測定を行ってください。

TEST_J / K 出力後に別の試験を行う場合は、S2R72A21 の ENABLE 端子または XRESET 端子を 0>1 にする、もしくは HVDD 電源を一度 OFF し、再投入してください。

6.3 評価ボードにおけるテスト方法

テスト方法の具体例として、S2R72A21 評価ボード(S5U2R72A11F0100 / Onnetoh)と、”USB High-Speed Electrical Test Tool”をインストールした PC の組み合わせにおけるテスト手順を示します。

6.3.1 テスト環境

テスト環境は以下の通りです。

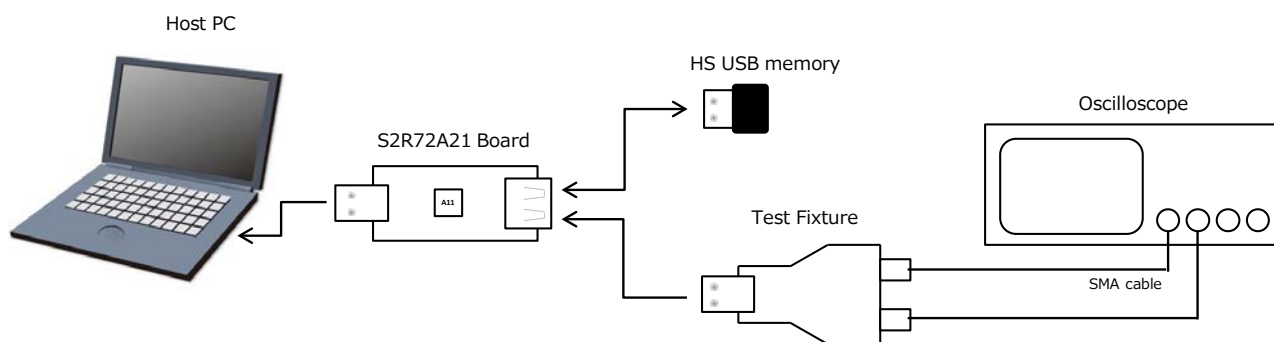


図 6.3.1.1 テスト環境

表 6.3.1.1 テスト環境の構成例

構成物	ベンダー	型番
S2R72A21 評価ボード	Epson	S5U2R72A11F0100 (Onnetoh)
Host PC	Epson	Endeavor NJ1000 (WindowsXP) "USB High-Speed Electrical Test Tool" (HS Electrical Test Tool)をインストール http://www.usb.org/developers/compliance/electrical_tests/#usbhset
HS USB メモリー	IO Data	U2-ADP8G
Test Fixture	USB-IF	USB 2.0 Hi-Speed Signal Quality Test Fixture (Host test fixture)
オシロスコープ	Tektronix	MSO70404
SMA ケーブル	Keysight	15443A Matched Cable Pair

6.3.2 テスト手順

- HostPC に S2R72A21 評価ボードの INT ポート側を接続します。

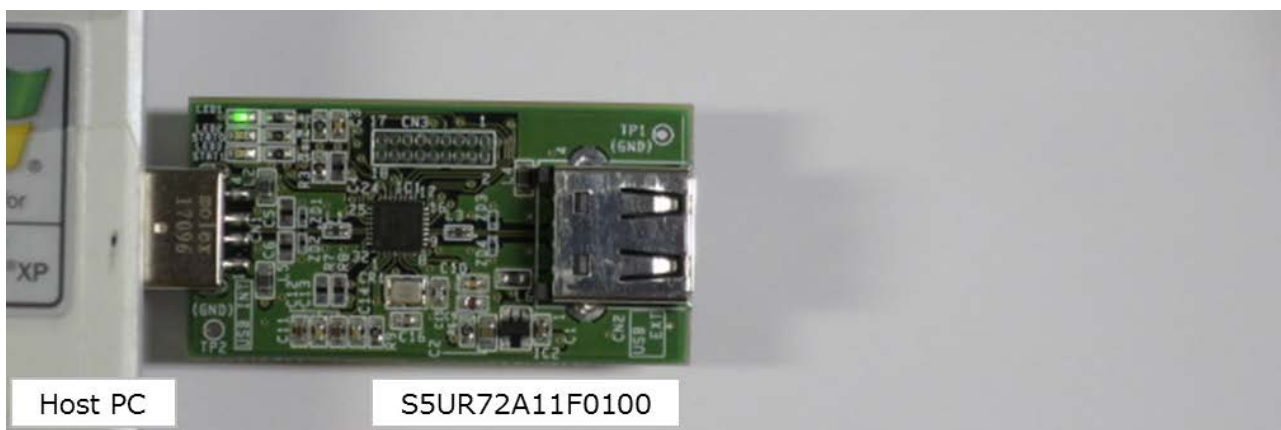


図 6.3.2.1 手順 1 の接続

- S2R72A21 評価ボードの EXT ポート側に HS USB メモリーを接続し、Host PC と HS メモリーが HS で接続されることを確認してください。S2R72A21 が HS ステートとなると、LED2 (STAT0)が点灯します。

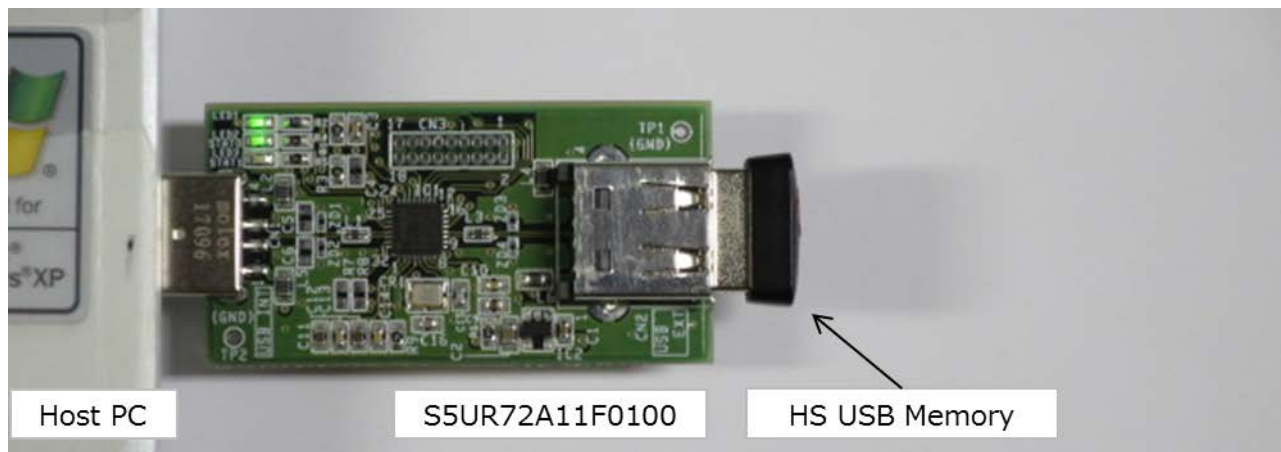


図 6.3.2.2 手順 2 の接続

- HostPC にインストールした USB Electrical Test Tool を起動し、「Select Type Of Test」から Host Controller/System を選択し、TEST を押します。

6. USB コンプライアンステスト

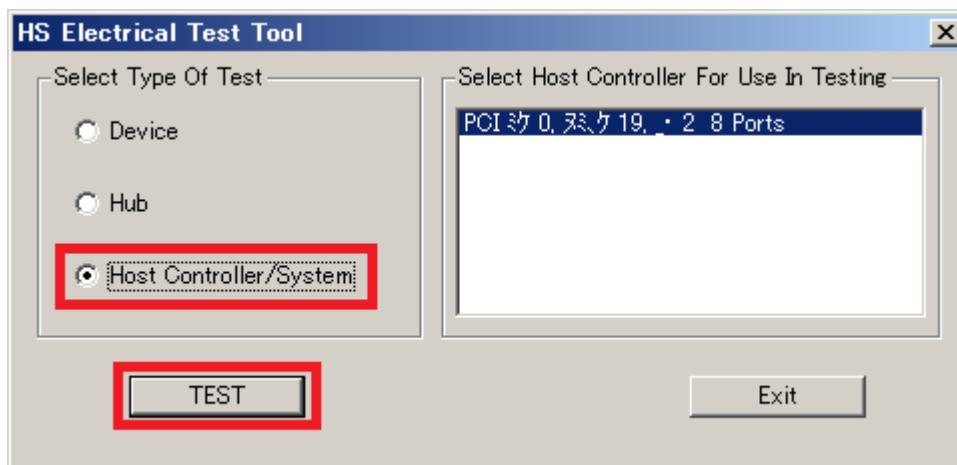


図 6.3.2.3 手順 3 における HS Electrical Test Tool の画面

4. Port Control にて、TEST_PACKET を選択します。

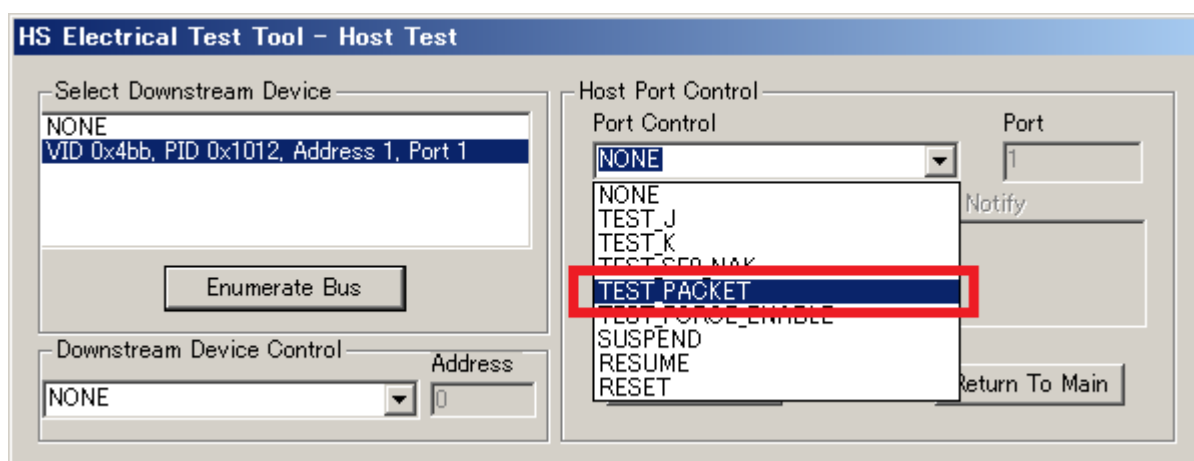


図 6.3.2.4 手順 4 における HS Electrical Test Tool の画面

5. Port 欄に S2R72A21 評価ボードを接続した Port 番号を入力し、EXECUTE を押します。
この操作により Host PC から Test Packet が出力され、S2R72A21 の HS Synchronizer を介して EXT ポートから Test Packet が出力されます。

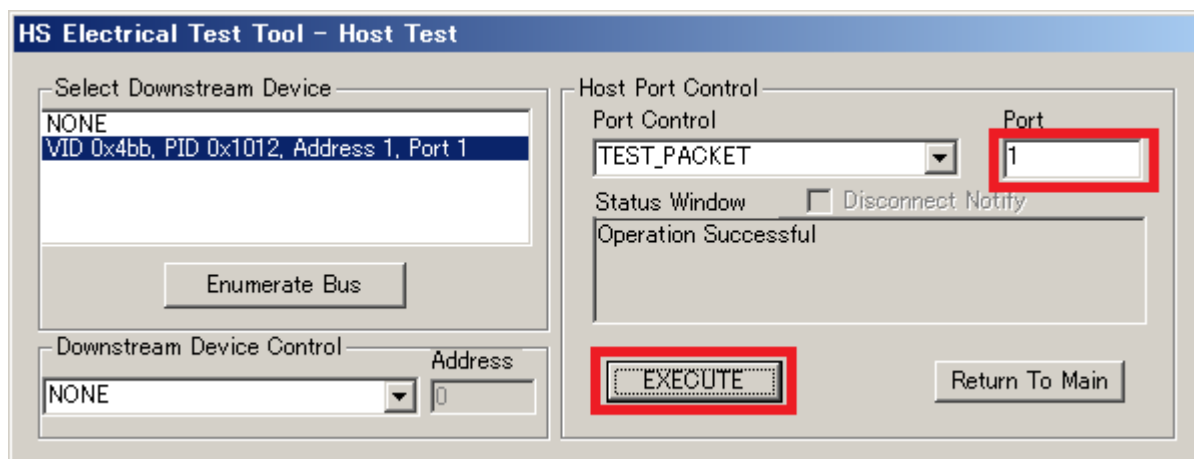


図 6.3.2.5 手順 5 における HS Electrical Test Tool の画面

6. EXTポートに接続したHSメモリーをHost test fixtureに差し替えます。

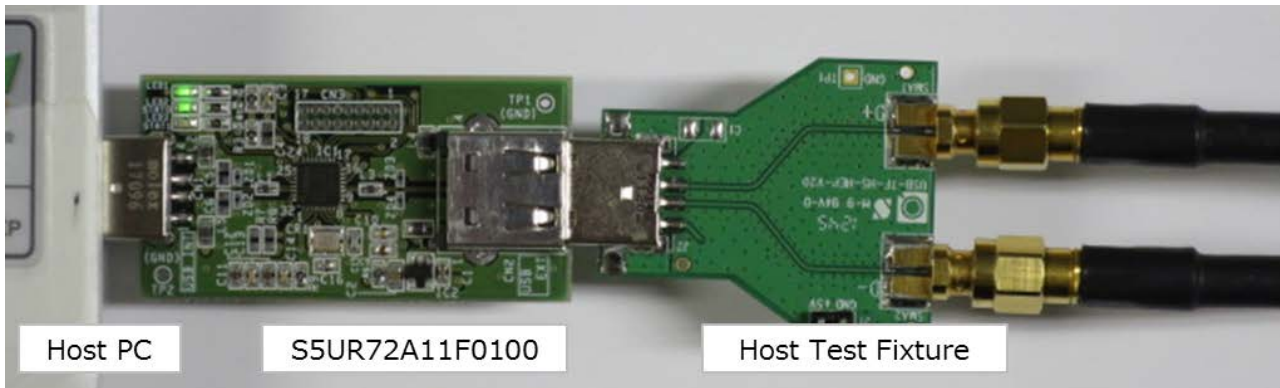


図 6.3.2.6 手順 6 の接続

7. オシロスコープの USB 評価ツールを使用して Eye パターンを取得します。
この時に LED2 (STAT0) が点灯していることを確認してください。LED2 (STAT0) が消灯している場合、S2R72A21 は HS ステートから抜けているため、Eye パターンを正しく取得することができません。

Test J / K を出力させる場合の操作もほぼ上記手順と同様です。上記手順 4 の Port Control において、TEST_J または TEST_K を選択してください。手順 5 で EXECUTE ボタンを押すと、S2R72A21 の EXT ポートより High-speed J または K が出力されます。

6.4 各試験項目の注意点

6.4.1 EL_22

USB 2.0 Electrical Compliance Test の 1 項目として、EL_22 が定められています。Host としてコンプライアンステストを実施する場合、EL_22 では、Host が Device から受信した HS パケットに対する応答時間を試験します。

データシート 6.3 節に記載の通り、S2R72A21 は HS パケットを再同期する際にパケット遅延を生じます。S2R72A21 を組み込んだシステムを Host として試験する場合、Host controller の応答時間と S2R72A21 の往復遅延の合計がシステム全体の応答時間として観測されます。これにより、EL_22 が定める Max. 応答時間 192 bit times を超過する可能性があります。

詳細は後述の別ドキュメントにて確認してください。

6.4.2 Full-speed Signal Quality

USB 2.0 Electrical Compliance Test の 1 項目として、Full-speed Signal Quality が定められています。Host としてコンプライアンステストを実施する場合、Downstream port から出力される FS パケットの信号品質を試験します。

FS の信号品質は、S2R72A21 に内蔵されている Bus Switch の ON 抵抗をはじめ、BC Regulator やケーブルなど、Bus 全体のインピーダンス要素に影響されます。実機上で評価してください。

6.5 S2R72A21 搭載 Host システムのコンプライアンステスト

S2R72A21 搭載 Host システムのコンプライアンステストについて説明した別ドキュメントを用意しています。コンプライアンステスト実施前に Epson 営業担当にお問い合わせいただき、別ドキュメント“S2R72A21 搭載 Host システムのコンプライアンステスト”を入手してください。

6. USB コンプライアンステスト

6.6 コンプライアンステストに関する問い合わせ先

Epson では、USB2.0 Re-Synchronization IC を組み込んだ Host システムをモデル製品として構築し、コンプライアンステストを実施しました。本コンプライアンステストはアリオン株式会社(以下アリオン)にて実施し、USB 認証を取得しました(TID: 120001008)。

USB2.0 Re-Synchronization IC の製品特性については、Epson よりアリオンおよびグラナイトリバーラボ・ジャパン株式会社(以下 GRL)に説明済みです。

S2R72A21 搭載製品のコンプライアンステストに関するお問い合わせは、以下のアリオンまたは GRL 窓口までお願いします。担当者がご不明の場合は、Epson までご連絡ください。

アリオン株式会社

標準化・認証事業部

メールアドレス：SCDivision@allion.co.jp

電話番号：03-5488-7368

グラナイトリバーラボ・ジャパン株式会社

メールアドレス：info_japan@graniteriverlabs.com

電話番号：045-470-0030

7. PCB 設計ガイド

7.1 電源供給とリセット

S2R72A21 へ供給する電源について説明します。

- 電源投入/切断順について

S2R72A21 へ供給する電源は HVDD 電源 (3.3V 系) のみで、内蔵のレギュレータにより内部の 1.8V 電源が供給されるので、電源投入/切断順はありません。

- ノイズについて

電源にノイズが乗っていると USB の波形品質に影響が出て、USB の通信障害を来す場合があります。シリーズレギュレータの異常発振や、スイッチングレギュレータ回路定数が不適当な場合などに見られるリップル状のノイズは避け、また外来ノイズが乗らないよう、注意して電源設計をして下さい。

- リセット

S2R72A21 への電源投入が完了した後、XRESET 端子を Low から High にし、リセット解除して下さい。なお、発振回路はリセットが解除されると発振を開始します。そのため、発振安定後にリセット解除、等のシーケンスは不要です。

7.2 DP/DM 信号ライン

7.2.1 基板配線

DP/DM 信号配線は、インピーダンス整合、反射防止の観点などから、以下の点を配慮して下さい。

- DP/DM 信号ラインの差動インピーダンスを 90Ω で設計すること。
- S2R72A21 と USB レセプタクル間に他のコネクタやケーブルが挿入される場合は、インピーダンス整合に十分配慮すること。
- 信号ライン直下の内層は、分離のない GND プレーンとすること。
- ノイズ発生源と見なされる信号ライン (クロック、高速バスライン等) は、DP/DM ラインに近接させないこと。
- DP/DM 信号ラインは、等長かつ平行になるべく短く配線し、分岐を最小限に留め、曲げる場合は曲線処理を施すこと。

7.2.2 付加部品

- コモンモードチョークコイル

差動信号ラインに同方向の電流が流れるのを抑制するもので、コモンモードノイズの発生を防ぎます。DP/DM 信号ライン上に用いることでスキューの改善、不要輻射ノイズの低減等の効果を期待できます。アイパターンの開口改善などに直接には関係しません。USB High Speed 用途の部品例を以下に示します。なお信号品質保持の観点より、部品は信号ラインに対して直線的な配置を推奨します。

- Panasonic EXC24CE900U
- 村田製作所 DLW21SN900SQ2

7. PCB 設計ガイド

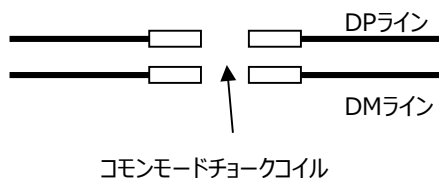


図 7.2.2.1 コモンモードチョークコイル配線例

- チップバリスタ

DP/DM 信号ラインに用いることで、静電気やサージから S2R72A21 の DP/DM 端子の保護を期待できません。USB High Speed 用途の部品例を以下に示します。なお信号品質保持の観点より、部品は信号ラインからの分岐が最短になるような配置を推奨します。チップバリスタの実装位置は、一般的にはコネクタ近傍が効果的と考えられますが、各供給元にお問い合わせの上で決定して下さい。

- TDK AVR シリーズ
- Panasonic EZJZ シリーズ

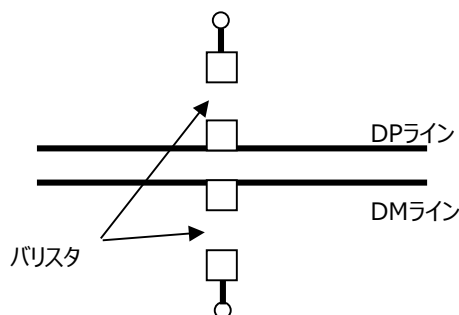


図 7.2.2.2 バリスタ配線例

- コネクタ

USB 認証を未取得のコネクタを使用した場合、DP/DM の信号品質が劣化する恐れがあります。USB 認証を取得したコネクタを用いることを推奨します。使用するケーブルについても同様です。

- 付加部品の接続例

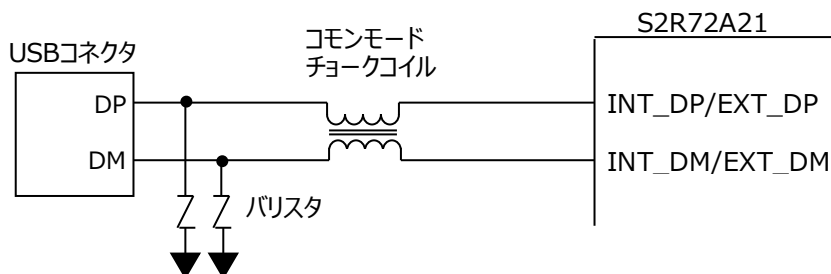


図 7.2.2.3 付加部品の接続例

補足：

チップバリスタなど、DP/DM 信号ライン上に容量成分のある部品を付加した場合、USB High Speed 送信波形の立上り/立下り (Tr/Tf) 特性が緩やかになります。容量成分が大きすぎると、USB コンプライアンス試験における Tr/Tf 特性、及びアイパターンの試験項目で Fail 判定される可能性があるため、部品選定には注意が必要です。

7.3 発振回路

24MHz の水晶振動子を以下のように接続してご使用下さい。水晶振動子の周波数精度は、良好な波形品質を得るため、 $\pm 100\text{ppm}$ 以内を推奨します。

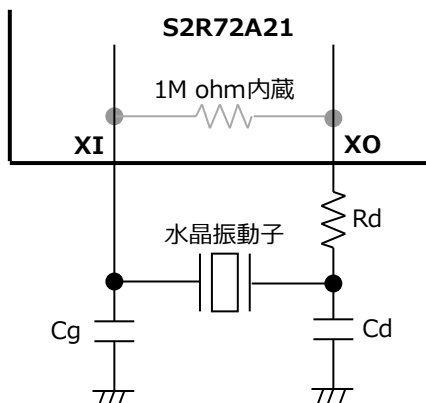


図 7.3.1 水晶振動子の接続回路例

推奨品（車載対応）：セイコーエプソン社製 FA-238A (CL=7pF)

Cg, Cd, Rd の値については、実際の基板上でマッチングを取って決定してください。参考として、Epson 評価ボードでの定数例は、Cg=6[pF]、Cd=7[pF]、Rd=0[Ω]です。

7.4 その他の注意事項

- R1 端子に接続する抵抗

6.04kΩ $\pm 1\%$ の抵抗を、できるだけ R1 端子近くに配置して下さい。USB アナログ回路の特性を決める基準電流生成用のため、誤差が大きいとアナログ特性に影響を及ぼします。必ず指定の精度のものを使用して下さい。

- FVDD 端子、LVDDC 端子、LVDDM 端子

これら 3 端子の端子毎に、0.1uF と 10uF の容量のコンデンサを VSS 間に配置してください。コンデンサの配置については、端子から 0.1uF、10uF の順に、できるだけ端子近傍に配置してください。

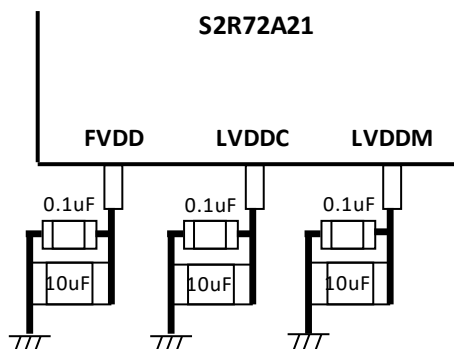


図 7.4.1 FVDD 端子、LVDDC 端子、LVDDM 端子のコンデンサ配置

7. PCB 設計ガイド

- HVDD 端子

各 HVDD 端子毎に、バイパスコンデンサをできるだけ端子近くに配置する事を推奨します。Epson 評価ボード上の容量値は、以下の通りですが、レギュレータの特性などにも左右されます。IC の動作安定性の観点より、各電源端子にそれぞれ実装する事を推奨します。

各 HVDD 端子 :	0.1uF
電源供給元 :	10uF

- VSS 端子

各 VSS 端子は、分離のない共通 GND プレーンに低インピーダンスで接続して下さい。

セイコーエプソン株式会社

営業本部 デバイス営業部

東京 〒160-8801 東京都新宿区新宿 4-1-6 JR 新宿ミライナタワー29F

大阪 〒530-6122 大阪市北区中之島 3-3-23 中之島ダイビル 22F

ドキュメントコード：414120700
2020年12月作成