

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

**S1C17F63**

テクニカルマニュアル

## 評価ボード・キット、開発ツールご使用上の注意事項

1. 本評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることを想定し設計されています。それらの技術評価・開発等の目的以外には使用しないでください。本品は、完成品に対する設計品質に適合していません。
2. 本評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止してください。
3. 本評価ボード・キット、開発ツールに用いられる部品は、予告なく変更されることがあります。

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
2. 弊社製品のご購入およびご使用にあたりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページなどを通じて公開される最新情報に常にご注意ください。
3. 本資料に掲載されている応用回路、プログラム、使用方法などはあくまでも参考情報です。お客様の機器・システムの設計において、応用回路、プログラム、使用方法などを使用する場合には、お客様の責任において行ってください。これらに起因する第三者の知的財産権およびその他の権利侵害ならびに損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 弊社は常に品質、信頼性の向上に努めていますが、一般的に半導体製品は誤作動または故障する場合があります。弊社製品のご使用にあたりましては、弊社製品の誤作動や故障により生命・身体に危害を及ぼすこと又は財産が侵害されることのないように、お客様の責任において、お客様のハードウェア、ソフトウェア、システムに必要な安全設計を行うようお願いいたします。なお、設計および使用に際しては、弊社製品に関する最新の情報(本資料、仕様書、データシート、マニュアル、弊社ホームページなど)をご確認いただき、それに従ってください。また、上記資料などに掲載されている製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価を行い、お客様の責任において適用可否の判断をお願いいたします。
5. 弊社は、正確さを期すために慎重に本資料およびプログラムを作成しておりますが、本資料およびプログラムに掲載されている情報に誤りがないことを保証するものではありません。万一、本資料およびプログラムに掲載されている情報の誤りによってお客様に損害が生じた場合においても、弊社は一切その責任を負いかねます。
6. 弊社製品の分解、解析、リバースエンジニアリング、改造、改変、翻案、複製などは堅くお断りします。
7. 弊社製品は、一般的な電子機器(事務機器、通信機器、計測機器、家電製品など)および本資料に個別に掲載されている用途に使用されることを意図して設計、開発、製造されています(一般用途)。特別な品質、信頼性が要求され、その誤動作や故障により生命・身体に危害を及ぼす恐れ、膨大な財産侵害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある以下の特定用途に使用されることを意図していません。お客様に置かれましては、弊社製品を一般用途に使用されることを推奨いたします。もし一般用途以外の用途で弊社製品のご使用およびご購入を希望される場合、弊社はおお客様の特定用途に弊社製品を使用されることへの商品性、適合性、安全性について、明示的・黙示的に関わらずいかなる保証を行うものではありません。お客様が特定用途での弊社製品の使用を希望される場合は、弊社営業窓口まで事前にご連絡の上、承諾を得てください。

### 【特定用途】

宇宙機器(人工衛星・ロケットなど)/輸送車両並びにその制御機器(自動車・航空機・列車・船舶など)  
医療機器(本資料に個別に掲載されている用途を除く)/海底中継機器/発電所制御機器/防災・防犯装置  
交通用機器/金融関連機器  
上記と同等の信頼性を必要とする用途

8. 本資料に掲載されている弊社製品および当該技術を国内外の法令および規制により製造・使用・販売が禁止されている機器・システムに使用することはできません。また、弊社製品および当該技術を大量破壊兵器等の開発および軍事利用の目的その他軍事用途等に使用しないでください。弊社製品または当該技術を輸出または海外に提供する場合は、「外国為替及び外国為替法」、「米国輸出管理規則(EAR)」、その他輸出関連法令を遵守し、係る法令の定めるところにより必要な手続きを行ってください。
9. お客様が本資料に掲載されている諸条件に反したことに起因して生じたいかなる損害(直接・間接を問わず)に関して、弊社は一切その責任を負いかねます。
10. お客様が弊社製品を第三者に譲渡、貸与などをしたことにより、損害が発生した場合、弊社は一切その責任を負いかねます。
11. 本資料についての詳細に関するお問合せ、その他お気付きの点などがありましたら、弊社営業窓口までご連絡ください。
12. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

(Rev. J1.0, 2021.9)

## はじめに

本書はS1C17F63を使用する製品を開発される設計者、プログラマを対象とした技術マニュアルで、ICの機能、内蔵周辺回路の動作、およびその制御方法を説明します。

CPUの機能と命令については“S1C17 Family S1C17コアマニュアル”を、デバッグツールの機能と操作方法については各ツールのマニュアルを参照してください。(マニュアルは、弊社WEBサイト“製品情報:ドキュメントダウンロード”からダウンロード可能です。)

## 本書内の表記や記号について

### レジスタのアドレス

各周辺回路の説明には制御レジスタのアドレスは記載されておりません。レジスタのアドレスは“メモリ、バス”の章の“周辺回路エリア”、またはAppendixの“周辺回路制御レジスタ一覧”を参照してください。

### レジスタと制御ビットの表記

説明の中では、レジスタや制御ビットを信号名や端子名と区別するため、次のように記載します。

XXXレジスタ: 1つのレジスタの全体を示します。

XXX.YYYビット: XXXレジスタ内にある1ビットの制御ビットYYYを示します。

XXX.ZZZ[1:0]ビット: XXXレジスタ内にある2ビットの制御ビットZZZ1とZZZ0を示します。

### レジスタ表の内容と記号

Initial: 初期化時の値

Reset: 初期化条件。初期化条件はリセットグループ(H0、H1、S0)により決まります。リセットグループについては、“電源、リセット、クロック”の章の“初期化条件(リセットグループ)”を参照してください。

R/W: R = 読み出し可能

W = 書き込み可能

WP = 書き込み可能(MSCPROT.PROT[15:0]ビットによる書き込み保護あり)

R/W = 読み書き可能

R/WP = 読み書き可能(MSCPROT.PROT[15:0]ビットによる書き込み保護あり)

### 制御ビットの読み出し/書き込み値

本書では1ビット値を除き、制御ビットの値を16進数で記載します(説明上、10進数や2進数が必要な場合を除く)。制御ビットのビット幅により次のように記載します。

1ビット: 0または1

2~4ビット: 0x0~0xf

5~8ビット: 0x00~0xff

9~12ビット: 0x000~0xffff

13~16ビット: 0x0000~0xffff

10進数: 0~9999...

2進数: 0b0000...~0b1111...

### チャンネル番号

周辺回路によっては複数チャンネルの機能を搭載可能な場合があります(例: 16ビットタイマなど)。これらの周辺回路の章は実装されているチャンネル数にかかわらず、レジスタ名や端子名などに付いているチャンネル番号を表す数値を‘n’と記述しています。基本的に、説明は全チャンネルに適用されます。機能が異なるチャンネルについてはチャンネル番号を明記しています。

例) 16ビットタイマのT16\_nCTLレジスタ

1チャンネル搭載機種(Ch.0のみ): T16\_nCTL = T16\_0CTLのみ

2チャンネル搭載機種(Ch.0とCh.1): T16\_nCTL = T16\_0CTLとT16\_1CTL

本ICの周辺回路の搭載チャンネル数は、“概要”の章の“特長”を参照してください。

## - 目次 -

はじめに.....	i
本書内の表記や記号について .....	i
<b>1 概要 .....</b>	<b>1-1</b>
1.1 特長.....	1-1
1.2 ブロック図.....	1-4
1.3 端子.....	1-5
1.3.1 QFP15-100PIN .....	1-5
1.3.2 アルミパッドチップ.....	1-6
1.3.3 金バンプチップ.....	1-8
1.3.4 端子説明 .....	1-10
<b>2 電源, リセット, クロック.....</b>	<b>2-1</b>
2.1 パワージェネレータ(PWG).....	2-1
2.1.1 概要.....	2-1
2.1.2 端子.....	2-1
2.1.3 V <sub>D1</sub> レギュレータの動作モード .....	2-2
2.2 システムリセットコントローラ(SRC).....	2-2
2.2.1 概要.....	2-2
2.2.2 入力端子 .....	2-3
2.2.3 リセットソース.....	2-3
2.2.4 初期化条件(リセットグループ) .....	2-4
2.3 クロックジェネレータ(CLG).....	2-4
2.3.1 概要.....	2-4
2.3.2 入出力端子.....	2-5
2.3.3 クロックソース.....	2-6
2.3.4 動作.....	2-7
2.4 動作モード .....	2-10
2.4.1 イニシャル起動シーケンス.....	2-10
2.4.2 動作モードの遷移 .....	2-10
2.5 割り込み.....	2-12
2.6 制御レジスタ.....	2-12
PWG V <sub>D1</sub> Control Register.....	2-12
CLG System Clock Control Register.....	2-13
CLG Oscillation Control Register .....	2-14
CLG IOSC Control Register .....	2-15
CLG OSC1 Trimming Register .....	2-15
CLG OSC3 Control Register .....	2-15
CLG Interrupt Flag Register .....	2-16
CLG Interrupt Enable Register .....	2-16
CLG FOUT Control Register 0.....	2-17
CLG Oscillation Frequency Trimming Register .....	2-18
<b>3 CPU, デバッグ .....</b>	<b>3-1</b>
3.1 概要.....	3-1
3.2 CPUコア .....	3-2
3.2.1 CPUレジスタ .....	3-2
3.2.2 命令セット .....	3-2
3.2.3 PSRの読み出し.....	3-2
3.2.4 S1C17コア予約I/Oエリア .....	3-2
3.3 デバッグ.....	3-2
3.3.1 デバッグ機能 .....	3-2

3.3.2 必要リソースとデバッグツール.....	3-2
3.3.3 デバッグ入出力端子一覧.....	3-3
3.3.4 外部接続.....	3-3
3.3.5 Flashセキュリティ機能.....	3-3
3.4 制御レジスタ.....	3-4
MISC PSR Register.....	3-4
Debug RAM Base Register.....	3-4
<b>4 メモリ, バス.....</b>	<b>4-1</b>
4.1 概要.....	4-1
4.2 バスアクセスサイクル.....	4-1
4.3 Flashメモリ.....	4-2
4.3.1 Flashメモリ端子.....	4-2
4.3.2 Flashバスアクセスサイクルの設定.....	4-2
4.3.3 Flashプログラミング.....	4-3
4.4 EEPROM.....	4-3
4.4.1 EEPROM端子.....	4-3
4.4.2 EEPROM操作.....	4-4
4.4.3 割り込み.....	4-4
4.5 RAM.....	4-5
4.6 周辺回路制御レジスタ.....	4-5
4.6.1 システムプロテクト機能.....	4-9
4.7 制御レジスタ.....	4-9
MISC System Protect Register.....	4-9
MISC IRAM Size Register.....	4-9
FLASHC Flash Read Cycle Register.....	4-10
EEPROMC Control Register 0.....	4-10
EEPROMC Control Register 1.....	4-11
EEPROMC Address Register.....	4-11
EEPROMC Write Data Register.....	4-11
EEPROMC Interrupt Flag Register.....	4-11
EEPROMC Interrupt Enable Register.....	4-12
<b>5 割り込みコントローラ(ITC).....</b>	<b>5-1</b>
5.1 概要.....	5-1
5.2 ベクタテーブル.....	5-1
5.2.1 ベクタテーブルベースアドレス(TTBR).....	5-3
5.3 初期設定.....	5-3
5.4 マスク可能割り込みの制御と動作.....	5-3
5.4.1 周辺回路の割り込み制御.....	5-3
5.4.2 ITCの割り込み要求処理.....	5-3
5.4.3 CPUの割り込み要求受領条件.....	5-4
5.5 NMI.....	5-4
5.6 ソフトウェア割り込み.....	5-4
5.7 CPUによる割り込み処理.....	5-4
5.8 制御レジスタ.....	5-5
MISC Vector Table Address Low Register.....	5-5
MISC Vector Table Address High Register.....	5-5
ITC Interrupt Level Setup Register x.....	5-5
<b>6 入出力ポート(PPORT).....</b>	<b>6-1</b>
6.1 概要.....	6-1
6.2 I/Oセルの構造と機能.....	6-2
6.2.1 シュミット入力.....	6-2

6.2.2	トレラント・フェイルセーフ .....	6-2
6.2.3	プルアップ/プルダウン .....	6-2
6.2.4	CMOS出力とハイインピーダンス状態 .....	6-3
6.3	クロック設定 .....	6-3
6.3.1	PPORTの動作クロック .....	6-3
6.3.2	SLEEPモード時のクロック供給 .....	6-3
6.3.3	DEBUGモード時のクロック供給 .....	6-3
6.4	動作 .....	6-3
6.4.1	初期設定 .....	6-3
6.4.2	ポートの入出力制御 .....	6-5
6.5	割り込み .....	6-6
6.6	制御レジスタ .....	6-7
Px Port Data Register .....	6-7	
Px Port Enable Register .....	6-7	
Px Port Pull-up/down Control Register .....	6-8	
Px Port Interrupt Flag Register .....	6-8	
Px Port Interrupt Control Register .....	6-8	
Px Port Chattering Filter Enable Register .....	6-9	
Px Port Mode Select Register .....	6-9	
Px Port Function Select Register .....	6-9	
P Port Clock Control Register .....	6-10	
P Port Interrupt Flag Group Register .....	6-11	
6.7	本ICの制御レジスタ/ポート機能の構成 .....	6-12
6.7.1	P0ポートグループ .....	6-12
6.7.2	P1ポートグループ .....	6-13
6.7.3	Pdポートグループ .....	6-14
6.7.4	ポートグループ共通 .....	6-14
<b>7</b>	<b>ユニバーサルポートマルチプレクサ(UPMUX) .....</b>	<b>7-1</b>
7.1	概要 .....	7-1
7.2	周辺入出力機能の割り当て .....	7-1
7.3	制御レジスタ .....	7-2
Pxy-xz Universal Port Multiplexer Setting Register .....	7-2	
<b>8</b>	<b>ウォッチドッグタイマ(WDT2) .....</b>	<b>8-1</b>
8.1	概要 .....	8-1
8.2	クロック設定 .....	8-1
8.2.1	WDT2の動作クロック .....	8-1
8.2.2	DEBUGモード時のクロック供給 .....	8-1
8.3	動作 .....	8-2
8.3.1	WDT2の制御 .....	8-2
8.3.2	HALT, SLEEPモード時の動作 .....	8-3
8.4	制御レジスタ .....	8-3
WDT2 Clock Control Register .....	8-3	
WDT2 Control Register .....	8-4	
WDT2 Counter Compare Match Register .....	8-4	
<b>9</b>	<b>電源電圧検出回路(SVD3) .....</b>	<b>9-1</b>
9.1	概要 .....	9-1
9.2	入力端子と外部接続 .....	9-2
9.2.1	入力端子 .....	9-2
9.2.2	外部との接続 .....	9-2
9.3	クロック設定 .....	9-2
9.3.1	SVD3の動作クロック .....	9-2
9.3.2	SLEEPモード時のクロック供給 .....	9-2

9.3.3	DEBUGモード時のクロック供給.....	9-3
9.4	動作.....	9-3
9.4.1	SVD3の制御.....	9-3
9.4.2	SVD3の動作.....	9-4
9.5	SVD3割り込みとリセット.....	9-4
9.5.1	SVD3割り込み.....	9-4
9.5.2	SVD3リセット.....	9-5
9.6	制御レジスタ.....	9-5
SVD3 Clock Control Register.....		9-5
SVD3 Control Register.....		9-6
SVD3 Status and Interrupt Flag Register.....		9-7
SVD3 Interrupt Enable Register.....		9-8
<b>10</b>	<b>16ビットタイマ(T16).....</b>	<b>10-1</b>
10.1	概要.....	10-1
10.2	入力端子.....	10-1
10.3	クロック設定.....	10-2
10.3.1	T16の動作クロック.....	10-2
10.3.2	SLEEPモード時のクロック供給.....	10-2
10.3.3	DEBUGモード時のクロック供給.....	10-2
10.3.4	イベントカウンタクロック.....	10-2
10.4	動作.....	10-2
10.4.1	初期設定.....	10-2
10.4.2	カウンタのアンダーフロー.....	10-3
10.4.3	リピートモードの動作.....	10-3
10.4.4	ワンショットモードの動作.....	10-3
10.4.5	カウンタ値のリード.....	10-4
10.5	割り込み.....	10-4
10.6	制御レジスタ.....	10-4
T16 Ch.n Clock Control Register.....		10-4
T16 Ch.n Mode Register.....		10-5
T16 Ch.n Control Register.....		10-5
T16 Ch.n Reload Data Register.....		10-6
T16 Ch.n Counter Data Register.....		10-6
T16 Ch.n Interrupt Flag Register.....		10-6
T16 Ch.n Interrupt Enable Register.....		10-7
<b>11</b>	<b>UART(UART3).....</b>	<b>11-1</b>
11.1	概要.....	11-1
11.2	入出力端子と外部接続.....	11-2
11.2.1	入出力端子一覧.....	11-2
11.2.2	外部との接続.....	11-2
11.2.3	入力端子のプルアップ機能.....	11-2
11.2.4	出力端子のオープンドレイン出力機能.....	11-2
11.2.5	入出力信号の反転機能.....	11-2
11.3	クロック設定.....	11-2
11.3.1	UART3の動作クロック.....	11-2
11.3.2	SLEEPモード時のクロック供給.....	11-3
11.3.3	DEBUGモード時のクロック供給.....	11-3
11.3.4	ボーレートジェネレータ.....	11-3
11.4	データフォーマット.....	11-3
11.5	動作.....	11-4
11.5.1	初期設定.....	11-4
11.5.2	データ送信.....	11-5

11.5.3	データ受信	11-6
11.5.4	IrDAインタフェース	11-7
11.5.5	キャリア変調	11-7
11.6	受信エラー	11-8
11.6.1	フレーミングエラー	11-8
11.6.2	パリティエラー	11-8
11.6.3	オーバーランエラー	11-9
11.7	割り込み	11-9
11.8	制御レジスタ	11-9
UART3 Ch.n	Clock Control Register	11-9
UART3 Ch.n	Mode Register	11-10
UART3 Ch.n	Baud-Rate Register	11-11
UART3 Ch.n	Control Register	11-12
UART3 Ch.n	Transmit Data Register	11-12
UART3 Ch.n	Receive Data Register	11-12
UART3 Ch.n	Status and Interrupt Flag Register	11-13
UART3 Ch.n	Interrupt Enable Register	11-14
UART3 Ch.n	Carrier Waveform Register	11-14
<b>12</b>	<b>同期式シリアルインタフェース(SPIA)</b>	<b>12-1</b>
12.1	概要	12-1
12.2	入出力端子と外部接続	12-2
12.2.1	入出力端子一覧	12-2
12.2.2	外部との接続	12-2
12.2.3	マスタモードとスレーブモードの端子機能	12-3
12.2.4	入力端子のプルアップ/プルダウン機能	12-3
12.3	クロック設定	12-3
12.3.1	SPIAの動作クロック	12-3
12.3.2	DEBUGモード時のクロック供給	12-4
12.3.3	SPIクロック(SPICLK <sub>n</sub> )の位相と極性	12-4
12.4	データフォーマット	12-5
12.5	動作	12-5
12.5.1	初期設定	12-5
12.5.2	マスタモードのデータ送信	12-5
12.5.3	マスタモードのデータ受信	12-7
12.5.4	マスタモードのデータ送受信終了	12-8
12.5.5	スレーブモードのデータ送受信	12-8
12.5.6	スレーブモードのデータ送受信終了	12-10
12.6	割り込み	12-10
12.7	制御レジスタ	12-11
SPIA Ch.n	Mode Register	12-11
SPIA Ch.n	Control Register	12-12
SPIA Ch.n	Transmit Data Register	12-13
SPIA Ch.n	Receive Data Register	12-13
SPIA Ch.n	Interrupt Flag Register	12-13
SPIA Ch.n	Interrupt Enable Register	12-14
<b>13</b>	<b>I<sup>2</sup>C(I2C)</b>	<b>13-1</b>
13.1	概要	13-1
13.2	入出力端子と外部接続	13-2
13.2.1	入出力端子一覧	13-2
13.2.2	外部との接続	13-2
13.3	クロック設定	13-3
13.3.1	I2Cの動作クロック	13-3
13.3.2	DEBUGモード時のクロック供給	13-3



13.3.3	ボーレートジェネレータ .....	13-3
13.4	動作 .....	13-4
13.4.1	初期設定 .....	13-4
13.4.2	マスタモードのデータ送信 .....	13-5
13.4.3	マスタモードのデータ受信 .....	13-7
13.4.4	マスタモードでの10ビットアドレス指定 .....	13-9
13.4.5	スレーブモードのデータ送信 .....	13-10
13.4.6	スレーブモードのデータ受信 .....	13-12
13.4.7	10ビットアドレスモードのスレーブ動作 .....	13-14
13.4.8	自動バスクリア動作 .....	13-14
13.4.9	エラー検出 .....	13-15
13.5	割り込み .....	13-16
13.6	制御レジスタ .....	13-17
I2C Ch.n	Clock Control Register .....	13-17
I2C Ch.n	Mode Register .....	13-18
I2C Ch.n	Baud-Rate Register .....	13-18
I2C Ch.n	Own Address Register .....	13-18
I2C Ch.n	Control Register .....	13-19
I2C Ch.n	Transmit Data Register .....	13-20
I2C Ch.n	Receive Data Register .....	13-20
I2C Ch.n	Status and Interrupt Flag Register .....	13-20
I2C Ch.n	Interrupt Enable Register .....	13-21
<b>14</b>	<b>スマートカードインタフェース(SMCIF) .....</b>	<b>14-1</b>
14.1	概要 .....	14-1
14.2	入出力端子と外部接続 .....	14-2
14.2.1	入出力端子一覧 .....	14-2
14.2.2	外部との接続 .....	14-2
14.2.3	出力端子のプッシュプル/オープンドレイン選択 .....	14-2
14.3	クロック設定 .....	14-2
14.3.1	SMCIFの動作クロック .....	14-2
14.3.2	SLEEPモード時のクロック供給 .....	14-3
14.3.3	DEBUGモード時のクロック供給 .....	14-3
14.3.4	SMCCLK <sub>n</sub> 端子出力停止機能 .....	14-3
14.3.5	ボーレートジェネレータの設定 .....	14-4
14.4	データフォーマット .....	14-4
14.5	ガードタイムとウェイトタイムの設定 .....	14-5
14.6	動作 .....	14-5
14.6.1	初期設定 .....	14-5
14.6.2	データ送信 .....	14-6
14.6.3	データ受信 .....	14-8
14.7	割り込み .....	14-10
14.8	制御レジスタ .....	14-10
SMCIF Ch.n	Clock Control Register .....	14-10
SMCIF Ch.n	Mode Register .....	14-11
SMCIF Ch.n	Baud Rate Register .....	14-12
SMCIF Ch.n	Control Register .....	14-12
SMCIF Ch.n	Transmit Data Register .....	14-14
SMCIF Ch.n	Receive Data Register .....	14-14
SMCIF Ch.n	Wait Time Compare Data Register 0 .....	14-14
SMCIF Ch.n	Wait Time Compare Data Register 1 .....	14-14
SMCIF Ch.n	Guard Time Compare Data Register .....	14-15
SMCIF Ch.n	Status and Interrupt Flag Register .....	14-15
SMCIF Ch.n	Interrupt Enable Register .....	14-16
SMCIF Ch.n	Etu Counter Data Register 0 .....	14-17

SMCIF Ch. <i>n</i> Etc Counter Data Register 1 .....	14-17
<b>15 16ビットPWMタイマ(T16B) .....</b>	<b>15-1</b>
15.1 概要 .....	15-1
15.2 入出力端子 .....	15-2
15.3 クロック設定 .....	15-3
15.3.1 T16Bの動作クロック .....	15-3
15.3.2 SLEEPモード時のクロック供給 .....	15-3
15.3.3 DEBUGモード時のクロック供給 .....	15-3
15.3.4 イベントカウンタクロック .....	15-3
15.4 動作 .....	15-4
15.4.1 初期設定 .....	15-4
15.4.2 カウンタブロックの動作 .....	15-5
15.4.3 コンパレータ/キャプチャブロックの動作 .....	15-8
15.4.4 TOUT出力の制御 .....	15-16
15.5 割り込み .....	15-22
15.6 制御レジスタ .....	15-22
T16B Ch. <i>n</i> Clock Control Register .....	15-22
T16B Ch. <i>n</i> Counter Control Register .....	15-23
T16B Ch. <i>n</i> Max Counter Data Register .....	15-24
T16B Ch. <i>n</i> Timer Counter Data Register .....	15-25
T16B Ch. <i>n</i> Counter Status Register .....	15-25
T16B Ch. <i>n</i> Interrupt Flag Register .....	15-26
T16B Ch. <i>n</i> Interrupt Enable Register .....	15-27
T16B Ch. <i>n</i> Comparator/Capture <i>m</i> Control Register .....	15-28
T16B Ch. <i>n</i> Compare/Capture <i>m</i> Data Register .....	15-30
<b>16 サウンドジェネレータ(SNDA) .....</b>	<b>16-1</b>
16.1 概要 .....	16-1
16.2 出力端子と外部接続 .....	16-2
16.2.1 出力端子一覧 .....	16-2
16.2.2 出力端子の駆動モード .....	16-2
16.2.3 外部との接続 .....	16-2
16.3 クロック設定 .....	16-3
16.3.1 SNDAの動作クロック .....	16-3
16.3.2 SLEEPモード時のクロック供給 .....	16-3
16.3.3 DEBUGモード時のクロック供給 .....	16-3
16.4 動作 .....	16-3
16.4.1 初期設定 .....	16-3
16.4.2 ノーマルブザーモードのブザー出力 .....	16-3
16.4.3 ワンショットブザーモードのブザー出力 .....	16-6
16.4.4 メロディモードの出力 .....	16-7
16.5 割り込み .....	16-9
16.6 制御レジスタ .....	16-9
SNDA Clock Control Register .....	16-9
SNDA Select Register .....	16-10
SNDA Control Register .....	16-11
SNDA Data Register .....	16-11
SNDA Interrupt Flag Register .....	16-12
SNDA Interrupt Enable Register .....	16-13
<b>17 12ビットA/D変換器(ADC12A) .....</b>	<b>17-1</b>
17.1 概要 .....	17-1
17.2 入力端子と外部接続 .....	17-2
17.2.1 入力端子一覧 .....	17-2

17.2.2 外部との接続 .....	17-2
17.3 クロック設定 .....	17-2
17.3.1 ADC12Aの動作クロック .....	17-2
17.3.2 サンプリング時間 .....	17-2
17.4 動作 .....	17-3
17.4.1 初期設定 .....	17-3
17.4.2 変換開始トリガソース .....	17-3
17.4.3 変換動作モードと変換を行うアナログ入力端子の設定 .....	17-4
17.4.4 A/D変換動作と制御手順 .....	17-4
17.5 割り込み .....	17-6
17.6 制御レジスタ .....	17-6
ADC12A Ch. <i>n</i> Control Register .....	17-6
ADC12A Ch. <i>n</i> Trigger/Analog Input Select Register .....	17-7
ADC12A Ch. <i>n</i> Configuration Register .....	17-8
ADC12A Ch. <i>n</i> Interrupt Flag Register .....	17-9
ADC12A Ch. <i>n</i> Interrupt Enable Register .....	17-10
ADC12A Ch. <i>n</i> Result Register <i>m</i> .....	17-10
<b>18 温度センサ/基準電圧生成回路(TSRVR) .....</b>	<b>18-1</b>
18.1 概要 .....	18-1
18.2 出力端子と外部接続 .....	18-1
18.2.1 出力端子 .....	18-1
18.2.2 外部との接続 .....	18-2
18.3 動作 .....	18-2
18.3.1 基準電圧の設定 .....	18-2
18.3.2 温度センサの設定 .....	18-2
18.4 制御レジスタ .....	18-3
TSRVR Ch. <i>n</i> Temperature Sensor Control Register .....	18-3
TSRVR Ch. <i>n</i> Reference Voltage Generator Control Register .....	18-3
<b>19 EPDコントローラ/ドライバ(EPDC) .....</b>	<b>19-1</b>
19.1 概要 .....	19-1
19.2 入出力端子と外部接続 .....	19-2
19.2.1 入出力端子一覧 .....	19-2
19.2.2 EPDドライバ端子割り当て .....	19-2
19.2.3 外部との接続 .....	19-3
19.3 クロック設定 .....	19-3
19.3.1 EPDCの動作クロック .....	19-3
19.3.2 SLEEPモード時のクロック供給 .....	19-4
19.3.3 DEBUGモード時のクロック供給 .....	19-4
19.4 EPD電源 .....	19-4
19.4.1 EPD電源回路の構成 .....	19-4
19.4.2 EPDコントラストの調整 .....	19-5
19.4.3 重負荷保護モード .....	19-5
19.5 動作 .....	19-6
19.5.1 初期設定 .....	19-6
19.5.2 動作モード .....	19-7
19.5.3 表示波形メモリ .....	19-7
19.5.4 表示データメモリ .....	19-8
19.5.5 表示の制御(波形モード) .....	19-8
19.5.6 表示の制御(ダイレクトモード) .....	19-10
19.5.7 外部ドライバ用出力 .....	19-11
19.6 割り込み .....	19-11
19.7 制御レジスタ .....	19-11

EPDC Timing Clock Control Register.....	19-11
EPDC Doubler Clock Control Register.....	19-12
EPDC Booster Clock Control Register.....	19-13
EPDC Control Register.....	19-13
EPDC Power Supply Control Register 0.....	19-14
EPDC Power Supply Control Register 1.....	19-15
EPDC Display Control Register.....	19-16
EPDC Pin Assignment Select Register.....	19-17
EPDC Interrupt Flag/Status Register.....	19-17
EPDC Interrupt Enable Register.....	19-17
EPDC Top/Back Plane Data Register.....	19-18
EPDC Segment Data Registers 0-2.....	19-18
EPDC Top/Back Plane Enable Register.....	19-19
EPDC Segment Enable Registers 0-2.....	19-19
EPDC Waveform Timing Set Registers 0-31.....	19-19
<b>20 乗除算器(COPRO2).....</b>	<b>20-1</b>
20.1 概要.....	20-1
20.2 動作モードと出力モード.....	20-1
20.3 乗算.....	20-2
20.4 除算.....	20-3
20.5 積和演算.....	20-5
20.6 演算結果の読み出し.....	20-7
<b>21 独立型低パワーリアルタイムクロック(RTCLP).....</b>	<b>21-1</b>
21.1 概要.....	21-1
21.2 入出力端子.....	21-2
21.3 RTCLPの動作クロック.....	21-2
21.4 動作.....	21-3
21.4.1 RTCLPレジスタへのアクセス方法.....	21-3
21.4.2 リアルタイムクロック機能.....	21-5
21.4.3 アラーム機能.....	21-6
21.4.4 ストップウォッチ機能.....	21-6
21.4.5 ダウンカウンタ機能.....	21-7
21.4.6 論理緩急機能.....	21-8
21.4.7 電源制御機能.....	21-9
21.4.8 入出力ポート機能.....	21-9
21.4.9 OSC1発振回路制御機能.....	21-9
21.4.10 バックアップRAM機能.....	21-11
21.5 割り込み.....	21-11
21.6 制御レジスタ.....	21-13
SPI Slave Select Register.....	21-13
21.7 RTCLP内部制御レジスタ.....	21-13
RTC Control Register.....	21-14
RTC Trimming Control Register.....	21-15
RTC Second Alarm Register.....	21-16
RTC Minute Alarm Register.....	21-16
RTC Hour Alarm Register.....	21-16
RTC Stopwatch Control Register.....	21-17
RTC Stopwatch Counter Register.....	21-17
RTC Divider Register.....	21-18
RTC Second Register.....	21-18
RTC Minute Register.....	21-18
RTC Hour Register.....	21-19
RTC Day Register.....	21-19
RTC Month Register.....	21-19

RTC Year Register .....	21-20
RTC Week Register .....	21-20
RTC Interrupt Flag Register 1 .....	21-20
RTC Interrupt Flag Register 2 .....	21-21
RTC Interrupt Enable Register 1 .....	21-22
RTC Interrupt Enable Register 2 .....	21-22
RTC Down Counter Control Register .....	21-23
RTC Down Counter Mode Register .....	21-23
RTC Down Counter Lower Reload Data Register .....	21-24
RTC Down Counter Upper Reload Data Register .....	21-24
RTC Down Counter Lower Data Register .....	21-24
RTC Down Counter Upper Data Register .....	21-24
Power Control Register .....	21-24
P2 Port Input Data Register .....	21-24
P2 Port Output Data Register .....	21-25
P2 Port Output Enable Register .....	21-25
P2 Port Input Enable Register .....	21-25
P2 Port Pull-up/down Enable Register .....	21-25
P2 Port Pull-up/down Select Register .....	21-26
P2 Port Interrupt Flag Register .....	21-26
P2 Port Interrupt Enable Register .....	21-26
P2 Port Interrupt Edge Select Register .....	21-27
P2 Port Chattering Filter Enable Register .....	21-27
P2 Port Mode Select Register .....	21-27
P2 Port Function Select Register 0 .....	21-27
OSC1 Load Capacitance 1 Control Register .....	21-28
OSC1 Load Capacitance 2 Control Register .....	21-28
Vosc Regulator Control Register .....	21-28
Vosc Reference Current Adjustment Register .....	21-28
RTCLPCLK Control Register .....	21-29
<b>22 電気的特性.....</b>	<b>22-1</b>
22.1 絶対最大定格 .....	22-1
22.2 推奨動作条件.....	22-1
22.3 消費電流.....	22-2
22.4 システムリセットコントローラ(SRC)特性 .....	22-3
22.5 クロックジェネレータ(CLG)特性.....	22-4
22.6 Flashメモリ特性.....	22-6
22.7 EEPROM特性.....	22-6
22.8 入出力ポート(PPORT)特性.....	22-6
22.9 電源電圧検出回路(SVD3)特性 .....	22-7
22.10 UART(UART3)特性 .....	22-9
22.11 同期式シリアルインタフェース(SPIA)特性.....	22-10
22.12 I <sup>2</sup> C(I2C)特性.....	22-11
22.13 EPDドライバ特性.....	22-11
22.14 12ビットA/D変換器(ADC12A)特性.....	22-15
22.15 温度センサ/基準電圧生成回路(TSRVR)特性.....	22-15
<b>23 基本外部結線図 .....</b>	<b>23-1</b>
<b>24 パッケージ.....</b>	<b>24-1</b>
<b>Appendix A 周辺回路制御レジスタ一覧.....</b>	<b>AP-A-1</b>
0x4000-0x4008 Misc Registers (MISC).....	AP-A-1
0x4020 Power Generator (PWG).....	AP-A-1
0x4040-0x4054 Clock Generator (CLG).....	AP-A-1

## 目次

0x4080–0x4092	Interrupt Controller (ITC).....	AP-A-2
0x40a0–0x40a4	Watchdog Timer (WDT2) .....	AP-A-3
0x4100–0x4106	Supply Voltage Detector (SVD3).....	AP-A-4
0x4160–0x416c	16-bit Timer (T16) Ch.0.....	AP-A-4
0x41b0	Flash Controller (FLASHC) .....	AP-A-5
0x41c0–0x41ca	EEPROM Controller (EEPROMC) .....	AP-A-5
0x4200–0x42e2	I/O Ports (PPORT) .....	AP-A-5
0x4300–0x430c	Universal Port Multiplexer (UPMUX).....	AP-A-7
0x4380–0x4390	UART (UART3) Ch.0 .....	AP-A-8
0x43a0–0x43ac	16-bit Timer (T16) Ch.1.....	AP-A-9
0x43b0–0x43ba	Synchronous Serial Interface (SPIA) Ch.0 .....	AP-A-9
0x43c0–0x43d2	I <sup>2</sup> C (I2C) Ch.0.....	AP-A-10
0x43e0	SPI Slave Selector (SPISLV_SEL).....	AP-A-11
0x5000–0x501a	16-bit PWM Timer (T16B) Ch.0 .....	AP-A-11
0x5040–0x505a	16-bit PWM Timer (T16B) Ch.1 .....	AP-A-12
0x5220–0x5238	Smart Card Interface (SMCIF) Ch.0.....	AP-A-14
0x5260–0x526c	16-bit Timer (T16) Ch.3.....	AP-A-15
0x5270–0x527a	Synchronous Serial Interface (SPIA) Ch.1 .....	AP-A-16
0x5300–0x530a	Sound Generator (SNDA) .....	AP-A-16
0x5480–0x548c	16-bit Timer (T16) Ch.2.....	AP-A-17
0x54a0–0x54ba	12-bit A/D Converter (ADC12A).....	AP-A-17
0x54c0–0x54c2	Temperature Sensor/Reference Voltage Generator (TSRVR) .....	AP-A-19
0x5500–0x557e	EPD Controller/Driver (EPDC).....	AP-A-19
0xffff90	Debugger (DBG) .....	AP-A-21
<b>Appendix B パワーセーブ .....</b>		<b>AP-B-1</b>
B.1 パワーセーブを考慮した動作状態の設定例 .....		AP-B-1
B.2 その他のパワーセーブ方法.....		AP-B-1
<b>Appendix C 実装上の注意事項 .....</b>		<b>AP-C-1</b>
<b>Appendix D ノイズ対策.....</b>		<b>AP-D-1</b>
<b>Appendix E 初期化ルーチン .....</b>		<b>AP-E-1</b>
<b>改訂履歴表</b>		

# 1 概要

S1C17F63は、低消費電力を特長とする16ビットMCUです。各種シリアルインタフェース、EPDコントローラ/ドライバ、温度センサ、A/D変換器、および各種のタイマを内蔵しており、16ビットCPUのパワフルな処理能力と併せ、EPD表示と温度測定機能を必要とする電池駆動のアプリケーションに最適です。また、Flashメモリに加え、アプリケーションソフトウェアからの書き換えが可能なEEPROMも搭載しています。

## 1.1 特長

表1.1.1 特長

機種		S1C17F63
<b>CPU</b>		
CPUコア	EPSONオリジナル16ビットRISC CPUコアS1C17	
その他	デバッグを内蔵	
<b>内蔵Flashメモリ</b>		
容量	32K/バイト(命令/データ共用)	
書き換え回数	1,000回(min.) *デバッグツールICDminiからの書き換え時	
その他	ICDminiからの読み出し/書き換えを禁止するセキュリティ機能 ICDminiによるオンボード書き換えが可能 Flashプログラミング電圧を内部生成可能	
<b>内蔵EEPROM</b>		
容量	256/バイト	
書き換え回数	100,000回(min.)	
<b>内蔵RAM</b>		
容量	2K/バイト	
<b>クロックジェネレータ(CLG)</b>		
システムクロックソース	4種類(IOSC/RTCLP(OSC1)/OSC3/EXOSC)	
システムクロック周波数(動作周波数)	16.8 MHz(max.)	
IOSC発振回路(起動クロックソース)	700 kHz(typ.) 内蔵発振回路 23 μs(max.)の起動時間 (SLEEP状態からCPUがベクタテーブルを読み出すまでの時間) 内蔵発振オートトリミング機能	
RTCLPクロック(OSC1発振回路)	RTCLPに搭載された32.768 kHz(typ.)水晶発振回路の出力クロック OSC1クロックとしてMCU部で使用可能	
OSC3発振回路	16, 12, 8, 4, 2, 1, 0.5 MHz切り換え可能な内蔵発振回路	
EXOSCクロック入力	16.8 MHz(max.) 矩形波またはサイン波入力	
その他	システムクロックの分周比を設定可能 外部クロック出力機能: 2チャンネル SLEEP復帰時のシステムクロックを任意に設定可能 CPUとすべての周辺回路が、任意に選択されたクロック周波数で動作可能	
<b>入出力ポート(PPORT)</b>		
汎用ポート数	入出力ポート	17ビット(MCU部) (max.)
	その他	周辺回路の入出力端子と共用
入力割り込み対応ポート数	14ビット(MCU部) (max.)	
ユニバーサルポートマルチプレクサ(UPMUX)対応ポート数	14ビット ソフトウェアで選択した周辺回路入出力機能を各ポートに割り付け可能	
<b>タイマ</b>		
ウォッチドッグタイマ(WDT2)	NMI、またはウォッチドッグタイマリセットを生成 NMI/リセット発生周期を設定可能	
16ビットタイマ(T16)	4チャンネル SPIAのマスタクロックとADC12Aのトリガ信号を生成	
16ビットPWMタイマ(T16B)	2チャンネル イベントカウンタ/キャプチャ機能 PWM波形生成機能 PWM出力またはキャプチャ入力ポート数: 2ポート/チャンネル	
<b>電源電圧検出回路(SVD3)</b>		
検出電圧	V <sub>DD</sub> または外部電圧(1本の外部電圧入力ポートを搭載し、V <sub>DD</sub> 以上の電圧レベルも検出可能)	
検出レベル	V <sub>DD</sub> : 28値(1.8~5.0 V)/外部電圧: 32値(1.2~5.0 V)	
その他	間欠動作モード 検出レベル判定で割り込み、またはリセットを発生	

# 1 概要

機種		S1C17F63
<b>シリアルインタフェース</b>		
UART(UART3)	1チャンネル ボーレート生成回路内蔵, IrDA1.0対応 オープンドレイン出力, 信号極性, ボーレート分周比を選択可能 赤外線通信用キャリア変調出力機能	
同期式シリアルインタフェース(SPIA)	2チャンネル * Ch.0はRTCLPとのインタフェースとしても使用 転送データ長を2~16ビットに設定可能 マスタモードのボーレート生成回路として16ビットタイマ(T16)を使用可能	
I <sup>2</sup> C(I2C) *1	1チャンネル ボーレート生成回路内蔵	
スマートカードインタフェース(SMCIF)	1チャンネル ボーレート生成回路内蔵	
<b>サウンドジェネレータ(SNDA)</b>		
ブザー出力機能	出力周波数: 512 Hz~16 kHz 1ショット出力機能	
メロディ生成機能	音高: 128 Hz~16 kHz ≡ C3~C6 音長: 7種類(2分音符/休符~32分音符/休符) テンポ: 16種類(30~480) タイ/スラー指定可能	
<b>12ビットA/D変換器(ADC12A)</b>		
変換方式	逐次比較型	
分解能	12ビット	
変換チャンネル数	1チャンネル	
外部アナログ信号入力数	7ポート	
内部アナログ信号入力数	1ポート(温度センサ出力を接続)	
<b>温度センサ/基準電圧生成回路(TSRVR)</b>		
温度センサ回路	センサ出力をADC12Aで計測可能	
基準電圧生成回路	2.0 V, 2.5 V, V <sub>DD</sub> または外部印加からADC12Aの基準電圧を選択可能	
<b>EPDコントローラ/ドライバ(EPDC)</b>		
駆動出力数	セグメント出力	42本
	トッププレーン出力	1本
	バックプレーン出力	1本
出力電圧	48値	
その他	駆動電源生成回路内蔵 表示データメモリ内蔵 出力駆動波形をプログラム可能 端子出力の直接制御が可能 セグメント/トッププレーン/バックプレーン出力の端子割り当てを選択可能	
<b>独立型低パワーリアルタイムクロック(RTCLP)</b>		
インタフェース	SPIA Ch.0を介したレジスタアクセス	
OSC1発振回路	32.768 kHz(typ.)水晶発振回路	
発振停止検出回路	発振停止検出によりシステムリセットを実行	
リアルタイムクロック	秒/分/時/日/曜日/月/年カウント 自動うるう年補正機能 日/時/分/秒割り込み, アラーム割り込み, タイマによる任意周期割り込み	
入出力ポート(P20, P21)	汎用入出力: 2ビット(max.) 入力割り込み発生機能: 2ビット(max.) 周辺回路の入出力端子と共用	
パワーマネージメント機能	MCU部への電源供給遮断および割り込みによる供給再開機能	
バックアップRAM機能	容量: 128バイト	
<b>乗除算器(COPRO2)</b>		
演算機能	16ビット × 16ビット乗算器	
	16ビット × 16ビット + 32ビット積和演算器	
	32ビット ÷ 32ビット除算器	
<b>リセット</b>		
#RESET端子	リセット端子Lowレベル検出時	
パワーオンリセット	電源投入時	
ブラウンアウトリセット	電源電圧低下時	
発振停止検出リセット	OSC1水晶発振停止検出時	
キー入力リセット	P00~P01/P02/P03キーの同時入力時(レジスタでON/OFF設定可能)	
ウォッチドッグタイマリセット	ウォッチドッグタイマオーバーフロー時(レジスタでON/OFF設定可能)	
電源電圧検出回路リセット	電源電圧検出回路による設定電圧検出時(レジスタでON/OFF設定可能)	



機種		S1C17F63
<b>割り込み</b>		
ノンマスクابل割り込み		4本(リセット, アドレス不整, デバッグ, NMI)
プログラマブル 割り込み	外部割り込み	1本(8レベル)
	内部割り込み	15本(8レベル)
<b>電源電圧</b>		
V <sub>DD</sub> 動作電圧		1.8~5.5 V
Flash書き換え時V <sub>DD</sub> 動作電圧		2.2~5.5 V(書き換え用電圧V <sub>PP</sub> : 7.5 V外部印加または内部生成)
EEPROM書き換え時V <sub>DD</sub> 動作電圧		2.2~5.5 V(書き換え用電圧V <sub>PP</sub> : 内部生成)
<b>動作温度</b>		
動作温度範囲		-40~85°C
<b>消費電流 (typ.値)</b>		
RTCモード		0.11 μA OSC1 = 32,768 Hz, リアルタイムクロック = ON, MCUコア = OFF
SLEEPモード*2		0.45 μA IOSC = OFF, OSC1 = 32,768 Hz, リアルタイムクロック = ON, OSC3 = OFF
HALTモード		0.70 μA IOSC = OFF, OSC1 = 32,768 Hz, リアルタイムクロック = ON, OSC3 = OFF
RUNモード		5 μA OSC1 = 32,768 Hz, リアルタイムクロック = ON, CPU = OSC1 1,950 μA OSC3 = 16 MHz, OSC1 = 32,768 Hz, リアルタイムクロック = ON, CPU = OSC3 (Flashリード: 3サイクル)
<b>出荷形態</b>		
1	金バンプチップ (バンプピッチ: 85 μm(min.))	
2	アルミパッドチップ (パッドピッチ: 85 μm(min.))	
3*3	QFP15-100PIN (P-LQFP100-1414-0.50, 14 × 14 mm, t = 1.7 mm, 0.5 mm pitch)	

\*1 I2C(SDAおよびSCL入力)の入力フィルタは、50 ns未満のノイズスパイク除去の規格に準拠していません。

\*2 SLEEP中もRAMのデータは保持されます。

\*3 ()内はJEITAのパッケージ名称です。

## 1.2 ブロック図

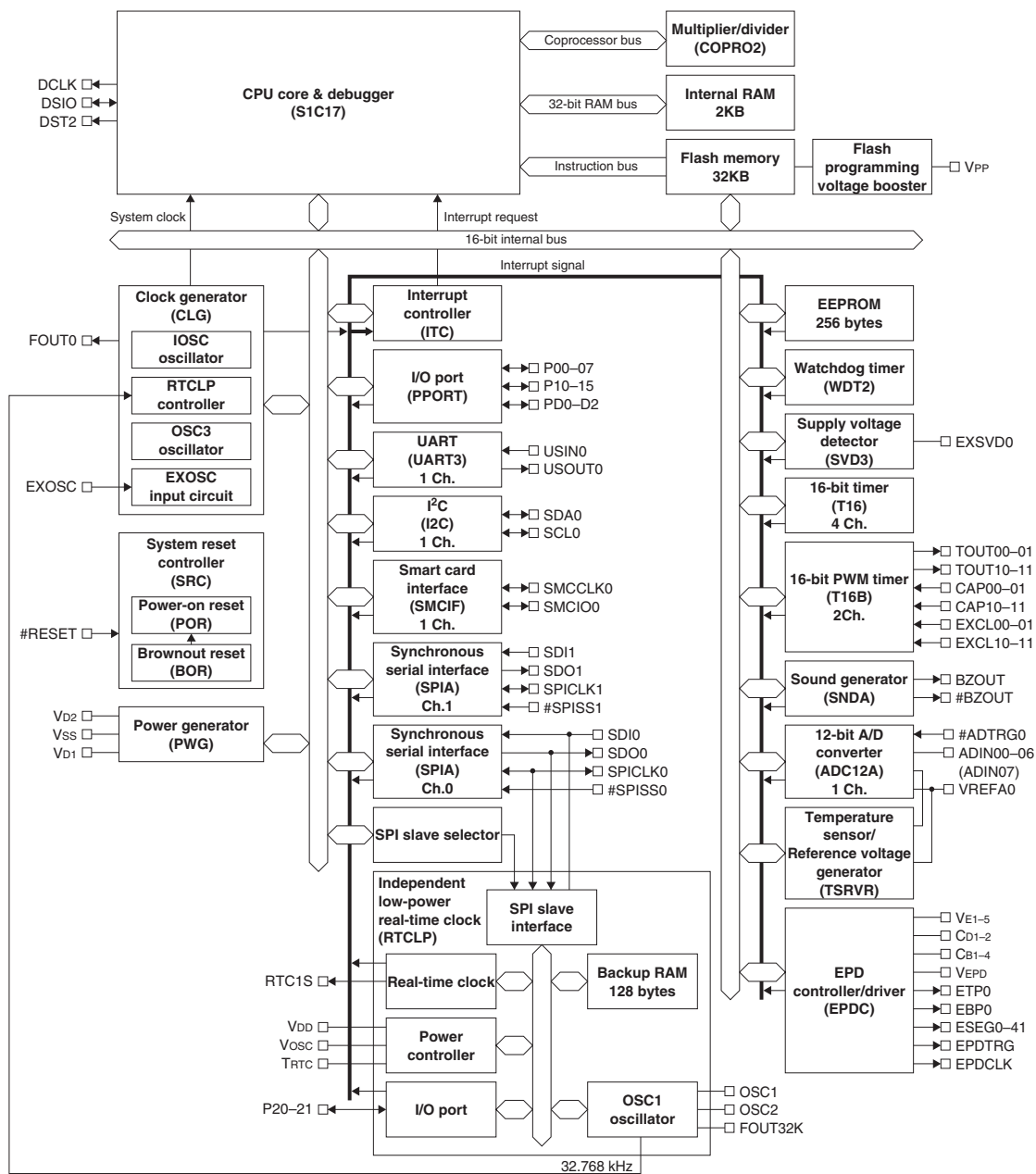


図1.2.1 S1C17F63ブロック図

# 1.3 端子

## 1.3.1 QFP15-100PIN

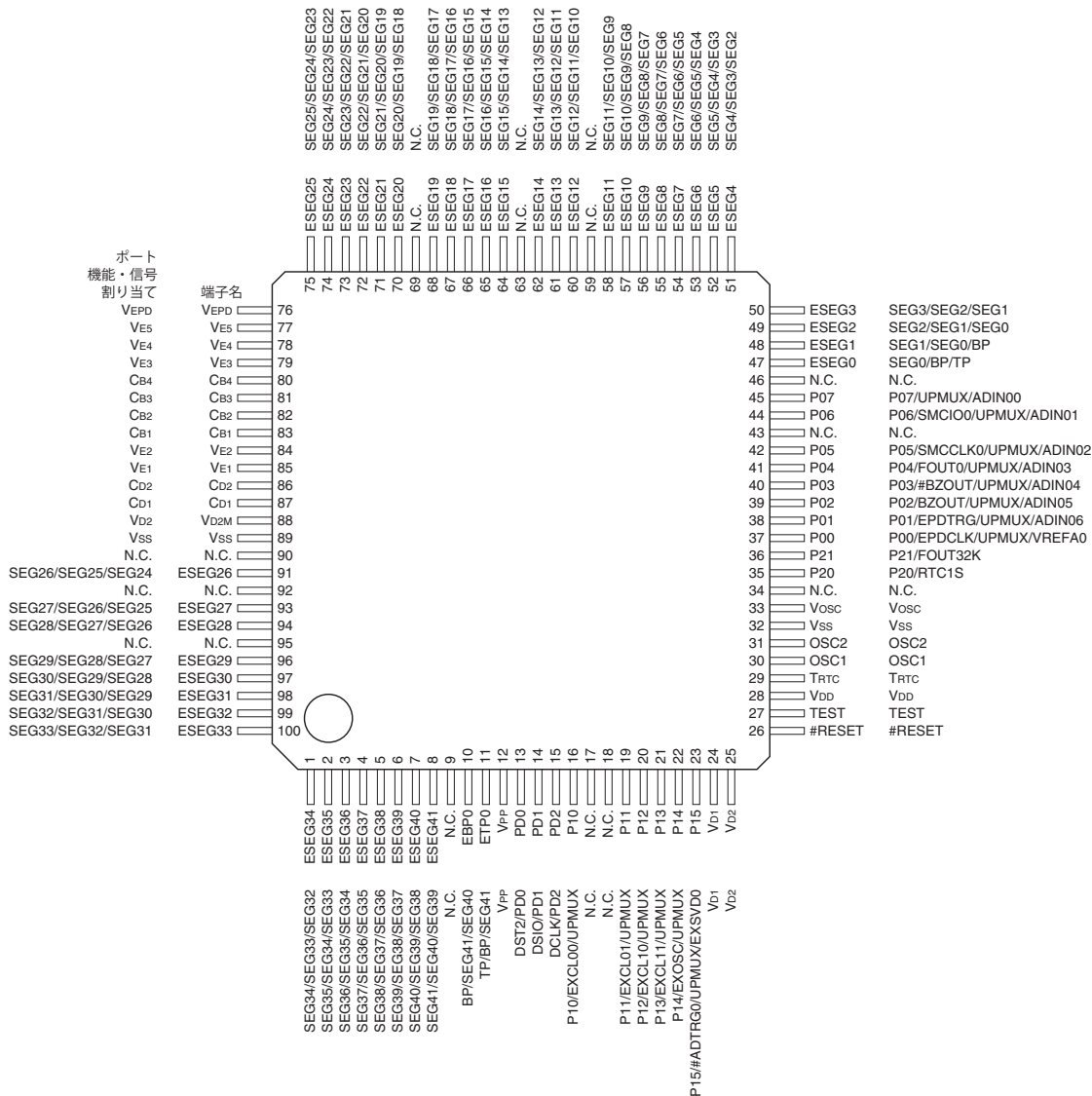
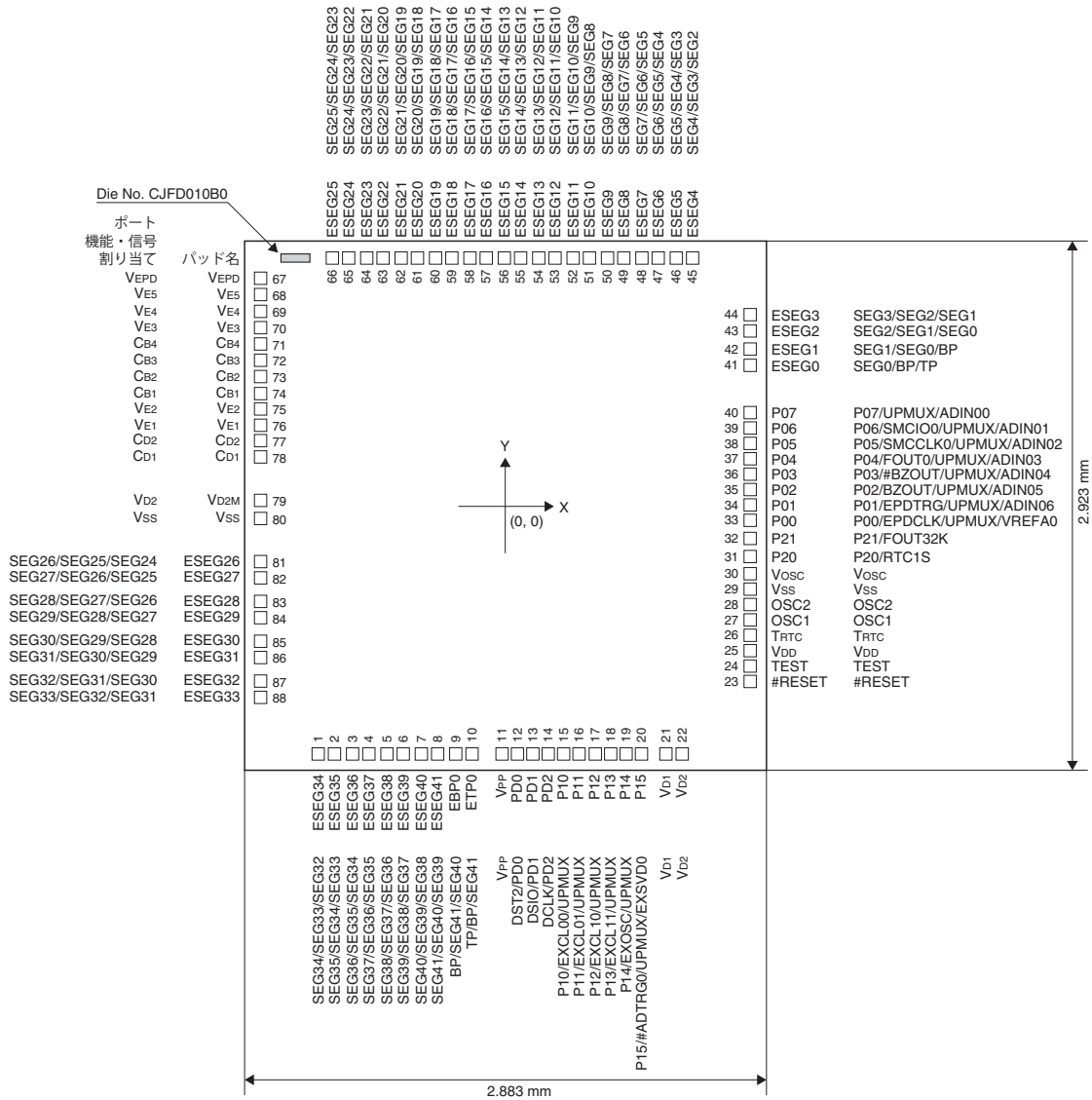


図1.3.1.1 QFP15-100PIN端子配置図

### 1.3.2 アルミパッドチップ



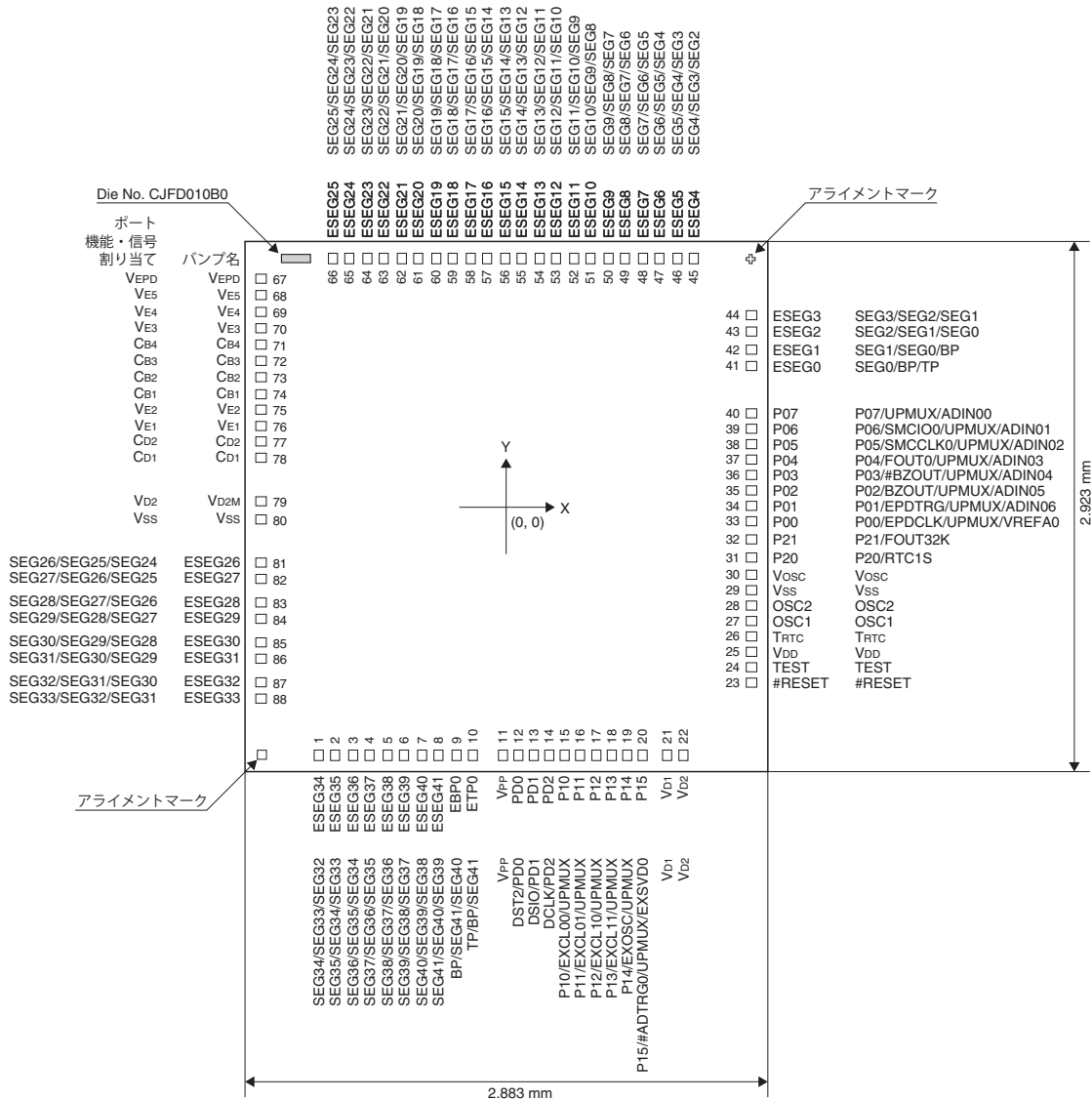
パッド開口部 X = 68 μm, Y = 68 μm  
チップ厚 200 μm

図1.3.2.1 アルミパッドチップパッド配置図

表1.3.2.1 パッド座標

No.	X $\mu$ m	Y $\mu$ m	No.	X $\mu$ m	Y $\mu$ m	No.	X $\mu$ m	Y $\mu$ m	No.	X $\mu$ m	Y $\mu$ m
1	-1,035	-1,372	23	1,352	-971	45	1,035	1,372	67	-1,352	1,260
2	-945	-1,372	24	1,352	-886	46	945	1,372	68	-1,352	1,170
3	-845	-1,372	25	1,352	-801	47	845	1,372	69	-1,352	1,077
4	-755	-1,372	26	1,352	-716	48	755	1,372	70	-1,352	987
5	-655	-1,372	27	1,352	-631	49	655	1,372	71	-1,352	897
6	-565	-1,372	28	1,352	-546	50	565	1,372	72	-1,352	807
7	-465	-1,372	29	1,352	-461	51	465	1,372	73	-1,352	717
8	-375	-1,372	30	1,352	-376	52	375	1,372	74	-1,352	623
9	-275	-1,372	31	1,352	-281	53	275	1,372	75	-1,352	538
10	-185	-1,372	32	1,352	-181	54	185	1,372	76	-1,352	448
11	-19	-1,372	33	1,352	-81	55	85	1,372	77	-1,352	363
12	66	-1,372	34	1,352	4	56	-5	1,372	78	-1,352	273
13	151	-1,372	35	1,352	89	57	-105	1,372	79	-1,352	33
14	236	-1,372	36	1,352	174	58	-195	1,372	80	-1,352	-67
15	321	-1,372	37	1,352	259	59	-295	1,372	81	-1,352	-305
16	406	-1,372	38	1,352	344	60	-385	1,372	82	-1,352	-395
17	496	-1,372	39	1,352	429	61	-485	1,372	83	-1,352	-525
18	581	-1,372	40	1,352	514	62	-575	1,372	84	-1,352	-615
19	666	-1,372	41	1,352	775	63	-675	1,372	85	-1,352	-745
20	751	-1,372	42	1,352	865	64	-765	1,372	86	-1,352	-835
21	886	-1,372	43	1,352	965	65	-865	1,372	87	-1,352	-965
22	976	-1,372	44	1,352	1,055	66	-955	1,372	88	-1,352	-1,055

### 1.3.3 金バンブチップ



バンブサイズ No. 1~22, 45~66: X = 50 μm, Y = 58 μm No. 23~44, 67~88: X = 58 μm, Y = 50 μm  
チップ厚 200 μm

図1.3.3.1 金バンブチップバンブ配置図

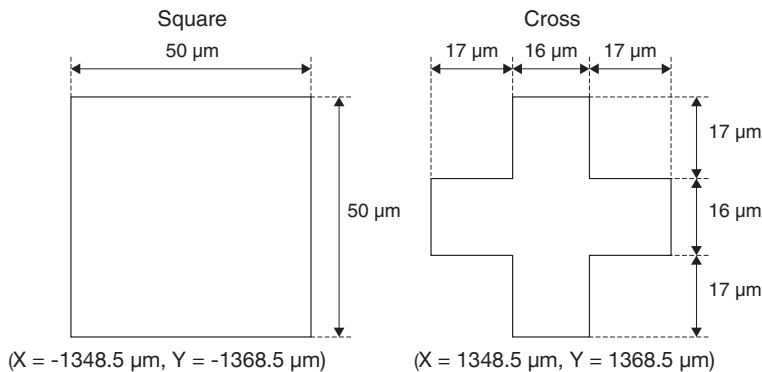


図1.3.3.2 アライメントマーク

表1.3.3.1 バンプ座標

No.	X $\mu\text{m}$	Y $\mu\text{m}$	No.	X $\mu\text{m}$	Y $\mu\text{m}$	No.	X $\mu\text{m}$	Y $\mu\text{m}$	No.	X $\mu\text{m}$	Y $\mu\text{m}$
1	-1,035	-1,372	23	1,352	-971	45	1,035	1,372	67	-1,352	1,260
2	-945	-1,372	24	1,352	-886	46	945	1,372	68	-1,352	1,170
3	-845	-1,372	25	1,352	-801	47	845	1,372	69	-1,352	1,077
4	-755	-1,372	26	1,352	-716	48	755	1,372	70	-1,352	987
5	-655	-1,372	27	1,352	-631	49	655	1,372	71	-1,352	897
6	-565	-1,372	28	1,352	-546	50	565	1,372	72	-1,352	807
7	-465	-1,372	29	1,352	-461	51	465	1,372	73	-1,352	717
8	-375	-1,372	30	1,352	-376	52	375	1,372	74	-1,352	623
9	-275	-1,372	31	1,352	-281	53	275	1,372	75	-1,352	538
10	-185	-1,372	32	1,352	-181	54	185	1,372	76	-1,352	448
11	-19	-1,372	33	1,352	-81	55	85	1,372	77	-1,352	363
12	66	-1,372	34	1,352	4	56	-5	1,372	78	-1,352	273
13	151	-1,372	35	1,352	89	57	-105	1,372	79	-1,352	33
14	236	-1,372	36	1,352	174	58	-195	1,372	80	-1,352	-67
15	321	-1,372	37	1,352	259	59	-295	1,372	81	-1,352	-305
16	406	-1,372	38	1,352	344	60	-385	1,372	82	-1,352	-395
17	496	-1,372	39	1,352	429	61	-485	1,372	83	-1,352	-525
18	581	-1,372	40	1,352	514	62	-575	1,372	84	-1,352	-615
19	666	-1,372	41	1,352	775	63	-675	1,372	85	-1,352	-745
20	751	-1,372	42	1,352	865	64	-765	1,372	86	-1,352	-835
21	886	-1,372	43	1,352	965	65	-865	1,372	87	-1,352	-965
22	976	-1,372	44	1,352	1,055	66	-955	1,372	88	-1,352	-1,055

表1.3.3.2 金バンプ仕様

特性項目		仕様
バンプ形状		ストレートバンプ
バンプ高さ (Al配線上からバンプトップ までの距離)		15 $\mu\text{m}$ Typ. 中心値 $\pm 4 \mu\text{m}$
バンプ硬度		R(Max. - Min.) $\leq 3 \mu\text{m}$ 30~70 HV
バンプ強度		0.0067 g/ $\mu\text{m}^2$ , 金バンプ内せん断
バンプ表面凹凸		3.0 $\mu\text{m}$ 以下
バンプ寸法		平面XY寸法公差(バンプトップ部) $X \pm 4 \mu\text{m}$ , $Y \pm 4 \mu\text{m}$
バンプ~バンプ間隔		S = 20 $\mu\text{m}$

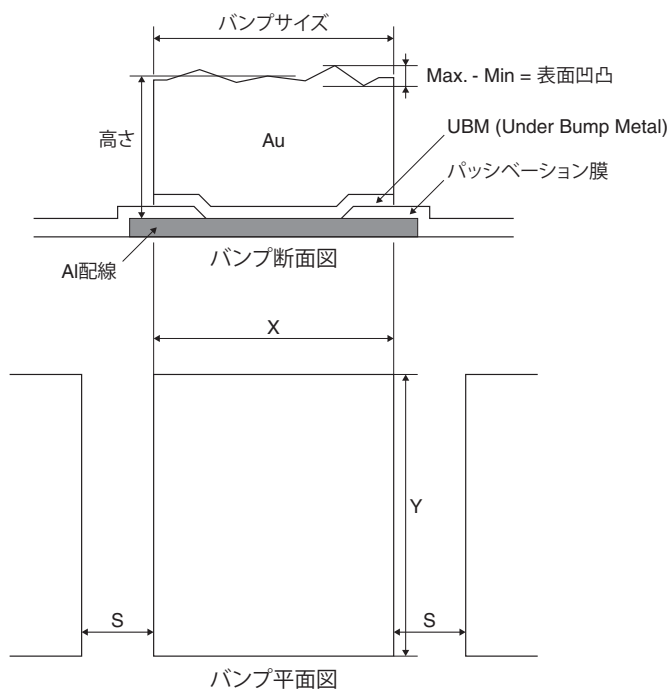


図1.3.3.3 金バンプ仕様

## 1 概要

### 1.3.4 端子説明

#### 記号説明

割り当て信号: 各端子の最上部に記載されている信号が、イニシャル状態で端子に割り当てられる信号です。その他の信号にはソフトウェアで切り換えます (“入出力ポート”の章を参照)。

I/O: I = 入力  
O = 出力  
I/O = 入出力  
P = 電源  
A = アナログ信号  
Hi-Z = ハイインピーダンス状態

イニシャル状態: I (Pull-up) = プルアップ入力  
I (Pull-down) = プルダウン入力  
Hi-Z = ハイインピーダンス状態  
O (H) = HIGHレベル出力  
O (L) = LOWレベル出力

トレラント・フェイルセーフ対応:  
✓ = トレラント・フェイルセーフ対応I/Oセル内蔵 (“入出力ポート”の章を参照)

表1.3.4.1 端子説明

端子名	割り当て信号	I/O	イニシャル状態	トレラント・フェイルセーフ対応	機能
VDD	VDD	P	–	–	電源(+)
VSS	VSS	P	–	–	GND
VPP	VPP	P	–	–	Flashプログラミング電源
VD1	VD1	A	–	–	VD1レギュレータ出力
VD2	VD2	A	–	–	MCU部動作電源
VD2M	VD2	A	–	–	VD2電圧モニタ
VOsc	VOsc	P	–	–	VOscレギュレータ出力(OSC1発振回路用電源)
TRTC	TRTC	A	–	–	テスト用出力端子(通常動作時はオープン)
VEPD	VEPD	P	–	–	EPD駆動電圧出力
VE1-5	VE1-5	P	–	–	EPD電源昇圧回路出力
CD1-2	CD1-2	A	–	–	EPD電源昇圧コンデンサ接続端子
CB1-4	CB1-4	A	–	–	EPD電源昇圧コンデンサ接続端子
OSC1	OSC1	A	–	–	OSC1発振回路入力
OSC2	OSC2	A	–	–	OSC1発振回路出力
#RESET	#RESET	I	I (Pull-up)	–	リセット入力
TEST	TEST	I	I	–	テスト入力
P00	P00	I/O	Hi-Z	–	入出力兼用ポート
	EPDCLK	O			外部EPDドライバ用EPDクロック出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	VREFA0	A			12ビットA/D変換器Ch.0基準電圧入力/基準電圧生成回路定電圧出力
P01	P01	I/O	Hi-Z	–	入出力兼用ポート
	EPDTRG	O			外部EPDドライバ用EPDトリガ出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN06	A			12ビットA/D変換器Ch.0アナログ信号入力6
P02	P02	I/O	Hi-Z	–	入出力兼用ポート
	BZOUT	O			サウンドジェネレータ出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN05	A			12ビットA/D変換器Ch.0アナログ信号入力5
P03	P03	I/O	Hi-Z	–	入出力兼用ポート
	#BZOUT	O			サウンドジェネレータ反転出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN04	A			12ビットA/D変換器Ch.0アナログ信号入力4
P04	P04	I/O	Hi-Z	–	入出力兼用ポート
	FOUT0	O			クロック外部出力0
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN03	A			12ビットA/D変換器Ch.0アナログ信号入力3
P05	P05	I/O	Hi-Z	–	入出力兼用ポート
	SMCCLK0	I/O			スマートカードインタフェースクロック入出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN02	A			12ビットA/D変換器Ch.0アナログ信号入力2



端子名	割り当て 信号	I/O	イニシャル 状態	トレラント・ フェイル セーフ対応	機能
P06	P06	I/O	Hi-Z	-	入出力兼用ポート
	SMCIO0	I/O			スマートカードインタフェースデータ入出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN01	A			12ビットA/D変換器Ch.0アナログ信号入力1
P07	P07	I/O	Hi-Z	-	入出力兼用ポート
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN00	A			12ビットA/D変換器Ch.0アナログ信号入力0
P10	P10	I/O	Hi-Z	✓	入出力兼用ポート
	EXCL00	I			16ビットPWMタイマCh.0イベントカウンタ入力0
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P11	P11	I/O	Hi-Z	✓	入出力兼用ポート
	EXCL01	I			16ビットPWMタイマCh.0イベントカウンタ入力1
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P12	P12	I/O	Hi-Z	✓	入出力兼用ポート
	EXCL10	I			16ビットPWMタイマCh.1イベントカウンタ入力0
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P13	P13	I/O	Hi-Z	✓	入出力兼用ポート
	EXCL11	I			16ビットPWMタイマCh.1イベントカウンタ入力1
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P14	P14	I/O	Hi-Z	-	入出力兼用ポート
	EXOSC	I			クロックジェネレータ外部クロック入力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P15	P15	I/O	Hi-Z	✓	入出力兼用ポート
	#ADTRG0	I			12ビットA/D変換器Ch.0トリガ入力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	EXSVDO	A			外部電源電圧検出入力
P20	P20	I/O	Hi-Z	✓	入出力兼用ポート
	RTC1S	O			リアルタイムクロック1秒周期パルス出力
P21	P21	I/O	Hi-Z	✓	入出力兼用ポート
	FOUT32K	O			クロック外部出力(32 kHzクロック出力)
PD0	DST2	O	O (L)	-	オンチップデバッグステータス出力
	PD0	I/O			入出力兼用ポート
PD1	DSIO	I/O	I (Pull-up)	✓	オンチップデバッグデータ入出力
	PD1	I/O			入出力兼用ポート
PD2	DCLK	O	O (H)	✓	オンチップデバッグクロック出力
	PD2	I/O			入出力兼用ポート
ETP0	TP	O	Hi-Z	-	EPDトッププレーン出力
	BP	O			EPDバックプレーン出力
	SEG41	O			EPDセグメント出力
EBP0	BP	O	Hi-Z	-	EPDバックプレーン出力
	SEG41	O			EPDセグメント出力
	SEG40	O			EPDセグメント出力
ESEG0	SEG0	O	Hi-Z	-	EPDセグメント出力
	BP	O			EPDバックプレーン出力
	TP	O			EPDトッププレーン出力
ESEG1	SEG1	O	Hi-Z	-	EPDセグメント出力
	SEG0	O			EPDセグメント出力
	BP	O			EPDバックプレーン出力
ESEG2-41	SEG0-41	O	Hi-Z	-	EPDセグメント出力

注: 周辺回路の説明では、割り当て信号名を端子名として使用します。

## ユニバーサルポートマルチプレクサ(UPMUX)について

ユニバーサルポートマルチプレクサ(UPMUX)は、端子に割り付ける以下の周辺回路入出力機能を、ソフトウェアによって自由に選択できる機能です。

表1.3.4.2 UPMUXで選択可能な周辺回路入出力機能

周辺回路	割り当て信号	I/O	チャンネル番号 $n$	機能
同期式シリアルインタフェース(SPIA)	SDIn	I	$n = 0, 1$	SPIA Ch. $n$ データ入力
	SDOn	O		SPIA Ch. $n$ データ出力
	SPICLK $n$	I/O		SPIA Ch. $n$ クロック入出力
	#SPISS $n$	I		SPIA Ch. $n$ スレーブセレクト入力
I <sup>2</sup> C(I2C)	SCL $n$	I/O	$n = 0$	I2C Ch. $n$ クロック入出力
	SDA $n$	I/O		I2C Ch. $n$ データ入出力
UART(UART3)	USIN $n$	I	$n = 0$	UART3 Ch. $n$ データ入力
	USOUT $n$	O		UART3 Ch. $n$ データ出力
16ビットPWMタイマ(T16B)	TOUT $n$ 0/CAP $n$ 0	I/O	$n = 0, 1$	T16B Ch. $n$ PWM出力/キャプチャ入力0
	TOUT $n$ 1/CAP $n$ 1	I/O		T16B Ch. $n$ PWM出力/キャプチャ入力1

注: 一つの機能を同時に複数の端子に割り当てないでください。

## 2 電源, リセット, クロック

本ICの電源、リセット、クロックは、それぞれ内蔵のパワージェネレータ、システムリセットコントローラ、クロックジェネレータによって管理されています。

### 2.1 パワージェネレータ(PWG)

#### 2.1.1 概要

PWGはMCU部の電源システムを制御し、本ICを安定した状態で、かつ省電力に動作させるパワージェネレータです。主な機能と特長を以下に示します。

- 独立型低パワーリアルタイムクロックより供給される $V_{D2}$ で動作
- $V_{D1}$ レギュレータを内蔵
  - $V_{D1}$ レギュレータは、内部回路を動作させる電圧 $V_{D1}$ を生成し、 $V_{D2}$ の電圧レベルに依存しない一定の消費電流を実現
  - $V_{D1}$ レギュレータは、ノーマルモード/エコノミーモードの2つの動作モードを搭載しており、低負荷時にエコノミーモードに設定することで省電力動作を実現

図2.1.1.1にPWGの構成を示します。

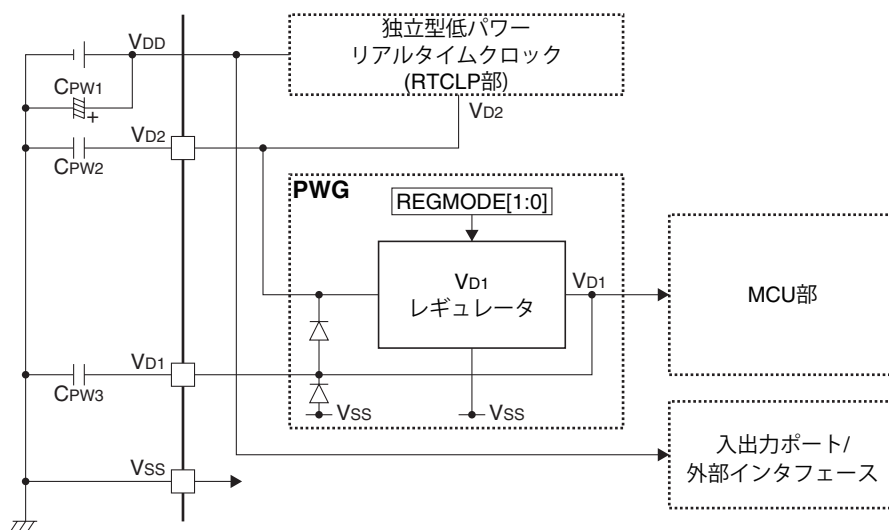


図2.1.1.1 PWGの構成

$V_{D2}$ の制御については、“独立型低パワーリアルタイムクロック”の章を参照してください。

#### 2.1.2 端子

表2.1.2.1にPWGの端子一覧を示します。

表2.1.2.1 PWG端子一覧

端子名	I/O	イニシャル状態	機能
$V_{DD}$	P	-	電源(+)
$V_{SS}$	P	-	GND
$V_{D2}$	A	-	MCU部動作電源
$V_{D1}$	A	-	$V_{D1}$ レギュレータ出力

$V_{DD}$ の動作電圧範囲は、“電気的特性”の章の“推奨動作条件、電源電圧 $V_{DD}$ ”を参照してください。また、推奨外付け部品については、“基本外部結線図”の章を参照してください。

### 2.1.3 V<sub>D1</sub>レギュレータの動作モード

V<sub>D1</sub>レギュレータは、ノーマルモードとエコノミーモードの2つの動作モードを持っています。低負荷状態の場合はエコノミーモードにすることで、V<sub>D1</sub>レギュレータが省電力動作になります。エコノミーモードに設定できる低負荷状態の例を、表2.1.3.1に示します。

表2.1.3.1 エコノミーモードに設定可能な低負荷状態の例

低負荷状態のモード	例外条件
SLEEPモード(全発振停止またはOSC1のみ動作)	OSC1以外のクロックソースが動作している場合
HALTモード(OSC1のみ動作)	
RUNモード(OSC1のみ動作)	

また、ハードウェアによって低負荷状態を検出し、ノーマルモードとエコノミーモードを自動的に切り換える機能として、オートマチックモードがあります。特別な制御を必要としない場合は、オートマチックモードで使用してください。

## 2.2 システムリセットコントローラ(SRC)

### 2.2.1 概要

SRCは、各種リセットソースの要求に応じて、内部回路をリセットし、ICの安定した動作を実現するシステムリセットコントローラです。主な機能と特長を以下に示します。

- 電源投入時の内部電源が不安定な間やクロックソースの起動直後で発振周波数が不安定な間、リセット状態を保持し続けるリセット保持回路を内蔵し、安全な起動動作を実現
- 複数のリセットソースからのリセット要求に対応
  - #RESET端子
  - POR、BOR
  - 発振停止検出リセット
  - キー入力リセット
  - ウォッチドッグタイマリセット
  - 電源電圧検出回路リセット
  - 周辺回路ソフトウェアリセット(一部の周辺回路のみ)
- CPUのレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されており、状態変化に応じた最適なりセット動作を実現

図2.2.1.1にSRCの構成を示します。

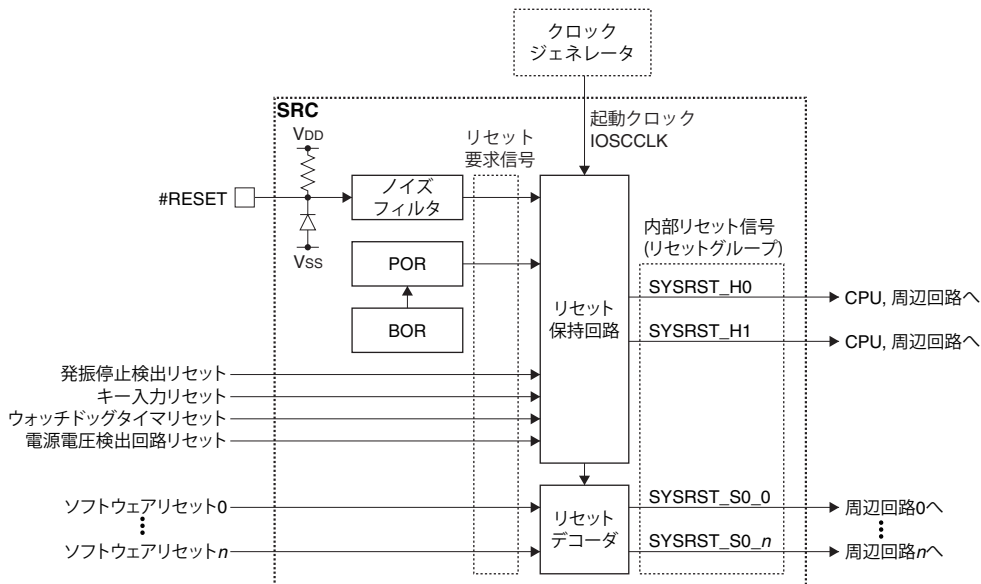


図2.2.1.1 SRCの構成

## 2.2.2 入力端子

表2.2.2.1にSRCの端子一覧を示します。

表2.2.2.1 SRC端子

端子名	I/O	イニシャル状態	機能
#RESET	I	I (Pull-up)	リセット入力

#RESET端子にはノイズフィルタが内蔵されており、要件を満たさないパルスを除去します。また、プルアップ抵抗を内蔵していますので、端子をオープン状態にすることができます。#RESET端子特性については、“電気的特性”の章の“#RESET端子特性”を参照してください。

## 2.2.3 リセットソース

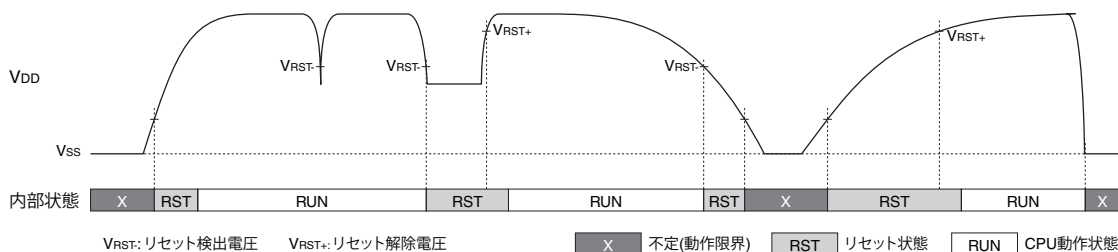
システムの初期化を要求する要因をリセットソースと呼びます。以下にリセットソースを示します。

### #RESET端子

#RESET端子に一定時間のLOWレベル信号を入力することで、リセット要求を発行します。

### PORとBOR

POR(パワーオンリセット)は、 $V_{DD}$ の立ち上がりを検出してリセット要求を発行します。BOR(ブラウンアウトリセット)は、 $V_{DD}$ の電圧レベルを検出してリセット要求を発行します。これらの回路からのリセット要求により、電源投入時と動作保証外電源電圧での確実なリセットを実現します。図2.2.3.1に、 $V_{DD}$ の変化に伴うPORとBORの内部リセット動作の例を示します。



PORとBORの電気的仕様については、“電気的特性”の章の“POR/BOR特性”を参照してください。

### 発振停止検出リセット

電源を投入してからOSC1発振が安定するまでの間、あるいは動作中にOSC1発振が停止した場合に、独立型低パワーリアルタイムクロックがリセット要求を発行します。詳細は、“独立型低パワーリアルタイムクロック”の章を参照してください。

### キー入力リセット

リセット入力用に設定された入出力ポート端子に一定時間のLOWレベル信号を入力することで、リセット要求を発行します。この機能は入出力ポートでイネーブルにする必要があります。詳細は“入出力ポート”の章を参照してください。

### ウォッチドッグタイマリセット

ウォッチドッグタイマをリセットモードに設定しておく、カウンタがオーバーフローした時点で、リセット要求を発行します。この機能は、CPU暴走時に正常な状態への復帰を実現します。詳細は“ウォッチドッグタイマ”の章を参照してください。

### 電源電圧検出回路リセット

電源電圧検出回路で電源電圧低下検出リセット機能をイネーブルにすると、電源電圧の低下を検出した時点で、リセット要求を発行します。これにより、一定電圧以下でICを動作させたくないような場合に、リセット状態にすることができます。詳細は“電源電圧検出回路”の章を参照してください。

## 周辺回路ソフトウェアリセット

一部の周辺回路には、ソフトウェアリセット用の制御ビット(MODENやSFTRST)が用意されており、値を書き込むことで、周辺回路制御ビットの初期化が行えます。ただし、ソフトウェアリセットの動作は周辺回路ごとに異なります。詳細は各周辺回路の“制御レジスタ”を参照してください。

注: 周辺回路によっては、MODENビットでソフトウェアリセットは発生しません。

### 2.2.4 初期化条件(リセットグループ)

CPUのレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されています。この初期化条件をリセットグループと呼びます。リセットグループに属するリセットソースからのリセット要求があった場合に、初期化を行います。リセットグループの一覧を表2.2.4.1に示します。実際にどのレジスタや制御ビットが初期化されるかについては、“CPU, デバッガ”の章、または各周辺回路の“制御レジスタ”を参照してください。

表2.2.4.1 リセットグループ一覧

リセットグループ	リセットソース	リセット解除タイミング
H0	#RESET端子 PORとBOR 発振停止検出リセット キー入力リセット 電源電圧検出回路リセット ウォッチドッグタイマリセット	リセット要求解除後、リセット保持時間trSTRの間、リセットを保持
H1	#RESET端子 PORとBOR	
S0	周辺回路ソフトウェアリセット (MODENやSFTRSTビット。周辺回路ごとにリセット動作は異なる)	リセット要求解除後、即時リセット解除

## 2.3 クロックジェネレータ(CLG)

### 2.3.1 概要

CLGは、クロックソースを制御し、CPUや周辺回路へのクロック供給を管理するクロックジェネレータです。主な機能と特長を以下に示します。

- 複数のクロックソースに対応
  - 外付け部品なしで動作し、高速な起動を行うIOSC発振回路
  - MCUとは独立に動作する独立型低パワーリアルタイムクロックが生成するクロックを制御するRTCLPコントローラ
  - 外付け部品なしで動作し、高速動作用クロックを生成するOSC3発振回路
  - 矩形波、サイン波の入力に対応するEXOSCクロック入力
- CPUやバスの動作クロックであるシステムクロック(SYSCLK)、および、周辺回路の動作クロックは、最適なクロックソースと分周比を選択して個別に設定可能
- 起動時のクロックにはIOSC発振回路のIOSCCLKが選択され、高速な立ち上がりを実現
- RUN、SLEEPモードに合わせて発振回路やクロック入力のON/OFFを制御
- SLEEPモード解除時に、フレキシブルなシステムクロックの切り換えが可能
  - SLEEPモード時に停止させるクロックソースを選択可能
  - SLEEPモード解除時のSYSCLKをクロックソースから選択可能
  - SLEEPモード解除時の発振回路、クロック入力のON/OFF状態の保持または変更を設定可能
- 外部ICの駆動や状態モニタのため、内部クロックを出力するFOUT機能を搭載

図2.3.1.1にCLGの構成を示します。

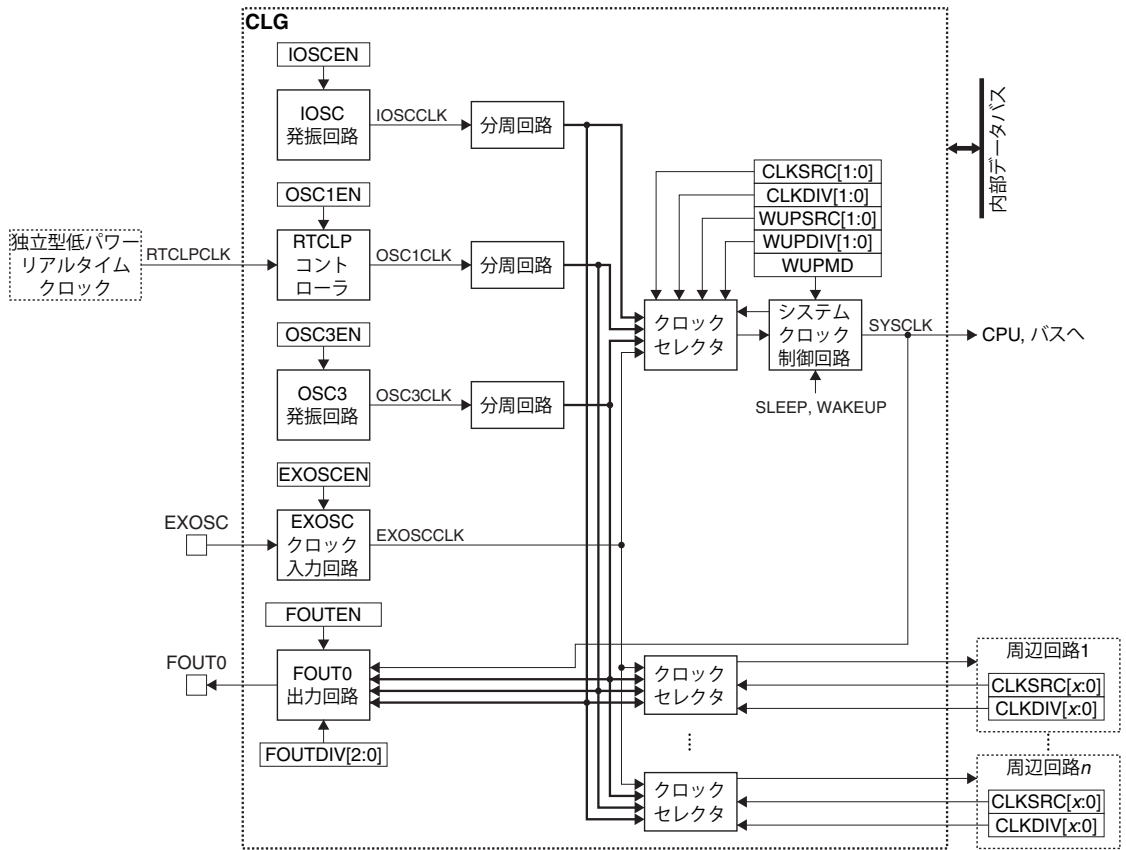


図2.3.1.1 CLGの構成

## 2.3.2 入出力端子

図2.3.2.1にCLGの端子一覧を示します。

表2.3.2.1 CLG端子一覧

端子名	I/O*	イニシャル状態*	機能
EXOSC	I	I	EXOSCクロック入力
FOUT0	O	O (L)	FOUT0クロック出力

\* 端子機能をCLGに切り換えた時点の状態

CLGの入出力機能と他の機能がポートを共有している場合、CLGの機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

### 2.3.3 クロックソース

#### IOSC発振回路

IOSC発振回路は外付け部品なしで動作し、高速に起動します。図2.3.3.1に、IOSC発振回路の構成を示します。

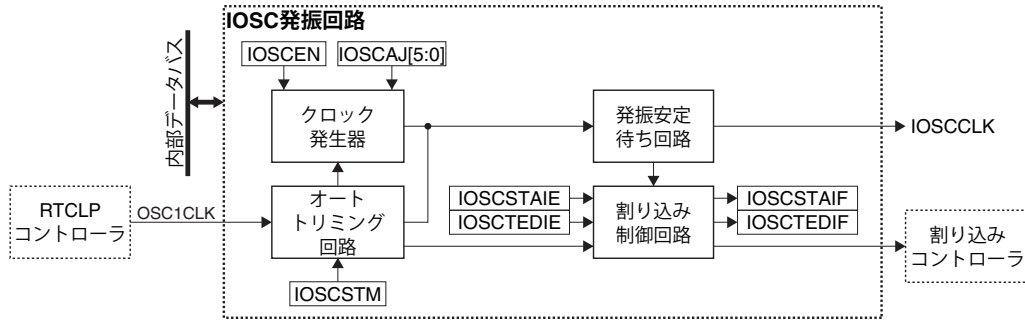


図2.3.3.1 IOSC発振回路の構成

起動時のSYSCLKには、IOSC発振回路の出力クロックIOSCCLKが選択されます。IOSC発振回路には、自動的に周波数を調整するオートトリミング機能が搭載されており、製造バラツキや、温度、電圧変化による周波数偏差を低減します。オートトリミング機能については、“IOSC発振オートトリミング機能”を参照してください。発振特性については、“電気的特性”の章の“IOSC発振回路特性”を参照してください。

#### OSC3発振回路

OSC3発振回路は、外付け部品なしで動作する高速発振回路です。図2.3.3.2にOSC3発振回路の構成を示します。

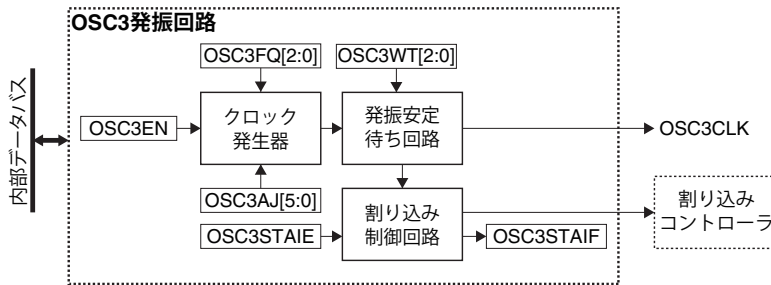


図2.3.3.2 OSC3発振回路の構成

OSC3CLK周波数はCLGOSC3.OSC3FQ[2:0]ビットによって選択できます。発振特性については“電気的特性”の章の“OSC3発振回路特性”を参照してください。

#### EXOSCクロック入力

EXOSCクロック入力は、矩形波またはサイン波のクロックに対応した外部クロック入力回路です。図2.3.3.3にEXOSCクロック入力回路の構成を示します。

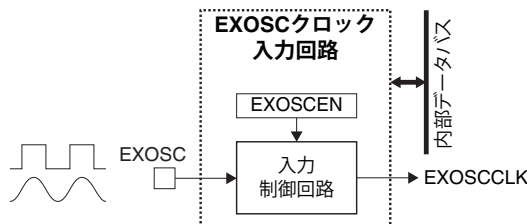


図2.3.3.3 EXOSCクロック入力回路

EXOSCは発振安定待ち回路を持ちませんので、必ず安定したクロックが供給されている状態で、イネーブルにする必要があります。入力クロック特性については、“電気的特性”の章の“EXOSC外部クロック入力特性”を参照してください。



## RTCLPコントローラ

RTCLPコントローラは、独立型低パワーリアルタイムクロックで生成したクロックの制御回路です。図2.3.3.4にRTCLPコントローラの構成を示します。

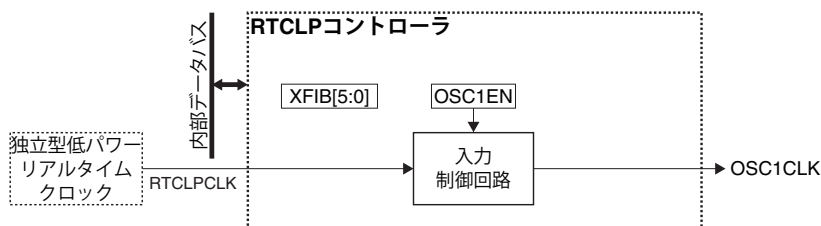


図2.3.3.4 RTCLPコントローラ

MCU部でOSC1CLKを使用する場合は、独立型低パワーリアルタイムクロックからRTCLPCLKを出力させ、CLGOSC1.OSC1ENビットを1に設定します。

RTCLPコントローラで直接独立型低パワーリアルタイムクロックを制御することはできません。独立型低パワーリアルタイムクロックの制御については、“独立型低パワーリアルタイムクロック”の章を参照してください。RTCLPCLKは、32.768 kHzのクロックです。

## 2.3.4 動作

### 発振開始時間と発振安定待ち時間

発振開始時間とは、発振回路をイネーブルにしてから実際に発振波形がIC内部へ伝播するまでの時間のことです。発振安定待ち時間は、発振開始後のクロックが安定するまでの待ち時間のことです。発振回路には発振安定待ち回路が内蔵されており、この間の不安定なクロックによる内部回路の誤動作を防止するため、指定の時間が経過するまでシステムへのクロック供給を停止できるようになっています。図2.3.4.1に、発振開始時間と発振安定待ち時間の関係を示します。

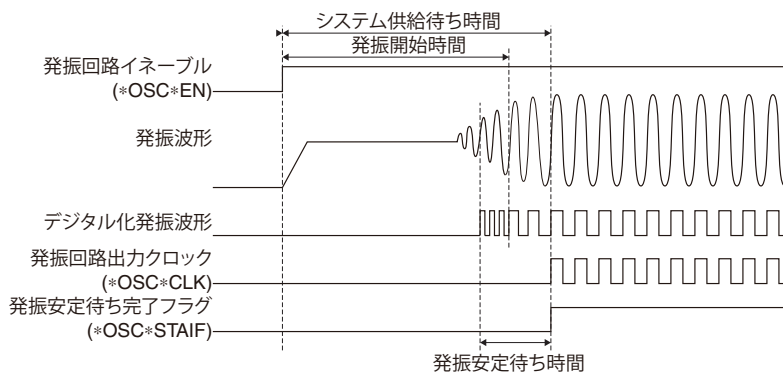


図2.3.4.1 発振開始と発振安定待ち時間

OSC3発振回路の発振安定待ち時間は、CLGOSC3.OSC3WT[2:0]ビットによって設定できます。OSC3CLK 4クロック以上に設定してください。設定した発振安定時間が適切で、発振開始直後のクロックが安定しているか否かについては、FOUT出力を行い、発振クロックをモニタすることで確認できます。IOSC発振回路の発振安定待ち時間は、IOSCCLK 16クロックに固定されています。発振安定待ちが完了すると、発振回路は発振安定待ち完了フラグをセットし、内部回路へのクロック供給を開始します。

注: 発振安定待ち完了フラグが0にクリアされない場合でも、発振開始時には必ず発振安定待ち時間が設定されます。

### IOSC発振回路の発振開始手順

IOSC発振回路の発振動作は、以下の手順により開始します。

1. CLGINTE.IOSCSTAIFビットに1を書き込む。 (割り込みフラグをクリア)
2. CLGINTE.IOSCSTAIEビットに1を書き込む。 (割り込みをイネーブル)
3. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
4. 必要に応じて、CLGTRIM.IOSCAJ[5:0]ビットを設定する。 (発振周波数の微調整)
5. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)
6. CLGOSC.IOSCENビットに1を書き込む。 (発振を開始)
7. 割り込みが発生し、CLGINTE.IOSCSTAIFビット = 1ならば、IOSCCLKを使用可能。

CLGTRIM.IOSCAJ[5:0]ビットの設定値は、実装基板で評価を行い決定してください。

注: CLGTRIM.IOSCAJ[5:0]ビットの設定は、必ずCLGOSC.IOSCENビット = 0(発振停止)の状態で行ってください。

### OSC3発振回路の発振開始手順

OSC3発振回路の発振動作は、以下の手順により開始します。

1. CLGINTE.OSC3STAIFビットに1を書き込む。 (割り込みフラグをクリア)
2. CLGINTE.OSC3STAIEビットに1を書き込む。 (割り込みをイネーブル)
3. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
4. 必要に応じてCLGTRIM.OSC3AJ[5:0]ビットを設定する。 (発振周波数の微調整)
5. CLGOSC3レジスタの以下のビットを設定する。
  - CLGOSC3.OSC3FQ[2:0]ビット (発振周波数を選択)
  - CLGOSC3.OSC3WT[2:0]ビット (発振安定待ち時間を設定)
6. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)
7. CLGOSC.OSC3ENビットに1を書き込む。 (発振を開始)
8. 割り込みが発生し、CLGINTE.OSC3STAIFビット = 1ならば、OSC3CLKを使用可能。

CLGOSC3.OSC3WT[2:0]ビットの設定値は、実装基板で評価を行い決定してください。

注: CLGTRIM.OSC3AJ[5:0]ビットの設定は、必ずCLGOSC.OSC3ENビット = 0(発振停止)の状態で行ってください。

### システムクロック切り換え

起動時はIOSCCLKをSYSCLKとして動作を開始します。その後、処理内容に応じてSYSCLKのクロックソースを切り換えることが可能です。また、クロックソースの分周比を指定してSYSCLK周波数を設定可能で、実行する処理に合わせ最適なパフォーマンスで動作させることができます。これらの制御は、CLGSCLK.CLKSRC[1:0]ビットとCLGSCLK.CLKDIV[1:0]ビットで行います。

CLGSCLKレジスタの各ビットはシステムプロテクトの保護対象のため、設定を変更する際は、あらかじめMSCPROT.PROT[15:0]ビットに0x0096を書き込み、システムプロテクトを解除する必要があります。システムクロック切り換えを含む動作モードの遷移については、“動作モード”を参照してください。

### SLEEP時のクロック制御

slp命令を実行すると、CPUはSLEEPモードへ移行します。このときに動作中のクロックソースを停止させるか否かをソースごとに選択することが可能です。これにより、CPUを素早くSLEEPモードまたはRUNモードに遷移させると共に、周辺回路はSLEEP中でもクロックを止めることなく動作させることができます。この制御は、CLGOSC.IOSCSLPCビット、CLGOSC.OSC1SLPCビット、CLGOSC.OSC3SLPCビット、CLGOSC.EXOSCSLPCビットで行います。制御の例を図2.3.4.2に示します。

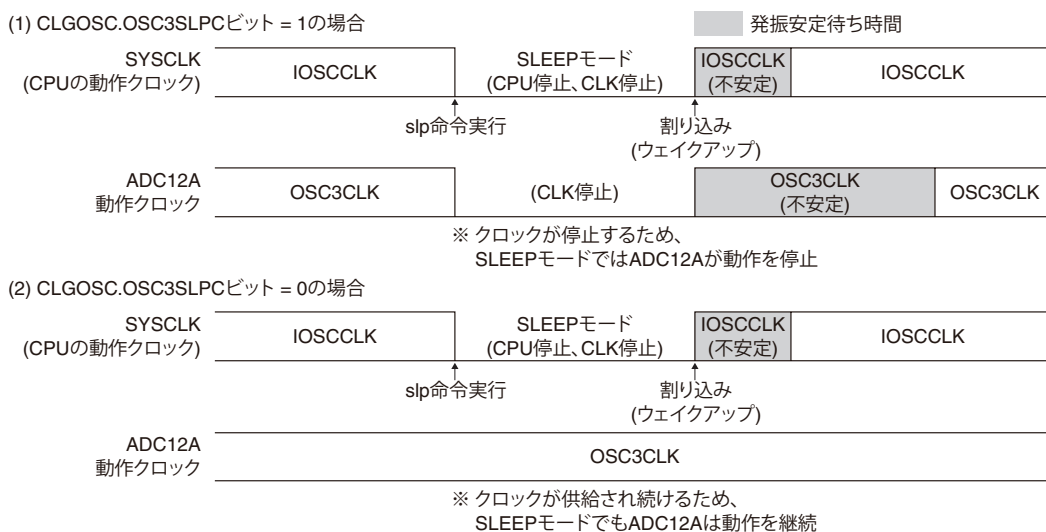


図2.3.4.2 SLEEPモード時のクロック制御例

また、SLEEPモードからRUNモードへ移行するウェイクアップ時のSYSCLKの設定(クロックソースと分周比の選択)も可能です。これにより、起動処理に合わせたフレキシブルなクロック制御が可能です。このクロック設定はCLGSCLK.WUPSRC[1:0]ビットとCLGSCLK.WUPDIV[1:0]ビットで行い、CLGSCLK.WUPMDビットに1を書き込んでこの機能をイネーブルにします。

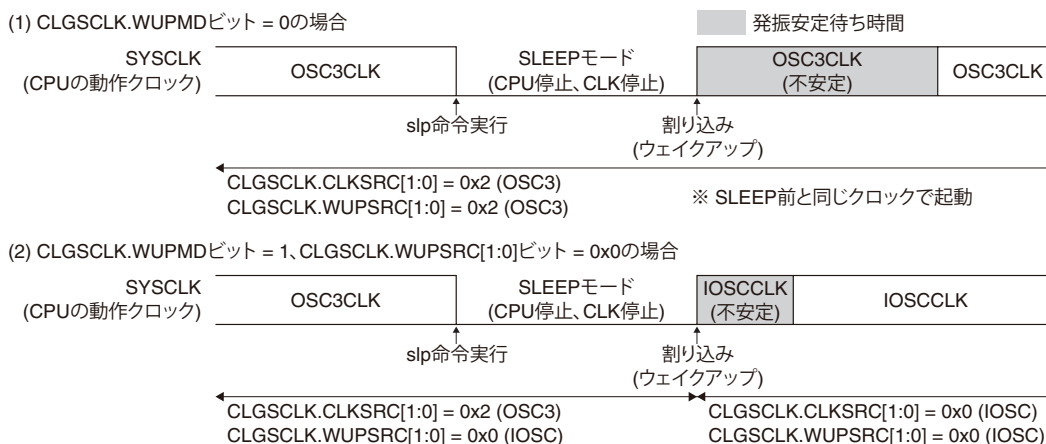


図2.3.4.3 SLEEP解除時のクロック制御例

## クロック外部出力(FOUT0)

各クロックソースの出力クロックまたはその分周クロックをFOUT0端子から外部へ出力することができます。これにより、発振回路の発振周波数のモニターや、外部ICへの動作クロックの供給が可能です。クロックの外部出力は以下の手順で行います。

1. FOUT0機能をポートに割り当てる。(“入出力ポート”の章を参照)
2. CLGFOUT0レジスタの以下のビットを設定する。
  - CLGFOUT0.FOUTSRC[1:0]ビット (クロックソースを選択)
  - CLGFOUT0.FOUTDIV[2:0]ビット (クロック分周比を設定)
  - CLGFOUT0.FOUTENビットを1に設定(クロック外部出力イネーブル)

## IOSC発振オートトリミング機能

オートトリミング機能は、高精度なOSC1CLKクロックを基準にIOSCCLKクロックをトリミングして周波数を調整する機能です。オートトリミング機能は以下の手順でイネーブルにします。

1. OSC1CLKが供給されていること(CLGOSC.OSC1ENビット = 1)を確認する。
2. IOSC発振イネーブル後、クロックが安定供給されていること(CLGINTE.IOSCSTAIFビット = 1)を確認する。
3. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. SYSCLKのクロックソースがIOSCの場合は、CLGSCLK.CLKSRC[1:0]ビットを0x0(IOSC)以外の値に設定する。
5. CLGINTE.IOSCTEDIFビットに1を書き込む。(割り込みフラグをクリア)
6. CLGINTE.IOSCTEDIEビットに1を書き込む。(割り込みをイネーブル)
7. CLGOSC.IOSCSTMビットに1を書き込む。(IOSC発振オートトリミングをイネーブル)
8. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
9. 割り込みが発生し、CLGINTE.IOSCTEDIFビット = 1ならば、トリミングされたIOSCCLKを使用可能。

トリミングが終了すると、CLGOSC.IOSCSTMビットは、自動的に0になります。トリミングにかかる時間は温度によって変化しますが、平均して数10 ms必要です。システムクロックや周辺回路クロックにIOSCCLKを使用している間は、オートトリミング機能を使用しないでください。

## 2.4 動作モード

### 2.4.1 イニシャル起動シーケンス

電源投入時のイニシャル起動シーケンスを図2.4.1.1に示します。

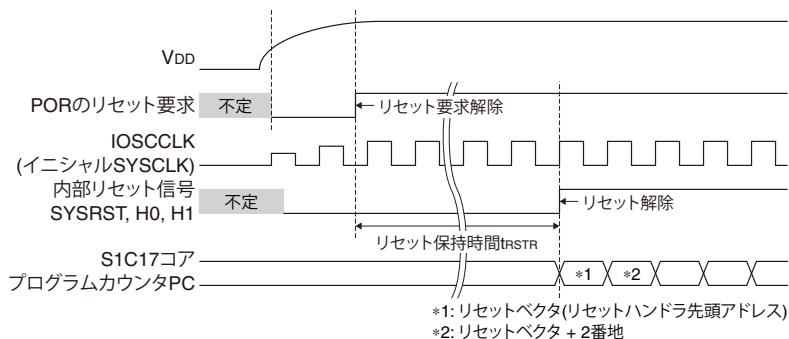


図2.4.1.1 イニシャル起動シーケンス

注: 電源投入時のリセット解除時間は、電源の立ち上がり時間、リセット要求解除時間によって変わります。

リセット保持時間 $tr_{STR}$ については、“電気的特性”の章の“リセット保持回路特性”を参照してください。

### 2.4.2 動作モードの遷移

本ICでは、図2.4.2.1に示すような動作モード間の状態遷移が起きます。

#### RUNモード

CPUがプログラムを実行するモードをRUNモードと呼びます。システムリセットコントローラからのシステムリセット要求が解除されると、このモードへ遷移します。RUNモードは、SYSCLKのクロックソースの違いによって、“IOSC RUN”、“OSC1 RUN”、“OSC3 RUN”、“EXOSC RUN”に分けられます。

#### HALTモード

halt命令が実行されると、その時点のプログラムの実行が中断され、CPUの動作が停止します。この状態をHALTモードと呼びます。このモードでは、クロックソースや周辺回路は動作を続けます。ソフトウェア処理が必要ないときに設定することで、RUNモードよりも消費電力を低減できます。

HALTモードは、SYSCLKのクロックソースの違いによって、“IOSC HALT”、“OSC1 HALT”、“OSC3 HALT”、“EXOSC HALT”に分けられます。

### SLEEPモード

slp命令が実行されると、その時点のプログラムの実行が中断され、CPUの動作が停止します。このモードをSLEEPモードと呼びます。このモードではクロックソースも停止します。ただし、CLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSPCビット = 0に設定されているクロックソースは動作を継続し、クロックの供給されている周辺回路は動作し続けます。ソフトウェア処理が必要なく、周辺回路の動作も停止したいときに設定することで、HALTモードよりも消費電力を低減できます。SLEEP中もRAMのデータは保持されます。

- 注:
- CLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSPCビット = 0の設定により、SLEEPモード時にクロックソースを動作させているときの消費電流は、同条件のHALTモード時と同等です (“電気的特性”の章の“消費電流、HALTモード時消費電流I<sub>HALT1</sub>、I<sub>HALT2</sub>、I<sub>HALT3</sub>”を参照してください)。
  - CLGOSC.OSC1SLPCビット = 1の場合、SLEEPモード時にRTCLPCLKの入力は停止しますが、独立型低パワーリアルタイムクロック内のOSC1発振回路は発振動作を継続します。

### DEBUGモード

デバッグ割り込みが発生すると、CPUはDEBUGモードへ移行します。DEBUGモードは、retd命令によって解除されます。DEBUGモードの詳細は、“CPU, デバッガ”の章の“デバッガ”を参照してください。

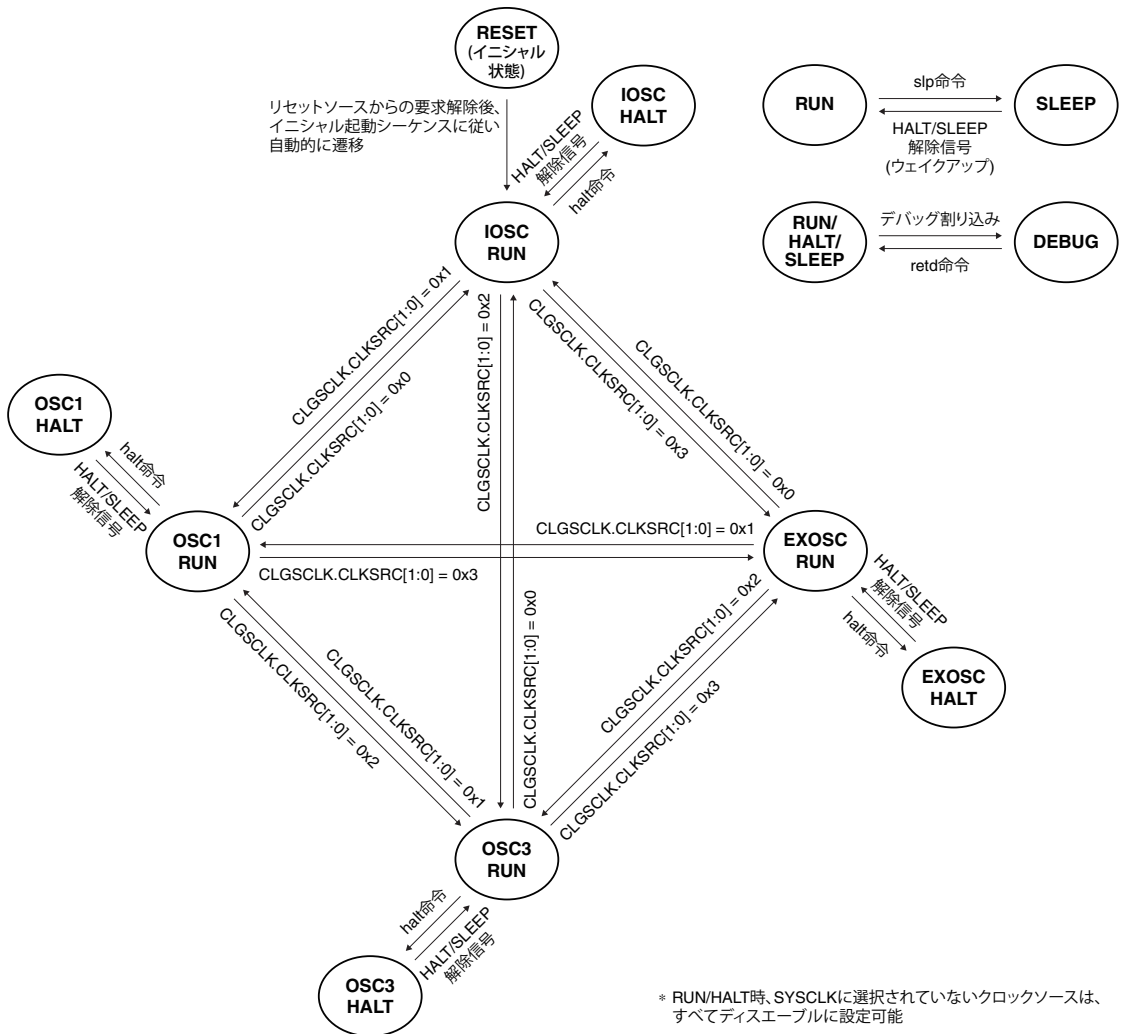


図2.4.2.1 動作モード間の状態遷移図

## HALT, SLEEPモードの解除

下記の条件によってHALT/SLEEP解除信号が生成され、HALTまたはSLEEPモードからRUNモードへ移行します。この移行はCPUが割り込み要求を受領しなくても実行されます。

- 周辺回路からの割り込み要求
- ウォッチドッグタイマからのNMI
- デバッグ割り込み
- リセット要求

## 2.5 割り込み

CLGには、表2.5.1に示す割り込みを発生させる機能があります。

表2.5.1 CLGの割り込み機能

割り込み	割り込みフラグ	セット	クリア
IOSC発振安定待ち完了	CLGINTF.IOSCSTAIF	発振開始後、IOSC発振安定待ちが完了したとき	1書き込み
OSC3発振安定待ち完了	CLGINTF.OSC3STAIF	発振開始後、OSC3発振安定待ちが完了したとき	1書き込み
IOSC発振オートトリミング終了	CLGINTF.IOSCTEDIF	IOSC発振オートトリミングが終了したとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

## 2.6 制御レジスタ

注: 使用する機種が対応していない機能の制御ビットは、初期値のまま変更しないでください。

### PWG V<sub>D1</sub> Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWGVD1CTL	15-8	-	0x00	-	R	
	7-2	-	0x00	-	R	
	1-0	REGMODE[1:0]	0x0	H0	R/WP	

Bits 15-2 Reserved

Bits 1-0 REGMODE[1:0]

これらのビットは、内部定電圧回路の動作モードを制御します。

表2.6.1 内部定電圧回路動作モード

PWGVD1CTL.REGMODE[1:0]ビット	動作モード
0x3	エコノミーモード
0x2	ノーマルモード
0x1	Reserved
0x0	オートマチックモード

## CLG System Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGSCLK	15	WUPMD	0	H0	R/WP	-
	14	-	0	-	R	
	13-12	WUPDIV[1:0]	0x0	H0	R/WP	
	11-10	-	0x0	-	R	
	9-8	WUPSRC[1:0]	0x0	H0	R/WP	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
1-0	CLKSRC[1:0]	0x0	H0	R/WP		

### Bit 15 WUPMD

このビットは、ウェイクアップ時のSYSCLK切り換え機能をイネーブルにします。

1 (R/WP): イネーブル

0 (R/WP): ディスエーブル

CLGSCLK.WUPMDビット = 1の場合、SLEEPモードからのウェイクアップ時にCLGSCLK.WUPSRC[1:0]ビットの設定値がCLGSCLK.CLKSRC[1:0]ビットに、また、CLGSCLK.WUPDIV[1:0]ビットの設定値がCLGSCLK.CLKDIV[1:0]ビットにロードされ、SYSCLKが切り換えられます。CLGSCLK.WUPMDビット = 0の場合は、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]とCLGSCLK.CLKDIV[1:0]の設定は変更されません。

注: CLGSCLK.WUPMDビット = 1 でウェイクアップした後は、CLGSCLK.CLKSRC[1:0]ビットで選択されているSYSCLKソース以外のクロックソースのイネーブルビット(CLGOSC.EXOSCEN、CLGOSC.OSC1EN、CLGOSC.OSC3EN、CLGOSC.IOSCEN)は自動的に0にクリアされ、それらのクロックが停止します。ただし、CLGOSC.\*\*\*\*SLPCビットの設定によりSLEEP時に動作していたクロックソースのイネーブルビットは、ウェイクアップ後も1を保持します。

### Bit 14 Reserved

### Bits 13-12 WUPDIV[1:0]

これらのビットは、ウェイクアップ時にCLGSCLK.CLKDIV[1:0]ビットを再設定するための、SYSCLKの分周比を選択します。

CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。

### Bits 11-10 Reserved

### Bits 9-8 WUPSRC[1:0]

これらのビットは、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]ビットを再設定するための、SYSCLKのクロックソースを選択します。

停止しているクロックソースが選択された場合、ウェイクアップ時に自動的に発振またはクロック入力を開始します。ただし、CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。

表2.6.2 ウェイクアップ時のSYSCLKクロックソースと分周比の設定

CLGSCLK. WUPDIV[1:0]ビット	CLGSCLK.WUPSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	OSC3CLK	EXOSCCLK
0x3	1/8	Reserved	1/8	Reserved
0x2	1/4	Reserved	1/4	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

### Bits 7-6 Reserved

### Bits 5-4 CLKDIV[1:0]

これらのビットは、SYSCLK周波数を決めるクロックソースの分周比を設定します。

### Bits 3-2 Reserved

## 2 電源, リセット, クロック

### Bits 1–0 CLKSRC[1:0]

これらのビットは、SYSCLKのクロックソースを選択します。  
停止しているクロックソースが選択された場合、自動的に発振またはクロック入力を開始します。

表2.6.3 SYSCLKクロックソースと分周比の設定

CLGSCLK. CLKDIV[1:0]ビット	CLGSCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	OSC3CLK	EXOSCCLK
0x3	1/8	Reserved	1/8	Reserved
0x2	1/4	Reserved	1/4	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

## CLG Oscillation Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC	15–12	–	0x0	–	R	–
	11	EXOSCSLPC	1	H0	R/W	
	10	OSC3SLPC	1	H0	R/W	
	9	OSC1SLPC	1	H0	R/W	
	8	IOSCSLPC	1	H0	R/W	
	7–4	–	0x0	–	R	
	3	EXOSCEN	0	H0	R/W	
	2	OSC3EN	0	H0	R/W	
	1	OSC1EN	0	H0	R/W	
	0	IOSCEN	1	H0	R/W	

### Bits 15–12 Reserved

**Bit 11 EXOSCSLPC**

**Bit 10 OSC3SLPC**

**Bit 9 OSC1SLPC**

**Bit 8 IOSCSLPC**

これらのビットは、SLEEP時のクロックソースの動作を制御します。

1 (R/W): SLEEP時にクロックソースを停止

0 (R/W): SLEEP前の動作を継続

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCSLPCビット: EXOSCクロック入力

CLGOSC.OSC3SLPCビット: OSC3発振回路

CLGOSC.OSC1SLPCビット: RTCLPコントローラ

CLGOSC.IOSCSLPCビット: IOSC発振回路

### Bits 7–4 Reserved

**Bit 3 EXOSCEN**

**Bit 2 OSC3EN**

**Bit 1 OSC1EN**

**Bit 0 IOSCEN**

これらのビットは、クロックソースの動作を制御します。

1(R/W): 発振またはクロック入力を開始

0(R/W): 発振またはクロック入力を停止

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCENビット: EXOSCクロック入力

CLGOSC.OSC3ENビット: OSC3発振回路

CLGOSC.OSC1ENビット: RTCLPコントローラ

CLGOSC.IOSCENビット: IOSC発振回路



## CLG IOISC Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGIOISC	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4	IOISCSTM	0	H0	R/WP	
	3-0	-	0x0	-	R	

**Bits 15-5 Reserved**

### Bit 4 IOISCSTM

このビットは、IOISCCLKのオートトリミング機能を制御します。

1 (WP): トリミング開始

0 (WP): トリミング停止

1 (R): トリミング実行中

0 (R): トリミング終了(トリミング動作停止中)

トリミングが終了すると、自動的に0にクリアされます。

注: • CLGIOISC.IOISCSTMビット = 1の間は、IOISCCLKをシステムクロックや周辺回路クロックとして使用しないでください。

• オートトリミング機能はOSC1CLKが供給されていないと正しく動作しません。

**Bits 3-0 Reserved**

## CLG OSC1 Trimming Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC1TRIM	15-8	-	0x00	-	R	-
	7-6	-	0x0	-	R	
	5-0	XFIB[5:0]	*	H0	R	

**Bits 15-6 Reserved**

### Bits 5-0 XFIB[5:0]

これらのビットは、工場出荷時に設定された、独立型低パワーリアルタイムクロックに内蔵されているVoscレギュレータの調整値を示します。この値を読み出して、独立型低パワーリアルタイムクロック内のVOSCTRIM.XFIB[5:0]ビットに設定してください。

## CLG OSC3 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC3	15-13	-	0x0	-	R	-
	12-10	OSC3FQ[2:0]	0x3	H0	R/WP	
	9-8	-	0x0	-	R	
	7-3	-	0x00	-	R	
	2-0	OSC3WT[2:0]	0x6	H0	R/WP	

**Bits 15-13 Reserved**

### Bits 12-10 OSC3FQ[2:0]

これらのビットは、OSC3内蔵発振回路の発振周波数を設定します。

表2.6.4 OSC3内蔵発振周波数の設定

CLGOSC3.OSC3FQ[2:0]ビット	発振周波数
0x7	Reserved
0x6	16 MHz
0x5	12 MHz
0x4	8 MHz
0x3	4 MHz
0x2	2 MHz
0x1	1 MHz
0x0	500 kHz

## 2 電源, リセット, クロック

Bits 9–3 Reserved

Bits 2–0 OSC3WT[2:0]

これらのビットは、OSC3発振回路の発振安定待ち時間を設定します。

表2.6.5 OSC3発振安定待ち時間の設定

CLGOSC3.OSC3WT[2:0]ビット	発振安定待ち時間
0x7	65,536クロック
0x6	16,384クロック
0x5	4,096クロック
0x4	1,024クロック
0x3	256クロック
0x2	64クロック
0x1	16クロック
0x0	4クロック

## CLG Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTF	15–8	–	0x00	–	R	–
	7	–	0x0	–	R	–
	6–5	(reserved)	0x0	H0	R	–
	4	IOSCTEDIF	0	H0	R/W	Cleared by writing 1.
	3	–	0	–	R	–
	2	OSC3STAIF	0	H0	R/W	Cleared by writing 1.
	1	–	0	–	R	–
	0	IOSCSTAIF	0	H0	R/W	–

Bits 15–5, 3, 1 Reserved

Bit 4 IOSCTEDIF

Bit 2 OSC3STAIF

Bit 0 IOSCSTAIF

これらのビットは、CLG割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

CLGINTF.IOSCTEDIFビット: IOSC発振オートトリミング終了割り込み

CLGINTF.OSC3STAIFビット: OSC3発振安定待ち完了割り込み

CLGINTF.IOSCSTAIFビット: IOSC発振安定待ち完了割り込み

注: システムリセットが解除された時点のCLGINTF.IOSCSTAIFビットは0ですが、IOSCCLKは安定状態になっています。

## CLG Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTE	15–8	–	0x00	–	R	–
	7	–	0	–	R	–
	6–5	(reserved)	0x0	H0	R	–
	4	IOSCTEDIE	0	H0	R/W	–
	3	–	0	–	R	–
	2	OSC3STAIE	0	H0	R/W	–
	1	–	0	–	R	–
	0	IOSCSTAIE	0	H0	R/W	–

Bits 15–5, 3, 1 Reserved

Bit 4 **IOSCTEDIE**  
 Bit 2 **OSC3STAIE**  
 Bit 0 **IOSCSTAIE**

これらのビットは、CLG割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

CLGINTE.IOSCTEDIEビット: IOSC発振オートトリミング終了割り込み

CLGINTE.OSC3STAIEビット: OSC3発振安定待ち完了割り込み

CLGINTE.IOSCSTAIEビット: IOSC発振安定待ち完了割り込み

## CLG FOUT Control Register 0

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGFOUT0	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–4	FOUTDIV[2:0]	0x0	H0	R/W	
	3–2	FOUTSRC[1:0]	0x0	H0	R/W	
	1	–	0	–	R	
	0	FOUTEN	0	H0	R/W	

Bits 15–7 **Reserved**

Bits 6–4 **FOUTDIV[2:0]**

これらのビットは、FOUT0のクロック分周比を設定します。

Bits 3–2 **FOUTSRC[1:0]**

これらのビットは、FOUT0のクロックソースを選択します。

表2.6.6 FOUT0クロックソースと分周比の設定

CLGFOUT0. FOUTDIV[2:0]ビット	CLGFOUT0.FOUTSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCLK	OSC1CLK	OSC3CLK	SYCLK
0x7	1/128	1/32,768	1/128	Reserved
0x6	1/64	1/4,096	1/64	Reserved
0x5	1/32	1/1,024	1/32	Reserved
0x4	1/16	1/256	1/16	Reserved
0x3	1/8	1/8	1/8	Reserved
0x2	1/4	1/4	1/4	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

注: CLGFOUT0.FOUTSRC[1:0]ビットを0x3に設定した場合、SLEEP/HALTモードではSYCLKが停止するため、FOUT0出力も停止します。

Bit 1 **Reserved**

Bit 0 **FOUTEN**

このビットは、FOUT0のクロック外部出力を制御します。

1 (R/W): 外部出力イネーブル

0 (R/W): 外部出力ディスエーブル

注: FOUT0信号は、CLGFOUT0.FOUTENビットと非同期に生成されますので、出力のイネーブル/ディスエーブル時にはグリッチを生じます。

## CLG Oscillation Frequency Trimming Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGTRIM	15-14	–	0x0	–	R	–
	13-8	OSC3AJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.
	7-6	–	0x0	–	R	–
	5-0	IOSCAJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.

### Bits 15-14 Reserved

### Bits 13-8 OSC3AJ[5:0]

これらのビットは、OSC3内蔵発振回路の周波数トリミング値を設定します。  
この設定は、500 kHz～16 MHzのすべての周波数に影響します。

表2.6.7 OSC3内蔵発振回路の周波数トリミング設定

CLGTRIM.OSC3AJ[5:0]ビット	OSC3内蔵発振回路周波数
0x3f	高
:	:
0x00	低

### Bits 7-6 Reserved

### Bits 5-0 IOSCAJ[5:0]

これらのビットは、IOSC内蔵発振回路の周波数トリミング値を設定します。

表2.6.8 IOSC内蔵発振回路の周波数トリミング設定

CLGTRIM.IOSCAJ[5:0]ビット	IOSC内蔵発振回路周波数
0x3f	高
:	:
0x00	低

注: CLGTRIM.OSC3AJ[5:0]ビットおよびCLGTRIM.IOSCAJ[5:0]の初期設定値は、それぞれ“電気的特性”の章に記載されているOSC3発振回路特性およびIOSC発振回路特性を保証する値に調整されています。これらの設定を変更した場合、周波数特性を満足できなくなる可能性があります。また、設定の変更は、必ず当該の発振回路が停止した状態で行ってください。

# 3 CPU, デバッガ

## 3.1 概要

本ICは、デバッガを内蔵したセイコーエプソンオリジナル16ビットCPUコア(S1C17)を搭載しています。主な機能と特長を以下に示します。

- セイコーエプソンオリジナル16ビットRISCプロセッサ
  - 24ビット汎用レジスタ: 8
  - 24ビット特殊レジスタ: 2
  - 8ビット特殊レジスタ: 1
  - 最大16Mバイトのメモリ空間(24ビットアドレス)
  - 命令バスとデータバスを分離したハーバードアーキテクチャ
- C言語による開発用に最適化されたコンパクトかつ高速な命令セット
  - コード長: 16ビット固定長
  - 命令数: 基本命令111個(全184命令)
  - 実行サイクル: 主要命令は1サイクルで実行
  - 即値拡張命令: 即値を24ビットまで拡張
- リセット、NMI、アドレス不整割り込み、デバッグ割り込み、外部割り込みを搭載
  - ベクタテーブルからベクタを読み込み、割り込みルーチンへ直接分岐
  - ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)
- スタンバイ機能として、HALTモード(halt命令)、SLEEPモード(slp命令)を搭載
- 3線で通信可能な、プログラム開発を支援するデバッガを搭載

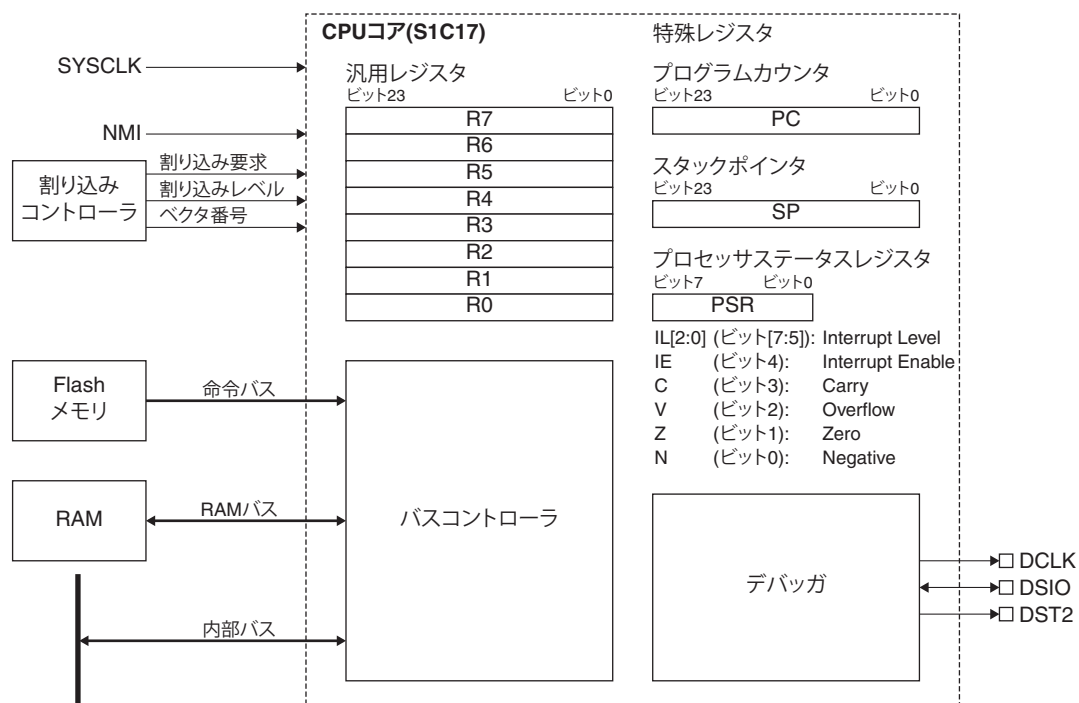


図3.1.1 S1C17の構成

## 3.2 CPUコア

### 3.2.1 CPUレジスタ

CPUは8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています(表3.2.1.1)。

表3.2.1.1 CPUレジスタの初期化

CPU register name			Initial	Reset
汎用レジスタ		R0~R7	0x000000	H0
特殊レジスタ	プログラムカウンタ	PC	リセットベクタを自動的にロード	H0
	スタックポインタ	SP	0x000000	H0
	プロセッサステータスレジスタ	PSR	0x00	H0

各レジスタの詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。また、リセットベクタについては“割り込みコントローラ”の章を参照してください。

### 3.2.2 命令セット

CPUの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

### 3.2.3 PSRの読み出し

PSRの内容は、MSCPSRレジスタを介して読み出すことができます。ただし、MSCPSRレジスタを介して、PSRへデータを書き込むことはできません。

### 3.2.4 S1C17コア予約I/Oエリア

0xffffc00~0xfffffff番地はS1C17コアの予約I/Oエリアです。必要のない場合はアクセスしないでください。

## 3.3 デバッグ

### 3.3.1 デバッグ機能

デバッグがサポートしている機能は以下のとおりです。

- 命令ブレーク: 設定した命令のアドレスを実行する前にデバッグ割り込みを発生。最大4ヶ所のアドレスに命令ブレークを設定可能
- シングルステップ: 命令ごとにデバッグ割り込みを発生
- 強制ブレーク: 外部入力信号でデバッグ割り込みを発生
- ソフトウェアブレーク: brk命令の実行によりデバッグ割り込みを発生

デバッグ割り込みが発生すると、CPUはDEBUGモードに入ります。DEBUGモード時の周辺回路は、各周辺回路のクロック制御レジスタに設けられたDBRUNビットの設定に応じた動作を行います。DBRUNビットに関しては、周辺回路の“DEBUGモード時のクロック供給”を参照してください。DEBUGモードは、パソコンから解除コマンドを送るか、CPUがret命令を実行するまで続きます。DEBUGモード中は、ハードウェア割り込みおよびNMIは受け付けられません。

### 3.3.2 必要リソースとデバッグツール

#### デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。ワークエリアの配置アドレスは“メモリ、バス”の章を参照してください。このデバッグ用ワークエリアのスタートアドレスは、DBRAMレジスタから読み出すことができます。

## デバッグツール

デバッグは、本ICのデバッガの入出力端子にICDmini(S5U1C17001H)を接続し、パソコンから制御します。これには、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger ICDmini(S5U1C17001H)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

### 3.3.3 デバッガ入出力端子一覧

表3.3.3.1にデバッグ端子一覧を示します。

表3.3.3.1 デバッグ端子一覧

端子名	I/O	イニシャル状態	機能
DCLK	O	O	オンチップデバッグクロック出力端子 ICDmini(S5U1C17001H)にクロックを出力します。
DSIO	I/O	I	オンチップデバッガデータ入出力端子 デバッグ用データの入出力およびブレーク信号の入力に使用します。
DST2	O	O	オンチップデバッグステータス出力端子 デバッグ中のプロセッサの状態を出力します。

デバッガの入出力は汎用入出力ポート端子を兼用しており、イニシャル状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、これらの端子を汎用入出力ポート端子に切り換えることができます。詳細は“入出力ポート”の章を参照してください。

注: ・ DCLK端子は、外部からHIGHレベルで駆動しないでください(例: 端子を抵抗でプルアップする等)。また、DCLK端子とその他の汎用入出力ポートを短絡結線しないでください。いずれの場合も、電源投入時の不定入出力の影響で、ICが正常に起動しない可能性があります。

- DSIO端子は、外部からLOWレベルで駆動しないでください。デバッグ割り込みが発生し、CPUがDEBUGモードに入ります。

### 3.3.4 外部接続

デバッグを行う際のICDminiとの接続例を図3.3.4.1に示します。

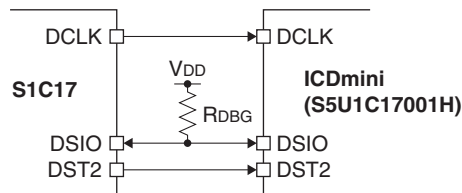


図3.3.4.1 外部接続

プルアップ抵抗の推奨値は、“電気的特性”の章の“推奨動作条件、DSIO用プルアップ抵抗RDBG”を参照してください。DSIO端子を汎用入出力ポート端子として使用する場合、RDBGは必要ありません。

### 3.3.5 Flashセキュリティ機能

ICDminiを介したデバッガからの内蔵Flashメモリの読み出しや改ざんを防ぐため、本ICにはセキュリティ機能が設けられています。図3.3.5.1にFlashセキュリティ機能設定の流れを示します。

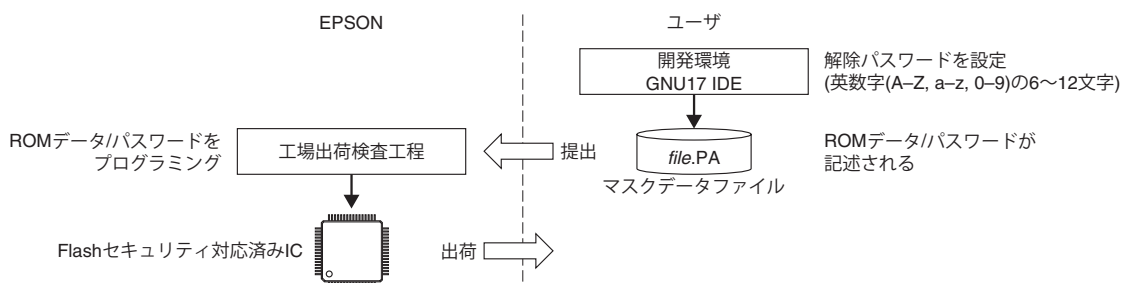


図3.3.5.1 ROMデータプログラム出荷とFlashセキュリティ機能設定の流れ

### 3 CPU, デバッガ

Flashセキュリティ対応済みのICは以下の状態になります。

- デバッガから読み出すFlashメモリの値は不定値になる
- ICDminiを介したFlashプログラミングを行うとエラーになる

ただし、あらかじめ設定してある解除パスワードをGNU17 IDE上で入力することで、Flashセキュリティ機能を解除することができます(リセット後は、再度セキュリティ機能が有効になります)。パスワードの設定方法については、“(S1C17 Family Cコンパイラパッケージ) S5U1C17001Cマニュアル”を参照してください。

注: Flashセキュリティ対応済みICをICDminiを介してデバッグする場合は、その前にFlashセキュリティ機能を解除してください。Flashセキュリティ機能が有効な状態では、正しく動作しない可能性があります。

## 3.4 制御レジスタ

### MISC PSR Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCPSR	15-8	—	0x00	—	R	—
	7-5	PSRIL[2:0]	0x0	H0	R	
	4	PSRIE	0	H0	R	
	3	PSRC	0	H0	R	
	2	PSRV	0	H0	R	
	1	PSRZ	0	H0	R	
	0	PSRN	0	H0	R	

**Bits 15-8 Reserved**

**Bits 7-5 PSRIL[2:0]**

これらのビットからPSRのIL[2:0](割り込みレベル)ビットの値(0~7)が読み出せます。

**Bit 4 PSRIE**

このビットからPSRのIE(割り込みイネーブル)ビットの値(0または1)が読み出せます。

**Bit 3 PSRC**

このビットからPSRのC(キャリー)フラグの値(0または1)が読み出せます。

**Bit 2 PSRV**

このビットからPSRのV(オーバーフロー)フラグの値(0または1)が読み出せます。

**Bit 1 PSRZ**

このビットからPSRのZ(ゼロ)フラグの値(0または1)が読み出せます。

**Bit 0 PSRN**

このビットからPSRのN(ネガティブ)フラグの値(0または1)が読み出せます。

### Debug RAM Base Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DBRAM	31-24	—	0x00	—	R	—
	23-0	DBRAM[23:0]	*1	H0	R	

\*1 デバッグ用ワークエリアの先頭アドレス

**Bits 31-24 Reserved**

**Bits 23-0 DBRAM[23:0]**

これらのビットからデバッグ用ワークエリア(64バイト)の先頭アドレスが読み出せます。



# 4 メモリ, バス

## 4.1 概要

本ICは、命令、データ共に最大16Mバイトのメモリ空間をアクセスすることができます。主な機能と特長を以下に示します。

- オンボード書き換え可能なFlashメモリを搭載
- すべてのメモリおよび制御レジスタを16ビットかつ1サイクルでアクセス可能
- システム制御に関するレジスタには、書き込み保護機能を搭載

図4.1.1にメモリマップを示します。

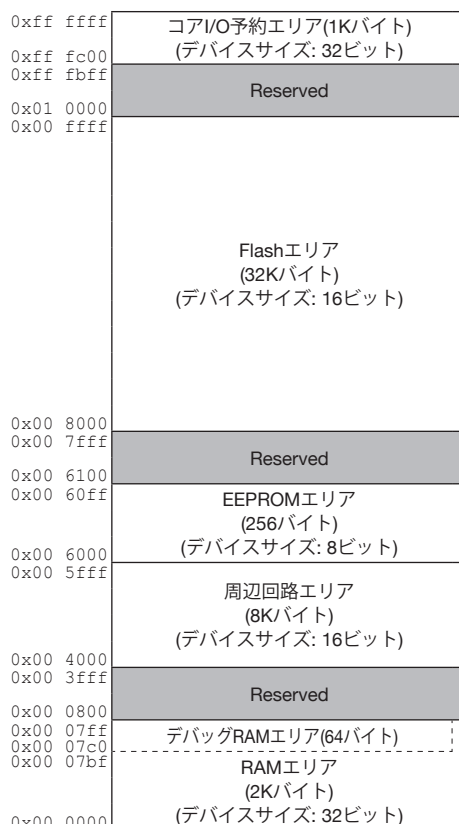


図4.1.1 メモリマップ

## 4.2 バスアクセスサイクル

CPUはシステムクロックを基準にバスアクセスを行います。ここで、バスアクセスサイクル、デバイスサイズ、アクセスサイズについて、以下のように定義します。

- バスアクセスサイクル: システムクロックの1クロック = 1サイクル
- デバイスサイズ: 1サイクルでアクセスできるメモリ、周辺回路のビット幅
- アクセスサイズ: CPU命令が要求するアクセスサイズ(例: `ld %rd, [%rb]` → 16ビットデータ転送)

デバイスサイズとアクセスサイズの違いによるバスアクセスサイクル数の一覧を表4.2.1に示します。周辺回路は8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。

表4.2.1 バスアクセスサイクル数

デバイスサイズ	アクセスサイズ	バスアクセスサイクル数
8ビット	8ビット	1
	16ビット	2
	32ビット	4
16ビット	8ビット	1
	16ビット	1
	32ビット	2
32ビット	8ビット	1
	16ビット	1
	32ビット	1

注: 32ビットアクセスによりデータをメモリに転送するときは、S1C17コアの汎用レジスタが24ビットのため、上位8ビットは0x00としてメモリに書き込まれます。逆にメモリからレジスタへ転送するときは、上位8ビットが無視されます。

割り込み処理のスタック操作時もCPUは32ビットアクセスを行いますが、このときはPSRの値を上位8ビット、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。詳しくは、“S1C17 Family S1C17コアマニュアル”を参照してください。

また、CPUはハーバードアーキテクチャを採用しており、命令フェッチとデータアクセスを同時に行うことが可能です。ただし、以下の条件では同時に行われず、データが存在するエリアのバスサイクル分、命令フェッチのサイクルが長くなります。

- Flashエリアで命令を実行し、Flashエリアのデータにアクセスする場合
- Flashエリアで命令を実行し、EEPROMエリアのデータにアクセスする場合
- 内蔵RAMエリアで命令を実行し、内蔵RAMエリア/EEPROMエリアのデータにアクセスする場合

## 4.3 Flashメモリ

Flashメモリには、アプリケーションプログラムやデータを書き込んでおくことができます。また、Flashエリアの0x8000番地はデフォルトのベクタテーブルベースアドレスとして定義されていますので、このアドレスを先頭にベクタテーブルを置く必要があります。詳細は、“割り込みコントローラ”の章の“ベクタテーブル”を参照してください。

### 4.3.1 Flashメモリ端子

表4.3.1.1にFlashメモリ用の端子を示します。

表4.3.1.1 Flashメモリ端子

端子名	I/O	イニシャル状態	機能
V <sub>PP</sub>	P	-	Flashプログラミング電源

V<sub>PP</sub>電圧に関しては“電気的特性”の章の“推奨動作条件、Flashプログラミング電圧V<sub>PP</sub>”を参照してください。

注: Flashプログラミング時以外は、V<sub>PP</sub>端子をオープンにしてください。

### 4.3.2 Flashバスアクセスサイクルの設定

Flashメモリをノーウェイトでアクセス可能な周波数には制限があるため、システムクロック周波数に応じて、リード時のバスアクセスサイクル数を変更する必要があります。リード時バスアクセスサイクル数は、FLASHWAIT.RDWAIT[1:0]ビットで設定します。動作しているシステムクロック周波数以上に対応した設定を選択してください。

### 4.3.3 Flashプログラミング

Flashメモリは、オンボードプログラミングに対応しており、ICDminiを介してデバッガからROMデータをプログラミングすることができます。オンボードプログラミング時の接続図を図4.3.3.1に示します。

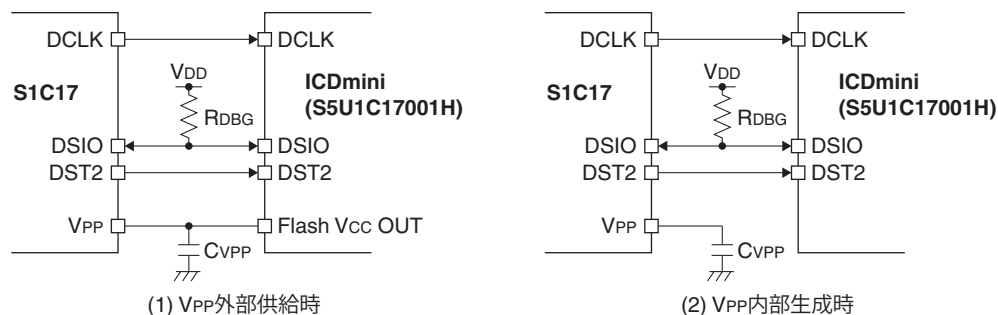


図4.3.3.1 外部接続

Flashプログラミング時以外は、VPP端子をオープンにする必要があります。ただし、ICDminiからVPP電圧を供給する場合、Flashプログラミング時のみ供給するように制御されているため、接続したままでも問題ありません。また、Flashプログラミング電圧生成用の内部電源回路を内蔵しているため、VPP電圧を内部生成することも可能です。VPP外部供給時は電圧安定用に、内部電源使用時は電圧生成用に、CVPPは必ず接続してください。

ROMデータのプログラミング方法の詳細は、“(S1C17 Family Cコンパイラパッケージ) S5U1C17001Cマニュアル”を参照してください。また、開発したROMデータを、工場でICにプログラミングして出荷することも可能です。ROMデータのプログラミング出荷がご希望の場合は、サポート窓口までお問い合わせください。

注: ・ Flashプログラミングを行う場合は、VDDを2.2 V以上にする必要があります。

- ・ VPP内部生成時は、VPP端子の出力を外部回路の駆動には絶対に使用しないでください。

## 4.4 EEPROM

本MCUは1バイト単位で書き換えが可能なEEPROMを搭載しています。EEPROMには固定データを配置することができますが、8ビット読み出しのみのため、命令コードを配置することはできません。

### 4.4.1 EEPROM端子

表4.4.1.1にEEPROM用の端子を示します。

表4.4.1.1 EEPROM端子

端子名	I/O	イニシャル状態	機能
VPP	P	-	EEPROMプログラミング電源

EEPROM書き換え時は内部生成したVPP電圧のみ使用可能です。図4.3.3.1の“(2) VPP内部生成時”に示したとおり、VPP端子にCVPPを接続してください。EEPROMのデータ書き換えにおいても、4.3.3節の注が適用されます。

## 4.4.2 EEPROM操作

### EEPROMデータの書き換え

EEPROMへのデータ書き換えは以下の手順で行います。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
  2. EPRCCTL0レジスタの以下のビットを設定する。
    - EPRCCTL0.EP\_WMODEビットを1に設定 (書き換えモードに設定)
    - EPRCCTL0.EP\_PWRSETビットを1に設定 (プログラム電源ON)
  3. プログラム電源が安定するまでウェイトします(ウェイト時間は“電気的特性”の章の“EEPROM特性”を参照)。
  4. EPRCINTF.RXBIFビットに1を書き込む。 (割り込みフラグをクリア)
  5. EPRCINTE.RXBIEビットを1に設定する。 (割り込みイネーブル)
  6. EPRCADR.EP\_ADDR[7:0]ビットを設定する。 (書き換えアドレスを設定)
  7. EPRCWDAT.EP\_WDAT[7:0]ビットを設定する。 (書き込みデータを設定)
- 後で実行するペリファイ用に書き込みデータはRAMに保存しておきます。
8. EPRCCTL1.EP\_CKビットに1を書き込む。 (クロックパルス出力)
  9. 割り込みを待つ。  
書き換えが完了すると、EPRCINTF.RXBIFビットが1になります。
  10. 必要なアドレス分、4から9を繰り返す。
  11. EPRCCTL0レジスタの以下のビットを設定する。
    - EPRCCTL0.EP\_WMODEビットを0に設定 (書き換えモードを終了)
    - EPRCCTL0.EP\_PWRSETビットを0に設定 (プログラム電源OFF)
  12. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)
  13. EEPROMを読み出して書き込んだデータと比較する。

### EEPROMデータの読み出し

EEPROMのデータは、EEPROMが割り付けられたメモリアrea(論理アドレス)から通常の8ビットメモリリード命令で読み出すことができます。16ビットまたは32ビットメモリリードを行った場合も8ビット分のデータのみ読み出され、上位ビットは0となります。また、EPRCCTL0.EP\_WMODEビット = 1(書き換えモード)の間は、読み出しデータが不定となります。読み出し時にECC割り込みが発生した場合は、EPRCINTF.ECCERIFビットが1になります。

注: ECC割り込みが発生した場合は、書き換え回数の限界に到達した可能性があります。次回以降別アドレスにデータをコピーして該当のアドレスの使用を避けることを推奨します。

## 4.4.3 割り込み

EEPROMCには、表4.4.3.1に示す割り込みを発生させる機能があります。

表4.4.3.1 EEPROMCの割り込み機能

割り込み	割り込みフラグ	セット	クリア
書き換え/読み出し完了	EPRCINTF.RXBIF	EEPROMのデータ書き換え/読み出しが完了したとき	1書き込み
ECC	EPRCINTF.ECCERIF	読み出し時、ECCによってデータが訂正されたとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

## 4.5 RAM

RAMは、変数などの格納以外に、命令コードをコピーして実行させることにも使用可能です。これにより、Flashメモリよりも高速かつ省電力な処理を実現できます。

注: RAMの最後尾の64バイトはデバッグRAMエリアとして予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからこの領域をアクセスしないでください。デバッグの不要な量産品ではアプリケーション用に使用可能です。

本ICでは、アプリケーションで使用するRAMのサイズを、実装されているサイズ以下に制限することができます。この機能は、MSCIRAMSZ.IRAMSZ[2:0]ビットで設定でき、RAMサイズが本ICよりも小さい機種種の開発時に、搭載しているRAMの領域外をアクセスするようなプログラムの作成を回避するという用途などに利用できます。制限後のRAM領域外にアクセスすると、Reserved領域と同じ動作(読み出し値 = 不定)になります。

## 4.6 周辺回路制御レジスタ

0x4000番地から始まる8Kバイトのエリアには、周辺回路の制御レジスタが割り付けられています。この制御レジスタマップを表4.6.1に示します。各制御レジスタの詳細についてはAppendixの“周辺回路制御レジスタ一覧”、または各周辺回路の章の“制御レジスタ”を参照してください。

表4.6.1 周辺回路制御レジスタマップ

周辺回路	アドレス	レジスタ名
MISCレジスタ(MISC)	0x4000	MSCPROT MISC System Protect Register
	0x4002	MSCIRAMSZ MISC IRAM Size Register
	0x4004	MSCTTBRL MISC Vector Table Address Low Register
	0x4006	MSCTTBRH MISC Vector Table Address High Register
	0x4008	MSCPSR MISC PSR Register
パワージェネレータ(PWG)	0x4020	PWGV1CTL PWG V <sub>D1</sub> Control Register
クロックジェネレータ(CLG)	0x4040	CLGSCLK CLG System Clock Control Register
	0x4042	CLGOSC CLG Oscillation Control Register
	0x4044	CLGIOSC CLG IOSC Control Register
	0x4046	CLGOSC1TRIM CLG OSC1 Trimming Register
	0x4048	CLGOSC3 CLG OSC3 Control Register
	0x404c	CLGINTF CLG Interrupt Flag Register
	0x404e	CLGINTE CLG Interrupt Enable Register
	0x4050	CLGFOUT0 CLG FOUT Control Register 0
	0x4054	CLGTRIM CLG Oscillation Frequency Trimming Register
割り込みコントローラ(ITC)	0x4080	ITCLV0 ITC Interrupt Level Setup Register 0
	0x4082	ITCLV1 ITC Interrupt Level Setup Register 1
	0x4084	ITCLV2 ITC Interrupt Level Setup Register 2
	0x4086	ITCLV3 ITC Interrupt Level Setup Register 3
	0x4088	ITCLV4 ITC Interrupt Level Setup Register 4
	0x408a	ITCLV5 ITC Interrupt Level Setup Register 5
	0x408c	ITCLV6 ITC Interrupt Level Setup Register 6
	0x408e	ITCLV7 ITC Interrupt Level Setup Register 7
	0x4090	ITCLV8 ITC Interrupt Level Setup Register 8
ウォッチドッグタイマ(WDT2)	0x40a0	WDTCLK WDT2 Clock Control Register
	0x40a2	WDTCTL WDT2 Control Register
	0x40a4	WDTCMP WDT2 Counter Compare Match Register
電源電圧検出回路(SVD3)	0x4100	SVDCLK SVD3 Clock Control Register
	0x4102	SVDCTL SVD3 Control Register
	0x4104	SVDINTF SVD3 Status and Interrupt Flag Register
	0x4106	SVDINTE SVD3 Interrupt Enable Register
16ビットタイマ(T16) Ch.0	0x4160	T16_0CLK T16 Ch.0 Clock Control Register
	0x4162	T16_0MOD T16 Ch.0 Mode Register
	0x4164	T16_0CTL T16 Ch.0 Control Register
	0x4166	T16_0TR T16 Ch.0 Reload Data Register
	0x4168	T16_0TC T16 Ch.0 Counter Data Register
	0x416a	T16_0INTF T16 Ch.0 Interrupt Flag Register
	0x416c	T16_0INTE T16 Ch.0 Interrupt Enable Register

#### 4 メモリ、バス

周辺回路	アドレス	レジスタ名	
Flashコントローラ(FLASHC)	0x41b0	FLASHCWAIT	FLASHC Flash Read Cycle Register
EEPROMコントローラ (EEPROMC)	0x41c0	EPRCCTL0	EEPROMC Control Register 0
	0x41c2	EPRCCTL1	EEPROMC Control Register 1
	0x41c4	EPRCADR	EEPROMC Address Register
	0x41c6	EPRCWDAT	EEPROMC Write Data Register
	0x41c8	EPRCINTF	EEPROMC Interrupt Flag Register
	0x41ca	EPRCINTE	EEPROMC Interrupt Enable Register
入出力ポート(PPORT)	0x4200	P0DAT	P0 Port Data Register
	0x4202	P0IOEN	P0 Port Enable Register
	0x4204	P0RCTL	P0 Port Pull-up/down Control Register
	0x4206	P0INTF	P0 Port Interrupt Flag Register
	0x4208	P0INTCTL	P0 Port Interrupt Control Register
	0x420a	P0CHATEN	P0 Port Chattering Filter Enable Register
	0x420c	P0MODSEL	P0 Port Mode Select Register
	0x420e	P0FNCSEL	P0 Port Function Select Register
	0x4210	P1DAT	P1 Port Data Register
	0x4212	P1IOEN	P1 Port Enable Register
	0x4214	P1RCTL	P1 Port Pull-up/down Control Register
	0x4216	P1INTF	P1 Port Interrupt Flag Register
	0x4218	P1INTCTL	P1 Port Interrupt Control Register
	0x421a	P1CHATEN	P1 Port Chattering Filter Enable Register
	0x421c	P1MODSEL	P1 Port Mode Select Register
	0x421e	P1FNCSEL	P1 Port Function Select Register
	0x42d0	PDDAT	Pd Port Data Register
	0x42d2	PDIOEN	Pd Port Enable Register
	0x42d4	PDRCTL	Pd Port Pull-up/down Control Register
	0x42dc	PDMODSEL	Pd Port Mode Select Register
	0x42de	PDFNCSEL	Pd Port Function Select Register
	0x42e0	PCLK	P Port Clock Control Register
	0x42e2	PINTFGRP	P Port Interrupt Flag Group Register
	ユニバーサルポート マルチプレクサ(UPMUX)	0x4300	P0UPMUX0
0x4302		P0UPMUX1	P02–03 Universal Port Multiplexer Setting Register
0x4304		P0UPMUX2	P04–05 Universal Port Multiplexer Setting Register
0x4306		P0UPMUX3	P06–07 Universal Port Multiplexer Setting Register
0x4308		P1UPMUX0	P10–11 Universal Port Multiplexer Setting Register
0x430a		P1UPMUX1	P12–13 Universal Port Multiplexer Setting Register
0x430c		P1UPMUX2	P14–15 Universal Port Multiplexer Setting Register
UART(UART3) Ch.0	0x4380	UA0CLK	UART3 Ch.0 Clock Control Register
	0x4382	UA0MOD	UART3 Ch.0 Mode Register
	0x4384	UA0BR	UART3 Ch.0 Baud-Rate Register
	0x4386	UA0CTL	UART3 Ch.0 Control Register
	0x4388	UA0TXD	UART3 Ch.0 Transmit Data Register
	0x438a	UA0RXD	UART3 Ch.0 Receive Data Register
	0x438c	UA0INTF	UART3 Ch.0 Status and Interrupt Flag Register
	0x438e	UA0INTE	UART3 Ch.0 Interrupt Enable Register
	0x4390	UA0CAWF	UART3 Ch.0 Carrier Waveform Register
16ビットタイマ(T16) Ch.1	0x43a0	T16_1CLK	T16 Ch.1 Clock Control Register
	0x43a2	T16_1MOD	T16 Ch.1 Mode Register
	0x43a4	T16_1CTL	T16 Ch.1 Control Register
	0x43a6	T16_1TR	T16 Ch.1 Reload Data Register
	0x43a8	T16_1TC	T16 Ch.1 Counter Data Register
	0x43aa	T16_1INTF	T16 Ch.1 Interrupt Flag Register
	0x43ac	T16_1INTE	T16 Ch.1 Interrupt Enable Register
同期式シリアルインタフェース (SPIA) Ch.0	0x43b0	SPI0MOD	SPIA Ch.0 Mode Register
	0x43b2	SPI0CTL	SPIA Ch.0 Control Register
	0x43b4	SPI0TXD	SPIA Ch.0 Transmit Data Register
	0x43b6	SPI0RXD	SPIA Ch.0 Receive Data Register
	0x43b8	SPI0INTF	SPIA Ch.0 Interrupt Flag Register
	0x43ba	SPI0INTE	SPIA Ch.0 Interrupt Enable Register
I <sup>2</sup> C(I2C) Ch.0	0x43c0	I2C0CLK	I2C Ch.0 Clock Control Register
	0x43c2	I2C0MOD	I2C Ch.0 Mode Register
	0x43c4	I2C0BR	I2C Ch.0 Baud-Rate Register

周辺回路	アドレス	レジスタ名	
I <sup>2</sup> C(I2C) Ch.0	0x43c8	I2C0OADR	I2C Ch.0 Own Address Register
	0x43ca	I2C0CTL	I2C Ch.0 Control Register
	0x43cc	I2C0TXD	I2C Ch.0 Transmit Data Register
	0x43ce	I2C0RXD	I2C Ch.0 Receive Data Register
	0x43d0	I2C0INTF	I2C Ch.0 Status and Interrupt Flag Register
	0x43d2	I2C0INTE	I2C Ch.0 Interrupt Enable Register
SPIスレーブセクタ (SPISLV_SEL)	0x43e0	SPISLVSEL	SPI Slave Select Register
16ビットPWMタイマ(T16B) Ch.0	0x5000	T16B0CLK	T16B Ch.0 Clock Control Register
	0x5002	T16B0CTL	T16B Ch.0 Counter Control Register
	0x5004	T16B0MC	T16B Ch.0 Max Counter Data Register
	0x5006	T16B0TC	T16B Ch.0 Timer Counter Data Register
	0x5008	T16B0CS	T16B Ch.0 Counter Status Register
	0x500a	T16B0INTF	T16B Ch.0 Interrupt Flag Register
	0x500c	T16B0INTE	T16B Ch.0 Interrupt Enable Register
	0x5010	T16B0CCCTL0	T16B Ch.0 Compare/Capture 0 Control Register
	0x5012	T16B0CCR0	T16B Ch.0 Compare/Capture 0 Data Register
	0x5018	T16B0CCCTL1	T16B Ch.0 Compare/Capture 1 Control Register
16ビットPWMタイマ(T16B) Ch.1	0x5040	T16B1CLK	T16B Ch.1 Clock Control Register
	0x5042	T16B1CTL	T16B Ch.1 Counter Control Register
	0x5044	T16B1MC	T16B Ch.1 Max Counter Data Register
	0x5046	T16B1TC	T16B Ch.1 Timer Counter Data Register
	0x5048	T16B1CS	T16B Ch.1 Counter Status Register
	0x504a	T16B1INTF	T16B Ch.1 Interrupt Flag Register
	0x504c	T16B1INTE	T16B Ch.1 Interrupt Enable Register
	0x5050	T16B1CCCTL0	T16B Ch.1 Compare/Capture 0 Control Register
	0x5052	T16B1CCR0	T16B Ch.1 Compare/Capture 0 Data Register
	0x5058	T16B1CCCTL1	T16B Ch.1 Compare/Capture 1 Control Register
スマートカードインタフェース (SMCIF) Ch.0	0x5220	SMC0CLK	SMCIF Ch.0 Clock Control Register
	0x5222	SMC0MOD	SMCIF Ch.0 Mode Register
	0x5224	SMC0BR	SMCIF Ch.0 Baud Rate Register
	0x5226	SMC0CTL	SMCIF Ch.0 Control Register
	0x5228	SMC0TXD	SMCIF Ch.0 Transmit Data Register
	0x522a	SMC0RXD	SMCIF Ch.0 Receive Data Register
	0x522c	SMC0WTC0	SMCIF Ch.0 Wait Time Compare Data Register 0
	0x522e	SMC0WTC1	SMCIF Ch.0 Wait Time Compare Data Register 1
	0x5230	SMC0GTC	SMCIF Ch.0 Guard Time Compare Data Register
	0x5232	SMC0INTF	SMCIF Ch.0 Status and Interrupt Flag Register
	0x5234	SMC0INTE	SMCIF Ch.0 Interrupt Enable Register
	0x5236	SMC0ETU0	SMCIF Ch.0 Etc Counter Data Register 0
	0x5238	SMC0ETU1	SMCIF Ch.0 Etc Counter Data Register 1
	16ビットタイマ(T16) Ch.3	0x5260	T16_3CLK
0x5262		T16_3MOD	T16 Ch.3 Mode Register
0x5264		T16_3CTL	T16 Ch.3 Control Register
0x5266		T16_3TR	T16 Ch.3 Reload Data Register
0x5268		T16_3TC	T16 Ch.3 Counter Data Register
0x526a		T16_3INTF	T16 Ch.3 Interrupt Flag Register
0x526c		T16_3INTE	T16 Ch.3 Interrupt Enable Register
同期式シリアルインタフェース (SPIA) Ch.1		0x5270	SPI1MOD
	0x5272	SPI1CTL	SPIA Ch.1 Control Register
	0x5274	SPI1TXD	SPIA Ch.1 Transmit Data Register
	0x5276	SPI1RXD	SPIA Ch.1 Receive Data Register
	0x5278	SPI1INTF	SPIA Ch.1 Interrupt Flag Register
	0x527a	SPI1INTE	SPIA Ch.1 Interrupt Enable Register
サウンドジェネレータ(SNDA)	0x5300	SNDCLK	SNDA Clock Control Register
	0x5302	SNDSEL	SNDA Select Register
	0x5304	SNDCTL	SNDA Control Register
	0x5306	SNDDAT	SNDA Data Register
	0x5308	SNDINTF	SNDA Interrupt Flag Register

#### 4 メモリ、バス

周辺回路	アドレス	レジスタ名	
サウンドジェネレータ(SNDA)	0x530a	SNDINTE	SNDA Interrupt Enable Register
EPDコントローラ/ドライバ (EPDC)	0x5500	EPDTIMCLK	EPDC Timing Clock Control Register
	0x5502	EPDBLCLK	EPDC Doubler Clock Control Register
	0x5504	EPDBSTCLK	EPDC Booster Clock Control Register
	0x5506	EPDCTL	EPDC Control Register
	0x5508	EPDPWR0	EPDC Power Supply Control Register 0
	0x550a	EPDPWR1	EPDC Power Supply Control Register 1
	0x550c	EPDDSP	EPDC Display Control Register
	0x550e	EPDPOS	EPDC Pin Assignment Select Register
	0x5510	EPDINTF	EPDC Interrupt Flag/Status Register
	0x5512	EPDINTE	EPDC Interrupt Enable Register
	0x5520	EPDTPBP	EPDC Top/Back Plane Data Register
	0x5522	EPDSEG0	EPDC Segment Data Register 0
	0x5524	EPDSEG1	EPDC Segment Data Register 1
	0x5526	EPDSEG2	EPDC Segment Data Register 2
	0x5530	EPDTPBPEN	EPDC Top/Back Plane Enable Register
	0x5532	EPDSEGEN0	EPDC Segment Enable Register 0
	0x5534	EPDSEGEN1	EPDC Segment Enable Register 1
	0x5536	EPDSEGEN2	EPDC Segment Enable Register 2
	0x5540	EPDWAVE0	EPDC Waveform Timing Set Register 0
	0x5542	EPDWAVE1	EPDC Waveform Timing Set Register 1
	0x5544	EPDWAVE2	EPDC Waveform Timing Set Register 2
	0x5546	EPDWAVE3	EPDC Waveform Timing Set Register 3
	0x5548	EPDWAVE4	EPDC Waveform Timing Set Register 4
	0x554a	EPDWAVE5	EPDC Waveform Timing Set Register 5
	0x554c	EPDWAVE6	EPDC Waveform Timing Set Register 6
	0x554e	EPDWAVE7	EPDC Waveform Timing Set Register 7
	0x5550	EPDWAVE8	EPDC Waveform Timing Set Register 8
	0x5552	EPDWAVE9	EPDC Waveform Timing Set Register 9
	0x5554	EPDWAVE10	EPDC Waveform Timing Set Register 10
	0x5556	EPDWAVE11	EPDC Waveform Timing Set Register 11
	0x5558	EPDWAVE12	EPDC Waveform Timing Set Register 12
0x555a	EPDWAVE13	EPDC Waveform Timing Set Register 13	
0x555c	EPDWAVE14	EPDC Waveform Timing Set Register 14	
0x555e	EPDWAVE15	EPDC Waveform Timing Set Register 15	
0x5560	EPDWAVE16	EPDC Waveform Timing Set Register 16	
0x5562	EPDWAVE17	EPDC Waveform Timing Set Register 17	
0x5564	EPDWAVE18	EPDC Waveform Timing Set Register 18	
0x5566	EPDWAVE19	EPDC Waveform Timing Set Register 19	
0x5568	EPDWAVE20	EPDC Waveform Timing Set Register 20	
0x556a	EPDWAVE21	EPDC Waveform Timing Set Register 21	
0x556c	EPDWAVE22	EPDC Waveform Timing Set Register 22	
0x556e	EPDWAVE23	EPDC Waveform Timing Set Register 23	
0x5570	EPDWAVE24	EPDC Waveform Timing Set Register 24	
0x5572	EPDWAVE25	EPDC Waveform Timing Set Register 25	
0x5574	EPDWAVE26	EPDC Waveform Timing Set Register 26	
0x5576	EPDWAVE27	EPDC Waveform Timing Set Register 27	
0x5578	EPDWAVE28	EPDC Waveform Timing Set Register 28	
0x557a	EPDWAVE29	EPDC Waveform Timing Set Register 29	
0x557c	EPDWAVE30	EPDC Waveform Timing Set Register 30	
0x557e	EPDWAVE31	EPDC Waveform Timing Set Register 31	
16ビットタイマ(T16) Ch.2	0x5480	T16_2CLK	T16 Ch.2 Clock Control Register
	0x5482	T16_2MOD	T16 Ch.2 Mode Register
	0x5484	T16_2CTL	T16 Ch.2 Control Register
	0x5486	T16_2TR	T16 Ch.2 Reload Data Register
	0x5488	T16_2TC	T16 Ch.2 Counter Data Register
	0x548a	T16_2INTF	T16 Ch.2 Interrupt Flag Register
	0x548c	T16_2INTE	T16 Ch.2 Interrupt Enable Register
12ビットA/D変換器(ADC12A)	0x54a2	ADC12_0CTL	ADC12A Ch.0 Control Register
	0x54a4	ADC12_0TRG	ADC12A Ch.0 Trigger/Analog Input Select Register
	0x54a6	ADC12_0CFG	ADC12A Ch.0 Configuration Register
	0x54a8	ADC12_0INTF	ADC12A Ch.0 Interrupt Flag Register



周辺回路	アドレス	レジスタ名	
12ビットA/D変換器(ADC12A)	0x54aa	ADC12_0INTE	ADC12A Ch.0 Interrupt Enable Register
	0x54ac	ADC12_0AD0D	ADC12A Ch.0 Result Register 0
	0x54ae	ADC12_0AD1D	ADC12A Ch.0 Result Register 1
	0x54b0	ADC12_0AD2D	ADC12A Ch.0 Result Register 2
	0x54b2	ADC12_0AD3D	ADC12A Ch.0 Result Register 3
	0x54b4	ADC12_0AD4D	ADC12A Ch.0 Result Register 4
	0x54b6	ADC12_0AD5D	ADC12A Ch.0 Result Register 5
	0x54b8	ADC12_0AD6D	ADC12A Ch.0 Result Register 6
	0x54ba	ADC12_0AD7D	ADC12A Ch.0 Result Register 7
温度センサ/基準電圧生成回路(TSRVR)	0x54c0	TSRVR0TCTL	TSRVR Ch.0 Temperature Sensor Control Register
	0x54c2	TSRVR0VCTL	TSRVR Ch.0 Reference Voltage Generator Control Register

#### 4.6.1 システムプロテクト機能

システムプロテクトは、制御レジスタやビットを書き込み保護する機能です。MSCPROT.PROT[15:0]ビットに0x0096を書き込んで書き込み保護を解除しない限り、書き換えることができません。この機能は、CPU暴走時に、システム関係のレジスタを書き換えてしまうことによるデッドロックを防ぐために設けられています。書き込み保護されているレジスタやビットについては、周辺回路の“制御レジスタ”で確認してください。

注: MSCPROT.PROT[15:0]ビットで書き込み保護を解除すると、再度、書き込み保護を設定するまで、解除された状態に維持されます。必要なレジスタ/ビットの書き換えを終了後は、書き込み保護に再設定してください。

### 4.7 制御レジスタ

#### MISC System Protect Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCPROT	15-0	PROT[15:0]	0x0000	H0	R/W	-

##### Bits 15-0 PROT[15:0]

これらのビットは、システム関連の制御レジスタを書き込み保護します。

0x0096 (R/W): システムプロテクト無効

0x0096以外 (R/W): システムプロテクト有効

システムプロテクト状態では、書き込み保護対応のビット(R/W欄にWPまたはR/WPが記載されているビット)には書き込みできません。

#### MISC IRAM Size Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCIRAMSZ	15-9	-	0x00	-	R	-
	8	(reserved)	0	H0	R/WP	Always set to 0.
	7-3	-	0x04	-	R	-
	2-0	IRAMSZ[2:0]	0x2	H0	R/WP	-

##### Bits 15-3 Reserved

##### Bits 2-0 IRAMSZ[2:0]

これらのビットは、使用できる内蔵RAMのサイズを設定します。

表4.7.1 内蔵RAMサイズの選択

MSCIRAMSZ.IRAMSZ[2:0]ビット	内蔵RAMのサイズ
0x7~0x3	Reserved
0x2	2KB
0x1	1KB
0x0	512B

## FLASHC Flash Read Cycle Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
FLASHCWAIT	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	-
	1-0	RDWAIT[1:0]	0x1	H0	R/WP	-

**Bits 15-2 Reserved**

**Bits 1-0 RDWAIT[1:0]**

これらのビットは、Flashメモリリード時のバスアクセスサイクル数を設定します。

表4.7.2 Flashリード時バスアクセスサイクル数の設定

FLASHCWAIT.RDWAIT[1:0]ビット	バスアクセスサイクル数	システムクロック周波数
0x3	4	16.0 MHz (max.)
0x2	3	16.0 MHz (max.)
0x1	2	12.6 MHz (max.)
0x0	1	6.3 MHz (max.)

注: FLASHCWAIT.RDWAIT[1:0]ビットの設定は、システムクロックを変更する前に行ってください。

## EEPROMC Control Register 0

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCCTL0	15-9	-	0x00	-	R	-
	8	EP_XPOR	1	H0	R/WP	-
	7-2	-	0x00	-	R	-
	1	EP_PWRSET	0	H0	R/WP	-
	0	EP_WMODE	0	H0	R/WP	-

**Bits 15-9 Reserved**

**Bit 8 EP\_XPOR**

このビットは、EEPROMのリセット信号を制御します。

1 (R/W): リセット信号をネゲート

0 (R/W): リセット信号をアサート

EEPROMのデータ書き換え操作後、書き換え/読み出し完了割り込みが発生しない(EPR-CINTF.RXBIFビットが1にセットされない)場合はこのビットに0を書き込み、EEPROMをリセットしてください。

このビットが0の間はEEPROMの制御がすべて無効になります(データの読み出しも不可)。再度EEPROMを使用する場合には、EEPROM有効リセットパルス幅t<sub>XPOR</sub>("電気的特性"の章の"EEPROM特性"を参照)以上の待ち時間を取った後に1を書き込み、リセット状態を解除します。

**Bits 7-2 Reserved**

**Bit 1 EP\_PWRSET**

このビットは、プログラム電源を制御します。

1 (R/W): プログラム電源ON

0 (R/W): プログラム電源OFF

このビットを1に設定すると、EEPROMプログラム電源回路がONし、V<sub>PP</sub>電圧を昇圧してEEPROMプログラム電圧を生成します。このビットはEPRCCTL0.EP\_WMODEビット = 1の場合に有効です。

**Bit 0 EP\_WMODE**

このビットは、書き換えモードを設定します。

1 (R/W): 書き換えモードを開始

0 (R/W): 書き換えモードを停止

このビットを1にするとEEPROMが書き換えモードに設定され、データの書き換えが可能になります。

このビットが1の間にEEPROMを読み出した場合、読み出しデータは不定になります。

**EEPROMC Control Register 1**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCCTL1	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	EP_CK	0	H0	WP	

**Bits 15-1 Reserved****Bit 0 EP\_CK**

このビットは、データを書き換えるためのクロックパルス出力を制御します。

1 (W): クロックパルスを1個出力

0 (W): 無効

このビットに1を書き込むとEEPROMにクロックが出力され、EPRCADR.EP\_ADDR[7:0]ビットで指定したEEPROMアドレスがEPRCW.DAT.EP\_WDAT[7:0]ビットで指定したデータで書き換えられます。1書き込み後、このビットは自動的に0に戻ります。

このビットはEPRCCTL0.EP\_WMODEビット = 1の場合に有効です。

**EEPROMC Address Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCADR	15-8	-	0x00	-	R	-
	7-0	EP_ADDR[7:0]	0x00	H0	R/WP	

**Bits 15-8 Reserved****Bits 7-0 EP\_ADDR[7:0]**

これらのビットは、書き換えを行うEEPROMの物理アドレス(0~255)を指定します。

EEPROM(論理)アドレス = 0x6000 + EPRCADR.EP\_ADDR[7:0]ビット

**EEPROMC Write Data Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCW.DAT	15-8	-	0x00	-	R	-
	7-0	EP_WDAT[7:0]	0x00	H0	R/WP	

**Bits 15-8 Reserved****Bits 7-0 EP\_WDAT[7:0]**

これらのビットは、EEPROMに書き込む8ビットデータを指定します。

**EEPROMC Interrupt Flag Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCINTF	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1	ECCERIF	0	H0	R/W	Cleared by writing 1.
	0	RXBIF	0	H0	R/W	

**Bits 15-2 Reserved**

## 4 メモリ、バス

**Bit 1**      **ECCERIF**

**Bit 0**      **RXBIF**

これらのビットは、EEPROMC割り込み要因の発生状況を示します。

1 (R):      割り込み要因あり

0 (R):      割り込み要因なし

1 (W):      フラグをクリア

0 (W):      無効

各ビットと割り込みの対応は以下のとおりです。

EPRCINTF.ECCERIFビット: ECC割り込み

EPRCINTF.RXBIFビット:   書き換え/読み出し完了割り込み

### EEPROMC Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPRCINTE	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1	ECCERIE	0	H0	R/W	
	0	RXBIE	0	H0	R/W	

**Bits 15-2**    **Reserved**

**Bit 1**      **ECCERIE**

**Bit 0**      **RXBIE**

これらのビットは、EEPROMC割り込みをイネーブルにします。

1 (R/W):    割り込みイネーブル

0 (R/W):    割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

EPRCINTE.ECCERIEビット: ECC割り込み

EPRCINTE.RXBIEビット:   書き換え/読み出し完了割り込み

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に割り込みフラグをクリアしてください。

# 5 割り込みコントローラ(ITC)

## 5.1 概要

ITCの主な機能と特長を以下に示します。

- 周辺回路からの割り込み要求を受け付け、CPUへ割り込み要求、割り込みレベル、ベクタ番号を出力
- 割り込みソースごとに8段階の割り込みレベルを設定可能
- 複数の割り込みが同時に発生した場合、割り込みレベルにより優先順位を決定
- 割り込みレベルが同レベルであれば、ベクタ番号の小さい割り込みを優先

図5.1.1にITCの構成を示します。

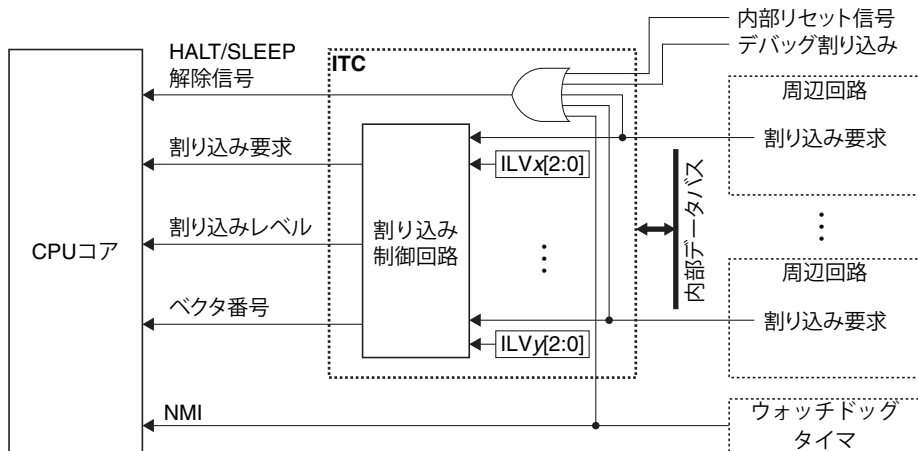


図5.1.1 ITCの構成

## 5.2 ベクタテーブル

ベクタテーブルは、割り込みハンドルーチンへのベクタ(ハンドルーチン開始アドレス)を格納します。割り込みが発生すると、CPUは割り込みに対応するベクタを読み出して、そのハンドルーチンを実行します。表5.2.1にベクタテーブルを示します。

表5.2.1 ベクタテーブル

TTBR初期値 = 0x8000

ベクタ番号/ソフトウェア割り込み番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	<ul style="list-style-type: none"> <li>• #RESET端子へのLow入力</li> <li>• パワーオンリセット</li> <li>• 発振停止検出リセット</li> <li>• キーリセット</li> <li>• ウォッチドッグタイマオーバーフロー *2</li> <li>• 電源電圧検出回路リセット</li> </ul>	1
1 (0x01)	TTBR + 0x04	アドレス不整割り込み	メモリアクセス命令	2
-	(0xffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ予約	-	-

## 5 割り込みコントローラ(ITC)

ベクタ番号/ソフトウェア割り込み番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込みフラグ	優先順位
4 (0x04)	TTBR + 0x10	電源電圧検出回路割り込み	電源電圧低下検出	高い*1 ↑
5 (0x05)	TTBR + 0x14	ポート割り込み	ポート入力	
6 (0x06)	TTBR + 0x18	reserved	-	
7 (0x07)	TTBR + 0x1c	クロックジェネレータ割り込み	<ul style="list-style-type: none"> <li>• IOSC発振安定待ち完了</li> <li>• OSC3発振安定待ち完了</li> <li>• IOSC発振オートトリミング終了</li> </ul>	
8 (0x08)	TTBR + 0x20	リアルタイムクロック割り込み	<ul style="list-style-type: none"> <li>• 1日、1時間、1分、1秒</li> <li>• 1/32秒、1/8秒、1/4秒、1/2秒信号</li> <li>• ストップウォッチ1 Hz、10 Hz、100 Hz</li> <li>• アラーム</li> <li>• 論理緩急終了</li> <li>• ダウンカウンタアンダーフロー</li> </ul>	
9 (0x09)	TTBR + 0x24	16ビットタイマCh.0割り込み	アンダーフロー	
10 (0x0a)	TTBR + 0x28	UART Ch.0割り込み	<ul style="list-style-type: none"> <li>• 送信完了</li> <li>• フレーミングエラー</li> <li>• パリティエラー</li> <li>• オーバーランエラー</li> <li>• 受信バッファ2バイトフル</li> <li>• 受信バッファ1バイトフル</li> <li>• 送信バッファエンプティ</li> </ul>	
11 (0x0b)	TTBR + 0x2c	16ビットタイマCh.1割り込み	アンダーフロー	
12 (0x0c)	TTBR + 0x30	同期式シリアルインタフェースCh.0割り込み	<ul style="list-style-type: none"> <li>• 送信完了</li> <li>• 受信バッファフル</li> <li>• 送信バッファエンプティ</li> <li>• オーバーランエラー</li> </ul>	
13 (0x0d)	TTBR + 0x34	I <sup>2</sup> C割り込み	<ul style="list-style-type: none"> <li>• 送受信完了</li> <li>• ジェネラルコールアドレス受信</li> <li>• NACK受信</li> <li>• ストップコンディション</li> <li>• スタートコンディション</li> <li>• エラー検出</li> <li>• 受信バッファフル</li> <li>• 送信バッファエンプティ</li> </ul>	
14 (0x0e)	TTBR + 0x38	16ビットPWMタイマCh.0割り込み	<ul style="list-style-type: none"> <li>• キャプチャオーバーライト</li> <li>• コンペア/キャプチャ</li> <li>• カウンタMAX</li> <li>• カウンタゼロ</li> </ul>	
15 (0x0f)	TTBR + 0x3c	16ビットPWMタイマCh.1割り込み	<ul style="list-style-type: none"> <li>• キャプチャオーバーライト</li> <li>• コンペア/キャプチャ</li> <li>• カウンタMAX</li> <li>• カウンタゼロ</li> </ul>	
16 (0x10)	TTBR + 0x40	スマートカードインタフェースCh.0割り込み	<ul style="list-style-type: none"> <li>• ウェイトタイムエラー</li> <li>• 送信完了</li> <li>• エラー信号検出</li> <li>• パリティエラー</li> <li>• オーバーランエラー</li> <li>• 受信バッファ2バイトフル</li> <li>• 受信バッファ1バイトフル</li> <li>• 送信バッファエンプティ</li> </ul>	
17 (0x11)	TTBR + 0x44	サウンドジェネレータ割り込み	<ul style="list-style-type: none"> <li>• サウンドバッファエンプティ</li> <li>• サウンド出力終了</li> </ul>	
18 (0x12)	TTBR + 0x48	16ビットタイマCh.2割り込み	アンダーフロー	
19 (0x13)	TTBR + 0x4c	12ビットA/D変換器割り込み	<ul style="list-style-type: none"> <li>• アナログ入力信号m A/D変換完了</li> <li>• アナログ入力信号m A/D変換結果オーバーライトエラー</li> </ul>	
20 (0x14)	TTBR + 0x50	EPDコントローラ/ドライバ割り込み	表示更新	
21 (0x15)	TTBR + 0x54	EEPROMコントローラ割り込み	<ul style="list-style-type: none"> <li>• 書き換え/読み出し完了</li> <li>• ECC</li> </ul>	
22 (0x16)	TTBR + 0x58	16ビットタイマCh.3割り込み	アンダーフロー	
23 (0x17)	TTBR + 0x5c	同期式シリアルインタフェースCh.1割り込み	<ul style="list-style-type: none"> <li>• 送信完了</li> <li>• 受信バッファフル</li> <li>• 送信バッファエンプティ</li> <li>• オーバーランエラー</li> </ul>	
24 (0x18)	TTBR + 0x60	reserved	-	↓ 低い*1
:	:	:	:	
31 (0x1f)	TTBR + 0x7c	reserved	-	

\*1 同一の割り込みレベルが設定されている場合

\*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

## 5.2.1 ベクタテーブルベースアドレス(TTBR)

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MSCTTBRLレジスタとMSCTTBRHレジスタによって設定することができます。表5.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MSCTTBRL/MSCTTBRHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタは上記のアドレスに書き込んでおく必要があります。MSCTTBRLレジスタのビット7~0は0に固定されます。このため、ベクタテーブルは常に256バイト境界アドレスから始まります。

## 5.3 初期設定

割り込みに関する初期設定手順の例を以下に示します。

1. di命令を実行し、CPUを割り込みディスエーブルに設定する。
2. ベクタテーブルをデフォルトアドレス以外に配置している場合は、MSCPROT.PROT[15:0]ビットに0x0096を書き込んでシステムプロテクトを解除した後に、MSCTTBRL/MSCTTBRHレジスタにそのアドレスを設定する。その後、MSCPROT.PORT[15:0]ビットに0x0096以外の値を書き込んで、システムプロテクトを設定する。
3. 周辺回路の割り込みイネーブルビットを0(割り込みディスエーブル)に設定する。
4. ITCのITCLVx.ILVx[2:0]ビットで周辺回路の割り込みレベルを設定する。
5. 周辺回路を設定し、動作を開始させる。
6. 周辺回路の割り込みフラグをクリアする。
7. 周辺回路の割り込みイネーブルビットを1(割り込みイネーブル)に設定する。
8. ei命令を実行し、CPUを割り込みイネーブルに設定する。

## 5.4 マスク可能割り込みの制御と動作

### 5.4.1 周辺回路の割り込み制御

割り込みを発生する周辺回路には、割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。

割り込みフラグ: 割り込み要因の発生により1にセットされます。クリア条件は、周辺回路によって異なります。

割り込みイネーブルビット: このビットを1(割り込みイネーブル)に設定しておくこと、割り込みフラグが1になった時点でITCに割り込み要求が送信されます。0(割り込みディスエーブル)に設定しておくこと、割り込みフラグが1になってもITCに割り込み要求は送信されません。割り込みフラグが1の状態、割り込みイネーブルに変更するとその時点でITCに割り込み要求が送信されます。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺回路の説明を参照してください。

注: 不要な割り込みの発生を防ぐため、割り込みイネーブルビットを1(割り込みイネーブル)に設定する前、および割り込みハンドラルーチンを終了する前に、対応する割り込みフラグをクリアしてください。

### 5.4.2 ITCの割り込み要求処理

周辺回路からの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号をCPUに送ります。ベクタ番号は表5.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。割り込みレベルは割り込みの優先順位を決める値で、割り込みごとに設けられているITCLVx.ILVx[2:0]ビットで0(低)~7(高)に設定できます。ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、CPUはその割り込み要求を受け付けません。

## 5 割り込みコントローラ(ITC)

ITCでは、複数の周辺回路から同時に割り込み要求が入力された場合、以下の条件に従い、最も優先順位の高い割り込み要求をCPUに出力します。

- 割り込みレベルが最も高く設定されている割り込みを優先
- 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてCPUに受け付けられるまで保留されます。

ITCが割り込み要求信号をCPUに出力中(CPUに受け付けられる前)に、より高い優先順位を持つ割り込み要求が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺回路内の割り込みフラグがソフトウェアでクリアされた場合、その割り込みは発生しません。

注: 割り込みレベルの変更は、変更する割り込みが発生しない状態(周辺回路の割り込みイネーブルビットが0に設定されている、または周辺回路が停止している状態)で行ってください。

### 5.4.3 CPUの割り込み要求受領条件

CPUは以下のすべての条件が成立している場合に、ITCからの割り込み要求を受け付けます。

- PSRのIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要求が、PSRのIL[2:0](割り込みレベル)ビットに設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要求が発生していない。

## 5.5 NMI

本ICでは、ウォッチドッグタイマでNMI(ノンマスカブル割り込み)を発生させることができます。この割り込みは他の割り込み要因に優先して、無条件にCPUに受け付けられます。

NMIを発生させる方法については“ウォッチドッグタイマ”の章を参照してください。

## 5.6 ソフトウェア割り込み

CPUの“*int imm5*”または“*intl imm5, imm3*”命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値*imm5*でベクタテーブルのベクタ番号(0~31)を指定します。*intl*命令では、*imm3*でPSRのIL[2:0]ビットに設定する割り込みレベル(0~7)を指定することもできます。ソフトウェア割り込みをディスエーブルにすることはできません(ノンマスカブル割り込み)。プロセッサの割り込み処理の動作は、ハードウェアによる割り込みと同様です。

## 5.7 CPUによる割り込み処理

CPUは毎サイクル、割り込み要求のサンプリングを行っており、各種の割り込み要求を受け付けるとその時点で実行中の命令を終了後、割り込み処理に移行します。

CPUの割り込み処理で実行される内容は以下のとおりです。

1. PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
2. PSRのIEビットを0にクリア(以降のマスク可能な割り込みを禁止)
3. PSRのIL[2:0]ビットを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
4. 発生した割り込みのベクタをPCにロードして割り込みハンドルーチンを実行



したがって、CPUが割り込みを受け付けると、ステップ2によって以降のマスク可能な割り込みは禁止されます。割り込みハンドラルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、ステップ3によってIL[2:0]ビットが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

注: HALTまたはSLEEPモード解除時は、1命令を実行してから割り込みハンドラルーチンにジャンプします。HALTまたはSLEEPモード解除直後に割り込みハンドラルーチンを実行させるには、halt/slp命令の後にnop命令を置いてください。

## 5.8 制御レジスタ

### MISC Vector Table Address Low Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCTTBRL	15-8	TTBR[15:8]	0x80	H0	R/WP	-
	7-0	TTBR[7:0]	0x00	H0	R	

#### Bits 15-0 TTBR[15:0]

これらのビットは、ベクタテーブルベースアドレス(下位16ビット)を設定します。

### MISC Vector Table Address High Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCTTBRH	15-8	-	0x00	-	R	-
	7-0	TTBR[23:16]	0x00	H0	R/WP	

#### Bits 15-8 Reserved

#### Bits 7-0 TTBR[23:16]

これらのビットは、ベクタテーブルベースアドレス(上位8ビット)を設定します。

### ITC Interrupt Level Setup Register x

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLVx	15-11	-	0x00	-	R	-
	10-8	ILVy <sub>1</sub> [2:0]	0x0	H0	R/W	
	7-3	-	0x00	-	R	
	2-0	ILVy <sub>0</sub> [2:0]	0x0	H0	R/W	

#### Bits 15-11 Reserved

#### Bits 7-3 Reserved

Bits 10-8 ILVy<sub>1</sub>[2:0] ( $y_1 = 2x + 1$ )

Bits 2-0 ILVy<sub>0</sub>[2:0] ( $y_0 = 2x$ )

これらのビットは、各割り込みの割り込みレベルを設定します。

表5.8.1 割り込みレベルと優先度の設定

ITCLVx.ILVy[2:0]ビット	割り込みレベル	優先度
0x7	7	高
0x6	6	↑
...	...	
0x1	1	↓
0x0	0	低

以下、本ICに搭載しているITCLVxレジスタの構成を示します。

## 5 割り込みコントローラ(ITC)

表5.8.2 ITCLVxレジスター一覧

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLV0 (ITC Interrupt Level Setup Register 0)	15-11	–	0x00	–	R	–
	10-8	ILV1[2:0]	0x0	H0	R/W	Port interrupt (ILVPPORT)
	7-3	–	0x00	–	R	–
	2-0	ILV0[2:0]	0x0	H0	R/W	Supply voltage detector interrupt (ILVSVD3)
ITCLV1 (ITC Interrupt Level Setup Register 1)	15-11	–	0x00	–	R	–
	10-8	ILV3[2:0]	0x0	H0	R/W	Clock generator interrupt (ILVCLG)
	7-0	–	0x00	–	R	–
ITCLV2 (ITC Interrupt Level Setup Register 2)	15-11	–	0x00	–	R	–
	10-8	ILV5[2:0]	0x0	H0	R/W	16-bit timer Ch.0 interrupt (ILVT16_0)
	7-3	–	0x00	–	R	–
	2-0	ILV4[2:0]	0x0	H0	R/W	Real-time clock interrupt (ILVRTCB_0)
ITCLV3 (ITC Interrupt Level Setup Register 3)	15-11	–	0x00	–	R	–
	10-8	ILV7[2:0]	0x0	H0	R/W	16-bit timer Ch.1 interrupt (ILVT16_1)
	7-3	–	0x00	–	R	–
	2-0	ILV6[2:0]	0x0	H0	R/W	UART Ch.0 interrupt (ILVUART3_0)
ITCLV4 (ITC Interrupt Level Setup Register 4)	15-11	–	0x00	–	R	–
	10-8	ILV9[2:0]	0x0	H0	R/W	I <sup>2</sup> C interrupt (ILVI2C_0)
	7-3	–	0x00	–	R	–
	2-0	ILV8[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.0 interrupt (ILVSPIA_0)
ITCLV5 (ITC Interrupt Level Setup Register 5)	15-11	–	0x00	–	R	–
	10-8	ILV11[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.1 interrupt (ILVT16B_1)
	7-3	–	0x00	–	R	–
	2-0	ILV10[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.0 interrupt (ILVT16B_0)
ITCLV6 (ITC Interrupt Level Setup Register 6)	15-11	–	0x00	–	R	–
	10-8	ILV13[2:0]	0x0	H0	R/W	Sound generator interrupt (ILVSND_A_0)
	7-3	–	0x00	–	R	–
	2-0	ILV12[2:0]	0x0	H0	R/W	Smart card interface interrupt (ILSMCIF_0)
ITCLV7 (ITC Interrupt Level Setup Register 7)	15-8	–	0x00	–	R	–
	10-8	ILV15[2:0]	0x0	–	R/W	12-bit A/D converter interrupt (ILVADC12A_0)
	7-3	–	0x00	–	R	–
	2-0	ILV14[2:0]	0x0	H0	R/W	16-bit timer Ch.2 interrupt (ILVT16_2)
ITCLV8 (ITC Interrupt Level Setup Register 8)	15-11	–	0x00	–	R	–
	10-8	ILV17[2:0]	0x0	H0	R/W	EEPROM controller interrupt (ILVEPRC)
	7-3	–	0x00	–	R	–
	2-0	ILV16[2:0]	0x0	H0	R/W	EPD controller/driver interrupt (ILVEPDC)
ITCLV9 (ITC Interrupt Level Setup Register 9)	15-11	–	0x00	–	R	–
	10-8	ILV19[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.1 interrupt (ILVSPIA_1)
	7-3	–	0x00	–	R	–
	2-0	ILV18[2:0]	0x0	H0	R/W	16-bit timer Ch.3 interrupt (ILVT16_3)

# 6 入出力ポート (PPORT)

## 6.1 概要

PPORTは入出力ポートを制御する回路です。主な機能と特長を以下に示します。

- 各ポートの機能を個々に設定可能
  - プルアップまたはプルダウン抵抗の有無をポートごとに設定可能
  - チャタリングフィルタの有無をポートごとに設定可能
  - 端子に割り付ける機能(汎用入出力ポート(GPIO)機能、最大4種類の周辺回路用入出力機能)をポートごとに選択可能
- デバッグ端子兼用ポート以外のイニシャル状態はHi-Z  
(この状態では、フローティングであっても端子に電流は流れません。)

注: ポート名Pxy、レジスタ名、ビット名のxはポートグループ(x = 0, 1, 2, d)を、yはポート番号(y = 0, 1, 2, ..., 7)を表します。

図6.1.1にPPORTの構成を示します。

表6.1.1 S1C17F63のポート構成

項目	S1C17F63
搭載ポートグループ	P0[7:0], P1[5:0], (P2[1:0]*), Pd[2:0]
汎用入出力(GPIO)対応ポート	P0[7:0], P1[5:0], (P2[1:0]*), Pd[2:0]
割り込み機能対応ポート	P0[7:0], P1[5:0], (P2[1:0]*)
デバッグ機能用ポート	Pd[2:0]
キー入力リセット機能	対応(P0[3:0])

\* P2[1:0]は独立型低パワーリアルタイムクロックに含まれているため、制御レジスタの割り付けやアクセス方法が他のポートとは異なります。その詳細は“独立型低パワーリアルタイムクロック”の章を参照してください。P2[1:0]ポートの機能は他のポートと同様で、本章の説明が適用されます。

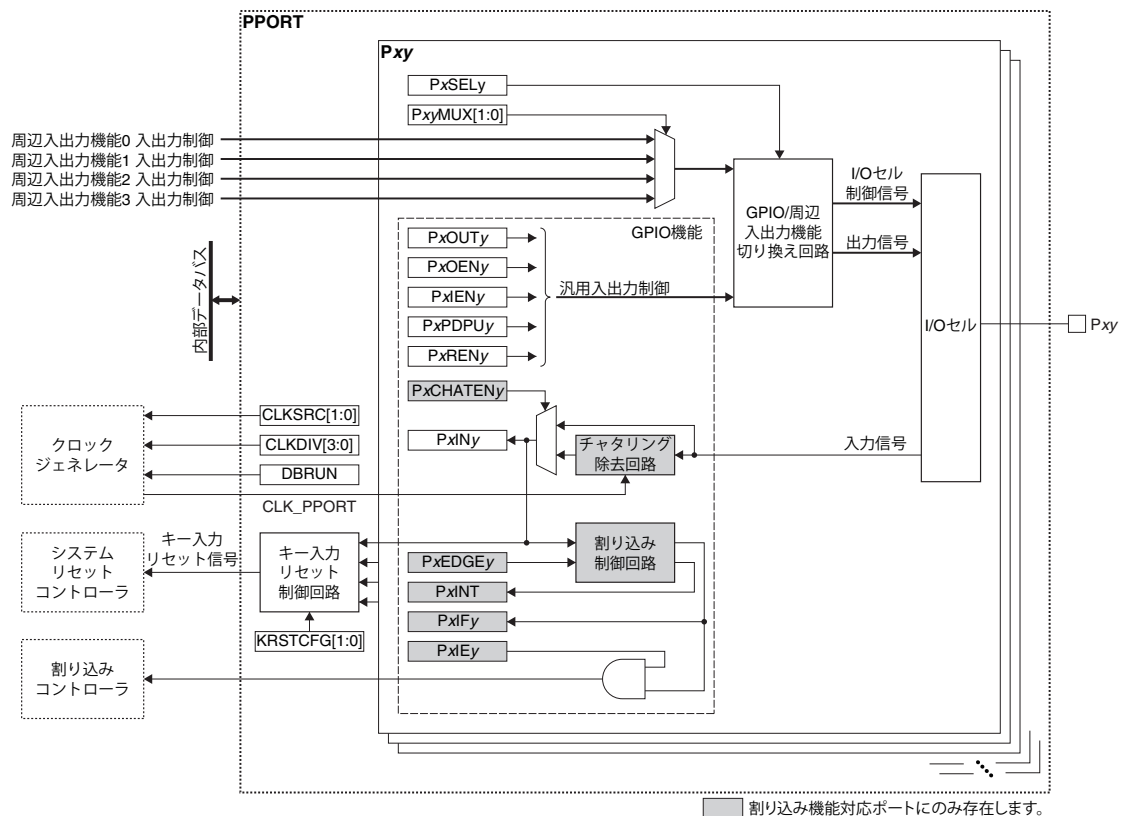


図6.1.1 PPORTの構成

## 6.2 I/Oセルの構造と機能

I/Oセルの構成を図6.2.1に示します。

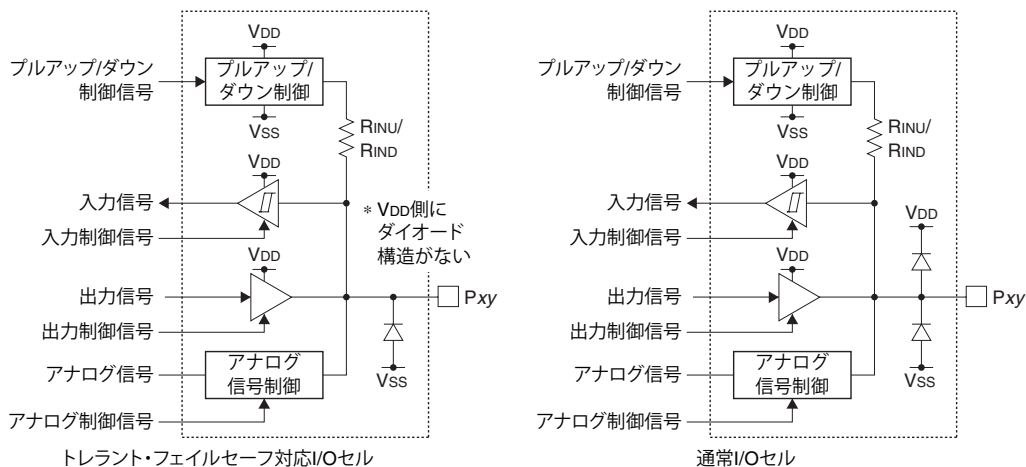


図6.2.1 I/Oセルの構成

各ポートがトレラント・フェイルセーフ対応I/Oセルと通常のI/Oセルのどちらを搭載しているかについては、“概要”の章の“端子説明”を参照してください。

### 6.2.1 シュミット入力

すべての入力機能は、シュミットインタフェースレベルで設定されています。入力ディスエーブル(PxIOEN.PxIENyビット = 0)に設定されているときは、Pxy端子がフローティング状態でも、不要な電流は流れません。

### 6.2.2 トレラント・フェイルセーフ

トレラント・フェイルセーフ対応I/Oセルは、ポートにVDD以上の電圧が印加された場合でも、不要な電流が流れることなくインタフェースを可能とします。また、VDDが供給されていない状態で、外部バイアスがかかっても、不要な電流は流れません。ただし、推奨最大動作電源電圧を超える電圧を印加することはできません。

### 6.2.3 プルアップ/プルダウン

GPIOにはプルアップ/プルダウン機能があります。制御レジスタによって、ポートごとにプルアップまたはプルダウンが選択可能です。また、プルアップ/プルダウンが不要なポートについては、この機能を無効にすることができます。

I/Oセルに内蔵されているプルアップ抵抗によってポートのレベルをLOWからHIGHに変化させる場合、またはプルダウン抵抗によってHIGHからLOWに変化させる場合、プルアップ/プルダウン抵抗と端子の負荷容量の時定数によって、波形の立ち上がり/立ち下がりに遅延が生じます。この立ち上がり/立ち下がり時間は、一般的に以下の式で表されます。

$$t_{PR} = -R_{INU} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T+}/V_{DD}) \quad (式6.1)$$

$$t_{PF} = -R_{IND} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T-}/V_{DD})$$

ここで

t<sub>PR</sub>: 立ち上がり時間(ポートレベル LOW → HIGH) [秒]

t<sub>PF</sub>: 立ち下がり時間(ポートレベル HIGH → LOW) [秒]

V<sub>T+</sub>: 高レベルシュミット入力スレシールド電圧 [V]

V<sub>T-</sub>: 低レベルシュミット入力スレシールド電圧 [V]

R<sub>INU</sub>/R<sub>IND</sub>: プルアップ/プルダウン抵抗値 [Ω]

C<sub>IN</sub>: 端子容量 [F]

C<sub>BOARD</sub>: 基板の寄生容量 [F]

## 6.2.4 CMOS出力とハイインピーダンス状態

アナログ出力用以外のI/Oセルは、V<sub>DD</sub>またはV<sub>SS</sub>レベルを出力可能です。また、GPIOはハイインピーダンス(Hi-Z)状態を設定可能です。

## 6.3 クロック設定

### 6.3.1 PPORTの動作クロック

PPORTの外部入力信号に対してチャタリング除去機能を使用する場合、クロックジェネレータからPPORT動作クロックCLK\_PPORTをPPORTに供給する必要があります。

CLK\_PPORTの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
3. PCLKレジスタの以下のビットを設定する。
  - PCLK.CLKSRC[1:0]ビット (クロックソースの選択)
  - PCLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

3の設定により、チャタリング除去機能の入力検定時間が決定します。

### 6.3.2 SLEEPモード時のクロック供給

SLEEPモード時にチャタリング除去機能を使用する場合は、PPORT動作クロックCLK\_PPORTのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK\_PPORTを供給し続ける必要があります。SLEEPモード時に、CLK\_PPORTのクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK\_PPORTのクロックソースが停止し、PxCHATEN.PxCHATENyビット(チャタリング除去機能有効/無効)の設定にかかわらず、チャタリング除去機能が無効になります。

### 6.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK\_PPORTの供給はPCLK.DBRUNビットで制御します。

PCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとPPORTへのCLK\_PPORTの供給が停止します。その後通常モードに戻ると、CLK\_PPORTの供給が再開します。CLK\_PPORTの供給が停止するとPPORT内のチャタリング除去回路の動作は停止します。GPIOポートでチャタリング除去機能を使用している場合、入力ポート機能は動作しなくなります。ただし、制御レジスタへの書き込みは可能です。PCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_PPORTの供給は停止せず、チャタリング除去回路は動作を継続します。

## 6.4 動作

### 6.4.1 初期設定

デバッグ機能用以外のポートは、リセット後に下記の状態になります。

- ポート入力: ディスエーブル
- ポート出力: ディスエーブル
- プルアップ: OFF
- プルダウン: OFF
- ポート端子: ハイインピーダンス状態
- ポート機能: GPIO機能を選択

この状態はソフトウェアでポートの設定が行われるまで継続します。デバッグ機能用ポートはデバッグ信号の入出力用に設定されます。

### 周辺入出力機能を使用する場合の初期設定

Pxyポートを周辺入出力機能に使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxIOENレジスタの以下のビットを設定する。
  - PxIOEN.PxIENyビットを0に設定 (入力ディスエーブル)
  - PxIOEN.PxOENyビットを0に設定 (出力ディスエーブル)
2. PxMODSEL.PxSELyビットを0に設定する。(周辺入出力機能ディスエーブル)
3. 端子を使用する周辺回路を初期化する。
4. PxFNCSEL.PxyMUX[1:0]ビットを設定する。(周辺入出力機能を選択)
5. PxMODSEL.PxSELyビットを1に設定する。(周辺入出力機能イネーブル)

本ICの各ポートに割り付け可能な周辺入出力機能の一覧は、“本ICの制御レジスタ/ポート機能の構成”を参照してください。また、周辺入出力機能の詳細については該当する周辺回路の章を参照してください。

### 汎用出力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)

Pxyポート端子を汎用出力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxIOEN.PxOENyビットを1に設定する。(出力イネーブル)
2. PxMODSEL.PxSELyビットを0に設定する。(GPIO機能イネーブル)

### 汎用入力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)

Pxyポート端子を汎用入力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxINTCTL.PxIEyビットに0を書き込む。\* (割り込みディスエーブル)
2. チャタリング除去機能を使用する場合は、PPORT動作クロックを設定し(“PPORTの動作クロック”参照)、PxCHATEN.PxCHATENyビットを1に設定する。\*  
チャタリング除去機能を使用しない場合は、PxCHATEN.PxCHATENyビットを0に設定する(PPORT動作クロックの供給は不要)。
3. ポートを内蔵プルアップまたはプルダウン抵抗でプルアップ/ダウンする場合は、PxRCTLレジスタの以下のビットを設定する。
  - PxRCTL.PxPDUyビット (プルアップ抵抗またはプルダウン抵抗の選択)
  - PxRCTL.PxRENyビットを1に設定 (プルアップ/プルダウンイネーブル)
 内蔵プルアップ/プルダウン抵抗を使用しない場合は、PxRCTL.PxRENyビットを0に設定する。
4. PxMODSEL.PxSELyビットを0に設定する。(GPIO機能をイネーブル)
5. ポート入力割り込みを使用する場合は以下のビットを設定する。\*
  - PxINTF.PxIFyビットに1を書き込み (割り込みフラグをクリア)
  - PxINTCTL.PxEDGEyビット (割り込みエッジ(入力立ち下がり/立ち上がり)の選択)
  - PxINTCTL.PxIEyビットを1に設定 (割り込みイネーブル)
6. PxIOENレジスタの以下のビットを設定する。
  - PxIOEN.PxOENyビットを0に設定 (出力ディスエーブル)
  - PxIOEN.PxIENyビットを1に設定 (入力イネーブル)

\* 1と5は割り込み機能対応ポート、2はチャタリング除去機能対応ポートにのみ必要な操作

データ入出力制御とプルアップ/プルダウン制御の組み合わせによるポートの状態を表6.4.1.1に示します。

表6.4.1.1 GPIOポートの制御

PxIOEN. PxiENyビット	PxIOEN. PxOENyビット	PxRCTL. PxRENyビット	PxRCTL. PxPDUyビット	入力	出力	プルアップ/ダウン の状態
0	0	0	x		ディスエーブル	OFF(Hi-Z) *1
0	0	1	0		ディスエーブル	プルダウン
0	0	1	1		ディスエーブル	プルアップ
1	0	0	x	イネーブル	ディスエーブル	OFF(Hi-Z) *2
1	0	1	0	イネーブル	ディスエーブル	プルダウン
1	0	1	1	イネーブル	ディスエーブル	プルアップ
0	1	0	x	ディスエーブル	イネーブル	OFF
0	1	1	0	ディスエーブル	イネーブル	OFF
0	1	1	1	ディスエーブル	イネーブル	OFF
1	1	1	0	イネーブル	イネーブル	OFF
1	1	1	1	イネーブル	イネーブル	OFF

\*1: イニシャル状態。フローティングであっても端子に電流は流れません。

\*2: ポート入力がフローティングになると不要な電流が流れるため、プルアップまたはプルダウン機能を使用することを推奨します。

注: GPIO機能を持っていないポートのPxMODESEL.PxSELyビットを0に設定した場合、ポートはイニシャル状態(“初期設定”参照)となり、GPIO用の制御ビットはすべて、常に0が読み出されるリードオンリビットになります。

## 6.4.2 ポートの入出力制御

### 周辺入出力機能の制御

周辺入出力機能を選択したポートの制御は、すべて周辺回路が行います。詳細は、各周辺回路の章を参照してください。

### GPIOポート出力データの設定

Pxy端子から出力するデータ(1 = HIGH出力、0 = LOW出力)をPxDAT.PxOUTyビットに書き込みます。

### GPIOポート入力データの読み出し

Pxy端子から入力したデータ(1 = HIGH入力、0 = LOW入力)はPxDAT.PxiNyビットから読み出します。

### チャタリング除去機能

一部のポートにはチャタリング除去機能があり、ポートごとに制御できるようになっています。この機能はPxCHATEN.PxCHATENyビットを1に設定することにより有効になります。チャタリングを除去するための入力検定時間は、全ポート共通にPCLKレジスタで設定されるCLK\_PPOROT周波数によって決まります。入力検定時間未満のパルスは除去されます。

$$\text{入力検定時間} = \frac{2 \sim 3}{\text{CLK\_PPOROT周波数 [Hz]}} \text{ [秒]} \quad (\text{式6.2})$$

PCLKレジスタおよびPxCHATEN.PxCHATENyビットの設定変更は、必ずPxyポート割り込みをディスエーブルにして行ってください。割り込みイネーブルの状態を設定を変更すると、Pxyポート割り込みが誤って発生する場合があります。また、チャタリング除去機能を有効にしてから、CLK\_PPOROTの4周期分以上の時間が経過したのちに、割り込みをイネーブルに設定してください。

クロックジェネレータにてSLEEP時もPPORTにCLK\_PPOROTが供給されるように設定されている場合、SLEEP状態であってもポートのチャタリング除去機能は有効となっています。CLK\_PPOROTが停止するように設定されている場合、PPORTはSLEEP状態になるとチャタリング除去機能を無効にして、端子の状態変化が直接内部に取り込まれるようになります。

## キー入力リセット機能

指定した組み合わせのポートすべてに対して、同時にLOWパルスを入力することで、リセット要求を発生させる機能です。この機能を使用する場合は、以下の設定を行います。

1. キー入力リセットの入力端子として使用するポートを汎用入力ポートに設定する(“汎用入力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)”参照)。
2. PCLK.KRSTCFG[1:0]ビットで、キー入力リセット入力端子の組み合わせを設定する。

注: キー入力リセット機能を有効にする場合は、必ず使用するポート端子を汎用入力端子として設定した後に、PCLK.KRSTCFG[1:0]ビットを設定してください。

チャタリング除去機能を無効にしている場合(イニシャル状態)、PCLK.KRSTCFG[1:0]ビットで指定した入力端子がすべてLOWになった時点で、直ちにリセット要求が発生します。一定時間のLOW入力があった場合にリセット要求を発生させたい場合には、キー入力リセットに使用する全ポートのチャタリング除去機能を有効にしてください。

なお、キー入力リセット用に設定された端子も、汎用の入力端子として使用可能です。

## 6.5 割り込み

割り込み機能を持つポートでGPIO機能を選択した場合、ポート入力割り込み機能を使用できます。

表6.5.1 ポート入力割り込み機能

割り込み	割り込みフラグ	セット	クリア
ポート入力割り込み	PxINTF.PxIFy	入力信号の立ち上がりまたは立ち下がりエッジ	1書き込み
	PINTFGRP.PxINT	ポートグループ内の割り込みフラグのセット	PxINTF.PxIFyのクリア

### 割り込みエッジの選択

ポート入力割り込みは、PxINTCTL.PxEDGEyビットを1に設定すると入力信号の立ち下がりエッジで、0に設定すると立ち上がりエッジで発生します。

### 割り込みイネーブル

割り込みフラグには、それぞれに対応する割り込みイネーブルビット(PxINTCTL.PxIEyビット)があります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

### ポートグループ単位の割り込み確認

複数のポートグループで割り込みをイネーブルにした場合、PINTFGRP.PxINTビットを割り込みハンドラ内で先にチェックすると効率よく割り込みを発生したポートを調べることができます。このビットが1になっている場合、割り込みはそのポートグループ内で発生していることになります。次に、そのポートグループ内で1になっているPxINTF.PxIFyビットを調べ、割り込みを発生したポートを特定します。PxINTF.PxIFyビットをクリアすることで、PINTFGRP.PxINTビットもクリアされます。PxINTCTL.PxIEyビットによって割り込みディスエーブルに設定されている場合、PxINTF.PxIFyビットが1になってもPINTFGRP.PxINTビットはセットされません。



## 6.6 制御レジスタ

本節では、全ポートグループの制御レジスタを一括して説明します。個々のポートグループのレジスタ/ビットの構成と初期値については、“本ICの制御レジスタ/ポート機能の構成”を参照してください。

### Px Port Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxDAT	15-8	PxOUT[7:0]	0x00	H0	R/W	-
	7-0	PxIN[7:0]	0x00	H0	R	

- \*1: 本レジスタはGPIO機能選択時に有効です。
- \*2: ビット構成はポートグループによって異なります。
- \*3: 初期値はポートによって変わることがあります。

#### Bits 15-8 PxOUT[7:0]

GPIOポート端子から出力するデータをこれらのビットに設定します。

1 (R/W): ポート端子からHIGHレベルを出力

0 (R/W): ポート端子からLOWレベルを出力

出力をイネーブル(PxIOEN.PxOENyビット = 1)にすると、ここに設定したデータがポート端子から出力されます。出力ディスエーブル(PxIOEN.PxOENyビット = 0)時もポートデータの書き込みは行えますが、端子の状態には影響を与えません。

これらのビットはポートを周辺入出力機能用を使用する場合の出力には影響を与えません。

#### Bits 7-0 PxIN[7:0]

これらのビットからGPIOポート端子の状態が読み出せます。

1 (R): ポート端子 = HIGHレベル

0 (R): ポート端子 = LOWレベル

入力をイネーブル(PxIOEN.PxIENyビット = 1)にすることで、ポート端子の状態を読み出すことができます。入力ディスエーブル(PxIOEN.PxIENyビット = 0)時は読み出し値が常に0となります。

ポートを周辺入出力機能用を使用する場合の入力値は、これらのビットから読み出すことはできません。

### Px Port Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxIOEN	15-8	PxIEN[7:0]	0x00	H0	R/W	-
	7-0	PxOEN[7:0]	0x00	H0	R/W	

- \*1: 本レジスタはGPIO機能選択時に有効です。
- \*2: ビット構成はポートグループによって異なります。

#### Bits 15-8 PxIEN[7:0]

これらのビットはGPIOポート入力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子状態を入力)

0 (R/W): ディスエーブル(入力データを0に固定)

データ出力とデータ入力を共にイネーブルにした場合は、本ICが出力している端子の状態を読み出すことができます。これらのビットはポートを周辺入出力機能用を使用する場合の入力制御には影響を与えません。

#### Bits 7-0 PxOEN[7:0]

これらのビットはGPIOポート出力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子からデータを出力)

0 (R/W): ディスエーブル(ポートをHi-Z)

これらのビットはポートを周辺入出力機能用を使用する場合の出力制御には影響を与えません。

## Px Port Pull-up/down Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxRCTL	15-8	PxDPU[7:0]	0x00	H0	R/W	-
	7-0	PxREN[7:0]	0x00	H0	R/W	

\*1: 本レジスタはGPIO機能選択時に有効です。

\*2: ビット構成はポートグループによって異なります。

## Bits 15-8 PxDPU[7:0]

これらのビットはポートに内蔵されたプルアップ抵抗とプルダウン抵抗のどちらを使用するか選択します。

1 (R/W): プルアップ抵抗

0 (R/W): プルダウン抵抗

選択したプルアップ/ダウン抵抗は、PxRCTL.PxREnyビット = 1の場合に有効になります。

## Bits 7-0 PxREN[7:0]

これらのビットはポートのプルアップ/ダウン制御をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(内蔵プルアップ/ダウン抵抗を使用)

0 (R/W): ディスエーブル(プルアップ/ダウン制御なし)

イネーブルにすると、出力ディスエーブル(PxIOEN.PxOENyビット = 0)時にポート端子がプルアップまたはプルダウンされます。出力イネーブル(PxIOEN.PxOENyビット = 1)時は、PxIOEN.PxIENyビットの設定にかかわらずPxRCTL.PxREnyビットの設定が無効となり、プルアップ/ダウンされません。これらのビットはポートを周辺入出力機能用に使用する場合のプルアップ/ダウン制御には影響を与えません。

## Px Port Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxINTF	15-8	-	0x00	-	R	-
	7-0	PxIF[7:0]	0x00	H0	R/W	

\*1: 本レジスタはGPIO機能選択時に有効です。

\*2: ビット構成はポートグループによって異なります。

## Bits 15-8 Reserved

## Bits 7-0 PxIF[7:0]

これらのビットは、ポート入力割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

## Px Port Interrupt Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxINTCTL	15-8	PxEDGE[7:0]	0x00	H0	R/W	-
	7-0	PxIE[7:0]	0x00	H0	R/W	

\*1: 本レジスタはGPIO機能選択時に有効です。

\*2: ビット構成はポートグループによって異なります。

## Bits 15-8 PxEDGE[7:0]

これらのビットでポート入力割り込みを発生させる入力信号のエッジを選択します。

1 (R/W): 立ち下がりエッジで割り込み発生

0 (R/W): 立ち上がりエッジで割り込み発生

## Bits 7-0 PxIE[7:0]

これらのビットは、ポート入力割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

## Px Port Chattering Filter Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxCHATEN	15-8	–	0x00	–	R	–
	7-0	PxCHATEN[7:0]	0x00	H0	R/W	

\*1: ビット構成はポートグループによって異なります。

## Bits 15-8 Reserved

## Bits 7-0 PxCHATEN[7:0]

これらのビットは、チャタリング除去機能をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(チャタリング除去回路を使用)

0 (R/W): ディスエーブル(チャタリング除去回路をバイパス)

## Px Port Mode Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxMODSEL	15-8	–	0x00	–	R	–
	7-0	PxSEL[7:0]	0x00	H0	R/W	

\*1: ビット構成はポートグループによって異なります。

\*2: 初期値はポートによって変わることがあります。

## Bits 15-8 Reserved

## Bits 7-0 PxSEL[7:0]

これらのビットは、各ポートでGPIO機能を使用するか、周辺入出力機能を使用するか選択します。

1 (R/W): 周辺入出力機能を使用

0 (R/W): GPIO機能を使用

## Px Port Function Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxFNCSEL	15-14	Px7MUX[1:0]	0x0	H0	R/W	–
	13-12	Px6MUX[1:0]	0x0	H0	R/W	
	11-10	Px5MUX[1:0]	0x0	H0	R/W	
	9-8	Px4MUX[1:0]	0x0	H0	R/W	
	7-6	Px3MUX[1:0]	0x0	H0	R/W	
	5-4	Px2MUX[1:0]	0x0	H0	R/W	
	3-2	Px1MUX[1:0]	0x0	H0	R/W	
	1-0	Px0MUX[1:0]	0x0	H0	R/W	

\*1: ビット構成はポートグループによって異なります。

\*2: 初期値はポートによって変わることがあります。

## Bits 15-14 Px7MUX[1:0]

⋮

## Bits 1-0 Px0MUX[1:0]

これらのビットは、各ポート端子に割り付ける周辺入出力機能を選択します。

表6.6.1 周辺入出力機能の選択

PxFNCSEL.PxyMUX[1:0]ビット	周辺入出力機能
0x3	機能3
0x2	機能2
0x1	機能1
0x0	機能0

この選択は、PxMODSEL.PxSELYビット = 1の場合に有効です。

## P Port Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PCLK	15-9	—	0x00	—	R	—
	8	DBRUN	0	H0	R/WP	
	7-4	CLKDIV[3:0]	0x0	H0	R/WP	
	3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

### Bits 15-9 Reserved

#### Bit 8 DBRUN

このビットは、DEBUGモード時にPPORT動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

#### Bits 7-4 CLKDIV[3:0]

これらのビットは、PPORT動作クロック(チャタリング除去機能用クロック)の分周比を選択します。

#### Bits 3-2 KRSTCFG[1:0]

これらのビットは、キー入力リセット機能を設定します。

表6.6.2 キー入力リセット機能の設定

PCLK.KRSTCFG[1:0]ビット	キー入力リセット
0x3	P0[3:0]入力 = オールLOWでリセット
0x2	P0[2:0]入力 = オールLOWでリセット
0x1	P0[1:0]入力 = オールLOWでリセット
0x0	ディスエーブル

#### Bits 1-0 CLKSRC[1:0]

これらのビットは、PPORT(チャタリング除去機能)のクロックソースを選択します。

PPORT動作クロックは表6.6.3に示すとおり、PCLK.CLKSRC[1:0]ビットによるクロックソースの選択、およびPCLK.CLKDIV[3:0]ビットによるクロック分周比の選択によって設定されます。この設定によりチャタリング除去回路の入力検定時間が決定します。

表6.6.3 クロックソースと分周比の設定

PCLK.CLKDIV[3:0]ビット	PCLK.CLKSRC[1:0]ビット			EXOSC
	0x0 IOSC	0x1 OSC1	0x2 OSC3	
0xf		1/32,768		1/1
0xe		1/16,384		
0xd		1/8,192		
0xc		1/4,096		
0xb		1/2,048		
0xa		1/1,024		
0x9		1/512		
0x8		1/256		
0x7		1/128		
0x6		1/64		
0x5		1/32		
0x4		1/16		
0x3		1/8		
0x2		1/4		
0x1		1/2		
0x0		1/1		

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

## P Port Interrupt Flag Group Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PINTFGRP	15-13	-	0x0	-	R	-
	12	PcINT	0	H0	R	
	11	PbINT	0	H0	R	
	10	PaINT	0	H0	R	
	9	P9INT	0	H0	R	
	8	P8INT	0	H0	R	
	7	P7INT	0	H0	R	
	6	P6INT	0	H0	R	
	5	P5INT	0	H0	R	
	4	P4INT	0	H0	R	
	3	P3INT	0	H0	R	
	2	P2INT	0	H0	R	
	1	P1INT	0	H0	R	
0	P0INT	0	H0	R		

\*1: 割り込みに対応しているポートグループのビットのみ有効です。

### Bits 15-13 Reserved

### Bits 12-0 PxINT

これらのビットは、Pxポートグループ内に割り込みを発生したポートがあることを示します。

1 (R): 割り込み発生ポートあり

0 (R): 割り込み発生ポートなし

割り込みを発生したポートの割り込みフラグをクリアすると、PINTFGRP.PxINTビットもクリアされます。

## 6.7 本ICの制御レジスタ/ポート機能の構成

ここでは、本ICに搭載しているPPORTの制御レジスタ/ビットの構成と、各ポート端子で選択可能な周辺入出力機能の一覧を示します。

### 6.7.1 P0ポートグループ

P0ポートグループはGPIO機能と割り込み機能を持っています。

表6.7.1.1 P0ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P0DAT (P0 Port Data Register)	15-8	P0OUT[7:0]	0x00	H0	R/W	-
	7-0	P0IN[7:0]	0x00	H0	R	
P0IOEN (P0 Port Enable Register)	15-8	P0IEN[7:0]	0x00	H0	R/W	-
	7-0	P0OEN[7:0]	0x00	H0	R/W	
P0RCTL (P0 Port Pull-up/down Control Register)	15-8	P0PDPUP[7:0]	0x00	H0	R/W	-
	7-0	P0REN[7:0]	0x00	H0	R/W	
P0INTF (P0 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
	7-0	P0IF[7:0]	0x00	H0	R/W	
P0INTCTL (P0 Port Interrupt Control Register)	15-8	P0EDGE[7:0]	0x00	H0	R/W	-
	7-0	P0IE[7:0]	0x00	H0	R/W	
P0CHATEN (P0 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7-0	P0CHATEN[7:0]	0x00	H0	R/W	
P0MODESEL (P0 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	P0SEL[7:0]	0x00	H0	R/W	
P0FNCSSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	-
	13-12	P06MUX[1:0]	0x0	H0	R/W	
	11-10	P05MUX[1:0]	0x0	H0	R/W	
	9-8	P04MUX[1:0]	0x0	H0	R/W	
	7-6	P03MUX[1:0]	0x0	H0	R/W	
	5-4	P02MUX[1:0]	0x0	H0	R/W	
	3-2	P01MUX[1:0]	0x0	H0	R/W	
	1-0	P00MUX[1:0]	0x0	H0	R/W	

表6.7.1.2 P0ポートグループ機能割り付け

ポート名	POSELY = 0		POSELY = 1						
	GPIO	P0yMUX = 0x0 (機能0)		P0yMUX = 0x1 (機能1)		P0yMUX = 0x2 (機能2)		P0yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P00	P00	EPDC	EPDCLK	UPMUX	*1	ADC12A	VREFA0	-	-
P01	P01	EPDC	EPDTRG	UPMUX	*1	ADC12A	ADIN06	-	-
P02	P02	SNDA	BZOUT	UPMUX	*1	ADC12A	ADIN05	-	-
P03	P03	SNDA	#BZOUT	UPMUX	*1	ADC12A	ADIN04	-	-
P04	P04	CLG	FOUT0	UPMUX	*1	ADC12A	ADIN03	-	-
P05	P05	SMCIF Ch.0	SMCCLK0	UPMUX	*1	ADC12A	ADIN02	-	-
P06	P06	SMCIF Ch.0	SMCIO0	UPMUX	*1	ADC12A	ADIN01	-	-
P07	P07	-	-	UPMUX	*1	ADC12A	ADIN00	-	-

\*1: “ユニバーサルポートマルチプレクサ”の章参照

## 6.7.2 P1ポートグループ

P1ポートグループはP10～P15の6ポートで構成され、GPIO機能と割り込み機能を持っています。

表6.7.2.1 P1ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P1DAT (P1 Port Data Register)	15-14	-	0x0	-	R	-
	13-8	P1OUT[5:0]	0x00	H0	R/W	
	7-6	-	0x0	-	R	
	5-0	P1IN[5:0]	0x00	H0	R	
P1IOEN (P1 Port Enable Register)	15-14	-	0x0	-	R	-
	13-8	P1IEN[5:0]	0x00	H0	R/W	
	7-6	-	0x0	-	R	
	5-0	P1OEN[5:0]	0x00	H0	R/W	
P1RCTL (P1 Port Pull-up/down Control Register)	15-14	-	0x0	-	R	-
	13-8	P1PDU[5:0]	0x00	H0	R/W	
	7-6	-	0x0	-	R	
	5-0	P1REN[5:0]	0x00	H0	R/W	
P1INTF (P1 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
	7-6	-	0x0	-	R	
	5-0	P1IF[5:0]	0x00	H0	R/W	
P1INTCTL (P1 Port Interrupt Control Register)	15-14	-	0x0	-	R	-
	13-8	P1EDGE[5:0]	0x00	H0	R/W	
	7-6	-	0x0	-	R	
	5-0	P1IE[5:0]	0x00	H0	R/W	
P1CHATEN (P1 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7-6	-	0x0	-	R	
	5-0	P1CHATEN[5:0]	0x00	H0	R/W	
P1MODSEL (P1 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-6	-	0x0	-	R	
	5-0	P1SEL[5:0]	0x00	H0	R/W	
P1FNCSSEL (P1 Port Function Select Register)	15-12	-	0x0	-	R	-
	11-10	P15MUX[1:0]	0x0	H0	R/W	
	9-8	P14MUX[1:0]	0x0	H0	R/W	
	7-6	P13MUX[1:0]	0x0	H0	R/W	
	5-4	P12MUX[1:0]	0x0	H0	R/W	
	3-2	P11MUX[1:0]	0x0	H0	R/W	
	1-0	P10MUX[1:0]	0x0	H0	R/W	

表6.7.2.2 P1ポートグループ機能割り付け

ポート名	P1SELY = 0		P1SELY = 1							
	GPIO	P1yMUX = 0x0 (機能0)		P1yMUX = 0x1 (機能1)		P1yMUX = 0x2 (機能2)		P1yMUX = 0x3 (機能3)		
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子	
P10	P10	T16B Ch.0	EXCL00	UPMUX	*1	-	-	-	-	
P11	P11	T16B Ch.0	EXCL01	UPMUX	*1	-	-	-	-	
P12	P12	T16B Ch.1	EXCL10	UPMUX	*1	-	-	-	-	
P13	P13	T16B Ch.1	EXCL11	UPMUX	*1	-	-	-	-	
P14	P14	CLG	EXOSC	UPMUX	*1	-	-	-	-	
P15	P15	ADC12A	#ADTRG0	UPMUX	*1	SVD3	EXSVD0	-	-	

\*1: “ユニバーサルポートマルチプレクサ”の章参照

## 6 入出力ポート(PPORT)

### 6.7.3 Pdポートグループ

PdポートグループはPd0～Pd2の3ポートで構成され、初期設定でデバッグ機能用ポートに設定されます。これらの3ポートはGPIO機能を持っています。

表6.7.3.1 Pdポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PDDAT (Pd Port Data Register)	15-11	-	0x00	-	R	
	10-8	PDOOUT[2:0]	0x0	H0	R/W	
	7-3	-	0x00	-	R	
	2-0	PDIN[2:0]	x	H0	R	
PDIOEN (Pd Port Enable Register)	15-11	-	0x00	-	R	
	10-8	PDIEN[2:0]	0x0	H0	R/W	
	7-3	-	0x00	-	R	
	2-0	PDOEN[2:0]	0x0	H0	R/W	
PDRCTL (Pd Port Pull-up/down Control Register)	15-11	-	0x00	-	R	
	10-8	PDPDPU[2:0]	0x0	H0	R/W	
	7-3	-	0x00	-	R	
	2-0	PDREN[2:0]	0x0	H0	R/W	
PDINTF PDINTCTL PDCHATEN	15-0	-	0x0000	-	R	
PDMODSEL (Pd Port Mode Select Register)	15-8	-	0x00	-	R	
	7-3	-	0x00	-	R	
	2-0	PDSEL[2:0]	0x7	H0	R/W	
PDFNCSEL (Pd Port Function Select Register)	15-8	-	0x00	-	R	
	7-6	-	0x0	-	R	
	5-4	PD2MUX[1:0]	0x0	H0	R/W	
	3-2	PD1MUX[1:0]	0x0	H0	R/W	
	1-0	PD0MUX[1:0]	0x0	H0	R/W	

表6.7.3.2 Pdポートグループ機能割り付け

ポート名	PdSELY = 0		PdSELY = 1						
	GPIO	PdyMUX = 0x0 (機能0)		PdyMUX = 0x1 (機能1)		PdyMUX = 0x2 (機能2)		PdyMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
Pd0	Pd0	DBG	DST2	-	-	-	-	-	-
Pd1	Pd1	DBG	DSIO	-	-	-	-	-	-
Pd2	Pd2	DBG	DCLK	-	-	-	-	-	-

### 6.7.4 ポートグループ共通

表6.7.4.1 ポートグループ共通の制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PCLK (P Port Clock Control Register)	15-9	-	0x00	-	R	
	8	DBRUN	0	H0	R/WP	
	7-4	CLKDIV[3:0]	0x0	H0	R/WP	
	3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	
PINTFGRP (P Port Interrupt Flag Group Register)	15-8	-	0x00	-	R	
	7-3	-	0x00	-	R	
	2	P2INT	0	H0	R	
	1	P1INT	0	H0	R	
	0	P0INT	0	H0	R	



# 7 ユニバーサルポートマルチプレクサ (UPMUX)

## 7.1 概要

UPMUXは、入出力ポートに周辺回路の入出力機能を自由に割り当てることができるマルチプレクサです。主な機能と特長を以下に示します。

- 同期式シリアルインターフェース、PC、UART、16ビットPWMタイマの周辺入出力機能をプログラマブルにP0、P1ポートグループに割り当て可能
- UPMUXにて割り当てた周辺入出力機能は、PxFNCSSEL.PxyMUX[1:0]ビット = 0x1の設定により使用可能

注: ポート名Pxy、レジスタ名、ビット名のxはポートグループ(x = 0, 1)を、yはポート番号(y = 0, 1, 2, ..., 7)を表します。

図7.1.1にUPMUXの構成を示します。

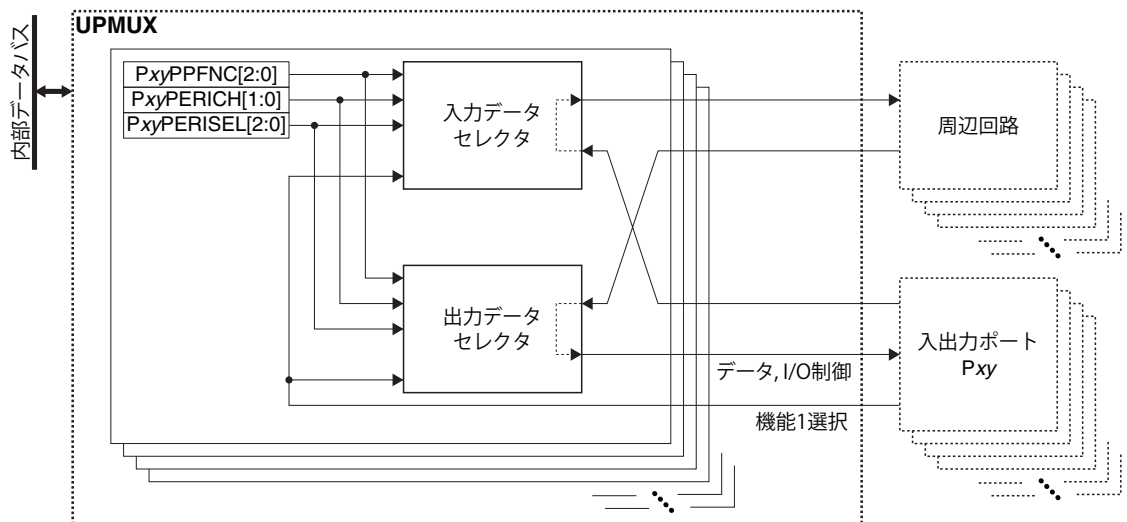


図7.1.1 UPMUXの構成

## 7.2 周辺入出力機能の割り当て

上記の対応入出力ポートの周辺入出力機能1に、対応周辺回路の入出力機能を割り当てることができます。周辺入出力機能の割り当てと、入出力ポートでその機能を有効にする手順を以下に示します。

- 入出力ポートのPxIOENレジスタを設定する。
  - PxIOEN.PxIENyビットを0に設定 (入力ディスエーブル)
  - PxIOEN.PxOENyビットを0に設定 (出力ディスエーブル)
- 入出力ポートのPxMODESEL.PxSELyビットを0に設定する。 (周辺入出力機能ディスエーブル)
- PxUPMUXnレジスタ(n = 0~3)の以下のビットを設定する。
  - PxUPMUXn.PxyPERISEL[2:0]ビット (周辺回路の選択)
  - PxUPMUXn.PxyPERICH[1:0]ビット (周辺回路チャンネルの選択)
  - PxUPMUXn.PxyPPFNC[2:0]ビット (割り当て機能の選択)
- 周辺回路を初期化する。
- 入出力ポートのPxFNCSSEL.PxyMUX[1:0]ビットを0x1に設定する。 (周辺入出力機能1を選択)
- 入出力ポートのPxMODESEL.PxSELyビットを1に設定する。 (周辺入出力機能イネーブル)

## 7.3 制御レジスタ

### Pxy-xz Universal Port Multiplexer Setting Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxUPMUX $n$	15-13	PxzPPFNC[2:0]	0x0	H0	R/W	-
	12-11	PxzPERICH[1:0]	0x0	H0	R/W	
	10-8	PxzPERISEL[2:0]	0x0	H0	R/W	
	7-5	PxyPPFNC[2:0]	0x0	H0	R/W	
	4-3	PxyPERICH[1:0]	0x0	H0	R/W	
	2-0	PxyPERISEL[2:0]	0x0	H0	R/W	

\*1: レジスタ名の $x$ はポートグループ番号、 $n$ はレジスタ番号(0~3)を表します。

\*2: ビット名の $x$ はポートグループ番号、 $y$ は偶数ポート番号(0, 2, 4, 6)、 $z$ は奇数ポート番号( $z = y + 1$ )を表します。

#### Bits 15-13 PxzPPFNC[2:0]

#### Bits 7-5 PxyPPFNC[2:0]

これらのビットは、ポートに割り当てる周辺入出力機能を指定します。(表7.3.1参照)

#### Bits 12-11 PxzPERICH[1:0]

#### Bits 4-3 PxyPERICH[1:0]

これらのビットは、周辺回路のチャンネル番号を指定します。(表7.3.1参照)

#### Bits 10-8 PxzPERISEL[2:0]

#### Bits 2-0 PxyPERISEL[2:0]

これらのビットは、周辺回路を指定します。(表7.3.1参照)

表7.3.1 周辺入出力機能の選択

PxUPMUX $n$ . PxyPPFNC[2:0] ビット (周辺入出力機能)	PxUPMUX $n$ .PxyPERISEL[2:0]ビット (周辺回路)								
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7	
	None *	I2C	SPIA	UART3	T16B	Reserved	Reserved	Reserved	
	PxUPMUX $n$ .PxyPERICH[1:0]ビット (周辺回路チャンネル)								
	-	0x0	0x0, 0x1	0x0	0x0, 0x1	-	-	-	
	-	Ch.0	Ch.0, 1	Ch.0	Ch.0, 1	-	-	-	
0x0	None *	None *	None *	None *	None *	None *	None *	None *	
0x1	Reserved	SCL $n$	SDI $n$	USIN $n$	TOUT $n$ 0/ CAP $n$ 0	Reserved	Reserved	Reserved	
0x2		SDA $n$	SDO $n$	USOUT $n$	TOUT $n$ 1/ CAP $n$ 1				
0x3		Reserved	Reserved	SPICLK $n$	Reserved				Reserved
0x4				#SPISS $n$					
0x5				Reserved					
0x6									
0x7		Reserved							

\* “None”は割り当てなしを意味します。この値を指定した場合、入出力ポートで周辺入出力機能1を選択して周辺入出力機能をイネーブルにすると、Pxy端子はHi-Zとなります。

注: 一つの周辺入力機能を複数のポートに割り当てないでください。出力機能を複数のポートに割り当てた場合は同じ波形が出力されますが、内部遅延のためにスキューを生じます。

# 8 ウォッチドッグタイマ(WDT2)

## 8.1 概要

WDT2は、プログラムが正常に実行できないような問題が発生したときにシステムを再起動させるための回路です。WDT2の主な機能と特長を以下に示します。

- NMI/リセット発生周期をカウントする10ビットアップカウンタを搭載
- カウンタのクロックソースとクロック分周比を選択可能
- ソフトウェアで設定可能な任意の周期でリセットまたはNMIを発生
- NMI発生後、次のNMI発生周期でリセットを発生可能

図8.1.1にWDT2の構成を示します。

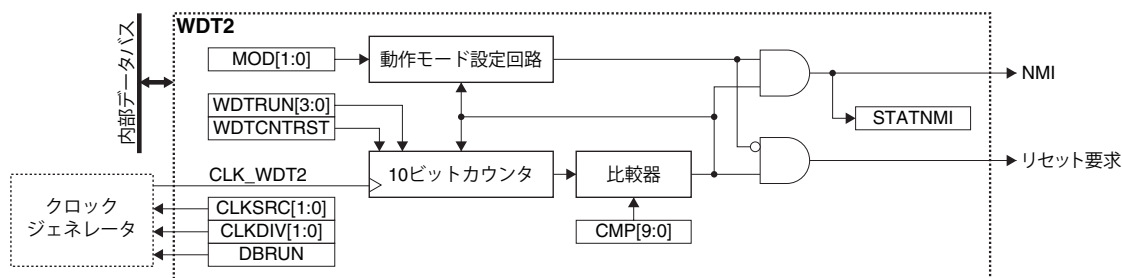


図8.1.1 WDT2の構成

## 8.2 クロック設定

### 8.2.1 WDT2の動作クロック

WDT2を使用する場合、クロックジェネレータからWDT2動作クロックCLK\_WDT2をWDT2に供給する必要があります。

CLK\_WDT2の供給は以下の手順で制御してください。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
3. WDTCLKレジスタの以下のビットを設定する。  
WDTCLK.CLKSRC[1:0]ビット (クロックソースの選択)  
WDTCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

### 8.2.2 DEBUGモード時のクロック供給

DEBUGモード時のCLK\_WDT2の供給はWDTCLK.DBRUNビットで制御します。

WDTCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとWDT2へのCLK\_WDT2の供給が停止します。その後通常モードに戻ると、CLK\_WDT2の供給が再開します。CLK\_WDT2の供給が停止するとWDT2の動作は停止しますが、レジスタはDEBUGモードへ移行前の状態に保持されます。

WDTCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_WDT2の供給は停止せず、WDT2は動作を継続します。

## 8.3 動作

### 8.3.1 WDT2の制御

#### WDT2のRUN

WDT2は、以下の手順により初期設定を行い、起動します。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDT2動作クロックを設定する。
3. WDTCTL.MOD[1:0]ビットを設定する。 (WDT2動作モードを選択)
4. WDTCMP.CMP[9:0]ビットを設定する。 (NMI/リセット発生周期を設定)
5. WDTCTL.WDTCNTRSTビットに1を書き込む。 (WDT2カウンタをリセット)
6. WDTCTL.WDTRUN[3:0]ビットに0xa以外の任意の値を書き込む。 (WDT2を起動)
7. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

#### NMI/リセット発生周期

WDT2のNMI/リセット発生周期は次の式で計算できます。

$$t_{WDT} = \frac{CMP + 1}{CLK\_WDT2} \quad (\text{式8.1})$$

ここで

t<sub>WDT</sub>: NMI/リセット発生周期 [秒]  
 CLK\_WDT2: WDT2動作クロック周波数 [Hz]  
 CMP: WDTCMP.CMP[9:0]ビット設定値

例) CLK\_WDT2 = 256 Hz、WDTCMP.CMP[9:0]ビット = 639のとき、t<sub>WDT</sub> = 2.5秒

#### WDT2カウンタのリセット

WDT2動作中は、NMI/リセットの発生を防ぐため、内蔵されているカウンタをソフトウェアによって定期的によりリセットする必要があります。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDTCTL.WDTCNTRSTビットに1を書き込む。 (WDT2カウンタをリセット)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

このルーチンを定期的に処理される場所に用意しておきます。このルーチンはt<sub>WDT</sub>の周期以内に処理されるようにしてください。リセット後、WDT2は新たなNMI/リセット発生周期のカウンタを始めます。

#### カウンタコンペアマッチの発生

何らかの原因によってカウンタがt<sub>WDT</sub>周期以内にリセットされず、カウンタ値がWDTCMP.CMP[9:0]ビットの設定値に一致するとコンペアマッチが発生し、WDT2はWDTCTL.MOD[1:0]ビットを設定に応じてNMIまたはリセットを発行します。

NMIが発生した場合は、WDTCTL.STATNMIビットが1に設定されます。このビットはWDTCTL.WDTCNTRSTビットに1を書き込むことで0にクリアすることができます。NMIの割り込み処理ルーチン内では、必ずWDTCTL.STATNMIビットのクリア処理を実施してください。

コンペアマッチが発生するとカウンタは自動的に0に戻り、カウントを継続します。

#### WDT2のSTOP

WDT2は、以下の手順により動作を停止します。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDTCTL.WDTRUN[3:0]ビットに0xaを書き込む。 (WDT2を停止)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

## 8.3.2 HALT, SLEEPモード時の動作

### HALTモード時

HALTモード時であっても、WDT2は動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除され、CPUは割り込み処理を実行します。HALTモード時にWDT2を無効にするには、halt命令実行前にWDTCTL.WDTRUN[3:0]ビットに0xaを書き込んでWDT2を停止させてください。HALTモードを解除した後は、動作を再開させる前にWDT2をリセットしてください。

### SLEEPモード時

SLEEPモード時も選択されたクロックソースがONしている場合はWDT2が動作し、NMI/リセット発生周期以上SLEEPモードを続けるとNMIまたはリセットによりSLEEPモードが解除され、CPUは割り込み処理を実行します。したがって、slp命令の実行前にWDTCTL.WDTRUN[3:0]ビットによってWDT2を停止させてください。

クロックソースがOFFの場合、WDT2は停止しますが、SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にWDT2をリセットしてください。また、必要に応じてWDTCTL.WDTRUN[3:0]ビットによってWDT2を停止させてください。

## 8.4 制御レジスタ

### WDT2 Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDTCLK	15-9	-	0x00	-	R	
	8	DBRUN	0	H0	R/WP	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

#### Bits 15-9 Reserved

#### Bit 8 DBRUN

このビットは、DEBUGモード時にWDT2動作クロックを供給するか否か設定します。  
 1 (R/WP): DEBUGモード時にクロックを供給  
 0 (R/WP): DEBUGモード時はクロック供給を停止

#### Bits 7-6 Reserved

#### Bits 5-4 CLKDIV[1:0]

これらのビットは、WDT2動作クロック(カウンタクロック)の分周比を選択します。クロック周波数は256 Hz近辺に設定してください。

#### Bits 3-2 Reserved

#### Bits 1-0 CLKSRC[1:0]

これらのビットは、WDT2のクロックソースを選択します。

表8.4.1 クロックソースと分周比の設定

WDTCLK. CLKDIV[1:0]ビット	WDTCLK.CLKSRC[1:0]ビット			
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC
0x3	1/16,384	1/128	1/65,536	1/1
0x2	1/8,192		1/32,768	
0x1	1/4,096		1/16,384	
0x0	1/2,048		1/8,192	

(注) 本ICが対応していない発振回路/外部入力クロックソースとして選択することはできません。

## WDT2 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDTCTL	15–11	–	0x00	–	R	–
	10–9	MOD[1:0]	0x0	H0	R/WP	
	8	STATNMI	0	H0	R	
	7–5	–	0x0	–	R	
	4	WDTCNTRST	0	H0	WP	Always read as 0.
	3–0	WDTRUN[3:0]	0xa	H0	R/WP	–

### Bits 15–11 Reserved

### Bits 10–9 MOD[1:0]

これらのビットは、WDT2の動作モードを設定します。

表8.4.2 動作モードの設定

WDTCTL. MOD[1:0]ビット	動作モード	説明
0x3	Reserved	–
0x2	RESET after NMIモード	最初のカウンタコンペアマッチによりNMIが発生し、その後WDTCTL.STATNMIビットを0クリアせずに再度カウンタコンペアマッチが発生すると、リセットが生成されます。
0x1	NMIモード	カウンタコンペアマッチによりNMIを生成します。
0x0	RESETモード	カウンタコンペアマッチによりリセットを生成します。

### Bit 8 STATNMI

このビットは、カウンタコンペアマッチによりNMIが発生したことを示します。

1 (R): NMI (カウンタコンペアマッチ)発生

0 (R): NMI未発生

WDT2のNMI発生機能を使用する場合は、NMIハンドラルーチンの中でこのビットをチェックし、NMIの発生元がWDT2であるか確認します。

1にセットされたWDTCTL.STATNMIビットは、WDTCTL.WDTCNTRSTビットに1を書き込むことで0にクリアすることができます。

### Bits 7–5 Reserved

### Bit 4 WDTCNTRST

このビットは、10ビットカウンタおよびWDTCTL.STATNMIビットをリセットします。

1 (WP): リセット

0 (WP): 無効

0 (R): 読み出し時は常時0

### Bits 3–0 WDTRUN[3:0]

これらのビットは、WDT2のRUN/STOPを制御します。

0xa (WP): STOP

0xa以外 (WP): RUN

0xa (R): 停止中

0x0 (R): 動作中

0xa以外を書き込んだ場合の読み出し値は常に0x0になります。

カウンタの値によってはRUN直後にNMI/リセットが発生する場合がありますので、WDT2をRUNさせる際にはWDT2のリセットも同時に行ってください。

## WDT2 Counter Compare Match Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDTCMP	15–10	–	0x00	–	R	–
	9–0	CMP[9:0]	0x3ff	H0	R/WP	

### Bits 15–10 Reserved

**Bits 9–0 CMP[9:0]**

これらのビットは、NMI/リセット発生周期を設定します。

WDT2動作中は、10ビットカウンタの値がこのレジスタの設定値と比較され、一致するとNMIまたはリセットが生成されます。

# 9 電源電圧検出回路(SVD3)

## 9.1 概要

SVD3は、 $V_{DD}$ 端子に供給される電源電圧または外部端子に供給されている電源電圧を監視する電源電圧検出回路です。主な機能と特長を以下に示します。

- 検出する電源電圧:  $V_{DD}$ または外部電源(EXSVD0、EXSVD1)を選択可能(注: 下表参照)
- 検出電圧レベル: 最大32レベルから選択可能(注: 下表参照)
- 検出結果:
  - 電源電圧が検出電圧レベル未滿か否かを読み出し可能
  - 電源電圧低下検出により割り込みまたはリセットを発生可能
- 割り込み: 1系統(電源電圧低下検出割り込み)
- 間欠動作対応:
  - 検出周期を3種類から選択可能
  - 指定回数の連続電源電圧低下検出により割り込み/リセットを発生する電源電圧低下検出カウンタ機能
  - 連続動作も可能

図9.1.1にSVD3の構成を示します。

表9.1.1 S1C17F63のSVD3構成

項目	S1C17F63
検出電源電圧	$V_{DD}$ 、外部電源 1入力(EXSVD0)
検出電圧レベル	$V_{DD}$ : 28レベル(1.8~5.0 V)/外部電圧: 32レベル(1.2~5.0 V)

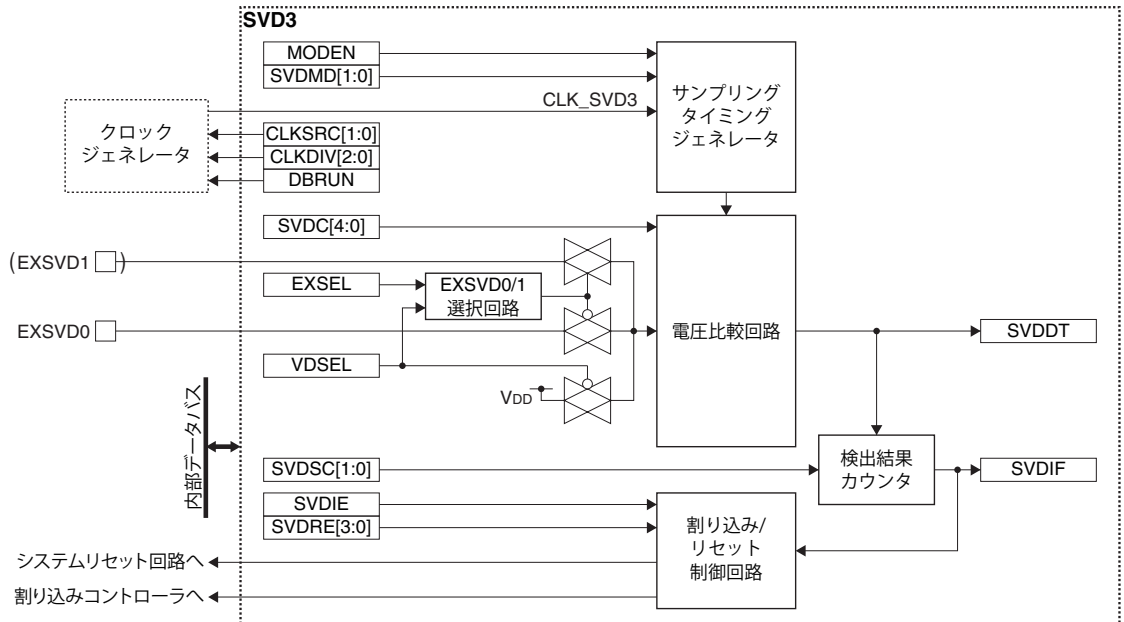


図9.1.1 SVD3の構成



## 9.2 入力端子と外部接続

### 9.2.1 入力端子

表9.2.1.1にSVD3の入力端子を示します。

表9.2.1.1 SVD3入力端子

端子名	I/O*	イニシャル状態*	機能
EXSVD0	A	A (Hi-Z)	外部電源電圧検出用端子0
EXSVD1	A	A (Hi-Z)	外部電源電圧検出用端子1

\* 端子機能をSVD3に切り換えた時点の状態

EXSVD0/1端子と他の機能がポートを共有している場合、SVD3を動作させる前にEXSVD0/1をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

### 9.2.2 外部との接続

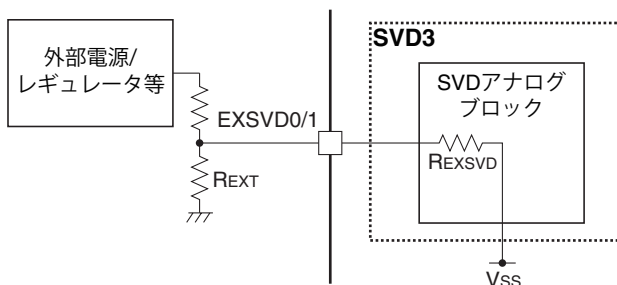


図9.2.2.1 EXSVD0/1端子と外部電源との接続

REXTは、EXSVD入力インピーダンスREXSVDよりも十分小さくなるように設定してください。EXSVD0/1端子の入力電圧範囲およびEXSVD入力インピーダンスについては、“電気的特性”の章の“電源電圧検出回路特性”を参照してください。

## 9.3 クロック設定

### 9.3.1 SVD3の動作クロック

SVD3を使用する場合、クロックジェネレータからSVD3動作クロックCLK\_SVD3をSVD3に供給する必要があります。

CLK\_SVD3の供給は以下の手順で制御してください。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
3. SVDCLKレジスタの以下のビットを設定する。
  - SVDCLK.CLKSRC[1:0]ビット (クロックソースの選択)
  - SVDCLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

CLK\_SVD3周波数は32 kHz近辺に設定してください。

### 9.3.2 SLEEPモード時のクロック供給

SLEEPモード時にSVD3を使用する場合は、SVD3動作クロックCLK\_SVD3のクロックソースに対応したCLGOSC.xxxSLPCビットに0を書き込み、CLK\_SVD3を供給し続ける必要があります。

SLEEPモード時に、CLK\_SVD3のクロックソースに対応したCLGOSC.xxxSLPCビットが1の場合は、CLK\_SVD3のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、SVD3が停止します。その後通常モードに戻ると、CLK\_SVD3が供給され、SVD3の動作が再開します。

### 9.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK\_SVD3の供給はSVDCLK.DBRUNビットで制御します。  
SVDCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSVD3へのCLK\_SVD3の供給が停止します。その後通常モードに戻ると、CLK\_SVD3の供給が再開します。CLK\_SVD3の供給が停止するとSVD3の動作は停止しますが、レジスタはDEBUGモードへ移行前の状態に保持されます。  
SVDCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_SVD3の供給は停止せず、SVD3は動作を継続します。

## 9.4 動作

### 9.4.1 SVD3の制御

#### 検出開始

以下の手順により初期設定を行い、SVD3の動作を開始させます。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. SVDCLK.CLKSRC[1:0]ビットとSVDCLK.CLKDIV[2:0]ビットで動作クロックを設定する。
3. SVDCTLレジスタの以下のビットを設定する。
  - SVDCTL.VDSELとSVDCTL.EXSELビット (検出電圧(V<sub>DD</sub>、EXSVD0、またはEXSVD1)の選択)
  - SVDCTL.SVDSC[1:0]ビット (電源電圧低下検出カウンタの設定)
  - SVDCTL.SVDC[4:0]ビット (SVD検出電圧V<sub>SVD</sub>/EXSVD検出電圧V<sub>SVD\_EXT</sub>の設定)
  - SVDCTL.SVDRE[3:0]ビット (リセット/割り込みの選択)
  - SVDCTL.SVDM[1:0]ビット (間欠動作モードの設定)
4. 割り込みを使用する場合は以下のビットを設定する。
  - SVDINTF.SVDIFビットに1を書き込み (割り込みフラグをクリア)
  - SVDINTE.SVDIEビットを1に設定 (SVD3割り込みイネーブル)
5. SVDCTL.MODENビットを1に設定する。 (SVD3検出イネーブル)
6. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

#### 検出停止

SVD3の動作は以下の手順で終了させます。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. SVDCTL.MODENビットに0を書き込む。 (SVD3検出ディスエーブル)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

#### 検出結果の読み出し

検出結果は次の2種類となり、SVDINTF.SVDDTビットから読み出すことができます。

- SVDINTF.SVDDTビット = 0の場合:  
電源電圧(V<sub>DD</sub>またはEXSVD0/1) ≥ SVD検出電圧V<sub>SVD</sub>またはEXSVD検出電圧V<sub>SVD\_EXT</sub>
- SVDINTF.SVDDTビット = 1の場合:  
電源電圧(V<sub>DD</sub>またはEXSVD0/1) < SVD検出電圧V<sub>SVD</sub>またはEXSVD検出電圧V<sub>SVD\_EXT</sub>

SVDCTL.MODENビットに1を書き込んでからSVDINTF.SVDDTビットを読み出すまでに、SVD回路イネーブル時応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路イネーブル時応答時間ts<sub>VDEN</sub>”参照)。また、SVDCTL.MODENビット = 1の状態、SVDCTL.SVDC[4:0]ビットの設定値を変更してSVD検出電圧V<sub>SVD</sub>/EXSVD検出電圧V<sub>SVD\_EXT</sub>を変化させたときは、その時点からSVDINTF.SVDDTビットを読み出すまでに、SVD回路応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路応答時間ts<sub>VSD</sub>”参照)。

## 9.4.2 SVD3の動作

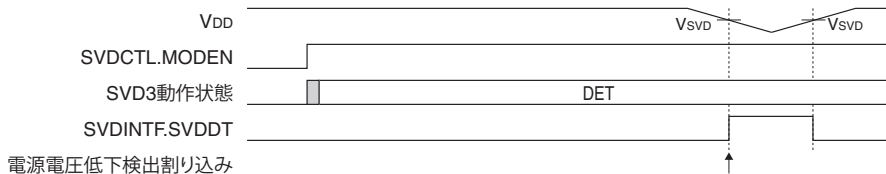
### 連続動作モード

デフォルト設定(SVDCTL.SVDMMD[1:0]ビット = 0x0)のSVD3は連続動作モードで動作します。このモードでは、SVDCTL.MODENビットが1の間、SVD3が連続的に動作し検出結果をSVDINTF.SVDDTビットにセットし続けます。この間、必要に応じてSVDINTF.SVDDTビットを読み出し、その時点の検出結果を確認することができます。また、SVDINTF.SVDDTビット = 1になった(電源電圧低下を検出した)時点で割り込み(SVDCTL.SVDRE[3:0]ビット = 0xa以外の場合)、またはリセット(SVDCTL.SVDRE[3:0]ビット = 0xaの場合)を発生させることもできます。このモードでは、電圧検出マスク時間経過後であれば、SLEEP実行や不慮のクロック停止が発生した場合でも、電源電圧低下を検出し続けることができます。

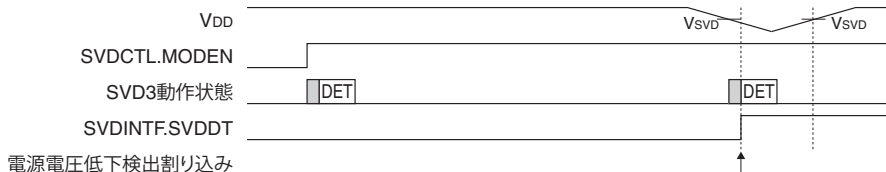
### 間欠動作モード

SVDCTL.SVDMMD[1:0]ビットを0x1~0x3に設定すると、SVD3は間欠動作モードで動作します。このモードでは、SVDCTL.MODENビットが1の間、SVDCTL.SVDMMD[1:0]ビットの値で決まる周期ごとにSVD3がONし、検出動作を実行した後にOFFします。この間、必要に応じてSVDINTF.SVDDTビットを読み出し、直前の検出結果を確認することができます。また、電源電圧低下をSVDCTL.SVDSC[1:0]ビットで指定した回数続けて検出した場合に割り込みまたはリセットを発生させることもできます。

(1) SVDCTL.SVDMMD[1:0]ビット = 0x0 (連続動作モード)時



(2) SVDCTL.SVDMMD[1:0]ビット ≠ 0x0 (間欠動作モード)時



Vsvd: SVDCTL.SVDC[4:0]ビットで設定したレベル  
 [ ]: 電圧検出マスク時間  
 [DET]: 電圧検出動作

図9.4.2.1 SVD3動作

## 9.5 SVD3割り込みとリセット

### 9.5.1 SVD3割り込み

SVDCTL.SVDRE[3:0]ビットを0xa以外に設定することにより、電源電圧低下検出割り込み機能が使用できます。

表9.5.1.1 電源電圧低下検出割り込み機能

割り込み	割り込みフラグ	セット	クリア
電源電圧低下検出	SVDINTF.SVDIF	連続動作モード時 SVDINTF.SVDDTビットが1のとき 間欠動作モード時 電源電圧低下を指定回数続けて検出した場合	1書き込み

割り込みフラグ(SVDINTF.SVDIFビット)には、対応する割り込みイネーブルビット(SVDINTE.SVDIEビット)があります。SVDINTE.SVDIEビットによって割り込みをイネーブルにした状態でSVDINTF.SVDIFビットがセットされた場合のみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

セットされたSVDINTF.SVDIFビットは、その後電源電圧がSVD検出電圧 $V_{SVD}$ /EXSVD検出電圧 $V_{SVD\_EXT}$ 以上に戻ってもクリアされません。一時的な電源電圧低下で割り込みが発生することもありますので、割り込みハンドラルーチン内でSVDINTF.SVDDTビットを読み出して電源電圧の状態を確認してください。

## 9.5.2 SVD3リセット

SVDCTL.SVDRE[3:0]ビットを0xaに設定することにより、SVD3のリセット発行機能を使用できます。リセット発行のタイミングは、電源電圧低下の検出によってSVDINTF.SVDIFビットがセットされるタイミングと同じです。

SVD3はリセットを発行すると、間欠動作モードで動作していた場合でも連続動作モードに切り換えて動作を続けます。SVD3のリセット発行によりポート割り当てが初期化されますが、EXSVD0/1検出時は、EXSVD0/1端子となるポートの入力がSVD3に送られ、EXSVD0/1の検出動作が継続して行われます。電源電圧が復帰し、SVDINTF.SVDDTビット=0の状態になるとリセットが解除されます。リセット解除後、初期化ルーチンを経て再びSVD3は元のモードで動作を再開します。

リセット中、SVD3の制御ビットは表9.5.2.1のように設定されます。

表9.5.2.1 リセット中のSVD3制御ビット

制御レジスタ	制御ビット	設定
SVDCLK	DBRUN	初期値にリセットされる。
	CLKDIV[2:0]	
	CLKSRC[1:0]	
SVDCTL	VDSEL	設定値を保持する。
	SVDESC[1:0]	0クリアされる(連続検出モードになるため、設定値無効)。
	SVDC[4:0]	設定値を保持する。
	SVDRE[3:0]	設定値(0xa)を保持する。
	EXSEL	設定値を保持する。
	SVDM[1:0]	0クリアされ、連続検出モードになる。
	MODEN	設定値(1)を保持する。
SVDINTF	SVDIF	リセット前の状態(1)を保持する。
SVDINTE	SVDIE	0クリアされる。

## 9.6 制御レジスタ

### SVD3 Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/WP	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

**Bits 15-9 Reserved**

**Bit 8 DBRUN**

このビットは、DEBUGモード時にSVD3動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

**Bit 7 Reserved**

**Bits 6-4 CLKDIV[2:0]**

これらのビットは、SVD3動作クロックの分周比を選択します。

**Bits 3-2 Reserved**

**Bits 1-0 CLKSRC[1:0]**

これらのビットは、SVD3のクロックソースを選択します。

表9.6.1 クロックソースと分周比の設定

SVDCLK. CLKDIV[2:0]ビット	SVDCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x7, 0x6	Reserved	1/1	Reserved	1/1
0x5	1/512		1/512	
0x4	1/256		1/256	
0x3	1/128		1/128	
0x2	1/64		1/64	
0x1	1/32		1/32	
0x0	1/16		1/16	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: クロック周波数は32 kHz近辺に設定してください。

## SVD3 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDCTL	15	VDSEL	0	H1	R/WP	–
	14–13	SVDSC[1:0]	0x0	H0	R/WP	Writing takes effect when the SVDCTL.SVDMMD[1:0] bits are not 0x0.
	12–8	SVDC[4:0]	0x1e	H1	R/WP	–
	7–4	SVDRE[3:0]	0x0	H1	R/WP	–
	3	EXSEL	0	H1	R/WP	–
	2–1	SVDMMD[1:0]	0x0	H0	R/WP	–
	0	MODEN	0	H1	R/WP	–

### Bit 15 VDSEL

このビットは、SVD3で検出する電源電圧を選択します。

1 (R/WP): EXSVD0/1端子印加電圧

0 (R/WP): V<sub>DD</sub>

### Bits 14–13 SVDSC[1:0]

これらのビットは、間欠動作モード時(SVDCTL.SVDMMD[1:0]ビット = 0x1~0x3)に割り込みリセットを発生させる条件(連続して電源電圧低下を検出した回数)を設定します。

表9.6.2 間欠動作モードの割り込みリセット発生条件

SVDCTL.SVDSC[1:0]ビット	割り込みリセット発生条件
0x3	電源電圧低下を連続8回検出
0x2	電源電圧低下を連続4回検出
0x1	電源電圧低下を連続2回検出
0x0	電源電圧低下を連続1回検出

この設定は、連続動作モード(SVDCTL.SVDMMD[1:0]ビット = 0x0)では無効です。

### Bits 12–8 SVDC[4:0]

これらのビットは、電源電圧低下を検出するためのSVD検出電圧V<sub>SVD</sub>/EXSVD検出電圧V<sub>SVD\_EXT</sub>を選択します。

表9.6.3 SVD検出電圧V<sub>SVD</sub>/EXSVD検出電圧V<sub>SVD\_EXT</sub>の設定

SVDCTL.SVDC[4:0]ビット	SVD検出電圧V <sub>SVD</sub> /EXSVD検出電圧V <sub>SVD_EXT</sub> [V]
0x1f	High
0x1e	↑
0x1d	
:	
0x02	
0x01	↓
0x00	Low

設定可能範囲と電圧値については、“電気的特性”の章の“電源電圧検出回路特性、SVD検出電圧V<sub>SVD</sub>/EXSVD検出電圧V<sub>SVD\_EXT</sub>”を参照してください。

**Bits 7–4 SVDRE[3:0]**

これらのビットは、電源電圧低下検出時のリセット発行機能をイネーブル/ディスエーブルにします。

0xa (R/WP): イネーブル(リセットを発行)

0xa以外 (R/WP): ディスエーブル(割り込みを発生)

SVD3リセット発行機能の詳細は、“SVD3リセット”を参照してください。

**Bit 3 EXSEL**

このビットは、SVDCTL.VDSELビット = 1のときに検出する外部電圧を選択します。

1 (R/WP): EXSVD1

0 (R/WP): EXSVD0

注: 機種によってはEXSVD1端子が存在しません(表9.1.1の検出電源電圧を参照)。その場合、SVDCTL.EXSELビットを1に設定すると外部電圧検出機能は実現できません。外部電圧検出機能を使用する場合は(SVDCTL.VDSELビット = 1)、SVDCTL.EXSELビットを0に設定してください。

**Bits 2–1 SVDMD[1:0]**

これらのビットは、間欠動作モードと検出周期を選択します。

表9.6.4 間欠動作モードの検出周期選択

SVDCTL.SVDMD[1:0]ビット	動作モード(検出周期)
0x3	間欠動作モード(CLK_SVD3/512)
0x2	間欠動作モード(CLK_SVD3/256)
0x1	間欠動作モード(CLK_SVD3/128)
0x0	連続動作モード

間欠動作モードと連続動作モードについては、“SVD3の動作”を参照してください。

**Bit 0 MODEN**

このビットはSVD3回路の動作をイネーブル/ディスエーブルにします。

1 (R/WP): イネーブル(検出動作開始)

0 (R/WP): ディスエーブル(検出動作停止)

本ビットを変更した場合は、書き込んだ値が本ビットから読み出されるまで次の操作を行わずに待機してください。

注: • SVDCTL.MODENビットに0を書き込むことにより、SVD3内のハードウェアがリセットされます。ただし、レジスタの設定値や割り込みフラグはクリアされません。SVDCTL.MODENビットはこの処理が終了後に、実際に0に設定されます。このとき、同ビットから0が読み出されることを確認せずに続けてSVDCTL.MODENビットに1を書き込むと、タイミングによっては0の書き込みが無視され、ハードウェアがリセットされずに再起動し、誤動作を起こすことがあります。

- SVDCTL.MODENビットに1を書き込み後のSVD3動作中にSVDCTL.SVDSC[1:0]ビット、SVDCTL.SVDRE[3:0]ビット、またはSVDCTL.SVDMD[1:0]ビットを変更すると、SVD3内部が初期化されます。

**SVD3 Status and Interrupt Flag Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDINTF	15–9	–	0x00	–	R	–
	8	SVDDT	x	–	R	
	7–1	–	0x00	–	R	
	0	SVDIF	0	H1	R/W	Cleared by writing 1.

**Bits 15–9 Reserved****Bit 8 SVDDT**

このビットから電源電圧検出結果が読み出せます。

1 (R): 電源電圧( $V_{DD}$ またはEXSVD0/1) $<$ SVD検出電圧 $V_{SVD}$ またはEXSVD検出電圧 $V_{SVD\_EXT}$

0 (R): 電源電圧( $V_{DD}$ またはEXSVD0/1) $\geq$ SVD検出電圧 $V_{SVD}$ またはEXSVD検出電圧 $V_{SVD\_EXT}$

**Bits 7–1 Reserved**

## 9 電源電圧検出回路(SVD3)

### Bit 0 SVDIF

このビットは、電源電圧低下検出割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
- 0 (R): 割り込み要因なし
- 1 (W): フラグをクリア
- 0 (W): 無効

注: SVDCTL.MODENビットに1を書き込み後のSVD3動作中に割り込みフラグをクリアすると、SVD3内部が初期化されます。

## SVD3 Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDINTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	SVDIE	0	H0	R/W	

### Bits 15-1 Reserved

### Bit 0 SVDIE

このビットは、電源電圧低下検出割り込みをイネーブルにします。

- 1 (R/W): 割り込みイネーブル
- 0 (R/W): 割り込みディスエーブル

- 注:
- SVDCTL.SVDRE[3:0]ビットを0xaに設定した場合は割り込みタイミングでリセットが発行されるため、本ビットの設定にかかわらず電源電圧低下検出割り込みは発生しません。
  - 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

# 10 16ビットタイマ(T16)

## 10.1 概要

T16は16ビットタイマです。主な機能と特長を以下に示します。

- 16ビットのプリセッタブルダウンカウンタ
- プリセット値設定用のリロードデータレジスタを搭載
- カウントクロックを生成するクロックソースとクロック分周比を選択可能
- リピートモードとワンショットモードを選択可能
- カウンタのアンダーフロー割り込みを発生可能

図10.1.1にT16チャンネルの構成を示します。

表10.1.1 S1C17F63のT16チャンネル構成

項目	S1C17F63
チャンネル数	4チャンネル (Ch.0~Ch.3)
イベントカウンタ機能	未対応(EXCL <sub>m</sub> 端子未実装)
周辺回路クロック出力 (カウンタアンダーフロー信号を出力)	Ch.1 → 同期式シリアルインタフェースCh.0のマスタクロック Ch.2 → 12ビットA/D変換器のトリガ信号 Ch.3 → 同期式シリアルインタフェースCh.1のマスタクロック

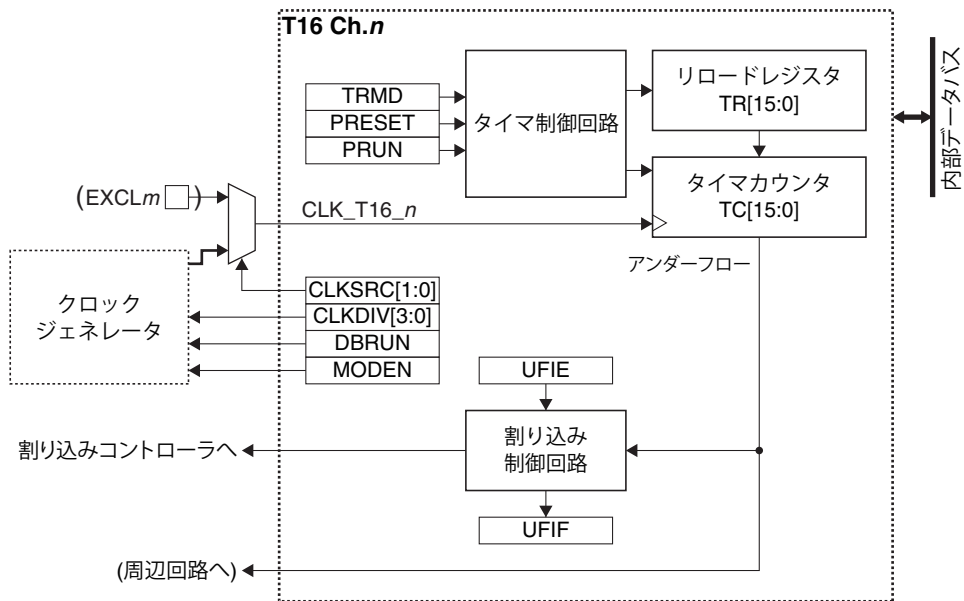


図10.1.1 T16チャンネルの構成

## 10.2 入力端子

表10.2.1にT16の入力端子を示します。

表10.2.1 T16入力端子

端子名	I/O*	イニシャル状態*	機能
EXCL <sub>m</sub>	I	I (Hi-Z)	外部イベント信号入力端子

\* 端子機能をT16に切り換えた時点の状態

EXCL<sub>m</sub>端子と他の機能がポートを共有している場合、イベントカウンタ機能を使用する前にEXCL<sub>m</sub>入力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。



## 10.3 クロック設定

### 10.3.1 T16の動作クロック

T16 Ch.*n*を使用する場合、クロックジェネレータからT16 Ch.*n*動作クロックCLK\_T16\_*n*をT16 Ch.*n*に供給する必要があります。

CLK\_T16\_*n*の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. T16\_*n*CLKレジスタの以下のビットを設定する。
  - T16\_*n*CLK.CLKSRC[1:0]ビット (クロックソースの選択)
  - T16\_*n*CLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

### 10.3.2 SLEEPモード時のクロック供給

SLEEPモード時にT16を使用する場合は、T16動作クロックCLK\_T16\_*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK\_T16\_*n*を供給し続ける必要があります。

SLEEPモード時に、CLK\_T16\_*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットが1の場合は、CLK\_T16\_*n*のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタやカウンタの内容を保持したまま、T16が停止します。その後通常モードに戻ると、CLK\_T16\_*n*が供給され、T16の動作が再開します。

### 10.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK\_T16\_*n*の供給はT16\_*n*CLK.DBRUNビットで制御します。

T16\_*n*CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとT16 Ch.*n*へのCLK\_T16\_*n*の供給が停止します。その後通常モードに戻ると、CLK\_T16\_*n*の供給が再開します。CLK\_T16\_*n*の供給が停止するとT16 Ch.*n*の動作は停止しますが、カウンタやレジスタはDEBUGモードへ移行前の状態に保持されます。T16\_*n*CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_T16\_*n*の供給は停止せず、T16 Ch.*n*は動作を継続します。

### 10.3.4 イベントカウンタクロック

イベントカウンタ機能に対応したチャンネルでは、T16\_*n*CLK.CLKSRC[1:0]ビットを0x3に設定すると、EXCL*m*端子から入力される信号の立ち上がりエッジでカウントダウンを行います。

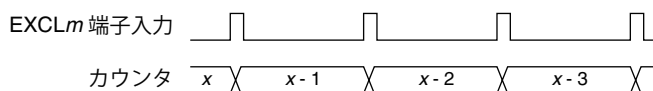


図10.3.4.1 カウントダウンタイミング

イベントカウンタ機能に非対応のチャンネルでは、EXOSCクロックが選択されます。

## 10.4 動作

### 10.4.1 初期設定

T16 Ch.*n*は、以下の手順により初期設定を行い、カウントを開始させます。

1. T16 Ch.*n*動作クロックを設定する(“T16の動作クロック”参照)。
2. T16\_*n*CTL.MODENビットを1に設定する。(カウント動作クロックイネーブル)
3. T16\_*n*MOD.TRMDビットを設定する。(動作モード(リピートモード/ワンショットモード)の設定)
4. T16\_*n*TRレジスタを設定する。(リロードデータ(カウンタプリセットデータ)の設定)

5. 割り込みを使用する場合は以下のビットを設定する。
  - T16\_nINTF.UFIFビットに1を書き込み (割り込みフラグをクリア)
  - T16\_nINTE.UFIEビットを1に設定 (アンダーフロー割り込みイネーブル)
6. T16\_nCTLレジスタの以下のビットを設定する。
  - T16\_nCTL.PRESETビットを1に設定 (リロードデータをカウンタにプリセット)
  - T16\_nCTL.PRUNビットを1に設定 (カウントスタート)

### 10.4.2 カウンタのアンダーフロー

通常、T16のカウンタはプリセットされたリロードデータの値からカウントダウンを行い、アンダーフローが発生するとアンダーフロー信号を生成します。この信号は割り込みを発生させ、また特定の周辺回路へも出力され、クロックとして使用されます(クロックとして使用する場合は、T16 Ch.nをリピートモードに設定する必要があります)。アンダーフロー周期は、T16 Ch.nの動作クロックの設定、およびT16\_nTRレジスタに設定するリロードデータ(カウンタの初期値)によって決まり、次の式で計算できます。

$$T = \frac{TR + 1}{f_{CLK\_T16\_n}} \quad f_T = \frac{f_{CLK\_T16\_n}}{TR + 1} \quad (\text{式10.1})$$

ここで

T:	アンダーフロー周期 [s]
f <sub>T</sub> :	アンダーフロー周波数 [Hz]
TR:	T16_nTRレジスタの設定値
f <sub>CLK_T16_n</sub> :	T16 Ch.nの動作クロックの周波数 [Hz]

### 10.4.3 リピートモードの動作

T16\_nMOD.TRMDビットを0に設定すると、T16 Ch.nはリピートモードになります。リピートモードでは、T16\_nCTL.PRUNビットに1を書き込み後、0を書き込むまでカウント動作を続けます。カウンタがアンダーフローした時点でT16\_nTRレジスタの設定値がプリセットされますので、一定の周期でアンダーフローを発生させることができます。周期的なアンダーフロー割り込みを発生させる場合、あるいは周辺回路へのトリガ/クロック出力に使用するタイマにはこのモードを選択します。

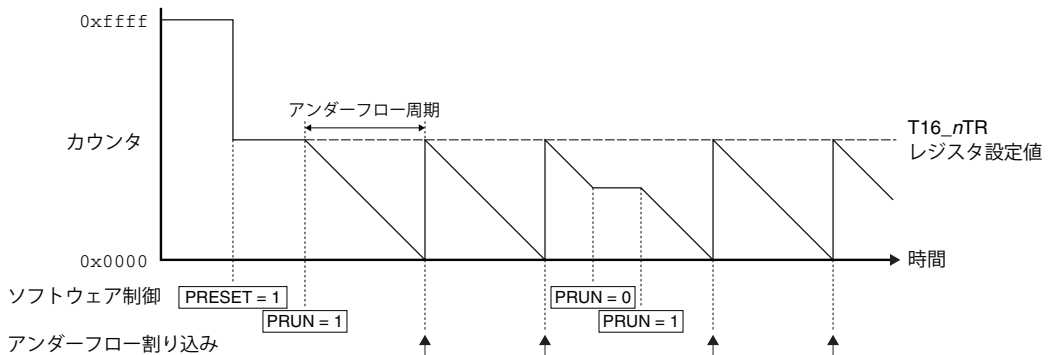


図10.4.3.1 リピートモードのカウント動作

### 10.4.4 ワンショットモードの動作

T16\_nMOD.TRMDビットを1に設定すると、タイマはワンショットモードになります。ワンショットモードでは、T16\_nCTL.PRUNビットへの1書き込みによりカウント動作を開始後、カウンタがアンダーフローした時点で、T16\_nTRレジスタの設定値をプリセットしてカウント動作を停止します。これと同時に、T16\_nCTL.PRUNビットは自動的にクリアされます。特定の時間経過を確認するときなど、1度の割り込みで停止させる場合はこのモードを選択します。

## 10 16ビットタイマ(T16)

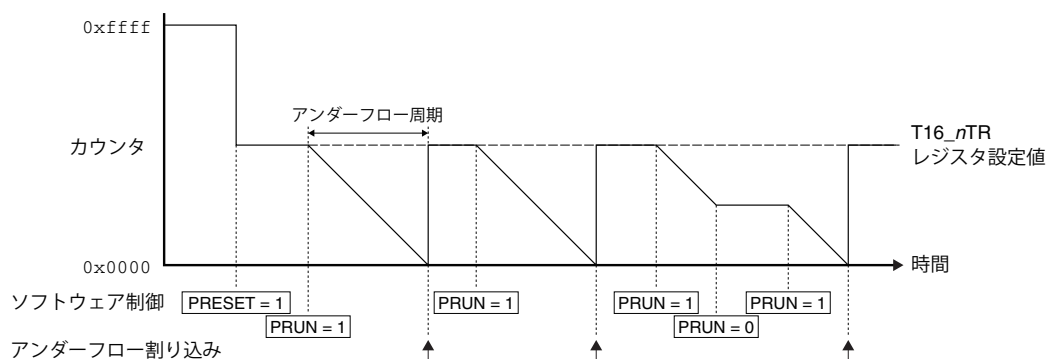


図10.4.4.1 ワンショットモードのカウンタ動作

### 10.4.5 カウンタ値のリード

カウンタ値は、T16\_nTC.TC[15:0]ビットから読み出せます。ただし、CLK\_T16\_nで動作しているため、CPUで正しく読み出すためには、下記のいずれかの操作が必要です。

- 2回以上読み出して、カウンタ値が一致していることを確認する。
- タイマを停止させてから読み出す。

## 10.5 割り込み

T16の各チャンネルには、表10.5.1に示す割り込みを発生させる機能があります。

表10.5.1 T16の割り込み機能

割り込み	割り込みフラグ	セット	クリア
アンダーフロー	T16_nINTE.UFIF	カウンタにアンダーフローが発生したとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

## 10.6 制御レジスタ

### T16 Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

**Bits 15-9 Reserved**

**Bit 8 DBRUN**

このビットは、DEBUGモード時にT16 Ch.n動作クロックを供給するか否か設定します。  
 1 (R/W): DEBUGモード時にクロックを供給  
 0 (R/W): DEBUGモード時はクロック供給を停止

**Bits 7-4 CLKDIV[3:0]**

これらのビットは、T16 Ch.n動作クロック(カウンタクロック)の分周比を選択します。

**Bits 3-2 Reserved**

**Bits 1-0 CLKSRC[1:0]**

これらのビットは、T16 Ch.nのクロックソースを選択します。

表10.6.1 クロックソースと分周比の設定

T16_nCLK. CLKDIV[3:0]ビット	T16_nCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC/EXCLm
0xf	1/32,768	1/1	1/32,768	1/1
0xe	1/16,384		1/16,384	
0xd	1/8,192		1/8,192	
0xc	1/4,096		1/4,096	
0xb	1/2,048		1/2,048	
0xa	1/1,024		1/1,024	
0x9	1/512		1/512	
0x8	1/256		1/256	
0x7	1/128	1/128	1/128	
0x6	1/64	1/64	1/64	
0x5	1/32	1/32	1/32	
0x4	1/16	1/16	1/16	
0x3	1/8	1/8	1/8	
0x2	1/4	1/4	1/4	
0x1	1/2	1/2	1/2	
0x0	1/1	1/1	1/1	

(注1) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

(注2) T16\_nCLK.CLKSRC[1:0]ビット = 0x3の設定は、イベント機能付きのチャンネルにはEXCLmが、それ以外のチャンネルにはEXOSCが選択されます。

## T16 Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nMOD	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	TRMD	0	H0	R/W	

**Bits 15–1 Reserved**

**Bit 0 TRMD**

このビットは、T16の動作モードを選択します。

1 (R/W): ワンショットモード

0 (R/W): リピートモード

動作モードの詳細は、“ワンショットモードの動作”および“リピートモードの動作”を参照してください。

## T16 Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCTL	15–9	–	0x00	–	R	–
	8	PRUN	0	H0	R/W	
	7–2	–	0x00	–	R	
	1	PRESET	0	H0	R/W	
	0	MODEN	0	H0	R/W	

**Bits 15–9 Reserved**

**Bit 8 PRUN**

このビットはタイマをスタート/ストップします。

1 (W): タイマをスタート

0 (W): タイマをストップ

1 (R): タイマ動作中

0 (R): タイマ停止中

## 10 16ビットタイマ(T16)

このビットに1を書き込むことにより、タイマはカウント動作を開始します。ただし、このビットと共にT16\_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。タイマが動作中はこのビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタのアンダーフローによってカウントを停止したときは、このビットが自動的に0にクリアされます。

### Bits 7–2 Reserved

#### Bit 1 PRESET

このビットは、T16\_nTRレジスタに設定されているリロードデータをカウンタにプリセットします。

- 1 (W): プリセット
- 0 (W): 無効
- 1 (R): プリセットの実行中
- 0 (R): プリセットを終了または通常動作中

このビットに1を書き込むと、タイマはT16\_nTRレジスタの値をカウンタにプリセットします。ただし、このビットと共にT16\_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。プリセット動作実行中は1を保持し、プリセットが完了すると自動的に0にクリアされます。

#### Bit 0 MODEN

このビットは、T16 Ch.nの動作をイネーブルにします。

- 1 (R/W): イネーブル(動作クロックを供給)
- 0 (R/W): ディスエーブル(動作クロックの供給を停止)

## T16 Ch.n Reload Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTR	15–0	TR[15:0]	0xffff	H0	R/W	–

### Bits 15–0 TR[15:0]

これらのビットには、カウンタにプリセットする初期値を設定しておきます。

T16\_nCTL.PRESETビットに1を書き込んだ場合や、カウンタがアンダーフローした時点で、このレジスタの値がカウンタにプリセットされます。

注: ・ タイマ動作中(T16\_nCTL.PRUNビット = 1)は、誤った初期値がカウンタにプリセットされる恐れがあるため、T16\_nTRレジスタを変更することはできません。

- ・ ワンショットモードのときは、T16\_nTR.TR[15:0]ビットを0x0001以上の値に設定してください。

## T16 Ch.n Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTC	15–0	TC[15:0]	0xffff	H0	R	–

### Bits 15–0 TC[15:0]

これらのビットから、現在のカウンタの値が読み出せます。

## T16 Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nINTF	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	UFIF	0	H0	R/W	Cleared by writing 1.

### Bits 15–1 Reserved

**Bit 0 UFIF**

このビットは、T16 Ch.*n*アンダーフロー割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

**T16 Ch.*n* Interrupt Enable Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_ <i>n</i> INTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	UFIE	0	H0	R/W	

**Bits 15-1 Reserved****Bit 0 UFIE**

このビットは、T16 Ch.*n*アンダーフロー割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

# 11 UART(UART3)

## 11.1 概要

UART3は非同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- 転送クロックを生成するためのボーレートジェネレータを内蔵
- 7ビットまたは8ビットのデータ長に対応(LSB先頭)
- 偶数パリティ、奇数パリティ、パリティなしが選択可能
- スタートビット長は1ビット固定
- 1ビットまたは2ビットのストップビット長が選択可能
- 全二重通信に対応
- 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- 内蔵RZI変調/復調回路によりIrDA1.0赤外線通信に対応
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル(1バイト/2バイト)、送信バッファエンpty、送信完了、パリティエラー、フレーミングエラー、オーバーランエラーにて割り込みを発生可能
- 入力端子のプルアップ制御が可能
- 出力端子のオープンドレイン制御が可能
- キャリア変調出力機能を搭載

図11.1.1にUART3の構成を示します。

表11.1.1 S1C17F63のUART3チャンネル構成

項目	S1C17F63
チャンネル数	1チャンネル (Ch.0)

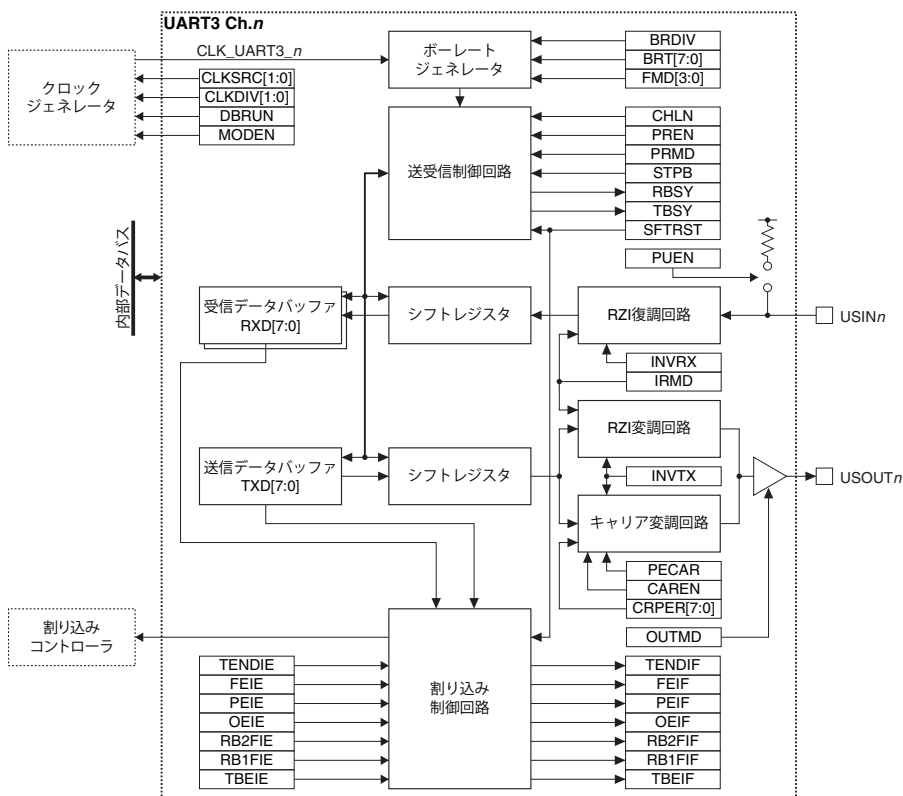


図11.1.1 UART3の構成

## 11.2 入出力端子と外部接続

### 11.2.1 入出力端子一覧

表11.2.1.1にUART3の端子一覧を示します。

表11.2.1.1 UART3端子一覧

端子名	I/O*	イニシャル状態*	機能
USIN $n$	I	I (Hi-Z)	UART3 Ch. $n$ データ入力端子
USOUT $n$	O	O (High)	UART3 Ch. $n$ データ出力端子

\* 端子機能をUART3に切り換えた時点の状態

これらのUART3端子と他の機能がポートを共有している場合、UART3を動作させる前にUART3の入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

### 11.2.2 外部との接続

本ICのUART3と外部UART機器との接続を図11.2.2.1に示します。

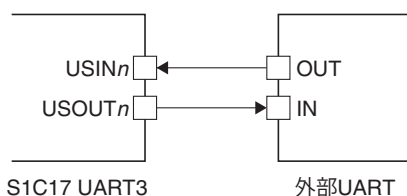


図11.2.2.1 UART3と外部UART機器との接続

### 11.2.3 入力端子のプルアップ機能

USIN $n$ 端子にはプルアップ抵抗が内蔵されています。UAnMOD.PUENビットを1に設定すると、この抵抗が有効になり、USIN $n$ 端子がプルアップされます。

### 11.2.4 出力端子のオープンドレイン出力機能

USOUT $n$ 端子にはオープンドレイン出力機能があります。デフォルト設定はプッシュプル出力ですが、UAnMOD.OUTMDビットを1に設定するとオープンドレイン出力になります。

### 11.2.5 入出力信号の反転機能

USIN $n$ 端子の入力信号およびUSOUT $n$ 端子の出力信号は、それぞれUAnMOD.INVRXビット、UAnMOD.INVTXビットを1に設定することにより、極性を反転して入出力することができます。

注: 特に指定のない場合、本章に記載の入出力信号はすべて非反転(UAnMOD.INVRXビット = 0、UAnMOD.INVTXビット = 0)の波形です。

## 11.3 クロック設定

### 11.3.1 UART3の動作クロック

UART3 Ch. $n$ を使用する場合、クロックジェネレータからUART3 Ch. $n$ 動作クロックCLK\_UART3\_ $n$ をUART3 Ch. $n$ に供給する必要があります。CLK\_UART3\_ $n$ の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. UAnCLKレジスタの以下のビットを設定する。
  - UAnCLK.CLKSRC[1:0]ビット (クロックソースの選択)
  - UAnCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

UART3の動作クロックは、ポーレートジェネレータで設定しやすいクロックを選択してください。



### 11.3.2 SLEEPモード時のクロック供給

SLEEPモード時にUART3を使用する場合は、UART3動作クロックCLK\_UART3\_nのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK\_UART3\_nを供給し続ける必要があります。

### 11.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK\_UART3\_nの供給はUANCLK.DBRUNビットで制御します。

UANCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとUART3 Ch.nへのCLK\_UART3\_nの供給が停止します。その後通常モードに戻ると、CLK\_UART3\_nの供給が再開します。CLK\_UART3\_nの供給が停止するとUART3 Ch.nの動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。

UANCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_UART3\_nの供給は停止せず、UART3 Ch.nは動作を継続します。

### 11.3.4 ボーレートジェネレータ

UART3は転送(サンプリング)クロックを生成するボーレートジェネレータを内蔵しています。転送レートはUANMOD.BRDIVビット、UANBR.BRT[7:0]ビット、およびUANBR.FMD[3:0]ビットの設定により決まります。希望の転送レートを得るための設定値は次の式で計算できます。

$$\text{bps} = \frac{\text{CLK\_UART3}}{\frac{\text{BRT} + 1}{\text{BRDIV}} + \text{FMD}} \quad \text{BRT} = \text{BRDIV} \times \left( \frac{\text{CLK\_UART3}}{\text{bps}} - \text{FMD} \right) - 1 \quad (\text{式11.1})$$

ここで

bps: 転送レート [bit/s]  
 CLK\_UART3: UART3動作クロック周波数 [Hz]  
 BRDIV: ボーレート分周比(1/16または1/4) ※UANMOD.BRDIVビットで選択  
 BRT: UANBR.BRT[7:0]設定値(0~255)  
 FMD: UANBR.FMD[3:0]設定値(0~15)

UART3で設定可能な転送レートの範囲は、“電気的特性”の章の“UART特性、送受信ボーレートUBRT1、UBRT2”を参照してください。

## 11.4 データフォーマット

本UART3では、データ長、ストップビット長、パリティ機能の設定が可能です。スタートビット長は1ビットに固定です。

#### データ長

データ長は、UANMOD.CHLNビットで7ビット(UANMOD.CHLNビット = 0)、または8ビット(UANMOD.CHLNビット = 1)に設定可能です。

#### ストップビット長

ストップビット長はUANMOD.STPBビットで1ビット(UANMOD.STPBビット = 0)または2ビット(UANMOD.STPBビット = 1)に設定可能です。

#### パリティ機能

パリティ機能はUANMOD.PRENビットとUANMOD.PRMDビットで設定します。

表11.4.1 パリティ機能の設定

UANMOD.PRENビット	UANMOD.PRMDビット	パリティ機能
1	1	奇数パリティ
1	0	偶数パリティ
0	*	パリティなし

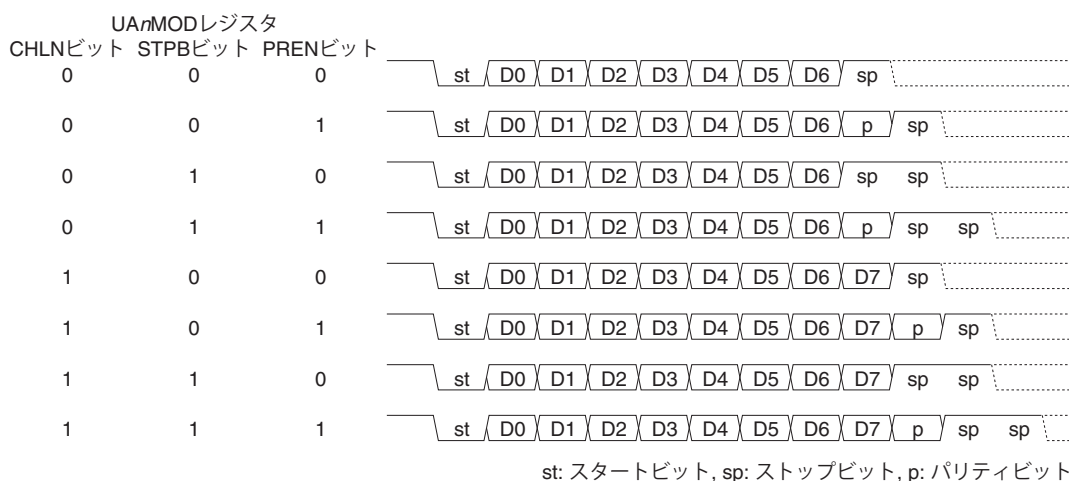


図11.4.1 データフォーマット

## 11.5 動作

### 11.5.1 初期設定

UART3 Ch.nは、以下の手順により初期設定を行います。

- UART3 Ch.n入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- UAnCLK.CLKSRC[1:0]ビットとUAnCLK.CLKDIV[1:0]ビットを設定する。(動作クロックを設定)
- UAnMODレジスタの以下のビットを設定する。
  - UAnMOD.BRDIVビット (ボーレート分周比(1/16または1/4)の選択)
  - UAnMOD.INVRXビット (USINn入力信号反転イネーブル/ディスエーブル)
  - UAnMOD.INVTXビット (USOUTn出力信号反転イネーブル/ディスエーブル)
  - UAnMOD.PUENビット (USINn端子のプルアップイネーブル/ディスエーブル)
  - UAnMOD.OUTMDビット (USOUTn端子のオープンドレイン出力イネーブル/ディスエーブル)
  - UAnMOD.IRMDビット (IrDAインタフェースイネーブル/ディスエーブル)
  - UAnMOD.CHLNビット (データ長(7または8ビット)の設定)
  - UAnMOD.PRENビット (パリティイネーブル/ディスエーブル)
  - UAnMOD.PRMDビット (パリティモード(偶数または奇数)の選択)
  - UAnMOD.STPBビット (ストップビット長(1または2ビット)の設定)
  - UAnMOD.CARENビット (キャリア変調機能イネーブル/ディスエーブル)
  - UAnMOD.PECARビット (キャリア変調期間(Hデータ期間/Lデータ期間)の選択)
- UAnBR.BRT[7:0]ビットとUAnBR.FMD[3:0]ビットを設定する。(転送レートを設定)
- UAnCAWF.CRPER[7:0]ビットを設定する。(キャリア周期の設定)
- UAnCTLレジスタの以下のビットを設定する。
  - UAnCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
  - UAnCTL.MODENビットを1に設定 (UART3 Ch.nの動作をイネーブル)
- 割り込みを使用する場合は以下のビットを設定する。
  - UAnINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
  - UAnINTEレジスタの割り込みイネーブルビットを1に設定\* (割り込みイネーブル)

\* UAnINTF.TBEIFビットの初期値が1のため、UAnINTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。

## 11.5.2 データ送信

UART3 Ch.*n*のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図11.5.2.1と図11.5.2.2に示します。

### 送信手順

1. UAnINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
2. UAnTXDレジスタに送信データを書き込む。
3. 割り込みを使用する場合はUART3割り込みを待つ。
4. 送信データ終了まで、1～3(または1と2)を繰り返す。

### UART3の送信動作

UAnTXDレジスタに送信データを書き込むことにより、UART3 Ch.*n*は送信動作を開始します。

UAnTXDレジスタの送信データは自動的にシフトレジスタへ転送され、UAnINTF.TBEIFビットが1(送信バッファエンプティ)にセットされます。

次にスタートビットがUSOUT*n*端子から出力され、UAnINTF.TBSYビットが1(送信ビジー)にセットされます。続いて、シフトレジスタのデータがLSBから順次出力されます。MSBの出力後、パリティビット(パリティ機能有効時のみ)とストップビットが出力されます。

USOUT*n*端子から送信データが出力されている最中であっても、UAnINTF.TBEIFビット = 1を確認した後に、UAnTXDレジスタへ次の送信データを書き込むことができます。

USOUT*n*端子からストップビットが出力されたときに、UAnTXDレジスタに送信データが書き込まれていなかった場合、UAnINTF.TBSYビットが0にクリアされ、UAnINTF.TENDIFビットが1(送信完了)にセットされます。

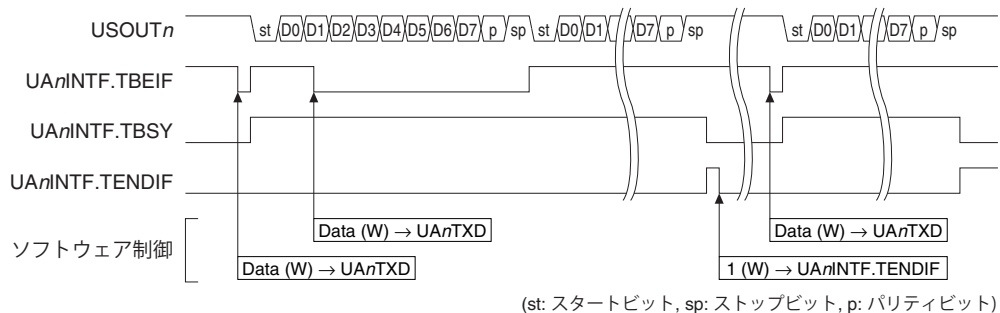


図11.5.2.1 データ送信動作例

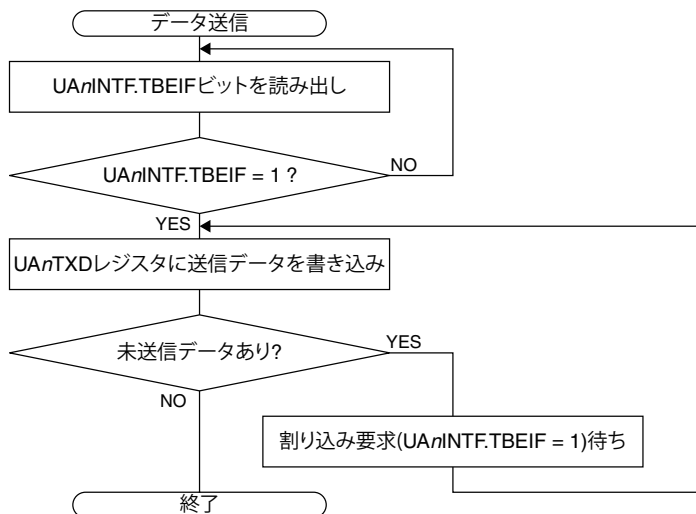


図11.5.2.2 データ送信フローチャート

### 11.5.3 データ受信

UART3 Ch.*n*のデータ受信手順と動作を以下に示します。また、タイミングチャートを図11.5.3.1に、フローチャートを図11.5.3.2に示します。

#### 受信手順(1バイトずつ読み出し)

1. 割り込みを使用する場合はUART3割り込みを待つ。
2. UAnINTF.RB1FIFビットが1(受信バッファ 1バイトフル)になっていることを確認する。
3. UAnRXDレジスタから受信データを読み出す。
4. 受信終了まで、1～3(または2と3)を繰り返す。

#### 受信手順(2バイトずつ読み出し)

1. 割り込みを使用する場合はUART3割り込みを待つ。
2. UAnINTF.RB2FIFビットが1(受信バッファ 2バイトフル)になっていることを確認する。
3. UAnRXDレジスタから受信データを2回読み出す。
4. 受信終了まで、1～3(または2と3)を繰り返す。

#### UART3の受信動作

USIN*n*端子にスタートビットが入力されると、UART3 Ch.*n*は受信動作を開始します。

受信回路はスタートビットのLOWレベルを検出して続くデータビットのサンプリングを開始し、受信用シフトレジスタに受信データを取り込みます。また、スタートビットを検出した時点でUAnINTF.RBSYビットを1にセットします。

ストップビットを受信するタイミングで、UAnINTF.RBSYビットを0にクリアし、受信用シフトレジスタのデータを受信データバッファに転送します。

受信データバッファは2バイトのFIFOで構成されており、満杯になるまで受信することが可能です。受信データバッファが1つ目のデータを受信すると、UAnINTF.RB1FIFビットが1(受信バッファ 1バイトフル)にセットされます。1つ目のデータを読み出さずに2つ目のデータを受信すると、UAnINTF.RB2FIFビットが1(受信バッファ 2バイトフル)にセットされます。

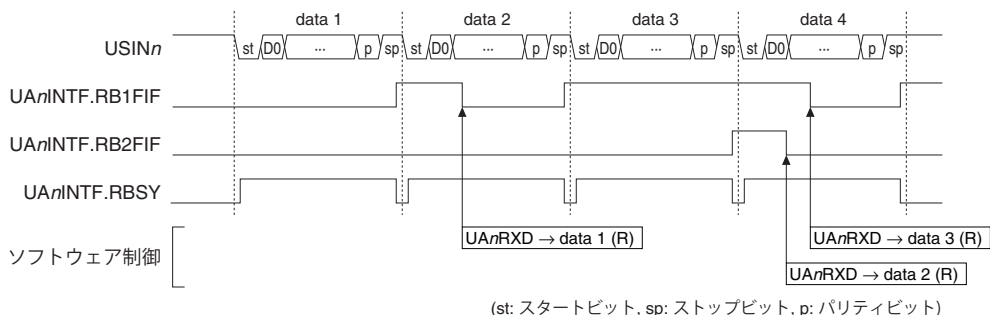


図11.5.3.1 データ受信動作例

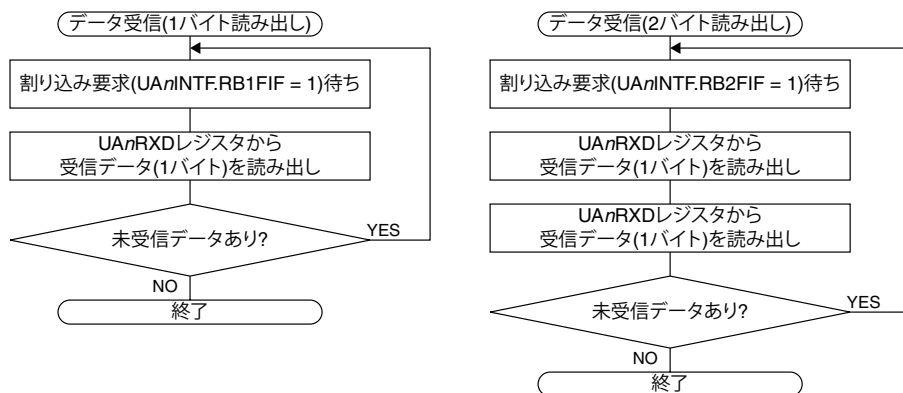


図11.5.3.2 データ受信フローチャート

## 11.5.4 IrDAインタフェース

UART3にはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA1.0に対応する赤外線通信回路を構成することができます。

IrDAインタフェース機能を使用するには、 $UA_nMOD.IRMD$ ビットを1に設定します。

IrDAインタフェース機能を有効にした場合も、データ送受信の制御方法は通常のインタフェースと同じです。

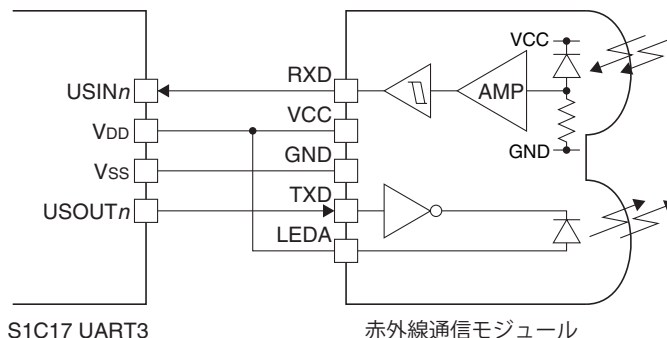


図11.5.4.1 赤外線通信モジュールとの接続例

UART3 Ch. $n$ の送信用シフトレジスタから出力された送信データは、SIR方式のRZI変調回路にてLOW出力が通常の $\frac{3}{16}$ のパルス幅に変調された後、USOUT $n$ 端子から出力されます。

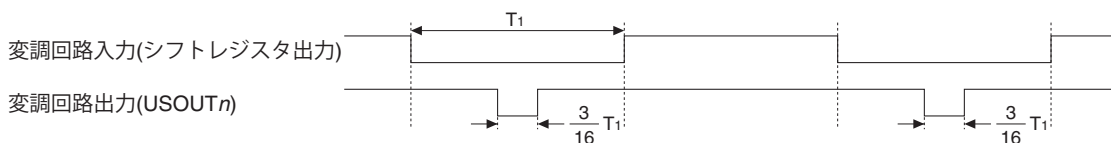


図11.5.4.2 IrDA送信信号波形

受信したIrDA信号はRZI復調回路に入力され、通常のLOWパルス幅に変換された後、受信用シフトレジスタに入力されます。



図11.5.4.3 IrDA受信信号波形

注: ・ IrDAインタフェース機能を使用する場合は、ボーレート分周比を $\frac{1}{16}$ に設定してください。

・ 入力するIrDA信号のLOWパルス $T_2$ は $CLK\_UART3 \times 3$ 周期以上の幅としてください。

## 11.5.5 キャリア変調

UART3にはキャリア変調機能が組み込まれています。

$UA_nMOD.CAREN$ ビットを1に設定するとキャリア変調機能が有効になり、 $UA_nMOD.PECAR$ ビットの設定に応じて、キャリア変調波形を出力することが可能となります。この場合も、データ送信の制御方法は通常のインタフェースと同じです。

## 11 UART(UART3)

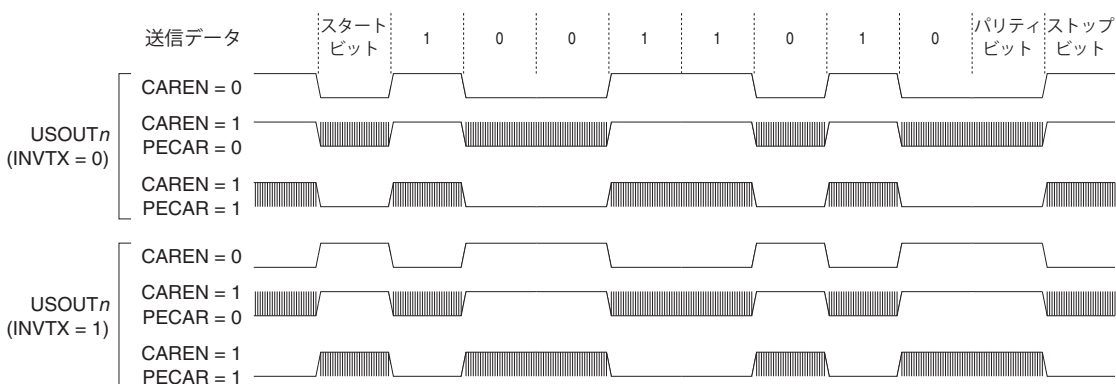


図11.5.5.1 キャリア変調波形(UA<sub>n</sub>MOD.CHLN = 1, UA<sub>n</sub>MOD.STPB = 0, UA<sub>n</sub>MOD.PREN = 1)

キャリア変調出力の周波数は、UA<sub>n</sub>CAWF.CRPER[7:0]ビットの設定により決まります。希望の周波数を得るための設定値は次の式で計算できます。

$$\text{キャリア変調出力周波数} = \frac{\text{CLK\_UART3}}{(\text{CRPER} + 1) \times 2} \text{ [Hz]} \quad (\text{式11.2})$$

ここで

CLK\_UART3: UART3動作クロック周波数 [Hz]

CRPER: UA<sub>n</sub>CAWF.CRPER[7:0]設定値(0~255)

## 11.6 受信エラー

UART3はデータ受信時に、フレーミングエラー、パリティエラー、オーバーランエラーの3種類の受信エラーを検出可能です。受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。

### 11.6.1 フレーミングエラー

ストップビットが検出できなかったとき(ストップビットを0として受信したとき)、UART3は同期ずれと判断して、フレーミングエラーが発生したものと見なします。エラーが発生したデータも受信データバッファに転送され、UA<sub>n</sub>RXDレジスタから読み出せる状態になった時点でUA<sub>n</sub>INTF.FEIFビット(フレーミングエラー割り込みフラグ)が1にセットされます。

注: フレーミングエラー/パリティエラー割り込みフラグのセットタイミング

割り込みフラグはエラーとなったデータが受信データバッファに転送後にセットされますが、その時点のバッファの状態によりセットされるタイミングが異なります。

- 受信データバッファが空の場合  
エラーが発生したデータを受信データバッファに転送した時点で割り込みフラグがセットされます。
- 受信データバッファに1バイトの空きがある場合  
エラーが発生したデータを受信データバッファの2バイト目に転送した後、ロード済みの1バイト目のデータが読み出された時点で割り込みフラグがセットされます。

### 11.6.2 パリティエラー

パリティ機能が有効に設定されている場合、受信時にパリティチェックが行われます。UART3は、シフトレジスタに受信したデータとパリティビットとの整合をチェックし、結果が不整合の場合パリティエラーと判断します。エラーが発生したデータも受信データバッファに転送され、UA<sub>n</sub>RXDレジスタから読み出せる状態になった時点でUA<sub>n</sub>INTF.PEIFビット(パリティエラー割り込みフラグ)が1にセットされます(フレーミングエラーの注を参照)。

### 11.6.3 オーバーランエラー

シフトレジスタにデータを受信し終わった時点で受信データバッファが満杯(2バイトの受信データが読み出されていない)の場合、データを受信データバッファに転送することができないため、オーバーランエラーが発生します。

オーバーランエラーが発生するとUAnINTF.OEIFビット(オーバーランエラー割り込みフラグ)が1にセットされます。

## 11.7 割り込み

UART3には、表11.7.1に示す割り込みを発生させる機能があります。

表11.7.1 UART3の割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	UAnINTF.TENDIF	ストップビット送信後にUAnINTF.TBEIFビット = 1のとき	1書き込み、ソフトリセット
フレーミングエラー	UAnINTF.FEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
パリティエラー	UAnINTF.PEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
オーバーランエラー	UAnINTF.OEIF	“受信エラー”を参照	1書き込み、ソフトリセット
受信バッファ 2バイトフル	UAnINTF.RB2FIF	1バイト受信済みの受信データバッファに2バイト目の受信データがロードされたとき	受信データの読み出し、ソフトリセット
受信バッファ 1バイトフル	UAnINTF.RB1FIF	空の受信データバッファに1バイト目の受信データがロードされたとき	受信データバッファを空にする読み出し、ソフトリセット
送信バッファエンプティ	UAnINTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	送信データ書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

## 11.8 制御レジスタ

### UART3 Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnCLK	15-9	–	0x00	–	R	–
	8	D Brun	0	H0	R/W	
	7-6	–	0x0	–	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	–	0x0	–	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

**Bits 15-9 Reserved**

**Bit 8 DBRUN**

このビットは、DEBUGモード時にUART3動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

**Bits 7-6 Reserved**

**Bits 5-4 CLKDIV[1:0]**

これらのビットは、UART3動作クロックの分周比を選択します。

## 11 UART(UART3)

**Bits 3–2 Reserved**

**Bits 1–0 CLKSRC[1:0]**

これらのビットは、UART3のクロックソースを選択します。

表11.8.1 クロックソースと分周比の設定

UAnCLK. CLKDIV[1:0]ビット	UAnCLK.CLKSRC[1:0]ビット			
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: UAnCLKレジスタは、UAnCTL.MODENビット = 0のときのみ設定変更が可能です。

## UART3 Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnMOD	15–13	–	0x0	–	R	–
	12	PECAR	0	H0	R/W	
	11	CAREN	0	H0	R/W	
	10	BRDIV	0	H0	R/W	
	9	INVRX	0	H0	R/W	
	8	INVTX	0	H0	R/W	
	7	–	0	–	R	
	6	PUEN	0	H0	R/W	
	5	OUTMD	0	H0	R/W	
	4	IRMD	0	H0	R/W	
	3	CHLN	0	H0	R/W	
	2	PREN	0	H0	R/W	
	1	PRMD	0	H0	R/W	
0	STPB	0	H0	R/W		

**Bits 15–13 Reserved**

**Bit 12 PECAR**

このビットは、キャリア変調の期間を選択します。

1 (R/W): Hデータ期間キャリア変調

0 (R/W): Lデータ期間キャリア変調

**Bit 11 CAREN**

このビットは、キャリア変調機能を有効にします。

1 (R/W): キャリア変調機能イネーブル

0 (R/W): キャリア変調機能ディスエーブル

**Bit 10 BRDIV**

このビットは、ボーレートジェネレータで転送(サンプリング)クロックを生成する際のUART3動作クロック分周比を設定します。

1 (R/W): 1/4

0 (R/W): 1/16

**Bit 9 INVRX**

このビットは、USIN<sub>n</sub>の入力反転機能を有効にします。

1 (R/W): 入力反転機能イネーブル

0 (R/W): 入力反転機能ディスエーブル

**Bit 8 INVTX**

このビットは、USOUT<sub>n</sub>の出力反転機能を有効にします。

1 (R/W): 出力反転機能イネーブル

0 (R/W): 出力反転機能ディスエーブル



- Bit 7**      **Reserved**
- Bit 6**      **PUEN**  
このビットは、USIN<sub>n</sub>端子のプルアップをイネーブルにします。  
1 (R/W): プルアップイネーブル  
0 (R/W): プルアップディスエーブル
- Bit 5**      **OUTMD**  
このビットは、USOUT<sub>n</sub>端子の出力モードを設定します。  
1 (R/W): オープンドレイン出力  
0 (R/W): プッシュプル出力
- Bit 4**      **IRMD**  
このビットは、IrDAインタフェース機能をイネーブルにします。  
1 (R/W): IrDAインタフェース機能イネーブル  
0 (R/W): IrDAインタフェース機能ディスエーブル
- Bit 3**      **CHLN**  
このビットは、データ長を設定します。  
1 (R/W): 8ビット  
0 (R/W): 7ビット
- Bit 2**      **PREN**  
このビットは、パリティ機能をイネーブルにします。  
1 (R/W): パリティ機能イネーブル  
0 (R/W): パリティ機能ディスエーブル
- Bit 1**      **PRMD**  
このビットは、パリティ機能を使用する場合に奇数パリティ/偶数パリティを選択します。  
1 (R/W): 奇数パリティ  
0 (R/W): 偶数パリティ
- Bit 0**      **STPB**  
このビットは、ストップビット長を設定します。  
1 (R/W): 2ビット  
0 (R/W): 1ビット

- 注: • UAnMODレジスタは、UAnCTL.MODENビット = 0のときのみ設定変更が可能です。  
• UAnMOD.IRMDビットとUAnMOD.CARENビットを同時に1に設定しないでください。

## UART3 Ch.n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnBR	15-12	–	0x0	–	R	–
	11-8	FMD[3:0]	0x0	H0	R/W	
	7-0	BRT[7:0]	0x00	H0	R/W	

### Bits 15-12 Reserved

### Bits 11-8 FMD[3:0]

### Bits 7-0 BRT[7:0]

これらのビットは、UART3の転送レートを設定します。詳細は“ボーレートジェネレータ”を参照してください。

- 注: • UAnBRレジスタは、UAnCTL.MODENビット = 0のときのみ設定変更が可能です。  
• UAnMOD.BRDIVビットが1の場合は、UAnBR.FMD[3:0]ビットに0~3以外の値を設定しないでください。

## UART3 Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnCTL	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

### Bits 15–2 Reserved

#### Bit 1 SFTRST

このビットは、UART3をソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

UART3の送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

#### Bit 0 MODEN

このビットは、UART3の動作をイネーブルにします。

1 (R/W): UART3動作イネーブル(動作クロックが供給されます。)

0 (R/W): UART3動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にUAnCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、UAnCTL.MODENビットを再度1に設定する場合は、必ずUAnCTL.SFTRSTビットにも1を書き込んでください。

## UART3 Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnTXD	15–8	–	0x00	–	R	–
	7–0	TXD[7:0]	0x00	H0	R/W	

### Bits 15–8 Reserved

#### Bits 7–0 TXD[7:0]

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、UAnINTF.TBEIF = 1になっていることを確認してください。

## UART3 Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnRXD	15–8	–	0x00	–	R	–
	7–0	RXD[7:0]	0x00	H0	R	

### Bits 15–8 Reserved

#### Bits 7–0 RXD[7:0]

これらのビットを介して、受信データバッファが読み出せます。受信データバッファは2バイトのFIFOで構成されており、受信データは古いものから順に読み出されます。

## UART3 Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UA <sub>n</sub> INTF	15-10	–	0x00	–	R	–
	9	RBSY	0	H0/S0	R	
	8	TBSY	0	H0/S0	R	
	7	–	0	–	R	
	6	TENDIF	0	H0/S0	R/W	Cleared by writing 1.
	5	FEIF	0	H0/S0	R/W	Cleared by writing 1 or reading the UA <sub>n</sub> RXD register.
	4	PEIF	0	H0/S0	R/W	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	RB2FIF	0	H0/S0	R	Cleared by reading the UA <sub>n</sub> RXD register.
	1	RB1FIF	0	H0/S0	R	
0	TBEIF	1	H0/S0	R	Cleared by writing to the UA <sub>n</sub> TXD register.	

### Bits 15–10 Reserved

#### Bit 9 RBSY

このビットは、受信状態を示します。(図11.5.3.1参照)

1 (R): 受信中

0 (R): 待機中

#### Bit 8 TBSY

このビットは、送信状態を示します。(図11.5.2.1参照)

1 (R): 送信中

0 (R): 待機中

#### Bit 7 Reserved

#### Bit 6 TENDIF

#### Bit 5 FEIF

#### Bit 4 PEIF

#### Bit 3 OEIF

#### Bit 2 RB2FIF

#### Bit 1 RB1FIF

#### Bit 0 TBEIF

これらのビットは、UART3割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

UA<sub>n</sub>INTF.TENDIFビット: 送信完了割り込み

UA<sub>n</sub>INTF.FEIFビット: フレーミングエラー割り込み

UA<sub>n</sub>INTF.PEIFビット: パリティエラー割り込み

UA<sub>n</sub>INTF.OEIFビット: オーバーランエラー割り込み

UA<sub>n</sub>INTF.RB2FIFビット: 受信バッファ 2バイトフル割り込み

UA<sub>n</sub>INTF.RB1FIFビット: 受信バッファ 1バイトフル割り込み

UA<sub>n</sub>INTF.TBEIFビット: 送信バッファエンプティ割り込み

## UART3 Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UANINTE	15-8	–	0x00	–	R	–
	7	–	0	–	R	
	6	TENDIE	0	H0	R/W	
	5	FEIE	0	H0	R/W	
	4	PEIE	0	H0	R/W	
	3	OEIE	0	H0	R/W	
	2	RB2FIE	0	H0	R/W	
	1	RB1FIE	0	H0	R/W	
0	TBEIE	0	H0	R/W		

### Bits 15-7 Reserved

Bit 6 TENDIE

Bit 5 FEIE

Bit 4 PEIE

Bit 3 OEIE

Bit 2 RB2FIE

Bit 1 RB1FIE

Bit 0 TBEIE

これらのビットは、UART3の割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

UANINTE.TENDIEビット: 送信完了割り込み

UANINTE.FEIEビット: フレーミングエラー割り込み

UANINTE.PEIEビット: パリティエラー割り込み

UANINTE.OEIEビット: オーバーランエラー割り込み

UANINTE.RB2FIEビット: 受信バッファ 2バイトフル割り込み

UANINTE.RB1FIEビット: 受信バッファ 1バイトフル割り込み

UANINTE.TBEIEビット: 送信バッファエンプティ割り込み

## UART3 Ch.n Carrier Waveform Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UANCAWF	15-8	–	0x00	–	R	–
	7-0	CRPER[7:0]	0x00	H0	R/W	

### Bits 15-8 Reserved

Bits 7-0 CRPER[7:0]

これらのビットは、キャリア変調出力の周波数を設定します。詳細は、“キャリア変調”を参照してください。

# 12 同期式シリアルインタフェース(SPIA)

## 12.1 概要

SPIAは同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- マスタモード、スレーブモードに対応
- データ長: 2~16ビットに設定可能
- MSB先頭、LSB先頭のデータフォーマットを選択可能
- クロックの極性と位相を選択可能
- 全二重通信に対応
- 独立した送信バッファレジスタと受信バッファレジスタを内蔵
- 受信バッファフル、送信バッファエンpty、送信完了、オーバーラン割り込みを発生可能
- マスタモードでは、16ビットタイマを使用してボーレートを設定可能
- スレーブモードでは、外部入力クロックSPICLK $n$ のみで動作可能
- スレーブモードはSLEEPモード時も動作し、SPIA割り込みによるウェイクアップが可能
- 内部で入力端子のプルアップまたはプルダウンが可能

図12.1.1にSPIAの構成を示します。

表12.1.1 S1C17F63のSPIAチャンネル構成

項目	S1C17F63
チャンネル数	2チャンネル (Ch.0とCh.1)
内部クロック入力	Ch.0 ← 16ビットタイマ Ch.1 Ch.1 ← 16ビットタイマ Ch.3

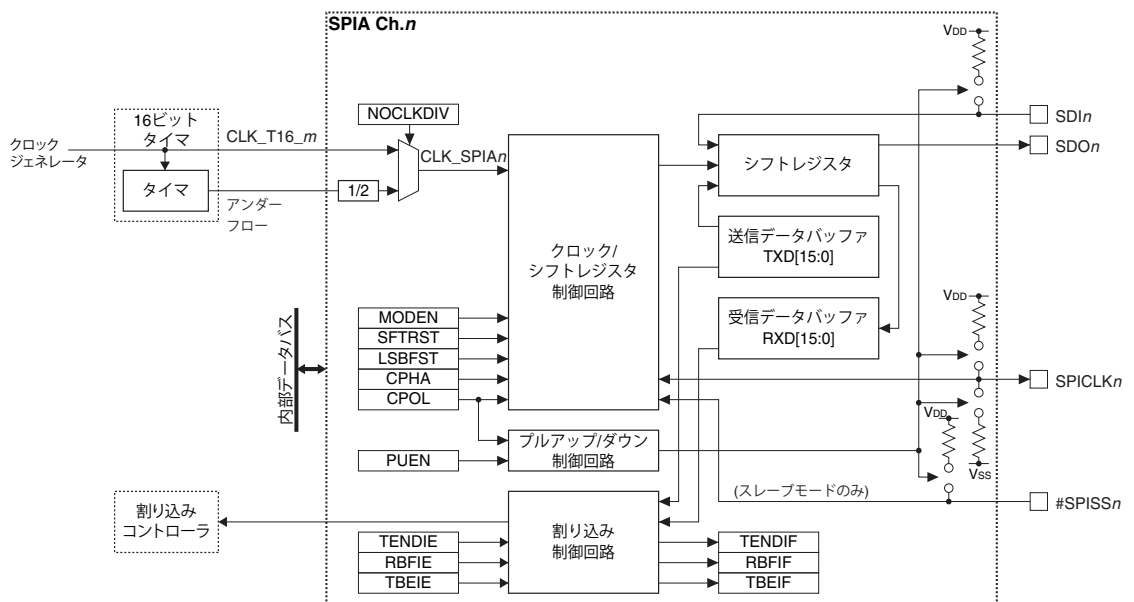


図12.1.1 SPIAの構成

## 12.2 入出力端子と外部接続

### 12.2.1 入出力端子一覧

表12.2.1.1にSPIAの端子一覧を示します。

表12.2.1.1 SPIA端子一覧

端子名	I/O*	イニシャル状態*	機能
SDIn	I	I (Hi-Z)	SPIA Ch.nデータ入力端子
SDOn	OまたはHi-Z	Hi-Z	SPIA Ch.nデータ出力端子
SPICLK <sub>n</sub>	IまたはO	I (Hi-Z)	SPIA Ch.n外部クロック入出力端子
#SPISS <sub>n</sub>	I	I (Hi-Z)	SPIA Ch.nスレーブセレクト信号入力端子

\* 端子機能をSPIAに切り換えた時点の状態

これらのSPIA端子と他の機能がポートを共有している場合、SPIAを動作させる前にSPIAの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

### 12.2.2 外部との接続

SPIAにはマスタモードとスレーブモードがあります。それぞれのモードにおける外部SPIデバイスとの接続を、図12.2.2.1と図12.2.2.2に示します。

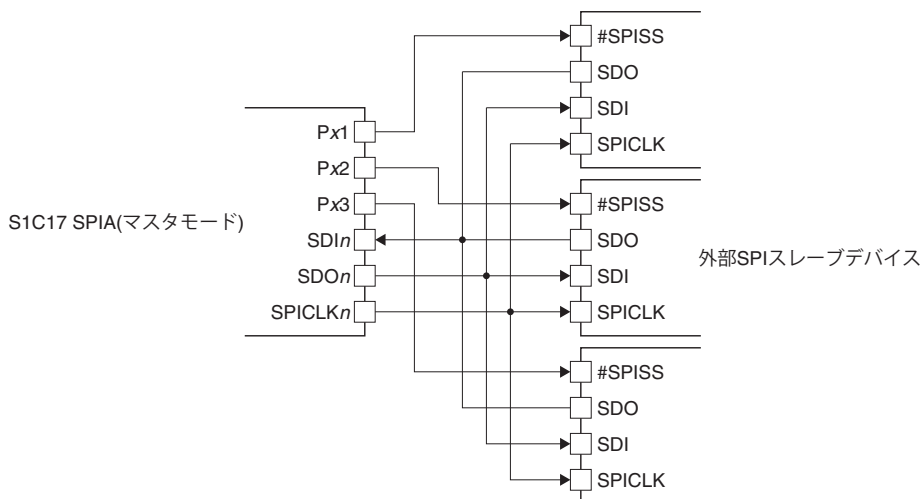


図12.2.2.1 マスタモードのSPIAと外部SPIスレーブデバイスとの接続

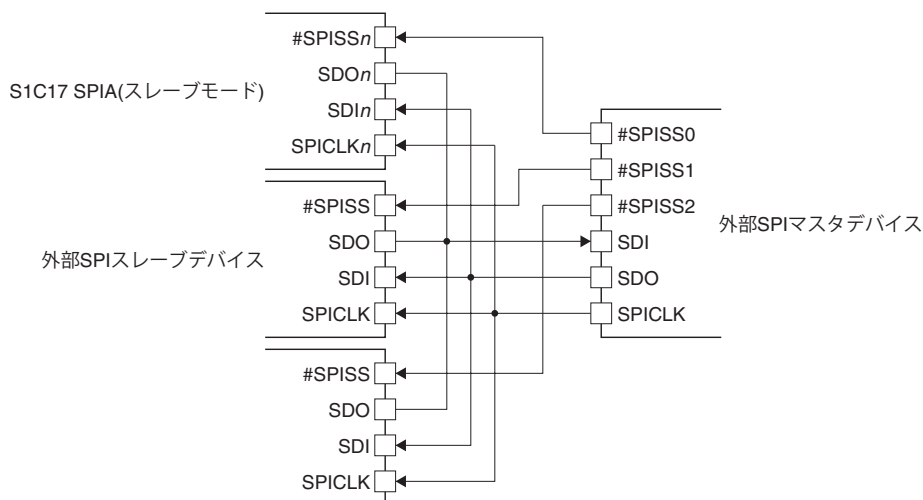


図12.2.2.2 スレーブモードのSPIAと外部SPIマスタデバイスとの接続

## 12.2.3 マスタモードとスレーブモードの端子機能

端子機能はマスタモードとスレーブモードの選択により切り換わります。モードによる端子機能の相違点を表12.2.3.1に示します。

表12.2.3.1 モードによる端子機能の相違点

端子	マスタモード時の機能	スレーブモード時の機能
SDIn	常に入力状態になります。	
SDOn	常に出力状態になります。	#SPISSn端子にLOWレベルが入力されている期間は出力状態になります。#SPISSn端子にHIGHレベルが入力されている期間はHi-Z状態になります。
SPICLK <sub>n</sub>	SPIクロックを外部に出力します。 出力するクロックの極性、および位相を任意に選択できます。	外部SPIクロックを入力します。 入力するクロックの極性、および位相を任意に選択できます。
#SPISSn	使用しません。 ポートにこの入力機能を割り当てる必要はありません。マスタモードでスレーブセレクト信号を出力するには、ポートの汎用入出力機能を使用してください。	#SPISSn端子へのLOWレベル入力により、データの送受信ができるようになります。この端子にHIGHレベルが入力されている期間はスレーブデバイスとして選択されず、SDIn端子およびSPICLK <sub>n</sub> 端子に入力されるデータとクロックはすべて無効です。また、HIGHレベルが入力された時点で送受信ビット数のカウントがクリアされ、それまで受信していたビットは、すべて破棄されます。

## 12.2.4 入力端子のプルアップ/プルダウン機能

SPIAの入力端子(マスタモードのSDIn、スレーブモードのSDIn、SPICLK<sub>n</sub>、および#SPISSn)には、表12.2.4.1に示すプルアップ機能またはプルダウン機能があります。この機能は、SPI<sub>n</sub>MOD.PUENビットを1に設定するとイネーブルになります。

表12.2.4.1 入力端子のプルアップ/プルダウン

端子	マスタモード	スレーブモード
SDIn	プルアップ	プルアップ
SPICLK <sub>n</sub>	-	SPI <sub>n</sub> MOD.CPOLビット = 1: プルアップ SPI <sub>n</sub> MOD.CPOLビット = 0: プルダウン
#SPISSn	-	プルアップ

## 12.3 クロック設定

### 12.3.1 SPIAの動作クロック

#### マスタモード時の動作クロック

マスタモード時のSPIA動作クロックは16ビットタイマから供給されます。これには以下に示す2つのオプションが用意されています。

#### 16ビットタイマの動作クロックをそのまま使用

SPI<sub>n</sub>MOD.NOCLKDIVビットを1に設定すると、クロックソースとその分周比を選択して設定された、SPIAチャンネルに対応する16ビットタイマチャンネルの動作クロックCLK\_T16<sub>m</sub>が、CLK\_SPIAnとしてSPIAにも供給されます。このクロックはそのままSPIクロックSPICLK<sub>n</sub>としても使用されますので、CLK\_SPIAn周波数がそのままボーレートになります。

SPIAにCLK\_SPIAnを供給するには、クロックジェネレータで16ビットタイマのクロックソースをイネーブルにしておく必要があります。対応する16ビットタイマチャンネルのT16<sub>m</sub>CTL.MODENビットとT16<sub>m</sub>CTL.PRUNビットは、1でも0でも構いません。

このモードでは、対応する16ビットタイマチャンネルのタイマ機能を別の目的に使用可能です。

#### 16ビットタイマをボーレートジェネレータとして使用

SPI<sub>n</sub>MOD.NOCLKDIVビットを0に設定すると、対応する16ビットタイマチャンネルで生成されたアンダーフロー信号をSPIAに入力してSPICLK<sub>n</sub>を生成します。この場合は、適切なリロードデータを設定して16ビットタイマを動作させる必要があります。この場合のSPICLK<sub>n</sub>周波数(ボーレート)、16ビットタイマのリロードデータは以下の式で求められます。

$$f_{\text{SPICLK}} = \frac{f_{\text{CLK\_SPIA}}}{2 \times (\text{RLD} + 1)} \quad \text{RLD} = \frac{f_{\text{CLK\_SPIA}}}{f_{\text{SPICLK}} \times 2} - 1 \quad (\text{式12.1})$$

ここで

$f_{\text{SPICLK}}$ : SPICLK $n$ 周波数[Hz] (=ボーレート[bps])

$f_{\text{CLK\_SPIA}}$ : SPIA動作クロック周波数[Hz]

RLD: 16ビットタイマリロードデータ値

16ビットタイマの制御方法については、“16ビットタイマ”の章を参照してください。

### スレーブモード時の動作クロック

スレーブモードのSPIAは、外部のSPIマスタからSPICLK $n$ 端子に供給されるクロックで動作します。SPIAチャンネルに対応する16ビットタイマチャンネル(クロックソースセレクトと分周器を含む)は使用しません。また、SPI $n$ MOD.NOCLKDIVビットの設定は無効になります。

SLEEPモードですべてのクロックが停止している状態でも、SPIAは外部のSPIマスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

### 12.3.2 DEBUGモード時のクロック供給

マスタモードでは、DEBUGモード時の動作クロックの供給をT16 $_m$ CLK.DBRUNビットで制御します。T16 $_m$ CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSPIA Ch. $n$ へのCLK\_T16 $_m$ の供給が停止します。その後通常モードに戻ると、CLK\_T16 $_m$ の供給が再開します。CLK\_T16 $_m$ の供給が停止するとSPIA Ch. $n$ の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。T16 $_m$ CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_T16 $_m$ の供給は停止せず、SPIA Ch. $n$ は動作を継続します。

スレーブモード時は、DEBUGモードか通常モードかにかかわらず、外部のSPIマスタからSPICLK $n$ 端子に供給されるクロックで動作します。

### 12.3.3 SPIクロック(SPICLK $n$ )の位相と極性

SPICLK $n$ の位相と極性は、SPI $n$ MOD.CPHAビットとSPI $n$ MOD.CPOLビットで個々に設定できます。各設定におけるクロック波形とデータ入出力タイミングを図12.3.3.1に示します。

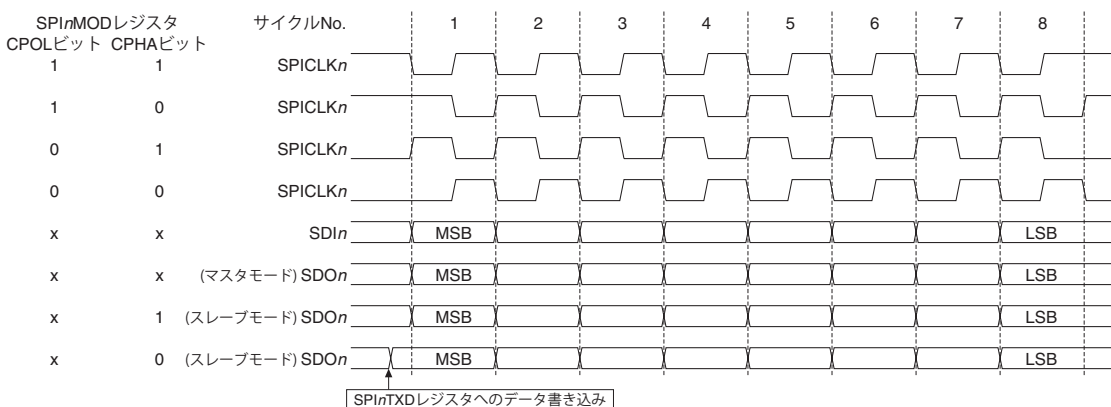


図12.3.3.1 SPIクロックの位相と極性(SPI $n$ MOD.LSBFSTビット = 0, SPI $n$ MOD.CHNLN[3:0]ビット = 0x7)



## 12.4 データフォーマット

SPIAのデータ長は、SPI $n$ MOD.CHLN[3:0]ビットの設定により、2ビット～16ビットの中から選択できます。入出力の順列は、SPI $n$ MOD.LSBFSTビットにてMSB先頭、またはLSB先頭を選択できます。SPI $n$ MOD.CHLN[3:0]ビット = 0x7、SPI $n$ MOD.CPOLビット = 0、SPI $n$ MOD.CPHAビット = 0のときのデータフォーマットの例を、図12.4.1に示します。

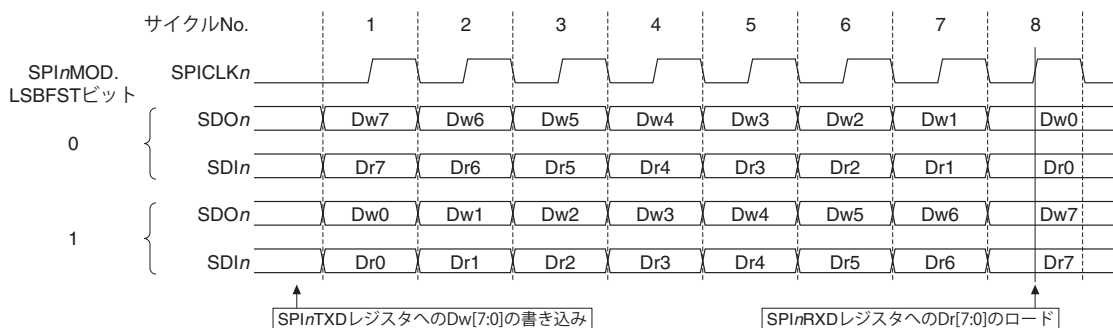


図12.4.1 SPI $n$ MOD.LSBFSTビットによるデータフォーマットの選択

(SPI $n$ MOD.CHLN[3:0]ビット = 0x7, SPI $n$ MOD.CPOLビット = 0, SPI $n$ MOD.CPHAビット = 0)

## 12.5 動作

### 12.5.1 初期設定

SPIA Ch. $n$ は、以下の手順により初期設定を行います。

1. <マスタモードで使用する場合のみ>16ビットタイマを制御してクロックを生成し、SPIA Ch. $n$ に供給する。
2. SPI $n$ MODレジスタの以下のビットを設定する。
  - SPI $n$ MOD.PUENビット (入力端子のプルアップ/ダウンイネーブル)
  - SPI $n$ MOD.NOCLKDIVビット (マスタモード動作クロック選択)
  - SPI $n$ MOD.LSBFSTビット (MSB先頭/LSB先頭選択)
  - SPI $n$ MOD.CPHAビット (クロック位相選択)
  - SPI $n$ MOD.CPOLビット (クロック極性選択)
  - SPI $n$ MOD.MSTビット (マスタ/スレーブモード選択)
3. SPIA Ch. $n$ 入出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
4. SPI $n$ CTLレジスタの以下のビットを設定する。
  - SPI $n$ CTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
  - SPI $n$ CTL.MODENビットを1に設定 (SPIA Ch. $n$ の動作をイネーブル)
5. 割り込みを使用する場合は以下のビットを設定する。
  - SPI $n$ INTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
  - SPI $n$ INTEレジスタの割り込みイネーブルビットを1に設定\* (割り込みイネーブル)

\* SPI $n$ INTF.TBEIFビットの初期値が1のため、SPI $n$ INTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。

### 12.5.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図12.5.2.1と図12.5.2.2に示します。

#### 送信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2. SPI $n$ INTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
3. SPI $n$ TXDレジスタに送信データを書き込む。

4. 割り込みを使用する場合はSPIA割り込みを待つ。
5. 送信データ終了まで、2~4(または2と3)を繰り返す。
6. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

### 送信動作

SPI $n$ TXDレジスタに送信データを書き込むことにより、SPIA Ch. $n$ は送信動作を開始します。SPI $n$ TXDレジスタの送信データは、自動的にシフトレジスタへ転送され、SPI $n$ INTF.TBEIFビットが1にセットされます。SPI $n$ INTE.TBEIEビット = 1(送信バッファエンプティ割り込みイネーブル)の場合、これと同時に送信バッファエンプティ割り込み要求が発生します。

次に、SPICLK $n$ 端子からSPI $n$ MOD.CHLN[3:0]ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、SDO $n$ 端子から送信データが順次出力されます。

SPICLK $n$ 端子からクロックが出力されている最中であっても、SPI $n$ INTF.TBEIFビット = 1を確認した後に、SPI $n$ TXDレジスタへ次の送信データを書き込むことができます。

SPICLK $n$ 端子から最後のクロックが出力されたときに、SPI $n$ TXDレジスタに送信データが書き込まれていなかった場合、クロックの出力が停止し、SPI $n$ INTF.TENDIFビットが1にセットされます。このとき、SPI $n$ INTE.TENDIEビット = 1であれば、送信完了割り込み要求が発生します。

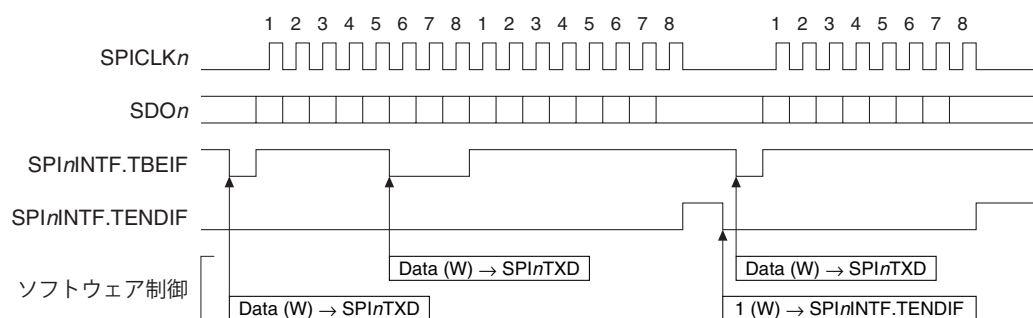


図12.5.2.1 マスタモードのデータ送信動作例(SPI $n$ MOD.CHLN[3:0]ビット = 0x7)

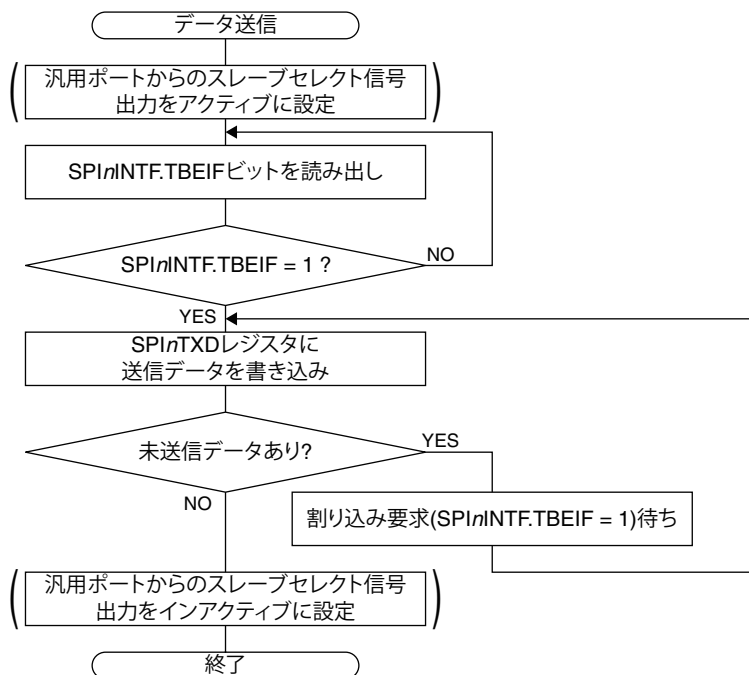


図12.5.2.2 マスタモードのデータ送信フローチャート

### 12.5.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図12.5.3.1と図12.5.3.2に示します。

#### 受信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2.  $SPI_nINTF.TBEIF$ ビットが1(送信バッファエンプティ)になっていることを確認する。
3.  $SPI_nTXD$ レジスタに任意のデータ(または送信データ)を書き込む。
4. 送信バッファエンプティ割り込み( $SPI_nINTF.TBEIF$ ビット = 1)を待つ。
5.  $SPI_nTXD$ レジスタに任意のデータ(または送信データ)を書き込む。
6. 受信バッファフル割り込み( $SPI_nINTF.RBFIF$ ビット = 1)を待つ。
7.  $SPI_nRXD$ レジスタから受信データを読み出す。
8. 受信終了まで、5~7を繰り返す。
9. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

注:  $SPICLK_n$ を停止させずに連続的にデータを受信するためには、6の後、7と5の操作を“データビット長 - 1”に相当する $SPICLK_n$ 周期以内に完了させる必要があります。

#### 受信動作

$SPI_nTXD$ レジスタに送信データ(送信が不要の場合は任意の値で可)を書き込むことにより、SPIA  $Ch.n$ は送信動作と同時に受信動作も開始します。

$SPICLK_n$ 端子から $SPI_nMOD.CHLN[3:0]$ ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、 $SDO_n$ 端子から送信データが順次出力されると共に、 $SDI_n$ 端子から受信データがシフトレジスタへ取り込まれます。

$SPICLK_n$ 端子から最後のクロックが出力され、受信データビットがすべてシフトレジスタに取り込まれると、そのデータは受信データバッファに転送され、 $SPI_nINTF.RBFIF$ ビットが1にセットされます。このとき、 $SPI_nINTE.RBFIE$ ビット = 1であれば、受信バッファフル割り込み要求が発生します。これ以降、受信データバッファ内の受信データは $SPI_nRXD$ レジスタから読み出すことができます。

注:  $SPI_nINTF.RBFIF$ ビットが1にセットされている状態で $SPI_nMOD.CHLN[3:0]$ ビットによって定義されるビット数分のデータを受信すると、 $SPI_nRXD$ レジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、 $SPI_nINTF.OEIF$ ビットがセットされます。

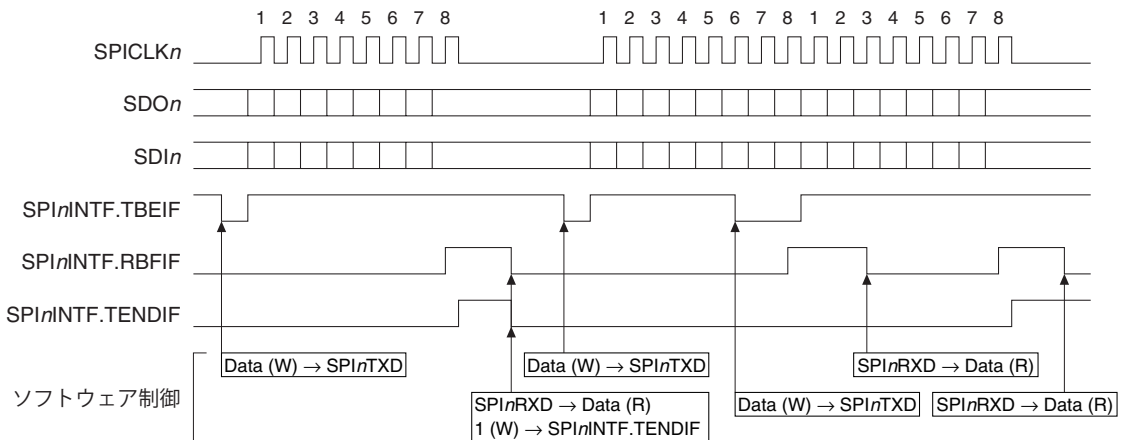
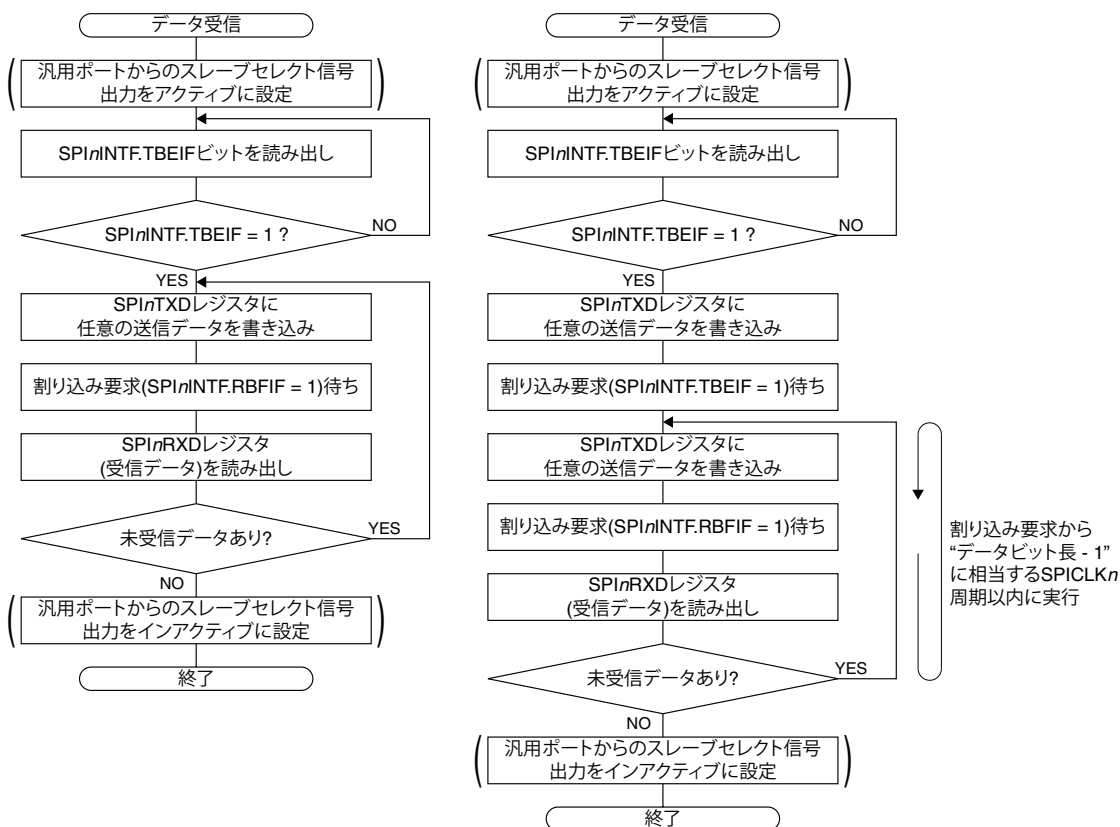


図12.5.3.1 マスタモードのデータ受信動作例( $SPI_nMOD.CHLN[3:0]$ ビット = 0x7)



(A)断続的にデータを受信する場合

(B)連続的にデータを受信する場合

図12.5.3.2 マスタモードのデータ受信フローチャート

## 12.5.4 マスタモードのデータ送受信終了

マスタモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPI<sub>n</sub>INTF.TENDIFビット = 1)を待つ。
2. SPI<sub>n</sub>CTL.MODENビットを0に設定し、SPIA Ch.*n*の動作をディスエーブルにする。
3. 16ビットタイマを停止させ、SPIA Ch.*n*へのクロック供給を止める。

## 12.5.5 スレーブモードのデータ送受信

スレーブモード時のデータ送受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図12.5.5.1と図12.5.5.2に示します。

### 送信手順

1. SPI<sub>n</sub>INTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
2. SPI<sub>n</sub>TXDレジスタに送信データを書き込む。
3. 送信バッファエンプティ割り込み(SPI<sub>n</sub>INTF.TBEIFビット = 1)を待つ。
4. 送信データ終了まで、2と3を繰り返す。

注: SPI<sub>n</sub>INTF.TBEIFビットが1にセットされてからSPI<sub>n</sub>TXDレジスタに書き込んだデータが送出完了するまでの間に、送信データをSPI<sub>n</sub>TXDレジスタへ書き込む必要があります。もし、この間に送信データが書き込まれなかった場合は、SD<sub>n</sub>端子から入力されたデータがそのままシフトアウトされます。

## 受信手順

1. 受信バッファフル割り込み(SPI $n$ INTF.RBFIFビット = 1)を待つ。
2. SPI $n$ RXDレジスタから受信データを読み出す。
3. 受信終了まで、1と2を繰り返す。

## 送受信動作

スレーブモードの動作は、マスタモードとは以下の点が異なります。

- 外部SPIマスタからSPICLK $n$ 端子に供給されるSPIクロックで動作します。  
データ転送レートはSPICLK $n$ の周波数によって決まります。16ビットタイマの制御は不要です。
- 外部SPIマスタから#SPISS $n$ 端子に入力されるスレーブセレクト信号がアクティブ(LOW)な場合にのみスレーブデバイスとして動作します。  
#SPISS $n$  = HIGHの場合、送受信操作、およびSPICLK $n$ とSDIn端子入力がすべて無効になります。また、送受信の途中で#SPISS $n$ がHIGHになった場合は、転送ビット数カウンタがクリアされ、シフトレジスタ内のデータは破棄されます。
- データの送受信は外部SPIマスタによって#SPISS $n$ がアクティブになり、SPICLK $n$ が入力されることで開始します。送信データの書き込みは、送受信開始のトリガにはなりません。したがって、受信のみを行う場合、送信データバッファへのダミーデータの書き込みは不要です。
- SLEEPモードでもデータの送受信動作が可能で、SPIAの割り込みによってCPUをウェイクアップさせることができます。

上記以外の動作はマスタモードと同様です。

- 注:
- SPI $n$ INTF.RBFIFビットが1にセットされている状態で、SPI $n$ MOD.CHLN[3:0]ビットによって定義されるビット数分のデータを受信すると、SPI $n$ RXDレジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、SPI $n$ INTF.OEIFビットがセットされます。
  - SPI $n$ INTF.TBEIFビットが1にセットされている状態でも、SPICLK $n$ 端子から1ビット目のクロックが入力されると、SPIAはその時点でシフトレジスタに保存されているデータの送信を開始します。

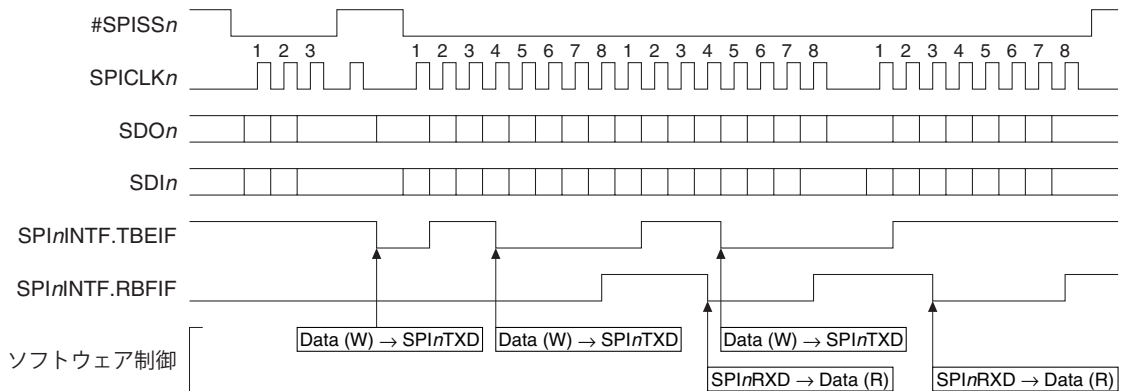


図12.5.5.1 スレーブモード時の送受信動作例(SPI $n$ MOD.CHLN[3:0]ビット = 0x7)

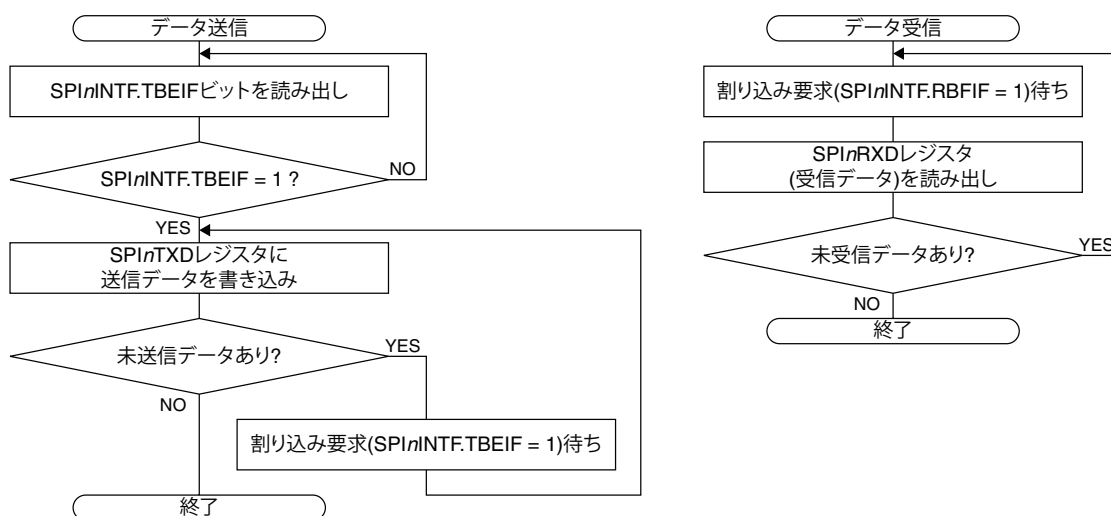


図12.5.5.2 スレーブモード時の送受信フローチャート

### 12.5.6 スレーブモードのデータ送受信終了

スレーブモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPI<sub>n</sub>INTF.TENDIFビット = 1)を待つ。または受信データなどで終了を判断する。
2. SPI<sub>n</sub>CTL.MODENビットを0に設定し、SPIA Ch.*n*の動作をディスエーブルにする。

## 12.6 割り込み

SPIAには、表12.6.1に示す割り込みを発生させる機能があります。

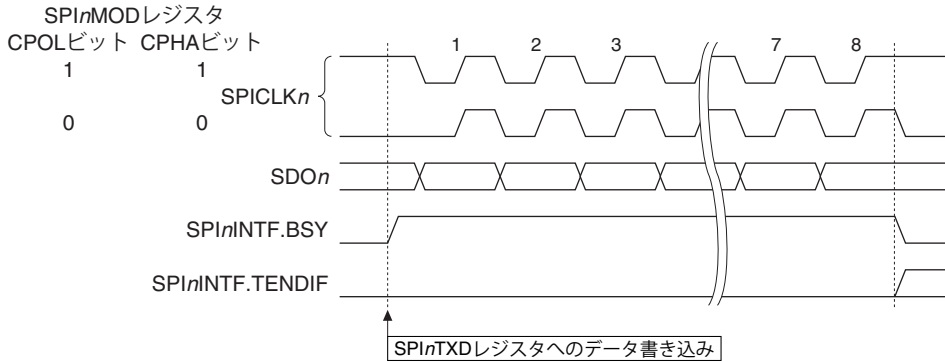
表12.6.1 SPIAの割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	SPI <sub>n</sub> INTF.TENDIF	指定ビット数(SPI <sub>n</sub> MOD.CHLN[3:0]ビットによって定義)のデータ送信後にSPI <sub>n</sub> INTF.TBEIFビット = 1のとき	1書き込み
受信バッファフル	SPI <sub>n</sub> INTF.RBFIF	指定ビット数のデータを受信し、受信データがシフトレジスタから受信データバッファに転送されたとき	SPI <sub>n</sub> RXDレジスタの読み出し
送信バッファエンプティ	SPI <sub>n</sub> INTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	SPI <sub>n</sub> TXDレジスタへの書き込み
オーバーランエラー	SPI <sub>n</sub> INTF.OEIF	シフトレジスタにデータを受信し終わった時点で、受信データバッファが満杯(受信データが読み出されていない)のとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。また、SPI<sub>n</sub>INTFレジスタにはSPIAの動作状態を示すBSYビットも設けられています。

図12.6.1に、SPI<sub>n</sub>INTF.BSYビットおよびSPI<sub>n</sub>INTF.TENDIFビットがセットされるタイミングを示します。

## マスタモード



## スレーブモード

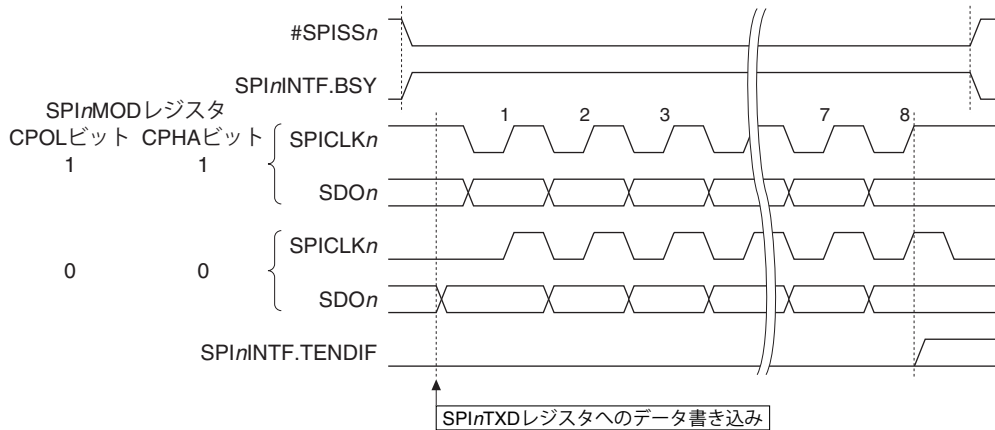


図12.6.1 SPI<sub>n</sub>INTF.BSYビットおよびSPI<sub>n</sub>INTF.TENDIFビットのセットタイミング  
(SPI<sub>n</sub>MOD.CHNLN[3:0]ビット = 0x7の場合)

## 12.7 制御レジスタ

SPIA Ch.*n* Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI <sub>n</sub> MOD	15-12	-	0x0	-	R	-
	11-8	CHLN[3:0]	0x7	H0	R/W	
	7-6	-	0x0	-	R	
	5	PUEN	0	H0	R/W	
	4	NOCLKDIV	0	H0	R/W	
	3	LSBFST	0	H0	R/W	
	2	CPHA	0	H0	R/W	
	1	CPOL	0	H0	R/W	
0	MST	0	H0	R/W		

## Bits 15-12 Reserved

## Bits 11-8 CHLN[3:0]

これらのビットは、送受信データのビット長を設定します。

表12.7.1 データビット長の設定

SPI <sub>n</sub> MOD.CHNLN[3:0]ビット	データビット長
0xf	16ビット
0xe	15ビット
0xd	14ビット
0xc	13ビット
0xb	12ビット
0xa	11ビット
0x9	10ビット
0x8	9ビット
0x7	8ビット
0x6	7ビット
0x5	6ビット
0x4	5ビット
0x3	4ビット
0x2	3ビット
0x1	2ビット
0x0	設定禁止

**Bits 7–6 Reserved**

**Bit 5 PUEN**

このビットは、入力端子のプルアップ/プルダウンをイネーブルにします。

1 (R/W): プルアップ/プルダウンイネーブル

0 (R/W): プルアップ/プルダウンディスエーブル

詳細は、“入力端子のプルアップ/プルダウン機能”を参照してください。

**Bit 4 NOCLKDIV**

このビットは、マスタモード時のSPICLK<sub>n</sub>を選択します。スレーブモードでは無効です。

1 (R/W): SPICLK<sub>n</sub>周波数 = CLK\_SPIA<sub>n</sub>周波数 (= 16ビットタイマ動作クロック周波数)

0 (R/W): SPICLK<sub>n</sub>周波数 = 16ビットタイマ出力周波数 / 2

詳細は、“SPIAの動作クロック”を参照してください。

**Bit 3 LSBFST**

このビットは、データフォーマット(入出力順列)を設定します。

1 (R/W): LSB先頭

0 (R/W): MSB先頭

**Bit 2 CPHA**

**Bit 1 CPOL**

これらのビットは、SPIクロックの位相および極性を設定します。詳細は、“SPIクロック (SPICLK<sub>n</sub>)の位相と極性”を参照してください。

**Bit 0 MST**

このビットは、SPIAの動作モード(マスタモードまたはスレーブモード)を設定します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

注: SPI<sub>n</sub>MODレジスタは、SPI<sub>n</sub>CTL.MODENビット = 0のときのみ設定変更が可能です。

## SPIA Ch.<sub>n</sub> Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI <sub>n</sub> CTL	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

**Bits 15–2 Reserved**



**Bit 1 SFTRST**

このビットは、SPIAをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

SPIAのシフトレジスタ、および転送ビット数カウンタがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

**Bit 0 MODEN**

このビットは、SPIAの動作をイネーブルにします。

1 (R/W): SPIA動作イネーブル(マスタモードでは、動作クロックが供給されます。)

0 (R/W): SPIA動作ディスエーブル(マスタモードでは、動作クロックが停止します。)

注: データの送受信中にSPInCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、SPInCTL.MODENビットを再度1に設定する場合は、必ずSPInCTL.SFTRSTビットにも1を書き込んでください。

**SPIA Ch.n Transmit Data Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPInTXD	15-0	TXD[15:0]	0x0000	H0	R/W	-

**Bits 15-0 TXD[15:0]**

これらのビットを介して、送信データバッファヘデータを書き込むことができます。

マスタモードでは、この書き込みにより送受信動作を開始します。

SDOn端子からデータが出力されている期間でも、SPInINTF.TBEIFビット = 1のときは送信データを書き込むことができます。

SPInMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位ビットのデータは、SDOn端子から出力されません。

注: SPInINTF.TBEIFビット = 0のときは、SPInTXDレジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

**SPIA Ch.n Receive Data Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPInRXD	15-0	RXD[15:0]	0x0000	H0	R	-

**Bits 15-0 RXD[15:0]**

これらのビットを介して、受信データバッファが読み出せます。SDIn端子からデータが入力されている期間でも、SPInINTF.RBFIFビット = 1のときには受信データを読み出すことができます。SPInMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位のビットは0になります。

注: SPInCTL.MODENビット、またはSPInCTL.SFTRSTビットに1を書き込むと、SPInRXD.RXD[15:0]ビットは0x0000にクリアされます。

**SPIA Ch.n Interrupt Flag Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPInINTF	15-8	-	0x00	-	R	-
	7	BSY	0	H0	R	
	6-4	-	0x0	-	R	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	TENDIF	0	H0/S0	R/W	
	1	RBFIF	0	H0/S0	R	Cleared by reading the SPInRXD register.
0	TBEIF	1	H0/S0	R	Cleared by writing to the SPInTXD register.	

## 12 同期式シリアルインタフェース(SPIA)

### Bits 15–8 Reserved

#### Bit 7 BSY

このビットは、SPIAの動作状態を示します。

1 (R): 送受信ビジー (マスターモード)、#SPISSn = LOWレベル(スレーブモード)

0 (R): 待機中

### Bits 6–4 Reserved

#### Bit 3 OEIF

#### Bit 2 TENDIF

#### Bit 1 RBFIF

#### Bit 0 TBEIF

これらのビットは、SPIA割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア(OEIF, TENDIF)

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

SPI<sub>n</sub>INTF.OEIFビット: オーバーランエラー割り込み

SPI<sub>n</sub>INTF.TENDIFビット: 送信完了割り込み

SPI<sub>n</sub>INTF.RBFIFビット: 受信バッファフル割り込み

SPI<sub>n</sub>INTF.TBEIFビット: 送信バッファエンプティ割り込み

## SPIA Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI <sub>n</sub> INTE	15–8	–	0x00	–	R	–
	7–4	–	0x0	–	R	
	3	OEIE	0	H0	R/W	
	2	TENDIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

### Bits 15–4 Reserved

#### Bit 3 OEIE

#### Bit 2 TENDIE

#### Bit 1 RBFIE

#### Bit 0 TBEIE

これらのビットは、SPIAの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

SPI<sub>n</sub>INTE.OEIEビット: オーバーランエラー割り込み

SPI<sub>n</sub>INTE.TENDIEビット: 送信完了割り込み

SPI<sub>n</sub>INTE.RBFIEビット: 受信バッファフル割り込み

SPI<sub>n</sub>INTE.TBEIEビット: 送信バッファエンプティ割り込み

# 13 I<sup>2</sup>C(I2C)

## 13.1 概要

I2Cは、I<sup>2</sup>Cバスインタフェースのサブセットです。主な機能と特長を以下に示します。

- I<sup>2</sup>Cバスのマスタ(シングルマスタ)、またはスレーブデバイスとして動作
- 標準モード(最大100 kbit/s)、およびファースト・モード(最大400 kbit/s)に対応
- 7ビット、および10ビットアドレスモードに対応
- クロックストレッチに対応
- マスタモード時にクロックを生成するためのポーレートジェネレータを内蔵
- スレーブモード時は、I<sup>2</sup>Cバス上の信号のみで動作するため、他のクロックソースが不要
- スレーブモードはSLEEPモード時も動作し、アドレス一致検出時の割り込みによるウェイクアップが可能
- 自動バスクリア送出機能(マスタモード)
- 受信バッファフル、送信バッファエンpty、その他の割り込みを発生可能
- SDAおよびSCL入力の入力フィルタは、50 ns未満のノイズスパイク除去の規格には非準拠

図13.1.1にI2Cの構成を示します。

表13.1.1 S1C17F63のI2Cチャンネル構成

項目	S1C17F63
チャンネル数	1チャンネル(Ch.0)

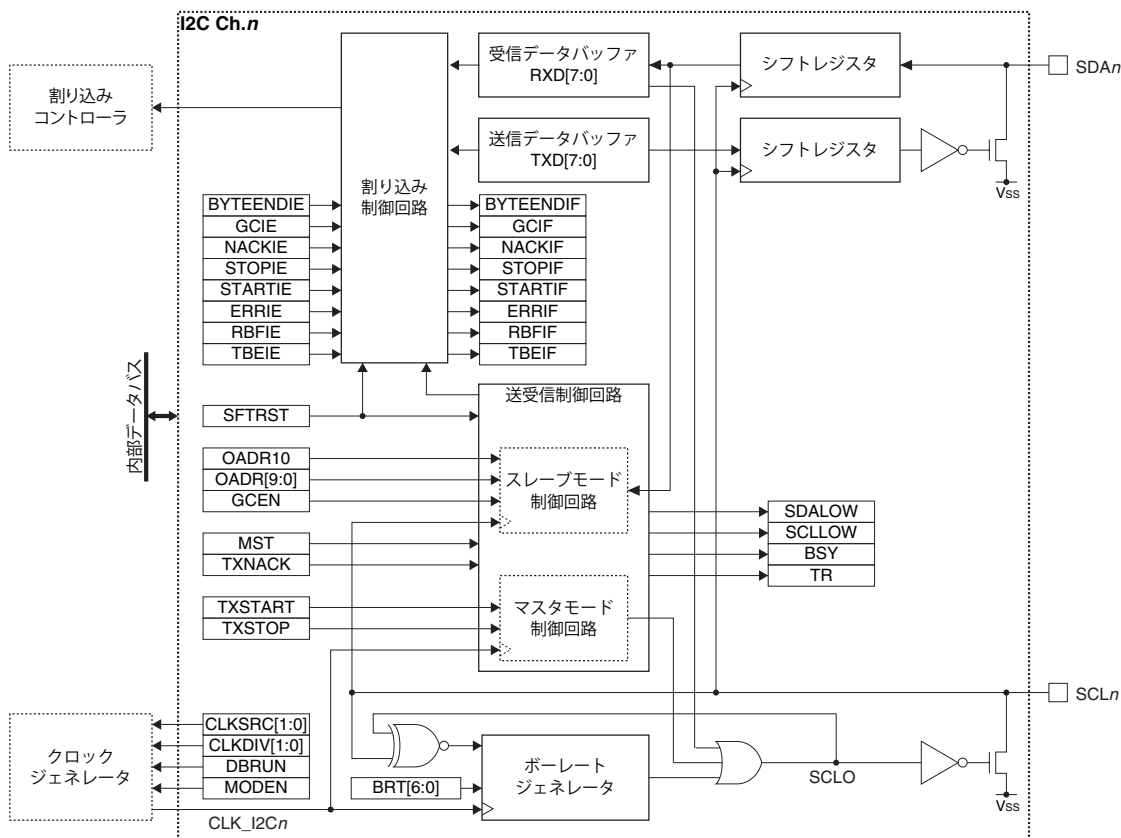


図13.1.1 I2Cの構成

## 13.2 入出力端子と外部接続

### 13.2.1 入出力端子一覧

表13.2.1.1にI<sup>2</sup>C端子の一覧を示します。

表13.2.1.1 I<sup>2</sup>C端子一覧

端子名	I/O*	イニシャル状態*	機能
SDA <sub>n</sub>	I/O	I	I <sup>2</sup> Cバスのシリアルデータ入出力端子
SCL <sub>n</sub>	I/O	I	I <sup>2</sup> Cバスのクロック入出力端子

\* 端子機能をI<sup>2</sup>Cに切り換えた時点の状態

これらのI<sup>2</sup>C端子と他の機能がポートを共有している場合、I<sup>2</sup>Cを動作させる前にI<sup>2</sup>Cの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

### 13.2.2 外部との接続

I<sup>2</sup>Cと外部I<sup>2</sup>C機器との接続例を図13.2.2.1に示します。

I<sup>2</sup>Cバスのシリアルデータ(SDA)とシリアルクロック(SCL)は、外部抵抗によってプルアップする必要があります。

I<sup>2</sup>Cがマスターモードのとき、I<sup>2</sup>Cバス上には、ユニークなアドレスを持つ複数のスレーブデバイスを接続することができます。I<sup>2</sup>Cがスレーブモードのとき、I<sup>2</sup>Cバス上には、ユニークなアドレスを持つ複数または1つのマスターデバイスとスレーブデバイスを接続することができます。

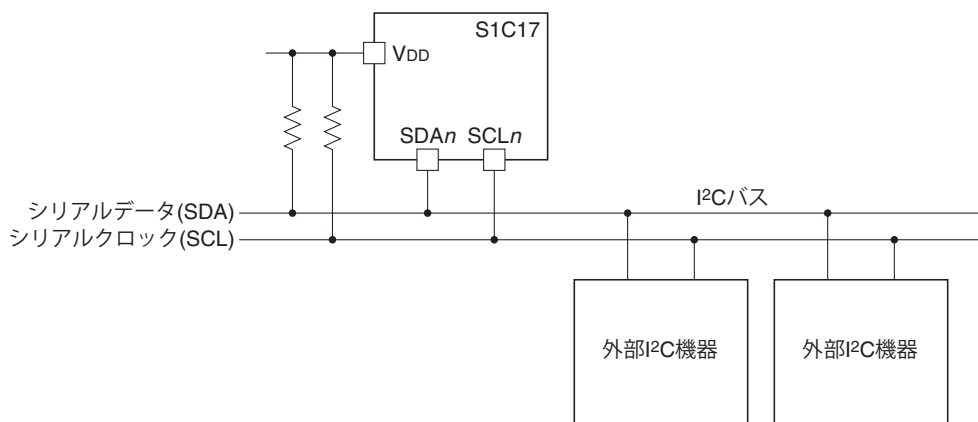


図13.2.2.1 I<sup>2</sup>Cと外部I<sup>2</sup>C機器との接続

注: • SDAとSCLは、必ず本ICのV<sub>DD</sub>以下の電圧にプルアップしてください。ただし、I<sup>2</sup>Cの入出力ポートがトレラント・フェイルセーフ対応I/Oの場合は、本ICの推奨動作電圧の範囲内で、本ICのV<sub>DD</sub>以上の電圧にプルアップすることが可能です。

- SDAとSCLのプルアップに、本ICの入出力ポートに内蔵されたプルアップ抵抗を使用することはできません。
- I<sup>2</sup>Cがマスターモードのときは、I<sup>2</sup>Cバス上に他のマスターデバイスを接続することはできません。

## 13.3 クロック設定

### 13.3.1 I2Cの動作クロック

#### マスタモードの動作クロック

I2C Ch.*n*をマスタモードで使用する場合、クロックジェネレータからI2C Ch.*n*動作クロックCLK\_I2C*n*をI2C Ch.*n*に供給する必要があります。

CLK\_I2C*n*の供給は以下の手順で制御してください。

- 1 クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. I2C*n*CLKレジスタの以下のビットを設定する。
  - I2C*n*CLK.CLKSRC[1:0]ビット (クロックソースの選択)
  - I2C*n*CLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

SLEEPモード時にマスタモードのI2Cを使用する場合は、I2C Ch.*n*動作クロックCLK\_I2C*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK\_I2C*n*を供給し続ける必要があります。I2Cの動作クロックは、ポーレートジェネレータで設定しやすいクロックを選択してください。

#### スレーブモードの動作クロック

スレーブモードのI2Cは、I<sup>2</sup>Cマスタから供給されるSCLを動作クロックとして使用します。

I2C*n*CLKレジスタによるクロックの設定は無効になります。

SLEEPモードですべてのクロックが停止している状態でも、I2Cは外部のI<sup>2</sup>Cマスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

### 13.3.2 DEBUGモード時のクロック供給

マスタモードでは、DEBUGモード時のCLK\_I2C*n*の供給はI2C*n*CLK.DBRUNビットで制御します。

I2C*n*CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとI2C Ch.*n*へのCLK\_I2C*n*の供給が停止します。その後通常モードに戻ると、CLK\_I2C*n*の供給が再開します。CLK\_I2C*n*の供給が停止するとI2C Ch.*n*の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。

I2C*n*CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_I2C*n*の供給は停止せず、I2C Ch.*n*は動作を継続します。

スレーブモードでは、DEBUGモードか通常モードかにかかわらず、外部のI<sup>2</sup>CマスタからSCL*n*端子に供給されるクロックで動作します。

### 13.3.3 ポーレートジェネレータ

I2Cは、マスタモードでの動作時にシリアルクロックSCLを生成する、ポーレートジェネレータを内蔵しています。スレーブモード時はSCL*n*端子から入力されるシリアルクロックで動作しますので、ポーレートジェネレータは使用しません。

#### データ転送レートの設定(マスタモード時)

転送レートはI2C*n*BR.BRT[6:0]ビットの設定により決まります。

希望の転送レートを得るための設定値は次の式で計算できます。

$$\text{bps} = \frac{f_{\text{CLK\_I2Cn}}}{(\text{BRT} + 3) \times 2} \qquad \text{BRT} = \frac{f_{\text{CLK\_I2Cn}}}{\text{bps} \times 2} - 3 \qquad (\text{式13.1})$$

ここで

bps: データ転送レート [bit/s]

f<sub>CLK\_I2C*n*</sub>: I2Cの動作クロック周波数 [Hz]

BRT: I2C*n*BR.BRT[6:0]ビットの設定値(1~127)

※ 上記の式は、SCLの立ち上がり/立ち下がり時間やクロックストレッチによる遅延時間(図13.3.3.1参照)を含んでいません。

注: I<sup>2</sup>Cバスの転送レートは標準モードで最大100 kbit/s、ファースト・モードで最大400 kbit/sに制限されています。制限以上の転送レートは設定しないでください。

## ボーレートジェネレータのクロック出力とクロックストレッチへの対応

ボーレートジェネレータが生成するクロックとI<sup>2</sup>Cバス上のクロック波形を図13.3.3.1に示します。

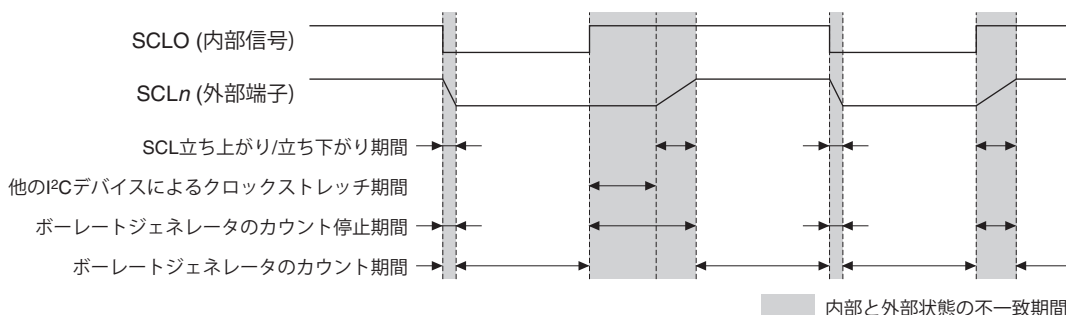


図13.3.3.1 ボーレートジェネレータ出力クロックとSCLn出力波形

ボーレートジェネレータが生成するSCLOはSCLn端子の状態と比較され、その結果がフィードバックされます。SCLOとSCLn端子の状態に不一致が発生している場合は、ボーレートジェネレータのカウンタ動作が停止します。これにより、SCL信号の立ち上がり/立ち下がり期間や、外部スレーブデバイスによってSCLがLOWに固定されるクロックストレッチの期間はクロックが延長され、データ送受信が制御されるようになっています。

## 13.4 動作

### 13.4.1 初期設定

I2C Ch.nは、以下の手順により初期設定を行います。

#### マスターモードで使用する場合

- I2CnCLKレジスタとI2CnBRレジスタで動作クロックとボーレートジェネレータを設定する。
- I2C Ch.n入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- 割り込みを使用する場合は以下のビットを設定する。
  - I2CnINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
  - I2CnINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
- I2CnCTLレジスタの以下のビットを設定する。
  - I2CnCTL.MSTビットを1に設定 (マスターモードに設定)
  - I2CnCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
  - I2CnCTL.MODENビットを1に設定 (I2C Ch.nの動作をイネーブル)

#### スレーブモードで使用する場合

- I2CnMODレジスタの以下のビットを設定する。
  - I2CnMOD.OADR10ビット (10/7ビットアドレスモード設定)
  - I2CnMOD.GCENビット (ジェネラルコールアドレス応答イネーブル)
- I2CnOADR.OADR[9:0][またはOADR[6:0]]ビットで自己アドレスを設定する。
- I2C Ch.n入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- 割り込みを使用する場合は以下のビットを設定する。
  - I2CnINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
  - I2CnINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
- I2CnCTLレジスタの以下のビットを設定する。
  - I2CnCTL.MSTビットを0に設定 (スレーブモードに設定)
  - I2CnCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
  - I2CnCTL.MODENビットを1に設定 (I2C Ch.nの動作をイネーブル)

## 13.4.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図13.4.2.1と図13.4.2.2に示します。

### 送信手順

1. I2CnCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。  
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
3. I2CnTXD.TXD[7:1]ビットに7ビットのスレーブアドレス、I2CnTXD.TXD0ビットにデータ転送方向がWRITEであることを示す0を書き込む。
4. ACK受信時の送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)、またはNACK受信時のNACK受信割り込み(I2CnINTF.NACKIFビット = 1)を待つ。
  - i. 送信バッファエンプティ割り込みが発生し、送信データがある場合は5へ
  - ii. NACK受信割り込み発生時は、I2CnINTF.NACKIFビットをクリアした後、7または1へ
5. I2CnTXDレジスタに送信データを書き込む。
6. 送信データ終了まで、4と5を繰り返す。
7. I2CnCTL.TXSTOPビットを1に設定し、ストップコンディションを生成する。
8. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)を待つ。  
割り込み発生後、I2CnINTF.STOPIFビットは1を書き込んでクリアする。

### 送信動作

#### スタートコンディションの生成

I2CnCTL.TXSTARTビットを1に設定すると、I2C Ch.nはスタートコンディションの生成を開始します。これが完了するとI2CnCTL.TXSTARTビットは0にクリアされ、I2CnINTF.STARTIFビットとI2CnINTF.TBEIFビットが1にセットされます。

#### スレーブアドレス、データの送信

I2CnINTF.TBEIFビット = 1であれば、I2CnTXDレジスタにスレーブアドレスやデータを書き込むことができます。なお、I2CnTXDレジスタへの書き込みが行われるまで、I2C Ch.nはSCLをLOWに固定して待機します。この書き込み操作をトリガとして、そのデータは自動的にシフトレジスタに転送され、8個のクロックとデータビットがPCバスに出力されます。

この応答としてスレーブデバイスからACKが返ると、I2CnINTF.TBEIFビットが1にセットされます。この割り込み要求が発生後、続くデータの送信や、送信を終了するストップコンディション/リピーテッドスタートコンディションの生成が行えます。NACKが返った場合は、I2CnINTF.TBEIFビットはセットされず、代わりにI2CnINTF.NACKIFビットが1にセットされます。

#### ストップコンディション/リピーテッドスタートコンディションの生成

I2CnINTF.TBEIFビット = 1(送信バッファエンプティ)またはI2CnINTF.NACKIFビット = 1(NACK受信)となった後にI2CnCTL.TXSTOPビットを1に設定すると、I2C Ch.nはストップコンディションを生成します。ストップコンディションの生成からバスフリー時間(I<sup>2</sup>C規格におけるt<sub>BUF</sub>)が経過した時点で、I2CnCTL.TXSTOPビットが0にクリアされ、I2CnINTF.STOPIFビットが1にセットされます。

I2CnINTF.TBEIFビット = 1(送信バッファエンプティ)、またはI2CnINTF.NACKIFビット = 1(NACK受信)の状態ではI2CnCTL.TXSTARTビットを1に設定すると、I2C Ch.nはリピーテッドスタートコンディションを生成します。リピーテッドスタートコンディションの生成が完了すると、スタートコンディション生成時と同様に、I2CnINTF.STARTIFビットとI2CnINTF.TBEIFビットが1にセットされます。

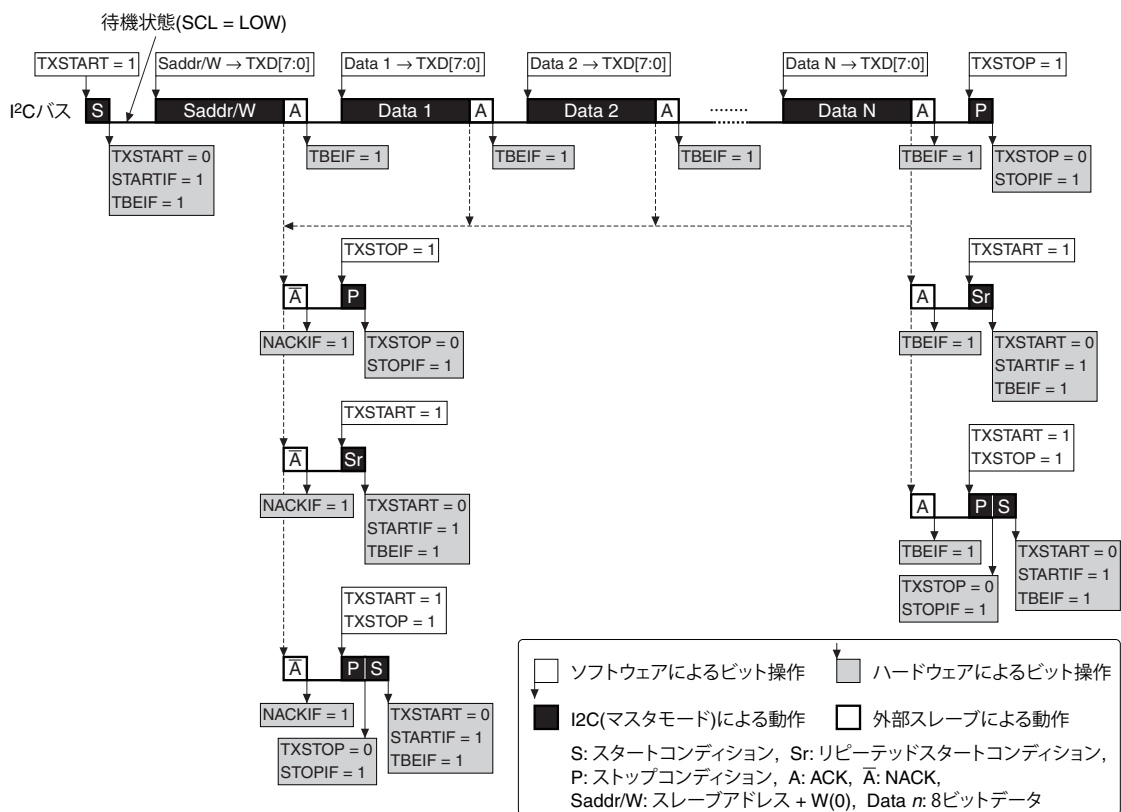


図13.4.2.1 マスターモードのデータ送信動作例

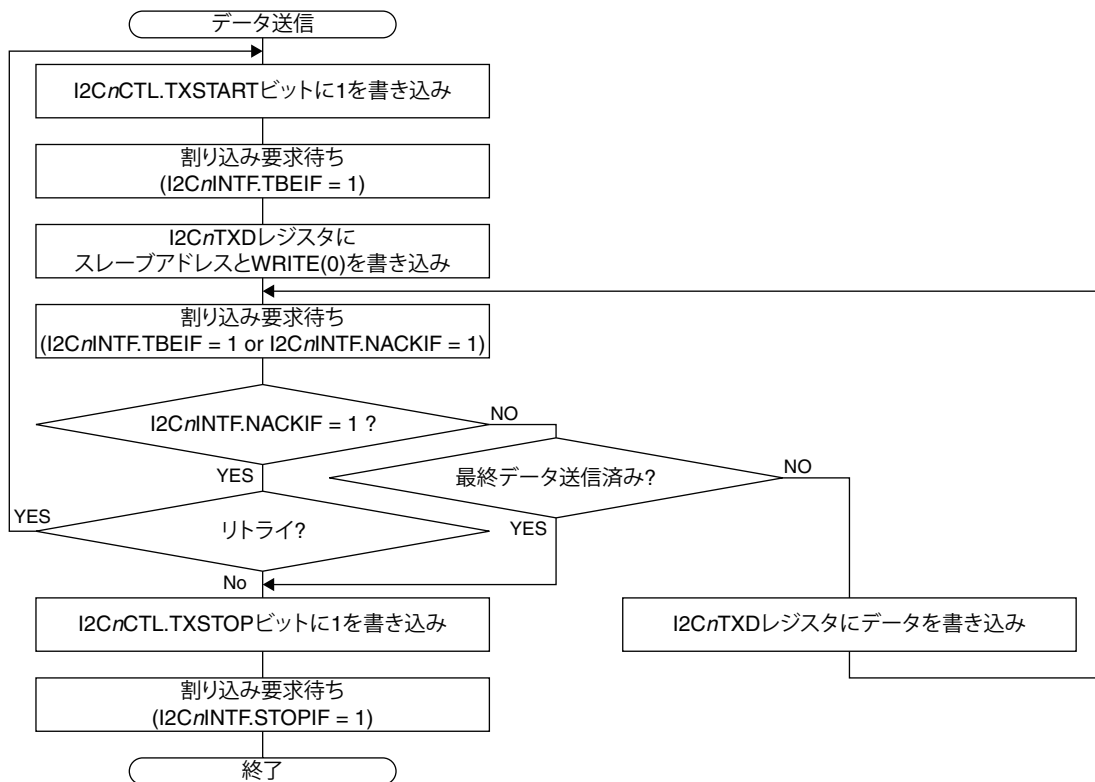


図13.4.2.2 マスターモードのデータ送信フローチャート



### 13.4.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図13.4.3.1と図13.4.3.2に示します。

#### 受信手順

1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。
2. I2CnCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
3. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。  
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
4. I2CnTXD.TXD[7:1]ビットに7ビットのスレーブアドレス、I2CnTXD.TXD0ビットにデータ転送方向がREADであることを示す1を書き込む。
5. 1バイト受信完了時の受信バッファフル割り込み(I2CnINTF.RBFIFビット = 1)、またはNACK受信時のNACK受信割り込み(I2CnINTF.NACKIFビット = 1)を待つ。
  - i. 受信バッファフル割り込みが発生した場合は6へ
  - ii. NACK受信割り込み発生時は、I2CnINTF.NACKIFビットをクリアした後、I2CnCTL.TXSTOPビットを1に設定してストップコンディションを生成する。その後、9へ。リトライする場合は2へ
6. 今回または次回の受信データが最終データとなる場合は、以下の処理を行う。
  - i. 次に受信するデータが最終データの場合は、I2CnCTL.TXNACKビットに1を書き込み、その受信後にNACKが送信されるようにする。その後、7へ。
  - ii. 今回受信したデータが最終データの場合は、I2CnRXDレジスタから受信データを読み出し後、I2CnCTL.TXSTOPビットを1に設定してストップコンディションを生成する。その後、9へ。
7. I2CnRXDレジスタから受信データを読み出す。
8. 受信データ終了まで、5~7を繰り返す。
9. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)を待つ。  
割り込み発生後、I2CnINTF.STOPIFビットは1を書き込んでクリアする。

#### 受信動作

##### スタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

##### スレーブアドレスの送信

マスタモードのデータ送信の場合と同様です。ただし、I2CnTXD.TXD0ビットはデータ転送方向がREADであることを示す1に設定してスレーブにデータの送信を要求する必要があります。

##### データの受信

スレーブアドレスの送信後、スレーブデバイスからはACKと最初のデータが送られてきます。このデータを受信し終わると、I2C Ch.nはI2CnINTF.RBFIFビットを1にセットします。また、I2C Ch.nはスレーブデバイスにACKを返します。最終データ受信後の応答など、NACKを返すときはI2CnINTF.RBFIFビットが1にセットされる前にI2CnCTL.TXNACKビットに1を書き込んでおきます。

受信バッファフル割り込み要求の発生後は、I2CnRXDレジスタから受信データを読み出すことができます。なお、I2CnRXDレジスタが読み出されるまで、I2C Ch.nはSCLをLOWに固定して待機します。

この読み出しがトリガとなり、I2C Ch.nは次のデータ受信を開始します。

##### ストップコンディション/リピーテッドスタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

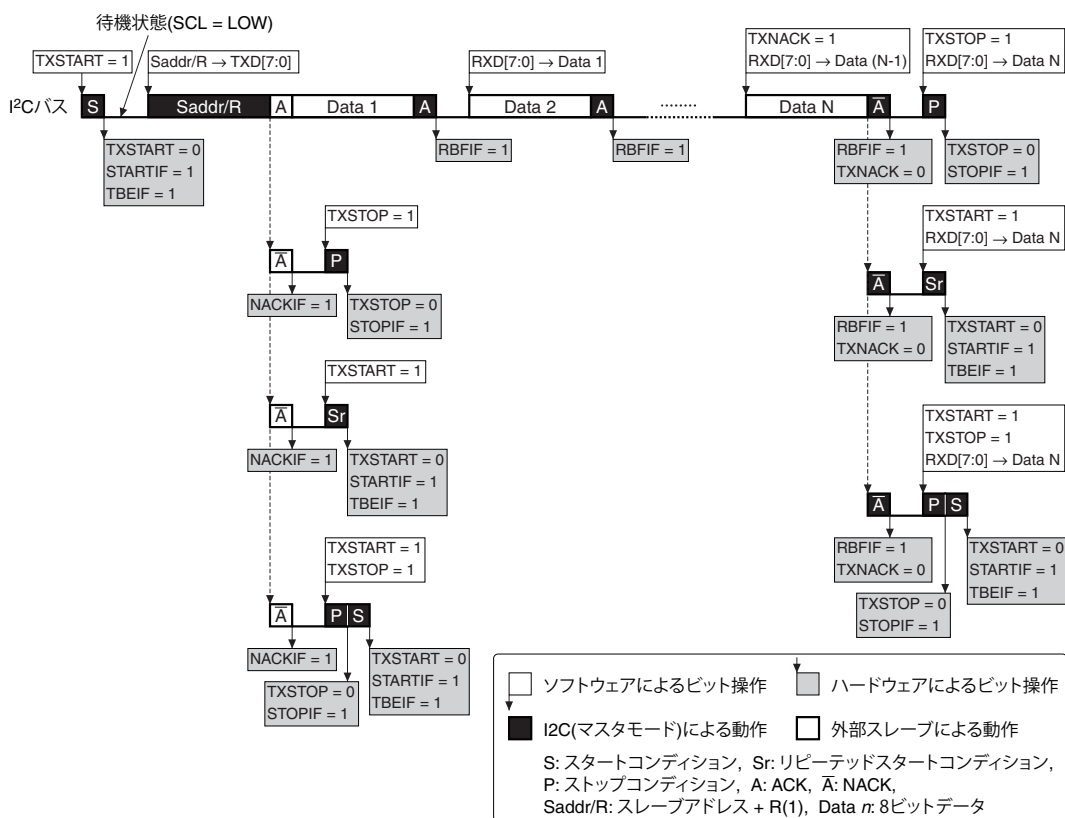


図13.4.3.1 マスタモードのデータ受信動作例

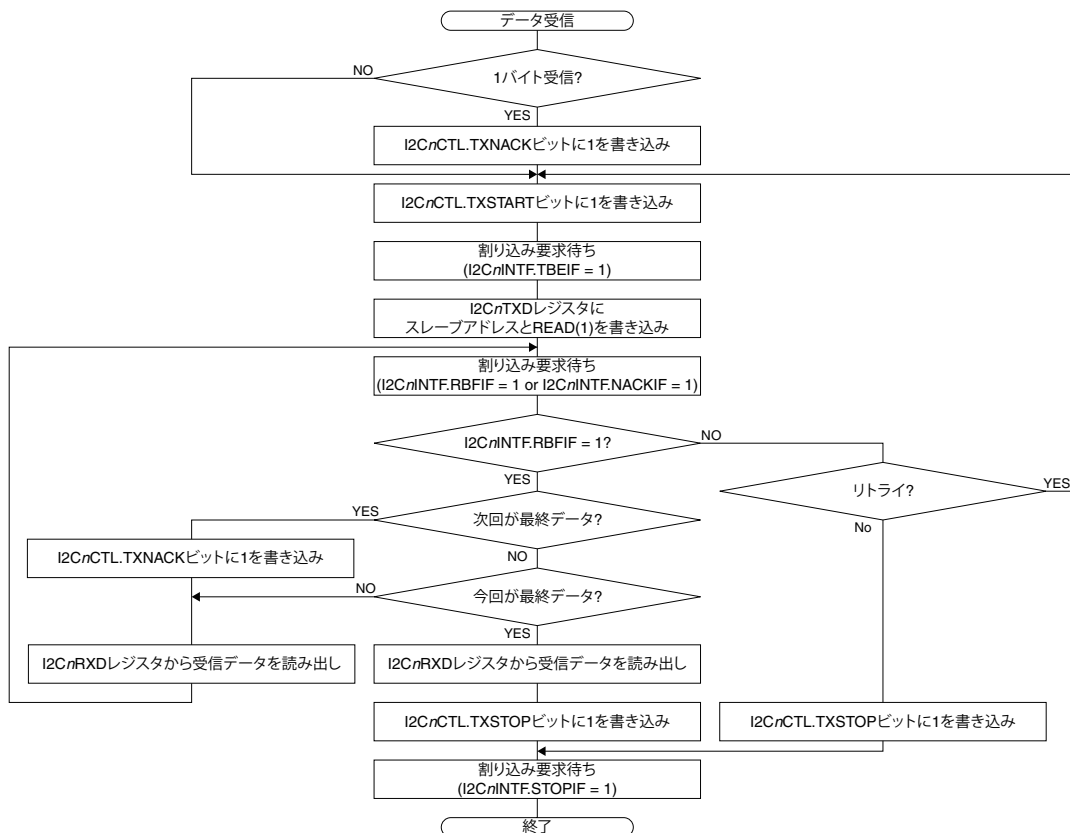
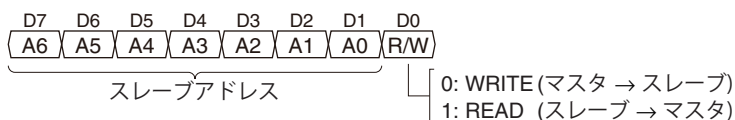


図13.4.3.2 マスタモードのデータ受信フローチャート

### 13.4.4 マスタモードでの10ビットアドレス指定

10ビットアドレスは上位2ビットと下位8ビットに分け、第1アドレスと第2アドレスを構成します。

7ビットアドレス



10ビットアドレス

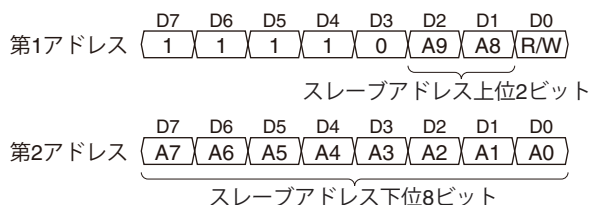


図13.4.4.1 10ビットアドレスの構成

マスタモード時に、10ビットアドレスモードで送受信を開始する手順を以下に示します(NACK受信時やデータ送受信の制御手順は、前述の7ビットモードの説明を参照してください)。また、動作例を図13.4.4.2に示します。

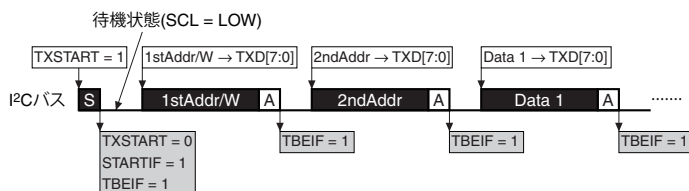
#### 10ビットアドレスモードの送信開始手順

1. I2CnCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。  
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
3. I2CnTXD.TXD[7:1]ビットに第1アドレス、I2CnTXD.TXD0ビットにデータ転送方向がWRITEであることを示す0を書き込む。
4. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)を待つ。
5. I2CnTXD.TXD[7:0]ビットに第2アドレスを書き込む。
6. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)を待つ。
7. データ送信を行う。

#### 10ビットアドレスモードの受信開始手順

- 1~6. 上記送信開始手順と同じ。
7. I2CnCTL.TXSTARTビットを1に設定し、リピーテッドスタートコンディションを生成する。
8. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。  
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
9. I2CnTXD.TXD[7:1]ビットに第1アドレス、I2CnTXD.TXD0ビットにデータ転送方向がREADであることを示す1を書き込む。
10. データ受信を行う。

データ送信開始時



データ受信開始時

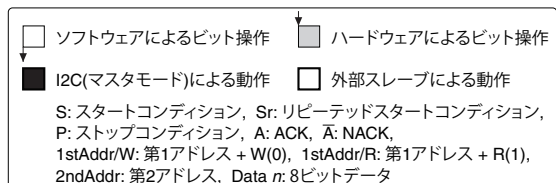
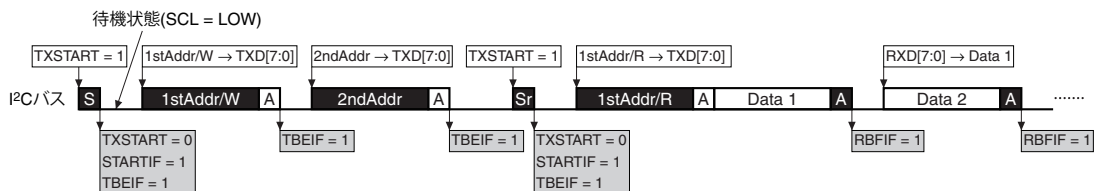


図13.4.4.2 10ビットアドレスモードのデータ送受信開始動作例(マスターモード)

### 13.4.5 スレーブモードのデータ送信

スレーブモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図13.4.5.1と図13.4.5.2に示します。

#### 送信手順

1. スタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。  
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
2. I2CnINTF.TRビット = 1(送信モード)を確認する。  
(I2CnINTF.TRビット = 0の場合は、受信手順を開始する。)
3. I2CnTXDレジスタに送信データを書き込む。
4. 送信バッファ空き割り込み(I2CnINTF.TBEIFビット = 1)、NACK受信割り込み(I2CnINTF.NACKIFビット = 1)、またはストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)を待つ。
  - i. 送信バッファ空き割り込みが発生した場合は3へ
  - ii. NACK受信割り込み発生時は、I2CnINTF.NACKIFビットをクリアした後、5へ
  - iii. ストップコンディション割り込み発生時は、6へ
5. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
  - i. ストップコンディション割り込み発生時は、6へ
  - ii. スタートコンディション割り込み発生時は、2へ
6. I2CnINTF.STOPIFビットをクリアし、送信動作を終了する。

## 送信動作

### スタートコンディションの検出とスレーブアドレスのチェック

I2CnCTL.MODENビット = 1、I2CnCTL.MSTビット = 0(スレーブモード)の場合、I2C Ch.nはI<sup>2</sup>Cバスをモニタし、スタートコンディションを検出すると、続いてマスタから送られるスレーブアドレスの受信動作を開始します。受信したアドレスが、I2CnOADR.OADR[6:0]ビット(I2CnMOD.OADR10ビット = 0(7ビットアドレスモード)の場合)、またはI2CnOADR.OADR[9:0]ビット(I2CnMOD.OADR10ビット = 1(10ビットアドレスモード)の場合)に設定した自己アドレスに一致すると、I2CnINTF.STARTIFビット、I2CnINTF.BSYビットが1にセットされます。また、I2C Ch.nは受信したアドレス内のR/Wビットの値をI2CnINTF.TRビットにセットし、これが1だった場合はI2CnINTF.TBEIFビットも1にセットしてデータ送信動作を開始します。

### 第1バイトのデータ送信

有効なスレーブアドレスを受信後、I2C Ch.nはI2CnTXDレジスタへの書き込みが行われるまで、SCLをLOWに固定して待機します。これにより、I<sup>2</sup>Cバスがクロックストレッチ状態となり、外部マスタも待機状態になります。送信データがI2CnTXDレジスタに書き込まれると、I2C Ch.nはI2CnINTF.TBEIFビットをクリアし、マスタに対してACKを送信します。I2CnTXDレジスタに書き込んだ送信データは自動的にシフトレジスタに転送され、I2CnINTF.TBEIFビットが1にセットされます。シフトレジスタのデータビットは順次I<sup>2</sup>Cバスに出力されます。

### 2バイト目以降のデータ送信

I2CnINTF.TBEIFビット = 1であれば、送信動作中であっても続く送信データの書き込みが可能です。シフトレジスタからの送信データ出力が完了したときにI2CnINTF.TBEIF = 1であった場合は、I2CnTXDレジスタに送信データが書き込まれるまで、I2C Ch.nはSCLをLow(クロックストレッチ状態)に固定します。

I2CnTXDレジスタに次の送信データが書き込まれている場合あるいは書き込まれると、外部マスタからACKを受信した時点で、次の8ビットデータ送信を行います。このときに、I2CnINTF.BYTEENDIFビットが1にセットされます。NACKを受信したときは、I2CnINTF.NACKIFビットがセットされ、データの送信は行われません。

### ストップコンディション/リピーテッドスタートコンディションの検出

I2CnCTL.MSTビット = 0(スレーブモード)、I2CnINTF.BSYビット = 1の場合、I2C Ch.nはI<sup>2</sup>Cバスをモニタしており、ストップコンディションを検出するとデータ送信動作を終了します。この時点で、I2CnINTF.BSYビットは0にクリアされ、I2CnINTF.STOPIFビットが1にセットされます。リピーテッドスタートコンディションを検出した場合も、I2C Ch.nはI2CnINTF.BSYビットをクリアしてデータ送信動作を終了します。この場合は、I2CnINTF.STARTIFビットが1にセットされます。

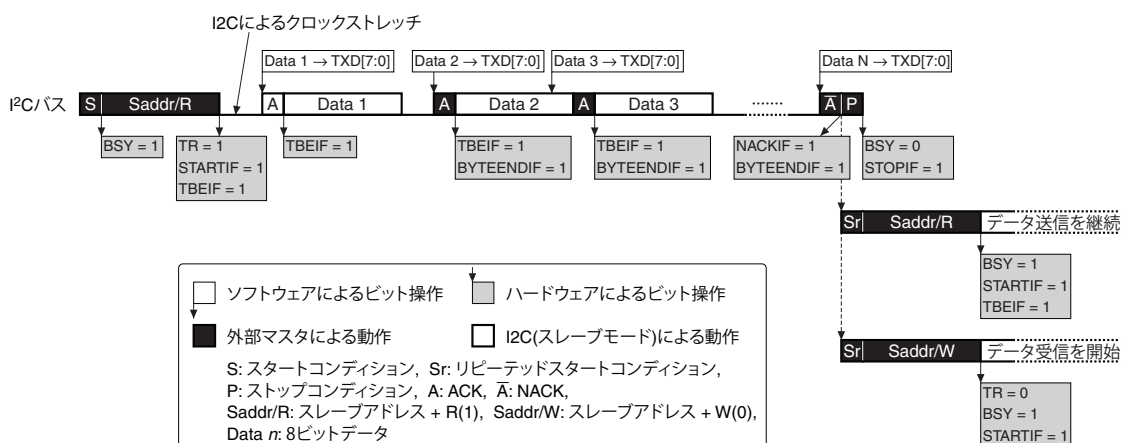


図13.4.5.1 スレーブモードのデータ送信動作例

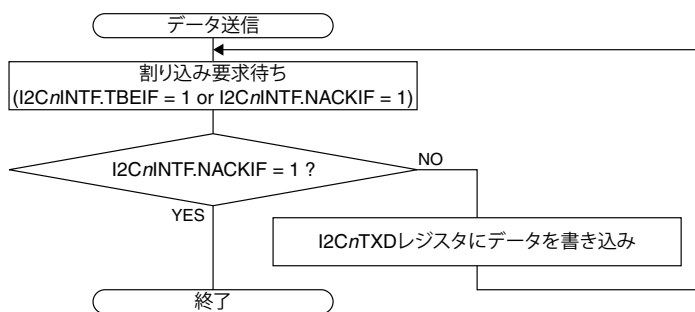


図13.4.5.2 スレーブモードのデータ送信フローチャート

### 13.4.6 スレーブモードのデータ受信

スレーブモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図13.4.6.1と図13.4.6.2に示します。

#### 受信手順

1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。
2. スタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
3. I2CnINTF.TRビット = 0(受信モード)を確認する。  
(I2CnINTF.TRビット = 1の場合は、送信手順を開始する。)
4. I2CnINTF.STARTIFビットに1を書き込んでクリアする。
5. 1バイト受信完了時の受信バッファフル割り込み(I2CnINTF.RBFIFビット = 1)、または送受信完了割り込み(I2CnINTF.BYTEENDIFビット = 1)を待つ。  
割り込み発生後、I2CnINTF.BYTEENDIFビットは1を書き込んでクリアする。
6. 次に受信するデータが最終データの場合は、I2CnCTL.TXNACKビットに1を書き込み、その受信後にNACKが送信されるようにする。
7. I2CnRXDレジスタから受信データを読み出す。
8. 受信データ終了まで、5~7を繰り返す。
9. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
  - i. ストップコンディション割り込み発生時は、10へ
  - ii. スタートコンディション割り込み発生時は、3へ
10. I2CnINTF.STOPIFビットをクリアし、受信動作を終了する。

#### 受信動作

##### スタートコンディションの検出とスレーブアドレスのチェック

スレーブモードのデータ送信の場合と同様です。

ただし、I2CnINTF.TRビットは0にクリアされ、I2CnINTF.TBEIFビットはセットされません。

また、I2CnMOD.GCENを1(ジェネラルコールアドレス応答イネーブル)に設定してある場合は、ジェネラルコールアドレスを受信した場合も受信動作を開始します。

SLEEPモードでもスレーブモードの動作は可能で、アドレス一致検出時の割り込みによってCPUをウェイクアップさせることができます。

##### 第1バイトのデータ受信

有効なスレーブアドレスを受信後、I2C Ch.nはACKを送信し、I2CnINTF.STARTIFビットに1が書き込まれるまで、SCLをLOWに固定します。これにより、I<sup>2</sup>Cバスがクロックストレッチ状態となり、外部マスタも待機状態になります。I2CnINTF.STARTIFビットに1が書き込まれるとSCLが解放され、外部マスタから送られるデータをシフトレジスタに受信します。8ビットのデータを受信し終わると、I2C Ch.nはACKを送信し、SCLをLOWに固定します。シフトレジスタの受信データは受信データバッファに転送され、I2CnINTF.RBFIFビットおよびI2CnINTF.BYTEENDIFビットが1にセットされます。これ以降、I2CnRXDレジスタから受信データを読み出すことができます。

## 2バイト目以降のデータ受信

I2CnINTF.RBFIFビットが1にセットされた後、I2CnRXDレジスタから受信データを読み出すと、I2CnINTF.RBFIFビットが0にクリアされるとともに、SCLが解放され、外部マスタから送られる次のデータを受信します。8ビットのデータを受信し終わると、I2C Ch.nはACKを送信し、SCLをLOWに固定します。シフトレジスタの受信データは受信データバッファに転送され、I2CnINTF.RBFIFビットおよびI2CnINTF.BYTEENDIFビットが1にセットされます。

受信を終了させるときなど、8ビットデータの受信終了時にNACKを返すには、その受信が終了する前にI2CnCTL.TXNACKビットに1を書き込んでおきます。NACKを送信すると、I2CnCTL.TXNACKビットは自動的に0にクリアされます。

## ストップコンディション/リピーテッドスタートコンディションの検出

スレーブモードのデータ送信の場合と同様です。

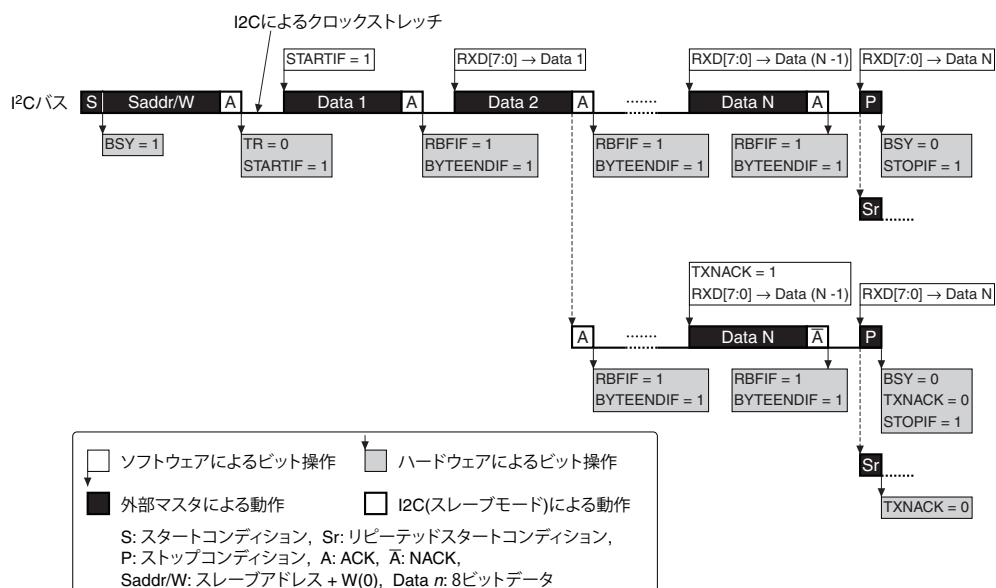


図13.4.6.1 スレーブモードのデータ受信動作例

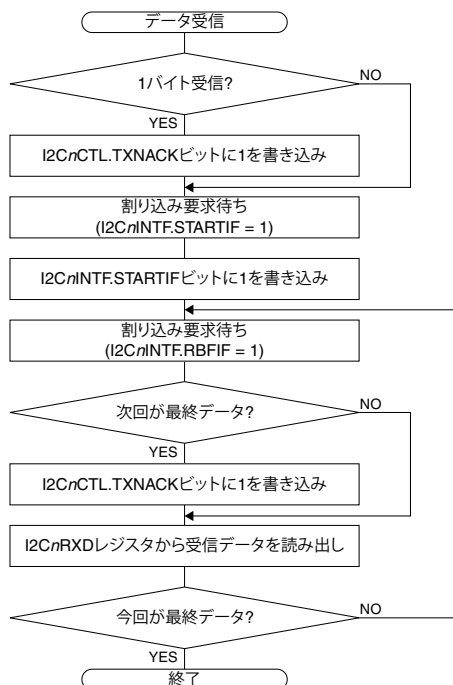


図13.4.6.2 スレーブモードのデータ受信フローチャート

### 13.4.7 10ビットアドレスモードのスレーブ動作

I2CnCTL.MSTビット = 0、かつI2CnMOD.OADR10ビット = 1のときは、I2C Ch.nは10ビットアドレスモードのスレーブとして動作します。このときのアドレス受信動作を以下に示します。また、動作例を図13.4.7.1に示します。10ビットアドレスの構成は、図13.4.4.1を参照してください。

#### 10ビットアドレスの受信動作

スタートコンディションの後、マスタからスレーブアドレスの上位2ビットとR/Wビット(= 0)を含む第1アドレスが送信されます。このアドレスの上位2ビットとI2CnOADR.OADR[9:8]ビットが一致した場合、I2C Ch.nはACKを返します。このときは、上位2ビットが一致した他のスレーブからもACKが送信されます。

次に、マスタから第2アドレスとしてスレーブアドレスの下位8ビットが送信されます。このアドレスとI2CnOADR.OADR[7:0]ビットが一致した場合、I2C Ch.nはACKを返した後、データの受信動作を開始します。

マスタがデータ受信(スレーブからのデータ送信)を要求する場合は、この後さらにマスタからリピーテッドスタートコンディションとR/Wビットを1にした第1アドレスが送信されます。すると、I2C Ch.nは動作をデータ送信に切り換えます。

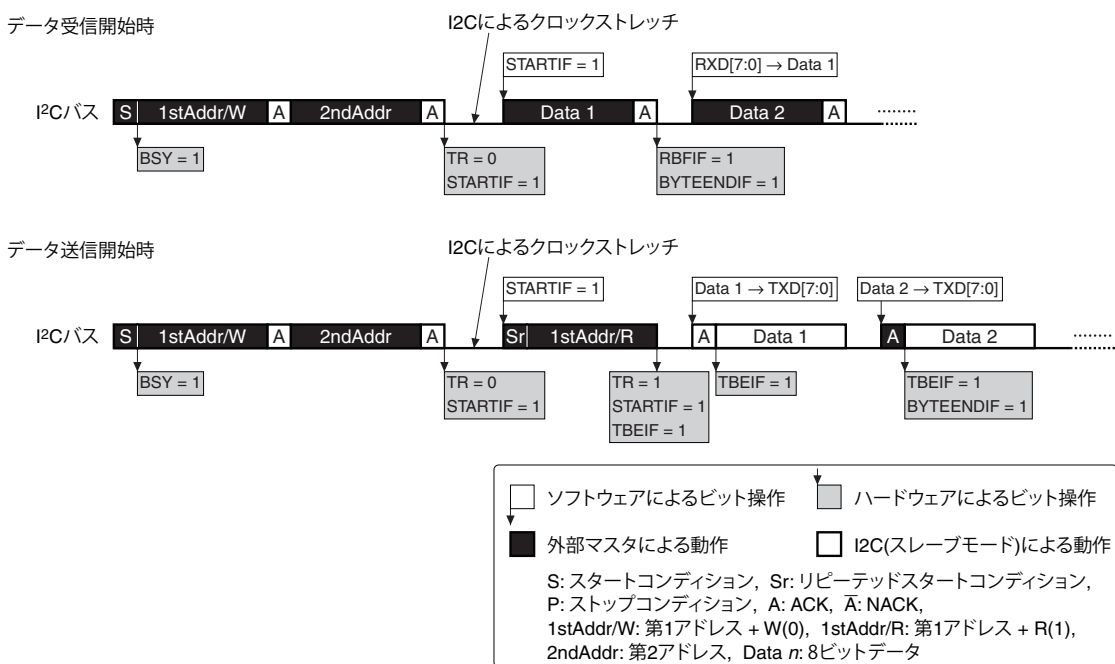


図13.4.7.1 10ビットアドレスモードのデータ送受信開始動作例(スレーブモード)

### 13.4.8 自動バスクリア動作

マスタモードで動作するI2C Ch.nは、スタートコンディションを生成する直前にSDAの状態をチェックします。このとき、SDAがLOWレベルだった場合は、SDAを解放したまま最大10発のクロックをSCLn端子から送出する、バスクリア動作を自動的に実行します。

9発以内のクロックの送信によってSDAがLOWレベルからHIGHレベルとなり、スタートコンディションを発行できたときは、通常の動作に移ります。I2C Ch.nがクロックを9発送出してもSDAがLOWのままだった場合は、自動バスクリアが失敗したものと判断して、I2C Ch.nはI2CnCTL.TXSTARTビットを0にクリアし、I2CnINTF.ERRIFビットとI2CnINTF.STARTIFビットを1にセットします。



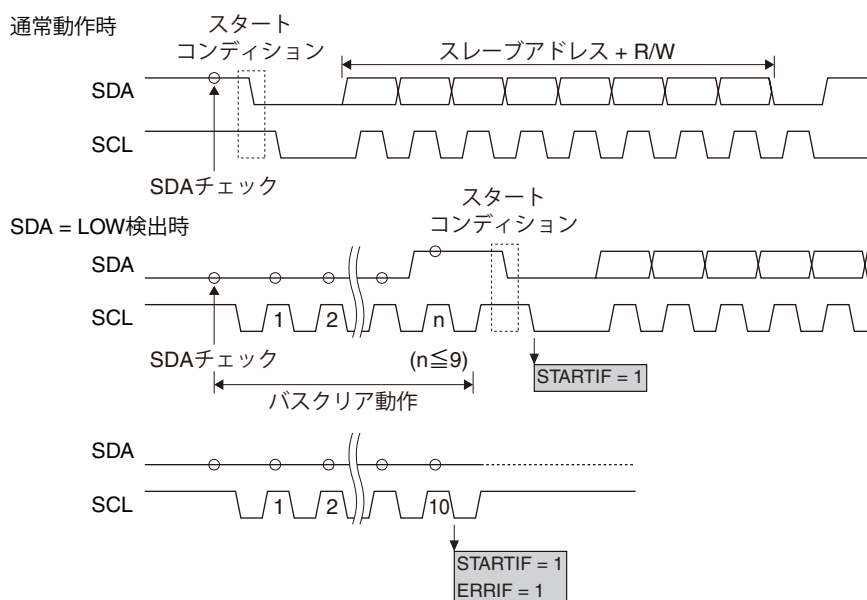


図13.4.8.1 自動バスクリア動作

### 13.4.9 エラー検出

I<sup>2</sup>Cには、ハードウェアによるエラー検出機能が搭載されています。

また、I2CnINTF.SDALOWビットとI2CnINTF.SCLLOWビットをソフトウェアで監視することにより、SDAやSCLがLOWに固定されているかどうかを調べることができます。意図しないSDAやSCLのLOWへの固定が検出された場合、I2C Ch.nをソフトウェアリセットするなどの対応を取ることができます。

ハードウェアによるエラー検出と通知方法は、以下のとおりです。

表13.4.9.1 ハードウェアによるエラー検出機能

No.	エラー検出期間/タイミング	監視するI <sup>2</sup> Cバスラインとエラー発生条件	通知方法
1	アドレス送出、データ送出、またはNACK送出で、I2C Ch.nがSDAをHIGHに制御している期間	SDA = Low	I2CnINTF.ERRIF = 1
2	【マスターモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTARTビットに1を書き込んだとき	SCL = Low	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTART = 0 I2CnINTF.STARTIF = 1
3	【マスターモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTOPビットに1を書き込んだとき	SCL = Low	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTOP = 0 I2CnINTF.STOPIF = 1
4	【マスターモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTARTビットに1を書き込んだとき(“自動バスクリア動作”を参照)	SDA 自動バスクリアの失敗	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTART = 0 I2CnINTF.STARTIF = 1

## 13.5 割り込み

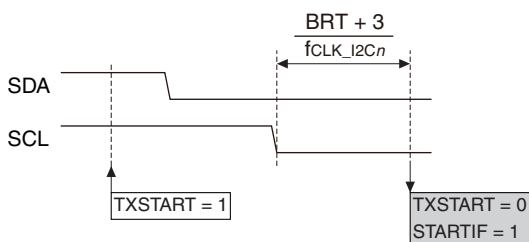
I2Cには、表13.5.1に示す割り込みを発生させる機能があります。

表13.5.1 I2Cの割り込み機能

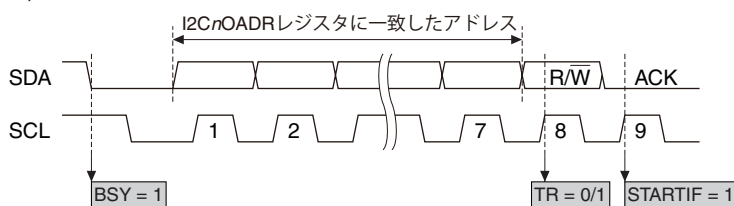
割り込み	割り込みフラグ	セット	クリア
送受信完了	I2CnINTF.BYTEENDIF	8ビットのデータ送受信と、それに続くACK/NACKの送受信が完了したとき	1書き込み ソフトリセット
ジェネラルコールアドレス受信	I2CnINTF.GCIF	スレーブモードのみ: ジェネラルコールアドレスを受信したとき	1書き込み ソフトリセット
NACK受信	I2CnINTF.NACKIF	NACKを受信したとき	1書き込み ソフトリセット
ストップコンディション	I2CnINTF.STOPIF	マスタモード: ストップコンディションの送出手を完了し、ストップコンディションとスタートコンディションの間のバスフリー時間 (t <sub>BUF</sub> ) が経過したとき  スレーブモード: I2C Ch.nがスレーブとして選択されている場合にストップコンディションを検出したとき	1書き込み ソフトリセット
スタートコンディション	I2CnINTF.STARTIF	マスタモード: スタートコンディションの送出手を完了したとき  スレーブモード: アドレス一致が検出されたとき (ジェネラルコールを含む)	1書き込み ソフトリセット
エラー検出	I2CnINTF.ERRIF	“エラー検出”を参照	1書き込み ソフトリセット
受信バッファフル	I2CnINTF.RBFIF	受信データバッファに受信データがロードされたとき	受信データ読み出し (受信データバッファを空にする) ソフトリセット
送信バッファエンプティ	I2CnINTF.TBEIF	マスタモード: スタートコンディションの送出手を完了したとき、またはスレーブからACKを受信したとき  スレーブモード: 送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき、またはR/Wビット = 1でアドレス一致が検出されたとき	送信データ書き込み

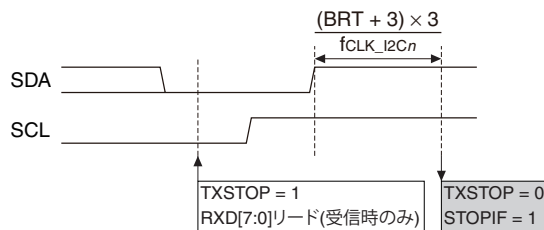
割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

### (1) スタートコンディション割り込み マスタモード

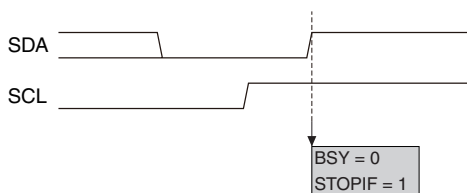


### スレーブモード



(2) ストップコンディション割り込み  
マスタモード

## スレーブモード



(fCLK\_I2Cn: I2Cの動作クロック周波数 [Hz], BRT: I2CnBR.BRT[6:0]ビットの設定値(1~127))

図13.5.1 スタート/ストップコンディション割り込みタイミング

## 13.6 制御レジスタ

## I2C Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

## Bits 15-9 Reserved

## Bit 8 DBRUN

このビットは、DEBUGモード時にI2C動作クロックを供給するかどうか設定します。  
 1 (R/W): DEBUGモード時にクロックを供給  
 0 (R/W): DEBUGモード時はクロック供給を停止

## Bits 7-6 Reserved

## Bits 5-4 CLKDIV[1:0]

これらのビットは、I2C動作クロックの分周比を選択します。

## Bits 3-2 Reserved

## Bits 1-0 CLKSRC[1:0]

これらのビットは、I2Cのクロックソースを選択します。

表13.6.1 クロックソースと分周比の設定

I2CnCLK. CLKDIV[1:0]ビット	I2CnCLK.CLKSRC[1:0]ビット			
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: I2CnCLKレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

## I2C Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnMOD	15–8	–	0x00	–	R	–
	7–3	–	0x00	–	R	
	2	OADR10	0	H0	R/W	
	1	GCEN	0	H0	R/W	
	0	–	0	–	R	

### Bits 15–3 Reserved

#### Bit 2 OADR10

このビットは、スレーブモード時の自己アドレスのビット数を設定します。

1 (R/W): 10ビットアドレス

0 (R/W): 7ビットアドレス

#### Bit 1 GCEN

このビットは、スレーブモード時に、マスタからのジェネラルコールに応答するか否かを設定します。

1 (R/W): ジェネラルコールに応答する

0 (R/W): ジェネラルコールに応答しない

#### Bit 0 Reserved

注: I2CnMODレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

## I2C Ch.n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnBR	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	BRT[6:0]	0x7f	H0	R/W	

### Bits 15–7 Reserved

#### Bits 6–0 BRT[6:0]

これらのビットは、マスタモードにおけるI2C Ch.nの転送レートを設定します。詳細は“ポーレートジェネレータ”を参照してください。

注: ・ I2CnBRレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

・ I2CnBRレジスタを0に設定することを禁止します。

## I2C Ch.n Own Address Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnOADR	15–10	–	0x00	–	R	–
	9–0	OADR[9:0]	0x000	H0	R/W	

### Bits 15–10 Reserved

#### Bits 9–0 OADR[9:0]

これらのビットは、スレーブモード時の自己アドレスを設定します。

10ビットアドレスモード(I2CnMOD.OADR10ビット = 1)のときは、I2CnOADR.OADR[9:0]ビットが有効です。7ビットアドレスモード(I2CnMOD.OADR10ビット = 0)のときは、I2CnOADR.OADR[6:0]ビットが有効です。

注: I2CnOADRレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

## I2C Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnCTL	15-8	-	0x00	-	R	
	7-6	-	0x0	-	R	
	5	MST	0	H0	R/W	
	4	TXNACK	0	H0/S0	R/W	
	3	TXSTOP	0	H0/S0	R/W	
	2	TXSTART	0	H0/S0	R/W	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

**Bits 15-6 Reserved****Bit 5 MST**

このビットは、I2C Ch.nの動作モードを選択します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

**Bit 4 TXNACK**

このビットは、次回の応答時にNACKの送出を要求します。

1 (W): NACKによる応答を要求

0 (W): 無効

1 (R): NACK送出待機中/送出中

0 (R): NACK送出完了

NACKを送出後、このビットは自動的にクリアされます。

**Bit 3 TXSTOP**

このビットは、マスタモード時にストップコンディションの生成を要求します。スレーブモードでは無効です。

1 (W): ストップコンディションの生成を要求

0 (W): 無効

1 (R): ストップコンディション送出待機中/送出中

0 (R): ストップコンディション送出完了

ストップコンディションを送出し、バスフリー時間(I2C規格におけるt<sub>BUF</sub>)時間が経過した後、このビットは自動的にクリアされます。

**Bit 2 TXSTART**

このビットは、マスタモード時にスタートコンディションの生成を要求します。スレーブモードでは無効です。

1 (W): スタートコンディションの生成を要求

0 (W): 無効

1 (R): スタートコンディション送出待機中/送出中

0 (R): スタートコンディション送出完了

スタートコンディションの送出が完了すると、このビットは自動的にクリアされます。

**Bit 1 SFTRST**

このビットは、I2Cをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

I2Cの送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

**Bit 0 MODEN**

このビットは、I2Cの動作をイネーブルにします。

1 (R/W): I2C動作イネーブル(動作クロックが供給されます。)

0 (R/W): I2C動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にI2CnCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、I2CnCTL.MODENビットを再度1に設定する場合は、必ずI2CnCTL.SFTRSTビットにも1を書き込んでください。

**I2C Ch.n Transmit Data Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnTXD	15-8	-	0x00	-	R	-
	7-0	TXD[7:0]	0x00	H0	R/W	

**Bits 15-8 Reserved****Bits 7-0 TXD[7:0]**

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、I2CnINTF.TBEIFビット = 1になっていることを確認してください。

注: I2CnINTF.TBEIFビット = 0 のときは、I2CnTXDレジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

**I2C Ch.n Receive Data Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnRXD	15-8	-	0x00	-	R	-
	7-0	RXD[7:0]	0x00	H0	R	

**Bits 15-8 Reserved****Bits 7-0 RXD[7:0]**

これらのビットを介して、受信データバッファが読み出せます。

**I2C Ch.n Status and Interrupt Flag Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnINTF	15-13	-	0x0	-	R	-
	12	SDALOW	0	H0	R	
	11	SCLLOW	0	H0	R	
	10	BSY	0	H0/S0	R	
	9	TR	0	H0	R	
	8	-	0	-	R	
	7	BYTEENDIF	0	H0/S0	R/W	
	6	GCIF	0	H0/S0	R/W	
	5	NACKIF	0	H0/S0	R/W	
	4	STOPIF	0	H0/S0	R/W	
	3	STARTIF	0	H0/S0	R/W	
	2	ERRIF	0	H0/S0	R/W	Cleared by reading the I2CnRXD register.
	1	RBFIF	0	H0/S0	R	
0	TBEIF	0	H0/S0	R	Cleared by writing to the I2CnTXD register.	

**Bits 15-13 Reserved****Bit 12 SDALOW**

このビットは、SDAがLOWレベルであることを示します。

1 (R): SDA = LOWレベル

0 (R): SDA = HIGHレベル

**Bit 11 SCLLOW**

このビットは、SCLがLOWレベルであることを示します。

1 (R): SCL = LOWレベル

0 (R): SCL = HIGHレベル

**Bit 10 BSY**

このビットは、I<sup>2</sup>Cバスがビジー状態であることを示します。

1 (R): I<sup>2</sup>Cバスビジー

0 (R): I<sup>2</sup>Cバスフリー

**Bit 9 TR**

このビットは、I2Cが送信モードか否かを示します。

1 (R): 送信モード

0 (R): 受信モード

**Bit 8 Reserved****Bit 7 BYTEENDIF****Bit 6 GCIF****Bit 5 NACKIF****Bit 4 STOPIF****Bit 3 STARTIF****Bit 2 ERRIF****Bit 1 RBFIF****Bit 0 TBEIF**

これらのビットは、I2C割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

I2C<sub>n</sub>INTF.BYTEENDIFビット: 送受信完了割り込み

I2C<sub>n</sub>INTF.GCIFビット: ジェネラルコールアドレス受信割り込み

I2C<sub>n</sub>INTF.NACKIFビット: NACK受信割り込み

I2C<sub>n</sub>INTF.STOPIFビット: ストップコンディション割り込み

I2C<sub>n</sub>INTF.STARTIFビット: スタートコンディション割り込み

I2C<sub>n</sub>INTF.ERRIFビット: エラー検出割り込み

I2C<sub>n</sub>INTF.RBFIFビット: 受信バッファフル割り込み

I2C<sub>n</sub>INTF.TBEIFビット: 送信バッファエンプティ割り込み

**I2C Ch.n Interrupt Enable Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C <sub>n</sub> INTE	15-8	-	0x00	-	R	-
	7	BYTEENDIE	0	H0	R/W	
	6	GCIE	0	H0	R/W	
	5	NACKIE	0	H0	R/W	
	4	STOPIE	0	H0	R/W	
	3	STARTIE	0	H0	R/W	
	2	ERRIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

**Bits 15-8 Reserved**

<b>Bit 7</b>	<b>BYTEENDIE</b>
<b>Bit 6</b>	<b>GCIE</b>
<b>Bit 5</b>	<b>NACKIE</b>
<b>Bit 4</b>	<b>STOPIE</b>
<b>Bit 3</b>	<b>STARTIE</b>
<b>Bit 2</b>	<b>ERRIE</b>
<b>Bit 1</b>	<b>RBFIE</b>
<b>Bit 0</b>	<b>TBEIE</b>

これらのビットは、I2Cの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

I2CnINTE.BYTEENDIEビット: 送受信完了割り込み

I2CnINTE.GCIEビット: ジェネラルコールアドレス受信割り込み

I2CnINTE.NACKIEビット: NACK受信割り込み

I2CnINTE.STOPIEビット: ストップコンディション割り込み

I2CnINTE.STARTIEビット: スタートコンディション割り込み

I2CnINTE.ERRIEビット: エラー検出割り込み

I2CnINTE.RBFIEビット: 受信バッファフル割り込み

I2CnINTE.TBEIEビット: 送信バッファエンプティ割り込み



# 14 スマートカードインタフェース(SMCIF)

## 14.1 概要

SMCIFは、ISO7816-3に準拠したスマートカード(ICカード)に対応するインタフェース回路です。

主な機能と特長を以下に示します。

- マスタモード、スレープモードに対応
- スマートカードクロックから転送レートを生成するボーレートジェネレータを内蔵
- スマートカードクロックの出力停止と停止時の出力レベル選択が可能
- 調歩同期式半二重通信(データビット:8ビット、パリティビット:1ビット)に対応
- 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- データ入出力レベル(正転/反転)を選択可能
- データ入出力方向(MSB先頭/LSB先頭)を選択可能
- プロトコルタイプ(T=0モード/T=1モード)を選択可能
- ガードタイム、ウェイトタイム機能に対応
- 送信信号エラー、パリティエラー、オーバーランエラーを検出可能
- 送信バッファエンプティ、送信完了、送信エラー(エラー信号検出)、受信バッファフル(1バイト/2バイト)、受信エラー(パリティエラー/オーバーランエラー)、ウェイトタイムエラーの割り込みを発生可能
- 出力端子をプッシュプル/オープンドレインに設定可能

図14.1.1にSMCIFの構成を示します。

表14.1.1 S1C17F63のSMCIFチャンネル構成

項目	S1C17F63
チャンネル数	1チャンネル(Ch.0)

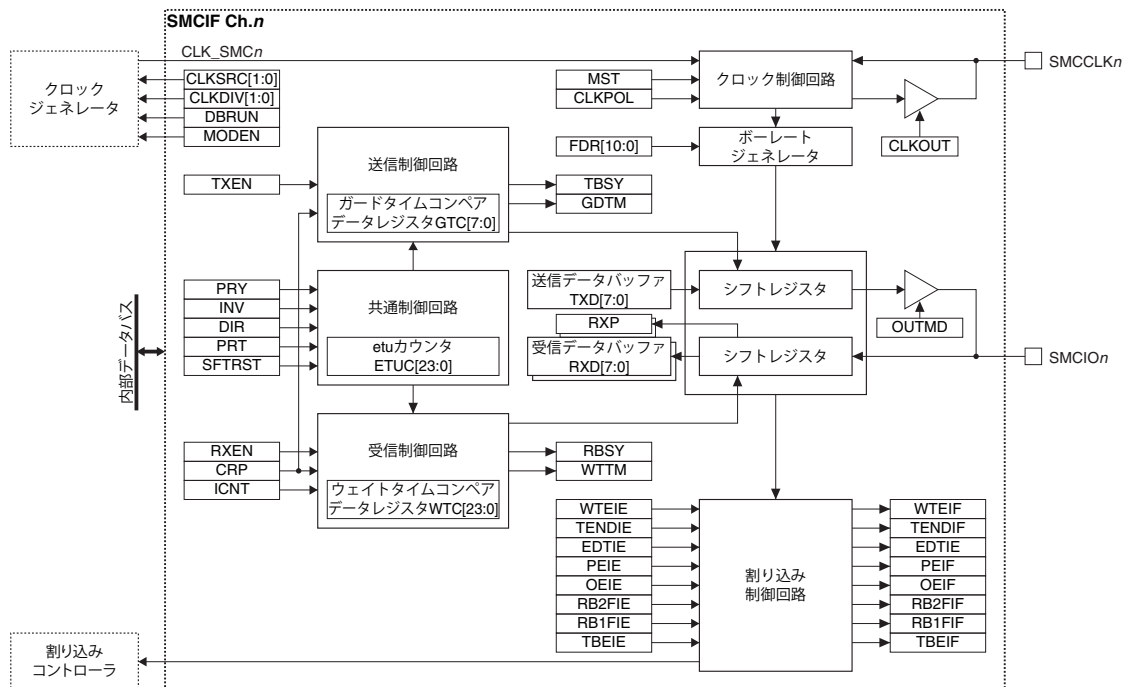


図14.1.1 SMCIFの構成

## 14.2 入出力端子と外部接続

### 14.2.1 入出力端子一覧

表14.2.1.1にSMCIFの端子一覧を示します。

表14.2.1.1 SMCIF端子一覧

端子名	I/O*	イニシャル状態*	機能
SMCCLK $n$	I/O	O (L)	SMCIF Ch. $n$ スマートカードクロック入出力端子
SMCIO $n$	I/O	I (Hi-Z)	SMCIF Ch. $n$ スマートカードデータ入出力端子

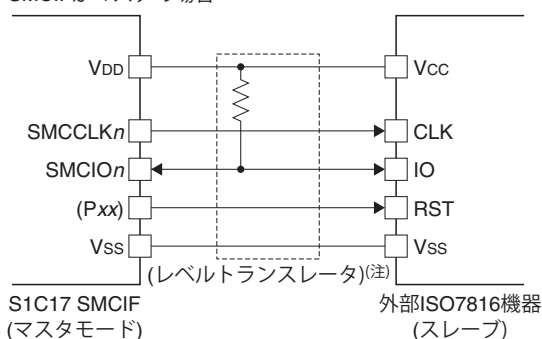
\* 端子機能をSMCIFに切り換えた時点の状態

これらのSMCIF端子と他の機能がポートを共有している場合、SMCIFを動作させる前にSMCIFの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

### 14.2.2 外部との接続

本ICのSMCIFと外部ISO7816機器との接続を図14.2.2.1に示します。

SMCIFがマスタの場合



SMCIFがスレーブの場合

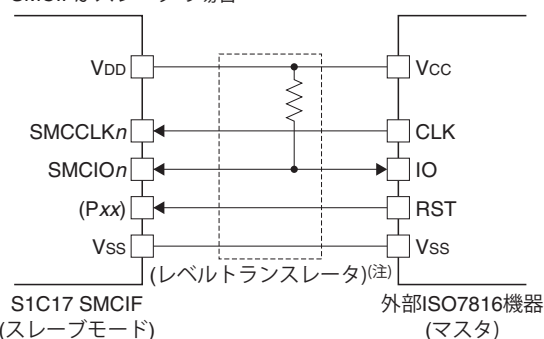


図14.2.2.1 SMCIFと外部ISO7816機器との接続

SMCIO $n$ 端子は、外部抵抗によって本ICのV $_{DD}$ 以下の電圧にプルアップしてください。SMCIO $n$ 端子の入出力ポートがトレラント・フェールセーフ対応の場合は、本ICの推奨動作電圧の範囲内でV $_{DD}$ 以上の電圧にプルアップすることが可能です。また、ISO7816-3で定義されているRST端子は、SMCIFに実装されていませんので、汎用入出力ポートの入出力機能を用いて制御してください。

注: 高いESD保護能力が必要な場合や、接続する外部機器がSMCIFとは異なるインタフェース電圧を使用している場合は、レベルトランスレータICを介して接続してください。

### 14.2.3 出力端子のプッシュプル/オープンドレイン選択

SMCIO $n$ 端子のデフォルト設定はオープンドレイン出力です。プッシュプル出力に切り換えるには、SMC $n$ MOD.OUTMDビットを0に設定してください。

## 14.3 クロック設定

### 14.3.1 SMCIFの動作クロック

#### マスタモード時の動作クロック

マスタモードで使用する場合、SMCIF Ch. $n$ はクロックジェネレータから供給されるSMCIF動作クロックCLK\_SMC $n$ で動作します。また、このクロックをSMCCLK $n$ 端子から外部ISO7816スレーブの動作クロックとして出力することができます。

CLK\_SMC $n$ の供給は以下の手順で制御してください。

1. SMC $n$ MOD.MSTビットを1に設定する。(SMCIF Ch. $n$ をマスタモードに設定)

2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源,リセット,クロック”の章の“クロックジェネレータ”を参照)
3. SMC $n$ CLKレジスタの以下のビットを設定する。
  - SMC $n$ CLK.CLKSRC[1:0]ビット (クロックソースの選択)
  - SMC $n$ CLK.CLKDIV[1:0]ビット (クロック分周比の選択 = SMCIF動作クロック周波数の設定)
4. SMC $n$ CTL.MODENビットを1に設定する。(SMCIF Ch. $n$ へのクロック供給を開始)

### スレーブモード時の動作クロック

スレーブモードで使用する場合、SMCIF Ch. $n$ は外部ISO7816マスタからSMCCLK $n$ 端子に供給されるクロックで動作します。このとき、SMC $n$ CLKレジスタで設定しているクロックソースと分周比は使用されず、SMCCLK $n$ 端子への入力クロックがSMCIF動作クロックとなります。SMCCLK $n$ 端子からのクロック供給は以下の手順で制御してください。

1. SMC $n$ MOD.MSTビットを0に設定する。(SMCIF Ch. $n$ をスレーブモードに設定)
2. SMC $n$ CTL.MODENビットを1に設定する。(SMCIF Ch. $n$ へのクロック供給を開始)

SLEEPモード等で、本ICのすべてのクロックソースが停止している場合でも、SMCIFは外部から供給されるクロックで動作します。

### 14.3.2 SLEEPモード時のクロック供給

SLEEPモード時にマスタモードでSMCIF Ch. $n$ を使用する場合は、SMCIF動作クロックCLK\_SMC $n$ のクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK\_SMC $n$ を供給し続ける必要があります。

SLEEPモード時にスレーブモードでSMCIF Ch. $n$ を使用する場合は、外部ISO7816マスタからSMC\_CLK $n$ 端子に供給されるクロックで動作しますので、クロックソースの設定は不要です。

### 14.3.3 DEBUGモード時のクロック供給

マスタモードでは、DEBUGモード時の動作クロックの供給をSMC $n$ CLK.DBRUNビットで制御します。SMC $n$ CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSMCIF Ch. $n$ へのCLK\_SMC $n$ の供給が停止します。その後通常モードに戻ると、CLK\_SMC $n$ の供給が再開します。CLK\_SMC $n$ の供給が停止するとSMCIF Ch. $n$ の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。SMC $n$ CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_SMC $n$ の供給は停止せず、SMCIF Ch. $n$ は動作を継続します。

スレーブモード時は、DEBUGモードか通常モードかにかかわらず、外部ISO7816マスタからSMCCLK $n$ 端子に供給されるクロックで動作します。

### 14.3.4 SMCCLK $n$ 端子出力停止機能

マスタモード時、SMCIF Ch. $n$ は、データ転送を行っていない期間にSMCCLK $n$ 端子のクロック出力を停止することができます。

この機能は以下の手順で制御してください。

1. SMC $n$ MOD.CLKPOLビットを設定する。(クロック出力停止時の端子レベルを設定)
2. SMC $n$ CTL.CLKOUTビットを0に設定する。(クロック出力を停止)
3. クロック出力を再開する場合は、SMC $n$ CTL.CLKOUTビットを1にする。

SMCCLK $n$ 端子のクロック出力を停止させても、CLK\_SMC $n$ を停止しない限り、SMCIF Ch. $n$ は送受信動作を続けることができます。これらの動作も停止させる場合は、ソフトウェアによる停止制御を行ってください。

### 14.3.5 ボーレートジェネレータの設定

SMCIF Ch.nは、マスタモード時のCLK\_SMCnまたはスレーブモード時のSMCCLKn端子入力から、転送レートを生成することができるボーレートジェネレータを内蔵しています。ISO7816のボーレートは、1ビットキャラクタ送受信時間を表す“etu” (Elementary Time Unit)という単位で定義されています。etuは以下のパラメータによって計算することができます。

$$1 \text{ etu} = \frac{F}{D} \times \frac{1}{f} \quad (\text{式14.1})$$

ここで

- F: クロックレート変換値(整数)
- D: ボーレート調整値(整数)
- f: CLK\_SMCn(マスタモード)またはSMCCLKn端子入力(スレーブモード)周波数 [Hz]

SMCIF Ch.nのボーレートは、SMCnBR.FDR[10:0]ビットによって設定します。etuを決めるパラメータ(F、D)とSMCnBR.FDR[10:0]ビット設定値の対応は、表14.8.2を参照してください。

## 14.4 データフォーマット

SMCIF Ch.nには、データ入出力方向、データ入出力レベル、奇数/偶数パリティモードをそれぞれ設定するSMCnMOD.INVビット、SMCnMOD.DIRビット、SMCnMOD.PRYビットが設けられています。また、SMCnMOD.PRTビットにより、以下の2つのプロトコル形式を設定できます。図14.4.1に、データフォーマット設定例を示します。

### T = 0モード(SMCnMOD.PRTビット = 0)

SMCnCTL.CRPビット = 1の場合: 受信時にパリティエラーを検出すると、SMCIF Ch.nは送信側にエラー信号を送信します。送信時にエラー信号を受信すると、SMCIF Ch.nは受信側に同じデータを再送します。

SMCnCTL.CRPビット = 0の場合: 受信時にパリティエラーを検出しても、エラー信号は送信されません。また、送信時にエラー信号を受信しても、データを再送しません。

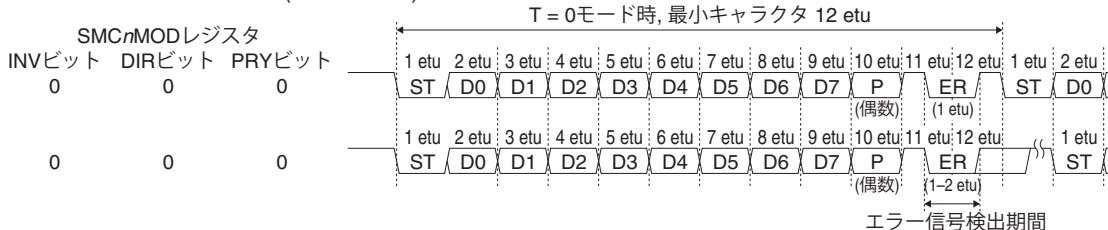
### T = 1モード(SMCnMOD.PRTビット = 1)

受信時にパリティエラーを検出しても、送信側にエラー信号を送信しません。また、送信時にエラー信号を受信しても、データを再送しません。

SMCnMOD.PRTビット = 1 (T = 1モード)の場合



SMCnMOD.PRTビット = 0 (T = 0モード)の場合



ST: スタートビット, P: パリティビット, PU: ポーズ状態, ER: エラー信号, Dx: 正転データ, IDx: 反転データ

図14.4.1 データフォーマット設定例

## 14.5 ガードタイムとウェイトタイムの設定

1フレームの先頭キャラクタから、次のフレームの先頭キャラクタまでの最小時間をガードタイム(GT)、最大時間をウェイトタイム(WT)と定めています(単位はetu)。SMCIF Ch.nは、これらのガードタイムとウェイトタイムをカウントするetuカウンタを内蔵しています。図14.5.1に、これらの動作タイミングを示します。

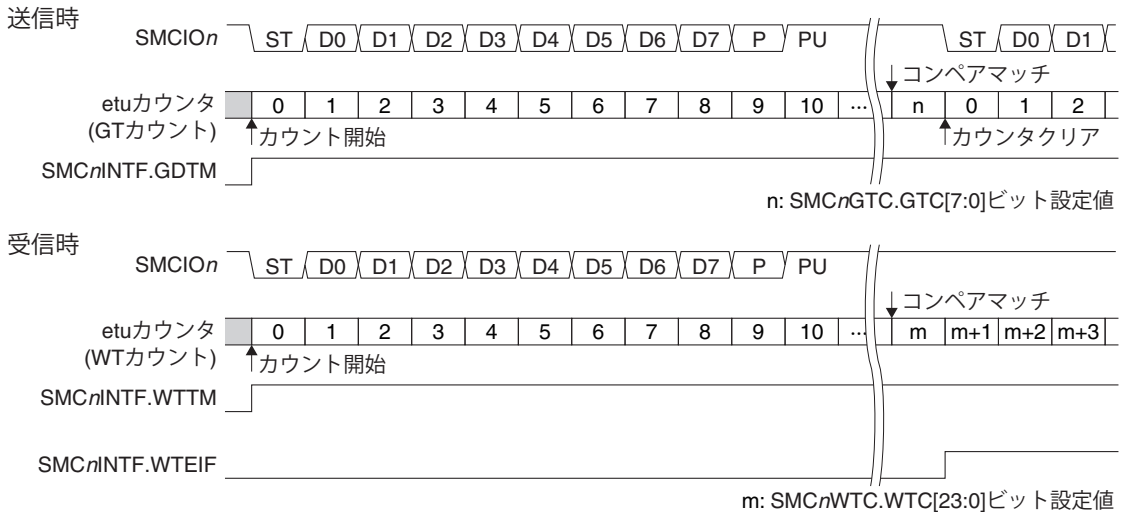


図14.5.1 ガードタイムとウェイトタイムカウンタの動作タイミング

### ガードタイムの動作

送信時、次の送信データは、現在のフレームの開始からSMCnGTC.GTC[7:0]ビットで設定された時間が経過後に送信されます。

### ウェイトタイムの動作

データ送信後、あるいは受信後に、そのフレームの開始からSMCnWTC(0/1).WTC[23:0]ビットで設定された時間が経過するとSMCnINTF.WTEIFビットが1にセットされます。

## 14.6 動作

### 14.6.1 初期設定

SMCIF Ch.nは、以下の手順により初期設定を行います。

- SMCIF Ch.n 入出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
- SMCnMOD.MSTビットを設定する。(マスタ/スレーブモードの選択)
- <マスタモード時のみ>SMCnCLK.CLKSRC[1:0]ビットとSMCnCLK.CLKDIV[1:0]ビットを設定する。  
(動作クロックを設定)
- SMCnMODレジスタの以下のビットを設定する。
  - SMCnMOD.OUTMDビット (SMCIO\_n端子オープンドレイン/プッシュプル出力モードの選択)
  - SMCnMOD.CLKPOLビット (マスタクロック出力停止時のSMCCLK\_n端子レベルを選択)
  - SMCnMOD.DIRビット (正方向(LSB先頭)/逆方向(MSB先頭)の選択)
  - SMCnMOD.INVビット (正転/反転の選択)
  - SMCnMOD.PRYビット (偶数パリティ/奇数パリティの選択)
- SMCnWTC(0/1).WTC[23:0]ビットとSMCnGTC.GTC[7:0]ビットを設定する。  
(ウェイトタイムとガードタイムを設定)
- SMCnBR.FDR[10:0]ビットを設定する。(転送レートを設定)

## 14 スマートカードインタフェース(SMCIF)

7. SMC $n$ CTLレジスタの以下のビットを設定する。
  - SMC $n$ CTL.CRPビット (キャラクタ再送要求機能イネーブル/ディスエーブル)
  - SMC $n$ CTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
  - SMC $n$ CTL.MODENビットを1に設定 (SMCIF Ch. $n$ の動作をイネーブル)
8. 割り込みを使用する場合は以下のビットを設定する。
  - SMC $n$ INTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
  - SMC $n$ INTEレジスタの割り込みイネーブルビットを1に設定\* (割り込みイネーブル)

\* SMC $n$ INTF.TBEIFビットの初期値が1のため、SMC $n$ INTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。

### 14.6.2 データ送信

SMCIF Ch. $n$ のデータ送信手順と動作を以下に示します。

#### 送信手順

1. SMC $n$ MOD.PRTビットを設定する。 (プロトコルモードの選択)
2. SMC $n$ CTL.TXENビットを1に設定する。 (送信イネーブル)
3. SMC $n$ INTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
4. SMC $n$ TXDレジスタに送信データを書き込む。
5. 割り込みを使用する場合はSMCIF割り込みを待つ
6. 送信データ終了まで、3~5(または3~4)を繰り返す

#### 送信動作

SMC $n$ TXDレジスタに送信データを書き込むことにより、SMCIF Ch. $n$ は送信動作を開始します。

##### T=0モードの場合

SMC $n$ TXDレジスタの送信データは自動的にシフトレジスタへ転送されます。ただし、この時点ではSMC $n$ INTF.TBEIFビットが0(送信バッファフル)に保たれます。

スタートビットがSMC $n$ MOD.SCIFEN端子から出力され、SMC $n$ INTF.TBSYビットが1(送信ビジー)にセットされます。続いてシフトレジスタのデータがSMC $n$ MOD.DIRビットで設定したデータ転送方向で順次出力されます。データ出力後、パリティビットが出力されます。

スタートビットから10.5~11.5 etuの1 etu期間、SMCIF Ch. $n$ はSMC $n$ MOD.SCIFEN端子を入力状態に切り換え、受信側からエラー信号が送信されていないかチェックします。エラー信号が検出されれば再送要求あり、検出されなければ再送要求なしと判断します。

SMC $n$ MOD.SCIFEN端子から送信データが出力されている間、SMC $n$ INTF.TBEIFビットは0に固定されますので、SMC $n$ TXDレジスタに次の送信データを書き込むことはできません。

データ転送後のエラー検出が終了した時点で再送要求がなければ(または再送要求の有無にかかわらずSMC $n$ CTL.CRPビット = 0の場合は)、SMC $n$ INTF.TBSYビットが0にクリアされ、SMC $n$ INTF.TENDIFビットが1(送信完了)に、SMC $n$ INTF.TBEIFビットが1(送信バッファエンプティ)にセットされます。SMC $n$ CTL.CRPビット = 1の場合に再送要求があれば、SMC $n$ TXDレジスタの送信データが再びシフトレジスタに転送され、同じデータが送信されます。

例: T = 0モード、GT = 16 (SMCnGTC.GTC[7:0]ビット = 4)、エラー信号なし

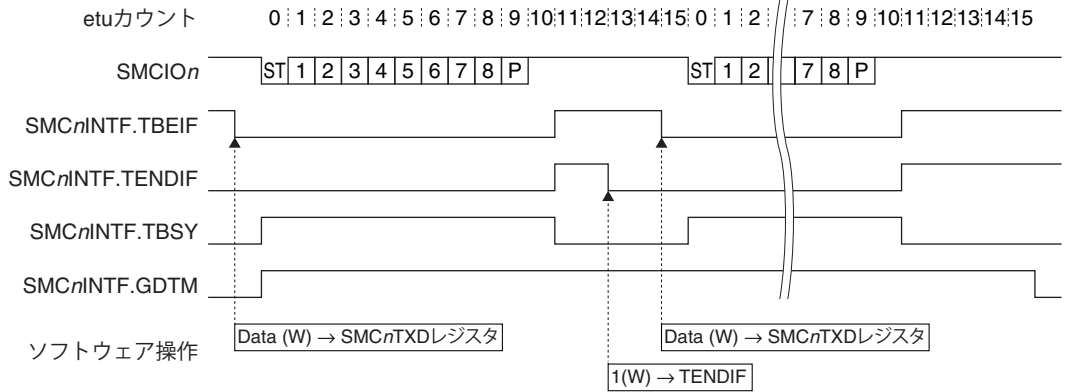
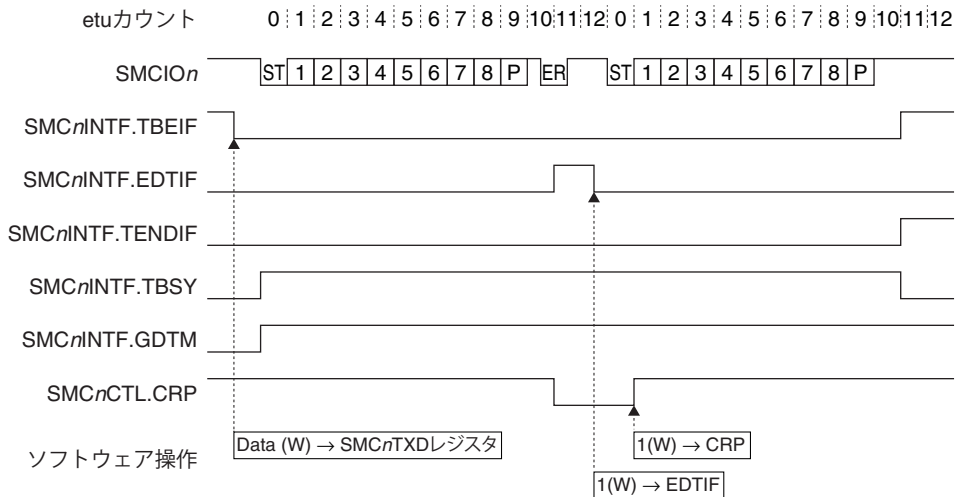


図14.6.2.1 T = 0モード時の送信動作(エラー信号なし)

例: T = 0モード、GT = 16 (SMCnGTC.GTC[7:0]ビット = 4)\*、エラー信号検出により再送信



\* エラー検出時は、ガードタイムの設定にかかわらず13 etu後に再送を開始します。

図14.6.2.2 T = 0モード時の送信動作(エラー信号あり)

SMCnCTL.CRPビットが1の場合、データ送信後にエラーが検出されると再送動作を行います。このとき、SMCnCTL.CRPビットは自動的にクリアされます。再送およびそれ以降の送信においても再送機能を使用する場合は、次のエラー検出タイミング(11 etu)までにSMCnCTL.CRPビットを1にセットし直してください。エラーが検出されなかった場合、SMCnCTL.CRPビットはクリアされません。

### T = 1モードの場合

SMCnTXDレジスタの送信データは自動的にシフトレジスタに転送され、SMCnINTF.TBEIFビットが1(送信バッファエンプティ)にセットされます。

スタートビットがSMCIO<sub>n</sub>端子から出力され、SMCnINTF.TBSYビットが1(送信ビジー)にセットされます。続いてシフトレジスタのデータがSMCnMOD.DIRビットで設定したデータ転送方向で順次出力されます。データ出力後、パリティビットが出力されます。

SMCIO<sub>n</sub>端子から送信データが出力されている最中であっても、SMCnINTF.TBEIF = 1を確認した後に、SMCnTXDレジスタに次の送信データを書き込むことができます。

データ転送が終了した時点でSMCnTXDレジスタに送信データが書き込まれていなかった場合、SMCnINTF.TBSYビットは0にクリアされ、SMCnINTF.TENDIFビットが1(送信完了)にセットされます。

例: T = 1モード、GT = 11 (SMCnGTC.GTC[7:0]ビット = 255)

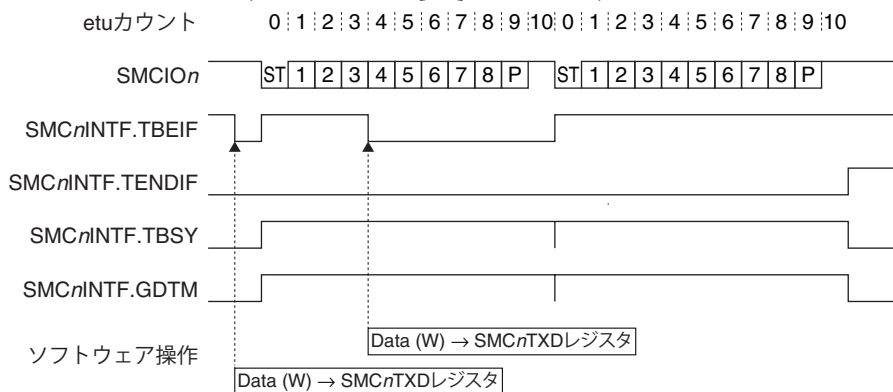


図14.6.2.3 T = 1モード時の送信動作

### 14.6.3 データ受信

SMCIF Ch.nのデータ受信手順と動作を以下に示します。

#### 受信手順

1. SMCnMOD.PRTビットを設定する。 (プロトコルモードの選択)
2. SMCnCTL.RXENビットを1に設定する。 (受信イネーブル)
3. 割り込みを使用する場合はSMCIF割り込みを待つ
4. SMCnINTF.RB1FIFビットあるいはSMCnINTF.RB2FIFビットが1(受信バッファフル)になっていることを確認する。
5. SMCnRXDレジスタから受信データを読み出す
6. 受信終了まで3~5(または4~5)を繰り返す

#### 受信動作

SMCION端子にスタートビットが入力されると、SMCIFCh.nはこれを検出して受信動作を開始します。この時点でSMCnINTF.RBSYビットは1(受信ビジー)にセットされます。

受信回路は、スタートビットに続く8ビットデータを、SMCnMOD.DIRビットで設定したデータ転送方向で送信されたものとしてサンプリングし、受信用シフトレジスタに順次取り込みます。さらに、データに続くパリティビットを受信し、受信データから生成したパリティと比較するパリティチェックを行います。

パリティビットを受信した後、受信用シフトレジスタのデータを受信データバッファに転送します。さらにパリティエラーを検出した場合はSMCnINTF.PEIFビットを1にセットします。このとき、プロトコルモードがT = 0モードに、SMCnMOD.CRPビットが1に設定されていれば、スタートビット検出後10.5~11.5 etuの1 etu期間にSMCION端子からLレベルのエラー信号を出力し、パリティエラー発生によるキャラクタ再送要求を行います。

受信データバッファは2バイトのFIFOで構成されており、満杯になるまで受信することが可能です。受信データバッファが1つ目のデータを受信すると、SMCnINTF.RB1FIFビットが1(受信バッファ1バイトフル)にセットされます。1つ目のデータを読み出す前に2つ目のデータを受信すると、SMCnINTF.RB2FIFビットが1(受信バッファ2バイトフル)にセットされます。

データ受信後のガードタイムが終了した時点でSMCnINTF.RBSYビットが0にクリアされ、受信動作が完了します。この後、SMCnWTC(0/1).WTC[23:0]ビットで設定した時間内に次のデータのスタートビットが検出されなかった場合、ウェイトタイムエラーが発生し、SMCnINTF.WTEIFビットに1がセットされます。



例: T=0モード、パリティエラーなし (またはT=1モード)

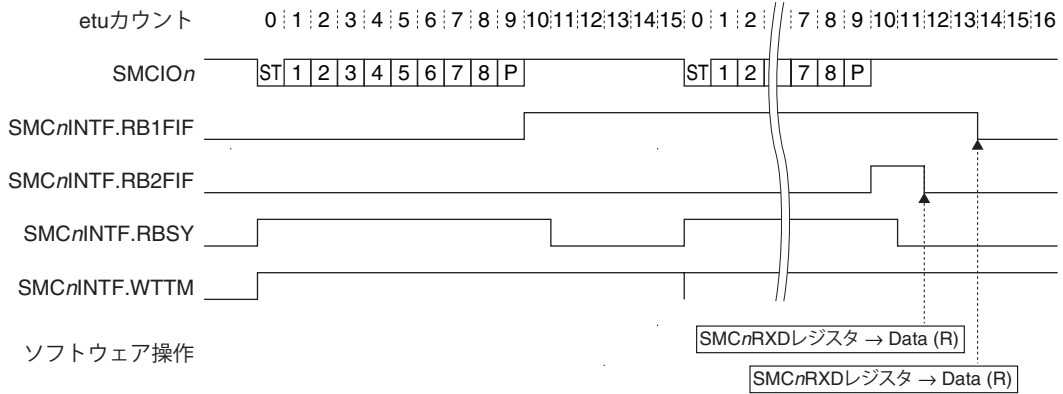


図14.6.3.1 受信動作(エラー信号なし)

例: T=0モード、パリティエラーが発生し、再送データを受信

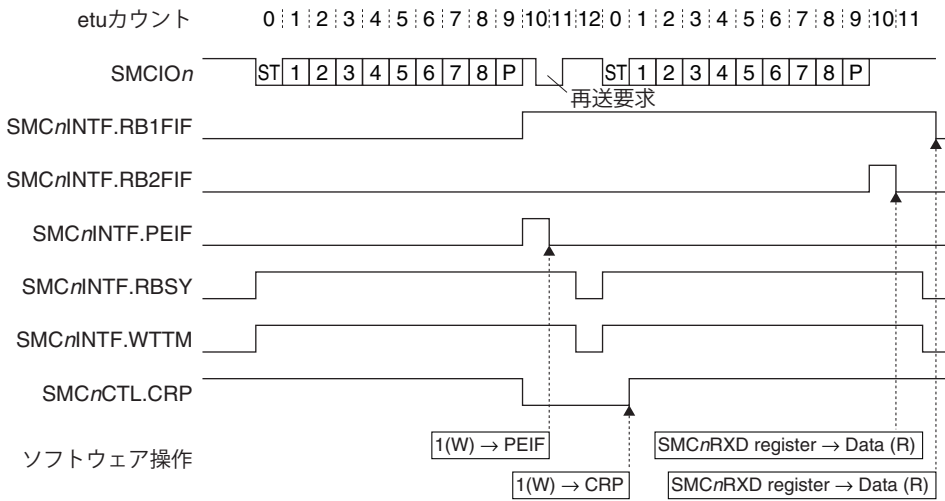


図14.6.3.2 受信動作(エラー信号あり)

SMCnCTL.CRPビットが1の場合、パリティエラーを検出すると、SMCnCTL.CRPはキャラクタ再送要求を行うと同時にSMCnCTL.CRPビットをクリアします。再送データおよびそれ以降の受信においても再送要求機能を使用する場合は、次のパリティビット受信タイミングまでにSMCnCTL.CRPビットを1にセットし直してください。パリティエラーが検出されなかった場合は、SMCnCTL.CRPビットはクリアされません。

## 14.7 割り込み

SMCIFには、表14.7.1に示す割り込みを発生させる機能があります。

表14.7.1 SMCIFの割り込み機能

割り込み	割り込みフラグ	セット	クリア
ウェイトタイムエラー	SMCnINTF.WTEIF	SMCnWTC(0/1).WTC[23:0]ビットで設定したウェイトタイムが経過したとき “14.5 ガードタイムとウェイトタイムの設定”参照	1書き込み、ソフトリセット
送信完了	SMCnINTF.TENDIF	ポーズ状態、かつSMCnINTF.TBEIFビット = 1のとき	1書き込み、ソフトリセット
エラー信号検出	SMCnINTF.EDTIF	受信側から送信されたエラー信号を検出したとき	1書き込み、ソフトリセット
パリティエラー	SMCnINTF.PEIF	パリティチェックで、受信したパリティビットと、設定されているパリティモード(偶数/奇数)で受信データから生成したパリティビットが異なると判定されたとき	1書き込み、ソフトリセット
オーバーランエラー	SMCnINTF.OEIF	シフトレジスタにデータを受信し終わった時点で、受信データバッファが満杯(受信データが読み出されていない)のとき	1書き込み、ソフトリセット
受信バッファ2バイトフル	SMCnINTF.RB2FIF	1バイト受信済みの受信データバッファに2バイト目の受信データがロードされたとき	SMCnRXDレジスタの読み出し、ソフトリセット
受信バッファ1バイトフル	SMCnINTF.RB1FIF	空の受信データバッファに1バイト目の受信データがロードされたとき	受信データバッファを空にするSMCnRXDレジスタの読み出し、ソフトリセット
送信バッファエンプティ	SMCnINTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	SMCnTXDレジスタへの書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

## 14.8 制御レジスタ

### SMCIF Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMCnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

**Bits 15-9 Reserved**

**Bit 8 DBRUN**

このビットは、DEBUGモード時にSMCIF動作クロックを供給するかどうか設定します。  
1 (R/W): DEBUGモード時にクロックを供給  
0 (R/W): DEBUGモード時はクロック供給を停止

**Bits 7-6 Reserved**

**Bits 5-4 CLKDIV[1:0]**

これらのビットは、SMCIF動作クロックの分周比を選択します。

**Bits 3-2 Reserved**

**Bits 1-0 CLKSRC[1:0]**

これらのビットは、SMCIFのクロックソースを選択します。

表14.8.1 クロックソースと分周比の設定

SMC <sub>n</sub> CLK. CLKDIV[1:0]ビット	SMC <sub>n</sub> CLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: SMC<sub>n</sub>CLKレジスタは、SMC<sub>n</sub>CTL.MODENビット = 0のときのみ設定変更が可能です。

## SMCIF Ch.<sub>n</sub> Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMC <sub>n</sub> MOD	15–8	–	0x00	–	R	–
	7	PRT	0	H0	R/W	
	6	PRY	0	H0	R/W	
	5	INV	0	H0	R/W	
	4	DIR	0	H0	R/W	
	3	–	0	–	R	
	2	OUTMD	1	H0	R/W	
	1	CLKPOL	0	H0	R/W	
	0	MST	1	H0	R/W	

### Bits 15–8 Reserved

#### Bit 7 PRT

このビットはプロトコルモードを選択します。

1 (R/W): T = 1モード

0 (R/W): T = 0モード

#### Bit 6 PRY

このビットは、パリティモードを選択します。

1 (R/W): 奇数パリティモード

0 (R/W): 偶数パリティモード

#### Bit 5 INV

このビットは、SMC<sub>n</sub>IO<sub>n</sub>端子のデータ入出力レベルを設定します。

1 (R/W): 反転入出力

0 (R/W): 正転入出力

#### Bit 4 DIR

このビットは、SMC<sub>n</sub>IO<sub>n</sub>端子のデータ入出力方向を設定します。

1 (R/W): MSB先頭

0 (R/W): LSB先頭

#### Bit 3 Reserved

#### Bit 2 OUTMD

このビットは、SMC<sub>n</sub>IO<sub>n</sub>端子の出力モードを設定します。

1 (R/W): オープンドレイン出力

0 (R/W): プッシュプル出力

#### Bit 1 CLKPOL

このビットは、クロック出力停止時のSMCCLK<sub>n</sub>端子レベルを設定します。このビットは、マスタモード時のみ有効です。

1 (R/W): HIGHレベル

0 (R/W): LOWレベル

## 14 スマートカードインタフェース(SMCIF)

### Bit 0 MST

このビットは、マスタモード/スレーブモードを選択します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

注: SMCnMODレジスタは、SMCnINTF.RBSYまたはSMCnINTF.TBSYビットが1のときは変更しないでください。

## SMCIF Ch.n Baud Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMCnBR	15–11	–	0x00	–	R	–
	10–0	FDR[10:0]	0x173	H0	R/W	

### Bits 15–11 Reserved

### Bits 10–0 FDR[10:0]

これらのビットは、SMCIF Ch.nの転送レートを設定します。表14.8.2に、ボーレートを計算するためのパラメータ(F、D)と本ビットの対応を示します。詳細は“14.3.5 ボーレートジェネレータ”を参照してください。

表14.8.2 パラメータ(F、D)とSMCnBR.FDR[10:0]ビットの対応

SMCnBR.FDR[10:0] ビット	D									
	1	2	4	8	16	32	64	12	20	
F	372	0x173	0x0b9	0x05c	0x02e			0x01e		
	558	0x22d	0x116	0x08b	0x045	0x022		0x02e	0x01b	
	744	0x2e7	0x173	0x0b9	0x05c	0x02e		0x03d		
	1,116	0x45b	0x22d	0x116	0x08b	0x045	0x022		0x05c	0x037
	1,488	0x5cf	0x2e7	0x173	0x0b9	0x05c	0x02e		0x07b	0x04a
	1,860	0x743	0x3a1	0x1d0	0x0e8	0x074	0x03a		0x09a	0x05c
	512	0x1ff	0x0ff	0x07f	0x03f	0x01f	0x00f	0x007	0x02a	0x019
	768	0x2ff	0x17f	0x0bf	0x05f	0x02f	0x017	0x00b	0x03f	0x026
	1,024	0x3ff	0x1ff	0x0ff	0x07f	0x03f	0x01f	0x00f	0x055	0x033
	1,536	0x5ff	0x2ff	0x17f	0x0bf	0x05f	0x02f	0x017	0x07f	0x04c
2,048	0x7ff	0x3ff	0x1ff	0x0ff	0x07f	0x03f	0x01f	0x0aa	0x066	

## SMCIF Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMCnCTL	15–12	–	0x0	–	R	–
	11	ICNT	0	H0	R/W	
	10	CLKOUT	0	H0	R/W	
	9	RXEN	0	H0	R/W	
	8	TXEN	0	H0	R/W	
	7–5	–	0x0	–	R	
	4	CRP	0	H0	R/W	
	3–2	–	0x0	–	R	
	1	SFTRST	0	H0	R/W	
0	MODEN	0	H0	R/W		

### Bits 15–12 Reserved

### Bit 11 ICNT

このビットは、ウェイトタイムカウンタによるクロックカウント動作を開始します。

1 (W): カウント開始

0 (W): カウント停止

1 (R): カウント中

0 (R): カウント停止中

このビットは、スレーブモード時のコールドリセット(電源投入時)のクロックカウントに使用します。このビットを1に設定すると、スタートビット検出と同じ動作となり、ウェイトタイムのカウントを開始します。カウント開始前にSMC $n$ BR.FDR[10:0]ビットとSMC- $n$ WTC(0/1).WTC[23:0]ビットを設定しておくことで、所望のクロックカウント経過後にウェイトタイムエラー割り込みが発生します。このビットは SMC $n$ CTL.RXENビット = 0のときのみ有効です。

**Bit 10 CLKOUT**

このビットは、SMCCLK $n$ 端子からのクロック出力を制御します。

1(R/W): クロック出力

0(R/W): クロック停止

**Bit 9 RXEN**

このビットは、受信動作をイネーブルにします。

1 (R/W): 受信動作イネーブル

0 (R/W): 受信動作ディスエーブル

このビットを1に設定すると、スタートビットの検出を開始します。

**Bit 8 TXEN**

このビットは、送信動作をイネーブルにします。

1 (R/W): 送信動作イネーブル

0 (R/W): 送信動作ディスエーブル

このビットを1に設定して送信バッファにデータを書き込むと、書き込んだデータがSMCIO $n$ 端子から送信されます。

**Bits 7–5 Reserved****Bit 4 CRP**

このビットは、エラー検出時のデータ再送/再送要求機能をイネーブルにします。T = 0モード時のみ有効です。

データ受信時

1 (R/W): データ再送要求信号送信イネーブル\*1

0 (R/W): データ再送要求信号送信ディスエーブル

\*1 データ受信時にパリティエラーを検出すると、SMCIF Ch. $n$ はデータ再送要求信号を送出します。データ再送要求信号を送出すると、このビットは自動的に0にクリアされます。

データ送信時

1 (R/W): エラー信号検出とデータ再送機能イネーブル\*2

0 (R/W): エラー信号検出とデータ再送機能ディスエーブル

\*2 データ送信後にエラー信号を検出すると、SMCIF Ch. $n$ は同じデータを再送します。データの再送が終了すると、このビットは自動的に0にクリアされます。

**Bits 3–2 Reserved****Bit 1 SFTRST**

このビットは、SMCIFをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

SMCIFの送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

## 14 スマートカードインタフェース(SMCIF)

### Bit 0 MODEN

このビットは、SMCIFの動作をイネーブルにします。

1 (R/W): SMCIF動作イネーブル(動作クロックが供給されます。)

0 (R/W): SMCIF動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にSMCnCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、SMCnCTL.MODENビットを再度1に設定する場合は、必ずSMCnCTL.SFTRSTビットにも1を書き込んでください。

### SMCIF Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMCnTXD	15-8	-	0x00	-	R	-
	7-0	TXD[7:0]	0x00	H0	R/W	

Bits 15-8 Reserved

### Bits 7-0 TXD[7:0]

これらのビットを介して、送信データバッファにデータを書き込むことができます。データを書き込む前に、SMCnINTF.TBEIFビット = 1になっていることを確認してください。

注: SMCnCTL.MODEN = 1、かつSMCnCTL.TXEN = 1のときにのみ、このレジスタへのデータ書き込みが可能です。

### SMCIF Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMCnRXD	15-9	-	0x00	-	R	-
	8	RXP	0	H0	R	
	7-0	RXD[7:0]	0x00	H0	R	

Bits 15-9 Reserved

### Bit 8 RXP

このビットは、受信データに対するパリティチェック結果を示します。

1 (R): パリティエラーあり

0 (R): パリティエラーなし

### Bits 7-0 RXD[7:0]

これらのビットを介して、受信データバッファが読み出せます。受信データバッファは2バイトのFIFOで構成されており、受信データは古いものから順に読み出されます。

### SMCIF Ch.n Wait Time Compare Data Register 0

### SMCIF Ch.n Wait Time Compare Data Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMCnWTC0	15-0	WTC[15:0]	0x0000	H0	R/W	-
SMCnWTC1	15-8	-	0x00	-	R	-
	7-0	WTC[23:16]	0x00	H0	R/W	

Bits 15-0 (SMCnWTC0レジスタ), Bits 7-0 (SMCnWTC1レジスタ)

### WTC[23:0]

これらのビットは、ウェイトタイム(etu単位)を設定します。

ここで設定した値は、そのままetuカウンタ値と比較されます。

ウェイトタイムの詳細は、“14.5 ガードタイムとウェイトタイムの設定”を参照してください。

## SMCIF Ch.n Guard Time Compare Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMCnGTC	15-8	-	0x00	-	R	-
	7-0	GTC[7:0]	0x00	H0	R/W	

### Bits 15-8 Reserved

### Bits 7-0 GTC[7:0]

これらのビットは、ガードタイム(etu単位)を設定します。  
ガードタイムは次のように設定します。

$$GT = GTC + 12 \text{ [etu]} \quad (\text{式14.2})$$

ここで、

GT: ガードタイム(フレーム先頭から次のフレーム先頭までのetu数)

GTC: SMCnGTC.GTC[7:0]ビット設定値(0~254)

ただし、GTC = 255に設定した場合、T = 0モード時はGT = 12 etu、T = 1モード時はGT = 11 etuに設定されます。

ガードタイムの詳細は、“14.5 ガードタイムとウェイトタイムの設定”を参照してください。

## SMCIF Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
SMCnINTF	15-12	-	0x0	-	R	-	
	11	WTTM	0	H0/S0	R		
	10	GDTM	0	H0/S0	R		
	9	RBSY	0	H0/S0	R		
	8	TBSY	0	H0/S0	R		
	7	WTEIF	0	H0/S0	R/W		Cleared by writing 1.
	6	TENDIF	0	H0/S0	R/W		
	5	EDTIF	0	H0/S0	R/W		
	4	PEIF	0	H0/S0	R/W		
	3	OEIF	0	H0/S0	R/W		
	2	RB2FIF	0	H0/S0	R		Cleared by reading the SMCnRXD register.
1	RB1FIF	0	H0/S0	R			
0	TBEIF	1	H0/S0	R	Cleared by writing to the SMCnTXD register.		

### Bits 15-12 Reserved

#### Bit 11 WTTM

このビットはetuカウンタによるウェイトタイム計測状態を示します。

1 (R): 計測中

0 (R): 待機中

#### Bit 10 GDTM

このビットはetuカウンタによるガードタイム計測状態を示します。

1 (R): 計測中

0 (R): 待機中

#### Bit 9 RBSY

このビットは、受信状態を示します。(図14.6.2.1~図14.6.2.3参照)

1 (R): 受信中

0 (R): 待機中

#### Bit 8 TBSY

このビットは、送信状態を示します。(図14.6.3.1~図14.6.3.2参照)

1 (R): 送信中

0 (R): 待機中

## 14 スマートカードインタフェース(SMCIF)

Bit	WTEIF
Bit 6	TENDIF
Bit 5	EDTIF
Bit 4	PEIF
Bit 3	OEIF
Bit 2	RB2FIF
Bit 1	RB1FIF
Bit 0	TBEIF

これらのビットは、SMCIF割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
- 0 (R): 割り込み要因なし
- 1 (W): フラグをクリア
- 0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

- SMCnINTF.WTEIFビット: ウェイトタイムエラー割り込み
- SMCnINTF.TENDIFビット: 送信完了割り込み
- SMCnINTF.EDTIFビット: エラー信号検出割り込み
- SMCnINTF.PEIFビット: パリティエラー割り込み
- SMCnINTF.OEIFビット: オーバーランエラー割り込み
- SMCnINTF.RB2FIFビット: 受信バッファ 2バイトフル割り込み
- SMCnINTF.RB1FIFビット: 受信バッファ 1バイトフル割り込み
- SMCnINTF.TBEIFビット: 送信バッファエンプティ割り込み

### SMCIF Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMCnINTE	15-8	-	0x00	-	R	-
	7	WTEIE	0	H0	R/W	
	6	TENDIE	0	H0	R/W	
	5	EDTIE	0	H0	R/W	
	4	PEIE	0	H0	R/W	
	3	OEIE	0	H0	R/W	
	2	RB2FIE	0	H0	R/W	
	1	RB1FIE	0	H0	R/W	
0	TBEIE	0	H0	R/W		

#### Bits 15-8 Reserved

Bit 7	WTEIE
Bit 6	TENDIE
Bit 5	EDTIE
Bit 4	PEIE
Bit 3	OEIE
Bit 2	RB2FIE
Bit 1	RB1FIE
Bit 0	TBEIE

これらのビットは、SMCIFの割り込みをイネーブルにします。

- 1 (R/W): 割り込みイネーブル
- 0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

- SMCnINTE.WTEIEビット: ウェイトタイムエラー割り込み
- SMCnINTE.TENDIEビット: 送信完了割り込み
- SMCnINTE.EDTIEビット: エラー信号検出割り込み
- SMCnINTE.PEIEビット: パリティエラー割り込み
- SMCnINTE.OEIEビット: オーバーランエラー割り込み
- SMCnINTE.RB2FIEビット: 受信バッファ 2バイトフル割り込み
- SMCnINTE.RB1FIEビット: 受信バッファ 1バイトフル割り込み
- SMCnINTE.TBEIEビット: 送信バッファエンプティ割り込み



**SMCIF Ch.n Etu Counter Data Register 0****SMCIF Ch.n Etu Counter Data Register 1**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SMCnETU0	15-0	ETUC[15:0]	0xffff	H0/S0	R	-
SMCnETU1	15-8	-	0x00	-	R	-
	7-0	ETUC[23:16]	0xff	H0/S0	R	

**Bits 15-0 (SMCnETU0レジスタ), Bits 7-0 (SMCnETU1レジスタ)****ETUC[23:0]**

これらのビットから現在のetuカウント値を読み出すことができます。

2回続けて読み出し、値が同じだった場合に正しく読み出せたと判断できます。

値が異なる場合は、更にもう一度読み出して、直前に読み出した値と比較してください。

# 15 16ビットPWMタイマ(T16B)

## 15.1 概要

T16Bは、コンパレータ/キャプチャ機能を持つ16ビットPWMタイマです。主な機能と特長を以下に示します。

- カウンタブロック
  - 16ビットアップ/ダウンカウンタ
  - クロックソースと分周比の選択により、チャンネル別にカウントクロックを設定可能
  - アップカウント、ダウンカウント、またはアップ/ダウンカウント動作と、ワンショット動作(設定した1周期でカウント停止)またはリピート動作(ソフトウェアで停止するまで連続カウント)を組み合わせてカウント動作モードを設定可能
  - 外部クロックを使用するイベントカウンタ機能に対応
- コンパレータ/キャプチャブロック
  - 1チャンネルあたり最大6系統のコンパレータ/キャプチャ回路を内蔵可能
  - コンパレータはカウンタ値とソフトウェアで指定した値を比較し、割り込み信号やPWM波形を生成(インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタとして使用可能)
  - キャプチャ回路は外部/ソフトウェアトリガ信号によってカウンタ値をキャプチャし、割り込みを発生(外部イベント期間/周期測定に使用可能)

図15.1.1にT16Bの構成を示します。

表15.1.1 S1C17F63のT16Bチャンネル構成

項目	S1C17F63
チャンネル数	2チャンネル (Ch.0とCh.1)
イベントカウンタ機能	Ch.0: EXCL00, EXCL01端子入力 Ch.1: EXCL10, EXCL11端子入力
チャンネル内コンパレータ/ キャプチャ回路数	2系統(0と1)
タイマ生成信号出力	Ch.0: TOUT00, TOUT01端子出力(2系統) Ch.1: TOUT10, TOUT11端子出力(2系統)
キャプチャ信号入力	Ch.0: CAP00, CAP01端子入力(2系統) Ch.1: CAP10, CAP11端子入力(2系統)

注: 本章では、チャンネル番号をn、入出力端子番号およびチャンネル内のコンパレータ/キャプチャ回路番号をmと記述します。

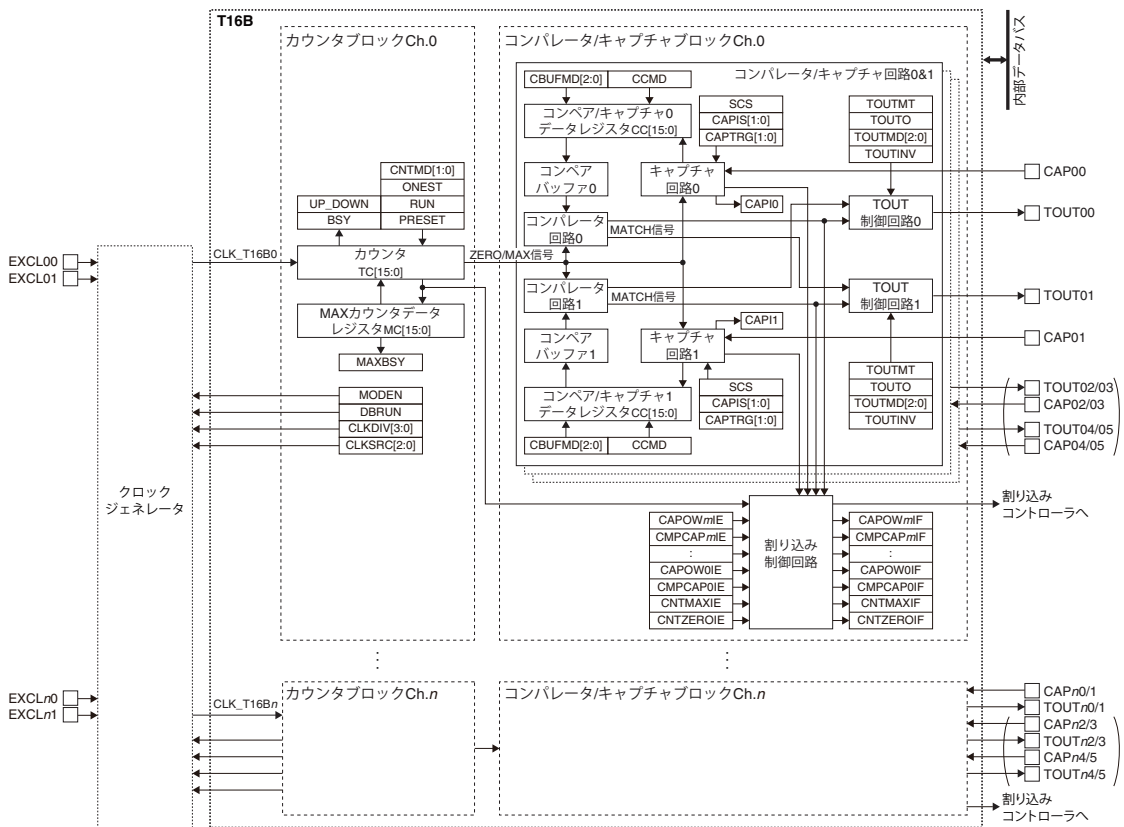


図15.1.1 T16Bの構成

## 15.2 入出力端子

表15.2.1にT16Bの端子一覧を示します。

表15.2.1 T16B端子一覧

端子名	I/O*	イニシャル状態*	機能
EXCLnm	I	I (Hi-Z)	外部クロック入力
TOUTnm/CAPnm	O or I	O (L)	TOUT信号出力(コンパレータモード時)または キャプチャトリガ信号入力(キャプチャモード時)

\* 端子機能をT16Bに切り換えた時点の状態

これらのT16B端子と他の機能がポートを共有している場合、T16Bを使用する前にT16Bの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

## 15.3 クロック設定

### 15.3.1 T16Bの動作クロック

T16B Ch.*n*を使用する場合、クロックジェネレータからT16B Ch.*n*動作クロックCLK\_T16B*n*をT16B Ch.*n*に供給する必要があります。

CLK\_T16B*n*の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
  - 外部クロックを使用する場合は、EXCL*nm*端子機能を選択する(“入出力ポート”の章を参照)。
2. T16B*n*CLKレジスタの以下のビットを設定する。
  - T16B*n*CLK.CLKSRC[2:0]ビット (クロックソースの選択)
  - T16B*n*CLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

### 15.3.2 SLEEPモード時のクロック供給

SLEEPモード時にT16Bを使用する場合は、T16B動作クロックCLK\_T16B*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK\_T16B*n*を供給し続ける必要があります。

SLEEPモード時に、CLK\_T16B*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットが1の場合は、CLK\_T16B*n*のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタやカウンタの内容を保持したまま、T16Bが停止します。その後通常モードに戻ると、CLK\_T16B*n*が供給され、T16Bの動作が再開します。

### 15.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK\_T16B*n*の供給はT16B*n*CLK.DBRUNビットで制御します。

T16B*n*CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとT16B Ch.*n*へのCLK\_T16B*n*の供給が停止します。その後通常モードに戻ると、CLK\_T16B*n*の供給が再開します。CLK\_T16B*n*の供給が停止するとT16B Ch.*n*の動作は停止しますが、カウンタやレジスタはDEBUGモードへ移行前の状態に保持されます。

T16B*n*CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_T16B*n*の供給は停止せず、T16B Ch.*n*は動作を継続します。

### 15.3.4 イベントカウンタクロック

T16B*n*CLK.CLKSRC[2:0]ビットでクロックソースにEXCL*nm*を選択すると、そのチャンネルはEXCL*nm*端子の入力クロックをカウントするタイマまたはイベントカウンタとして機能します。

カウンタは入力信号の立ち上がりエッジでカウントを行います。クロックソースにEXCL*nm*反転入力を選択することで、オリジナル信号の立ち下がりエッジでカウントさせることもできます。

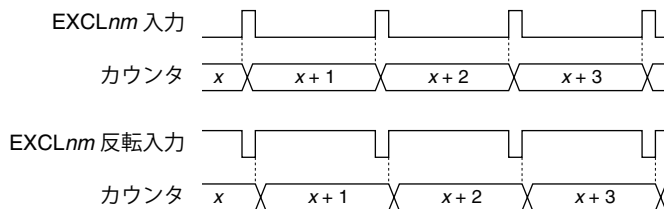


図15.3.4.1 カウントタイミング(カウントアップ動作時)

注: イベントカウンタクロックで動作させる場合、初回のカウントアップ/ダウンまでにダミーのクロックが2クロック必要になります。

## 15.4 動作

### 15.4.1 初期設定

T16B Ch.*n*は、以下の手順により初期設定を行い、カウントを開始させます。  
インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタとして使用する場合はコンパレータモード時の初期設定を、外部イベント期間/周期測定に使用する場合はキャプチャモード時の初期設定を行ってください。

#### コンパレータモード時の初期設定

1. T16B Ch.*n*動作クロックを設定する。
2. T16BnCTL.MODENビットを1に設定する。 (T16B動作イネーブル)
3. T16BnCCCTL0およびT16BnCCCTL1レジスタの以下のビットを設定する。
  - T16BnCCCTLm.CCMDビットを0に設定\* (コンパレータモードに設定)
  - T16BnCCCTLm.CBUFMD[2:0]ビット (コンペアバッファの設定)
  - \* コンパレータ/キャプチャ回路は、ペア(回路0&1、2&3、4&5)の一方をキャプチャモードに設定することも可能です。
- TOUTnm出力を使用する場合は以下のビットも設定する。
  - T16BnCCCTLm.TOUTMTビット (波形生成信号の選択)
  - T16BnCCCTLm.TOUTMD[2:0]ビット (TOUT信号生成モードを選択)
  - T16BnCCCTLm.TOUTINVビット (TOUT信号極性の選択)
4. T16BnMCレジスタを設定する。 (MAXカウンタデータを設定)
5. T16BnCCR0レジスタ、T16BnCCR1レジスタを設定する。 (カウンタ比較値を設定)
6. 割り込みを使用する場合は以下のビットを設定する。
  - T16BnINTFレジスタの割り込みフラグに1を書き込み (割り込みフラグをクリア)
  - T16BnINTEレジスタの割り込みイネーブルビットを1に設定(割り込みイネーブル)
7. T16BnCTLレジスタの以下のビットを設定する。
  - T16BnCTL.CNTMD[1:0]ビット (カウントアップ/ダウン動作の選択)
  - T16BnCTL.ONESTビット (ワンショット/リピート動作の選択)
  - T16BnCTL.PRESETビットを1に設定 (カウンタリセット)
  - T16BnCTL.RUNビットを1に設定 (カウント開始)

#### キャプチャモード時の初期設定

1. T16B Ch.*n*動作クロックを設定する。
2. T16BnCTL.MODENビットを1に設定する。 (T16B動作イネーブル)
3. T16BnCCCTL0およびT16BnCCCTL1レジスタの以下のビットを設定する。
  - T16BnCCCTLm.CCMDビットを1に設定\* (キャプチャモードに設定)
  - T16BnCCCTLm.SCSビット (同期/非同期モードの設定)
  - T16BnCCCTLm.CAPIS[1:0]ビット (トリガ信号の設定)
  - T16BnCCCTLm.CAPTRG[1:0]ビット (トリガエッジの選択)
  - \* コンパレータ/キャプチャ回路は、ペア(回路0&1、2&3、4&5)の一方をコンパレータモードに設定することも可能です。
4. T16BnMCレジスタを設定する。 (MAXカウンタデータを設定)
5. 割り込みを使用する場合は以下のビットを設定する。
  - T16BnINTFレジスタの割り込みフラグに1を書き込み (割り込みフラグをクリア)
  - T16BnINTEレジスタの割り込みイネーブルビットを1に設定(割り込みイネーブル)
6. T16BnCTLレジスタの以下のビットを設定する。
  - T16BnCTL.CNTMD[1:0]ビット (カウントアップ/ダウン動作の選択)
  - T16BnCTL.ONESTビット (ワンショット/リピート動作の選択)
  - T16BnCTL.PRESETビットを1に設定 (カウンタリセット)
  - T16BnCTL.RUNビットを1に設定 (カウント開始)

## 15.4.2 カウンタブロックの動作

各カウンタブロックチャネルのカウンタは、選択した動作クロック(カウントクロック)をカウントする16ビットアップ/ダウンカウンタです。

### カウントモード

T16B $n$ CTL.CNTMD[1:0]ビットでアップ、ダウン、アップ/ダウンモードを、T16B $n$ CTL.ONESTビットでリピート、ワンショットモードを選択可能です。カウンタは、この組み合わせにより6種類のカウントモードで動作します。

リピートモードは、ソフトウェアで停止するまでカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合などに選択します。

ワンショットモードは、カウンタが自動的に停止します。パルス幅など、外部イベント間隔を測定する場合や、特定の時間経過を確認するときなど、1度の割り込みで停止させる場合はこのモードを選択します。

アップ、ダウン、アップ/ダウンモードは、カウンタをそれぞれアップカウンタ、ダウンカウンタ、アップ/ダウンカウンタとして動作させます。

### MAXカウンタデータレジスタ

MAXカウンタデータレジスタ(T16B $n$ MC.MC[15:0]ビット)は、カウンタの最大値(以降、MAX値)を設定するために使用します。この設定により、カウント範囲が0x0000～MAX値に制限され、カウントや割り込みの周期が決定します。なお、カウンタがリピートモードに設定されている場合は、動作中でも次の手順でMAX値の書き換えが可能です。

1. T16B $n$ CTL.MAXBSYビットが0になっていることを確認する。
2. T16B $n$ MC.MC[15:0]ビットにMAX値を書き込む。

注: MAX値を書き換える場合は、以前設定されたMAX値にカウンタがリセットされてから新たなMAX値を書き込んでください。

### カウンタのリセット

カウンタは、T16B $n$ CTL.PRESETビットを1に設定することによりリセットされます。アップまたはアップ/ダウンモード時は、カウンタが0x0000にクリアされます。ダウンモード時はカウンタがMAX値に設定されます。

また、カウントアップ動作中は、カウンタ値がMAX値を超えた時点で0x0000にクリアされます。

### カウント開始

カウントを開始するには、T16B $n$ CTL.RUNビットを1に設定します。カウントの停止制御は、設定されているカウントモードによって変わります。

### カウンタ値のリード

カウンタ値は、T16B $n$ TC.TC[15:0]ビットから読み出せます。ただし、CLK\_T16B $n$ で動作しているため、CPUで正しく読み出すためには、下記のいずれかの操作が必要です。

- 2回以上読み出して、カウンタ値が一致していることを確認する。
- タイマを停止させてから読み出す。

### カウンタステータスの確認

カウンタの動作状態は、T16B $n$ CS.BSYビットで確認可能です。カウンタが動作中はT16B $n$ CS.BSYビットが1、停止中は0になります。

また、現在のカウンタ方向がT16B $n$ CS.UP\_DOWNビットで確認可能です。カウントアップ動作中はT16B $n$ CS.UP\_DOWNビットが1、カウントダウン動作中は0になります。

### リピートアップカウントモード、ワンショットアップカウントモードの動作

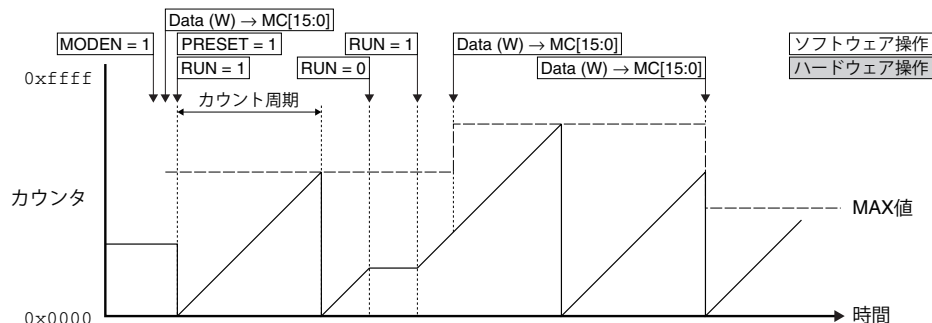
これらのモードでは、カウンタがアップカウンタとして動作し、0x0000(または現在値)からMAX値までカウントを行います。

## 15 16ビットPWMタイマ(T16B)

リピートアップカウントモード時は、カウンタがMAX値を超えると0x0000に戻り、その後もT16BnCTL.RUNビットを0に設定するまで、カウントを継続します。カウンタが動作中にMAX値を現在のカウンタ値よりも大きな値に変更した場合は、新たなMAX値までカウントアップを続けます。現在のカウンタ値よりも小さな値に変更した場合は、一旦カウンタ値を0x0000に戻してから新たなMAX値までカウントアップを続けます。

ワンショットアップカウントモード時は、カウンタがMAX値を超えると0x0000に戻り、その時点で自動的に停止します。

### (1) リピートアップカウントモード



### (2) ワンショットアップカウントモード

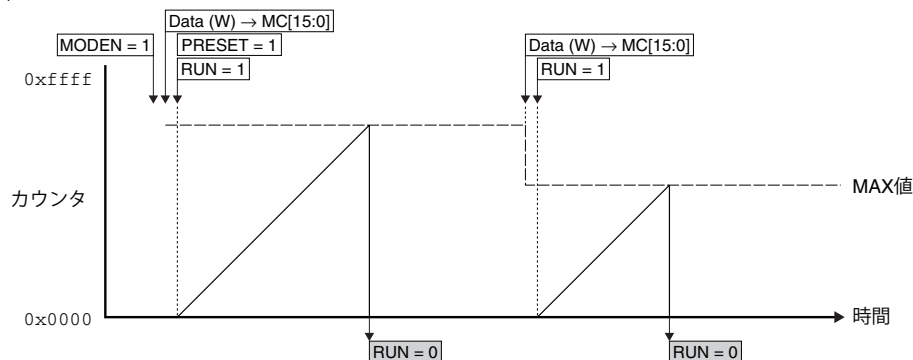


図15.4.2.1 リピートアップカウントモード、ワンショットアップカウントモードの動作

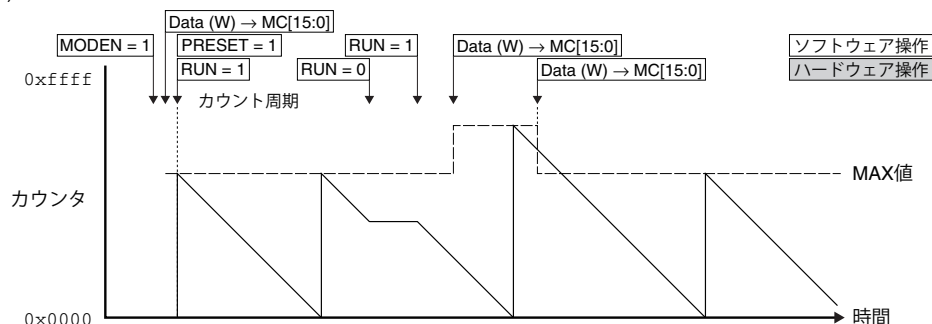
## リピートダウンカウントモード、ワンショットダウンカウントモードの動作

これらのモードでは、カウンタがダウンカウンタとして動作し、MAX値(または現在値)から0x0000までカウントを行います。

リピートダウンカウントモード時は、カウンタがアンダーフローするとMAX値に戻り、その後もT16BnCTL.RUNビットを0に設定するまで、カウントを継続します。カウンタが動作中にMAX値を変更した場合もそのまま0x0000までカウントし、アンダーフロー後に新たなMAX値からカウントダウンを続けます。

ワンショットダウンカウントモード時は、カウンタがアンダーフローするとMAX値に戻り、その時点で自動的に停止します。

### (1) リピートダウンカウントモード



## (2) ワンショットダウンカウントモード

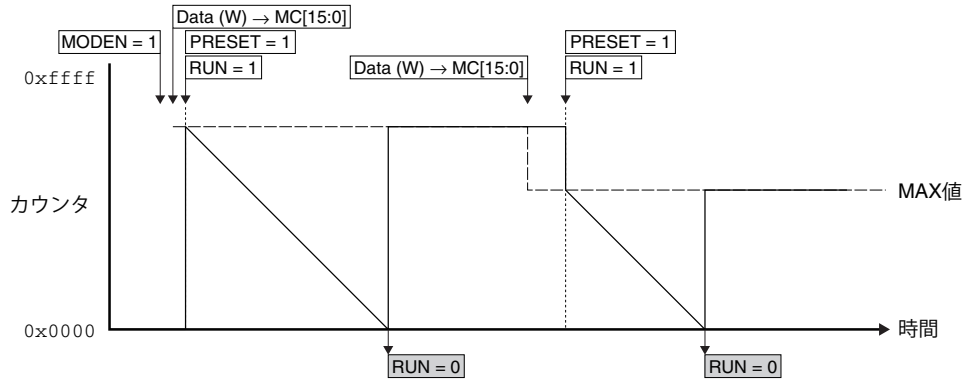


図15.4.2.2 リピートダウンカウントモード、ワンショットダウンカウントモードの動作

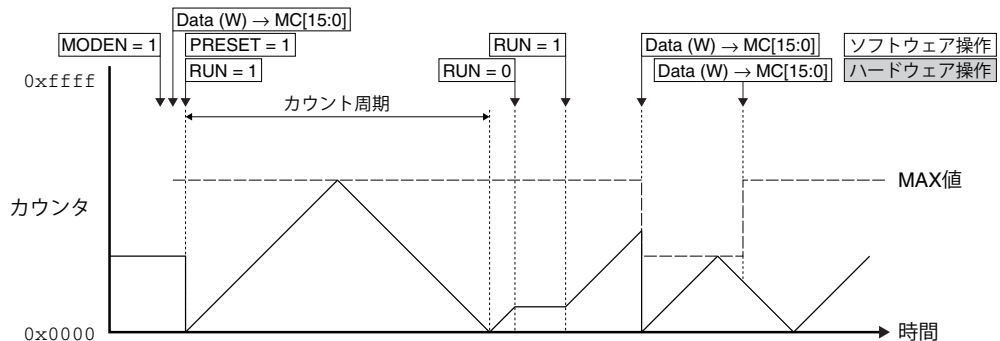
**リピートアップ/ダウンカウントモード、ワンショットアップ/ダウンカウントモードの動作**

これらのモードでは、カウンタがアップ/ダウンカウンタとして動作し、0x0000(または現在値)→MAX値→0x0000のカウントを行います。

リピートアップ/ダウンカウントモード時は、T16BnCTL.RUNビットを0に設定するまで、0x0000からMAX値までのカウントアップと、MAX値から0x0000までのカウントダウンを繰り返します。カウンタがカウントアップ動作中にMAX値を現在のカウンタ値よりも大きな値に変更した場合は、新たなMAX値までカウントアップを続けます。現在のカウンタ値よりも小さな値に変更した場合は、一旦カウンタ値を0x0000に戻してから新たなMAX値までカウントアップを続けます。カウントダウン動作中にMAX値を変更した場合はそのまま0x0000までカウント後、新たなMAX値までカウントアップを続けます。

ワンショットアップ/ダウンカウントモード時は、カウンタがカウントダウンによって0x0000になると自動的に停止します。

## (1) リピートアップ/ダウンカウントモード



## (2) ワンショットアップ/ダウンカウントモード

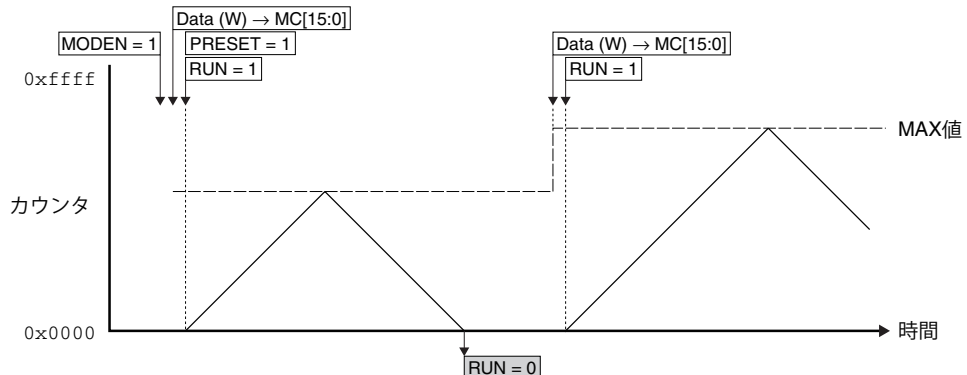


図15.4.2.3 リピートアップ/ダウンカウントモード、ワンショットアップ/ダウンカウントモードの動作



### 15.4.3 コンパレータ/キャプチャブロックの動作

コンパレータ/キャプチャブロックは、ソフトウェアにより選択した動作モードに従ってカウンタ値とレジスタ設定値を比較するコンパレータ、または外部/ソフトウェアトリガ信号によってカウンタ値を取得するキャプチャ回路として機能します。

#### コンパレータ/キャプチャブロックの動作モード

コンパレータ/キャプチャブロックには2系統(4系統、または6系統)のコンパレータ/キャプチャ回路が組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。

コンパレータモードに設定するには、T16BnCCCTLm.CCMDビットを0に、キャプチャモードに設定するには1に設定します。

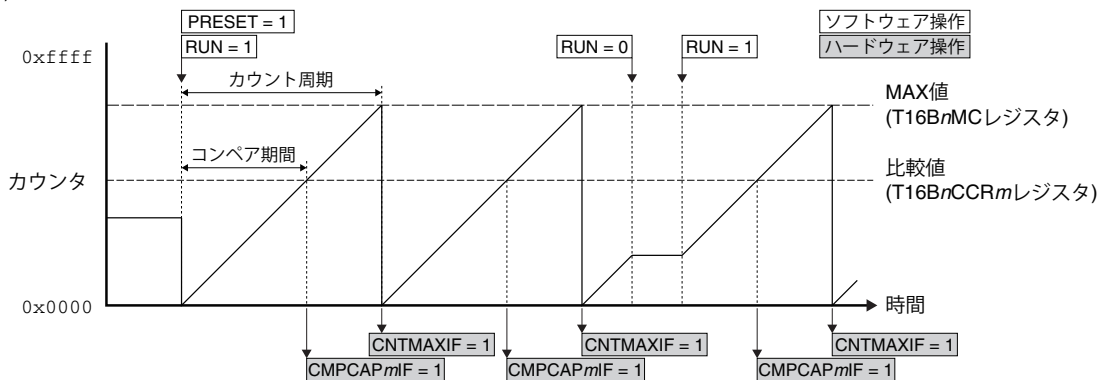
#### コンパレータモードの動作

コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16BnCCRmレジスタは比較値を設定しておくコンペアデータレジスタとして機能します。また、TOUTnm/CAPnm端子はTOUTnm端子となります。

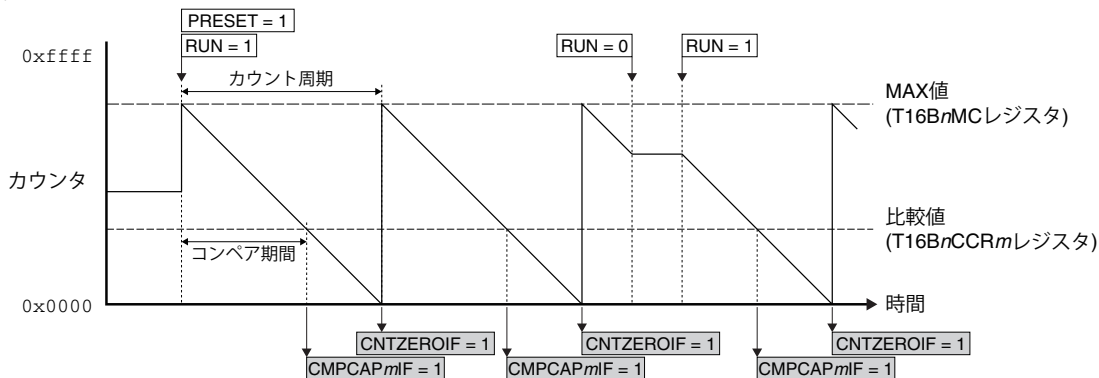
カウント中にカウンタ値がT16BnCCRmレジスタの設定値になると、コンパレータからMATCH信号が出力され、T16BnINTF.COMPCAPmIFビット(コンペア割り込みフラグ)が1にセットされます。

また、コンパレータモードでカウンタ値がMAX値に達した場合はT16BnINTF.CNTMAXIFビット(カウンタMAX割り込みフラグ)が、カウンタ値が0x0000になった場合はT16BnINTF.CNTZEROIFビット(カウンタゼロ割り込みフラグ)がそれぞれ1にセットされます。

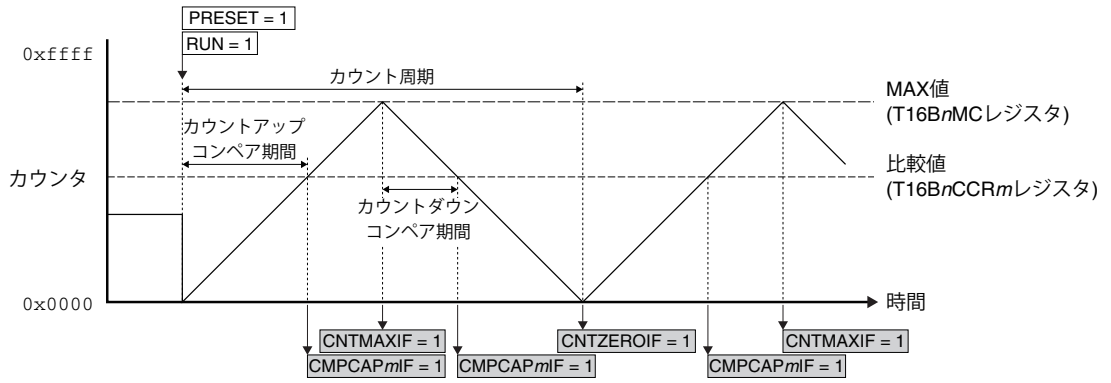
##### (1) リピートアップカウントモード



##### (2) リピートダウンカウントモード



## (3) リピートアップ/ダウンカウントモード



(ソフトウェアによるT16BnINTF.CMPCAPmIF/CNTMAXIF/CNTZEROIFビットのクリア操作は省略しています。)

図15.4.3.1 コンパレータモード時の動作例

カウンタ = 0x0000またはMAX値からコンペア割り込みが発生するまでの期間(コンペア期間)、およびカウンタMAXまたはカウンタゼロ割り込みが発生するまでの期間(カウント周期)は次のように計算できます。

カウントアップ時

$$\text{コンペア期間} = \frac{(CC + 1)}{f_{\text{CLK\_T16B}}} \text{ [秒]} \quad \text{カウント周期} = \frac{(MAX + 1)}{f_{\text{CLK\_T16B}}} \text{ [秒]} \quad (\text{式15.1})$$

カウントダウン時

$$\text{コンペア期間} = \frac{(MAX - CC + 1)}{f_{\text{CLK\_T16B}}} \text{ [秒]} \quad \text{カウント周期} = \frac{(MAX + 1)}{f_{\text{CLK\_T16B}}} \text{ [秒]} \quad (\text{式15.2})$$

ここで

CC: T16BnCCRmレジスタ設定値(0~65,535)

MAX: T16BnMCレジスタ設定値(0~65,535)

fCLK\_T16B: カウントクロック周波数 [Hz]

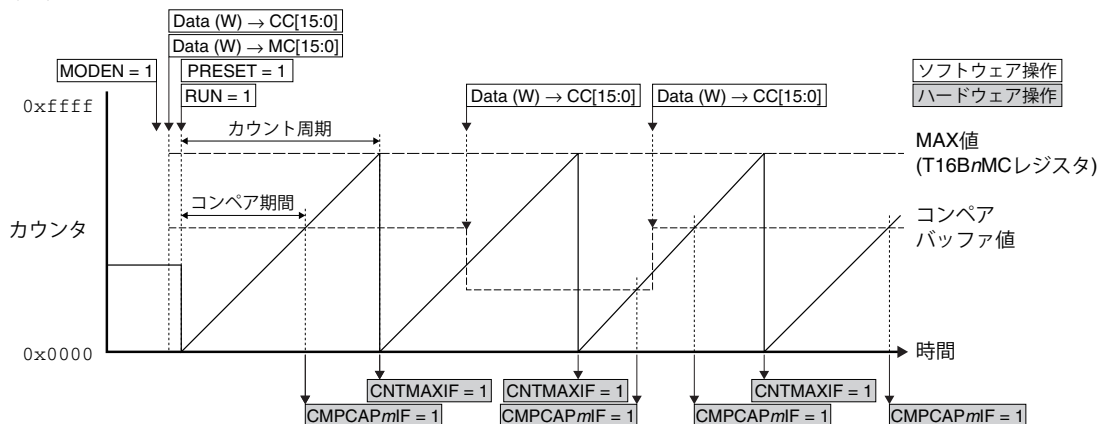
コンパレータのMATCH信号とカウンタMAX/ZERO信号は、タイマ出力波形(TOUT)の生成にも使用されます。詳細については、“TOUT出力の制御”を参照してください。

### コンペアバッファ

コンパレータは、T16BnCCRmレジスタに書き込まれた比較値をコンペアバッファにロードしてカウンタ値と比較します。たとえば、PWM波形を生成する場合、カウンタ動作と非同期に比較値を変更すると期待したデューティの波形が生成できません。このため、コンペアバッファにはカウンタの動作に同期して比較値がロードされるように、そのタイミングをT16BnCCCTLm.CBUFMD[2:0]ビットで設定することができます。

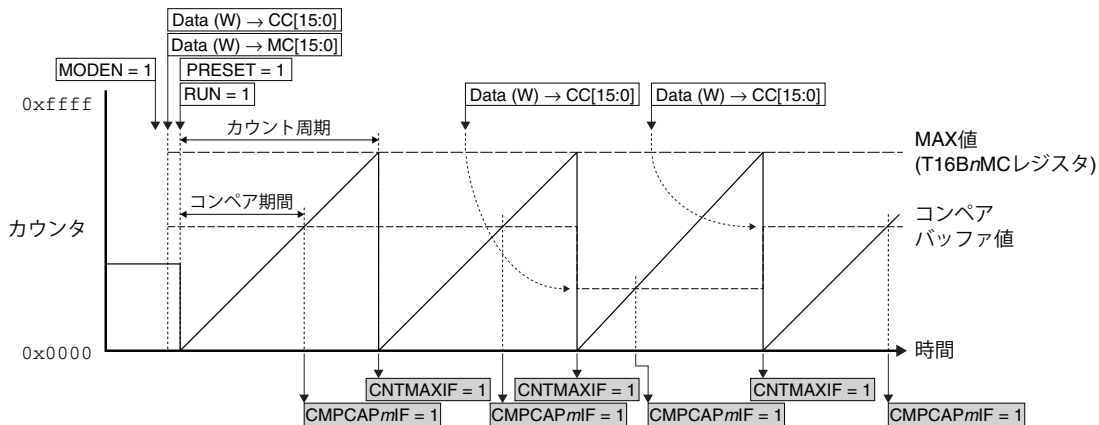
#### (1) リピートアップカウントモード

(1.1) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x0

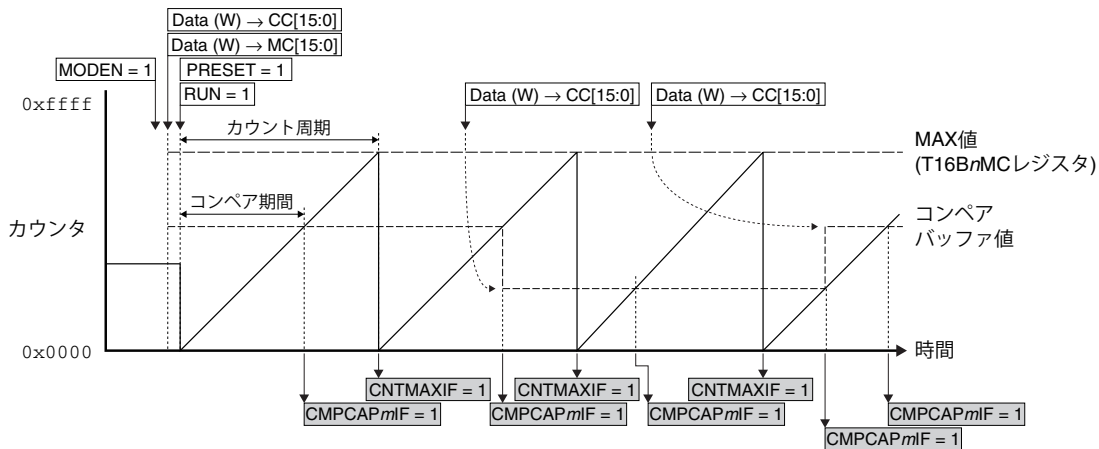


15 16ビットPWMタイマ(T16B)

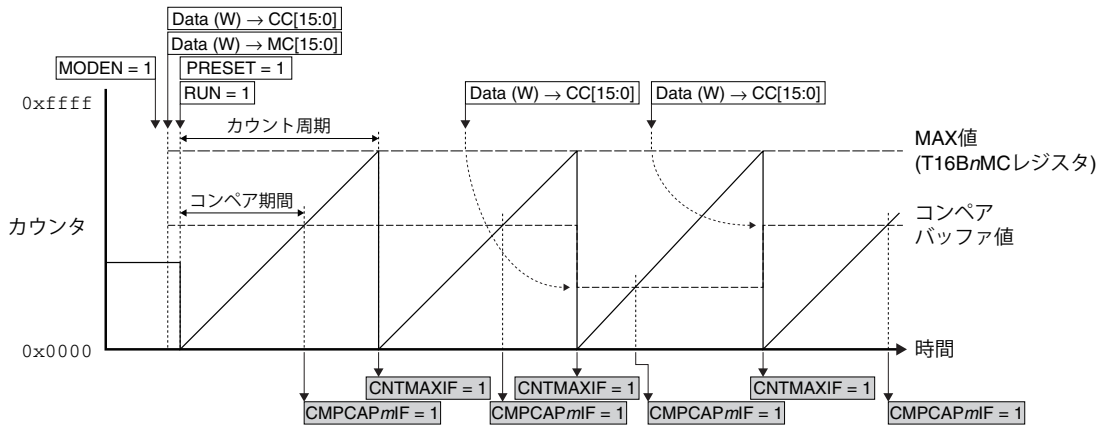
(1.2) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x1



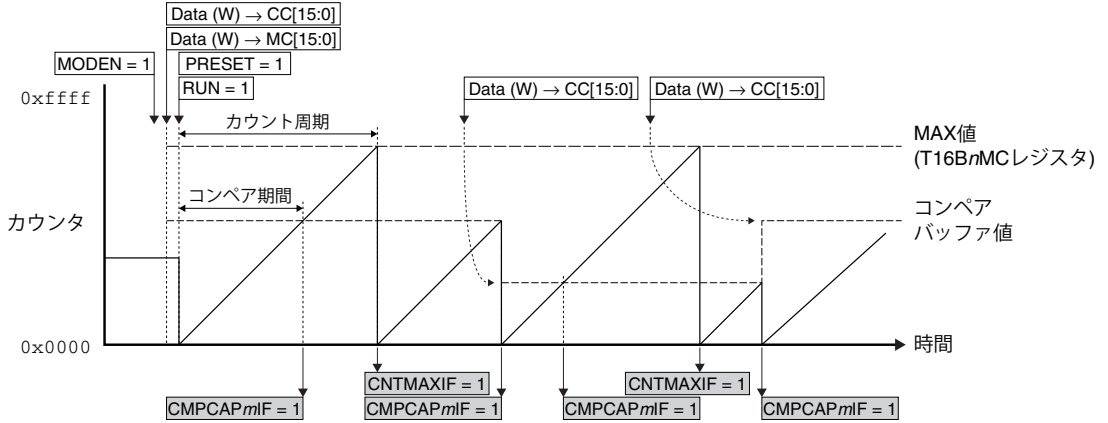
(1.3) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x2



(1.4) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x3

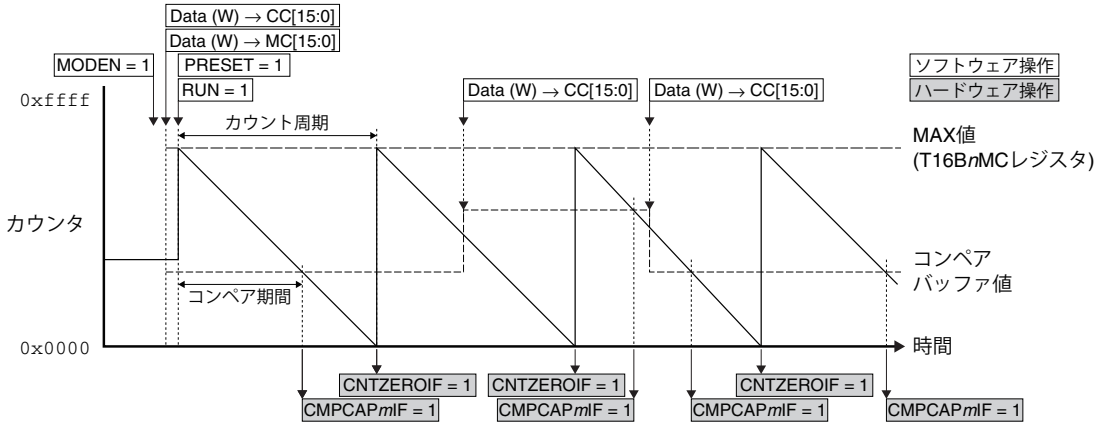


(1.5) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x4

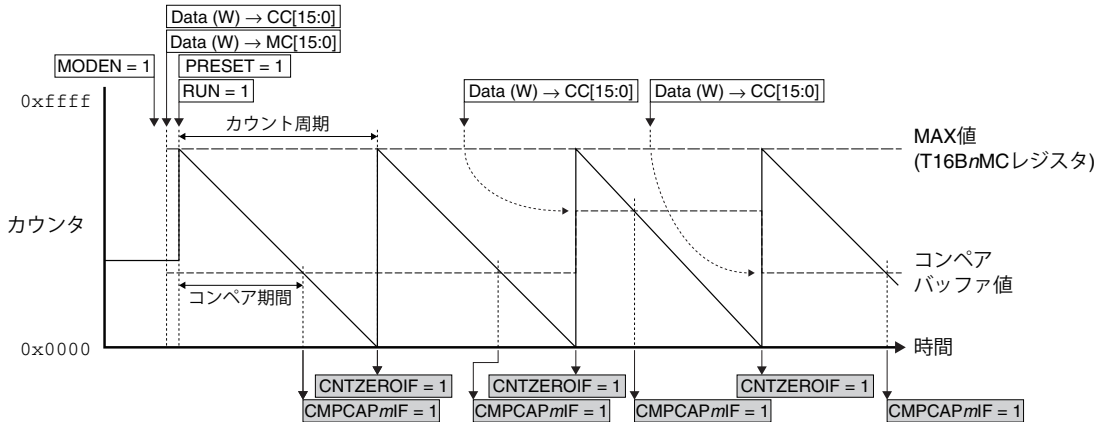


(2) リピートダウンカウントモード

(2.1) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x0

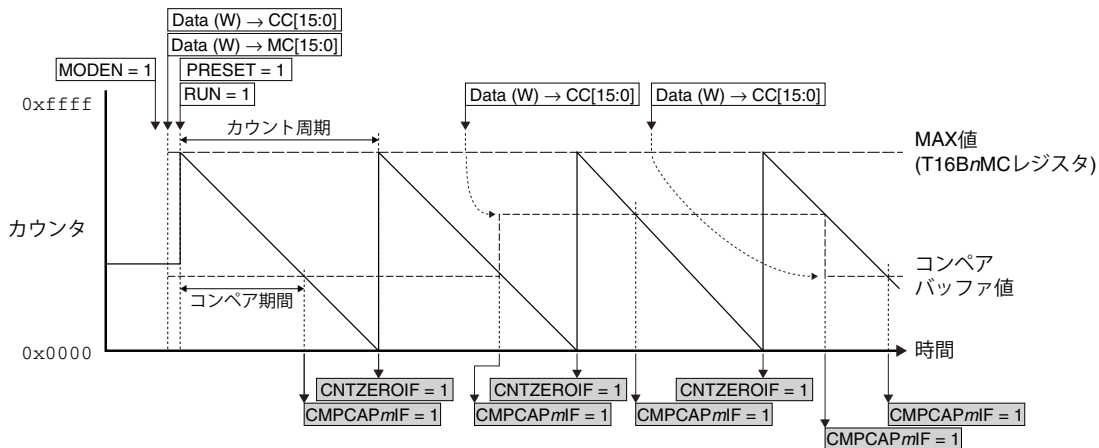


(2.2) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x1

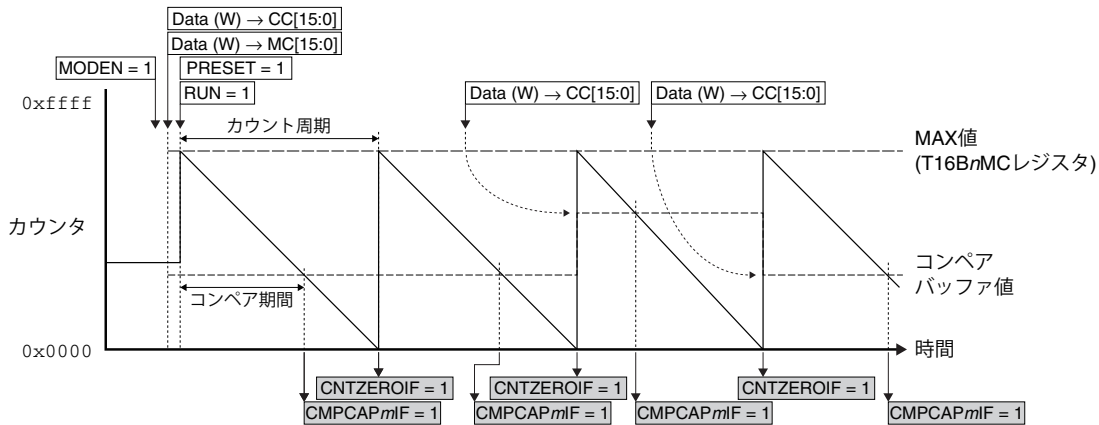


15 16ビットPWMタイマ(T16B)

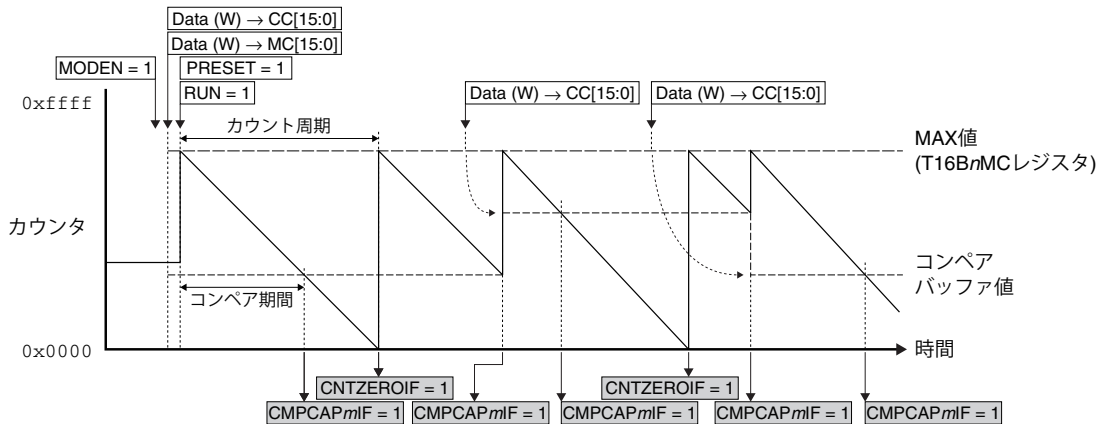
(2.3) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x2



(2.4) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x3

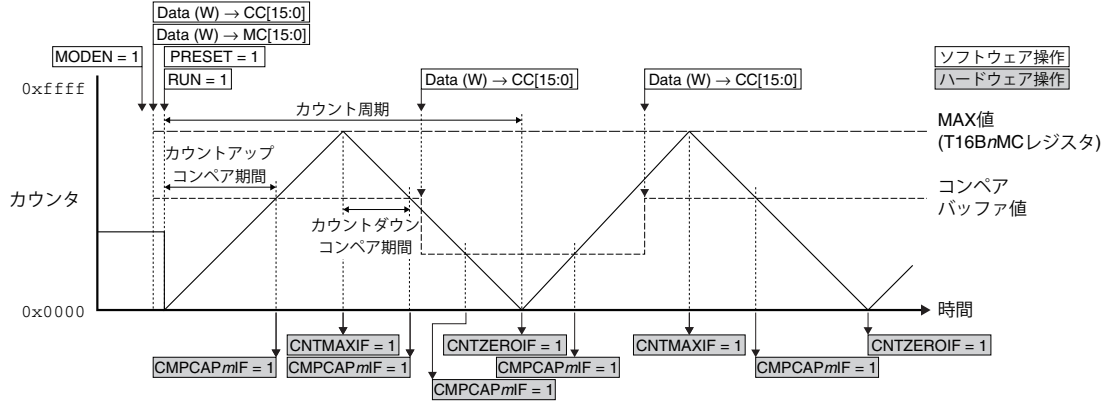


(2.5) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x4

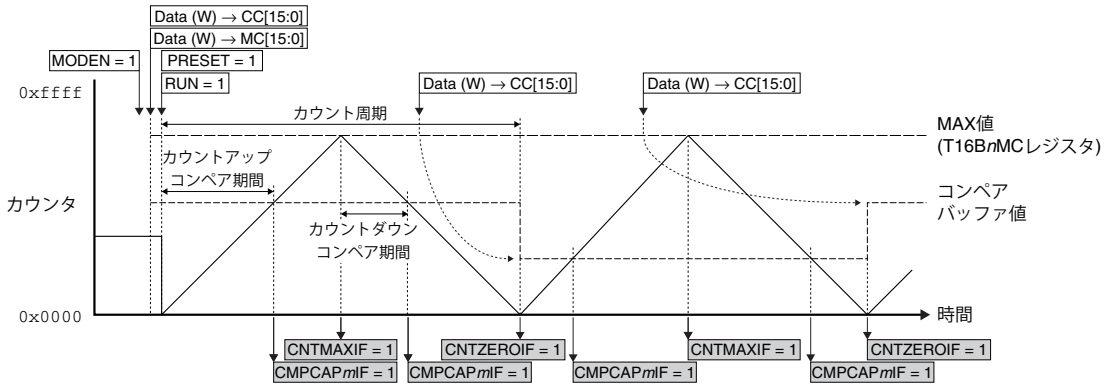


(3) リピートアップ/ダウンカウントモード

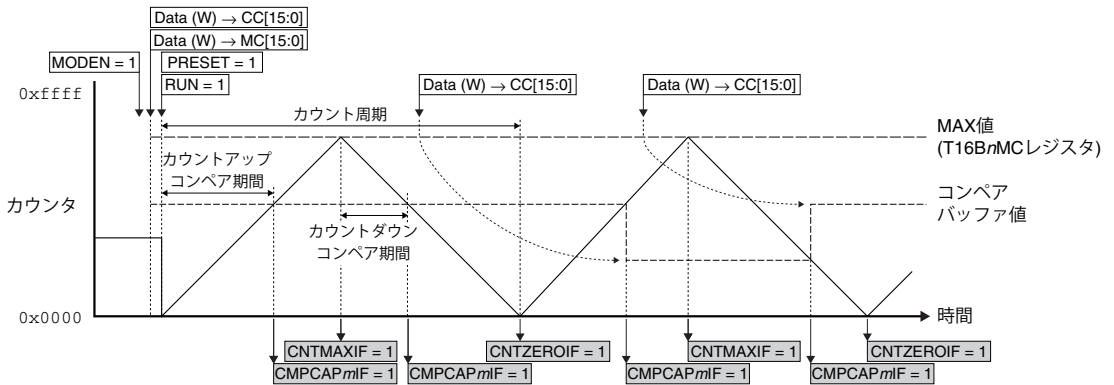
(3.1) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x0



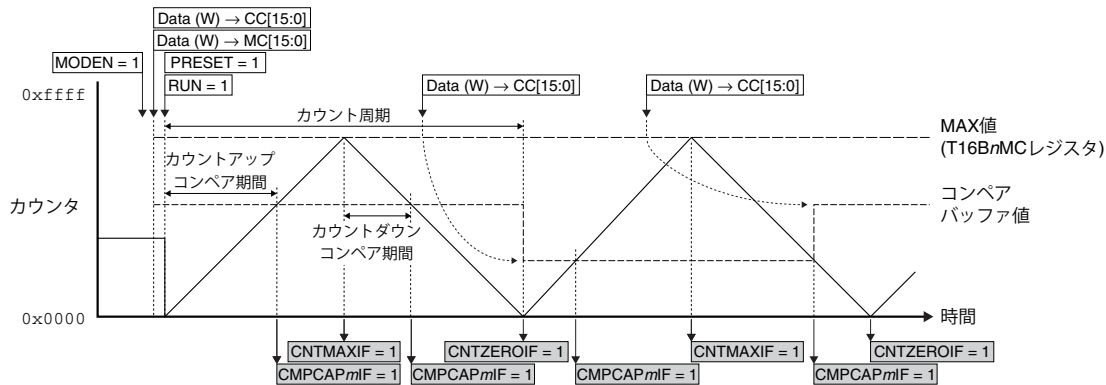
(3.2) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x1



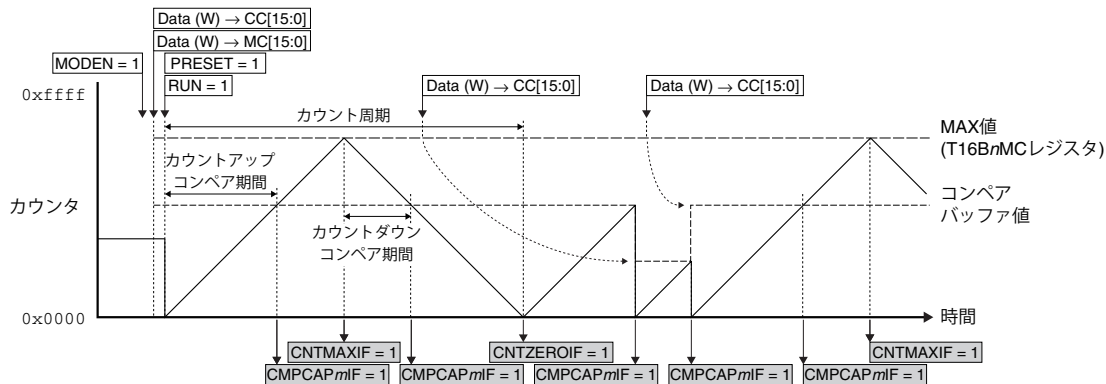
(3.3) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x2



(3.4) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x3



(3.5) T16BnCCCTLm.CBUFMD[2:0]ビット = 0x4



(ソフトウェアによるT16BnINTF.CMPCAPmIF/CNTMAXIF/CNTZEROIFビットのクリア操作は省略しています。)

図15.4.3.2 コンペアバッファの動作

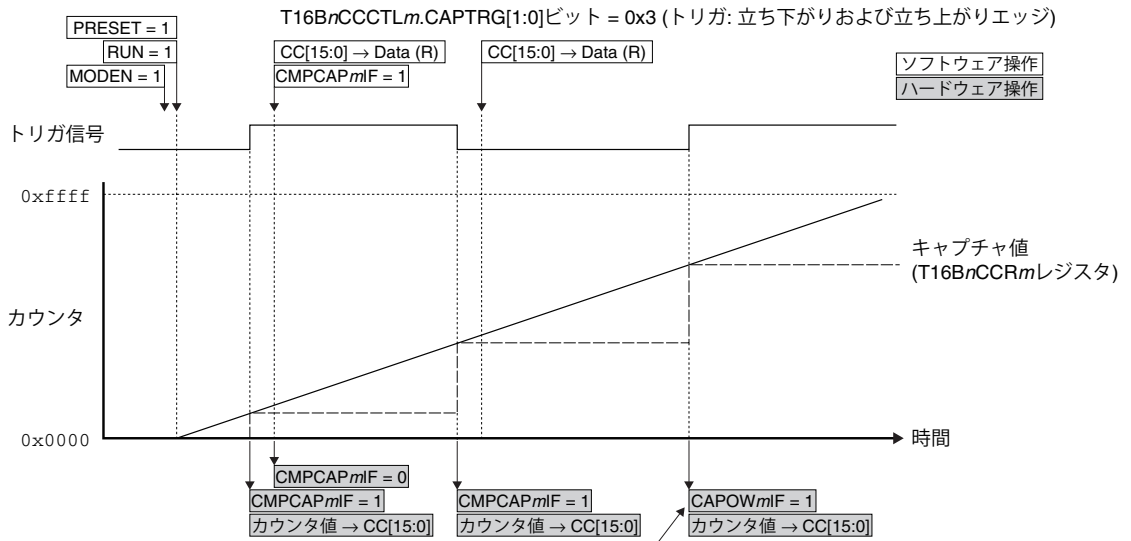
### キャプチャモードの動作

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力/ソフトウェアトリガ信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16BnCCRmレジスタがキャプチャデータを読み出すためのキャプチャレジスタとして機能します。また、TOUTnm/CAPnm端子はCAPnm端子となります。

カウンタ値をキャプチャするためのトリガ信号とトリガエッジは、それぞれT16BnCCCTLm.CAPIS[1:0]ビットとT16BnCCCTLm.CAPTRG[1:0]ビットにより選択します。

カウント中に指定のトリガエッジが入力されると、その時点のカウンタ値がT16BnCCRmレジスタにロードされます。同時にT16BnINTF.CMPCAPmIFビットがセットされます。これによる割り込みを利用して、キャプチャデータをT16BnCCRmレジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。

T16BnINTF.CMPCAPmIFビットがセットされた状態で、次のトリガによりT16BnCCRmレジスタのキャプチャデータが上書きされた場合は、オーバーライトエラーとなります(T16BnINTF.CAPOWmIFビットがセットされます)。



T16BnINTF.CMPCAPmIFビットをクリアしていないためオーバーライトエラーが発生

図15.4.3.3 キャプチャモードの動作(ワンショットアップカウントモードの例)

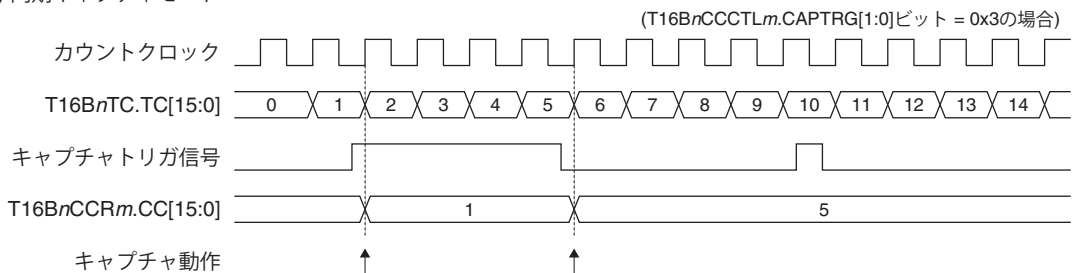
### 同期キャプチャモード/非同期キャプチャモード

キャプチャ回路は、同期キャプチャモードと非同期キャプチャモードの2つのモードで動作可能です。

同期キャプチャモードは、カウンタデータが変化する瞬間のキャプチャ動作により、誤ったデータを読み出す可能性を回避するための動作モードです。同期キャプチャモードにするには、T16BnCCCTLm.SCSビットを1に設定します。このモードでは、キャプチャ信号をカウンタのクロックと同期させて、カウントデータをキャプチャします。

一方、非同期キャプチャモードは、同期キャプチャモードでは不可能な、カウントクロック周期よりも短いトリガパルスを検出してカウントデータをキャプチャすることができます。非同期キャプチャモードにするには、T16BnCCCTLm.SCSビットを0に設定します。

#### (1) 同期キャプチャモード



#### (2) 非同期キャプチャモード

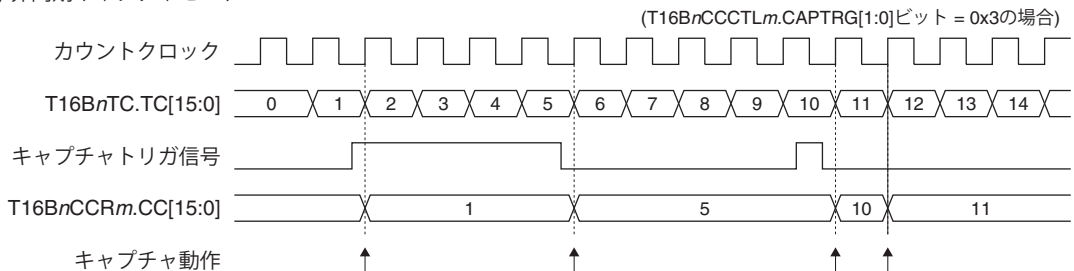


図15.4.3.4 同期キャプチャモード/非同期キャプチャモード



### 15.4.4 TOUT出力の制御

コンパレータモードでは、コンパレータのMATCH信号およびカウンタのMAX/ZERO信号によってTOUT信号を生成し、IC外部に出力することができます。図15.4.4.1にTOUT出力回路(回路0&1)を示します。

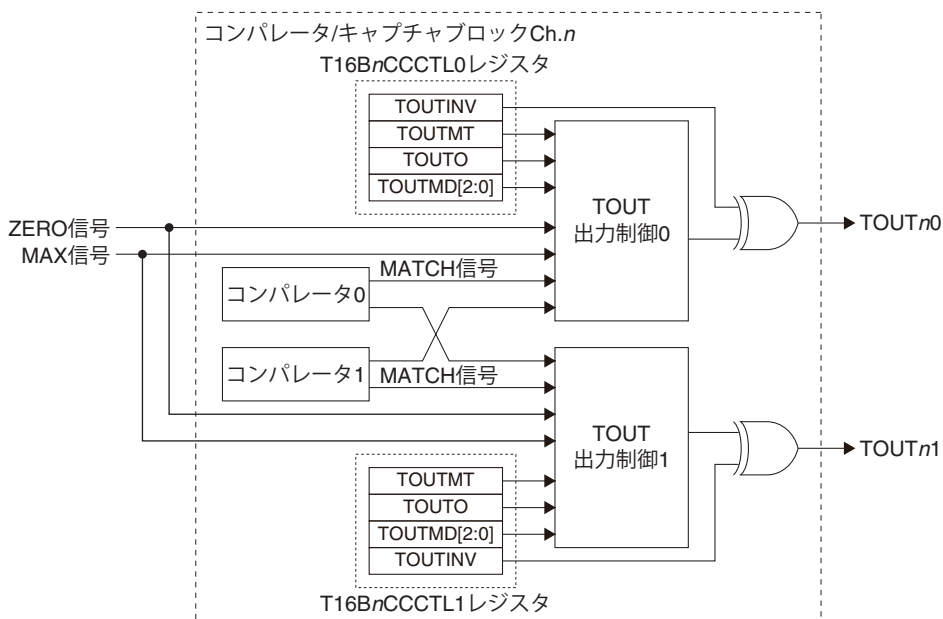


図15.4.4.1 TOUT出力回路(回路0&1)

各チャンネルには2系統(4系統、または6系統)のTOUT出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。

#### TOUT生成モード

TOUT信号を、MATCHおよびMAX/ZERO信号によってどのように変化させるか、T16BnCCCTLm.TOUTMD[2:0]ビットで設定します。

さらに、T16BnCCCTLm.TOUTMTビットを1に設定すると、回路ペア(0&1、2&3、4&5)のもう一方のMATCH信号も使用して、カウンタ周期内に2箇所の変化点を作ることができます。

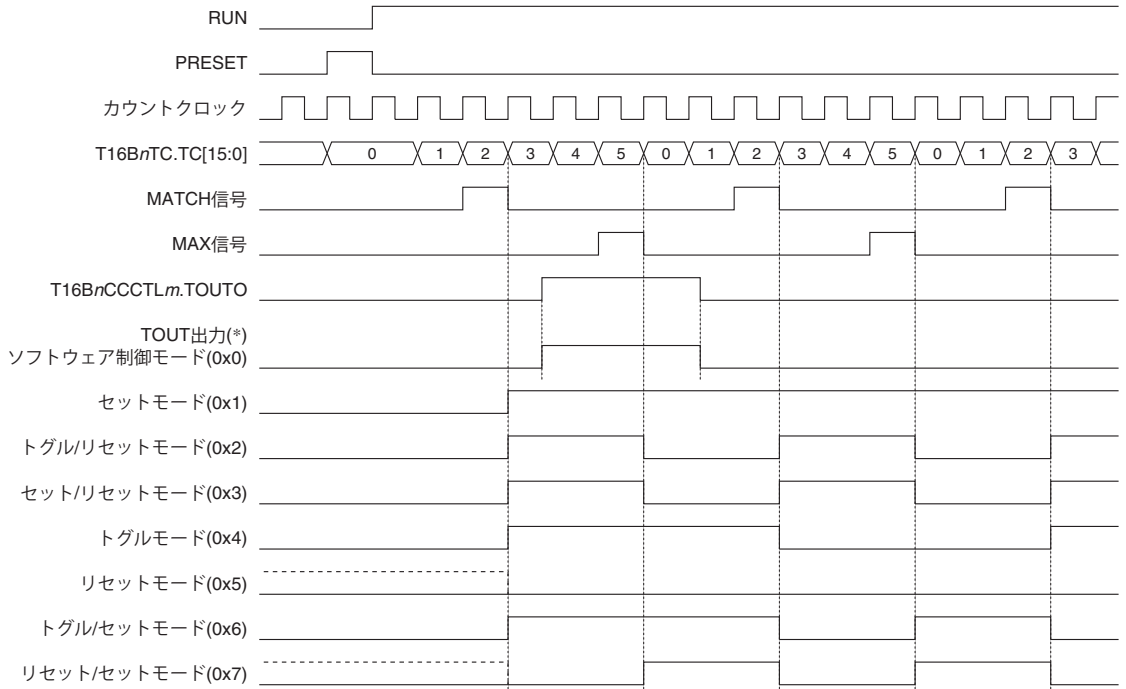
#### TOUT信号の極性

TOUT信号の極性(アクティブレベル)をT16BnCCCTLm.TOUTINVビットで設定可能です。T16BnCCCTLm.TOUTINVビットを0に設定するとアクティブHIGH、1に設定するとアクティブLOWになります。

図15.4.4.2と図15.4.4.3にTOUT出力波形を示します。

(1) リピートアップカウントモード

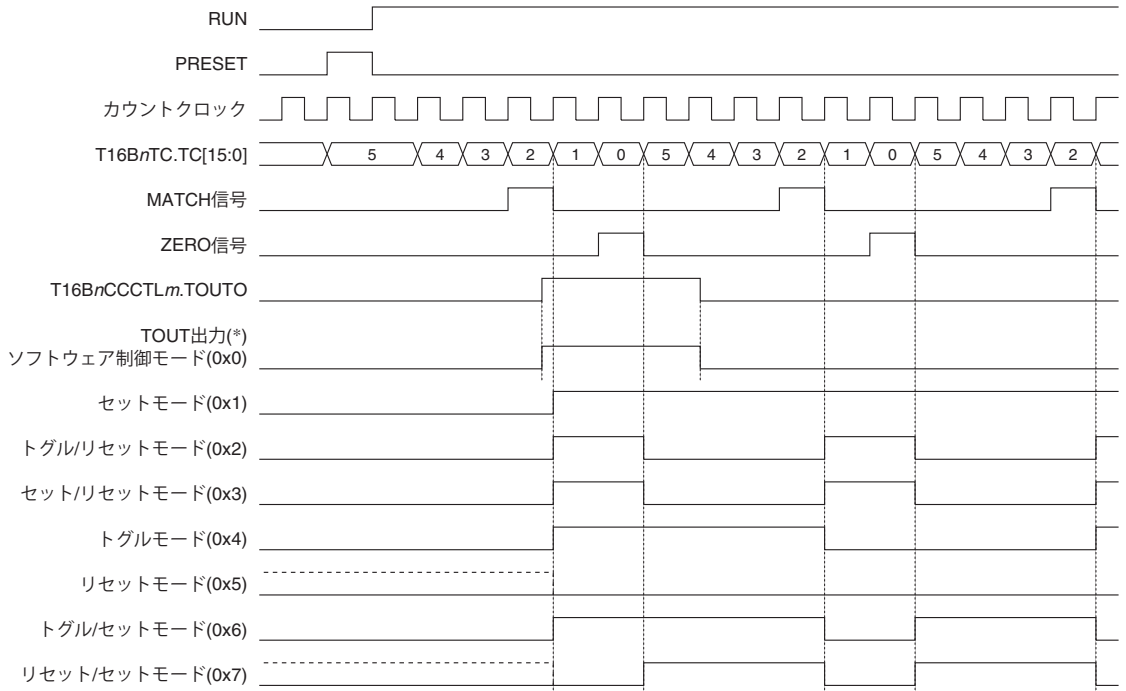
(MAX値 = 5, コンペアバフファ値 = 2, T16BnCCCTLm.TOUTINVビット = 0の場合)



\* ( )内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

(2) リピートダウンカウントモード

(MAX値 = 5, コンペアバフファ値 = 2, T16BnCCCTLm.TOUTINVビット = 0の場合)

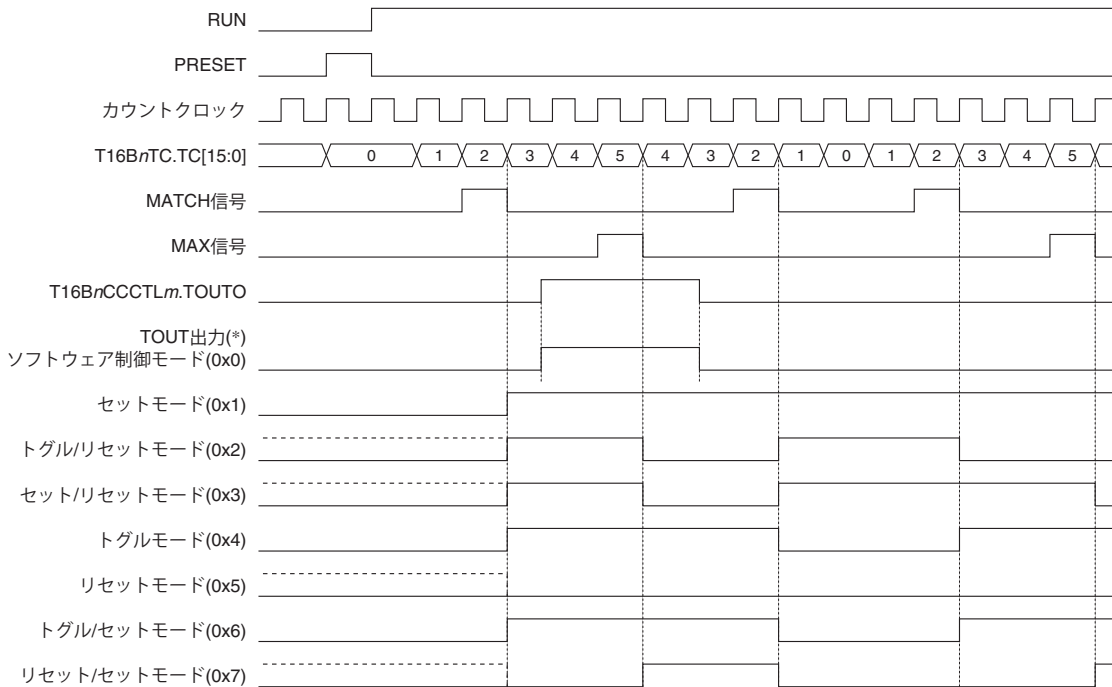


\* ( )内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

## 15 16ビットPWMタイマ(T16B)

(3) リピートアップ/ダウンカウントモード

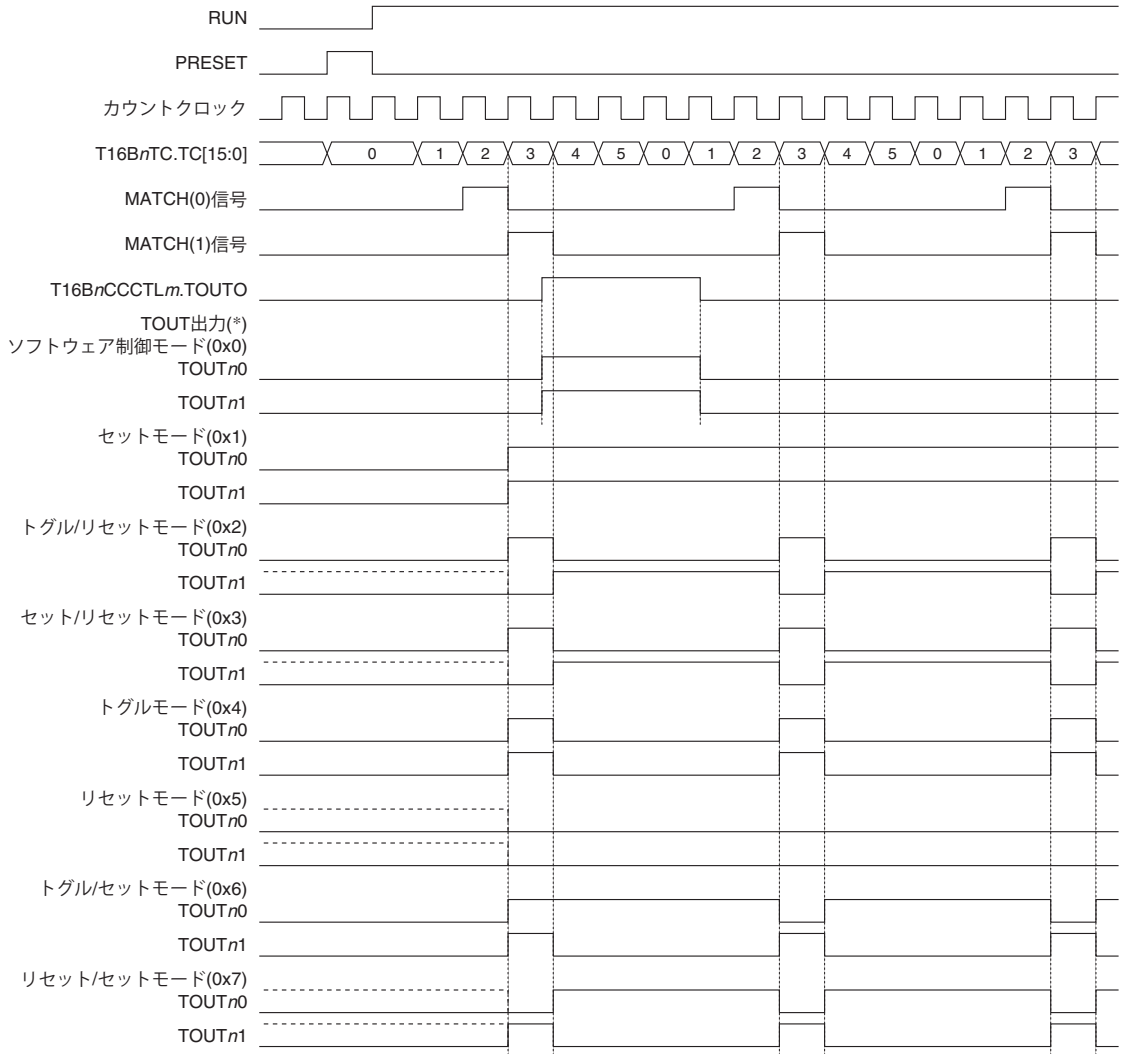
(MAX値 = 5, コンペアバッファ値 = 2, T16BnCCCTLm.TOUTINVビット = 0の場合)



\* ( )内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

図15.4.4.2 TOUT出力波形(T16BnCCCTLm.TOUTMTビット = 0)

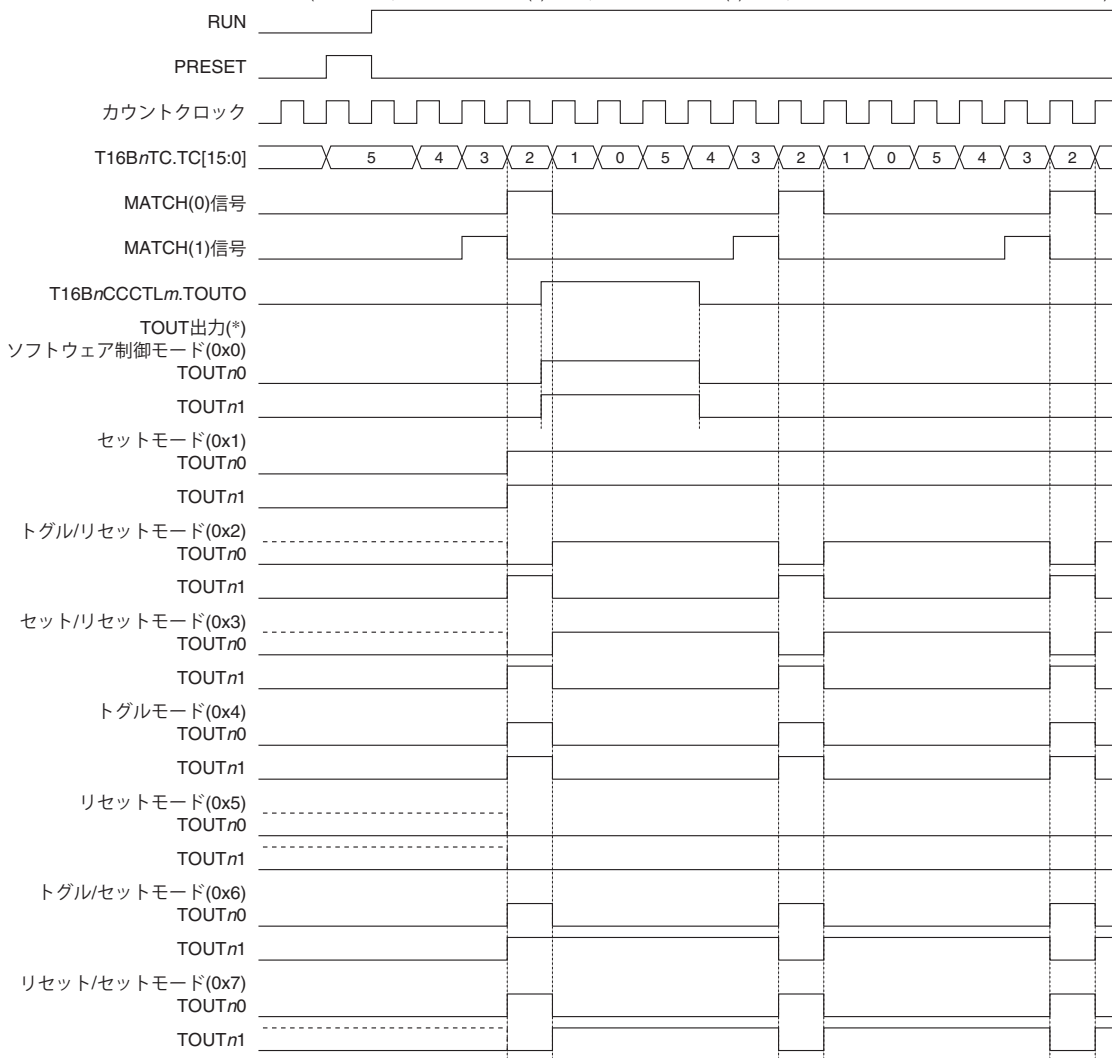
(1) リピートアップカウントモード (MAX値 = 5, コンペアバッファ(0)値 = 2, コンペアバッファ(1)値 = 3, T16BnCCCTLm.TOUTINVビット = 0の場合)



\* ( )内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

## 15 16ビットPWMタイマ(T16B)

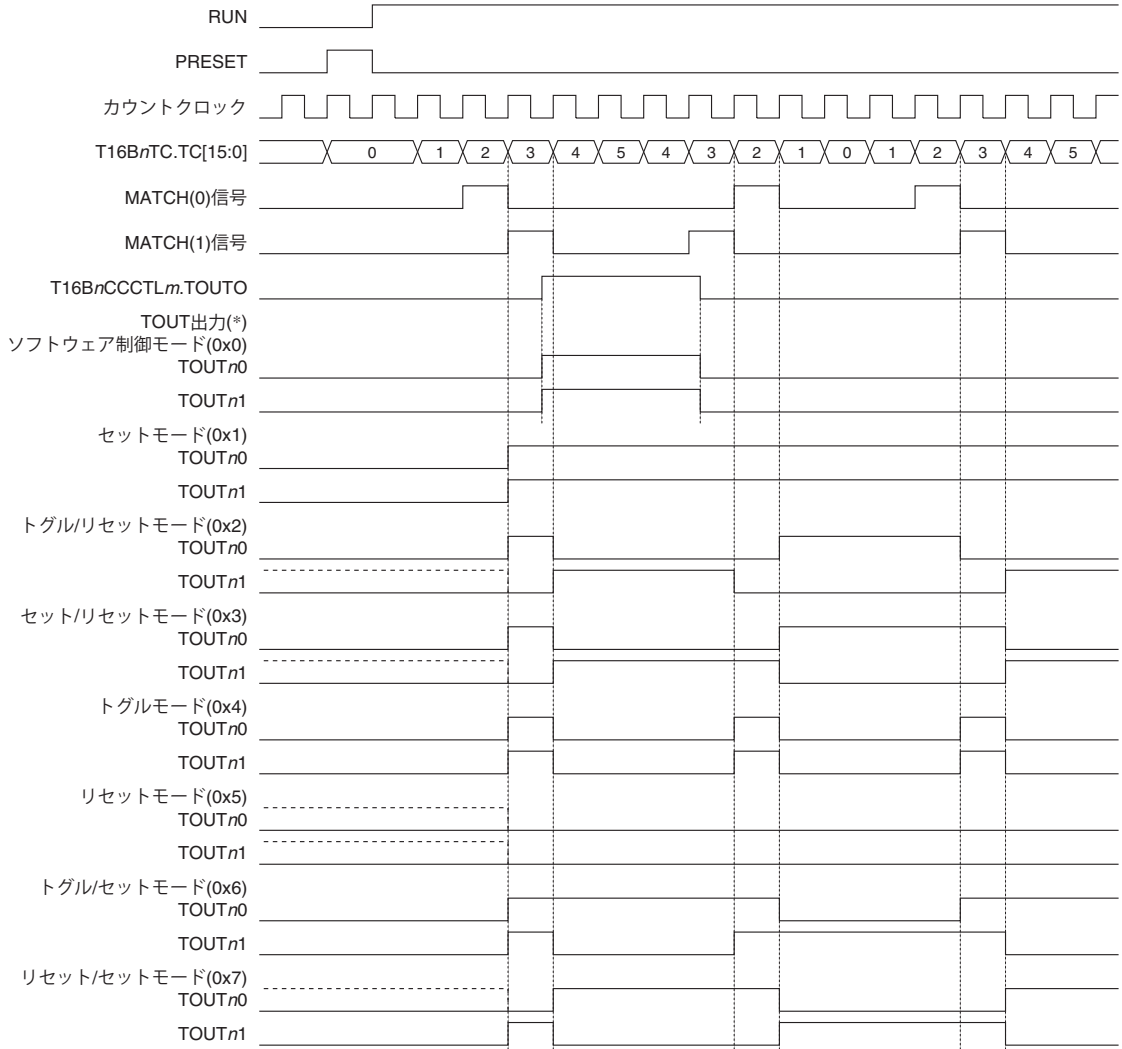
(2) リピートダウンカウントモード (MAX値 = 5, コンペアバッファ(0)値 = 2, コンペアバッファ(1)値 = 3, T16BnCCCTLm.TOUTINVビット = 0の場合)



\* ( )内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

(3) リピートアップ/ダウンカウントモード

(MAX値 = 5, コンペアバッファ(0)値 = 2, コンペアバッファ(1)値 = 3, T16BnCCCTLm.TOUTINVビット = 0の場合)



\* ( )内はT16BnCCCTLm.TOUTMD[2:0]ビット設定値

図15.4.4.3 TOUT出力波形(T16BnCCCTL0.TOUTMTビット = 1, T16BnCCCTL1.TOUTMTビット = 0)

## 15.5 割り込み

T16Bの各チャンネルには、表15.5.1に示す割り込みを発生させる機能があります。

表15.5.1 T16Bの割り込み機能

割り込み	割り込みフラグ	セット	クリア
キャプチャオーバーライト	T16BnINTF.CAPOWmIF	キャプチャモード時、T16BnINTF.CMPCAPmIFビット = 1の状態、T16BnCCRmレジスタが新たなキャプチャデータにより上書きされたとき	1書き込み
コンペア/キャプチャ	T16BnINTF.CMPCAPmIF	コンパレータモード時、カウンタ値がコンペアバッファの値に一致したとき キャプチャモード時、キャプチャトリガ入力により、カウンタ値がT16BnCCRmレジスタに取り込まれたとき	1書き込み
カウンタMAX	T16BnINTF.CNTMAXIF	カウンタがMAX値に達したとき	1書き込み
カウンタゼロ	T16BnINTF.CNTZEROIF	カウンタが0x0000になったとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

## 15.6 制御レジスタ

### T16B Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3	-	0	-	R	
	2-0	CLKSRC[2:0]	0x0	H0	R/W	

**Bits 15-9 Reserved**

**Bit 8 DBRUN**

このビットは、DEBUGモード時にT16B Ch.n動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

**Bits 7-4 CLKDIV[3:0]**

これらのビットは、T16B Ch.n動作クロック(カウンタクロック)の分周比を選択します。

**Bit 3 Reserved**

**Bits 2-0 CLKSRC[2:0]**

これらのビットは、T16B Ch.nのクロックソースを選択します。

表15.6.1 クロックソースと分周比の設定

T16B <sub>n</sub> CLK. CLKDIV[3:0]ビット	T16B <sub>n</sub> CLK.CLKSRC[2:0]ビット							
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
	IOSC	OSC1	OSC3	EXOSC	EXCL <sub>n</sub> 0	EXCL <sub>n</sub> 1	EXCL <sub>n</sub> 0 反転入力	EXCL <sub>n</sub> 1 反転入力
0xf	1/32,768	1/1	1/32,768	1/1	1/1	1/1	1/1	1/1
0xe	1/16,384		1/16,384					
0xd	1/8,192		1/8,192					
0xc	1/4,096		1/4,096					
0xb	1/2,048		1/2,048					
0xa	1/1,024		1/1,024					
0x9	1/512		1/512					
0x8	1/256	1/256	1/256					
0x7	1/128	1/128	1/128					
0x6	1/64	1/64	1/64					
0x5	1/32	1/32	1/32					
0x4	1/16	1/16	1/16					
0x3	1/8	1/8	1/8					
0x2	1/4	1/4	1/4					
0x1	1/2	1/2	1/2					
0x0	1/1	1/1	1/1					

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

## T16B Ch.<sub>n</sub> Counter Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B <sub>n</sub> CTL	15–9	–	0x00	–	R	–
	8	MAXBSY	0	H0	R	
	7–6	–	0x0	–	R	
	5–4	CNTMD[1:0]	0x0	H0	R/W	
	3	ONEST	0	H0	R/W	
	2	RUN	0	H0	R/W	
	1	PRESET	0	H0	R/W	
	0	MODEN	0	H0	R/W	

**Bits 15–9 Reserved**

**Bit 8 MAXBSY**

このビットは、T16B<sub>n</sub>MCレジスタが書き込み可能か否かを示します。

1 (R): ビジー状態(書き込み不可)

0 (R): 待機中(書き込み可)

このビットが1の場合は、T16B<sub>n</sub>MCレジスタはMAX値の書き込み動作中です。この間は、新たなデータの書き込みを禁止します。

**Bits 7–6 Reserved**

**Bits 5–4 CNTMD[1:0]**

これらのビットでカウンタのアップ/ダウンモードを選択し、T16B<sub>n</sub>CTL.ONESTビットと共にカウントモードを設定します。(表15.6.2参照)

**Bit 3 ONEST**

このビットでカウンタのリPEAT/ワンショットモードを選択し、T16B<sub>n</sub>CTL.CNTMD[1:0]ビットと共にカウントモードを設定します。(表15.6.2参照)



表15.6.2 カウントモード

T16B <sub>n</sub> CTL.CNTMD[1:0]ビット	カウントモード	
	T16B <sub>n</sub> CTL.ONESTビット = 1	T16B <sub>n</sub> CTL.ONESTビット = 0
0x3	Reserved	
0x2	ワンショットアップ/ダウンカウントモード	リPEATアップ/ダウンカウントモード
0x1	ワンショットダウンカウントモード	リPEATダウンカウントモード
0x0	ワンショットアップカウントモード	リPEATアップカウントモード

**Bit 2 RUN**

このビットは、カウントを開始/停止します。

- 1 (W): カウント開始
- 0 (W): カウント停止
- 1 (R): カウント動作中
- 0 (R): 停止中

このビットに1を書き込むことにより、カウンタブロックはカウント動作を開始します。ただし、このビットと共にT16B<sub>n</sub>CTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。タイマが動作中はT16B<sub>n</sub>CTL.RUNビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタMAX/ZERO信号によってカウントを停止したときは、このビットが自動的に0にクリアされます。

**Bit 1 PRESET**

このビットは、カウンタをリセットします。

- 1 (W): リセット
- 0 (W): 無効
- 1 (R): リセットの実行中
- 0 (R): リセットを終了または通常動作中

アップモードまたはアップ/ダウンモード時は、このビットに1を書き込むことによって、カウンタが0x0000にクリアされます。ダウンモード時は、T16B<sub>n</sub>MCレジスタに設定されているMAX値がカウンタにプリセットされます。ただし、このビットと共にT16B<sub>n</sub>CTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。

**Bit 0 MODEN**

このビットは、T16B Ch.*n*の動作をイネーブルにします。

- 1 (R/W): イネーブル(動作クロックを供給)
- 0 (R/W): ディスエーブル(動作クロックの供給を停止)

注: T16B<sub>n</sub>CTL.PRESETビットによるカウンタのリセットと、T16B<sub>n</sub>CTL.RUNビットによるカウント開始操作は、T16B<sub>n</sub>CTL.MODENビット = 1の場合にのみ有効です。

**T16B Ch.*n* Max Counter Data Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B <sub>n</sub> MC	15-0	MC[15:0]	0xffff	H0	R/W	-

**Bits 15-0 MC[15:0]**

これらのビットには、カウンタにプリセットするMAX値を設定しておきます。詳細は、“カウンタブロックの動作 - MAXカウンタデータレジスタ”を参照してください。

注: ・ワンショットモード選択時は、カウント中にT16B<sub>n</sub>MC.MC[15:0]ビット(MAX値)を変更しないでください。

- ・T16B<sub>n</sub>MC.MC[15:0]ビットへの書き込みは、T16B<sub>n</sub>CTL.MODENビット = 1の状態で行ってください。0の状態で書き込んだ場合は、T16B<sub>n</sub>CS.BSYビット = 1から0になるまで、T16B<sub>n</sub>CTL.MODENビットを1に設定してください。
- ・T16B<sub>n</sub>MC.MC[15:0]ビットを0x0000に設定しないでください。

## T16B Ch.n Timer Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnTC	15-0	TC[15:0]	0x0000	H0	R	-

### Bits 15-0 TC[15:0]

これらのビットから、現在のカウンタの値が読み出せます。

## T16B Ch.n Counter Status Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCS	15-8	-	0x00	-	R	-
	7	CAP15	0	H0	R	
	6	CAP14	0	H0	R	
	5	CAP13	0	H0	R	
	4	CAP12	0	H0	R	
	3	CAP11	0	H0	R	
	2	CAP10	0	H0	R	
	1	UP_DOWN	1	H0	R	
0	BSY	0	H0	R		

### Bits 15-8 Reserved

- Bit 7      **CAP15**
- Bit 6      **CAP14**
- Bit 5      **CAP13**
- Bit 4      **CAP12**
- Bit 3      **CAP11**
- Bit 2      **CAP10**

これらのビットは、CAP $n$ m端子の現在の入力信号レベルを示します。

1 (R):    入力信号 = HIGHレベル

0 (R):    入力信号 = LOWレベル

各ビットとCAP $n$ m端子の対応は以下のとおりです。

T16BnCS.CAP15ビット: CAP $n$ 5端子

T16BnCS.CAP14ビット: CAP $n$ 4端子

T16BnCS.CAP13ビット: CAP $n$ 3端子

T16BnCS.CAP12ビット: CAP $n$ 2端子

T16BnCS.CAP11ビット: CAP $n$ 1端子

T16BnCS.CAP10ビット: CAP $n$ 0端子

注: T16BnCS.CAP $l$ mビットの構成は機種により異なります。存在しないCAP $n$ m端子に対応するビットは常時0に固定されたリードオンリビットになります。

### Bit 1      **UP\_DOWN**

このビットは、現在設定されているカウンタのカウント方向を示します。

1 (R):    カウントアップ

0 (R):    カウントダウン

### Bit 0      **BSY**

このビットは、カウンタの動作状態を示します。

1 (R):    動作中

0 (R):    停止中

T16B Ch.*n* Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B <i>n</i> INTF	15–14	–	0x0	–	R	–
	13	CAPOW5IF	0	H0	R/W	Cleared by writing 1.
	12	CMPCAP5IF	0	H0	R/W	
	11	CAPOW4IF	0	H0	R/W	
	10	CMPCAP4IF	0	H0	R/W	
	9	CAPOW3IF	0	H0	R/W	
	8	CMPCAP3IF	0	H0	R/W	
	7	CAPOW2IF	0	H0	R/W	
	6	CMPCAP2IF	0	H0	R/W	
	5	CAPOW1IF	0	H0	R/W	
	4	CMPCAP1IF	0	H0	R/W	
	3	CAPOW0IF	0	H0	R/W	
	2	CMPCAP0IF	0	H0	R/W	
	1	CNTMAXIF	0	H0	R/W	
0	CNTZEROIF	0	H0	R/W		

## Bits 15–14 Reserved

Bit 13	CAPOW5IF
Bit 12	CMPCAP5IF
Bit 11	CAPOW4IF
Bit 10	CMPCAP4IF
Bit 9	CAPOW3IF
Bit 8	CMPCAP3IF
Bit 7	CAPOW2IF
Bit 6	CMPCAP2IF
Bit 5	CAPOW1IF
Bit 4	CMPCAP1IF
Bit 3	CAPOW0IF
Bit 2	CMPCAP0IF
Bit 1	CNTMAXIF
Bit 0	CNTZEROIF

これらのビットは、T16B Ch.*n*割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

T16B*n*INTF.CAPOW5IFビット: キャプチャ5オーバーライト割り込み

T16B*n*INTF.CMPCAP5IFビット: コンペア/キャプチャ5割り込み

T16B*n*INTF.CAPOW4IFビット: キャプチャ4オーバーライト割り込み

T16B*n*INTF.CMPCAP4IFビット: コンペア/キャプチャ4割り込み

T16B*n*INTF.CAPOW3IFビット: キャプチャ3オーバーライト割り込み

T16B*n*INTF.CMPCAP3IFビット: コンペア/キャプチャ3割り込み

T16B*n*INTF.CAPOW2IFビット: キャプチャ2オーバーライト割り込み

T16B*n*INTF.CMPCAP2IFビット: コンペア/キャプチャ2割り込み

T16B*n*INTF.CAPOW1IFビット: キャプチャ1オーバーライト割り込み

T16B*n*INTF.CMPCAP1IFビット: コンペア/キャプチャ1割り込み

T16B*n*INTF.CAPOW0IFビット: キャプチャ0オーバーライト割り込み

T16B*n*INTF.CMPCAP0IFビット: コンペア/キャプチャ0割り込み

T16B*n*INTF.CNTMAXIFビット: カウンタMAX割り込み

T16B*n*INTF.CNTZEROIFビット: カウンタゼロ割り込み

注: T16B*n*INTF.CAPOW*m*IFビットおよびT16B*n*INTF.CMPCAP*m*IFビットの構成は機種により異なります。存在しないコンパレータ/キャプチャ回路システムに対応するビットは常時0に固定されたリードオンリビットになります。

T16B Ch.*n* Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B <i>n</i> INTE	15-14	—	0x0	—	R	—
	13	CAPOW5IE	0	H0	R/W	
	12	CMPCAP5IE	0	H0	R/W	
	11	CAPOW4IE	0	H0	R/W	
	10	CMPCAP4IE	0	H0	R/W	
	9	CAPOW3IE	0	H0	R/W	
	8	CMPCAP3IE	0	H0	R/W	
	7	CAPOW2IE	0	H0	R/W	
	6	CMPCAP2IE	0	H0	R/W	
	5	CAPOW1IE	0	H0	R/W	
	4	CMPCAP1IE	0	H0	R/W	
	3	CAPOW0IE	0	H0	R/W	
	2	CMPCAP0IE	0	H0	R/W	
	1	CNTMAXIE	0	H0	R/W	
0	CNTZEROIE	0	H0	R/W		

## Bits 15-14 Reserved

Bit 13	CAPOW5IE
Bit 12	CMPCAP5IE
Bit 11	CAPOW4IE
Bit 10	CMPCAP4IE
Bit 9	CAPOW3IE
Bit 8	CMPCAP3IE
Bit 7	CAPOW2IE
Bit 6	CMPCAP2IE
Bit 5	CAPOW1IE
Bit 4	CMPCAP1IE
Bit 3	CAPOW0IE
Bit 2	CMPCAP0IE
Bit 1	CNTMAXIE
Bit 0	CNTZEROIE

このビットは、T16B Ch.*n*割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

T16B*n*INTE.CAPOW5IEビット: キャプチャ5オーバーライト割り込み

T16B*n*INTE.CMPCAP5IEビット: コンペア/キャプチャ5割り込み

T16B*n*INTE.CAPOW4IEビット: キャプチャ4オーバーライト割り込み

T16B*n*INTE.CMPCAP4IEビット: コンペア/キャプチャ4割り込み

T16B*n*INTE.CAPOW3IEビット: キャプチャ3オーバーライト割り込み

T16B*n*INTE.CMPCAP3IEビット: コンペア/キャプチャ3割り込み

T16B*n*INTE.CAPOW2IEビット: キャプチャ2オーバーライト割り込み

T16B*n*INTE.CMPCAP2IEビット: コンペア/キャプチャ2割り込み

T16B*n*INTE.CAPOW1IEビット: キャプチャ1オーバーライト割り込み

T16B*n*INTE.CMPCAP1IEビット: コンペア/キャプチャ1割り込み

T16B*n*INTE.CAPOW0IEビット: キャプチャ0オーバーライト割り込み

T16B*n*INTE.CMPCAP0IEビット: コンペア/キャプチャ0割り込み

T16B*n*INTE.CNTMAXIEビット: カウンタMAX割り込み

T16B*n*INTE.CNTZEROIEビット: カウンタゼロ割り込み

注: • T16B*n*INTE.CAPOW*m*IEビットおよびT16B*n*INTE.CMPCAP*m*IEビットの構成は機種により異なります。存在しないコンパレータ/キャプチャ回路系統に対応するビットは常時0に固定されたリードオンリビットになります。

- ・ 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

## T16B Ch.n Comparator/Capture m Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCCCTLm	15	SCS	0	H0	R/W	-
	14-12	CBUFMD[2:0]	0x0	H0	R/W	
	11-10	CAPIS[1:0]	0x0	H0	R/W	
	9-8	CAPTRG[1:0]	0x0	H0	R/W	
	7	-	0	-	R	
	6	TOUTMT	0	H0	R/W	
	5	TOUTO	0	H0	R/W	
	4-2	TOUTMD[2:0]	0x0	H0	R/W	
	1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W		

### Bit 15 SCS

このビットは、同期キャプチャモード/非同期キャプチャモードを選択します。

1 (R/W): 同期キャプチャモード

0 (R/W): 非同期キャプチャモード

詳細は、“コンパレータ/キャプチャブロックの動作 - 同期キャプチャモード/非同期キャプチャモード”を参照してください。T16BnCCCTLm.SCSビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

### Bits 14-12 CBUFMD[2:0]

これらのビットは、T16BnCCRmレジスタに書き込んだ比較値をコンペアバッファにロードするタイミングを選択します。T16BnCCCTLm.CBUFMD[2:0]ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

表15.6.3 コンペアバッファへの比較値ロードタイミング

T16BnCCCTLm.CBUFMD[2:0]ビット	カウントモード	比較値ロードタイミング
0x7~0x5		Reserved
0x4	アップモード	カウンタが直前の比較値と一致したとき 同時に、カウンタも0x0000にリセットされます。
	ダウンモード	カウンタが直前の比較値と一致したとき 同時に、カウンタもMAX値にリセットされます。
	アップ/ダウンモード	カウンタが直前の比較値と一致したとき 同時に、カウンタも0x0000にリセットされます。
0x3	アップモード	カウンタが0x0000になったとき
	ダウンモード	カウンタがMAX値になったとき
	アップ/ダウンモード	カウンタが直前の比較値と一致したとき、またはカウンタが0x0000になったとき
0x2	アップモード	カウンタが直前の比較値と一致したとき
	ダウンモード	
	アップ/ダウンモード	
0x1	アップモード	カウンタがMAX値になったとき
	ダウンモード	カウンタが0x0000になったとき
	アップ/ダウンモード	カウンタが0x0000またはMAX値になったとき
0x0	アップモード	T16BnCCRmレジスタへの書き込み後、CLK_T16Bnの立ち上がり時
	ダウンモード	
	アップ/ダウンモード	

### Bits 11-10 CAPIS[1:0]

これらのビットは、キャプチャ用トリガ信号を選択します(表15.6.4参照)。T16BnCCCTLm.CAPIS[1:0]ビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

### Bits 9-8 CAPTRG[1:0]

これらのビットは、キャプチャモード時にT16BnCCRmレジスタへカウンタ値を取り込む、トリガ信号のエッジを選択します(表15.6.4参照)。

T16BnCCCTLm.CAPTRG[1:0]ビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

表15.6.4 カウンタキャプチャ用トリガ信号/エッジ

T16BnCCCTLm. CAPTRG[1:0]ビット (トリガエッジ)	トリガ条件		
	T16BnCCCTLm.CAPIS[1:0]ビット (トリガ信号)		
	0x0 (外部トリガ信号)	0x2 (ソフトウェアトリガ信号 = L)	0x3 (ソフトウェアトリガ信号 = H)
0x3 (↑ & ↓)	CAPn <sub>m</sub> 端子入力信号の立ち上がりまたは立ち下がりエッジ	T16BnCCCTLm.CAPIS[1:0]ビットを0x2から0x3に書き換え、または0x3から0x2に書き換え	
0x2 (↓)	CAPn <sub>m</sub> 端子入力信号の立ち下がりエッジ	T16BnCCCTLm.CAPIS[1:0]ビットを0x3から0x2に書き換え	
0x1 (↑)	CAPn <sub>m</sub> 端子入力信号の立ち上がりエッジ	T16BnCCCTLm.CAPIS[1:0]ビットを0x2から0x3に書き換え	
0x0	トリガなし(キャプチャ機能ディセーブル)		

**Bit 7**      **Reserved**

**Bit 6**      **TOUTMT**

このビットは、TOUT<sub>nm</sub>信号の生成に別系統のコンパレータMATCH信号も使用するか否かを選択します。

1 (R/W): コンパレータ回路ペア(0&1、2&3、4&5)の2本のコンパレータMATCH信号を使用してTOUT生成

0 (R/W): コンパレータ<sub>m</sub> 1系統のコンパレータMATCH信号とカウンタMAXまたはZERO信号を使用してTOUT生成

T16BnCCCTLm.TOUTMTビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

**Bit 5**      **TOUTO**

このビットは、TOUT<sub>nm</sub>出力のソフトウェア制御選択時(T16BnCCCTLm.TOUTMD[2:0] = 0x0)に、TOUT<sub>nm</sub>信号の出力レベルを設定します。

1 (R/W): HIGHレベル出力

0 (R/W): LOWレベル出力

T16BnCCCTLm.TOUTOビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

**Bits 4–2**    **TOUTMD[2:0]**

これらのビットは、TOUT<sub>nm</sub>信号波形をコンパレータMATCH信号とカウンタMAX/ZERO信号でどのように変化させるか設定します。

T16BnCCCTLm.TOUTMD[2:0]ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

表15.6.5 TOUT生成モード

T16BnCCCTLm. TOUTMD[2:0] ビット	TOUT生成モードと動作			
	T16BnCCCTLm. TOUTMTビット	カウントモード	出力信号	信号変化
0x7	<b>リセット/セットモード</b>			
	0	アップカウントモード	TOUT <sub>nm</sub>	MATCH信号でインアクティブ、MAX信号でアクティブ
		アップダウンカウントモード	TOUT <sub>nm</sub>	MATCH信号でインアクティブ、ZERO信号でアクティブ
	1	すべてのカウントモード	TOUT <sub>nm</sub>	MATCH <sub>m</sub> 信号でインアクティブ、MATCH <sub>m</sub> +1信号でアクティブ
TOUT <sub>nm</sub> +1			MATCH <sub>m</sub> +1信号でインアクティブ、MATCH <sub>m</sub> 信号でアクティブ	
0x6	<b>トグル/セットモード</b>			
	0	アップカウントモード	TOUT <sub>nm</sub>	MATCH信号で反転、MAX信号でアクティブ
		アップダウンカウントモード	TOUT <sub>nm</sub>	MATCH信号で反転、ZERO信号でアクティブ
	1	すべてのカウントモード	TOUT <sub>nm</sub>	MATCH <sub>m</sub> 信号で反転、MATCH <sub>m</sub> +1信号でアクティブ
TOUT <sub>nm</sub> +1			MATCH <sub>m</sub> +1信号で反転、MATCH <sub>m</sub> 信号でアクティブ	

## 15 16ビットPWMタイマ(T16B)

T16BnCCCTLm. TOUTMD[2:0] ビット	TOUT生成モードと動作			
	T16BnCCCTLm. TOUTMTビット	カウントモード	出力信号	信号変化
0x5	<b>リセットモード</b>			
	0	すべてのカウントモード	TOUTnm	MATCH信号でインアクティブ
	1	すべてのカウントモード	TOUTnm TOUTnm+1	MATCHmまたはMATCHm+1信号でインアクティブ MATCHm+1またはMATCHm信号でインアクティブ
0x4	<b>トグルモード</b>			
	0	すべてのカウントモード	TOUTnm	MATCH信号で反転
	1	すべてのカウントモード	TOUTnm TOUTnm+1	MATCHmまたはMATCHm+1信号で反転 MATCHm+1またはMATCHm信号で反転
0x3	<b>セット/リセットモード</b>			
	0	アップカウントモード	TOUTnm	MATCH信号でアクティブ、 MAX信号でインアクティブ
		アップダウンカウントモード ダウンカウントモード	TOUTnm	MATCH信号でアクティブ、 ZERO信号でインアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号でアクティブ、 MATCHm+1信号でインアクティブ
TOUTnm+1			MATCHm+1信号でアクティブ、 MATCHm信号でインアクティブ	
0x2	<b>トグル/リセットモード</b>			
	0	アップカウントモード	TOUTnm	MATCH信号で反転、 MAX信号でインアクティブ
		アップダウンカウントモード ダウンカウントモード	TOUTnm	MATCH信号で反転、 ZERO信号でインアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号で反転、 MATCHm+1信号でインアクティブ
TOUTnm+1			MATCHm+1信号で反転、 MATCHm信号でインアクティブ	
0x1	<b>セットモード</b>			
	0	すべてのカウントモード	TOUTnm	MATCH信号でアクティブ
	1	すべてのカウントモード	TOUTnm TOUTnm+1	MATCHmまたはMATCHm+1信号でアクティブ MATCHm+1またはMATCHm信号でアクティブ
0x0	<b>ソフトウェア制御モード</b>			
	*	すべてのカウントモード	TOUTnm	T16BnCCCTLm.TOUTOビット = 1でアクティブ、 T16BnCCCTLm.TOUTOビット = 0でインアクティブ

### Bit 1 TOUTINV

このビットは、TOUTnm信号の極性を選択します。

1 (R/W): 反転(アクティブLOW)

0 (R/W): 通常(アクティブHIGH)

T16BnCCCTLm.TOUTINVビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

### Bit 0 CCMD

このビットはコンパレータ/キャプチャ回路mの動作モードを選択します。

1 (R/W): キャプチャモード(T16BnCCRmレジスタ = キャプチャレジスタ)

0 (R/W): コンパレータモード(T16BnCCRmレジスタ = コンペアデータレジスタ)

## T16B Ch.n Compare/Capture m Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16BnCCRm	15-0	CC[15:0]	0x0000	H0	R/W	-

### Bits 15-0 CC[15:0]

コンパレータモード時はコンペアデータレジスタとして機能し、カウンタとの比較値を設定します。

キャプチャモード時はキャプチャレジスタとして機能し、キャプチャトリガ信号によってキャプチャしたカウンタ値が本レジスタにロードされます。

# 16 サウンドジェネレータ(SNDA)

## 16.1 概要

SNDAは、メロディおよびブザー信号を発生するサウンドジェネレータです。主な機能と特長を以下に示します。

- 3種類のサウンド出力モードを選択可能
  1. ノーマルブザーモード(出力期間をソフトウェアで制御する通常のブザー出力を行うモード)
    - 出力周波数: 512 Hz～16,384 Hzの範囲で設定可能
    - デューティ比: 0%～100%の範囲で設定可能
  2. ワンショットブザーモード(クリック音などの短いブザー出力を行うモード)
    - 出力周波数: 512 Hz～16,384 Hzの範囲で設定可能
    - デューティ比: 0%～100%の範囲で設定可能
    - ワンショット出力期間: 15.6 ms～250 msの範囲で設定可能(16種類)
  3. メロディモード(単音のメロディを演奏するモード)
    - 音高: 128 Hz～16,384 Hzの範囲で設定可能  
(音階: A4 = 443 Hz基準でC3～C6の3オクターブ)
    - 音長: 2分音符/休符～32分音符/休符を設定可能(7種類)
    - テンポ: 30～480の範囲で設定可能(16種類)
    - その他: タイ/スラーを指定可能
- 反転、非反転出力端子により圧電ブザーを駆動可能
- サウンド停止時の反転出力端子の状態を制御可能

図16.1.1にSNDAの構成を示します。

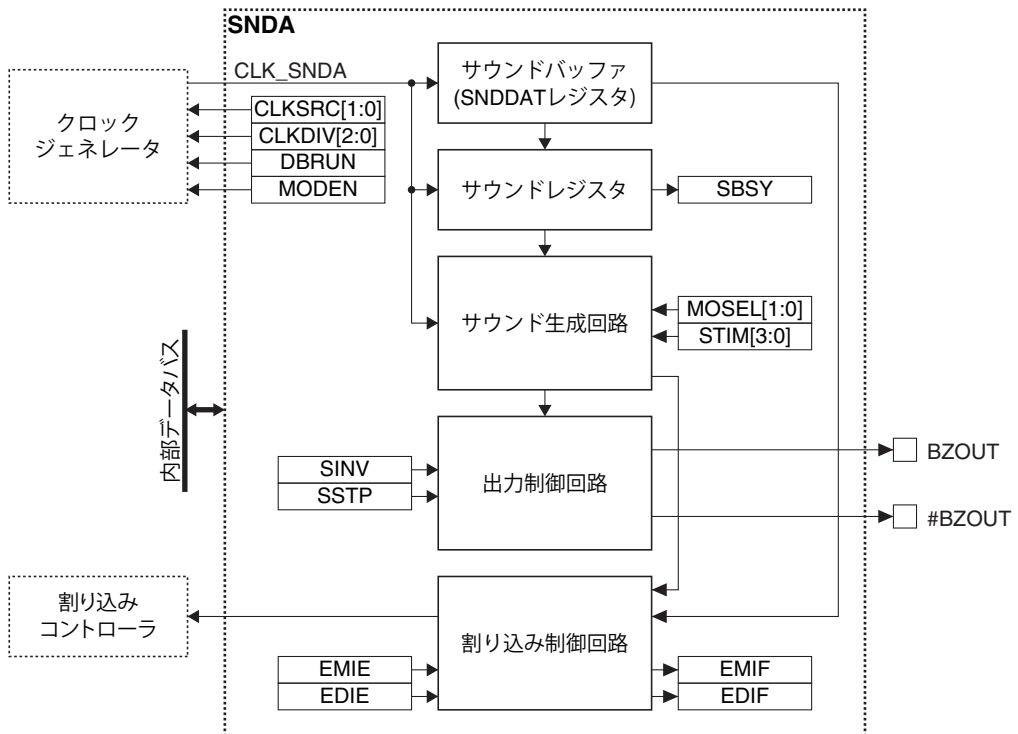


図16.1.1 SNDAの構成



## 16.2 出力端子と外部接続

### 16.2.1 出力端子一覧

表16.2.1.1にSNDAの端子一覧を示します。

表16.2.1.1 SNDA端子一覧

端子名	I/O*	イニシャル状態*	機能
BZOUT	O	O (LOW)	ブザー非反転出力端子
#BZOUT	O	O (LOW)	ブザー反転出力端子

\* 端子機能をSNDAに切り換えた時点の状態

これらのSNDA端子と他の機能がポートを共有している場合、SNDAを動作させる前にSNDAの出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

### 16.2.2 出力端子の駆動モード

BZOUT端子と#BZOUT端子の駆動モードを、SNDSEL.SINVビットで下記の2種類に設定可能です。

#### ダイレクト駆動モード(SNDSEL.SINVビット = 0)

ブザー信号出力がOFFの状態では、BZOUT端子と#BZOUT端子が共にLOWとなり、圧電ブザーにバイアスがかかり続けることを防止します。

#### ノーマル駆動モード(SNDSEL.SINVビット = 1)

#BZOUT端子は、ブザー OFF時も含め、BZOUT端子の反転信号を常に出力します。

### 16.2.3 外部との接続

SNDAと圧電ブザーとの接続を図16.2.2.1および図16.2.2.2に示します。

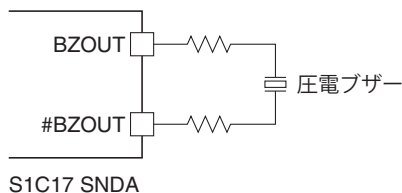


図16.2.2.1 SNDAと圧電ブザーとの接続(ダイレクト駆動)

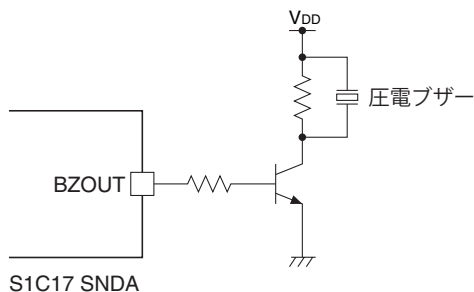


図16.2.2.2 SNDAと圧電ブザーとの接続(1端子駆動)

## 16.3 クロック設定

### 16.3.1 SNDAの動作クロック

SNDAを使用する場合、クロックジェネレータからSNDA動作クロックCLK\_SNDAをSNDAに供給する必要があります。CLK\_SNDAの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. SNDCLKレジスタの以下のビットを設定する。
  - SNDCLK.CLKSRC[1:0]ビット (クロックソースの選択)
  - SNDCLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)

CLK\_SNDA周波数は32,768 Hz近辺に設定してください。

### 16.3.2 SLEEPモード時のクロック供給

SLEEPモード時にSNDAを使用する場合は、SNDA動作クロックCLK\_SNDAのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK\_SNDAを供給し続ける必要があります。

SLEEPモード時に、CLK\_SNDAのクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK\_SNDAのクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、SNDAが停止します。その後通常モードに戻ると、CLK\_SNDAが供給され、SNDAの動作が再開します。

### 16.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK\_SNDAの供給はSNDCLK.DBRUNビットで制御します。

SNDCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSNDAへのCLK\_SNDAの供給が停止します。その後通常モードに戻ると、CLK\_SNDAの供給が再開します。CLK\_SNDAの供給が停止するとSNDAの動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。SNDCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK\_SNDAの供給は停止せず、SNDAは動作を継続します。

## 16.4 動作

### 16.4.1 初期設定

SNDAは、以下の手順により初期設定を行います。

1. SNDA出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
2. SNDAの動作クロックを設定する。
3. SNDCTL.MODENビットを1に設定する。 (SNDAの動作をイネーブル)
4. SNDSEL.SINVビットを設定する。 (出力端子の駆動モードを設定)
5. 割り込みを使用する場合は以下のビットを設定する。
  - SNDINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
  - SNDINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)

### 16.4.2 ノーマルブザーモードのブザー出力

ノーマルブザーモードは、ソフトウェアで指定した周波数およびデューティ比のブザー信号を生成して出力します。ブザー出力期間もソフトウェアで制御可能です。

出力開始/停止手順と動作を以下に示します。

## ノーマルブザー出力開始/停止手順

1. SNDSEL.MOSEL[1:0]ビットを0x0に設定する。(ノーマルブザーモードに設定)
2. サウンドバッファ(SNDDATレジスタ)の以下のビットにデータを書き込む。(ブザー出力を開始)
  - SNDDAT.SLEN[5:0]ビット (ブザー出力信号のデューティ比を設定)
  - SNDDAT.SFRQ[7:0]ビット (ブザー出力信号の周波数を設定)
3. 出力期間の終了を待ち、SNDCTL.SSTPビットに1を書き込む。(ブザー出力を停止)

## ノーマルブザー出力動作

サウンドバッファ(SNDDATレジスタ)にデータが書き込まれると、SNDINTF.EMIFビット(サウンドバッファエンプティ割り込みフラグ)が0にクリアされ、SNDAはブザー出力動作を開始します。

データ書き込み後、CLK\_SNDAクロックに同期して、サウンドバッファのデータがサウンドレジスタにロードされます。同時にSNDINTF.EMIFビットとSNDINTF.SBSYビットが1にセットされます。出力端子からは、指定した周波数/デューティ比のブザー信号が出力されます。

SNDCTL.SSTPビットへの1書き込みによってブザー出力は停止し、同時にSNDINTF.EDIFビット(サウンド出力終了割り込みフラグ)が1にセットされます。SNDINTF.SBSYビットは0にクリアされます。図16.4.2.1にノーマルブザーモードのブザー出力タイミングを示します。

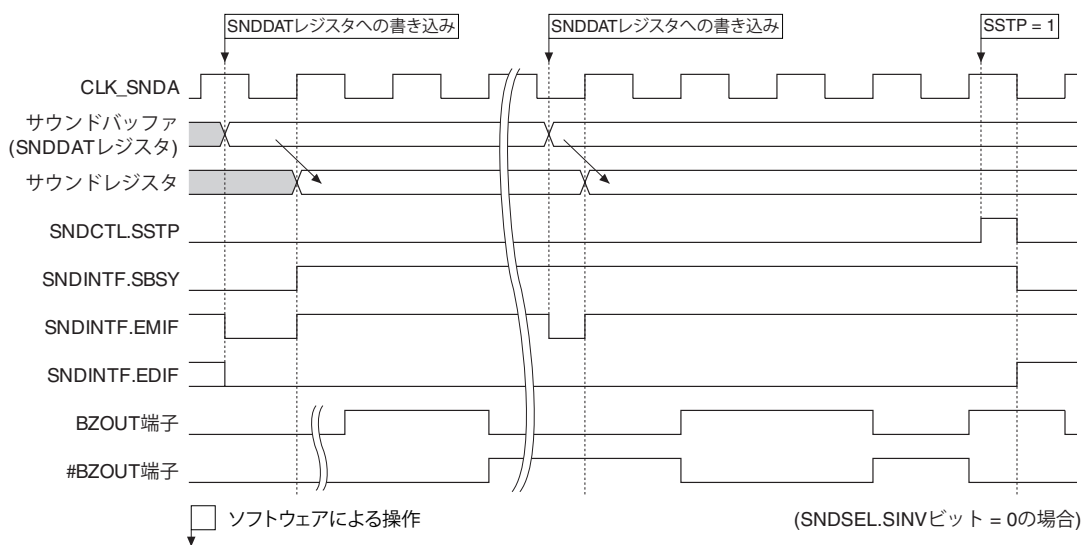


図16.4.2.1 ノーマルブザーモードのブザー出力タイミング

## ブザー出力波形の設定(ノーマルブザーモード/ワンショットブザーモード)

ブザー信号の周波数をSNDDAT.SFRQ[7:0]ビット、デューティ比(HIGH期間/周期)をSNDDAT.SLEN[5:0]ビットで設定します。それぞれの設定値は以下の式で求められます。

$$\text{SNDDAT.SFRQ}[7:0]\text{ビット} = \frac{f_{\text{CLK\_SNDA}}}{f_{\text{BZOUT}}} - 1 \quad (\text{式16.1})$$

$$\text{SNDDAT.SLEN}[5:0]\text{ビット} = \left( \frac{f_{\text{CLK\_SNDA}}}{f_{\text{BZOUT}}} \times \frac{\text{DUTY}}{100} \right) - 1 \quad (\text{式16.2})$$

ここで

fCLK\_SNDA: CLK\_SNDA周波数 [Hz]  
 fBZOUT: ブザー信号周波数 [Hz]  
 DUTY: ブザー信号デューティ比 [%]

ただし、以下の設定は禁止します。

- SNDDAT.SFRQ[7:0]ビット ≤ SNDDAT.SLEN[5:0]ビットとなる設定
- SNDDAT.SFRQ[7:0]ビット = 0x00 となる設定

表16.4.2.1 ブザー周波数設定(fCLK\_SNDA = 32,768 Hzの場合)

SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDDAT. SFRQ[7:0]ビット	周波数 [Hz]
0x3f	512.0	0x2f	682.7	0x1f	1,024.0	0x0f	2,048.0
0x3e	520.1	0x2e	697.2	0x1e	1,057.0	0x0e	2,184.5
0x3d	528.5	0x2d	712.3	0x1d	1,092.3	0x0d	2,340.6
0x3c	537.2	0x2c	728.2	0x1c	1,129.9	0x0c	2,520.6
0x3b	546.1	0x2b	744.7	0x1b	1,170.3	0x0b	2,730.7
0x3a	555.4	0x2a	762.0	0x1a	1,213.6	0x0a	2,978.9
0x39	565.0	0x29	780.2	0x19	1,260.3	0x09	3,276.8
0x38	574.9	0x28	799.2	0x18	1,310.7	0x08	3,640.9
0x37	585.1	0x27	819.2	0x17	1,365.3	0x07	4,096.0
0x36	595.8	0x26	840.2	0x16	1,424.7	0x06	4,681.1
0x35	606.8	0x25	862.3	0x15	1,489.5	0x05	5,461.3
0x34	618.3	0x24	885.6	0x14	1,560.4	0x04	6,553.6
0x33	630.2	0x23	910.2	0x13	1,638.4	0x03	8,192.0
0x32	642.5	0x22	936.2	0x12	1,724.6	0x02	10,922.7
0x31	655.4	0x21	963.8	0x11	1,820.4	0x01	16,384.0
0x30	668.7	0x20	993.0	0x10	1,927.5	0x00	禁止

表16.4.2.2 ブザーデューティ比設定例(fCLK\_SNDA = 32,768 Hzの場合)

SNDDAT. SLEN[5:0]ビット	ブザー周波数別設定可能デューティ比					
	16,384 Hz	8,192 Hz	4,096 Hz	2,048 Hz	1,024 Hz	512 Hz
0x3f	-	-	-	-	-	-
0x3e	-	-	-	-	-	98.4
0x3d	-	-	-	-	-	96.9
0x3c	-	-	-	-	-	95.3
0x3b	-	-	-	-	-	93.8
0x3a	-	-	-	-	-	92.2
0x39	-	-	-	-	-	90.6
0x38	-	-	-	-	-	89.1
0x37	-	-	-	-	-	87.5
0x36	-	-	-	-	-	85.9
0x35	-	-	-	-	-	84.4
0x34	-	-	-	-	-	82.8
0x33	-	-	-	-	-	81.3
0x32	-	-	-	-	-	79.7
0x31	-	-	-	-	-	78.1
0x30	-	-	-	-	-	76.6
0x2f	-	-	-	-	-	75.0
0x2e	-	-	-	-	-	73.4
0x2d	-	-	-	-	-	71.9
0x2c	-	-	-	-	-	70.3
0x2b	-	-	-	-	-	68.8
0x2a	-	-	-	-	-	67.2
0x29	-	-	-	-	-	65.6
0x28	-	-	-	-	-	64.1
0x27	-	-	-	-	-	62.5
0x26	-	-	-	-	-	60.9
0x25	-	-	-	-	-	59.4
0x24	-	-	-	-	-	57.8
0x23	-	-	-	-	-	56.3
0x22	-	-	-	-	-	54.7
0x21	-	-	-	-	-	53.1
0x20	-	-	-	-	-	51.6
0x1f	-	-	-	-	-	50.0
0x1e	-	-	-	-	96.9	48.4
0x1d	-	-	-	-	93.8	46.9
0x1c	-	-	-	-	90.6	45.3
0x1b	-	-	-	-	87.5	43.8
0x1a	-	-	-	-	84.4	42.2
0x19	-	-	-	-	81.3	40.6
0x18	-	-	-	-	78.1	39.1
0x17	-	-	-	-	75.0	37.5
0x16	-	-	-	-	71.9	35.9
0x15	-	-	-	-	68.8	34.4
0x14	-	-	-	-	65.6	32.8
0x13	-	-	-	-	62.5	31.3
0x12	-	-	-	-	59.4	29.7

SNDDAT. SLEN[5:0]ビット	ブザー周波数別設定可能デューティ比					
	16,384 Hz	8,192 Hz	4,096 Hz	2,048 Hz	1,024 Hz	512 Hz
0x11	-	-	-	-	56.3	28.1
0x10	-	-	-	-	53.1	26.6
0x0f	-	-	-	-	50.0	25.0
0x0e	-	-	-	93.8	46.9	23.4
0x0d	-	-	-	87.5	43.8	21.9
0x0c	-	-	-	81.3	40.6	20.3
0x0b	-	-	-	75.0	37.5	18.8
0x0a	-	-	-	68.8	34.4	17.2
0x09	-	-	-	62.5	31.3	15.6
0x08	-	-	-	56.3	28.1	14.1
0x07	-	-	-	50.0	25.0	12.5
0x06	-	-	87.5	43.8	21.9	10.9
0x05	-	-	75.0	37.5	18.8	9.4
0x04	-	-	62.5	31.3	15.6	7.8
0x03	-	-	50.0	25.0	12.5	6.3
0x02	-	75.0	37.5	18.8	9.4	4.7
0x01	-	50.0	25.0	12.5	6.3	3.1
0x00	50.0	25.0	12.5	6.3	3.1	1.6

### 16.4.3 ワンショットブザーモードのブザー出力

ワンショットブザーモードは、クリック音などを出力するためのモードで、ソフトウェアで指定した周波数およびデューティ比のブザー信号を生成し、指定した短い期間のみ出力します。

出力開始手順と動作を以下に示します。ブザー出力波形については、“ノーマルブザーモードのブザー出力”を参照してください。

#### ワンショットブザー出力開始手順

1. SNDSSELレジスタの以下のビットを設定する。
  - SNDSSEL.MOSEL[1:0]ビットを0x1に設定する (ワンショットブザーモードに設定)
  - SNDSSEL.STIM[3:0]ビット (出力期間を設定)
2. サウンドバッファ(SNDDATレジスタ)の以下のビットにデータを書き込む。(ブザー出力を開始)
  - SNDDAT.SLEN[5:0]ビット (ブザー出力信号のデューティ比を設定)
  - SNDDAT.SFRQ[7:0]ビット (ブザー出力信号の周波数を設定)

#### ワンショットブザー出力動作

サウンドバッファ(SNDDATレジスタ)にデータが書き込まれると、SNDINTF.EMIFビット(サウンドバッファエンプティ割り込みフラグ)が0にクリアされ、SNDAはブザー出力動作を開始します。

データ書き込み後、CLK\_SNDAクロックに同期して、サウンドバッファのデータがサウンドレジスタにロードされます。同時にSNDINTF.EMIFビットとSNDINTF.SBSYビットが1にセットされます。出力端子からは、指定した周波数/デューティ比のブザー信号が出力されます。

SNDSSEL.STIM[3:0]ビットで指定した時間が経過するとブザー出力は自動的に停止し、同時にSNDINTF.EDIFビット(サウンド出力終了割り込みフラグ)が1にセットされます。SNDINTF.SBSYビットは0にクリアされます。

図16.4.3.1にワンショットブザーモードのブザー出力タイミングを示します。

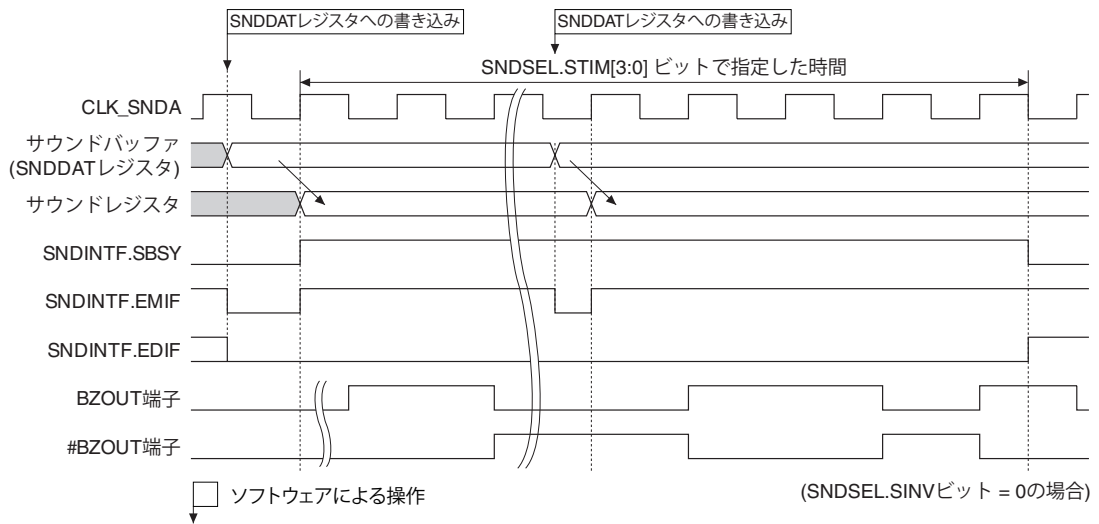


図16.4.3.1 ワンショットブザーモードのブザー出力タイミング

## 16.4.4 メロディモードの出力

メロディモードは、サウンドバッファ(SNDDATレジスタ)に逐次書き込まれるデータに従ってメロディ付きのブザー信号を生成して出力します。出力開始手順と動作を以下に示します。

### メロディ出力開始手順

- SNDSELレジスタの以下のビットを設定する。
  - SNDSEL.MOSEL[1:0]ビットを0x2に設定する (メロディモードに設定)
  - SNDSEL.STIM[3:0]ビットを設定する (テンポを設定)
- サウンドバッファ(SNDDATレジスタ)の以下のビットにデータを書き込む。(サウンド出力を開始)
  - SNDDAT.MDTIビット (タイ/スラーの有無を設定)
  - SNDDAT.MDRSビット (音符/休符の設定)
  - SNDDAT.SLEN[5:0]ビット (音長を設定)
  - SNDDAT.SFRQ[7:0]ビット (音階を設定)
- SNDINTF.EMIFビットが1になったことを確認する(割り込み使用可)。
- メロディの終了まで、2と3を繰り返す。

### メロディ出力動作

サウンドバッファ(SNDDATレジスタ)にデータが書き込まれると、SNDINTF.EMIFビット(サウンドバッファエンプティ割り込みフラグ)が0にクリアされ、SNDAはサウンド出力動作を開始します。データ書き込み後、内部トリガ信号により、サウンドバッファのデータがサウンドレジスタにロードされます。同時にSNDINTF.EMIFビットとSNDINTF.SBSYビットが1にセットされます。出力端子からは、指定したサウンドが出力されます。

次のトリガまでに、サウンドバッファ(SNDDATレジスタ)にデータが書き込まれないと、サウンド出力は停止し、同時にSNDINTF.EDIFビット(サウンド出力終了割り込みフラグ)が1にセットされます。SNDINTF.SBSYビットは0にクリアされます。

図16.4.4.1にメロディモードの動作タイミングを示します。

## 16 サウンドジェネレータ(SNDA)

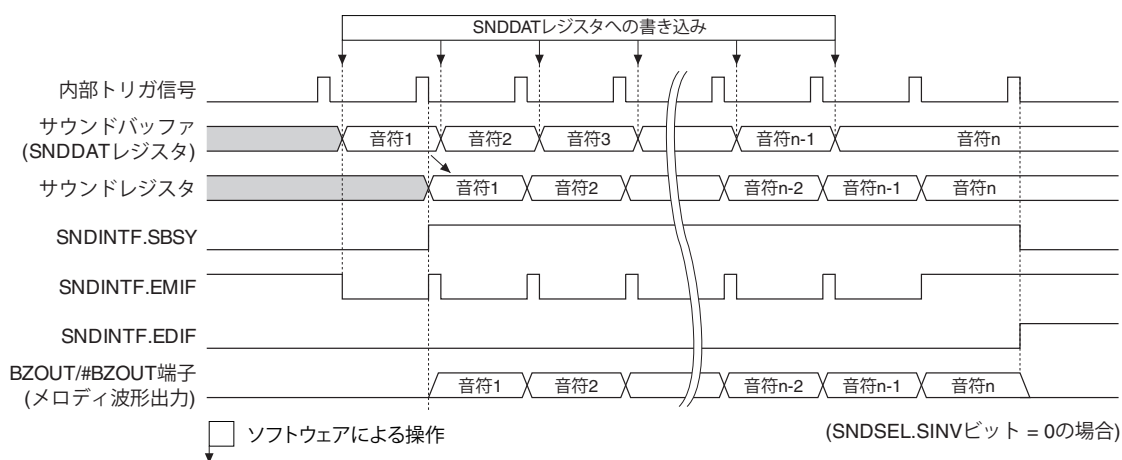


図16.4.4.1 メロディモードの動作タイミング

### メロディ出力波形の設定

#### 音符/休符(音長)の指定

音符/休符をSNDDAT.MDRSビットとSNDDAT.SLEN[5:0]ビットで設定します。

表16.4.4.1 音符/休符の指定( $f_{CLK\_SNDA} = 32,768$  Hzの場合)

SNDDAT.SLEN[5:0]ビット	SNDDAT.MDRSビット	
	0: 音符	1: 休符
0x0f	2分音符	2分休符
0x0b	付点4分音符	付点4分休符
0x07	4分音符	4分休符
0x05	付点8分音符	付点8分休符
0x03	8分音符	8分休符
0x01	16分音符	16分休符
0x00	32分音符	32分休符
その他	設定禁止	

#### タイ/スラーの指定

SNDDAT.MDTIビットを1に設定するとタイ/スラーが有効になり、直前の音符と該当音符とを連続して演奏します。



図16.4.4.2 タイ/スラー

#### 音階の指定

音階をSNDDAT.SFRQ[7:0]ビットで設定します。

表16.4.4.2 音階の指定( $f_{CLK\_SNDA} = 32,768$  Hzの場合)

SNDDAT.SFRQ[7:0]ビット	音階	周波数 [Hz]
0xf8	C3	131.60
0xea	C#3	139.44
0xdd	D3	147.60
0xd1	D#3	156.04
0xc5	E3	165.49
0xba	F3	175.23
0xaf	F#3	186.18
0xa5	G3	197.40
0x9c	G#3	208.71
0x93	A3	221.41
0x8b	A#3	234.06

SNDDAT.SFRQ[7:0]ビット	音階	周波数 [Hz]
0x83	B3	248.24
0x7c	C4	262.14
0x75	C#4	277.69
0x6e	D4	295.21
0x68	D#4	312.08
0x62	E4	330.99
0x5c	F4	352.34
0x57	F#4	372.36
0x52	G4	394.80
0x4e	G#4	414.78
0x49	A4	442.81
0x45	A#4	468.11
0x41	B4	496.48
0x3d	C5	528.52
0x3a	C#5	555.39
0x37	D5	585.14
0x33	D#5	630.15
0x30	E5	668.73
0x2e	F5	697.19
0x2b	F#5	744.73
0x29	G5	780.19
0x26	G#5	840.21
0x24	A5	885.62
0x22	A#5	936.23
0x20	B5	992.97
0x1e	C6	1057.03

## 16.5 割り込み

SNDAには、表16.5.1に示す割り込みを発生させる機能があります。

表16.5.1 SNDAの割り込み機能

割り込み	割り込みフラグ	セット	クリア
サウンドバッファ エンプティ	SNDINTF.EMIF	サウンドバッファ (SNDDATレジスタ)のデータ がサウンドレジスタに転送されたとき、または SNDCTL.SSTPビットに1を書き込んだとき	SNDDATレジスタへの 書き込み
サウンド出力終了	SNDINTF.EDIF	サウンド出力が終了したとき	1書き込み、または SNDDATレジスタへの 書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

## 16.6 制御レジスタ

### SNDA Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 **DBRUN**

- このビットは、DEBUGモード時にSNDA動作クロックを供給するか否か設定します。
- 1 (R/W): DEBUGモード時にクロックを供給
  - 0 (R/W): DEBUGモード時はクロック供給を停止



## 16 サウンドジェネレータ(SNDA)

Bit 7 **Reserved**

Bits 6–4 **CLKDIV[2:0]**

これらのビットは、SNDA動作クロックの分周比を選択します。

Bits 3–2 **Reserved**

Bits 1–0 **CLKSRC[1:0]**

これらのビットは、SNDAのクロックソースを選択します。

表16.6.1 クロックソースと分周比の設定

SNDCLK. CLKDIV[2:0]ビット	SNDCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x7	Reserved	1/1	Reserved	1/1
0x6				
0x5	1/128		1/512	
0x4	1/64		1/256	
0x3	1/32		1/128	
0x2	1/16		1/64	
0x1	1/8		1/32	
0x0	1/4		1/16	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: SNDCLKレジスタは、SNDCTL.MODENビット = 0のときのみ設定変更が可能です。

### SNDA Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDSEL	15–12	–	0x0	–	R	–
	11–8	STIM[3:0]	0x0	H0	R/W	
	7–3	–	0x00	–	R	
	2	SINV	0	H0	R/W	
	1–0	MOSEL[1:0]	0x0	H0	R/W	

Bits 15–12 **Reserved**

Bits 11–8 **STIM[3:0]**

これらのビットは、テンポ(メロディモード選択時)、またはワンショットブザー出力期間(ワンショットブザーモード選択時)を選択します。

表16.6.2 テンポ/ワンショットブザー出力期間の選択( $f_{CLK\_SNDA} = 32,768$  Hzの場合)

SNDSEL. STIM[3:0]ビット	テンポ (= 4分音符/分)	ワンショットブザー 出力期間 [ms]
0xf	30	250.0
0xe	32	234.4
0xd	34.3	218.8
0xc	36.9	203.1
0xb	40	187.5
0xa	43.6	171.9
0x9	48	156.3
0x8	53.3	140.6
0x7	60	125.0
0x6	68.6	109.4
0x5	80	93.8
0x4	96	78.1
0x3	120	62.5
0x2	160	46.9
0x1	240	31.3
0x0	480	15.6

注: SNDINTF.SBSYビット = 1の間の変更は禁止します。

Bits 7–3 **Reserved**

**Bit 2 SINV**

このビットは、出力端子の駆動モードを選択します。

1 (R/W): ノーマル駆動モード

0 (R/W): ダイレクト駆動モード

詳細は、“出力端子の駆動モード”を参照してください。

**Bits 1–0 MOSEL[1:0]**

これらのビットは、サウンド出力モードを選択します。

表16.6.3 サウンド出力モードの選択

SNDSEL.MOSEL[1:0]ビット	サウンド出力モード
0x3	Reserved
0x2	メロディモード
0x1	ワンショットブザーモード
0x0	ノーマルブザーモード

**SNDA Control Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDCTL	15–9	–	0x00	–	R	–
	8	SSTP	0	H0	R/W	
	7–1	–	0x00	–	R	
	0	MODEN	0	H0	R/W	

**Bits 15–9 Reserved****Bit 8 SSTP**

このビットは、サウンド出力を停止します。

1 (W): サウンド出力停止

0 (W): 無効

1 (R): 停止処理中

0 (R): 停止完了/停止中

ノーマルブザーモード時のブザー出力を停止するためのビットです。1書き込み後、サウンド出力が終了した時点で0にクリアされます。ワンショットブザーモード/メロディモード時も、本ビットへの1書き込みによりサウンド出力を強制終了することができます。

**Bits 7–1 Reserved****Bit 0 MODEN**

このビットは、SNDAの動作をイネーブルにします。

1 (R/W): SNDA動作イネーブル(動作クロックが供給されます。)

0 (R/W): SNDA動作ディスエーブル(動作クロックが停止します。)

**SNDA Data Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDDAT	15	MDTI	0	H0	R/W	–
	14	MDRS	0	H0	R/W	
	13–8	SLEN[5:0]	0x00	H0	R/W	
	7–0	SFRQ[7:0]	0xff	H0	R/W	

このレジスタはサウンドバッファとして機能します。このレジスタへのデータの書き込みによりサウンド出力を開始します。設定データの詳細は、“ブザー出力波形の設定(ノーマルブザーモード/ワンショットブザーモード)”および“メロディ出力波形の設定”を参照してください。

**Bit 15 MDTI**

このビットは、メロディモード時にタイ/スラー(直前の音符との連続演奏)を指定します。

1 (R/W): タイ/スラー有効

0 (R/W): タイ/スラー無効

ノーマルブザーモード/ワンショットブザーモード時は、このビットの設定は無視されます。

## 16 サウンドジェネレータ(SNDA)

### Bit 14 MDRS

このビットは、メロディモード時に休符と音符のどちらを出力するか選択します。

1 (R/W): 休符

0 (R/W): 音符

休符を選択した出力期間は、BZOUT端子がLOWに、#BZOUT端子がHIGHに固定されます。  
ノーマルブザーモード/ワンショットブザーモード時は、このビットの設定は無視されます。

### Bits 13–8 SLEN[5:0]

これらのビットは、音長(メロディモード選択時)、またはブザー信号のデューティ比(ノーマルブザーモード/ワンショットブザーモード選択時)を設定します。

### Bits 7–0 SFRQ[7:0]

これらのビットは、音階(メロディモード選択時)、またはブザー信号の周波数(ノーマルブザーモード/ワンショットブザーモード選択時)を設定します。

注: ・ ノーマルブザーモード/ワンショットブザーモードでは、SNDDAT.SFRQ[7:0]ビットの下位6ビット(SNDDAT.SFRQ[5:0]ビット)のみ有効です。SNDDAT.SFRQ[7:6]ビットは常に0x0に設定してください。

- ・ SNDDATレジスタは、16ビット以外のサイズでは書き込みができません。8ビットサイズの書き込みは無視されます。

## SNDA Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDINTF	15–9	–	0x00	–	R	–
	8	SBSY	0	H0	R	
	7–2	–	0x00	–	R	
	1	EMIF	1	H0	R	Cleared by writing to the SNDDAT register.
	0	EDIF	0	H0	R/W	Cleared by writing 1 or writing to the SNDDAT register.

### Bits 15–9 Reserved

### Bit 8 SBSY

このビットは、サウンド出力の状態を示します。(図16.4.2.1、図16.4.3.1、図16.4.4.1参照)

1 (R): 出力中

0 (R): 待機中

### Bits 7–2 Reserved

### Bit 1 EMIF

### Bit 0 EDIF

これらのビットは、SNDA割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

SNDINTF.EMIFビット: サウンドバッファエンプティ割り込み

SNDINTF.EDIFビット: サウンド出力終了割り込み

## SNDA Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDINTE	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1	EMIE	0	H0	R/W	
	0	EDIE	0	H0	R/W	

### Bits 15-2 Reserved

**Bit 1**      **EMIE**

**Bit 0**      **EDIE**

これらのビットは、SNDAの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

SNDINTE.EMIEビット: サウンドバッファEMPTY割り込み

SNDINTE.EDIEビット: サウンド出力終了割り込み

# 17 12ビットA/D変換器(ADC12A)

## 17.1 概要

ADC12Aは、逐次比較型の12ビットA/D変換器です。

ADC12Aの主な機能と特長を以下に示します。

- 変換方式: 逐次比較型
- 分解能: 12ビット
- アナログ入力電圧範囲: 基準電圧VREFA $\sim$ V<sub>SS</sub>
- 2種類の変換動作モード: 1. 単一変換モード  
2. 連続変換モード
- 3種類の変換トリガ: 1. ソフトウェアトリガ  
2. 16ビットタイマアンダーフロートリガ  
3. 外部トリガ
- 複数のアナログ入力信号をシーケンシャルに変換可能
- 変換完了、オーバーライトエラー割り込みを発生可能

図17.1.1にADC12Aの構成を示します。

表17.1.1 S1C17F63のADC12A構成

項目	S1C17F63
チャンネル数	1チャンネル(Ch.0)
チャンネル当たりのアナログ信号入力数	Ch.0: 8入力 (ADIN00 $\sim$ ADIN06, (ADIN07 *1))
変換クロック入力とトリガに使用する16ビットタイマ	Ch.0 $\leftarrow$ 16ビットタイマCh.2
VREFA端子(基準電圧入力)	外部入力または内部生成可能 *2

\*1 ADIN07は内蔵温度センサ出力に接続

\*2 基準電圧入力には、基準電圧生成回路の出力を使用することも可能です。  
詳細は、“温度センサ/基準電圧生成回路”の章を参照してください。

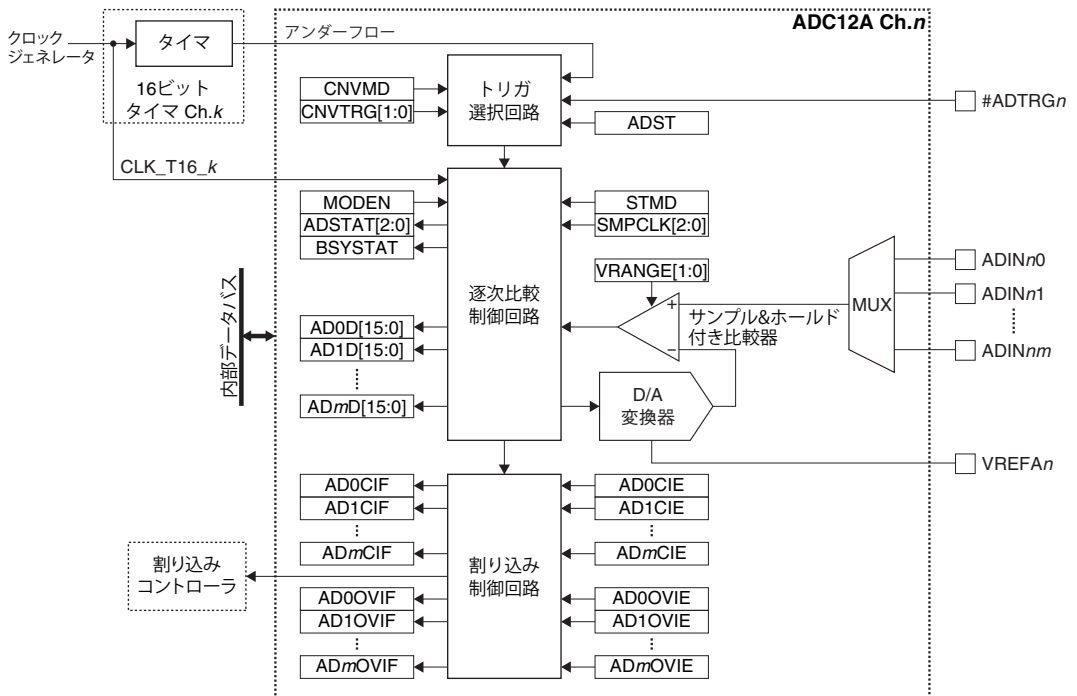


図17.1.1 ADC12Aの構成

注: 本章では、チャンネル番号を $n$ 、アナログ入力端子番号を $m$ 、対応する16ビットタイマのチャンネル番号を $k$ と記述します。

## 17.2 入力端子と外部接続

### 17.2.1 入力端子一覧

表17.2.1.1にADC12Aの端子一覧を示します。

表17.2.1.1 ADC12A端子一覧

端子名	I/O*	イニシャル状態*	機能
ADIN $n$ m	A	Hi-Z	アナログ信号入力
#ADTRG $n$	I	I	外部トリガ入力
VREFAn	A	Hi-Z	基準電圧入力

\* 端子機能をADC12Aに切り換えた時点の状態

これらのADC12A端子と他の機能がポートを共有している場合、ADC12Aを動作させる前にADC12Aの入力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

### 17.2.2 外部との接続

ADC12Aと外部機器との接続を図17.2.2.1に示します。

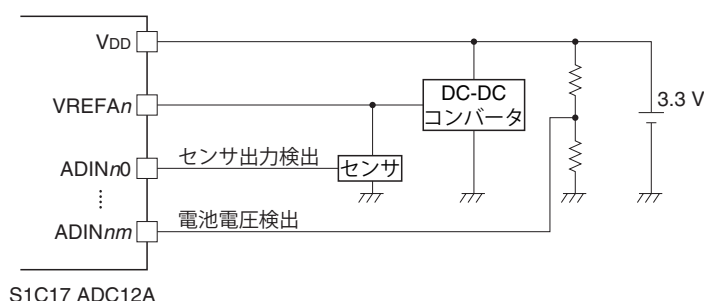


図17.2.2.1 ADC12Aと外部機器との接続

## 17.3 クロック設定

### 17.3.1 ADC12Aの動作クロック

ADC12Aの動作クロックには、16ビットタイマCh.kの動作クロックCLK\_T16\_kが使用されます。CLK\_T16\_kの設定方法、およびSLEEPモード/DEBUGモード時のクロック供給については、“16ビットタイマ”の章の“クロック設定”を参照してください。

注: SLEEPモードやDEBUGモード等で、A/D変換中にCLK\_T16\_kの供給が停止した場合、その後供給が再開した場合でも正しい変換結果は得られません。再度、A/D変換を実行してください。

### 17.3.2 サンプリング時間

ADC12Aにはサンプル&ホールド回路が内蔵されており、アナログ入力信号の電圧を取り込むのに十分な時間(tacq:アキュイジョン時間)が得られるように、サンプリング時間を設定する必要があります。図17.3.2.1に、アナログ入力の等価回路を示します。

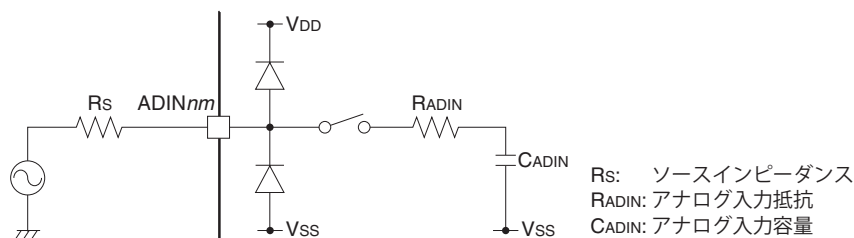


図17.3.2.1 アナログ入力等価回路

この等価回路の $R_{ADIN}$ 、 $C_{ADIN}$ の値については、“電気的特性”の章の“12ビットA/D変換器特性”を参照してください。それらの値を基に、ADC12A動作クロック $CLK\_T16\_k$ とサンプリング時間を設定する $ADC12\_nTRG.SMPCLK[2:0]$ ビットは、以下の式を満たすように設定してください。

$$t_{ACQ} = 8 \times (R_s + R_{ADIN}) \times C_{ADIN} \quad (\text{式17.1})$$

$$\frac{1}{f_{CLK\_ADC}} \times SMPCLK > t_{ACQ} \quad (\text{式17.2})$$

ここで

$f_{CLK\_ADC}$ :  $CLK\_T16\_k$ の周波数[Hz]

$SMPCLK$ : サンプリング時間 =  $ADC12\_nTRG.SMPCLK[2:0]$ ビットの設定( $CLK\_T16\_k$  4~11サイクル)

サンプリング時間と最大サンプリングレートの関係は以下のようになります。

$$\text{最大サンプリングレート [sps]} = \frac{f_{CLK\_ADC}}{SMPCLK + 13} \quad (\text{式17.3})$$

## 17.4 動作

### 17.4.1 初期設定

ADC12Aは、以下の手順により初期設定を行います。

1. ADC12Aの入力機能をポートに割り当てる。(“入出力ポート”の章を参照)
2. サンプリング時間を満たすように16ビットタイマ $Ch.k$ の動作クロックを設定する。
3.  $ADC12\_nCTL.MODEN$ ビットを1に設定する。 (ADC12Aの動作をイネーブル)
4.  $ADC12\_nTRG$ レジスタの以下のビットを設定する。
  - $ADC12\_nTRG.SMPCLK[2:0]$ ビット (サンプリング時間の設定)
  - $ADC12\_nTRG.CNVTRG[1:0]$ ビット (変換開始トリガソースの設定)
  - $ADC12\_nTRG.CNVMD$ ビット (変換動作モードの設定)
  - $ADC12\_nTRG.STMD$ ビット (データ格納方法の設定)
  - $ADC12\_nTRG.STAAIN[2:0]$ ビット (最初にA/D変換を行うアナログ入力端子の設定)
  - $ADC12\_nTRG.ENDAIN[2:0]$ ビット (最後にA/D変換を行うアナログ入力端子の設定)
5.  $ADC12\_nCFG.VRANGE[1:0]$ ビットを設定する。 ( $V_{DD}$ 電圧に合わせた動作電圧範囲の設定)
6. 割り込みを使用する場合は、以下のビットを設定する。
  - $ADC12\_nINTF$ レジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
  - $ADC12\_nINTE$ レジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)

### 17.4.2 変換開始トリガソース

A/D変換を開始させるトリガソースは、 $ADC12\_nTRG.CNVTRG[1:0]$ ビットによって以下の3種類から選択できます。

#### 外部トリガ(#ADTRGn端子)

$ADC12\_nCTL.ADST$ ビットへの1書き込みにより、トリガの受け付けが許可されます。その後、#ADTRGn端子に入力される信号の立ち下りエッジで、A/D変換を開始します。

#### 16ビットタイマ $Ch.k$ アンダフロートリガ

$ADC12\_nCTL.ADST$ ビットへの1書き込みにより、トリガの受け付けが許可されます。その後、16ビットタイマ $Ch.k$ にアンダーフローが発生すると、A/D変換を開始します。

#### ソフトウェアトリガ

$ADC12\_nCTL.ADST$ ビットに1を書き込むと、A/D変換を開始します。

トリガ入力は、 $ADC12\_nCTL.BSYSTAT$ ビットが0のときに受け付け可能で、1の間は無視されます。また、実際の変換開始は、トリガ受け付け後、 $CLK\_T16\_k$ に同期して行われます。いずれのトリガソースの設定でも、 $ADC12\_nCTL.ADST$ ビットに0を書き込むことで、現在実行中のA/D変換を完了後に停止します。

### 17.4.3 変換動作モードと変換を行うアナログ入力端子の設定

ADC12Aは、ADC12\_nTRG.CNVMDビットにより、以下に示す2つの変換動作モードを設定できます。また、それぞれのモードで、A/D変換を行うアナログ入力端子の範囲を指定可能です。アナログ入力端子の範囲は、最初のアナログ入力端子をADC12\_nTRG.STAAIN[2:0]ビットで、最後のアナログ入力端子をADC12\_nTRG.ENDAIN[2:0]ビットで設定します。指定した範囲のアナログ入力信号は、端子番号の昇順に、連続してA/D変換されます。

#### 単一変換モード

指定範囲のすべてのアナログ入力信号を1回A/D変換した後、自動的に停止します。

#### 連続変換モード

ADC12\_nCTL.ADSTビットに0が書き込まれるまで、指定範囲のA/D変換を繰り返し実行します。

### 17.4.4 A/D変換動作と制御手順

以下にA/D変換の制御手順とADC12Aの動作を説明します。

#### 単一変換モードの制御手順

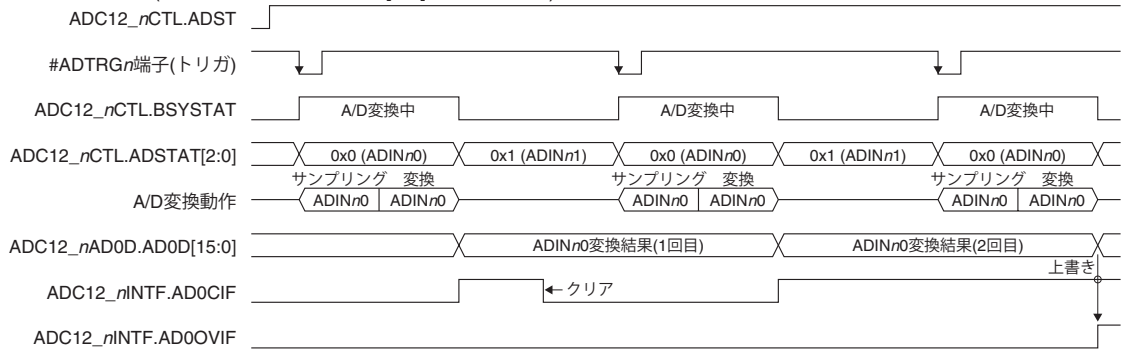
1. ADC12\_nCTL.ADSTビットに1を書き込む。
2. ADC12Aの割り込みを待つ。
  - i. ADC12\_nINTF.ADMCIFビット = 1(アナログ入力信号*m* A/D変換完了割り込み)の場合は、ADC12\_nINTF.ADMCIFビットをクリアした後、3へ
  - ii. ADC12\_nINTF.ADMOVIFビット = 1(アナログ入力信号*m* A/D変換結果オーバーライトエラー割り込み)の場合は、ADC12\_nINTF.ADMOVIFビットをクリアした後、エラーとして終了するか、A/D変換をやり直す。
3. アナログ入力*m*のA/D変換結果(ADC12\_nADM.D.ADM[15:0]ビット)を読み出す。  
 ※ 12ビットの変換結果は、ADC12\_nTRG.STMDビットの設定によりADC12\_nADM.D.ADM[15:0]ビット内の下位12ビットまたは上位12ビットに配置されます。
4. 指定したアナログ入力端子の範囲すべてのA/D変換が完了するまで、2と3を繰り返す。
5. A/D変換中に強制終了するには、ADC12\_nCTL.ADSTビットに0を書き込む。  
 現在のA/D変換が完了後に停止します。  
 A/D変換の完了により自動的に停止した場合も、ADC12\_nCTL.ADSTビットは0を書き込んでクリアしてください。

#### 連続変換モードの制御手順

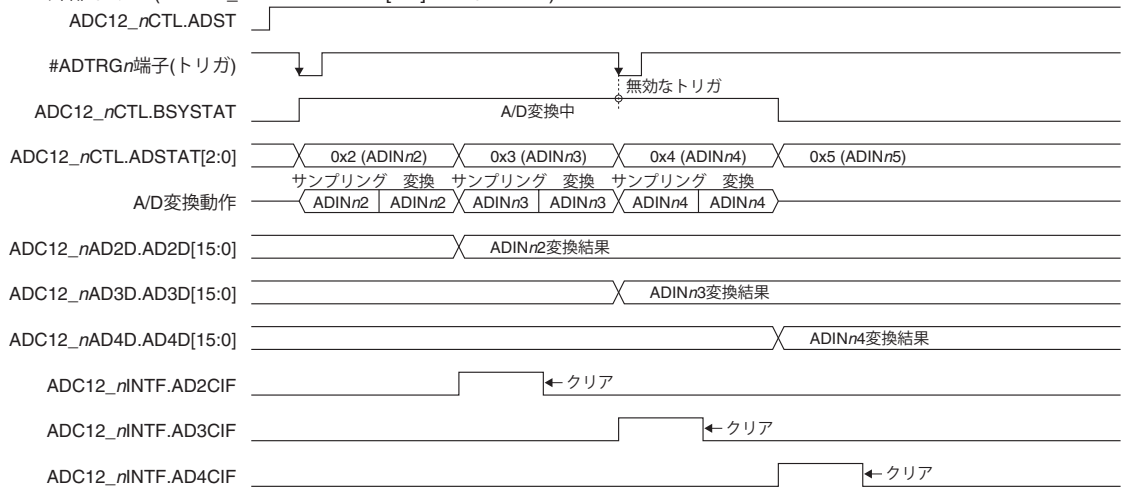
1. ADC12\_nCTL.ADSTビットに1を書き込む。
2. ADC12Aの割り込みを待つ。
  - i. ADC12\_nINTF.ADMCIFビット = 1(アナログ入力信号*m* A/D変換完了割り込み)の場合は、ADC12\_nINTF.ADMCIFビットをクリアした後、3へ
  - ii. ADC12\_nINTF.ADMOVIFビット = 1(アナログ入力信号*m* A/D変換結果オーバーライトエラー割り込み)の場合は、ADC12\_nINTF.ADMOVIFビットをクリアした後、エラーとして終了するか、A/D変換をやり直す。
3. アナログ入力*m*のA/D変換結果(ADC12\_nADM.D.ADM[15:0]ビット)を読み出す。
4. A/D変換を終了させるまで、2と3を繰り返す。
5. ADC12\_nCTL.ADSTビットに0を書き込む。  
 現在のA/D変換が完了後に停止します。



- (1) 単一変換モード(ADC12\_nTRG.CNVMDビット = 0)  
 ADINn0のA/D変換(ADC12\_nTRG.STAAIN[2:0]ビット = 0x0、ADC12\_nTRG.ENDAIN[2:0]ビット = 0x0)  
 外部トリガ(ADC12\_nTRG.CNVTRG[1:0]ビット = 0x3)



- (2) 単一変換モード(ADC12\_nTRG.CNVMDビット = 0)  
 ADINn2~4のA/D変換(ADC12\_nTRG.STAAIN[2:0]ビット = 0x2、ADC12\_nTRG.ENDAIN[2:0]ビット = 0x4)  
 外部トリガ(ADC12\_nTRG.CNVTRG[1:0]ビット = 0x3)



- (3) 連続変換モード(ADC12\_nTRG.CNVMDビット = 1)  
 ADINn3~4のA/D変換(ADC12\_nTRG.STAAIN[2:0]ビット = 0x3、ADC12\_nTRG.ENDAIN[2:0]ビット = 0x4)  
 ソフトウェアトリガ(ADC12\_nTRG.CNVTRG[1:0]ビット = 0x0)

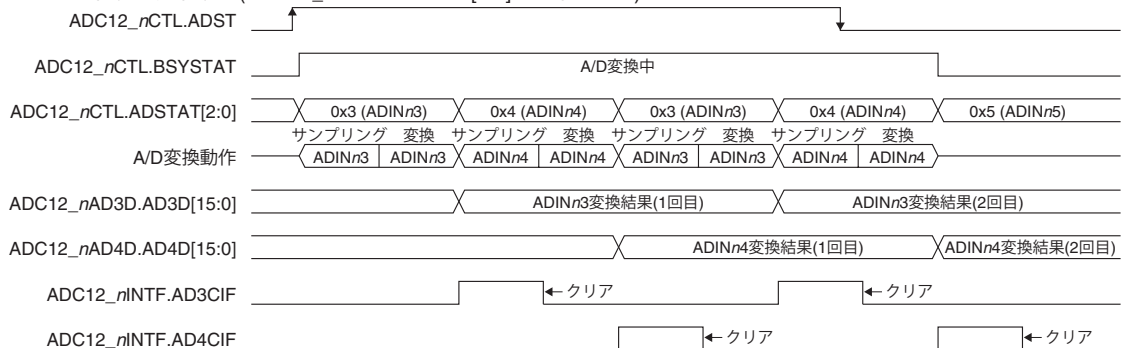


図17.4.4.1 A/D変換動作

## 17.5 割り込み

ADC12Aには、表17.5.1に示す割り込みを発生させる機能があります。

表17.5.1 ADC12Aの割り込み機能

割り込み	割り込みフラグ	セット	クリア
アナログ入力信号 $m$ A/D変換完了	ADC12_nINTF.ADmCIF	アナログ入力信号 $m$ のA/D変換結果が、ADC12_nADmDレジスタにロードされたとき	1書き込み
アナログ入力信号 $m$ A/D変換結果オーバーライトエラー	ADC12_nINTF.ADmOVIF	ADC12_nINTF.ADmCIFビット = 1の状態、新たなA/D変換結果がADC12_nADmDレジスタにロードされたとき	1書き込み

A/D変換結果オーバーライトエラー割り込みが発生した場合でも、A/D変換動作は継続して実行されます。A/D変換結果オーバーライトエラーの判定に、ADC12\_nADmDレジスタが読み出されているか否かは関係ありません。

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

## 17.6 制御レジスタ

### ADC12A Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nCTL	15	–	0	–	R	–
	14–12	ADSTAT[2:0]	0x0	H0	R	
	11	–	0	–	R	
	10	BSYSTAT	0	H0	R	
	9–8	–	0x0	–	R	
	7–2	–	0x00	–	R	
	1	ADST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

**Bit 15** Reserved

**Bits 14–12** ADSTAT[2:0]

これらのビットは、A/D変換中のアナログ入力端子番号 $m$ を示します。

表17.6.1 制御ビットの値とアナログ入力端子の関係

ADC12_nCTL.ADSTAT[2:0]ビット ADC12_nTRG.STAAIN[2:0]ビット ADC12_nTRG.ENDAIN[2:0]ビット	アナログ入力端子
0x7	ADIN $n$ 7
0x6	ADIN $n$ 6
0x5	ADIN $n$ 5
0x4	ADIN $n$ 4
0x3	ADIN $n$ 3
0x2	ADIN $n$ 2
0x1	ADIN $n$ 1
0x0	ADIN $n$ 0

ADC12\_nCTL.ADSTビットに0を書き込んで強制停止させた場合や、単一変換モード(ADC12\_nTRG.CNVMD = 0)時に自動停止した場合は、最後に変換したアナログ入力端子の端子番号を示します。最大アナログ入力端子番号(機種により異なります)のA/D変換後は、ADIN $n$ 0を示します。

**Bit 11** Reserved

**Bit 10 BSYSSTAT**

このビットは、A/D変換を実行中か否かを示します。

1 (R/W): A/D変換中

0 (R/W): 停止中

**Bits 9–2 Reserved****Bit 1 ADST**

このビットは、A/D変換またはトリガの受け付けを開始します。

1 (R/W): サンプリング&変換開始(ソフトウェアトリガ)

トリガ受け付け開始(外部トリガ、16ビットタイムアンダーフロートリガ)

0 (R/W): 変換終了

このビットは、変換終了後も自動的に0に戻りませんので、再度変換を開始させるためには、一旦0を書き込んでから、再び1を書き込んでください。また、0を書き込んで、強制的に変換を終了させた場合は、実行中のA/D変換を完了させてから、停止します。このビットによってA/D変換中か停止中かを判断することはできません。

注: ADC12\_nCTL.ADSTビットへの1書き込み時はCLK\_T16\_k 1クロック以上、0書き込み時はCLK\_T16\_k 2クロック以上の期間、書き込み値を保持してください。

**Bit 0 MODEN**

このビットは、ADC12Aの動作をイネーブルにします。

1 (R/W): ADC12A動作イネーブル(動作クロックが供給されます。)

0 (R/W): ADC12A動作ディスエーブル(動作クロックが停止します。)

注: ADC12\_nCTL.MODENビットに0を書き込むと、ADC12Aは終了処理を行います。クロックソースを停止させる場合には、その前に必ずADC12\_nCTL.MODENビットを読み出し、0になっていることを確認してください。

**ADC12A Ch.n Trigger/Analog Input Select Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nTRG	15–14	–	0x0	–	R	–
	13–11	ENDAIN[2:0]	0x0	H0	R/W	
	10–8	STAAIN[2:0]	0x0	H0	R/W	
	7	STMD	0	H0	R/W	
	6	CNVMD	0	H0	R/W	
	5–4	CNVTRG[1:0]	0x0	H0	R/W	
	3	–	0	–	R	
	2–0	SMPCLK[2:0]	0x7	H0	R/W	

注: ADC12\_nTRGレジスタの変更は、必ずADC12\_nCTL.BSYSSTATビット = 0のときに行ってください。

**Bits 15–14 Reserved****Bits 13–11 ENDAIN[2:0]**

これらのビットは、最後にA/D変換を行うアナログ入力端子を設定します。

アナログ入力端子と設定値の関係は、表17.6.1を参照してください。

注: A/D変換を行うアナログ入力端子の範囲は、ADC12\_nTRG.ENDAIN[2:0]ビット  $\geq$  ADC12\_nTRG.STAAIN[2:0]ビットとなるように設定してください。

**Bits 10–8 STAAIN[2:0]**

これらのビットは、最初にA/D変換を行うアナログ入力端子を設定します。

アナログ入力端子と設定値の関係は、表17.6.1を参照してください。

**Bit 7 STMD**

このビットは、A/D変換結果レジスタ(ADC12\_nADmD.ADmD[15:0]ビット)へのデータ格納方法を設定します。

1 (R/W): 左詰め

0 (R/W): 右詰め

このビットが変更された時点で、すべてのA/D変換結果レジスタの配置が変わります。このビットの変更による、変換結果への影響はありません。

		ADC12_nADmD.ADmD[15:0]ビット																
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
左詰め(ADC12_nTRG.STMDビット = 1)	(MSB)	12ビット変換結果												(LSB)	0	0	0	0
右詰め(ADC12_nTRG.STMDビット = 0)	0	0	0	0	(MSB)	12ビット変換結果												(LSB)

図17.6.1 変換データの配置

**Bit 6 CNVMD**

このビットは、A/D変換の動作モードを設定します。

1 (R/W): 連続変換モード

0 (R/W): 単一変換モード

**Bits 5-4 CNVTRG[1:0]**

これらのビットは、A/D変換を開始させるトリガソースを選択します。

表17.6.2 トリガソースの選択

ADC12_nTRG.CNVTRG[1:0]ビット	トリガソース
0x3	#ADTRGn端子(外部トリガ)
0x2	Reserved
0x1	16ビットタイマCh.kアンダフロー
0x0	ADC12_nCTL.ADSTビット(ソフトウェアトリガ)

**Bit 3 Reserved****Bits 2-0 SMPCLK[2:0]**

これらのビットは、アナログ入力信号のサンプリング時間を設定します。

表17.6.3 サンプリング時間の設定

ADC12_nTRG.SMPCLK[2:0]ビット	サンプリング時間 (CLK_T16_kサイクル数)
0x7	11サイクル
0x6	10サイクル
0x5	9サイクル
0x4	8サイクル
0x3	7サイクル
0x2	6サイクル
0x1	5サイクル
0x0	4サイクル

**ADC12A Ch.n Configuration Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nCFG	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1-0	VRANGE[1:0]	0x0	H0	R/W	

注: ADC12\_nCFGレジスタの変更は、必ずADC12\_nCTL.BSYSTATビット = 0のときに行ってください。

**Bits 15-2 Reserved****Bits 1-0 VRANGE[1:0]**

これらのビットは、A/D変換器の動作電圧範囲を設定します。

表17.6.4 A/D変換器動作電圧範囲の設定

ADC12_nCFG.VRANGE[1:0]ビット	A/D変換器動作電圧範囲
0x3	1.8~5.5 V
0x2	3.6~5.5 V
0x1	4.8~5.5 V
0x0	変換停止

- 注:
- ADC12\_nCFG.VRANGE[1:0]ビット = 0x0では、A/D変換が行われません。A/D変換を行うときは、動作電圧に対応した値に設定してください。
  - ADC12\_nCTL.BSYSTATビット = 1のときにADC12\_nCFG.VRANGE[1:0]ビットを0x0以外に設定すると、ADC回路電流 $I_{ADC}$ が流れます。

## ADC12A Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nINTF	15	AD7OVIF	0	H0	R/W	Cleared by writing 1.
	14	AD6OVIF	0	H0	R/W	
	13	AD5OVIF	0	H0	R/W	
	12	AD4OVIF	0	H0	R/W	
	11	AD3OVIF	0	H0	R/W	
	10	AD2OVIF	0	H0	R/W	
	9	AD1OVIF	0	H0	R/W	
	8	AD0OVIF	0	H0	R/W	
	7	AD7CIF	0	H0	R/W	
	6	AD6CIF	0	H0	R/W	
	5	AD5CIF	0	H0	R/W	
	4	AD4CIF	0	H0	R/W	
	3	AD3CIF	0	H0	R/W	
	2	AD2CIF	0	H0	R/W	
1	AD1CIF	0	H0	R/W		
0	AD0CIF	0	H0	R/W		

### Bits 15–8 ADmOVIF

### Bits 7–0 ADmCIF

これらのビットは、ADC12A割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり  
 0 (R): 割り込み要因なし  
 1 (W): フラグをクリア  
 0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

ADC12\_nINTF.AD $m$ OVIFビット: アナログ入力信号 $m$  A/D変換結果オーバーライトエラー  
 割り込み

ADC12\_nINTF.AD $m$ CIFビット: アナログ入力信号 $m$  A/D変換完了割り込み

## ADC12A Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nINTE	15	AD7OVIE	0	H0	R/W	-
	14	AD6OVIE	0	H0	R/W	
	13	AD5OVIE	0	H0	R/W	
	12	AD4OVIE	0	H0	R/W	
	11	AD3OVIE	0	H0	R/W	
	10	AD2OVIE	0	H0	R/W	
	9	AD1OVIE	0	H0	R/W	
	8	AD0OVIE	0	H0	R/W	
	7	AD7CIE	0	H0	R/W	
	6	AD6CIE	0	H0	R/W	
	5	AD5CIE	0	H0	R/W	
	4	AD4CIE	0	H0	R/W	
	3	AD3CIE	0	H0	R/W	
	2	AD2CIE	0	H0	R/W	
	1	AD1CIE	0	H0	R/W	
	0	AD0CIE	0	H0	R/W	

### Bits 15–8 ADmOVIE

### Bits 7–0 ADmCIE

これらのビットは、ADC12Aの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

ADC12\_nINTE.ADmOVIEビット: アナログ入力信号*m* A/D変換結果オーバーライトエラー  
割り込み

ADC12\_nINTE.ADmCIEビット: アナログ入力信号*m* A/D変換完了割り込み

## ADC12A Ch.n Result Register *m*

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12_nADmD	15–0	ADmD[15:0]	0x0000	H0	R	-

### Bits 15–0 ADmD[15:0]

これらのビットは、アナログ入力信号*m*のA/D変換結果です。

# 18 温度センサ/基準電圧生成回路(TSRVR)

## 18.1 概要

TSRVRは、内蔵温度センサの出力と基準電圧の生成が可能な内蔵A/D変換器の周辺回路です。TSRVRの主な機能と特長を以下に示します。

- 内蔵温度センサ出力はリニアな出力特性を持ち、外付け部品なしに内蔵A/D変換器で計測可能
- 内蔵A/D変換器に基準電圧(2.0 V、2.5 V、 $V_{DD}$ )の3種類から選択)を供給可能
- VREFAm専用端子を持つICでは、ここで生成した基準電圧を外部機器にも供給可能

図18.1.1にTSRVRの構成を示します。

表18.1.1 S1C17F63のTSRVR構成

項目	S1C17F63
チャンネル数	1チャンネル(Ch.0)
内蔵A/D変換器との対応	TSRVR Ch.0 → ADC12A Ch.0
温度センサ出力に接続されるA/D変換器入力	ADIN07
外部機器への基準電圧出力	不可

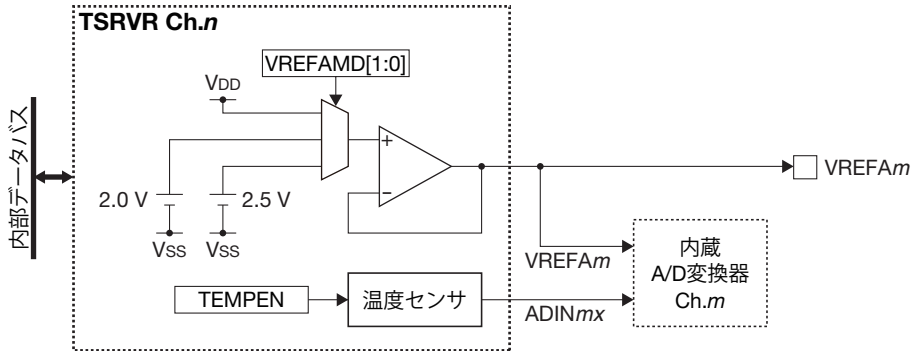


図18.1.1 TSRVRの構成

注：本章では、TSRVRのチャンネル番号を $n$ 、対応する内蔵A/Dコンバータのチャンネル番号を $m$ と記述します。

## 18.2 出力端子と外部接続

### 18.2.1 出力端子

表18.2.1.1にTSRVRの端子を示します。

表18.2.1.1 TSRVR端子

端子名	I/O	イニシャル状態	機能
VREFAm	A	Hi-Z	基準電圧出力

このTSRVR端子と他の機能がポートを共有している場合、TSRVRを動作させる前にTSRVRの出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

## 18.2.2 外部との接続

TSRVRと外部機器との接続を図18.2.2.1に示します。

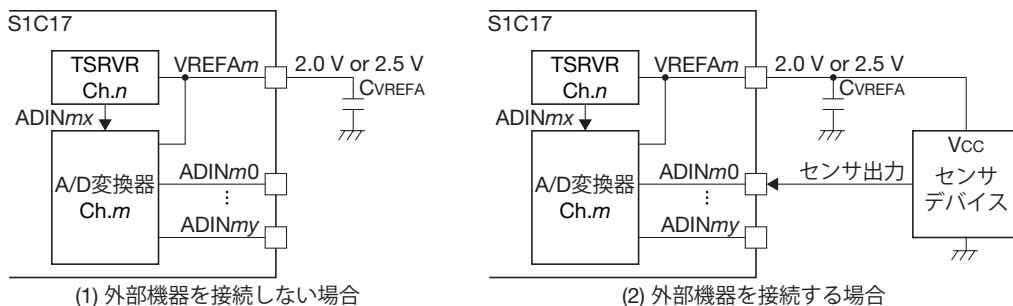


図18.2.2.1 TSRVRと外部機器との接続

## 18.3 動作

TSRVRの設定は、内蔵A/D変換器による計測の開始前に行ってください。

### 18.3.1 基準電圧の設定

基準電圧VREFAmを外部から与えない場合、TSRVRの出力電圧をVREFAmとして内蔵A/D変換器に供給することができます。出力電圧はTSRVRnVCTL.VREFAMD[1:0]ビットで選択可能です。TSRVRから電圧を供給する場合、VREFAm端子にCVREFAを接続してください。また、内蔵A/D変換器によるA/D変換は、出力電圧を選択してから基準電圧安定時間tVREFAが経過後に開始してください。

### 18.3.2 温度センサの設定

温度センサの出力電圧を、直接内蔵A/D変換器で計測することが可能です。計測は、TSRVRnTCTL.TEMPENビットに1を書き込んで温度センサを動作させてから、温度センサ出力安定時間tTEMPが経過した後開始してください。

下記の式により、温度センサの出力電圧から計測された温度を算出できます。

$$T_{SEN} = \frac{(V_{TSEN} - V_{TREF}) \times 1,000}{\Delta V_{TEMP}} + T_{REF} \quad (\text{式18.1})$$

ここで

- T<sub>SEN</sub>: 実際の温度[°C]
- V<sub>TSEN</sub>: 温度がT<sub>SEN</sub>のときの温度センサ出力電圧[V]
- T<sub>REF</sub>: キャリブレーション用の基準温度[°C]
- V<sub>TREF</sub>: 温度がT<sub>REF</sub>のときの温度センサ出力電圧[V]
- ΔV<sub>TEMP</sub>: 温度センサ出力電圧温度係数 [mV/°C] (“電気的特性”の章参照)

V<sub>TSEN</sub>とV<sub>TREF</sub>には、内蔵A/D変換器によって得られるそれぞれの温度に対応したデジタル値を、下記の式により電圧値に換算して代入します。

$$V(T_{SEN}, T_{REF}) = \frac{ADD}{4,096} \times V_{REFA} \quad (\text{式18.2})$$

ここで

- ADD: 温度がT<sub>SEN</sub>またはT<sub>REF</sub>のときのA/D変換結果(10進数)
- V<sub>REFA</sub>: A/D変換器基準電圧[V]

内蔵A/D変換器の詳細は、“12ビットA/D変換器”の章を参照してください。



## 18.4 制御レジスタ

### TSRVR Ch.n Temperature Sensor Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
TSRVRnTCTL	15-8	-	0x00	-	R	-
	7-1	-	0x00	H0	R	
	0	TEMPEN	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 TEMPEN

このビットは、温度センサの動作をイネーブルにします。

1 (R/W): 温度センサ出力イネーブル

0 (R/W): 温度センサ出力ディスエーブル

### TSRVR Ch.n Reference Voltage Generator Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
TSRVRnVCTL	15-8	-	0x00	-	R	-
	7-2	-	0x00	H0	R	
	1-0	VREFAMD[1:0]	0x0	H0	R/W	

Bits 15-2 Reserved

Bits 1-0 VREFAMD[1:0]

これらのビットは、基準電圧生成回路の出力電圧を設定します。

表18.4.1 出力電圧の設定

TSRVRnVCTL.VREFAMD[1:0]ビット	出力電圧
0x3	2.5 V出力
0x2	2.0 V出力
0x1	V <sub>DD</sub> レベル出力
0x0	Hi-Z(外部印加可能)

注: • TSRVRnVCTL.VREFAMD[1:0]ビットを0x2または0x3に設定すると、VREF動作電流I<sub>VREFA</sub>が流れます。

- TSRVRnVCTL.VREFAMD[1:0]ビットが0x0以外のときは、VREFAm端子に外部電圧を印可しないでください。

# 19 EPDコントローラ/ドライバ(EPDC)

## 19.1 概要

EPDCは、EPD表示機能を実現するEPDコントローラ/ドライバです。

EPDCの主な機能と特長を以下に示します。

- EPD駆動電源制御機能
- EPD表示波形メモリを内蔵(駆動波形をプログラム可能)
- 表示データメモリを内蔵
- コントラストを調整可能
- 反転、全白、全黒表示機能
- 駆動波形出力終了時に割り込みを発生可能
- セグメント、バックプレーン、トッププレーン端子出力の直接制御が可能
- セイコーエプソン製外部EPDドライバ用にトリガ信号とクロックを出力可能
- セグメント、バックプレーン、トッププレーン出力の端子割り当てを4種類から選択可能

図19.1.1にEPDCの構成を示します。

表19.1.1 S1C17F63のEPDC構成

項目	S1C17F63
ドライバ出力数	42セグメント + 1バックプレーン + 1トッププレーン出力
EPD駆動電圧	V <sub>EPD</sub> とV <sub>SS</sub> の2値

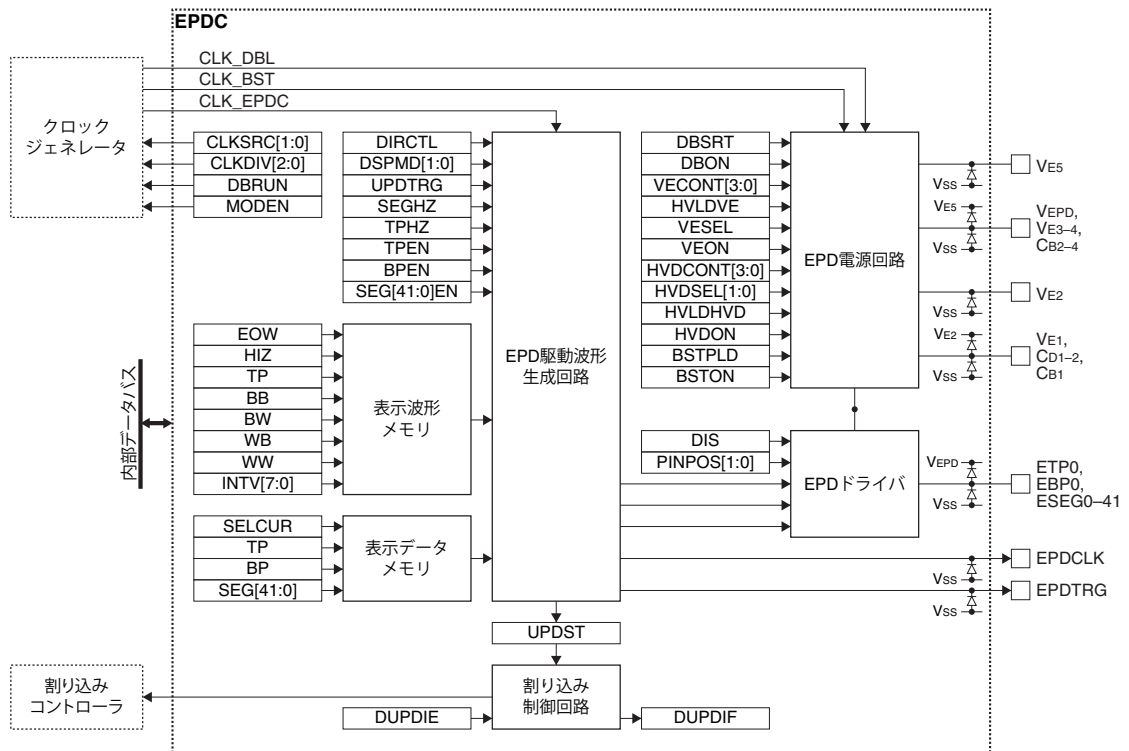


図19.1.1 EPDCの構成

## 19.2 入出力端子と外部接続

### 19.2.1 入出力端子一覧

表19.2.1.1にEPDCの入出力端子一覧を示します。

表19.2.1.1 EPDC端子一覧

端子名	I/O*	イニシャル状態*	機能
ETP0	O	Hi-Z	EPDトッププレーン/バックプレーン/セグメント出力
EBP0	O	Hi-Z	EPDバックプレーン/セグメント出力
ESEG0	O	Hi-Z	EPDセグメント/バックプレーン/トッププレーン出力
ESEG1	O	Hi-Z	EPDセグメント/バックプレーン出力
ESEG2-41	O	Hi-Z	EPDセグメント出力
VEPD	P	-	EPD駆動電圧出力
VE1-5	P	-	EPD電源昇圧回路出力
CD1-2	A	-	EPD電源昇圧コンデンサ接続端子
CB1-4	A	-	EPD電源昇圧コンデンサ接続端子
EPDCLK	O	Hi-Z	外部EPDドライバ用EPDクロック出力
EPDTRG	O	Hi-Z	外部EPDドライバ用EPDトリガ出力

\* 端子機能をEPDCに切り換えた時点の状態

これらのEPDC端子と他の機能がポートを共有している場合、EPDCを動作させる前にEPDCの入力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

注: ・ VE1～VE5端子出力を外部回路の駆動には絶対に使用しないでください。

・ VEPD端子に外部からEPD駆動電圧を入力することはできません。

### 19.2.2 EPDドライバ端子割り当て

端子へのEPDドライバ出力(トッププレーン、バックプレーン、セグメント)の割り当てを、EPDPOS.PINPOS[1:0]ビットにより、4パターンから選択することができます。

表19.2.2.1に、EPDPOS.PINPOS[1:0]ビットの設定と端子へ割り当てられるEPDドライバ出力の対応を示します。

表19.2.2.1 EPDドライバ出力端子割り当て

出力端子名	ドライバ出力割り当て			
	EPDPOS.PINPOS[1:0]ビット			
	0x0	0x1	0x2	0x3
ESEG0	SEG0	BP	TP	TP
ESEG1	SEG1	SEG0	SEG0	BP
ESEG2	SEG2	SEG1	SEG1	SEG0
...	...	...	...	...
ESEG39	SEG39	SEG38	SEG38	SEG37
ESEG40	SEG40	SEG39	SEG39	SEG38
ESEG41	SEG41	SEG40	SEG40	SEG39
EBP0	BP	SEG41	SEG41	SEG40
ETP0	TP	TP	BP	SEG41

### 19.2.3 外部との接続

EPDCと外部機器との接続を図19.2.3.1に示します。

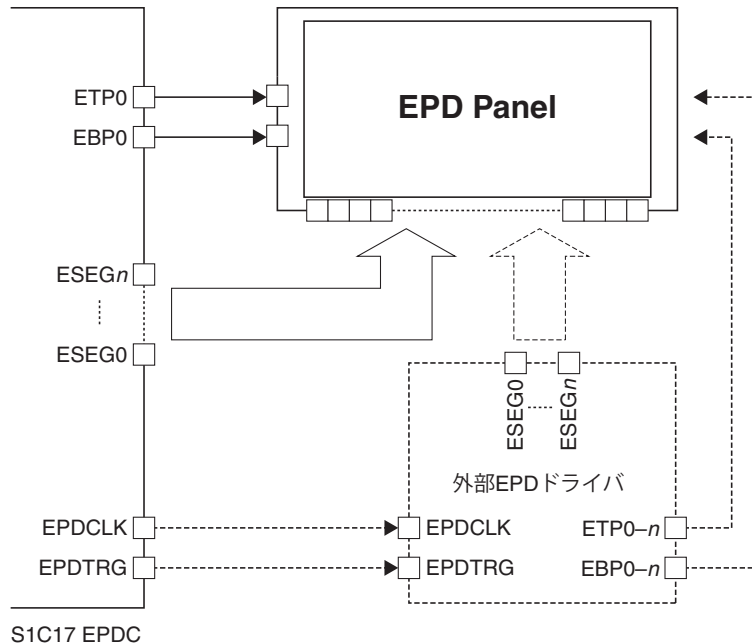


図19.2.3.1 EPDCと外部機器との接続

## 19.3 クロック設定

### 19.3.1 EPDCの動作クロック

EPDCを使用するには、クロックジェネレータからタイミングクロックCLK\_EPDCを供給する必要があります。また、EPD電源回路の動作にも、昇圧回路(Doubler、Booster)用クロックCLK\_DBL、CLK\_BSTの供給が必要です。

CLK\_EPDC、CLK\_DBL、CLK\_BSTの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. EPDTIMCLKレジスタの以下のビットでCLK\_EPDCを設定する。
  - EPDTIMCLK.CLKSRC[1:0]ビット (タイミングクロックソースの選択)
  - EPDTIMCLK.CLKDIV[2:0]ビット (タイミングクロック分周比の選択 = クロック周波数の設定)
3. EPDDBLCLKレジスタの以下のビットでCLK\_DBLを設定する。
  - EPDDBLCLK.CLKSRC[1:0]ビット (Doublerクロックソースの選択)
  - EPDDBLCLK.CLKDIV[2:0]ビット (Doublerクロック分周比の選択 = クロック周波数の設定)

CLK\_DBLは8 kHz～32 kHzの範囲内で設定してください。Doublerを使用しない場合、CLK\_DBLの設定は不要です。

4. EPDBSTCLKレジスタの以下のビットでCLK\_BSTを設定する。
  - EPDBSTCLK.CLKSRC[1:0]ビット (Boosterクロックソースの選択)
  - EPDBSTCLK.CLKDIV[2:0]ビット (Boosterクロック分周比の選択 = クロック周波数の設定)

CLK\_BSTは4 kHz～16 kHzの範囲内で設定してください。内蔵EPD電圧回路を使用しない場合、CLK\_BSTの設定は不要です。

### 19.3.2 SLEEPモード時のクロック供給

SLEEPモード時にEPDCを使用する場合は、CLK\_EPDC、CLK\_DBL、CLK\_BSTのそれぞれのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、各クロックを供給し続ける必要があります。

### 19.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK\_EPDC、CLK\_DBL、CLK\_BSTの供給はそれぞれEPDTIMCLK.DBRUNビット、EPDDBLCLK.DBRUNビット、EPDBSTCLK.DBRUNビットで制御します。

EPDxxxCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとEPDC動作クロックの供給が停止します。その後通常モードに戻ると、クロック供給が再開します。クロック供給が停止しても、レジスタはDEBUGモードへ移行前の状態に保持されます。

EPDxxxCLK.DBRUNビット = 1の場合、DEBUGモード時もEPDC動作クロックの供給は停止せず、EPDCは動作を継続します。

## 19.4 EPD電源

### 19.4.1 EPD電源回路の構成

EPD駆動電圧 $V_{EPD}$ はEPD電源回路で生成され、EPDドライバへ送られます。図19.4.1.1にEPD電源回路の構成を示します。

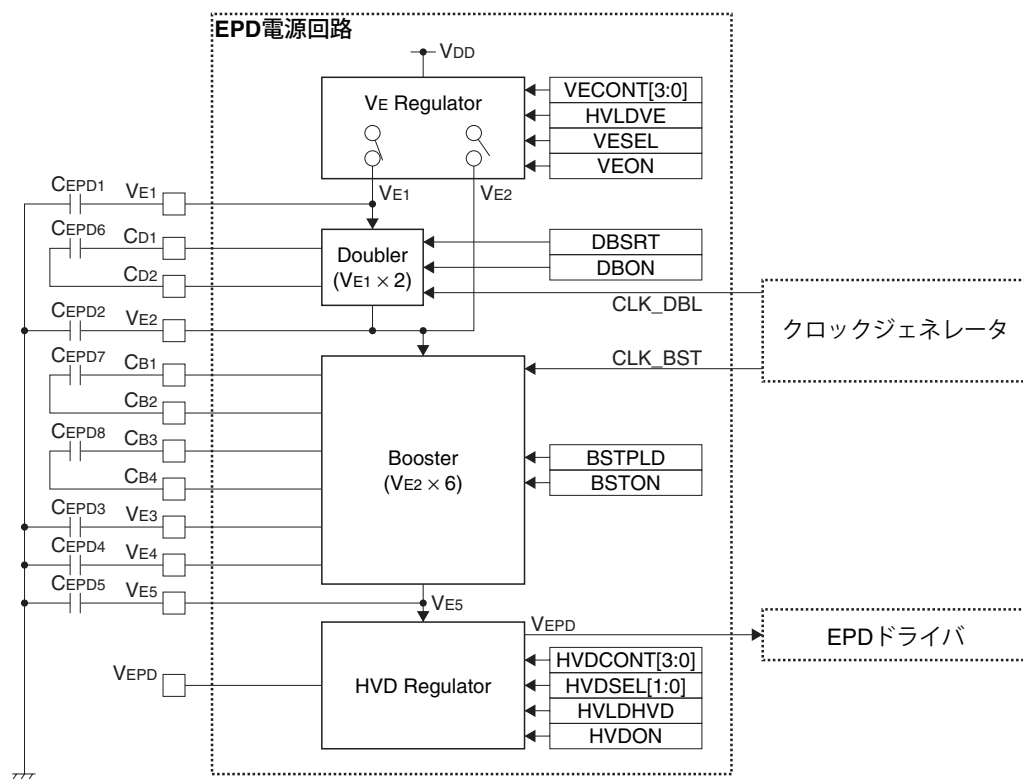


図19.4.1.1 EPD電源回路の構成

EPD電源回路は $V_E$  Regulator、2つの昇圧回路(Doubler、Booster)、HVD Regulatorで構成され、ソフトウェアによってそれぞれ個別に制御できるようになっています。EPD駆動電圧 $V_{EPD}$ の値は、“電気的特性”の章を参照してください。

## VE Regulator

VE Regulatorは電源電圧V<sub>DD</sub>から、EPDPWR0.VESELビットの設定に従って昇圧用基準電圧V<sub>E1</sub>またはV<sub>E2</sub>を生成します。この設定により、V<sub>EPD</sub>を生成する経路は以下の2系統になります。

### 1. 基準電圧 = V<sub>E1</sub>

V<sub>DD</sub> → [VE Regulator] → V<sub>E1</sub>(基準電圧) → [Doubler] → V<sub>E2</sub>(= 2V<sub>E1</sub>) → [Booster]  
→ V<sub>E5</sub>(= 6V<sub>E2</sub>) → [HVD Regulator] → V<sub>EPD</sub>

### 2. 基準電圧 = V<sub>E2</sub>

V<sub>DD</sub> → [VE Regulator] → V<sub>E2</sub>(基準電圧) → [Booster] → V<sub>E5</sub>(= 6V<sub>E2</sub>) → [HVD Regulator]  
→ V<sub>EPD</sub>

## Doubler

DoublerはVE Regulatorで発生させたV<sub>E1</sub>を2倍に昇圧してV<sub>E2</sub>を発生します。VE RegulatorでV<sub>E2</sub>を発生させる場合、Doublerは不要です。

なお、VE RegulatorでV<sub>E2</sub>を発生させる場合に、その出力に対するDoublerの影響を排除するため、Doublerの入力と出力を短絡させることができますようになっています。

## Booster

Boosterは、VE RegulatorまたはDoublerで発生させたV<sub>E2</sub>を6倍に昇圧してV<sub>E5</sub>を発生します。

また、EPDのOffレベルをソフトウェアで生成するため、Boosterの出力をV<sub>SS</sub>にプルダウンできるようになっています。

## HVD Regulator

HVD Regulatorは、Boosterで発生させたV<sub>E5</sub>を入力し、EPDの駆動電圧V<sub>EPD</sub>を発生します。このV<sub>EPD</sub>がEPDドライバに供給され、EPDの駆動波形が生成されます。V<sub>EPD</sub>出力値は、使用するEPDに合わせ、3種類から選択可能です。

### 19.4.2 EPDコントラストの調整

EPDのコントラストを調整するため、VE RegulatorとHVD Regulatorはそれぞれ出力電圧を16段階に切り換えられるようになっています。電圧値は“電気的特性”の章を参照してください。

### 19.4.3 重負荷保護モード

外付け負荷の駆動などによって電源電圧が変動した場合でもできるかぎり安定したEPD表示が行えるように、各Regulatorはソフトウェアで設定可能な重負荷保護機能を持っています。

V<sub>E</sub>およびHVD Regulatorの重負荷保護モードは、表示に濃淡が現れる場合などに設定してください。

注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

## 19.5 動作

### 19.5.1 初期設定

EPDCは、以下の手順により初期設定を行います。

1. 必要に応じ、EPDCの出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
2. クロックジェネレータから動作クロックを供給する(19.3.1節参照)。
3. EPDPWR0レジスタの以下のビットを設定する。
 

V <sub>E</sub> RegulatorでV <sub>E1</sub> を生成する場合	
- EPDPWR0.DBSRTビットを0に設定	(Doublер入出力間を短絡しない)
- EPDPWR0.DBONビットを1に設定	(DoublерをON)
- EPDPWR0.VECONT[3:0]ビット	(コントラスト初期値設定(V <sub>E1</sub> 電圧値調整))
- EPDPWR0.HVLDVEビット	(V <sub>E</sub> Regulator重負荷保護モード)
- EPDPWR0.VESELビットを0に設定	(V <sub>E1</sub> の生成を指定)
- EPDPWR0.VEONビットを1に設定	(V <sub>E</sub> RegulatorをON)
V <sub>E</sub> RegulatorでV <sub>E2</sub> を生成する場合	
- EPDPWR0.DBSRTビットを1に設定	(Doublер入出力間を短絡)
- EPDPWR0.DBONビットを0に設定	(DoublерをOFF)
- EPDPWR0.VECONT[3:0]ビット	(コントラスト初期値設定(V <sub>E2</sub> 電圧値調整))
- EPDPWR0.HVLDVEビット	(V <sub>E</sub> Regulator重負荷保護モード)
- EPDPWR0.VESELビットを1に設定	(V <sub>E2</sub> の生成を指定)
- EPDPWR0.VEONビットを1に設定	(V <sub>E</sub> RegulatorをON)
4. EPDPWR1レジスタの以下のビットを設定する。
 

- EPDPWR1.HVDCONT[3:0]ビット	(コントラスト初期値設定(V <sub>EPD</sub> 電圧値調整))
- EPDPWR1.HVDSEL[1:0]ビット	(V <sub>EPD</sub> 電圧値の選択)
- EPDPWR1.HVLDHVDビット	(HVD Regulator重負荷保護モード)
- EPDPWR1.HVDONビットを0に設定	(HVD RegulatorをOFF)
- EPDPWR1.BSTPLDビット	(Booster出力プルダウンの選択)
- EPDPWR1.BSTONビットを1に設定	(BoosterをON)
5. 35 ms以上待機する。(Booster出力安定待ち)
6. EPDPWR1.HVDONビットを1に設定 (HVD RegulatorをON)
7. 5 ms以上待機する。(V<sub>EPD</sub>出力安定待ち)
8. EPDCTLレジスタの以下のビットを設定する。
 

- EPDCTL.DISビット	(駆動端子のディスチャージ)
- EPDCTL.MODENビットを1に設定	(EPDCの動作をイネーブル)
9. EPDDSP.DIRCTLビットを設定する。(波形モード/ダイレクトモードの選択)
10. EPDPOS.PINPOS[1:0]ビットを設定する。(ドライバ出力端子割り当ての選択)
11. EPDTPBPEN.TPENビットと  
EPDTPBPEN.BPENビットを1に設定する。(TP/BP端子出力イネーブル)
12. EPDSEGENx.SEG[41:0]ENビットを設定する。(ESEG端子出力イネーブル/ディスエーブル)
13. 割り込みを使用する場合は、以下のビットを設定する。
 

- EPDINTF.DUPDIFビットに1を書き込む	(割り込みフラグをクリア)
- EPDINTE.DUPDIEビットを1に設定	(割り込みイネーブル)

## 19.5.2 動作モード

EPDCには2種類の動作モード(波形モード、ダイレクトモード)があり、EPDDSP.DIRCTLビットで切り換えることができます。

### 波形モード(EPDDSP.DIRCTLビット = 0)

表示更新のトリガが与えられると、EPDCは表示波形メモリにプログラムされている駆動波形を出力します。表示波形を生成するためにCPUを占有せずに済みます。表示波形のプログラミングに関しては、19.5.3節を参照してください。

### ダイレクトモード(EPDDSP.DIRCTLビット = 1)

セグメント、トッププレーン、バックプレーン端子の出力を直接プログラムで制御するためのモードです。波形の生成は、プログラムでリアルタイムに制御する必要があります。

## 19.5.3 表示波形メモリ

表示波形メモリは、波形モード時にEPDCが生成する駆動波形を設定しておくために使用します。表示波形メモリには、15ビットで構成されるタイミングセットを最大32個格納できます(タイミングセット0～タイミングセット31)。タイミングセット0は表示更新トリガが与えられたときに最初に出力される状態とその期間を表します。それ以降、波形が変化する状態をひとつずつ、タイミングセット1～ $n$ (Max. 31)としてプログラミングします。

1つのタイミングセットの構成は下表のとおりです。

表19.5.3.1 タイミングセットの内容

Bit	Bit name	内容
15	EOW (End Of Waveform)	波形の終了位置を指定します。EOWを1に設定したタイミングセットで波形の生成は終了し、次の表示更新トリガまで、出力はハイインピーダンスとなります。波形生成途中のタイミングセットのEOWは必ず0にしておきます。
14	-	0固定
13	HIZ (High Impedance)	セグメントおよびバックプレーン端子をハイインピーダンスに設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はハイインピーダンスになります(BB/BW/WB/WWの指定は無効)。0に設定するとBB/BW/WB/WWで指定されているレベルになります。
12	TP (Top Plane)	トッププレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のトッププレーン出力は $V_{EPD}$ レベル、0に設定すると $V_{SS}$ レベルになります。
11	BB (Black to Black)	表示更新時に表示が黒から黒になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力は $V_{EPD}$ レベル、0に設定すると $V_{SS}$ レベルになります。
10	BW (Black to White)	表示更新時に表示が黒から白になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力は $V_{EPD}$ レベル、0に設定すると $V_{SS}$ レベルになります。
9	WB (White to Black)	表示更新時に表示が白から黒になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力は $V_{EPD}$ レベル、0に設定すると $V_{SS}$ レベルになります。
8	WW (White to White)	表示更新時に表示が白から白になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力は $V_{EPD}$ レベル、0に設定すると $V_{SS}$ レベルになります。
7-0	INTV[7:0] (Interval)	タイミングセットの期間をCLK_EPDCのクロック数で指定します。 時間[s] = (INTV[7:0] + 1)/CLK_EPDC周波数

設定はタイミングセットごとに用意されているEPDWAVE0～EPDWAVE31レジスタで行います。各レジスタは上記の名称のビットで構成されています。

タイミングセットの設定内容と生成される波形の対応を、以下に簡単な例で示します。



表19.5.3.2 タイミングセット設定例

タイミングセット 番号(レジスタ)	EOW	-	HIZ	TP	BB	BW	WB	WW	INTV[7:0]
0 (EPDWAVE0)	0	0	0	0	0	0	0	0	0x1
1 (EPDWAVE1)	0	0	0	1	0	1	0	1	0x2
2 (EPDWAVE2)	0	0	0	0	0	0	1	1	0x0
3 (EPDWAVE3)	0	0	1	1	*	*	*	*	0x1
4 (EPDWAVE4)	1	0	0	0	0	0	0	0	0x3

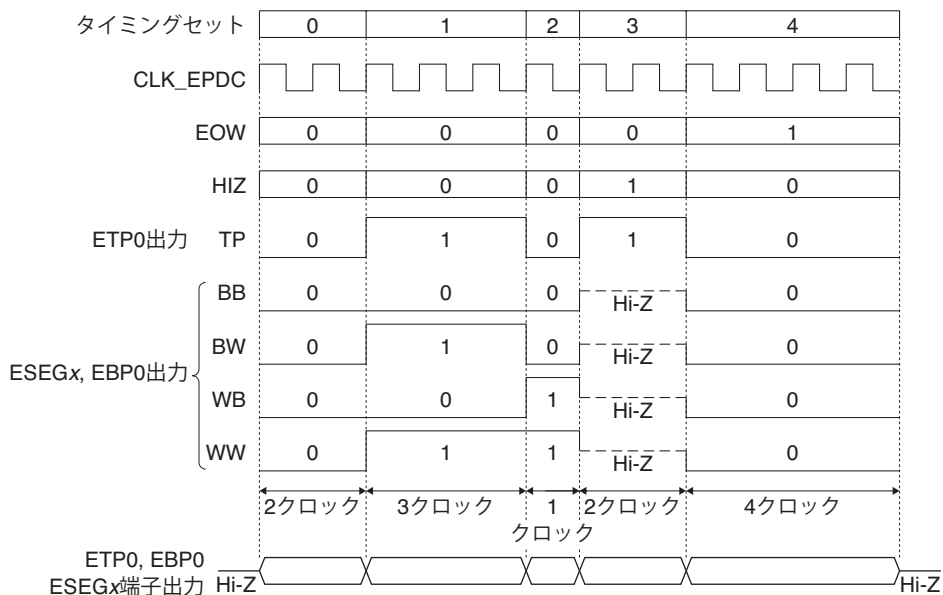


図19.5.3.1 表示波形の例(表19.5.3.2の設定に対応)

注: 表19.5.3.2と図19.5.3.1はあくまでも設定と波形の関係を示すための例で、実際のEPD駆動に使用されるものではありません。

## 19.5.4 表示データメモリ

EPDCは42ビット(セグメント出力用) + 2ビット(トッププレーンおよびバックプレーン出力用)の表示データメモリを内蔵しています。

セグメント出力データはEPDSEGX.SEG[41:0]ビット( $x = 0 \sim 2$ )に設定します。バックプレーン出力データはEPDTPBP.BPビットに設定します。1を書き込むと、波形モードでは黒の表示、ダイレクトモードではHIGH( $V_{EPD}$ )レベル出力に設定されます。0を書き込むと、波形モードでは白の表示、ダイレクトモードではLOW( $V_{SS}$ )レベル出力に設定されます。

トッププレーン出力データはEPDTPBP.TPビットに設定します。このビットはダイレクトモード時に有効で、1を書き込むとHIGH( $V_{EPD}$ )レベル出力、0を書き込むとLOW( $V_{SS}$ )レベル出力に設定されます。波形モードのトッププレーン出力は表示波形メモリの内容に従って制御されます。

EPDCは内部に現在の表示データと次に表示するデータの2つの表示データを持っており、両データを用いて各ESEG端子から出力する波形を決定します。波形モードで表示更新中以外であれば、EPDDSP.SELCURビットにより、現在または次の表示データのどちらを読み書きするかを指定可能です。

表示データメモリの内容は、表示更新トリガ(後述)を与えた時点で出力に反映されます。表示データメモリへの書き込みのみでは、表示は更新されません。

イニシャルリセット時、表示データメモリは0にクリアされます。

## 19.5.5 表示の制御(波形モード)

ここでは、波形モード時の表示の制御について説明します。表示を行う前に、表示波形メモリに駆動波形をプログラムしておく必要があります(19.5.3節参照)。

表示は図19.5.5.1に示すフローチャートのように制御します。

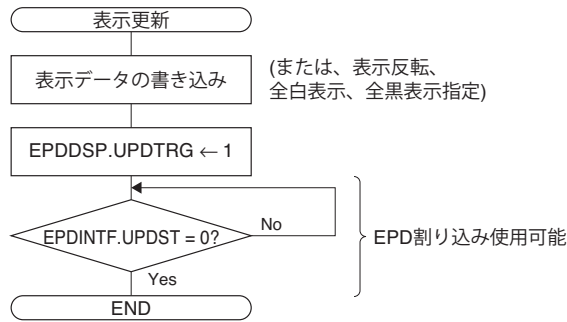


図19.5.5.1 波形モード時の表示制御

### 通常表示の制御

表示の更新は以下の手順で行います。

1. EPDDSP.SELCURビットを0に設定する。 (次回更新データへのアクセスを指定)
2. EPDINTF.UPDSTビット = 0を確認する。 (表示更新操作可能)
3. EPDTPBP.BPビットを設定する。 (バックプレーンデータを設定)
4. EPDSEGx.SEG[41:0]ビットを設定する。 (セグメントデータを設定)
5. EPDDSP.UPDTRGビットに1を書き込む。 (表示更新トリガを発行)

EPDCは表示データメモリの内容と現表示データに従って、表示波形メモリにプログラムされた駆動波形をセグメント、トッププレーン、バックプレーン端子から出力します。

4. EPDINTF.UPDSTビット = 1 → 0、または表示更新割り込み(EPDINTF.DUPDIFビット = 1)を待つ。 EPDINTF.UPDSTビットは表示更新トリガによって1となり、プログラムされている駆動波形の出力が終了すると0に戻ります。

- 注:
- ・ イニシャルリセット後の最初の表示更新時、EPDCは現表示データを0として駆動波形を生成します。
  - ・ ダイレクトモードで使用後に波形モードに切り換えて表示を行った場合、最初の更新時のみ表示が乱れる場合があります。

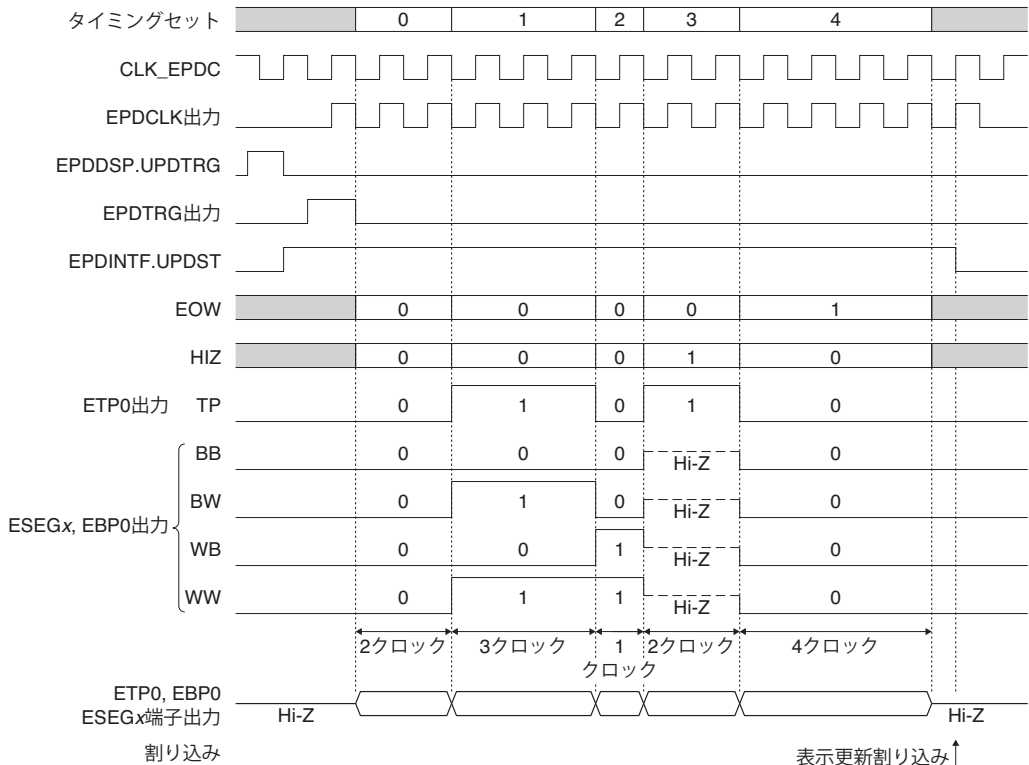


図19.5.5.2 波形出力例のタイミングチャート(表19.5.3.2の設定に対応)

## 表示の反転、全白、全黒表示の制御

波形モードでは、ソフトウェアによって表示データメモリを書き換えることなく、表示の反転、全白表示、全黒表示が行えます。この操作手順は次のとおりです。

1. EPDINTF.UPDSTビット = 0を確認する。 (表示更新操作可能)
2. EPDDSP.DSPMD[1:0]ビットを設定する。 (表示モードの指定)
3. EPDDSP.UPDTRGビットに1を書き込む。 (表示更新トリガを発行)

EPDDSP.UPDTRGビットに1を書き込むことで駆動波形が出力され、表示が変わります。

表19.5.5.1 表示モード

EPDDSP.DSPMD[1:0]ビット	表示モード	表示状態
0x3	全黒表示モード	表示データメモリの内容にかかわらず、EPDDSP.UPDTRGビットへの1書き込みによってすべて黒を表示した状態に更新されます。
0x2	全白表示モード	表示データメモリの内容にかかわらず、EPDDSP.UPDTRGビットへの1書き込みによってすべて白を表示した状態に更新されます。
0x1	反転表示モード	表示データメモリの1と0の意味が入れ替わります。つまり、このモードに設定した状態でEPDDSP.UPDTRGビットに1を書き込むと、1が書き込まれたビットに対応するセグメント/バックプレーンは白に、0が書き込まれたビットに対応するセグメント/バックプレーンは黒に更新されます。
0x0	通常モード	表示データメモリの内容に更新されます。

## 19.5.6 表示の制御(ダイレクトモード)

ここでは、ダイレクトモード時の表示の制御について説明します。表示の更新は図19.5.6.1に示すフローチャートのように制御します。

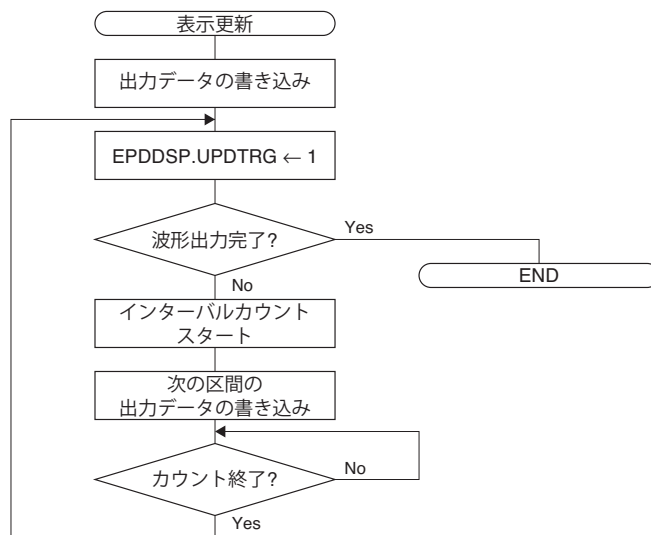


図19.5.6.1 ダイレクトモード時の表示制御

1. EPDINTF.UPDSTビット = 0を確認する。 (表示更新操作可能)
2. EPDTPBP.TPビットを設定する。 (トッププレーン出力レベルを設定)
3. EPDTPBP.BPビットを設定する。 (バックプレーン出力レベルを設定)
4. EPDSEGx.SEG[41:0]ビットを設定する。 (セグメント出力レベルを設定)

\* トッププレーン出力、セグメント/バックプレーン出力をハイインピーダンスにするには、それぞれEPDTPBP.TPHZビット、EPDTPBP.SEGHZビットに1を書き込みます。この場合、表示データメモリ内の設定は無効になります。

5. EPDDSP.UPDTRGビットに1を書き込む。 (表示更新トリガを発行)

EPDCは表示データメモリの内容を、セグメント、トッププレーン、バックプレーン端子から出力します。

6. タイマなどを使用し、現在のレベルの出力期間をカウントする。
7. カウントの間に、次の出力データを表示データメモリに書き込む(1~4)。
8. タイマ割り込みなどのカウントの完了を待つ。
9. 表示更新波形をすべて出力し終わった場合は終了する。  
表示更新波形の出力が完了していない場合は、5に戻る。

### 19.5.7 外部ドライバ用出力

外部EPDドライバを使用する場合に備え、EPDCにはタイミングクロック(EPDCLK)と表示更新トリガ信号(EPDTRG)を出力する機能があります。クロックはEPDCLK端子から、トリガ信号はEPDTRG端子から出力されます。この機能を使用するには、ポート機能選択ビットでこれらの出力を有効にしておく必要があります。それ以外、出力の制御は必要ありません。  
トリガ信号の出力タイミングは、図19.5.5.2を参照してください。

## 19.6 割り込み

EPDCには、表19.6.1に示す割り込みを発生させる機能があります。

表19.6.1 EPDCの割り込み機能

割り込み	割り込みフラグ	セット	クリア
表示更新	EPDINTF.DUPDIF	波形モードでの表示更新トリガによる駆動波形出力(EOWを設定したタイミングセットの出力)が終了するとき	1書き込み

割り込みフラグには、対応する割り込みイネーブルビットがあります。割り込みイネーブルビット = 1(割り込みイネーブル)の状態では割り込みフラグがセットされた場合にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

## 19.7 制御レジスタ

### EPDC Timing Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDTIMCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/W	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

**Bit 15-9 Reserved**

**Bit 8 DBRUN**

このビットは、DEBUGモード時にEPDCタイミングクロックを供給するかどうか設定します。  
1 (R/W): DEBUGモード時にクロックを供給  
0 (R/W): DEBUGモード時はクロック供給を停止

**Bit 7 Reserved**

**Bits 6-4 CLKDIV[2:0]**

これらのビットは、EPDCタイミングクロックの分周比を選択します。

**Bits 3-2 Reserved**

**Bits 1-0 CLKSRC[1:0]**

これらのビットは、EPDCのタイミングクロックソースを選択します。

表19.7.1 EPDCタイミングクロックソースと分周比の設定

EPDTIMCLK. CLKDIV[2:0]ビット	EPDTIMCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x7	1/16,384	1/128	1/16,384	1/1
0x6	1/8,192	1/64	1/8,192	
0x5	1/4,096	1/32	1/4,096	
0x4	1/2,048	1/16	1/2,048	
0x3	1/1,024	1/8	1/1,024	
0x2	1/512	1/4	1/512	
0x1	1/256	1/2	1/256	
0x0	1/128	1/1	1/128	

(注) 本ICが対応していない発振回路/外部入力クロックソースとして選択することはできません。

## EPDC Doubler Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDDBLCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/W	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

**Bits 15-9 Reserved**

**Bit 8 DBRUN**

このビットは、DEBUGモード時にEPD電源回路のDoubler動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

**Bit 7 Reserved**

**Bits 6-4 CLKDIV[2:0]**

これらのビットは、EPD電源回路のDoubler動作クロックの分周比を選択します。

**Bits 3-2 Reserved**

**Bits 1-0 CLKSRC[1:0]**

これらのビットは、EPD電源回路のDoublerのクロックソースを選択します。

表19.7.2 Doublerクロックソースと分周比の設定

EPDDBLCLK. CLKDIV[2:0]ビット	EPDDBLCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x7	Reserved	Reserved	Reserved	1/1
0x6				
0x5				
0x4	1/256		1/256	
0x3	1/128	1/8	1/128	
0x2	1/64	1/4	1/64	
0x1	1/32	1/2	1/32	
0x0	1/16	1/1	1/16	

(注) 本ICが対応していない発振回路/外部入力クロックソースとして選択することはできません。

## EPDC Booster Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDBSTCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/W	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

**Bits 15-9 Reserved**

**Bit 8 DBRUN**

このビットは、DEBUGモード時にEPD電源回路のBooster動作クロックを供給するか否かを設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

**Bit 7 Reserved**

**Bits 6-4 CLKDIV[2:0]**

これらのビットは、EPD電源回路のBooster動作クロックの分周比を選択します。

**Bits 3-2 Reserved**

**Bits 1-0 CLKSRC[1:0]**

これらのビットは、EPD電源回路のBoosterのクロックソースを選択します。

表19.7.3 Boosterクロックソースと分周比の設定

EPDBSTCLK. CLKDIV[2:0]ビット	EPDBSTCLK.CLKSRC[1:0]ビット			
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC
0x7	Reserved	Reserved	Reserved	1/1
0x6				
0x5	1/256	1/8	1/128	1/64
0x4				
0x3	1/128	1/8	1/128	1/32
0x2	1/64	1/4	1/64	1/16
0x1	1/32	1/2	1/32	1/16
0x0	1/16	1/1	1/16	1/16

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

## EPDC Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDCTL	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1	DIS	0	H0	R/W	
	0	MODEN	0	H0	R/W	

**Bits 15-2 Reserved**

**Bit 1 DIS**

このビットは、EPD駆動出力端子のディスチャージ動作をイネーブルにします。

1 (R/W): ディスチャージ動作イネーブル

0 (R/W): ディスチャージ動作ディスエーブル

このビットが1の場合、EPDの表示更新時以外はEPD駆動出力端子がプルダウンされてディスチャージ状態となります。0の場合、表示更新時以外はEPD駆動出力端子がハイインピーダンスとなります。表示更新中はこのビットの設定にかかわらずプルダウンは解除されません。

**Bit 0 MODEN**

このビットは、EPDCの動作をイネーブルにします。

1 (R/W): イネーブル(タイミングクロックを供給)

0 (R/W): ディスエーブル(タイミングクロックの供給を停止)

**EPDC Power Supply Control Register 0**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDPWR0	15-10	–	0x00	–	R	–
	9	DBSRT	0	H0	R/W	
	8	DBON	0	H0	R/W	
	7-4	VECONT[3:0]	0x0	H0	R/W	
	3	–	0	–	R	
	2	HVLDVE	0	H0	R/W	
	1	VESEL	0	H0	R/W	
	0	VEON	0	H0	R/W	

**Bits 15–10 Reserved****Bit 9 DBSRT**

このビットは、Doublerの入力～出力間を短絡します。

1 (R/W): 短絡

0 (R/W): オープン

Doublerを使用しない場合は、このビットを1に設定して、入力～出力間を短絡させてください。DoublerがON (EPDPWR0.DBONビット = 1)の場合は、このビットが1に設定されていても入力～出力間は短絡されません。

**Bit 8 DBON**

このビットは、DoublerをON/OFFします。

1 (R/W): Doubler ON

0 (R/W): Doubler OFF

**Bits 7–4 VECONT[3:0]**

このビットは、V<sub>E</sub> Regulatorの出力電圧値を切り換えて、EPDコントラストを調整します。

表19.7.4 V<sub>E</sub> Regulator出力レベルの設定(EPDコントラスト調整機能)

EPDPWR0.VECONT[3:0]ビット	V <sub>E</sub> Regulator出力レベル
0xf	レベル15 (高コントラスト)
:	:
0x0	レベル0 (低コントラスト)

電圧値は“電気的特性”の章を参照してください。

**Bit 3 Reserved****Bit 2 HVLDVE**

このビットは、V<sub>E</sub> Regulatorを重負荷保護モードに設定します。

1 (R/W): 重負荷保護ON

0 (R/W): 重負荷保護OFF

**Bit 1 VESEL**

このビットは、V<sub>E</sub> Regulatorの出力電圧(昇圧用基準電圧)を選択します。

1 (R/W): V<sub>E2</sub>

0 (R/W): V<sub>E1</sub>

V<sub>E</sub> RegulatorでV<sub>E1</sub>またはV<sub>E2</sub>のどちらを生成するか、V<sub>DD</sub>の値に応じて選択します。

表19.7.5 V<sub>E</sub> Regulator出力の選択

電源電圧V <sub>DD</sub>	EPDPWR0.VESELビット	V <sub>E</sub> Regulator出力
V <sub>DD</sub> ≥ V <sub>E1</sub> + 0.3 V	0	V <sub>E1</sub>
V <sub>DD</sub> ≥ V <sub>E2</sub> + 0.2 V	1	V <sub>E2</sub>

**Bit 0 VEON**

このビットは、V<sub>E</sub> RegulatorをON/OFFします。

1 (R/W): V<sub>E</sub> Regulator ON

0 (R/W): V<sub>E</sub> Regulator OFF

**EPDC Power Supply Control Register 1**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDPWR1	15-12	HVDCONT[3:0]	0x0	H0	R/W	-
	11-10	HVDSEL[1:0]	0x0	H0	R/W	
	9	HVLDHVD	0	H0	R/W	
	8	HVDON	0	H0	R/W	
	7-2	-	0x00	-	R	
	1	BSTPLD	0	H0	R/W	
	0	BSTON	0	H0	R/W	

**Bits 15-12 HVDCONT[3:0]**

これらのビットは、HVD Regulatorの出力電圧値を切り換えて、EPDコントラストを調整します。

表19.7.6 HVD Regulator出力レベルの設定(EPDコントラスト調整機能)

EPDPWR1.HVDCONT[3:0]ビット	HVD Regulator出力レベル
0xf	レベル15 (高コントラスト)
:	:
0x0	レベル0 (低コントラスト)

電圧値は“電気的特性”の章を参照してください。

**Bits 11-10 HVDSEL[1:0]**

これらのビットは、HVD Regulatorの出力(V<sub>EPD</sub>)電圧値を、使用するEPDに合わせて選択します。

表19.7.7 V<sub>EPD</sub>電圧値

EPDPWR1.HVDSEL[1:0]ビット	V <sub>EPD</sub> 電圧値
0x3	Reserved
0x2	9 V系
0x1	12 V系
0x0	15 V系

**Bit 9 HVLDHVD**

このビットは、HVD Regulatorを重負荷保護モードに設定します。

1 (R/W): 重負荷保護ON

0 (R/W): 重負荷保護OFF

**Bit 8 HVDON**

このビットは、HVD RegulatorをON/OFFします。

1 (R/W): HVD Regulator ON

0 (R/W): HVD Regulator OFF

注: HVD RegulatorをONしてから出力電圧V<sub>EPD</sub>が安定するまでに約5 msの時間を要します。この間は、EPDへの表示を開始しないでください。

**Bits 7-2 Reserved****Bit 1 BSTPLD**

このビットは、Boosterの出力をV<sub>SS</sub>にプルダウンします。

1 (R/W): プルダウンON

0 (R/W): プルダウンOFF

このプルダウン制御により、EPDのOFFレベルをソフトウェアで生成することができます。



**Bit 0 BSTON**

このビットは、BoosterをON/OFFします。

1 (R/W): Booster ON

0 (R/W): Booster OFF

注: BoosterをONしてから出力電圧 $V_{E5}$ が安定するまでに約35 msの時間を要します。この間は、HVD RegulatorをONしないでください。

**EPDC Display Control Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDDSP	15-8	-	0x00	-	R	
	7-6	-	0x0	-	R	
	5	SELCUR	0	H0	R/W	
	4	DIRCTL	0	H0	R/W	
	3-2	DSPMD[1:0]	0x0	H0	R/W	
	1	-	0	-	R	
	0	UPDTRG	0	H0	W	

**Bits 15-6 Reserved****Bit 5 SELCUR (波形モード)**

このビットは、表示データレジスタのアクセス先を選択します。

1 (R/W): 現在の表示データ

0 (R/W): 次の表示データ

現在の表示データへのアクセスは、波形モードでEPDINTF.UPDSTビット = 0の場合にのみ可能です。

**Bit 4 DIRCTL**

このビットは、EPDCを波形モードまたはダイレクトモードに設定します。

1 (R/W): ダイレクトモード

0 (R/W): 波形モード

**Bits 3-2 DSPMD[1:0] (波形モード)**

これらのビットは、波形モード時の表示モードを選択します。

表19.7.8 表示制御

EPDDSP.DSPMD[1:0]ビット	表示モード
0x3	全黒表示
0x2	全白表示
0x1	反転表示
0x0	通常表示

表示は、表示更新トリガ(EPDDSP.UPDTRGビット = 1)を発行した時点で切り換わります。

**Bit 1 Reserved****Bit 0 UPDTRG**

このビットは、表示更新を開始します。

1 (W): 表示更新トリガ

0 (W): 無効

注: EPDINTF.UPDSTビットが1の間、EPDDSP.UPDTRGビットへの1書き込みは無効となります。

## EPDC Pin Assignment Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDPOS	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1-0	PINPOS[1:0]	0x0	H0	R/W	

**Bits 15-2 Reserved**

**Bits 1-0 PINPOS[1:0]**

これらのビットは、ドライバ出力の端子割り当てを選択します(表19.2.2.1参照)。

## EPDC Interrupt Flag/Status Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDINTF	15-9	-	0x00	-	R	-
	8	UPDST	0	H0	R	
	7-1	-	0x00	-	R	
	0	DUPDIF	0	H0	R/W	

**Bits 15-9 Reserved**

**Bit 8 UPDST (波形モード)**

このビットは、波形モード時の表示更新動作状態を示します。

1 (R): 表示更新中

0 (R): 待機中

EPDDSP.UPDTRGビットに1を書き込んで表示更新動作を開始させるとEPDINTF.UPDSTビットが1となり、表示波形メモリにプログラムした駆動波形の出力(EOWを設定したタイミングセットの出力)が終了すると0に戻ります。

ダイレクトモード時はEPDINTF.UPDSTビットが無効となり、常に0が読み出されます。

注: EPDINTF.UPDSTビットが1の間は、表示データメモリの内容およびEPDDSP.DSPMD[1:0]ビットを変更しないでください。

**Bits 7-1 Reserved**

**Bit 0 DUPDIF**

このビットは、EPDC表示更新割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

## EPDC Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDINTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	DUPDIE	0	H0	R/W	

**Bits 15-1 Reserved**

**Bit 0 DUPDIE**

このビットは、EPDC表示更新割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

## EPDC Top/Back Plane Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDTPBP	15-10	–	0x00	–	R	–
	9	SEGHZ	0	H0	R/W	Effective only in direct mode
	8	TPHZ	0	H0	R/W	–
	7-5	–	0x0	–	R	–
	4	TP	0	H0	R/W	Effective only in direct mode
	3-1	–	0x0	–	R	–
	0	BP	0	H0	R/W	–

### Bits 15-10 Reserved

#### Bit 9 SEGHZ (ダイレクトモード)

このビットは、セグメント/バックプレーン出力をハイインピーダンスにします。

1 (R/W): ハイインピーダンス

0 (R/W): 通常出力

#### Bit 8 TPHZ (ダイレクトモード)

このビットは、トッププレーン出力をハイインピーダンスにします。

1 (R/W): ハイインピーダンス

0 (R/W): 通常出力

### Bits 7-5 Reserved

#### Bit 4 TP (ダイレクトモード)

このビットは、トッププレーン出力レベルを設定します。

1 (R/W): HIGHレベル

0 (R/W): LOWレベル

### Bits 3-1 Reserved

#### Bit 0 BP

このビットは、バックプレーンの表示データ/出力レベルを設定します。

1 (R/W): 黒(波形モード)/Highレベル(ダイレクトモード)

0 (R/W): 白(波形モード)/Lowレベル(ダイレクトモード)

注: 本レジスタの設定のみでは、表示は更新されません。EPDDSP.UPDTRGビットによる表示更新トリガが必要です。

## EPDC Segment Data Registers 0-2

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDSEG0	15-0	SEG[15:0]	0x0000	H0	R/W	–
EPDSEG1	15-0	SEG[31:16]	0x0000	H0	R/W	–
EPDSEG2	15-10	–	0x00	–	R	–
	9-0	SEG[41:32]	0x00	H0	R/W	–

### Bits 15-10 Reserved (EPDSEG2)

#### Bits 15(9)-0 SEGxx

各セグメントの表示データ/出力レベルを設定します。

1 (R/W): 黒(波形モード)/Highレベル(ダイレクトモード)

0 (R/W): 白(波形モード)/Lowレベル(ダイレクトモード)

注: データレジスタの設定のみでは、表示は更新されません。EPDDSP.UPDTRGビットによる表示更新トリガが必要です。

## EPDC Top/Back Plane Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDTPBPEN	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4	TPEN	1	H0	R/W	
	3-1	-	0x0	-	R	
	0	BPEN	1	H0	R/W	

### Bits 15-5 Reserved

#### Bit 4 TPEN

このビットは、トッププレーン端子出力をイネーブルにします。

1 (R/W): トッププレーン端子出力をイネーブル

0 (R/W): トッププレーン端子出力をディスエーブル

### Bits 3-1 Reserved

#### Bit 0 BPEN

このビットは、バックプレーン端子出力をイネーブルにします。

1 (R/W): バックプレーン端子出力をイネーブル

0 (R/W): バックプレーン端子出力をディスエーブル

トッププレーン/バックプレーン端子出力をディスエーブルにすると、端子は常にHi-Zとなります。

## EPDC Segment Enable Registers 0-2

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDSEGEN0	15-0	SEG[15:0]EN	0x0000	H0	R/W	-
EPDSEGEN1	15-0	SEG[31:16]EN	0x0000	H0	R/W	-
EPDSEGEN2	15-10	-	0x00	-	R	-
	9-0	SEG[41:32]EN	0x00	H0	R/W	

### Bits 15-10 Reserved (EPDSEGEN2)

#### Bits 15(9)-0 SEGxxEN

これらのビットは、ESEGxx端子出力をイネーブルにします。

1 (R/W): ESEGxx端子出力をイネーブル

0 (R/W): ESEGxx端子出力をディスエーブル

使用するESEGxx端子はこのビットで出力をイネーブルにしてください。使用しないESEGxx端子出力をディスエーブルにすると、それらの端子は常にハイインピーダンスとなり、無駄な消費電力を抑えることができます。

## EPDC Waveform Timing Set Registers 0-31

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
EPDWAVE0   EPDWAVE31	15	EOW	0	H0	R/W	-
	14	-	0	-	R	
	13	HIZ	0	H0	R/W	
	12	TP	0	H0	R/W	
	11	BB	0	H0	R/W	
	10	BW	0	H0	R/W	
	9	WB	0	H0	R/W	
	8	WW	0	H0	R/W	
	7-0	INTV[7:0]	0x00	H0	R/W	

これらのレジスタは波形モード時に使用する表示波形メモリの設定に使用します。詳細は、“19.5.3 表示波形メモリ”を参照してください。

**Bit 15 EOW**

このビットは、波形の終了位置を指定します。

1 (R/W): 終了位置

0 (R/W): 継続

EOWビットを1に設定したタイミングセットで波形の生成は終了し、次の表示更新トリガまで、出力はハイインピーダンスになります。波形生成途中のタイミングセットのEOWビットは必ず0にしておきます。

**Bit 14 Reserved**

**Bit 13 HIZ**

このビットは、セグメントおよびバックプレーン端子をハイインピーダンスに設定します。

1 (R/W): ハイインピーダンス

0 (R/W): HIGH/LOW出力

1に設定すると、そのタイミングセット期間内のセグメントおよびバックプレーン出力はハイインピーダンスになります(BB/BW/WB/WWの指定は無効)。0に設定するとBB/BW/WB/WWで指定されているレベルになります。

**Bit 12 TP**

このビットは、トッププレーン端子の出力波形を設定します。

1 (R/W): HIGH

0 (R/W): LOW

**Bit 11 BB**

このビットは、表示更新時に表示が黒から黒になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。

1 (R/W): HIGH

0 (R/W): LOW

**Bit 10 BW**

このビットは、表示更新時に表示が黒から白になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。

1 (R/W): HIGH

0 (R/W): LOW

**Bit 9 WB**

このビットは、表示更新時に表示が白から黒になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。

1 (R/W): HIGH

0 (R/W): LOW

**Bit 8 WW**

このビットは、表示更新時に表示が白から白になる場合のセグメントおよびバックプレーン端子の出力波形を設定します。

1 (R/W): HIGH

0 (R/W): LOW

**Bits 7-0 INTV[7:0]**

これらのビットは、タイミングセットの期間をCLK\_EPDCのクロック数で指定します。

$$\text{時間[s]} = (\text{INTV}[7:0] + 1) / \text{CLK\_EPDC周波数}$$

# 20 乗除算器(COPRO2)

## 20.1 概要

COPRO2は乗除算機能を提供するコプロセッサです。COPRO2の主な機能と特長を以下に示します。

- 乗算: 符号付き/符号なし乗算をサポート  
(16ビット×16ビット=32ビット)  
1サイクルで実行可能
- 積和演算(MAC): 符号付き/符号なし積和演算をサポート、オーバーフロー検出機能付き  
(16ビット×16ビット+32ビット=32ビット)  
1サイクルで実行可能
- 除算: 符号付き/符号なし除算をサポート  
(32ビット÷32ビット=32ビット、剰余=32ビット)  
17~20サイクルで実行可能  
オーバーフロー検出、ゼロ除算処理には未対応

図20.1.1にCOPRO2の構成を示します。

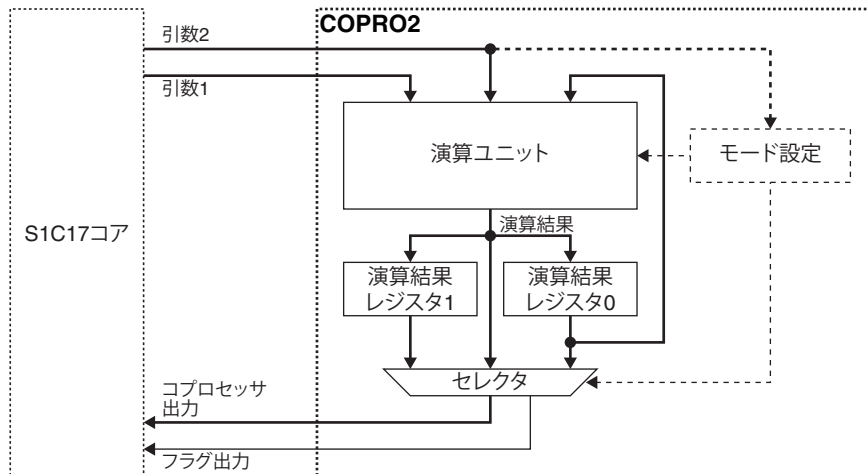


図20.1.1 COPRO2の構成

## 20.2 動作モードと出力モード

COPRO2はアプリケーションプログラムによって指定される動作モードに従って動作します。表20.2.1に示すとおり、COPRO2は11種類の動作に対応しています。

乗算、除算、積和演算の演算結果は32ビットデータです。このため、S1C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、COPRO2から演算結果レジスタ0または演算結果レジスタ1の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7ビットのデータをCOPRO2内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw %rd,%rs    %rs[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
ld.cw %rd,imm7  imm7[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
```

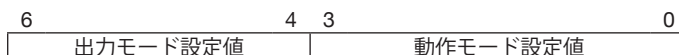


図20.2.1 モード設定レジスタ

表20.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード0 コプロセッサ出力として、演算結果レジスタ0の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタ0と1を0x0にクリアします。
0x1	上位16ビット出力モード0 コプロセッサ出力として、演算結果レジスタ0の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタ0の下位16ビットにロードします。
0x2	下位16ビット出力モード1 コプロセッサ出力として、演算結果レジスタ1の下位16ビットが読み出せます。	0x2	初期化モード2 演算用の32ビットデータを演算結果レジスタ0にロードします。
0x3	上位16ビット出力モード1 コプロセッサ出力として、演算結果レジスタ1の上位16ビットが読み出せます。	0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタ0と1のデータを出力します。
0x4~0x7	Reserved	0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	符号なし積和演算モード 符号なし積和演算を実行します。
		0x7	符号付き積和演算モード 符号付き積和演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
		0xa	初期化モード3 演算用の32ビットデータを演算結果レジスタ1にロードします。
0xb~0xf	Reserved		

## 20.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。  
乗算実行手順の一例を以下に示します。

1. モードを0x04(符号なし乗算、下位16ビット出力モード0)または0x05(符号付き乗算、下位16ビット出力モード0)に設定する。
2. 16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用してCOPRO2に転送する。
3. 演算結果の1/2(下位16ビット = A[15:0])とフラグの状態を読み出す。
4. モードを0x13(演算結果読み出し、上位16ビット出力モード0)に設定する。
5. 演算結果の残りの1/2(上位16ビット = A[31:16])を読み出す。

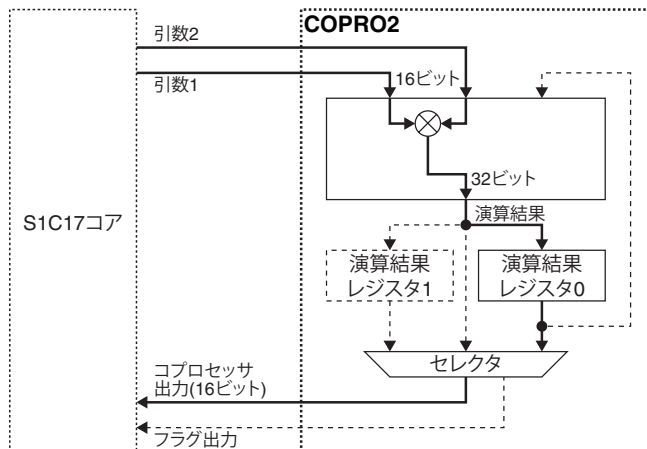


図20.3.1 乗算モードのデータ経路

表20.3.1 乗算モードの動作

モード設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd,%rs  (ext imm9) ld.ca %rd,imm7	res0[31:0] ← %rd × %rs %rd ← res0[15:0] %rd ← res0[15:0]	psr (CVZN) ← 0b0000	演算結果レジスタ0は他の演算によって再書き込みが行われるまで、演算結果を保持します。
0x14 または 0x15	ld.ca %rd,%rs  (ext imm9) ld.ca %rd,imm7	res0[31:0] ← %rd × %rs %rd ← res0[31:16] res0[31:0] ← %rd × imm7/16 %rd ← res0[31:16]		

res0: 演算結果レジスタ0

例:

```
ld.cw %r0,0x04 ; モード設定(符号なし乗算モード & 下位16ビット出力モード0)
ld.ca %r0,%r1 ; “res0[31:0] = %r0[15:0] × %r1[15:0]”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード0)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

## 20.4 除算

除算機能は、“A(32ビット) = B(32ビット) ÷ C(32ビット), D(32ビット) = 剰余”を実行します。除算実行手順の一例を以下に示します。

1. モードを0x02(初期化モード2)に設定する。
2. 32ビット被除数(B)を、“ld.cf”命令を使用して演算結果レジスタ0に設定する。
3. モードを0x08(符号なし除算、下位16ビット出力モード0)または0x09(符号付き除算、下位16ビット出力モード0)に設定する。
4. 32ビット除数(C)を、“ld.ca”命令を使用してCOPRO2に転送する。
5. 演算結果レジスタ0(商)の1/2(下位16ビット = A[15:0])とフラグの状態を読み出す。
6. モードを0x13(演算結果読み出し、上位16ビット出力モード0)に設定する。
7. 演算結果レジスタ0(商)の残りの1/2(上位16ビット = A[31:16])を読み出す。
8. モードを0x23(演算結果読み出し、下位16ビット出力モード1)に設定する。
9. 演算結果レジスタ1(剰余)の1/2(下位16ビット = D[15:0])を読み出す。
10. モードを0x33(演算結果読み出し、上位16ビット出力モード1)に設定する。
11. 演算結果レジスタ1(剰余)の1/2(上位16ビット = D[31:16])を読み出す。

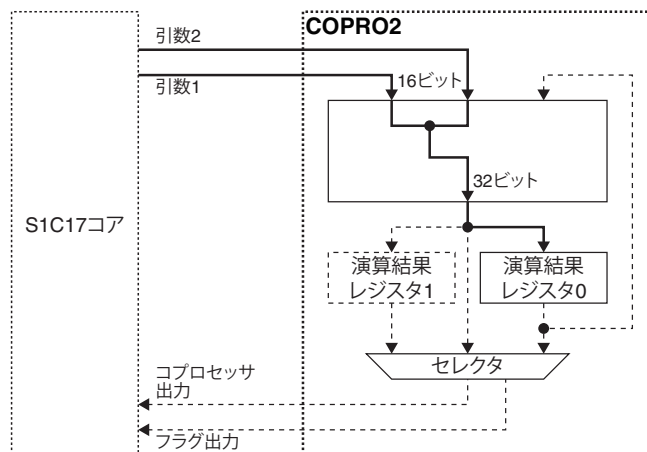


図20.4.1 初期化モード2のデータ経路



表20.4.1 演算結果レジスタ0の初期化(32ビット)

モード 設定値	命令	動作	備考
0x02	ld.cf %rd,%rs	res0[31:16] ← %rd res0[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res0[31:16] ← %rd res0[15:0] ← imm7/16	

res0: 演算結果レジスタ0

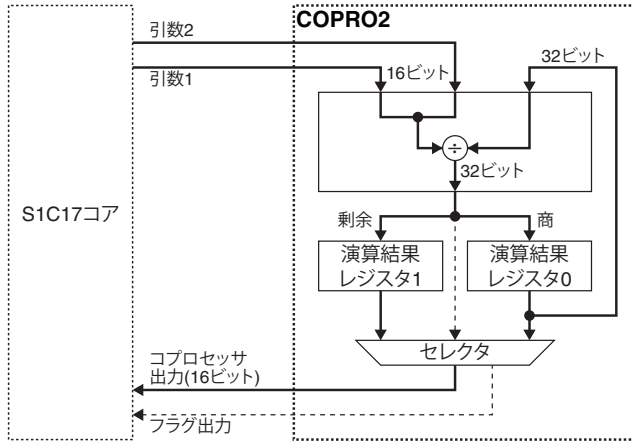


図20.4.2 除算モードのデータ経路

表20.4.2 除算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd,%rs	res0[31:0] ÷ {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[15:0](商)	psr (CVZN) ← 0b0000	演算結果レジスタ0と1は他の演算によって再書き込みが行われるまで、演算結果を保持します。  0 ÷ 0の除算には対応していません。
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ÷ {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[15:0](商)		
0x18 または 0x19	ld.ca %rd,%rs	res0[31:0] ÷ {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[31:16](商)		
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ÷ {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res0[31:16](商)		
0x28 または 0x29	ld.ca %rd,%rs	res0[31:0] ÷ {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[15:0](剰余)		
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ÷ {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[15:0](剰余)		
0x38 または 0x39	ld.ca %rd,%rs	res0[31:0] ÷ {%rd, %rs} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[31:16](剰余)		
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ÷ {%rd, imm7/16} res0[31:0] ← 商 res1[31:0] ← 剰余 %rd ← res1[31:16](剰余)		

res0: 演算結果レジスタ0、res1: 演算結果レジスタ1

例:

```
ld.cw %r0,0x02 ; モード設定(初期化モード2)
ld.cf %r0,%r1 ; 被除数{%r0,%r1}を、演算結果レジスタ0に設定
ld.cw %r0,0x08 ; モード設定(符号なし除算モード & 下位16ビット出力モード0)
ld.ca %r0,%r1 ; “res0[31:0](商), res1[31:0](剰余) = res0[31:0] ÷ {%r0[15:0], %r1[15:0]}”を実行し、
               結果(商)の下位16ビットを%r0レジスタにロード
ld.ca %r1,%r0 ; 結果(商)の下位16ビットを%r1レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード0)
ld.ca %r2,%r0 ; 結果(商)の上位16ビットを%r2レジスタにロード
ld.cw %r0,0x23 ; モード設定(演算結果読み出しモード & 下位16ビット出力モード1)
ld.ca %r3,%r0 ; 結果(剰余)の下位16ビットを%r3レジスタにロード
ld.cw %r0,0x33 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード1)
ld.ca %r4,%r0 ; 結果(剰余)の上位16ビットを%r4レジスタにロード
```

## 20.5 積和演算

積和演算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット}) + A(32\text{ビット})$ ”を実行します。  
積和演算実行手順の一例を以下に示します。

- 初期値(A)を演算結果レジスタ0に設定する。
  - 演算結果レジスタをクリア(A=0)する場合:  
モードを0x00(初期化モード0)に設定する(別の命令によるCOPRO2への0x00の転送は不要)。
  - 16ビット値を演算結果レジスタ0にロードする場合:  
モードを0x01(初期化モード1)に設定し、“ld.cf”命令で初期値(16ビット)をCOPRO2に送る。
  - 32ビット値を演算結果レジスタ0にロードする場合:  
モードを0x02(初期化モード2)に設定し、“ld.cf”命令で初期値(32ビット)をCOPRO2に送る。
- モードを0x06(符号なし積和演算、下位16ビット出力モード0)または0x07(符号付き積和演算、下位16ビット出力モード0)に設定する。
- 必要な回数、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用してCOPRO2に転送する。
- 演算結果の1/2(下位16ビット = A[15:0])とフラグの状態を読み出す。
- モードを0x13(演算結果読み出し、上位16ビット出力モード0)に設定する。
- 演算結果の残りの1/2(上位16ビット = A[31:16])を読み出す。

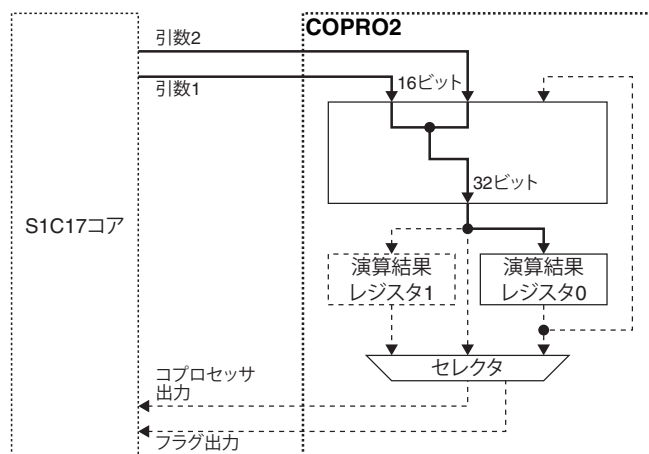


図20.5.1 初期化モード時のデータ経路

表20.5.1 演算結果レジスタ0の初期化

モード設定値	命令	動作	備考
0x00	-	res0[31:0] ← 0x0 res1[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x01	ld.cf %rd,%rs	res0[31:16] ← 0x0 res0[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res0[31:16] ← 0x0 res0[15:0] ← imm7/16	
0x02	ld.cf %rd,%rs	res0[31:16] ← %rd res0[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res0[31:16] ← %rd res0[15:0] ← imm7/16	

res0: 演算結果レジスタ0、res1: 演算結果レジスタ1

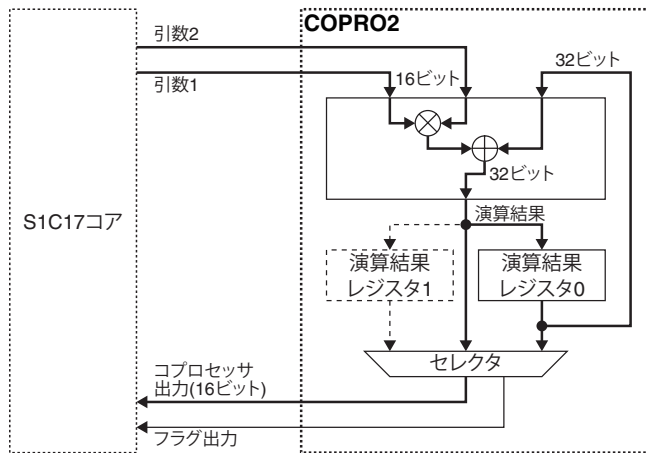


図20.5.2 積和演算モード時のデータ経路

表20.5.2 積和演算モードの動作

モード設定値	命令	動作	フラグ	備考
0x06 または 0x07	ld.ca %rd,%rs	res0[31:0] ← %rd × %rs + res0[31:0] %rd ← res0[15:0]	オーバーフローが発生した場合 psr (CVZN) ← 0b0100 それ以外 psr (CVZN) ← 0b0000	演算結果レジスタ0は他の演算によって書き込みが行われるまで、演算結果を保持します。オーバーフローは符号付き積和演算でのみ検出されず(符号なし積和演算では発生しません)。
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ← %rd × imm7/16 + res0[31:0] %rd ← res0[15:0]		
0x16 または 0x17	ld.ca %rd,%rs	res0[31:0] ← %rd × %rs + res0[31:0] %rd ← res0[31:16]		
	(ext imm9) ld.ca %rd,imm7	res0[31:0] ← %rd × imm7/16 + res0[31:0] %rd ← res0[31:16]		

res0: 演算結果レジスタ0

例:

- ld.cw %r0,0x00 ; モード設定(初期化モード0)、演算結果レジスタ0を0x0000にクリア
- ld.cw %r0,0x07 ; モード設定(符号付き積和演算モード & 下位16ビット出力モード0)
- ld.ca %r0,%r1 ; “res0[31:0] = %r0[15:0] × %r1[15:0] + res0[31:0]”を実行し、結果の下位16ビットを%r0レジスタにロード
- ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード0)
- ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード

## オーバーフローフラグ(V)のセット条件

符号付き積和演算で乗算結果の符号、演算結果レジスタの符号、および演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)が1にセットされます。

表20.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)がクリアされるまで、結果はコプロセッサ内に保持されます。

## オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)は、積和演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

## 20.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算、除算、積和演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、COPRO2を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

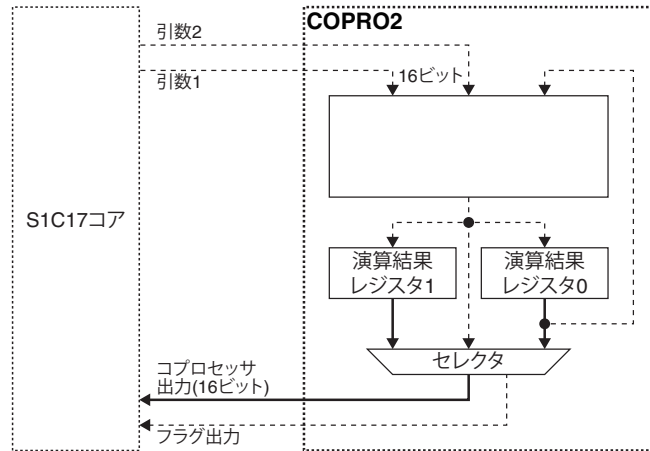


図20.6.1 演算結果読み出しモードのデータ経路

表20.6.1 演算結果読み出しモードの動作

モード設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd,%rs	%rd ← res0[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタ0と1に影響を与えません。
	ld.ca %rd,imm7	%rd ← res0[15:0]		
0x13	ld.ca %rd,%rs	%rd ← res0[31:16]		
	ld.ca %rd,imm7	%rd ← res0[31:16]		
0x23	ld.ca %rd,%rs	%rd ← res1[15:0]		
	ld.ca %rd,imm7	%rd ← res1[15:0]		
0x33	ld.ca %rd,%rs	%rd ← res1[31:16]		
	ld.ca %rd,imm7	%rd ← res1[31:16]		

res0: 演算結果レジスタ0、res1: 演算結果レジスタ1

# 21 独立型低パワーリアルタイムクロック(RTCLP)

## 21.1 概要

RTCLPは、CPUコアおよび他の周辺回路(以降MCUコア)とは独立して動作する周辺回路です。主な機能は以下のとおりです。

- 低パワーの専用発振回路を含むリアルタイムクロックを搭載
- 128バイトのバックアップ用RAMを搭載
- 2ビットの入出力ポートを搭載
- MCUコアへの電源供給を停止してRTCLPのみを動作させることにより、消費電力を低減可能
- RTCLPで発生する割り込みにより、MCUコアへの電源供給を再開可能
- RTCLPの制御レジスタは同期式シリアルインターフェース(SPIA)を介してアクセス

図21.1.1にRTCLPの構成とMCUコアの関係を、図21.1.2にリアルタイムクロックの構成を示します。

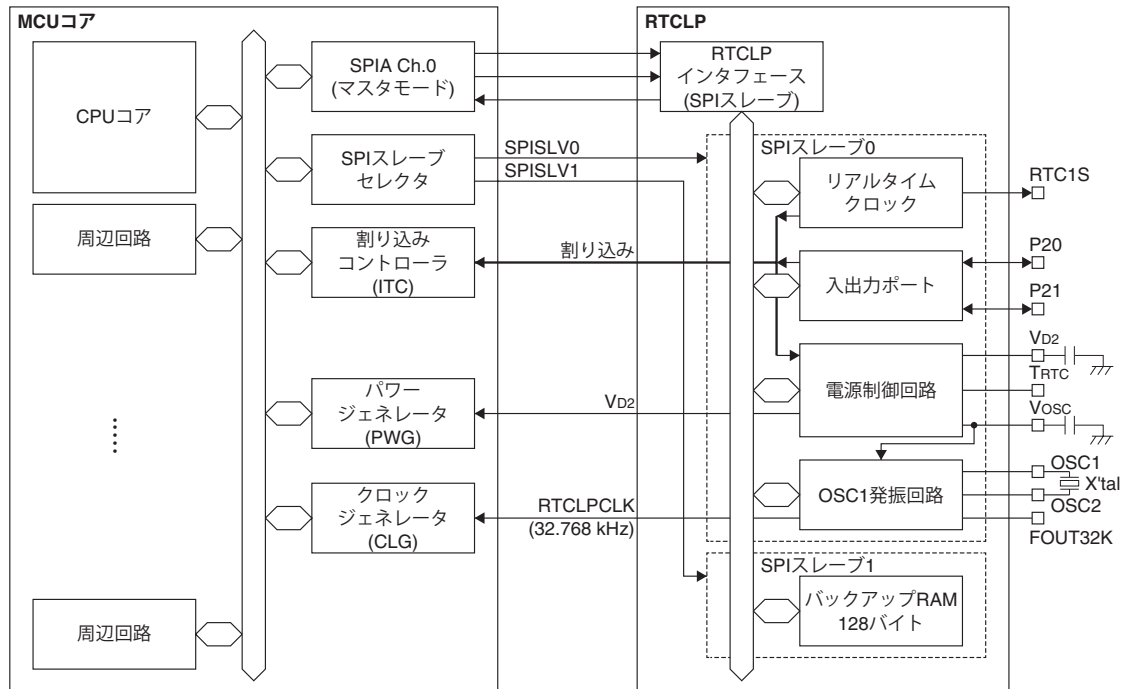


図21.1.1 RTCLPとMCUコア

## 21 独立型低パワーリアルタイムクロック(RTCLP)

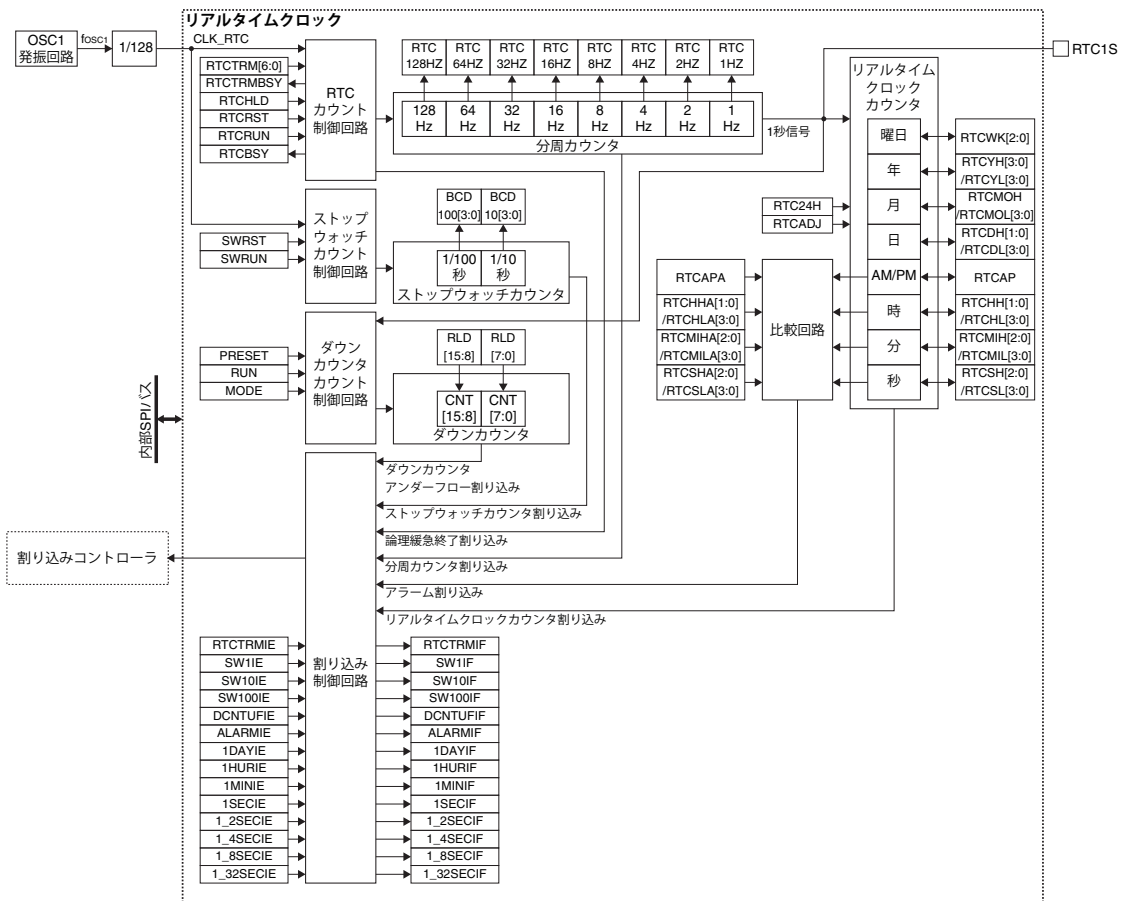


図21.1.2 リアルタイムクロックの構成

## 21.2 入出力端子

図21.2.1にRTCLPの端子一覧を示します。

表21.2.1 RTCLP端子一覧

端子名	I/O	イニシャル状態	機能
RTC1S	O*	O (L)*	1秒信号モニタ出力端子
P2[1:0]	I/O	Hi-Z	入出力兼用ポート
OSC1	A	-	OSC1発振回路入力
OSC2	A	-	OSC2発振回路出力
Vosc	P	-	Voscレギュレータ出力(OSC1発振回路用電源)
T <sub>RTC</sub>	A	-	テスト用出力端子(通常動作時はオープン)
V <sub>D2</sub>	A	-	MCUコア動作電源
FOUT32K	O*	O (L)*	クロック外部出力1(32 kHzクロック出力)

\* 端子機能を切り換えた時点の状態

RTCLPの入出力機能と他の機能がポートを共有している場合、RTCLPの機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

## 21.3 RTCLPの動作クロック

RTCLPは32.768 kHzの水晶発振回路(OSC1発振回路)を内蔵しており、イニシャル時には発振状態に設定されます。RTCLPの各機能は、OSC1発振回路から出力されるクロックで動作します。

## 21.4 動作

### 21.4.1 RTCLPレジスタへのアクセス方法

RTCLPは、本MCUの同期式シリアルインタフェース(SPIA Ch.0)に接続された2つのSPIスレーブデバイス(SPIスレーブ0と1)として機能します。RTCLPへのアクセスにはSPIAとSPIスレーブセクタ(SPISLV\_SEL)を使用します。

表21.4.1.1にRTCLPのメモリマップを示します。

注: RTCLPはS1C17のメモリ空間から独立しており、CPU命令によって直接アクセスすることはできません。

表21.4.1.1 RTCLPのメモリマップ

SPIスレーブ No.	RTCLPアドレス	割り付け機能
0	0x00-0x0f	リアルタイムクロック
	0x10-0x1f	
	0x20-0x2f	RTC電源制御回路
	0x30-0x3f	入出力ポート
	0x40-0x4f	OSC1発振回路
	0x50-0x5f	-
	0x60-0x6f	
	0x70-0x7f	
1	0x00-0x0f	バックアップRAM
	0x10-0x1f	
	0x20-0x2f	
	0x30-0x3f	
	0x40-0x4f	
	0x50-0x5f	
	0x60-0x6f	
	0x70-0x7f	

#### SPIスレーブセクタ(SPISLV\_SEL)

SPIスレーブデバイス(0または1)を選択するために、MCUコアの周辺回路エリアにSPIスレーブセクタ(SPISLV\_SEL)が用意されています。SPISLV\_SELのSPISLVSEL.SLV[2:0]ビットで内部のSPIスレーブセレクト信号を制御します。

#### SPIAによるアクセス方法

ここでは、SPIAとRTCLP間の通信プロトコルを説明します。SPIAの制御方法については、“同期式シリアルインタフェース(SPIA)”の章を参照してください。

#### SPIAの設定

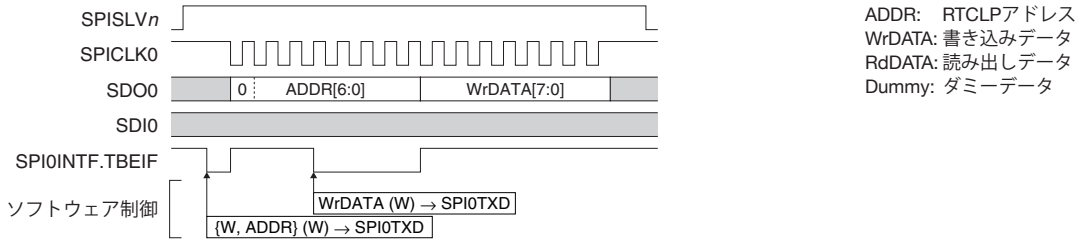
RTCLPをアクセスするには、SPIA Ch.0を下記のとおり設定します。

- マスタ/スレーブモード: マスタモード
- データ長: 8ビット
- データフォーマット: MSB先頭
- クロック位相/極性: CPHA = 1, CPOL = 1
- ボーレート: 150 kbps

### ライトアクセス

RTCLPへのデータ書き込み動作を図21.4.1.1に示します。

#### 1. 単一バイトの書き込み



#### 2. 複数バイトの連続書き込み

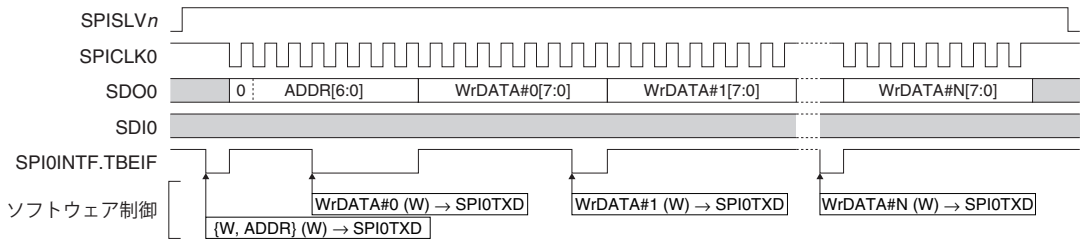
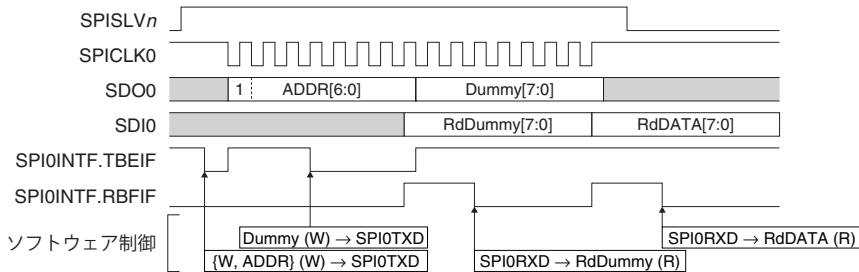


図21.4.1.1 データライト動作

### リードアクセス

RTCLPからのデータ読み出し動作を図21.4.1.2に示します。

#### 1. 単一バイトの読み出し



#### 2. 複数バイトの連続読み出し

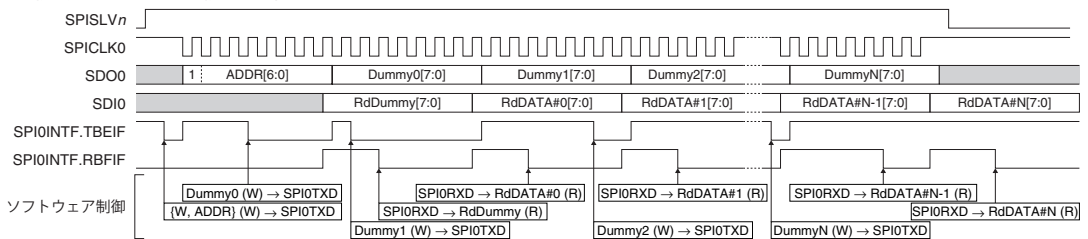


図21.4.1.2 データリード動作

### 自動アドレスインクリメント

8ビットデータの書き込み/読み出しごとに、アクセスするアドレスは自動的にインクリメントされます。ただし、連続書き込み/読み出しによりアドレスの下位4ビットがインクリメントにより0xfから0x0に変わった場合でも、アドレスの上位3ビットはインクリメントされません。書き込み/読み出し動作はアドレスの上位3ビットを固定したまま続きます。



## 21.4.2 リアルタイムクロック機能

RTCLPは、パーペチュアルカレンダー機能を備えたリアルタイムクロックを搭載しています。リアルタイムクロックは、OSC1発振回路が出力したクロックから分周カウンタによってRTCIS信号(1秒信号)を生成し、この信号をリアルタイムクロックカウンタでカウントします。リアルタイムクロックカウンタは秒、分、時、AM/PM、日、月、年、曜日カウンタで構成され、BCDコードで日時の読み出し/書き込みが行えます。

日時の設定と読み出し方法、その他の機能は以下のとおりです。

### 日時設定

1. RTCCTL.RTC24Hビットを設定する。 (12Hモード/24Hモードを設定)
2. RTCCTL.RTCRUNビットに1を書き込む。 (リアルタイムクロックカウンタをスタート)
3. RTCCTL.RTCBSYビット = 0(カウンタ書き換え可能)を確認する。  
RTCCTL.RTCBSYビット = 1ならば、0になるまで待つ。
4. 以下のビットに、現在の日付と時刻をBCDコードで書き込む。  
RTCSEC.RTCSH[2:0]/RTCSL[3:0]ビット(秒)  
RTCMIN.RTCMIH[2:0]/RTCMIL[3:0]ビット(分)  
RTCHUR.RTCHH[1:0]/RTCHL[3:0]ビット(時)  
RTCHUR.RTCAPビット(AM/PM) (RTCCTL.RTC24Hビット = 0の場合)  
RTCDAY.RTCDH[1:0]/RTCDL[3:0]ビット(日)  
RTCMON.RTCMOH/RTCMOL[3:0]ビット(月)  
RTCYAR.RTCYH[3:0]/RTCYL[3:0]ビット(年)  
RTCWK.RTCWK[2:0]ビット(曜日)
5. 時報に合わせてRTCCTL.RTCADJビットに1を書き込み(30秒補正を実行)、時刻を合わせる。  
(30秒補正については、“30秒補正”参照)
6. RTCINTF1レジスタ内の割り込みフラグに1を書き込む。 (割り込みフラグをクリア)
7. RTCINTE1レジスタの割り込みイネーブルビットを1に設定する。 (割り込みイネーブル)

### 日時読み出し

1. RTCCTL.RTCBSYビット = 0を確認する。  
RTCCTL.RTCBSYビット = 1ならば、0になるまで待つ。
2. RTCCTL.RTCHLDビットに1を書き込む。 (リアルタイムクロックカウンタを一時停止)
3. 上記“時刻設定の4”に示したビットから日時を読み出す。
4. RTCCTL.RTCHLDビットに0を書き込む。 (リアルタイムクロックカウンタの動作を再開)  
カウントホールド中に秒のカウントアップタイミングになっていた場合は、ハードウェアにより+1秒補正が行われます(+1秒補正については、“+1秒補正”参照)。

### うるう年検出

うるう年検出は西暦専用です。0~99年の中で、4で割り切れる年はうるう年と判定します。年カウンタ = 0x00の場合は平年と判断します。うるう年と判定された場合、2月の日カウンタのカウント範囲が変わります。

### 30秒補正

時報合わせを想定した機能です。RTCCTL.RTCADJビットに1が書き込まれると、秒カウンタが30~59秒までの場合は分カウンタに1を加算し、0~29秒の場合は分カウンタをそのまま秒カウンタを0にします。

### +1秒補正

RTCCTL.RTCHLDビット = 1の間(カウントホールド中)に1秒のカウントアップタイミングが来ていた場合は、このビットに0を書き込んでカウントを再開した時点で、リアルタイムクロックカウンタを+1秒カウントアップ(+1秒補正)します。

注: RTCCTL.RTCHLDビット = 1の間に2回以上1秒のカウントアップタイミングが来ていた場合でも、+1秒しか補正されません。

### 有効範囲外の値をセットした場合の補正動作

年、曜日、時(24Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップで0にクリアされます。月、日、時(12Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップタイミングで1にセットされます。

注: RTCMON.RTCMOHビット = 0 & RTCMON.RTCMOL[3:0]ビット = 0x0の設定を禁止します。

## 21.4.3 アラーム機能

リアルタイムクロックには、指定の時刻に割り込みを発生させるアラーム機能があります。アラームの設定は以下の手順により行います。

1. RTCINTE2.ALARMIEビットを0に設定する。 (アラーム割り込みをディスエーブル)
2. 以下のビットに、アラーム時刻(現在時刻から24時間先までの範囲で指定可能)をBCDコードで書き込む。  
RTCALM1.RTCSHA[2:0]/RTCSLA[3:0]ビット(秒)  
RTCALM2.RTCMIHA[2:0]/RTCMILA[3:0]ビット(分)  
RTCALM3.RTCHHA[1:0]/RTCHLA[3:0]ビット(時)  
RTCALM3.RTCAPAビット(AM/PM) (RTCCTL.RTC24Hビット = 0の場合)
3. RTCINTF2.ALARMIFビットに1を書き込む。 (アラーム割り込みフラグをクリア)
4. RTCINTE2.ALARMIEビットを1に設定する。 (アラーム割り込みイネーブル)  
2で設定した時刻になるとアラーム割り込みが発生します。

## 21.4.4 ストップウォッチ機能

リアルタイムクロックは、BCDコードで表された、1/100秒カウントを実現するストップウォッチカウンタを内蔵しています。ストップウォッチのカウント開始とカウンタの読み出しは、以下の手順により行います。

### カウント開始

1. RTCSWCTL.SWRSTビットに1を書き込む。 (ストップウォッチカウンタをリセット)
2. RTCINTF2レジスタ内の割り込みフラグに1を書き込む。 (ストップウォッチ割り込みフラグをクリア)
3. RTCINTE2レジスタの割り込みイネーブルビットを1に設定する。 (ストップウォッチ割り込みイネーブル)
4. RTCSWCTL.SWRUNビットに1を書き込む。 (ストップウォッチカウンタをスタート)

### カウンタ読み出し

1. RTCSWCNT.BCD10[3:0]/BCD100[3:0]ビットからカウント値を読み出す。
2. もう一度読み出す。
  - i. 値が同じ場合は正しく読み出せたと判断する。
  - ii. 値が異なる場合は更にもう一度読み出し、前の値と比較する。

### ストップウォッチのカウントアップパターン

ストップウォッチは、1/100秒と1/10秒のカウンタを搭載しており、図21.4.4.1で示すようなカウントアップパターンで疑似的な1/100秒と1/10秒カウントアップを行います。

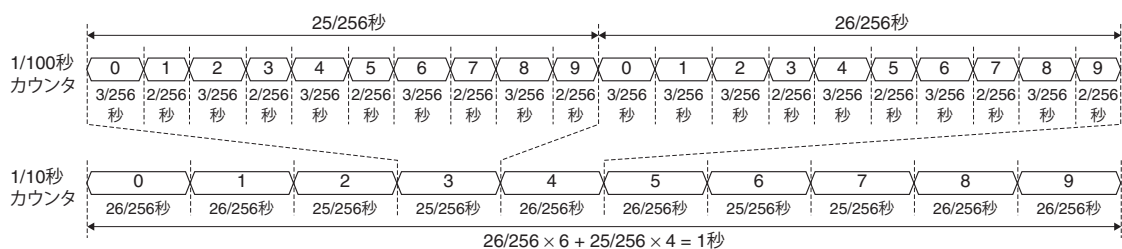


図21.4.4.1 ストップウォッチのカウンタアップパターン

## 21.4.5 ダウンカウンタ機能

リアルタイムクロックは、秒単位(1~65,536秒間隔)の周期割り込みを発生可能な16ビットプリセットブルダウンカウンタを内蔵しています。

ダウンカウンタのカウンタ開始とカウンタの読み出しは、以下の手順により行います。

### カウンタ開始

1. RTCDCNTMOD.MODEビットを設定する。  
(動作モード(リピートモード/ワンショットモード)の設定)
2. RTCDCNTRLDLおよびRTCDCNTRLDHレジスタを設定する。  
(リロードデータ(カウンタプリセットデータ)の設定)
3. RTCINTF2.DCNTUFIFビットに1を書き込む。(ダウンカウンタ割り込みフラグをクリア)
4. RTCINTE2.DCNTUFIEビットを1に設定する。(ダウンカウンタ割り込みイネーブル)
5. RTCDCNTCTLレジスタの以下のビットを設定する。
  - RTCDCNTCTL.PRESETビットを1に設定 (リロードデータをカウンタにプリセット)
  - RTCDCNTCTL.RUNビットを1に設定 (カウントスタート)

RTCDCNTCTL.RUNビットを1に設定すると、ダウンカウンタはプリセットされたリロードデータの値から1秒信号でカウントダウンを行います。カウンタにアンダーフローが発生すると割り込みフラグをセットするとともに、リロードデータを再度カウンタにプリセットします。

### カウンタ読み出し

1. RTCDCNTH.CNT[15:8]およびRTCDCNTL.CNT[7:0]ビットからカウント値を読み出す。
2. もう一度読み出す。
  - i. 値が同じ場合は正しく読み出せたと判断する。
  - ii. 値が異なる場合は更にもう一度読み出し、前の値と比較する。

### ダウンカウンタの動作モード

ダウンカウンタはリピートモードとワンショットモードの2種類の動作モードを持っています。

#### リピートモード

RTCDCNTMOD.MODEビットを0に設定すると、ダウンカウンタはリピートモードになります。リピートモードでは、RTCDCNTCTL.RUNビットに1を書き込み後、0を書き込むまでカウント動作を継続します。カウンタがアンダーフローした時点でリロードデータがプリセットされるので、一定の周期で割り込みを発生させることができます。アンダーフロー周期は、[リロードデータ + 1[秒]]です。

#### ワンショットモード

RTCDCNTMOD.MODEビットを1に設定すると、タイマはワンショットモードになります。ワンショットモードでは、RTCDCNTCTL.RUNビットへの1書き込みによりカウント動作を開始後、カウンタがアンダーフローした時点で、リロードデータをプリセットしてカウント動作を停止します。これと同時に、RTCDCNTCTL.RUNビットは自動的にクリアされます。

## 21.4.6 論理緩急機能

OSC1周波数 $f_{osc1}$ が、32.768 kHzに対して発振周波数偏差を持つ場合、時計は誤差を生じます。リアルタイムクロックは、この誤差を外付け部品の変更なしに補正する論理緩急機能を搭載しています。論理緩急は、以下の手順で行います。

1.  $f_{osc1}$ を測定し、発振周波数偏差の補正值 $m$  [ppm] =  $-(f_{osc1} - 32,768 \text{ [Hz]}) / 32,768 \text{ [Hz]} \times 10^6$ を求める。
2. 論理緩急実行間隔  $n$ 秒を決める。
3. 1と2からRTCTRMCTL.RTCTRM[6:0]ビットへ書き込む値を決定する。
4. RTCのアラーム割り込みや秒割り込みを利用し、 $n$ 秒間隔でRTCTRMCTL.RTCTRM[6:0]ビットへ3で決めた値を書き込む。
5. RTC1S信号をモニタし、 $n$ 秒の周期が、誤差のない周期になっているかを確認する。

論理緩急の調整値は-64~+63の範囲で設定可能で、RTCTRMCTL.RTCTRM[6:0]ビットには2の補数として書き込みます。調整値は式21.1で計算できます。

$$\text{RTCTRM}[6:0] = \frac{m}{10^6} \times 256 \times n \quad (\text{式21.1})$$

(ただし、RTCTRM[6:0]は-64~+63の整数へ四捨五入した値)

ここで

- n: 論理緩急実行間隔 [秒](ソフトウェアで定期的にRTCTRMCTL.RTCTRM[6:0]ビットに書き込む間隔)
- m: OSC1発振周波数偏差の補正值 [ppm]

RTC1S信号の波形を図21.4.6.1に示します。

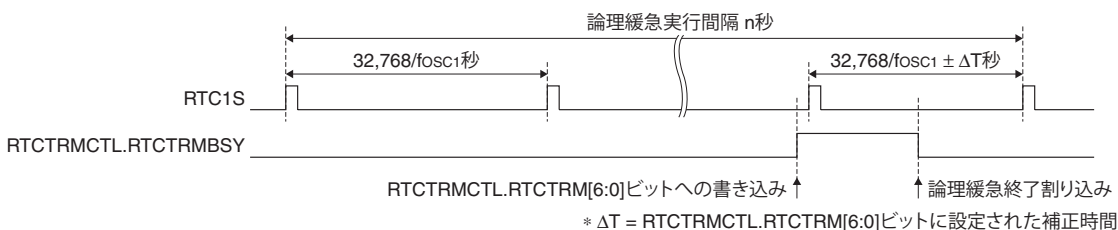


図21.4.6.1 RTC1S信号波形

例として、論理緩急実行間隔  $n = 4,096$ 秒のときの、発振周波数偏差の補正率を表21.4.6.1に示します。

表21.4.6.1 論理緩急実行間隔  $n = 4,096$ 秒時の補正率

RTCTRMCTL.RTCTRM[6:0]ビット(2の補数)	補正值(10進数)	補正率 [ppm]	RTCTRMCTL.RTCTRM[6:0]ビット(2の補数)	補正值(10進数)	補正率 [ppm]
0x00	0	0.0	0x40	-64	-61.0
0x01	1	1.0	0x41	-63	-60.1
0x02	2	1.9	0x42	-62	-59.1
0x03	3	2.9	0x43	-61	-58.2
...	...	...	...	...	...
0x3e	62	59.1	0x7e	-2	-1.9
0x3f	63	60.1	0x7f	-1	-1.0

最小分解能: 1 ppm, 補正率幅: -61.0~60.1 ppm

注: 論理緩急は、リアルタイムクロックカウンタ、分周カウンタ、ダウンカウンタに影響を与え、ストップウォッチカウンタには影響を与えません。

- 値がRTCTRMCTL.RTCTRM[6:0]ビットに書き込まれると、分周カウンタが0x7fに変わるタイミングで分周カウンタのカウント値が論理緩急を反映した値に変化します。また、カウント値に応じた割り込みが発生します。

### 21.4.7 電源制御機能

RTCLPは、MCUコアの電源をON/OFFする電源制御機能を持っています。

- MCUコア用動作電圧 $V_{D2}$ をOFF可能
- RTCLPの割り込みにより $V_{D2}$ をONにしてMCUコアを再起動可能

#### MCUコア電源供給停止

MCUコアへの電源供給を停止する手順は以下のとおりです。

1. MCUコアの周辺回路の動作を停止する。
2. MCUコアを再起動させるRTCLPの割り込みをイネーブルにする。
3. SPIAを介し、PWRCTL.MCUPDビットに1を書き込む。(MCUコア動作電圧OFF)

PWRCTL.MCUPDビットに1を書き込むと、最初にMCUコアに対してリセットがかかります。その約1 ms後に $V_{D2}$ の供給が停止し、CPUコアおよびRTCLP以外の周辺回路が停止します。MCUコアの電源停止中も、RTCLPの動作に必要な動作電圧 $V_{osc}$ の供給は継続します。

#### MCUコア電源復帰

RTCLPの割り込みが発生すると、 $V_{D2}$ レギュレータは起動シーケンスを開始します。その約15 ms後にMCUコアに対するリセットが解除され、CPUコアおよびRTCLP以外の周辺回路が再起動します。

### 21.4.8 入出力ポート機能

RTCLP内の入出力ポートはP20とP21の2ポートで構成されます。これらのポートはGPIO機能と割り込み機能を持っています。

制御レジスタの構成とアクセス方法を除き、ポートの機能はMCUコアの入出力ポートと同様です。詳細は、“入出力ポート”の章を参照してください。

注: 本章に記載のポート名およびビット名の $y$ (P2 $y$ 等)はポート番号( $y = 0, 1$ )を表します。

### 21.4.9 OSC1発振回路制御機能

RTCLPは、32.768 kHz水晶振動子を使用する低パワーのOSC1発振回路を内蔵しています。

OSC1発振回路は以下の機能を持っています。

- 発振回路用電源  
OSC1発振専用の電源回路で、レギュレータおよび基準電流源を備えています。基準電流値およびレギュレータの駆動能力、負荷電流をレジスタにて設定可能です。
- 発振インバータ  
ゲインコントロール型の発振インバータ、帰還抵抗、およびドレイン抵抗を内蔵しているため、水晶振動子以外の外付け部品を必要としません。また、ゲートとドレインに可変の容量を内蔵しており、使用する水晶振動子に応じて負荷容量値を調整することが可能です。
- 発振停止検出回路  
水晶振動子の発振状態をモニタし、自動的に発振インバータのゲインを制御します。また、発振停止を検出すると、リセット回路に対してリセット要求を発行します。これにより不安定な発振によるMCUの誤動作を防ぎます。

図21.4.9.1にOSC1発振回路の構成を示します。

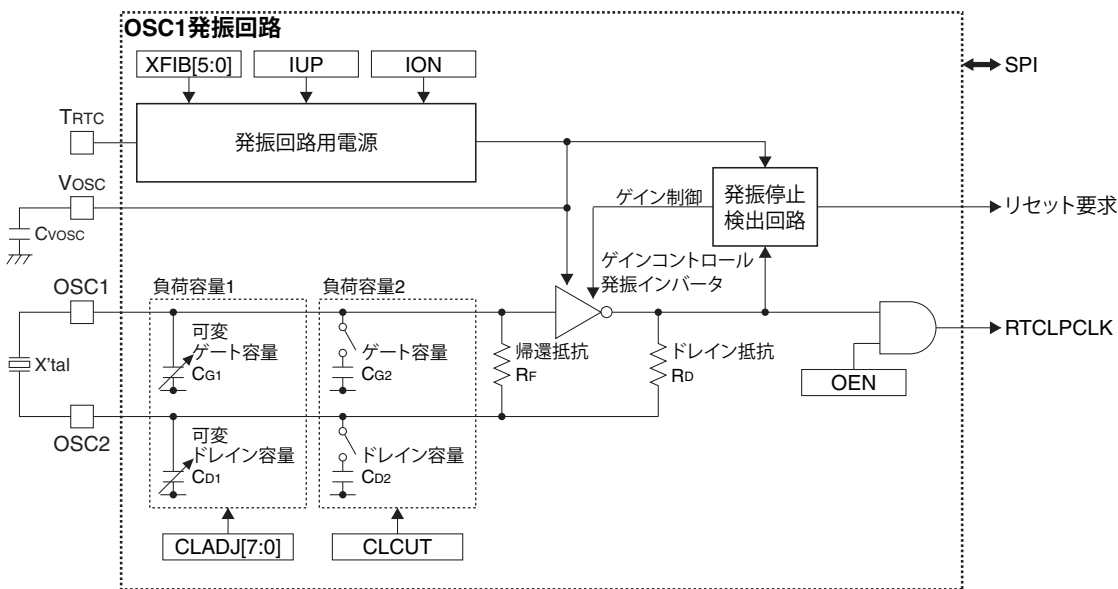


図21.4.9.1 OSC1発振回路の構成

推奨部品に関しては“基本外部結線図”の章、発振特性については“電気的特性”の章の“OSC1発振回路特性”を参照してください。

## 初期設定

使用する水晶振動子の特性に合わせ、以下の設定を行います。

- 以下のビットでOSC1発振回路用電源を制御する。
  - VOSCCTL.IONビットを1に設定 (Voscレギュレータ負荷電流制御)
  - VOSCCTL.IUPビットを0に設定 (Voscレギュレータ駆動能力制御)
  - VOSCCTRL.XFIB[5:0]ビットにクロックジェネレータのCLGOSC1TRM.XFIB[5:0]ビットの読み出し値を設定 (Voscレギュレータ基準電流調整)
- 以下のビットで発振インバータを制御する。
  - OSC1CL2.CL CUTビットを1に設定 (負荷容量2接続)
  - OSC1CL1.CLADJ[7:0]ビットを実装基板での評価結果に合わせて設定 (負荷容量1周波数調整)

注: OSC1発振回路の初期設定前にリアルタイムクロックの設定を行わないでください。

## MCUコアへのRTCLPCLK供給の停止/再開

OSC1発振回路は常に動作し、初期状態ではMCUコアにRTCLPCLKが供給されるように設定されます。RTCLPのみを動作させる場合などは、次の手順でMCUコアへのRTCLPCLK供給を停止することができます。

- MCUコアの周辺回路およびクロックジェネレータでOSC1CLKの使用を中止する。
- CLGOSC.OSCIENビットを0に設定する。 (MCUコアへのRTCLPCLK入力ディスエーブル)
- F32KCTL.OENビットを0に設定する。 (RTCLPからのRTCLPCLK出力ディスエーブル)

MCUコアへのRTCLPCLKの供給を再開する場合は、以下の手順で制御してください。

- F32KCTL.OENビットを1に設定する。 (RTCLPからのRTCLPCLK出力カインエーブル)
- CLGOSC.OSCIENビットを1に設定する。 (MCUコアへのRTCLPCLK入力カインエーブル)

OSC1発振回路は、MCUコアがSLEEPモードになっても停止しません。

F32KCTL.OENビットの設定にかかわらず、リアルタイムクロックには常に動作クロックが供給されます。

## FOUT32K出力

RTCLPCLKはF32KCTL.OENビット = 1の間、FOUT32K端子から外部に出力されます。この周波数モニタ機能を使用するには、FOUT32K出力が割り当てられた入出力ポート端子の機能をFOUT32Kに切り換えてください。

### 21.4.10 バックアップRAM機能

RTCLPは、MCUコア停止中に表示データなど各種情報を格納しておくためのバックアップRAMを内蔵しています。

- 容量: 128バイト
- アドレス: SPIスレーブ1 0x0~0x7f (RAM物理アドレス0x0~0x7f)

バックアップRAMは、リセット要求によっては初期化はされません。バックアップRAMに特定の値を書き込んでおくことで、電源投入直後かリセットの直後かを区別をすることができます。

#### アクセス上の注意事項

自動アドレスインクリメント機能の制限(RTCLPアドレスの上位3ビットはインクリメントされず固定)により、バックアップRAMの連続リード/ライトは1回につき最大16バイトです。

## 21.5 割り込み

RTCLPには、表21.5.1に示す割り込みを発生させる機能があります。

表21.5.1 RTCLPの割り込み機能

割り込み	割り込みフラグ	セット	クリア
アラーム	RTCINTF2.ALARMIF	RTCALM1~3レジスタとリアルタイムクロックカウンタの内容が一致したとき	1書き込み
1日	RTCINTF1.1DAYIF	日カウンタがカウントアップしたとき	1書き込み
1時間	RTCINTF1.1HURIF	時カウンタがカウントアップしたとき	1書き込み
1分	RTCINTF1.1MINIF	分カウンタがカウントアップしたとき	1書き込み
1秒	RTCINTF1.1SECF	秒カウンタがカウントアップしたとき	1書き込み
1/2秒	RTCINTF1.1_2SECF	図21.5.1参照	1書き込み
1/4秒	RTCINTF1.1_4SECF	図21.5.1参照	1書き込み
1/8秒	RTCINTF1.1_8SECF	図21.5.1参照	1書き込み
1/32秒	RTCINTF1.1_32SECF	図21.5.1参照	1書き込み
ストップウォッチ 1 Hz	RTCINTF2.SW1IF	1/10秒カウンタがオーバーフローしたとき	1書き込み
ストップウォッチ 10 Hz	RTCINTF2.SW10IF	1/10秒カウンタがカウントアップしたとき	1書き込み
ストップウォッチ 100 Hz	RTCINTF2.SW100IF	1/100秒カウンタがカウントアップしたとき	1書き込み
ダウンカウンタ アンダーフロー	RTCINTF2. RTCDCNTUFIF	ダウンカウンタがアンダーフローしたとき	1書き込み
論理緩急終了	RTCINTF2.RTCTRMIF	論理緩急が終了したとき	1書き込み
P2ポート入力割り込み	P2INTF.P2IFy (PINTFGRP.P2INT) *	入力信号の立ち上がりまたは立ち下がりエッジ P2ポートグループ内の割り込みフラグのセット	1書き込み P2INTF.P2IFy のクリア

\* このビットはMCUコアの制御レジスタに割り付けられています。

## 21 独立型低パワーリアルタイムクロック(RTCLP)

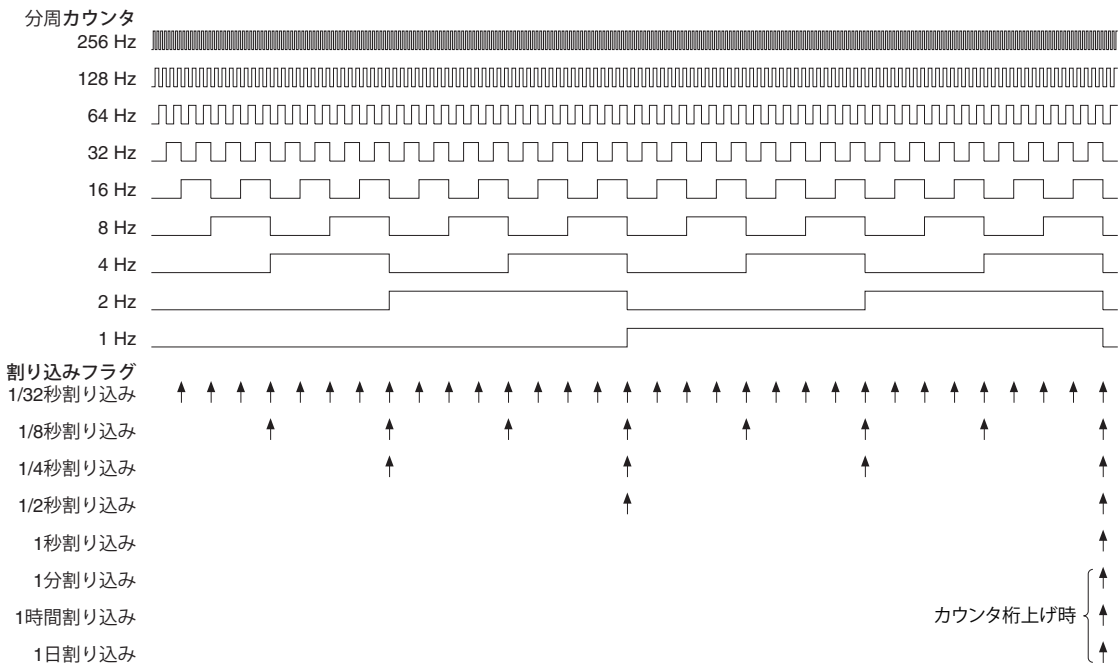


図21.5.1 リアルタイムクロック割り込みタイミング

注: • 1秒~1/32秒割り込みは、分周カウンタのカウント値の変化から1/256秒後に発生します。

- アラーム割り込みは、AM/PM(12Hモード時)、時、分、秒カウンタの値とアラーム設定値が一致してから1/256秒後に発生します。

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

P2ポート入力割り込みの詳細は、“入出力ポート”の章を参照してください。

### MCUコア動作中(WRCTL.MCUPDビット = 0)の割り込み

発生した割り込み要求は即時割り込みコントローラに送られ、他の割り込みと同様に処理されます。

### MCUコア停止中(WRCTL.MCUPDビット = 1)の割り込み

MCUコアが停止中にRTC割り込みが発生すると、電源制御回路のPWRCTL.MCUPDビットが0にクリアされ、MCUコアが再起動します。RTC割り込みをPWRCTL.MCUPDビットのクリアに使用する場合も、対応する割り込みイネーブルビットを1に設定しておく必要があります。

MCUコア停止中に発生した割り込み要求は、MCUコアが再起動した後に割り込みコントローラに受け付けられます(CPUコアと割り込みコントローラで割り込み許可の設定が必要)。



## 21.6 制御レジスタ

### SPI Slave Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPISLVSEL	15-8	-	0x00	-	R	-
	7-3	-	0x00	-	R	
	2-0	SLV[2:0]	0x0	H0	R/W	

**Bits 15-3 Reserved**

**Bits 2-0 SLV[2:0]**

これらのビットは、アクセスするRTCLPのSPIスレーブデバイスを選択します。

表21.4.1.2 SPIスレーブデバイスの選択

SPISLVSEL.SLV[2:0]ビット	スレーブデバイス
0b100	設定禁止
0b*10	SPIスレーブ1
0b**1	SPIスレーブ0
0b000	選択なし

SPIAによるRTCLPへのアクセスを開始する前に、アクセスするSPIスレーブを本レジスタで選択してください。

SPISLVSEL.SLV[2:0]ビットでSPIスレーブを選択すると、内部SPIスレーブセレクト信号(SPISLV $n$ )がアクティブになります。そのスレーブセレクト信号をネゲートするには、SPISLVSEL.SLV[2:0]ビットで他のSPIスレーブを選択するか、SPISLVSEL.SLV[2:0]ビットを0b000に設定します。

## 21.7 RTCLP内部制御レジスタ

RTCLP内部のレジスタは、S1C17のメモリ空間から独立したアドレスを持っています。アクセス方法については、“21.4.1 RTCLPレジスタへのアクセス方法”を参照してください。

表21.7.1にRTCLPのレジスタマップを示します。

表21.7.1 RTCLPレジスタマップ

周辺回路	アドレス	レジスタ名	
リアルタイムクロック	0x00	RTCCTL	RTC Control Register
	0x01	RTCTRMCTL	RTC Trimming Control Register
	0x03	RTCALM1	RTC Second Alarm Register
	0x04	RTCALM2	RTC Minute Alarm Register
	0x05	RTCALM3	RTC Hour Alarm Register
	0x06	RTCSWCTL	RTC Stopwatch Control Register
	0x07	RTCSWCNT	RTC Stopwatch Counter Register
	0x08	RTCDIV	RTC Divider Register
	0x09	RTCSEC	RTC Second Register
	0x0a	RTCMIN	RTC Minute Register
	0x0b	RTCHUR	RTC Hour Register
	0x0c	RTCDAY	RTC Day Register
	0x0d	RTCMON	RTC Month Register
	0x0e	RTCYAR	RTC Year Register
	0x0f	RTCWK	RTC Week Register
	0x10	RTCINTF1	RTC Interrupt Flag Register 1
	0x11	RTCINTF2	RTC Interrupt Flag Register 2
	0x12	RTCINTE1	RTC Interrupt Enable Register 1
	0x13	RTCINTE2	RTC Interrupt Enable Register 2
	0x18	RTCDCNTCTL	RTC Down Counter Control Register
	0x19	RTCDCNTMOD	RTC Down Counter Mode Register
	0x1a	RTCDCNTRLDL	RTC Down Counter Lower Reload Data Register
	0x1b	RTCDCNTRLDH	RTC Down Counter Upper Reload Data Register
	0x1c	RTCDCNTL	RTC Down Counter Lower Data Register
0x1d	RTCDCNTH	RTC Down Counter Upper Data Register	

## 21 独立型低パワーリアルタイムクロック(RTCLP)

周辺回路	アドレス	レジスタ名	
電源制御回路	0x20	PWRCTL	Power Control Register
P2入出力ポート	0x30	P2IN	P2 Port Input Data Register
	0x31	P2OUT	P2 Port Output Data Register
	0x32	P2OEN	P2 Port Output Enable Register
	0x33	P2IEN	P2 Port Input Enable Register
	0x34	P2REN	P2 Port Pull-up/down Enable Register
	0x35	P2PDP	P2 Port Pull-up/down Select Register
	0x36	P2INTF	P2 Port Interrupt Flag Register
	0x38	P2INTE	P2 Port Interrupt Enable Register
	0x39	P2IEDGE	P2 Port Interrupt Edge Select Register
	0x3a	P2CHATEN	P2 Port Chattering Filter Enable Register
	0x3c	P2MODESEL	P2 Port Mode Select Register
	0x3e	P2FNCSEL0	P2 Port Function Select Register 0
	OSC1発振回路	0x40	OSC1CL1
0x41		OSC1CL2	OSC1 Load Capacitance 2 Control Register
0x42		VOSCCTL	Vosc Regulator Control Register
0x43		VOSCTRIM	Vosc Reference Current Adjustment Register
0x44		F32KCTL	RTCLPCLK Control Register

## RTC Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCCTL	7	-	0	-	R	-
	6	RTCBSY	0	H0	R	-
	5	RTCHLD	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.
	4	RTC24H	0	H0	R/W	-
	3	-	0	-	R	-
	2	RTCADJ	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.
	1	RTCST	0	H0	R/W	-
	0	RTCUN	0	H0	R/W	-

**Bit 7**      **Reserved**

**Bit 6**      **RTCBSY**

このビットは、カウンタが桁上げ動作中かどうかを示します。

1 (R):      桁上げ中

0 (R):      待機中(リアルタイムクロックカウンタ書き換え可能)

このビットは、1秒カウントアップ、+1秒補正、30秒補正動作時に1となり、1/256秒の間1を保持した後0に戻ります。

**Bit 5**      **RTCHLD**

このビットは、リアルタイムクロックカウンタのカウントアップを停止します。

1 (R/W):    リアルタイムクロックカウンタのカウントアップ停止

0 (R/W):    通常動作

このビットに1を書き込むとリアルタイムクロックカウンタのカウントアップが停止し、カウンタを変化させずに値を正しく読み出すことができます。カウンタ読み出し後は速やかに0を書き込んでカウントアップを再開させます。

これらの操作のタイミングによっては、カウントアップ再開後に+1秒補正が発生します。+1秒補正については、“リアルタイムクロックカウンタの動作”を参照してください。

注: RTCTRMCTL.RTCTRMBSYビット = 1の場合、このビットに1を書き込むことはできません(0に固定されます)。

**Bit 4**      **RTC24H**

このビットは、時カウンタを24Hモードまたは12Hモードに設定します。

1 (R/W):    24Hモード

0 (R/W):    12Hモード

この選択により、時カウンタのカウント範囲が変わります。ただし、カウンタの値は自動的に更新されませんので、プログラムで設定し直す必要があります。

注: RTCCTL.RTCRUNビット = 1のときの書き込みは禁止します。

**Bit 3      Reserved**

**Bit 2      RTCADJ**

このビットは、時刻調整機能の30秒補正を実行します。

- 1 (W): 30秒補正実行
- 0 (W): 無効
- 1 (R): 30秒補正実行中
- 0 (R): 30秒補正終了(通常動作中)

RTCCTL.RTCRUNビット = 0のときでも、1が書き込まれると30秒補正は実行され、該当する割り込みが発生します。補正には最大2/256秒の時間がかかり、終了すると自動的に0にクリアされます。30秒補正については、“リアルタイムクロックカウンタの動作”を参照してください。

- 注
- RTCCTL.RTCBSYビット = 1のときの書き込みは禁止します。
  - RTCCTL.RTCADJビット = 1のときは、再度1を書き込まないでください。

**Bit 1      RTCRST**

このビットは、分周カウンタ、RTCCTL.RTCADJビット、RTCCTL.RTCHLDビットを初期化します。

- 1 (W): リセット実行
- 0 (W): 無効
- 1 (R): リセット実行中
- 0 (R): リセット終了(通常動作中)

リセットが終了すると、自動的に0にクリアされます。

**Bit 0      RTCRUN**

このビットは、リアルタイムクロックカウンタの開始/停止を制御します。

- 1 (R/W): 動作中/開始制御
- 0 (R/W): 停止中/停止制御

0書き込みによって動作中のリアルタイムクロックカウンタを停止させた場合、カウンタは停止時の値を保持します。再度1を書き込むことで、カウンタは保持している値からカウントを再開します。

## RTC Trimming Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCTRMCTL	7	RTCTRMBSY	0	H0	R	–
	6–0	RTCTRM[6:0]	0x00	H0	W	Read as 0x00.

**Bit 7      RTCTRMBSY**

このビットは、論理緩急を実行中かどうかを示します。

- 1 (R): 論理緩急実行中
- 0 (R): 論理緩急終了(実行中以外)

RTCTRMCTL.RTCTRM[6:0]ビットに値が書き込まれると、1になります。論理緩急の実行には、最大で1秒の時間がかかります。論理緩急が終了すると、自動的に0にクリアされます。

**Bits 6–0      RTCTRM[6:0]**

1 Hzの周波数を調整するための補正値をここに書き込み、論理緩急を実行します。補正値の計算方法は、“論理緩急機能”を参照してください。

## 21 独立型低パワーリアルタイムクロック(RTCLP)

- 注: ・ RTCTRMCTL.RTCTRMBSYビット = 1の場合、これらのビットに値を書き込むことはできません。
- ・ RTCTRMCTL.RTCTRM[6:0]ビットに0x00を書き込んだ場合、RTCTRMCTL.RTCTRMBSYビットは1になりますが、補正は行われません。

### RTC Second Alarm Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCALM1	7	–	0	–	R	–
	6–4	RTCSHA[2:0]	0x0	H0	R/W	
	3–0	RTCSLA[3:0]	0x0	H0	R/W	

**Bit 7**      **Reserved**

**Bits 6–4**   **RTCSHA[2:0]**

**Bits 3–0**   **RTCSLA[3:0]**

RTCALM1.RTCSHA[2:0]ビットでアラームの10秒桁を、RTCALM1.RTCSLA[3:0]ビットで1秒桁を設定します。表21.7.2に示すとおり、0から59秒までの値をBCDコードで設定可能です。

表21.7.2 BCDコードの設定例

BCDコードの設定値		アラーム(秒)設定
RTCALM1.RTCSHA[2:0]ビット	RTCALM1.RTCSLA[3:0]ビット	
0x0	0x0	00秒
0x0	0x1	01秒
...	...	...
0x0	0x9	09秒
0x1	0x0	10秒
...	...	...
0x5	0x9	59秒

### RTC Minute Alarm Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCALM2	7	–	0	–	R	–
	6–4	RTCMIHA[2:0]	0x0	H0	R/W	
	3–0	RTCMILA[3:0]	0x0	H0	R/W	

**Bit 7**      **Reserved**

**Bits 6–4**   **RTCMIHA[2:0]**

**Bits 3–0**   **RTCMILA[3:0]**

RTCALM2.RTCMIHA[2:0]ビットでアラームの10分桁を、RTCALM2.RTCMILA[3:0]ビットで1分桁を設定します。0から59分までの値をBCDコードで設定可能です。

### RTC Hour Alarm Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCALM3	7	–	0	–	R	–
	6	RTCAPA	0	H0	R/W	
	5–4	RTCHHA[1:0]	0x0	H0	R/W	
	3–0	RTCHLA[3:0]	0x0	H0	R/W	

**Bit 7**      **Reserved**

**Bit 6**      **RTCAPA**

このビットは、12Hモード(RTCCTL.RTC24Hビット = 0)時にアラームの午前/午後を設定します。

1 (R/W): 午後

0 (R/W): 午前

24Hモード(RTCCTL.RTC24Hビット = 1)の場合、この設定は無効です。

**Bits 5–4** RTCHHA[1:0]**Bits 3–0** RTCHLA[3:0]

RTCALM3.RTCHHA[1:0]ビットでアラームの10時桁を、RTCALM3.RTCHLA[3:0]ビットで1時桁を設定します。12Hモード時は1から12時まで、24Hモード時は0から23時までの値をBCDコードで設定可能です。

## RTC Stopwatch Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCSWCTL	7–5	–	0x0	–	R	–
	4	SWRST	0	H0	W	Read as 0.
	3–1	–	0x0	–	R	–
	0	SWRUN	0	H0	R/W	–

**Bits 7–5** Reserved**Bit 4** SWRST

このビットは、ストップウォッチカウンタを0x00にリセットします。

1 (W): リセット

0 (W): 無効

0 (R): 読み出し時は常時0

動作状態でリセットすると、ストップウォッチカウンタは0x00からカウントを継続します。停止状態の場合は0x00が保持されます。

**Bits 3–1** Reserved**Bit 0** SWRUN

このビットは、ストップウォッチカウンタの開始/停止を制御します。

1 (R/W): 動作中/開始制御

0 (R/W): 停止中/停止制御

0書き込みによって動作中のストップウォッチカウンタを停止させた場合、カウンタは停止時の値を保持します。再度1を書き込むことで、カウンタは保持している値からカウントを再開します。

注: ストップウォッチカウンタは、RTCSWCTL.SWRUNビットに0を書き込み後、ストップウォッチのクロックに同期して停止します。そのため、0を書き込んだ時点のカウント値から、更に+1カウントして停止する場合があります。

## RTC Stopwatch Counter Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCSWCNT	7–4	BCD10[3:0]	0x0	H0	R	–
	3–0	BCD100[3:0]	0x0	H0	R	

**Bits 7–4** BCD10[3:0]**Bits 3–0** BCD100[3:0]

RTCSWCNT.BCD10[3:0]ビットからストップウォッチカウンタの1/10秒桁が、RTCSWCNT.BCD100[3:0]ビットから1/100秒桁がBCDコードとして読み出せます。

注: ストップウォッチカウンタの動作中はカウント値が正しく読みだせないことがあります。RTCSWCNT.BCD10[3:0]/BCD100[3:0]ビットを2回連続して読み出し、同じ結果が得られたときに正しく読み出せたかと判断してください。

## RTC Divider Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCDIV	7	RTC1HZ	0	H0	R	Cleared by setting the RTCCTL.RTCRST bit to 1.
	6	RTC2HZ	0	H0	R	
	5	RTC4HZ	0	H0	R	
	4	RTC8HZ	0	H0	R	
	3	RTC16HZ	0	H0	R	
	2	RTC32HZ	0	H0	R	
	1	RTC64HZ	0	H0	R	
	0	RTC128HZ	0	H0	R	

Bit 7	RTC1HZ
Bit 6	RTC2HZ
Bit 5	RTC4HZ
Bit 4	RTC8HZ
Bit 3	RTC16HZ
Bit 2	RTC32HZ
Bit 1	RTC64HZ
Bit 0	RTC128HZ

これらのビットにより、分周カウンタのデータが読み出せます。

各ビットと周波数の対応は以下のとおりです。

RTCDIV.RTC1HZビット:	1 Hz
RTCDIV.RTC2HZビット:	2 Hz
RTCDIV.RTC4HZビット:	4 Hz
RTCDIV.RTC8HZビット:	8 Hz
RTCDIV.RTC16HZビット:	16 Hz
RTCDIV.RTC32HZビット:	32 Hz
RTCDIV.RTC64HZビット:	64 Hz
RTCDIV.RTC128HZビット:	128 Hz

注: 分周カウンタの動作中はカウント値が正しく読みだせないことがあります。これらのビットを2回連続して読み出し、同じ結果が得られたときに正しく読み出せたと判断してください。

## RTC Second Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCSEC	7	-	0	-	R	-
	6-4	RTCSH[2:0]	0x0	H0	R/W	
	3-0	RTCSL[3:0]	0x0	H0	R/W	

Bit 7      Reserved

Bits 6-4    RTCSH[2:0]

Bits 3-0    RTCSL[3:0]

RTCSEC.RTCSH[2:0]ビットで秒カウンタの10秒桁、RTCSEC.RTCSL[3:0]ビットで1秒桁の設定または読み出しを行います。設定/読み出し値は0から59までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCSEC.RTCSH[2:0]/RTCSL[3:0]ビットへの書き込みを禁止します。

## RTC Minute Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCMIN	7	-	0	-	R	-
	6-4	RTCMIH[2:0]	0x0	H0	R/W	
	3-0	RTCMIL[3:0]	0x0	H0	R/W	

Bit 7      Reserved

Bits 6-4    RTCMIH[2:0]

**Bits 3-0 RTCMIL[3:0]**

RTCMIN.RTCMIH[2:0]ビットで分カウンタの10分桁、RTCMIN.RTCMIL[3:0]ビットで1分桁の設定または読み出しを行います。設定/読み出し値は0から59までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCMIN.RTCMIH[2:0]/RTCMIL[3:0]ビットへの書き込みは禁止します。

**RTC Hour Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCHUR	7	-	0	-	R	-
	6	RTCAP	0	H0	R/W	
	5-4	RTCHH[1:0]	0x1	H0	R/W	
	3-0	RTCHL[3:0]	0x2	H0	R/W	

**Bit 7 Reserved**

**Bit 6 RTCAP**

12Hモード(RTCCTL.RTC24Hビット = 0)時は、このビットを使用して午前/午後の設定または読み出しを行います。

1 (R/W): 午後

0 (R/W): 午前

24Hモード(RTCCTL.RTC24Hビット = 1)時は0に固定され、1書き込みは無視されます。ただし、1が設定されている状態で24Hモードに変更した場合は、時カウンタの桁上がり時に0となります。

**Bits 5-4 RTCHH[1:0]****Bits 3-0 RTCHL[3:0]**

RTCHUR.RTCHH[1:0]ビットで時カウンタの10時桁、RTCHUR.RTCHL[3:0]ビットで1時桁の設定または読み出しを行います。設定/読み出し値は12Hモード時は1から12まで、24Hモード時は0から23までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCHUR.RTCHH[1:0]/RTCHL[3:0]ビットへの書き込みを禁止します。

**RTC Day Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCDAY	7-6	-	0x0	-	R	-
	5-4	RTCDH[1:0]	0x0	H0	R/W	
	3-0	RTCDL[3:0]	0x1	H0	R/W	

**Bits 7-6 Reserved**

**Bits 5-4 RTCDH[1:0]****Bits 3-0 RTCDL[3:0]**

RTCDAY.RTCDH[1:0]ビットで日カウンタの10日桁、RTCDAY.RTCDL[3:0]ビットで1日桁の設定または読み出しを行います。設定/読み出し値は1から31まで(ただし、平年の2月は28まで、うるう年の2月は29まで、4/6/9/11月は30まで)のBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCDAY.RTCDH[1:0]/RTCDL[3:0]ビットへの書き込みを禁止します。

**RTC Month Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCMON	7-5	-	0x0	-	R	-
	4	RTCMOH	0	H0	R/W	
	3-0	RTCMOL[3:0]	0x1	H0	R/W	

**Bits 7-5 Reserved**

## 21 独立型低パワーリアルタイムクロック(RTCLP)

**Bit 4 RTCMOH**

**Bits 3–0 RTCMOL[3:0]**

RTCMON.RTCMOHビットで月カウンタの10月桁、RTCMON.RTCMOL[3:0]ビットで1月桁の設定または読み出しを行います。設定/読み出し値は1から12までのBCDコードです。

注: • RTCCTL.RTCBSYビット = 1のときは、RTCMON.RTCMOH/RTCMOL[3:0]ビットへの書き込みを禁止します。

• RTCMON.RTCMOH/RTCMOL[3:0]ビットを0x00に設定することは禁止します。

### RTC Year Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCYAR	7–4	RTCYH[3:0]	0x0	H0	R/W	–
	3–0	RTCYL[3:0]	0x0	H0	R/W	

**Bits 7–4 RTCYH[3:0]**

**Bits 3–0 RTCYL[3:0]**

RTCYAR.RTCYH[3:0]ビットで年カウンタの10年桁、RTCYAR.RTCYL[3:0]ビットで1年桁の設定または読み出しを行います。設定/読み出し値は0から99までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCYAR.RTCYH[3:0]/RTCYL[3:0]ビットへの書き込みを禁止します。

### RTC Week Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCWK	7–3	–	0x00	–	R	–
	2–0	RTCWK[2:0]	0x0	H0	R/W	

**Bits 7–3 Reserved**

**Bits 2–0 RTCWK[2:0]**

これらのビットで、曜日の設定と読み出しを行います。

曜日カウンタは7進カウンタで、設定/読み出し値は0x0から0x6までです。カウント値と曜日の対応を表21.7.3に示します。

表21.7.3 カウント値と曜日の対応

RTCWK.RTCWK[2:0]ビット	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

注: RTCCTL.RTCBSYビット = 1のときは、RTCWK.RTCWK[2:0]ビットへの書き込みを禁止します。

### RTC Interrupt Flag Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCINTF1	7	1DAYIF	0	H0	R/W	Cleared by writing 1.
	6	1HURIF	0	H0	R/W	
	5	1MINIF	0	H0	R/W	
	4	1SECIF	0	H0	R/W	
	3	1_2SECIF	0	H0	R/W	
	2	1_4SECIF	0	H0	R/W	
	1	1_8SECIF	0	H0	R/W	
	0	1_32SECIF	0	H0	R/W	



Bit 7	1DAYIF
Bit 6	1HURIF
Bit 5	1MINIF
Bit 4	1SECIF
Bit 3	1_2SECIF
Bit 2	1_4SECIF
Bit 1	1_8SECIF
Bit 0	1_32SECIF

これらのビットは、リアルタイムクロック割り込み要因の発生状況を示します。

1 (R):	割り込み要因あり
0 (R):	割り込み要因なし
1 (W):	フラグをクリア
0 (W):	無効

各ビットと割り込みの対応は以下のとおりです。

RTCINTF1.1DAYIFビット:	1日割り込み
RTCINTF1.1HURIFビット:	1時間割り込み
RTCINTF1.1MINIFビット:	1分割り込み
RTCINTF1.1SECIFビット:	1秒割り込み
RTCINTF1.1_2SECIFビット:	1/2秒割り込み
RTCINTF1.1_4SECIFビット:	1/4秒割り込み
RTCINTF1.1_8SECIFビット:	1/8秒割り込み
RTCINTF1.1_32SECIFビット:	1/32秒割り込み

## RTC Interrupt Flag Register 2

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCINTF2	7	RTCTRMIF	0	H0	R/W	Cleared by writing 1.
	6	SW1IF	0	H0	R/W	
	5	SW10IF	0	H0	R/W	
	4	SW100IF	0	H0	R/W	
	3-2	-	0x0	-	R	
	1	DCNTUFIF	0	H0	R/W	Cleared by writing 1.
	0	ALARMIF	0	H0	R/W	

Bit 7	RTCTRMIF
Bit 6	SW1IF
Bit 5	SW10IF
Bit 4	SW100IF
Bit 1	DCNTUFIF
Bit 0	ALARMIF

これらのビットは、リアルタイムクロック割り込み要因の発生状況を示します。

1 (R):	割り込み要因あり
0 (R):	割り込み要因なし
1 (W):	フラグをクリア
0 (W):	無効

各ビットと割り込みの対応は以下のとおりです。

RTCINTF2.RTCTRMIFビット:	論理緩急終了割り込み
RTCINTF2.SW1IFビット:	ストップウォッチ1 Hz割り込み
RTCINTF2.SW10IFビット:	ストップウォッチ10 Hz割り込み
RTCINTF2.SW100IFビット:	ストップウォッチ100 Hz割り込み
RTCINTF2.DCNTUFIFビット:	ダウンカウンタアンダーフロー割り込み
RTCINTF2.ALARMIFビット:	アラーム割り込み

Bits 3-2 **Reserved**

## RTC Interrupt Enable Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCINTE1	7	1DAYIE	0	H0	R/W	-
	6	1HURIE	0	H0	R/W	
	5	1MINIE	0	H0	R/W	
	4	1SECIE	0	H0	R/W	
	3	1_2SECIE	0	H0	R/W	
	2	1_4SECIE	0	H0	R/W	
	1	1_8SECIE	0	H0	R/W	
	0	1_32SECIE	0	H0	R/W	

Bit 7	<b>1DAYIE</b>
Bit 6	<b>1HURIE</b>
Bit 5	<b>1MINIE</b>
Bit 4	<b>1SECIE</b>
Bit 3	<b>1_2SECIE</b>
Bit 2	<b>1_4SECIE</b>
Bit 1	<b>1_8SECIE</b>
Bit 0	<b>1_32SECIE</b>

これらのビットは、リアルタイムクロックの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RTCINTE1.1DAYIEビット: 1日割り込み

RTCINTE1.1HURIEビット: 1時間割り込み

RTCINTE1.1MINIEビット: 1分割り込み

RTCINTE1.1SECIEビット: 1秒割り込み

RTCINTE1.1\_2SECIEビット: 1/2秒割り込み

RTCINTE1.1\_4SECIEビット: 1/4秒割り込み

RTCINTE1.1\_8SECIEビット: 1/8秒割り込み

RTCINTE1.1\_32SECIEビット: 1/32秒割り込み

## RTC Interrupt Enable Register 2

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCINTE2	7	RTCTRMIE	0	H0	R/W	-
	6	SW1IE	0	H0	R/W	
	5	SW10IE	0	H0	R/W	
	4	SW100IE	0	H0	R/W	
	3-2	-	0x0	-	R	
	1	DCNTUFIE	0	H0	R/W	
	0	ALARMIE	0	H0	R/W	

Bit 7	<b>RTCTRMIE</b>
Bit 6	<b>SW1IE</b>
Bit 5	<b>SW10IE</b>
Bit 4	<b>SW100IE</b>
Bit 1	<b>DCNTUFIE</b>
Bit 0	<b>ALARMIE</b>

これらのビットは、リアルタイムクロックの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RTCINTE2.RTCTRMIEビット: 論理緩急終了割り込み

RTCINTE2.SW1IEビット: ストップウォッチ1 Hz割り込み

RTCINTE2.SW10IEビット: ストップウォッチ10 Hz割り込み

RTCINTE2.SW100IEビット: ストップウォッチ100 Hz割り込み

RTCINTE2.DCNTUFIEビット: ダウンカウンタアンダーフロー割り込み

RTCINTE2.ALARMIEビット: アラーム割り込み

### Bits 3-2 Reserved

## RTC Down Counter Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTDCNTCTL	7-5	-	0x0	-	R	-
	4	PRESET	0	H0	R/W	
	3-1	-	0x0	-	R	
	0	RUN	0	H0	R/W	

### Bits 7-5 Reserved

#### Bit 4 PRESET

このビットは、RTDCNTRLDLおよびRTDCNTRLDHレジスタに設定されているリロードデータをダウンカウンタにプリセットします。

1 (W): プリセット

0 (W): 無効

1 (R): プリセットの実行中

0 (R): プリセットを終了または通常動作中

このビットに1を書き込むと、RTDCNTRLDLおよびRTDCNTRLDHレジスタの値がダウンカウンタにプリセットされます。プリセット動作実行中は1を保持し、プリセットが完了すると自動的に0にクリアされます。

### Bits 3-1 Reserved

#### Bit 0 RUN

このビットはダウンカウンタをスタート/ストップします。

1 (W): ダウンカウンタをスタート

0 (W): ダウンカウンタをストップ

1 (R): ダウンカウンタ動作中

0 (R): ダウンカウンタ停止中

このビットに1を書き込むことにより、ダウンカウンタは動作を開始します。ダウンカウンタが動作中はこのビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタのアンダーフローによってカウントを停止したときは、このビットが自動的に0にクリアされます。

## RTC Down Counter Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTDCNTMOD	7-1	-	0x00	-	R	-
	0	MODE	0	H0	R/W	

### Bits 7-1 Reserved

#### Bit 0 MODE

このビットは、ダウンカウンタの動作モードを選択します。

1 (R/W): ワンショットモード

0 (R/W): リピートモード

動作モードの詳細は、“ダウンカウンタ機能”を参照してください。

## RTC Down Counter Lower Reload Data Register

## RTC Down Counter Upper Reload Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTDCNTRLDL	7-0	RLD[7:0]	0xff	H0	R/W	-
RTDCNTRLDH	7-0	RLD[15:8]	0xff	H0	R/W	-

### Bits 7-0 RLD[15:8], RLD[7:0]

これらのビットには、ダウンカウンタにプリセットする初期値を設定しておきます。

RTDCNTCTL.PRESETビットに1を書き込んだ場合や、ダウンカウンタがアンダーフローした時点で、このレジスタの値がダウンカウンタにプリセットされます。

注: ・ダウンカウンタ動作中(RTDCNTCTL.RUNビット = 1)は、誤った初期値がカウンタにプリセットされる恐れがあるため、RTDCNTRLDL/Hレジスタを変更することはできません。

- ・ワンショットモードのときは、TCDCNTRLDL/H.RLD[15:0]ビットを0x0001以上の値に設定してください。

## RTC Down Counter Lower Data Register

## RTC Down Counter Upper Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTDCNTL	7-0	CNT[7:0]	0xff	H0	R	-
RTDCNTH	7-0	CNT[15:8]	0xff	H0	R	-

### Bits 7-0 CNT[15:8], CNT[7:0]

これらのビットから、現在のダウンカウンタの値が読み出せます。

## Power Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWRCTL	7-1	-	0x00	-	R	-
	0	MCUPD	0	H0	R/W	

### Bits 7-1 Reserved

### Bit 0 MCUPD

このビットは、MCUコア動作電圧の供給を制御します。

1 (W): MCUコア動作電圧OFFシーケンス開始

1 (R): MCUコア動作電圧OFFシーケンス開始待ち状態

0 (R/W): 無効

## P2 Port Input Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2IN	7-2	-	0x00	-	R	-
	1-0	P2IN[1:0]	0x0	H0	R	

\*1: 本レジスタはGPIO機能選択時に有効です。

### Bits 7-2 Reserved

### Bits 1-0 P2IN[1:0]

これらのビットからGPIOポート端子の状態が読み出せます。

1 (R): ポート端子 = HIGHレベル

0 (R): ポート端子 = LOWレベル

入力をイネーブル(P2IEN.P2IEN<sub>y</sub>ビット = 1)にすることで、ポート端子の状態を読み出すことができます。入力ディスエーブル(P2IEN.P2IEN<sub>y</sub>ビット = 0)時は読み出し値が常に0となります。ポートを周辺入出力機能用に使用する場合の入力値は、これらのビットから読み出すことはできません。

## P2 Port Output Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2OUT	7-2	–	0x00	–	R	–
	1-0	P2OUT[1:0]	0x0	H0	R/W	

\*1: 本レジスタはGPIO機能選択時に有効です。

### Bits 7–2 Reserved

### Bits 1–0 P2OUT[1:0]

GPIOポート端子から出力するデータをこれらのビットに設定します。

1 (R/W): ポート端子からHIGHレベルを出力

0 (R/W): ポート端子からLOWレベルを出力

出力をイネーブル(P2OEN.P2OEN<sub>y</sub>ビット = 1)にすると、ここに設定したデータがポート端子から出力されます。出力ディスエーブル(P2OEN.P2OEN<sub>y</sub>ビット = 0)時もポートデータの書き込みは行えますが、端子の状態には影響を与えません。これらのビットはポートを周辺入出力機能用に使用する場合の出力には影響を与えません。

## P2 Port Output Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2OEN	7-2	–	0x00	–	R	–
	1-0	P2OEN[1:0]	0x0	H0	R/W	

\*1: 本レジスタはGPIO機能選択時に有効です。

### Bits 7–2 Reserved

### Bits 1–0 P2OEN[1:0]

これらのビットはGPIOポート出力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子からデータを出力)

0 (R/W): ディスエーブル(ポートをHi-Z)

これらのビットはポートを周辺入出力機能用に使用する場合の出力制御には影響を与えません。

## P2 Port Input Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2IEN	7-2	–	0x00	–	R	–
	1-0	P2IEN[1:0]	0x0	H0	R/W	

\*1: 本レジスタはGPIO機能選択時に有効です。

### Bits 7–2 Reserved

### Bits 1–0 P2IEN[1:0]

これらのビットはGPIOポート入力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子状態を入力)

0 (R/W): ディスエーブル(入力データを0に固定)

データ出力とデータ入力を共にイネーブルにした場合は、本ICが出力している端子の状態を読み出すことができます。これらのビットはポートを周辺入出力機能用に使用する場合の入力制御には影響を与えません。

## P2 Port Pull-up/down Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2REN	7-2	–	0x00	–	R	–
	1-0	P2REN[1:0]	0x0	H0	R/W	

\*1: 本レジスタはGPIO機能選択時に有効です。

### Bits 7–2 Reserved

## 21 独立型低パワーリアルタイムクロック(RTCLP)

### Bits 1–0 P2REN[1:0]

これらのビットはポートのプルアップ/ダウン制御をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(内蔵プルアップ/ダウン抵抗を使用)

0 (R/W): ディスエーブル(プルアップ/ダウン制御なし)

イネーブルにすると、出力ディスエーブル(P2OEN.P2OEN<sub>y</sub>ビット = 0)時にポート端子がプルアップまたはプルダウンされます。出力イネーブル(P2OEN.P2OEN<sub>y</sub>ビット = 1)時は、P2IEN.P2IEN<sub>y</sub>ビットの設定にかかわらずP2REN.P2REN<sub>y</sub>ビットの設定が無効となり、プルアップ/ダウンされません。これらのビットはポートを周辺入出力機能用に使用する場合のプルアップ/ダウン制御には影響を与えません。

## P2 Port Pull-up/down Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2PDPU	7–2	–	0x00	–	R	–
	1–0	P2PDPU[1:0]	0x0	H0	R/W	–

\*1: 本レジスタはGPIO機能選択時に有効です。

### Bits 7–2 Reserved

### Bits 1–0 P2PDPU[1:0]

これらのビットはポートに内蔵されたプルアップ抵抗とプルダウン抵抗のどちらを使用するか選択します。

1 (R/W): プルアップ抵抗

0 (R/W): プルダウン抵抗

選択したプルアップ/ダウン抵抗は、P2REN.P2REN<sub>y</sub>ビット = 1の場合に有効になります。

## P2 Port Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2INTF	7–2	–	0x00	–	R	–
	1–0	P2IF[1:0]	0x0	H0	R/W	Cleared by writing 1.

\*1: 本レジスタはGPIO機能選択時に有効です。

### Bits 7–2 Reserved

### Bits 1–0 P2IF[1:0]

これらのビットは、ポート入力割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

## P2 Port Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2INTE	7–2	–	0x00	–	R	–
	1–0	P2IE[1:0]	0x0	H0	R/W	–

\*1: 本レジスタはGPIO機能選択時に有効です。

### Bits 7–2 Reserved

### Bits 1–0 P2IE[1:0]

これらのビットは、ポート入力割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

## P2 Port Interrupt Edge Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2IEDGE	7-2	–	0x00	–	R	–
	1-0	P2EDGE[1:0]	0x0	H0	R/W	

\*1: 本レジスタはGPIO機能選択時に有効です。

**Bits 7–2 Reserved**

**Bits 1–0 P2EDGE[1:0]**

これらのビットでポート入力割り込みを発生させる入力信号のエッジを選択します。

1 (R/W): 立ち下がりエッジで割り込み発生

0 (R/W): 立ち上がりエッジで割り込み発生

## P2 Port Chattering Filter Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2CHATEN	7-2	–	0x00	–	R	–
	1-0	P2CHATEN[1:0]	0x0	H0	R/W	

**Bits 7–2 Reserved**

**Bits 7–0 P2CHATEN[1:0]**

これらのビットは、チャタリング除去機能をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(チャタリング除去回路を使用)

0 (R/W): ディスエーブル(チャタリング除去回路をバイパス)

## P2 Port Mode Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2MODSEL	7-2	–	0x00	–	R	–
	7-0	P2SEL[1:0]	0x00	H0	R/W	

**Bits 7–2 Reserved**

**Bits 1–0 P2SEL[1:0]**

これらのビットは、各ポートでGPIO機能を使用するか、周辺入出力機能を使用するか選択します。

1 (R/W): 周辺入出力機能を使用

0 (R/W): GPIO機能を使用

## P2 Port Function Select Register 0

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2FNCSSEL0	7-4	–	0x0	–	R	–
	3-2	P21MUX[1:0]	0x0	H0	R/W	
	1-0	P20MUX[1:0]	0x0	H0	R/W	

**Bits 7–4 Reserved**

**Bits 3–2 P21MUX[1:0]**

**Bits 1–0 P20MUX[1:0]**

これらのビットは、各ポート端子に割り付ける周辺入出力機能を選択します。

この選択は、P2MODSEL.P2SELyビット = 1の場合に有効です。

表21.7.4 P2ポートグループ機能割り付け

ポート名	P2SELy = 0		P2SELy = 1						
	GPIO	P2yMUX = 0x0 (機能0)		P2yMUX = 0x1 (機能1)		P2yMUX = 0x2 (機能2)		P2yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P20	P20	RTCLP	RTC1S	–	–	–	–	–	–
P21	P21	RTCLP	FOUT32K	–	–	–	–	–	–

## OSC1 Load Capacitance 1 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
OSC1CL1	7-0	CLADJ[7:0]	0x80	H0	R/W	-

### Bits 7-0 CLADJ[7:0]

これらのビットは、OSC1発振回路の負荷容量1(C<sub>G1</sub>、C<sub>D1</sub>)を調整します。

表21.7.4 負荷容量1の設定

OSC1CL1.CLADJ[7:0]ビット	容量
0x7f (127)	Max.
0x7e (126)	↑
...	
0x00 (1)	
0xff (-1)	
...	
0x81 (-127)	↓
0x80 (-128)	Min.

## OSC1 Load Capacitance 2 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
OSC1CL2	7-1	-	0x00	-	R	-
	0	CLCUT	1	H0	R/W	

### Bits 7-1 Reserved

### Bit 0 CLCUT

このビットは、OSC1発振回路の負荷容量2(C<sub>G2</sub>、C<sub>D2</sub>)を切り離します。

1 (R/W): 通常

0 (R/W): 切り離し

## Vosc Regulator Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
VOSCCTL	7-1	-	0x00	-	R	-
	1	ION	0	H0	R/W	
	0	IUP	0	H0	R/W	

### Bits 7-2 Reserved

### Bit 1 ION

このビットは、Voscレギュレータの負荷電流を制御します。

1 (R/W): 通常

0 (R/W): 負荷電流ON

### Bit 0 IUP

このビットは、Voscレギュレータの駆動能力を制御します。

1 (R/W): 駆動能力向上

0 (R/W): 通常

## Vosc Reference Current Adjustment Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
VOSCTRIM	7-6	-	0x0	-	R	-
	5-0	XFIB[5:0]	0x00	H0	R/W	

### Bits 7-6 Reserved

### Bits 5-0 XFIB[5:0]

これらのビットは、Voscレギュレータの基準電流を調整します。

クロックジェネレータのCLGOSC1TRIM.XFIB[5:0]ビットから読み出した値を設定してください。



**RTCLPCLK Control Register**

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
F32KCTL	7-1	-	0x00	-	R	-
	0	OEN	1	H0	R/W	

**Bits 7-1    Reserved****Bit 0        OEN**

このビットは、MCUコアおよびFOUT32K端子へのRTCLPCLK出力を制御します。

1 (R/W): 出力イネーブル

0 (R/W): 出力ディスエーブル

# 22 電気的特性

## 22.1 絶対最大定格

(V<sub>SS</sub> = 0 V)

項目	記号	条件	定格値	単位	
電源電圧	V <sub>DD</sub>		-0.3~7.0	V	
Flashプログラミング電圧	V <sub>PP</sub>		-0.3~8.0	V	
EPD電源電圧	V <sub>EPD</sub>		23	V	
			3.8	V	
入力電圧	V <sub>I</sub>	P10-13, P15, P20-21, PD1-D2	-0.3~7.0	V	
		P00-07, P14, PD0, #RESET	-0.3~V <sub>DD</sub> + 0.5	V	
出力電圧	V <sub>O</sub>	P00-07, P10-15, P20-21, PD0-D2	-0.3~V <sub>DD</sub> + 0.5	V	
高レベル出力電流	I <sub>OH</sub>	1端子	P00-07, P10-15, P20-21, PD0-D2	-10	mA
		全端子合計		-20	mA
低レベル出力電流	I <sub>OL</sub>	1端子	P00-07, P10-15, P20-21, PD0-D2	10	mA
		全端子合計		20	mA
動作温度	T <sub>a</sub>		-40~85	°C	
保存温度	T <sub>stg</sub>		-65~125	°C	

## 22.2 推奨動作条件

(V<sub>SS</sub> = 0 V) \*1

項目	記号	条件	Min.	Typ.	Max.	単位	
電源電圧	V <sub>DD</sub>	通常動作時	1.8	-	5.5	V	
		Flashプログラミング時	V <sub>PP</sub> 外部印可	2.2	-	5.5	V
			V <sub>PP</sub> 内部生成	2.2	-	5.5	V
		EEPROMプログラミング時	V <sub>PP</sub> 内部生成	2.2	-	5.5	V
Flashプログラミング電圧	V <sub>PP</sub>		7.3	7.5	7.7	V	
OSC1発振回路発振周波数	f <sub>OSC1</sub>		-	32.768	-	kHz	
EXOSC外部クロック周波数	f <sub>EXOSC</sub>	外部発振器から入力	0.016	-	16.8	MHz	
V <sub>SS</sub> ~V <sub>DD</sub> 間バイパスキャパシタ	CPW1		-	3.3	-	μF	
V <sub>SS</sub> ~V <sub>D2</sub> 間キャパシタ	CPW2		-	0.1	-	μF	
V <sub>SS</sub> ~V <sub>D1</sub> 間キャパシタ	CPW3		-	1	-	μF	
V <sub>SS</sub> ~V <sub>OSC</sub> 間キャパシタ	CV <sub>OSC</sub>	V <sub>DD</sub> = 3.6~5.5 V	-	1	-	μF	
		V <sub>DD</sub> = 1.8~3.6 V	-	0.1	-	μF	
V <sub>SS</sub> ~V <sub>E1</sub> 間キャパシタ	CEPD1	*2	-	0.1	-	μF	
V <sub>SS</sub> ~V <sub>E2</sub> 間キャパシタ	CEPD2	*2	-	0.1	-	μF	
V <sub>SS</sub> ~V <sub>E3</sub> 間キャパシタ	CEPD3	*2	-	0.1	-	μF	
V <sub>SS</sub> ~V <sub>E4</sub> 間キャパシタ	CEPD4	*2	-	0.1	-	μF	
V <sub>SS</sub> ~V <sub>E5</sub> 間キャパシタ	CEPD5	*2	-	0.1	-	μF	
CD1~CD2間キャパシタ	CEPD6	*2	-	0.1	-	μF	
CB1~CB2間キャパシタ	CEPD7	*2	-	0.1	-	μF	
CB3~CB4間キャパシタ	CEPD8	*2	-	0.1	-	μF	
OSC1発振回路用ゲートキャパシタ	CG1	*3	-	0	-	pF	
OSC1発振回路用ドレインキャパシタ	CD1	*3	-	0	-	pF	
DSIO用ブルアップ抵抗	R <sub>DBG</sub>	*4	-	10	-	kΩ	
V <sub>SS</sub> ~V <sub>PP</sub> 間キャパシタ	CV <sub>PP</sub>		-	0.1	-	μF	
V <sub>SS</sub> ~V <sub>REFA</sub> 間キャパシタ	CV <sub>REFA</sub>	*5	-	0.1	-	μF	

\*1 V<sub>SS</sub>電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグラウンド電位に対し±0.3 V以内の変動に抑えてください。

\*2 EPDコントローラ/ドライバを使用しない場合、キャパシタは必要ありません。また、V<sub>E1</sub>~V<sub>E5</sub>、CD1~CD2およびCB1~CB4は開放としてください。

\*3 実際の基板上で振動子のマッチング評価を行い、最終的な値を決めてください。

\*4 DSIO端子を汎用入出力ポートとして使用する場合、R<sub>DBG</sub>は不要です。

\*5 V<sub>REFA</sub>を外側から入力するため、通常CV<sub>REFA</sub>は不要です。

\*6 各使用部品の定数は、実際の基板上で評価を行い、最終的な値を決めてください。

## 22.3 消費電流

特記なき場合:  $V_{DD} = 1.8 \sim 5.5$  V,  $V_{SS} = 0$  V,  $T_a = 25^\circ\text{C}$ , EXOSC = OFF, OSC1 = 32.768 kHz<sup>\*1</sup>, MCU = ON, PWGCTL.PWGMOD[1:0]ビット = 0x0 (オートマチックモード), FLASHCWAIT.RDWAIT[1:0]ビット = 0x1 (2サイクル)

項目	記号	条件	Ta	Min.	Typ.	Max.	単位				
RTCモード時 消費電流	IRTC	MCU = OFF	25°C	-	0.11	0.18	μA				
			50°C	-	0.13	0.30	μA				
			85°C	-	0.23	0.65	μA				
SLEEPモード時 消費電流	ISLP	IOSC = OFF, OSC3 = OFF	25°C	-	0.45	2	μA				
			85°C	-	1.1	10	μA				
HALTモード時 消費電流	IHALT1	IOSC = ON, OSC3 = OFF	-	-	42	60	μA				
			IHALT2	IOSC = OFF, OSC3 = OFF	-	-	0.7	3.5	μA		
					IHALT3	IOSC = OFF, OSC3 = 1 MHz <sup>*2</sup>	-	-	180	270	μA
							IOSC = OFF, OSC3 = 16 MHz <sup>*3</sup>	-	-	360	550
RUNモード時 消費電流	IRUN1 <sup>*4</sup>	IOSC = ON, OSC3 = OFF, SYSCLK = IOSC	-	-	125	200	μA				
		IOSC = ON, OSC3 = OFF, SYSCLK = IOSC FLASHCWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)	-	-	150	300	μA				
		IOSC = OFF, OSC3 = OFF, SYSCLK = OSC1	-	-	5	9	μA				
	IRUN2 <sup>*4</sup>	IOSC = OFF, OSC3 = 1 MHz <sup>*2</sup> , SYSCLK = OSC3	-	-	305	450	μA				
			IRUN3 <sup>*4</sup>	IOSC = OFF, OSC3 = 16 MHz <sup>*3</sup> , SYSCLK = OSC3 FLASHCWAIT.RDWAIT[1:0]ビット = 0x2 (3サイクル)	-	-	1,950	3,000	μA		
					-	-	-	-	-	-	

\*1 OSC1発振回路: 水晶振動子 = FC-12D (セイコーエプソン(株)製,  $R_1 = 75$  kΩ (Max.),  $C_L = 7$  pF),  $C_{G1} = C_{D1} = 0$  pF

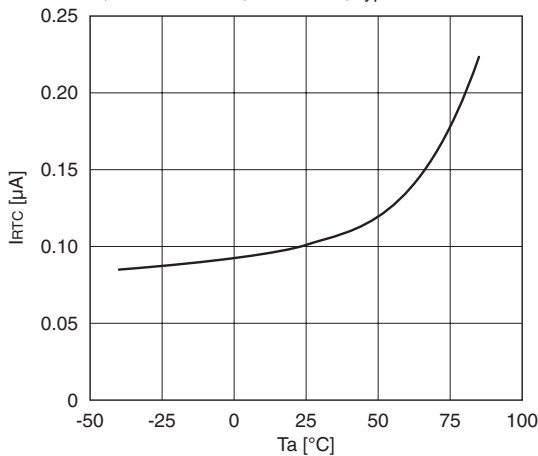
\*2 OSC3発振回路: CLGOSC3.OSC3FQ[2:0]ビット = 0x1

\*3 OSC3発振回路: CLGOSC3.OSC3FQ[2:0]ビット = 0x6

\*4 “ALU命令60.5%, 分岐命令17%, RAMリード12%, RAMライト10.5%”のプログラムをFlashメモリからフェッチしながら連続動作させた値

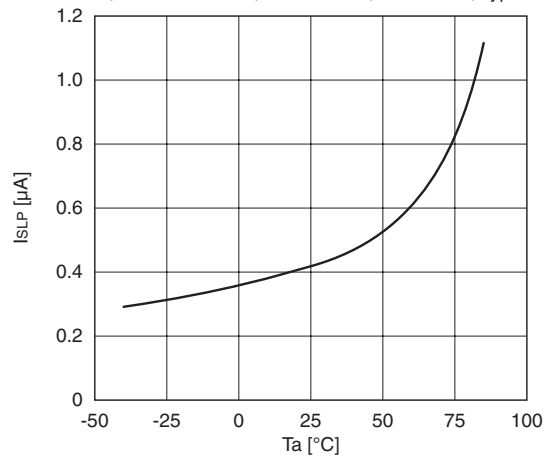
## RTC時 消費電流-温度特性

MCU = OFF, OSC1 = 32.768,  $V_{DD} = 5.5$  V, Typ.値



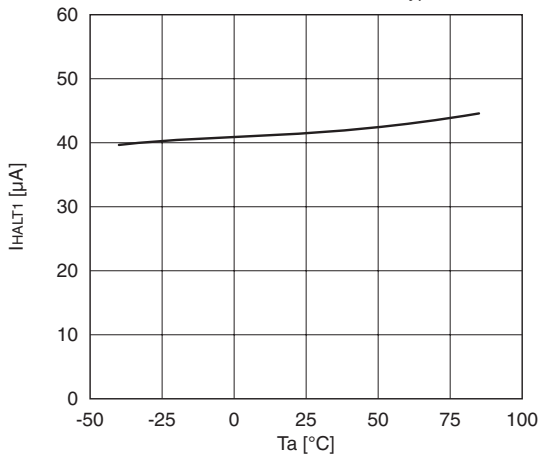
## SLEEP時 消費電流-温度特性

IOSC = OFF, OSC1 = 32.768, OSC3 = OFF,  $V_{DD} = 5.5$  V, Typ.値



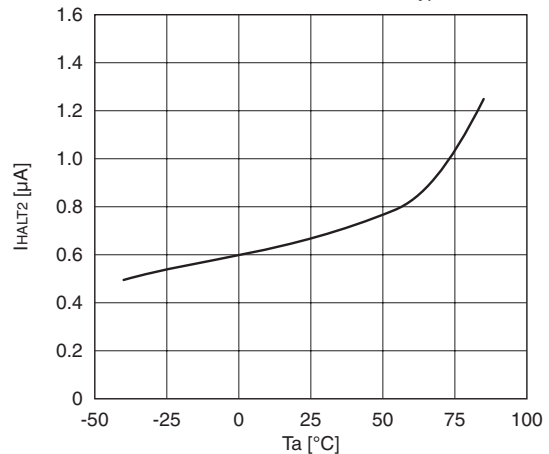
## HALT時 消費電流-温度特性(IOSC動作時)

IOSC = ON, OSC1 = 32.768 kHz, OSC3 = OFF, Typ.値



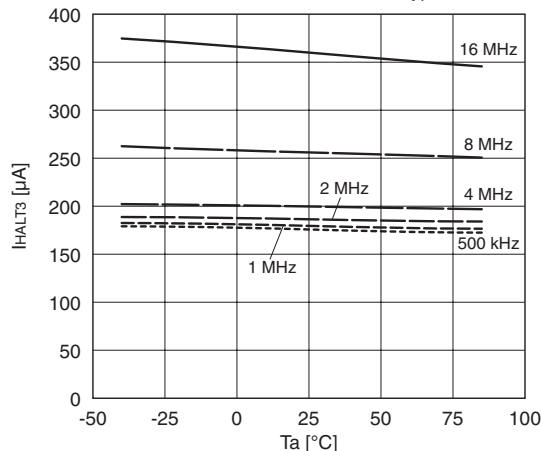
## HALT時 消費電流-温度特性(OSC1動作時)

IOSC = OFF, OSC1 = 32.768 kHz, OSC3 = OFF, Typ.値

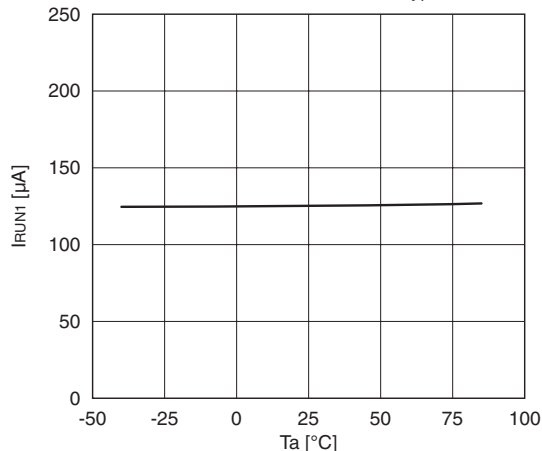


**HALT時 消費電流-温度特性(OSC3動作時)**

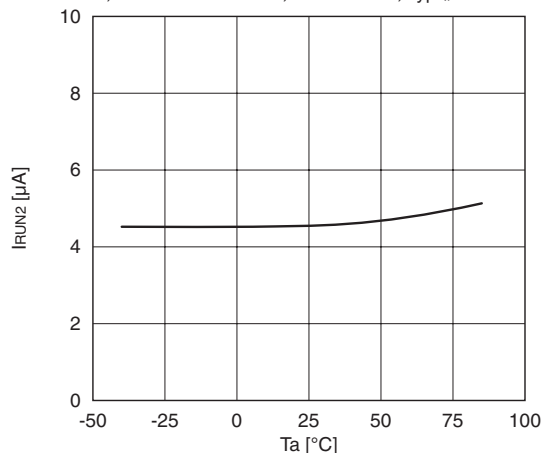
IOSC = OFF, OSC1 = 32.768 kHz, OSC3 = ON, Typ.値

**RUN時 消費電流-温度特性(IOSC動作時)**

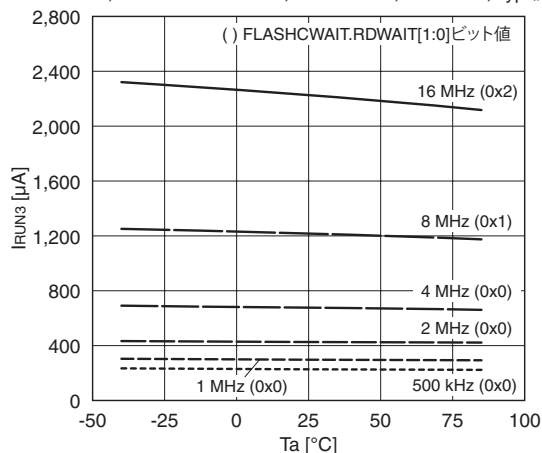
IOSC = ON, OSC1 = 32.768 kHz, OSC3 = OFF, Typ.値

**RUN時 消費電流-温度特性(OSC1動作時)**

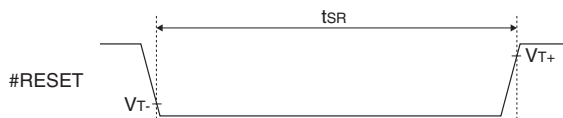
IOSC = OFF, OSC1 = 32.768 kHz, OSC3 = OFF, Typ.値

**RUN時 消費電流-温度特性(OSC3動作時)**

IOSC = OFF, OSC1 = 32.768 kHz, OSC3 = ON, Ta = 25°C, Typ.値

**22.4 システムリセットコントローラ(SRC)特性****#RESET端子特性**特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$ 

項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力スレシヨルド電圧	$V_{T+}$		$0.5 \times V_{DD}$	-	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレシヨルド電圧	$V_{T-}$		$0.2 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	$\Delta V_T$		180	-	-	mV
入力プルアップ抵抗	$R_{IN}$		100	230	500	k $\Omega$
端子容量	$C_{IN}$		-	-	15	pF
リセットLow/パルス幅	$t_{SR}$		40	-	-	$\mu\text{s}$

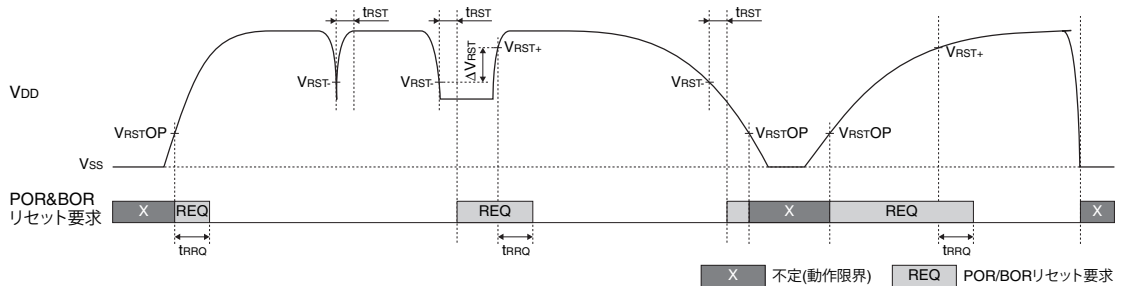


## 22 電気的特性

### POR/BOR特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
POR/BOR解除電圧	$V_{RST+}$		1.41	–	1.75	V
POR/BOR検出電圧	$V_{RST-}$		1.25	–	1.55	V
POR/BORヒステリシス電圧	$\Delta V_{RST}$		40	60	–	mV
POR/BOR検出応答時間	$tr_{ST}$		–	–	40	$\mu\text{s}$
POR/BOR動作限界電圧	$V_{RSTOP}$		–	0.5	0.95	V
POR/BORリセット要求保持時間	$tr_{RQ}$		0.01	–	4	ms



注: 電源をOFFにした後に再度パワーオンリセットを行う場合は、 $V_{DD}$ を $V_{RSTOP}$ 以下に落としてください。

### リセット保持回路特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
リセット保持時間*1	$tr_{STR}$		0.5	–	16	ms

\*1 リセット要求解除後、内部リセット信号が解除されるまでの時間

## 22.5 クロックジェネレータ(CLG)特性

振動子を含む発振回路の特性は諸条件(基板パターン、使用部品など)により変化します。これらの特性値は参考とし、実際の基板上でマッチング評価を行ってください。

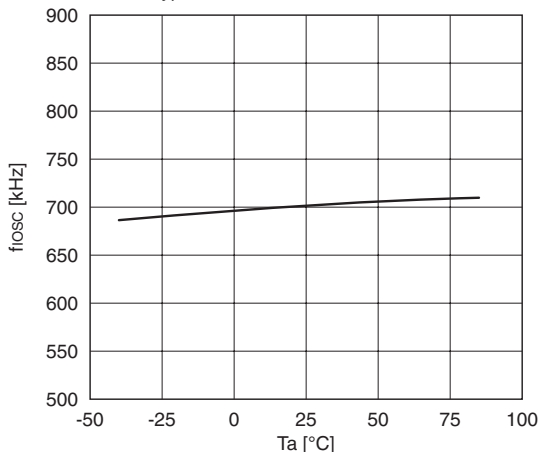
### IOSC発振回路特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	$T_a$	Min.	Typ.	Max.	単位
発振開始時間	$t_{stal}$			–	–	3	$\mu\text{s}$
発振周波数	$f_{iosc}$		25°C	679	700	721	kHz
			-40~85°C	651	700	749	kHz

### IOSC発振周波数-温度特性

$V_{DD} = 1.8 \sim 5.5 \text{ V}$ , Typ.値



### OSC1発振回路特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = 25^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	$t_{sta1}$		-	-	4	s
発振周波数	$f_{OSC1}$		-	32,768	-	Hz
周波数電圧特性	$f_v$		-1	-0.2	1	ppm/V
周波数温度特性	$f_{rH}$	$T_a = -40 \sim 85^\circ\text{C}$ , $25^\circ\text{C}$ 基準	-140	-	10	ppm

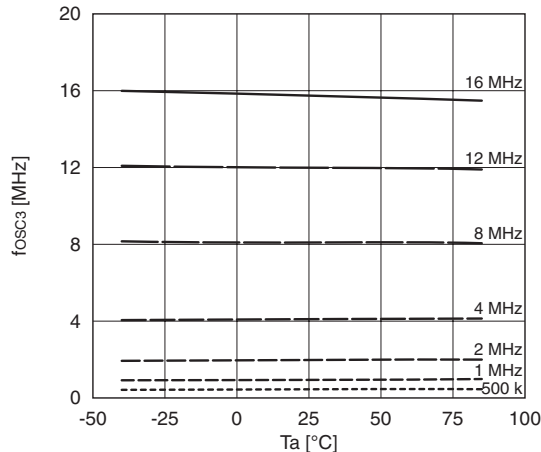
### OSC3発振回路特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = 25^\circ\text{C}$

項目	記号	条件	$T_a$	Min.	Typ.	Max.	単位
発振開始時間	$t_{sta3}$			-	-	3	$\mu\text{s}$
発振周波数	$f_{OSC3}$	CLGOSC3.OSC3FQ[2:0]ビット = 0x6	25°C	15.2	16.0	16.8	MHz
			-40~85°C	14.9	16.0	17.1	MHz
		CLGOSC3.OSC3FQ[2:0]ビット = 0x5	25°C	11.4	12.0	12.6	MHz
			-40~85°C	11.2	12.0	12.8	MHz
		CLGOSC3.OSC3FQ[2:0]ビット = 0x4	25°C	7.8	8.0	8.2	MHz
			-40~85°C	7.6	8.0	8.4	MHz
		CLGOSC3.OSC3FQ[2:0]ビット = 0x3	25°C	3.8	4.0	4.2	MHz
			-40~85°C	3.7	4.0	4.3	MHz
		CLGOSC3.OSC3FQ[2:0]ビット = 0x2	25°C	1.90	2.00	2.10	MHz
			-40~85°C	1.86	2.00	2.14	MHz
		CLGOSC3.OSC3FQ[2:0]ビット = 0x1	25°C	0.95	1.00	1.05	MHz
			-40~85°C	0.93	1.00	1.07	MHz
		CLGOSC3.OSC3FQ[2:0]ビット = 0x0	25°C	0.48	0.50	0.53	MHz
			-40~85°C	0.47	0.50	0.54	MHz

### OSC3内蔵発振周波数-温度特性

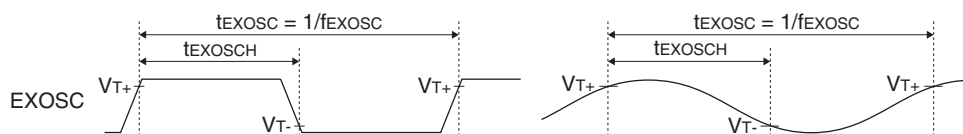
Typ.値



### EXOSC外部クロック入力特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
EXOSC外部クロックデューティ	$t_{EXOSCD}$	$t_{EXOSCD} = t_{EXOSCH}/t_{EXOSC}$	46	-	54	%
高レベルシュミット入力スレショルド電圧	$V_{T+}$		$0.5 \times V_{DD}$	-	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレショルド電圧	$V_{T-}$		$0.2 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	$\Delta V_T$		180	-	-	mV



## 22.6 Flashメモリ特性

特記なき場合:  $V_{DD} = 2.2 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$  \*1,  $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
書き換え回数 *2	C <sub>FEP</sub>	データ保持10年保証時	1,000	-	-	回

\*1  $V_{SS}$ 電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグランド電位に対し $\pm 0.3 \text{ V}$ 以内の変動に抑えてください。

\*2 消去 + 書き込みを1回とする。ROMデータプログラミング出荷の場合、工場での書き込みも回数に含む。

## 22.7 EEPROM特性

特記なき場合:  $V_{DD} = 2.2 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
書き換え回数	C <sub>EEP</sub>	データ保持10年保証時	100,000	-	-	回
書き換え時間	t <sub>PRG</sub>		-	0.2	15	ms
プログラム電源起動時間	t <sub>CPST</sub>		*1			ms
EEPROMリセット有効パルス幅	t <sub>XPOR</sub>		500			ns

\*1 次式を参考に設定してください。

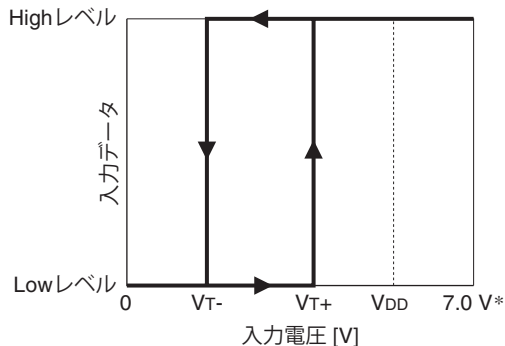
$$t_{CPST} = 37,500 \times C_{VPP} + 15$$

t<sub>CPST</sub>: プログラム電源起動時間[μs]、C<sub>VPP</sub>: 外付け平滑化容量値[μF]

## 22.8 入出力ポート(PPORT)特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$

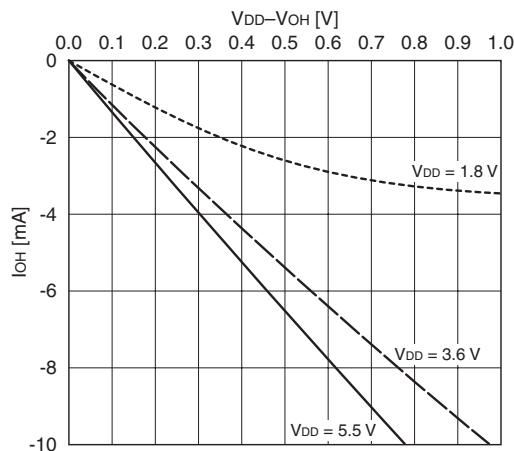
項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力スレショルド電圧	V <sub>T+</sub>	P00-07, P10-15, P20-21, PD0-D2	$0.5 \times V_{DD}$	-	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレショルド電圧	V <sub>T-</sub>	P00-07, P10-15, P20-21, PD0-D2	$0.2 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	$\Delta V_T$	P00-07, P10-15, P20-21, PD0-D2	180	-	-	mV
高レベル出力電流	I <sub>OH</sub>	P00-07, P10-15, P20-21, PD0-D2, $V_{OH} = 0.9 \times V_{DD}$	-	-	-0.5	mA
低レベル出力電流	I <sub>OL</sub>	P00-07, P10-15, P20-21, PD0-D2, $V_{OL} = 0.1 \times V_{DD}$	0.5	-	-	mA
リーク電流	I <sub>LEAK</sub>	P00-07, P10-15, P20-21, PD0-D2	-150	-	150	nA
入力プルアップ抵抗	R <sub>INU</sub>	P00-07, P10-15, P20-21, PD0-D2	100	200	500	k $\Omega$
入力プルダウン抵抗	R <sub>IND</sub>	P00-07, P10-15, P20-21, PD0-D2	100	200	500	k $\Omega$
端子容量	C <sub>IN</sub>	P00-07, P10-15, P20-21, PD0-D2	-	-	15	pF



(\*トレラント・フェイルセーフ対応ポートの場合)

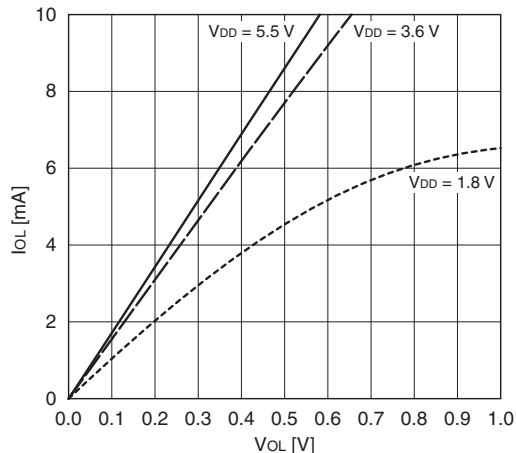
## 高レベル出力電流特性

Ta = 85°C, Max.値



## 低レベル出力電流特性

Ta = 85°C, Min.値



## 22.9 電源電圧検出回路(SVD3)特性

特記なき場合: VDD = 1.8~5.5 V, VSS = 0 V, Ta = -40~85°C

項目	記号	条件	Min.	Typ.	Max.	単位
EXSVD端子入力電圧範囲	V <sub>EXSVD</sub>		0	-	5.5	V
EXSVD入力インピーダンス	R <sub>EXSVD</sub>	SVDCTL.SVDC[4:0]ビット = 0x00	253	279	305	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x01	274	302	330	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x02	317	348	380	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x03	338	371	405	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x04	380	418	456	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x05	421	464	507	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x06	443	487	531	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x07	464	511	557	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x08	486	534	581	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x09	507	557	607	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x0a	528	580	631	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x0b	551	603	655	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x0c	571	626	682	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x0d	593	649	705	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x0e	616	672	727	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x0f	635	695	754	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x10	658	718	777	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x11	679	741	804	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x12	698	765	833	kΩ
		SVDCTL.SVDC[4:0]ビット = 0x13	739	812	885	kΩ
SVDCTL.SVDC[4:0]ビット = 0x14	761	834	908	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x15	804	880	955	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x16	842	929	1,016	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x17	878	948	1,019	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x18	893	972	1,052	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x19	922	993	1,064	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x1a	963	1,041	1,119	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x1b	982	1,063	1,145	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x1c	1,001	1,086	1,171	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x1d	1,022	1,110	1,198	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x1e	1,054	1,129	1,204	kΩ		
SVDCTL.SVDC[4:0]ビット = 0x1f	1,072	1,154	1,237	kΩ		

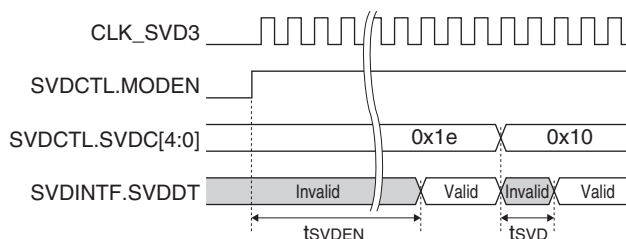


## 22 電気的特性

項目	記号	条件	Min.	Typ.	Max.	単位		
EXSVD検出電圧	VsVD_EXT	SVDCTL.SVDC[4:0]ビット = 0x00	1.17	1.2	1.23	V		
		SVDCTL.SVDC[4:0]ビット = 0x01	1.27	1.3	1.33	V		
		SVDCTL.SVDC[4:0]ビット = 0x02	1.46	1.5	1.54	V		
		SVDCTL.SVDC[4:0]ビット = 0x03	1.56	1.6	1.64	V		
		SVDCTL.SVDC[4:0]ビット = 0x04	1.76	1.8	1.85	V		
		SVDCTL.SVDC[4:0]ビット = 0x05	1.95	2.0	2.05	V		
		SVDCTL.SVDC[4:0]ビット = 0x06	2.05	2.1	2.15	V		
		SVDCTL.SVDC[4:0]ビット = 0x07	2.15	2.2	2.26	V		
		SVDCTL.SVDC[4:0]ビット = 0x08	2.24	2.3	2.36	V		
		SVDCTL.SVDC[4:0]ビット = 0x09	2.34	2.4	2.46	V		
		SVDCTL.SVDC[4:0]ビット = 0x0a	2.44	2.5	2.56	V		
		SVDCTL.SVDC[4:0]ビット = 0x0b	2.54	2.6	2.67	V		
		SVDCTL.SVDC[4:0]ビット = 0x0c	2.63	2.7	2.77	V		
		SVDCTL.SVDC[4:0]ビット = 0x0d	2.73	2.8	2.87	V		
		SVDCTL.SVDC[4:0]ビット = 0x0e	2.83	2.9	2.97	V		
		SVDCTL.SVDC[4:0]ビット = 0x0f	2.93	3.0	3.08	V		
		SVDCTL.SVDC[4:0]ビット = 0x10	3.02	3.1	3.18	V		
		SVDCTL.SVDC[4:0]ビット = 0x11	3.12	3.2	3.28	V		
		SVDCTL.SVDC[4:0]ビット = 0x12	3.22	3.3	3.38	V		
		SVDCTL.SVDC[4:0]ビット = 0x13	3.41	3.5	3.59	V		
		SVDCTL.SVDC[4:0]ビット = 0x14	3.51	3.6	3.69	V		
		SVDCTL.SVDC[4:0]ビット = 0x15	3.71	3.8	3.90	V		
		SVDCTL.SVDC[4:0]ビット = 0x16	3.90	4.0	4.10	V		
		SVDCTL.SVDC[4:0]ビット = 0x17	4.00	4.1	4.20	V		
		SVDCTL.SVDC[4:0]ビット = 0x18	4.10	4.2	4.31	V		
		SVDCTL.SVDC[4:0]ビット = 0x19	4.19	4.3	4.41	V		
		SVDCTL.SVDC[4:0]ビット = 0x1a	4.39	4.5	4.61	V		
		SVDCTL.SVDC[4:0]ビット = 0x1b	4.49	4.6	4.72	V		
		SVDCTL.SVDC[4:0]ビット = 0x1c	4.58	4.7	4.82	V		
		SVDCTL.SVDC[4:0]ビット = 0x1d	4.68	4.8	4.92	V		
		SVDCTL.SVDC[4:0]ビット = 0x1e	4.78	4.9	5.02	V		
		SVDCTL.SVDC[4:0]ビット = 0x1f	4.88	5.0	5.13	V		
SVD検出電圧	VsVD	SVDCTL.SVDC[4:0]ビット = 0x04	1.76	1.8	1.85	V		
		SVDCTL.SVDC[4:0]ビット = 0x05	1.95	2.0	2.05	V		
		SVDCTL.SVDC[4:0]ビット = 0x06	2.05	2.1	2.15	V		
		SVDCTL.SVDC[4:0]ビット = 0x07	2.15	2.2	2.26	V		
		SVDCTL.SVDC[4:0]ビット = 0x08	2.24	2.3	2.36	V		
		SVDCTL.SVDC[4:0]ビット = 0x09	2.34	2.4	2.46	V		
		SVDCTL.SVDC[4:0]ビット = 0x0a	2.44	2.5	2.56	V		
		SVDCTL.SVDC[4:0]ビット = 0x0b	2.54	2.6	2.67	V		
		SVDCTL.SVDC[4:0]ビット = 0x0c	2.63	2.7	2.77	V		
		SVDCTL.SVDC[4:0]ビット = 0x0d	2.73	2.8	2.87	V		
		SVDCTL.SVDC[4:0]ビット = 0x0e	2.83	2.9	2.97	V		
		SVDCTL.SVDC[4:0]ビット = 0x0f	2.93	3.0	3.08	V		
		SVDCTL.SVDC[4:0]ビット = 0x10	3.02	3.1	3.18	V		
		SVDCTL.SVDC[4:0]ビット = 0x11	3.12	3.2	3.28	V		
		SVDCTL.SVDC[4:0]ビット = 0x12	3.22	3.3	3.38	V		
		SVDCTL.SVDC[4:0]ビット = 0x13	3.41	3.5	3.59	V		
		SVDCTL.SVDC[4:0]ビット = 0x14	3.51	3.6	3.69	V		
		SVDCTL.SVDC[4:0]ビット = 0x15	3.71	3.8	3.90	V		
		SVDCTL.SVDC[4:0]ビット = 0x16	3.90	4.0	4.10	V		
		SVDCTL.SVDC[4:0]ビット = 0x17	4.00	4.1	4.20	V		
		SVDCTL.SVDC[4:0]ビット = 0x18	4.10	4.2	4.31	V		
		SVDCTL.SVDC[4:0]ビット = 0x19	4.19	4.3	4.41	V		
		SVDCTL.SVDC[4:0]ビット = 0x1a	4.39	4.5	4.61	V		
		SVDCTL.SVDC[4:0]ビット = 0x1b	4.49	4.6	4.72	V		
		SVDCTL.SVDC[4:0]ビット = 0x1c	4.58	4.7	4.82	V		
		SVDCTL.SVDC[4:0]ビット = 0x1d	4.68	4.8	4.92	V		
		SVDCTL.SVDC[4:0]ビット = 0x1e	4.78	4.9	5.02	V		
		SVDCTL.SVDC[4:0]ビット = 0x1f	4.88	5.0	5.13	V		
		SVD回路イネーブル時応答時間	tsVDEN	*1	-	-	500	μs
		SVD回路応答時間	tsVD		-	-	60	μs

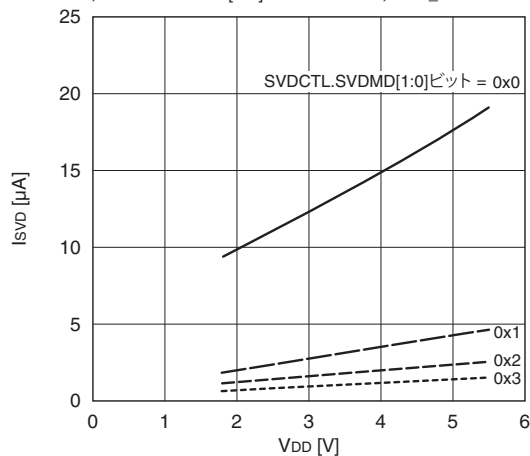
項目	記号	条件	Min.	Typ.	Max.	単位
SVD回路電流	ISVD	SVDCTL.SVDMMD[1:0]ビット = 0x0, SVDCTL.SVDC[4:0]ビット = 0x04, CLK_SVD3 = 32 kHz, Ta = 25°C	-	19	35	μA
		SVDCTL.SVDMMD[1:0]ビット = 0x1, SVDCTL.SVDC[4:0]ビット = 0x04, CLK_SVD3 = 32 kHz, Ta = 25°C	-	4.7	7.7	μA
		SVDCTL.SVDMMD[1:0]ビット = 0x2, SVDCTL.SVDC[4:0]ビット = 0x04, CLK_SVD3 = 32 kHz, Ta = 25°C	-	2.5	4.1	μA
		SVDCTL.SVDMMD[1:0]ビット = 0x3, SVDCTL.SVDC[4:0]ビット = 0x04, CLK_SVD3 = 32 kHz, Ta = 25°C	-	1.5	2.4	μA

\*1 CLK\_SVD3 = 32 kHz近辺に設定されている場合、tsVDENの時間はマスクされ、SVDINTF.SVDDTビットの値は前の値を保持します。



### SVD回路電流-電源電圧特性

Ta = 25°C, SVDCTL.SVDC[4:0]ビット = 0x04, CLK\_SVD3 = 32 kHz, Typ.値



## 22.10 UART(UART3)特性

特記なき場合: VDD = 1.8~5.5 V, VSS = 0 V, Ta = -40~85°C

項目	記号	条件	Min.	Typ.	Max.	単位
送受信ボーレート	UBRT1	通常動作時	150	-	921,600	bps
	UBRT2	IrDA使用時	150	-	115,200	bps

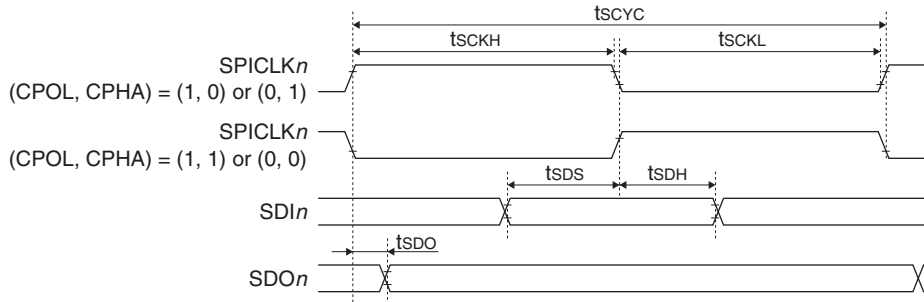
## 22.11 同期式シリアルインタフェース(SPIA)特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$

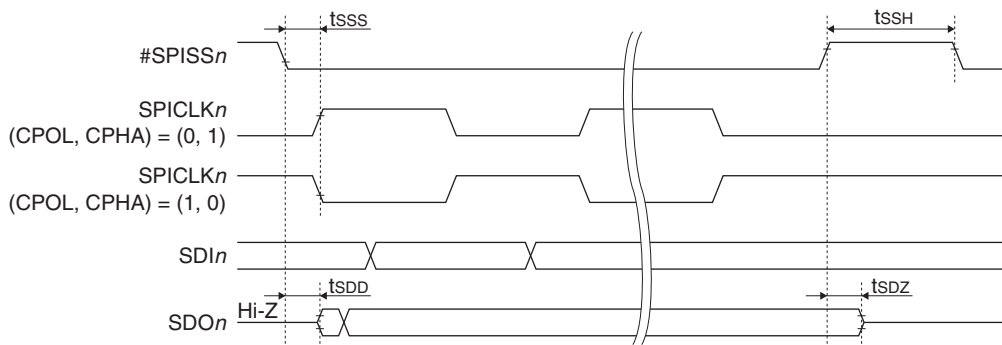
項目	記号	条件	$V_{DD}$	Min.	Typ.	Max.	単位
SPICLK $n$ サイクル時間	tscyc		4.5~5.5 V	250	-	-	ns
			1.8~4.5 V	500	-	-	ns
SPICLK $n$ High/パルス幅	tsckh		4.5~5.5 V	100	-	-	ns
			1.8~4.5 V	200	-	-	ns
SPICLK $n$ Low/パルス幅	tsckl		4.5~5.5 V	100	-	-	ns
			1.8~4.5 V	200	-	-	ns
SDIn セットアップ時間	tSDS		4.5~5.5 V	50	-	-	ns
SDIn ホールド時間	tSDH		4.5~5.5 V	80	-	-	ns
			1.8~4.5 V	30	-	-	ns
SDOn 出力遅延時間	tSDO	$C_L = 30 \text{ pF}^{*1}$	4.5~5.5 V	-	-	60	ns
			1.8~4.5 V	-	-	90	ns
#SPISS $n$ セットアップ時間	tSSS			80	-	-	ns
#SPISS $n$ High/パルス幅	tSSH			100	-	-	ns
SDOn 出力開始時間	tSDD	$C_L = 30 \text{ pF}^{*1}$		-	-	90	ns
SDOn 出力停止時間	tSDZ	$C_L = 30 \text{ pF}^{*1}$		-	-	80	ns

\*1  $C_L$  = 端子負荷

### マスタ/スレーブモード共通



### スレーブモード

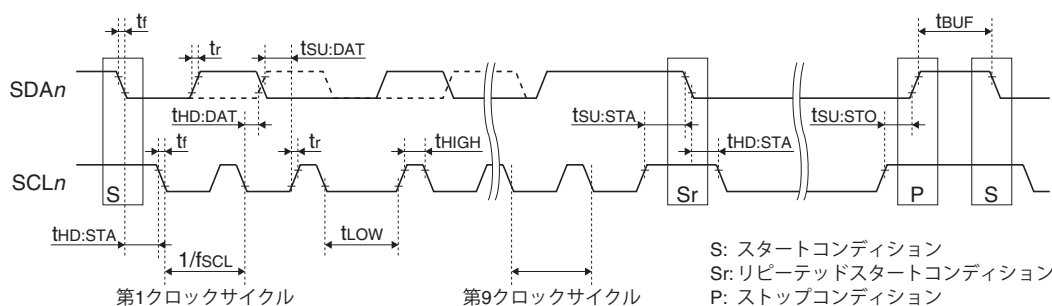


## 22.12 I<sup>2</sup>C(I2C)特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5$  V,  $V_{SS} = 0$  V,  $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	標準モード			ファースト・モード			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	
SCLn周波数	fSCL		0	-	100	0	-	400	kHz
ホールド時間(リピーテッドスタートコンディション*)	tHD:STA		4.0	-	-	0.6	-	-	$\mu\text{s}$
SCLn Lowパルス幅	tLOW		4.7	-	-	1.3	-	-	$\mu\text{s}$
SCLn Highパルス幅	tHIGH		4.0	-	-	0.6	-	-	$\mu\text{s}$
リピーテッドスタートコンディションセットアップ時間	tsu:STA		4.7	-	-	0.6	-	-	$\mu\text{s}$
データホールド時間	tHD:DAT		0	-	-	0	-	-	$\mu\text{s}$
データセットアップ時間	tsu:DAT		250	-	-	100	-	-	ns
SDAn, SCLn立ち上がり時間	tr		-	-	1,000	-	-	300	ns
SDAn, SCLn立ち下がり時間	tr		-	-	300	-	-	300	ns
ストップコンディションセットアップ時間	tsu:STO		4.0	-	-	0.6	-	-	$\mu\text{s}$
バスフリー時間	tBUF		4.7	-	-	1.3	-	-	$\mu\text{s}$

\* この期間の後、最初のクロックパルスを生成



## 22.13 EPDドライバ特性

EPDドライバは、パネル負荷(パネルの大きさ、駆動波形、表示点灯数、表示パターン)によってTyp.値がシフトしますので、実際に使用するパネルを接続して評価してください。

### VE Regulator出力電圧

特記なき場合:  $V_{DD} = 1.8 \sim 5.5$  V,  $V_{SS} = 0$  V,  $T_a = 25^\circ\text{C}$ ,  $C_{EPD1} \sim C_{EPD8} = 0.1$   $\mu\text{F}$ , パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位
VE Regulator出力電圧 ( $V_{E1}$ 基準, EPDPWR0.VESELビット = 0)	VE1	EPDPWR0.VECONT[3:0]ビット = 0x0	-0.075	1.005	+0.075	V
		EPDPWR0.VECONT[3:0]ビット = 0x1		1.055		V
		EPDPWR0.VECONT[3:0]ビット = 0x2		1.106		V
		EPDPWR0.VECONT[3:0]ビット = 0x3		1.156		V
		EPDPWR0.VECONT[3:0]ビット = 0x4		1.206		V
		EPDPWR0.VECONT[3:0]ビット = 0x5		1.256		V
		EPDPWR0.VECONT[3:0]ビット = 0x6		1.307		V
		EPDPWR0.VECONT[3:0]ビット = 0x7		1.357		V
		EPDPWR0.VECONT[3:0]ビット = 0x8		1.407		V
		EPDPWR0.VECONT[3:0]ビット = 0x9		1.457		V
		EPDPWR0.VECONT[3:0]ビット = 0xa		1.508		V
		EPDPWR0.VECONT[3:0]ビット = 0xb		1.558		V
		EPDPWR0.VECONT[3:0]ビット = 0xc		1.608		V
		EPDPWR0.VECONT[3:0]ビット = 0xd		1.658		V
		EPDPWR0.VECONT[3:0]ビット = 0xe		1.709		V
		EPDPWR0.VECONT[3:0]ビット = 0xf		1.759		V

## 22 電氣的特性

項目	記号	条件	Min.	Typ.	Max.	単位
V <sub>E</sub> Regulator出力電圧 (V <sub>E2</sub> 基準, EPDPWR0.VESELビット = 1)	V <sub>E2</sub>	EPDPWR0.VECONT[3:0]ビット = 0x0	Typ. - 0.150	2.010	Typ. + 0.150	V
		EPDPWR0.VECONT[3:0]ビット = 0x1		2.111		V
		EPDPWR0.VECONT[3:0]ビット = 0x2		2.211		V
		EPDPWR0.VECONT[3:0]ビット = 0x3		2.312		V
		EPDPWR0.VECONT[3:0]ビット = 0x4		2.412		V
		EPDPWR0.VECONT[3:0]ビット = 0x5		2.513		V
		EPDPWR0.VECONT[3:0]ビット = 0x6		2.613		V
		EPDPWR0.VECONT[3:0]ビット = 0x7		2.714		V
		EPDPWR0.VECONT[3:0]ビット = 0x8		2.814		V
		EPDPWR0.VECONT[3:0]ビット = 0x9		2.915		V
		EPDPWR0.VECONT[3:0]ビット = 0xa		3.015		V
		EPDPWR0.VECONT[3:0]ビット = 0xb		3.116		V
		EPDPWR0.VECONT[3:0]ビット = 0xc		3.216		V
		EPDPWR0.VECONT[3:0]ビット = 0xd		3.317		V
		EPDPWR0.VECONT[3:0]ビット = 0xe		3.417		V
EPDPWR0.VECONT[3:0]ビット = 0xf	3.518	V				

### EPD駆動電圧

特記なき場合: V<sub>DD</sub> = 1.8~5.5 V, V<sub>SS</sub> = 0 V, T<sub>a</sub> = 25°C, C<sub>EPD1</sub>~C<sub>EPD8</sub> = 0.1 μF, パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位
9V系EPD駆動電圧 (EPDPWR1.HVDSEL[1:0]ビット = 0x2)	V <sub>EPD</sub>	EPDPWR1.HVDCONT[3:0]ビット = 0x0	Typ. - 0.75	8.10	Typ. + 0.75	V
		EPDPWR1.HVDCONT[3:0]ビット = 0x1		8.28		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x2		8.46		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x3		8.64		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x4		8.82		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x5		9.00		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x6		9.18		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x7		9.36		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x8		9.54		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x9		9.72		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xa		9.90		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xb		10.08		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xc		10.26		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xd		10.44		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xe		10.62		V
EPDPWR1.HVDCONT[3:0]ビット = 0xf	10.80	V				
12V系EPD駆動電圧 (EPDPWR1.HVDSEL[1:0]ビット = 0x1)	V <sub>EPD</sub>	EPDPWR1.HVDCONT[3:0]ビット = 0x0	Typ. - 0.75	10.80	Typ. + 0.75	V
		EPDPWR1.HVDCONT[3:0]ビット = 0x1		11.04		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x2		11.28		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x3		11.52		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x4		11.76		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x5		12.00		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x6		12.24		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x7		12.48		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x8		12.72		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x9		12.96		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xa		13.20		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xb		13.44		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xc		13.68		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xd		13.92		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xe		14.16		V
EPDPWR1.HVDCONT[3:0]ビット = 0xf	14.40	V				

項目	記号	条件	Min.	Typ.	Max.	単位
15V系EPD駆動電圧 (EPDPWR1.HVDSSEL[1:0]ビット = 0x0)	V <sub>EPD</sub>	EPDPWR1.HVDCONT[3:0]ビット = 0x0	Typ. - 0.75	13.50	Typ. + 0.75	V
		EPDPWR1.HVDCONT[3:0]ビット = 0x1		13.80		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x2		14.10		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x3		14.40		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x4		14.70		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x5		15.00		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x6		15.30		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x7		15.60		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x8		15.90		V
		EPDPWR1.HVDCONT[3:0]ビット = 0x9		16.20		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xa		16.50		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xb		16.80		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xc		17.10		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xd		17.40		V
		EPDPWR1.HVDCONT[3:0]ビット = 0xe		17.70		V
EPDPWR1.HVDCONT[3:0]ビット = 0xf	18.00	V				

### ESEG/ETP/EBP出力特性

特記なき場合: V<sub>DD</sub> = 1.8~5.5 V, V<sub>SS</sub> = 0 V, Ta = -40~85°C

項目	記号	条件	Min.	Typ.	Max.	単位
セグメント、トッププレーン、 バックプレーン出力電流	I <sub>SEGH</sub>	ESEGxx, ETP0, EBP0, V <sub>SEGH</sub> = V <sub>EPD</sub>	-	-	-10	μA
	I <sub>SEGL</sub>	ESEGxx, ETP0, EBP0, V <sub>SEGL</sub> = V <sub>SS</sub>	10	-	-	μA

### EPDドライバ回路消費電流

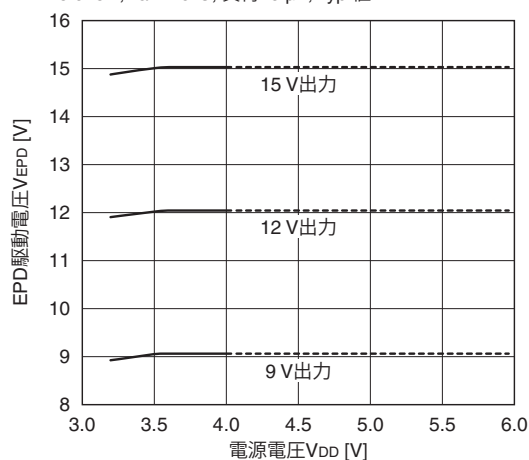
特記なき場合: V<sub>DD</sub> = 1.8~5.5 V, V<sub>SS</sub> = 0 V, Ta = 25°C, C<sub>EPD1</sub>~C<sub>EPD6</sub> = 0.1 μF, パネル負荷なし, OSC1 = 32.768 kHz, EPDTIMCLK.CLKSRC[1:0]ビット = 0x1 (OSC1), EPDTIMCLK.CLKDIV[2:0]ビット = 0x0 (CLK\_EPDC = 32 kHz), EPDDBLCLK.CLKSRC[1:0]ビット = 0x1 (OSC1), EPDDBLCLK.CLKDIV[2:0]ビット = 0x0 (CLK\_DBL = 32 kHz), EPDBSTCLK.CLKSRC[1:0]ビット = 0x1 (OSC1), EPDBSTCLK.CLKDIV[2:0]ビット = 0x1 (CLK\_BST = 16 kHz)

項目	記号	条件	Min.	Typ.	Max.	単位
EPD回路電流 *1	I <sub>EPD</sub>	基準電圧V <sub>E1</sub> (= 1.759 V)	-	75	100	μA
重負荷保護モードEPD回路電流 *1	I <sub>EPDH</sub>	基準電圧V <sub>E1</sub> (= 1.759 V), EPDPWR0.HVLDVEビット = 1	-	85	-	μA
		基準電圧V <sub>E1</sub> (= 1.759 V), EPDPWR1.HVLDHVDビット = 1	-	120	-	μA

\*1 EPD回路動作時にHALT時/動作時のいずれかの消費電流に加算されます。消費電流は、駆動波形、パネル負荷によって増加します。

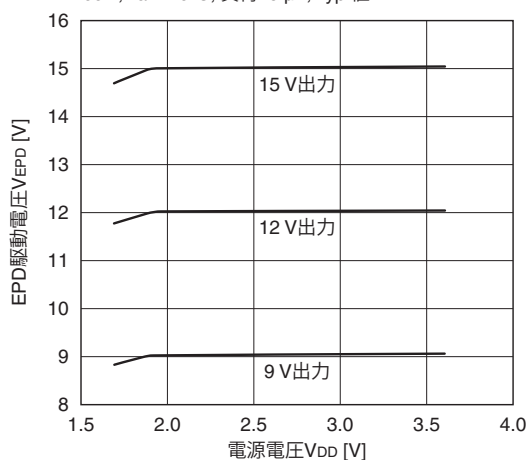
### EPD駆動電圧-電源電圧特性(V<sub>E2</sub>基準)

V<sub>E2</sub> = 3.518 V, Ta = 25°C, 負荷20 μA, Typ.値



### EPD駆動電圧-電源電圧特性(V<sub>E1</sub>基準)

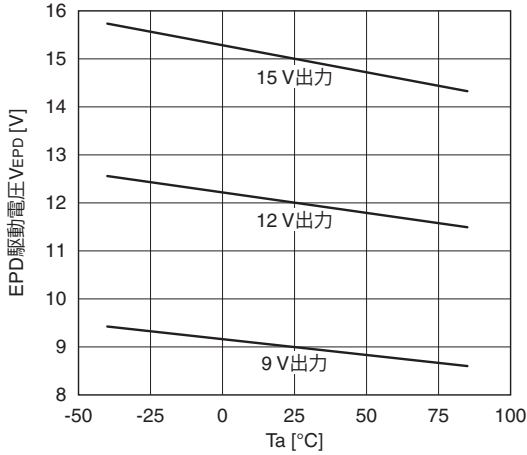
V<sub>E1</sub> = 1.759 V, Ta = 25°C, 負荷10 μA, Typ.値



## 22 電氣的特性

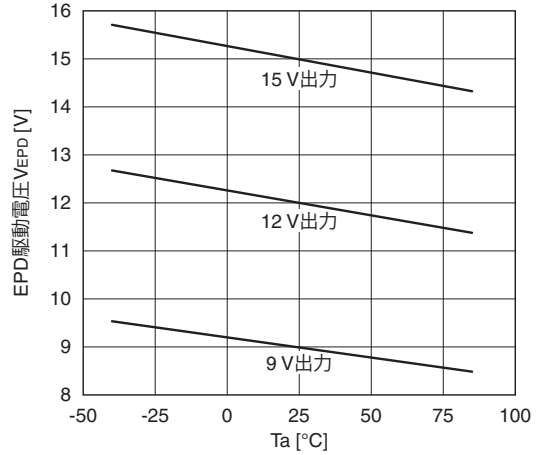
### EPD駆動電圧-温度特性( $V_{E2}$ 基準)

$V_{E2} = 3.518 \text{ V}$ ,  $V_{DD} = 3.6 \text{ V}$ , 負荷  $20 \mu\text{A}$ , Typ.値



### EPD駆動電圧-温度特性( $V_{E1}$ 基準)

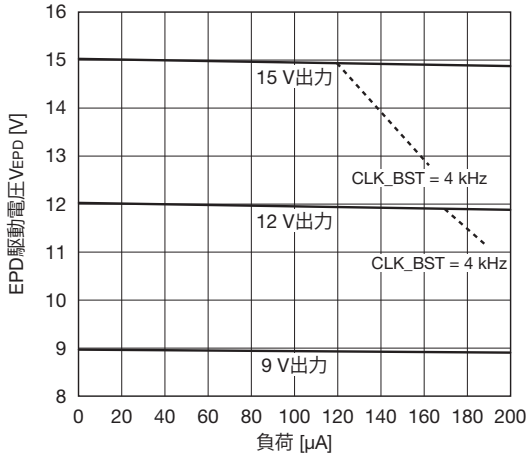
$V_{E1} = 1.759 \text{ V}$ ,  $V_{DD} = 2.0 \text{ V}$ , 負荷  $10 \mu\text{A}$ , Typ.値



### EPD駆動電圧-負荷特性( $V_{E2}$ 基準)

$V_{E2} = 3.518 \text{ V}$ ,  $T_a = 25^\circ\text{C}$ ,  $V_{DD} = 3.6 \text{ V}$ , Typ.値

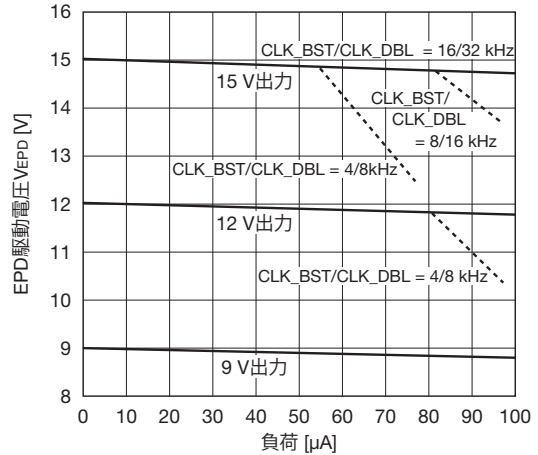
CLK\_BST = 4 kHz, 8 kHz, または16 kHz



### EPD駆動電圧-負荷特性( $V_{E1}$ 基準)

$V_{E1} = 1.759 \text{ V}$ ,  $T_a = 25^\circ\text{C}$ ,  $V_{DD} = 2.0 \text{ V}$ , Typ.値

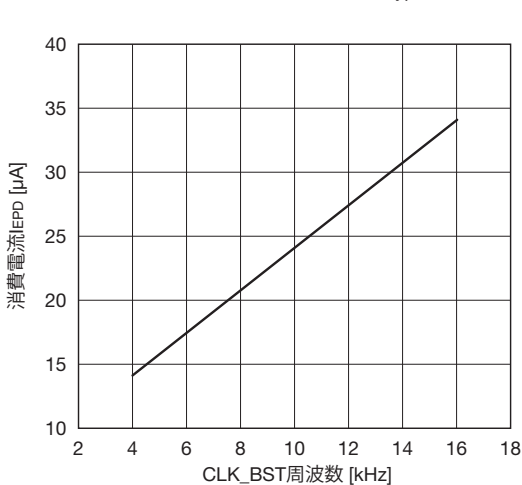
CLK\_BST/CLK\_DBL = 4/8 kHz, 8/16 kHz, または16/32 kHz



### EPDドライバ回路消費電流-

#### Boosterクロック周波数依存性( $V_{E2}$ 基準)

$V_{E2} = 3.518 \text{ V}$ ,  $T_a = 25^\circ\text{C}$ ,  $V_{DD} = 3.6 \text{ V}$ , 無負荷, Typ.値

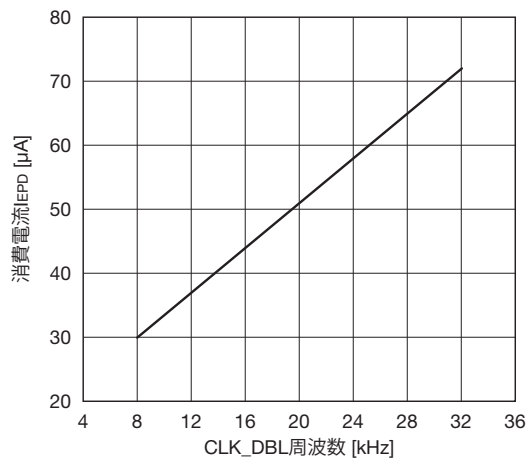


### EPDドライバ回路消費電流-

#### Doubler/Boosterクロック周波数依存性( $V_{E1}$ 基準)

$V_{E1} = 1.759 \text{ V}$ ,  $T_a = 25^\circ\text{C}$ ,  $V_{DD} = 2.0 \text{ V}$ , 無負荷, Typ.値

CLK\_BST周波数 = CLK\_DBL周波数 / 2



## 22.14 12ビットA/D変換器(ADC12A)特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{REFAn} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$ ,  $\text{ADC12\_nTRG.SMPCLK}[2:0]$ ビット =  $0 \times 3$ (7サイクル)

項目	記号	条件	$V_{DD}$	Min.	Typ.	Max.	単位
$V_{REFAn}$ 電圧範囲	$V_{REFA}$			1.8	-	$V_{DD}$	V
A/D変換クロック周波数	$f_{\text{CLK\_ADC12A}}$			16	-	2,200	kHz
サンプリングレート *1	$f_{\text{SMP}}$			-	-	100	ksps
積分非直線性 *2	INL	$V_{DD} = V_{REFAn} \times 3$ , $\text{ADC12\_nCFG.VRANGE}[1:0]$ ビット = $0 \times 3$		-	-	$\pm 3$	LSB
		$V_{DD} = V_{REFAn} \times 3$ , $\text{ADC12\_nCFG.VRANGE}[1:0]$ ビット = $0 \times 2$		-	-	$\pm 6$	LSB
		$V_{DD} = V_{REFAn} \times 3$ , $\text{ADC12\_nCFG.VRANGE}[1:0]$ ビット = $0 \times 1$		-	-	$\pm 6$	LSB
微分非直線性	DNL	$V_{DD} = V_{REFAn} \times 3$ , $\text{ADC12\_nCFG.VRANGE}[1:0]$ ビット = $0 \times 3$		-	-	$\pm 3$	LSB
		$V_{DD} = V_{REFAn} \times 3$ , $\text{ADC12\_nCFG.VRANGE}[1:0]$ ビット = $0 \times 2$		-	-	$\pm 6$	LSB
		$V_{DD} = V_{REFAn} \times 3$ , $\text{ADC12\_nCFG.VRANGE}[1:0]$ ビット = $0 \times 1$		-	-	$\pm 6$	LSB
ゼロスケール誤差	ZSE	$V_{DD} = V_{REFAn} \times 3$		-	-	$\pm 5$	LSB
フルスケール誤差	FSE	$V_{DD} = V_{REFAn} \times 3$		-	-	$\pm 5$	LSB
アナログ入力抵抗	$R_{\text{ADIN}}$			-	-	4	k $\Omega$
アナログ入力容量	$C_{\text{ADIN}}$			-	-	30	pF
A/D変換回路電流	$I_{\text{ADC}}$	$\text{ADC12\_nCFG.VRANGE}[1:0]$ ビット = $0 \times 3$ , $V_{DD} = V_{REFA}$ , $\text{ADIN} = V_{REFA}/2$ , $f_{\text{SMP}} = 100 \text{ ksps}$ , $T_a = 25^\circ\text{C}$	3.6 V	-	380	670	$\mu\text{A}$
		$\text{ADC12\_nCFG.VRANGE}[1:0]$ ビット = $0 \times 2$ , $V_{DD} = V_{REFA}$ , $\text{ADIN} = V_{REFA}/2$ , $f_{\text{SMP}} = 100 \text{ ksps}$ , $T_a = 25^\circ\text{C}$	4.8 V	-	230	390	$\mu\text{A}$
		$\text{ADC12\_nCFG.VRANGE}[1:0]$ ビット = $0 \times 1$ , $V_{DD} = V_{REFA}$ , $\text{ADIN} = V_{REFA}/2$ , $f_{\text{SMP}} = 100 \text{ ksps}$ , $T_a = 25^\circ\text{C}$	5.5 V	-	210	350	$\mu\text{A}$

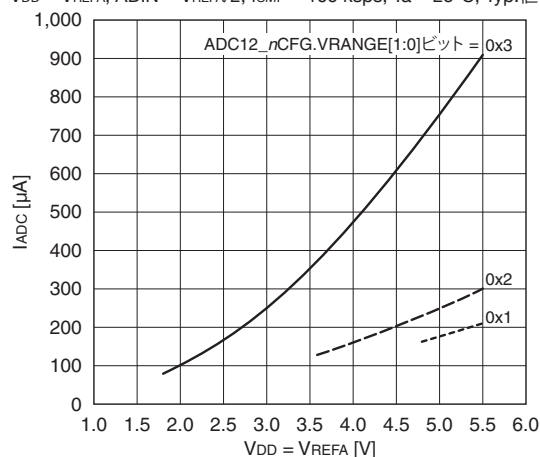
\*1 Max.値はA/D変換クロック周波数 $f_{\text{CLK\_ADC12A}} = 2,000 \text{ kHz}$ の場合の値です。

\*2 積分非直線性は、エンドポイントラインで測定されています。

\*3  $V_{DD}$ と $V_{REFAn}$ の電位差が大きくなると、誤差が拡大します。

### A/D変換器消費電流-電源電圧特性

$V_{DD} = V_{REFA}$ ,  $\text{ADIN} = V_{REFA}/2$ ,  $f_{\text{SMP}} = 100 \text{ ksps}$ ,  $T_a = 25^\circ\text{C}$ , Typ.値



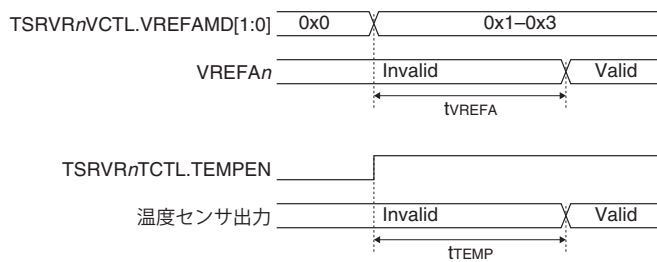
## 22.15 温度センサ/基準電圧生成回路(TSRVR)特性

特記なき場合:  $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
$V_{REFA}(2.5 \text{ V})$ 出力電圧	$V_{VO25}$	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	2.4	2.5	2.6	V
$V_{REFA}(2.0 \text{ V})$ 出力電圧	$V_{VO20}$	$V_{DD} = 2.2 \sim 5.5 \text{ V}$	1.9	2.0	2.1	V
$V_{REFA}(V_{DD})$ 出力電圧	$V_{VODD}$	$V_{DD} = 1.8 \sim 5.5 \text{ V}$	$V_{DD} - 0.1$	$V_{DD}$	$V_{DD} + 0.1$	V
$V_{REFA}(2.5/2.0 \text{ V})$ 動作電流	$I_{VO1}$	$V_{DD} = 5.5 \text{ V}$ , $T_a = 25^\circ\text{C}$	25	40	60	$\mu\text{A}$
$V_{REFA}(V_{DD})$ 動作電流	$I_{VO2}$	$V_{DD} = 5.5 \text{ V}$ , $T_a = 25^\circ\text{C}$	-	0.0	0.1	$\mu\text{A}$
$V_{REFA}$ 出力電圧安定時間	$t_{\text{VREFA}}$	$C_{\text{VREFA}} = 0.1 \mu\text{F}$	-	1.5	5	ms
温度センサ出力電圧	$V_{\text{TEMP}}$	$V_{DD} = 2.2 \sim 5.5 \text{ V}$ , $T_a = 25^\circ\text{C}$	1.04	1.07	1.1	V
温度センサ出力電圧温度係数	$\Delta V_{\text{TEMP}}$	$V_{DD} = 2.2 \sim 5.5 \text{ V}$	-	$3.6 \pm 3\%$	$3.7 \pm 6\%$	$\text{mV}/^\circ\text{C}$
温度センサ動作電流	$I_{\text{VTEMP}}$	$V_{DD} = 5.5 \text{ V}$ , $T_a = 25^\circ\text{C}$	10	16	22	$\mu\text{A}$
温度センサ出力安定時間	$t_{\text{TEMP}}$		-	-	200	$\mu\text{s}$

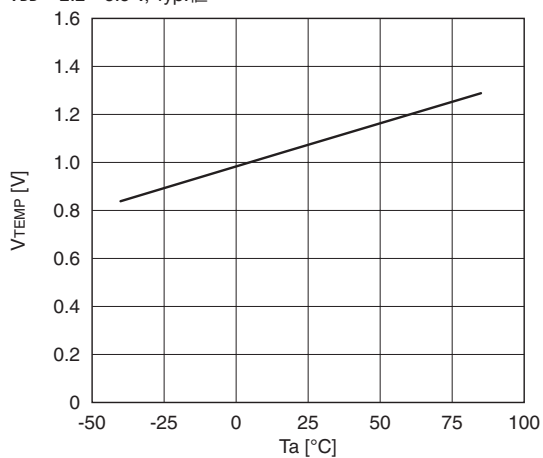


## 22 電気的特性

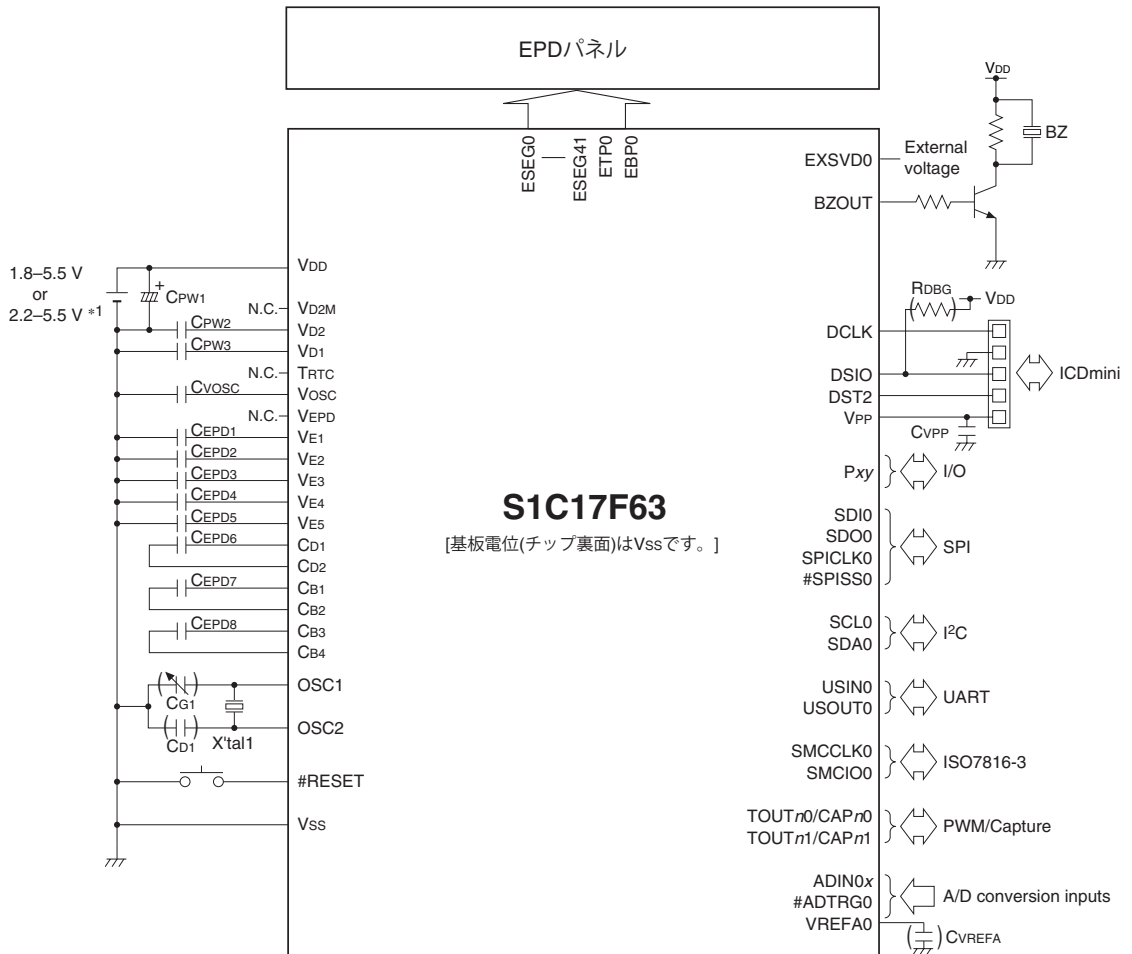


### 温度センサ出力電圧-温度特性

$V_{DD} = 2.2 \sim 5.5 \text{ V}$ , Typ.値



# 23 基本外部結線図



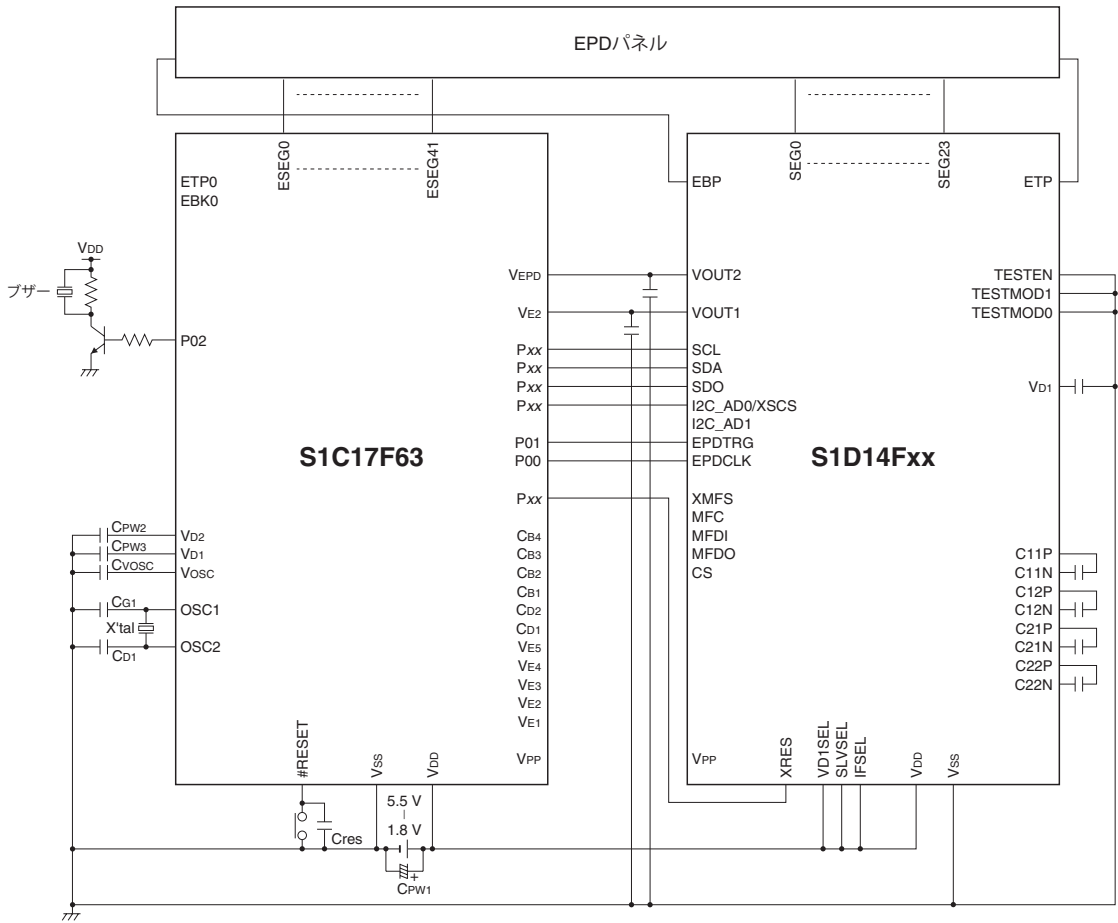
\*1: Flash/EEPROMプログラミング時  
( ): 不要時は未実装とする。

## 外付け部品例

シンボル	名称	推奨部品
X'tal1	32 kHz水晶振動子	セイコーエプソン(株)製 C-002RX (R1 = 50 kΩ (Max.), CL = 7 pF)
CG1	OSC1用ゲートキャパシタ	トリマーコンデンサ or セラミックコンデンサ
CD1	OSC1用ドレインキャパシタ	セラミックコンデンサ
CPW1	Vss~VDD間バイパスキャパシタ	セラミックコンデンサ or 電解コンデンサ
CPW2	Vss~VD2間キャパシタ	セラミックコンデンサ
CPW3	Vss~VD1間キャパシタ	セラミックコンデンサ
CVOSC	Vss~Vosc間キャパシタ	セラミックコンデンサ
CEPD1	Vss~VE1間キャパシタ	セラミックコンデンサ
CEPD2	Vss~VE2間キャパシタ	セラミックコンデンサ
CEPD3	Vss~VE3間キャパシタ	セラミックコンデンサ
CEPD4	Vss~VE4間キャパシタ	セラミックコンデンサ
CEPD5	Vss~VE5間キャパシタ	セラミックコンデンサ
CEPD6	CD1~CD2間キャパシタ	セラミックコンデンサ
CEPD7	CB1~CB2間キャパシタ	セラミックコンデンサ
CEPD8	CB3~CB4間キャパシタ	セラミックコンデンサ
BZ	圧電ブザー	TDK(株)製 PS1240P02
CVREFA	Vss~VREFA間キャパシタ	セラミックコンデンサ
CVPP	Vss~VPP間キャパシタ	セラミックコンデンサ

\* 推奨部品の定数については、“電気的特性”の章の“推奨動作条件”を参照してください。

外部EPDドライバ接続例 (外部EPDドライバのEPD電源を使用する場合)



# 24 パッケージ

## QFP15-100PIN (P-LQFP100-1414-0.50)

(単位: mm)

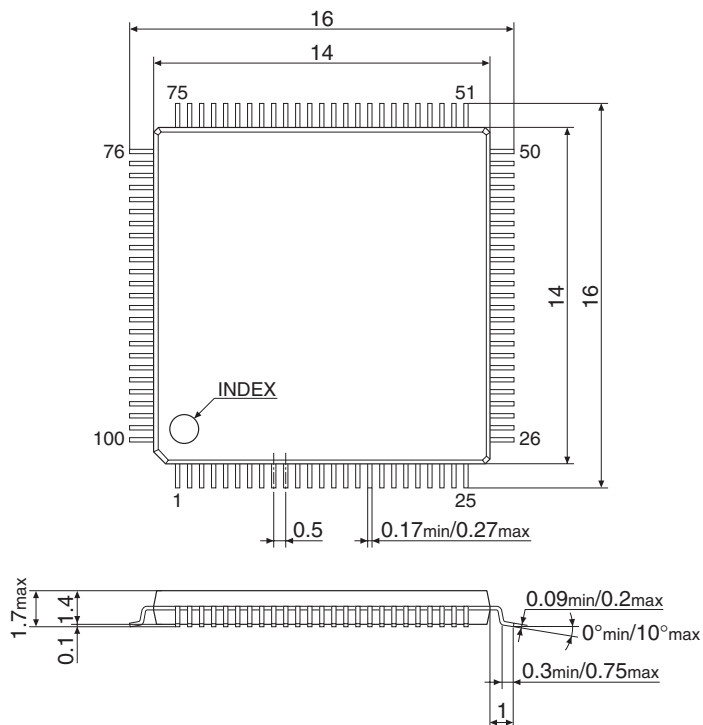


図24.1 QFP15-100PIN/パッケージ寸法

# Appendix A 周辺回路制御レジスタ一覧

## 0x4000–0x4008

## Misc Registers (MISC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000	MSCPROT (MISC System Protect Register)	15–0	PROT[15:0]	0x0000	H0	R/W	–
0x4002	MSCIRAMSZ (MISC IRAM Size Register)	15–9	–	0x00	–	R	–
		8	(reserved)	0	H0	R/WP	Always set to 0.
		7–3	–	0x04	–	R	–
		2–0	IRAMSZ[2:0]	0x2	H0	R/WP	–
0x4004	MSCTTBRL (MISC Vector Table Address Low Register)	15–8	TTBR[15:8]	0x80	H0	R/WP	–
		7–0	TTBR[7:0]	0x00	H0	R	–
0x4006	MSCTTBRH (MISC Vector Table Address High Register)	15–8	–	0x00	–	R	–
		7–0	TTBR[23:16]	0x00	H0	R/WP	–
0x4008	MSCPSR (MISC PSR Register)	15–8	–	0x00	–	R	–
		7–5	PSRIL[2:0]	0x0	H0	R	–
		4	PSRIE	0	H0	R	–
		3	PSRC	0	H0	R	–
		2	PSRV	0	H0	R	–
		1	PSRZ	0	H0	R	–
0	PSRN	0	H0	R	–		

## 0x4020

## Power Generator (PWG)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4020	PWGVD1CTL (PWG V <sub>D1</sub> Control Register)	15–8	–	0x00	–	R	–
		7–2	–	0x00	–	R	–
		1–0	REGMODE[1:0]	0x0	H0	R/WP	–

## 0x4040–0x4054

## Clock Generator (CLG)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4040	CLGSCLK (CLG System Clock Control Register)	15	WUPMD	0	H0	R/WP	–
		14	–	0	–	R	–
		13–12	WUPDIV[1:0]	0x0	H0	R/WP	–
		11–10	–	0x0	–	R	–
		9–8	WUPSRC[1:0]	0x0	H0	R/WP	–
		7–6	–	0x0	–	R	–
		5–4	CLKDIV[1:0]	0x0	H0	R/WP	–
		3–2	–	0x0	–	R	–
1–0	CLKSRC[1:0]	0x0	H0	R/WP	–		
0x4042	CLGOSC (CLG Oscillation Control Register)	15–12	–	0x0	–	R	–
		11	EXOSCSLPC	1	H0	R/W	–
		10	OSC3SLPC	1	H0	R/W	–
		9	OSC1SLPC	1	H0	R/W	–
		8	IOSCSLPC	1	H0	R/W	–
		7–4	–	0x0	–	R	–
		3	EXOSCEN	0	H0	R/W	–
		2	OSC3EN	0	H0	R/W	–
1	OSC1EN	0	H0	R/W	–		
0	IOSCEN	1	H0	R/W	–		

## Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4044	CLGIOSC (CLG IOSC Control Register)	15-8	-	0x00	-	R	-
		7-5	-	0x0	-	R	-
		4	IOSCSTM	0	H0	R/WP	-
		3-0	-	0x0	-	R	-
0x4046	CLGOSC1TRIM (CLG OSC1 Trimming Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	-
		5-0	XFIB[5:0]	*	H0	R	-
0x4048	CLGOSC3 (CLG OSC3 Control Register)	15-13	-	0x0	-	R	-
		12-10	OSC3FQ[2:0]	0x3	H0	R/WP	-
		9-8	-	0x0	-	R	-
		7-3	-	0x00	-	R	-
		2-0	OSC3WT[2:0]	0x6	H0	R/WP	-
0x404c	CLGINTF (CLG Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7	-	0x0	-	R	-
		6-5	(reserved)	0x0	H0	R	-
		4	IOSCTEDIF	0	H0	R/W	Cleared by writing 1.
		3	-	0	-	R	-
		2	OSC3STAIF	0	H0	R/W	Cleared by writing 1.
		1	-	0	-	R	-
		0	IOSCSTAIF	0	H0	R/W	-
0x404e	CLGINTE (CLG Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	-
		6-5	(reserved)	0x0	H0	R	-
		4	IOSCTEDIE	0	H0	R/W	-
		3	-	0	-	R	-
		2	OSC3STAIE	0	H0	R/W	-
		1	-	0	-	R	-
		0	IOSCSTAIE	0	H0	R/W	-
0x4050	CLGFOUT0 (CLG FOUT Control Register 0)	15-8	-	0x00	-	R	-
		7	-	0	-	R	-
		6-4	FOUTDIV[2:0]	0x0	H0	R/W	-
		3-2	FOUTSRC[1:0]	0x0	H0	R/W	-
		1	-	0	-	R	-
		0	FOUTEN	0	H0	R/W	-
0x4054	CLGTRIM (CLG Oscillation Frequency Trimming Register)	15-14	-	0x0	-	R	-
		13-8	OSC3AJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.
		7-6	-	0x0	-	R	-
		5-0	IOSCAJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.

### 0x4080-0x4092

### Interrupt Controller (ITC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4080	ITCLV0 (ITC Interrupt Level Setup Register 0)	15-11	-	0x00	-	R	-
		10-8	ILV1[2:0]	0x0	H0	R/W	Port interrupt (ILVPPORT)
		7-3	-	0x00	-	R	-
		2-0	ILV0[2:0]	0x0	H0	R/W	Supply voltage detector interrupt (ILVSVD3)
0x4082	ITCLV1 (ITC Interrupt Level Setup Register 1)	15-11	-	0x00	-	R	-
		10-8	ILV3[2:0]	0x0	H0	R/W	Clock generator interrupt (ILVCLG)
		7-0	-	0x00	-	R	-

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4084	ITCLV2 (ITC Interrupt Level Setup Register 2)	15–11	–	0x00	–	R	–
		10–8	ILV5[2:0]	0x0	H0	R/W	16-bit timer Ch.0 interrupt (ILVT16_0)
		7–3	–	0x00	–	R	–
		2–0	ILV4[2:0]	0x0	H0	R/W	Real-time clock interrupt (ILVRTCB_0)
0x4086	ITCLV3 (ITC Interrupt Level Setup Register 3)	15–11	–	0x00	–	R	–
		10–8	ILV7[2:0]	0x0	H0	R/W	16-bit timer Ch.1 interrupt (ILVT16_1)
		7–3	–	0x00	–	R	–
		2–0	ILV6[2:0]	0x0	H0	R/W	UART Ch.0 interrupt (ILUART3_0)
0x4088	ITCLV4 (ITC Interrupt Level Setup Register 4)	15–11	–	0x00	–	R	–
		10–8	ILV9[2:0]	0x0	H0	R/W	I <sup>2</sup> C interrupt (ILVI2C_0)
		7–3	–	0x00	–	R	–
		2–0	ILV8[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.0 interrupt (ILVSPIA_0)
0x408a	ITCLV5 (ITC Interrupt Level Setup Register 5)	15–11	–	0x00	–	R	–
		10–8	ILV11[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.1 interrupt (ILVT16B_1)
		7–3	–	0x00	–	R	–
		2–0	ILV10[2:0]	0x0	H0	R/W	16-bit PWM timer Ch.0 interrupt (ILVT16B_0)
0x408c	ITCLV6 (ITC Interrupt Level Setup Register 6)	15–11	–	0x00	–	R	–
		10–8	ILV13[2:0]	0x0	H0	R/W	Sound generator interrupt (ILVSND_A_0)
		7–3	–	0x00	–	R	–
		2–0	ILV12[2:0]	0x0	H0	R/W	Smart card interface interrupt (ILSMCIF_0)
0x408e	ITCLV7 (ITC Interrupt Level Setup Register 7)	15–11	–	0x00	–	R	–
		10–8	ILV15[2:0]	0x0	H0	R/W	12-bit A/D converter interrupt (ILVADC12A_0)
		7–3	–	0x00	–	R	–
		2–0	ILV14[2:0]	0x0	H0	R/W	16-bit timer Ch.2 interrupt (ILVT16_2)
0x4090	ITCLV8 (ITC Interrupt Level Setup Register 8)	15–11	–	0x00	–	R	–
		10–8	ILV17[2:0]	0x0	H0	R/W	EEPROM controller interrupt (ILVEPRC)
		7–3	–	0x00	–	R	–
		2–0	ILV16[2:0]	0x0	H0	R/W	EPD controller/driver interrupt (ILVEPDC)
0x4092	ITCLV9 (ITC Interrupt Level Setup Register 9)	15–11	–	0x00	–	R	–
		10–8	ILV19[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.1 interrupt (ILVSPIA_1)
		7–3	–	0x00	–	R	–
		2–0	ILV18[2:0]	0x0	H0	R/W	16-bit timer Ch.3 interrupt (ILVT16_3)

**0x40a0–0x40a4****Watchdog Timer (WDT2)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x40a0	WDTCLK (WDT2 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/WP	
		7–6	–	0x0	–	R	
		5–4	CLKDIV[1:0]	0x0	H0	R/WP	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/WP	

## Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x40a2	WDTCTL (WDT2 Control Register)	15–11	–	0x00	–	R	–
		10–9	MOD[1:0]	0x0	H0	R/WP	
		8	STATNMI	0	H0	R	
		7–5	–	0x0	–	R	
		4	WDTCTRST	0	H0	WP	Always read as 0.
0x40a4	WDTCMP (WDT2 Counter Compare Match Register)	15–10	–	0x00	–	R	–
		9–0	CMP[9:0]	0x3ff	H0	R/WP	–

### 0x4100–0x4106

### Supply Voltage Detector (SVD3)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4100	SVDCLK (SVD3 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	1	H0	R/WP	
		7	–	0	–	R	
		6–4	CLKDIV[2:0]	0x0	H0	R/WP	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/WP	
0x4102	SVDCTL (SVD3 Control Register)	15	VDSEL	0	H1	R/WP	–
		14–13	SVSDSC[1:0]	0x0	H0	R/WP	Writing takes effect when the SVDCTL.SVDMD[1:0] bits are not 0x0.
		12–8	SVDC[4:0]	0x1e	H1	R/WP	–
		7–4	SVDRE[3:0]	0x0	H1	R/WP	–
		3	–	0	–	R	–
		2–1	SVDMD[1:0]	0x0	H0	R/WP	–
		0	MODEN	0	H1	R/WP	–
0x4104	SVDINTF (SVD3 Status and Interrupt Flag Register)	15–9	–	0x00	–	R	–
		8	SVDDT	x	–	R	
		7–1	–	0x00	–	R	
		0	SVDIF	0	H1	R/W	
0x4106	SVDINTE (SVD3 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	SVDIE	0	H0	R/W	

### 0x4160–0x416c

### 16-bit Timer (T16) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4160	T16_0CLK (T16 Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4162	T16_0MOD (T16 Ch.0 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4164	T16_0CTL (T16 Ch.0 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
0x4166	T16_OTR (T16 Ch.0 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
		0x4168	T16_0TC (T16 Ch.0 Counter Data Register)	15–0	TC[15:0]	0xffff	H0



Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x416a	T16_OINTF (T16 Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
		7-1	-	0x00	-	R	
		0	UFIF	0	H0	R/W	
0x416c	T16_OINTE (T16 Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

**0x41b0****Flash Controller (FLASHC)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x41b0	FLASHCWAIT (FLASHC Flash Read Cycle Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	-
		1-0	RDWAIT[1:0]	0x1	H0	R/WP	

**0x41c0-0x41ca****EEPROM Controller (EEPROMC)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x41c0	EPRCCTL0 (EEPROMC Control Register 0)	15-9	-	0x00	-	R	
		8	EP_XPOR	1	H0	R/WP	
		7-2	-	0x00	-	R	
		1	EP_PWRSET	0	H0	R/WP	
		0	EP_WMODE	0	H0	R/WP	
0x41c2	EPRCCTL1 (EEPROMC Control Register 1)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	EP_CK	0	H0	WP	
0x41c4	EPRCADR (EEPROMC Address Register)	15-8	-	0x00	-	R	
		7-0	EP_ADDR[7:0]	0x00	H0	R/WP	
0x41c6	EPRCWDAT (EEPROMC Write Data Register)	15-8	-	0x00	-	R	
		7-0	EP_WDAT[7:0]	0x00	H0	R/WP	
0x41c8	EPRCINTF (EEPROMC Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
		7-2	-	0x00	-	R	
		1	ECCERIF	0	H0	R/W	
		0	RXBIF	0	H0	R/W	
0x41ca	EPRCINTE (EEPROMC Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-2	-	0x00	-	R	
		1	ECCERIE	0	H0	R/W	
		0	RXBIE	0	H0	R/W	

**0x4200-0x42e2****I/O Ports (PPORT)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4200	P0DAT (P0 Port Data Register)	15-8	P0OUT[7:0]	0x00	H0	R/W	
		7-0	P0IN[7:0]	0x00	H0	R	
0x4202	P0IOEN (P0 Port Enable Register)	15-8	P0IEN[7:0]	0x00	H0	R/W	
		7-0	P0OEN[7:0]	0x00	H0	R/W	
0x4204	P0RCTL (P0 Port Pull-up/down Control Register)	15-8	P0PDPUI[7:0]	0x00	H0	R/W	
		7-0	P0REN[7:0]	0x00	H0	R/W	
0x4206	P0INTF (P0 Port Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
		7-0	P0IF[7:0]	0x00	H0	R/W	
0x4208	P0INTCTL (P0 Port Interrupt Control Register)	15-8	P0EDGE[7:0]	0x00	H0	R/W	
		7-0	P0IE[7:0]	0x00	H0	R/W	
0x420a	P0CHATEN (P0 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	
		7-0	P0CHATEN[7:0]	0x00	H0	R/W	

**Appendix A 周辺回路制御レジスタ一覧**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x420c	P0MODESEL (P0 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-0	P0SEL[7:0]	0x00	H0	R/W	
0x420e	P0FNCSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	-
		13-12	P06MUX[1:0]	0x0	H0	R/W	
		11-10	P05MUX[1:0]	0x0	H0	R/W	
		9-8	P04MUX[1:0]	0x0	H0	R/W	
		7-6	P03MUX[1:0]	0x0	H0	R/W	
		5-4	P02MUX[1:0]	0x0	H0	R/W	
		3-2	P01MUX[1:0]	0x0	H0	R/W	
0x4210	P1DAT (P1 Port Data Register)	15-14	-	0x0	-	R	-
		13-8	P1OUT[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P1IN[5:0]	0x00	H0	R	
0x4212	P1IOEN (P1 Port Enable Register)	15-14	-	0x0	-	R	-
		13-8	P1IEN[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P1OEN[5:0]	0x00	H0	R/W	
0x4214	P1RCTL (P1 Port Pull-up/down Control Register)	15-14	-	0x0	-	R	-
		13-8	P1PDU[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P1REN[5:0]	0x00	H0	R/W	
0x4216	P1INTF (P1 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5-0	P1IF[5:0]	0x00	H0	R/W	
0x4218	P1INTCTL (P1 Port Interrupt Control Register)	15-14	-	0x0	-	R	-
		13-8	P1EDGE[5:0]	0x00	H0	R/W	
		7-6	-	0x0	-	R	
		5-0	P1IE[5:0]	0x00	H0	R/W	
0x421a	P1CHATEN (P1 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5-0	P1CHATEN[5:0]	0x00	H0	R/W	
0x421c	P1MODESEL (P1 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5-0	P1SEL[5:0]	0x00	H0	R/W	
0x421e	P1FNCSEL (P1 Port Function Select Register)	15-12	-	0x0	-	R	-
		11-10	P15MUX[1:0]	0x0	H0	R/W	
		9-8	P14MUX[1:0]	0x0	H0	R/W	
		7-6	P13MUX[1:0]	0x0	H0	R/W	
		5-4	P12MUX[1:0]	0x0	H0	R/W	
		3-2	P11MUX[1:0]	0x0	H0	R/W	
0x42d0	PDDAT (Pd Port Data Register)	15-11	-	0x00	-	R	-
		10-8	PDOOUT[2:0]	0x0	H0	R/W	
		7-3	-	0x00	-	R	
		2-0	PDIN[2:0]	x	H0	R	
0x42d2	PDIOEN (Pd Port Enable Register)	15-11	-	0x00	-	R	-
		10-8	PDIEN[2:0]	0x0	H0	R/W	
		7-3	-	0x00	-	R	
		2-0	PDOEN[2:0]	0x0	H0	R/W	
0x42d4	PDRCTL (Pd Port Pull-up/down Control Register)	15-11	-	0x00	-	R	-
		10-8	PDPDU[2:0]	0x0	H0	R/W	
		7-3	-	0x00	-	R	
		2-0	PDREN[2:0]	0x0	H0	R/W	
0x42dc	PDMODESEL (Pd Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-3	-	0x00	-	R	
		2-0	PDSEL[2:0]	0x7	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x42de	PDFNCSEL (Pd Port Function Select Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5-4	PD2MUX[1:0]	0x0	H0	R/W	
		3-2	PD1MUX[1:0]	0x0	H0	R/W	
		1-0	PD0MUX[1:0]	0x0	H0	R/W	
0x42e0	PCLK (P Port Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/WP	
		7-4	CLKDIV[3:0]	0x0	H0	R/WP	
		3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
0x42e2	PINTFGRP (P Port Interrupt Flag Group Register)	15-8	-	0x00	-	R	-
		7-3	-	0x00	-	R	
		2	P2INT	0	H0	R	
		1	P1INT	0	H0	R	
		0	P0INT	0	H0	R	

**0x4300-0x430c****Universal Port Multiplexer (UPMUX)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4300	P0UPMUX0 (P00-01 Universal Port Multiplexer Setting Register)	15-13	P01PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P01PERICH[1:0]	0x0	H0	R/W	
		10-8	P01PERISEL[2:0]	0x0	H0	R/W	
		7-5	P00PPFNC[2:0]	0x0	H0	R/W	
		4-3	P00PERICH[1:0]	0x0	H0	R/W	
		2-0	P00PERISEL[2:0]	0x0	H0	R/W	
0x4302	P0UPMUX1 (P02-03 Universal Port Multiplexer Setting Register)	15-13	P03PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P03PERICH[1:0]	0x0	H0	R/W	
		10-8	P03PERISEL[2:0]	0x0	H0	R/W	
		7-5	P02PPFNC[2:0]	0x0	H0	R/W	
		4-3	P02PERICH[1:0]	0x0	H0	R/W	
0x4304	P0UPMUX2 (P04-05 Universal Port Multiplexer Setting Register)	15-13	P05PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P05PERICH[1:0]	0x0	H0	R/W	
		10-8	P05PERISEL[2:0]	0x0	H0	R/W	
		7-5	P04PPFNC[2:0]	0x0	H0	R/W	
		4-3	P04PERICH[1:0]	0x0	H0	R/W	
0x4306	P0UPMUX3 (P06-07 Universal Port Multiplexer Setting Register)	15-13	P07PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P07PERICH[1:0]	0x0	H0	R/W	
		10-8	P07PERISEL[2:0]	0x0	H0	R/W	
		7-5	P06PPFNC[2:0]	0x0	H0	R/W	
		4-3	P06PERICH[1:0]	0x0	H0	R/W	
0x4308	P1UPMUX0 (P10-11 Universal Port Multiplexer Setting Register)	15-13	P11PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P11PERICH[1:0]	0x0	H0	R/W	
		10-8	P11PERISEL[2:0]	0x0	H0	R/W	
		7-5	P10PPFNC[2:0]	0x0	H0	R/W	
		4-3	P10PERICH[1:0]	0x0	H0	R/W	
0x430a	P1UPMUX1 (P12-13 Universal Port Multiplexer Setting Register)	15-13	P13PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P13PERICH[1:0]	0x0	H0	R/W	
		10-8	P13PERISEL[2:0]	0x0	H0	R/W	
		7-5	P12PPFNC[2:0]	0x0	H0	R/W	
		4-3	P12PERICH[1:0]	0x0	H0	R/W	
0x430c	P1UPMUX2 (P14-15 Universal Port Multiplexer Setting Register)	15-13	P15PPFNC[2:0]	0x0	H0	R/W	-
0x430d	P1UPMUX3 (P16-17 Universal Port Multiplexer Setting Register)	15-13	P17PPFNC[2:0]	0x0	H0	R/W	-
0x430e	P1UPMUX4 (P18-19 Universal Port Multiplexer Setting Register)	15-13	P19PPFNC[2:0]	0x0	H0	R/W	-
0x430f	P1UPMUX5 (P20-21 Universal Port Multiplexer Setting Register)	15-13	P21PPFNC[2:0]	0x0	H0	R/W	-
0x4310	P1UPMUX6 (P22-23 Universal Port Multiplexer Setting Register)	15-13	P23PPFNC[2:0]	0x0	H0	R/W	-
0x4311	P1UPMUX7 (P24-25 Universal Port Multiplexer Setting Register)	15-13	P25PPFNC[2:0]	0x0	H0	R/W	-
0x4312	P1UPMUX8 (P26-27 Universal Port Multiplexer Setting Register)	15-13	P27PPFNC[2:0]	0x0	H0	R/W	-
0x4313	P1UPMUX9 (P28-29 Universal Port Multiplexer Setting Register)	15-13	P29PPFNC[2:0]	0x0	H0	R/W	-
0x4314	P1UPMUX10 (P30-31 Universal Port Multiplexer Setting Register)	15-13	P31PPFNC[2:0]	0x0	H0	R/W	-

## Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x430c	P1UPMUX2 (P14–15 Universal Port Multiplexer Setting Register)	15–13	P15PPFNC[2:0]	0x0	H0	R/W	-
		12–11	P15PERICH[1:0]	0x0	H0	R/W	
		10–8	P15PERISEL[2:0]	0x0	H0	R/W	
		7–5	P14PPFNC[2:0]	0x0	H0	R/W	
		4–3	P14PERICH[1:0]	0x0	H0	R/W	
		2–0	P14PERISEL[2:0]	0x0	H0	R/W	

### 0x4380–0x4390

### UART (UART3) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4380	UA0CLK (UART3 Ch.0 Clock Control Register)	15–9	–	0x00	–	R	-	
		8	DBRUN	0	H0	R/W		
		7–6	–	0x0	–	R		
		5–4	CLKDIV[1:0]	0x0	H0	R/W		
		3–2	–	0x0	–	R		
		1–0	CLKSRC[1:0]	0x0	H0	R/W		
0x4382	UA0MOD (UART3 Ch.0 Mode Register)	15–13	–	0x0	–	R	-	
		12	PECAR	0	H0	R/W		
		11	CAREN	0	H0	R/W		
		10	BRDIV	0	H0	R/W		
		9	INVRX	0	H0	R/W		
		8	INVTX	0	H0	R/W		
		7	–	0	–	R		
		6	PUEN	0	H0	R/W		
		5	OUTMD	0	H0	R/W		
		4	IRMD	0	H0	R/W		
		3	CHLN	0	H0	R/W		
		2	PREN	0	H0	R/W		
		1	PRMD	0	H0	R/W		
0	STPB	0	H0	R/W				
0x4384	UA0BR (UART3 Ch.0 Baud- Rate Register)	15–12	–	0x0	–	R	-	
		11–8	FMD[3:0]	0x0	H0	R/W		
		7–0	BRT[7:0]	0x00	H0	R/W		
0x4386	UA0CTL (UART3 Ch.0 Control Register)	15–8	–	0x00	–	R	-	
		7–2	–	0x00	–	R		
		1	SFTRST	0	H0	R/W		
0	MODEN	0	H0	R/W				
0x4388	UA0TXD (UART3 Ch.0 Trans- mit Data Register)	15–8	–	0x00	–	R	-	
		7–0	TXD[7:0]	0x00	H0	R/W		
0x438a	UA0RXD (UART3 Ch.0 Receive Data Register)	15–8	–	0x00	–	R	-	
		7–0	RXD[7:0]	0x00	H0	R		
0x438c	UA0INTF (UART3 Ch.0 Status and Interrupt Flag Register)	15–10	–	0x00	–	R	-	
		9	RBSY	0	H0/S0	R		
		8	TBSY	0	H0/S0	R		
		7	–	0	–	R		
		6	TENDIF	0	H0/S0	R/W		Cleared by writing 1.
		5	FEIF	0	H0/S0	R/W		Cleared by writing 1 or read- ing the UA0RXD register.
		4	PEIF	0	H0/S0	R/W		Cleared by writing 1.
		2	RB2FIF	0	H0/S0	R		Cleared by reading the UA0RXD register.
		0	TBEIF	1	H0/S0	R		Cleared by writing to the UA0TXD register.

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x438e	UA0INTE (UART3 Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7	-	0	-	R	
		6	TENDIE	0	H0	R/W	
		5	FEIE	0	H0	R/W	
		4	PEIE	0	H0	R/W	
		3	OEIE	0	H0	R/W	
		2	RB2FIE	0	H0	R/W	
		1	RB1FIE	0	H0	R/W	
0x4390	UA0CAWF (UART3 Ch.0 Carrier Waveform Register)	15-8	-	0x00	-	R	
		7-0	CRPER[7:0]	0x00	H0	R/W	

**0x43a0-0x43ac****16-bit Timer (T16) Ch.1**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43a0	T16_1CLK (T16 Ch.1 Clock Control Register)	15-9	-	0x00	-	R	
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
0x43a2	T16_1MOD (T16 Ch.1 Mode Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	TRMD	0	H0	R/W	
0x43a4	T16_1CTL (T16 Ch.1 Control Register)	15-9	-	0x00	-	R	
		8	PRUN	0	H0	R/W	
		7-2	-	0x00	-	R	
		1	PRESET	0	H0	R/W	
0x43a6	T16_1TR (T16 Ch.1 Reload Data Register)	15-0	TR[15:0]	0xffff	H0	R/W	
		15-0	TC[15:0]	0xffff	H0	R	
0x43a8	T16_1TC (T16 Ch.1 Counter Data Register)	15-0	TC[15:0]	0xffff	H0	R	
0x43aa	T16_1INTF (T16 Ch.1 Interrupt Flag Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	UFIF	0	H0	R/W	
0x43ac	T16_1INTE (T16 Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

**0x43b0-0x43ba****Synchronous Serial Interface (SPIA) Ch.0**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43b0	SPIOMOD (SPIA Ch.0 Mode Register)	15-12	-	0x0	-	R	
		11-8	CHLN[3:0]	0x7	H0	R/W	
		7-6	-	0x0	-	R	
		5	PUEN	0	H0	R/W	
		4	NOCLKDIV	0	H0	R/W	
		3	LSBFST	0	H0	R/W	
		2	CPHA	0	H0	R/W	
		1	CPOL	0	H0	R/W	
0x43b2	SPIOCTL (SPIA Ch.0 Control Register)	15-8	-	0x00	-	R	
		7-2	-	0x00	-	R	
		1	SFTRST	0	H0	R/W	
		0	MODEN	0	H0	R/W	

## Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43b4	SPI0TXD (SPIA Ch.0 Transmit Data Register)	15-0	TXD[15:0]	0x0000	H0	R/W	-
0x43b6	SPI0RXD (SPIA Ch.0 Receive Data Register)	15-0	RXD[15:0]	0x0000	H0	R	-
0x43b8	SPI0INTF (SPIA Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7	BSY	0	H0	R	-
		6-4	-	0x0	-	R	-
		3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
		2	TENDIF	0	H0/S0	R/W	-
		1	RBFIF	0	H0/S0	R	Cleared by reading the SPI0RXD register.
0x43ba	SPI0INTE (SPIA Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	-
		3	OEIE	0	H0	R/W	-
		2	TENDIE	0	H0	R/W	-
		1	RBFIE	0	H0	R/W	-
		0	TBEIE	0	H0	R/W	Cleared by writing to the SPI0TXD register.

### 0x43c0-0x43d2

### I<sup>2</sup>C (I2C) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43c0	I2C0CLK (I2C Ch.0 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	-
		7-6	-	0x0	-	R	-
		5-4	CLKDIV[1:0]	0x0	H0	R/W	-
		3-2	-	0x0	-	R	-
		1-0	CLKSRC[1:0]	0x0	H0	R/W	-
0x43c2	I2C0MOD (I2C Ch.0 Mode Register)	15-8	-	0x00	-	R	-
		7-3	-	0x00	-	R	-
		2	OADR10	0	H0	R/W	-
		1	GCEN	0	H0	R/W	-
		0	-	0	-	R	-
0x43c4	I2C0BR (I2C Ch.0 Baud-Rate Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	-
		6-0	BRT[6:0]	0x7f	H0	R/W	-
0x43c8	I2C0OADR (I2C Ch.0 Own Address Register)	15-10	-	0x00	-	R	-
		9-0	OADR[9:0]	0x0000	H0	R/W	-
0x43ca	I2C0CTL (I2C Ch.0 Control Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	-
		5	MST	0	H0	R/W	-
		4	TXNACK	0	H0/S0	R/W	-
		3	TXSTOP	0	H0/S0	R/W	-
		2	TXSTART	0	H0/S0	R/W	-
		1	SFTRST	0	H0	R/W	-
0	MODEN	0	H0	R/W	-		
0x43cc	I2C0TXD (I2C Ch.0 Transmit Data Register)	15-8	-	0x00	-	R	-
		7-0	TXD[7:0]	0x00	H0	R/W	-
0x43ce	I2C0RXD (I2C Ch.0 Receive Data Register)	15-8	-	0x00	-	R	-
		7-0	RXD[7:0]	0x00	H0	R	-

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x43d0	I2C0INTF (I2C Ch.0 Status and Interrupt Flag Register)	15–13	–	0x0	–	R	–	
		12	SDALLOW	0	H0	R		
		11	SCLLOW	0	H0	R		
		10	BSY	0	H0/S0	R		
		9	TR	0	H0	R		
		8	–	0	–	R		
		7	BYTEENDIF	0	H0/S0	R/W		Cleared by writing 1.
		6	GCIF	0	H0/S0	R/W		
		5	NACKIF	0	H0/S0	R/W		
		4	STOPIF	0	H0/S0	R/W		
		3	STARTIF	0	H0/S0	R/W		
0x43d0	I2C0INTF (I2C Ch.0 Status and Interrupt Flag Register)	2	ERRIF	0	H0/S0	R/W	Cleared by reading the I2C0RXD register. Cleared by writing to the I2C0TXD register.	
		1	RBFIF	0	H0/S0	R		
		0	TBEIF	0	H0/S0	R		
0x43d2	I2C0INTE (I2C Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–	
		7	BYTEENDIE	0	H0	R/W		
		6	GCIE	0	H0	R/W		
		5	NACKIE	0	H0	R/W		
		4	STOPIE	0	H0	R/W		
		3	STARTIE	0	H0	R/W		
		2	ERRIE	0	H0	R/W		
		1	RBFIE	0	H0	R/W		
		0	TBEIE	0	H0	R/W		

**0x43e0****SPI Slave Selector (SPISLV\_SEL)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43e0	SPISLVSEL (SPI Slave Select Register)	15–8	–	0x00	–	R	–
		7–3	–	0x00	–	R	
		2–0	SLV[2:0]	0x0	H0	R/W	

**0x5000–0x501a****16-bit PWM Timer (T16B) Ch.0**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5000	T16B0CLK (T16B Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3	–	0	–	R	
		2–0	CLKSRC[2:0]	0x0	H0	R/W	
0x5002	T16B0CTL (T16B Ch.0 Counter Control Register)	15–9	–	0x00	–	R	–
		8	MAXBSY	0	H0	R	
		7–6	–	0x0	–	R	
		5–4	CNTMD[1:0]	0x0	H0	R/W	
		3	ONEST	0	H0	R/W	
		2	RUN	0	H0	R/W	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x5004	T16B0MC (T16B Ch.0 Max Counter Data Register)	15–0	MC[15:0]	0xffff	H0	R/W	–
0x5006	T16B0TC (T16B Ch.0 Timer Counter Data Register)	15–0	TC[15:0]	0x0000	H0	R	–

## Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5008	T16B0CS (T16B Ch.0 Counter Status Register)	15-8	-	0x00	-	R	
		7-4	-	0x0	-	R	
		3	CAP11	0	H0	R	
		2	CAP10	0	H0	R	
		1	UP_DOWN	1	H0	R	
		0	BSY	0	H0	R	
0x500a	T16B0INTF (T16B Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
		7-6	-	0x0	-	R	
		5	CAPOW1IF	0	H0	R/W	
		4	CMPCAP1IF	0	H0	R/W	
		3	CAPOW0IF	0	H0	R/W	
		2	CMPCAP0IF	0	H0	R/W	
		0	CNTZEROIF	0	H0	R/W	
0x500c	T16B0INTE (T16B Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-6	-	0x0	-	R	
		5	CAPOW1IE	0	H0	R/W	
		4	CMPCAP1IE	0	H0	R/W	
		3	CAPOW0IE	0	H0	R/W	
		2	CMPCAP0IE	0	H0	R/W	
		0	CNTZEROIE	0	H0	R/W	
0x5010	T16B0CCCTL0 (T16B Ch.0 Compare/Capture 0 Control Register)	15	SCS	0	H0	R/W	
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		0	CCMD	0	H0	R/W	
0x5012	T16B0CCR0 (T16B Ch.0 Compare/Capture 0 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	
0x5018	T16B0CCCTL1 (T16B Ch.0 Compare/Capture 1 Control Register)	15	SCS	0	H0	R/W	
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		0	CCMD	0	H0	R/W	
0x501a	T16B0CCR1 (T16B Ch.0 Compare/Capture 1 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	

### 0x5040-0x505a

### 16-bit PWM Timer (T16B) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5040	T16B1CLK (T16B Ch.1 Clock Control Register)	15-9	-	0x00	-	R	
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3	-	0	-	R	
		2-0	CLKSRC[2:0]	0x0	H0	R/W	



Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x5042	T16B1CTL (T16B Ch.1 Counter Control Register)	15-9	-	0x00	-	R		
		8	MAXBSY	0	H0	R		
		7-6	-	0x0	-	R		
		5-4	CNTMD[1:0]	0x0	H0	R/W		
		3	ONEST	0	H0	R/W		
		2	RUN	0	H0	R/W		
		1	PRESET	0	H0	R/W		
0	MODEN	0	H0	R/W				
0x5044	T16B1MC (T16B Ch.1 Max Counter Data Register)	15-0	MC[15:0]	0xffff	H0	R/W	-	
0x5046	T16B1TC (T16B Ch.1 Timer Counter Data Register)	15-0	TC[15:0]	0x0000	H0	R	-	
0x5048	T16B1CS (T16B Ch.1 Counter Status Register)	15-8	-	0x00	-	R		
		7-4	-	0x0	-	R		
		3	CAPI1	0	H0	R		
		2	CAPI0	0	H0	R		
		1	UP_DOWN	1	H0	R		
0	BSY	0	H0	R				
0x504a	T16B1INTF (T16B Ch.1 Interrupt Flag Register)	15-8	-	0x00	-	R		
		7-6	-	0x0	-	R		
		5	CAPOW1IF	0	H0	R/W		Cleared by writing 1.
		4	CMPCAP1IF	0	H0	R/W		
		3	CAPOW0IF	0	H0	R/W		
		2	CMPCAP0IF	0	H0	R/W		
		1	CNTMAXIF	0	H0	R/W		
0	CNTZEROIF	0	H0	R/W				
0x504c	T16B1INTE (T16B Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R		
		7-6	-	0x0	-	R		
		5	CAPOW1IE	0	H0	R/W		
		4	CMPCAP1IE	0	H0	R/W		
		3	CAPOW0IE	0	H0	R/W		
		2	CMPCAP0IE	0	H0	R/W		
		1	CNTMAXIE	0	H0	R/W		
0	CNTZEROIE	0	H0	R/W				
0x5050	T16B1CCCTL0 (T16B Ch.1 Compare/Capture 0 Control Register)	15	SCS	0	H0	R/W		
		14-12	CBUFMD[2:0]	0x0	H0	R/W		
		11-10	CAPIS[1:0]	0x0	H0	R/W		
		9-8	CAPTRG[1:0]	0x0	H0	R/W		
		7	-	0	-	R		
		6	TOUTMT	0	H0	R/W		
		5	TOUTO	0	H0	R/W		
		4-2	TOUTMD[2:0]	0x0	H0	R/W		
1	TOUTINV	0	H0	R/W				
0	CCMD	0	H0	R/W				
0x5052	T16B1CCR0 (T16B Ch.1 Compare/Capture 0 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-	

## Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5058	T16B1CCCTL1 (T16B Ch.1 Compare/ Capture 1 Control Register)	15	SCS	0	H0	R/W	-
		14–12	CBUFMD[2:0]	0x0	H0	R/W	
		11–10	CAPIS[1:0]	0x0	H0	R/W	
		9–8	CAPTRG[1:0]	0x0	H0	R/W	
		7	–	0	–	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4–2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
	0	CCMD	0	H0	R/W		
0x505a	T16B1CCR1 (T16B Ch.1 Compare/ Capture 1 Data Register)	15–0	CC[15:0]	0x0000	H0	R/W	-

### 0x5220–0x5238

### Smart Card Interface (SMCIF) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5220	SMC0CLK (SMCIF Ch.0 Clock Control Register)	15–9	–	0x00	–	R	-
		8	DBRUN	0	H0	R/W	
		7–6	–	0x0	–	R	
		5–4	CLKDIV[1:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x5222	SMC0MOD (SMCIF Ch.0 Mode Register)	15–8	–	0x00	–	R	-
		7	PRT	0	H0	R/W	
		6	PRY	0	H0	R/W	
		5	INV	0	H0	R/W	
		4	DIR	0	H0	R/W	
		3	–	0	–	R	
		2	OUTMD	1	H0	R/W	
		1	CLKPOL	0	H0	R/W	
	0	MST	1	H0	R/W		
0x5224	SMC0BR (SMCIF Ch.0 Baud Rate Register)	15–11	–	0x00	–	R	-
		10–0	FDR[10:0]	0x173	H0	R/W	
0x5226	SMC0CTL (SMCIF Ch.0 Control Register)	15–12	–	0x0	–	R	-
		11	ICNT	0	H0	R/W	
		10	CLKOUT	0	H0	R/W	
		9	RXEN	0	H0	R/W	
		8	TXEN	0	H0	R/W	
		7–5	–	0x0	–	R	
		4	CRP	0	H0	R/W	
		3–2	–	0x0	–	R	
		1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W		
0x5228	SMC0TXD (SMCIF Ch.0 Transmit Data Register)	15–8	–	0x00	–	R	-
		7–0	TXD[7:0]	0x00	H0	R/W	
0x522a	SMC0RXD (SMCIF Ch.0 Receive Data Register)	15–9	–	0x00	–	R	-
		8	RXP	0	H0	R	
		7–0	RXD[7:0]	0x00	H0	R	
0x522c	SMC0WTC0 (SMCIF Ch.0 Wait Time Compare Data Register 0)	15–0	WTC[15:0]	0x0000	H0	R/W	-
0x522e	SMC0WTC1 (SMCIF Ch.0 Wait Time Compare Data Register 1)	15–8	–	0x00	–	R	-
		7–0	WTC[23:16]	0x00	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5230	SMC0GTC (SMCIF Ch.0 Guard Time Compare Data Register)	15–8	–	0x00	–	R	–
		7–0	GTC[7:0]	0x00	H0	R/W	
0x5232	SMC0INTF (SMCIF Ch.0 Status and Interrupt Flag Register)	15–12	–	0x0	–	R	–
		11	WTTM	0	H0/S0	R	
		10	GDTM	0	H0/S0	R	
		9	RBSY	0	H0/S0	R	
		8	TBSY	0	H0/S0	R	
		7	WTEIF	0	H0/S0	R/W	
		6	TENDIF	0	H0/S0	R/W	
		5	EDTIF	0	H0/S0	R/W	
		4	PEIF	0	H0/S0	R/W	
		3	OEIF	0	H0/S0	R/W	
		2	RB2FIF	0	H0/S0	R	
1	RB1FIF	0	H0/S0	R	Cleared by reading the SMCORXD register.		
0	TBEIF	1	H0/S0	R	Cleared by writing to the SMCOTXD register.		
0x5234	SMC0INTE (SMCIF Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7	WTEIE	0	H0	R/W	
		6	TENDIE	0	H0	R/W	
		5	EDTIE	0	H0	R/W	
		4	PEIE	0	H0	R/W	
		3	OEIE	0	H0	R/W	
		2	RB2FIE	0	H0	R/W	
		1	RB1FIE	0	H0	R/W	
		0	TBEIE	0	H0	R/W	
0x5236	SMC0ETU0 (SMCIF Ch.0 Etu Counter Data Register 0)	15–0	ETUC[15:0]	0xffff	H0/S0	R	–
0x5238	SMC0ETU1 (SMCIF Ch.0 Etu Counter Data Register 1)	15–8	–	0x00	–	R	–
		7–0	ETUC[23:16]	0xff	H0/S0	R	

**0x5260–0x526c****16-bit Timer (T16) Ch.3**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5260	T16_3CLK (T16 Ch.3 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x5262	T16_3MOD (T16 Ch.3 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x5264	T16_3CTL (T16 Ch.3 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x5266	T16_3TR (T16 Ch.3 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
0x5268	T16_3TC (T16 Ch.3 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–

## Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x526a	T16_3INTF (T16 Ch.3 Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
		7-1	-	0x00	-	R	
		0	UFIF	0	H0	R/W	
0x526c	T16_3INTE (T16 Ch.3 Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

### 0x5270-0x527a

### Synchronous Serial Interface (SPIA) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5270	SPI1MOD (SPIA Ch.1 Mode Register)	15-12	-	0x0	-	R	
		11-8	CHLN[3:0]	0x7	H0	R/W	
		7-6	-	0x0	-	R	
		5	PUEN	0	H0	R/W	
		4	NOCLKDIV	0	H0	R/W	
		3	LSBFST	0	H0	R/W	
		2	CPHA	0	H0	R/W	
		1	CPOL	0	H0	R/W	
		0	MST	0	H0	R/W	
0x5272	SPI1CTL (SPIA Ch.1 Control Register)	15-8	-	0x00	-	R	
		7-2	-	0x00	-	R	
		1	SFTRST	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x5274	SPI1TXD (SPIA Ch.1 Transmit Data Register)	15-0	TXD[15:0]	0x0000	H0	R/W	-
0x5276	SPI1RXD (SPIA Ch.1 Receive Data Register)	15-0	RXD[15:0]	0x0000	H0	R	-
0x5278	SPI1INTF (SPIA Ch.1 Interrupt Flag Register)	15-8	-	0x00	-	R	Cleared by writing 1.
		7	BSY	0	H0	R	
		6-4	-	0x0	-	R	
		3	OEIF	0	H0/S0	R/W	
		2	TENDIF	0	H0/S0	R/W	
		1	RBFIF	0	H0/S0	R	
0x527a	SPI1INTE (SPIA Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	Cleared by reading the SPI1RXD register. Cleared by writing to the SPI1TXD register.
		7-4	-	0x0	-	R	
		3	OEIE	0	H0	R/W	
		2	TENDIE	0	H0	R/W	
		1	RBFIE	0	H0	R/W	
		0	TBEIE	0	H0	R/W	

### 0x5300-0x530a

### Sound Generator (SNDA)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5300	SNDCLK (SNDA Clock Control Register)	15-9	-	0x00	-	R	
		8	DBRUN	0	H0	R/W	
		7	-	0	-	R	
		6-4	CLKDIV[2:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5302	SNDSEL (SNDA Select Register)	15-12	-	0x0	-	R	
		11-8	STIM[3:0]	0x0	H0	R/W	
		7-3	-	0x00	-	R	
		2	SINV	0	H0	R/W	
		1-0	MOSEL[1:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5304	SNDCTL (SNDA Control Register)	15-9	-	0x00	-	R	
		8	SSTP	0	H0	R/W	
		7-1	-	0x00	-	R	
		0	MODEN	0	H0	R/W	
0x5306	SNDDAT (SNDA Data Register)	15	MDTI	0	H0	R/W	
		14	MDRS	0	H0	R/W	
		13-8	SLEN[5:0]	0x00	H0	R/W	
		7-0	SFRQ[7:0]	0xff	H0	R/W	
0x5308	SNDINTF (SNDA Interrupt Flag Register)	15-9	-	0x00	-	R	
		8	SBSY	0	H0	R	
		7-2	-	0x00	-	R	
		1	EMIF	1	H0	R	
0x530a	SNDINTE (SNDA Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-2	-	0x00	-	R	
		1	EMIE	0	H0	R/W	
		0	EDIE	0	H0	R/W	
0x5308	SNDINTE (SNDA Interrupt Flag Register)	15-9	-	0x00	-	R	
		8	SBSY	0	H0	R	
		7-2	-	0x00	-	R	
		1	EMIF	1	H0	R	
0x530a	SNDINTE (SNDA Interrupt Enable Register)	15-8	-	0x00	-	R	
		7-2	-	0x00	-	R	
		1	EMIE	0	H0	R/W	
		0	EDIE	0	H0	R/W	

**0x5480-0x548c****16-bit Timer (T16) Ch.2**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5480	T16_2CLK (T16 Ch.2 Clock Control Register)	15-9	-	0x00	-	R	
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
0x5482	T16_2MOD (T16 Ch.2 Mode Register)	1-0	CLKSRC[1:0]	0x0	H0	R/W	
		15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
0x5484	T16_2CTL (T16 Ch.2 Control Register)	0	TRMD	0	H0	R/W	
		15-9	-	0x00	-	R	
		8	PRUN	0	H0	R/W	
		7-2	-	0x00	-	R	
0x5486	T16_2TR (T16 Ch.2 Reload Data Register)	1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
		15-0	TR[15:0]	0xffff	H0	R/W	
		15-0	TC[15:0]	0xffff	H0	R	
0x5488	T16_2TC (T16 Ch.2 Counter Data Register)	0	UFIF	0	H0	R/W	Cleared by writing 1.
		7-1	-	0x00	-	R	
		15-8	-	0x00	-	R	
0x548a	T16_2INTF (T16 Ch.2 Interrupt Flag Register)	0	UFIE	0	H0	R/W	
		7-1	-	0x00	-	R	
		15-8	-	0x00	-	R	
0x548c	T16_2INTE (T16 Ch.2 Interrupt Enable Register)	0	UFIE	0	H0	R/W	
		7-1	-	0x00	-	R	
		15-8	-	0x00	-	R	

**0x54a0-0x54ba****12-bit A/D Converter (ADC12A)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x54a2	ADC12_0CTL (ADC12A Ch.0 Control Register)	15	-	0	-	R	
		14-12	ADSTAT[2:0]	0x0	H0	R	
		11	-	0	-	R	
		10	BSYSTAT	0	H0	R	
		9-8	-	0x0	-	R	
		7-2	-	0x00	-	R	
		1	ADST	0	H0	R/W	
		0	MODEN	0	H0	R/W	

## Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x54a4	ADC12_OTRG (ADC12A Ch.0 Trigger/Analog Input Select Register)	15-14	–	0x0	–	R	–
		13-11	ENDAIN[2:0]	0x0	H0	R/W	
		10-8	STAAIN[2:0]	0x0	H0	R/W	
		7	STMD	0	H0	R/W	
		6	CNVMD	0	H0	R/W	
		5-4	CNVTRG[1:0]	0x0	H0	R/W	
		3	–	0	–	R	
2-0	SMPCLK[2:0]	0x7	H0	R/W			
0x54a6	ADC12_OCFG (ADC12A Ch.0 Con- figuration Register)	15-8	–	0x00	–	R	–
		7-2	–	0x00	–	R	
		1-0	VRANGE[1:0]	0x0	H0	R/W	
0x54a8	ADC12_OINTF (ADC12A Ch.0 Interrupt Flag Register)	15	AD7OVIF	0	H0	R/W	Cleared by writing 1.
		14	AD6OVIF	0	H0	R/W	
		13	AD5OVIF	0	H0	R/W	
		12	AD4OVIF	0	H0	R/W	
		11	AD3OVIF	0	H0	R/W	
		10	AD2OVIF	0	H0	R/W	
		9	AD1OVIF	0	H0	R/W	
		8	AD0OVIF	0	H0	R/W	
		7	AD7CIF	0	H0	R/W	
		6	AD6CIF	0	H0	R/W	
		5	AD5CIF	0	H0	R/W	
		4	AD4CIF	0	H0	R/W	
		3	AD3CIF	0	H0	R/W	
2	AD2CIF	0	H0	R/W			
1	AD1CIF	0	H0	R/W			
0	AD0CIF	0	H0	R/W			
0x54aa	ADC12_OINTE (ADC12A Ch.0 Interrupt Enable Register)	15	AD7OVIE	0	H0	R/W	–
		14	AD6OVIE	0	H0	R/W	
		13	AD5OVIE	0	H0	R/W	
		12	AD4OVIE	0	H0	R/W	
		11	AD3OVIE	0	H0	R/W	
		10	AD2OVIE	0	H0	R/W	
		9	AD1OVIE	0	H0	R/W	
		8	AD0OVIE	0	H0	R/W	
		7	AD7CIE	0	H0	R/W	
		6	AD6CIE	0	H0	R/W	
		5	AD5CIE	0	H0	R/W	
		4	AD4CIE	0	H0	R/W	
		3	AD3CIE	0	H0	R/W	
2	AD2CIE	0	H0	R/W			
1	AD1CIE	0	H0	R/W			
0	AD0CIE	0	H0	R/W			
0x54ac	ADC12_0AD0D (ADC12A Ch.0 Result Register 0)	15-0	AD0D[15:0]	0x0000	H0	R	–
0x54ae	ADC12_0AD1D (ADC12A Ch.0 Result Register 1)	15-0	AD1D[15:0]	0x0000	H0	R	–
0x54b0	ADC12_0AD2D (ADC12A Ch.0 Result Register 2)	15-0	AD2D[15:0]	0x0000	H0	R	64-pin PKG only
0x54b2	ADC12_0AD3D (ADC12A Ch.0 Result Register 3)	15-0	AD3D[15:0]	0x0000	H0	R	–
0x54b4	ADC12_0AD4D (ADC12A Ch.0 Result Register 4)	15-0	AD4D[15:0]	0x0000	H0	R	–

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x54b6	ADC12_0AD5D (ADC12A Ch.0 Result Register 5)	15-0	AD5D[15:0]	0x0000	H0	R	-
0x54b8	ADC12_0AD6D (ADC12A Ch.0 Result Register 6)	15-0	AD6D[15:0]	0x0000	H0	R	-
0x54ba	ADC12_0AD7D (ADC12A Ch.0 Result Register 7)	15-0	AD7D[15:0]	0x0000	H0	R	-

**0x54c0-0x54c2****Temperature Sensor/Reference Voltage Generator (TSRVR)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x54c0	TSRVR0CTL (TSRVR Ch.0 Temperature Sensor Control Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	H0	R	
		0	TEMPEN	0	H0	R/W	
0x54c2	TSRVR0VCTL (TSRVR Ch.0 Reference Voltage Generator Control Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	H0	R	
		1-0	VREFAMD[1:0]	0x0	H0	R/W	

**0x5500-0x557e****EPD Controller/Driver (EPDC)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5500	EPDTIMCLK (EPDC Timing Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	1	H0	R/W	
		7	-	0	-	R	
		6-4	CLKDIV[2:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5502	EPDDBLCLK (EPDC Doubler Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	1	H0	R/W	
		7	-	0	-	R	
		6-4	CLKDIV[2:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5504	EPDBSTCLK (EPDC Booster Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	1	H0	R/W	
		7	-	0	-	R	
		6-4	CLKDIV[2:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5506	EPDCTL (EPDC Control Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1	DIS	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x5508	EPDPWR0 (EPDC Power Supply Control Register 0)	15-10	-	0x00	-	R	-
		9	DBSRT	0	H0	R/W	
		8	DBON	0	H0	R/W	
		7-4	VECONT[3:0]	0x0	H0	R/W	
		3	-	0	-	R	
		2	HVLDVE	0	H0	R/W	
		1	VESEL	0	H0	R/W	
		0	VEON	0	H0	R/W	

## Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x550a	EPDPWR1 (EPDC Power Supply Control Register 1)	15-12	HVDCONT[3:0]	0x0	H0	R/W	-	
		11-10	HVDSSEL[1:0]	0x0	H0	R/W		
		9	HVLDHVD	0	H0	R/W		
		8	HVDON	0	H0	R/W		
		7-2	-	0x00	-	R		
		1	BSTPLD	0	H0	R/W		
		0	BSTON	0	H0	R/W		
0x550c	EPDDSP (EPDC Display Control Register)	15-8	-	0x00	-	R	-	
		7-6	-	0x0	-	R		
		5	SELCUR	0	H0	R/W		
		4	DIRCTL	0	H0	R/W		
		3-2	DSPMD[1:0]	0x0	H0	R/W		
		1	-	0	-	R		
		0	UPDTRG	0	H0	W		
0x550e	EPDPOS (EPDC Pin Assignment Select Register)	15-8	-	0x00	-	R	-	
		7-2	-	0x00	-	R		
		1-0	PINPOS[1:0]	0x0	H0	R/W		
0x5510	EPDINTF (EPDC Interrupt Flag/ Status Register)	15-9	-	0x00	-	R	-	
		8	UPDST	0	H0	R		
		7-1	-	0x00	-	R		
		0	DUPDIF	0	H0	R/W		Cleared by writing 1.
0x5512	EPDINTE (EPDC Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7-1	-	0x00	-	R		
		0	DUPDIE	0	H0	R/W		
0x5520	EPDTPBP (EPDC Top/Back Plane Data Register)	15-10	-	0x00	-	R	-	
		9	SEGHZ	0	H0	R/W		Effective only in direct mode
		8	TPHZ	0	H0	R/W		-
		7-5	-	0x0	-	R		
		4	TP	0	H0	R/W		Effective only in direct mode
		3-1	-	0x0	-	R		
		0	BP	0	H0	R/W		
0x5522	EPDSEG0 (EPDC Segment Data Register 0)	15-0	SEG[15:0]	0x0000	H0	R/W	-	
0x5524	EPDSEG1 (EPDC Segment Data Register 1)	15-0	SEG[31:16]	0x0000	H0	R/W	-	
0x5526	EPDSEG2 (EPDC Segment Data Register 2)	15-10	-	0x00	-	R	-	
		9-0	SEG[41:32]	0x00	H0	R/W		
0x5530	EPDTPBPEN (EPDC Top/Back Plane Enable Register)	15-8	-	0x00	-	R	-	
		7-5	-	0x0	-	R		
		4	TPEN	1	H0	R/W		
		3-1	-	0x0	-	R		
		0	BPEN	1	H0	R/W		
0x5532	EPDSEGEN0 (EPDC Segment Enable Register 0)	15-0	SEG[15:0]EN	0x0000	H0	R/W	-	
0x5534	EPDSEGEN1 (EPDC Segment Enable Register 1)	15-0	SEG[31:16]EN	0x0000	H0	R/W	-	
0x5536	EPDSEGEN2 (EPDC Segment Enable Register 2)	15-10	-	0x00	-	R	-	
		9-0	SEG[41:32]EN	0x00	H0	R/W		



Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5540	EPDWAVE0 (EPDC Waveform Timing Set Register 0)	15	EOW	0	H0	R/W	-
		14	-	0	-	R	
0x557e	EPDWAVE31 (EPDC Waveform Timing Set Register 31)	13	HIZ	0	H0	R/W	
		12	TP	0	H0	R/W	
		11	BB	0	H0	R/W	
		10	BW	0	H0	R/W	
		9	WB	0	H0	R/W	
		8	WW	0	H0	R/W	
		7-0	INTV[7:0]	0x00	H0	R/W	

**0xffff90****Debugger (DBG)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0xffff90	DBRAM (Debug RAM Base Register)	31-24	-	0x00	-	R	-
		23-0	DBRAM[23:0]	0x00 07c0	H0	R	

# Appendix B パワーセーブ

消費電流はCPU動作モード、動作クロック周波数、動作させる周辺回路、パワージェネレータ動作モード等により大きく変化します。以下に、省電力化のための制御方法をまとめます。

## B.1 パワーセーブを考慮した動作状態の設定例

パワーセーブを考慮した代表的な動作状態設定例を表B.1.1に示します。

表B.1.1 代表的な動作状態設定

動作状態設定	消費電流	V <sub>D1</sub>	OSC1	IOSC/OSC3/EXOSC	リアルタイムクロック	CPU	電気的特性記載の消費電流
スタンバイ	↑ 低	Economy	OFF	OFF	OFF	SLEEP	I <sub>SLP</sub>
時計カウント			SLEEP or HALT			I <sub>HALT2</sub>	
低速処理	高 ↓	Normal	ON	ON	ON	RTCLPCLK RUN	I <sub>RUN2</sub>
周辺回路動作						SLEEP or HALT	I <sub>HALT1</sub>
高速処理			IOSC/OSC3/EXOSC RUN	I <sub>RUN1</sub>			

表B.1.1の動作モード設定時、“電気的特性”の消費電流項目と差異がある場合は、以下の項目を確認してください。

### パワージェネレータのPWGVD1CTL.REGMODE[1:0]ビット

パワージェネレータのPWGVD1CTL.REGMODE[1:0]ビットを0x2(ノーマルモード)のまま、SLEEPモードへ遷移した場合、“電気的特性”のSLEEP時消費電流I<sub>SLP</sub>よりも大きな値になります。slp命令実行前に、PWGVD1CTL.REGMODE[1:0]ビットを0x3(エコノミーモード)または0x0(オートマチックモード)に設定してください。

### クロックジェネレータのCLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPCビット

クロックジェネレータのCLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPCビットを0にすると、slp命令実行時に発振回路を停止する制御が禁止されます。SLEEPモード時に発振回路を停止させたい場合は、これらのビットを1に設定してください。

### 周辺回路のMODENビット

各周辺回路のMODENビットを1にすると、周辺回路に動作クロックが供給され、動作可能な状態になります。動作が不要な周辺回路は、MODENビットを0に設定することで、消費電流を抑えることができます。リアルタイムクロックは、MODENビットを備えておらず、カウント中も停止中も消費電流は変わりません。

## B.2 その他のパワーセーブ方法

### 電源電圧検出回路の設定

連続動作モード(SVDCTL.SVDMD[1:0]ビット = 0x0)の場合、電圧を常時検出しているため消費電流は大きくなります。間欠動作モードに設定するか、あるいは必要などきのみ電源電圧検出回路をONしてください。

### EPD電源回路

- VE RegulatorでVE<sub>1</sub>を生成すると(EPDPWR0.VESELビット = 0)、消費電流が増加します。電源電圧V<sub>DD</sub>がVE<sub>2</sub>の生成が可能な範囲にあるときは、VE<sub>2</sub>の生成(EPDPWR0.VESELビット = 1)を選択するとともに、DoublersをOFF(EPDPWR0.DBONビット = 0)に設定してください。
- EPD電源回路の重負荷保護をONすると消費電流が増加します。重負荷保護は表示が安定しない場合のみONとし、それ以外はOFFにしてください。
- EPDの駆動を行わないときはEPD電源回路をOFFにしてください。

# Appendix C 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

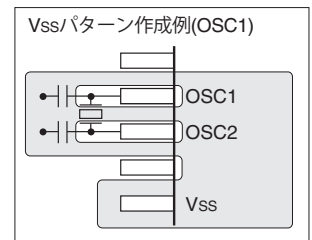
## OSC1/OSC3発振回路

- 発振特性は使用部品(振動子、 $C_G$ 、 $C_D$ )や基板パターンなどにより変化します。特に水晶振動子を使用する場合、外付けの容量( $C_G$ 、 $C_D$ )の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。

- OSC1、OSC2端子に接続する振動子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1、OSC2端子とこれらの回路構成部品、および配線から3 mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2 mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。  
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3 mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- OSC1、OSC2端子と配線は、基板の隣接する層も含めVssでシールドしてください。

配線する層は、右の図のように広めにシールドしてください。  
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5 mm以上カバーするようにシールドしてください。  
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態でのクロック波形をFOUT端子から出力して確認してください。  
OSC1波形は、クロックの立ち上がり/立ち下がり両エッジの前後を拡大し、前後100 ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。  
(1)~(3)の対応が不十分な場合、RTCLPCLKにはノイズが乗り、RTCLPCLKを使用するタイマや、CPUコアの動作が不安定になる場合があります。

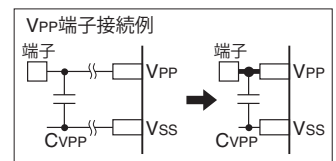
## #RESET端子

ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するスイッチ、抵抗等の部品は、できるだけ最短で接続してください。

## VPP端子

VSS~VPP間キャパシタ $C_{VPP}$ を接続して、 $V_{PP} \pm 1$  V以下の変動に抑えてください。

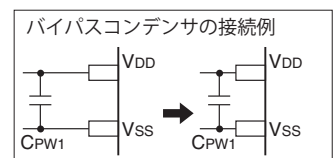
このとき、 $C_{VPP}$ は可能な限りVPP端子の近くに配置し、数十mAが流れるように十分な太さを持つパターンを用いて配線してください。



## 電源回路

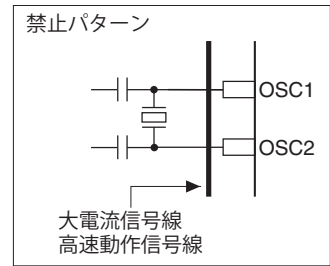
ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- 電源からVDDおよびVss端子へはできるだけ短くかつ太いパターンで接続してください。
- VDD-Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



### 信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振やアナログ計測等のノイズに弱い端子近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。



### 光に対する取り扱い(ペアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
- 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

### 未使用端子の処理

- 入出力ポート(P)端子  
未使用端子はオープンにしてください。制御レジスタはイニシャル状態にしてください。
- EXOSC端子  
EXOSC入力回路を使用しない場合、端子は汎用入出力に設定してください。制御レジスタはイニシャル状態(ディスエーブル)にしてください。
- VE1~5、VEPD、CD1、CD2、CB1~CB4、ESEGx、ETP0、EBP0端子  
EPDコントローラ/ドライバを使用しない場合はオープンにしてください。制御レジスタは初期状態(表示OFF)にしてください。また、EPDコントローラ/ドライバを使用する場合も、結線の必要がないESEGx端子はオープンにしてください。

### 金バンプチップ品の取り扱い(ICへの高温ストレス印加について)

金バンプチップがCOF実装される場合など、ICに高温ストレスが印加されると、内蔵Flashメモリが特性変動を生じる場合があります。実装時などの熱条件(温度・時間)を下表で確認のうえ、“データ再プログラミング必要”の実装条件に該当する場合には対応のflsプログラムまたは単体フラッシュライタを使用してFlashメモリの再プログラミングを確実に実施してください。

なお、flsプログラムおよび単体フラッシュライタの詳細は各ツールマニュアルを参照してください。

温度	時間	Flashメモリへの影響なし	Flashメモリへの影響あり	
			データ再プログラミング必要	最大許容時間
~ 250°C		≤ 5時間	5時間 ~ 450時間	450時間
250°C ~ 300°C		≤ 400秒	400秒 ~ 10時間	10時間
300°C ~ 350°C		≤ 20秒	20秒 ~ 0.5時間	0.5時間
350°C ~ 400°C		≤ 1秒	1秒 ~ 100秒	100秒
400°C ~ 450°C		≤ 0.1秒	0.1秒 ~ 10秒	10秒
450°C ~				0秒

## その他

実装段階においては、機械的ダメージのほか、

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的变化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

# Appendix D ノイズ対策

ノイズ耐性を向上させるための対策を以下に示します。

## V<sub>DD</sub>, V<sub>SS</sub>電源のノイズ対策

規定の電圧を下回るようなノイズが入ると、ICが誤動作する場合があります。期待する動作とならない場合は、基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージノイズ対策部品の追加など、基板上での対策をお願いします。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

## #RESET端子のノイズ対策

#RESET端子にノイズが入ることにより、ICがリセットされる可能性があります。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

## 発振端子のノイズ対策

発振入力端子は小振幅の信号が伝播するため、ノイズに対して非常に敏感な構造になっています。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

## デバッグ端子のノイズ対策

本製品はデバッグ用にICDmini(S5U1C17001H)を接続するための入出力端子(DCLK、DST2、DSIO)を備えています。デバッグ用入出力機能を有効にした状態でこれらの端子にノイズが入ると、S1C17コアがDEBUGモードへ移行してしまう可能性があります。外来ノイズによる予期せぬDEBUGモードへの移行を防ぐため、デバッグの必要がない場合は、初期化ルーチン内でDCLK、DST2、DSIO端子を汎用入出力ポート端子に切り換えてください。

端子の機能と切り換えの詳細は、“入出力ポート”の章を参照してください。

注: アプリケーション開発中など、デバッグ機能を使用する場合は上記の処理を行わないでください。端子機能を切り換えた時点からデバッグが行えなくなります。

アプリケーション開発終了後など、デバッグが不要になってから上記の処理を追加してください。

デバッグ用端子を有効しておく場合には、DSIO端子を10k $\Omega$ の抵抗でプルアップすることを推奨します。

## 割り込み入力端子のノイズ対策

本製品は入力信号の変化によりポート入力割り込みを発生可能です。入力信号のエッジを検出して割り込みを発生させるため、外来ノイズによって信号が変化した場合でも割り込みが発生する可能性があります。外来ノイズによる予期せぬ割り込みの発生を防ぐため、ポート入力割り込みを使用する場合はチャタリング除去回路を有効にしてください。

ポート入力割り込みおよびチャタリング除去回路の詳細は、“入出力ポート”の章を参照してください。

## UART端子のノイズ対策

本製品は非同期通信用にUARTを備えています。UARTはSIN<sub>n</sub>端子でLOWレベルの入力を検出すると受信動作を開始するため、外来ノイズによってSIN<sub>n</sub>端子がLOWになった場合でも受信動作を開始してしまうことがあります。この場合は受信エラーが発生したり、不正なデータの受信が起こります。外来ノイズによるUARTの誤動作を防ぐために、以下の対策を講じてください。

- 非同期通信を行っていない間はUARTの動作を停止してください。
- パリティビットの使用を含む受信エラー処理を実施し、ソフトウェアによる再送処理を行ってください。

端子の機能と切り換えの詳細は“入出力ポート”の章を、UARTの動作制御および受信エラーの詳細は“UART”の章を参照してください。

### 電源などの駆動能力が高い信号と接続する入力端子のノイズ対策

電源や駆動能力が高いデバイスの出力と直接接続している端子がある場合、これらの端子にノイズが入ることにより大電流が流れ込む可能性があります。そのような場合は、端子保護のために30  $\Omega$  以上の抵抗を直列に挿入してください。実装基板で評価のうえ抵抗値を決定してください。

VREFA端子に電源を直接接続する場合は100  $\Omega$ の抵抗を直列に挿入してください。この抵抗は、A/D変換器の特性に影響を与えません。

# Appendix E 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

## boot.s

```

.org      0x8000
.section .rodata                                     ...(1)
; =====
;      Vector table
; =====
;          ; interrupt  vector  interrupt
;          ; number    offset  source
;
.long BOOT          ; 0x00      0x00      reset          ...(2)
.long unalign_handler ; 0x01      0x04      unalign
.long nmi_handler   ; 0x02      0x08      NMI
.long int03_handler ; 0x03      0x0c      -
.long svd3_handler  ; 0x04      0x10      SVD3
.long pport_handler ; 0x05      0x14      PPORT
.long int06_handler ; 0x06      0x18      -
.long clg_handler   ; 0x07      0x1c      CLG
.long rtcb_handler  ; 0x08      0x20      RTCB
.long t16_0_handler ; 0x09      0x24      T16 ch0
.long uart3_0_handler ; 0x0a      0x28      UART3 ch0
.long t16_1_handler ; 0x0b      0x2c      T16 ch1
.long spia_0_handler ; 0x0c      0x30      SPIA ch0
.long i2c_handler   ; 0x0d      0x34      I2C
.long t16b_0_handler ; 0x0e      0x38      T16B ch0
.long t16b_1_handler ; 0x0f      0x3c      T16B ch1
.long smcif_0_handler ; 0x10      0x40      SMCIF ch0
.long snda_handler  ; 0x11      0x44      SNDA
.long t16_2_handler ; 0x12      0x48      T16 ch2
.long adc12a_handler ; 0x13      0x4c      ADC12A
.long epdc_handler  ; 0x14      0x50      EPDC
.long eepromc_handler ; 0x15      0x54      EEPROMC
.long int16_handler ; 0x16      0x58      -
.long int17_handler ; 0x17      0x5c      -
.long int18_handler ; 0x18      0x60      -
.long int19_handler ; 0x19      0x64      -
.long int1a_handler ; 0x1a      0x68      -
.long int1b_handler ; 0x1b      0x6c      -
.long int1c_handler ; 0x1c      0x70      -
.long int1d_handler ; 0x1d      0x74      -
.long int1e_handler ; 0x1e      0x78      -
.long int1f_handler ; 0x1f      0x7c      -
; =====
;      Program code
; =====
.text                                             ...(3)
.align 1
BOOT:
; ===== Initialize =====
; ----- Stack pointer -----
Xld.a  %sp, 0x7c0                                ...(4)
; ----- Memory controller -----
Xld.a  %r1, 0x41b0      ; FLASHC register address
; Flash read wait cycle
Xld.a  %r0, 0x00      ; 0x00 = No wait
ld.b   [%r1], %r0      ; [0x41b0] <= 0x00          ...(5)
; ===== Main routine =====
...

```



## Appendix E 初期化ルーチン

```
; =====  
;      Interrupt handler  
; =====  
; ----- Address unalign -----  
unalign_handler:  
    ...  
  
; ----- NMI -----  
nmi_handler:  
    ...
```

---

- (1) ベクタテーブルを `.vector` セクションに配置するために `.rodata` セクションを宣言します。
- (2) 割り込み処理ルーチンのアドレスをベクタとして定義します。  
`intXX_handler` はソフトウェア割り込みとして使用可能です。
- (3) プログラムコードは `.text` セクションに記述します。
- (4) スタックポインタを設定します。
- (5) Flashメモリリード時のアクセスサイクル数を設定します。  
(“メモリ, バス”の章を参照)

## 改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
413942800	全ページ	新規制定
413942801	1-2~3	1.1 特長 表1.1.1に注釈を追加 I <sup>2</sup> C(I2C) <sup>※1</sup> *1 I2C(SDAおよびSCL入力)の入力フィルタは、50 ns未満のノイズスパイク除去の規格に準拠していません。 SLEEPモード <sup>※2</sup> *2 SLEEP中もRAMのデータは保持されます。 表1.1.1を修正 RTCLP: 項目(バックアップRAM機能)追加 電源電圧: EEPROM書き換え時V <sub>DD</sub> 動作電圧 2.7~5.5 V → 2.2~5.5 V 出荷形態: パッケージ名にJEITA名称を追加
	1-4	1.2 ブロック図 図1.2.1修正 バックアップRAM容量を変更
	2-11	2.4.2 動作モードの遷移 SLEEPモード 下記説明を追加 SLEEP中もRAMのデータは保持されます。
	4-3	4.4.1 EEPROM端子 説明追加 EEPROMのデータ書き換えにおいても、4.3.3節の注が適用されます。 注削除 注: -EEPROMプログラミングを行う場合は、V <sub>DD</sub> を2.7 V以上にする必要があります。 -V <sub>PP</sub> 内部生成時は、V <sub>PP</sub> 端子の出力を外部回路の駆動には絶対に使用しないでください。
	13-1	13.1 概要 以下の記述を追加 ・SDAおよびSCL入力の入力フィルタは、50 ns未満のノイズスパイク除去の規格には非準拠
	21-1	21.1 概要 説明を修正 ・128バイトのバックアップ用RAMを搭載 図21.1.1修正 SPIスレーブ2削除
	21-3	21.4.1 RTCLPレジスタへのアクセス方法 説明を修正 RTCLPは、本MCUの同期シリアルインタフェース(SPIA Ch.0)に接続された2つのSPIスレーブデバイス(SPIスレーブ0と1)として機能します。 ... SPIスレーブセレクト(SPISLV_SEL) SPIスレーブデバイス(0または1)を選択するために、MCUコアの周辺回路エリアにSPIスレーブセレクト(SPISLV_SEL)が用意されています。 表21.4.1.1修正 SPIスレーブNo. 2 (バックアップRAM 1)削除
	21-6	21.4.2 リアルタイムクロック機能 有効範囲外の値をセットした場合の補正動作 説明を修正、注を追加 年、曜日、時(24Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップで0にクリアされます。月、日、時(12Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップタイミングで1にセットされます。  注: RTCMON.RTCMOHビット = 0 & RTCMON.RTCMOL[3:0]ビット = 0x0の設定を禁止します。
	21-11	21.4.10 バックアップRAM機能 ・容量: 256バイト → 128バイト ・アドレス: SPIスレーブ2を削除
	21-13	21.6 制御レジスタ 表21.4.1.2修正 SPISLVSEL.SLV[2:0]ビット = 0b100 → 設定禁止
	21-20	21.6 制御レジスタ RTC Month Register Bit 4 RTCMOH Bits 3-0 RTCMOL[3:0] 注を追加 注: ... ・RTCMON.RTCMOH/RTCMOL[3:0]ビットを0x00に設定することは禁止します。

## 改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
413942801	22-1	22.2 推奨動作条件 (V <sub>SS</sub> = 0 V) *1と以下の注釈を追加 *1 V <sub>SS</sub> 電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグラウンド電位に対し±0.3 V以内の変動を抑えてください。 *6 各使用部品の定数は、実際の基板上で評価を行い、最終的な値を決めてください。 特性表修正 V <sub>DD</sub> : Min. = 2.7 → 2.2 V, EEPROMプログラミング時(V <sub>PP</sub> 内部生成)
	22-6	22.6 Flashメモリ特性 注釈を追加 *1 V <sub>SS</sub> 電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグラウンド電位に対し±0.3 V以内の変動を抑えてください。
	23-1	23 基本外部結線図 図修正 V <sub>DD</sub> = 2.7-5.5 Vと*2を削除、*1を修正 *1: Flash/EEPROMプログラミング時
	24-1	24 パッケージ パッケージ名にJEITA名称を追加
	AP-D-2	Appendix D ノイズ対策 説明を追加 電源などの駆動能力が高い信号と接続する入力端子のノイズ対策

## セイコーエプソン株式会社

営業本部 MD営業部

---

東京 〒160-8801 東京都新宿区新宿4-1-6 JR新宿ミライナタワー 29F

大阪 〒530-6122 大阪市北区中之島3-3-23 中之島ダイビル22F

---

ドキュメントコード：413942801  
2020年 1月 作成  
2021年 12月 改定 ①