

CMOS 32-BIT SINGLE CHIP MICROCONTROLLER

S1C31D01

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製などの目的に使用することは堅くお断りします。
 2. 弊社製品のご購入およびご使用にあたりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページなどを通じて公開される最新情報に常にご注意ください。
 3. 本資料に掲載されている応用回路、プログラム、使用方法などはあくまでも参考情報です。お客様の機器・システムの設計において、応用回路、プログラム、使用方法などを使用する場合には、お客様の責任において行ってください。これらに起因する第三者の知的財産権およびその他の権利侵害ならびに損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
 4. 弊社は常に品質、信頼性の向上に努めていますが、一般的に半導体製品は誤作動または故障する場合があります。弊社製品のご使用にあたりましては、弊社製品の誤作動や故障により生命・身体に危害を及ぼすこと又は財産が侵害されることのないように、お客様の責任において、お客様のハードウェア、ソフトウェア、システムに必要な安全設計を行うようお願いいたします。なお、設計および使用に際しては、弊社製品に関する最新の情報(本資料、仕様書、データシート、マニュアル、弊社ホームページなど)をご確認いただき、それに従ってください。また、上記資料などに掲載されている製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価を行い、お客様の責任において適用可否の判断をお願いいたします。
 5. 弊社は、正確さを期すために慎重に本資料およびプログラムを作成しておりますが、本資料およびプログラムに掲載されている情報に誤りがないことを保証するものではありません。万一、本資料およびプログラムに掲載されている情報の誤りによってお客様に損害が生じた場合においても、弊社は一切その責任を負いかねます。
 6. 弊社製品の分解、解析、リバースエンジニアリング、改造、改変、翻案、複製などは堅くお断りします。
 7. 弊社製品は、一般的な電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されること(一般用途)、および本資料に個別に掲載または弊社が個別に指定する用途に使用されること(指定用途)を意図して設計、開発、製造されています。これら一般用途および指定用途以外の用途(特別な品質、信頼性が要求され、その誤動作や故障により生命・身体に危害を及ぼす恐れ、膨大な財産侵害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある用途。以下、特定用途といえます)に使用されることを意図していません。お客様に置かれましては、弊社製品を一般用途および指定用途に使用されることを推奨いたします。もし特定用途で弊社製品のご使用およびご購入を希望される場合、弊社はお客様が弊社製品を使用されることへの商品性、適合性、安全性について、明示的・黙示的に関わらずいかなる保証を行うものではありません。お客様が特定用途での弊社製品の使用を希望される場合は、弊社営業窓口まで事前にご連絡の上、承諾を得てください。
- 【特定用途(例)】**
- 宇宙機器(人工衛星・ロケットなど)/輸送車両並びにその制御機器(自動車・航空機・列車・船舶など)
医療機器/海底中継機器/発電所制御機器/防災・防犯装置/交通用機器/金融関連機器
- 上記と同等の信頼性を必要とする用途。詳細は、弊社営業窓口までお問い合わせください。
8. 本資料に掲載されている弊社製品および当該技術を国内外の法令および規制により製造・使用・販売が禁止されている機器・システムに使用することはできません。また、弊社製品および当該技術を大量破壊兵器等の開発および軍事利用の目的その他軍事用途等に使用しないでください。弊社製品または当該技術を輸出または海外に提供する場合は、「外国為替及び外国為替法」、「米商輸出入管理規則(EAR)」、その他輸出関連法令を遵守し、係る法令の定めるところにより必要な手続きを行ってください。
 9. お客様が本資料に掲載されている諸条件に反したことに起因して生じたいかなる損害(直接・間接を問わず)に関して、弊社は一切その責任を負いかねます。
 10. お客様が弊社製品を第三者に譲渡、貸与などをしたことにより、損害が発生した場合、弊社は一切その責任を負いかねます。
 11. 本資料についての詳細に関するお問合せ、その他お気付きの点などがありましたら、弊社営業窓口までご連絡ください。
 12. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

評価ボード・キット、開発ツールご使用上の注意事項

1. 弊社評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることを想定し設計されています。それらの技術評価・開発等の目的以外には使用しないでください。本品は、完成品に対する設計品質に適合していません。
2. 弊社評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止してください。
3. 弊社評価ボード・キット、開発ツールに用いられる部品は、予告なく変更されることがあります。

Rev. j1.2, 2023. 4

はじめに

本書はS1C31D01を使用する製品を開発される設計者、プログラマを対象とした技術マニュアルで、ICの機能、内蔵周辺回路の動作、およびその制御方法を説明します。

本書内の表記や記号について

レジスタのアドレス

各周辺回路の説明には制御レジスタのアドレスは記載されておりません。レジスタのアドレスは“メモリ、バス”の章の“周辺回路エリア”、またはAppendixの“周辺回路制御レジスタ一覧”を参照してください。

レジスタと制御ビットの表記

説明の中では、レジスタや制御ビットを信号名や端子名と区別するため、次のように記載します。

XXXレジスタ: 1つのレジスタの全体を示します。

XXX.YYYビット: XXXレジスタ内にある1ビットの制御ビットYYYを示します。

XXX.ZZZ[1:0]ビット: XXXレジスタ内にある2ビットの制御ビットZZZ1とZZZ0を示します。

レジスタ表の内容と記号

Initial: 初期化時の値

Reset: 初期化条件。初期化条件はリセットグループ(H0、H1、S0)により決まります。リセットグループについては、“電源、リセット、クロック”の章の“初期化条件(リセットグループ)”を参照してください。

R/W: R = 読み出し可能

W = 書き込み可能

WP = 書き込み可能(SYSROT.PROT[15:0]ビットによる書き込み保護あり)

R/W = 読み書き可能

R/WP = 読み書き可能(SYSROT.PROT[15:0]ビットによる書き込み保護あり)

(reserved): 予約ビット。初期値以外の値を書き込まないでください。

制御ビットの読み出し/書き込み値

本書では1ビット値を除き、制御ビットの値を16進数で記載します(説明上、10進数や2進数が必要な場合を除く)。制御ビットのビット幅により次のように記載します。

1ビット: 0または1

2~4ビット: 0x0~0xf

5~8ビット: 0x00~0xff

9~12ビット: 0x000~0xffff

13~16ビット: 0x0000~0xffff

10進数: 0~9999...

2進数: 0b0000...~0b1111...

チャンネル番号

周辺回路によっては複数チャンネルの機能を搭載可能な場合があります(例: 16ビットタイマなど)。これらの周辺回路の章は実装されているチャンネル数にかかわらず、レジスタ名や端子名などに付いているチャンネル番号を表す数値を‘n’と記述しています。基本的に、説明は全チャンネルに適用されます。機能が異なるチャンネルについてはチャンネル番号を明記しています。

例) 16ビットタイマのT16_nCTLレジスタ

1チャンネル搭載機種(Ch.0のみ): T16_nCTL = T16_0CTLのみ

2チャンネル搭載機種(Ch.0とCh.1): T16_nCTL = T16_0CTLとT16_1CTL

本ICの周辺回路の搭載チャンネル数は、“概要”の章の“特長”を参照してください。

低電力モード

本マニュアルでは、低電力モードをHALTモード、SLEEPモードと記述しています。それぞれ、Cortex®-M0+プロセッサのスリープモード、ディープスリープモードに相当します。

- 目次 -

はじめに.....	i
本書内の表記や記号について	i
1 概要	1-1
1.1 特長.....	1-1
1.2 ブロック図.....	1-3
1.3 端子.....	1-4
1.3.1 端子配置図.....	1-4
1.3.2 パッド配置図.....	1-7
1.3.3 端子説明	1-9
2 電源, リセット, クロック.....	2-1
2.1 パワージェネレータ(PWGA)	2-1
2.1.1 概要.....	2-1
2.1.2 端子.....	2-1
2.1.3 V _{D1} レギュレータの動作モード	2-2
2.1.4 V _{D1} レギュレータの電圧モード	2-2
2.2 システムリセットコントローラ(SRC).....	2-4
2.2.1 概要.....	2-4
2.2.2 入力端子	2-4
2.2.3 リセットソース.....	2-5
2.2.4 初期化条件(リセットグループ)	2-5
2.3 クロックジェネレータ(CLG).....	2-6
2.3.1 概要.....	2-6
2.3.2 入出力端子.....	2-7
2.3.3 クロックソース.....	2-7
2.3.4 動作.....	2-9
2.4 動作モード	2-14
2.4.1 イニシャル起動シーケンス.....	2-14
2.4.2 動作モードの遷移	2-14
2.5 割り込み.....	2-16
2.6 制御レジスタ.....	2-16
PWGA Control Register.....	2-16
CLG System Clock Control Register.....	2-17
CLG Oscillation Control Register	2-18
CLG IOSC Control Register	2-19
CLG OSC1 Control Register	2-19
CLG OSC3 Control Register	2-21
CLG Interrupt Flag Register	2-22
CLG Interrupt Enable Register	2-22
CLG FOUT Control Register.....	2-23
CLG Oscillation Frequency Trimming Register 1	2-24
CLG Oscillation Frequency Trimming Register 2	2-24
3 CPU, デバッグ	3-1
3.1 概要.....	3-1
3.2 CPU.....	3-1
3.3 デバッグ.....	3-1
3.3.1 デバッグ入出力端子一覧	3-1
3.3.2 外部接続	3-1
3.4 参照ドキュメント	3-2

4 メモリ, バス	4-1
4.1 概要	4-1
4.2 バスアクセスサイクル	4-2
4.3 Flashメモリ	4-2
4.3.1 Flashメモリ端子	4-2
4.3.2 Flash/バスアクセスサイクルの設定.....	4-2
4.3.3 Flashプログラミング	4-3
4.4 RAM	4-3
4.5 周辺回路制御レジスタ	4-3
4.5.1 システムプロテクト機能	4-11
4.6 命令キャッシュ	4-11
4.7 外部Flashメモリ用メモリマップドアクセスエリア.....	4-11
4.8 制御レジスタ.....	4-11
System Protect Register	4-11
CACHE Control Register.....	4-11
FLASHC Flash Read Cycle Register	4-12
5 割り込み	5-1
5.1 概要	5-1
5.2 ベクタテーブル.....	5-1
5.2.1 ベクタテーブルオフセットアドレス(VTOR).....	5-3
5.2.2 割り込みの優先順位.....	5-3
5.3 周辺回路の割り込み制御.....	5-3
5.4 NMI.....	5-4
6 DMAコントローラ(DMAC)	6-1
6.1 概要	6-1
6.2 動作	6-2
6.2.1 初期設定	6-2
6.3 優先度	6-2
6.4 データストラクチャ.....	6-2
6.4.1 転送元エンドポインタ	6-3
6.4.2 転送先エンドポインタ	6-3
6.4.3 コントロールデータ.....	6-4
6.5 DMA転送モード	6-5
6.5.1 通常転送	6-5
6.5.2 オートリクエスト転送.....	6-5
6.5.3 ピンポン転送	6-6
6.5.4 メモリスキャッタ/ギャザー転送	6-7
6.5.5 周辺回路スキャッタ/ギャザー転送.....	6-8
6.6 DMA転送サイクル.....	6-9
6.7 割り込み.....	6-9
6.8 制御レジスタ.....	6-10
DMAC Status Register	6-10
DMAC Configuration Register.....	6-10
DMAC Control Data Base Pointer Register.....	6-11
DMAC Alternate Control Data Base Pointer Register	6-11
DMAC Software Request Register.....	6-11
DMAC Request Mask Set Register.....	6-11
DMAC Request Mask Clear Register.....	6-12
DMAC Enable Set Register	6-12
DMAC Enable Clear Register	6-12
DMAC Primary-Alternate Set Register	6-12
DMAC Primary-Alternate Clear Register.....	6-13

DMAC Priority Set Register.....	6-13
DMAC Priority Clear Register.....	6-13
DMAC Error Interrupt Flag Register.....	6-13
DMAC Transfer Completion Interrupt Flag Register.....	6-14
DMAC Transfer Completion Interrupt Enable Set Register.....	6-14
DMAC Transfer Completion Interrupt Enable Clear Register.....	6-14
DMAC Error Interrupt Enable Set Register.....	6-14
DMAC Error Interrupt Enable Clear Register.....	6-15
7 入出力ポート(PPORT)	7-1
7.1 概要.....	7-1
7.2 I/Oセルの構造と機能.....	7-2
7.2.1 シュミット入力.....	7-2
7.2.2 トレラント・フェイルセーフ	7-2
7.2.3 プルアップ/プルダウン.....	7-2
7.2.4 CMOS出力とハイインピーダンス状態.....	7-3
7.3 クロック設定.....	7-3
7.3.1 PPORTの動作クロック	7-3
7.3.2 SLEEPモード時のクロック供給	7-3
7.3.3 デバッグ時のクロック供給.....	7-3
7.4 動作.....	7-3
7.4.1 初期設定	7-3
7.4.2 ポートの入出力制御.....	7-5
7.5 割り込み.....	7-6
7.6 制御レジスタ.....	7-6
Px Port Data Register.....	7-6
Px Port Enable Register	7-7
Px Port Pull-up/down Control Register	7-7
Px Port Interrupt Flag Register.....	7-8
Px Port Interrupt Control Register	7-8
Px Port Chattering Filter Enable Register.....	7-8
Px Port Mode Select Register	7-9
Px Port Function Select Register	7-9
P Port Clock Control Register	7-9
P Port Interrupt Flag Group Register.....	7-10
7.7 本ICの制御レジスタ/ポート機能の構成.....	7-11
7.7.1 P0ポートグループ	7-11
7.7.2 P1ポートグループ	7-12
7.7.3 P2ポートグループ	7-13
7.7.4 P3ポートグループ	7-14
7.7.5 P4ポートグループ	7-15
7.7.6 P5ポートグループ	7-16
7.7.7 P6ポートグループ	7-17
7.7.8 Pdポートグループ	7-18
7.7.9 ポートグループ共通.....	7-19
8 ユニバーサルポートマルチプレクサ(UPMUX)	8-1
8.1 概要.....	8-1
8.2 周辺入出力機能の割り当て	8-1
8.3 制御レジスタ.....	8-2
Pxy-xz Universal Port Multiplexer Setting Register.....	8-2
9 ウォッチドッグタイマ(WDT2)	9-1
9.1 概要.....	9-1
9.2 クロック設定.....	9-1
9.2.1 WDT2の動作クロック	9-1

9.2.2	DEBUGモード時のクロック供給	9-1
9.3	動作	9-2
9.3.1	WDT2の制御	9-2
9.3.2	HALT, SLEEPモード時の動作	9-3
9.4	制御レジスタ	9-3
	WDT2 Clock Control Register	9-3
	WDT2 Control Register	9-4
	WDT2 Counter Compare Match Register	9-4
10	リアルタイムクロック(RTCA)	10-1
10.1	概要	10-1
10.2	出力端子と外部接続	10-1
10.2.1	出力端子	10-1
10.3	クロック設定	10-2
10.3.1	RTCAの動作クロック	10-2
10.3.2	論理緩急機能	10-2
10.4	動作	10-3
10.4.1	RTCAの制御	10-3
10.4.2	リアルタイムクロックカウンタの動作	10-4
10.4.3	ストップウォッチの制御	10-4
10.4.4	ストップウォッチのカウントアップパターン	10-4
10.5	割り込み	10-5
10.6	制御レジスタ	10-6
	RTCA Control Register (Low Byte)	10-6
	RTCA Control Register (High Byte)	10-7
	RTCA Second Alarm Register	10-7
	RTCA Hour/Minute Alarm Register	10-8
	RTCA Stopwatch Control Register	10-8
	RTCA Second/1Hz Register	10-9
	RTCA Hour/Minute Register	10-10
	RTCA Month/Day Register	10-11
	RTCA Year/Week Register	10-11
	RTCA Interrupt Flag Register	10-12
	RTCA Interrupt Enable Register	10-13
11	電源電圧検出回路(SVD3)	11-1
11.1	概要	11-1
11.2	入力端子と外部接続	11-2
11.2.1	入力端子	11-2
11.2.2	外部との接続	11-2
11.3	クロック設定	11-2
11.3.1	SVD3の動作クロック	11-2
11.3.2	SLEEPモード時のクロック供給	11-2
11.3.3	DEBUGモード時のクロック供給	11-3
11.4	動作	11-3
11.4.1	SVD3の制御	11-3
11.4.2	SVD3の動作	11-4
11.5	SVD3割り込みとリセット	11-4
11.5.1	SVD3割り込み	11-4
11.5.2	SVD3リセット	11-5
11.6	制御レジスタ	11-5
	SVD3 Clock Control Register	11-5
	SVD3 Control Register	11-6
	SVD3 Status and Interrupt Flag Register	11-7
	SVD3 Interrupt Enable Register	11-8

12 16ビットタイマ(T16).....	12-1
12.1 概要	12-1
12.2 入力端子.....	12-1
12.3 クロック設定.....	12-2
12.3.1 T16の動作クロック	12-2
12.3.2 SLEEPモード時のクロック供給	12-2
12.3.3 デバッグ時のクロック供給.....	12-2
12.3.4 イベントカウンタクロック	12-2
12.4 動作.....	12-2
12.4.1 初期設定	12-2
12.4.2 カウンタのアンダーフロー	12-3
12.4.3 リピートモードの動作.....	12-3
12.4.4 ワンショットモードの動作.....	12-3
12.4.5 カウンタ値のリード.....	12-4
12.5 割り込み.....	12-4
12.6 制御レジスタ.....	12-4
T16 Ch.n Clock Control Register	12-4
T16 Ch.n Mode Register	12-5
T16 Ch.n Control Register.....	12-5
T16 Ch.n Reload Data Register.....	12-6
T16 Ch.n Counter Data Register.....	12-6
T16 Ch.n Interrupt Flag Register.....	12-6
T16 Ch.n Interrupt Enable Register.....	12-7
13 UART(UART3).....	13-1
13.1 概要	13-1
13.2 入出力端子と外部接続	13-2
13.2.1 入出力端子一覧.....	13-2
13.2.2 外部との接続	13-2
13.2.3 入力端子のプルアップ機能.....	13-2
13.2.4 出力端子のオープンドレイン出力機能.....	13-2
13.2.5 入出力信号の反転機能.....	13-2
13.3 クロック設定.....	13-2
13.3.1 UART3の動作クロック	13-2
13.3.2 SLEEPモード時のクロック供給	13-3
13.3.3 DEBUGモード時のクロック供給.....	13-3
13.3.4 ボーレートジェネレータ	13-3
13.4 データフォーマット	13-3
13.5 動作.....	13-4
13.5.1 初期設定	13-4
13.5.2 データ送信.....	13-5
13.5.3 データ受信.....	13-6
13.5.4 IrDAインタフェース.....	13-7
13.5.5 キャリア変調	13-8
13.6 受信エラー	13-9
13.6.1 フレーミングエラー.....	13-9
13.6.2 パリティエラー	13-9
13.6.3 オーバーランエラー.....	13-9
13.7 割り込み.....	13-10
13.8 DMA転送要求.....	13-10
13.9 制御レジスタ.....	13-11
UART3 Ch.n Clock Control Register	13-11
UART3 Ch.n Mode Register	13-11

UART3 Ch. <i>n</i> Baud-Rate Register	13-13
UART3 Ch. <i>n</i> Control Register	13-13
UART3 Ch. <i>n</i> Transmit Data Register	13-14
UART3 Ch. <i>n</i> Receive Data Register	13-14
UART3 Ch. <i>n</i> Status and Interrupt Flag Register	13-14
UART3 Ch. <i>n</i> Interrupt Enable Register.....	13-15
UART3 Ch. <i>n</i> Transmit Buffer Empty DMA Request Enable Register	13-16
UART3 Ch. <i>n</i> Receive Buffer One Byte Full DMA Request Enable Register.....	13-16
UART3 Ch. <i>n</i> Carrier Waveform Register.....	13-16
14 同期式シリアルインタフェース(SPIA).....	14-1
14.1 概要.....	14-1
14.2 入出力端子と外部接続.....	14-2
14.2.1 入出力端子一覧.....	14-2
14.2.2 外部との接続.....	14-2
14.2.3 マスタモードとスレーブモードの端子機能.....	14-3
14.2.4 入力端子のプルアップ/プルダウン機能.....	14-3
14.3 クロック設定.....	14-3
14.3.1 SPIAの動作クロック.....	14-3
14.3.2 デバッグ時のクロック供給.....	14-4
14.3.3 SPIクロック(SPICLK _{<i>n</i>})の位相と極性.....	14-4
14.4 データフォーマット.....	14-5
14.5 動作.....	14-5
14.5.1 初期設定.....	14-5
14.5.2 マスタモードのデータ送信.....	14-6
14.5.3 マスタモードのデータ受信.....	14-8
14.5.4 マスタモードのデータ送受信終了.....	14-10
14.5.5 スレーブモードのデータ送受信.....	14-10
14.5.6 スレーブモードのデータ送受信終了.....	14-12
14.6 割り込み.....	14-12
14.7 DMA転送要求.....	14-13
14.8 制御レジスタ.....	14-13
SPIA Ch. <i>n</i> Mode Register	14-13
SPIA Ch. <i>n</i> Control Register.....	14-14
SPIA Ch. <i>n</i> Transmit Data Register	14-15
SPIA Ch. <i>n</i> Receive Data Register	14-15
SPIA Ch. <i>n</i> Interrupt Flag Register.....	14-15
SPIA Ch. <i>n</i> Interrupt Enable Register.....	14-16
SPIA Ch. <i>n</i> Transmit Buffer Empty DMA Request Enable Register.....	14-16
SPIA Ch. <i>n</i> Receive Buffer Full DMA Request Enable Register.....	14-16
15 同期式クワッドシリアルインタフェース(QSPI).....	15-1
15.1 概要.....	15-1
15.2 入出力端子と外部接続.....	15-2
15.2.1 入出力端子一覧.....	15-2
15.2.2 外部との接続.....	15-2
15.2.3 マスタモードとスレーブモードの端子機能.....	15-6
15.2.4 入力端子のプルアップ/プルダウン機能.....	15-6
15.3 クロック設定.....	15-6
15.3.1 QSPIの動作クロック.....	15-6
15.3.2 デバッグ時のクロック供給.....	15-7
15.3.3 QSPIクロック(QSPICLK _{<i>n</i>})の位相と極性.....	15-7
15.4 データフォーマット.....	15-8
15.5 動作.....	15-9
15.5.1 レジスタアクセスモード.....	15-9

15.5.2	メモリマップドアクセスモード.....	15-10
15.5.3	初期設定	15-11
15.5.4	マスタモードのデータ送信.....	15-12
15.5.5	レジスタアクセスマスタモードのデータ受信.....	15-14
15.5.6	メモリマップドアクセスモードのデータ受信.....	15-17
15.5.7	メモリマップドアクセス操作の終了	15-25
15.5.8	マスタモードのデータ送受信終了.....	15-25
15.5.9	スレーブモードのデータ送受信.....	15-25
15.5.10	スレーブモードのデータ送受信終了	15-27
15.6	割り込み.....	15-27
15.7	DMA転送要求.....	15-28
15.8	制御レジスタ.....	15-29
	QSPI Ch. <i>n</i> Mode Register.....	15-29
	QSPI Ch. <i>n</i> Control Register	15-31
	QSPI Ch. <i>n</i> Transmit Data Register	15-31
	QSPI Ch. <i>n</i> Receive Data Register	15-32
	QSPI Ch. <i>n</i> Interrupt Flag Register.....	15-32
	QSPI Ch. <i>n</i> Interrupt Enable Register.....	15-33
	QSPI Ch. <i>n</i> Transmit Buffer Empty DMA Request Enable Register	15-33
	QSPI Ch. <i>n</i> Receive Buffer Full DMA Request Enable Register.....	15-33
	QSPI Ch. <i>n</i> FIFO Data Ready DMA Request Enable Register	15-34
	QSPI Ch. <i>n</i> Memory Mapped Access Configuration Register 1	15-34
	QSPI Ch. <i>n</i> Remapping Start Address High Register	15-34
	QSPI Ch. <i>n</i> Memory Mapped Access Configuration Register 2	15-35
	QSPI Ch. <i>n</i> Mode Byte Register.....	15-37
16	I²C(I2C).....	16-1
16.1	概要.....	16-1
16.2	入出力端子と外部接続	16-2
	16.2.1 入出力端子一覧.....	16-2
	16.2.2 外部との接続	16-2
16.3	クロック設定.....	16-3
	16.3.1 I2Cの動作クロック	16-3
	16.3.2 デバッグ時のクロック供給.....	16-3
	16.3.3 ボーレートジェネレータ	16-3
16.4	動作.....	16-4
	16.4.1 初期設定	16-4
	16.4.2 マスタモードのデータ送信.....	16-5
	16.4.3 マスタモードのデータ受信.....	16-7
	16.4.4 マスタモードでの10ビットアドレス指定.....	16-10
	16.4.5 スレーブモードのデータ送信	16-11
	16.4.6 スレーブモードのデータ受信	16-13
	16.4.7 10ビットアドレスモードのスレーブ動作.....	16-15
	16.4.8 自動バスクリア動作.....	16-15
	16.4.9 エラー検出.....	16-16
16.5	割り込み.....	16-17
16.6	DMA転送要求.....	16-18
16.7	制御レジスタ.....	16-18
	I2C Ch. <i>n</i> Clock Control Register.....	16-18
	I2C Ch. <i>n</i> Mode Register.....	16-19
	I2C Ch. <i>n</i> Baud-Rate Register.....	16-19
	I2C Ch. <i>n</i> Own Address Register	16-20
	I2C Ch. <i>n</i> Control Register	16-20
	I2C Ch. <i>n</i> Transmit Data Register.....	16-21
	I2C Ch. <i>n</i> Receive Data Register.....	16-21

I2C Ch. <i>n</i> Status and Interrupt Flag Register	16-22
I2C Ch. <i>n</i> Interrupt Enable Register	16-23
I2C Ch. <i>n</i> Transmit Buffer Empty DMA Request Enable Register	16-24
I2C Ch. <i>n</i> Receive Buffer Full DMA Request Enable Register	16-24
17 16ビットPWMタイマ(T16B)	17-1
17.1 概要	17-1
17.2 入出力端子	17-2
17.3 クロック設定	17-3
17.3.1 T16Bの動作クロック	17-3
17.3.2 SLEEPモード時のクロック供給	17-3
17.3.3 デバッグ時のクロック供給	17-3
17.3.4 イベントカウンタクロック	17-3
17.4 動作	17-4
17.4.1 初期設定	17-4
17.4.2 カウンタブロックの動作	17-5
17.4.3 コンパレータ/キャプチャブロックの動作	17-8
17.4.4 TOUT出力の制御	17-17
17.5 割り込み	17-23
17.6 DMA転送要求	17-23
17.7 制御レジスタ	17-23
T16B Ch. <i>n</i> Clock Control Register	17-23
T16B Ch. <i>n</i> Counter Control Register	17-24
T16B Ch. <i>n</i> Max Counter Data Register	17-25
T16B Ch. <i>n</i> Timer Counter Data Register	17-26
T16B Ch. <i>n</i> Counter Status Register	17-26
T16B Ch. <i>n</i> Interrupt Flag Register	17-27
T16B Ch. <i>n</i> Interrupt Enable Register	17-28
T16B Ch. <i>n</i> Comparator/Capture <i>m</i> Control Register	17-29
T16B Ch. <i>n</i> Compare/Capture <i>m</i> Data Register	17-31
T16B Ch. <i>n</i> Counter Max/Zero DMA Request Enable Register	17-32
T16B Ch. <i>n</i> Compare/Capture <i>m</i> DMA Request Enable Register	17-32
18 サウンドジェネレータ(SNDA)	18-1
18.1 概要	18-1
18.2 出力端子と外部接続	18-2
18.2.1 出力端子一覧	18-2
18.2.2 出力端子の駆動モード	18-2
18.2.3 外部との接続	18-2
18.3 クロック設定	18-3
18.3.1 SNDAの動作クロック	18-3
18.3.2 SLEEPモード時のクロック供給	18-3
18.3.3 DEBUGモード時のクロック供給	18-3
18.4 動作	18-3
18.4.1 初期設定	18-3
18.4.2 ノーマルブザーモードのブザー出力	18-3
18.4.3 ワンショットブザーモードのブザー出力	18-6
18.4.4 メロディモードの出力	18-7
18.5 割り込み	18-9
18.6 DMA転送要求	18-10
18.7 制御レジスタ	18-10
SNDA Clock Control Register	18-10
SNDA Select Register	18-11
SNDA Control Register	18-12

SNDA Data Register.....	18-12
SNDA Interrupt Flag Register.....	18-13
SNDA Interrupt Enable Register.....	18-13
SNDA Sound Buffer Empty DMA Request Enable Register	18-14
19 IRリモートコントローラ(REMC3).....	19-1
19.1 概要.....	19-1
19.2 出力端子と外部接続.....	19-1
19.2.1 出力端子.....	19-1
19.2.2 外部との接続.....	19-2
19.3 クロック設定.....	19-2
19.3.1 REMC3の動作クロック.....	19-2
19.3.2 SLEEPモード時のクロック供給.....	19-2
19.3.3 デバッグ時のクロック供給.....	19-2
19.4 動作.....	19-2
19.4.1 初期設定.....	19-2
19.4.2 送信手順.....	19-3
19.4.3 REMO出力波形.....	19-3
19.4.4 連続送信とコンペアバッファ.....	19-5
19.5 割り込み.....	19-6
19.6 応用例: ELランプの駆動.....	19-7
19.7 制御レジスタ.....	19-7
REMC3 Clock Control Register.....	19-7
REMC3 Data Bit Counter Control Register.....	19-8
REMC3 Data Bit Counter Register.....	19-10
REMC3 Data Bit Active Pulse Length Register.....	19-10
REMC3 Data Bit Length Register.....	19-10
REMC3 Status and Interrupt Flag Register.....	19-10
REMC3 Interrupt Enable Register.....	19-11
REMC3 Carrier Waveform Register.....	19-12
REMC3 Carrier Modulation Control Register.....	19-12
20 12ビットA/D変換器(ADC12A).....	20-1
20.1 概要.....	20-1
20.2 入力端子と外部接続.....	20-2
20.2.1 入力端子一覧.....	20-2
20.2.2 外部との接続.....	20-2
20.3 クロック設定.....	20-2
20.3.1 ADC12Aの動作クロック.....	20-2
20.3.2 サンプリング時間.....	20-2
20.4 動作.....	20-3
20.4.1 初期設定.....	20-3
20.4.2 変換開始トリガソース.....	20-3
20.4.3 変換動作モードと変換を行うアナログ入力端子の設定.....	20-4
20.4.4 A/D変換動作と制御手順.....	20-4
20.5 割り込み.....	20-6
20.6 DMA転送要求.....	20-6
20.7 制御レジスタ.....	20-7
ADC12A Ch. <i>n</i> Control Register.....	20-7
ADC12A Ch. <i>n</i> Trigger/Analog Input Select Register.....	20-8
ADC12A Ch. <i>n</i> Configuration Register.....	20-9
ADC12A Ch. <i>n</i> Interrupt Flag Register.....	20-10
ADC12A Ch. <i>n</i> Interrupt Enable Register.....	20-10
ADC12A Ch. <i>n</i> DMA Request Enable Register <i>m</i>	20-11
ADC12A Ch. <i>n</i> Result Register.....	20-11

21 温度センサ/基準電圧生成回路(TSRVR)	21-1
21.1 概要	21-1
21.2 出力端子と外部接続	21-1
21.2.1 出力端子	21-1
21.2.2 外部との接続	21-2
21.3 動作	21-2
21.3.1 基準電圧の設定	21-2
21.3.2 温度センサの設定	21-2
21.4 制御レジスタ	21-3
TSRVR Ch. <i>n</i> Temperature Sensor Control Register	21-3
TSRVR Ch. <i>n</i> Reference Voltage Generator Control Register	21-3
22 USB 2.0 FSデバイスコントローラ(USB, USBMISC)	22-1
22.1 概要	22-1
22.2 入出力端子と外部接続	22-2
22.2.1 入出力端子一覧	22-2
22.2.2 外部との接続	22-2
22.3 クロック設定	22-3
22.4 USB電源	22-3
22.5 動作	22-4
22.5.1 初期設定	22-4
22.5.2 V _{BUS} 切断時の設定	22-5
22.5.3 トランザクションの制御	22-6
22.5.4 コントロール転送	22-8
22.5.5 バルク転送/インタラプト転送	22-10
22.5.6 データフローの制御	22-11
22.5.7 オートネゴシエーション機能	22-12
22.5.8 ネゴシエーション機能説明	22-14
22.5.9 FIFO管理	22-17
22.5.10 スヌーズ	22-19
22.6 割り込み	22-20
22.7 DMA転送要求	22-21
22.8 制御レジスタ	22-21
USB Control Register	22-21
USB Transceiver Control Register	22-23
USB Status Register	22-23
USB Endpoint Control Register	22-24
USB General-Purpose Endpoint FIFO Clear Register	22-24
USB FIFO Read Cycle Setup Register	22-25
USB Revision Number Register	22-25
USB EP0 Setup Data Registers 0-7	22-25
USB Address Register	22-26
USB EP0 Configuration Register	22-26
USB EP0 Maximum Packet Size Register	22-26
USB EP0 IN Transaction Control Register	22-27
USB EP0 OUT Transaction Control Register	22-28
USB EP _{<i>m</i>} Control Registers	22-29
USB EP _{<i>m</i>} Configuration Registers	22-30
USB EP _{<i>m</i>} Maximum Packet Size Registers	22-31
USB Read FIFO Select Register	22-31
USB Write FIFO Select Register	22-32
USB FIFO Read/Write Enable Register	22-32
USB Remaining FIFO Data Count Register	22-33
USB Remaining FIFO Space Count Register	22-33
USB Debug RAM Address Register	22-33

USB Main Interrupt Flag Register	22-34
USB SIE Interrupt Flag Register	22-34
USB General-Purpose Endpoint Interrupt Flag Register	22-35
USB EP0 Interrupt Flag Register	22-36
USB EP m Interrupt Flag Registers	22-36
USB Main Interrupt Enable Register	22-37
USB SIE Interrupt Enable Register	22-38
USB General-Purpose Endpoint Interrupt Enable Register	22-38
USB EP0 Interrupt Enable Register	22-39
USB EP m Interrupt Enable Registers	22-39
USB FIFO Data Register	22-40
USB Debug RAM Data Register	22-40
USB Misc Control Register	22-41
USB FIFO Write DMA Request Enable Register	22-42
USB FIFO Read DMA Request Enable Register	22-42
23 メモリディスプレイコントローラ(MDC).....	23-1
23.1 概要	23-1
23.2 入出力端子と外部接続	23-3
23.2.1 入出力端子一覧	23-3
23.2.2 ディスプレイパネルの外部接続	23-4
23.2.3 ホストインタフェースを介した外部ホストの接続	23-5
23.3 クロック設定	23-6
23.3.1 昇圧クロック	23-6
23.3.2 低速クロック(CLK32K)	23-6
23.3.3 高速クロック(SYSCLK)	23-6
23.3.4 SLEEPモード時のクロック供給	23-7
23.3.5 デバッグ時のクロック供給	23-7
23.4 V _{MD} 電源回路	23-7
23.4.1 V _{MD} 電源回路の構成	23-7
23.4.2 V _{MD} 電源回路の制御	23-8
23.5 画像データフォーマット	23-8
23.5.1 ピクセルデータフォーマット	23-8
23.5.2 ビットマップフォーマット	23-14
23.6 動作	23-17
23.6.1 初期設定	23-17
23.6.2 ディスプレイアップデータ	23-17
23.6.3 描画エンジン	23-24
23.6.4 コピーエンジン	23-28
23.7 ホストインタフェース	23-36
23.7.1 初期設定	23-36
23.7.2 インダイレクト8ビットパラレルインタフェース	23-36
23.7.3 SPI/QSPIシリアルインタフェース	23-38
23.8 割り込み	23-41
23.9 制御レジスタ	23-42
MDC Display Control Register	23-42
MDC Display Width Register	23-44
MDC Display Height Register	23-44
MDC Display VCOM Clock Divider Register	23-44
MDC Display Clock Divider Register	23-44
MDC Display Parameters 1 and 2 Register	23-45
MDC Display Parameters 3 and 4 Register	23-45
MDC Display Parameters 5 and 6 Register	23-46
MDC Display Parameters 7 and 8 Register	23-46
MDC Display Update Start Line Register	23-46

MDC Display Update End Line Register	23-46
MDC Display Frame Buffer Stride Register.....	23-47
MDC Display Frame Buffer Base Address Register 0.....	23-47
MDC Display Frame Buffer Base Address Register 1	23-47
MDC Trigger Control Register	23-47
MDC Interrupt Control Register	23-48
MDC Graphics Control Register.....	23-48
MDC Input X Coordinate Register.....	23-50
MDC Input Y Coordinate Register.....	23-50
MDC Input Width Register	23-51
MDC Input Height Register	23-51
MDC Output X Coordinate Register.....	23-52
MDC Output Y Coordinate Register.....	23-52
MDC Output Width Register	23-52
MDC Output Height Register	23-53
MDC X Left Scale Register.....	23-53
MDC X Right Scale Register	23-53
MDC Y Top Scale Register.....	23-54
MDC Y Bottom Scale Register.....	23-54
MDC X/Y Shear Register.....	23-54
MDC Rotation Register	23-55
MDC Color Register	23-55
MDC Source Window Base Address Register 0	23-55
MDC Source Window Base Address Register 1	23-55
MDC Destination Window Base Address Register 0	23-56
MDC Destination Window Base Address Register 1	23-56
MDC Source Image Stride Register	23-56
MDC Destination Image Stride Register	23-56
MDC Output Window Left Edge Register	23-56
MDC Output Window Right Edge Register.....	23-57
MDC Output Window Top Edge Register.....	23-57
MDC Output Window Bottom Edge Register	23-57
MDC Scratchpad A Register 0.....	23-57
MDC Scratchpad A Register 1	23-57
MDC Clock Control Register	23-57
MDC Voltage Booster Clock Control Register	23-58
MDC Voltage Booster Power Control Register	23-59
MDC Voltage Booster V _{MD} Output Control Register	23-59
MDC Host Control Register.....	23-60
24 電気的特性.....	24-1
24.1 絶対最大定格	24-1
24.2 推奨動作条件.....	24-1
24.3 消費電流.....	24-2
24.4 システムリセットコントローラ(SRC)特性	24-4
24.5 クロックジェネレータ(CLG)特性.....	24-5
24.6 Flashメモリ特性.....	24-7
24.7 入出力ポート(PPORT)特性.....	24-7
24.8 電源電圧検出回路(SVD3)特性	24-8
24.9 UART(UART3)特性	24-10
24.10 同期式シリアルインタフェース(SPIA)特性.....	24-10
24.11 同期式クワッドシリアルインタフェース(QSPI)特性	24-13
24.12 I ² C(I2C)特性.....	24-14
24.13 12ビットA/D変換器(ADC12A)特性.....	24-14
24.14 温度センサ/基準電圧生成回路(TSRVR)特性.....	24-15
24.15 USB 2.0 FSデバイスコントローラ(USB)特性.....	24-16

24.16 メモリディスプレイコントローラ(MDC)特性	24-17
25 基本外部結線図	25-1
26 パッケージ	26-1
Appendix A 周辺回路制御レジスタ一覧	AP-A-1
0x4000 0000 System Register (SYS)	AP-A-1
0x4000 0020 Power Generator (PWGA)	AP-A-1
0x4000 0040-0x4000 0054 Clock Generator (CLG)	AP-A-1
0x4000 0080 Cache Controller (CACHE)	AP-A-2
0x4000 00a0-0x4000 00a4 Watchdog Timer (WDT2)	AP-A-2
0x4000 00c0-0x4000 00d2 Real-time Clock (RTCA)	AP-A-3
0x4000 0100-0x4000 0106 Supply Voltage Detector (SVD3)	AP-A-4
0x4000 0160-0x4000 016c 16-bit Timer (T16) Ch.0	AP-A-5
0x4000 01b0 Flash Controller (FLASHC)	AP-A-5
0x4000 0200-0x4000 02e2 I/O Ports (PPORT)	AP-A-5
0x4000 0300-0x4000 031e Universal Port Multiplexer (UPMUX)	AP-A-10
0x4000 0380-0x4000 0394 UART (UART3) Ch.0	AP-A-12
0x4000 03a0-0x4000 03ac 16-bit Timer (T16) Ch.1	AP-A-13
0x4000 03b0-0x4000 03be Synchronous Serial Interface (SPIA) Ch.0	AP-A-13
0x4000 03c0-0x4000 03d6 I ² C (I2C) Ch.0	AP-A-14
0x4000 0400-0x4000 043c 16-bit PWM Timer (T16B) Ch.0	AP-A-15
0x4000 0440-0x4000 047c 16-bit PWM Timer (T16B) Ch.1	AP-A-18
0x4000 0480-0x4000 048c 16-bit Timer (T16) Ch.3	AP-A-22
0x4000 04a0-0x4000 04ac 16-bit Timer (T16) Ch.4	AP-A-22
0x4000 04c0-0x4000 04cc 16-bit Timer (T16) Ch.5	AP-A-23
0x4000 0600-0x4000 0614 UART (UART3) Ch.1	AP-A-23
0x4000 0620-0x4000 0634 UART (UART3) Ch.2	AP-A-24
0x4000 0660-0x4000 066c 16-bit Timer (T16) Ch.6	AP-A-26
0x4000 0670-0x4000 067e Synchronous Serial Interface (SPIA) Ch.1	AP-A-26
0x4000 0680-0x4000 068c 16-bit Timer (T16) Ch.2	AP-A-27
0x4000 0690-0x4000 06a8 Quad Synchronous Serial Interface (QSPI) Ch.0	AP-A-28
0x4000 06c0-0x4000 06d6 I ² C (I2C) Ch.1	AP-A-29
0x4000 0700-0x4000 070c Sound Generator (SNDA)	AP-A-30
0x4000 0720-0x4000 0732 IR Remote Controller (REMC3)	AP-A-31
0x4000 0780-0x4000 078c 16-bit Timer (T16) Ch.7	AP-A-32
0x4000 07a0-0x4000 07bc 12-bit A/D Converter (ADC12A) Ch.0	AP-A-32
0x4000 07c0-0x4000 07c2 Temperature Sensor/ Reference Voltage Generator (TSRVR) Ch.0	AP-A-34
0x2040 0000-0x2040 0104, 0x4000 0970-0x4000 0976 USB 2.0 FS Device Controller (USB, USBMISC)	AP-A-34
0x4000 1000-0x4000 2014 DMA Controller (DMAC)	AP-A-39
0x4000 3000-0x4000 30e0 Memory Display Controller (MDC)	AP-A-41
Appendix B パワーセーブ	AP-B-1
B.1 パワーセーブを考慮した動作状態の設定例	AP-B-1
B.2 その他のパワーセーブ方法	AP-B-2
Appendix C 実装上の注意事項	AP-C-1
Appendix D ノイズ対策	AP-D-1
改訂履歴表	

1 概要

1.1 特長

S1C31D01は、Arm® Cortex®-M0+プロセッサを搭載した低電力動作を特長とする32ビットMCUです。豊富なシリアルインタフェースや、メモリディスプレイコントローラと昇圧回路などを搭載しており、電池駆動のコントローラ機器などへの応用に適しています。

表1.1.1 特長

機種	S1C31D01
CPU	
CPU	Arm® 32ビットRISCプロセッサCortex®-M0+
その他	シリアルワイヤデバッグポート(SW-DP)、マイクロトレースバッファ (MTB)を内蔵
内蔵Flashメモリ	
容量	256Kバイト(命令/データ共用)
書き換え回数	1,000回(min.) *専用フラッシュローダからの書き換え時
その他	オンボード書き換えが可能 Flashプログラミング電圧を内部生成可能
内蔵RAM	
汎用RAM	96Kバイト(MDC, MTBと共用)
命令キャッシュ	512バイト
DMAコントローラ(DMAC)	
チャンネル数	4チャンネル
データ転送パス	メモリ→メモリ, メモリ→周辺回路, 周辺回路→メモリ
転送モード	通常転送モード, ピンポン転送モード, スキャタ/ギャザー転送モード
DMAトリガソース	UART3, SPIA, QSPI, I2C, USB, T16B, SNDA, ADC12A, ソフトウェア
クロックジェネレータ(CLG)	
システムクロックソース	4種類(IOSC/OSC1/OSC3/EXOSC)
システムクロック周波数(動作周波数)	V _{D0} 電圧モード = mode0: 21 MHz(max.) V _{D0} 電圧モード = mode1: 2.1 MHz(max.)
IOSC発振回路(起動クロックソース)	V _{D0} 電圧モード = mode0: 20/16/12/8/2/1 MHz(typ.)からソフトウェアにて選択可能 V _{D0} 電圧モード = mode1: 2/1 MHz(typ.)からソフトウェアにて選択可能 10 μs(max.)の起動時間 (SLEEP状態からCPUがベクタテーブルを読み出すまでの時間)
OSC1発振回路	32.768 kHz(typ.) 水晶発振回路 32 kHz(typ.) 内蔵発振回路 発振停止検出回路内蔵
OSC3発振回路	20.5 MHz(max.) 水晶/セラミック発振回路
EXOSCクロック入力	21 MHz(max.) 矩形波またはサイン波入力
その他	システムクロックの分周比を設定可能 SLEEP復帰時のシステムクロックを任意に設定可能 CPUとすべての周辺回路が、任意に選択されたクロック周波数で動作可能
入出力ポート(PPORT)	
汎用入出力ポート数	57ビット(max.) 周辺回路の入出力端子と共用
入力割り込み対応ポート数	53ビット(max.)
ユニバーサルポートマルチプレクサ (UPMUX)対応ポート数	30ビット ソフトウェアで選択した周辺回路入出力機能を各ポートに割り付け可能
タイマ	
ウォッチドッグタイマ(WDT2)	NMI, またはウォッチドッグタイマリセットを生成 NMI/リセット発生周期を設定可能
リアルタイムクロック(RTCA)	128~1 Hzカウンタ, 秒/分/時/日/曜日/月/年カウンタ 1秒補正のための論理緩急機能 アラーム機能, ストップウォッチ機能
16ビットタイマ(T16)	8チャンネル SPIAとQSPIのマスタクロック, ADC12Aの動作クロック/トリガ信号を生成
16ビットPWMタイマ(T16B)	2チャンネル イベントカウンタ/キャプチャ機能 PWM波形生成機能 PWM出力またはキャプチャ入力ポート数: 6ポート/チャンネル
電源電圧検出回路(SVD3)	
チャンネル数	1チャンネル
検出電圧	V _{DD} または外部電圧(2つの外部電圧検出ポートを搭載)
検出レベル	V _{DD} : 28値(1.8~5.0 V)/外部電圧: 32値(1.2~5.0 V)
その他	間欠動作モード 検出レベル判定で割り込み, またはリセットを発生

1 概要

シリアルインタフェース	
UART(UART3)	3チャンネル ボーレート生成回路内蔵, IrDA1.0対応 オープンドレイン出力, 信号極性, ボーレート分周比を選択可能 赤外線通信用キャリア変調出力機能
同期式シリアルインタフェース(SPIA)	2チャンネル 転送データ長を2~16ビットに設定可能 マスターモードのボーレート生成回路として16ビットタイマ(T16)を使用可能
同期式クワッドシリアルインタフェース(QSPI)	1チャンネル シングル、デュアル、クワッド転送モードに対応 XIP(eXecute-In-Place)モードを持つ外部フラッシュメモリを直接リード可能な、CPUのオーバーヘッドが低いメモリマップドアクセス機能
I ² C(I2C)*1	2チャンネル ボーレート生成回路内蔵
USB 2.0 FSデバイスコントローラ(USB)	
送受信チャンネル数	1チャンネル
転送レート	FS (12 Mbps)
クロックソース	OSC3(12 MHz) + PLL
エンドポイント数	4本(3本の汎用エンドポイントとエンドポイント0を搭載)
電源	USB専用レギュレータを内蔵
サウンドジェネレータ(SNDA)	
ブザー出力機能	出力周波数: 512 Hz~16 kHz 1ショット出力機能
メロディ生成機能	音高: 128 Hz~16 kHz ≒ C3~C6 音長: 7種類(2分音符/休符~32分音符/休符) テンポ: 16種類(30~480) タイ/スラー指定可能
IRリモートコントローラ(REMC3)	
送信チャンネル数	1チャンネル
その他	応用としてELランプ駆動波形を生成可能(ハードウェア) 出力反転機能
12ビットA/D変換器(ADC12A)	
変換方式	逐次比較型
分解能	12ビット
変換チャンネル数	1チャンネル
アナログ信号入力数	8ポート/チャンネル(1ポートに温度センサ出力を接続)
温度センサ/基準電圧生成回路(TSRVR)	
温度センサ回路	センサ出力をADC12Aで計測可能
基準電圧生成回路	2.0 V, 2.5 V, V _{DD} または外部印加からADC12Aの基準電圧を選択可能
メモリスプレイクонтроラ(MDC)	
メモリスプレイクンタフェース	パラレル 6ビットカラー, SPI 1ビット白黒および3ビットカラー, 8ビットパラレル/3線/4線シリアル 1/2/4/8 bppグレースケール
画像回転	フレームバッファからパネルに送る画像を0, 90, 180, 270°回転
ホストインタフェース	インダイレクト8ビットパラレル, SPI, およびQSPI
グラフィックスアクセラレーション	拡大/縮小, 回転, シアーが可能ないメージ/ビットマップコピー 描画機能(直線, 長方形, 楕円形, 円弧) コピーおよび描画機能は, コピー/描画先のピクセルとのアルファブレンドに対応
駆動電圧生成	V _{MDL} : 2.7~3.4 V出力, ソフトウェアにて選択可能 V _{MDH} : 4.4~5.05 V出力, ソフトウェアにて選択可能
リセット	
#RESET端子	リセット端子Lowレベル検出時
パワーオンリセット	電源投入時
ブラウンアウトリセット	電源電圧低下時(V _{DD} ≤ 1.45 V (typ.))検出時
キー入力リセット	P00~P01/P02/P03キーの同時入力時(レジスタでON/OFF設定可能)
ウォッチドッグタイマリセット	ウォッチドッグタイマオーバーフロー時(レジスタでON/OFF設定可能)
電源電圧検出回路リセット	電源電圧検出回路による設定電圧検出時(レジスタでON/OFF設定可能)
割り込み	
ノンマスクابل割り込み	6本(リセット, NMI, ハードフォルト, SVCall, PendSV, SysTick)
プログラマブル割り込み	外部割り込み: 1本(4レベル) 内部割り込み: 28本
電源電圧	
V _{DD} 動作電圧	1.8~5.5 V * V _{DD} > 3.6 Vの場合, V _{D1} 電圧モードはmode0
Flash書き換え時V _{DD} 動作電圧	2.4~5.5 V (V _{PP} 電圧外部印加時) 2.4~5.5 V (V _{PP} 電圧内部生成時)
MDC駆動電圧生成時V _{DD} 動作電圧	2.0~5.5 V
HIFV _{DD} 動作電圧	1.8~5.5 V (ホストインタフェース, P2, P3ポートグループの電源電圧)
外部電源使用時V _{MDL} 電圧	1.8~5.5 V (MDC未使用時に必要)
動作温度	
動作温度範囲	-40~85 °C

消費電流 (Typ.値)	
SLEEPモード*2	0.46 μ A IOSC = OFF, OSC1 = OFF, OSC3 = OFF 0.95 μ A IOSC = OFF, OSC1 = 32.768 kHz (水晶発振), OSC3 = OFF, RTCA = ON
HALTモード*3	1.7 μ A IOSC = OFF, OSC1 = 32.768 kHz (水晶発振), OSC3 = OFF
RUNモード	250 μ A/MHz V _{D1} 電圧モード = mode0, CPU = IOSC 155 μ A/MHz V _{D1} 電圧モード = mode1, CPU = IOSC
出荷形態	
1 *4	VFPGA5H-81 (P-VFPGA-081-0505-0.50, 5 x 5 mm, t = 1.0 mm, 0.5 mm pitch)
2	WCSP96 (4.45 x 4.45 mm, t = 0.7 mm, 0.4 mm pitch)
3 *4	QFP14-80PIN (P-LQFP080-1212-0.50, 12 x 12 mm, t = 1.7 mm, 0.5 mm pitch)
4	チップ(パッドピッチ: 80 μ m(min.))

- *1 I2C(SDAおよびSCL入力)の入力フィルタは、50 ns未満のノイズバイパス除去の規格に準拠していません。
- *2 Cortex®-M0+プロセッサのディープスリープモードに相当します。SLEEP中もRAMのデータは保持されます。
- *3 Cortex®-M0+プロセッサのスリープモードに相当します。
- *4 ()内はJEITAのパッケージ名称です。

1.2 ブロック図

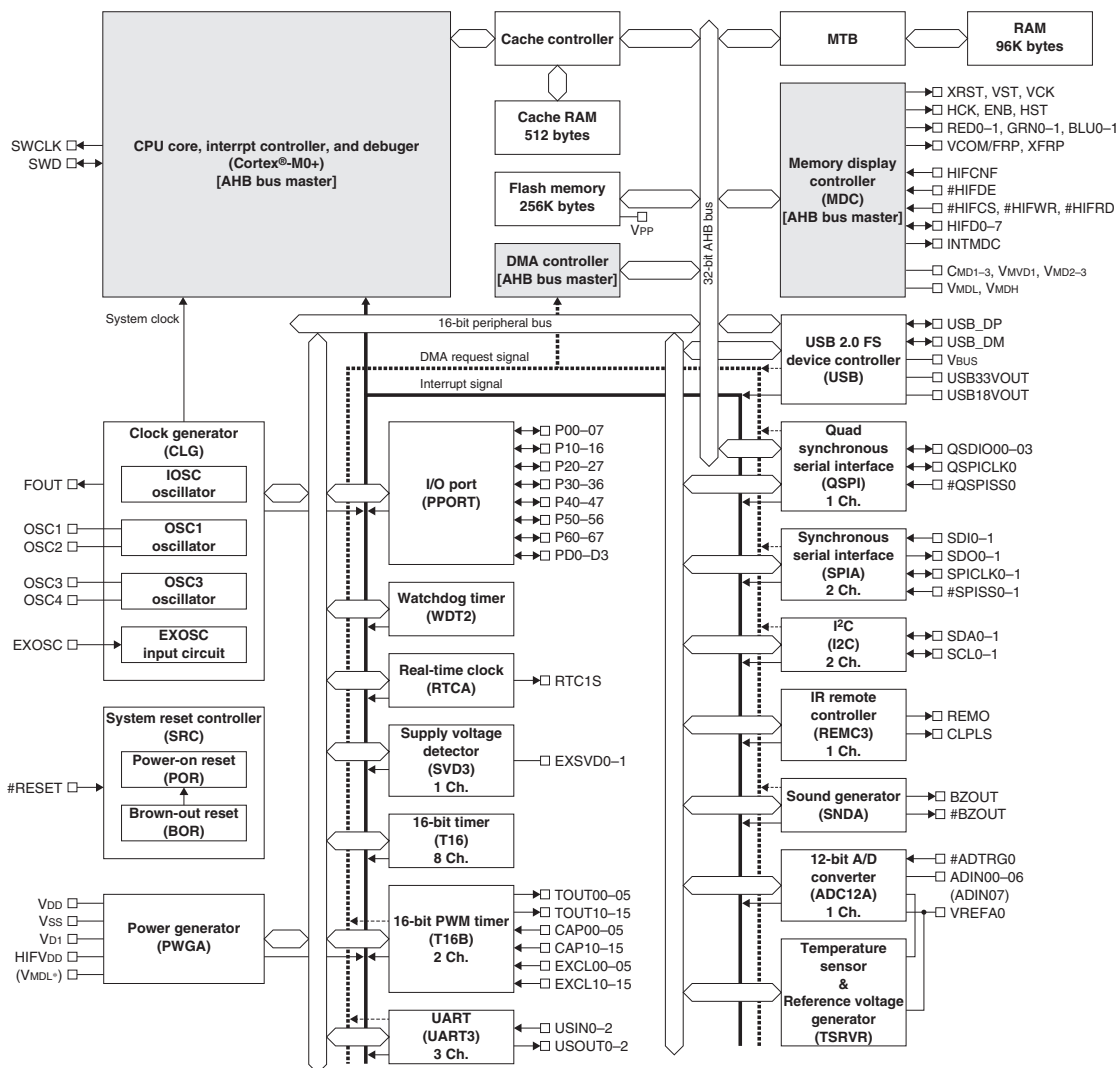


図1.2.1 S1C31D01ブロック図

* MDC未使用時に供給

1.3 端子

1.3.1 端子配置図

VFBGA5H-81

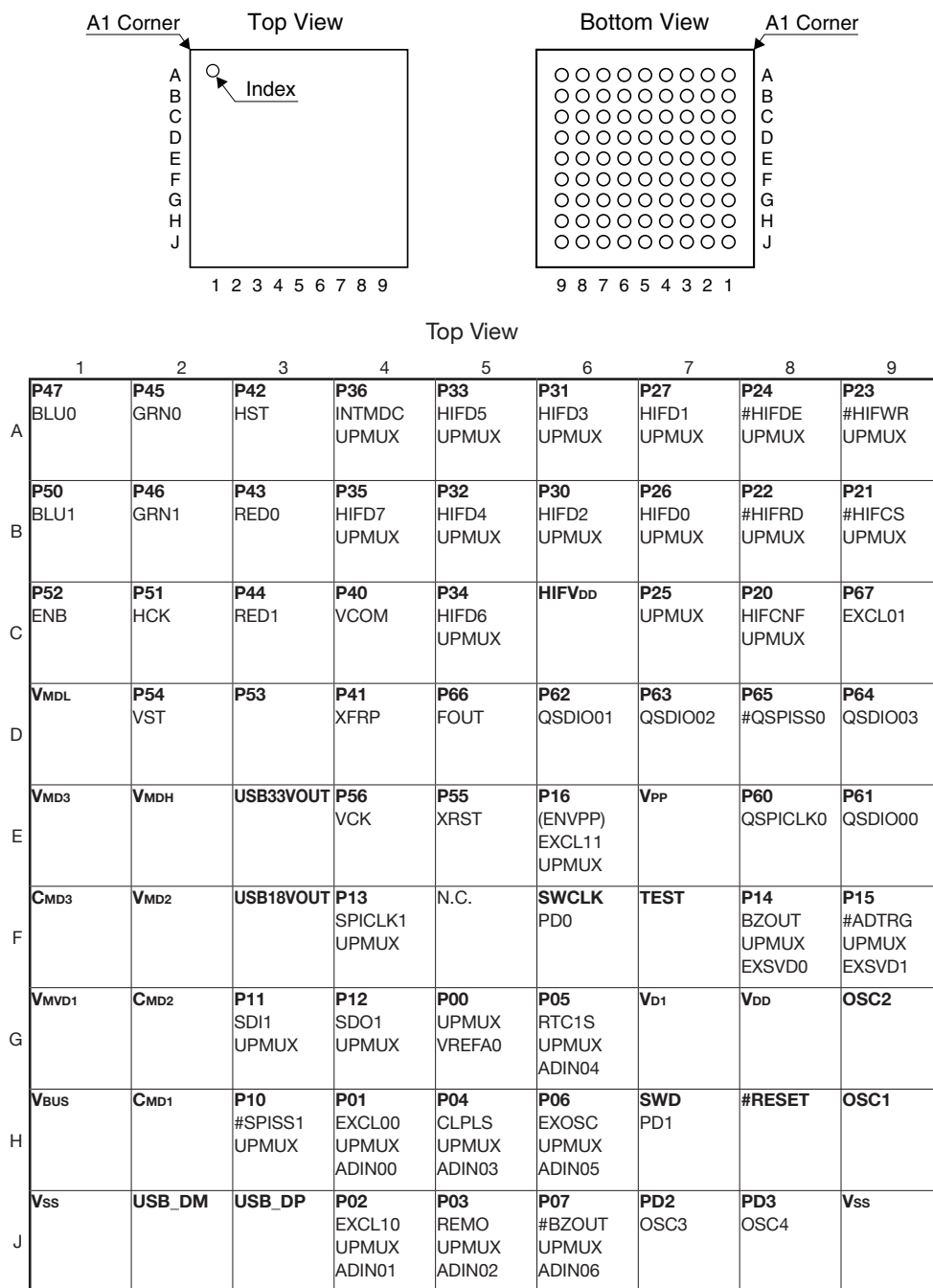


図1.3.1.1 S1C31D01端子配置図 (VFBGA5H-81)

WCSP96

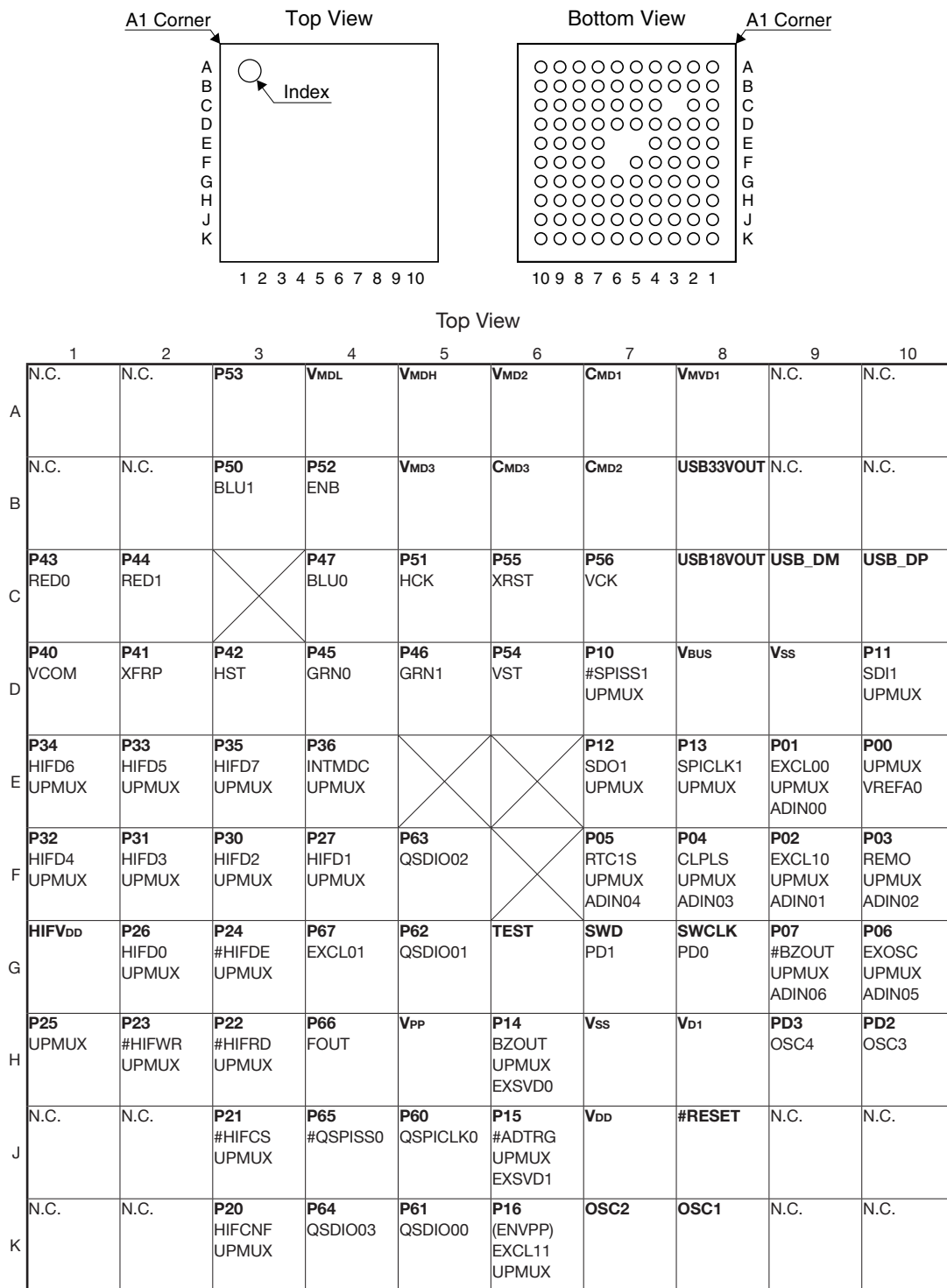


図1.3.1.2 S1C31D01端子配置図 (WCSP96)

QFP14-80PIN

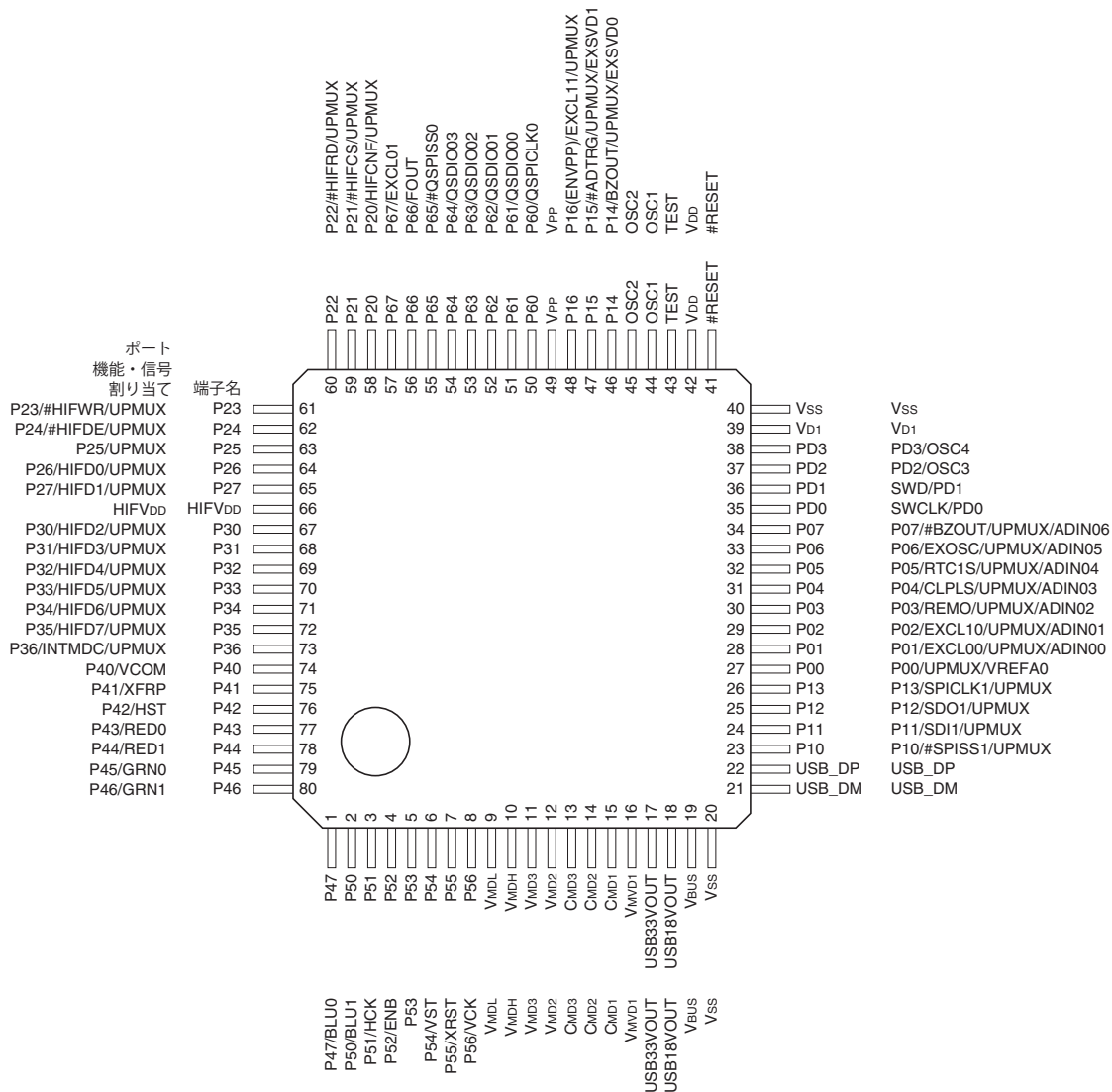


図 1.3.1.3 S1C31D01端子配置図 (QFP14-80PIN)

1 概要

表1.3.2.1 S1C31D01/パッド座標

No.	X μ m	Y μ m	No.	X μ m	Y μ m	No.	X μ m	Y μ m	No.	X μ m	Y μ m
1	-1710.0	-2134.5	24	2134.5	-1726.5	45	1757.2	2134.5	65	-2134.5	1710.0
2	-1530.0	-2134.5	25	2134.5	-1596.5	46	1657.2	2134.5	66	-2134.5	1530.0
3	-1350.0	-2134.5	26	2134.5	-1466.5	47	1510.0	2134.5	67	-2134.5	1350.0
4	-1170.0	-2134.5	27	2134.5	-1190.0	48	1370.0	2134.5	68	-2134.5	1170.0
5	-990.0	-2134.5	28	2134.5	-1010.0	49	1270.0	2134.5	69	-2134.5	990.0
6	-810.0	-2134.5	29	2134.5	-830.0	50	1130.0	2134.5	70	-2134.5	810.0
7	-630.0	-2134.5	30	2134.5	-650.0	51	950.0	2134.5	71	-2134.5	630.0
8	-450.0	-2134.5	31	2134.5	-470.0	52	450.0	2134.5	72	-2134.5	450.0
9	171.0	-2134.5	32	2134.5	-290.0	53	270.0	2134.5	73	-2134.5	270.0
10	251.0	-2134.5	33	2134.5	-110.0	54	90.0	2134.5	74	-2134.5	90.0
11	331.0	-2134.5	34	2134.5	70.0	55	-90.0	2134.5	75	-2134.5	-90.0
12	411.0	-2134.5	35	2134.5	250.0	56	-270.0	2134.5	76	-2134.5	-270.0
13	491.0	-2134.5	36	2134.5	430.0	57	-450.0	2134.5	77	-2134.5	-450.0
14	571.0	-2134.5	37	2134.5	610.0	58	-630.0	2134.5	78	-2134.5	-630.0
15	651.0	-2134.5	38	2134.5	790.0	59	-810.0	2134.5	79	-2134.5	-810.0
16	731.0	-2134.5	39	2134.5	970.0	60	-990.0	2134.5	80	-2134.5	-990.0
17	922.0	-2134.5	40	2134.5	1150.0	61	-1170.0	2134.5	81	-2134.5	-1170.0
18	1202.0	-2134.5	41	2134.5	1330.0	62	-1350.0	2134.5	82	-2134.5	-1350.0
19	1342.0	-2134.5	42	2134.5	1510.0	63	-1530.0	2134.5	83	-2134.5	-1530.0
20	1489.0	-2134.5	43	2134.5	1657.2	64	-1710.0	2134.5	84	-2134.5	-1710.0
21	1629.0	-2134.5	44	2134.5	1757.2	-	-	-	-	-	-
22	1769.0	-2134.5	-	-	-	-	-	-	-	-	-
23	2049.0	-2134.5	-	-	-	-	-	-	-	-	-

1.3.3 端子説明

記号説明

割り当て信号: 各端子の最上部に記載されている信号が、イニシャル状態で端子に割り当てられる信号です。その他の信号にはソフトウェアで切り換えます (“入出力ポート”の章を参照)。

I/O: I = 入力
O = 出力
I/O = 入出力
P = 電源
A = アナログ信号
Hi-Z = ハイインピーダンス状態

イニシャル状態: I (Pull-up) = プルアップ入力
I (Pull-down) = プルダウン入力
Hi-Z = ハイインピーダンス状態
O (H) = HIGHレベル出力
O (L) = LOWレベル出力

トレラント・フェイルセーフ対応:

✓ = トレラント・フェイルセーフ対応I/Oセル内蔵 (“入出力ポート”の章を参照)

表1.3.3.1 端子説明

端子名	割り当て信号	I/O	イニシャル状態	トレラント・フェイルセーフ対応	機能
VDD	VDD	P	-	-	電源(+)
VSS	VSS	P	-	-	GND
VPP	VPP	P	-	-	Flashプログラミング電源
VD1	VD1	A	-	-	VD1レギュレータ出力
VMVD1	VMVD1	A	-	-	MDC電源昇圧コンデンサ接続端子
CMD1-3	CMD1-3	A	-	-	MDC電源昇圧コンデンサ接続端子
VMD2-3	VMD2-3	A	-	-	MDC電源昇圧出力端子
VMDL	VMDL	P	-	-	メモリディスプレイ駆動電圧出力端子(2.7~3.4 V) * MDC未使用時はI/O電源(P4, P5ポートグループ用)
VMDH	VMDH	P	-	-	メモリディスプレイ駆動電圧出力端子(4.4~5.05 V)
HIFVDD	HIFVDD	P	-	-	ホストインタフェースおよびI/O電源(P2, P3ポートグループ用)
OSC1	OSC1	A	-	-	OSC1発振回路入力
OSC2	OSC2	A	-	-	OSC1発振回路出力
TEST	TEST	I	I (Pull-down)	-	テストモードイネーブル入力
#RESET	#RESET	I	I (Pull-up)	-	リセット入力
P00	P00	I/O	Hi-Z	-	入出力兼用ポート
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	VREFA0	A			12ビットA/D変換器Ch.0基準電圧入力
P01	P01	I/O	Hi-Z	-	入出力兼用ポート
	EXCL00	I			16ビットPWMタイマCh.0イベントカウンタ入力0
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN00	A			12ビットA/D変換器Ch.0アナログ信号入力0
P02	P02	I/O	Hi-Z	-	入出力兼用ポート
	EXCL10	I			16ビットPWMタイマCh.1イベントカウンタ入力0
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN01	A			12ビットA/D変換器Ch.0アナログ信号入力1
P03	P03	I/O	Hi-Z	-	入出力兼用ポート
	REMO	O			IRリモートコントローラ送信データ出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN02	A			12ビットA/D変換器Ch.0アナログ信号入力2
P04	P04	I/O	Hi-Z	-	入出力兼用ポート
	CLPLS	O			IRリモートコントローラクリアパルス出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN03	A			12ビットA/D変換器Ch.0アナログ信号入力3
P05	P05	I/O	Hi-Z	-	入出力兼用ポート
	RTC1S	O			リアルタイムクロック1秒周期パルス出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN04	A			12ビットA/D変換器Ch.0アナログ信号入力4

1 概要

端子名	割り当て信号	I/O	イニシャル状態	トレラント・フェイルセーフ対応	機能
P06	P06	I/O	Hi-Z	-	入出力兼用ポート
	EXOSC	I			クロックジェネレータ外部クロック入力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN05	A			12ビットA/D変換器Ch.0アナログ信号入力5
P07	P07	I/O	Hi-Z	-	入出力兼用ポート
	#BZOUT	O			サウンドジェネレータ反転出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	ADIN06	A			12ビットA/D変換器Ch.0アナログ信号入力6
P10	P10	I/O	Hi-Z	-	入出力兼用ポート
	#SPISS1	I			同期式シリアルインタフェースCh.1スレープセレクト入力
P11	UPMUX	I/O	Hi-Z	-	ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	P11	I/O			入出力兼用ポート
P12	SDI1	I	Hi-Z	-	同期式シリアルインタフェースCh.1データ入力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	P12	I/O			入出力兼用ポート
P13	SDO1	O	Hi-Z	-	同期式シリアルインタフェースCh.1データ出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	P13	I/O			入出力兼用ポート
P14	SPICLK1	I/O	Hi-Z	-	同期式シリアルインタフェースCh.1クロック入出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	P14	I/O			入出力兼用ポート
P15	BZOUT	O	Hi-Z	✓	サウンドジェネレータ出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	EXSVD0	A			電源電圧検出回路外部電圧検出入力0
	P15	I/O			入出力兼用ポート
P16	#ADTRG	I	Hi-Z	-	12ビットA/D変換器Ch.0トリガ入力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
	EXSVD1	A			電源電圧検出回路外部電圧検出入力1
P20	P16 (ENVPP)	I/O	Hi-Z	-	入出力兼用ポート (Flashプログラミング制御信号出力)
	EXCL11	I			16ビットPWMタイマCh.1イベントカウンタ入力1
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P21	P20	I/O	Hi-Z	-	入出力兼用ポート
	HIFCNF	I			ホストインタフェースコンフィギュレーション入力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P22	P21	I/O	Hi-Z	-	入出力兼用ポート
	#HIFCS	I			インダイレクト8ビットホストインタフェースチップセレクト入力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P23	P22	I/O	Hi-Z	-	入出力兼用ポート
	#HIFRD	I			インダイレクト8ビットホストインタフェースリード入力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P24	P23	I/O	Hi-Z	-	入出力兼用ポート
	#HIFWR (HSPICLK)	I			インダイレクト8ビットホストインタフェースライト入力 (SPI/QSPIホストインタフェースクロック入力)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P25	P24	I/O	Hi-Z	-	入出力兼用ポート
	#HIFDE (#HSPISS)	I			インダイレクト8ビットホストインタフェースデバイスイネーブル入力 (SPI/QSPIホストインタフェーススレープセレクト入力)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P26	P25	I/O	Hi-Z	-	入出力兼用ポート
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P27	P26	I/O	Hi-Z	-	入出力兼用ポート
	HIFD0 (HSPID0)	I/O			インダイレクト8ビットホストインタフェースD0入出力 (SPI/QSPIホストインタフェースデータ入出力)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P30	P27	I/O	Hi-Z	-	入出力兼用ポート
	HIFD1 (HSPID1)	I/O			インダイレクト8ビットホストインタフェースD1入出力 (SPI/QSPIホストインタフェースデータ入出力)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P30	P30	I/O	Hi-Z	-	入出力兼用ポート
	HIFD2 (HSPID2)	I/O			インダイレクト8ビットホストインタフェースD2入出力 (SPI/QSPIホストインタフェースデータ入出力)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)

端子名	割り当て信号	I/O	イニシャル 状態	トレラント・ フェイル セーフ対応	機能
P31	P31	I/O	Hi-Z	-	入出力兼用ポート
	HIFD3 (HSPID3)	I/O			インダイレクト8ビットホストインタフェースD3入出力 (SPI/QSPIホストインタフェースデータ入出力)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P32	P32	I/O	Hi-Z	-	入出力兼用ポート
	HIFD4 (HSPISEL0)	I/O			インダイレクト8ビットホストインタフェースD4入出力 (SPI/QSPIホストインタフェースSPIモード選択入力)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P33	P33	I/O	Hi-Z	-	入出力兼用ポート
	HIFD5 (HSPISEL1)	I/O			インダイレクト8ビットホストインタフェースD5入出力 (SPI/QSPIホストインタフェースSPIモード選択入力)
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P34	P34	I/O	Hi-Z	-	入出力兼用ポート
	HIFD6	I/O			インダイレクト8ビットホストインタフェースD6入出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P35	P35	I/O	Hi-Z	-	入出力兼用ポート
	HIFD7	I/O			インダイレクト8ビットホストインタフェースD7入出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P36	P36	I/O	Hi-Z	-	入出力兼用ポート
	INTMDC	O			ホストインタフェース割り込み出力
	UPMUX	I/O			ユーザ選択入出力(ユニバーサルポートマルチプレクサ)
P40	P40	I/O	Hi-Z	-	入出力兼用ポート
	VCOM/FRP (COM)	O			6ビットカラーパネルインタフェースVCOM/FRP出力 (SPIパネルインタフェースCOM出力)
P41	P41	I/O	Hi-Z	-	入出力兼用ポート
	XFRP	O			6ビットカラーパネルインタフェースXFRP出力
P42	P42	I/O	Hi-Z	-	入出力兼用ポート
	HST (SCS, XCS)	O			6ビットカラーパネルインタフェースHST出力 (SPIパネルインタフェースSCS出力, 8ビットパラレル/3線/4線シリアル ルグレースケールパネルインタフェースXCS出力)
P43	P43	I/O	Hi-Z	-	入出力兼用ポート
	RED0 (DOUT2)	O			6ビットカラーパネルインタフェースRED0出力 (8ビットパラレルグレースケールパネルインタフェースDOUT2出力)
P44	P44	I/O	Hi-Z	-	入出力兼用ポート
	RED1 (DOUT3)	O			6ビットカラーパネルインタフェースRED1出力 (8ビットパラレルグレースケールパネルインタフェースDOUT3出力)
P45	P45	I/O	Hi-Z	-	入出力兼用ポート
	GRN0 (DOUT4)	O			6ビットカラーパネルインタフェースGRN0出力 (8ビットパラレルグレースケールパネルインタフェースDOUT4出力)
P46	P46	I/O	Hi-Z	-	入出力兼用ポート
	GRN1 (DOUT5)	O			6ビットカラーパネルインタフェースGRN1出力 (8ビットパラレルグレースケールパネルインタフェースDOUT5出力)
P47	P47	I/O	Hi-Z	-	入出力兼用ポート
	BLU0 (DOUT6)	O			6ビットカラーパネルインタフェースBLU0出力 (8ビットパラレルグレースケールパネルインタフェースDOUT6出力)
P50	P50	I/O	Hi-Z	-	入出力兼用ポート
	BLU1 (DOUT7)	O			6ビットカラーパネルインタフェースBLU1出力 (8ビットパラレルグレースケールパネルインタフェースDOUT7出力)
P51	P51	I/O	Hi-Z	-	入出力兼用ポート
	HCK (DOUT1)	O			6ビットカラーパネルインタフェースHCK出力 (8ビットパラレルグレースケールパネルインタフェースDOUT1出力)
P52	P52	I/O	Hi-Z	-	入出力兼用ポート
	ENB (SDO, XWR)	O			6ビットカラーパネルインタフェースENB出力 (SPIパネルインタフェースSDO出力, 8ビットパラレルグレースケール パネルインタフェースXWR出力, 3線/4線シリアルグレースケールパ ネルインタフェースSDO出力)
P53	P53	I/O	Hi-Z	-	入出力兼用ポート
P54	P54	I/O	Hi-Z	-	入出力兼用ポート
	VST (SCLK, XRD, SCL)	O			6ビットカラーパネルインタフェースVST出力 (SPIパネルインタフェースSCLK出力, 8ビットパラレルグレースケール パネルインタフェースXRD出力, 3線/4線シリアルグレースケールパ ネルインタフェースSCL出力)

1 概要

端子名	割り当て信号	I/O	イニシャル状態	トレラント・フェイルセーフ対応	機能
P55	P55	I/O	Hi-Z	-	入出力兼用ポート 6ビットカラーパネルインタフェースXRST出力 (4線シリアルグレースケールパネルインタフェースA0出力)
	XRST (A0)	O			
P56	P56	I/O	Hi-Z	-	入出力兼用ポート 6ビットカラーパネルインタフェースVCK出力 (8ビットパラレルグレースケールパネルインタフェースDOUT0出力)
	VCK (DOUT0)	O			
P60	P60	I/O	Hi-Z	-	入出力兼用ポート 同期式クワッドシリアルインタフェースCh.0クロック入出力
	QSPICK0	I/O			
P61	P61	I/O	Hi-Z	-	入出力兼用ポート 同期式クワッドシリアルインタフェースCh.0データ入出力
	QSDIO00	I/O			
P62	P62	I/O	Hi-Z	-	入出力兼用ポート 同期式クワッドシリアルインタフェースCh.0データ入出力
	QSDIO01	I/O			
P63	P63	I/O	Hi-Z	-	入出力兼用ポート 同期式クワッドシリアルインタフェースCh.0データ入出力
	QSDIO02	I/O			
P64	P64	I/O	Hi-Z	-	入出力兼用ポート 同期式クワッドシリアルインタフェースCh.0データ入出力
	QSDIO03	I/O			
P65	P65	I/O	Hi-Z	-	入出力兼用ポート 同期式クワッドシリアルインタフェースCh.0スレーブセレクト入出力
	#QSPISS0	I/O			
P66	P66	I/O	Hi-Z	-	入出力兼用ポート クロック外部出力
	FOUT	O			
P67	P67	I/O	Hi-Z	-	入出力兼用ポート 16ビットPWMタイマCh.0イベントカウンタ入力1
	EXCL01	I			
PD0	SWCLK	I	I (Pull-up)	-	シリアルワイヤデバッグクロック入力 入出力兼用ポート
	PD0	I/O			
PD1	SWD	I/O	I (Pull-up)	-	シリアルワイヤデバッグデータ入出力 入出力兼用ポート
	PD1	I/O			
PD2	PD2	I/O	Hi-Z	-	入出力兼用ポート OSC3発振回路入力
	OSC3	A			
PD3	PD3	I/O	Hi-Z	-	入出力兼用ポート OSC3発振回路出力
	OSC4	A			
USB_DP	USB_DP	I/O	I	-	USB D+信号入出力
USB_DM	USB_DM	I/O	I	-	USB D-信号入出力
Vbus	Vbus	P	-	-	USB Vbus入力(5 V入力可)
USB18VOUT	USB18VOUT	P	-	-	USB 1.8 Vレギュレータ出力
USB33VOUT	USB33VOUT	P	-	-	USB 3.3 Vレギュレータ出力

注: 各周辺回路の説明では、割り当て信号名を端子名として使用します。

ユニバーサルポートマルチプレクサ(UPMUX)について

ユニバーサルポートマルチプレクサ(UPMUX)は、端子に割り付ける以下の周辺回路入出力機能を、ソフトウェアによって自由に選択できる機能です。

表1.3.3.2 UPMUXで選択可能な周辺回路入出力機能

周辺回路	割り当て信号	I/O	チャンネル番号n	機能
I ² C (I2C)	SCLn	I/O	n = 0, 1	I2C Ch.nクロック入出力
	SDAn	I/O		I2C Ch.nデータ入出力
UART (UART3)	USINn	I	n = 0~2	UART3 Ch.nデータ入力
	USOUTn	O		UART3 Ch.nデータ出力
同期式シリアルインタフェース (SPIA)	SDIn	I	n = 0	SPIA Ch.nデータ入力
	SDOn	O		SPIA Ch.nデータ出力
	SPICLKn	I/O		SPIA Ch.nクロック入出力
	#SPISSn	I		SPIA Ch.nスレーブセレクト入力
16ビットPWMタイマ (T16B)	TOUTn0/CAPn0	I/O	n = 0~5	T16B Ch.n PWM出力/キャプチャ入力0
	TOUTn1/CAPn1	I/O		T16B Ch.n PWM出力/キャプチャ入力1

注: 一つの機能を同時に複数の端子に割り当てないでください。

2 電源, リセット, クロック

本ICの電源、リセット、クロックは、それぞれ内蔵のパワージェネレータ、システムリセットコントローラ、クロックジェネレータによって管理されています。

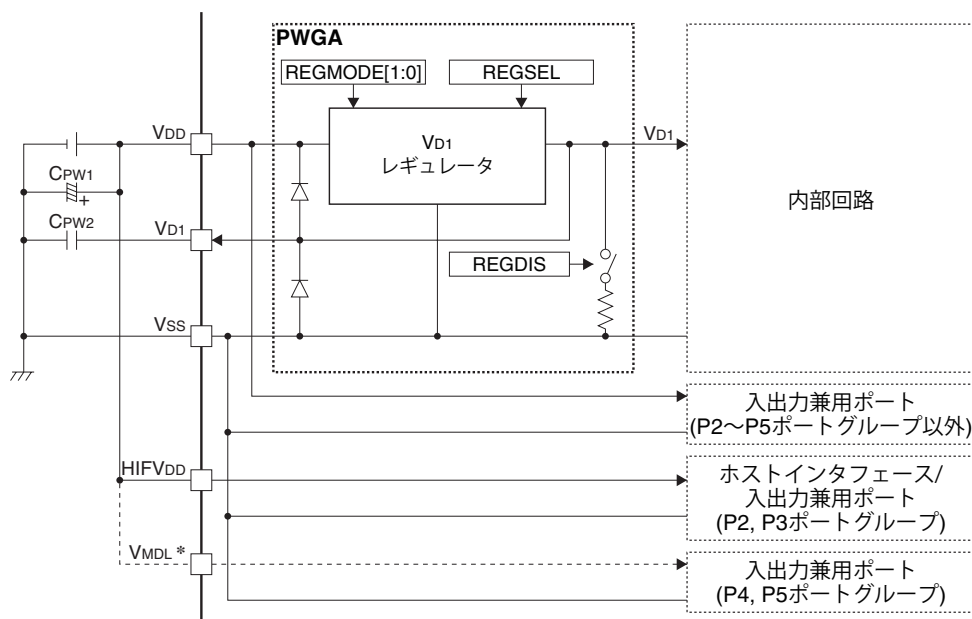
2.1 パワージェネレータ(PWGA)

2.1.1 概要

PWGAは内部の電源システムを制御し、本ICを安定した状態で、かつ省電力に動作させるパワージェネレータです。主な機能と特長を以下に示します。

- V_{D1} レギュレータを内蔵
 - V_{D1} レギュレータは、内部回路を動作させる電圧 V_{D1} を生成し、 V_{DD} の電圧レベルに依存しない一定の消費電流を実現
 - V_{D1} レギュレータは、ノーマルモード/エコノミーモードの2つの動作モードを搭載しており、低負荷時にエコノミーモードに設定することで省電力動作を実現
 - V_{D1} レギュレータは、mode0/mode1の2つの電圧モードを搭載しており、低速動作時にmode1に設定することで省電力動作を実現

図2.1.1.1にPWGAの構成を示します。



* メモリディスプレイコントローラ未使用時は、外部から電源を供給する必要があります。

図2.1.1.1 PWGAの構成

2.1.2 端子

表2.1.2.1にPWGAの端子一覧を示します。

表2.1.2.1 PWGA端子一覧

端子名	I/O	イニシャル状態	機能
V_{DD}	P	-	電源(+)
V_{SS}	P	-	GND
V_{D1}	A	-	V_{D1} レギュレータ出力端子
HIFV $_{DD}$	P	-	ホストインタフェースおよびI/O電源(P2, P3ポートグループ用)
V_{MDL}	P	-	メモリディスプレイ駆動電圧出力端子(2.7~3.4 V) * MDC未使用時はI/O電源(P4, P5ポートグループ用)

2 電源, リセット, クロック

V_{DD}/HIFV_{DD}/V_{MDL}の動作電圧範囲は、“電気的特性”の章の“推奨動作条件、電源電圧V_{DD}/HIFV_{DD}/V_{MDL}”を参照してください。また、推奨外付け部品については、“基本外部結線図”の章を参照してください。

HIFV_{DD}とV_{MDL}

HIFV_{DD}はホストインタフェースの電源です。また、入出力ポートP20～P27およびP30～P36の電源としても使用します。ホストインタフェースを使用しない場合は、V_{DD}と同じ電圧を供給してください。

メモリディスプレイコントローラを使用する場合、V_{MDL}電圧は内部で生成され、外部のディスプレイパネルに出力されます。また、入出力ポートP40～P47およびP50～P56の電源としても使用されます。メモリディスプレイコントローラを使用しない場合、V_{MDL}電圧は内部で生成できませんので、外部から供給する必要があります。

2.1.3 V_{D1}レギュレータの動作モード

V_{D1}レギュレータは、ノーマルモードとエコノミーモードの2つの動作モードを持っています。低負荷状態の場合はエコノミーモードにすることで、V_{D1}レギュレータが省電力動作になります。エコノミーモードに設定できる低負荷状態の例を、表2.1.3.1に示します。

表2.1.3.1 エコノミーモードに設定可能な低負荷状態の例

低負荷状態のモード	例外条件
SLEEPモード(全発振停止またはOSC1のみ動作)	OSC1以外のクロックソースが動作している場合
HALTモード(OSC1のみ動作)	
RUNモード(OSC1のみ動作)	

また、ハードウェアによって低負荷状態を検出し、ノーマルモードとエコノミーモードを自動的に切り換える機能として、オートマチックモードがあります。特別な制御を必要としない場合は、オートマチックモードで使用してください。

2.1.4 V_{D1}レギュレータの電圧モード

V_{D1}レギュレータは、mode0とmode1の2つの電圧モードを持っています。低速クロックで動作している場合は、mode1にすることで消費電力を低減できます。

電圧モードを切り換えると、システムクロックソースが自動的に停止し、電圧安定後に動作を再開します。システムクロックの停止期間を表2.1.4.1に示します。

表2.1.4.1 電圧モード切り換え時のシステムクロック停止期間

システムクロック	停止期間
IOSC	4,096サイクル
OSC1	CLGOSC1.OSC1WT[1:0]ビットで設定したサイクル数

mode0からmode1への移行手順

1. 各周辺回路のMODENビットを0に設定する。 (各周辺回路の使用を停止)
2. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
3. システムクロックを低速クロック(OSC1、IOSC 2 MHzまたは1 MHz)に切り換える。
4. OSC3とEXOSCを停止する。
5. PWGACTLレジスタの以下のビットを設定する。
 - PWGACTL.REGSELビットを0に設定 (mode1に切り換え)
 - PWGACTL.REGDISビットを1に設定 (ディスチャージ)
 - PWGACTL.REGMODE[1:0]ビットを0x2に設定 (ノーマルモードに設定)
6. システムクロック復帰後、PWGACTLレジスタの以下のビットを設定する。
 - PWGACTL.REGDISビットを0に設定 (ディスチャージを停止)
 - PWGACTL.REGMODE[1:0]ビットを0x0に設定 (オートマチックモードに設定)
7. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

mode1からmode0への移行手順

1. 各周辺回路のMODENビットを0に設定する。 (各周辺回路の使用を停止)
 2. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
 3. PWGACTLレジスタの以下のビットを設定する。
 - PWGACTL.REGSELビットを1に設定 (mode0に切り換え)
 - PWGACTL.REGMODE[1:0]ビットを0x2に設定 (ノーマルモードに設定)
 4. システムクロック復帰後、PWGACTL.REGMODE[1:0]ビットを0x0に設定する。 (オートマチックモードに設定)
 5. システムクロックを高速クロックに切り換える。
 6. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)
- 注: ・ 電圧モード切り換え時は、RTC動作クロックもCLGOSC1.OSC1WT[1:0]ビットに設定した期間停止します。電圧モードを切り換えた後に、RTCを補正してください。
- ・ V_{DD}が3.6 V以上の場合、常にmode0で使用してください。

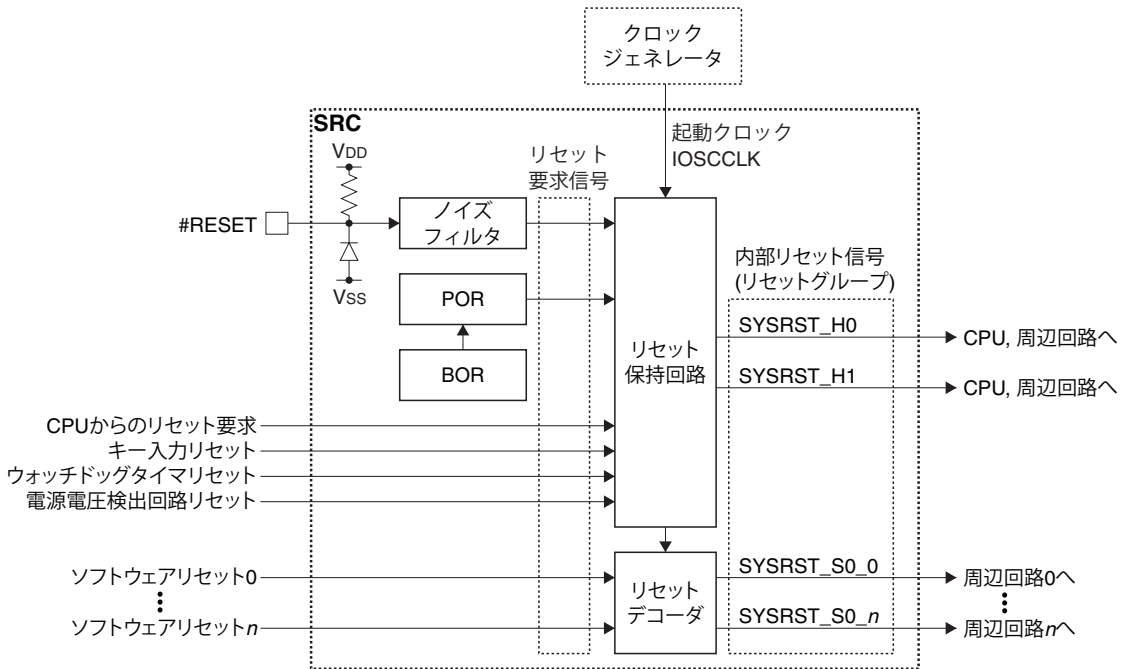
2.2 システムリセットコントローラ(SRC)

2.2.1 概要

SRCは、各種リセットソースの要求に応じて、内部回路をリセットし、ICの安定した動作を実現するシステムリセットコントローラです。主な機能と特長を以下に示します。

- 電源投入時の内部電源が不安定な間やクロックソースの起動直後で発振周波数が不安定な間、リセット状態を保持し続けるリセット保持回路を内蔵し、安全な起動動作を実現
- 複数のリセットソースからのリセット要求に対応
 - #RESET端子
 - POR、BOR
 - CPUからのリセット要求
 - キー入力リセット
 - ウォッチドッグタイマリセット
 - 電源電圧検出回路リセット
 - 周辺回路ソフトウェアリセット(一部の周辺回路のみ)
- CPUのレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されており、状態変化に応じた最適なりセット動作を実現

図2.2.1.1にSRCの構成を示します。



2.2.2 入力端子

表2.2.2.1にSRCの端子一覧を示します。

表2.2.2.1 SRC端子

端子名	I/O	イニシャル状態	機能
#RESET	I	I (Pull-up)	リセット入力

#RESET端子にはノイズフィルタが内蔵されており、要件を満たさないパルスを除きます。また、プルアップ抵抗を内蔵していますので、端子をオープン状態にすることができます。#RESET端子特性については、“電気的特性”の章の“#RESET端子特性”を参照してください。

2.2.3 リセットソース

システムの初期化を要求する要因をリセットソースと呼びます。以下にリセットソースを示します。

#RESET端子

#RESET端子に一定時間のLOWレベル信号を入力することで、リセット要求を発行します。

PORとBOR

POR(パワーオンリセット)は、 V_{DD} の立ち上がりを検出してリセット要求を発行します。BOR(ブラウンアウトリセット)は、 V_{DD} の電圧レベルを検出してリセット要求を発行します。これらの回路からのリセット要求により、電源投入時と動作保証外電源電圧での確実なリセットを実現します。図2.2.3.1に、 V_{DD} の変化に伴うPORとBORの内部リセット動作の例を示します。

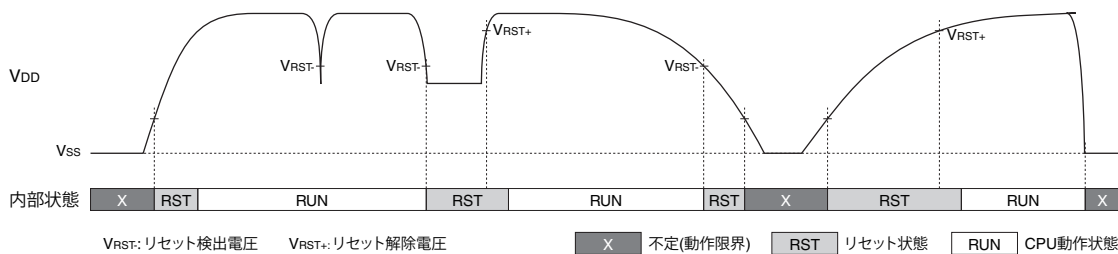


図2.2.3.1 PORとBORによる内部リセット動作例

PORとBORの電気的仕様については、“電気的特性”の章の“POR/BOR特性”を参照してください。

CPUからのリセット要求

Cortex®-M0+ Application Interrupt and Reset Control RegisterのAIRCR.SYSRESETREQビットに1を書き込むことで、リセット要求を発行します。詳細は“ARM®v6-M Architecture Reference Manual”を参照してください。

キー入力リセット

リセット入力用に設定された入出力ポート端子に一定時間のLOWレベル信号を入力することで、リセット要求を発行します。この機能は入出力ポートでイネーブルにする必要があります。詳細は“入出力ポート”の章を参照してください。

ウォッチドッグタイマリセット

ウォッチドッグタイマをリセットモードに設定しておく、カウンタがオーバーフローした時点で、リセット要求を発行します。この機能は、CPU暴走時に正常な状態への復帰を実現します。詳細は“ウォッチドッグタイマ”の章を参照してください。

電源電圧検出回路リセット

電源電圧検出回路で電源電圧低下検出リセット機能をイネーブルにすると、電源電圧の低下を検出した時点で、リセット要求を発行します。これにより、一定電圧以下でICを動作させたくないような場合に、リセット状態にすることができます。詳細は“電源電圧検出回路”の章を参照してください。

周辺回路ソフトウェアリセット

一部の周辺回路には、ソフトウェアリセット用の制御ビット(MODENやSFTRST)が用意されており、値を書き込むことで、周辺回路制御ビットの初期化が行えます。ただし、ソフトウェアリセットの動作は周辺回路ごとに異なります。詳細は各周辺回路の“制御レジスタ”を参照してください。

注: 周辺回路によっては、MODENビットでソフトウェアリセットは発生しません。

2.2.4 初期化条件(リセットグループ)

CPUのレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されています。この初期化条件をリセットグループと呼びます。リセットグループに属するリセットソースからのリセット要求があった場合に、初期化を行います。リセットグループの一覧を表2.2.4.1に示します。実際にどのレジスタや制御ビットが初期化されるかについては、“CPU, デバッグ”の章、または各周辺回路の“制御レジスタ”を参照してください。

2 電源, リセット, クロック

表2.2.4.1 リセットグループ一覧

リセットグループ	リセットソース	リセット解除タイミング
H0	#RESET端子 PORとBOR CPUからのリセット要求 キー入力リセット 電源電圧検出回路リセット ウォッチドッグタイマリセット	リセット要求解除後、リセット保持時間 trSTRの間、リセットを保持
H1	#RESET端子 PORとBOR CPUからのリセット要求	
S0	周辺回路ソフトウェアリセット (MODENやSFTRSTビット。周辺回路 ごとにリセット動作は異なる)	リセット要求解除後、即時リセット解除

2.3 クロックジェネレータ(CLG)

2.3.1 概要

CLGは、クロックソースを制御し、CPUや周辺回路へのクロック供給を管理するクロックジェネレータです。主な機能と特長を以下に示します。

- 複数のクロックソースに対応
 - 外付け部品なしで動作し、高速な起動を行うIOSC発振回路
 - 高精度な32.768 kHz水晶発振(要外付け振動子)または内蔵発振が選択可能で、かつ低パワー動作を実現するOSC1発振回路
 - 最大20.5 MHzの水晶/セラミック振動子に対応するOSC3発振回路
 - 最大21 MHzの矩形波、サイン波の入力に対応するEXOSCクロック入力
- CPUやバスの動作クロックであるシステムクロック(SYSCLK)、および、周辺回路の動作クロックは、最適なクロックソースと分周比を選択して個別に設定可能
- 起動時のクロックにはIOSC発振回路の8 MHzが選択され、高速な立ち上がりを実現
- RUN、SLEEPモードに合わせて発振回路やクロック入力のON/OFFを制御
- SLEEPモード解除時に、フレキシブルなシステムクロックの切り換えが可能
 - SLEEPモード時に停止させるクロックソースを選択可能
 - SLEEPモード解除時のSYSCLKをクロックソースから選択可能
 - SLEEPモード解除時の発振回路、クロック入力のON/OFF状態の保持または変更を設定可能
- 外部ICの駆動や状態モニタのため、内部クロックを出力するFOUT機能を搭載

図2.3.1.1にCLGの構成を示します。

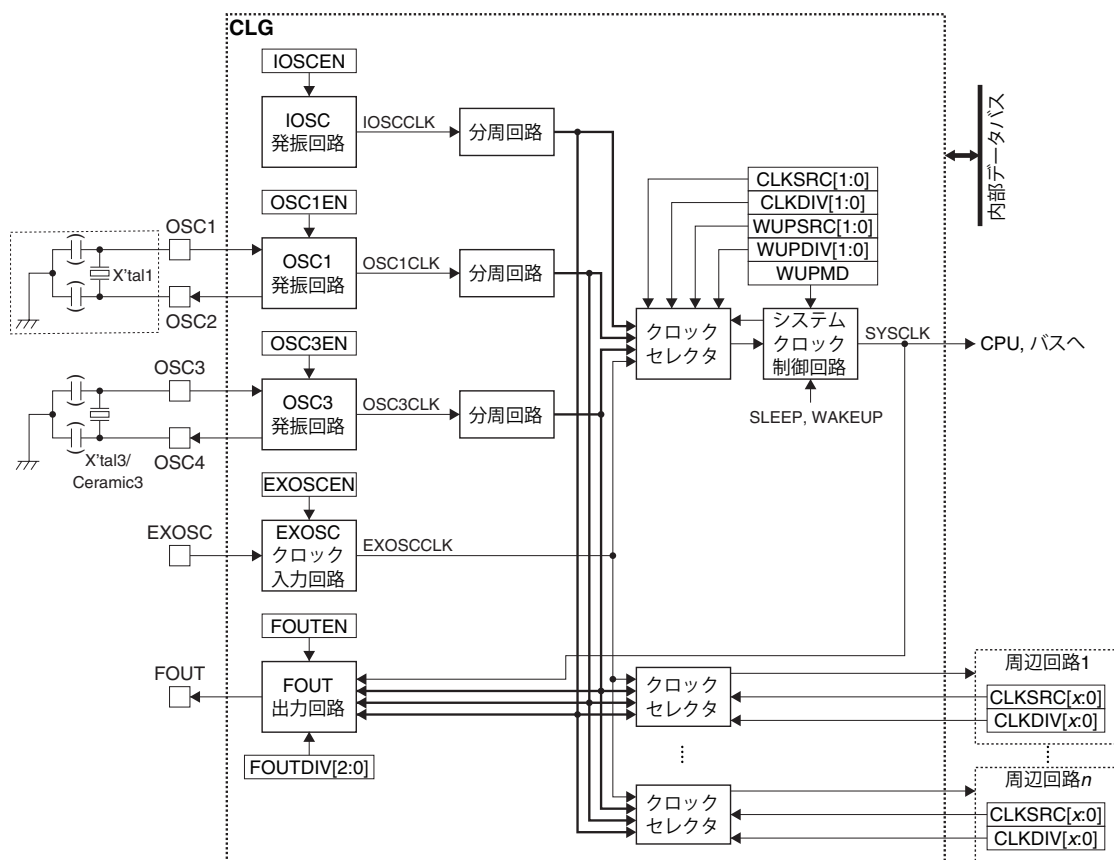


図2.3.1.1 CLGの構成

2.3.2 入出力端子

図2.3.2.1にCLGの端子一覧を示します。

表2.3.2.1 CLG端子一覧

端子名	I/O*	イニシャル状態*	機能
OSC1	A	-	OSC1発振回路入力
OSC2	A	-	OSC1発振回路出力
OSC3	A	-	OSC3発振回路入力
OSC4	A	-	OSC3発振回路出力
EXOSC	I	I	EXOSCクロック入力
FOUT	O	O (L)	FOUTクロック出力

* 端子機能をCLGに切り換えた時点の状態

CLGの入出力機能と他の機能がポートを共有している場合、CLGの機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

2.3.3 クロックソース

IOOSC発振回路

IOOSC発振回路は外付け部品なしで動作し、高速に起動します。図2.3.3.1に、IOOSC発振回路の構成を示します。

2 電源, リセット, クロック

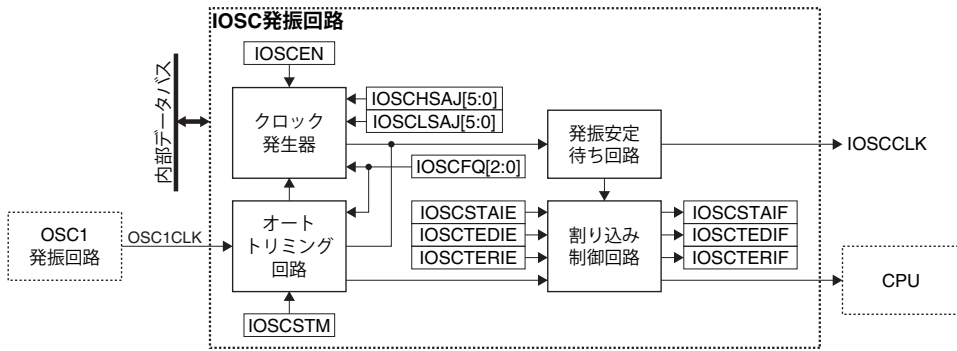


図2.3.3.1 IOSC発振回路の構成

起動時のSYSCLKには、IOSC発振回路の出力クロックIOSCCLKが選択されます。IOSCCLK周波数はCLGIOSC.IOSCFQ[2:0]ビットによって選択できます。IOSC発振回路には、自動的に周波数を調整するオートトリミング機能が搭載されており、製造バラツキや、温度、電圧変化による周波数偏差を低減します。オートトリミング機能については、“IOSC発振オートトリミング機能”を参照してください。発振特性については、“電氣的特性”の章の“IOSC発振回路特性”を参照してください。

OSC1発振回路

OSC1発振回路は、ソフトウェアによって発振回路の種類を以下の2種類から選択可能な低パワー発振回路です。図2.3.3.2にOSC1発振回路の構成を示します。

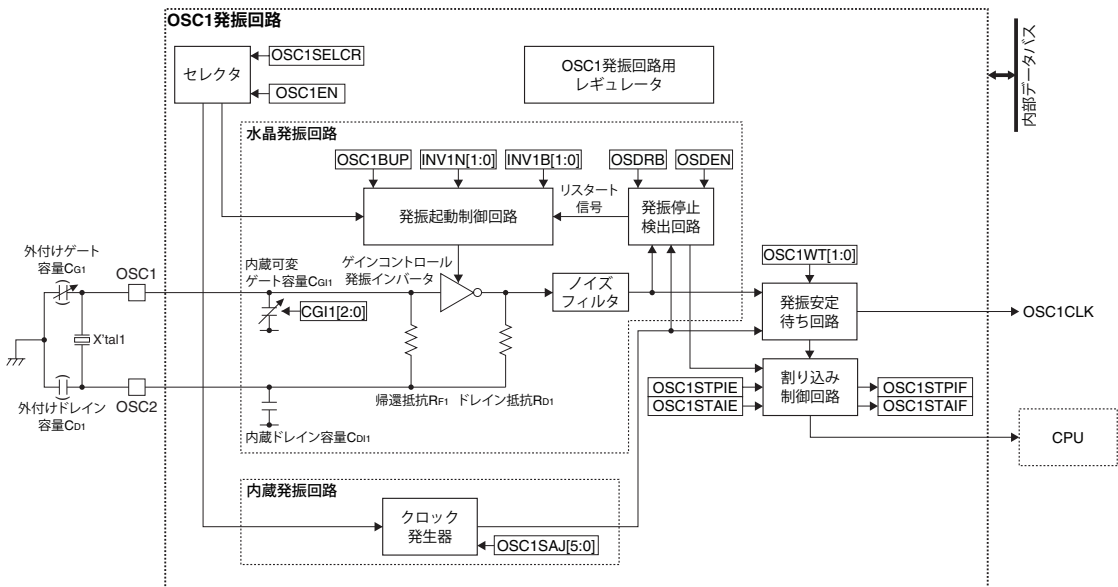


図2.3.3.2 OSC1発振回路の構成

水晶発振回路

ゲインコントロール発振インバータや可変ゲート容量を内蔵しており、シリンダタイプから表面実装タイプまで、様々な水晶振動子(32.768 kHz typ.)に対応可能です。また、帰還抵抗、ドレイン抵抗などの部品も内蔵していますので、水晶振動子以外の外付け部品は必要ありません。発振停止を検知して再起動を行う発振停止検出回路を搭載し、発振が停止してしまうような悪条件下でも安全に動作させることが可能です。加えて、発振イネーブル後の一定期間、発振開始を補助する発振起動制御回路を搭載しており、発振開始が難しい低パワー振動子にも対応します。

注: 実装基板や、使用する振動子の種類により、外付けのゲート容量CG1、ドレイン容量CD1が必要になる場合があります。

内蔵発振回路

外付け部品を必要としない32 kHzの発振回路です。

内蔵発振回路使用時はOSC1端子をVssレベル、OSC2端子をオープンとしてください。

推奨部品に関しては“基本外部結線図”の章、発振特性については“電気的特性”の章の“OSC1発振回路特性”を参照してください。

OSC3発振回路

OSC3発振回路は、高速クロックを生成する水晶/セラミック発振回路です。図2.3.3.3にOSC3発振回路の構成を示します。

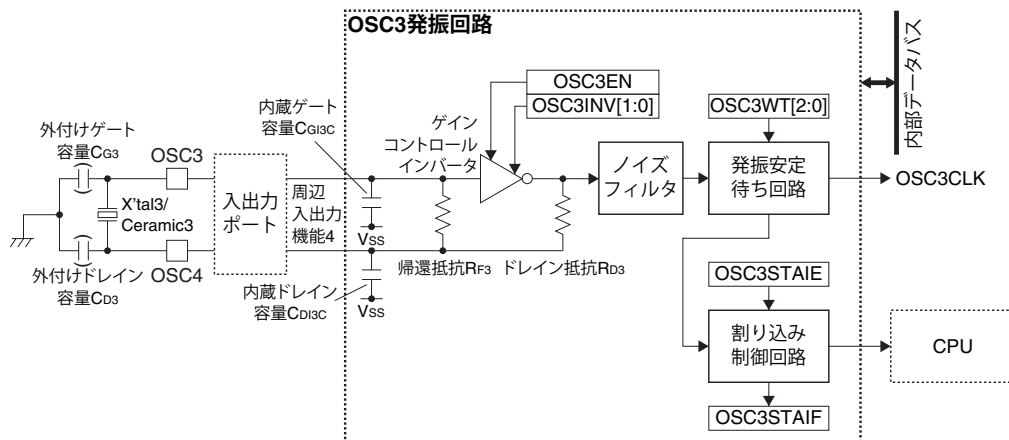


図2.3.3.3 OSC3発振回路の構成

帰還抵抗、ドレイン抵抗などの部品を内蔵しており、水晶/セラミック振動子以外に外付け部品がありません。ゲインコントロールインバータを内蔵しており、広い周波数範囲から振動子を選択可能です。推奨部品に関しては“基本外部結線図”の章、発振特性については“電気的特性”の章を参照してください。

EXOSCクロック入力

EXOSCクロック入力は、矩形波またはサイン波のクロックに対応した外部クロック入力回路です。図2.3.3.4にEXOSCクロック入力回路の構成を示します。

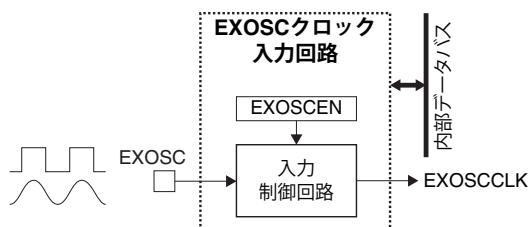


図2.3.3.4 EXOSCクロック入力回路

EXOSCは発振安定待ち回路を持ちませんので、必ず安定したクロックが供給されている状態で、イネーブルにする必要があります。入力クロック特性については、“電気的特性”の章の“EXOSC外部クロック入力特性”を参照してください。

2.3.4 動作

発振開始時間と発振安定待ち時間

発振開始時間とは、発振回路をイネーブルにしてから実際に発振波形がIC内部へ伝播するまでの時間のことです。発振安定待ち時間は、発振開始後のクロックが安定するまでの待ち時間のことです。発振回路には発振安定待ち回路が内蔵されており、この間の不安定なクロックによる内部回路の誤動作を防止するため、指定の時間が経過するまでシステムへのクロック供給を停止できるようになっています。図2.3.4.1に、発振開始時間と発振安定待ち時間の関係を示します。

2 電源, リセット, クロック

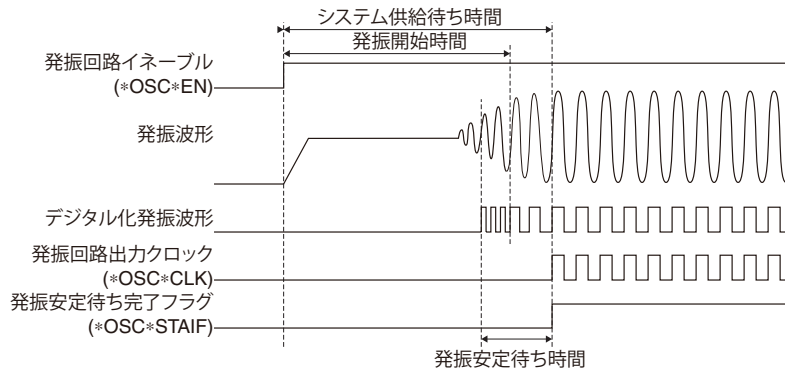


図2.3.4.1 発振開始と発振安定待ち時間

OSC1、OSC3発振回路の発振安定待ち時間は、CLGOSC1.OSC1WT[1:0]ビット、CLGOSC3.OSC3WT[2:0]ビットによって設定できます。設定した発振安定時間が適切で、発振開始直後のクロックが安定しているか否かについては、FOUT出力を行い、発振クロックをモニタすることで確認できます。IOSC発振回路の発振安定待ち時間は、IOSCCLK 16クロックに固定されています。

OSC1発振回路の発振安定待ち時間は、水晶発振選択時はOSC1CLK 16,384クロック以上、内蔵発振回路選択時はOSC1CLK 4,096クロック以上に設定してください。

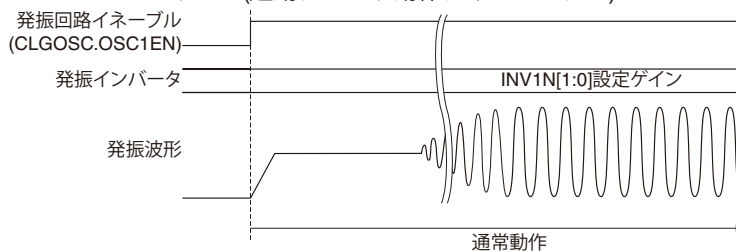
OSC3発振回路の発振安定待ち時間は、OSC3CLK 1,024クロック以上に設定してください。

発振安定待ちが完了すると、発振回路は発振安定待ち完了フラグをセットし、内部回路へのクロック供給を開始します。

注: 発振安定待ち完了フラグが0にクリアされない場合でも、発振開始時には必ず発振安定待ち時間が設定されます。

OSC1発振回路はCLGOSC1.OSC1BUPビットを1に設定して発振起動制御回路を有効にすることで、発振回路をイネーブルに設定(CLGOSC.OSC1ENビットを1に設定)してから一定時間、高ゲインの発振インバータで発振動作をさせて(起動ブースト動作)、発振開始時間を縮めることができます。ただし、通常動作時と起動ブースト動作時のゲインの差が大きいと、発振動作が不安定になる可能性があります。また、実際に発振開始時間が短縮されるかどうかは使用する振動子の特性によって異なります。発振起動制御回路使用時の動作例を図2.3.4.2に示します。

(1) CLGOSC1.OSC1BUPビット = 0 (起動ブースト動作ディスエーブル)



(2) CLGOSC1.OSC1BUPビット = 1 (起動ブースト動作イネーブル)

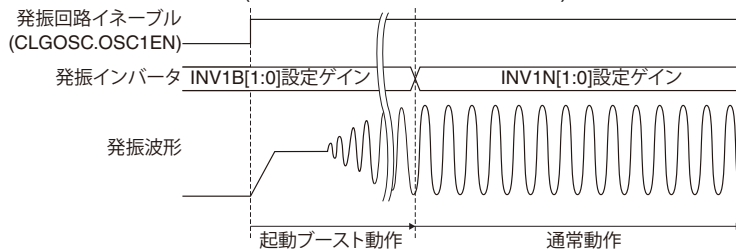


図2.3.4.2 発振起動制御回路使用時の動作例

IOSC発振回路の発振開始手順

IOSC発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.IOSCSTAIFビットに1を書き込む。(割り込みフラグをクリア)
2. CLGINTE.IOSCSTAIEビットに1を書き込む。(割り込みをイネーブル)
3. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. CLGIOSC.IOSCFQ[2:0]ビットを設定する。(周波数を選択)
5. 必要に応じて、CLGTRIM1.IOSCLSAJ[5:0]ビット($f_{osc} = 2/1$ MHz)またはCLGTRIM1.IOSCHSAJ[5:0]ビット($f_{osc} = 20/16/12/8$ MHz)を設定する。(発振周波数の微調整)
6. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
7. CLGOSC.IOSCENビットに1を書き込む。(発振を開始)
8. 割り込みが発生し、CLGINTF.IOSCSTAIFビット = 1ならば、IOSCCLKを使用可能。

CLGTRIM1.IOSCLSAJ[5:0]ビットおよびCLGTRIM1.IOSCHSAJ[5:0]ビットの設定値は、実装基板で評価を行い決定してください。

注: CLGTRIM1.IOSCLSAJ[5:0]ビットおよびCLGTRIM1.IOSCHSAJ[5:0]ビットの設定は、必ずCLGOSC.IOSCENビット = 0(発振停止)の状態で行ってください。

OSC1発振回路の発振開始手順

OSC1発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.OSC1STAIFビットに1を書き込む。(割り込みフラグをクリア)
2. CLGINTE.OSC1STAIEビットに1を書き込む。(割り込みをイネーブル)
3. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. CLGOSC1レジスタの以下のビットを設定する。

- CLGOSC1.OSC1SELCRビット (発振回路の種類を選択)
- CLGOSC1.OSC1WT[1:0]ビット (発振安定待ち時間を設定)

水晶発振回路を使用する場合は、以下のビットも設定する。

- CLGOSC1.INV1N[1:0]ビット (発振インバータのゲインを設定)
- CLGOSC1.CG1I[2:0]ビット (内蔵ゲート容量を設定)
- CLGOSC1.INV1B[1:0]ビット (起動ブースト動作時の発振インバータゲインを設定)
- CLGOSC1.OSC1BUPビット (発振起動制御回路イネーブル/ディスエーブル)

5. 内蔵発振回路を使用する場合は、必要に応じてCLGTRIM2.OSC1SAJ[5:0]ビットを設定する。(発振周波数の微調整)

6. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

7. CLGOSC.OSC1ENビットに1を書き込む。(発振を開始)

8. 割り込みが発生し、CLGINTF.OSC1STAIFビット = 1ならば、OSC1CLKを使用可能。

CLGOSC1.INV1N[1:0]ビット、CLGOSC1.CG1I[2:0]ビット、CLGOSC1.OSC1WT[1:0]ビット、CLGOSC1.INV1B[1:0]ビット、CLGTRIM2.OSC1SAJ[5:0]ビットの設定値は、実装基板で評価を行い決定してください。

注: CLGTRIM2.OSC1SAJ[5:0]ビットの設定は、必ずCLGOSC.OSC1ENビット = 0(発振停止)の状態で行ってください。

OSC3発振回路の発振開始手順

OSC3発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.OSC3STAIFビットに1を書き込む。(割り込みフラグをクリア)
2. CLGINTE.OSC3STAIEビットに1を書き込む。(割り込みをイネーブル)
3. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. CLGOSC3レジスタの以下のビットを設定する。

- CLGOSC3.OSC3WT[2:0]ビット (発振安定待ち時間を設定)
- CLGOSC3.OSC3INV[1:0]ビット (発振インバータのゲインを設定)

5. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

6. OSC3発振回路の入出力機能をポートに割り当てる(“入出力ポート”の章を参照)

2 電源, リセット, クロック

7. CLGOSC.OSC3ENビットに1を書き込む。(発振を開始)
8. 割り込みが発生し、CLGINTF.OSC3STAIFビット = 1ならば、OSC3CLKを使用可能。

CLGOSC3.OSC3INV[1:0]ビット、CLGOSC3.OSC3WT[2:0]ビットの設定値は、実装基板で評価を行い決定してください。

システムクロック切り換え

起動時はIOSCCLKをSYSCLKとして動作を開始します。その後、処理内容に応じてSYSCLKのクロックソースを切り換えることが可能です。また、クロックソースの分周比を指定してSYSCLK周波数を設定可能で、実行する処理に合わせ最適なパフォーマンスで動作させることができます。これらの制御は、CLGSCLK.CLKSRC[1:0]ビットとCLGSCLK.CLKDIV[1:0]ビットで行います。

CLGSCLKレジスタの各ビットはシステムプロテクトの保護対象のため、設定を変更する際は、あらかじめSYSPROT.PROT[15:0]ビットに0x0096を書き込み、システムプロテクトを解除する必要があります。システムクロック切り換えを含む動作モードの遷移については、“動作モード”を参照してください。

SLEEP時のクロック制御

CPUをSLEEPモード(ディープスリープモード)に設定するとき動作中のクロックソースを停止させるか否かをソースごとに選択することが可能です。これにより、CPUを素早くSLEEPモードまたはRUNモードに遷移させると共に、周辺回路はSLEEP中でもクロックを止めることなく動作させることができます。この制御は、CLGOSC.IOSCSLPCビット、CLGOSC.OSC1SLPCビット、CLGOSC.OSC3SLPCビット、CLGOSC.EXOSCSLPCビットで行います。制御の例を図2.3.4.3に示します。

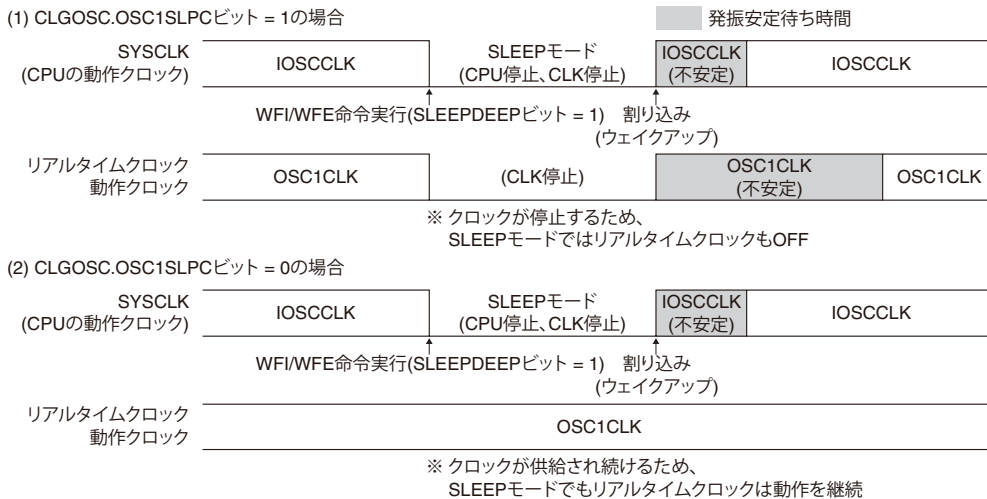


図2.3.4.3 SLEEPモード時のクロック制御例

また、SLEEPモードからRUNモードへ移行するウェイクアップ時のSYSCLKの設定(クロックソースと分周比の選択)も可能です。これにより、起動処理に合わせたフレキシブルなクロック制御が可能です。このクロック設定はCLGSCLK.WUPSRC[1:0]ビットとCLGSCLK.WUPDIV[1:0]ビットで行い、CLGSCLK.WUPMDビットに1を書き込んでこの機能をイネーブルにします。

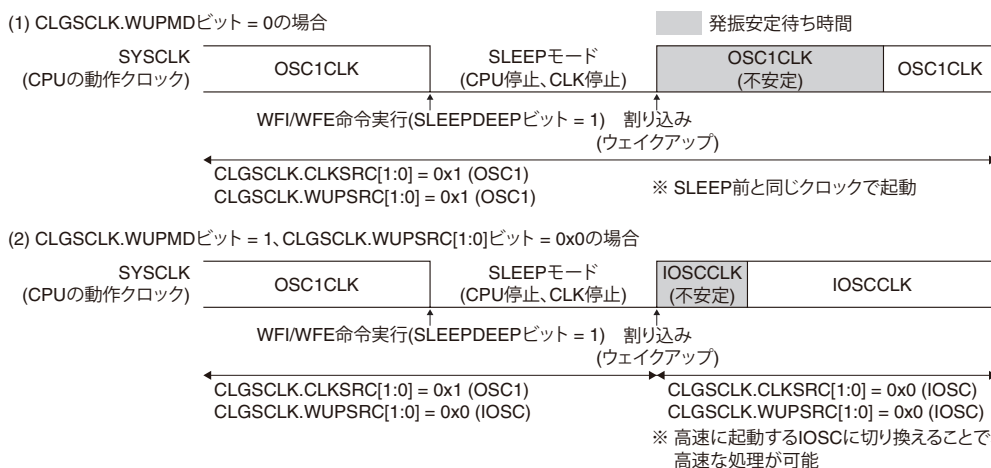


図2.3.4.4 SLEEP解除時のクロック制御例

クロック外部出力(FOUT)

各クロックソースの出力クロックまたはその分周クロックをFOUT端子から外部へ出力することができます。これにより、発振回路の発振周波数のモニタや、外部ICへの動作クロックの供給が可能です。クロックの外部出力は以下の手順で行います。

1. FOUT機能をポートに割り当てる。(“入出力ポート”の章を参照)
2. CLGFOUTレジスタの以下のビットを設定する。
 - CLGFOUT.FOUTSRC[1:0]ビット (クロックソースを選択)
 - CLGFOUT.FOUTDIV[2:0]ビット (クロック分周比を設定)
 - CLGFOUT.FOUTENビットを1に設定 (クロック外部出力イネーブル)

IOSC発振オートトリミング機能

オートトリミング機能は、OSC1発振回路(水晶発振回路)の高精度なOSC1CLKクロックを基準にIOSCCCLKクロックをトリミングして、CLGIOSC.IOSCFQ[2:0]ビットで選択した周波数を調整する機能です。オートトリミング機能は以下の手順でイネーブルにします。

1. OSC1発振イネーブル後、クロックが安定供給されていること(CLGINTF.OSC1STAIFビット = 1)を確認する。
2. IOSC発振イネーブル後、クロックが安定供給されていること(CLGINTF.IOSCSTAIFビット = 1)を確認する。
3. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. SYSCLOCKのクロックソースがIOSCの場合は、CLGSCLK.CLKSRC[1:0]ビットを0x0(IOSC)以外の値に設定する。
5. CLGINTFレジスタの以下のビットを設定する。
 - CLGINTF.IOSCTEDIFビットに1を書き込む (割り込みフラグをクリア)
 - CLGINTF.IOSCTERIFビットに1を書き込む (割り込みフラグをクリア)
6. CLGINTFレジスタの以下のビットを設定する。
 - CLGINTF.IOSCTEDIEビットを1に設定 (割り込みをイネーブル)
 - CLGINTF.IOSCTERIEビットを1に設定 (割り込みをイネーブル)
7. CLGIOSC.IOSCSTMビットに1を書き込む。(IOSC発振オートトリミングをイネーブル)
8. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
9. 割り込みが発生し、CLGINTF.IOSCTEDIFビット = 1ならば、トリミングされたIOSCCCLKを使用可能。CLGINTF.IOSCTERIFビット = 1のときは、オートトリミング中にエラーが発生(未調整)。

トリミングが終了すると、CLGIOSC.IOSCSTMビットは、自動的に0になります。トリミングにかかる時間は温度によって変化しますが、平均して数10 ms必要です。システムクロックや周辺回路クロックにIOSCCCLKを使用している間は、オートトリミング機能を使用しないでください。

OSC1発振停止検出機能

発振停止検出機能は、OSC1の発振が停止してしまうような悪条件下でも、発振停止を検出してOSC1発振回路を再起動させる機能です。発振停止検出機能は以下の手順でイネーブルにします。

1. OSC1発振イネーブル後、クロックが安定供給されていること(CLGINTF.OSC1STAIFビット = 1)を確認する。
2. CLGINTF.OSC1STPIFビットに1を書き込む。 (割り込みフラグをクリア)
3. CLGINTF.OSC1STPIEビットに1を書き込む。 (割り込みをイネーブル)
4. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
5. CLGOSC1レジスタの以下のビットを設定する。
 - CLGOSC1.OSDRBビットを1に設定 (OSC1リスタート機能をイネーブル)
 - CLGOSC1.OSDENビットを1に設定 (発振停止検出機能をイネーブル)
6. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)
7. 割り込みが発生し、CLGINTF.OSC1STPIFビット = 1のとき、OSC1発振停止。
CLGOSC1.OSDRBビット = 1のときは、ハードウェアがOSC1発振回路を再起動。

注: 発振停止検出機能をイネーブルにすると、発振停止検出回路電流(I_{OSD1})が増加します。

2.4 動作モード

2.4.1 イニシャル起動シーケンス

電源投入時のイニシャル起動シーケンスを図2.4.1.1に示します。

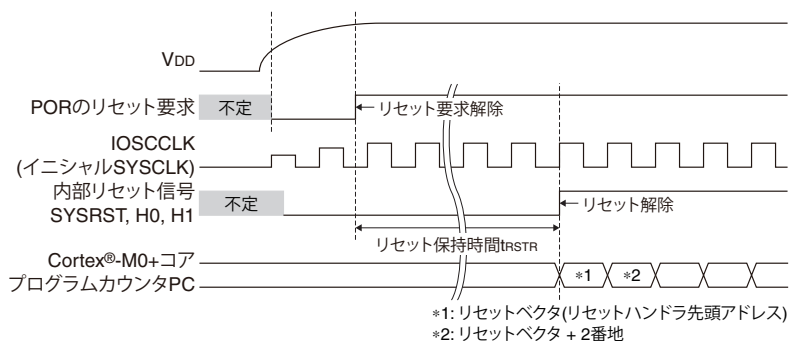


図2.4.1.1 イニシャル起動シーケンス

注: 電源投入時のリセット解除時間は、電源の立ち上がり時間、リセット要求解除時間によって変わります。

リセット保持時間 t_{RSTR} については、“電気的特性”の章の“リセット保持回路特性”を参照してください。

2.4.2 動作モードの遷移

本ICでは、図2.4.2.1に示すような動作モード間の状態遷移が起きます。

RUNモード

CPUがプログラムを実行するモードをRUNモードと呼びます。システムリセットコントローラからのシステムリセット要求が解除されると、このモードへ遷移します。RUNモードは、SYSCLKのクロックソースの違いによって、“IOSC RUN”、“OSC1 RUN”、“OSC3 RUN”、“EXOSC RUN”に分けられます。

HALTモード

Cortex-M0+ System Control RegisterのSLEEPDEEPビットが0の状態でもWFI命令またはWFE命令が実行されると、その時点のプログラムの実行が中断され、CPUの動作が停止します。本ICではこの状態をHALTモードと呼びます。このモードでは、クロックソースや周辺回路は動作を続けます。ソフトウェア処理が必要ないときに設定することで、RUNモードよりも消費電力を低減できます。HALTモードは、SYSCLKのクロックソースの違いによって、“IOSC HALT”、“OSC1 HALT”、“OSC3 HALT”、“EXOSC HALT”に分けられます。

2.5 割り込み

CLGには、表2.5.1に示す割り込みを発生させる機能があります。

表2.5.1 CLGの割り込み機能

割り込み	割り込みフラグ	セット	クリア
IOSC発振安定待ち完了	CLGINTF.IOSCSTAIF	発振開始後、IOSC発振安定待ちが完了したとき	1書き込み
OSC1発振安定待ち完了	CLGINTF.OSC1STAIF	発振開始後、OSC1発振安定待ちが完了したとき	1書き込み
OSC3発振安定待ち完了	CLGINTF.OSC3STAIF	発振開始後、OSC3発振安定待ちが完了したとき	1書き込み
OSC1発振停止	CLGINTF.OSC1STPIF	OSC1CLKが停止したとき、またはCLGOSC.OSC1ENビットもしくはCLGOSC1.OSDENビットの設定を1から0へ変更したとき	1書き込み
IOSC発振オートトリミング終了	CLGINTF.IOSCTEDIF	IOSC発振オートトリミングが終了したとき	1書き込み
IOSC発振オートトリミングエラー	CLGINTF.IOSCTERIF	IOSC発振オートトリミングがエラー終了したとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

2.6 制御レジスタ

PWGA Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWGACTL	15-8	-	0x00	-	R	-
	7-6	-	0x0	-	R	
	5	REGDIS	0	H0	R/WP	
	4	REGSEL	1	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	REGMODE[1:0]	0x0	H0	R/WP	

Bits 15-6 Reserved

Bit 5 REGDIS

このビットは、V_{D1}レギュレータのディスチャージ機能をイネーブルにします。

1 (R/WP): イネーブル

0 (R/WP): ディスエーブル

Bit 4 REGSEL

このビットは、V_{D1}レギュレータの電圧モードを制御します。

1 (R/WP): mode0

0 (R/WP): mode1

Bits 3-2 Reserved

Bits 1-0 REGMODE[1:0]

これらのビットは、V_{D1}レギュレータの動作モードを制御します。

表2.6.1 内部定電圧回路動作モード

PWGACTL.REGMODE[1:0]ビット	動作モード
0x3	エコノミーモード
0x2	ノーマルモード
0x1	Reserved
0x0	オートマチックモード

CLG System Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGSCLK	15	WUPMD	0	H0	R/WP	-
	14	-	0	-	R	
	13-12	WUPDIV[1:0]	0x0	H0	R/WP	
	11-10	-	0x0	-	R	
	9-8	WUPSRC[1:0]	0x0	H0	R/WP	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
1-0	CLKSRC[1:0]	0x0	H0	R/WP		

Bit 15 WUPMD

このビットは、ウェイクアップ時のSYSCLK切り換え機能をイネーブルにします。

1 (R/WP): イネーブル

0 (R/WP): ディスエーブル

CLGSCLK.WUPMDビット = 1の場合、SLEEPモードからのウェイクアップ時にCLGSCLK.WUPSRC[1:0]ビットの設定値がCLGSCLK.CLKSRC[1:0]ビットに、また、CLGSCLK.WUPDIV[1:0]ビットの設定値がCLGSCLK.CLKDIV[1:0]ビットにロードされ、SYSCLKが切り換えられます。CLGSCLK.WUPMDビット = 0の場合は、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]とCLGSCLK.CLKDIV[1:0]の設定は変更されません。

Bit 14 Reserved

Bits 13-12 WUPDIV[1:0]

これらのビットは、ウェイクアップ時にCLGSCLK.CLKDIV[1:0]ビットを再設定するための、SYSCLKの分周比を選択します。

CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。

Bits 11-10 Reserved

Bits 9-8 WUPSRC[1:0]

これらのビットは、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]ビットを再設定するための、SYSCLKのクロックソースを選択します。

停止しているクロックソースが選択された場合、ウェイクアップ時に自動的に発振またはクロック入力を開始します。ただし、CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。

表2.6.2 ウェイクアップ時のSYSCLKクロックソースと分周比の設定

CLGSCLK. WUPDIV[1:0]ビット	CLGSCLK.WUPSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	OSC3CLK	EXOSCCLK
0x3	1/8	Reserved	1/16	Reserved
0x2	1/4	Reserved	1/8	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、SYSCLK周波数を決めるクロックソースの分周比を設定します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、SYSCLKのクロックソースを選択します。

停止しているクロックソースが選択された場合、自動的に発振またはクロック入力を開始します。

2 電源, リセット, クロック

表2.6.3 SYSCLKクロックソースと分周比の設定

CLGSCLK. CLKDIV[1:0]ビット	CLGSCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	OSC3CLK	EXOSCCLK
0x3	1/8	Reserved	1/16	Reserved
0x2	1/4	Reserved	1/8	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

CLG Oscillation Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC	15–12	–	0x0	–	R	–
	11	EXOSCSLPC	1	H0	R/W	
	10	OSC3SLPC	1	H0	R/W	
	9	OSC1SLPC	1	H0	R/W	
	8	IOSCSLPC	1	H0	R/W	
	7–4	–	0x0	–	R	
	3	EXOSCEN	0	H0	R/W	
	2	OSC3EN	0	H0	R/W	
	1	OSC1EN	0	H0	R/W	
	0	IOSCEN	1	H0	R/W	

Bits 15–12 Reserved

Bit 11 EXOSCSLPC

Bit 10 OSC3SLPC

Bit 9 OSC1SLPC

Bit 8 IOSCSLPC

これらのビットは、SLEEP時のクロックソースの動作を制御します。

1 (R/W): SLEEP時にクロックソースを停止

0 (R/W): SLEEP前の動作を継続

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCSLPCビット: EXOSCクロック入力

CLGOSC.OSC3SLPCビット: OSC3発振回路

CLGOSC.OSC1SLPCビット: OSC1発振回路

CLGOSC.IOSCSLPCビット: IOSC発振回路

Bits 7–4 Reserved

Bit 3 EXOSCEN

Bit 2 OSC3EN

Bit 1 OSC1EN

Bit 0 IOSCEN

これらのビットは、クロックソースの動作を制御します。

1 (R/W): 発振またはクロック入力を開始

0 (R/W): 発振またはクロック入力を停止

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCENビット: EXOSCクロック入力

CLGOSC.OSC3ENビット: OSC3発振回路

CLGOSC.OSC1ENビット: OSC1発振回路

CLGOSC.IOSCENビット: IOSC発振回路

CLG IOSC Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGIOSC	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4	IOSCSTM	0	H0	R/WP	
	3	-	0	-	R	
	2-0	IOSCFQ[2:0]	0x4	H0	R/WP	

Bits 15-5 Reserved

Bit 4 IOSCSTM

このビットは、IOSCCLKのオートトリミング機能を制御します。

1 (WP): トリミング開始

0 (WP): トリミング停止

1 (R): トリミング実行中

0 (R): トリミング終了(トリミング動作停止中)

トリミングが終了すると、自動的に0にクリアされます。

- 注:
- CLGIOSC.IOSCSTMビット = 1の間は、IOSCCLKをシステムクロックや周辺回路クロックとして使用しないでください。
 - オートトリミング機能はOSC1発振回路が停止していると正しく動作しません。CLGINTF.OSC1STAIFビットが1になっていることを確認してから実行してください。
 - オートトリミング実行中に、CLGIOSC.IOSCFQ[2:0]ビットを変更しないでください。

Bit 3 Reserved

Bits 2-0 IOSCFQ[2:0]

これらのビットは、IOSCCLKの周波数を選択します。

表2.6.4 IOSCCLK周波数の選択

CLGIOSC. IOSCFQ[2:0]ビット	IOSCCLK周波数	
	V _{D1} 電圧モード = mode0	V _{D1} 電圧モード = mode1
0x7	20 MHz	設定禁止
0x6	16 MHz	
0x5	12 MHz	
0x4	8 MHz	
0x3	Reserved	
0x2		
0x1	2 MHz	2 MHz
0x0	1 MHz	1 MHz

CLG OSC1 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC1	15	-	0	-	R	-
	14	OSDRB	1	H0	R/WP	
	13	OSDEN	0	H0	R/WP	
	12	OSC1BUP	1	H0	R/WP	
	11	OSC1SELCR	0	H0	R/WP	
	10-8	CGI1[2:0]	0x0	H0	R/WP	
	7-6	INV1B[1:0]	0x2	H0	R/WP	
	5-4	INV1N[1:0]	0x1	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	OSC1WT[1:0]	0x2	H0	R/WP	

Bit 15 Reserved

2 電源, リセット, クロック

Bit 14 OSDRB

このビットは、OSC1発振停止検出時の発振停止検出回路によるOSC1発振回路リスタート機能をイネーブルにします。

1 (R/WP): イネーブル(発振停止検出時にOSC1発振回路をリスタート)

0 (R/WP): ディスエーブル

Bit 13 OSDEN

このビットは、OSC1発振回路の発振停止検出回路を制御します。

1 (R/WP): OSC1発振停止検出回路ON

0 (R/WP): OSC1発振停止検出回路OFF

注: OSC1CLKが安定供給される前に、CLGOSC1.OSDENビットに1を書き込まないでください。また、CLGOSC.OSC1ENビットを0にしたときは、CLGOSC1.OSDENビットも0にしてください。

Bit 12 OSC1BUP

このビットは、OSC1発振回路の発振起動制御回路をイネーブルにします。

1 (R/WP): イネーブル(起動時にブースト動作実行)

0 (R/WP): ディスエーブル

Bit 11 OSC1SELCR

このビットは、OSC1発振回路の種類を選択します。

1 (R/WP): 内蔵発振回路

0 (R/WP): 水晶発振回路

Bits 10–8 CGI1[2:0]

これらのビットは、OSC1発振回路の内蔵ゲート容量を設定します。

表2.6.5 OSC1内蔵ゲート容量の設定

CLGOSC1.CGI1[2:0]ビット	容量
0x7	Max.
0x6	↑
0x5	
0x4	
0x3	
0x2	
0x1	↓
0x0	Min.

詳細は、“電気的特性”の章の“OSC1発振回路特性、内蔵ゲート容量CG_{II}”を参照してください。

Bits 7–6 INV1B[1:0]

これらのビットは、OSC1発振回路のブースト起動時に適用される発振インバータのゲインを設定します。

表2.6.6 OSC1ブースト起動時の発振インバータゲインの設定

CLGOSC1.INV1B[1:0]ビット	インバータゲイン
0x3	Max.
0x2	↑
0x1	↓
0x0	Min.

注: CLGOSC1.INV1B[1:0]ビットは、CLGOSC1.INV1N[1:0]ビット以上の値に設定してください。

Bits 5–4 INV1N[1:0]

これらのビットは、OSC1発振回路の通常動作時に適用される発振インバータのゲインを設定します。

表2.6.7 OSC1通常動作時の発振インバータゲインの設定

CLGOSC1.INV1IN[1:0]ビット	インバータゲイン
0x3	Max.
0x2	↑
0x1	↓
0x0	Min.

Bits 3–2 Reserved

Bits 1–0 **OSC1WT[1:0]**

これらのビットは、OSC1発振回路の発振安定待ち時間を設定します。

表2.6.8 OSC1発振安定待ち時間の設定

CLGOSC1.OSC1WT[1:0]ビット	発振安定待ち時間
0x3	65,536クロック
0x2	16,384クロック
0x1	4,096クロック
0x0	Reserved

CLG OSC3 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC3	15–8	–	0x00	–	R	–
	7–6	–	0x0	–	R	
	5–4	OSC3INV[1:0]	0x3	H0	R/WP	
	3	–	0	–	R	
	2–0	OSC3WT[2:0]	0x6	H0	R/WP	

Bits 15–6 Reserved

Bits 5–4 **OSC3INV[1:0]**

これらのビットは、OSC3に水晶/セラミック発振回路を選択した場合の発振インバータのゲインを設定します。

表2.6.9 OSC3発振インバータゲインの設定

CLGOSC3.OSC3INV[1:0]ビット	インバータゲイン
0x3	Max.
0x2	↑
0x1	↓
0x0	Min.

Bit 3 Reserved

Bits 2–0 **OSC3WT[2:0]**

これらのビットは、OSC3発振回路の発振安定待ち時間を設定します。

表2.6.10 OSC3発振安定待ち時間の設定

CLGOSC3.OSC3WT[2:0]ビット	発振安定待ち時間
0x7	65,536クロック
0x6	16,384クロック
0x5	4,096クロック
0x4	1,024クロック
0x3	256クロック
0x2	64クロック
0x1	16クロック
0x0	4クロック

CLG Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTF	15-9	-	0x00	-	R	-
	8	IOSCTERIF	0	H0	R/W	Cleared by writing 1.
	7	-	0	-	R	-
	6	(reserved)	0	H0	R	-
	5	OSC1STPIF	0	H0	R/W	Cleared by writing 1.
	4	IOSCTEDIF	0	H0	R/W	-
	3	-	0	-	R	-
	2	OSC3STAIF	0	H0	R/W	Cleared by writing 1.
	1	OSC1STAIF	0	H0	R/W	-
0	IOSCSTAIF	0	H0	R/W	-	

Bits 15-9, 7, 6, 3 Reserved

Bit 8 IOSCTERIF

Bit 5 OSC1STPIF

Bit 4 IOSCTEDIF

Bit 2 OSC3STAIF

Bit 1 OSC1STAIF

Bit 0 IOSCSTAIF

これらのビットは、CLG割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

CLGINTF.IOSCTERIFビット: IOSC発振オートトリミングエラー割り込み

CLGINTF.OSC1STPIFビット: OSC1発振停止割り込み

CLGINTF.IOSCTEDIFビット: IOSC発振オートトリミング終了割り込み

CLGINTF.OSC3STAIFビット: OSC3発振安定待ち完了割り込み

CLGINTF.OSC1STAIFビット: OSC1発振安定待ち完了割り込み

CLGINTF.IOSCSTAIFビット: IOSC発振安定待ち完了割り込み

注: システムリセットが解除された時点のCLGINTF.IOSCSTAIFビットは0ですが、IOSCCLKは安定状態になっています。

CLG Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTE	15-9	-	0x00	-	R	-
	8	IOSCTERIE	0	H0	R/W	-
	7	-	0	-	R	-
	6	(reserved)	0	H0	R/W	-
	5	OSC1STPIE	0	H0	R/W	-
	4	IOSCTEDIE	0	H0	R/W	-
	3	-	0	-	R	-
	2	OSC3STAIE	0	H0	R/W	-
	1	OSC1STAIE	0	H0	R/W	-
0	IOSCSTAIE	0	H0	R/W	-	

Bits 15-9, 7, 6, 3 Reserved

Bit 8	IOSCTERIE
Bit 5	OSC1STPIE
Bit 4	IOSCTEDIE
Bit 2	OSC3STAIE
Bit 1	OSC1STAIE
Bit 0	IOSCSTAIE

これらのビットは、CLG割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

CLGINTE.IOSCTERIEビット: IOSC発振オートトリミングエラー割り込み

CLGINTE.OSC1STPIEビット: OSC1発振停止割り込み

CLGINTE.IOSCTEDIEビット: IOSC発振オートトリミング終了割り込み

CLGINTE.OSC3STAIEビット: OSC3発振安定待ち完了割り込み

CLGINTE.OSC1STAIEビット: OSC1発振安定待ち完了割り込み

CLGINTE.IOSCSTAIEビット: IOSC発振安定待ち完了割り込み

CLG FOUT Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGFOUT	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–4	FOUTDIV[2:0]	0x0	H0	R/W	
	3–2	FOUTSRC[1:0]	0x0	H0	R/W	
	1	–	0	–	R	
	0	FOUTEN	0	H0	R/W	

Bits 15–7 Reserved

Bits 6–4 FOUTDIV[2:0]

これらのビットは、FOUTのクロック分周比を設定します。

Bits 3–2 FOUTSRC[1:0]

これらのビットは、FOUTのクロックソースを選択します。

表2.6.11 FOUTクロックソースと分周比の設定

CLGFOUT. FOUTDIV[2:0]ビット	CLGFOUT.FOUTSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCLK	OSC1CLK	OSC3CLK	SYSCLK
0x7	1/128	1/32,768	1/128	Reserved
0x6	1/64	1/4,096	1/64	Reserved
0x5	1/32	1/1,024	1/32	Reserved
0x4	1/16	1/256	1/16	Reserved
0x3	1/8	1/8	1/8	Reserved
0x2	1/4	1/4	1/4	Reserved
0x1	1/2	1/2	1/2	Reserved
0x0	1/1	1/1	1/1	1/1

注: CLGFOUT.FOUTSRC[1:0]ビットを0x3に設定した場合、SLEEP/HALTモードではSYSCLKが停止するため、FOUT出力も停止します。

Bit 1 Reserved

Bit 0 FOUTEN

このビットは、FOUTのクロック外部出力を制御します。

1 (R/W): 外部出力イネーブル

0 (R/W): 外部出力ディスエーブル

注: FOUT信号は、CLGFOUT.FOUTENビットと非同期に生成されますので、出力のイネーブル/ディスエーブル時にはグリッチを生じます。

CLG Oscillation Frequency Trimming Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGTRIM1	15-14	–	0x0	–	R	–
	13-8	IOSCLSAJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.
	7-6	–	0x0	–	R	–
	5-0	IOSCHSAJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.

Bits 15-14 Reserved

Bits 13-8 IOSCLSAJ[5:0]

これらのビットは、IOSC内蔵発振回路の周波数トリミング値を設定します。
この設定は、低速発振周波数(1 MHzおよび2 MHz)に影響します。

表2.6.12 IOSC内蔵発振回路の低速発振周波数トリミング設定

CLGTRIM1.IOSCLSAJ[5:0]ビット	IOSC発振周波数(2/1 MHz)
0x3f	高
:	:
0x00	低

Bits 7-6 Reserved

Bits 5-0 IOSCHSAJ[5:0]

これらのビットは、IOSC内蔵発振回路の周波数トリミング値を設定します。
この設定は、高速発振周波数(8 MHz~20 MHz)に影響します。

表2.6.13 IOSC内蔵発振回路の高速周波数トリミング設定

CLGTRIM1.IOSCHSAJ[5:0]ビット	IOSC発振周波数(20/16/12/8 MHz)
0x3f	高
:	:
0x00	低

注: CLGTRIM1.IOSCLSAJ[5:0]ビットおよびCLGTRIM1.IOSCHSAJ[5:0]の初期設定値は、それぞれ“電気的特性”の章に記載されているIOSC発振回路特性を保證する値に調整されています。これらの設定を変更した場合、周波数特性を満足できなくなる可能性があります。また、設定の変更は、必ずIOSC発振回路が停止した状態で行ってください。

CLG Oscillation Frequency Trimming Register 2

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGTRIM2	15-8	–	0x00	–	R	–
	7-6	–	0x0	–	R	–
	5-0	OSC1SAJ[5:0]	*	H0	R/WP	* Determined by factory adjustment.

Bits 15-6 Reserved

Bits 5-0 OSC1SAJ[5:0]

これらのビットは、OSC1内蔵発振回路の周波数トリミング値を設定します。
この設定は、OSC1水晶発振周波数には影響を与えません。

表2.6.14 OSC1内蔵発振回路の周波数トリミング設定

CLGTRIM2.OSC1SAJ[5:0]ビット	OSC1内蔵発振周波数
0x3f	高
:	:
0x00	低

注: CLGTRIM2.OSC1SAJ[5:0]ビットの初期設定値は、“電気的特性”の章に記載されているOSC1発振回路特性を保證する値に調整されています。これらの設定を変更した場合、周波数特性を満足できなくなる可能性があります。また、設定の変更は、必ずOSC1発振回路が停止した状態で行ってください。

3 CPU, デバッグ

3.1 概要

本ICは、Arm社製 Cortex®-M0+ CPUを搭載しています。

3.2 CPU

本ICに搭載されているCortex®-M0+ CPUの構成を以下に示します。

- Cortex®-M0+コア
- 32ビット単一サイクル乗算器
- ネスト型ベクタ割り込みコントローラ(NVIC)
- システムタイマ(Systick)
- シリアルワイヤデバッグポート(SW-DP)
- マイクロトレースバッファ (MTB)
- ハードウェアブレークポイント数: 4
- ウォッチポイント数: 2

3.3 デバッグ

本ICは、シリアルワイヤデバッグポート(SW-DP)を搭載しています。

3.3.1 デバッグ入出力端子一覧

表3.3.1.1にデバッグ端子一覧を示します。

表3.3.1.1 デバッグ端子一覧

端子名	I/O	イニシャル状態	機能
SWCLK	I	I	オンチップデバッグクロック入力端子 デバッグツールからクロックを入力します。
SWD	I/O	I	オンチップデバッグデータ入出力端子 デバッグ用データの入出力に使用します。

デバッグの入出力は汎用入出力ポート端子を兼用しており、イニシャル状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、これらの端子を汎用入出力ポート端子に切り換えることができます。詳細は“入出力ポート”の章を参照してください。

3.3.2 外部接続

デバッグを行う際のデバッグツールとの接続例を図3.3.2.1に示します。

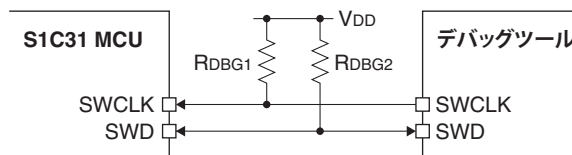


図3.3.2.1 外部接続

プルアップ抵抗の推奨値は、“電気的特性”の章の“推奨動作条件、デバッグ端子用プルアップ抵抗RDBG1-2”を参照してください。デバッグ端子を汎用入出力ポート端子として使用する場合、RDBG1、RDBG2は必要ありません。

3.4 参照ドキュメント

Arm社は、Cortex[®]-M0+ CPUを搭載するシステムの開発用に各種ドキュメントを用意しています。本マニュアルに記載されないCortex[®]-M0+ CPUの詳細については、以下のドキュメントを参照してください。

1. ARM[®]v6-M Architecture Reference Manual
2. Cortex[®]-M0+ Technical Reference Manual
3. Cortex[®]-M0+ Devices Generic User Guide

これらのドキュメントはArm社のドキュメントサイトからダウンロードすることができます。

<https://developer.arm.com/documentation>

4 メモリ, バス

4.1 概要

本ICは、命令、データ共に最大4Gバイトのメモリ空間をアクセスすることができます。主な機能と特長を以下に示します。

- オンボード書き換え可能なFlashメモリを搭載
- システム制御に関するレジスタには、書き込み保護機能を搭載

図4.1.1にメモリマップを示します。

0xffff	ffff	Reserved
0xf023	8000	MTBエリア(224Kバイト) (デバイスサイズ: 32ビット)
0xf023	7fff	
0xf020	0000	Reserved
0xf01f	ffff	
0xf000	1000	システムROMテーブルエリア(4Kバイト) (デバイスサイズ: 32ビット)
0xf000	0fff	
0xf000	0000	Cortex®-M0+予約エリア(256Mバイト) (デバイスサイズ: 32ビット)
0xefff	ffff	
0xe000	0000	Reserved
0xdfdf	ffff	
0x4000	4000	周辺回路エリア(12Kバイト) (デバイスサイズ: 32ビット)
0x4000	3fff	
0x4000	1000	周辺回路エリア(4Kバイト) (デバイスサイズ: 16ビット)
0x4000	0fff	
0x4000	0000	Reserved
0x3fff	ffff	
0x2040	0400	USBエリア(1Kバイト) (デバイスサイズ: 16ビット)
0x2040	03ff	
0x2040	0000	Reserved
0x203f	ffff	
0x2001	8000	RAMエリア(96Kバイト) (デバイスサイズ: 32ビット)
0x2001	7fff	
0x2000	0000	Reserved
0x1fff	ffff	
0x0014	0000	外部Flashメモリ用 メモリマップドアクセスエリア(1Mバイト) (デバイスサイズ: 32ビット)
0x0013	ffff	
0x0004	0000	Flashエリア(256Kバイト) (デバイスサイズ: 32ビット)
0x0003	ffff	
0x0000	0000	

図4.1.1 メモリマップ

4.2 バスアクセスサイクル

CPUはシステムクロックを基準にバスアクセスを行います。ここで、バスアクセスサイクル、デバイスサイズ、アクセスサイズについて、以下のように定義します。

- バスアクセスサイクル: システムクロックの1クロック = 1サイクル
- デバイスサイズ: 1サイクルでアクセスできるメモリ、周辺回路のビット幅
- アクセスサイズ: CPU命令が要求するアクセスサイズ(例: LDR Rt, [Rn] → 32ビットデータ転送)

デバイスサイズとアクセスサイズの違いによるバスアクセスサイクル数の一覧を表4.2.1に示します。周辺回路は8ビットまたは16ビット命令でアクセス可能です。

表4.2.1 バスアクセスサイクル数

デバイスサイズ	アクセスサイズ	バスアクセスサイクル数
8ビット	8ビット	1
	16ビット	2
	32ビット	4
16ビット	8ビット	1
	16ビット	1
	32ビット	2
32ビット	8ビット	1
	16ビット	1
	32ビット	1

4.3 Flashメモリ

Flashメモリには、アプリケーションプログラムやデータを書き込んでおくことができます。また、Flashエリアの0x0番地はデフォルトのベクタテーブルベースアドレスとして定義されていますので、このアドレスを先頭にベクタテーブルを置く必要があります。詳細は、“割り込み”の章の“ベクタテーブル”を参照してください。

4.3.1 Flashメモリ端子

表4.3.1.1にFlashメモリ用の端子を示します。

表4.3.1.1 Flashメモリ端子

端子名	I/O	イニシャル状態	機能
V _{PP}	P	-	Flashプログラミング電源
(ENVPP)	O or Hi-Z	Hi-Z	Flashプログラミング制御信号出力

V_{PP}電圧に関しては“電気的特性”の章の“推奨動作条件、Flashプログラミング電圧V_{PP}”を参照してください。

注: • Flashプログラミング時以外は、V_{PP}端子をオープンにしてください。

- ENVPP端子は、Flashプログラミング時にBridge Board(S5U1C31001L)への制御信号を出力します。この端子はENVPP出力の他に汎用入出力ポートとしても使用可能ですが、この信号による外部回路への影響を考慮してください。

4.3.2 Flashバスアクセスサイクルの設定

Flashメモリをノーウェイトでアクセス可能な周波数には制限があるため、システムクロック周波数に応じて、リード時のバスアクセスサイクル数を変更する必要があります。リード時バスアクセスサイクル数は、FLASHWAIT.RDWAIT[1:0]ビットで設定します。動作しているシステムクロック周波数以上に対応した設定を選択してください。

4.3.3 Flashプログラミング

Flashメモリはオンボードプログラミングに対応しており、フラッシュローダを使用してROMデータをプログラミングすることができます。V_{PP}電圧は外部電源または内蔵昇圧回路から供給可能です。

V_{PP}外部供給時は電圧安定用に、内蔵昇圧回路使用時は電圧生成用に、V_{PP}端子にV_{SS}~V_{PP}間キャパシタC_{VPP}を必ず接続してください。

Flashプログラミング時以外は、V_{PP}端子をオープンにする必要があります。ただし、Bridge Board (S5U1C31001L)からV_{PP}電圧を供給する場合、Flashプログラミング時のみ供給するように制御されているため、接続したままでも問題ありません。

注: ・ Flashプログラミングを行う場合は、V_{DD}を2.4 V以上にする必要があります。

- ・ V_{PP}端子の出力を外部回路の駆動には絶対に使用しないでください。

4.4 RAM

RAMは、変数などの格納以外に、命令コードをコピーして実行させることにも使用可能です。これにより、Flashメモリよりも高速かつ省電力な処理を実現できます。

メモリディスプレイコントローラ用のフレームバッファ

メモリディスプレイコントローラは、ディスプレイパネルに送るピクセルデータの格納に、RAM内に確保したフレームバッファを使用します。フレームバッファのベースアドレスとサイズはメモリディスプレイコントローラのレジスタで設定可能です。詳細は、“メモリディスプレイコントローラ”の章を参照してください。

4.5 周辺回路制御レジスタ

0x4000 0000番地から始まる周辺回路エリアには、周辺回路の制御レジスタが割り付けられています。この制御レジスタマップを表4.5.1に示します。各制御レジスタの詳細についてはAppendixの“周辺回路制御レジスタ一覧”、または各周辺回路の章の“制御レジスタ”を参照してください。

表4.5.1 周辺回路制御レジスタマップ

周辺回路	アドレス	レジスタ名	レジスタ名
システムレジスタ(SYS)	0x4000 0000	SYSPROT	System Protect Register
パワージェネレータ(PWGA)	0x4000 0020	PWGACTL	PWGA Control Register
クロックジェネレータ(CLG)	0x4000 0040	CLGSCLK	CLG System Clock Control Register
	0x4000 0042	CLGOSC	CLG Oscillation Control Register
	0x4000 0044	CLGIOSC	CLG IOSC Control Register
	0x4000 0046	CLGOSC1	CLG OSC1 Control Register
	0x4000 0048	CLGOSC3	CLG OSC3 Control Register
	0x4000 004c	CLGINTF	CLG Interrupt Flag Register
	0x4000 004e	CLGINTE	CLG Interrupt Enable Register
	0x4000 0050	CLGFOUT	CLG FOUT Control Register
	0x4000 0052	CLGTRIM1	CLG Oscillation Frequency Trimming Register 1
	0x4000 0054	CLGTRIM2	CLG Oscillation Frequency Trimming Register 2
キャッシュコントローラ (CACHE)	0x4000 0080	CACHECTL	CACHE Control Register
ウォッチドッグタイマ (WDT2)	0x4000 00a0	WDT2CLK	WDT2 Clock Control Register
	0x4000 00a2	WDT2CTL	WDT2 Control Register
	0x4000 00a4	WDT2CMP	WDT2 Counter Compare Match Register
リアルタイムクロック(RTCA)	0x4000 00c0	RTCACTLL	RTCA Control Register (Low Byte)
	0x4000 00c1	RTCACTLH	RTCA Control Register (High Byte)
	0x4000 00c2	RTCAALM1	RTCA Second Alarm Register
	0x4000 00c4	RTCAALM2	RTCA Hour/Minute Alarm Register
	0x4000 00c6	RTCASWCTL	RTCA Stopwatch Control Register
	0x4000 00c8	RTCASEC	RTCA Second/1Hz Register
	0x4000 00ca	RTCAHUR	RTCA Hour/Minute Register
	0x4000 00cc	RTCAMON	RTCA Month/Day Register
	0x4000 00ce	RTCAYAR	RTCA Year/Week Register
	0x4000 00d0	RTCAINTF	RTCA Interrupt Flag Register
	0x4000 00d2	RTCAINTE	RTCA Interrupt Enable Register

4 メモリ、バス

周辺回路	アドレス	レジスタ名	
電源電圧検出回路(SVD3)	0x4000 0100	SVD3CLK	SVD3 Clock Control Register
	0x4000 0102	SVD3CTL	SVD3 Control Register
	0x4000 0104	SVD3INTF	SVD3 Status and Interrupt Flag Register
	0x4000 0106	SVD3INTE	SVD3 Interrupt Enable Register
16ビットタイマ(T16) Ch.0	0x4000 0160	T16_0CLK	T16 Ch.0 Clock Control Register
	0x4000 0162	T16_0MOD	T16 Ch.0 Mode Register
	0x4000 0164	T16_0CTL	T16 Ch.0 Control Register
	0x4000 0166	T16_0TR	T16 Ch.0 Reload Data Register
	0x4000 0168	T16_0TC	T16 Ch.0 Counter Data Register
	0x4000 016a	T16_0INTF	T16 Ch.0 Interrupt Flag Register
	0x4000 016c	T16_0INTE	T16 Ch.0 Interrupt Enable Register
Flashコントローラ(FLASHC)	0x4000 01b0	FLASHCWAIT	FLASHC Flash Read Cycle Register
入出力ポート(PPORT)	0x4000 0200	PPORTP0DAT	P0 Port Data Register
	0x4000 0202	PPORTP0IOEN	P0 Port Enable Register
	0x4000 0204	PPORTP0RCTL	P0 Port Pull-up/down Control Register
	0x4000 0206	PPORTP0INTF	P0 Port Interrupt Flag Register
	0x4000 0208	PPORTP0INTCTL	P0 Port Interrupt Control Register
	0x4000 020a	PPORTP0CHATEN	P0 Port Chattering Filter Enable Register
	0x4000 020c	PPORTP0MODESEL	P0 Port Mode Select Register
	0x4000 020e	PPORTP0FNCSEL	P0 Port Function Select Register
	0x4000 0210	PPORTP1DAT	P1 Port Data Register
	0x4000 0212	PPORTP1IOEN	P1 Port Enable Register
	0x4000 0214	PPORTP1RCTL	P1 Port Pull-up/down Control Register
	0x4000 0216	PPORTP1INTF	P1 Port Interrupt Flag Register
	0x4000 0218	PPORTP1INTCTL	P1 Port Interrupt Control Register
	0x4000 021a	PPORTP1CHATEN	P1 Port Chattering Filter Enable Register
	0x4000 021c	PPORTP1MODESEL	P1 Port Mode Select Register
	0x4000 021e	PPORTP1FNCSEL	P1 Port Function Select Register
	0x4000 0220	PPORTP2DAT	P2 Port Data Register
	0x4000 0222	PPORTP2IOEN	P2 Port Enable Register
	0x4000 0224	PPORTP2RCTL	P2 Port Pull-up/down Control Register
	0x4000 0226	PPORTP2INTF	P2 Port Interrupt Flag Register
	0x4000 0228	PPORTP2INTCTL	P2 Port Interrupt Control Register
	0x4000 022a	PPORTP2CHATEN	P2 Port Chattering Filter Enable Register
	0x4000 022c	PPORTP2MODESEL	P2 Port Mode Select Register
	0x4000 022e	PPORTP2FNCSEL	P2 Port Function Select Register
	0x4000 0230	PPORTP3DAT	P3 Port Data Register
	0x4000 0232	PPORTP3IOEN	P3 Port Enable Register
	0x4000 0234	PPORTP3RCTL	P3 Port Pull-up/down Control Register
	0x4000 0236	PPORTP3INTF	P3 Port Interrupt Flag Register
	0x4000 0238	PPORTP3INTCTL	P3 Port Interrupt Control Register
	0x4000 023a	PPORTP3CHATEN	P3 Port Chattering Filter Enable Register
	0x4000 023c	PPORTP3MODESEL	P3 Port Mode Select Register
	0x4000 023e	PPORTP3FNCSEL	P3 Port Function Select Register
	0x4000 0240	PPORTP4DAT	P4 Port Data Register
	0x4000 0242	PPORTP4IOEN	P4 Port Enable Register
	0x4000 0244	PPORTP4RCTL	P4 Port Pull-up/down Control Register
	0x4000 0246	PPORTP4INTF	P4 Port Interrupt Flag Register
	0x4000 0248	PPORTP4INTCTL	P4 Port Interrupt Control Register
	0x4000 024a	PPORTP4CHATEN	P4 Port Chattering Filter Enable Register
	0x4000 024c	PPORTP4MODESEL	P4 Port Mode Select Register
	0x4000 024e	PPORTP4FNCSEL	P4 Port Function Select Register
	0x4000 0250	PPORTP5DAT	P5 Port Data Register
	0x4000 0252	PPORTP5IOEN	P5 Port Enable Register
	0x4000 0254	PPORTP5RCTL	P5 Port Pull-up/down Control Register
	0x4000 0256	PPORTP5INTF	P5 Port Interrupt Flag Register
	0x4000 0258	PPORTP5INTCTL	P5 Port Interrupt Control Register
	0x4000 025a	PPORTP5CHATEN	P5 Port Chattering Filter Enable Register
	0x4000 025c	PPORTP5MODESEL	P5 Port Mode Select Register
	0x4000 025e	PPORTP5FNCSEL	P5 Port Function Select Register
	0x4000 0260	PPORTP6DAT	P6 Port Data Register
	0x4000 0262	PPORTP6IOEN	P6 Port Enable Register
	0x4000 0264	PPORTP6RCTL	P6 Port Pull-up/down Control Register
	0x4000 0266	PPORTP6INTF	P6 Port Interrupt Flag Register
	0x4000 0268	PPORTP6INTCTL	P6 Port Interrupt Control Register

周辺回路	アドレス	レジスタ名		
入出力ポート(PPORT)	0x4000 026a	PPORTP6CHATEN	P6 Port Chattering Filter Enable Register	
	0x4000 026c	PPORTP6MODSEL	P6 Port Mode Select Register	
	0x4000 026e	PPORTP6FNCSEL	P6 Port Function Select Register	
	0x4000 02d0	PPORTPDDAT	Pd Port Data Register	
	0x4000 02d2	PPORTPDIOEN	Pd Port Enable Register	
	0x4000 02d4	PPORTPDRCTL	Pd Port Pull-up/down Control Register	
	0x4000 02dc	PPORTPDMODSEL	Pd Port Mode Select Register	
	0x4000 02de	PPORTPDFNCSEL	Pd Port Function Select Register	
	0x4000 02e0	PPORTCLK	P Port Clock Control Register	
0x4000 02e2	PPORTINTFGRP	P Port Interrupt Flag Group Register		
ユニバーサルポート マルチプレクサ(UPMUX)	0x4000 0300	UPMUXP0MUX0	P00-01 Universal Port Multiplexer Setting Register	
	0x4000 0302	UPMUXP0MUX1	P02-03 Universal Port Multiplexer Setting Register	
	0x4000 0304	UPMUXP0MUX2	P04-05 Universal Port Multiplexer Setting Register	
	0x4000 0306	UPMUXP0MUX3	P06-07 Universal Port Multiplexer Setting Register	
	0x4000 0308	UPMUXP1MUX0	P10-11 Universal Port Multiplexer Setting Register	
	0x4000 030a	UPMUXP1MUX1	P12-13 Universal Port Multiplexer Setting Register	
	0x4000 030c	UPMUXP1MUX2	P14-15 Universal Port Multiplexer Setting Register	
	0x4000 030e	UPMUXP1MUX3	P16 Universal Port Multiplexer Setting Register	
	0x4000 0310	UPMUXP2MUX0	P20-21 Universal Port Multiplexer Setting Register	
	0x4000 0312	UPMUXP2MUX1	P22-23 Universal Port Multiplexer Setting Register	
	0x4000 0314	UPMUXP2MUX2	P24-25 Universal Port Multiplexer Setting Register	
	0x4000 0316	UPMUXP2MUX3	P26-27 Universal Port Multiplexer Setting Register	
	0x4000 0318	UPMUXP3MUX0	P30-31 Universal Port Multiplexer Setting Register	
	0x4000 031a	UPMUXP3MUX1	P32-33 Universal Port Multiplexer Setting Register	
	0x4000 031c	UPMUXP3MUX2	P34-35 Universal Port Multiplexer Setting Register	
0x4000 031e	UPMUXP3MUX3	P36 Universal Port Multiplexer Setting Register		
UART(UART3) Ch.0	0x4000 0380	UART3_0CLK	UART3 Ch.0 Clock Control Register	
	0x4000 0382	UART3_0MOD	UART3 Ch.0 Mode Register	
	0x4000 0384	UART3_0BR	UART3 Ch.0 Baud-Rate Register	
	0x4000 0386	UART3_0CTL	UART3 Ch.0 Control Register	
	0x4000 0388	UART3_0TXD	UART3 Ch.0 Transmit Data Register	
	0x4000 038a	UART3_0RXD	UART3 Ch.0 Receive Data Register	
	0x4000 038c	UART3_0INTF	UART3 Ch.0 Status and Interrupt Flag Register	
	0x4000 038e	UART3_0INTE	UART3 Ch.0 Interrupt Enable Register	
	0x4000 0390	UART3_0 TBEDMAEN	UART3 Ch.0 Transmit Buffer Empty DMA Request Enable Register	
	0x4000 0392	UART3_0 RB1FDMAEN	UART3 Ch.0 Receive Buffer One Byte Full DMA Request Enable Register	
	0x4000 0394	UART3_0CAWF	UART3 Ch.0 Carrier Waveform Register	
	16ビットタイマ(T16) Ch.1	0x4000 03a0	T16_1CLK	T16 Ch.1 Clock Control Register
		0x4000 03a2	T16_1MOD	T16 Ch.1 Mode Register
0x4000 03a4		T16_1CTL	T16 Ch.1 Control Register	
0x4000 03a6		T16_1TR	T16 Ch.1 Reload Data Register	
0x4000 03a8		T16_1TC	T16 Ch.1 Counter Data Register	
0x4000 03aa		T16_1INTF	T16 Ch.1 Interrupt Flag Register	
0x4000 03ac		T16_1INTE	T16 Ch.1 Interrupt Enable Register	
同期式シリアル インタフェース(SPIA) Ch.0		0x4000 03b0	SPIA_0MOD	SPIA Ch.0 Mode Register
	0x4000 03b2	SPIA_0CTL	SPIA Ch.0 Control Register	
	0x4000 03b4	SPIA_0TXD	SPIA Ch.0 Transmit Data Register	
	0x4000 03b6	SPIA_0RXD	SPIA Ch.0 Receive Data Register	
	0x4000 03b8	SPIA_0INTF	SPIA Ch.0 Interrupt Flag Register	
	0x4000 03ba	SPIA_0INTE	SPIA Ch.0 Interrupt Enable Register	
	0x4000 03bc	SPIA_0TBEDMAEN	SPIA Ch.0 Transmit Buffer Empty DMA Request Enable Register	
	0x4000 03be	SPIA_0RBFDMAEN	SPIA Ch.0 Receive Buffer Full DMA Request Enable Register	
I ² C(I2C) Ch.0	0x4000 03c0	I2C_0CLK	I2C Ch.0 Clock Control Register	
	0x4000 03c2	I2C_0MOD	I2C Ch.0 Mode Register	
	0x4000 03c4	I2C_0BR	I2C Ch.0 Baud-Rate Register	
	0x4000 03c8	I2C_0OADR	I2C Ch.0 Own Address Register	
	0x4000 03ca	I2C_0CTL	I2C Ch.0 Control Register	
	0x4000 03cc	I2C_0TXD	I2C Ch.0 Transmit Data Register	
	0x4000 03ce	I2C_0RXD	I2C Ch.0 Receive Data Register	
	0x4000 03d0	I2C_0INTF	I2C Ch.0 Status and Interrupt Flag Register	
	0x4000 03d2	I2C_0INTE	I2C Ch.0 Interrupt Enable Register	

4 メモリ、バス

周辺回路	アドレス	レジスタ名		
I2C(I2C) Ch.0	0x4000 03d4	I2C_0TBEDMAEN	I2C Ch.0 Transmit Buffer Empty DMA Request Enable Register	
	0x4000 03d6	I2C_0RBFDMAEN	I2C Ch.0 Receive Buffer Full DMA Request Enable Register	
16ビットPWMタイマ(T16B) Ch.0	0x4000 0400	T16B_0CLK	T16B Ch.0 Clock Control Register	
	0x4000 0402	T16B_0CTL	T16B Ch.0 Counter Control Register	
	0x4000 0404	T16B_0MC	T16B Ch.0 Max Counter Data Register	
	0x4000 0406	T16B_0TC	T16B Ch.0 Timer Counter Data Register	
	0x4000 0408	T16B_0CS	T16B Ch.0 Counter Status Register	
	0x4000 040a	T16B_0INTF	T16B Ch.0 Interrupt Flag Register	
	0x4000 040c	T16B_0INTE	T16B Ch.0 Interrupt Enable Register	
	0x4000 040e	T16B_0MZDMAEN	T16B Ch.0 Counter Max/Zero DMA Request Enable Register	
	0x4000 0410	T16B_0CCCTL0	T16B Ch.0 Compare/Capture 0 Control Register	
	0x4000 0412	T16B_0CCR0	T16B Ch.0 Compare/Capture 0 Data Register	
	0x4000 0414	T16B_0CC0DMAEN	T16B Ch.0 Compare/Capture 0 DMA Request Enable Register	
	0x4000 0418	T16B_0CCCTL1	T16B Ch.0 Compare/Capture 1 Control Register	
	0x4000 041a	T16B_0CCR1	T16B Ch.0 Compare/Capture 1 Data Register	
	0x4000 041c	T16B_0CC1DMAEN	T16B Ch.0 Compare/Capture 1 DMA Request Enable Register	
	0x4000 0420	T16B_0CCCTL2	T16B Ch.0 Compare/Capture 2 Control Register	
	0x4000 0422	T16B_0CCR2	T16B Ch.0 Compare/Capture 2 Data Register	
	0x4000 0424	T16B_0CC2DMAEN	T16B Ch.0 Compare/Capture 2 DMA Request Enable Register	
	0x4000 0428	T16B_0CCCTL3	T16B Ch.0 Compare/Capture 3 Control Register	
	0x4000 042a	T16B_0CCR3	T16B Ch.0 Compare/Capture 3 Data Register	
	0x4000 042c	T16B_0CC3DMAEN	T16B Ch.0 Compare/Capture 3 DMA Request Enable Register	
	0x4000 0430	T16B_0CCCTL4	T16B Ch.0 Compare/Capture 4 Control Register	
	0x4000 0432	T16B_0CCR4	T16B Ch.0 Compare/Capture 4 Data Register	
	0x4000 0434	T16B_0CC4DMAEN	T16B Ch.0 Compare/Capture 4 DMA Request Enable Register	
	0x4000 0438	T16B_0CCCTL5	T16B Ch.0 Compare/Capture 5 Control Register	
	0x4000 043a	T16B_0CCR5	T16B Ch.0 Compare/Capture 5 Data Register	
	0x4000 043c	T16B_0CC5DMAEN	T16B Ch.0 Compare/Capture 5 DMA Request Enable Register	
	16ビットPWMタイマ(T16B) Ch.1	0x4000 0440	T16B_1CLK	T16B Ch.1 Clock Control Register
		0x4000 0442	T16B_1CTL	T16B Ch.1 Counter Control Register
		0x4000 0444	T16B_1MC	T16B Ch.1 Max Counter Data Register
		0x4000 0446	T16B_1TC	T16B Ch.1 Timer Counter Data Register
0x4000 0448		T16B_1CS	T16B Ch.1 Counter Status Register	
0x4000 044a		T16B_1INTF	T16B Ch.1 Interrupt Flag Register	
0x4000 044c		T16B_1INTE	T16B Ch.1 Interrupt Enable Register	
0x4000 044e		T16B_1MZDMAEN	T16B Ch.1 Counter Max/Zero DMA Request Enable Register	
0x4000 0450		T16B_1CCCTL0	T16B Ch.1 Compare/Capture 0 Control Register	
0x4000 0452		T16B_1CCR0	T16B Ch.1 Compare/Capture 0 Data Register	
0x4000 0454		T16B_1CC0DMAEN	T16B Ch.1 Compare/Capture 0 DMA Request Enable Register	
0x4000 0458		T16B_1CCCTL1	T16B Ch.1 Compare/Capture 1 Control Register	
0x4000 045a		T16B_1CCR1	T16B Ch.1 Compare/Capture 1 Data Register	
0x4000 045c		T16B_1CC1DMAEN	T16B Ch.1 Compare/Capture 1 DMA Request Enable Register	
0x4000 0460		T16B_1CCCTL2	T16B Ch.1 Compare/Capture 2 Control Register	
0x4000 0462		T16B_1CCR2	T16B Ch.1 Compare/Capture 2 Data Register	
0x4000 0464		T16B_1CC2DMAEN	T16B Ch.1 Compare/Capture 2 DMA Request Enable Register	
0x4000 0468		T16B_1CCCTL3	T16B Ch.1 Compare/Capture 3 Control Register	
0x4000 046a		T16B_1CCR3	T16B Ch.1 Compare/Capture 3 Data Register	
0x4000 046c		T16B_1CC3DMAEN	T16B Ch.1 Compare/Capture 3 DMA Request Enable Register	
0x4000 0470		T16B_1CCCTL4	T16B Ch.1 Compare/Capture 4 Control Register	
0x4000 0472		T16B_1CCR4	T16B Ch.1 Compare/Capture 4 Data Register	
0x4000 0474		T16B_1CC4DMAEN	T16B Ch.1 Compare/Capture 4 DMA Request Enable Register	

周辺回路	アドレス	レジスタ名	
16ビットPWMタイマ(T16B) Ch.1	0x4000 0478	T16B_1CCCTL5	T16B Ch.1 Compare/Capture 5 Control Register
	0x4000 047a	T16B_1CCR5	T16B Ch.1 Compare/Capture 5 Data Register
	0x4000 047c	T16B_1CC5DMAEN	T16B Ch.1 Compare/Capture 5 DMA Request Enable Register
16ビットタイマ(T16) Ch.3	0x4000 0480	T16_3CLK	T16 Ch.3 Clock Control Register
	0x4000 0482	T16_3MOD	T16 Ch.3 Mode Register
	0x4000 0484	T16_3CTL	T16 Ch.3 Control Register
	0x4000 0486	T16_3TR	T16 Ch.3 Reload Data Register
	0x4000 0488	T16_3TC	T16 Ch.3 Counter Data Register
	0x4000 048a	T16_3INTF	T16 Ch.3 Interrupt Flag Register
16ビットタイマ(T16) Ch.4	0x4000 048c	T16_3INTE	T16 Ch.3 Interrupt Enable Register
	0x4000 04a0	T16_4CLK	T16 Ch.4 Clock Control Register
	0x4000 04a2	T16_4MOD	T16 Ch.4 Mode Register
	0x4000 04a4	T16_4CTL	T16 Ch.4 Control Register
	0x4000 04a6	T16_4TR	T16 Ch.4 Reload Data Register
	0x4000 04a8	T16_4TC	T16 Ch.4 Counter Data Register
16ビットタイマ(T16) Ch.5	0x4000 04aa	T16_4INTF	T16 Ch.4 Interrupt Flag Register
	0x4000 04ac	T16_4INTE	T16 Ch.4 Interrupt Enable Register
	0x4000 04c0	T16_5CLK	T16 Ch.5 Clock Control Register
	0x4000 04c2	T16_5MOD	T16 Ch.5 Mode Register
	0x4000 04c4	T16_5CTL	T16 Ch.5 Control Register
	0x4000 04c6	T16_5TR	T16 Ch.5 Reload Data Register
UART(UART3) Ch.1	0x4000 04c8	T16_5TC	T16 Ch.5 Counter Data Register
	0x4000 04ca	T16_5INTF	T16 Ch.5 Interrupt Flag Register
	0x4000 04cc	T16_5INTE	T16 Ch.5 Interrupt Enable Register
	0x4000 0600	UART3_1CLK	UART3 Ch.1 Clock Control Register
	0x4000 0602	UART3_1MOD	UART3 Ch.1 Mode Register
	0x4000 0604	UART3_1BR	UART3 Ch.1 Baud-Rate Register
	0x4000 0606	UART3_1CTL	UART3 Ch.1 Control Register
	0x4000 0608	UART3_1TXD	UART3 Ch.1 Transmit Data Register
	0x4000 060a	UART3_1RXD	UART3 Ch.1 Receive Data Register
	0x4000 060c	UART3_1INTF	UART3 Ch.1 Status and Interrupt Flag Register
UART(UART3) Ch.2	0x4000 060e	UART3_1INTE	UART3 Ch.1 Interrupt Enable Register
	0x4000 0610	UART3_1TBEDMAEN	UART3 Ch.1 Transmit Buffer Empty DMA Request Enable Register
	0x4000 0612	UART3_1RB1FDMAEN	UART3 Ch.1 Receive Buffer One Byte Full DMA Request Enable Register
	0x4000 0614	UART3_1CAWF	UART3 Ch.1 Carrier Waveform Register
	0x4000 0620	UART3_2CLK	UART3 Ch.2 Clock Control Register
	0x4000 0622	UART3_2MOD	UART3 Ch.2 Mode Register
	0x4000 0624	UART3_2BR	UART3 Ch.2 Baud-Rate Register
	0x4000 0626	UART3_2CTL	UART3 Ch.2 Control Register
	0x4000 0628	UART3_2TXD	UART3 Ch.2 Transmit Data Register
	0x4000 062a	UART3_2RXD	UART3 Ch.2 Receive Data Register
16ビットタイマ(T16) Ch.6	0x4000 062c	UART3_2INTF	UART3 Ch.2 Status and Interrupt Flag Register
	0x4000 062e	UART3_2INTE	UART3 Ch.2 Interrupt Enable Register
	0x4000 0630	UART3_2TBEDMAEN	UART3 Ch.2 Transmit Buffer Empty DMA Request Enable Register
	0x4000 0632	UART3_2RB1FDMAEN	UART3 Ch.2 Receive Buffer One Byte Full DMA Request Enable Register
	0x4000 0634	UART3_2CAWF	UART3 Ch.2 Carrier Waveform Register
	0x4000 0660	T16_6CLK	T16 Ch.6 Clock Control Register
同期式シリアル インタフェース(SPIA) Ch.1	0x4000 0662	T16_6MOD	T16 Ch.6 Mode Register
	0x4000 0664	T16_6CTL	T16 Ch.6 Control Register
	0x4000 0666	T16_6TR	T16 Ch.6 Reload Data Register
	0x4000 0668	T16_6TC	T16 Ch.6 Counter Data Register
	0x4000 066a	T16_6INTF	T16 Ch.6 Interrupt Flag Register
	0x4000 066c	T16_6INTE	T16 Ch.6 Interrupt Enable Register
同期式シリアル インタフェース(SPIA) Ch.1	0x4000 0670	SPIA_1MOD	SPIA Ch.1 Mode Register
	0x4000 0672	SPIA_1CTL	SPIA Ch.1 Control Register
	0x4000 0674	SPIA_1TXD	SPIA Ch.1 Transmit Data Register
	0x4000 0676	SPIA_1RXD	SPIA Ch.1 Receive Data Register
	0x4000 0678	SPIA_1INTF	SPIA Ch.1 Interrupt Flag Register
0x4000 067a	SPIA_1INTE	SPIA Ch.1 Interrupt Enable Register	

4 メモリ、バス

周辺回路	アドレス	レジスタ名	レジスタ名
同期式シリアル インタフェース(SPIA) Ch.1	0x4000 067c	SPIA_1TBEDMAEN	SPIA Ch.1 Transmit Buffer Empty DMA Request Enable Register
	0x4000 067e	SPIA_1RBFDMAEN	SPIA Ch.1 Receive Buffer Full DMA Request Enable Register
16ビットタイマ(T16) Ch.2	0x4000 0680	T16_2CLK	T16 Ch.2 Clock Control Register
	0x4000 0682	T16_2MOD	T16 Ch.2 Mode Register
	0x4000 0684	T16_2CTL	T16 Ch.2 Control Register
	0x4000 0686	T16_2TR	T16 Ch.2 Reload Data Register
	0x4000 0688	T16_2TC	T16 Ch.2 Counter Data Register
	0x4000 068a	T16_2INTF	T16 Ch.2 Interrupt Flag Register
同期式クワッドシリアル インタフェース(QSPI) Ch.0	0x4000 0690	QSPI_0MOD	QSPI Ch.0 Mode Register
	0x4000 0692	QSPI_0CTL	QSPI Ch.0 Control Register
	0x4000 0694	QSPI_0TXD	QSPI Ch.0 Transmit Data Register
	0x4000 0696	QSPI_0RXD	QSPI Ch.0 Receive Data Register
	0x4000 0698	QSPI_0INTF	QSPI Ch.0 Interrupt Flag Register
	0x4000 069a	QSPI_0INTE	QSPI Ch.0 Interrupt Enable Register
	0x4000 069c	QSPI_0TBEDMAEN	QSPI Ch.0 Transmit Buffer Empty DMA Request Enable Register
	0x4000 069e	QSPI_0RBFDMAEN	QSPI Ch.0 Receive Buffer Full DMA Request Enable Register
	0x4000 06a0	QSPI_0FRLDMAEN	QSPI Ch.0 FIFO Data Ready DMA Request Enable Register
	0x4000 06a2	QSPI_0MMACFG1	QSPI Ch.0 Memory Mapped Access Configuration Register 1
	0x4000 06a4	QSPI_0RMADRH	QSPI Ch.0 Remapping Start Address High Register
	0x4000 06a6	QSPI_0MMACFG2	QSPI Ch.0 Memory Mapped Access Configuration Register 2
	0x4000 06a8	QSPI_0nMB	QSPI Ch.0 Mode Byte Register
	I ² C(I2C) Ch.1	0x4000 06c0	I2C_1CLK
0x4000 06c2		I2C_1MOD	I2C Ch.1 Mode Register
0x4000 06c4		I2C_1BR	I2C Ch.1 Baud-Rate Register
0x4000 06c8		I2C_1OADR	I2C Ch.1 Own Address Register
0x4000 06ca		I2C_1CTL	I2C Ch.1 Control Register
0x4000 06cc		I2C_1TXD	I2C Ch.1 Transmit Data Register
0x4000 06ce		I2C_1RXD	I2C Ch.1 Receive Data Register
0x4000 06d0		I2C_1INTF	I2C Ch.1 Status and Interrupt Flag Register
0x4000 06d2		I2C_1INTE	I2C Ch.1 Interrupt Enable Register
0x4000 06d4		I2C_1TBEDMAEN	I2C Ch.1 Transmit Buffer Empty DMA Request Enable Register
0x4000 06d6		I2C_1RBFDMAEN	I2C Ch.1 Receive Buffer Full DMA Request Enable Register
サウンドジェネレータ (SNDA)	0x4000 0700	SNDACLK	SNDA Clock Control Register
	0x4000 0702	SNDASEL	SNDA Select Register
	0x4000 0704	SNDACTL	SNDA Control Register
	0x4000 0706	SNDADAT	SNDA Data Register
	0x4000 0708	SNDAINTF	SNDA Interrupt Flag Register
	0x4000 070a	SNDAINTE	SNDA Interrupt Enable Register
	0x4000 070c	SNDAEMDMAEN	SNDA Sound Buffer Empty DMA Request Enable Register
IRリモートコントローラ (REMC3)	0x4000 0720	REMC3CLK	REMC3 Clock Control Register
	0x4000 0722	REMC3DBCCTL	REMC3 Data Bit Counter Control Register
	0x4000 0724	REMC3DBCNT	REMC3 Data Bit Counter Register
	0x4000 0726	REMC3APLEN	REMC3 Data Bit Active Pulse Length Register
	0x4000 0728	REMC3DBLEN	REMC3 Data Bit Length Register
	0x4000 072a	REMC3INTF	REMC3 Status and Interrupt Flag Register
	0x4000 072c	REMC3INTE	REMC3 Interrupt Enable Register
	0x4000 0730	REMC3CARR	REMC3 Carrier Waveform Register
0x4000 0732	REMC3CCTL	REMC3 Carrier Modulation Control Register	
16ビットタイマ(T16) Ch.7	0x4000 0780	T16_7CLK	T16 Ch.7 Clock Control Register
	0x4000 0782	T16_7MOD	T16 Ch.7 Mode Register
	0x4000 0784	T16_7CTL	T16 Ch.7 Control Register
	0x4000 0786	T16_7TR	T16 Ch.7 Reload Data Register
	0x4000 0788	T16_7TC	T16 Ch.7 Counter Data Register
	0x4000 078a	T16_7INTF	T16 Ch.7 Interrupt Flag Register
0x4000 078c	T16_7INTE	T16 Ch.7 Interrupt Enable Register	

周辺回路	アドレス	レジスタ名	レジスタ名
12ビットA/D変換器(ADC12A)	0x4000 07a2	ADC12A_0CTL	ADC12A Ch.0 Control Register
	0x4000 07a4	ADC12A_0TRG	ADC12A Ch.0 Trigger/Analog Input Select Register
	0x4000 07a6	ADC12A_0CFG	ADC12A Ch.0 Configuration Register
	0x4000 07a8	ADC12A_0INTF	ADC12A Ch.0 Interrupt Flag Register
	0x4000 07aa	ADC12A_0INTE	ADC12A Ch.0 Interrupt Enable Register
	0x4000 07ac	ADC12A_0DMAEN0	ADC12A Ch.0 DMA Request Enable Register 0
	0x4000 07ae	ADC12A_0DMAEN1	ADC12A Ch.0 DMA Request Enable Register 1
	0x4000 07b0	ADC12A_0DMAEN2	ADC12A Ch.0 DMA Request Enable Register 2
	0x4000 07b2	ADC12A_0DMAEN3	ADC12A Ch.0 DMA Request Enable Register 3
	0x4000 07b4	ADC12A_0DMAEN4	ADC12A Ch.0 DMA Request Enable Register 4
	0x4000 07b6	ADC12A_0DMAEN5	ADC12A Ch.0 DMA Request Enable Register 5
	0x4000 07b8	ADC12A_0DMAEN6	ADC12A Ch.0 DMA Request Enable Register 6
	0x4000 07ba	ADC12A_0DMAEN7	ADC12A Ch.0 DMA Request Enable Register 7
	0x4000 07bc	ADC12A_0ADD	ADC12A Ch.0 Result Register
温度センサ/基準電圧生成回路 (TSRVR)	0x4000 07c0	TSRVR_0TCTL	TSRVR Ch.0 Temperature Sensor Control Register
	0x4000 07c2	TSRVR_0VCTL	TSRVR Ch.0 Reference Voltage Generator Control Register
USB 2.0 FSデバイス コントローラ(USB)	0x2040 0002	USBCTL	USB Control Register
	0x2040 0003	USBTRCTL	USB Transceiver Control Register
	0x2040 0004	USBSTAT	USB Status Register
	0x2040 0008	USBEPCTL	USB Endpoint Control Register
	0x2040 0009	USBGPEPFIFOCLR	USB General-Purpose Endpoint FIFO Clear Register
	0x2040 000a	USBFIFORDCYC	USB FIFO Read Cycle Setup Register
	0x2040 000e	USBREV	USB Revision Number Register
	0x2040 0010	USBEP0SETUP0	USB EP0 Setup Data Register 0
	0x2040 0011	USBEP0SETUP1	USB EP0 Setup Data Register 1
	0x2040 0012	USBEP0SETUP2	USB EP0 Setup Data Register 2
	0x2040 0013	USBEP0SETUP3	USB EP0 Setup Data Register 3
	0x2040 0014	USBEP0SETUP4	USB EP0 Setup Data Register 4
	0x2040 0015	USBEP0SETUP5	USB EP0 Setup Data Register 5
	0x2040 0016	USBEP0SETUP6	USB EP0 Setup Data Register 6
	0x2040 0017	USBEP0SETUP7	USB EP0 Setup Data Register 7
	0x2040 0018	USBADDR	USB Address Register
	0x2040 001a	USBEP0CFG	USB EP0 Configuration Register
	0x2040 001b	USBEP0SIZE	USB EP0 Maximum Packet Size Register
	0x2040 001c	USBEP0ICTL	USB EP0 IN Transaction Control Register
	0x2040 001d	USBEP0OCTL	USB EP0 OUT Transaction Control Register
	0x2040 0020	USBEPaCTL	USB EPa Control Register
	0x2040 0022	USBEPbCTL	USB EPb Control Register
	0x2040 0024	USBEPcCTL	USB EPc Control Register
	0x2040 0030	USBEPaCFG	USB EPa Configuration Register
	0x2040 0031	USBEPaMAXSZ	USB EPa Maximum Packet Size Register
	0x2040 0032	USBEPbCFG	USB EPb Configuration Register
	0x2040 0033	USBEPbMAXSZ	USB EPb Maximum Packet Size Register
	0x2040 0034	USBEPcCFG	USB EPc Configuration Register
	0x2040 0035	USBEPcMAXSZ	USB EPc Maximum Packet Size Register
	0x2040 0040	USBRDFIFOSEL	USB Read FIFO Select Register
	0x2040 0041	USBWRFIFOSEL	USB Write FIFO Select Register
	0x2040 0042	USBFIFORWEN	USB FIFO Read/Write Enable Register
	0x2040 0046	USBREMDATCNT	USB Remaining FIFO Data Count Register
	0x2040 0048	USBREMSPPCNT	USB Remaining FIFO Space Count Register
	0x2040 004a	USBDBGGRAMADDR	USB Debug RAM Address Register
	0x2040 0050	USBMAININTF	USB Main Interrupt Flag Register
	0x2040 0051	USBSIEINTF	USB SIE Interrupt Flag Register
	0x2040 0052	USBGPEPINTF	USB General-Purpose Endpoint Interrupt Flag Register
	0x2040 0053	USBEP0INTF	USB EP0 Interrupt Flag Register
	0x2040 0054	USBEPaINTF	USB EPa Interrupt Flag Register
	0x2040 0055	USBEPbINTF	USB EPb Interrupt Flag Register
	0x2040 0056	USBEPcINTF	USB EPc Interrupt Flag Register
	0x2040 0060	USBMAININTE	USB Main Interrupt Enable Register
	0x2040 0061	USBSIEINTE	USB SIE Interrupt Enable Register
	0x2040 0062	USBGPEPINTE	USB General-Purpose Endpoint Interrupt Enable Register
	0x2040 0063	USBEP0INTE	USB EP0 Interrupt Enable Register
0x2040 0064	USBEPaINTE	USB EPa Interrupt Enable Register	
0x2040 0065	USBEPbINTE	USB EPb Interrupt Enable Register	
0x2040 0066	USBEPcINTE	USB EPc Interrupt Enable Register	

4 メモリ、バス

周辺回路	アドレス	レジスタ名	
USB 2.0 FSデバイス コントローラ(USB)	0x2040 0100	USBFIFODAT	USB FIFO Data Register
	0x2040 0104	USBDBGGRAMDAT	USB Debug RAM Data Register
	0x4000 0970	USBMISCCTL	USB Misc Control Register
	0x4000 0974	USBMISCWRDMAEN	USB FIFO Write DMA Request Enable Register
	0x4000 0976	USBMISCRDDMAEN	USB FIFO Read DMA Request Enable Register
DMAコントローラ(DMAC)	0x4000 1000	DMACSTAT	DMAC Status Register
	0x4000 1004	DMACCFG	DMAC Configuration Register
	0x4000 1008	DMACCPTR	DMAC Control Data Base Pointer Register
	0x4000 100c	DMACACPTR	DMAC Alternate Control Data Base Pointer Register
	0x4000 1014	DMACSWREQ	DMAC Software Request Register
	0x4000 1020	DMACRMSET	DMAC Request Mask Set Register
	0x4000 1024	DMACRMCLR	DMAC Request Mask Clear Register
	0x4000 1028	DMACENSET	DMAC Enable Set Register
	0x4000 102c	DMACENCLR	DMAC Enable Clear Register
	0x4000 1030	DMACPASET	DMAC Primary-Alternate Set Register
	0x4000 1034	DMACPACLR	DMAC Primary-Alternate Clear Register
	0x4000 1038	DMACPRSET	DMAC Priority Set Register
	0x4000 103c	DMACPRCLR	DMAC Priority Clear Register
	0x4000 104c	DMACERRIF	DMAC Error Interrupt Flag Register
	0x4000 2000	DMACENDIF	DMAC Transfer Completion Interrupt Flag Register
	0x4000 2008	DMACENDIESET	DMAC Transfer Completion Interrupt Enable Set Register
	0x4000 200c	DMACENDIECLR	DMAC Transfer Completion Interrupt Enable Clear Register
	0x4000 2010	DMACERRIESET	DMAC Error Interrupt Enable Set Register
	0x4000 2014	DMACERRIECLR	DMAC Error Interrupt Enable Clear Register
	メモリディスプレイ コントローラ(MDC)	0x4000 3000	MDCDISPCTL
0x4000 3002		MDCDISPWIDTH	MDC Display Width Register
0x4000 3004		MDCDISPHEIGHT	MDC Display Height Register
0x4000 3006		MDCDISPVCOMDIV	MDC Display VCOM Clock Divider Register
0x4000 3008		MDCDISPCLKDIV	MDC Display Clock Divider Register
0x4000 300a		MDCDISPPRM21	MDC Display Parameters 1 and 2 Register
0x4000 300c		MDCDISPPRM43	MDC Display Parameters 3 and 4 Register
0x4000 300e		MDCDISPPRM65	MDC Display Parameters 5 and 6 Register
0x4000 3010		MDCDISPPRM87	MDC Display Parameters 7 and 8 Register
0x4000 3012		MDCDISPSTARTY	MDC Display Update Start Line Register
0x4000 3014		MDCDISPENDY	MDC Display Update End Line Register
0x4000 3016		MDCDISPSTRIDE	MDC Display Frame Buffer Stride Register
0x4000 3018		MDCDISPFRMBUFF0	MDC Display Frame Buffer Base Address Register 0
0x4000 301a		MDCDISPFRMBUFF1	MDC Display Frame Buffer Base Address Register 1
0x4000 301c		MDCTRIGCTL	MDC Trigger Control Register
0x4000 301e		MDCINTCTL	MDC Interrupt Control Register
0x4000 3020		MDCGFXCTL	MDC Graphics Control Register
0x4000 3022		MDCGFXIXCENTER	MDC Input X Coordinate Register
0x4000 3024		MDCGFXIYCENTER	MDC Input Y Coordinate Register
0x4000 3026		MDCGFXIWIDTH	MDC Input Width Register
0x4000 3028		MDCGFXIHEIGHT	MDC Input Height Register
0x4000 302a		MDCGFXOXCENTER	MDC Output X Coordinate Register
0x4000 302c		MDCGFXOYCENTER	MDC Output Y Coordinate Register
0x4000 302e		MDCGFXOWIDTH	MDC Output Width Register
0x4000 3030		MDCGFXOHEIGHT	MDC Output Height Register
0x4000 3032		MDCGFXLSCALE	MDC X Left Scale Register
0x4000 3034		MDCGFXRSCALE	MDC X Right Scale Register
0x4000 3036		MDCGFXYSSCALE	MDC Y Top Scale Register
0x4000 3038		MDCGFXYBSCALE	MDC Y Bottom Scale Register
0x4000 303a		MDCGFXSHEAR	MDC X/Y Shear Register
0x4000 303c		MDCGFXROTVAL	MDC Rotation Register
0x4000 303e		MDCGFXCOLOR	MDC Color Register
0x4000 3040		MDCGFXIBADDR0	MDC Source Window Base Address Register 0
0x4000 3042		MDCGFXIBADDR1	MDC Source Window Base Address Register 1
0x4000 3044		MDCGFXOBADDR0	MDC Destination Window Base Address Register 0
0x4000 3046		MDCGFXOBADDR1	MDC Destination Window Base Address Register 1
0x4000 3048		MDCGFXISTRIDE	MDC Source Image Stride Register
0x4000 304a		MDCGFXOSTRIDE	MDC Destination Image Stride Register
0x4000 304c		MDCGFXOWLEFT	MDC Output Window Left Edge Register
0x4000 304e		MDCGFXOWRIGHT	MDC Output Window Right Edge Register
0x4000 3050	MDCGFXOWTOP	MDC Output Window Top Edge Register	

周辺回路	アドレス	レジスタ名	
メモリディスプレイ コントローラ(MDC)	0x4000 3052	MDCGFOWBOT	MDC Output Window Bottom Edge Register
	0x4000 3060	MDCSCRATCHA0	MDC Scratchpad A Register 0
	0x4000 3062	MDCSCRATCHA1	MDC Scratchpad A Register 1
	0x4000 3068	MDCCLKCTL	MDC MDC Clock Control Register
	0x4000 3080	MDCBSTCLK	MDC Voltage Booster Clock Control Register
	0x4000 3084	MDCBSTPWR	MDC Voltage Booster Power Control Register
	0x4000 3088	MDCBSTVMD	MDC Voltage Booster V _{MD} Output Control Register
	0x4000 30e0	MDCHOSTCTL	MDC Host Control Register

4.5.1 システムプロテクト機能

システムプロテクトは、制御レジスタやビットを書き込み保護する機能です。SYSPROT.PROT[15:0]ビットに0x0096を書き込んで書き込み保護を解除しない限り、書き換えることができません。この機能は、CPU暴走時に、システム関係のレジスタを書き換えてしまうことによるデッドロックを防ぐために設けられています。書き込み保護されているレジスタやビットについては、周辺回路の“制御レジスタ”で確認してください。

注: SYSPROT.PROT[15:0]ビットで書き込み保護を解除すると、再度、書き込み保護を設定するまで、解除された状態に維持されます。必要なレジスタ/ビットの書き換えを終了後は、書き込み保護に再設定してください。

4.6 命令キャッシュ

本ICは命令キャッシュを搭載しています。キャッシュ機能を有効にすることでFlashメモリへのアクセス頻度が抑えられ、消費電流の低減につながります。

この機能を有効にするには、CACHECTL.CACHEENビットを1に設定してください。またこのビットを0に設定すると、キャッシュに格納されている命令コードをクリアすることができます。

4.7 外部Flashメモリ用メモリマップドアクセスエリア

同期式クワッドシリアルインタフェースを使用して、外部Flashメモリからデータを直接読み出すためのエリアです。詳細は、“同期式クワッドシリアルインタフェース”の章を参照してください。

4.8 制御レジスタ

System Protect Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SYSPROT	15-0	PROT[15:0]	0x0000	H0	R/W	-

Bits 15-0 PROT[15:0]

これらのビットは、システム関連の制御レジスタを書き込み保護します。

0x0096 (R/W): システムプロテクト無効

0x0096以外 (R/W): システムプロテクト有効

システムプロテクト状態では、書き込み保護対応のビット(R/W欄にWPまたはR/WPが記載されているビット)には書き込みできません。

CACHE Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CACHECTL	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1	-	1	-	R	
	0	CACHEEN	0	H0	R/W	

Bits 15-1 Reserved

4 メモリ、バス

Bit 0 CACHEEN

このビットは、命令キャッシュ機能をイネーブルにします。

1 (R/W): 命令キャッシュイネーブル

0 (R/W): 命令キャッシュディスエーブル

FLASHC Flash Read Cycle Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
FLASHCWAIT	15-9	-	0x00	-	R	-
	8	(reserved)	0	H0	R/WP	
	7-2	-	0x00	-	R	
	1-0	RDWAIT[1:0]	0x1	H0	R/WP	

Bits 15-2 Reserved

Bits 1-0 RDWAIT[1:0]

これらのビットは、Flashメモリリード時のバスアクセスサイクル数を設定します。

表4.8.1 Flashリード時バスアクセスサイクル数の設定

FLASHCWAIT. RDWAIT[1:0]ビット	バスアクセス サイクル数	システムクロック周波数	
		PWGACTL. REGSELビット = 0	PWGACTL. REGSELビット = 1
0x3	4	2.1 MHz (max.)	21 MHz (max.)
0x2	3		16.8 MHz (max.)
0x1	2	1.05 MHz (max.)	8.4 MHz (max.)
0x0	1		

- 注:
- FLASHCWAIT.RDWAIT[1:0]ビットの設定は、システムクロックを変更する前に行ってください。
 - FLASHCWAIT.RDWAIT[1:0]ビットを0x2から0x1に設定変更する場合、その直後にNOPを2命令入れてください。
プログラム例: `FLASHC->WAIT_b.RDWAIT = 1;`
`asm("NOP");`
`asm("NOP");`
`CLG->OSC_b.IOSCN = 0;`

5 割り込み

5.1 概要

本ICはネスト型ベクタ割り込みコントローラ(NVIC)を搭載しています。

NVICの詳細については、“ARM®v6-M Architecture Reference Manual”等、3.4節に掲載のドキュメントを参照してください。

図5.1.1に割り込みシステムの構成を示します。

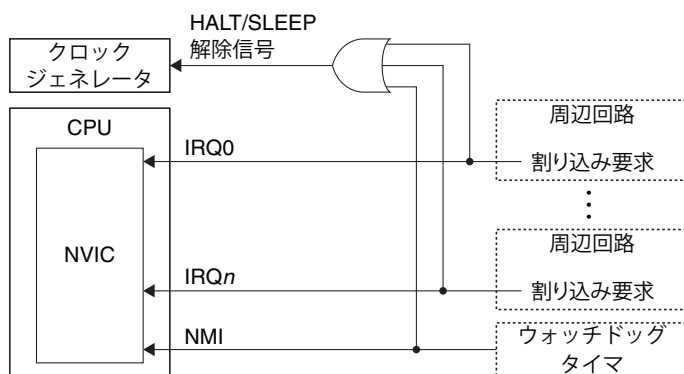


図5.1.1 割り込みシステムの構成

5.2 ベクタテーブル

ベクタテーブルは、割り込みハンドルーチンへのベクタ(ハンドルーチン開始アドレス)を格納します。割り込みが発生すると、CPUは割り込みに対応するベクタを読み出して、そのハンドルーチンを実行します。表5.2.1にベクタテーブルを示します。

表5.2.1 ベクタテーブル

VTOR初期値 = 0x0

割り込み番号	IRQ番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
-	-	VTOR + 0x00	(スタックポインタ初期値)	-	-
1	-	VTOR + 0x04	リセット	<ul style="list-style-type: none"> • #RESET端子へのLow入力 • パワーオンリセット • キーリセット • ウォッチドッグタイマオーバーフロー *1 • 電源電圧検出回路リセット 	-3
2	-14	VTOR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *1	-2
3	-13	VTOR + 0x0c	ハードフォルト	<ul style="list-style-type: none"> • バスエラー • 不正命令 • アドレス不整等 	-1
4-10	-	-	Reserved	-	-
11	-5	VTOR + 0x2c	SVCcall	SVC命令	任意
12-13	-	-	Reserved	-	-
14	-2	VTOR + 0x38	PendSV	-	-
15	-1	VTOR + 0x3c	SysTick	SysTickタイマアンダーフロー	任意
16	0	VTOR + 0x40	DMAコントローラ割り込み	<ul style="list-style-type: none"> • DMA転送完了 • DMA転送エラー 	
17	1	VTOR + 0x44	電源電圧検出回路割り込み	電源電圧低下検出	
18	2	VTOR + 0x48	ポート割り込み	ポート入力	
19	3	VTOR + 0x4c	クロックジェネレータ割り込み	<ul style="list-style-type: none"> • IOSC発振安定待ち完了 • OSC1発振安定待ち完了 • OSC3発振安定待ち完了 • OSC1発振停止 • IOSC発振オートトリミング終了 • IOSC発振オートトリミングエラー 	

5 割り込み

割り込み番号	IRQ番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
20	4	VTOR + 0x50	リアルタイムクロック割り込み	<ul style="list-style-type: none"> ・1日、1時間、1分、1秒 ・1/32秒、1/8秒、1/4秒、1/2秒信号 ・ストップウォッチ1 Hz、10 Hz、100 Hz ・アラーム ・論理緩急終了 	任意
21	5	VTOR + 0x54	16ビットタイマCh.0割り込み	アンダーフロー	
22	6	VTOR + 0x58	UART Ch.0割り込み	<ul style="list-style-type: none"> ・送信完了 ・フレーミングエラー ・パリティエラー ・オーバーランエラー ・受信バッファ 2バイトフル ・受信バッファ 1バイトフル ・送信バッファエンプティ 	
23	7	VTOR + 0x5c	16ビットタイマCh.1割り込み	アンダーフロー	
24	8	VTOR + 0x60	同期式シリアルインタフェース Ch.0割り込み	<ul style="list-style-type: none"> ・送信完了 ・受信バッファフル ・送信バッファエンプティ ・オーバーランエラー 	
25	9	VTOR + 0x64	I ² C Ch.0割り込み	<ul style="list-style-type: none"> ・送受信完了 ・ジェネラルコールアドレス受信 ・NACK受信 ・ストップコンディション ・スタートコンディション ・エラー検出 ・受信バッファフル ・送信バッファエンプティ 	
26	10	VTOR + 0x68	16ビットPWMタイマCh.0割り込み	<ul style="list-style-type: none"> ・キャプチャオーバーライト ・コンペア/キャプチャ ・カウンタMAX ・カウンタゼロ 	
27	11	VTOR + 0x6c	16ビットPWMタイマCh.1割り込み	<ul style="list-style-type: none"> ・キャプチャオーバーライト ・コンペア/キャプチャ ・カウンタMAX ・カウンタゼロ 	
28	12	VTOR + 0x70	UART Ch.1割り込み	<ul style="list-style-type: none"> ・送信完了 ・フレーミングエラー ・パリティエラー ・オーバーランエラー ・受信バッファ 2バイトフル ・受信バッファ 1バイトフル ・送信バッファエンプティ 	
29	13	VTOR + 0x74	16ビットタイマCh.2割り込み	アンダーフロー	
30	14	VTOR + 0x78	同期式クワッドシリアルインタフェースCh.0割り込み	<ul style="list-style-type: none"> ・送信完了 ・受信バッファフル ・送信バッファエンプティ ・オーバーランエラー 	
31	15	VTOR + 0x7c	I ² C Ch.1割り込み	<ul style="list-style-type: none"> ・送受信完了 ・ジェネラルコールアドレス受信 ・NACK受信 ・ストップコンディション ・スタートコンディション ・エラー検出 ・受信バッファフル ・送信バッファエンプティ 	
32	16	VTOR + 0x80	IRリモートコントローラ割り込み	<ul style="list-style-type: none"> ・コンペアAP ・コンペアDB 	
33	17	VTOR + 0x84	UART Ch.2割り込み	<ul style="list-style-type: none"> ・送信完了 ・フレーミングエラー ・パリティエラー ・オーバーランエラー ・受信バッファ 2バイトフル ・受信バッファ 1バイトフル ・送信バッファエンプティ 	
34	18	VTOR + 0x88	16ビットタイマCh.3割り込み	アンダーフロー	

割り込み番号	IRQ番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
35	19	VTOR + 0x8c	USB割り込み	<ul style="list-style-type: none"> EP0セットアップ完了 NonJ検出 リセット検出 サスペンド検出 SOF受信 J検出 自動アドレス設定完了 EP0/a/b/c ACK受信 EP0/a/b/c ACK送信 EP0/a/b/c NAK受信 EP0/a/b/c NAK送信 EP0/a/b/c STALL受信 EP0/a/b/c STALL送信 EPa/b/c ショートパケット受信 	任意
36	20	VTOR + 0x90	同期式シリアルインタフェース Ch.1割り込み	<ul style="list-style-type: none"> 送信完了 受信バッファフル 送信バッファエンプティ オーバーランエラー 	
37	21	VTOR + 0x94	サウンドジェネレータ割り込み	<ul style="list-style-type: none"> サウンドバッファエンプティ サウンド出力終了 	
38	22	VTOR + 0x98	16ビットタイマCh.4割り込み	アンダーフロー	
39	23	VTOR + 0x9c	16ビットタイマCh.5割り込み	アンダーフロー	
40	24	VTOR + 0xa0	16ビットタイマCh.6割り込み	アンダーフロー	
41	25	VTOR + 0xa4	16ビットタイマCh.7割り込み	アンダーフロー	
42	26	VTOR + 0xa8	メモリディスプレイコントローラ割り込み	表示更新/描画/コピー完了	
43	27	VTOR + 0xac	12ビットA/D変換器割り込み	<ul style="list-style-type: none"> アナログ入力信号<i>m</i> A/D変換完了 アナログ入力信号<i>m</i> A/D変換結果オーバーライトエラー 	
44-47	-	-	Reserved	-	

*1 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

5.2.1 ベクタテーブルオフセットアドレス(VTOR)

割り込みベクタを書き込んでおくベクタテーブルのオフセット(先頭)アドレスは、Cortex®-M0+ Vector Table Offset Register (VTOR)によって設定することができます。表5.2.1の“VTOR”はこのレジスタに設定された値を意味します。イニシャルリセット後、VTORは0x0番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタはこのアドレスに書き込んでおく必要があります。詳細は、“Cortex®-M0+ Devices Generic User Guide”等、3.4節に掲載のドキュメントを参照してください。

5.2.2 割り込みの優先順位

SVCall、PendSV、SysTickの優先順位はCortex®-M0+ System Handler Priority Registers (SHPR2、SHPR3)で、割り込み番号16以降の優先順位はCortex®-M0+ Interrupt Priority Registers (NVIC_IPR0~7)で任意に設定可能です。優先順位は0~192の範囲で設定することができ、値の小さい割り込みが優先されます。リセット、NMI、ハードフォルトの優先順位は固定です。

詳細は、“Cortex®-M0+ Devices Generic User Guide”等、3.4節に掲載のドキュメントを参照してください。

5.3 周辺回路の割り込み制御

割り込みを発生する周辺回路には、割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。

割り込みフラグ: 割り込み要因の発生により1にセットされます。クリア条件は、周辺回路によって異なります。

割り込みイネーブルビット: このビットを1(割り込みイネーブル)に設定しておく、割り込みフラグが1になった時点でCPUに割り込み要求が送信されます。0(割り込みディスエーブル)に設定しておく、割り込みフラグが1になってもCPUに割り込み要求は送信されません。割り込みフラグが1の状態、割り込みイネーブルに変更するとその時点でCPUに割り込み要求が送信されます。

5 割り込み

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺回路の説明を参照してください。

注: 不要な割り込みの発生を防ぐため、割り込みイネーブルビットを1(割り込みイネーブル)に設定する前、および割り込みハンドルーチンを終了する前に、対応する割り込みフラグをクリアしてください。

5.4 NMI

本ICでは、ウォッチドッグタイマでNMI(ノンマスクابل割り込み)を発生させることができます。この割り込みは他の割り込み要因に優先して、無条件にCPUに受け付けられます。

NMIを発生させる方法については“ウォッチドッグタイマ”の章を参照してください。

6 DMAコントローラ(DMAC)

6.1 概要

DMACの主な機能と特長を以下に示します。

- バイト、ハーフワード、ワード転送をサポート
- チャンネルごとに独立した転送が可能
- メモリからメモリ、メモリから周辺回路、周辺回路からメモリへの転送が可能
- 各周辺回路からのDMA転送要求と、ソフトウェアDMA転送要求に対応
- チャンネルごとに2レベルの優先度を設定可能
- CPUがHALT状態でのDMA転送が可能

図6.1.1にDMACの構成を示します。

表6.1.1 S1C31D01のDMACチャンネル構成

項目	S1C31D01
チャンネル数	4チャンネル(Ch.0~Ch.3)
転送元メモリ	内蔵Flashメモリ、外部Flashメモリ、RAM
転送先メモリ	RAM
転送元周辺回路	UART3、SPIA、QSPI、I2C、T16B、ADC12A、USB
転送先周辺回路	UART3、SPIA、QSPI、I2C、T16B、USB、SNDA

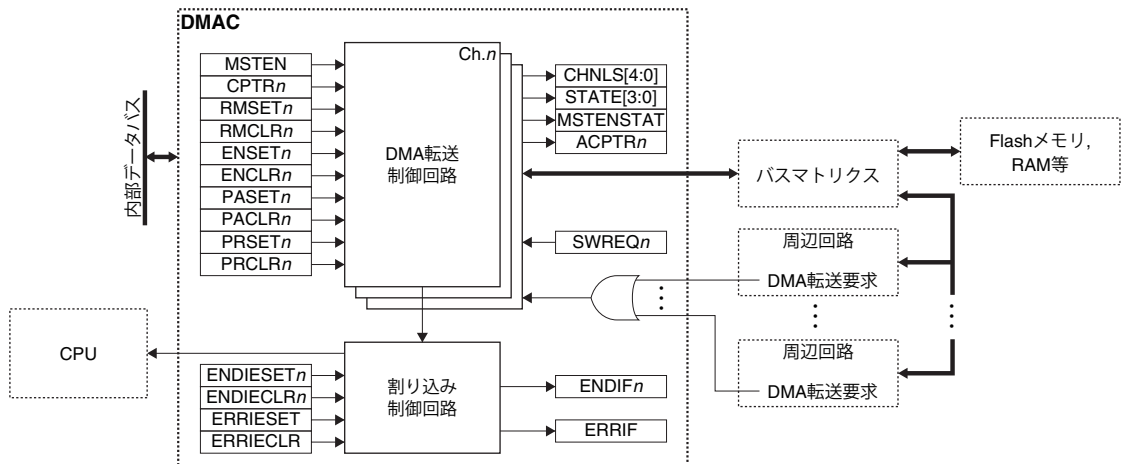


図6.1.1 DMACの構成

6.2 動作

6.2.1 初期設定

DMACは、以下の手順により初期設定を行います。

1. DMACCPTRレジスタにデータストラクチャのベースアドレスを設定する。
2. 使用するチャンネルのデータストラクチャを設定する。
 - コントロールデータの設定
 - 転送元データエンドポインタの設定
 - 転送先データエンドポインタの設定
3. DMACCFG.MSTENビットを1に設定する。 (DMACマスタイネーブル)
4. DMACRMSET/DMACRMCLRレジスタを設定する。 (周辺回路からのDMA転送要求マスクの設定)
5. DMACENSET/DMACENCLRレジスタを設定する。 (使用するチャンネルをイネーブル)
6. DMACPASET/DMACPACLRレジスタを設定する。 (使用するデータストラクチャの選択)
7. DMACPRSET/DMACPRCLRレジスタを設定する。 (優先度の設定)
8. 割り込みを使用する場合は以下のレジスタを設定する。
 - DMACENDIFレジスタ、DMACERRIFレジスタの
割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - DMACENDIESET/DMACENDIECLRレジスタ、
DMACERRIESET/DMACERRIECLRレジスタを設定 (割り込みイネーブル/ディスエーブル)
9. DMA転送を使用する周辺回路のDMA要求イネーブルビットを1に設定する。
10. Ch.nにソフトウェアDMA要求を発行する場合は、DMACSWREQ.SWREQ_nビットに1を書き込む。

6.3 優先度

複数のチャンネルに対してDMA転送要求が発行された場合、優先度の高いチャンネルからDMA転送が実行されます。DMACPRSET.PRSET_nビットで優先度が1に設定されたチャンネルが優先され、DMACPRSET.PRSET_nビットの設定が同じ場合は、番号の小さいチャンネルが優先されます。

6.4 データストラクチャ

DMA転送を行うためには、転送の基本設定をデータストラクチャに書き込む必要があります。データストラクチャはメインとサブの2つがあり、DMA転送モードによってメインとサブを切り換えて使用します。DMACCPTR.CPTR[31:0]ビットに先頭アドレスを設定することで、データストラクチャをRAMエリアの任意のアドレスに割り当てることができます。

データストラクチャは転送元エンドポインタ、転送先エンドポインタ、コントロールデータで構成され、チャンネルごとに16バイト×2の領域が割り当てられます。

搭載チャンネル数によってデータストラクチャ全体のサイズとサブデータストラクチャのベースアドレスが変わります。

表6.4.1 搭載チャンネル数によるデータストラクチャのサイズ

搭載チャンネル数	データストラクチャのサイズ	メインデータストラクチャベースアドレス	サブデータストラクチャベースアドレス
1	32バイト	DMACCPTR.CPTR[31:0] (CPTR[4:0] = 0x00)	DMACCPTR.CPTR[31:0] + 0x010
2	64バイト	DMACCPTR.CPTR[31:0] (CPTR[5:0] = 0x00)	DMACCPTR.CPTR[31:0] + 0x020
3~4	128バイト	DMACCPTR.CPTR[31:0] (CPTR[6:0] = 0x00)	DMACCPTR.CPTR[31:0] + 0x040
5~8	256バイト	DMACCPTR.CPTR[31:0] (CPTR[7:0] = 0x00)	DMACCPTR.CPTR[31:0] + 0x080
9~16	512バイト	DMACCPTR.CPTR[31:0] (CPTR[8:0] = 0x000)	DMACCPTR.CPTR[31:0] + 0x100
17~32	1,024バイト	DMACCPTR.CPTR[31:0] (CPTR[9:0] = 0x000)	DMACCPTR.CPTR[31:0] + 0x200

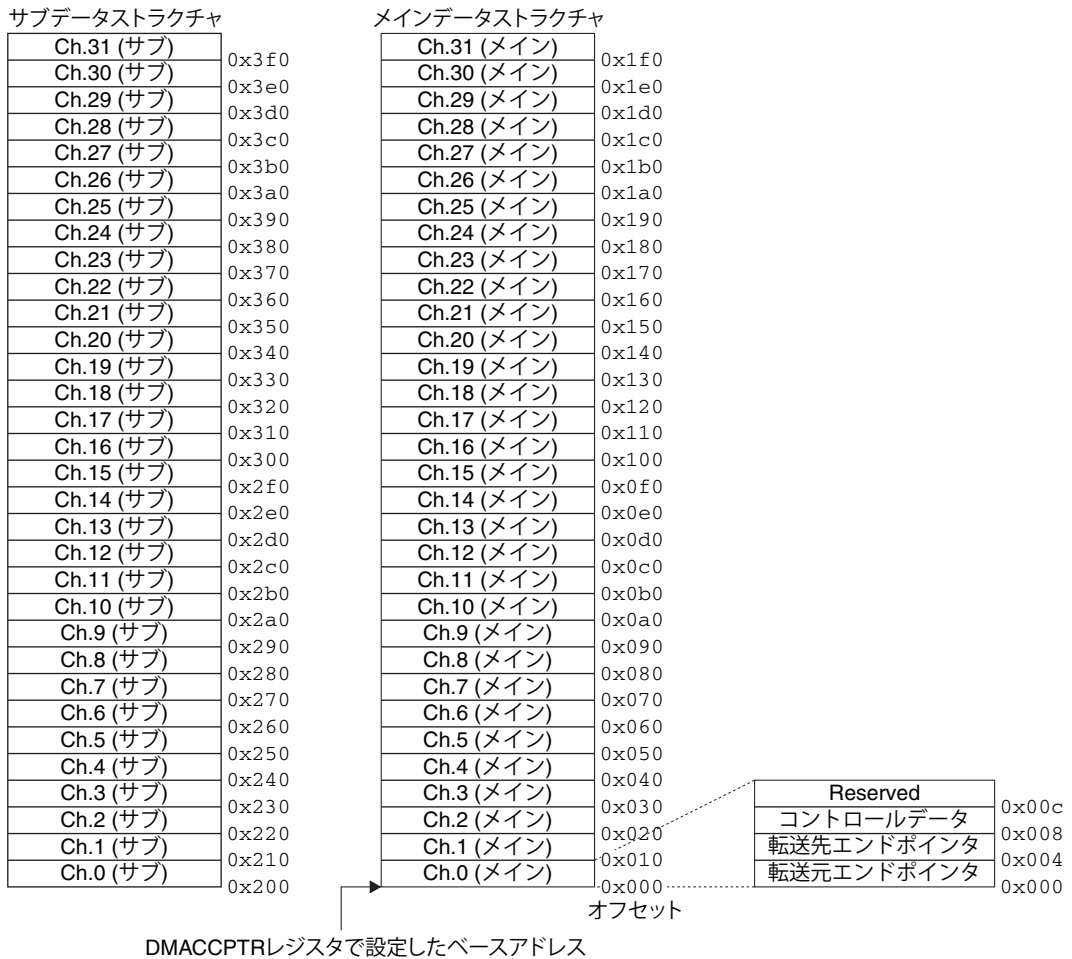


図6.4.1 32チャンネル搭載時のデータストラクチャアドレスマップ

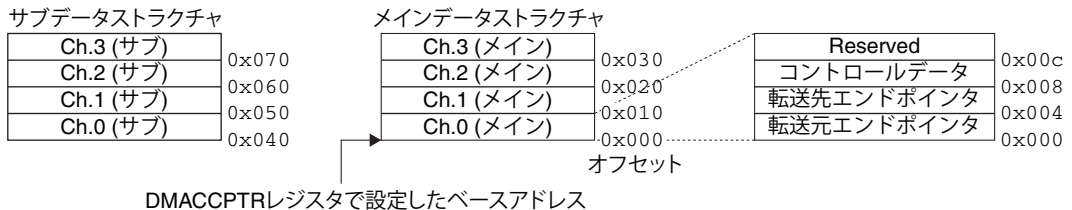


図6.4.2 4チャンネル搭載時のデータストラクチャアドレスマップ

サブデータストラクチャの先頭アドレスは、DMACACPTR.ACPTR[31:0]ビットで確認することができます。

6.4.1 転送元エンドポイント

最後に転送されるデータのアドレスを設定します。転送元アドレスをインクリメントしない場合は、転送するデータのアドレスをそのまま設定します。

6.4.2 転送先エンドポイント

最後の転送データを書き込むアドレスを設定します。転送先アドレスをインクリメントしない場合は、転送データを書き込むアドレスをそのまま設定します。

6.4.3 コントロールデータ

DMA転送の情報を設定します。図6.4.3.1にコントロールデータの構造を示します。

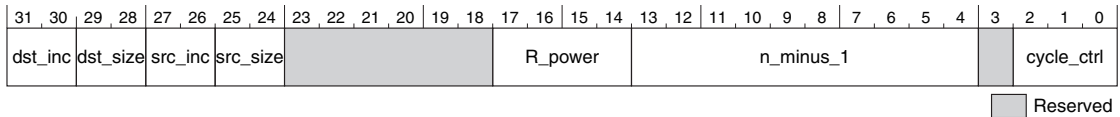


図6.4.3.1 コントロールデータ構造

dst_inc

転送先アドレスのインクリメント値を設定します。インクリメントする場合は、転送データサイズ以上の値を設定してください。

表6.4.3.1 転送先アドレスのインクリメント値

dst_inc	インクリメント値
0x3	インクリメントなし
0x2	+4
0x1	+2
0x0	+1

dst_size

転送先へ書き込むデータのサイズを設定します。src_sizeと同じ値に設定してください。

表6.4.3.2 転送先への書き込みデータサイズ

dst_size	データサイズ
0x3	Reserved
0x2	ワード
0x1	ハーフワード
0x0	バイト

src_inc

転送元アドレスのインクリメント値を設定します。インクリメントする場合は、転送データサイズ以上の値を設定してください。

表6.4.3.3 転送元アドレスのインクリメント値

src_inc	インクリメント値
0x3	インクリメントなし
0x2	+4
0x1	+2
0x0	+1

src_size

転送元から読み出すデータのサイズを設定します。dst_sizeと同じ値に設定してください。

表6.4.3.4 転送元の読み出しデータサイズ

src_size	データサイズ
0x3	Reserved
0x2	ワード
0x1	ハーフワード
0x0	バイト

R_power

連続転送中の調停周期を設定します。

$$\text{調停周期}(2^R) = 2^{R_power}$$

連続転送中はここで設定した調停周期で転送が停止します。その時点で発生しているDMA転送要求があればDMACが優先度に従って再調停し、その中で最も優先度の高いチャンネルのDMA転送を実行します。

調停周期を連続転送回数より大きい値に設定すると、連続転送は途中で停止しません。

n_minus_1

DMAの連続転送回数を設定します。

連続転送回数(N) = n_minus_1 + 1

設定した回数の連続転送が完了すると、転送完了割り込みが発生します。

cycle_ctrl

DMA転送モードを設定します。各転送モードの詳細については、“6.5 DMA転送モード”を参照してください。

表6.4.3.5 DMA転送モード

cycle_ctrl	DMA転送モード
0x7	周辺回路スキャッタ/ギャザー転送 (サブデータストラクチャ用)
0x6	周辺回路スキャッタ/ギャザー転送 (メインデータストラクチャ用)
0x5	メモリスキャッタ/ギャザー転送 (サブデータストラクチャ用)
0x4	メモリスキャッタ/ギャザー転送 (メインデータストラクチャ用)
0x3	ピンポン転送
0x2	オートリクエスト転送
0x1	通常転送
0x0	停止

6.5 DMA転送モード

6.5.1 通常転送

通常のDMA転送モードです。周辺回路からのDMA転送要求、またはソフトウェアDMA転送要求によりDMA転送を開始し、連続転送回数を完了するか、調停周期で停止するまでDMA転送を継続します。調停周期で停止したDMA転送の再開には、再度DMA転送要求の発行が必要です。連続転送回数が完了後、転送完了割り込みが発生します。

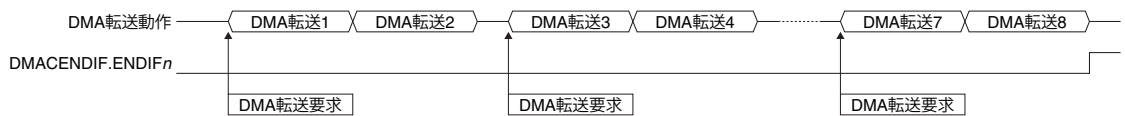


図6.5.1.1 通常転送動作例(N = 8, 2^R = 2)

6.5.2 オートリクエスト転送

通常転送と同様に、周辺回路からのDMA転送要求、またはソフトウェアDMA転送要求によりDMA転送を開始し、連続転送回数を完了するか、調停周期で停止するまでDMA転送を継続します。調停周期により停止した後は、DMA転送要求がなくてもDMA転送が再開します。連続転送回数が完了後、転送終了割り込みが発生します。

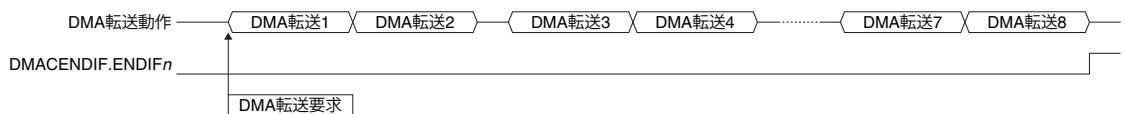


図6.5.2.1 オートリクエスト転送動作例(N = 8, 2^R = 2)

6.5.3 ピンポン転送

ピンポン転送は、メインデータストラクチャとサブデータストラクチャを切り換えながら、繰り返し通常転送を行うモードです。交互にデータストラクチャを参照し、`cycle_ctrl = 0x0`となったところでDMA転送が終了します。各データストラクチャの転送が完了した時点で、DMA転送完了割り込みが発生します。

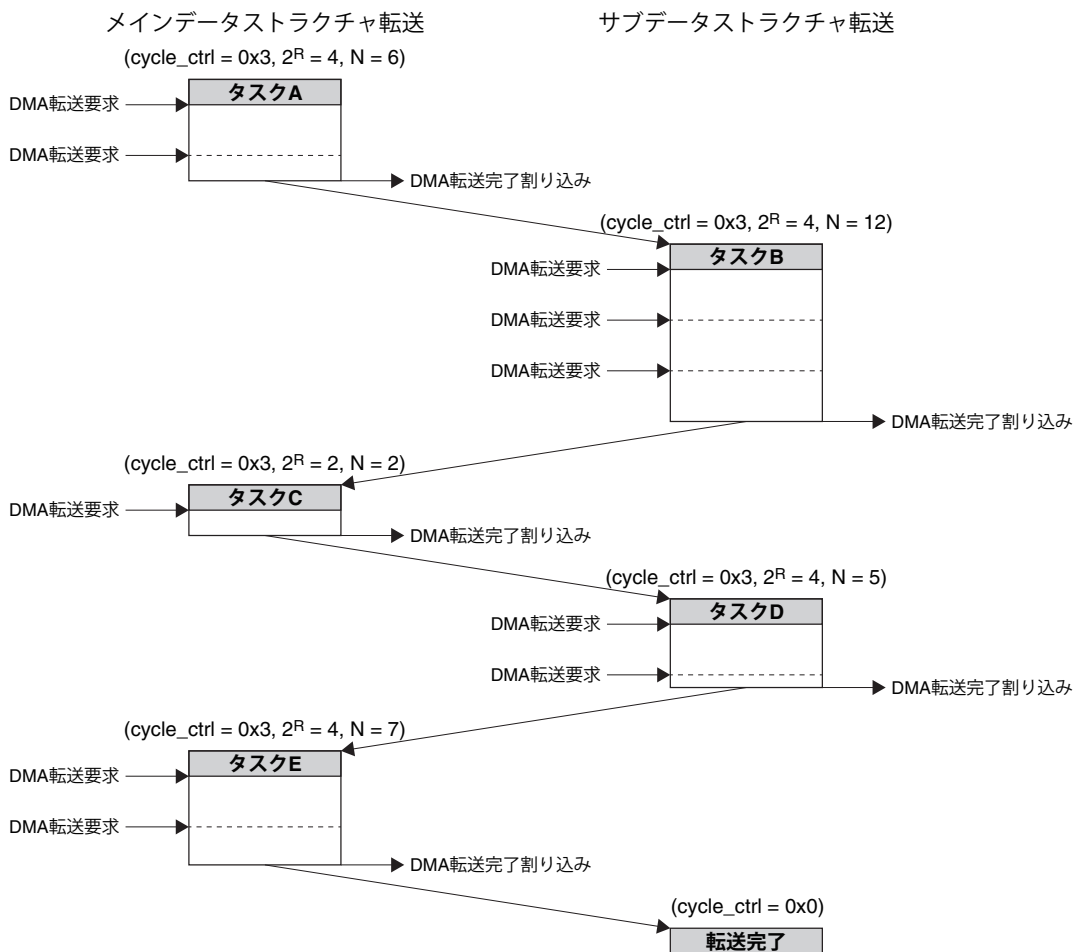


図6.5.3.1 ピンポン転送の動作例

DMA転送手順

1. “6.2.1 初期設定”に記載の手順を実行し、転送を開始する。初期設定の手順2においてタスクAをメインデータストラクチャに、タスクBをサブデータストラクチャにそれぞれ設定する。
2. タスクAの転送完了割り込みでタスクCをメインデータストラクチャに設定する。
3. タスクBの転送完了割り込みでタスクDをサブデータストラクチャに設定する。
4. 手順2～3を繰り返す。
5. 最終タスクのひとつ前の転送完了割り込みで`cycle_ctrl`を`0x0`に設定する。
6. 最終タスクの転送完了割り込みでDMA転送が終了。

6.5.4 メモリスキャッタ/ギャザー転送

スキャッタ/ギャザー転送は、複数のデータストラクチャを登録したテーブルをあらかじめ用意し、メインデータストラクチャを使ってサブデータストラクチャにテーブルの内容をコピーし、サブデータストラクチャでDMA転送を行う動作を繰り返す転送モードです。テーブルの最後にあるデータストラクチャの転送モードを通常転送にすることにより、転送を完了させたところでDMA転送割り込みを発生させることができます。メモリスキャッタ/ギャザー転送は最初にDMA転送要求を発行するだけで、以降はすべてオートリクエストで実行されます。

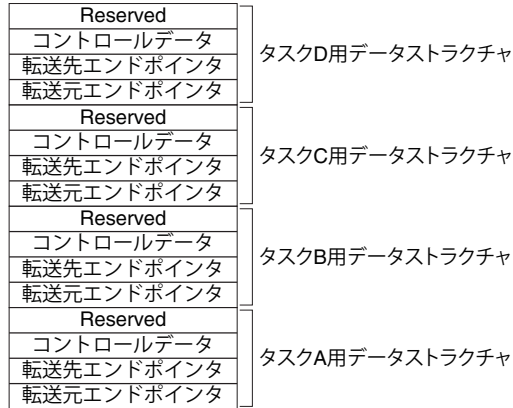


図6.5.4.1 スキャッタ/ギャザー転送のデータストラクチャテーブル例

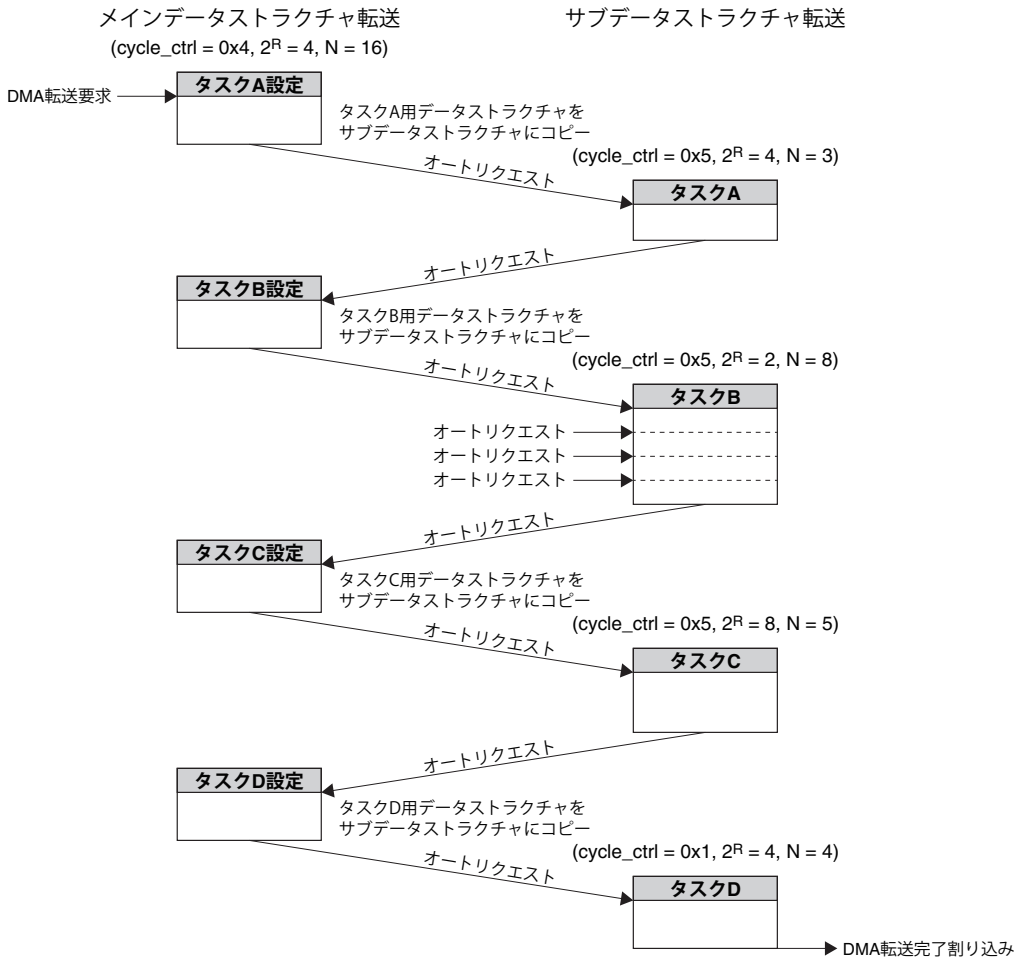


図6.5.4.2 メモリスキャッタ/ギャザー転送の動作例

DMA転送手順

1. スキャッタ/ギャザータランスferのデータストラクチャテーブルを作成する。
最終タスクのcycle_ctrlを0x1に、最終タスク以外のcycle_ctrlを0x5に設定する。
2. “6.2.1 初期設定”に記載の手順を実行し、転送を開始する。初期設定の手順2においてメインデータストラクチャを以下のとおり設定する。

転送元エンドポインタ = データストラクチャテーブルの最終アドレス
 転送先エンドポインタ = サブデータストラクチャの最終アドレス
 dst_inc = 0x2
 dst_size = 0x2
 src_inc = 0x2
 src_size = 0x2
 R_power = 0x2
 n_minus_1 = タスク数 × 4 - 1
 cycle_ctrl = 0x4

3. 転送完了割り込みでDMA転送が終了。

6.5.5 周辺回路スキャッタ/ギャザータランスfer

メモリスキャッタ/ギャザータランスferでは最初のDMA転送要求以外はオートリクエストでDMA転送が実行されるのに対し、周辺回路スキャッタ/ギャザータランスferではすべてのDMA転送が周辺回路からのDMA転送要求、またはソフトウェアDMA要求によって実行されます。

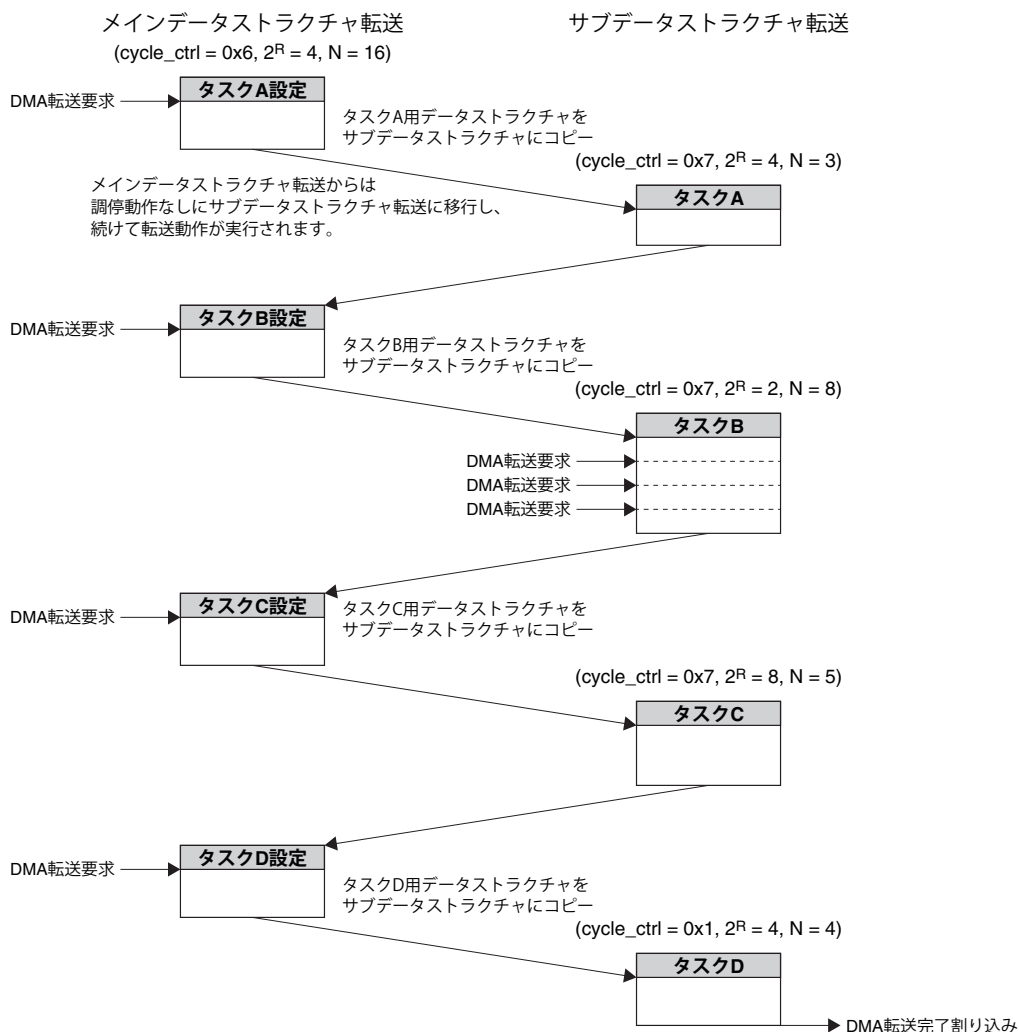


図6.5.5.1 周辺回路スキャッタ/ギャザータランスferの動作例

DMA転送手順

1. スキャッタ/ギャザー転送のデータストラクチャテーブルを作成する。
最終タスクのcycle_ctrlを0x1に、最終タスク以外のcycle_ctrlを0x7に設定する。
2. “6.2.1 初期設定”に記載の手順を実行し、転送を開始する。初期設定の手順2においてメインデータストラクチャを以下のとおり設定する。

転送元エンドポインタ = データストラクチャテーブルの最終アドレス

転送先エンドポインタ = サブデータストラクチャの最終アドレス

dst_inc = 0x2

dst_size = 0x2

src_inc = 0x2

src_size = 0x2

R_power = 0x2

n_minus_1 = タスク数 × 4 - 1

cycle_ctrl = 0x6

3. タスクごとに周辺回路からのDMA転送要求、またはソフトウェアDMA転送要求を発行する。
4. 転送完了割り込みでDMA転送が終了。

6.6 DMA転送サイクル

1回のDMA転送は数サイクルかけて実行されます。DMA転送サイクルの詳細を図6.6.1に示します。なお、CPUからのアクセスとの競合や、Flashバスアクセスサイクルの設定によりDMA転送サイクル数は増えることがあります。

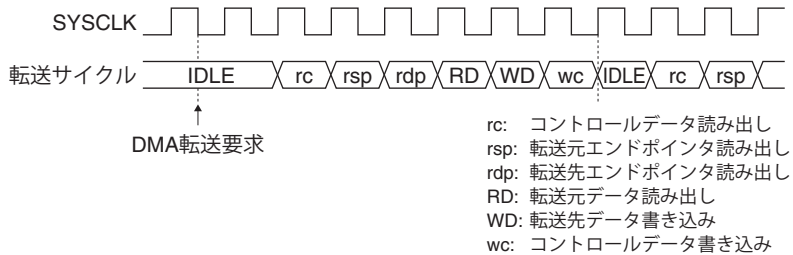


図6.6.1 DMA転送サイクル

6.7 割り込み

DMACには、表6.6.1に示す割り込みを発生させる機能があります。

表6.6.1 DMACの割り込み機能

割り込み	割り込みフラグ	セット	クリア
DMA転送完了	DMACENDIF.ENDIF n	連続転送回数分のDMA転送が完了したとき	1書き込み
DMA転送エラー	DMACERRIF.ERRIF	AHBバスエラーが発生したとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

6.8 制御レジスタ

DMAC Status Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
DMACSTAT	31-24	-	0x00	-	R	-	
	23-21	-	0x0	-	R		
	20-16	CHNLS[4:0]	*	H0	R		* Number of channels implemented - 1
	15-8	-	0x00	-	R		
	7-4	STATE[3:0]	0x0	H0	R		
	3-1	-	0x0	-	R		
	0	MSTENSTAT	0	H0	R		

Bits 31-21 Reserved

Bits 20-16 CHNLS[4:0]

これらのビットは本ICに実装されているDMACのチャンネル数を示します。

$$\text{実装チャンネル数} = \text{CHNLS} + 1$$

Bits 15-8 Reserved

Bits 7-4 STATE[3:0]

これらのビットはDMA転送の状態を示します。

表6.8.1 DMA転送状態

DMACSTAT.STATE[3:0]ビット	DMA転送状態
0xf~0xbf	Reserved
0xa	周辺回路スキャッタ/ギャザー転送
0x9	転送完了
0x8	転送中断
0x7	コントロールデータ書き込み
0x6	転送要求クリア待ち
0x5	転送データ書き込み
0x4	転送データ読み込み
0x3	転送先エンドポイント読み込み
0x2	転送元エンドポイント読み込み
0x1	コントロールデータ読み込み
0x0	待機中

Bits 3-1 Reserved

Bit 0 MSTENSTAT

このビットは、DMAコントローラの状態を示します。

1 (R): DMAコントローラ動作中

0 (R): DMAコントローラ停止中

DMAC Configuration Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACCFG	31-24	-	0x00	-	R	-
	23-16	-	0x00	-	R	
	15-8	-	0x00	-	R	
	7-1	-	0x00	-	R	
	0	MSTEN	-	-	W	

Bits 31-1 Reserved

Bit 0 MSTEN

このビットは、DMAコントローラをイネーブルにします。

1 (W): イネーブル

0 (W): デイスエーブル

DMAC Control Data Base Pointer Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACCPTR	31-0	CPTR[31:0]	0x0000 0000	H0	R/W	-

Bits 31-0 CPTR[31:0]

これらのビットは、データストラクチャの先頭アドレスを設定します。
搭載チャンネル数によって、下位ビットはリードオンリになります。

表6.8.2 搭載チャンネル数によるCPTRライト可能/リードオンリビット

搭載チャンネル数	ライト可能ビット	リードオンリビット
1	CPTR[31:5]	CPTR[4:0]
2	CPTR[31:6]	CPTR[5:0]
3~4	CPTR[31:7]	CPTR[6:0]
5~8	CPTR[31:8]	CPTR[7:0]
9~16	CPTR[31:9]	CPTR[8:0]
17~32	CPTR[31:10]	CPTR[9:0]

DMAC Alternate Control Data Base Pointer Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACACPTR	31-0	ACPTR[31:0]	-	H0	R	-

Bits 31-0 ACPTR[31:0]

これらのビットは、サブデータストラクチャのベースアドレスを示します。

DMAC Software Request Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACSWREQ	31-0	SWREQ[31:0]	-	-	W	-

Bits 31-0 SWREQ [31:0]

これらのビットは、各チャンネルにソフトウェアDMA転送要求を発行します。

- 1 (W): ソフトウェアDMA転送要求を発行
- 0 (W): 無効

各ビットはDMACの各チャンネルに対応します(ビット*n*はCh.*n*に対応)。搭載チャンネルを超えるビットは無効です。

DMAC Request Mask Set Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACRMSET	31-0	RMSET[31:0]	0x0000 0000	H0	R/W	-

Bits 31-0 RMSET[31:0]

これらのビットは、周辺回路からのDMA転送要求をマスクします。

- 1 (W): 周辺回路からのDMA転送要求をマスク
- 0 (W): 無効
- 1 (R): 周辺回路からのDMA転送要求が無効
- 0 (R): 周辺回路からのDMA転送要求が有効

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Request Mask Clear Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACRMCLR	31-0	RMCLR[31:0]	-	-	W	-

Bits 31-0 RMCLR[31:0]

これらのビットは、周辺回路からのDMA転送要求をマスクしている状態を解除します。

1 (W): 周辺回路からのDMA転送要求のマスク状態を解除(DMACRMSETレジスタを0にクリア)

0 (W): 無効

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Enable Set Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACENSET	31-0	ENSET[31:0]	0x0000 0000	H0	R/W	-

Bits 31-0 ENSET[31:0]

これらのビットは、DMACの各チャンネルをイネーブルにします。

1 (W): DMACチャンネルをイネーブル

0 (W): 無効

1 (R): イネーブル

0 (R): ディスエーブル

これらのビットは、DMA転送が完了すると自動的にクリアされます。

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Enable Clear Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACENCLR	31-0	ENCLR[31:0]	-	-	W	-

Bits 31-0 ENCLR[31:0]

これらのビットは、DMACの各チャンネルをディスエーブルにします。

1 (W): DMACチャンネルをディスエーブル(DMACENSETレジスタを0にクリア)

0 (W): 無効

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Primary-Alternate Set Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACPASET	31-0	PASET[31:0]	0x0000 0000	H0	R/W	-

Bits 31-0 PASET[31:0]

これらのビットは、サブデータストラクチャを有効にします。

1 (W): サブデータストラクチャを有効にする

0 (W): 無効

1 (R): サブデータストラクチャが有効

0 (R): メインデータストラクチャが有効

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Primary-Alternate Clear Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACPACLR	31-0	PACLR[31:0]	-	-	W	-

Bits 31-0 PACLR[31:0]

これらのビットは、サブデータストラクチャを無効にします。

1(W): サブデータストラクチャを無効にする(DMACPASETレジスタを0にクリア)

0(W): 無効

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Priority Set Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACPRSET	31-0	PRSET[31:0]	0x0000 0000	H0	R/W	-

Bits 31-0 PRSET[31:0]

これらのビットは、各チャンネルの優先度を上げます。

1(W): 優先度を上げる

0(W): 無効

1(R): 優先度 = 高

0(R): 優先度 = 通常

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Priority Clear Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACPRCLR	31-0	PRCLR[31:0]	-	-	W	-

Bits 31-0 PRCLR[31:0]

これらのビットは、各チャンネルの優先度を下げます。

1(W): 優先度を下げる(DMACPRSETレジスタを0にクリア)

0(W): 無効

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Error Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACERRIF	31-24	-	0x00	-	R	-
	23-16	-	0x00	-	R	
	15-8	-	0x00	-	R	
	7-1	-	0x00	-	R	
	0	ERRIF	0	H0	R/W	Cleared by writing 1.

Bits 31-1 Reserved

Bit 0 ERRIF

このビットは、DMACのエラー割り込み要因の発生状況を示します。

1(R): 割り込み要因あり

0(R): 割り込み要因なし

1(W): フラグをクリア

0(W): 無効

DMAC Transfer Completion Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACENDIF	31-0	ENDIF[31:0]	0x0000 0000	H0	R/W	Cleared by writing 1.

Bits 31-0 ENDIF[31:0]

これらのビットは、各チャンネルのDMA転送完了割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Transfer Completion Interrupt Enable Set Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACENDIESET	31-0	ENDIESET[31:0]	0x0000 0000	H0	R/W	–

Bits 31-0 ENDIESET[31:0]

これらのビットは、各チャンネルのDMA転送完了割り込みをイネーブルにします。

1 (W): 割り込みをイネーブル

0 (W): 無効

1 (R): 割り込みイネーブル

0 (R): 割り込みディスエーブル

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Transfer Completion Interrupt Enable Clear Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACENDIECLR	31-0	ENDIECLR[31:0]	–	–	W	–

Bits 31-0 ENDIECLR[31:0]

これらのビットは、各チャンネルのDMA転送完了割り込みをディスエーブルにします。

1 (W): 割り込みをディスエーブル(DMACENDIESETレジスタを0にクリア)

0 (W): 無効

各ビットはDMACの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

DMAC Error Interrupt Enable Set Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACERRIESET	31-24	–	0x00	–	R	–
	23-16	–	0x00	–	R	
	15-8	–	0x00	–	R	
	7-1	–	0x00	–	R	
	0	ERRIESET	0	H0	R/W	

Bits 31-1 Reserved

Bit 0 ERRIESET

このビットは、DMACのエラー割り込みをイネーブルにします。

1 (W): 割り込みをイネーブル

0 (W): 無効

1 (R): 割り込みイネーブル

0 (R): 割り込みディスエーブル

DMAC Error Interrupt Enable Clear Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DMACERRIECLR	31-24	-	0x00	-	R	-
	23-16	-	0x00	-	R	
	15-8	-	0x00	-	R	
	7-1	-	0x00	-	R	
	0	ERRIECLR	-	-	W	

Bits 31-1 Reserved

Bit 0 **ERRIECLR**

このビットは、DMACのエラー割り込みをディスエーブルにします。

1 (W): 割り込みをディスエーブル(DMACERRIESETレジスタを0にクリア)

0 (W): 無効

7 入出力ポート (PPORT)

7.1 概要

PPORTは入出力ポートを制御する回路です。主な機能と特長を以下に示します。

- 各ポートの機能を個々に設定可能
 - プルアップまたはプルダウン抵抗の有無をポートごとに設定可能
 - チャタリングフィルタの有無をポートごとに設定可能
 - 端子に割り付ける機能(汎用入出力ポート(GPIO)機能、最大4種類の周辺回路用入出力機能)をポートごとに選択可能
- デバッグ端子兼用ポート以外のイニシャル状態はHi-Z
(この状態では、フローティングであっても端子に電流は流れません。)

注: ポート名Pxy、レジスタ名、ビット名のxはポートグループ(x = 0, 1, 2, ..., d)を、yはポート番号(y = 0, 1, 2, ..., 7)を表します。

図7.1.1にPPORTの構成を示します。

表7.1.1 S1C31D01のポート構成

項目	S1C31D01
搭載ポートグループ	P0[7:0]、P1[6:0]、P2[7:0]、P3[6:0]、P4[7:0]、P5[6:0]、P6[7:0]、Pd[3:0]
汎用入出力(GPIO)対応ポート	P0[7:0]、P1[6:0]、P2[7:0]、P3[6:0]、P4[7:0]、P5[6:0]、P6[7:0]、Pd[3:0]
割り込み機能対応ポート	P0[7:0]、P1[6:0]、P2[7:0]、P3[6:0]、P4[7:0]、P5[6:0]、P6[7:0]
デバッグ機能用ポート	Pd[1:0]
キー入力リセット機能	対応(P0[3:0])

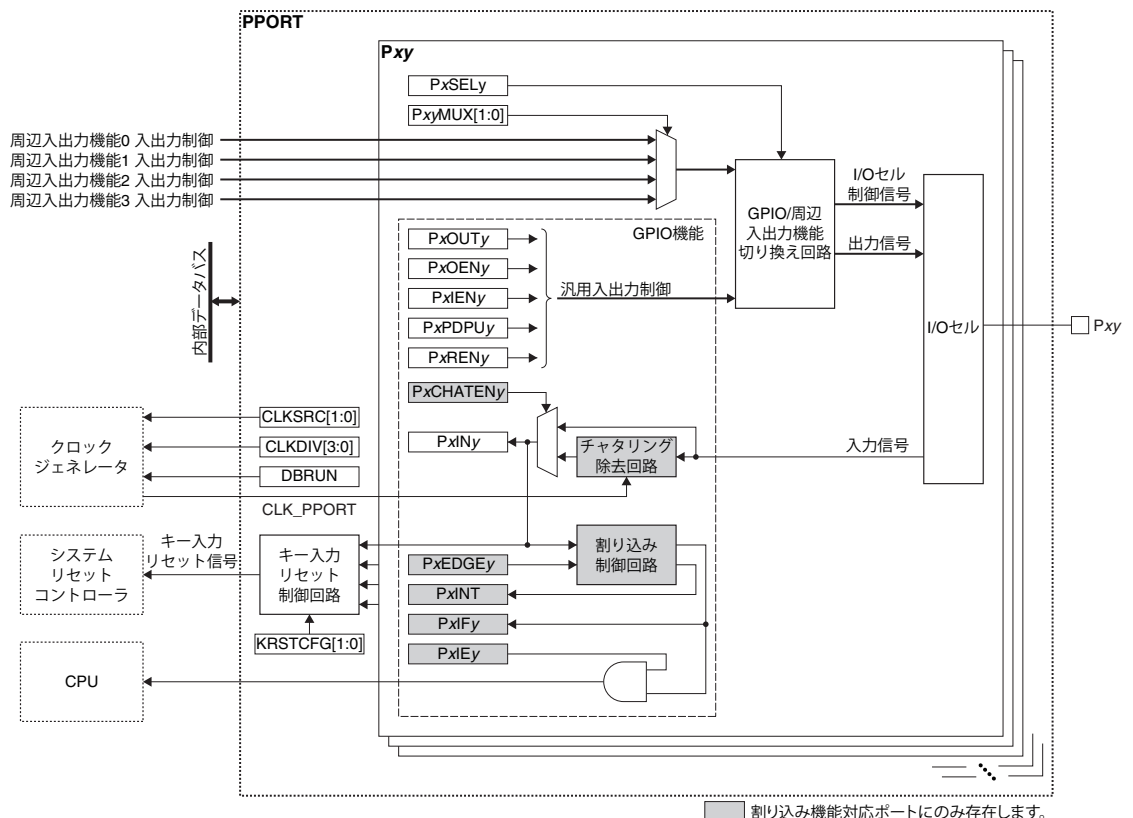


図7.1.1 PPORTの構成

7.2 I/Oセルの構造と機能

I/Oセルの構成を図7.2.1に示します。

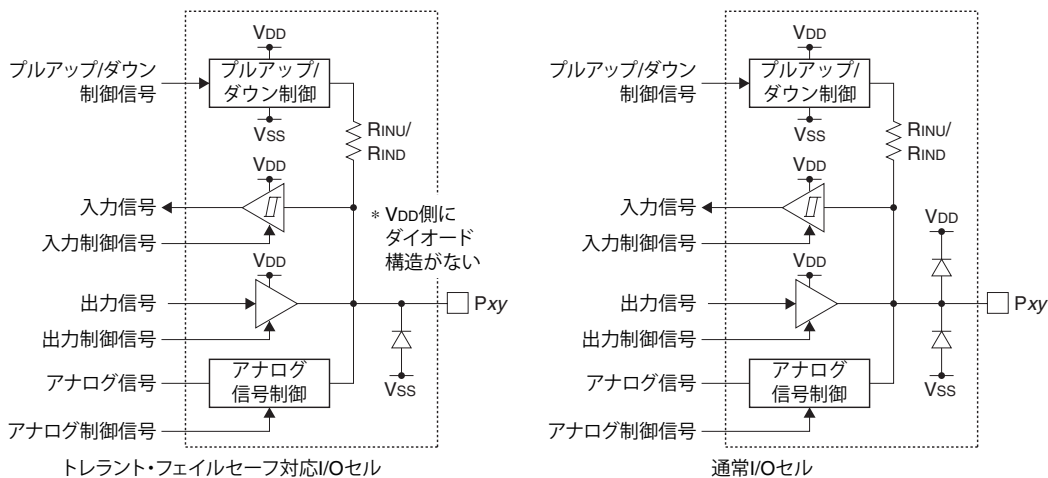


図7.2.1 I/Oセルの構成

各ポートがトレラント・フェイルセーフ対応I/Oセルと通常のI/Oセルのどちらを搭載しているかについては、“概要”の章の“端子説明”を参照してください。

7.2.1 シュミット入力

すべての入力機能は、シュミットインタフェースレベルで設定されています。入力ディスエーブル(PPORTPxIOEN.PxIENyビット = 0)に設定されているときは、Pxy端子がフローティング状態でも、不要な電流は流れません。

7.2.2 トレラント・フェイルセーフ

トレラント・フェイルセーフ対応I/Oセルは、ポートにVDD以上の電圧が印加された場合でも、不要な電流が流れることなくインタフェースを可能とします。また、VDDが供給されていない状態で、外部バイアスがかかっても、不要な電流は流れません。ただし、推奨最大動作電源電圧を超える電圧を印加することはできません。

7.2.3 プルアップ/プルダウン

GPIOにはプルアップ/プルダウン機能があります。制御レジスタによって、ポートごとにプルアップまたはプルダウンが選択可能です。また、プルアップ/プルダウンが不要なポートについては、この機能を無効にすることができます。

I/Oセルに内蔵されているプルアップ抵抗によってポートのレベルをLOWからHIGHに変化させる場合、またはプルダウン抵抗によってHIGHからLOWに変化させる場合、プルアップ/プルダウン抵抗と端子の負荷容量の時定数によって、波形の立ち上がり/立ち下がりに遅延が生じます。この立ち上がり/立ち下がり時間は、一般的に以下の式で表されます。

$$t_{PR} = -R_{INU} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T+}/V_{DD}) \quad (\text{式7.1})$$

$$t_{PF} = -R_{IND} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T-}/V_{DD})$$

ここで

t_{PR}: 立ち上がり時間(ポートレベル LOW → HIGH) [秒]

t_{PF}: 立ち下がり時間(ポートレベル HIGH → LOW) [秒]

V_{T+}: 高レベルシュミット入力スレシヨルド電圧 [V]

V_{T-}: 低レベルシュミット入力スレシヨルド電圧 [V]

R_{INU}/R_{IND}: プルアップ/プルダウン抵抗値 [Ω]

C_{IN}: 端子容量 [F]

C_{BOARD}: 基板の寄生容量 [F]

7.2.4 CMOS出力とハイインピーダンス状態

アナログ出力用以外のI/Oセルは、V_{DD}またはV_{SS}レベルを出力可能です。また、GPIOはハイインピーダンス(Hi-Z)状態を設定可能です。

7.3 クロック設定

7.3.1 PPORTの動作クロック

PPORTの外部入力信号に対してチャタリング除去機能を使用する場合、クロックジェネレータからPPORT動作クロックCLK_PPORTをPPORTに供給する必要があります。

CLK_PPORTの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
3. PPORTCLKレジスタの以下のビットを設定する。
 - PPORTCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - PPORTCLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

3の設定により、チャタリング除去機能の入力検定時間が決定します。

7.3.2 SLEEPモード時のクロック供給

SLEEPモード時にチャタリング除去機能を使用する場合は、PPORT動作クロックCLK_PPORTのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_PPORTを供給し続ける必要があります。

SLEEPモード時に、CLK_PPORTのクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_PPORTのクロックソースが停止し、PPORTP_xCHATEN.P_xCHATEN_yビット(チャタリング除去機能有効/無効)の設定にかかわらず、チャタリング除去機能が無効になります。

7.3.3 デバッグ時のクロック供給

デバッグ時のCLK_PPORTの供給はPPORTCLK.DBRUNビットで制御します。

PPORTCLK.DBRUNビット = 0の場合、デバッグ状態に移行するとPPORTへのCLK_PPORTの供給が停止します。その後通常動作に戻ると、CLK_PPORTの供給が再開します。CLK_PPORTの供給が停止するとPPORT内のチャタリング除去回路の動作は停止します。GPIOポートでチャタリング除去機能を使用している場合、入力ポート機能は動作しなくなります。ただし、制御レジスタへの書き込みは可能です。PPORTCLK.DBRUNビット = 1の場合、デバッグ時もCLK_PPORTの供給は停止せず、チャタリング除去回路は動作を継続します。

7.4 動作

7.4.1 初期設定

デバッグ機能用以外のポートは、リセット後に下記の状態になります。

- ポート入力: ディスエーブル
- ポート出力: ディスエーブル
- プルアップ: OFF
- プルダウン: OFF
- ポート端子: ハイインピーダンス状態
- ポート機能: GPIO機能を選択

7 入出力ポート (PPORT)

この状態はソフトウェアでポートの設定が行われるまで継続します。
デバッグ機能用ポートはデバッグ信号の入出力用に設定されます。

周辺入出力機能を使用する場合の初期設定

P_{xy}ポートを周辺入出力機能に使用する場合は、ソフトウェアで以下の初期設定を行います。

- PPORTP_xIOENレジスタの以下のビットを設定する。
 - PPORTP_xIOEN.P_xIEN_yビットを0に設定 (入力ディスエーブル)
 - PPORTP_xIOEN.P_xOEN_yビットを0に設定 (出力ディスエーブル)
- PPORTP_xMODESEL.P_xSEL_yビットを0に設定する。(周辺入出力機能ディスエーブル)
- 端子を使用する周辺回路を初期化する。
- PPORTP_xFNCSEL.P_xMUX[1:0]ビットを設定する。(周辺入出力機能を選択)
- PPORTP_xMODESEL.P_xSEL_yビットを1に設定する。(周辺入出力機能イネーブル)

本ICの各ポートに割り付け可能な周辺入出力機能の一覧は、“本ICの制御レジスタ/ポート機能の構成”を参照してください。また、周辺入出力機能の詳細については該当する周辺回路の章を参照してください。

汎用出力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)

P_{xy}ポート端子を汎用出力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

- PPORTP_xIOEN.P_xOEN_yビットを1に設定する。(出力イネーブル)
- PPORTP_xMODESEL.P_xSEL_yビットを0に設定する。(GPIO機能イネーブル)

汎用入力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)

P_{xy}ポート端子を汎用入力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

- PPORTP_xINTCTL.P_xIE_yビットに0を書き込む。* (割り込みディスエーブル)
- チャタリング除去機能を使用する場合は、PPORT動作クロックを設定し(“PPORTの動作クロック”参照)、PPORTP_xCHATEN.P_xCHATEN_yビットを1に設定する。*
チャタリング除去機能を使用しない場合は、PPORTP_xCHATEN.P_xCHATEN_yビットを0に設定する(PPORT動作クロックの供給は不要)。
- ポートを内蔵プルアップまたはプルダウン抵抗でプルアップ/ダウンする場合は、PPORTP_xRCTLレジスタの以下のビットを設定する。
 - PPORTP_xRCTL.P_xPDPU_yビット (プルアップ抵抗またはプルダウン抵抗の選択)
 - PPORTP_xRCTL.P_xREN_yビットを1に設定 (プルアップ/プルダウンイネーブル)内蔵プルアップ/プルダウン抵抗を使用しない場合は、PPORTP_xRCTL.P_xREN_yビットを0に設定する。
- PPORTP_xMODESEL.P_xSEL_yビットを0に設定する。(GPIO機能をイネーブル)
- ポート入力割り込みを使用する場合は以下のビットを設定する。*
 - PPORTP_xINTF.P_xIF_yビットに1を書き込み (割り込みフラグをクリア)
 - PPORTP_xINTCTL.P_xEDGE_yビット (割り込みエッジ(入力立ち下がり/立ち上がり)の選択)
 - PPORTP_xINTCTL.P_xIE_yビットを1に設定 (割り込みイネーブル)
- PPORTP_xIOENレジスタの以下のビットを設定する。
 - PPORTP_xIOEN.P_xOEN_yビットを0に設定 (出力ディスエーブル)
 - PPORTP_xIOEN.P_xIEN_yビットを1に設定 (入力イネーブル)

* 1と5は割り込み機能対応ポート、2はチャタリング除去機能対応ポートにのみ必要な操作

データ入出力制御とプルアップ/プルダウン制御の組み合わせによるポートの状態を表7.4.1.1に示します。

表7.4.1.1 GPIOポートの制御

PPORTPxIOEN. PxIENyビット	PPORTPxIOEN. PxOENyビット	PPORTPxRCTL. PxRENyビット	PPORTPxRCTL. PxPDPyビット	入力	出力	ブルアップ/ダウン の状態
0	0	0	x	ディスエーブル		OFF(Hi-Z) *1
0	0	1	0	ディスエーブル		ブルダウン
0	0	1	1	ディスエーブル		ブルアップ
1	0	0	x	イネーブル	ディスエーブル	OFF(Hi-Z) *2
1	0	1	0	イネーブル	ディスエーブル	ブルダウン
1	0	1	1	イネーブル	ディスエーブル	ブルアップ
0	1	0	x	ディスエーブル	イネーブル	OFF
0	1	1	0	ディスエーブル	イネーブル	OFF
0	1	1	1	ディスエーブル	イネーブル	OFF
1	1	1	0	イネーブル	イネーブル	OFF
1	1	1	1	イネーブル	イネーブル	OFF

*1: イニシャル状態。フローティングであっても端子に電流は流れません。

*2: ポート入力がフローティングになると不要な電流が流れるため、ブルアップまたはブルダウン機能を使用することを推奨します。

注: GPIO機能を持っていないポートのPPORTPxMODESEL.PxSELyビットを0に設定した場合、ポートはイニシャル状態(“初期設定”参照)となり、GPIO用の制御ビットはすべて、常に0が読み出されるリードオンリビットになります。

7.4.2 ポートの入出力制御

周辺入出力機能の制御

周辺入出力機能を選択したポートの制御は、すべて周辺回路が行います。詳細は、各周辺回路の章を参照してください。

GPIOポート出力データの設定

Pxy端子から出力するデータ(1 = HIGH出力、0 = LOW出力)をPPORTPxDAT.PxOUTyビットに書き込みます。

GPIOポート入力データの読み出し

Pxy端子から入力したデータ(1 = HIGH入力、0 = LOW入力)はPPORTPxDAT.PxINyビットから読み出します。

チャタリング除去機能

一部のポートにはチャタリング除去機能があり、ポートごとに制御できるようになっています。この機能はPPORTPxCHATEN.PxCHATENyビットを1に設定することにより有効になります。チャタリングを除去するための入力検定時間は、全ポート共通にPPORTCLKレジスタで設定されるCLK_PPORT周波数によって決まります。入力検定時間未満のパルスは除去されます。

$$\text{入力検定時間} = \frac{2 \sim 3}{\text{CLK_PPORT周波数 [Hz]}} \text{ [秒]} \quad (\text{式7.2})$$

PPORTCLKレジスタおよびPPORTPxCHATEN.PxCHATENyビットの設定変更は、必ずPxyポート割り込みをディスエーブルにして行ってください。割り込みイネーブルの状態を設定を変更すると、Pxyポート割り込みが誤って発生する場合があります。また、チャタリング除去機能を有効にしてから、CLK_PPORTの4周期分以上の時間が経過したのちに、割り込みをイネーブルに設定してください。クロックジェネレータにてSLEEP時もPPORTにCLK_PPORTが供給されるように設定されている場合、SLEEP状態であってもポートのチャタリング除去機能は有効となっています。CLK_PPORTが停止するように設定されている場合、PPORTはSLEEP状態になるとチャタリング除去機能を無効にして、端子の状態変化が直接内部に取り込まれるようになります。

キー入力リセット機能

指定した組み合わせのポートすべてに対して、同時にLOWパルスを入力することで、リセット要求を発生させる機能です。この機能を使用する場合は、以下の設定を行います。

1. キー入力リセットの入力端子として使用するポートを汎用入力ポートに設定する(“汎用入力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)”参照)。
2. PPORTCLK.KRSTCFG[1:0]ビットで、キー入力リセット入力端子の組み合わせを設定する。

7 入出力ポート(PPORT)

注: キー入力リセット機能を有効にする場合は、必ず使用するポート端子を汎用入力端子として設定した後に、PPORTCLK.KRSTCFG[1:0]ビットを設定してください。

チャタリング除去機能を無効にしている場合(イニシャル状態)、PPORTCLK.KRSTCFG[1:0]ビットで指定した入力端子がすべてLOWになった時点で、直ちにリセット要求を発生します。一定時間のLOW入力があった場合にリセット要求を発生させたい場合には、キー入力リセットに使用する全ポートのチャタリング除去機能を有効にしてください。

なお、キー入力リセット用に設定された端子も、汎用の入力端子として使用可能です。

7.5 割り込み

割り込み機能を持つポートでGPIO機能を選択した場合、ポート入力割り込み機能を使用できます。

表7.5.1 ポート入力割り込み機能

割り込み	割り込みフラグ	セット	クリア
ポート入力	PPORTPxINTF.PxIFy	入力信号の立ち上がりまたは立ち下がりエッジ	1書き込み
割り込み	PPORTINTFGRP.PxINT	ポートグループ内の割り込みフラグのセット	PPORTPxINTF.PxIFyのクリア

割り込みエッジの選択

ポート入力割り込みは、PPORTPxINTCTL.PxEDGEyビットを1に設定すると入力信号の立ち下がりエッジで、0に設定すると立ち上がりエッジで発生します。

割り込みイネーブル

割り込みフラグには、それぞれに対応する割り込みイネーブルビット(PPORTPxINTCTL.PxIEyビット)があります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

ポートグループ単位の割り込み確認

複数のポートグループで割り込みをイネーブルにした場合、PPORTINTFGRP.PxINTビットを割り込みハンドラ内で先にチェックすると効率よく割り込みを発生したポートを調べることができます。このビットが1になっている場合、割り込みはそのポートグループ内で発生していることになります。次に、そのポートグループ内で1になっているPPORTPxINTF.PxIFyビットを調べ、割り込みを発生したポートを特定します。PPORTPxINTF.PxIFyビットをクリアすることで、PPORTINTFGRP.PxINTビットもクリアされます。PPORTPxINTCTL.PxIEyビットによって割り込みディスエーブルに設定されている場合、PPORTPxINTF.PxIFyビットが1になってもPPORTINTFGRP.PxINTビットはセットされません。

7.6 制御レジスタ

本節では、全ポートグループの制御レジスタを一括して説明します。個々のポートグループのレジスタビットの構成と初期値については、“本ICの制御レジスタ/ポート機能の構成”を参照してください。

Px Port Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTPxDAT	15-8	PxOUT[7:0]	0x00	H0	R/W	-
	7-0	PxIN[7:0]	0x00	H0	R	

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

*3: 初期値はポートによって変わることがあります。

Bits 15-8 PxOUT[7:0]

GPIOポート端子から出力するデータをこれらのビットに設定します。

1 (R/W): ポート端子からHIGHレベルを出力

0 (R/W): ポート端子からLOWレベルを出力

出力をイネーブル(PPORTPxIOEN.PxOENyビット = 1)にすると、ここに設定したデータがポート端子から出力されます。出力ディスエーブル(PPORTPxIOEN.PxOENyビット = 0)時もポートデータの書き込みは行えますが、端子の状態には影響を与えません。これらのビットはポートを周辺入出力機能用に使用する場合の出力には影響を与えません。

Bits 7-0 PxIN[7:0]

これらのビットからGPIOポート端子の状態が読み出せます。

1 (R): ポート端子 = HIGHレベル

0 (R): ポート端子 = LOWレベル

入力をイネーブル(PPORTPxIOEN.PxIENyビット = 1)にすることで、ポート端子の状態を読み出すことができます。入力ディスエーブル(PPORTPxIOEN.PxIENyビット = 0)時は読み出し値が常に0となります。

ポートを周辺入出力機能用に使用する場合の入力値は、これらのビットから読み出すことはできません。

Px Port Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTPxIOEN	15-8	PxIEN[7:0]	0x00	H0	R/W	-
	7-0	PxOEN[7:0]	0x00	H0	R/W	

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxIEN[7:0]

これらのビットはGPIOポート入力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子状態を入力)

0 (R/W): ディスエーブル(入力データを0に固定)

データ出力とデータ入力を共にイネーブルにした場合は、本ICが出力している端子の状態を読み出すことができます。

これらのビットはポートを周辺入出力機能用に使用する場合の入力制御には影響を与えません。

Bits 7-0 PxOEN[7:0]

これらのビットはGPIOポート出力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子からデータを出力)

0 (R/W): ディスエーブル(ポートをHi-Z)

これらのビットはポートを周辺入出力機能用に使用する場合の出力制御には影響を与えません。

Px Port Pull-up/down Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTPxRCTL	15-8	PxPDPU[7:0]	0x00	H0	R/W	-
	7-0	PxREN[7:0]	0x00	H0	R/W	

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxPDPU[7:0]

これらのビットはポートに内蔵されたプルアップ抵抗とプルダウン抵抗のどちらを使用するか選択します。

1 (R/W): プルアップ抵抗

0 (R/W): プルダウン抵抗

選択したプルアップ/ダウン抵抗は、PPORTPxRCTL.PxRENyビット = 1の場合に有効になります。

7 入出力ポート(PPORT)

Bits 7-0 P_xREN[7:0]

これらのビットはポートのプルアップ/ダウン制御をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(内蔵プルアップ/ダウン抵抗を使用)

0 (R/W): ディスエーブル(プルアップ/ダウン制御なし)

イネーブルにすると、出力ディスエーブル(PPORTP_xIOEN.P_xOEN_yビット = 0)時にポート端子がプルアップまたはプルダウンされます。出力イネーブル(PPORTP_xIOEN.P_xOEN_yビット = 1)時は、PPORTP_xIOEN.P_xIEN_yビットの設定にかかわらずPPORTP_xRCTL.P_xREN_yビットの設定が無効となり、プルアップ/ダウンされません。

これらのビットはポートを周辺入出力機能用に使用する場合のプルアップ/ダウン制御には影響を与えません。

Px Port Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP _x INTF	15-8	-	0x00	-	R	-
	7-0	P _x IF[7:0]	0x00	H0	R/W	Cleared by writing 1.

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 Reserved

Bits 7-0 P_xIF[7:0]

これらのビットは、ポート入力割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

Px Port Interrupt Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP _x INTCTL	15-8	P _x EDGE[7:0]	0x00	H0	R/W	-
	7-0	P _x IE[7:0]	0x00	H0	R/W	-

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 P_xEDGE[7:0]

これらのビットでポート入力割り込みを発生させる入力信号のエッジを選択します。

1 (R/W): 立ち下がりエッジで割り込み発生

0 (R/W): 立ち上がりエッジで割り込み発生

Bits 7-0 P_xIE[7:0]

これらのビットは、ポート入力割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

Px Port Chattering Filter Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP _x CHATEN	15-8	-	0x00	-	R	-
	7-0	P _x CHATEN[7:0]	0x00	H0	R/W	-

*1: ビット構成はポートグループによって異なります。

Bits 15-8 Reserved

Bits 7-0 P_xCHATEN[7:0]

これらのビットは、チャタリング除去機能をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(チャタリング除去回路を使用)

0 (R/W): ディスエーブル(チャタリング除去回路をバイパス)

Px Port Mode Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTPxMODSEL	15-8	–	0x00	–	R	–
	7-0	PxSEL[7:0]	0x00	H0	R/W	

*1: ビット構成はポートグループによって異なります。

*2: 初期値はポートによって変わることがあります。

Bits 15-8 Reserved

Bits 7-0 PxSEL[7:0]

これらのビットは、各ポートでGPIO機能を使用するか、周辺入出力機能を使用するか選択します。

1 (R/W): 周辺入出力機能を使用

0 (R/W): GPIO機能を使用

Px Port Function Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTPxFNCSEL	15-14	Px7MUX[1:0]	0x0	H0	R/W	–
	13-12	Px6MUX[1:0]	0x0	H0	R/W	
	11-10	Px5MUX[1:0]	0x0	H0	R/W	
	9-8	Px4MUX[1:0]	0x0	H0	R/W	
	7-6	Px3MUX[1:0]	0x0	H0	R/W	
	5-4	Px2MUX[1:0]	0x0	H0	R/W	
	3-2	Px1MUX[1:0]	0x0	H0	R/W	
	1-0	Px0MUX[1:0]	0x0	H0	R/W	

*1: ビット構成はポートグループによって異なります。

*2: 初期値はポートによって変わることがあります。

Bits 15-14 Px7MUX[1:0]

: :

Bits 1-0 Px0MUX[1:0]

これらのビットは、各ポート端子に割り付ける周辺入出力機能を選択します。

表7.6.1 周辺入出力機能の選択

PPORTPxFNCSEL.PxyMUX[1:0]ビット	周辺入出力機能
0x3	機能3
0x2	機能2
0x1	機能1
0x0	機能0

この選択は、PPORTPxMODSEL.PxSELyビット = 1の場合に有効です。

P Port Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTCLK	15-9	–	0x00	–	R	–
	8	DBRUN	0	H0	R/WP	
	7-4	CLKDIV[3:0]	0x0	H0	R/WP	
	3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、デバッグ時にPPORT動作クロックを供給するか否か設定します。

1 (R/WP): デバッグ時にクロックを供給

0 (R/WP): デバッグ時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、PPORT動作クロック(チャタリング除去機能用クロック)の分周比を選択します。

7 入出力ポート(PPORT)

Bits 3-2 KRSTCFG[1:0]

これらのビットは、キー入力リセット機能を設定します。

表7.6.2 キー入力リセット機能の設定

PPORTCLK.KRSTCFG[1:0]ビット	キー入力リセット
0x3	P0[3:0]入力 = オールLOWでリセット
0x2	P0[2:0]入力 = オールLOWでリセット
0x1	P0[1:0]入力 = オールLOWでリセット
0x0	ディスエーブル

Bits 1-0 CLKSRC[1:0]

これらのビットは、PPORT(チャタリング除去機能)のクロックソースを選択します。PPORT動作クロックは表7.6.3に示すとおり、PPORTCLK.CLKSRC[1:0]ビットによるクロックソースの選択、およびPPORTCLK.CLKDIV[3:0]ビットによるクロック分周比の選択によって設定されます。この設定によりチャタリング除去回路の入力検定時間が決定します。

表7.6.3 クロックソースと分周比の設定

PPORTCLK.CLKDIV[3:0]ビット	PPORTCLK.CLKSRC[1:0]ビット			
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC
0xf		1/32,768		1/1
0xe		1/16,384		
0xd		1/8,192		
0xc		1/4,096		
0xb		1/2,048		
0xa		1/1,024		
0x9		1/512		
0x8		1/256		
0x7		1/128		
0x6		1/64		
0x5		1/32		
0x4		1/16		
0x3		1/8		
0x2		1/4		
0x1		1/2		
0x0		1/1		

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

P Port Interrupt Flag Group Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTINTFGRP	15-13	—	0x0	—	R	—
	12	PCINT	0	H0	R	
	11	PBINT	0	H0	R	
	10	PAINT	0	H0	R	
	9	P9INT	0	H0	R	
	8	P8INT	0	H0	R	
	7	P7INT	0	H0	R	
	6	P6INT	0	H0	R	
	5	P5INT	0	H0	R	
	4	P4INT	0	H0	R	
	3	P3INT	0	H0	R	
	2	P2INT	0	H0	R	
	1	P1INT	0	H0	R	
	0	P0INT	0	H0	R	

*1: 割り込みに対応しているポートグループのビットのみ有効です。

Bits 15-13 Reserved

Bits 12-0 PxINT

これらのビットは、Pxポートグループ内に割り込みを発生したポートがあることを示します。

1 (R): 割り込み発生ポートあり

0 (R): 割り込み発生ポートなし

割り込みを発生したポートの割り込みフラグをクリアすると、PPORTINTFGRP.PxINTビットもクリアされます。

7.7 本ICの制御レジスタ/ポート機能の構成

ここでは、本ICに搭載しているPPORTの制御レジスタ/ビットの構成と、各ポート端子で選択可能な周辺入出力機能の一覧を示します。

7.7.1 P0ポートグループ

P0ポートグループはGPIO機能と割り込み機能を持っています。

表7.7.1.1 P0ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP0DAT (P0 Port Data Register)	15-8	P0OUT[7:0]	0x00	H0	R/W	-
	7-0	P0IN[7:0]	0x00	H0	R	
PPORTP0IOEN (P0 Port Enable Register)	15-8	P0IEN[7:0]	0x00	H0	R/W	-
	7-0	P0OEN[7:0]	0x00	H0	R/W	
PPORTP0RCTL (P0 Port Pull-up/down Control Register)	15-8	P0DPDU[7:0]	0x00	H0	R/W	-
	7-0	P0REN[7:0]	0x00	H0	R/W	
PPORTP0INTF (P0 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
	7-0	P0IF[7:0]	0x00	H0	R/W	
PPORTP0INTCTL (P0 Port Interrupt Control Register)	15-8	P0EDGE[7:0]	0x00	H0	R/W	-
	7-0	P0IE[7:0]	0x00	H0	R/W	
PPORTP0CHATEN (P0 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7-0	P0CHATEN[7:0]	0x00	H0	R/W	
PPORTP0MODESEL (P0 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	P0SEL[7:0]	0x00	H0	R/W	
PPORTP0FNCSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	-
	13-12	P06MUX[1:0]	0x0	H0	R/W	
	11-10	P05MUX[1:0]	0x0	H0	R/W	
	9-8	P04MUX[1:0]	0x0	H0	R/W	
	7-6	P03MUX[1:0]	0x0	H0	R/W	
	5-4	P02MUX[1:0]	0x0	H0	R/W	
	3-2	P01MUX[1:0]	0x0	H0	R/W	
	1-0	P00MUX[1:0]	0x0	H0	R/W	

表7.7.1.2 P0ポートグループ機能割り付け

ポート名	P0SELY = 0 GPIO	P0SELY = 1							
		P0yMUX = 0x0 (機能0)		P0yMUX = 0x1 (機能1)		P0yMUX = 0x2 (機能2)		P0yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P00	P00	-	-	UPMUX	*1	ADC12A	VREFA0	-	-
P01	P01	T16B Ch.0	EXCL00	UPMUX	*1	ADC12A	ADIN00	-	-
P02	P02	T16B Ch.1	EXCL10	UPMUX	*1	ADC12A	ADIN01	-	-
P03	P03	REMC3	REMO	UPMUX	*1	ADC12A	ADIN02	-	-
P04	P04	REMC3	CLPLS	UPMUX	*1	ADC12A	ADIN03	-	-
P05	P05	RTCA	RTC1S	UPMUX	*1	ADC12A	ADIN04	-	-
P06	P06	CLG	EXOSC	UPMUX	*1	ADC12A	ADIN05	-	-
P07	P07	SNDA	#BZOUT	UPMUX	*1	ADC12A	ADIN06	-	-

*1: “ユニバーサルポートマルチプレクサ”の章参照

7 入出力ポート(PPORT)

7.7.2 P1ポートグループ

P1ポートグループはP10～P16の7ポートで構成され、GPIO機能と割り込み機能を持っています。

表7.7.2.1 P1ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP1DAT (P1 Port Data Register)	15	–	0	–	R	–
	14–8	P1OUT[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P1IN[6:0]	0x00	H0	R	
PPORTP1IOEN (P1 Port Enable Register)	15	–	0	–	R	–
	14–8	P1IEN[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P1OEN[6:0]	0x00	H0	R/W	
PPORTP1RCTL (P1 Port Pull-up/down Control Register)	15	–	0	–	R	–
	14–8	P1PDPUI[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P1REN[6:0]	0x00	H0	R/W	
PPORTP1INTF (P1 Port Interrupt Flag Register)	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	P1IF[6:0]	0x00	H0	R/W	
PPORTP1INTCTL (P1 Port Interrupt Control Register)	15	–	0	–	R	–
	14–8	P1EDGE[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P1IE[6:0]	0x00	H0	R/W	
PPORTP1CHATEN (P1 Port Chattering Filter Enable Register)	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	P1CHATEN[6:0]	0x00	H0	R/W	
PPORTP1MODSEL (P1 Port Mode Select Register)	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	P1SEL[6:0]	0x00	H0	R/W	
PPORTP1FNCSEL (P1 Port Function Select Register)	15–14	–	0x0	–	R	–
	13–12	P16MUX[1:0]	0x0	H0	R/W	
	11–10	P15MUX[1:0]	0x0	H0	R/W	
	9–8	P14MUX[1:0]	0x0	H0	R/W	
	7–6	P13MUX[1:0]	0x0	H0	R/W	
	5–4	P12MUX[1:0]	0x0	H0	R/W	
	3–2	P11MUX[1:0]	0x0	H0	R/W	
	1–0	P10MUX[1:0]	0x0	H0	R/W	

表7.7.2.2 P1ポートグループ機能割り付け

ポート名	P1SELY = 0		P1SELY = 1							
	GPIO	P1yMUX = 0x0 (機能0)		P1yMUX = 0x1 (機能1)		P1yMUX = 0x2 (機能2)		P1yMUX = 0x3 (機能3)		
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子	
P10	P10	SPIA Ch.1	#SPISS1	UPMUX	*1	–	–	–	–	
P11	P11	SPIA Ch.1	SDI1	UPMUX	*1	–	–	–	–	
P12	P12	SPIA Ch.1	SDO1	UPMUX	*1	–	–	–	–	
P13	P13	SPIA Ch.1	SPICLK1	UPMUX	*1	–	–	–	–	
P14	P14	SNDA	BZOUT	UPMUX	*1	SVD3	EXSVD0	–	–	
P15	P15	ADC12A	#ADTRG	UPMUX	*1	SVD3	EXSVD1	–	–	
P16	P16	T16B Ch.1	EXCL11	UPMUX	*1	–	–	–	–	

*1: “ユニバーサルポートマルチプレクサ”の章参照

7.7.3 P2ポートグループ

P2ポートグループはGPIO機能と割り込み機能を持っています。

表7.7.3.1 P2ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP2DAT (P2 Port Data Register)	15-8	P2OUT[7:0]	0x00	H0	R/W	-
	7-0	P2IN[7:0]	0x00	H0	R	
PPORTP2IOEN (P2 Port Enable Register)	15-8	P2IEN[7:0]	0x00	H0	R/W	-
	7-0	P2OEN[7:0]	0x00	H0	R/W	
PPORTP2RCTL (P2 Port Pull-up/down Control Register)	15-8	P2PDPDU[7:0]	0x00	H0	R/W	-
	7-0	P2REN[7:0]	0x00	H0	R/W	
PPORTP2INTF (P2 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
	7-0	P2IF[7:0]	0x00	H0	R/W	
PPORTP2INTCTL (P2 Port Interrupt Control Register)	15-8	P2EDGE[7:0]	0x00	H0	R/W	-
	7-0	P2IE[7:0]	0x00	H0	R/W	
PPORTP2CHATEN (P2 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7-0	P2CHATEN[7:0]	0x00	H0	R/W	
PPORTP2MODSEL (P2 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	P2SEL[7:0]	0x00	H0	R/W	
PPORTP2FNCSEL (P2 Port Function Select Register)	15-14	P27MUX[1:0]	0x0	H0	R/W	-
	13-12	P26MUX[1:0]	0x0	H0	R/W	
	11-10	P25MUX[1:0]	0x0	H0	R/W	
	9-8	P24MUX[1:0]	0x0	H0	R/W	
	7-6	P23MUX[1:0]	0x0	H0	R/W	
	5-4	P22MUX[1:0]	0x0	H0	R/W	
	3-2	P21MUX[1:0]	0x0	H0	R/W	
	1-0	P20MUX[1:0]	0x0	H0	R/W	

表7.7.3.2 P2ポートグループ機能割り付け

ポート名	P2SELY = 0		P2SELY = 1							
	GPIO	P2yMUX = 0x0 (機能0)		P2yMUX = 0x1 (機能1)		P2yMUX = 0x2 (機能2)		P2yMUX = 0x3 (機能3)		
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子	
P20	P20	MDC	HIFCNF	UPMUX	*1	-	-	-	-	
P21	P21	MDC	#HIFCS	UPMUX	*1	-	-	-	-	
P22	P22	MDC	#HIFRD	UPMUX	*1	-	-	-	-	
P23	P23	MDC	#HIFWR	UPMUX	*1	-	-	-	-	
P24	P24	MDC	#HIFDE	UPMUX	*1	-	-	-	-	
P25	P25	-	-	UPMUX	*1	-	-	-	-	
P26	P26	MDC	HIFD0	UPMUX	*1	-	-	-	-	
P27	P27	MDC	HIFD1	UPMUX	*1	-	-	-	-	

*1: “ユニバーサルポートマルチプレクサ”の章参照

7 入出力ポート(PPORT)

7.7.4 P3ポートグループ

P3ポートグループはP30～P36の7ポートで構成され、GPIO機能と割り込み機能を持っています。

表7.7.4.1 P3ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP3DAT (P3 Port Data Register)	15	–	0	–	R	–
	14–8	P3OUT[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P3IN[6:0]	0x00	H0	R	
PPORTP3IOEN (P3 Port Enable Register)	15	–	0	–	R	–
	14–8	P3IEN[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P3OEN[6:0]	0x00	H0	R/W	
PPORTP3RCTL (P3 Port Pull-up/down Control Register)	15	–	0	–	R	–
	14–8	P3PDPUI[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P3REN[6:0]	0x00	H0	R/W	
PPORTP3INTF (P3 Port Interrupt Flag Register)	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	P3IF[6:0]	0x00	H0	R/W	
PPORTP3INTCTL (P3 Port Interrupt Control Register)	15	–	0	–	R	–
	14–8	P3EDGE[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P3IE[6:0]	0x00	H0	R/W	
PPORTP3CHATEN (P3 Port Chattering Filter Enable Register)	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	P3CHATEN[6:0]	0x00	H0	R/W	
PPORTP3MODSEL (P3 Port Mode Select Register)	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	P3SEL[6:0]	0x00	H0	R/W	
PPORTP3FNCSEL (P3 Port Function Select Register)	15–14	–	0x0	–	R	–
	13–12	P36MUX[1:0]	0x0	H0	R/W	
	11–10	P35MUX[1:0]	0x0	H0	R/W	
	9–8	P34MUX[1:0]	0x0	H0	R/W	
	7–6	P33MUX[1:0]	0x0	H0	R/W	
	5–4	P32MUX[1:0]	0x0	H0	R/W	
	3–2	P31MUX[1:0]	0x0	H0	R/W	
	1–0	P30MUX[1:0]	0x0	H0	R/W	

表7.7.4.2 P3ポートグループ機能割り付け

ポート名	P3SELY = 0		P3SELY = 1						
	GPIO	P3yMUX = 0x0 (機能0)		P3yMUX = 0x1 (機能1)		P3yMUX = 0x2 (機能2)		P3yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P30	P30	MDC	HIFD2	UPMUX	*1	–	–	–	–
P31	P31	MDC	HIFD3	UPMUX	*1	–	–	–	–
P32	P32	MDC	HIFD4	UPMUX	*1	–	–	–	–
P33	P33	MDC	HIFD5	UPMUX	*1	–	–	–	–
P34	P34	MDC	HIFD6	UPMUX	*1	–	–	–	–
P35	P35	MDC	HIFD7	UPMUX	*1	–	–	–	–
P36	P36	MDC	INTMDC	UPMUX	*1	–	–	–	–

*1: “ユニバーサルポートマルチプレクサ”の章参照

7.7.5 P4ポートグループ

P4ポートグループはGPIO機能と割り込み機能を持っています。

表7.7.5.1 P4ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP4DAT (P4 Port Data Register)	15-8	P4OUT[7:0]	0x00	H0	R/W	-
	7-0	P4IN[7:0]	0x00	H0	R	
PPORTP4IOEN (P4 Port Enable Register)	15-8	P4IEN[7:0]	0x00	H0	R/W	-
	7-0	P4OEN[7:0]	0x00	H0	R/W	
PPORTP4RCTL (P4 Port Pull-up/down Control Register)	15-8	P4PDPDU[7:0]	0x00	H0	R/W	-
	7-0	P4REN[7:0]	0x00	H0	R/W	
PPORTP4INTF (P4 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
	7-0	P4IF[7:0]	0x00	H0	R/W	
PPORTP4INTCTL (P4 Port Interrupt Control Register)	15-8	P4EDGE[7:0]	0x00	H0	R/W	-
	7-0	P4IE[7:0]	0x00	H0	R/W	
PPORTP4CHATEN (P4 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7-0	P4CHATEN[7:0]	0x00	H0	R/W	
PPORTP4MODSEL (P4 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	P4SEL[7:0]	0x00	H0	R/W	
PPORTP4FNCSEL (P4 Port Function Select Register)	15-14	P47MUX[1:0]	0x0	H0	R/W	-
	13-12	P46MUX[1:0]	0x0	H0	R/W	
	11-10	P45MUX[1:0]	0x0	H0	R/W	
	9-8	P44MUX[1:0]	0x0	H0	R/W	
	7-6	P43MUX[1:0]	0x0	H0	R/W	
	5-4	P42MUX[1:0]	0x0	H0	R/W	
	3-2	P41MUX[1:0]	0x0	H0	R/W	
	1-0	P40MUX[1:0]	0x0	H0	R/W	

表7.7.5.2 P4ポートグループ機能割り付け

ポート名	P4SELY = 0		P4SELY = 1							
	GPIO	P4yMUX = 0x0 (機能0)		P4yMUX = 0x1 (機能1)		P4yMUX = 0x2 (機能2)		P4yMUX = 0x3 (機能3)		
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子	
P40	P40	MDC	VCOM	-	-	-	-	-	-	
P41	P41	MDC	XFRP	-	-	-	-	-	-	
P42	P42	MDC	HST	-	-	-	-	-	-	
P43	P43	MDC	RED0	-	-	-	-	-	-	
P44	P44	MDC	RED1	-	-	-	-	-	-	
P45	P45	MDC	GRN0	-	-	-	-	-	-	
P46	P46	MDC	GRN1	-	-	-	-	-	-	
P47	P47	MDC	BLU0	-	-	-	-	-	-	

7 入出力ポート(PPORT)

7.7.6 P5ポートグループ

P5ポートグループはP50～P56の7ポートで構成され、GPIO機能と割り込み機能を持っています。

表7.7.6.1 P5ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP5DAT (P5 Port Data Register)	15	–	0	–	R	–
	14–8	P5OUT[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P5IN[6:0]	0x00	H0	R	
PPORTP5IOEN (P5 Port Enable Register)	15	–	0	–	R	–
	14–8	P5IEN[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P5OEN[6:0]	0x00	H0	R/W	
PPORTP5RCTL (P5 Port Pull-up/down Control Register)	15	–	0	–	R	–
	14–8	P5PDPUI[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P5REN[6:0]	0x00	H0	R/W	
PPORTP5INTF (P5 Port Interrupt Flag Register)	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	P5IF[6:0]	0x00	H0	R/W	
PPORTP5INTCTL (P5 Port Interrupt Control Register)	15	–	0	–	R	–
	14–8	P5EDGE[6:0]	0x00	H0	R/W	
	7	–	0	–	R	
	6–0	P5IE[6:0]	0x00	H0	R/W	
PPORTP5CHATEN (P5 Port Chattering Filter Enable Register)	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	P5CHATEN[6:0]	0x00	H0	R/W	
PPORTP5MODSEL (P5 Port Mode Select Register)	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	P5SEL[6:0]	0x00	H0	R/W	
PPORTP5FNCSSEL (P5 Port Function Select Register)	15–14	–	0x0	–	R	–
	13–12	P56MUX[1:0]	0x0	H0	R/W	
	11–10	P55MUX[1:0]	0x0	H0	R/W	
	9–8	P54MUX[1:0]	0x0	H0	R/W	
	7–6	P53MUX[1:0]	0x0	H0	R/W	
	5–4	P52MUX[1:0]	0x0	H0	R/W	
	3–2	P51MUX[1:0]	0x0	H0	R/W	
	1–0	P50MUX[1:0]	0x0	H0	R/W	

表7.7.6.2 P5ポートグループ機能割り付け

ポート名	P5SELY = 0		P5SELY = 1						
	GPIO	P5yMUX = 0x0 (機能0)		P5yMUX = 0x1 (機能1)		P5yMUX = 0x2 (機能2)		P5yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P50	P50	MDC	BLU1	–	–	–	–	–	–
P51	P51	MDC	HCK	–	–	–	–	–	–
P52	P52	MDC	ENB	–	–	–	–	–	–
P53	P53	–	–	–	–	–	–	–	–
P54	P54	MDC	VST	–	–	–	–	–	–
P55	P55	MDC	XRST	–	–	–	–	–	–
P56	P56	MDC	VCK	–	–	–	–	–	–

7.7.7 P6ポートグループ

P6ポートグループはGPIO機能と割り込み機能を持っています。

表7.7.7.1 P6ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTP6DAT (P6 Port Data Register)	15-8	P6OUT[7:0]	0x00	H0	R/W	-
	7-0	P6IN[7:0]	0x00	H0	R	
PPORTP6IOEN (P6 Port Enable Register)	15-8	P6IEN[7:0]	0x00	H0	R/W	-
	7-0	P6OEN[7:0]	0x00	H0	R/W	
PPORTP6RCTL (P6 Port Pull-up/down Control Register)	15-8	P6PDPDU[7:0]	0x00	H0	R/W	-
	7-0	P6REN[7:0]	0x00	H0	R/W	
PPORTP6INTF (P6 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
	7-0	P6IF[7:0]	0x00	H0	R/W	
PPORTP6INTCTL (P6 Port Interrupt Control Register)	15-8	P6EDGE[7:0]	0x00	H0	R/W	-
	7-0	P6IE[7:0]	0x00	H0	R/W	
PPORTP6CHATEN (P6 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7-0	P6CHATEN[7:0]	0x00	H0	R/W	
PPORTP6MODSEL (P6 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	P6SEL[7:0]	0x00	H0	R/W	
PPORTP6FNCSEL (P6 Port Function Select Register)	15-14	P67MUX[1:0]	0x0	H0	R/W	-
	13-12	P66MUX[1:0]	0x0	H0	R/W	
	11-10	P65MUX[1:0]	0x0	H0	R/W	
	9-8	P64MUX[1:0]	0x0	H0	R/W	
	7-6	P63MUX[1:0]	0x0	H0	R/W	
	5-4	P62MUX[1:0]	0x0	H0	R/W	
	3-2	P61MUX[1:0]	0x0	H0	R/W	
	1-0	P60MUX[1:0]	0x0	H0	R/W	

表7.7.7.2 P6ポートグループ機能割り付け

ポート名	P6SELY = 0		P6SELY = 1							
	GPIO	P6yMUX = 0x0 (機能0)		P6yMUX = 0x1 (機能1)		P6yMUX = 0x2 (機能2)		P6yMUX = 0x3 (機能3)		
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子	
P60	P60	QSPI Ch.0	QSPICLK0	-	-	-	-	-	-	
P61	P61	QSPI Ch.0	QSDIO00	-	-	-	-	-	-	
P62	P62	QSPI Ch.0	QSDIO01	-	-	-	-	-	-	
P63	P63	QSPI Ch.0	QSDIO02	-	-	-	-	-	-	
P64	P64	QSPI Ch.0	QSDIO03	-	-	-	-	-	-	
P65	P65	QSPI Ch.0	#QSPISS0	-	-	-	-	-	-	
P66	P66	CLG	FOUT	-	-	-	-	-	-	
P67	P67	T16B Ch.0	EXCL01	-	-	-	-	-	-	

7 出力ポート(PPORT)

7.7.8 Pdポートグループ

PdポートグループはPd0～Pd3の4ポートで構成され、Pd0～Pd1の2ポートは初期設定でデバッグ機能用ポートに設定されます。これらの4ポートはGPIO機能を持っています。

表7.7.8.1 Pdポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTPDDAT (Pd Port Data Register)	15-12	-	0x0	-	R	-
	11-8	PDOOUT[3:0]	0x0	H0	R/W	
	7-4	-	0x0	-	R	
	3-0	PDIN[3:0]	x	H0	R	
PPORTPDIOEN (Pd Port Enable Register)	15-12	-	0x0	-	R	-
	11-8	PDLEN[3:0]	0x0	H0	R/W	
	7-4	-	0x0	-	R	
	3-0	PDOEN[3:0]	0x0	H0	R/W	
PPORTPDRCTL (Pd Port Pull-up/down Control Register)	15-12	-	0x0	-	R	-
	11-8	PDPDPU[3:0]	0x0	H0	R/W	
	7-4	-	0x0	-	R	
	3-0	PDREN[3:0]	0x0	H0	R/W	
PPORTPDINTF PPORTPDINTCTL PPORTPDCHATEN	15-0	-	0x0000	-	R	-
PPORTPDMODSEL (Pd Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-4	-	0x0	-	R	
	3-0	PDSEL[3:0]	0x3	H0	R/W	
PPORTPDFNCSEL (Pd Port Function Select Register)	15-8	-	0x00	-	R	-
	7-6	PD3MUX[1:0]	0x0	H0	R/W	
	5-4	PD2MUX[1:0]	0x0	H0	R/W	
	3-2	PD1MUX[1:0]	0x0	H0	R/W	
	1-0	PD0MUX[1:0]	0x0	H0	R/W	

表7.7.8.2 Pdポートグループ機能割り付け

ポート名	PdSELY = 0 GPIO	PdSELY = 1							
		PdyMUX = 0x0 (機能0)		PdyMUX = 0x1 (機能1)		PdyMUX = 0x2 (機能2)		PdyMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
Pd0	Pd0	CPU core	SWCLK	-	-	-	-	-	-
Pd1	Pd1	CPU core	SWD	-	-	-	-	-	-
Pd2	Pd2	-	-	-	-	CLG	OSC3	-	-
Pd3	Pd3	-	-	-	-	CLG	OSC4	-	-

7.7.9 ポートグループ共通

表7.7.9.1 ポートグループ共通の制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PPORTCLK (P Port Clock Control Register)	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/WP	
	7-4	CLKDIV[3:0]	0x0	H0	R/WP	
	3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	
PPORTINTGRP (P Port Interrupt Flag Group Register)	15-8	-	0x00	-	R	-
	7	-	0	-	R	
	6	P6INT	0	H0	R	
	5	P5INT	0	H0	R	
	4	P4INT	0	H0	R	
	3	P3INT	0	H0	R	
	2	P2INT	0	H0	R	
	1	P1INT	0	H0	R	
	0	P0INT	0	H0	R	

8 ユニバーサルポートマルチプレクサ (UPMUX)

8.1 概要

UPMUXは、入出力ポートに周辺回路の入出力機能を自由に割り当てることができるマルチプレクサです。主な機能と特長を以下に示します。

- I²C、UART、同期式シリアルインタフェース、16ビットPWMタイマの周辺入出力機能をプログラマブルにP0、P1、P2、P3ポートグループに割り当て可能
- UPMUXにて割り当てた周辺入出力機能は、PPORTPx_{FNCSEL}.PxyMUX[1:0]ビット = 0x1の設定により使用可能

注: ポート名Pxy、レジスタ名、ビット名のxはポートグループ(x = 0, 1, 2, 3)を、yはポート番号(y = 0, 1, 2, ..., 7)を表します。

図8.1.1にUPMUXの構成を示します。

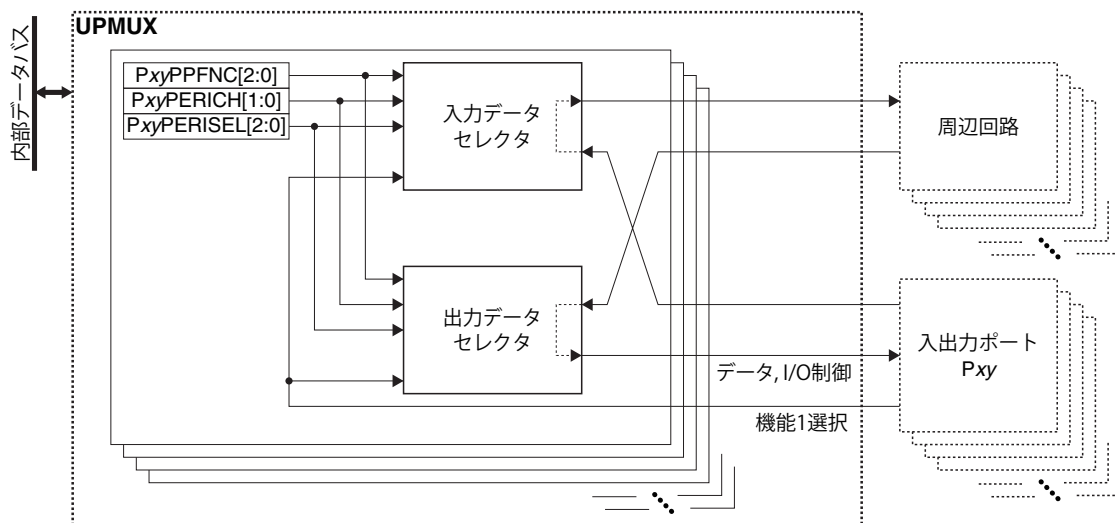


図8.1.1 UPMUXの構成

8.2 周辺入出力機能の割り当て

上記の対応入出力ポートの周辺入出力機能1に、対応周辺回路の入出力機能を割り当てることができます。周辺入出力機能の割り当てと、入出力ポートでその機能を有効にする手順を以下に示します。

1. 入出力ポートのPPORTPx_{IOEN}レジスタを設定する。
 - PPORTPx_{IOEN}.Px_{IEN}y_{ビット}を0に設定 (入力ディスエーブル)
 - PPORTPx_{IOEN}.Px_{OEN}y_{ビット}を0に設定 (出力ディスエーブル)
2. 入出力ポートのPPORTPx_{MODESEL}.Px_{SEL}y_{ビット}を0に設定する。(周辺入出力機能ディスエーブル)
3. UPMUXPx_{MUXn}レジスタ(n = 0~3)の以下のビットを設定する。
 - UPMUXPx_{MUXn}.Pxy_{PERISEL}[2:0]ビット (周辺回路の選択)
 - UPMUXPx_{MUXn}.Pxy_{PERICH}[1:0]ビット (周辺回路チャンネルの選択)
 - UPMUXPx_{MUXn}.Pxy_{PPFNC}[2:0]ビット (割り当て機能の選択)
4. 周辺回路を初期化する。
5. 入出力ポートのPPORTPx_{FNCSEL}.Pxy_{MUX}[1:0]ビットを0x1に設定する。(周辺入出力機能1を選択)
6. 入出力ポートのPPORTPx_{MODESEL}.Px_{SEL}y_{ビット}を1に設定する。(周辺入出力機能イネーブル)

8.3 制御レジスタ

Pxy-xz Universal Port Multiplexer Setting Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UPMUXPxMUX n	15-13	PxzPPFNC[2:0]	0x0	H0	R/W	-
	12-11	PxzPERICH[1:0]	0x0	H0	R/W	
	10-8	PxzPERISEL[2:0]	0x0	H0	R/W	
	7-5	PxyPPFNC[2:0]	0x0	H0	R/W	
	4-3	PxyPERICH[1:0]	0x0	H0	R/W	
	2-0	PxyPERISEL[2:0]	0x0	H0	R/W	

*1: レジスタ名の x はポートグループ番号、 n はレジスタ番号(0~3)を表します。

*2: ビット名の x はポートグループ番号、 y は偶数ポート番号(0, 2, 4, 6)、 z は奇数ポート番号($z = y + 1$)を表します。

Bits 15-13 PxzPPFNC[2:0]

Bits 7-5 PxyPPFNC[2:0]

これらのビットは、ポートに割り当てる周辺入出力機能を指定します。(表8.3.1参照)

Bits 12-11 PxzPERICH[1:0]

Bits 4-3 PxyPERICH[1:0]

これらのビットは、周辺回路のチャンネル番号を指定します。(表8.3.1参照)

Bits 10-8 PxzPERISEL[2:0]

Bits 2-0 PxyPERISEL[2:0]

これらのビットは、周辺回路を指定します。(表8.3.1参照)

表8.3.1 周辺入出力機能の選択

UPMUXPxMUX n . PxyPPFNC[2:0]ビット (周辺入出力機能)	UPMUXPxMUX n .PxyPERISEL[2:0]ビット (周辺回路)								
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7	
	None *	I2C	SPIA	UART3	T16B	Reserved	Reserved	Reserved	
	UPMUXPxMUX n .PxyPERICH[1:0]ビット(周辺回路チャンネル)								
	0x0-0x1	0x0	0x0-0x2	0x0-0x1	-	-	-	-	
	Ch.0-1	Ch.0	Ch.0-2	Ch.0-1	-	-	-	-	
0x0	None *	None *	None *	None *	None *	None *	None *	None *	
0x1	Reserved	SCL n	SDI n	USIN n	TOUT n 0/ CAP n 0	Reserved	Reserved	Reserved	
0x2		SDA n	SDO n	USOUT n	TOUT n 1/ CAP n 1				
0x3		Reserved	Reserved	SPICLK n	Reserved				TOUT n 2/ CAP n 2
0x4				#SPISS n					TOUT n 3/ CAP n 3
0x5		Reserved	Reserved	Reserved	TOUT n 4/ CAP n 4				
0x6					TOUT n 5/ CAP n 5				
0x7					Reserved				

* “None”は割り当てなしを意味します。この値を指定した場合、入出力ポートで周辺入出力機能1を選択して周辺入出力機能をイネーブルにすると、Pxy端子はHi-Zとなります。

注: 一つの周辺入力機能を複数のポートに割り当てないでください。出力機能を複数のポートに割り当てた場合は同じ波形が出力されますが、内部遅延のためにスキューを生じます。

9 ウォッチドッグタイマ(WDT2)

9.1 概要

WDT2は、プログラムが正常に実行できないような問題が発生したときにシステムを再起動させるための回路です。WDT2の主な機能と特長を以下に示します。

- NMI/リセット発生周期をカウントする10ビットアップカウンタを搭載
- カウンタのクロックソースとクロック分周比を選択可能
- ソフトウェアで設定可能な任意の周期でリセットまたはNMIを発生
- NMI発生後、次のNMI発生周期でリセットを発生可能

図9.1.1にWDT2の構成を示します。

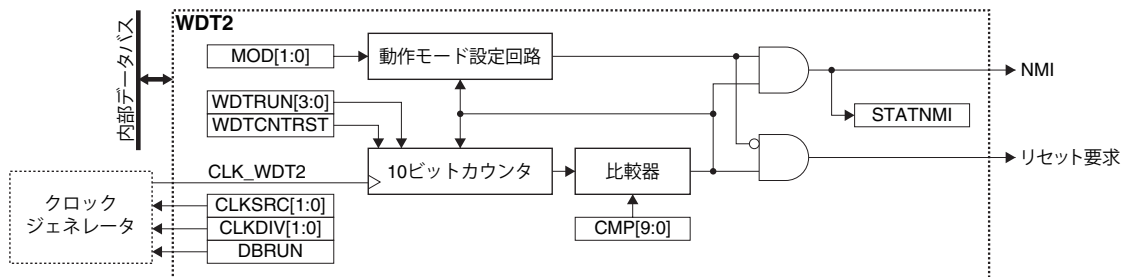


図9.1.1 WDT2の構成

9.2 クロック設定

9.2.1 WDT2の動作クロック

WDT2を使用する場合、クロックジェネレータからWDT2動作クロックCLK_WDT2をWDT2に供給する必要があります。

CLK_WDT2の供給は以下の手順で制御してください。

1. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
3. WDT2CLKレジスタの以下のビットを設定する。
WDT2CLK.CLKSRC[1:0]ビット (クロックソースの選択)
WDT2CLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

9.2.2 DEBUGモード時のクロック供給

DEBUGモード時のCLK_WDT2の供給はWDT2CLK.DBRUNビットで制御します。

WDT2CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとWDT2へのCLK_WDT2の供給が停止します。その後通常モードに戻ると、CLK_WDT2の供給が再開します。CLK_WDT2の供給が停止するとWDT2の動作は停止しますが、レジスタはDEBUGモードへ移行前の状態に保持されます。

WDT2CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_WDT2の供給は停止せず、WDT2は動作を継続します。

9.3 動作

9.3.1 WDT2の制御

WDT2のRUN

WDT2は、以下の手順により初期設定を行い、起動します。

1. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDT2動作クロックを設定する。
3. WDT2CTL.MOD[1:0]ビットを設定する。 (WDT2動作モードを選択)
4. WDT2CMP.CMP[9:0]ビットを設定する。 (NMI/リセット発生周期を設定)
5. WDT2CTL.WDTCNTRSTビットに1を書き込む。 (WDT2カウンタをリセット)
6. WDT2CTL.WDTRUN[3:0]ビットに0xa以外の任意の値を書き込む。 (WDT2を起動)
7. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

NMI/リセット発生周期

WDT2のNMI/リセット発生周期は次の式で計算できます。

$$t_{\text{WDT}} = \frac{\text{CMP} + 1}{\text{CLK_WDT2}} \quad (\text{式9.1})$$

ここで

t _{WDT} :	NMI/リセット発生周期 [秒]
CLK_WDT2:	WDT2動作クロック周波数 [Hz]
CMP:	WDT2CMP.CMP[9:0]ビット設定値

例) CLK_WDT2 = 256 Hz、WDT2CMP.CMP[9:0]ビット = 639のとき、t_{WDT} = 2.5秒

WDT2カウンタのリセット

WDT2動作中は、NMI/リセットの発生を防ぐため、内蔵されているカウンタをソフトウェアによって定期的によりリセットする必要があります。

1. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDT2CTL.WDTCNTRSTビットに1を書き込む。 (WDT2カウンタをリセット)
3. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

このルーチンを定期的に処理される場所に用意しておきます。このルーチンはt_{WDT}の周期以内に処理されるようにしてください。リセット後、WDT2は新たなNMI/リセット発生周期のカウントを始めます。

カウンタコンペアマッチの発生

何らかの原因によってカウンタがt_{WDT}周期以内にリセットされず、カウンタ値がWDT2CMP.CMP[9:0]ビットの設定値に一致するとコンペアマッチが発生し、WDT2はWDT2CTL.MOD[1:0]ビットを設定に応じてNMIまたはリセットを発行します。

NMIが発生した場合は、WDT2CTL.STATNMIビットが1に設定されます。このビットはWDT2CTL.WDTCNTRSTビットに1を書き込むことで0にクリアすることができます。NMIの割り込み処理ルーチン内では、必ずWDT2CTL.STATNMIビットのクリア処理を実施してください。

コンペアマッチが発生するとカウンタは自動的に0に戻り、カウントを継続します。

WDT2のSTOP

WDT2は、以下の手順により動作を停止します。

1. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDT2CTL.WDTRUN[3:0]ビットに0xaを書き込む。 (WDT2を停止)
3. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

9.3.2 HALT, SLEEPモード時の動作

HALTモード時

HALTモード時であっても、WDT2は動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除され、CPUは割り込み処理を実行します。HALTモード時にWDT2を無効にするには、HALTモードに移行する前にWDT2CTL.WDTRUN[3:0]ビットに0xaを書き込んでWDT2を停止させてください。HALTモードを解除した後は、動作を再開させる前にWDT2をリセットしてください。

SLEEPモード時

SLEEPモード時も選択されたクロックソースがONしている場合はWDT2が動作し、NMI/リセット発生周期以上SLEEPモードを続けるとNMIまたはリセットによりSLEEPモードが解除され、CPUは割り込み処理を実行します。したがって、SLEEPモードに移行する前にWDT2CTL.WDTRUN[3:0]ビットによってWDT2を停止させてください。

クロックソースがOFFの場合、WDT2は停止しますが、SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にWDT2をリセットしてください。また、必要に応じてWDT2CTL.WDTRUN[3:0]ビットによってWDT2を停止させてください。

9.4 制御レジスタ

WDT2 Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDT2CLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/WP	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にWDT2動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、WDT2動作クロック(カウンタクロック)の分周比を選択します。クロック周波数は256 Hz近辺に設定してください。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、WDT2のクロックソースを選択します。

表9.4.1 クロックソースと分周比の設定

WDT2CLK. CLKDIV[1:0]ビット	WDT2CLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/65,536	1/128	1/65,536	1/1
0x2	1/32,768		1/32,768	
0x1	1/16,384	1/16,384		
0x0	1/8,192	1/8,192		

(注) 本ICが対応していない発振回路/外部入力クロックソースとして選択することはできません。

WDT2 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDT2CTL	15–11	–	0x00	–	R	–
	10–9	MOD[1:0]	0x0	H0	R/WP	
	8	STATNMI	0	H0	R	
	7–5	–	0x0	–	R	
	4	WDTCNTRST	0	H0	WP	Always read as 0.
	3–0	WDTRUN[3:0]	0xa	H0	R/WP	–

Bits 15–11 Reserved

Bits 10–9 MOD[1:0]

これらのビットは、WDT2の動作モードを設定します。

表9.4.2 動作モードの設定

WDT2CTL. MOD[1:0]ビット	動作モード	説明
0x3	Reserved	–
0x2	RESET after NMIモード	最初のカウンタコンペアマッチによりNMIが発生し、その後WDT2CTL.STATNMIビットを0クリアせずに再度カウンタコンペアマッチが発生すると、リセットが生成されます。
0x1	NMIモード	カウンタコンペアマッチによりNMIを生成します。
0x0	RESETモード	カウンタコンペアマッチによりリセットを生成します。

Bit 8 STATNMI

このビットは、カウンタコンペアマッチによりNMIが発生したことを示します。

1 (R): NMI (カウンタコンペアマッチ)発生

0 (R): NMI未発生

WDT2のNMI発生機能を使用する場合は、NMIハンドラルーチンの中でこのビットをチェックし、NMIの発生元がWDT2であるか確認します。

1にセットされたWDT2CTL.STATNMIビットは、WDT2CTL.WDTCNTRSTビットに1を書き込むことで0にクリアすることができます。

Bits 7–5 Reserved

Bit 4 WDTCNTRST

このビットは、10ビットカウンタおよびWDT2CTL.STATNMIビットをリセットします。

1 (WP): リセット

0 (WP): 無効

0 (R): 読み出し時は常時0

Bits 3–0 WDTRUN[3:0]

これらのビットは、WDT2のRUN/STOPを制御します。

0xa (WP): STOP

0xa以外 (WP): RUN

0xa (R): 停止中

0x0 (R): 動作中

0xa以外を書き込んだ場合の読み出し値は常に0x0になります。

カウンタの値によってはRUN直後にNMI/リセットが発生する場合がありますので、WDT2をRUNさせる際にはWDT2のリセットも同時に行ってください。

WDT2 Counter Compare Match Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDT2CMP	15–10	–	0x00	–	R	–
	9–0	CMP[9:0]	0x3ff	H0	R/WP	

Bits 15–10 Reserved

Bits 9–0 CMP[9:0]

これらのビットは、NMI/リセット発生周期を設定します。

WDT2動作中は、10ビットカウンタの値がこのレジスタの設定値と比較され、一致するとNMIまたはリセットが生成されます。

10 リアルタイムクロック(RTCA)

10.1 概要

RTCAは、パーペチュアルカレンダー機能を備えたリアルタイムクロックです。主な機能と特長を以下に示します。

- BCDコードで表された、時計(秒、分、時)、およびカレンダー(日、曜日、月、年、うるう年対応)を実現するリアルタイムクロックカウンタを搭載
- リアルタイムクロックカウンタはホールド機能を搭載しており、カウンタを変化させずに読み出すことが可能
- 24時間制/12時間制の選択が可能
- 時計のスタート/ストップ制御が可能
- 時報などで時刻を調整するための機能として、30秒補正機能を搭載
- 128~1 Hzをカウントする1Hzカウンタを搭載
- BCDコードで表された、1/100秒カウントを実現するストップウォッチカウンタを搭載
- 発振周波数偏差による時計の誤差を外付け部品の変更なしに補正する論理緩急機能を搭載

図10.1.1にRTCAの構成を示します。

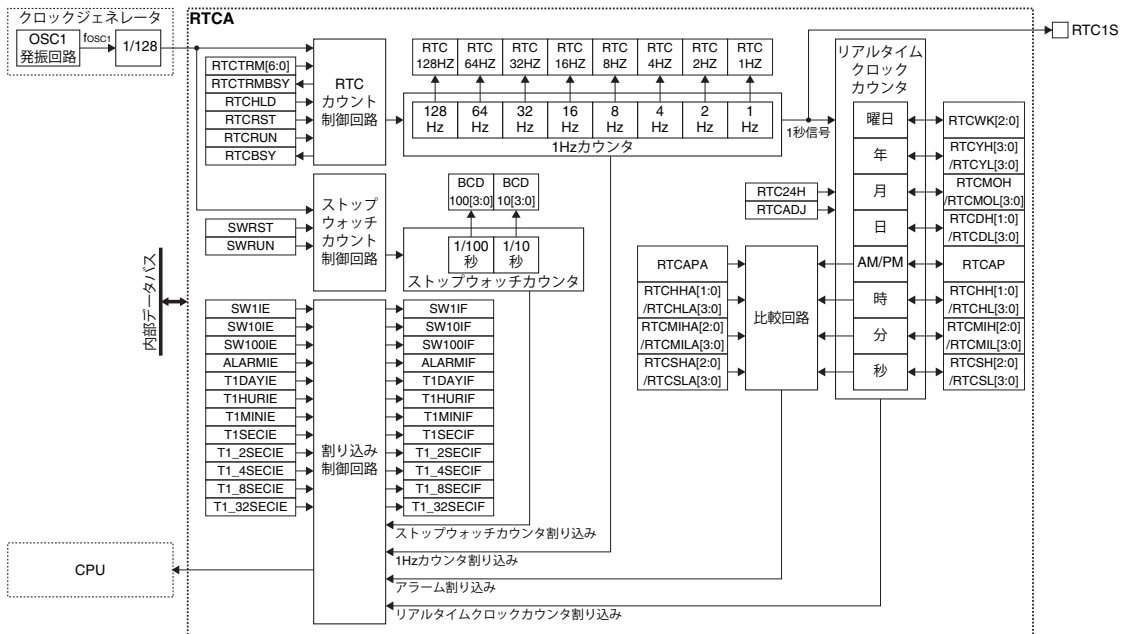


図10.1.1 RTCAの構成

10.2 出力端子と外部接続

10.2.1 出力端子

表10.2.1.1にRTCAの端子を示します。

表10.2.1.1 RTCAの端子

端子名	I/O*	イニシャル状態*	機能
RTC1S	O	O (L)	1秒信号モニタ出力端子

* 端子機能をRTCAに切り換えた時点の状態

RTCAの出力機能と他の機能がポートを共有している場合、RTCAの機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

10.3 クロック設定

10.3.1 RTCAの動作クロック

RTCAは、クロックジェネレータでOSC1をクロックソースとして生成されるCLK_RTCAを動作クロックとして使用します。OSC1がイネーブルであれば、RTCAは使用可能です。

SLEEPモード中にOSC1を停止させずにRTCAを継続して動作させるためには、CLGOSC.OSC1SLPCビットに0を書き込む必要があります。

10.3.2 論理緩急機能

OSC1周波数 f_{osc1} が、32.768 kHzに対して発振周波数偏差を持つ場合、時計は誤差を生じます。RTCAは、この誤差を外付け部品の変更なしに補正する論理緩急機能を搭載しています。論理緩急は、以下の手順で行います。

1. f_{osc1} を測定し、発振周波数偏差の補正值 m [ppm] = $-(f_{osc1} - 32,768 \text{ [Hz]}) / 32,768 \text{ [Hz]} \times 10^6$ を求める。
2. 論理緩急実行間隔 n 秒を決める。
3. 1と2からRTCACTLH.RTCTRM[6:0]ビットへ書き込む値を決定する。
4. RTCAのアラーム割り込みや秒割り込みを利用し、 n 秒間隔でRTCACTLH.RTCTRM[6:0]ビットへ3で決めた値を書き込む。
5. RTC1S信号をモニタし、 n 秒の周期が、誤差のない周期になっているかを確認する。

論理緩急の調整値は-64～+63の範囲で設定可能で、RTCACTLH.RTCTRM[6:0]ビットには2の補数として書き込みます。調整値は式10.1で計算できます。

$$RTCTRM[6:0] = \frac{m}{10^6} \times 256 \times n \quad (\text{ただし、RTCTRM[6:0]は-64} \sim \text{+63の整数へ四捨五入した値}) \quad (\text{式10.1})$$

ここで

n : 論理緩急実行間隔 [秒](ソフトウェアで定期的にRTCACTLH.RTCTRM[6:0]ビットに書き込む間隔)

m : OSC1発振周波数偏差の補正值 [ppm]

RTC1S信号の波形を図10.3.2.1に示します。

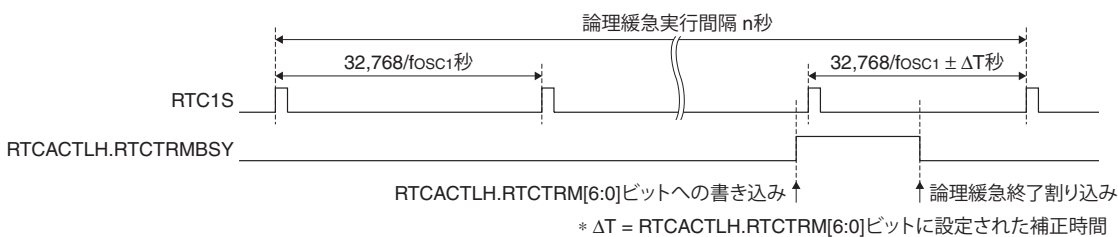


図10.3.2.1 RTC1S信号波形

例として、論理緩急実行間隔 $n = 4,096$ 秒のときの、発振周波数偏差の補正率を表10.3.2.1に示します。

表10.3.2.1 論理緩急実行間隔 $n = 4,096$ 秒時の補正率

RTCACTLH.RTCTRM[6:0] ビット(2の補数)	補正值(10進数)	補正率 [ppm]	RTCACTLH.RTCTRM[6:0] ビット(2の補数)	補正值(10進数)	補正率 [ppm]
0x00	0	0.0	0x40	-64	-61.0
0x01	1	1.0	0x41	-63	-60.1
0x02	2	1.9	0x42	-62	-59.1
0x03	3	2.9	0x43	-61	-58.2
...
0x3e	62	59.1	0x7e	-2	-1.9
0x3f	63	60.1	0x7f	-1	-1.0

最小分解能: 1 ppm, 補正率幅: -61.0～60.1 ppm

注: ・ 論理緩急は、リアルタイムクロックカウンタと1Hzカウンタのみに影響を与え、ストップウォッチカウンタには影響を与えません。

- ・ 値がRTCACTLH.RTCTRM[6:0]ビットに書き込まれると、1Hzカウンタが0x7fに変わるタイミングで1Hzカウンタのカウント値が論理緩急を反映した値に変化します。また、カウント値に応じた割り込みが発生します。

10.4 動作

10.4.1 RTCAの制御

RTCAの時刻設定、時刻読み出し、アラーム設定は、以下の手順により行います。

時刻設定

1. RTCACTLL.RTC24Hビットで12Hモード/24Hモードを設定する。
2. RTCACTLL.RTCRUNビットに1を書き込み、リアルタイムクロックカウンタのカウントアップを開始する。
3. RTCACTLL.RTCBSYビット = 0になっているかどうかでカウンタが書き換え可能なことを確認する。RTCACTLL.RTCBSYビット = 1ならば、0になるまで待つ。
4. 以下のビットに、現在の日付と時刻をBCDコードで書き込む。
 RTCASEC.RTCOSH[2:0]/RTCSL[3:0]ビット(秒)
 RTCAHUR.RTCMIH[2:0]/RTCMIL[3:0]ビット(分)
 RTCAHUR.RTCHH[1:0]/RTCHL[3:0]ビット(時)
 RTCAHUR.RTCAPビット(AM/PM) (RTCACTLL.RTC24Hビット = 0の場合)
 RTCAMON.RTCDH[1:0]/RTCDL[3:0]ビット(日)
 RTCAMON.RTCMOH/RTCMOL[3:0]ビット(月)
 RTCAYAR.RTCYH[3:0]/RTCYL[3:0]ビット(年)
 RTCAYAR.RTCWK[2:0]ビット(曜日)
5. 時報に合わせてRTCACTLL.RTCADJビットに1を書き込み(30秒補正を実行)、時刻を合わせる。(30秒補正については、“リアルタイムクロックカウンタの動作”参照)
6. RTCAINTFレジスタ内の割り込みフラグに1を書き込み、それらをクリアする。
7. RTCAINTEレジスタの割り込みイネーブルビットに1を書き込み、RTCA割り込みをイネーブルにする。

時刻読み出し

1. RTCACTLL.RTCBSYビット = 0を確認する。RTCACTLL.RTCBSYビット = 1ならば、0になるまで待つ。
2. RTCACTLL.RTCHLDビットに1を書き込み、リアルタイムクロックカウンタのカウントアップを一時停止させる。
3. 上記“時刻設定の4”に示したビットから日時を読み出す。
4. RTCACTLL.RTCHLDビットに0を書き込み、リアルタイムクロックカウンタのカウントアップを再開させる。カウントホールド中に秒のカウントアップタイミングになっていた場合は、ハードウェアにより+1秒補正が行われる(+1秒補正については、“リアルタイムクロックカウンタの動作”参照)。

アラーム設定

1. RTCAINTE.ALARMIEビットに0を書き込み、アラーム割り込みをディスエーブルにする。
2. 以下のビットに、アラーム時刻(現在時刻から24時間先までの範囲で指定可能)をBCDコードで書き込む。
 RTCAALM1.RTCSHA[2:0]/RTCSLA[3:0]ビット(秒)
 RTCAALM2.RTCMIHA[2:0]/RTCMILA[3:0]ビット(分)
 RTCAALM2.RTCHHA[1:0]/RTCHLA[3:0]ビット(時)
 RTCAALM2.RTCAPAビット(AM/PM) (RTCACTLL.RTC24Hビット = 0の場合)
3. RTCAINTF.ALARMIFビットに1を書き込み、アラーム割り込みフラグをクリアする。
4. RTCAINTE.ALARMIEビットに1を書き込み、アラーム割り込みをイネーブルにする。
 2で設定した時刻になるとアラーム割り込みが発生する。

10.4.2 リアルタイムクロックカウンタの動作

リアルタイムクロックカウンタは、秒、分、時、AM/PM、日、月、年、曜日カウンタで構成され、RTCIS信号でカウントアップを行います。また、リアルタイムクロックカウンタには、以下の機能もあります。

うるう年検出

うるう年検出は西暦専用です。0~99年の中で、4で割り切れる年はうるう年と判定します。年カウンタ = 0x00の場合は平年と判断します。うるう年と判定された場合、2月の日カウンタのカウント範囲が変わります。

有効範囲外の値をセットした場合の補正動作

年、曜日、時(24Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップで0にクリアされます。月、日、時(12Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップタイミングで1にセットされます。

注: RTCAMON.RTCMOHビット = 0 & RTCAMON.RTCMOL[3:0]ビット = 0x00の設定を禁止します。

30秒補正

時報合わせを想定した機能です。RTCACTLL.RTCADJビットに1が書き込まれると、秒カウンタが30~59秒までの場合は分カウンタに1を加算し、0~29秒の場合は分カウンタをそのまま秒カウンタを0にします。

+1秒補正

RTCACTLL.RTCHLDビット = 1の間(カウントホールド中)に1秒のカウントアップタイミングが来ていた場合は、このビットに0を書き込んでカウントを再開した時点で、リアルタイムクロックカウンタを+1秒カウントアップ(+1秒補正)します。

注: RTCACTLL.RTCHLDビット = 1の間に2回以上1秒のカウントアップタイミングが来ていた場合でも、+1秒しか補正されません。

10.4.3 ストップウォッチの制御

ストップウォッチのカウント開始とカウンタの読み出しは、以下の手順により行います。

カウント開始

1. RTCASWCTL.SWRSTビットに1を書き込み、ストップウォッチカウンタをリセットする。
2. RTCAINTFレジスタ内のストップウォッチ割り込みフラグに1を書き込み、それらをクリアする。
3. RTCAINTEレジスタの割り込みイネーブルビットに1を書き込み、ストップウォッチ割り込みをイネーブルにする。
4. RTCASWCTL.SWRUNビットに1を書き込み、ストップウォッチカウンタのカウントアップを開始する。

カウンタ読み出し

1. RTCASWCTL.BCD10[3:0]/BCD100[3:0]ビットからカウント値を読み出す。
2. もう一度読み出す。
 - i. 値が同じ場合は正しく読み出せたと判断する。
 - ii. 値が異なる場合は更にもう一度読み出し、前の値と比較する。

10.4.4 ストップウォッチのカウントアップパターン

ストップウォッチは、1/100秒と1/10秒のカウンタを搭載しており、図10.4.4.1で示すようなカウントアップパターンで疑似的な1/100秒と1/10秒カウントアップを行います。

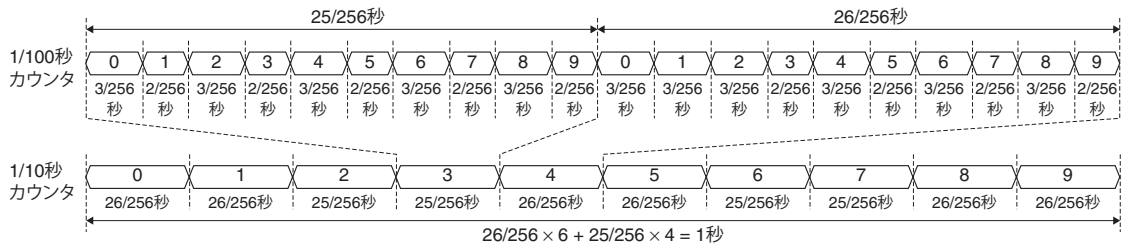


図10.4.4.1 ストップウォッチのカウントアップパターン

10.5 割り込み

RTCAには、表10.5.1に示す割り込みを発生させる機能があります。

表10.5.1 RTCAの割り込み機能

割り込み	割り込みフラグ	セット	クリア
アラーム	RTCAINTF.ALARMIF	RTCAALM1~2レジスタとリアルタイムクロックカウンタの内容が一致したとき	1書き込み
1日	RTCAINTF.T1DAYIF	日カウンタがカウントアップしたとき	1書き込み
1時間	RTCAINTF.T1HURIF	時カウンタがカウントアップしたとき	1書き込み
1分	RTCAINTF.T1MINIF	分カウンタがカウントアップしたとき	1書き込み
1秒	RTCAINTF.T1SECIF	秒カウンタがカウントアップしたとき	1書き込み
1/2秒	RTCAINTF.T1_2SECIF	図10.5.1参照	1書き込み
1/4秒	RTCAINTF.T1_4SECIF	図10.5.1参照	1書き込み
1/8秒	RTCAINTF.T1_8SECIF	図10.5.1参照	1書き込み
1/32秒	RTCAINTF.T1_32SECIF	図10.5.1参照	1書き込み
ストップウォッチ 1 Hz	RTCAINTF.SW1IF	1/10秒カウンタがオーバーフローしたとき	1書き込み
ストップウォッチ 10 Hz	RTCAINTF.SW10IF	1/10秒カウンタがカウントアップしたとき	1書き込み
ストップウォッチ 100 Hz	RTCAINTF.SW100IF	1/100秒カウンタがカウントアップしたとき	1書き込み
論理緩急終了	RTCAINTF.RTCTRMIF	論理緩急が終了したとき	1書き込み

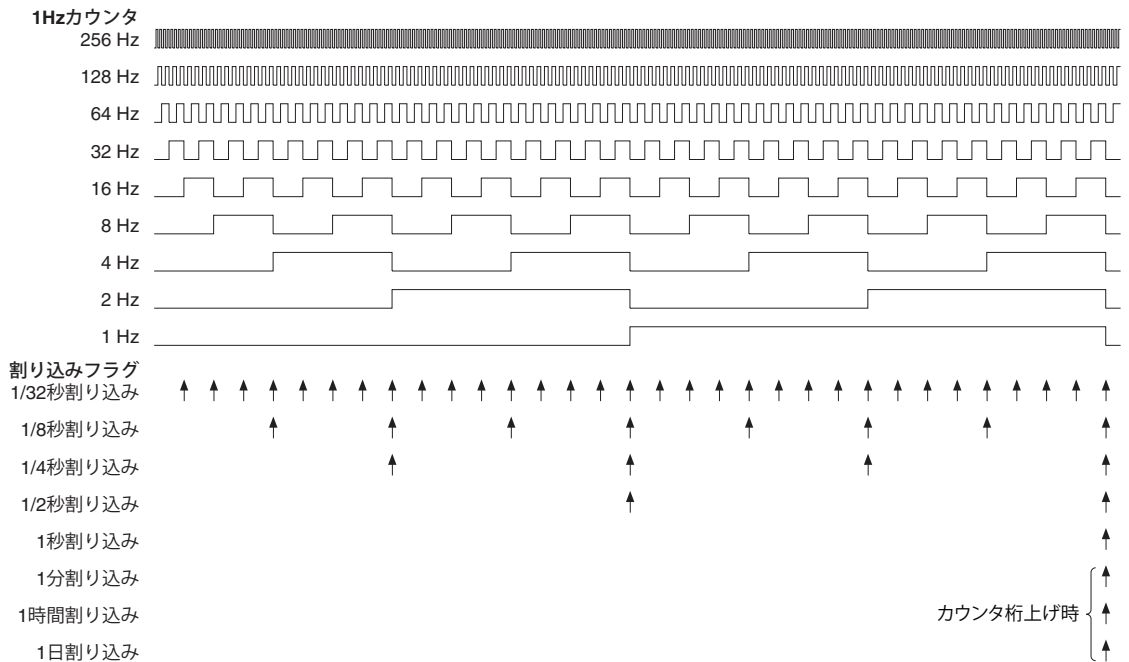


図10.5.1 RTCA割り込みタイミング

注: ・ 1秒~1/32秒割り込みは、1Hzカウンタのカウント値の変化から1/256秒後に発生します。

- ・ アラーム割り込みは、AM/PM(12Hモード時)、時、分、秒カウンタの値とアラーム設定値が一致してから1/256秒後に発生します。

10 リアルタイムクロック(RTCA)

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

10.6 制御レジスタ

RTCA Control Register (Low Byte)

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCACTLL	7	–	0	–	R	–
	6	RTCBSY	0	H0	R	–
	5	RTCHLD	0	H0	R/W	Cleared by setting the RTCACTLL.RTCRST bit to 1.
	4	RTC24H	0	H0	R/W	–
	3	–	0	–	R	–
	2	RTCADJ	0	H0	R/W	Cleared by setting the RTCACTLL.RTCRST bit to 1.
	1	RTCST	0	H0	R/W	–
	0	RTCST	0	H0	R/W	–

Bit 7 **Reserved**

Bit 6 **RTCBSY**

このビットは、カウンタが桁上げ動作中かどうかを示します。

1 (R): 桁上げ中

0 (R): 待機中(リアルタイムクロックカウンタ書き換え可能)

このビットは、1秒カウントアップ、+1秒補正、30秒補正動作時に1となり、1/256秒の間1を保持した後に0に戻ります。

Bit 5 **RTCHLD**

このビットは、リアルタイムクロックカウンタのカウントアップを停止します。

1 (R/W): リアルタイムクロックカウンタのカウントアップ停止

0 (R/W): 通常動作

このビットに1を書き込むとリアルタイムクロックカウンタのカウントアップが停止し、カウンタを変化させずに値を正しく読み出すことができます。カウンタ読み出し後は速やかに0を書き込んでカウントアップを再開させます。これらの操作のタイミングによっては、カウントアップ再開後に+1秒補正が発生します。+1秒補正については、“リアルタイムクロックカウンタの動作”を参照してください。

注: RTCACTLL.RTCRSTビット = 1の場合、このビットに1を書き込むことはできません(0に固定されます)。

Bit 4 **RTC24H**

このビットは、時カウンタを24Hモードまたは12Hモードに設定します。

1 (R/W): 24Hモード

0 (R/W): 12Hモード

この選択により、時カウンタのカウント範囲が変わります。ただし、カウンタの値は自動的に更新されませんので、プログラムで設定し直す必要があります。

注: RTCACTLL.RTCRUNビット = 1のときの書き込みは禁止します。

Bit 3 **Reserved**

Bit 2 **RTCADJ**

このビットは、時刻調整機能の30秒補正を実行します。

1 (W): 30秒補正実行

0 (W): 無効

1 (R): 30秒補正実行中

0 (R): 30秒補正終了(通常動作中)

RTCACTLL.RTCRUNビット = 0のときでも、1が書き込まれると30秒補正は実行され、該当する割り込みが発生します。補正には最大2/256秒の時間がかかり、終了すると自動的に0にクリアされます。30秒補正については、“リアルタイムクロックカウンタの動作”を参照してください。

- 注 ・ RTCACTLL.RTCBSYビット = 1のときの書き込みは禁止します。
- ・ RTCACTLL.RTCADJビット = 1のときは、再度1を書き込まないでください。

Bit 1 RTCRST

このビットは、1Hzカウンタ、RTCACTLL.RTCADJビット、RTCACTLL.RTCHLDビットを初期化します。

- 1 (W): リセット実行
- 0 (W): 無効
- 1 (R): リセット実行中
- 0 (R): リセット終了(通常動作中)

リセットが終了すると、自動的に0にクリアされます。

Bit 0 RTCRUN

このビットは、リアルタイムクロックカウンタの開始/停止を制御します。

- 1 (R/W): 動作中/開始制御
- 0 (R/W): 停止中/停止制御

0書き込みによって動作中のリアルタイムクロックカウンタを停止させた場合、カウンタは停止時の値を保持します。再度1を書き込むことで、カウンタは保持している値からカウントを再開します。

RTCA Control Register (High Byte)

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCACTLH	7	RTCTRMBSY	0	H0	R	–
	6–0	RTCTRM[6:0]	0x00	H0	W	Read as 0x00.

Bit 7 RTCTRMBSY

このビットは、論理緩急を実行中かどうかを示します。

- 1 (R): 論理緩急実行中
- 0 (R): 論理緩急終了(実行中以外)

RTCACTLH.RTCTRM[6:0]ビットに値が書き込まれると、1になります。論理緩急の実行には、最大で1秒の時間がかかります。論理緩急が終了すると、自動的に0にクリアされます。

Bits 6–0 RTCTRM[6:0]

1 Hzの周波数を調整するための補正值をここに書き込み、論理緩急を実行します。補正值の計算方法は、“論理緩急機能”を参照してください。

- 注 ・ RTCACTLH.RTCTRMBSYビット = 1の場合、これらのビットに値を書き込むことはできません。
- ・ RTCACTLH.RTCTRM[6:0]ビットに0x00を書き込んだ場合、RTCACTLH.RTCTRMBSYビットは1になりますが、補正は行われません。

RTCA Second Alarm Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCAALM1	15	–	0	–	R	–
	14–12	RTCSHA[2:0]	0x0	H0	R/W	
	11–8	RTCSLA[3:0]	0x0	H0	R/W	
	7–0	–	0x00	–	R	

Bit 15 Reserved

10 リアルタイムクロック(RTCA)

Bits 14–12 RTCSHA[2:0]

Bits 11–8 RTCSLA[3:0]

RTCAALM1.RTCSHA[2:0]ビットでアラームの10秒桁を、RTCAALM1.RTCSLA[3:0]ビットで1秒桁を設定します。表10.6.1に示すとおり、0から59秒までの値をBCDコードで設定可能です。

表10.6.1 BCDコードの設定例

BCDコードの設定値		アラーム(秒)設定
RTCAALM1.RTCSHA[2:0]ビット	RTCAALM1.RTCSLA[3:0]ビット	
0x0	0x0	00秒
0x0	0x1	01秒
...
0x0	0x9	09秒
0x1	0x0	10秒
...
0x5	0x9	59秒

Bits 7–0 Reserved

RTCA Hour/Minute Alarm Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCAALM2	15	–	0	–	R	–
	14	RTCAPA	0	H0	R/W	
	13–12	RTCHHA[1:0]	0x0	H0	R/W	
	11–8	RTCHLA[3:0]	0x0	H0	R/W	
	7	–	0	–	R	
	6–4	RTCMIHA[2:0]	0x0	H0	R/W	
	3–0	RTCMILA[3:0]	0x0	H0	R/W	

Bit 15 Reserved

Bit 14 RTCAPA

このビットは、12Hモード(RTCACTLL.RTC24Hビット = 0)時にアラームの午前/午後を設定します。

1 (R/W): 午後

0 (R/W): 午前

24Hモード(RTCACTLL.RTC24Hビット = 1)の場合、この設定は無効です。

Bits 13–12 RTCHHA[1:0]

Bits 11–8 RTCHLA[3:0]

RTCAALM2.RTCHHA[1:0]ビットでアラームの10時桁を、RTCAALM2.RTCHLA[3:0]ビットで1時桁を設定します。12Hモード時は1から12時まで、24Hモード時は0から23時までの値をBCDコードで設定可能です。

Bit 7 Reserved

Bits 6–4 RTCMIHA[2:0]

Bits 3–0 RTCMILA[3:0]

RTCAALM2.RTCMIHA[2:0]ビットでアラームの10分桁を、RTCAALM2.RTCMILA[3:0]ビットで1分桁を設定します。0から59分までの値をBCDコードで設定可能です。

RTCA Stopwatch Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCASWCTL	15–12	BCD10[3:0]	0x0	H0	R	–
	11–8	BCD100[3:0]	0x0	H0	R	
	7–5	–	0x0	–	R	
	4	SWRST	0	H0	W	Read as 0.
	3–1	–	0x0	–	R	–
	0	SWRUN	0	H0	R/W	

Bits 15–12 BCD10[3:0]**Bits 11–8 BCD100[3:0]**

RTCASWCTL.BCD10[3:0]ビットからストップウォッチカウンタの1/10秒桁が、RTCASWCTL.BCD100[3:0]ビットから1/100秒桁がBCDコードとして読み出せます。

注: ストップウォッチカウンタの動作中はカウント値が正しく読みだせないことがあります。RTCASWCTL.BCD10[3:0]/BCD100[3:0]ビットを2回連続して読み出し、同じ結果が得られたときに正しく読み出せたかと判断してください。

Bits 7–5 Reserved**Bit 4 SWRST**

このビットは、ストップウォッチカウンタを0x00にリセットします。

1 (W): リセット

0 (W): 無効

0 (R): 読み出し時は常時0

動作状態でリセットすると、ストップウォッチカウンタは0x00からカウントを継続します。停止状態の場合は0x00が保持されます。

Bits 3–1 Reserved**Bit 0 SWRUN**

このビットは、ストップウォッチカウンタの開始/停止を制御します。

1 (R/W): 動作中/開始制御

0 (R/W): 停止中/停止制御

0書き込みによって動作中のストップウォッチカウンタを停止させた場合、カウンタは停止時の値を保持します。再度1を書き込むことで、カウンタは保持している値からカウントを再開します。

注: ストップウォッチカウンタは、RTCASWCTL.SWRUNビットに0を書き込み後、ストップウォッチのクロックに同期して停止します。そのため、0を書き込んだ時点のカウント値から、更に+1カウントして停止する場合があります。

RTCA Second/1Hz Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCASEC	15	–	0	–	R	–
	14–12	RTCSH[2:0]	0x0	H0	R/W	
	11–8	RTCSL[3:0]	0x0	H0	R/W	
	7	RTC1HZ	0	H0	R	Cleared by setting the RTCACTLL.RTCRST bit to 1.
	6	RTC2HZ	0	H0	R	
	5	RTC4HZ	0	H0	R	
	4	RTC8HZ	0	H0	R	
	3	RTC16HZ	0	H0	R	
	2	RTC32HZ	0	H0	R	
	1	RTC64HZ	0	H0	R	
0	RTC128HZ	0	H0	R		

Bit 15 Reserved**Bits 14–12 RTCSH[2:0]****Bits 11–8 RTCSL[3:0]**

RTCASEC.RTCSH[2:0]ビットで秒カウンタの10秒桁、RTCASEC.RTCSL[3:0]ビットで1秒桁の設定または読み出しを行います。設定/読み出し値は0から59までのBCDコードです。

注: RTCACTLL.RTCBSYビット = 1のときは、RTCASEC.RTCSH[2:0]/RTCSL[3:0]ビットへの書き込みを禁止します。

10 リアルタイムクロック(RTCA)

Bit 7	RTC1HZ
Bit 6	RTC2HZ
Bit 5	RTC4HZ
Bit 4	RTC8HZ
Bit 3	RTC16HZ
Bit 2	RTC32HZ
Bit 1	RTC64HZ
Bit 0	RTC128HZ

これらのビットにより、1Hzカウンタのデータが読み出せます。

各ビットと周波数の対応は以下のとおりです。

RTCASEC.RTC1HZビット:	1 Hz
RTCASEC.RTC2HZビット:	2 Hz
RTCASEC.RTC4HZビット:	4 Hz
RTCASEC.RTC8HZビット:	8 Hz
RTCASEC.RTC16HZビット:	16 Hz
RTCASEC.RTC32HZビット:	32 Hz
RTCASEC.RTC64HZビット:	64 Hz
RTCASEC.RTC128HZビット:	128 Hz

注: 1Hzカウンタの動作中はカウント値が正しく読みだせないことがあります。これらのビットを2回連続して読み出し、同じ結果が得られたときに正しく読み出せたと判断してください。

RTCA Hour/Minute Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCAHUR	15	-	0	-	R	-
	14	RTCAP	0	H0	R/W	
	13-12	RTCHH[1:0]	0x1	H0	R/W	
	11-8	RTCHL[3:0]	0x2	H0	R/W	
	7	-	0	-	R	
	6-4	RTCMIH[2:0]	0x0	H0	R/W	
	3-0	RTCMIL[3:0]	0x0	H0	R/W	

Bit 15 **Reserved**

Bit 14 **RTCAP**

12Hモード(RTCACTLL.RTC24Hビット = 0)時は、このビットを使用して午前/午後の設定または読み出しを行います。

1 (R/W): 午後

0 (R/W): 午前

24Hモード(RTCACTLL.RTC24Hビット = 1)時は0に固定され、1書き込みは無視されます。ただし、1が設定されている状態で24Hモードに変更した場合は、時カウンタの桁上がり時に0となります。

Bits 13-12 **RTCHH[1:0]**

Bits 11-8 **RTCHL[3:0]**

RTCAHUR.RTCHH[1:0]ビットで時カウンタの10時桁、RTCAHUR.RTCHL[3:0]ビットで1時桁の設定または読み出しを行います。設定/読み出し値は12Hモード時は1から12まで、24Hモード時は0から23までのBCDコードです。

注: RTCACTLL.RTCBSYビット = 1のときは、RTCAHUR.RTCHH[1:0]/RTCHL[3:0]ビットへの書き込みを禁止します。

Bit 7 **Reserved**

Bits 6–4 RTCMIH[2:0]**Bits 3–0 RTCMIL[3:0]**

RTCAHUR.RTCMIH[2:0]ビットで分カウンタの10分桁、RTCAHUR.RTCMIL[3:0]ビットで1分桁の設定または読み出しを行います。設定/読み出し値は0から59までのBCDコードです。

注: RTCACTLL.RTCBSYビット = 1のときは、RTCAHUR.RTCMIH[2:0]/RTCMIL[3:0]ビットへの書き込みは禁止します。

RTCA Month/Day Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCAMON	15–13	–	0x0	–	R	–
	12	RTCMOH	0	H0	R/W	
	11–8	RTCMOL[3:0]	0x1	H0	R/W	
	7–6	–	0x0	–	R	
	5–4	RTCDH[1:0]	0x0	H0	R/W	
	3–0	RTCDL[3:0]	0x1	H0	R/W	

Bits 15–13 Reserved**Bit 12 RTCMOH****Bits 11–8 RTCMOL[3:0]**

RTCAMON.RTCMOHビットで月カウンタの10月桁、RTCAMON.RTCMOL[3:0]ビットで1月桁の設定または読み出しを行います。設定/読み出し値は1から12までのBCDコードです。

注: • RTCACTLL.RTCBSYビット = 1のときは、RTCAMON.RTCMOH/RTCMOL[3:0]ビットへの書き込みを禁止します。

• RTCAMON.RTCMOH/RTCMOL[3:0]ビットを0x00に設定することは禁止します。

Bits 7–6 Reserved**Bits 5–4 RTCDH[1:0]****Bits 3–0 RTCDL[3:0]**

RTCAMON.RTCDH[1:0]ビットで日カウンタの10日桁、RTCAMON.RTCDL[3:0]ビットで1日桁の設定または読み出しを行います。設定/読み出し値は1から31まで(ただし、平年の2月は28まで、うるう年の2月は29まで、4/6/9/11月は30まで)のBCDコードです。

注: RTCACTLL.RTCBSYビット = 1のときは、RTCAMON.RTCDH[1:0]/RTCDL[3:0]ビットへの書き込みを禁止します。

RTCA Year/Week Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCAYAR	15–11	–	0x00	–	R	–
	10–8	RTCWK[2:0]	0x0	H0	R/W	
	7–4	RTCYH[3:0]	0x0	H0	R/W	
	3–0	RTCYL[3:0]	0x0	H0	R/W	

Bits 15–11 Reserved**Bits 10–8 RTCWK[2:0]**

これらのビットで、曜日の設定と読み出しを行います。

曜日カウンタは7進カウンタで、設定/読み出し値は0x0から0x6までです。カウント値と曜日の対応を表10.6.2に示します。

10 リアルタイムクロック(RTCA)

表10.6.2 カウント値と曜日の対応

RTCAYAR.RTCWK[2:0]ビット	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

注: RTCACTLL.RTCBSYビット = 1のときは、RTCAYAR.RTCWK[2:0]ビットへの書き込みを禁止します。

Bits 7-4 RTCYH[3:0]

Bits 3-0 RTCYL[3:0]

RTCAYAR.RTCYH[3:0]ビットで年カウンタの10年桁、RTCAYAR.RTCYL[3:0]ビットで1年桁の設定または読み出しを行います。設定/読み出し値は0から99までのBCDコードです。

注: RTCACTLL.RTCBSYビット = 1のときは、RTCAYAR.RTCYH[3:0]/RTCYL[3:0]ビットへの書き込みを禁止します。

RTCA Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCAINTF	15	RTCTRMIF	0	H0	R/W	Cleared by writing 1.
	14	SW1IF	0	H0	R/W	
	13	SW10IF	0	H0	R/W	
	12	SW100IF	0	H0	R/W	
	11-9	-	0x0	-	R	
	8	ALARMIF	0	H0	R/W	Cleared by writing 1.
	7	T1DAYIF	0	H0	R/W	
	6	T1HURIF	0	H0	R/W	
	5	T1MINIF	0	H0	R/W	
	4	T1SECIF	0	H0	R/W	
	3	T1_2SECIF	0	H0	R/W	
	2	T1_4SECIF	0	H0	R/W	
	1	T1_8SECIF	0	H0	R/W	
	0	T1_32SECIF	0	H0	R/W	

Bit 15 RTCTRMIF

Bit 14 SW1IF

Bit 13 SW10IF

Bit 12 SW100IF

これらのビットは、リアルタイムクロック割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

RTCAINTF.RTCTRMIFビット: 論理緩急終了割り込み

RTCAINTF.SW1IFビット: ストップウォッチ1 Hz割り込み

RTCAINTF.SW10IFビット: ストップウォッチ10 Hz割り込み

RTCAINTF.SW100IFビット: ストップウォッチ100 Hz割り込み

Bits 11-9 Reserved

Bit 8	ALARMIF
Bit 7	T1DAYIF
Bit 6	T1HURIF
Bit 5	T1MINIF
Bit 4	T1SECIF
Bit 3	T1_2SECIF
Bit 2	T1_4SECIF
Bit 1	T1_8SECIF
Bit 0	T1_32SECIF

これらのビットは、リアルタイムクロック割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
 0 (R): 割り込み要因なし
 1 (W): フラグをクリア
 0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

- RTCAINTF.ALARMIFビット: アラーム割り込み
 RTCAINTF.T1DAYIFビット: 1日割り込み
 RTCAINTF.T1HURIFビット: 1時間割り込み
 RTCAINTF.T1MINIFビット: 1分割り込み
 RTCAINTF.T1SECIFビット: 1秒割り込み
 RTCAINTF.T1_2SECIFビット: 1/2秒割り込み
 RTCAINTF.T1_4SECIFビット: 1/4秒割り込み
 RTCAINTF.T1_8SECIFビット: 1/8秒割り込み
 RTCAINTF.T1_32SECIFビット: 1/32秒割り込み

RTCA Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCAINTE	15	RTCTRMIE	0	H0	R/W	-
	14	SW1IE	0	H0	R/W	
	13	SW10IE	0	H0	R/W	
	12	SW100IE	0	H0	R/W	
	11-9	-	0x0	-	R	
	8	ALARMIE	0	H0	R/W	
	7	T1DAYIE	0	H0	R/W	
	6	T1HURIE	0	H0	R/W	
	5	T1MINIE	0	H0	R/W	
	4	T1SECIE	0	H0	R/W	
	3	T1_2SECIE	0	H0	R/W	
	2	T1_4SECIE	0	H0	R/W	
	1	T1_8SECIE	0	H0	R/W	
0	T1_32SECIE	0	H0	R/W		

Bit 15	RTCTRMIE
Bit 14	SW1IE
Bit 13	SW10IE
Bit 12	SW100IE

これらのビットは、リアルタイムクロックの割り込みをイネーブルにします。

- 1 (R/W): 割り込みイネーブル
 0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

- RTCAINTE.RTCTRMIEビット: 論理緩急終了割り込み
 RTCAINTE.SW1IEビット: ストップウォッチ1 Hz割り込み
 RTCAINTE.SW10IEビット: ストップウォッチ10 Hz割り込み
 RTCAINTE.SW100IEビット: ストップウォッチ100 Hz割り込み

10 リアルタイムクロック(RTCA)

Bits 11–9 Reserved

Bit 8 ALARMIE

Bit 7 T1DAYIE

Bit 6 T1HURIE

Bit 5 T1MINIE

Bit 4 T1SECIE

Bit 3 T1_2SECIE

Bit 2 T1_4SECIE

Bit 1 T1_8SECIE

Bit 0 T1_32SECIE

これらのビットは、リアルタイムクロックの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RTCAINTE.ALARMIEビット: アラーム割り込み

RTCAINTE.T1DAYIEビット: 1日割り込み

RTCAINTE.T1HURIEビット: 1時間割り込み

RTCAINTE.T1MINIEビット: 1分割り込み

RTCAINTE.T1SECIEビット: 1秒割り込み

RTCAINTE.T1_2SECIEビット: 1/2秒割り込み

RTCAINTE.T1_4SECIEビット: 1/4秒割り込み

RTCAINTE.T1_8SECIEビット: 1/8秒割り込み

RTCAINTE.T1_32SECIEビット: 1/32秒割り込み

11 電源電圧検出回路(SVD3)

11.1 概要

SVD3は、 V_{DD} 電圧または外部電圧検出入力端子に供給されている電源電圧を監視する電源電圧検出回路です。主な機能と特長を以下に示します。

- 検出する電源電圧: V_{DD} または外部入力電圧(EXSVD0、EXSVD1)を選択可能
- 検出電圧レベル: 最大32レベルから選択可能(注: 下表参照)
- 検出結果:
 - 電源電圧が検出電圧レベル未滿か否かを読み出し可能
 - 電源電圧低下検出により割り込みまたはリセットを発生可能
- 割り込み: 1系統(電源電圧低下検出割り込み)
- 間欠動作対応:
 - 検出周期を3種類から選択可能
 - 指定回数の連続電源電圧低下検出により割り込み/リセットを発生する電源電圧低下検出カウンタ機能
 - 連続動作も可能

図11.1.1にSVD3の構成を示します。

表11.1.1 S1C31D01のSVD3構成

項目	S1C31D01
検出電源電圧	V_{DD} 、外部電圧2入力(EXSVD0、EXSVD1)
検出電圧レベル	V_{DD} : 28レベル(1.8~5.0 V)/外部電圧: 32レベル(1.2~5.0 V)

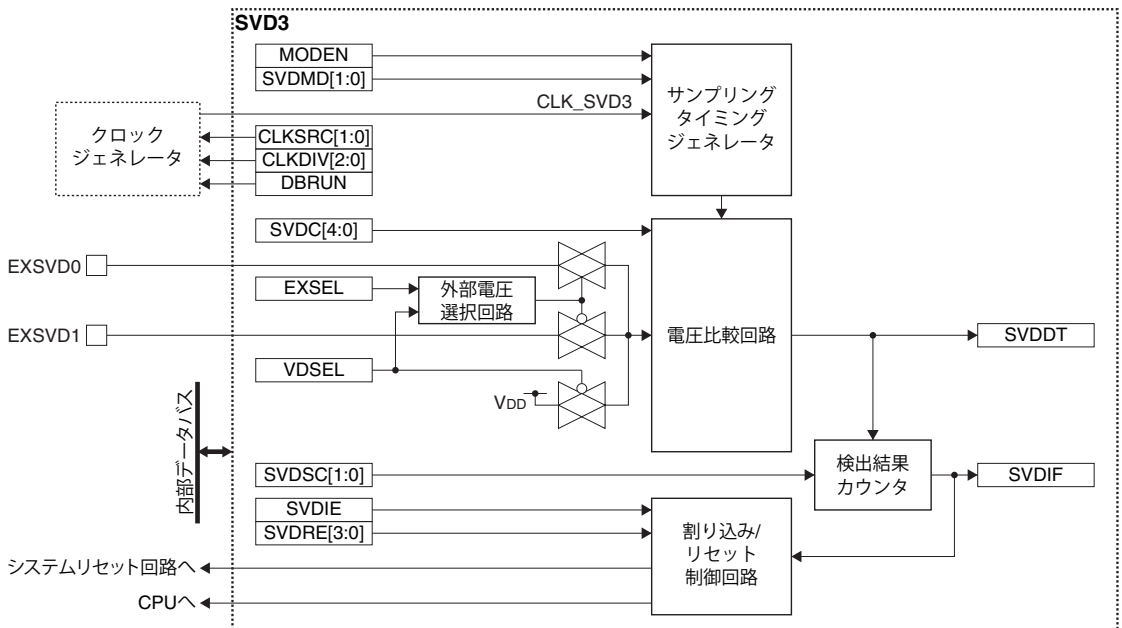


図11.1.1 SVD3の構成

11.2 入力端子と外部接続

11.2.1 入力端子

表11.2.1.1にSVD3の入力端子を示します。

表11.2.1.1 SVD3入力端子

端子名	I/O	イニシャル状態	機能
EXSVD n	A*	A (Hi-Z)*	外部電源電圧検出用端子

* 端子機能をSVD3に切り換えた時点の状態

EXSVD n 端子と他の機能がポートを共有している場合、SVD3を動作させる前にEXSVD n をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

11.2.2 外部との接続

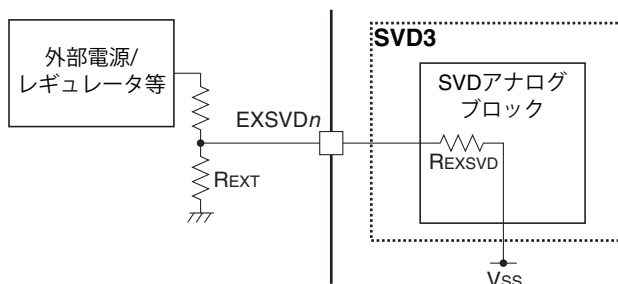


図11.2.2.1 EXSVD n 端子と外部電源との接続

REXTは、EXSVD入力インピーダンスREXSVDよりも十分小さくなるように設定してください。EXSVD n 端子の入力電圧範囲およびEXSVD入力インピーダンスについては、“電気的特性”の章の“電源電圧検出回路特性”を参照してください。

11.3 クロック設定

11.3.1 SVD3の動作クロック

SVD3を使用する場合、クロックジェネレータからSVD3動作クロックCLK_SVD3をSVD3に供給する必要があります。

CLK_SVD3の供給は以下の手順で制御してください。

1. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
3. SVD3CLKレジスタの以下のビットを設定する。
 - SVD3CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - SVD3CLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

CLK_SVD3周波数は32 kHz近辺に設定してください。

11.3.2 SLEEPモード時のクロック供給

SLEEPモード時にSVD3を使用する場合は、SVD3動作クロックCLK_SVD3のクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_SVD3を供給し続ける必要があります。

SLEEPモード時に、CLK_SVD3のクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_SVD3のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、SVD3が停止します。その後通常モードに戻ると、CLK_SVD3が供給され、SVD3の動作が再開します。

11.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_SVD3の供給はSVD3CLK.DBRUNビットで制御します。
SVD3CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSVD3へのCLK_SVD3の供給が停止します。その後通常モードに戻ると、CLK_SVD3の供給が再開します。CLK_SVD3の供給が停止するとSVD3の動作は停止しますが、レジスタはDEBUGモードへ移行前の状態に保持されます。
SVD3CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_SVD3の供給は停止せず、SVD3は動作を継続します。

11.4 動作

11.4.1 SVD3の制御

検出開始

以下の手順により初期設定を行い、SVD3の動作を開始させます。

1. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. SVD3CLK.CLKSRC[1:0]ビットとSVD3CLK.CLKDIV[2:0]ビットで動作クロックを設定する。
3. SVD3CTLレジスタの以下のビットを設定する。
 - SVD3CTL.VDSELとSVD3CTL.EXSELビット (検出電圧(V_{DD}、EXSVD0、EXSVD1)の選択)
 - SVD3CTL.SVDSC[1:0]ビット (電源電圧低下検出カウンタの設定)
 - SVD3CTL.SVDC[4:0]ビット (SVD検出電圧V_{SVD}/EXSVD検出電圧V_{SVD_EXT}の設定)
 - SVD3CTL.SVDRE[3:0]ビット (リセット/割り込みの選択)
 - SVD3CTL.SVDMMD[1:0]ビット (間欠動作モードの設定)
4. 割り込みを使用する場合は以下のビットを設定する。
 - SVD3INTF.SVDIFビットに1を書き込み (割り込みフラグをクリア)
 - SVD3INTE.SVDIEビットを1に設定 (SVD3割り込みイネーブル)
5. SVD3CTL.MODENビットを1に設定する。 (SVD3検出イネーブル)
6. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

検出停止

SVD3の動作は以下の手順で終了させます。

1. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. SVD3CTL.MODENビットに0を書き込む。 (SVD3検出ディスエーブル)
3. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

検出結果の読み出し

検出結果は次の2種類となり、SVD3INTF.SVDDTビットから読み出すことができます。

- SVD3INTF.SVDDTビット = 0の場合:
電源電圧(V_{DD}、EXSVD_n) ≥ SVD検出電圧V_{SVD}またはEXSVD検出電圧V_{SVD_EXT}
- SVD3INTF.SVDDTビット = 1の場合:
電源電圧(V_{DD}、EXSVD_n) < SVD検出電圧V_{SVD}またはEXSVD検出電圧V_{SVD_EXT}

SVD3CTL.MODENビットに1を書き込んでからSVD3INTF.SVDDTビットを読み出すまでに、SVD回路イネーブル時応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路イネーブル時応答時間t_{SVDEN}”参照)。また、SVD3CTL.MODENビット = 1の状態、SVD3CTL.SVDC[4:0]ビットの設定値を変更してSVD検出電圧V_{SVD}/EXSVD検出電圧V_{SVD_EXT}を変化させたときは、その時点からSVD3INTF.SVDDTビットを読み出すまでに、SVD回路応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路応答時間t_{SVD}”参照)。

11.4.2 SVD3の動作

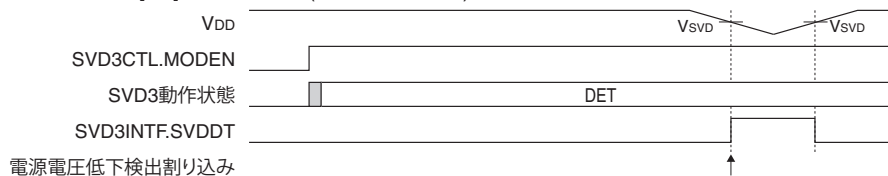
連続動作モード

デフォルト設定(SVD3CTL.SVDMMD[1:0]ビット = 0x0)のSVD3は連続動作モードで動作します。このモードでは、SVD3CTL.MODENビットが1の間、SVD3が連続的に動作し検出結果をSVD3INTF.SVDDTビットにセットし続けます。この間、必要に応じてSVD3INTF.SVDDTビットを読み出し、その時点の検出結果を確認することができます。また、SVD3INTF.SVDDTビット = 1になった(電源電圧低下を検出した)時点で割り込み(SVD3CTL.SVDRE[3:0]ビット = 0xa以外の場合)、またはリセット(SVD3CTL.SVDRE[3:0]ビット = 0xaの場合)を発生させることもできます。このモードでは、電圧検出マスク時間経過後であれば、SLEEPモードへの移行や不慮のクロック停止が発生した場合でも、電源電圧低下を検出し続けることができます。

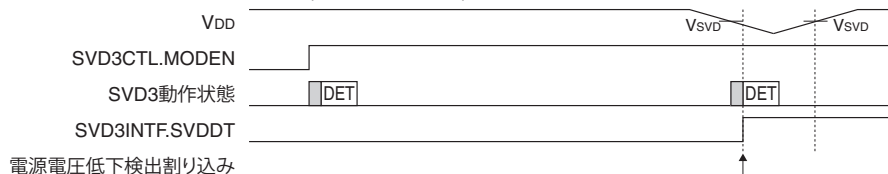
間欠動作モード

SVD3CTL.SVDMMD[1:0]ビットを0x1~0x3に設定すると、SVD3は間欠動作モードで動作します。このモードでは、SVD3CTL.MODENビットが1の間、SVD3CTL.SVDMMD[1:0]ビットの値で決まる周期ごとにSVD3がONし、検出動作を実行した後にOFFします。この間、必要に応じてSVD3INTF.SVDDTビットを読み出し、直前の検出結果を確認することができます。また、電源電圧低下をSVD3CTL.SVDSC[1:0]ビットで指定した回数続けて検出した場合に割り込みまたはリセットを発生させることもできます。

(1) SVD3CTL.SVDMMD[1:0]ビット = 0x0 (連続動作モード)時



(2) SVD3CTL.SVDMMD[1:0]ビット ≠ 0x0 (間欠動作モード)時



V_{SVD}: SVD3CTL.SVDC[4:0]ビットで設定したレベル
 []: 電圧検出マスク時間
 [DET]: 電圧検出動作

図11.4.2.1 SVD3動作

11.5 SVD3割り込みとリセット

11.5.1 SVD3割り込み

SVD3CTL.SVDRE[3:0]ビットを0xa以外に設定することにより、電源電圧低下検出割り込み機能が使用できます。

表11.5.1.1 電源電圧低下検出割り込み機能

割り込み	割り込みフラグ	セット	クリア
電源電圧低下検出	SVD3INTF.SVDIF	連続動作モード時 SVD3INTF.SVDDTビットが1のとき 間欠動作モード時 電源電圧低下を指定回数続けて検出した場合	1書き込み

割り込みフラグ(SVD3INTF.SVDIFビット)には、対応する割り込みイネーブルビット(SVD3INTE.SVDIEビット)があります。SVD3INTE.SVDIEビットによって割り込みをイネーブルにした状態でSVD3INTF.SVDIFビットがセットされた場合にのみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

セットされたSVD3INTF.SVDIFビットは、その後電源電圧がSVD検出電圧 V_{SVD} /EXSVD検出電圧 V_{SVD_EXT} 以上に戻ってもクリアされません。一時的な電源電圧低下で割り込みが発生することもありますので、割り込みハンドルーチン内でSVD3INTF.SVDDTビットを読み出して電源電圧の状態を確認してください。

11.5.2 SVD3リセット

SVD3CTL.SVDRE[3:0]ビットを0xaに設定することにより、SVD3のリセット発行機能が使用できます。リセット発行のタイミングは、電源電圧低下の検出によってSVD3INTF.SVDIFビットがセットされるタイミングと同じです。

SVD3はリセットを発行すると、間欠動作モードで動作していた場合でも連続動作モードに切り換えて動作を継続します。SVD3のリセット発行によりポート割り当てが初期化されますが、EXSVD n 検出時は、EXSVD n 端子となるポートの入力がSVD3に送られ、EXSVD n の検出動作が継続して行われます。

電源電圧が復帰し、SVD3INTF.SVDDTビット = 0の状態になるとリセットが解除されます。リセット解除後、初期化ルーチンを経て再びSVD3は元のモードで動作を再開します。

リセット中、SVD3の制御ビットは表11.5.2.1のように設定されます。

表11.5.2.1 リセット中のSVD3制御ビット

制御レジスタ	制御ビット	設定
SVD3CLK	DBRUN	初期値にリセットされる。
	CLKDIV[2:0]	
	CLKSRC[1:0]	
SVD3CTL	VDSEL	設定値を保持する。
	SVDC[1:0]	0クリアされる(連続検出モードになるため、設定値無効)。
	SVDC[4:0]	設定値を保持する。
	SVDRE[3:0]	設定値(0xa)を保持する。
	EXSEL	設定値を保持する。
	SVDM[1:0]	0クリアされ、連続検出モードになる。
	MODEN	設定値(1)を保持する。
SVD3INTF	SVDIF	リセット前の状態(1)を保持する。
SVD3INTE	SVDIE	0クリアされる。

11.6 制御レジスタ

SVD3 Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVD3CLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/WP	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にSVD3動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

Bit 7 Reserved

Bits 6-4 CLKDIV[2:0]

これらのビットは、SVD3動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、SVD3のクロックソースを選択します。

表11.6.1 クロックソースと分周比の設定

SVD3CLK. CLKDIV[2:0]ビット	SVD3CLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x7, 0x6	Reserved	1/1	Reserved	1/1
0x5	1/512		1/512	
0x4	1/256		1/256	
0x3	1/128		1/128	
0x2	1/64		1/64	
0x1	1/32		1/32	
0x0	1/16		1/16	

(注) 本ICが対応していない発振回路/外部入力クロックソースとして選択することはできません。

注: クロック周波数は32 kHz近辺に設定してください。

SVD3 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVD3CTL	15	VDSEL	0	H1	R/WP	–
	14–13	SVDSC[1:0]	0x0	H0	R/WP	Writing takes effect when the SVD3CTL.SVDMMD[1:0] bits are not 0x0.
	12–8	SVDC[4:0]	0x1e	H1	R/WP	–
	7–4	SVDRE[3:0]	0x0	H1	R/WP	–
	3	EXSEL	0	H1	R/WP	–
	2–1	SVDMMD[1:0]	0x0	H0	R/WP	–
	0	MODEN	0	H1	R/WP	–

Bit 15 VDSEL

このビットは、SVD3で検出する電源電圧を選択します。

1 (R/WP): EXSVD_n端子印加電圧

0 (R/WP): V_{DD}

Bits 14–13 SVDSC[1:0]

これらのビットは、間欠動作モード時(SVD3CTL.SVDMMD[1:0]ビット = 0x1~0x3)に割り込み/リセットを発生させる条件(連続して電源電圧低下を検出した回数)を設定します。

表11.6.2 間欠動作モードの割り込み/リセット発生条件

SVD3CTL.SVDSC[1:0]ビット	割り込み/リセット発生条件
0x3	電源電圧低下を連続8回検出
0x2	電源電圧低下を連続4回検出
0x1	電源電圧低下を連続2回検出
0x0	電源電圧低下を連続1回検出

この設定は、連続動作モード(SVD3CTL.SVDMMD[1:0]ビット = 0x0)では無効です。

Bits 12–8 SVDC[4:0]

これらのビットは、電源電圧低下を検出するためのSVD検出電圧V_{SVD}/EXSVD検出電圧V_{SVD_EXT}を選択します。

表11.6.3 SVD検出電圧V_{SVD}/EXSVD検出電圧V_{SVD_EXT}の設定

SVD3CTL.SVDC[4:0]ビット	SVD検出電圧V _{SVD} /EXSVD検出電圧V _{SVD_EXT} [V]
0x1f	High
0x1e	↑
0x1d	
:	
0x02	
0x01	↓
0x00	Low

設定可能範囲と電圧値については、“電気的特性”の章の“電源電圧検出回路特性、SVD検出電圧V_{SVD}/EXSVD検出電圧V_{SVD_EXT}”を参照してください。

Bits 7-4 SVDRE[3:0]

これらのビットは、電源電圧低下検出時のリセット発行機能をイネーブル/ディスエーブルにします。

0xa (R/W): イネーブル(リセットを発行)

0xa以外 (R/W): ディスエーブル(割り込みを発生)

SVD3リセット発行機能の詳細は、“SVD3リセット”を参照してください。

Bit 3 EXSEL

このビットは、SVD3CTL.VDSELビット = 1のときに検出する電圧を選択します。

1 (R/W): EXSVD1

0 (R/W): EXSVD0

Bits 2-1 SVDMD[1:0]

これらのビットは、間欠動作モードと検出周期を選択します。

表11.6.4 間欠動作モードの検出周期選択

SVD3CTL.SVDMD[1:0]ビット	動作モード(検出周期)
0x3	間欠動作モード(CLK_SVD3/512)
0x2	間欠動作モード(CLK_SVD3/256)
0x1	間欠動作モード(CLK_SVD3/128)
0x0	連続動作モード

間欠動作モードと連続動作モードについては、“SVD3の動作”を参照してください。

Bit 0 MODEN

このビットはSVD3回路の動作をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(検出動作開始)

0 (R/W): ディスエーブル(検出動作停止)

本ビットを変更した場合は、書き込んだ値が本ビットから読み出されるまで次の操作を行わずに待機してください。

注: • SVD3CTL.MODENビットに0を書き込むことにより、SVD3内のハードウェアがリセットされます。ただし、レジスタの設定値や割り込みフラグはクリアされません。SVD3CTL.MODENビットはこの処理が終了後に、実際に0に設定されます。このとき、同ビットから0が読み出されることを確認せずに続けてSVD3CTL.MODENビットに1を書き込むと、タイミングによっては0の書き込みが無視され、ハードウェアがリセットされずに再起動し、誤動作を起こすことがあります。

- SVD3CTL.MODENビットに1を書き込み後のSVD3動作中にSVD3CTL.SVDSC[1:0]ビット、SVD3CTL.SVDRE[3:0]ビット、またはSVD3CTL.SVDMD[1:0]ビットを変更すると、SVD3内部が初期化されます。

SVD3 Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVD3INTF	15-9	-	0x00	-	R	
	8	SVDDT	x	-	R	
	7-1	-	0x00	-	R	
	0	SVDIF	0	H1	R/W	Cleared by writing 1.

Bits 15-9 Reserved**Bit 8 SVDDT**

このビットから電源電圧検出結果が読み出せます。

1 (R): 電源電圧(V_{DD} , EXSVD n) < SVD検出電圧 V_{SVD} またはEXSVD検出電圧 V_{SVD_EXT}

0 (R): 電源電圧(V_{DD} , EXSVD n) \geq SVD検出電圧 V_{SVD} またはEXSVD検出電圧 V_{SVD_EXT}

Bits 7-1 Reserved

11 電源電圧検出回路(SVD3)

Bit 0 SVDIF

このビットは、電源電圧低下検出割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

注: SVD3CTL.MODENビットに1を書き込み後のSVD3動作中に割り込みフラグをクリアすると、SVD3内部が初期化されます。

SVD3 Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVD3INTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	SVDIE	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 SVDIE

このビットは、電源電圧低下検出割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

- 注:
- SVD3CTL.SVDRE[3:0]ビットを0xaに設定した場合は割り込みタイミングでリセットが発生されるため、本ビットの設定にかかわらず電源電圧低下検出割り込みは発生しません。
 - 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

12 16ビットタイマ(T16)

12.1 概要

T16は16ビットタイマです。主な機能と特長を以下に示します。

- 16ビットのプリセッタブルダウンカウンタ
- プリセット値設定用のリロードデータレジスタを搭載
- カウントクロックを生成するクロックソースとクロック分周比を選択可能
- リピートモードとワンショットモードを選択可能
- カウンタのアンダーフロー割り込みを発生可能

図12.1.1にT16チャンネルの構成を示します。

表12.1.1 S1C31D01のT16チャンネル構成

項目	S1C31D01
チャンネル数	8チャンネル (Ch.0~Ch.7)
イベントカウンタ機能	未対応(EXCL _m 端子未実装)
周辺回路クロック出力 (カウンタアンダーフロー信号を出力)	Ch.1 → 同期式シリアルインタフェースCh.0のマスタクロック Ch.2 → 同期式クワッドシリアルインタフェースCh.0のマスタクロック Ch.6 → 同期式シリアルインタフェースCh.1のマスタクロック Ch.7 → 12ビットA/D変換器のトリガ信号

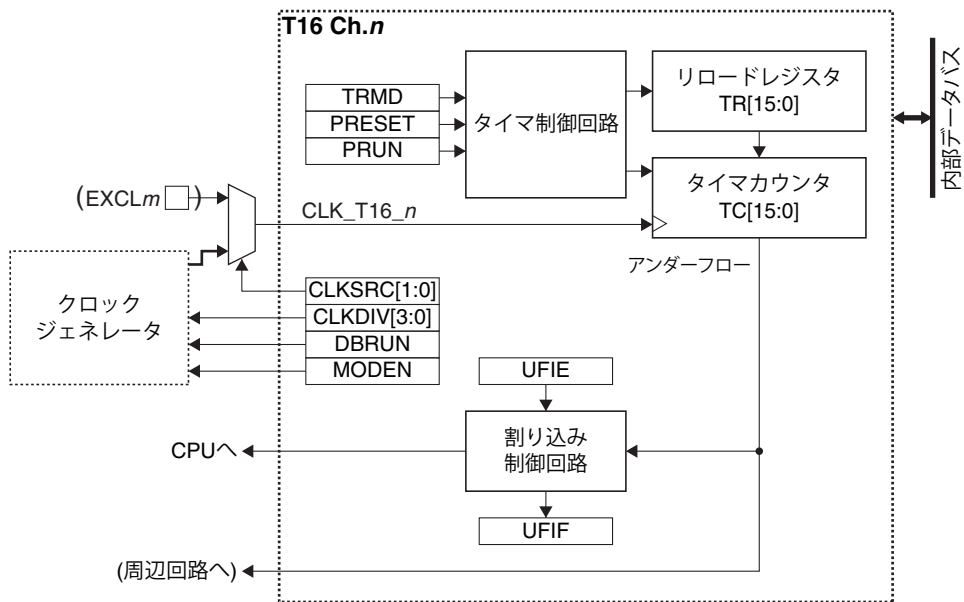


図12.1.1 T16チャンネルの構成

12.2 入力端子

表12.2.1にT16の入力端子を示します。

表12.2.1 T16入力端子

端子名	I/O*	イニシャル状態*	機能
EXCL _m	I	I (Hi-Z)	外部イベント信号入力端子

* 端子機能をT16に切り換えた時点の状態

EXCL_m端子と他の機能がポートを共有している場合、イベントカウンタ機能を使用する前にEXCL_m入力機能をポートに割り当てる必要があります。また、EXCL_m信号はチャタリング除去回路を通して入力することが可能です。これらの詳細は“入出力ポート”の章を参照してください。

12.3 クロック設定

12.3.1 T16の動作クロック

T16 Ch.*n*を使用する場合、クロックジェネレータからT16 Ch.*n*動作クロックCLK_T16_*n*をT16 Ch.*n*に供給する必要があります。

CLK_T16_*n*の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. T16_*n*CLKレジスタの以下のビットを設定する。
 - T16_*n*CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - T16_*n*CLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

12.3.2 SLEEPモード時のクロック供給

SLEEPモード時にT16を使用する場合は、T16動作クロックCLK_T16_*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK_T16_*n*を供給し続ける必要があります。

SLEEPモード時に、CLK_T16_*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットが1の場合は、CLK_T16_*n*のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタやカウンタの内容を保持したまま、T16が停止します。その後通常モードに戻ると、CLK_T16_*n*が供給され、T16の動作が再開します。

12.3.3 デバッグ時のクロック供給

デバッグ時のCLK_T16_*n*の供給はT16_*n*CLK.DBRUNビットで制御します。

T16_*n*CLK.DBRUNビット = 0の場合、デバッグ状態に移行するとT16 Ch.*n*へのCLK_T16_*n*の供給が停止します。その後通常動作に戻ると、CLK_T16_*n*の供給が再開します。CLK_T16_*n*の供給が停止するとT16 Ch.*n*の動作は停止しますが、カウンタやレジスタはデバッグ状態に移行する前の状態に保持されます。T16_*n*CLK.DBRUNビット = 1の場合、デバッグ時もCLK_T16_*n*の供給は停止せず、T16 Ch.*n*は動作を継続します。

12.3.4 イベントカウンタクロック

イベントカウンタ機能に対応したチャンネルでは、T16_*n*CLK.CLKSRC[1:0]ビットを0x3に設定すると、EXCL*m*端子から入力される信号の立ち上がりエッジでカウントダウンを行います。

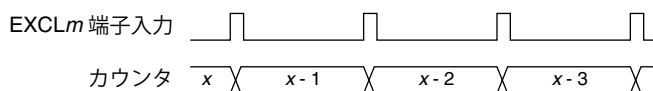


図12.3.4.1 カウントダウンタイミング

イベントカウンタ機能に非対応のチャンネルでは、EXOSCクロックが選択されます。

12.4 動作

12.4.1 初期設定

T16 Ch.*n*は、以下の手順により初期設定を行い、カウントを開始させます。

1. T16 Ch.*n*動作クロックを設定する(“T16の動作クロック”参照)。
2. T16_*n*CTL.MODENビットを1に設定する。(カウント動作クロックイネーブル)
3. T16_*n*MOD.TRMDビットを設定する。(動作モード(リピートモード/ワンショットモード)の設定)
4. T16_*n*TRレジスタを設定する。(リロードデータ(カウンタプリセットデータ)の設定)

5. 割り込みを使用する場合は以下のビットを設定する。
 - T16_nINTF.UFIFビットに1を書き込み (割り込みフラグをクリア)
 - T16_nINTE.UFIEビットを1に設定 (アンダーフロー割り込みイネーブル)
6. T16_nCTLレジスタの以下のビットを設定する。
 - T16_nCTL.PRESETビットを1に設定 (リロードデータをカウンタにプリセット)
 - T16_nCTL.PRUNビットを1に設定 (カウントスタート)

12.4.2 カウンタのアンダーフロー

通常、T16のカウンタはプリセットされたリロードデータの値からカウントダウンを行い、アンダーフローが発生するとアンダーフロー信号を生成します。この信号は割り込みを発生させ、また特定の周辺回路へも出力され、クロックとして使用されます(クロックとして使用する場合は、T16 Ch.nをリピートモードに設定する必要があります)。アンダーフロー周期は、T16 Ch.nの動作クロックの設定、およびT16_nTRレジスタに設定するリロードデータ(カウンタの初期値)によって決まり、次の式で計算できます。

$$T = \frac{TR + 1}{f_{CLK_T16_n}} \quad f_T = \frac{f_{CLK_T16_n}}{TR + 1} \quad (\text{式12.1})$$

ここで

T:	アンダーフロー周期 [s]
f _T :	アンダーフロー周波数 [Hz]
TR:	T16_nTRレジスタの設定値
f _{CLK_T16_n} :	T16 Ch.nの動作クロックの周波数 [Hz]

12.4.3 リピートモードの動作

T16_nMOD.TRMDビットを0に設定すると、T16 Ch.nはリピートモードになります。リピートモードでは、T16_nCTL.PRUNビットに1を書き込み後、0を書き込むまでカウント動作を続けます。カウンタがアンダーフローした時点でT16_nTRレジスタの設定値がプリセットされますので、一定の周期でアンダーフローを発生させることができます。周期的なアンダーフロー割り込みを発生させる場合、あるいは周辺回路へのトリガ/クロック出力に使用するタイマにはこのモードを選択します。

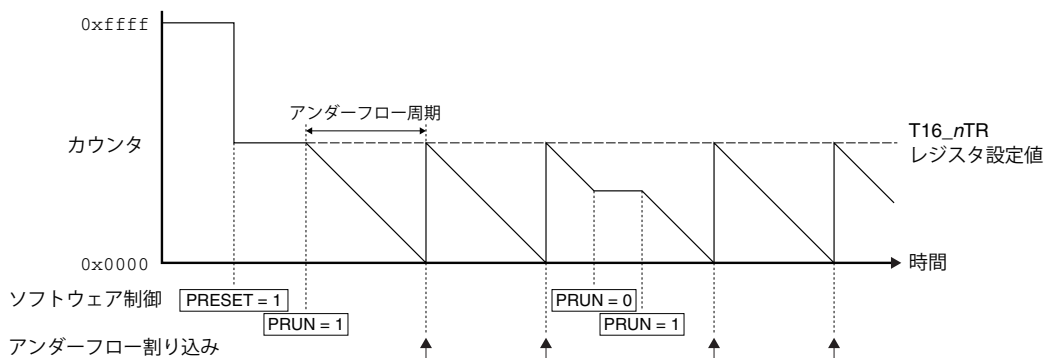


図12.4.3.1 リピートモードのカウント動作

12.4.4 ワンショットモードの動作

T16_nMOD.TRMDビットを1に設定すると、タイマはワンショットモードになります。ワンショットモードでは、T16_nCTL.PRUNビットへの1書き込みによりカウント動作を開始後、カウンタがアンダーフローした時点で、T16_nTRレジスタの設定値をプリセットしてカウント動作を停止します。これと同時に、T16_nCTL.PRUNビットは自動的にクリアされます。特定の時間経過を確認するときなど、1度の割り込みで停止させる場合はこのモードを選択します。

12 16ビットタイマ(T16)

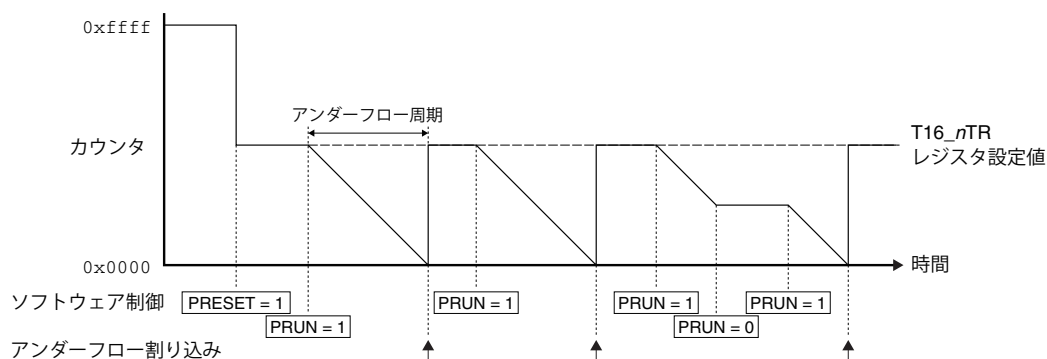


図12.4.4.1 ワンショットモードのカウンタ動作

12.4.5 カウンタ値のリード

カウンタ値は、T16_nTC.TC[15:0]ビットから読み出せます。ただし、CLK_T16_nで動作しているため、CPUで正しく読み出すためには、下記のいずれかの操作が必要です。

- 2回以上読み出して、カウンタ値が一致していることを確認する。
- タイマを停止させてから読み出す。

12.5 割り込み

T16の各チャンネルには、表12.5.1に示す割り込みを発生させる機能があります。

表12.5.1 T16の割り込み機能

割り込み	割り込みフラグ	セット	クリア
アンダーフロー	T16_nINTE.UFIF	カウンタにアンダーフローが発生したとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

12.6 制御レジスタ

T16 Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、デバッグ時にT16 Ch.n動作クロックを供給するか否か設定します。

1 (R/W): デバッグ時にクロックを供給

0 (R/W): デバッグ時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、T16 Ch.n動作クロック(カウンタクロック)の分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、T16 Ch.nのクロックソースを選択します。

表12.6.1 クロックソースと分周比の設定

T16_nCLK. CLKDIV[3:0]ビット	T16_nCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC/EXCLm
0xf	1/32,768	1/1	1/32,768	1/1
0xe	1/16,384		1/16,384	
0xd	1/8,192		1/8,192	
0xc	1/4,096		1/4,096	
0xb	1/2,048		1/2,048	
0xa	1/1,024		1/1,024	
0x9	1/512		1/512	
0x8	1/256		1/256	
0x7	1/128	1/128	1/128	
0x6	1/64	1/64	1/64	
0x5	1/32	1/32	1/32	
0x4	1/16	1/16	1/16	
0x3	1/8	1/8	1/8	
0x2	1/4	1/4	1/4	
0x1	1/2	1/2	1/2	
0x0	1/1	1/1	1/1	

(注1) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

(注2) T16_nCLK.CLKSRC[1:0]ビット = 0x3の設定は、イベント機能付きのチャンネルにはEXCLmが、それ以外のチャンネルにはEXOSCが選択されます。

T16 Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nMOD	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	TRMD	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 TRMD

このビットは、T16の動作モードを選択します。

1 (R/W): ワンショットモード

0 (R/W): リピートモード

動作モードの詳細は、“ワンショットモードの動作”および“リピートモードの動作”を参照してください。

T16 Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCTL	15-9	-	0x00	-	R	-
	8	PRUN	0	H0	R/W	
	7-2	-	0x00	-	R	
	1	PRESET	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15-9 Reserved

Bit 8 PRUN

このビットはタイマをスタート/ストップします。

1 (W): タイマをスタート

0 (W): タイマをストップ

1 (R): タイマ動作中

0 (R): タイマ停止中

12 16ビットタイマ(T16)

このビットに1を書き込むことにより、タイマはカウント動作を開始します。ただし、このビットと共にT16_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。タイマが動作中はこのビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタのアンダーフローによってカウントを停止したときは、このビットが自動的に0にクリアされます。

Bits 7-2 Reserved

Bit 1 PRESET

このビットは、T16_nTRレジスタに設定されているリロードデータをカウンタにプリセットします。

- 1 (W): プリセット
- 0 (W): 無効
- 1 (R): プリセットの実行中
- 0 (R): プリセットを終了または通常動作中

このビットに1を書き込むと、タイマはT16_nTRレジスタの値をカウンタにプリセットします。ただし、このビットと共にT16_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。プリセット動作実行中は1を保持し、プリセットが完了すると自動的に0にクリアされます。

Bit 0 MODEN

このビットは、T16 Ch.nの動作をイネーブルにします。

- 1 (R/W): イネーブル(動作クロックを供給)
- 0 (R/W): ディスエーブル(動作クロックの供給を停止)

T16 Ch.n Reload Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTR	15-0	TR[15:0]	0xffff	H0	R/W	-

Bits 15-0 TR[15:0]

これらのビットには、カウンタにプリセットする初期値を設定しておきます。

T16_nCTL.PRESETビットに1を書き込んだ場合や、カウンタがアンダーフローした時点で、このレジスタの値がカウンタにプリセットされます。

注: ・ タイマ動作中(T16_nCTL.PRUNビット = 1)は、誤った初期値がカウンタにプリセットされる恐れがあるため、T16_nTRレジスタを変更することはできません。

- ・ ワンショットモードのときは、T16_nTR.TR[15:0]ビットを0x0001以上の値に設定してください。

T16 Ch.n Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTC	15-0	TC[15:0]	0xffff	H0	R	-

Bits 15-0 TC[15:0]

これらのビットから、現在のカウンタの値が読み出せます。

T16 Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nINTF	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	UFIF	0	H0	R/W	Cleared by writing 1.

Bits 15-1 Reserved

Bit 0 UFIF

このビットは、T16 Ch.*n*アンダーフロー割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
- 0 (R): 割り込み要因なし
- 1 (W): フラグをクリア
- 0 (W): 無効

T16 Ch.*n* Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_ <i>n</i> INTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	UFIE	0	H0	R/W	

Bits 15-1 Reserved**Bit 0 UFIE**

このビットは、T16 Ch.*n*アンダーフロー割り込みをイネーブルにします。

- 1 (R/W): 割り込みイネーブル
- 0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

13 UART(UART3)

13.1 概要

UART3は非同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- 転送クロックを生成するためのボーレートジェネレータを内蔵
- 7ビットまたは8ビットのデータ長に対応(LSB先頭)
- 偶数パリティ、奇数パリティ、パリティなしが選択可能
- スタートビット長は1ビット固定
- 1ビットまたは2ビットのストップビット長が選択可能
- 全二重通信に対応
- 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- 内蔵RZI変調/復調回路によりIrDA1.0赤外線通信に対応
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル(1バイト/2バイト)、送信バッファエンpty、送信完了、パリティエラー、フレーミングエラー、オーバーランエラーにて割り込みを発生可能
- 受信バッファ1バイトフル、送信バッファエンptyによりDMA転送要求を発生可能
- 入力端子のプルアップ制御が可能
- 出力端子のオープンドレイン制御が可能
- キャリア変調出力機能を搭載

図13.1.1にUART3の構成を示します。

表13.1.1 S1C31D01のUART3チャンネル構成

項目	S1C31D01
チャンネル数	3チャンネル (Ch.0~Ch.2)

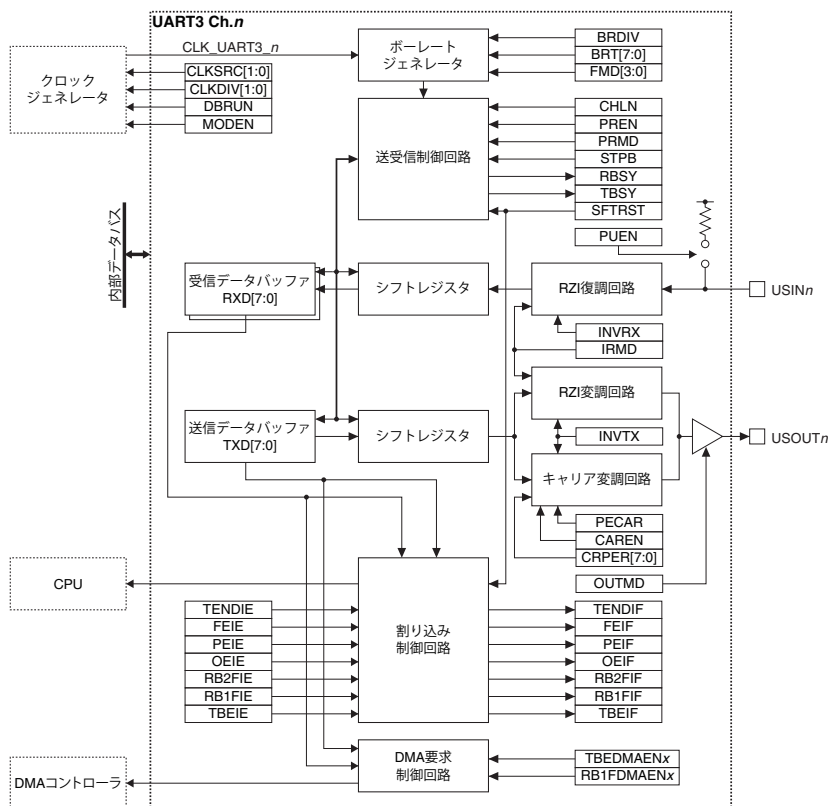


図13.1.1 UART3の構成

13.2 入出力端子と外部接続

13.2.1 入出力端子一覧

表13.2.1.1にUART3の端子一覧を示します。

表13.2.1.1 UART3端子一覧

端子名	I/O*	イニシャル状態*	機能
USIN n	I	I (Hi-Z)	UART3 Ch. n データ入力端子
USOUT n	O	O (High)	UART3 Ch. n データ出力端子

* 端子機能をUART3に切り換えた時点の状態

これらのUART3端子と他の機能がポートを共有している場合、UART3を動作させる前にUART3の入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

13.2.2 外部との接続

本ICのUART3と外部UART機器との接続を図13.2.2.1に示します。

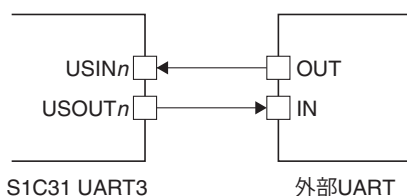


図13.2.2.1 UART3と外部UART機器との接続

13.2.3 入力端子のプルアップ機能

USIN n 端子にはプルアップ抵抗が内蔵されています。UART3 $_n$ MOD.PUENビットを1に設定すると、この抵抗が有効になり、USIN n 端子がプルアップされます。

13.2.4 出力端子のオープンドレイン出力機能

USOUT n 端子にはオープンドレイン出力機能があります。デフォルト設定はプッシュプル出力ですが、UART3 $_n$ MOD.OUTMDビットを1に設定するとオープンドレイン出力になります。

13.2.5 入出力信号の反転機能

USIN n 端子の入力信号およびUSOUT n 端子の出力信号は、それぞれUART3 $_n$ MOD.INVRXビット、UART3 $_n$ MOD.INVTXビットを1に設定することにより、極性を反転して入出力することができます。

注: 特に指定のない場合、本章に記載の入出力信号はすべて非反転(UART3 $_n$ MOD.INVRXビット = 0、UART3 $_n$ MOD.INVTXビット = 0)の波形です。

13.3 クロック設定

13.3.1 UART3の動作クロック

UART3 Ch. n を使用する場合、クロックジェネレータからUART3 Ch. n 動作クロックCLK_UART3 $_n$ をUART3 Ch. n に供給する必要があります。CLK_UART3 $_n$ の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. UART3 $_n$ CLKレジスタの以下のビットを設定する。
 - UART3 $_n$ CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - UART3 $_n$ CLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

UART3の動作クロックは、ポーレートジェネレータで設定しやすいクロックを選択してください。

13.3.2 SLEEPモード時のクロック供給

SLEEPモード時にUART3を使用する場合は、UART3動作クロックCLK_UART3_nのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_UART3_nを供給し続ける必要があります。

13.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_UART3_nの供給はUART3_nCLK.DBRUNビットで制御します。

UART3_nCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとUART3 Ch.nへのCLK_UART3_nの供給が停止します。その後通常モードに戻ると、CLK_UART3_nの供給が再開します。CLK_UART3_nの供給が停止するとUART3 Ch.nの動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。

UART3_nCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_UART3_nの供給は停止せず、UART3 Ch.nは動作を継続します。

13.3.4 ボーレートジェネレータ

UART3は転送(サンプリング)クロックを生成するボーレートジェネレータを内蔵しています。転送レートはUART3_nMOD.BRDIVビット、UART3_nBR.BRT[7:0]ビット、およびUART3_nBR.FMD[3:0]ビットの設定により決まります。希望の転送レートを得るための設定値は次の式で計算できます。

$$\text{bps} = \frac{\text{CLK_UART3}}{\frac{\text{BRT} + 1}{\text{BRDIV}} + \text{FMD}} \quad \text{BRT} = \text{BRDIV} \times \left(\frac{\text{CLK_UART3}}{\text{bps}} - \text{FMD} \right) - 1 \quad (\text{式13.1})$$

ここで

bps: 転送レート [bit/s]
 CLK_UART3: UART3動作クロック周波数 [Hz]
 BRDIV: ボーレート分周比(1/16または1/4) ※UART3_nMOD.BRDIVビットで選択
 BRT: UART3_nBR.BRT[7:0]設定値(0~255)
 FMD: UART3_nBR.FMD[3:0]設定値(0~15)

UART3で設定可能な転送レートの範囲は、“電気的特性”の章の“UART特性、送受信ボーレートU_{BRT1}、U_{BRT2}”を参照してください。

13.4 データフォーマット

本UART3では、データ長、ストップビット長、パリティ機能の設定が可能です。スタートビット長は1ビットに固定です。

データ長

データ長は、UART3_nMOD.CHLNビットで7ビット(UART3_nMOD.CHLNビット = 0)、または8ビット(UART3_nMOD.CHLNビット = 1)に設定可能です。

ストップビット長

ストップビット長はUART3_nMOD.STPBビットで1ビット(UART3_nMOD.STPBビット = 0)または2ビット(UART3_nMOD.STPBビット = 1)に設定可能です。

パリティ機能

パリティ機能はUART3_nMOD.PRENビットとUART3_nMOD.PRMDビットで設定します。

表13.4.1 パリティ機能の設定

UART3_nMOD.PRENビット	UART3_nMOD.PRMDビット	パリティ機能
1	1	奇数パリティ
1	0	偶数パリティ
0	*	パリティなし

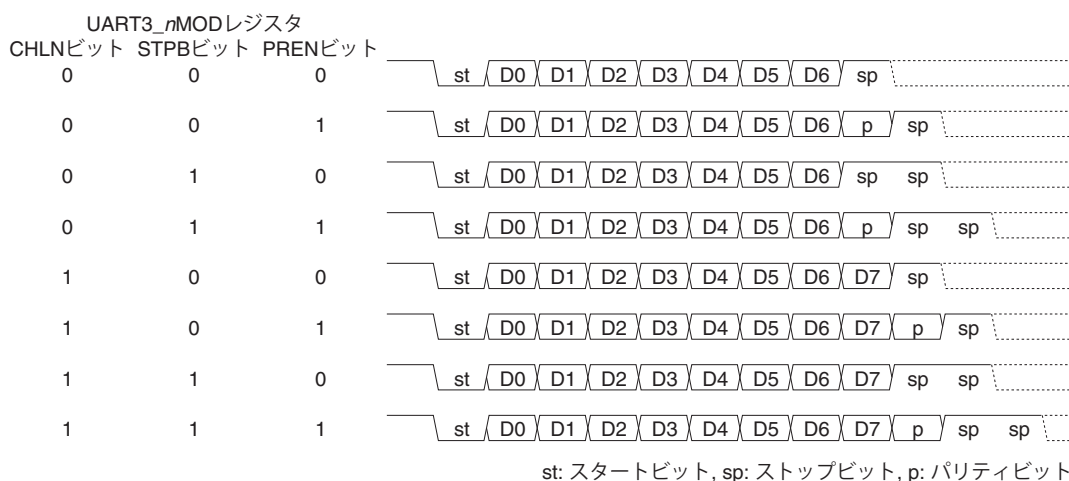


図13.4.1 データフォーマット

13.5 動作

13.5.1 初期設定

UART3 Ch.nは、以下の手順により初期設定を行います。

- UART3 Ch.n入出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
- UART3_nCLK.CLKSRC[1:0]ビットと
UART3_nCLK.CLKDIV[1:0]ビットを設定する。 (動作クロックを設定)
- UART3_nMODレジスタの以下のビットを設定する。
 - UART3_nMOD.BRDIVビット (ボーレート分周比(1/16または1/4)の選択)
 - UART3_nMOD.INVRXビット (USIN n 入力信号反転イネーブル/ディスエーブル)
 - UART3_nMOD.INVTXビット (USOUT n 出力信号反転イネーブル/ディスエーブル)
 - UART3_nMOD.PUENビット (USIN n 端子のプルアップイネーブル/ディスエーブル)
 - UART3_nMOD.OUTMDビット (USOUT n 端子のオープンドレイン出力イネーブル/ディスエーブル)
 - UART3_nMOD.IRMDビット (IrDAインタフェースイネーブル/ディスエーブル)
 - UART3_nMOD.CHLNビット (データ長(7または8ビット)の設定)
 - UART3_nMOD.PRENビット (パリティイネーブル/ディスエーブル)
 - UART3_nMOD.PRMDビット (パリティモード(偶数または奇数)の選択)
 - UART3_nMOD.STPBビット (ストップビット長(1または2ビット)の設定)
 - UART3_nMOD.CARENビット (キャリア変調機能イネーブル/ディスエーブル)
 - UART3_nMOD.PECARビット (キャリア変調期間(Hデータ期間/Lデータ期間)の選択)
- UART3_nBR.BRT[7:0]ビットとUART3_nBR.FMD[3:0]ビットを設定する。(転送レートを設定)
- UART3_nCAWF.CRPER[7:0]ビットを設定する。 (キャリア周期の設定)
- UART3_nCTLレジスタの以下のビットを設定する。
 - UART3_nCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - UART3_nCTL.MODENビットを1に設定 (UART3 Ch.nの動作をイネーブル)
- 割り込みを使用する場合は以下のビットを設定する。
 - UART3_nINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - UART3_nINTEレジスタの割り込みイネーブルビットを1に設定* (割り込みイネーブル)

* UART3_nINTF.TBEIFビットの初期値が1のため、UART3_nINTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。
- DMA転送を使用する場合は、DMAコントローラを設定すると共に以下のUART3制御ビットを設定する。
 - UART3_nTBEDMAEN、UART3_nRB1FDMAENレジスタの
DMA転送要求イネーブルビットに1を書き込む (DMA転送要求イネーブル)

13.5.2 データ送信

UART3 Ch. n のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図13.5.2.1と図13.5.2.2に示します。

送信手順

1. UART3_nINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
2. UART3_nTXDレジスタに送信データを書き込む。
3. 割り込みを使用する場合はUART3割り込みを待つ。
4. 送信データ終了まで、1～3(または1と2)を繰り返す。

UART3の送信動作

UART3_nTXDレジスタに送信データを書き込むことにより、UART3 Ch. n は送信動作を開始します。UART3_nTXDレジスタの送信データは自動的にシフトレジスタへ転送され、UART3_nINTF.TBEIFビットが1(送信バッファエンプティ)にセットされます。

次にスタートビットがUSOUT n 端子から出力され、UART3_nINTF.TBSYビットが1(送信ビジー)にセットされます。続いて、シフトレジスタのデータがLSBから順次出力されます。MSBの出力後、パリティビット(パリティ機能有効時のみ)とストップビットが出力されます。

USOUT n 端子から送信データが出力されている最中であっても、UART3_nINTF.TBEIFビット = 1を確認した後に、UART3_nTXDレジスタへ次の送信データを書き込むことができます。

USOUT n 端子からストップビットが出力されたときに、UART3_nTXDレジスタに送信データが書き込まれていなかった場合、UART3_nINTF.TBSYビットが0にクリアされ、UART3_nINTF.TENDIFビットが1(送信完了)にセットされます。

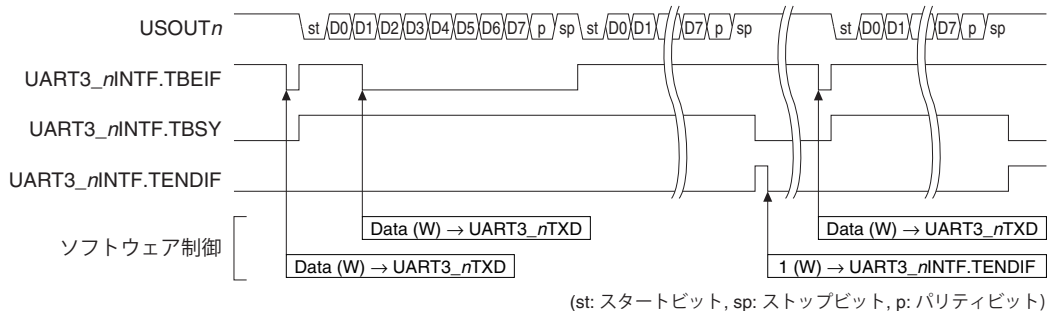


図13.5.2.1 データ送信動作例

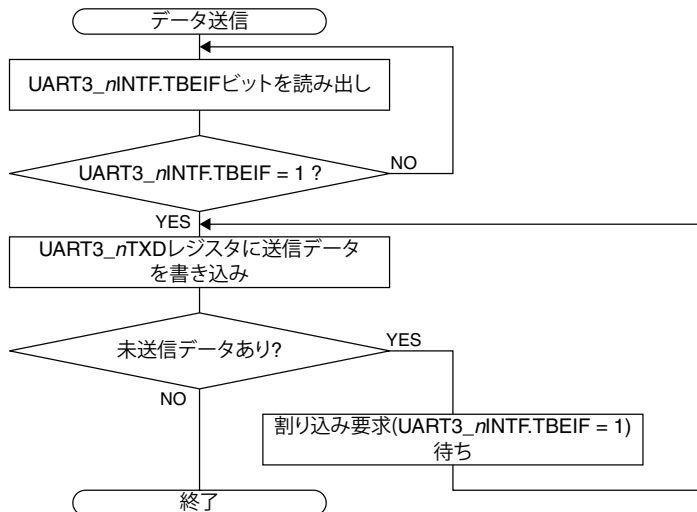


図13.5.2.2 データ送信フローチャート

DMAを使用したデータ送信

UART3_nTBEDMAEN.TBEDMAEN_xビットを1(DMA転送要求イネーブル)に設定しておく、UART3_nINTF.TBEIFビットが1(送信バッファエンプティ)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、指定されているメモリからUART3_nTXDレジスタに、送信データがDMA Ch.xにより転送されます。

これにより、上記送信手順はDMAにより自動化できます。

なお、送信データがUART3_nTXDレジスタに転送されるように、あらかじめDMAコントローラ用の転送元/転送先エンドポインタやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表13.5.2.1 DMAデータストラクチャ設定例(データ送信)

設定項目		設定例
エンドポインタ	転送元	最終送信データが格納されているメモリアドレス
	転送先	UART3_nTXDレジスタアドレス
コントロールデータ	dst_inc	0x3(インクリメントなし)
	dst_size	0x0(バイト)
	src_inc	0x0(+1)
	src_size	0x0(バイト)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

13.5.3 データ受信

UART3 Ch.nのデータ受信手順と動作を以下に示します。また、タイミングチャートを図13.5.3.1に、フローチャートを図13.5.3.2に示します。

受信手順(1バイトずつ読み出し)

1. 割り込みを使用する場合はUART3割り込みを待つ。
2. UART3_nINTF.RB1FIFビットが1(受信バッファ 1バイトフル)になっていることを確認する。
3. UART3_nRXDレジスタから受信データを読み出す。
4. 受信終了まで、1～3(または2と3)を繰り返す。

受信手順(2バイトずつ読み出し)

1. 割り込みを使用する場合はUART3割り込みを待つ。
2. UART3_nINTF.RB2FIFビットが1(受信バッファ 2バイトフル)になっていることを確認する。
3. UART3_nRXDレジスタから受信データを2回読み出す。
4. 受信終了まで、1～3(または2と3)を繰り返す。

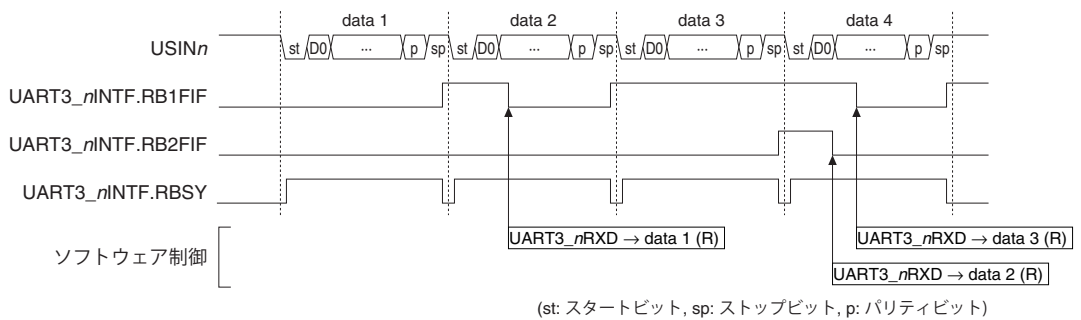
UART3の受信動作

USIN_n端子にスタートビットが入力されると、UART3 Ch.nは受信動作を開始します。

受信回路はスタートビットのLOWレベルを検出して続くデータビットのサンプリングを開始し、受信シフトレジスタに受信データを取り込みます。また、スタートビットを検出した時点でUART3_nINTF.RBSYビットを1にセットします。

ストップビットを受信するタイミングで、UART3_nINTF.RBSYビットを0にクリアし、受信シフトレジスタのデータを受信データバッファに転送します。

受信データバッファは2バイトのFIFOで構成されており、満杯になるまで受信することが可能です。受信データバッファが1つ目のデータを受信すると、UART3_nINTF.RB1FIFビットが1(受信バッファ 1バイトフル)にセットされます。1つ目のデータを読み出さずに2つ目のデータを受信すると、UART3_nINTF.RB2FIFビットが1(受信バッファ 2バイトフル)にセットされます。



(st: スタートビット, sp: ストップビット, p: パリティビット)

図13.5.3.1 データ受信動作例

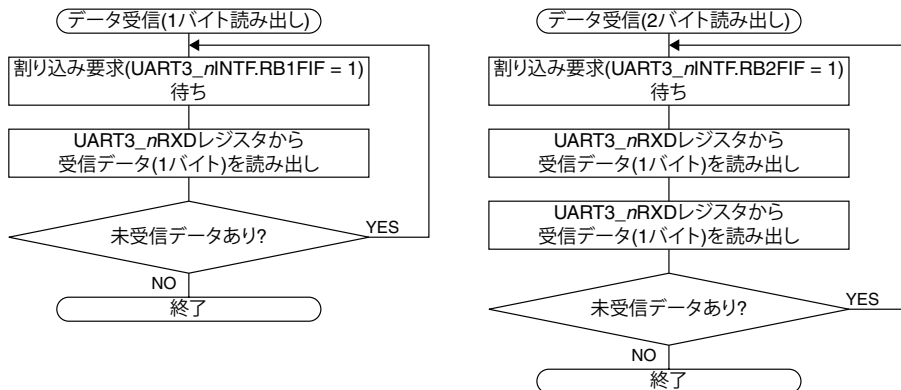


図13.5.3.2 データ受信フローチャート

DMAを使用したデータ受信

UART3_nRB1FDMAEN.RB1FDMAEN_xビットを1(DMA転送要求イネーブル)に設定しておく、UART3_nINTF.RB1FIFビットが1(受信バッファ 1バイトフル)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、UART3_nRXDレジスタから指定されているメモリに、受信データがDMA Ch_xにより転送されます。

これにより、上記受信手順(1バイトずつ読み出し)はDMAにより自動化できます。

なお、あらかじめDMAコントローラ用の転送元/転送先エンドポインタやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表13.5.3.1 DMAデータストラクチャ設定例(データ受信)

設定項目		設定例
エンドポインタ	転送元	UART3_nRXDレジスタアドレス
	転送先	最終受信データを格納するメモリアドレス
コントロールデータ	dst_inc	0x0(+1)
	dst_size	0x0(バイト)
	src_inc	0x3(インクリメントなし)
	src_size	0x0(バイト)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
cycle_ctrl	0x1(通常転送)	

13.5.4 IrDAインタフェース

UART3にはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA1.0に対応する赤外線通信回路を構成することができます。

IrDAインタフェース機能を使用するには、UART3_nMOD.IRMDビットを1に設定します。

IrDAインタフェース機能を有効にした場合も、データ送受信の制御方法は通常のインタフェースと同じです。

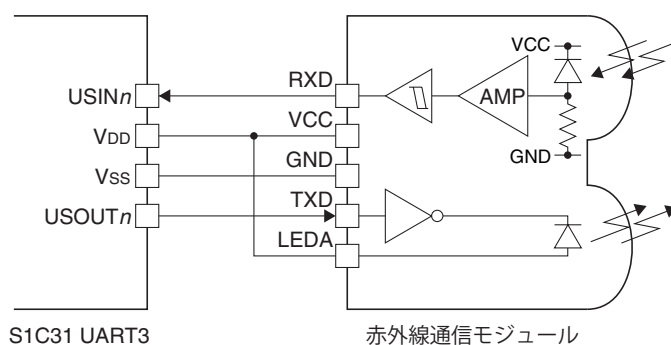


図13.5.4.1 赤外線通信モジュールとの接続例

UART3 Ch.*n*の送信用シフトレジスタから出力された送信データは、SIR方式のRZI変調回路にてLOW出力が通常の3/16のパルス幅に変調された後、USOUT*n*端子から出力されます。

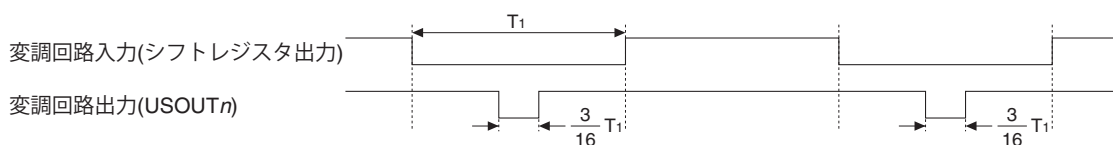


図13.5.4.2 IrDA送信信号波形

受信したIrDA信号はRZI復調回路に入力され、通常のLOWパルス幅に変換された後、受信用シフトレジスタに入力されます。



図13.5.4.3 IrDA受信信号波形

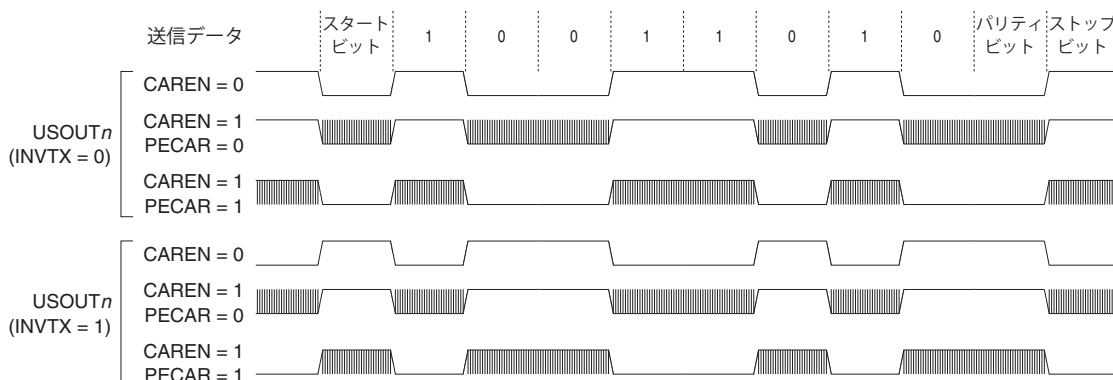
注: ・ IrDAインタフェース機能を使用する場合は、ボーレート分周比を1/16に設定してください。

・ 入力するIrDA信号のLOWパルス T_2 はCLK_UART3_*n* × 3周期以上の幅としてください。

13.5.5 キャリア変調

UART3にはキャリア変調機能が組み込まれています。

UART3_*n*MOD.CARENビットを1に設定するとキャリア変調機能が有効になり、UART3_*n*MOD.PECARビットの設定に応じて、キャリア変調波形を出力をすることが可能となります。この場合も、データ送信の制御方法は通常のインタフェースと同じです。

図13.5.5.1 キャリア変調波形(UART3_*n*MOD.CHLN = 1, UART3_*n*MOD.STPB = 0, UART3_*n*MOD.PREN = 1)

キャリア変調出力の周波数は、UART3_nCAWF.CRPER[7:0]ビットの設定により決まります。希望の周波数を得るための設定値は次の式で計算できます。

$$\text{キャリア変調出力周波数} = \frac{\text{CLK_UART3}}{(\text{CRPER} + 1) \times 2} \text{ [Hz]} \quad (\text{式13.2})$$

ここで

CLK_UART3: UART3動作クロック周波数 [Hz]

CRPER: UART3_nCAWF.CRPER[7:0]設定値(0~255)

13.6 受信エラー

UART3はデータ受信時に、フレーミングエラー、パリティエラー、オーバーランエラーの3種類の受信エラーを検出可能です。受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。

13.6.1 フレーミングエラー

ストップビットが検出できなかったとき(ストップビットを0として受信したとき)、UART3は同期ずれと判断して、フレーミングエラーが発生したものと見なします。エラーが発生したデータも受信データバッファに転送され、UART3_nRXDレジスタから読み出せる状態になった時点でUART3_nINTF.FEIFビット(フレーミングエラー割り込みフラグ)が1にセットされます。

注: フレーミングエラー//パリティエラー割り込みフラグのセットタイミング

割り込みフラグはエラーとなったデータが受信データバッファに転送後にセットされますが、その時点のバッファの状態によりセットされるタイミングが異なります。

- 受信データバッファが空の場合
エラーが発生したデータを受信データバッファに転送した時点で割り込みフラグがセットされます。
- 受信データバッファに1バイトの空きがある場合
エラーが発生したデータを受信データバッファの2バイト目に転送した後、ロード済みの1バイト目のデータが読み出された時点で割り込みフラグがセットされます。

13.6.2 パリティエラー

パリティ機能が有効に設定されている場合、受信時にパリティチェックが行われます。UART3は、シフトレジスタに受信したデータとパリティビットとの整合をチェックし、結果が不整合の場合パリティエラーと判断します。エラーが発生したデータも受信データバッファに転送され、UART3_nRXDレジスタから読み出せる状態になった時点でUART3_nINTF.PEIFビット(パリティエラー割り込みフラグ)が1にセットされます(フレーミングエラーの注を参照)。

13.6.3 オーバーランエラー

シフトレジスタにデータを受信し終わった時点で受信データバッファが満杯(2バイトの受信データが読み出されていない)の場合、データを受信データバッファに転送することができないため、オーバーランエラーが発生します。

オーバーランエラーが発生するとUART3_nINTF.OEIFビット(オーバーランエラー割り込みフラグ)が1にセットされます。

13.7 割り込み

UART3には、表13.7.1に示す割り込みを発生させる機能があります。

表13.7.1 UART3の割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	UART3_nINTF.TENDIF	ストップビット送信後にUART3_nINTF.TBEIFビット = 1のとき	1書き込み、ソフトリセット
フレーミングエラー	UART3_nINTF.FEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
パリティエラー	UART3_nINTF.PEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
オーバーランエラー	UART3_nINTF.OEIF	“受信エラー”を参照	1書き込み、ソフトリセット
受信バッファ 2バイトフル	UART3_nINTF.RB2FIF	1バイト受信済みの受信データバッファに2バイト目の受信データがロードされたとき	受信データの読み出し、ソフトリセット
受信バッファ 1バイトフル	UART3_nINTF.RB1FIF	空の受信データバッファに1バイト目の受信データがロードされたとき	受信データバッファを空にする読み出し、ソフトリセット
送信バッファ エンプティ	UART3_nINTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	送信データ書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、CPUへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

13.8 DMA転送要求

UART3には、表13.8.1に示す要因でDMA転送要求を発生させる機能があります。

表13.8.1 UART3のDMA転送要求要因

DMA転送要求要因	DMA転送要求起動フラグ	セット	クリア
受信バッファ 1バイトフル	受信バッファ 1バイトフルフラグ (UART3_nINTF.RB1FIF)	空の受信データバッファに1バイト目の受信データがロードされたとき	受信データバッファを空にする読み出し、ソフトリセット
送信バッファ エンプティ	送信バッファエンプティフラグ (UART3_nINTF.TBEIF)	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	送信データ書き込み

上記のDMA転送要求起動フラグには、それぞれに対応するDMA転送要求イネーブルビットがDMAチャンネル数分用意されています。それらのビットによってDMA転送をイネーブルにしたDMA転送要求起動フラグのセット時にのみ、DMAコントローラの該当チャンネルにDMA転送要求が出力されます。DMA転送要求起動フラグは割り込みフラグを兼ねているため、DMA転送要求と割り込みの両方を同時にイネーブルにはできません。DMA転送終了後は、意図しないDMA転送要求が出力されることのないように、DMA転送をディスエーブルにしてください。DMA転送の制御については、“DMAコントローラ”の章を参照してください。

13.9 制御レジスタ

UART3 Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_nCLK	15-9	–	0x00	–	R	–
	8	DBRUN	0	H0	R/W	
	7-6	–	0x0	–	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	–	0x0	–	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にUART3動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、UART3動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、UART3のクロックソースを選択します。

表13.9.1 クロックソースと分周比の設定

UART3_nCLK. CLKDIV[1:0]ビット	UART3_nCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力クロックソースとして選択することはできません。

注: UART3_nCLKレジスタは、UART3_nCTL.MODENビット = 0のときのみ設定変更が可能です。

UART3 Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_nMOD	15-13	–	0x0	–	R	–
	12	PECAR	0	H0	R/W	
	11	CAREN	0	H0	R/W	
	10	BRDIV	0	H0	R/W	
	9	INVRX	0	H0	R/W	
	8	INVTX	0	H0	R/W	
	7	–	0	–	R	
	6	PUEN	0	H0	R/W	
	5	OUTMD	0	H0	R/W	
	4	IRMD	0	H0	R/W	
	3	CHLN	0	H0	R/W	
	2	PREN	0	H0	R/W	
	1	PRMD	0	H0	R/W	
	0	STPB	0	H0	R/W	

Bits 15-13 Reserved

13 UART(UART3)

Bit 12 PECAR

このビットは、キャリア変調の期間を選択します。

1 (R/W): Hデータ期間キャリア変調

0 (R/W): Lデータ期間キャリア変調

Bit 11 CAREN

このビットは、キャリア変調機能を有効にします。

1 (R/W): キャリア変調機能イネーブル

0 (R/W): キャリア変調機能ディスエーブル

Bit 10 BRDIV

このビットは、ボーレートジェネレータで転送(サンプリング)クロックを生成する際のUART3動作クロック分周比を設定します。

1 (R/W): 1/4

0 (R/W): 1/16

Bit 9 INVRX

このビットは、USIN n の入力反転機能を有効にします。

1 (R/W): 入力反転機能イネーブル

0 (R/W): 入力反転機能ディスエーブル

Bit 8 INVTX

このビットは、USOUT n の出力反転機能を有効にします。

1 (R/W): 出力反転機能イネーブル

0 (R/W): 出力反転機能ディスエーブル

Bit 7 Reserved**Bit 6 PUEN**

このビットは、USIN n 端子のプルアップをイネーブルにします。

1 (R/W): プルアップイネーブル

0 (R/W): プルアップディスエーブル

Bit 5 OUTMD

このビットは、USOUT n 端子の出力モードを設定します。

1 (R/W): オープンドレイン出力

0 (R/W): プッシュプル出力

Bit 4 IRMD

このビットは、IrDAインタフェース機能をイネーブルにします。

1 (R/W): IrDAインタフェース機能イネーブル

0 (R/W): IrDAインタフェース機能ディスエーブル

Bit 3 CHLN

このビットは、データ長を設定します。

1 (R/W): 8ビット

0 (R/W): 7ビット

Bit 2 PREN

このビットは、パリティ機能をイネーブルにします。

1 (R/W): パリティ機能イネーブル

0 (R/W): パリティ機能ディスエーブル

Bit 1 PRMD

このビットは、パリティ機能を使用する場合に奇数パリティ/偶数パリティを選択します。

1 (R/W): 奇数パリティ

0 (R/W): 偶数パリティ

Bit 0 STPB

このビットは、ストップビット長を設定します。

1 (R/W): 2ビット

0 (R/W): 1ビット

注: • UART3_nMODレジスタは、UART3_nCTL.MODENビット = 0のときのみ設定変更が可能です。

• UART3_nMOD.IRMDビットとUART3_nMOD.CARENビットを同時に1に設定しないでください。

UART3 Ch.n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_nBR	15-12	-	0x0	-	R	-
	11-8	FMD[3:0]	0x0	H0	R/W	
	7-0	BRT[7:0]	0x00	H0	R/W	

Bits 15-12 Reserved**Bits 11-8 FMD[3:0]****Bits 7-0 BRT[7:0]**

これらのビットは、UART3の転送レートを設定します。詳細は“ボーレートジェネレータ”を参照してください。

注: • UART3_nBRレジスタは、UART3_nCTL.MODENビット = 0のときのみ設定変更が可能です。

• UART3_nMOD.BRDIVビットが1の場合は、UART3_nBR.FMD[3:0]ビットに0~3以外の値を設定しないでください。

UART3 Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_nCTL	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15-2 Reserved**Bit 1 SFTRST**

このビットは、UART3をソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

UART3の送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、UART3の動作をイネーブルにします。

1 (R/W): UART3動作イネーブル(動作クロックが供給されます。)

0 (R/W): UART3動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にUART3_nCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、UART3_nCTL.MODENビットを再度1に設定する場合は、必ずUART3_nCTL.SFTRSTビットにも1を書き込んでください。

UART3 Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_nTXD	15-8	–	0x00	–	R	–
	7-0	TXD[7:0]	0x00	H0	R/W	

Bits 15-8 Reserved

Bits 7-0 TXD[7:0]

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、UART3_nINTF.TBEIF = 1になっていることを確認してください。

UART3 Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_nRXD	15-8	–	0x00	–	R	–
	7-0	RXD[7:0]	0x00	H0	R	

Bits 15-8 Reserved

Bits 7-0 RXD[7:0]

これらのビットを介して、受信データバッファが読み出せます。受信データバッファは2バイトのFIFOで構成されており、受信データは古いものから順に読み出されます。

UART3 Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
UART3_nINTF	15-10	–	0x00	–	R	–	
	9	RBSY	0	H0/S0	R		
	8	TBSY	0	H0/S0	R		
	7	–	0	–	R		
	6	TENDIF	0	H0/S0	R/W		Cleared by writing 1.
	5	FEIF	0	H0/S0	R/W		Cleared by writing 1 or reading the UART3_nRXD register.
	4	PEIF	0	H0/S0	R/W		Cleared by writing 1.
	2	RB2FIF	0	H0/S0	R		Cleared by reading the UART3_nRXD register.
	1	RB1FIF	0	H0/S0	R		Cleared by reading the UART3_nRXD register.
	0	TBEIF	1	H0/S0	R		Cleared by writing to the UART3_nTXD register.

Bits 15-10 Reserved

Bit 9 RBSY

このビットは、受信状態を示します。(図13.5.3.1参照)

1 (R): 受信中

0 (R): 待機中

Bit 8 TBSY

このビットは、送信状態を示します。(図13.5.2.1参照)

1 (R): 送信中

0 (R): 待機中

Bit 7 Reserved

Bit 6 **TENDIF**
Bit 5 **FEIF**
Bit 4 **PEIF**
Bit 3 **OEIF**
Bit 2 **RB2FIF**
Bit 1 **RB1FIF**
Bit 0 **TBEIF**

これらのビットは、UART3割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり
 0 (R): 割り込み要因なし
 1 (W): フラグをクリア
 0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

UART3_mINTF.TENDIFビット: 送信完了割り込み
 UART3_mINTF.FEIFビット: フレーミングエラー割り込み
 UART3_mINTF.PEIFビット: パリティエラー割り込み
 UART3_mINTF.OEIFビット: オーバーランエラー割り込み
 UART3_mINTF.RB2FIFビット: 受信バッファ 2バイトフル割り込み
 UART3_mINTF.RB1FIFビット: 受信バッファ 1バイトフル割り込み
 UART3_mINTF.TBEIFビット: 送信バッファエンプティ割り込み

UART3 Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_nINTE	15-8	-	0x00	-	R	-
	7	-	0	-	R	
	6	TENDIE	0	H0	R/W	
	5	FEIE	0	H0	R/W	
	4	PEIE	0	H0	R/W	
	3	OEIE	0	H0	R/W	
	2	RB2FIE	0	H0	R/W	
	1	RB1FIE	0	H0	R/W	
0	TBEIE	0	H0	R/W		

Bits 15-7 Reserved

Bit 6 **TENDIE**
Bit 5 **FEIE**
Bit 4 **PEIE**
Bit 3 **OEIE**
Bit 2 **RB2FIE**
Bit 1 **RB1FIE**
Bit 0 **TBEIE**

これらのビットは、UART3の割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル
 0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

UART3_nINTE.TENDIEビット: 送信完了割り込み
 UART3_nINTE.FEIEビット: フレーミングエラー割り込み
 UART3_nINTE.PEIEビット: パリティエラー割り込み
 UART3_nINTE.OEIEビット: オーバーランエラー割り込み
 UART3_nINTE.RB2FIEビット: 受信バッファ 2バイトフル割り込み
 UART3_nINTE.RB1FIEビット: 受信バッファ 1バイトフル割り込み
 UART3_nINTE.TBEIEビット: 送信バッファエンプティ割り込み

UART3 Ch.n Transmit Buffer Empty DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_n TBEDMAEN	15-0	TBEDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 TBEDMAEN[15:0]

これらのビットは、送信バッファエンプティ発生時における、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

UART3 Ch.n Receive Buffer One Byte Full DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_n RB1FDMAEN	15-0	RB1FDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 RB1FDMAEN[15:0]

これらのビットは、受信バッファ 1バイトフル発生時における、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

UART3 Ch.n Carrier Waveform Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UART3_nCAWF	15-8	-	0x00	-	R	-
	7-0	CRPER[7:0]	0x00	H0	R/W	

Bits 15-8 Reserved

Bits 7-0 CRPER[7:0]

これらのビットは、キャリア変調出力の周波数を設定します。詳細は、“キャリア変調”を参照してください。

14 同期式シリアルインタフェース(SPIA)

14.1 概要

SPIAは同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- マスタモード、スレーブモードに対応
- データ長: 2~16ビットに設定可能
- MSB先頭、LSB先頭のデータフォーマットを選択可能
- クロックの極性と位相を選択可能
- 全二重通信に対応
- 独立した送信バッファレジスタと受信バッファレジスタを内蔵
- 受信バッファフル、送信バッファエンプティ、送信完了、オーバーラン割り込みを発生可能
- 受信バッファフル、送信バッファエンプティによりDMA転送要求を発生可能
- マスタモードでは、16ビットタイマを使用してボーレートを設定可能
- スレーブモードでは、外部入力クロックSPICLK_nのみで動作可能
- スレーブモードはSLEEPモード時も動作し、SPIA割り込みによるウェイクアップが可能
- 内部で入力端子のプルアップまたはプルダウンが可能

図14.1.1にSPIAの構成を示します。

表14.1.1 S1C31D01のSPIAチャンネル構成

項目	S1C31D01
チャンネル数	2チャンネル (Ch.0とCh.1)
内部クロック入力	Ch.0 ← 16ビットタイマ Ch.1 Ch.1 ← 16ビットタイマ Ch.6

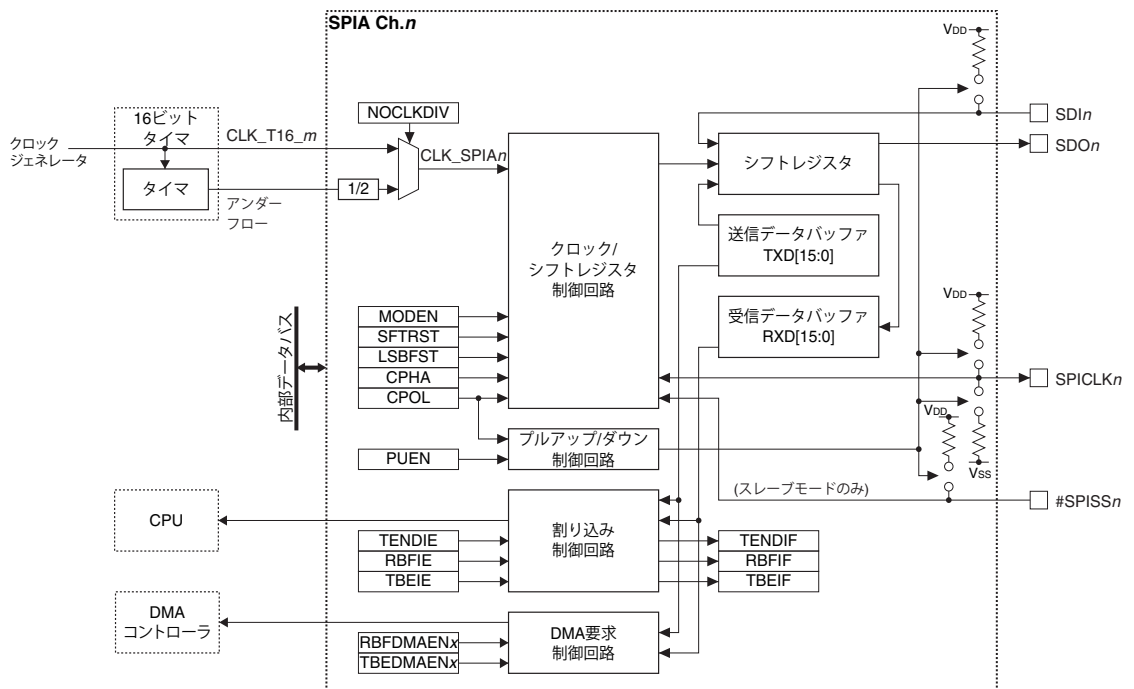


図14.1.1 SPIAの構成

14.2 入出力端子と外部接続

14.2.1 入出力端子一覧

表14.2.1.1にSPIAの端子一覧を示します。

表14.2.1.1 SPIA端子一覧

端子名	I/O*	イニシャル状態*	機能
SDIn	I	I (Hi-Z)	SPIA Ch.nデータ入力端子
SDOn	OまたはHi-Z	Hi-Z	SPIA Ch.nデータ出力端子
SPICLK _n	IまたはO	I (Hi-Z)	SPIA Ch.n外部クロック入出力端子
#SPISS _n	I	I (Hi-Z)	SPIA Ch.nスレーブセレクト信号入力端子

* 端子機能をSPIAに切り換えた時点の状態

これらのSPIA端子と他の機能がポートを共有している場合、SPIAを動作させる前にSPIAの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

14.2.2 外部との接続

SPIAにはマスタモードとスレーブモードがあります。それぞれのモードにおける外部SPIデバイスとの接続を、図14.2.2.1と図14.2.2.2に示します。

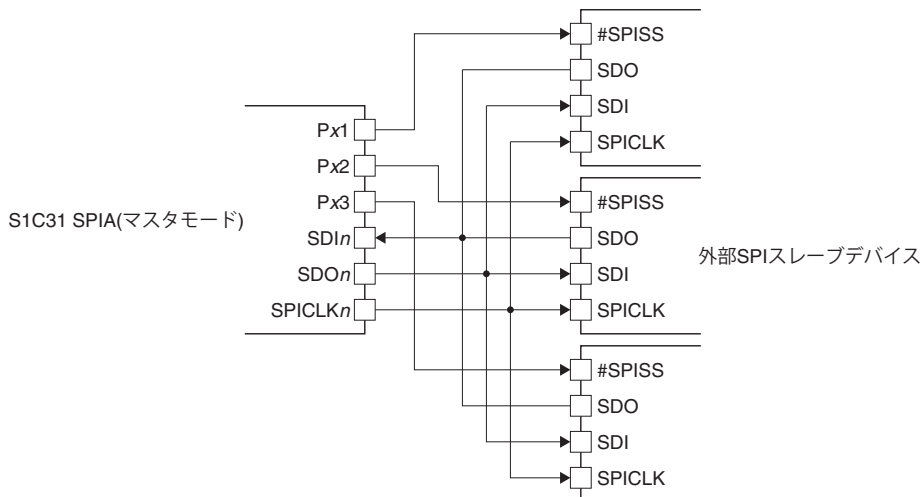


図14.2.2.1 マスタモードのSPIAと外部SPIスレーブデバイスとの接続

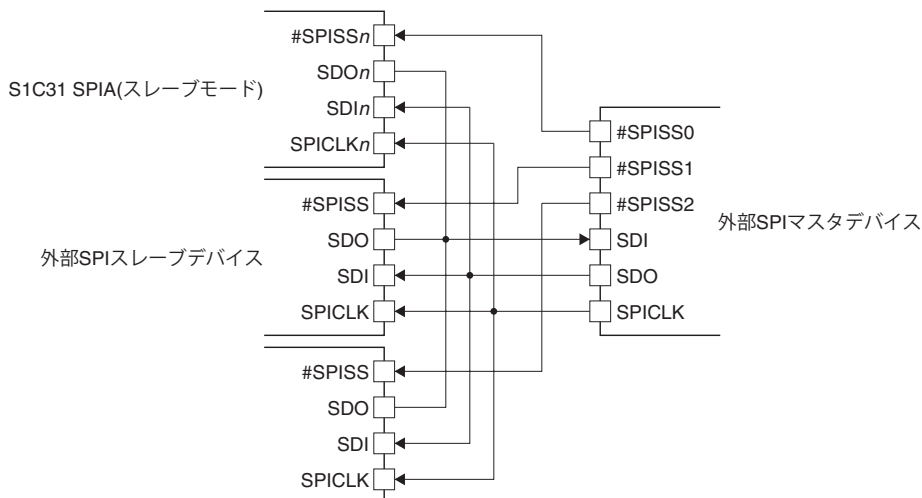


図14.2.2.2 スレーブモードのSPIAと外部SPIマスタデバイスとの接続

14.2.3 マスタモードとスレーブモードの端子機能

端子機能はマスタモードとスレーブモードの選択により切り換わります。モードによる端子機能の相違点を表14.2.3.1に示します。

表14.2.3.1 モードによる端子機能の相違点

端子	マスタモード時の機能	スレーブモード時の機能
SDIn	常に入力状態になります。	
SDOn	常に出力状態になります。	#SPISSn端子にLOWレベルが入力されている期間は出力状態になります。#SPISSn端子にHIGHレベルが入力されている期間はHi-Z状態になります。
SPICLK _n	SPIクロックを外部に出力します。 出力するクロックの極性、および位相を任意に選択できます。	外部SPIクロックを入力します。 入力するクロックの極性、および位相を任意に選択できます。
#SPISSn	使用しません。 ポートにこの入力機能を割り当てる必要はありません。マスタモードでスレーブセレクト信号を出力するには、ポートの汎用入出力機能を使用してください。	#SPISSn端子へのLOWレベル入力により、データの送受信ができるようになります。この端子にHIGHレベルが入力されている期間はスレーブデバイスとして選択されず、SDIn端子およびSPICLK _n 端子に入力されるデータとクロックはすべて無効です。また、HIGHレベルが入力された時点で送受信ビット数のカウントがクリアされ、それまで受信していたビットは、すべて破棄されます。

14.2.4 入力端子のプルアップ/プルダウン機能

SPIAの入力端子(マスタモードのSDIn、スレーブモードのSDIn、SPICLK_n、および#SPISSn)には、表14.2.4.1に示すプルアップ機能またはプルダウン機能があります。この機能は、SPIA_nMOD.PUENビットを1に設定するとイネーブルになります。

表14.2.4.1 入力端子のプルアップ/プルダウン

端子	マスタモード	スレーブモード
SDIn	プルアップ	プルアップ
SPICLK _n	-	SPIA_nMOD.CPOLビット = 1: プルアップ SPIA_nMOD.CPOLビット = 0: プルダウン
#SPISSn	-	プルアップ

14.3 クロック設定

14.3.1 SPIAの動作クロック

マスタモード時の動作クロック

マスタモード時のSPIA動作クロックは16ビットタイマから供給されます。これには以下に示す2つのオプションが用意されています。

16ビットタイマの動作クロックをそのまま使用

SPIA_nMOD.NOCLKDIVビットを1に設定すると、クロックソースとその分周比を選択して設定された、SPIAチャネルに対応する16ビットタイマチャネルの動作クロックCLK_T16_mが、CLK_SPIAnとしてSPIAにも供給されます。このクロックはそのままSPIクロックSPICLK_nとしても使用されますので、CLK_SPIAn周波数がそのままボーレートになります。

SPIAにCLK_SPIAnを供給するには、クロックジェネレータで16ビットタイマのクロックソースをイネーブルにしておく必要があります。対応する16ビットタイマチャネルのT16_mCTL.MODENビットとT16_mCTL.PRUNビットは、1でも0でも構いません。

このモードでは、対応する16ビットタイマチャネルのタイマ機能を別の目的に使用可能です。

16ビットタイマをボーレートジェネレータとして使用

SPIA_nMOD.NOCLKDIVビットを0に設定すると、対応する16ビットタイマチャネルで生成されたアンダーフロー信号をSPIAに入力してSPICLK_nを生成します。この場合は、適切なリロードデータを設定して16ビットタイマを動作させる必要があります。この場合のSPICLK_n周波数(ボーレート)、16ビットタイマのリロードデータは以下の式で求められます。

14 同期式シリアルインタフェース(SPIA)

$$f_{\text{SPICLK}} = \frac{f_{\text{CLK_SPIA}}}{2 \times (\text{RLD} + 1)} \qquad \text{RLD} = \frac{f_{\text{CLK_SPIA}}}{f_{\text{SPICLK}} \times 2} - 1 \qquad (\text{式14.1})$$

ここで

f_{SPICLK} : SPICLK n 周波数[Hz] (=ボーレート[bps])

$f_{\text{CLK_SPIA}}$: SPIA動作クロック周波数[Hz]

RLD: 16ビットタイマリロードデータ値

16ビットタイマの制御方法については、“16ビットタイマ”の章を参照してください。

スレーブモード時の動作クロック

スレーブモードのSPIAは、外部のSPIマスタからSPICLK n 端子に供給されるクロックで動作します。SPIAチャンネルに対応する16ビットタイマチャンネル(クロックソースセレクトと分周器を含む)は使用しません。また、SPIA $_n$ MOD.NOCLKDIVビットの設定は無効になります。

SLEEPモードですべてのクロックが停止している状態でも、SPIAは外部のSPIマスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

14.3.2 デバッグ時のクロック供給

マスタモードでは、デバッグ時の動作クロックの供給をT16 $_m$ CLK.DBRUNビットで制御します。

T16 $_m$ CLK.DBRUNビット = 0の場合、デバッグ状態に移行するとSPIA Ch. n へのCLK_T16 $_m$ の供給が停止します。その後通常動作に戻ると、CLK_T16 $_m$ の供給が再開します。CLK_T16 $_m$ の供給が停止するとSPIA Ch. n の動作は停止しますが、出力端子やレジスタはデバッグ状態に移行する前の状態に保持されます。T16 $_m$ CLK.DBRUNビット = 1の場合、デバッグ時もCLK_T16 $_m$ の供給は停止せず、SPIA Ch. n は動作を続けます。

スレーブモード時は、デバッグ時か通常動作時にかかわらず、外部のSPIマスタからSPICLK n 端子に供給されるクロックで動作します。

14.3.3 SPIクロック(SPICLK n)の位相と極性

SPICLK n の位相と極性は、SPIA $_n$ MOD.CPHAビットとSPIA $_n$ MOD.CPOLビットで個々に設定できます。各設定におけるクロック波形とデータ入出力タイミングを図14.3.3.1に示します。

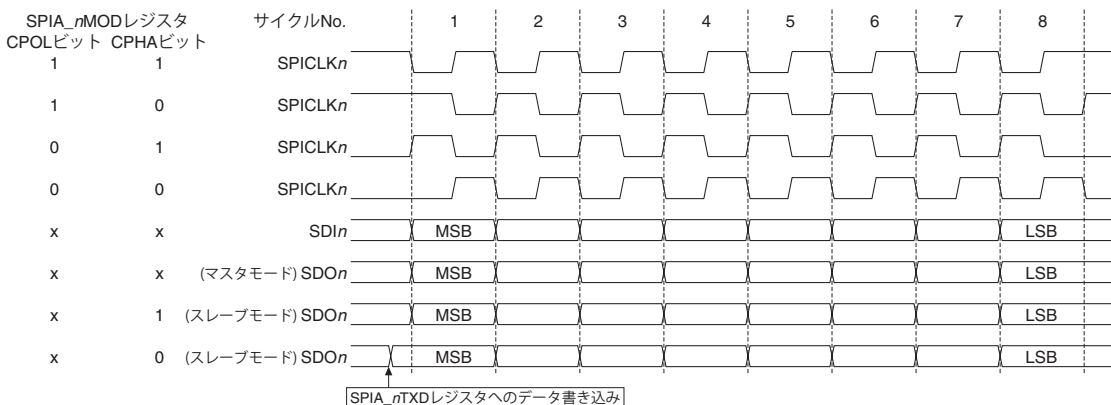


図14.3.3.1 SPIクロックの位相と極性(SPIA $_n$ MOD.LSBFSTビット = 0, SPIA $_n$ MOD.CHLN[3:0]ビット = 0x7)

14.4 データフォーマット

SPIAのデータ長は、SPIA_nMOD.CHNLN[3:0]ビットの設定により、2ビット～16ビットの中から選択できます。入出力の順列は、SPIA_nMOD.LSBFSTビットにてMSB先頭、またはLSB先頭を選択できます。SPIA_nMOD.CHNLN[3:0]ビット = 0x7、SPIA_nMOD.CPOLビット = 0、SPIA_nMOD.CPHAビット = 0のときのデータフォーマットの例を、図14.4.1に示します。

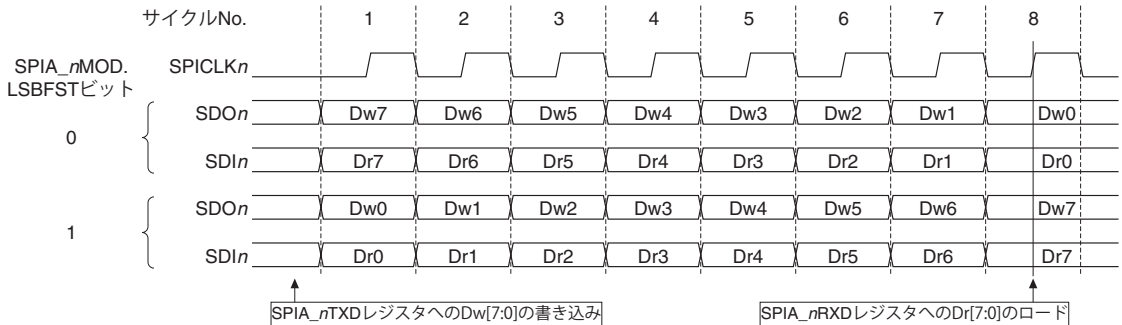


図14.4.1 SPIA_nMOD.LSBFSTビットによるデータフォーマットを選択

(SPIA_nMOD.CHNLN[3:0]ビット = 0x7, SPIA_nMOD.CPOLビット = 0, SPIA_nMOD.CPHAビット = 0)

14.5 動作

14.5.1 初期設定

SPIA Ch.nは、以下の手順により初期設定を行います。

1. <マスタモードで使用する場合のみ>16ビットタイマを制御してクロックを生成し、SPIA Ch.nに供給する。
2. SPIA_nMODレジスタの以下のビットを設定する。
 - SPIA_nMOD.PUENビット (入力端子のプルアップ/ダウンイネーブル)
 - SPIA_nMOD.NOCLKDIVビット (マスタモード動作クロック選択)
 - SPIA_nMOD.LSBFSTビット (MSB先頭/LSB先頭選択)
 - SPIA_nMOD.CPHAビット (クロック位相選択)
 - SPIA_nMOD.CPOLビット (クロック極性選択)
 - SPIA_nMOD.MSTビット (マスタ/スレーブモード選択)
3. SPIA Ch.n入出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
4. SPIA_nCTLレジスタの以下のビットを設定する。
 - SPIA_nCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - SPIA_nCTL.MODENビットを1に設定 (SPIA Ch.nの動作をイネーブル)
5. 割り込みを使用する場合は以下のビットを設定する。
 - SPIA_nINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - SPIA_nINTEレジスタの割り込みイネーブルビットを1に設定* (割り込みイネーブル)

* SPIA_nINTF.TBEIFビットの初期値が1のため、SPIA_nINTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。
6. DMA転送を使用する場合は、DMAコントローラを設定すると共に以下のSPIA制御ビットを設定する。
 - SPIA_nTBEDMAEN、SPIA_nRBFDMAENレジスタのDMA転送要求イネーブルビットに1を書き込む (DMA転送要求イネーブル)

14.5.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図14.5.2.1と図14.5.2.2に示します。

送信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2. SPIA_nINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
3. SPIA_nTXDレジスタに送信データを書き込む。
4. 割り込みを使用する場合はSPIA割り込みを待つ。
5. 送信データ終了まで、2~4(または2と3)を繰り返す。
6. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

送信動作

SPIA_nTXDレジスタに送信データを書き込むことにより、SPIA Ch.nは送信動作を開始します。SPIA_nTXDレジスタの送信データは、自動的にシフトレジスタへ転送され、SPIA_nINTF.TBEIFビットが1にセットされます。SPIA_nINTE.TBEIEビット = 1(送信バッファエンプティ割り込みイネーブル)の場合、これと同時に送信バッファエンプティ割り込み要求が発生します。

次に、SPICLK_n端子からSPIA_nMOD.CHLN[3:0]ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、SDO_n端子から送信データが順次出力されます。

SPICLK_n端子からクロックが出力されている最中であっても、SPIA_nINTF.TBEIFビット = 1を確認した後に、SPIA_nTXDレジスタへ次の送信データを書き込むことができます。

SPICLK_n端子から最後のクロックが出力されたときに、SPIA_nTXDレジスタに送信データが書き込まれていなかった場合、クロックの出力が停止し、SPIA_nINTF.TENDIFビットが1にセットされます。このとき、SPIA_nINTE.TENDIEビット = 1であれば、送信完了割り込み要求が発生します。

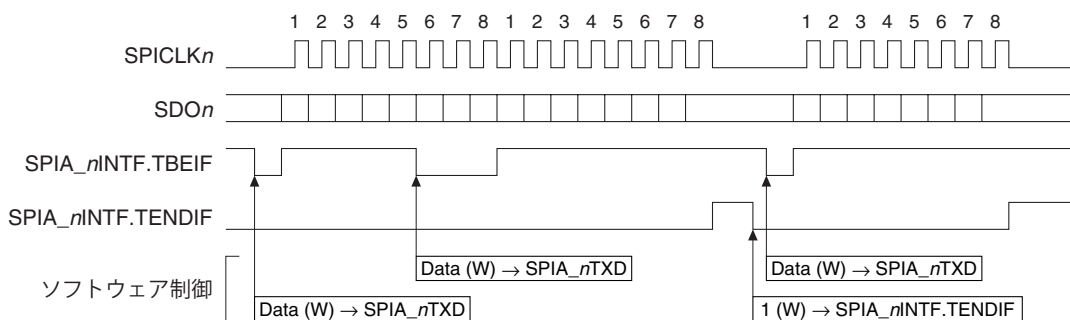


図14.5.2.1 マスタモードのデータ送信動作例(SPIA_nMOD.CHLN[3:0]ビット = 0x7)

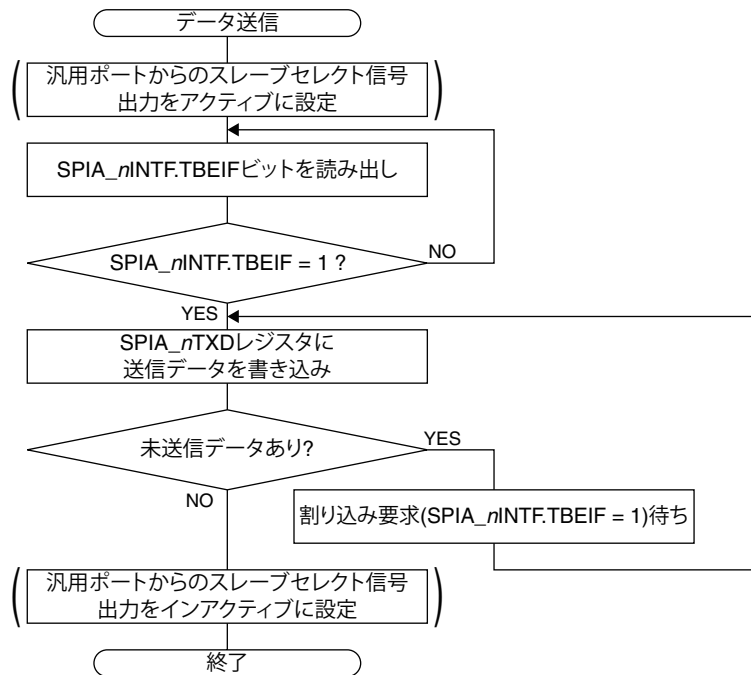


図14.5.2.2 マスタモードのデータ送信フローチャート

DMAを使用したデータ送信

SPIA_nTBEDMAEN.TBEDMAEN_xビットを1(DMA転送要求イネーブル)に設定しておく、SPIA_nINTF.TBEIFビットが1(送信バッファエンpty)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、指定されているメモリからSPIA_nTXDレジスタに、送信データがDMA Ch._xにより転送されます。

これにより、上記送信手順の2~5はDMAにより自動化できます。

なお、送信データがSPIA_nTXDレジスタに転送されるように、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表14.5.2.1 DMAデータストラクチャ設定例(16ビットデータ送信)

設定項目		設定例
エンドポイント	転送元	最終送信データが格納されているメモリアドレス
	転送先	SPIA_nTXDレジスタアドレス
コントロールデータ	dst_inc	0x3(インクリメントなし)
	dst_size	0x1(ハーフワード)
	src_inc	0x1(+2)
	src_size	0x1(ハーフワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

14.5.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図14.5.3.1と図14.5.3.2に示します。

受信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2. SPIA_nINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
3. SPIA_nTXDレジスタに任意のデータ(または送信データ)を書き込む。
4. 送信バッファエンプティ割り込み(SPIA_nINTF.TBEIFビット = 1)を待つ。
5. SPIA_nTXDレジスタに任意のデータ(または送信データ)を書き込む。
6. 受信バッファフル割り込み(SPIA_nINTF.RBFIFビット = 1)を待つ。
7. SPIA_nRXDレジスタから受信データを読み出す。
8. 受信終了まで、5~7を繰り返す。
9. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

注: SPICLK_nを停止させずに連続的にデータを受信するためには、6の後、7と5の操作を“データビット長 - 1”に相当するSPICLK_n周期以内に完了させる必要があります。

受信動作

SPIA_nTXDレジスタに送信データ(送信が不要の場合は任意の値で可)を書き込むことにより、SPIA Ch._nは送信動作と同時に受信動作も開始します。

SPICLK_n端子からSPIA_nMOD.CHLN[3:0]ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、SDO_n端子から送信データが順次出力されると共に、SDI_n端子から受信データがシフトレジスタへ取り込まれます。

SPICLK_n端子から最後のクロックが出力され、受信データビットがすべてシフトレジスタに取り込まれると、そのデータは受信データバッファに転送され、SPIA_nINTF.RBFIFビットが1にセットされます。このとき、SPIA_nINTE.RBFIEビット = 1であれば、受信バッファフル割り込み要求が発生します。これ以降、受信データバッファ内の受信データはSPIA_nRXDレジスタから読み出すことができます。

注: SPIA_nINTF.RBFIFビットが1にセットされている状態でSPIA_nMOD.CHLN[3:0]ビットによって定義されるビット数分のデータを受信すると、SPIA_nRXDレジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、SPIA_nINTF.OEIFビットがセットされます。

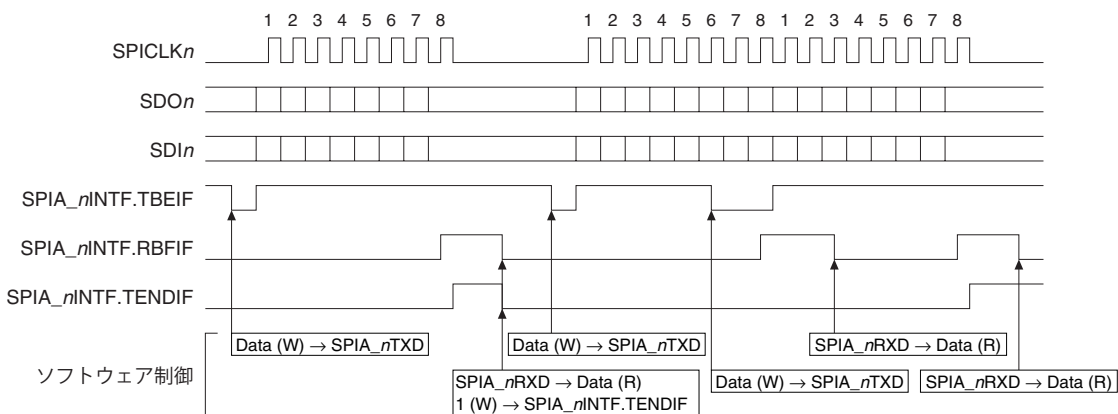


図14.5.3.1 マスタモードのデータ受信動作例(SPIA_nMOD.CHLN[3:0]ビット = 0x7)

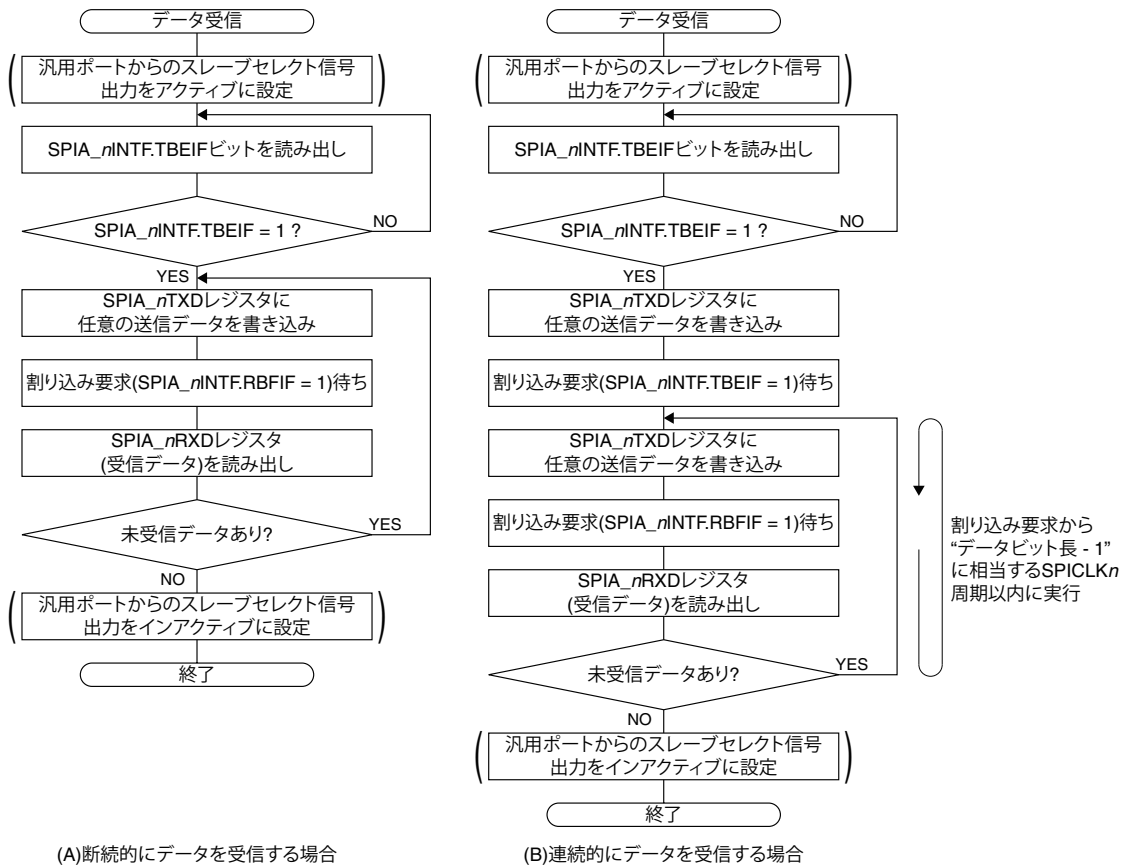


図14.5.3.2 マスタモードのデータ受信フローチャート

DMAを使用したデータ受信

データ受信時は、受信開始のトリガとなるSPIA_nTXDレジスタへのダミーデータの書き込みと、SPIA_nRXDレジスタからの受信データの読み出しを行うため、DMAコントローラの2つのチャンネルを使用します。

SPIA_nTBEDMAEN.TBEDMAEN_{x1}ビットを1(DMA転送要求イネーブル)に設定しておく、SPIA_nINTF.TBEIFビットが1(送信バッファEMPTY)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、指定されているメモリからSPIA_nTXDレジスタに、ダミーデータがDMA Ch.x1により転送されます。

SPIA_nRBFDMAEN.RBFDMAEN_{x2}ビットを1(DMA転送要求イネーブル)に設定しておく、SPIA_nINTF.RBFIFビットが1(受信バッファフル)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、SPIA_nRXDレジスタから指定されているメモリに、受信データがDMA Ch.x2により転送されます。

これにより、上記受信手順の2~8はDMAにより自動化できます。

なお、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

14 同期式シリアルインタフェース(SPIA)

表14.5.3.1 DMAデータストラクチャ設定例(16ビットダミー送信データの書き込み)

設定項目		設定例
エンドポインタ	転送元	ダミーデータが格納されているメモリアドレス
	転送先	SPIA_nTXDレジスタアドレス
コントロールデータ	dst_inc	0x3(インクリメントなし)
	dst_size	0x1(ハーフワード)
	src_inc	0x3(インクリメントなし)
	src_size	0x1(ハーフワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
cycle_ctrl	0x1(通常転送)	

表14.5.3.2 DMAデータストラクチャ設定例(16ビットデータ受信)

設定項目		設定例
エンドポインタ	転送元	SPIA_nRXDレジスタアドレス
	転送先	最終受信データを格納するメモリアドレス
コントロールデータ	dst_inc	0x1(+2)
	dst_size	0x1(ハーフワード)
	src_inc	0x3(インクリメントなし)
	src_size	0x1(ハーフワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
cycle_ctrl	0x1(通常転送)	

14.5.4 マスタモードのデータ送受信終了

マスタモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPIA_nINTF.TENDIFビット = 1)を待つ。
2. SPIA_nCTL.MODENビットを0に設定し、SPIA Ch.nの動作をディスエーブルにする。
3. 16ビットタイマを停止させ、SPIA Ch.nへのクロック供給を止める。

14.5.5 スレーブモードのデータ送受信

スレーブモード時のデータ送受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図14.5.5.1と図14.5.5.2に示します。

送信手順

1. SPIA_nINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
2. SPIA_nTXDレジスタに送信データを書き込む。
3. 送信バッファエンプティ割り込み(SPIA_nINTF.TBEIFビット = 1)を待つ。
4. 送信データ終了まで、2と3を繰り返す。

注: SPIA_nINTF.TBEIFビットが1にセットされてからSPIA_nTXDレジスタに書き込んだデータが送出完了するまでの間に、送信データをSPIA_nTXDレジスタへ書き込む必要があります。もし、この間に送信データが書き込まれなかった場合は、SDIn端子から入力されたデータがそのままシフトアウトされます。

受信手順

1. 受信バッファフル割り込み(SPIA_nINTF.RBFIFビット = 1)を待つ。
2. SPIA_nRXDレジスタから受信データを読み出す。
3. 受信終了まで、1と2を繰り返す。

送受信動作

スレーブモードの動作は、マスタモードとは以下の点が異なります。

- 外部SPIマスタからSPICLK_n端子に供給されるSPIクロックで動作します。
データ転送レートはSPICLK_nの周波数によって決まります。16ビットタイマの制御は不要です。

- 外部SPIマスタから#SPISS_n端子に入力されるスレーブセレクト信号がアクティブ(LOW)な場合のみスレーブデバイスとして動作します。
#SPISS_n = HIGHの場合、送受信操作、およびSPICLK_nとSDIn端子入力がすべて無効になります。また、送受信の途中で#SPISS_nがHIGHになった場合は、転送ビット数カウンタがクリアされ、シフトレジスタ内のデータは破棄されます。
- データの送受信は外部SPIマスタによって#SPISS_nがアクティブになり、SPICLK_nが入力されることで開始します。送信データの書き込みは、送受信開始のトリガにはなりません。したがって、受信のみを行う場合、送信データバッファへのダミーデータの書き込みは不要です。
- SLEEPモードでもデータの送受信動作が可能で、SPIAの割り込みによってCPUをウェイクアップさせることができます。

上記以外の動作はマスタモードと同様です。

- 注:
- SPIA_nINTF.RBFIFビットが1にセットされている状態で、SPIA_nMOD.CHLN[3:0]ビットによって定義されるビット数分のデータを受信すると、SPIA_nRXDレジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、SPIA_nINTF.OEIFビットがセットされます。
 - SPIA_nINTF.TBEIFビットが1にセットされている状態でも、SPICLK_n端子から1ビット目のクロックが入力されると、SPIAはその時点でシフトレジスタに保存されているデータの送信を開始します。

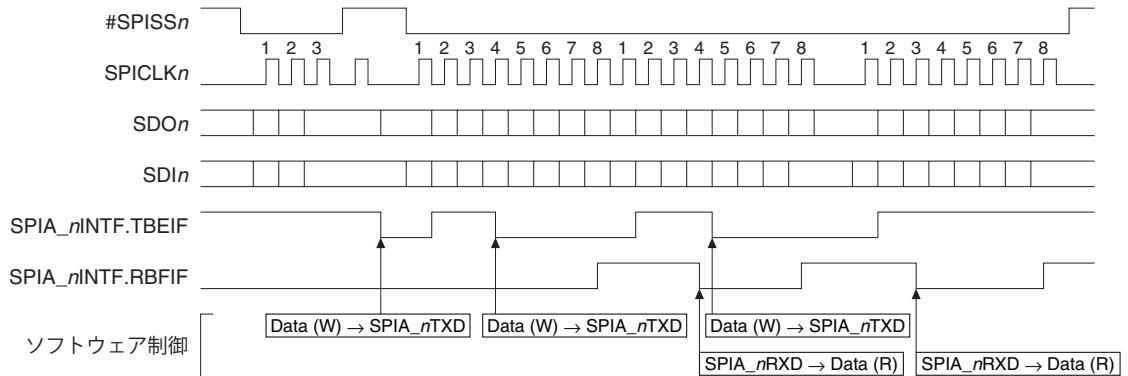


図14.5.5.1 スレーブモード時の送受信動作例(SPIA_nMOD.CHLN[3:0]ビット = 0x7)

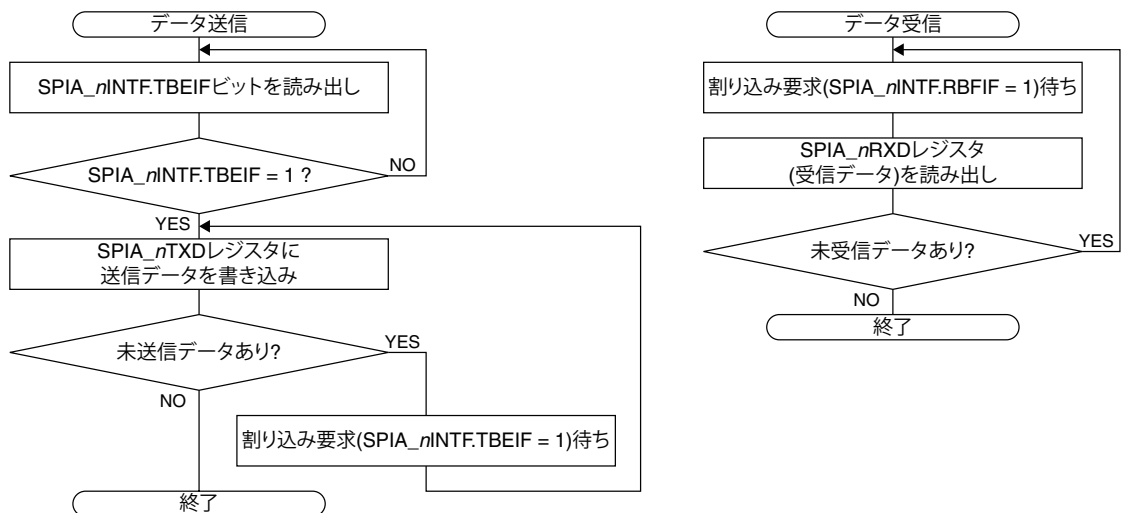


図14.5.5.2 スレーブモード時の送受信フローチャート

14.5.6 スレーブモードのデータ送受信終了

スレーブモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPIA_nINTF.TENDIFビット = 1)を待つ。または受信データなどで終了を判断する。
2. SPIA_nCTL.MODENビットを0に設定し、SPIA Ch.nの動作をディスエーブルにする。

14.6 割り込み

SPIAには、表14.6.1に示す割り込みを発生させる機能があります。

表14.6.1 SPIAの割り込み機能

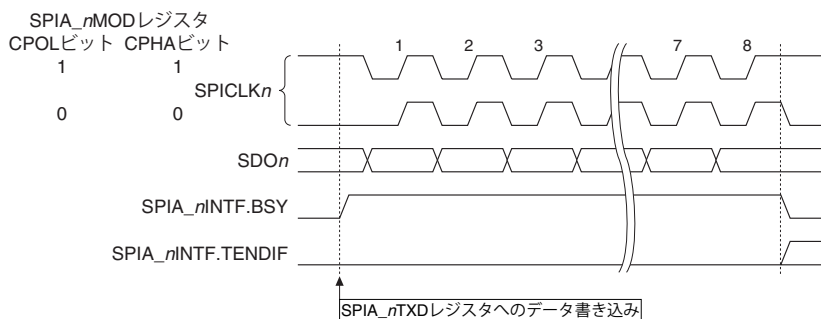
割り込み	割り込みフラグ	セット	クリア
送信完了	SPIA_nINTF.TENDIF	指定ビット数(SPIA_nMOD.CHLN[3:0]ビットによって定義)のデータ送信後にSPIA_nINTF.TBEIFビット = 1のとき	1書き込み
受信バッファフル	SPIA_nINTF.RBFIF	指定ビット数のデータを受信し、受信データがシフトレジスタから受信データバッファに転送されたとき	SPIA_nRXDレジスタの読み出し
送信バッファエンプティ	SPIA_nINTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	SPIA_nTXDレジスタへの書き込み
オーバーランエラー	SPIA_nINTF.OEIF	シフトレジスタにデータを受信し終わった時点で、受信データバッファが満杯(受信データが読み出されていない)のとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

また、SPIA_nINTFレジスタにはSPIAの動作状態を示すBSYビットも設けられています。

図14.6.1に、SPIA_nINTF.BSYビットおよびSPIA_nINTF.TENDIFビットがセットされるタイミングを示します。

マスターモード



スレーブモード

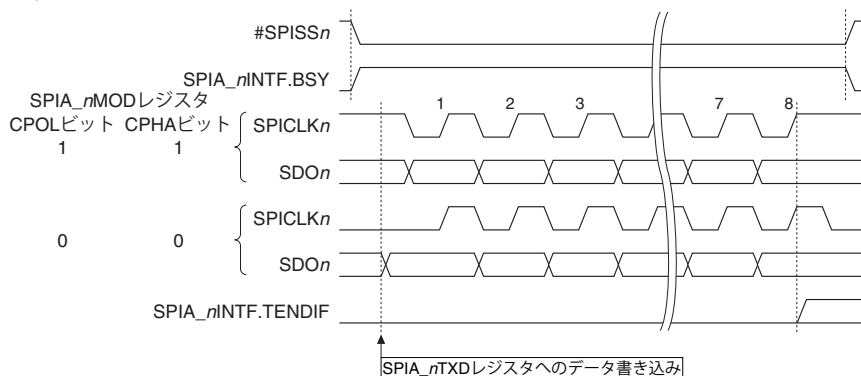


図14.6.1 SPIA_nINTF.BSYビットおよびSPIA_nINTF.TENDIFビットのセットタイミング
(SPIA_nMOD.CHLN[3:0]ビット = 0x7の場合)

14.7 DMA転送要求

SPIAには、表14.7.1に示す要因でDMA転送要求を発生させる機能があります。

表14.7.1 SPIAのDMA転送要求要因

DMA転送要求要因	DMA転送要求起動フラグ	セット	クリア
受信バッファフル	受信バッファフルフラグ (SPIA_nINTF.RBFIF)	指定ビット数のデータを受信し、受信データがシフトレジスタから受信データバッファに転送されたとき	SPIA_nRXDレジスタの読み出し
送信バッファエンプティ	送信バッファエンプティフラグ (SPIA_nINTF.TBEIF)	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	SPIA_nTXDレジスタへの書き込み

上記のDMA転送要求起動フラグには、それぞれに対応するDMA転送要求イネーブルビットがDMAチャンネル数分用意されています。それらのビットによってDMA転送をイネーブルにしたDMA転送要求起動フラグのセット時のみ、DMAコントローラの該当チャンネルにDMA転送要求が出力されます。DMA転送要求起動フラグは割り込みフラグを兼ねているため、DMA転送要求と割り込みの両方を同時にイネーブルにはできません。DMA転送終了後は、意図しないDMA転送要求が出力されることのないように、DMA転送をディスエーブルにしてください。DMA転送の制御については、“DMAコントローラ”の章を参照してください。

14.8 制御レジスタ

SPIA Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPIA_nMOD	15-12	–	0x0	–	R	–
	11-8	CHLN[3:0]	0x7	H0	R/W	
	7-6	–	0x0	–	R	
	5	PUEN	0	H0	R/W	
	4	NOCLKDIV	0	H0	R/W	
	3	LSBFST	0	H0	R/W	
	2	CPHA	0	H0	R/W	
	1	CPOL	0	H0	R/W	
	0	MST	0	H0	R/W	

Bits 15–12 Reserved

Bits 11–8 CHLN[3:0]

これらのビットは、送受信データのビット長を設定します。

表14.8.1 データビット長の設定

SPIA_nMOD.CHLN[3:0]ビット	データビット長
0xf	16ビット
0xe	15ビット
0xd	14ビット
0xc	13ビット
0xb	12ビット
0xa	11ビット
0x9	10ビット
0x8	9ビット
0x7	8ビット
0x6	7ビット
0x5	6ビット
0x4	5ビット
0x3	4ビット
0x2	3ビット
0x1	2ビット
0x0	設定禁止

14 同期式シリアルインタフェース(SPIA)

Bits 7–6 Reserved

Bit 5 PUEN

このビットは、入力端子のプルアップ/プルダウンをイネーブルにします。

1 (R/W): プルアップ/プルダウンイネーブル

0 (R/W): プルアップ/プルダウンディスエーブル

詳細は、“入力端子のプルアップ/プルダウン機能”を参照してください。

Bit 4 NOCLKDIV

このビットは、マスタモード時のSPICLK n を選択します。スレーブモードでは無効です。

1 (R/W): SPICLK n 周波数 = CLK_SPIA n 周波数 (= 16ビットタイマ動作クロック周波数)

0 (R/W): SPICLK n 周波数 = 16ビットタイマ出力周波数 / 2

詳細は、“SPIAの動作クロック”を参照してください。

Bit 3 LSBFST

このビットは、データフォーマット(入出力順列)を設定します。

1 (R/W): LSB先頭

0 (R/W): MSB先頭

Bit 2 CPHA

Bit 1 CPOL

これらのビットは、SPIクロックの位相および極性を設定します。詳細は、“SPIクロック (SPICLK n)の位相と極性”を参照してください。

Bit 0 MST

このビットは、SPIAの動作モード(マスタモードまたはスレーブモード)を設定します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

注: SPIA $_n$ MODレジスタは、SPIA $_n$ CTL.MODENビット = 0のときのみ設定変更が可能です。

SPIA Ch. n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPIA $_n$ CTL	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–2 Reserved

Bit 1 SFTRST

このビットは、SPIAをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

SPIAのシフトレジスタ、および転送ビット数カウンタがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、SPIAの動作をイネーブルにします。

1 (R/W): SPIA動作イネーブル(マスタモードでは、動作クロックが供給されます。)

0 (R/W): SPIA動作ディスエーブル(マスタモードでは、動作クロックが停止します。)

注: データの送受信中にSPIA $_n$ CTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、SPIA $_n$ CTL.MODENビットを再度1に設定する場合は、必ずSPIA $_n$ CTL.SFTRSTビットにも1を書き込んでください。

SPIA Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPIA_nTXD	15-0	TXD[15:0]	0x0000	H0	R/W	–

Bits 15-0 TXD[15:0]

これらのビットを介して、送信データバッファへデータを書き込むことができます。

マスタモードでは、この書き込みにより送受信動作を開始します。

SDOn端子からデータが出力されている期間でも、SPIA_nINTF.TBEIFビット = 1のときは送信データを書き込むことができます。

SPIA_nMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位ビットのデータは、SDOn端子から出力されません。

注: SPIA_nINTF.TBEIFビット = 0のときは、SPIA_nTXDレジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

SPIA Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPIA_nRXD	15-0	RXD[15:0]	0x0000	H0	R	–

Bits 15-0 RXD[15:0]

これらのビットを介して、受信データバッファが読み出せます。SDIn端子からデータが入力されている期間でも、SPIA_nINTF.RBFIFビット = 1のときには受信データを読み出すことができます。SPIA_nMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位のビットは0になります。

SPIA Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPIA_nINTF	15-8	–	0x00	–	R	–
	7	BSY	0	H0	R	
	6-4	–	0x0	–	R	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	TENDIF	0	H0/S0	R/W	
	1	RBFIF	0	H0/S0	R	Cleared by reading the SPIA_nRXD register.
	0	TBEIF	1	H0/S0	R	Cleared by writing to the SPIA_nTXD register.

Bits 15-8 Reserved

Bit 7 BSY

このビットは、SPIAの動作状態を示します。

1 (R): 送受信ビジー (マスタモード)、#SPISSn = LOWレベル(スレーブモード)

0 (R): 待機中

Bits 6-4 Reserved

Bit 3 OEIF

Bit 2 TENDIF

Bit 1 RBFIF

Bit 0 TBEIF

これらのビットは、SPIA割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア(OEIF, TENDIF)

0 (W): 無効

14 同期式シリアルインタフェース(SPIA)

各ビットと割り込みの対応は以下のとおりです。

SPIA_nINTF.OEIFビット: オーバーランエラー割り込み

SPIA_nINTF.TENDIFビット: 送信完了割り込み

SPIA_nINTF.RBFIFビット: 受信バッファフル割り込み

SPIA_nINTF.TBEIFビット: 送信バッファエンプティ割り込み

SPIA Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPIA_nINTE	15-8	-	0x00	-	R	-
	7-4	-	0x0	-	R	
	3	OEIE	0	H0	R/W	
	2	TENDIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

Bits 15-4 Reserved

Bit 3 OEIE

Bit 2 TENDIE

Bit 1 RBFIE

Bit 0 TBEIE

これらのビットは、SPIAの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

SPIA_nINTE.OEIEビット: オーバーランエラー割り込み

SPIA_nINTE.TENDIEビット: 送信完了割り込み

SPIA_nINTE.RBFIEビット: 受信バッファフル割り込み

SPIA_nINTE.TBEIEビット: 送信バッファエンプティ割り込み

SPIA Ch.n Transmit Buffer Empty DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPIA_nTBEDMAEN	15-0	TBEDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 TBEDMAEN[15:0]

これらのビットは、送信バッファエンプティ発生時における、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

SPIA Ch.n Receive Buffer Full DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPIA_nRBFDMAEN	15-0	RBFDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 RBFDMAEN[15:0]

これらのビットは、受信バッファフル発生時における、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

15 同期式クワッドシリアル インタフェース(QSPI)

15.1 概要

QSPIは同期式クワッドシリアルインタフェースです。主な機能と特長を以下に示します。

- マスタモード、スレーブモードに対応
- シングル、デュアル、クワッド転送モードに対応
- データ長: 2~16クロックに設定可能
- データ線駆動長: 1~16クロックに設定可能(出力方向のみ)
- MSB先頭、LSB先頭のデータフォーマットを選択可能
- クロックの位相と極性を選択可能
- 全二重通信に対応
- 独立した送信バッファレジスタと受信バッファレジスタを内蔵
- 受信バッファフル、送信バッファエンプティ、送信完了、オーバーラン割り込みを発生可能
- マスタモードでは、16ビットタイマを使用してボーレートを設定可能
- スレーブモードでは、外部入力クロックQSPICLK_nのみで動作可能
- スレーブモードはSLEEPモード時も動作し、QSPI割り込みによるウェイクアップが可能
- 内部で入力端子のプルアップまたはプルダウンが可能
- XIP(eXecute-In-Place)モードに対応した外部Flashメモリを内蔵システムメモリと同様にアクセス可能な、CPUのオーバーヘッドが低いメモリマップドアクセス機能
 - メモリマップドアクセスサイズ: 8、16、32ビット
 - リマッピングが可能な1Mバイトの外部Flashメモリマップドアクセスエリア
 - 3または4バイトのアドレスサイクル長を設定可能
 - アドレス、モードバイト/ダミー、データの各サイクルをシングル、デュアル、またはクワッド転送モードに設定可能
 - XIPモードの起動と終了それぞれのモードバイトを設定可能
 - モードバイト/ダミー出力サイクル長を設定可能
- 受信バッファフル、送信バッファエンプティ、メモリマップドアクセス(32ビットリード)によりDMA転送要求を発生可能

図15.1.1にQSPIの構成を示します。

表15.1.1 S1C31D01のQSPIチャンネル構成

項目	S1C31D01
チャンネル数	1チャンネル (Ch.0)
内部クロック入力	Ch.0 ← 16ビットタイマ Ch.2
外部Flashメモリ用 メモリマップドアクセスエリア	0x0004 0000番地から1Mバイト

15 同期式クワッドシリアルインタフェース(QSPI)

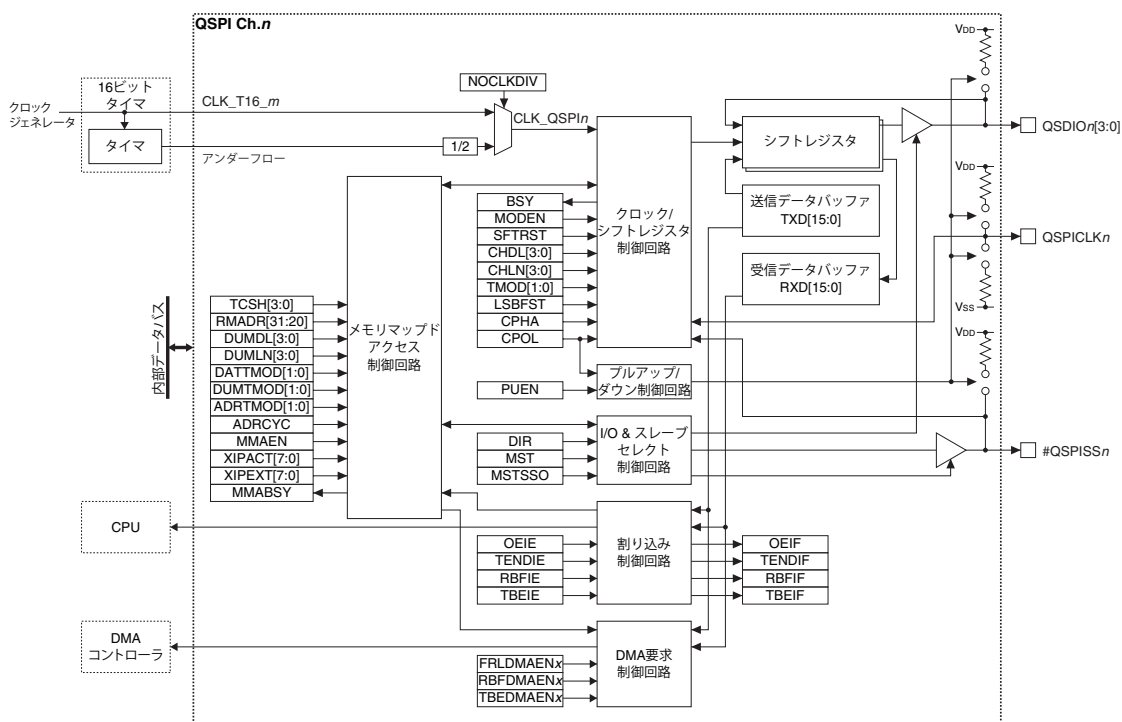


図15.1.1 QSPIの構成

15.2 入出力端子と外部接続

15.2.1 入出力端子一覧

表15.2.1.1にQSPIの端子一覧を示します。

表15.2.1.1 QSPI端子一覧

端子名	I/O*	イニシャル状態*	機能
QSDIO[n][3:0]	IまたはO	I (Hi-Z)	QSPI Ch.nデータ入出力端子
QSPICLK[n]	IまたはO	I (Hi-Z)	QSPI Ch.n外部クロック入出力端子
#QSPISSn	IまたはO	I (Hi-Z)	QSPI Ch.nスレープ選択信号入出力端子

* 端子機能をQSPIに切り換えた時点の状態

これらのQSPI端子と他の機能がポートを共有している場合、QSPIを動作させる前にQSPIの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

15.2.2 外部との接続

QSPIにはマスタモードとスレーブモードがあります。メモリーマップドアクセスモードはマスタモードでのみ使用可能です。

QSPI Ch.nがメモリーマップドアクセスモードで動作している場合は、#QSPISSn出力が内部ステートマシンにより制御されます。この場合、接続可能な外部QSPIデバイスは1つに限られます。QSPI Ch.nがレジスタアクセスマスタモードで動作している場合は、#QSPISSn出力がレジスタビットで直接制御されます。この場合、#QSPISSn以外のGPIOポートをスレープ選択信号の出力に使用することで、複数の外部QSPIデバイスが接続できます。

それぞれのモードにおける外部QSPIデバイスとの接続を、図15.2.2.1～図15.2.2.7に示します。

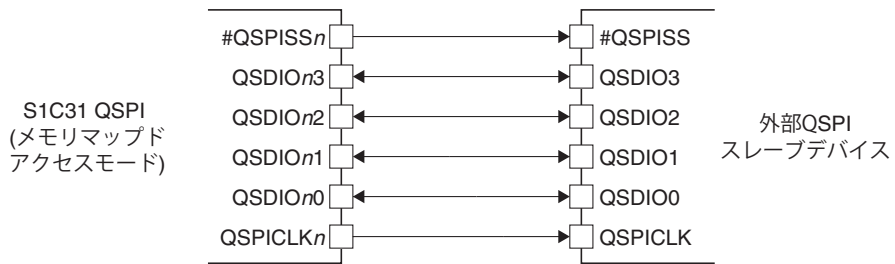


図15.2.2.1 メモリマップドアクセスモードのQSPIと外部QSPIスレーブデバイスとの接続

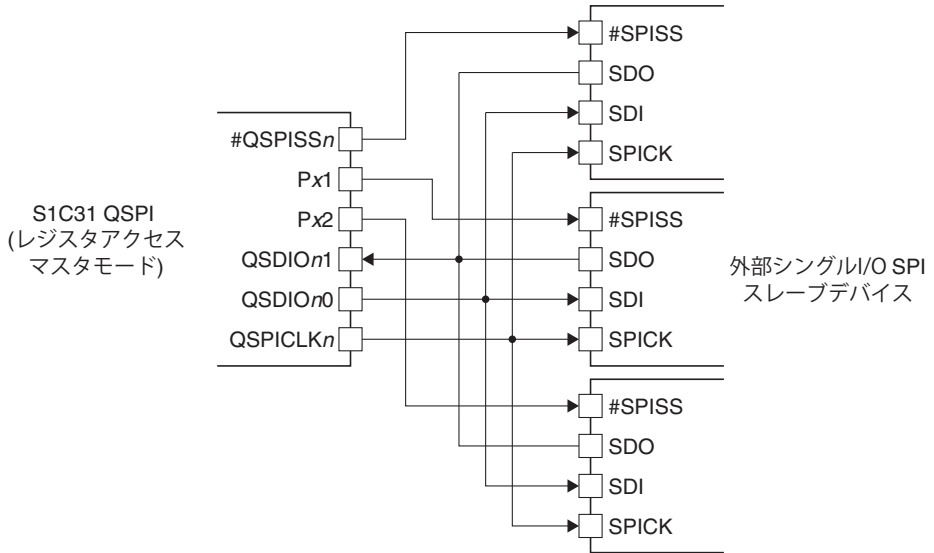


図15.2.2.2 レジスタアクセスマスターモードのQSPIと外部シングルI/O SPI(レガシー SPI)スレーブデバイスとの接続

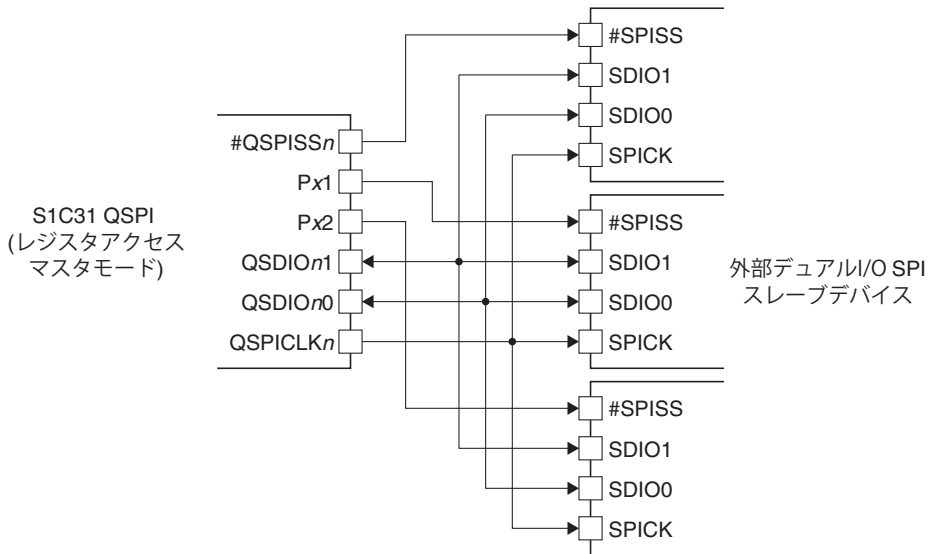


図15.2.2.3 レジスタアクセスマスターモードのQSPIと外部デュアルI/O SPIスレーブデバイスとの接続

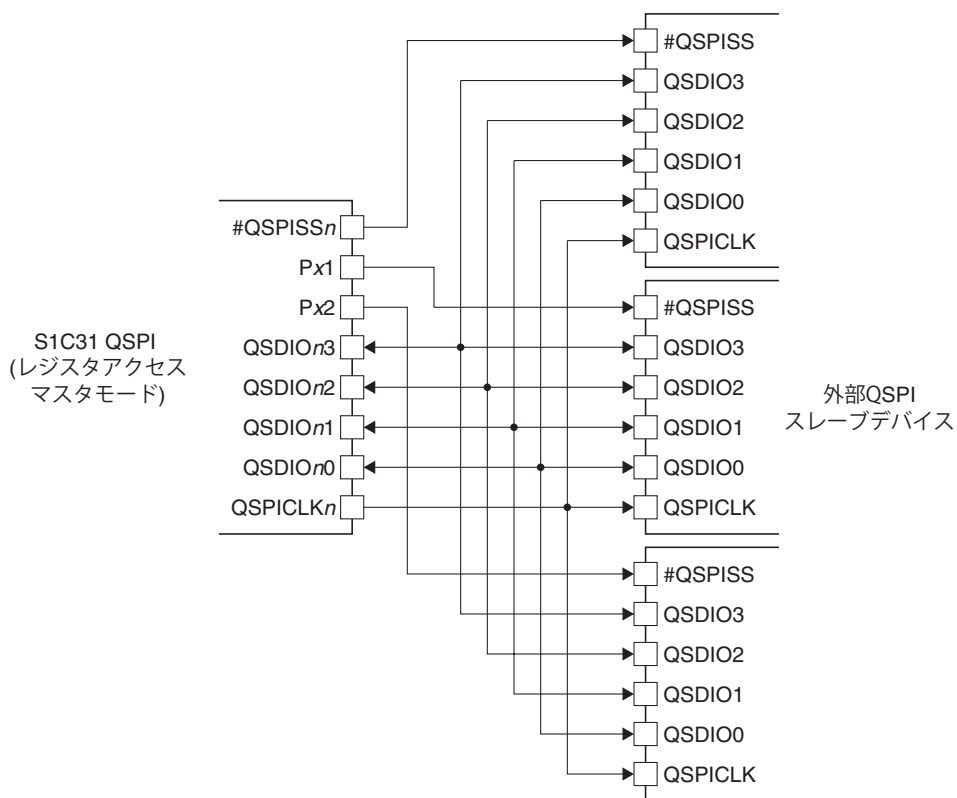


図15.2.2.4 レジスタアクセスマスタモードのQSPIと外部QSPIスレーブデバイスとの接続

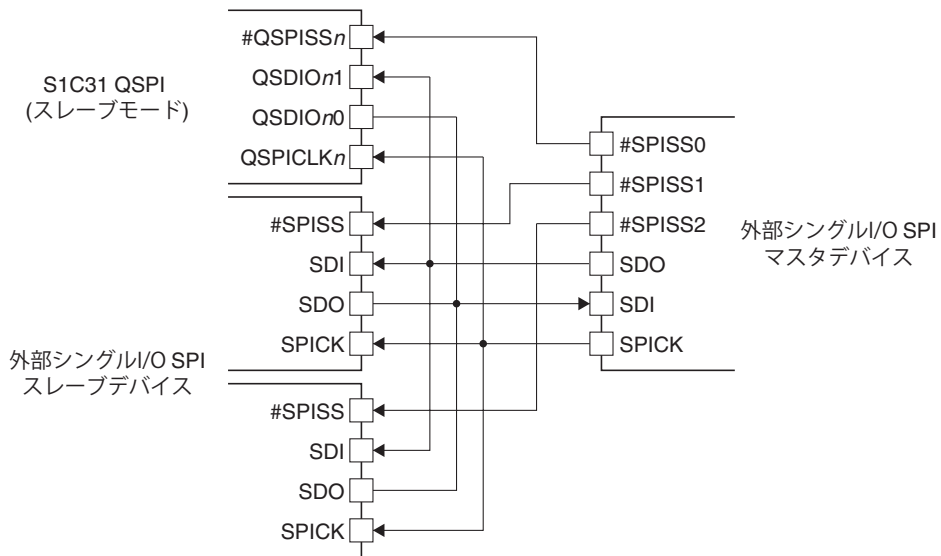


図15.2.2.5 スレーブモードのQSPIと外部シングル/O SPI(レガシー SPI)マスタデバイスとの接続

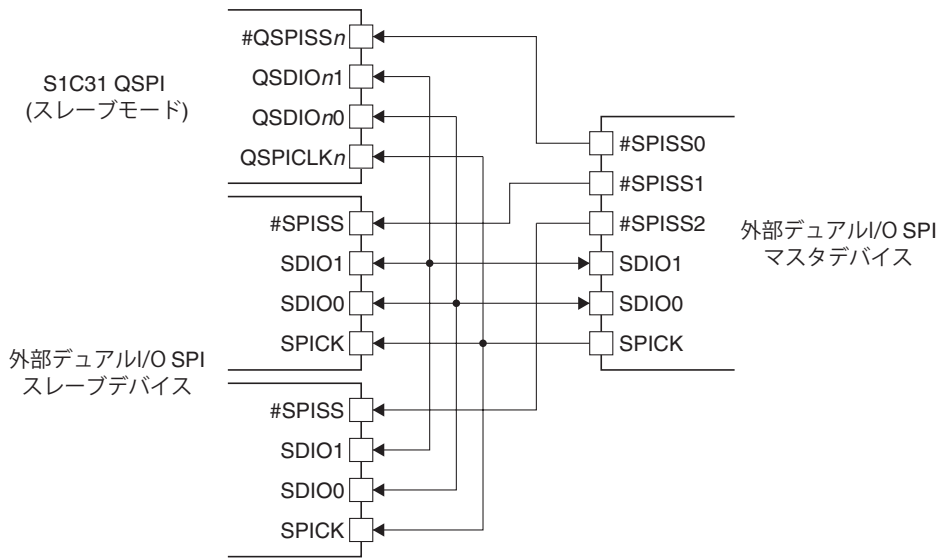


図15.2.2.6 スレーブモードのQSPIと外部デュアル/四 SPI マスタデバイスとの接続

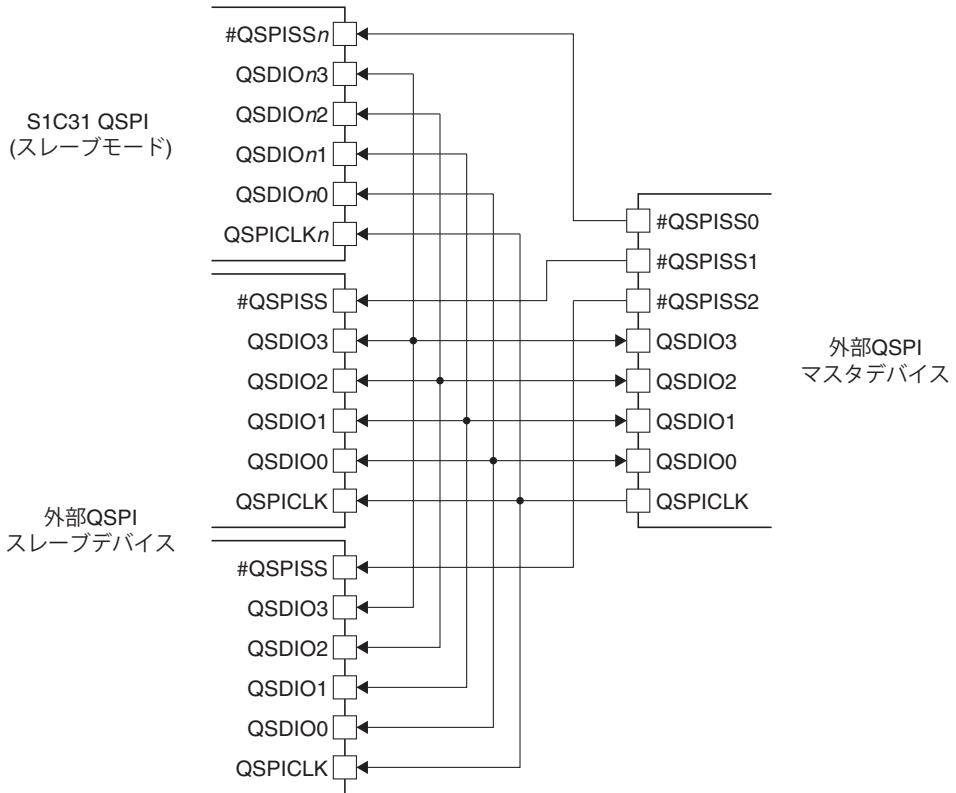


図15.2.2.7 スレーブモードのQSPIと外部QSPIマスタデバイスとの接続

15.2.3 マスタモードとスレーブモードの端子機能

端子機能は転送方向、転送モード、マスタ/スレーブモードの選択により切り換わります。モードによる端子機能の相違点を表15.2.3.1に示します。

表15.2.3.1 モードによる端子機能の相違点

端子	マスタモード時の機能			スレーブモード時の機能		
	シングル転送モード	デュアル転送モード	クワッド転送モード	シングル転送モード	デュアル転送モード	クワッド転送モード
QSDIO _n [3:2]	常にHi-Z状態になります。		QSPI _n CTL.DIR	常にHi-Z状態になります。		QSPI _n CTL.DIR
QSDIO _n 1	常に入力状態になります。	QSPI _n CTL.DIRビットの設定により、入力または出力状態になります。	ビットの設定により、入力または出力状態になります。	常に入力状態になります。	QSPI _n CTL.DIRビットが0(出力)に設定され、かつ	ビットが0(出力)に設定され、かつ
QSDIO _n 0	常に出力状態になります。			#QSPISS _n 端子にLOWレベルが入力されている期間は出力状態になります。#QSPISS _n 端子にHIGHレベルが入力されている期間はHi-Z状態になります。	設定され、かつ	#QSPISS _n 端子にLOWレベルが入力されている期間は出力状態になります。QSPI _n CTL.DIRビットが1(入力)に設定されるか、あるいは#QSPISS _n 端子にHIGHレベルが入力されている期間はHi-Z状態になります。
QSPICLK _n	QSPIクロックを外部に出力します。出力するクロックの極性、および位相を任意に選択できます。			外部QSPIクロックを入力します。入力するクロックの極性、および位相を任意に選択できます。		
#QSPISS _n	スレーブセレクト信号を出力します。メモリマップドアクセスでは、この端子が内部ステートマシンにより制御されます。レジスタアクセスモードでは、この端子がレジスタビットで制御されます。複数の外部スレーブデバイスを接続する場合、追加分のスレーブセレクト信号の出力には汎用入出力ポートが使用可能です。			#QSPISS _n 端子へのLOWレベル入力により、データの送受信ができるようになります。この端子にHIGHレベルが入力されている期間はスレーブデバイスとして選択されず、QSDIO _n 端子およびQSPICLK _n 端子に入力されるデータとクロックはすべて無効です。また、HIGHレベルが入力された時点で送受信ビット数のカウントがクリアされ、それまで受信していたビットは、すべて破棄されます。		

15.2.4 入力端子のプルアップ/プルダウン機能

QSPI端子(マスタモードのQSDIO_n[3:0]端子、スレーブモードのQSDIO_n[3:0]、QSPICLK_n、および#QSPISS_n端子)には、表15.2.4.1に示すプルアップ機能またはプルダウン機能があります。この機能は、QSPI_nMOD.PUENビットを1に設定するとイネーブルになります。

表15.2.4.1 QSPI端子のプルアップ/プルダウン

端子	マスタモード	スレーブモード
QSDIO _n [3:0]	プルアップ	プルアップ
QSPICLK _n	-	QSPI _n MOD.CPOLビット = 1: プルアップ QSPI _n MOD.CPOLビット = 0: プルダウン
#QSPISS _n	-	プルアップ

15.3 クロック設定

15.3.1 QSPIの動作クロック

マスタモード時の動作クロック

マスタモード時のQSPI動作クロックは16ビットタイマから供給されます。これには以下に示す2つのオプションが用意されています。

16ビットタイマの動作クロックをそのまま使用

QSPI_nMOD.NOCLKDIVビットを1に設定すると、クロックソースとその分周比を選択して設定された、QSPIチャネルに対応する16ビットタイマチャネルの動作クロックCLK_T16_mが、CLK_QSPI_nとしてQSPIにも供給されます。このクロックはそのままQSPIクロックQSPICLK_nとしても使用されますので、CLK_QSPI_n周波数がそのままボーレートになります。

QSPIにCLK_QSPI_nを供給するには、クロックジェネレータで16ビットタイマのクロックソースをイネーブルにしておく必要があります。対応する16ビットタイマチャネルのT16_mCTL.MODENビットとT16_mCTL.PRUNビットは、1でも0でも構いません。

このモードでは、対応する16ビットタイマチャネルのタイマ機能を別の目的に使用可能です。

16ビットタイマをボーレートジェネレータとして使用

QSPI_nMOD.NOCLKDIVビットを0に設定すると、対応する16ビットタイマチャンネルで生成されたアンダーフロー信号をQSPIに入力してQSPICLK_nを生成します。この場合は、適切なリロードデータを設定して16ビットタイマを動作させる必要があります。この場合のQSPICLK_n周波数(ボーレート)、16ビットタイマのリロードデータは以下の式で求められます。

$$f_{\text{QSPICLK}} = \frac{f_{\text{CLK_QSPI}}}{2 \times (\text{RLD} + 1)} \qquad \text{RLD} = \frac{f_{\text{CLK_QSPI}}}{f_{\text{QSPICLK}} \times 2} - 1 \qquad (\text{式15.1})$$

ここで

f_{QSPICLK}: QSPICLK_n周波数[Hz] (=ボーレート [bps])

f_{CLK_QSPI}: QSPI動作クロック周波数[Hz]

RLD: 16ビットタイマリロードデータ値

16ビットタイマの制御方法については、“16ビットタイマ”の章を参照してください。

スレーブモード時の動作クロック

スレーブモードのQSPIは、外部のSPI/QSPIマスタからQSPICLK_n端子に供給されるクロックで動作します。QSPIチャンネルに対応する16ビットタイマチャンネル(クロックソースセクタと分周器を含む)は使用しません。また、QSPI_nMOD.NOCLKDIVビットの設定は無効になります。

SLEEPモードですべてのクロックが停止している状態でも、QSPIは外部のSPI/QSPIマスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

15.3.2 デバッグ時のクロック供給

マスタモードでは、デバッグ時の動作クロックの供給をT16_mCLK.DBRUNビットで制御します。

T16_mCLK.DBRUNビット = 0の場合、デバッグ状態に移行するとQSPI Ch.*n*へのCLK_T16_mの供給が停止します。その後通常動作に戻ると、CLK_T16_mの供給が再開します。CLK_T16_mの供給が停止するとQSPI Ch.*n*の動作は停止しますが、出力端子やレジスタはデバッグ状態に移行する前の状態に保持されます。T16_mCLK.DBRUNビット = 1の場合、デバッグ時もCLK_T16_mの供給は停止せず、QSPI Ch.*n*は動作を継続します。

スレーブモード時は、デバッグ時か通常動作時にかかわらず、外部のSPI/QSPIマスタからQSPICLK_n端子に供給されるクロックで動作します。

15.3.3 QSPIクロック(QSPICLK_n)の位相と極性

QSPICLK_nの位相と極性は、QSPI_nMOD.CPHAビットとQSPI_nMOD.CPOLビットで個々に設定できます。各設定におけるクロック波形とデータ入出力タイミングを図15.3.3.1に示します。

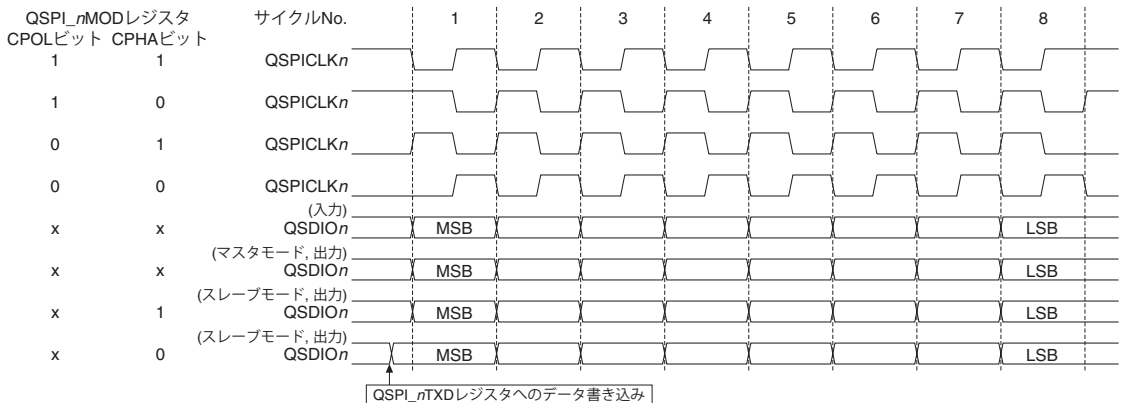


図15.3.3.1 QSPIクロックの位相と極性(QSPI_nMOD.LSBFSTビット = 0, QSPI_nMOD.CHNLN[3:0]ビット = 0x7)

15.4 データフォーマット

QSPIのデータ長は、QSPI_nMOD.CHNLN[3:0]ビットの設定により、2~16クロックの中から選択できます。入出力の順列は、QSPI_nMOD.LSBFSTビットにてMSB先頭、またはLSB先頭を選択できます。QSPI_nMOD.CPOLビット = 0、QSPI_nMOD.CPHAビット = 0のときのデータフォーマットの例を、転送モード(QSPI_nMOD.TMOD[1:0])別に図15.4.1~図15.4.3に示します。

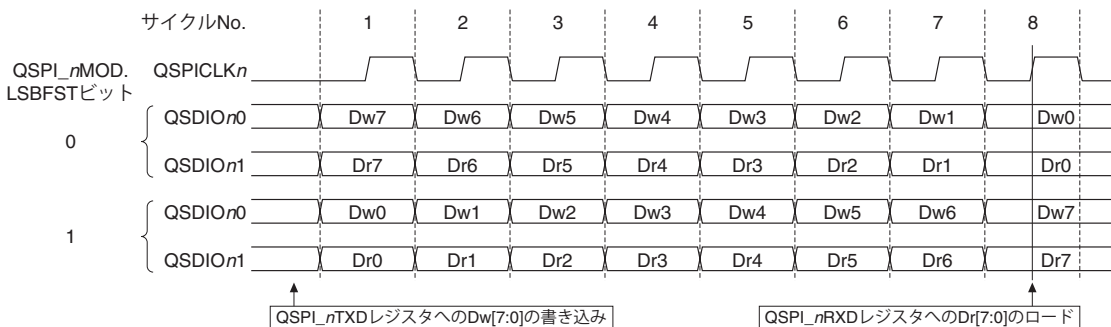


図15.4.1 QSPI_nMOD.LSBFSTビットによるシングル転送モードのデータフォーマット選択
(QSPI_nMOD.TMOD[1:0]ビット = 0x0, QSPI_nMOD.CHDL[3:0]ビット = 0x7, QSPI_nMOD.CHNLN[3:0]ビット = 0x7,
QSPI_nMOD.CPOLビット = 0, QSPI_nMOD.CPHAビット = 0)

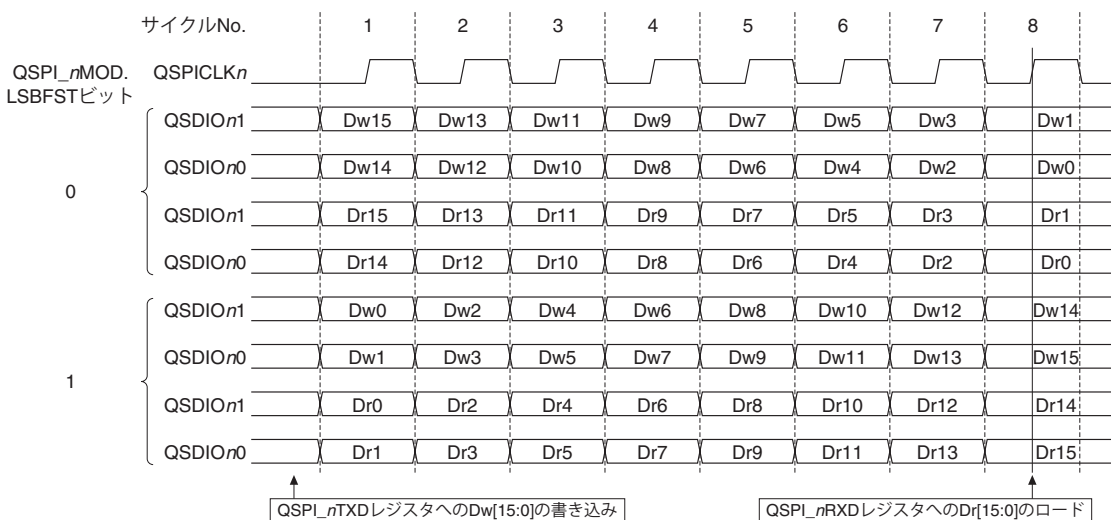


図15.4.2 QSPI_nMOD.LSBFSTビットによるデュアル転送モードのデータフォーマット選択
(QSPI_nMOD.TMOD[1:0]ビット = 0x1, QSPI_nMOD.CHDL[3:0]ビット = 0x7, QSPI_nMOD.CHNLN[3:0]ビット = 0x7,
QSPI_nMOD.CPOLビット = 0, QSPI_nMOD.CPHAビット = 0)

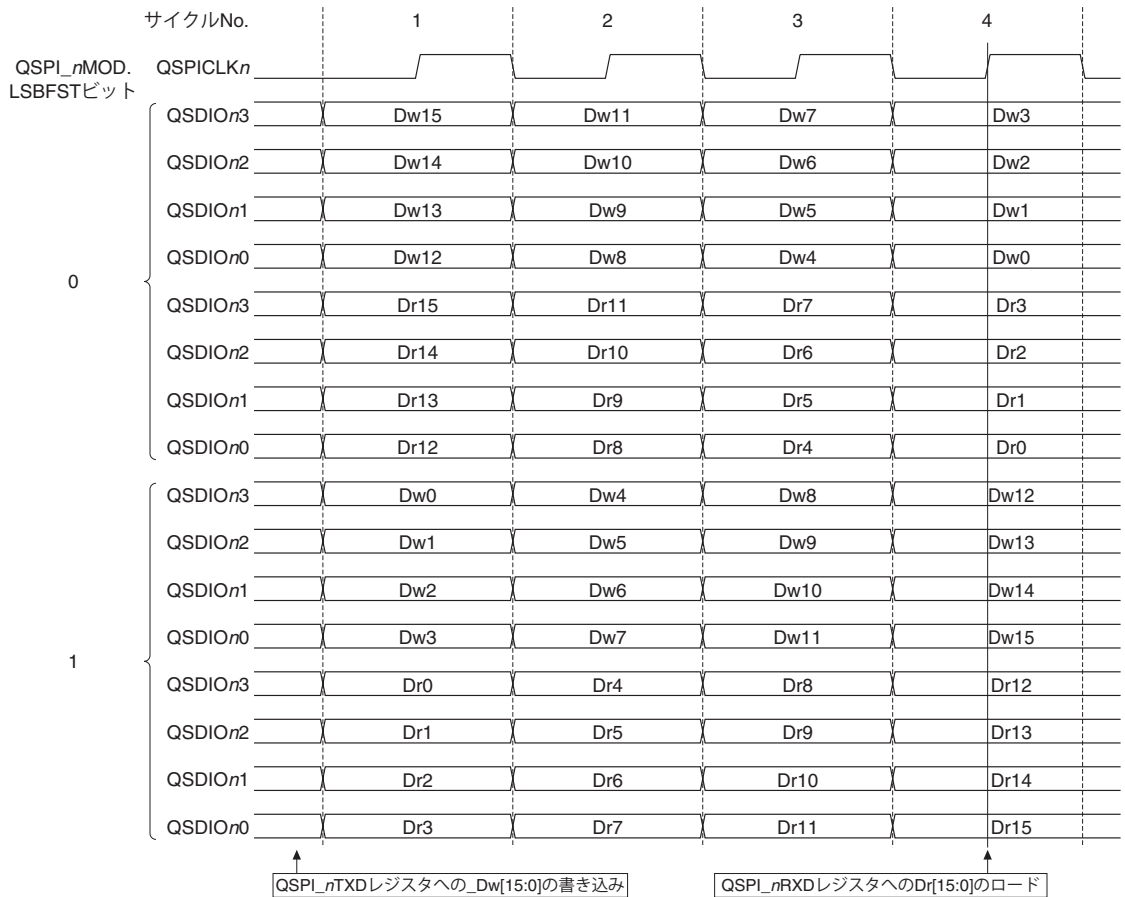


図15.4.3 QSPI_nMOD.LSBFSTビットによるクワッド転送モードのデータフォーマット選択
(QSPI_nMOD.TMOD[1:0]ビット = 0x2, QSPI_nMOD.CHDL[3:0]ビット = 0x3, QSPI_nMOD.CHLN[3:0]ビット = 0x3,
QSPI_nMOD.CPOLビット = 0, QSPI_nMOD.CPHAビット = 0)

15.5 動作

15.5.1 レジスタアクセスモード

マスタとスレーブどちらのモードにおいても、レジスタへのアクセスにより外部SPI/QSPIデバイスに対するデータの読み出し/書き込みが行えます。

シングル転送モードでは、送信データが常にQSDIO_{n0}端子から出力され、受信データは常にQSDIO_{n1}端子に入力されます。QSDIO_n[3:2]端子は使用されません。動作は、レガシーSPI(本MCUの同期式シリアルインタフェースなど)に対して互換性があります。

デュアル転送モードでは、転送方向が出力(QSPI_nCTL.DIRビット = 0)に設定されている場合に、送信データがQSDIO_n[1:0]端子から出力されます。受信データは、転送方向が入力(QSPI_nCTL.DIRビット = 1)に設定されている場合に、QSDIO_n[1:0]端子から入力されます。QSDIO_n[3:2]端子は使用されません。データ転送クロック数はQSPI_nMOD.CHLN[3:0]ビットで設定されます。データ転送に2線を使用しますので、データビット長(クロック数)は転送データビット数を2で割った値になります。

クワッド転送モードでは、転送方向が出力(QSPI_nCTL.DIRビット = 0)に設定されている場合に、送信データがQSDIO_n[3:0]端子から出力されます。受信データは、転送方向が入力(QSPI_nCTL.DIRビット = 1)に設定されている場合に、QSDIO_n[3:0]端子から入力されます。データ転送クロック数はQSPI_nMOD.CHLN[3:0]ビットで設定されます。データ転送に4線を使用しますので、データビット長(クロック数)は転送データビット数を4で割った値になります。

$$\text{LENGTH} = \frac{\text{BIT}}{\text{N}} \text{ [クロック]} \quad (\text{式15.2})$$

ここで

LENGTH: データビット長[クロック]

BIT: 転送データビット数

N: 1(シングル転送モード)、2(デュアル転送モード)、または4(クワッド転送モード)

15.5.2 メモリマップドアクセスモード

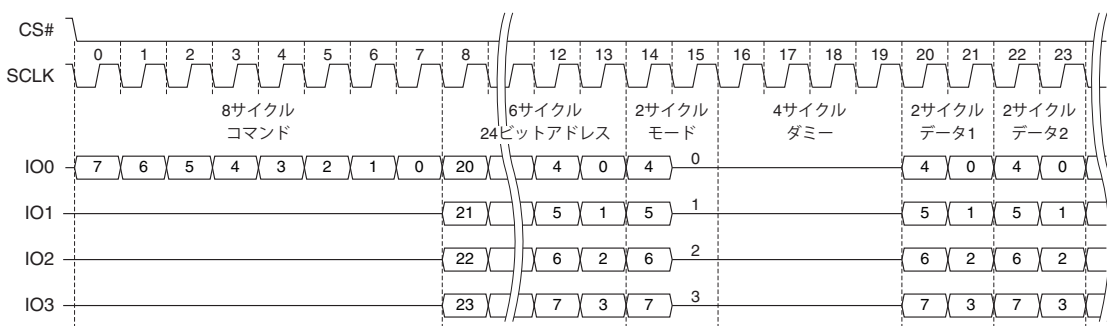
メモリマップドアクセスモードは、マスターモード時にXIP(eXecute-In-Place)モードに対応した外部Flashメモリからデータを読み出すために使用する、CPUのオーバーヘッドが低い動作モードです。外部FlashメモリがXIPモードになり一度リードコマンドが実行されると、新たなコマンド送信なしに、同じリードコマンドの動作がスレーブセレクト信号の操作(インアクティブ→アクティブ)とリードアドレスの送信のみで実行できます。これにより、コマンド再送のオーバーヘッドを抑え、ランダムアクセス時間を削減できます。

XIPセッションは、コマンドサイクル、アドレスサイクル、ダミーサイクル、および連続したデータサイクルで構成され、通常のリードコマンドと同様のXIP専用リードコマンドにより開始します。通常のリードコマンドとは異なり、ダミーサイクルの開始時にXIPセッションの起動または終了を示す確認ビットを1つ以上のデータ線上に送出する必要があります。

XIPセッションの起動後に、直前とは非連続のFlashメモリアドレスから読み出しを開始するには、スレーブセレクト信号を一旦ネゲート後に再度アサートします。この後にコマンドサイクルは不要で、新たなリードアドレスを指定するアドレスサイクルと、XIPセッションの起動(継続)の指示を含むダミーサイクルのみを送信します。これにより、Flashメモリは前回のリードコマンドによるものと同じ読み出し動作を行い、新たに指定されたアドレスから格納されている既定長の連続データを含むデータサイクルが実行されます。

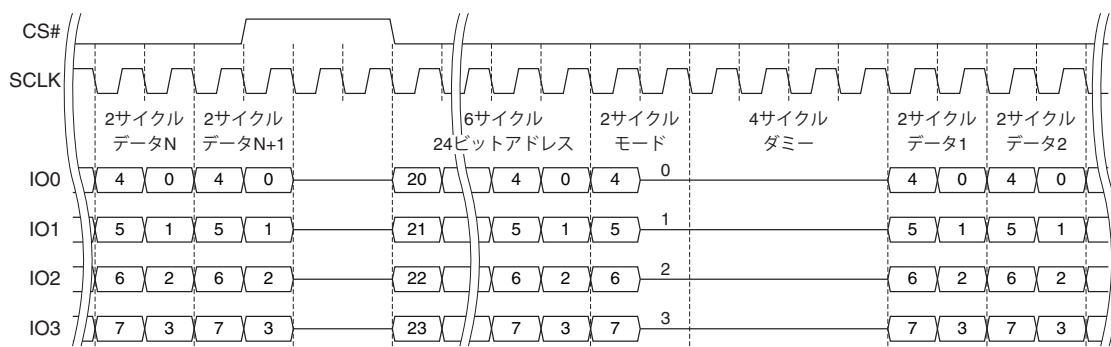
XIPセッションを終了するには、スレーブセレクト信号を一旦ネゲート後に再度アサートします。続いて、すべてのアドレスビットをHIGH(ほとんどのFlashメモリーメーカーが推奨しています)としたアドレスサイクルを実行後、ダミーサイクルの最初にXIPセッションの終了確認ビットをアクティブな1本または複数のデータ線に送出します。その後、スレーブセレクト信号をネゲートします。

図15.5.2.1と図15.5.2.2に、XIP動作例として、Spansion S25FL128SのクワッドI/Oリードコマンドシーケンスを示します。



QSPIはダミーサイクルを、1駆動サイクルを含む6サイクルとして処理します。
(QSPI_nMMACFG2.DUMDL[3:0]ビット = 0x0, QSPI_nMMACFG2.DUMLN[3:0]ビット = 0x5)
QSPIはデータサイクルを、2駆動サイクルを含む2サイクルとして処理します。
(QSPI_nMOD.CHDL[3:0]ビット = 0x1, QSPI_nMOD.CHLN[3:0]ビット = 0x1)

図15.5.2.1 XIP動作例 - Spansion S25FL128SのクワッドI/Oリードコマンドシーケンス
(3バイトアドレス、0xeb [ExtAdd = 0]、LC = 0b00)



QSPIはダミーサイクルを、1駆動サイクルを含む6サイクルとして処理します。
(QSPI_nMMACFG2.DUMDL[3:0]ビット = 0x0, QSPI_nMMACFG2.DUMLN[3:0]ビット = 0x5)
QSPIはデータサイクルを、2駆動サイクルを含む2サイクルとして処理します。
(QSPI_nMOD.CHDL[3:0]ビット = 0x1, QSPI_nMOD.CHLN[3:0]ビット = 0x1)

図15.5.2.2 XIP動作例 - Spansion S25FL128Sの連続クワッドI/Oリードコマンドシーケンス
(3/バイトアドレス、LC = 0b00)

QSPIのメモリマップドアクセスモードは、スレーブセレクト信号の切り換え、アドレスサイクル、ダミーサイクル、およびデータサイクルの実行を自動化して、システムメモリ領域にマップされた外部FlashメモリへのCPUによるリードアクセスを実現し、CPUオーバーヘッドを更に低減します。

アドレスサイクル、ダミーサイクル、データサイクルの転送モードは個別に設定可能です。アドレスサイクルは24ビットまたは32ビットアドレスに対応しています。モードサイクル(XIP起動/終了確認)はダミーサイクルの一部と見なされ、ダミーサイクルの中でI/Oデータ線に送出されます。

システムメモリの外部Flashメモリ用メモリマップドアクセスエリアは、外部FlashメモリをマッピングしてCPUからアクセスするために使用されます。リマッピングレジスタによって最大4Gバイトの外部Flashメモリをこの領域にマッピング可能です。最初にレジスタアクセスモードで外部FlashメモリをXIPモードに設定してリードコマンドを送信することで、CPUはこの領域から直接外部Flashメモリのデータを読み出せるようになります。メモリマップドアクセスモードで非連続アドレスへのリードアクセスが発生すると、QSPIは自動的に新たなアドレスとダミーサイクルを実行します。レジスタの設定によりメモリマップドアクセスモードをディスエーブルにすると、QSPIはXIP終了を指定するモードバイトを含むアドレス~ダミーサイクルを実行します。

メモリマップドアクセスモードでは、8、16、および32ビットのリードアクセスが可能です。

32ビットアクセスは、主に大きなブロックサイズの連続リードに使用されます。このアクセスにおいては、2つの32ビットデータを内部FIFOに先読みします。したがって、必要なデータがFIFOに既に読み込まれている状態であれば、0ウェイトのリードアクセスが可能です。

8ビットおよび16ビットアクセスは、主に小さなブロックの読み出しまたは非連続アドレスの読み出しに使用します。非連続アドレスの読み出しでは不要なため、先読みは行いません。このため、各アクセスの間に2、3クロックのオーバーヘッドが発生します。

8ビット、16ビット、32ビットアクセスを混在させることも可能です。FIFOへの先読みは、32ビットリードの直後のみ行われます。32ビットリード後の連続したアドレスへの8ビットまたは16ビットリードは、必要なデータがFIFOに既に読み込まれている状態であれば、0ウェイトの読み出しが可能です。

15.5.3 初期設定

QSPI Ch.nは、以下の手順により初期設定を行います。

1. <マスタモードで使用する場合のみ>16ビットタイマを制御してクロックを生成し、QSPI Ch.nに供給する。
2. QSPI_nMODレジスタの以下のビットを設定する。
 - QSPI_nMOD.PUENビット (入力端子のプルアップ/ダウンイネーブル)
 - QSPI_nMOD.NOCLKDIVビット (マスタモード動作クロック選択)
 - QSPI_nMOD.LSBFSTビット (MSB先頭/LSB先頭選択)
 - QSPI_nMOD.CPHAビット (クロック位相選択)
 - QSPI_nMOD.CPOLビット (クロック極性選択)
 - QSPI_nMOD.MSTビット (マスタ/スレーブモード選択)

15 同期式クワッドシリアルインタフェース(QSPI)

- メモリマップドアクセスモードを使用する場合は、以下のレジスタビットを設定する。
 - QSPI_nMMACFG1.TCSH[3:0]ビット (スレーブセレクトネゲート期間の設定)
 - QSPI_nRMADRH.RMADR[31:20]ビット (リマッピングアドレスの設定)
 - QSPI_nMMACFG2.DUMDL[3:0]ビット (ダミーサイクル駆動長の設定)
 - QSPI_nMMACFG2.DUMLN[3:0]ビット (ダミーサイクル長の設定)
 - QSPI_nMMACFG2.DATTMOD[1:0]ビット (データサイクル転送モードの設定)
 - QSPI_nMMACFG2.DUMTMOD[1:0]ビット (ダミーサイクル転送モードの設定)
 - QSPI_nMMACFG2.ADRTMOD[1:0]ビット (アドレスサイクル転送モードの設定)
 - QSPI_nMMACFG2.ADRCYCビット (24ビット/32ビットアドレスサイクルの選択)
 - QSPI_nMB.XIPACT[7:0]ビット (XIP起動モードバイトの設定)
 - QSPI_nMB.XIPEXT[7:0]ビット (XIP終了モードバイトの設定)
- QSPI Ch.n入出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
- QSPI_nCTLレジスタの以下のビットを設定する。
 - QSPI_nCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - QSPI_nCTL.MODENビットを1に設定 (QSPI Ch.nの動作をイネーブル)
- 割り込みを使用する場合は以下のビットを設定する。
 - QSPI_nINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - QSPI_nINTEレジスタの割り込みイネーブルビットを1に設定* (割り込みイネーブル)

* QSPI_nINTF.TBEIFビットの初期値が1のため、QSPI_nINTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。
- DMA転送を使用する場合は、DMAコントローラを設定すると共に以下のQSPI制御ビットを設定する。
 - QSPI_nTBEDMAEN、QSPI_nRBFDMAEN、QSPI_nFRLDMAENレジスタのDMA転送要求イネーブルビットに1を書き込む (DMA転送要求をイネーブル)

15.5.4 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図15.5.4.1と図15.5.4.2に示します。

送信手順

- QSPI Ch.nがデュアルまたはクワッド転送モードに設定されている場合は、QSPI_nCTL.DIRビットを0に設定する。(この設定は、シングル転送モード時には不要です。)
- QSPI_nCTL.MSTSSOビットまたは追加のスレーブセレクト信号出力用汎用出力ポートを制御して、アクセスする外部スレーブデバイスのスレーブセレクト信号をアクティブにする(必要な場合のみ)。
- QSPI_nINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
- QSPI_nTXDレジスタに送信データを書き込む。
- 割り込みを使用する場合はQSPI割り込みを待つ。
- 送信データ終了まで、3~5(または3と4)を繰り返す。
- QSPI_nCTL.MSTSSOビットまたは汎用出力ポートを制御して、2でアクティブにしたスレーブセレクト信号をインアクティブにする(必要な場合のみ)。

送信動作

QSPI_nTXDレジスタに送信データを書き込むことにより、QSPI Ch.nは送信動作を開始します。QSPI_nTXDレジスタの送信データは、自動的にシフトレジスタへ転送され、QSPI_nINTF.TBEIFビットが1にセットされます。QSPI_nINTE.TBEIEビット = 1(送信バッファエンプティ割り込みイネーブル)の場合、これと同時に送信バッファエンプティ割り込み要求が発生します。次に、QSPICLK_n端子からQSPI_nMOD.CHLN[3:0]ビットによって定義されたサイクル数分のクロックが出力されます。このクロックに同期して、QSPI_nMOD.TMOD[1:0]ビットで指定された転送モードによって決まるQSDION端子から、送信データが順次出力されます。QSPICLK_n端子からクロックが出力されている最中であっても、QSPI_nINTF.TBEIFビット = 1を確認した後に、QSPI_nTXDレジスタへ次の送信データを書き込むことができます。

QSPICLK n 端子から最後のクロックが出力されたときに、QSPI $_n$ TXDレジスタに送信データが書き込まれていなかった場合、クロックの出力が停止し、QSPI $_n$ INTF.TENDIFビットが1にセットされます。このとき、QSPI $_n$ INTE.TENDIEビット = 1であれば、送信完了割り込み要求が発生します。

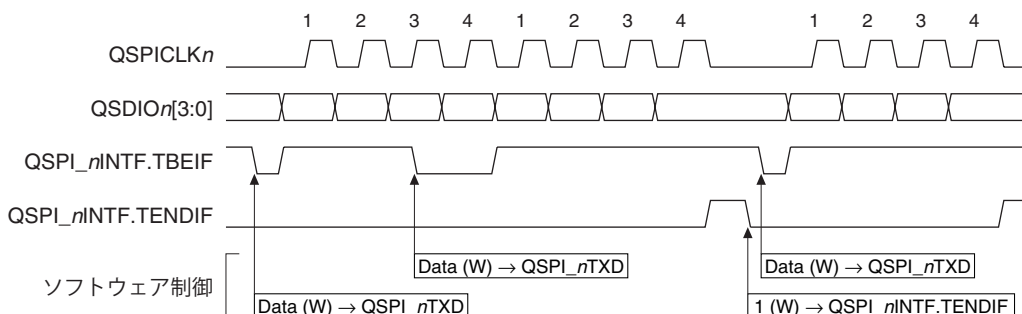


図15.5.4.1 マスタモードのデータ送信動作例(QSPI $_n$ MOD.CHDL[3:0]ビット = QSPI $_n$ MOD.CHLN[3:0]ビット = 0x3)

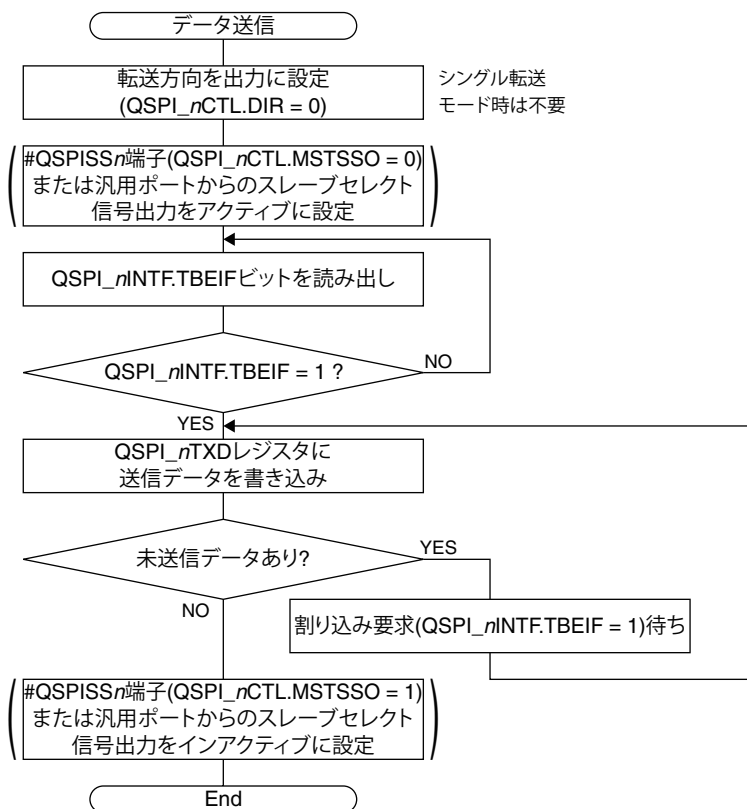


図15.5.4.2 マスタモードのデータ送信フローチャート

DMAを使用したデータ送信

QSPI $_n$ TBEDMAEN.TBEDMAEN $_x$ ビットを1(DMA転送要求イネーブル)に設定しておく、QSPI $_n$ INTF.TBEIFビットが1(送信バッファEMPTY)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、指定されているメモリからQSPI $_n$ TXDレジスタに、送信データがDMA Ch. x により転送されます。

これにより、上記送信手順の3~6はDMAにより自動化できます。

なお、送信データがQSPI $_n$ TXDレジスタに転送されるように、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表15.5.4.1 DMAデータストラクチャ設定例(16ビットデータ送信)

設定項目	設定例	
エンドポイント	転送元	最終送信データが格納されているメモリアドレス
	転送先	QSPI_nTXDレジスタアドレス
コントロールデータ	dst_inc	0x3(インクリメントなし)
	dst_size	0x1(ハーフワード)
	src_inc	0x1(+2)
	src_size	0x1(ハーフワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

15.5.5 レジスタアクセスマスタモードのデータ受信

レジスタアクセスマスタモード時のデータ受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図15.5.5.1と図15.5.5.2に示します。

受信手順

1. QSPI Ch.nがデュアルまたはクワッド転送モードに設定されている場合は、QSPI_nCTL.DIRビットを1に設定する。(この設定は、シングル転送モード時には不要です。)
2. QSPI_nCTL.MSTSSOビットまたは追加のスレーブセレクト信号出力用汎用出力ポートを制御して、アクセスする外部スレーブデバイスのスレーブセレクト信号をアクティブにする(必要な場合のみ)。
3. QSPI_nINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
4. QSPI_nTXDレジスタに任意のデータ(または送信データ)を書き込む。
5. 送信バッファエンプティ割り込み(QSPI_nINTF.TBEIFビット = 1)を待つ。
6. QSPI_nTXDレジスタに任意のデータ(または送信データ)を書き込む。
7. 受信バッファフル割り込み(QSPI_nINTF.RBFIFビット = 1)を待つ。
8. QSPI_nRXDレジスタから受信データを読み出す。
9. 受信終了まで、6～8を繰り返す。
10. QSPI_nCTL.MSTSSOビットまたは汎用出力ポートを制御して、2でアクティブにしたスレーブセレクト信号をインアクティブにする(必要な場合のみ)。

注: QSPICLK_nを停止させずに連続的にデータを受信するためには、7の後、8と6の操作を“データビット長 - 1”に相当するQSPICLK_n周期以内に完了させる必要があります。

受信動作

シングル転送モード(QSPI_nMOD.TMOD[1:0]ビット = 0)では、QSPI Ch.nはレガシー SPIと同様に動作します。受信動作は、QSPI_nTXDレジスタに送信データ(送信が不要の場合はダミーデータ)を書き込むことにより、送信動作と同時に開始します。このモードでは、送信データがQSDIO_{n0}端子から出力され、受信データはQSDIO_{n1}端子から入力されます。

デュアルまたはクワッド転送モード(QSPI_nMOD.TMOD[1:0]ビット = 1または2)では、受信時に送信データは出力されません。QSPI_nTXDレジスタへのダミーデータの書き込みは、単にQSPICLK_n端子からスレーブデバイスにデータ転送用のクロックを出力するトリガとして使用されます。

QSPICLK_n端子からQSPI_nMOD.CHLN[3:0]ビットによって定義された数のクロックが出力されます。このクロックに同期して、QSPI_nMOD.TMOD[1:0]ビットによって決まるQSDIO_n端子から受信データがシフトレジスタへ取り込まれます。

QSPICLK_n端子から最後のクロックが出力され、受信データビットがすべてシフトレジスタに取り込まれると、そのデータは受信データバッファに転送され、QSPI_nINTF.RBFIFビットが1にセットされます。このとき、QSPI_nINTE.RBFIEビット = 1であれば、受信バッファフル割り込み要求が発生します。

これ以降、受信データバッファ内の受信データはQSPI_nRXDレジスタから読み出すことができます。

注: QSPI_nINTF.RBFIFビットが1にセットされている状態でQSPI_nMOD.CHLN[3:0]ビットとQSPI_nMOD.TMOD[1:0]ビットによって定義されるビット数分のデータを受信すると、QSPI_nRXDレジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、QSPI_nINTF.OEIFビットがセットされます。

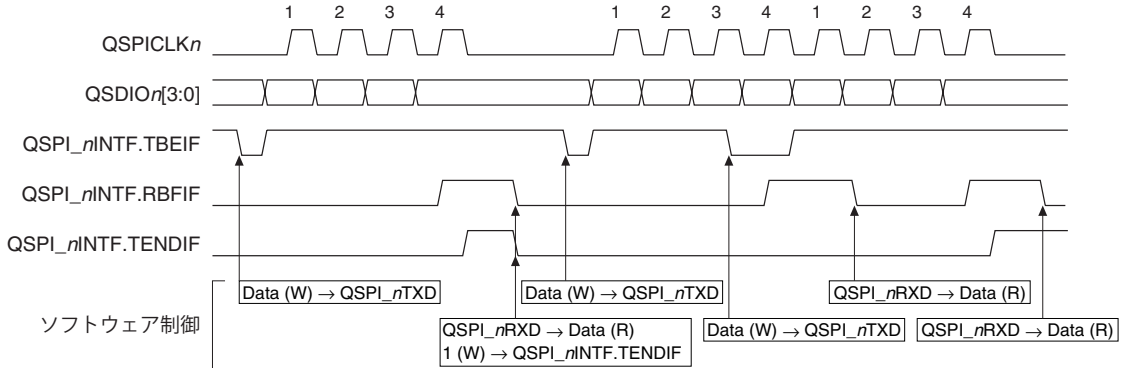
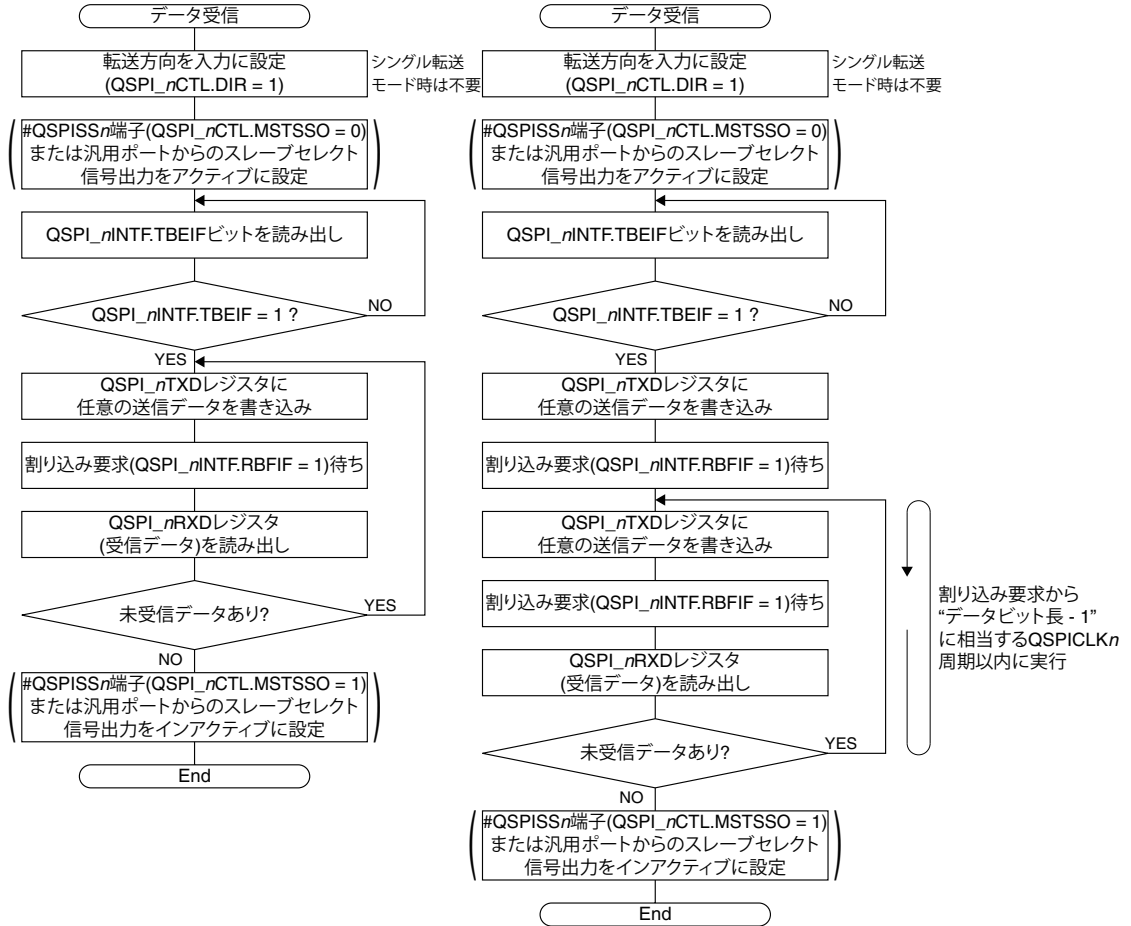


図15.5.5.1 レジスタアクセスマスタモードのデータ受信動作例
(QSPI_nMOD.CHDL[3:0]ビット = QSPI_nMOD.CHLN[3:0]ビット = 0x3)



(A)断続的にデータを受信する場合

(B)連続的にデータを受信する場合

図15.5.5.2 レジスタアクセスマスタモードのデータ受信フローチャート

DMAを使用したデータ受信

データ受信時は、受信開始のトリガとなるQSPI_nTXDレジスタへのダミーデータの書き込みと、QSPI_nRXDレジスタからの受信データの読み出しを行うため、DMAコントローラの2つのチャンネルを使用します。

QSPI_nTBEDMAEN.TBEDMAEN.x1ビットを1(DMA転送要求イネーブル)に設定しておく、QSPI_nINTF.TBEIFビットが1(送信バッファエンプティ)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、指定されているメモリからQSPI_nTXDレジスタに、ダミーデータがDMA Ch.x1により転送されます。

QSPI_nRBFDMAEN.RBFDMAEN.x2ビットを1(DMA転送要求イネーブル)に設定しておく、QSPI_nINTF.RBFIFビットが1(受信バッファフル)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、QSPI_nRXDレジスタから指定されているメモリに、受信データがDMA Ch.x2により転送されます。

これにより、上記受信手順の3~9はDMAにより自動化できます。

なお、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表15.5.5.1 DMAデータストラクチャ設定例(16ビットダミー送信データの書き込み)

設定項目		設定例
エンドポイント	転送元	ダミーデータが格納されているメモリアドレス
	転送先	QSPI_nTXDレジスタアドレス
コントロールデータ	dst_inc	0x3(インクリメントなし)
	dst_size	0x1(ハーフワード)
	src_inc	0x3(インクリメントなし)
	src_size	0x1(ハーフワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

表15.5.5.2 DMAデータストラクチャ設定例(16ビットデータ受信)

設定項目		設定例
エンドポイント	転送元	QSPI_nRXDレジスタアドレス
	転送先	最終受信データを格納するメモリアドレス
コントロールデータ	dst_inc	0x1(+2)
	dst_size	0x1(ハーフワード)
	src_inc	0x3(インクリメントなし)
	src_size	0x1(ハーフワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

DMAコントローラの操作を含む制御手順の例を以下に示します。

1. QSPI_nTXDレジスタへのダミーバイト書き込みに使用するDMAチャンネル(Ch.x)のメインデータストラクチャを、表15.5.5.1のように設定する。
2. QSPI_nRXDレジスタからのデータ読み出しに使用するDMAチャンネル(Ch.y)のメインデータストラクチャを、表15.5.5.2のように設定する。
3. DMAコントローラのレジスタで、両DMAチャンネルをイネーブルにする。
4. データの読み出しに使用するDMAチャンネルの優先度を、DMAコントローラのレジスタによって上げる。
5. 両DMAチャンネルのDMA転送要求マスクを、DMAコントローラのレジスタによってクリアする。
6. DMA転送完了割り込みフラグを、DMAコントローラのレジスタによってクリアする。
7. データの読み出しに使用するDMAチャンネルのDMA転送完了割り込みのみを、DMAコントローラのレジスタによってイネーブルにする。
8. ペンディングDMA割り込みをCPUでクリアする。
9. ペンディングDMA割り込みをCPUでイネーブルにする。

10. 両DMAチャンネルへのDMA転送要求の発行を、QSPI_nTBEDMAEN.TBEDMAEN_xビットおよびQSPI_nRBFDMAEN.RBFDMAEN_yビットでイネーブルにする。
11. QSPI_nCTL.MSTSSOビットまたは追加のスレーブセレクト信号出力用汎用出力ポートを制御して、スレーブセレクト信号をアクティブにする(必要な場合のみ)。
12. DMAコントローラのレジスタにより、ダミーバイトの書き込みに使用するDMAチャンネルに対し、ソフトウェアDMA転送要求を発行する。
これは最初のデータを読み出し、受信バッファフルステータスフラグをセットするために必要な操作です。受信バッファフルステータスフラグがセットされると、ハードウェアによりDMA転送要求が発行され、DMAコントローラによるQSPI_nRXDレジスタの読み出しとQSPI_nTXDレジスタへのダミーバイトの書き込みが行われます。これにより、次のデータの読み出しが行えます。
13. DMAの割り込みを待つ。
14. 両DMAチャンネルへのDMA転送要求の発行を、QSPI_nTBEDMAEN.TBEDMAEN_xビットおよびQSPI_nRBFDMAEN.RBFDMAEN_yビットでディスエーブルにする。
15. 両DMAチャンネルのDMA転送要求マスクを、DMAコントローラのレジスタによって設定する。
16. DMAコントローラのレジスタで、両DMAチャンネルをディスエーブルにする。
17. QSPI_nCTL.MSTSSOビットまたは汎用出力ポートを制御して、スレーブセレクト信号をインアクティブにする(必要な場合のみ)。

15.5.6 メモリマップドアクセスモードのデータ受信

メモリマップドアクセスモード時のデータ受信手順と、32ビットおよび8/16ビット受信データリード動作を以下に示します。また、それらのタイミングチャートとフローチャートを図15.5.6.1～図15.5.6.7に示します。

受信手順

QSPI FlashメモリをXIP動作モードに設定する手順は、製造メーカーにより異なります。下記の手順は、外部Flashメモリが既にXIP動作モードに設定されているものとして説明されています。

1. 外部FlashメモリへXIPモードに対応したリードコマンドを送信する。
送信手順は、“15.5.4 マスタモードのデータ送信”に記載されているデータ送信手順の1～5を参照してください。アサートされているスレーブセレクト信号はそのまま変更しないでください。
2. QSPI_nMADRH.RMADR[31:20]ビットを設定する。(外部Flashメモリをリマッピング)
3. QSPI_nMMACFG2.MMAENビットに1を書き込む。(メモリマップドアクセスモードイネーブル)
4. 外部Flashメモリ用メモリマップドアクセスエリアを8、16、または32ビットメモリリード命令で読み出す。
この操作により、2で外部Flashメモリ用メモリマップドアクセスエリアに再配置された1Mバイトの外部Flashメモリ領域からデータを直接読み出すことができます。
5. 必要に応じ、4を繰り返します。
リマッピングされた領域外を読み出す場合は、一旦QSPI_nMMACFG2.MMAENビットを0に設定し、2からやり直してください。

受信動作(32ビットリード)

メモリマップドアクセスモードでは、読み出し操作が行われたメモリマップドアクセスエリア内のアドレスを内部ステートマシンが検出します。メモリマップドアクセスモードに設定後の最初の読み出しの場合、ステートマシンはアドレスサイクルとダミーサイクル(XIP起動確認ビットを含む)を生成します。この時点で、システムバス上のHREADY信号がLOWに固定されます。

アドレスサイクルは24ビットまたは32ビットアドレス用に設定可能で、2つの転送サイクルで構成されます。ステートマシンはメモリマップドアクセスエリアの先頭アドレス、その領域内でのリードアドレス、QSPI_nRMADRH[31:20]ビットで設定した外部Flashメモリのリマッピング開始アドレスから、実際のFlashメモリアドレスを特定します。最初の転送サイクルは8ビット転送(24ビットアドレスサイクル設定時)または16ビット転送(32ビットアドレスサイクル設定時)となり、それぞれアドレスの上位8ビットまたは上位16ビットが送信されます。2番目の転送サイクルは16ビット転送に固定され、アドレスの下位16ビットが送信されます。

15 同期式クワッドシリアルインタフェース(QSPI)

これにダミーサイクルが続きます。ダミーサイクルの最初に、QSPI_nMB.XIPACT[7:0]ビットに設定されているXIP起動確認バイトが送信されます。

この後、ステートマシンは外部Flashメモリからのデータの読み出しを開始します。32ビットのデータが内部FIFOに取り込まれると、内部FIFOリードレベルがインクリメントされます(FIFOデータレディ)。ここで、HREADY信号がHIGHに戻り、FIFOのデータは内部システムバスに送出されます。ステートマシンは続くアドレスから最大2個の32ビットデータを先読みし、内部FIFOに格納します。

FIFOに先読みされたデータが存在する(FIFOデータレディ)状態で、メモリマップドアクセスエリア内の前回から連続したアドレスへの読み出し操作が発生すると、HREADY信号をHIGHに保ったまま、FIFO内のデータが内部システムバスに出力されます(ゼロウェイトリード)。

メモリマップドアクセスエリア内の前回から非連続のアドレスへの読み出し操作が発生すると、HREADY信号は即時LOWとなり、FIFOリードレベルは0(エンプティ状態)にクリアされます。

#QSPISSn信号が一旦QSPI_nMMACFG1.TCSH[3:0]ビットで設定された期間ネゲートされた後、再度アサートされ、新たなアドレスサイクル、ダミーサイクル、データサイクルが実行されます。

アドレス、ダミー、データの各サイクルの始まりと終わりにおいて、ハンドシェイクのためにHCLK 2、3サイクルを必要とします。

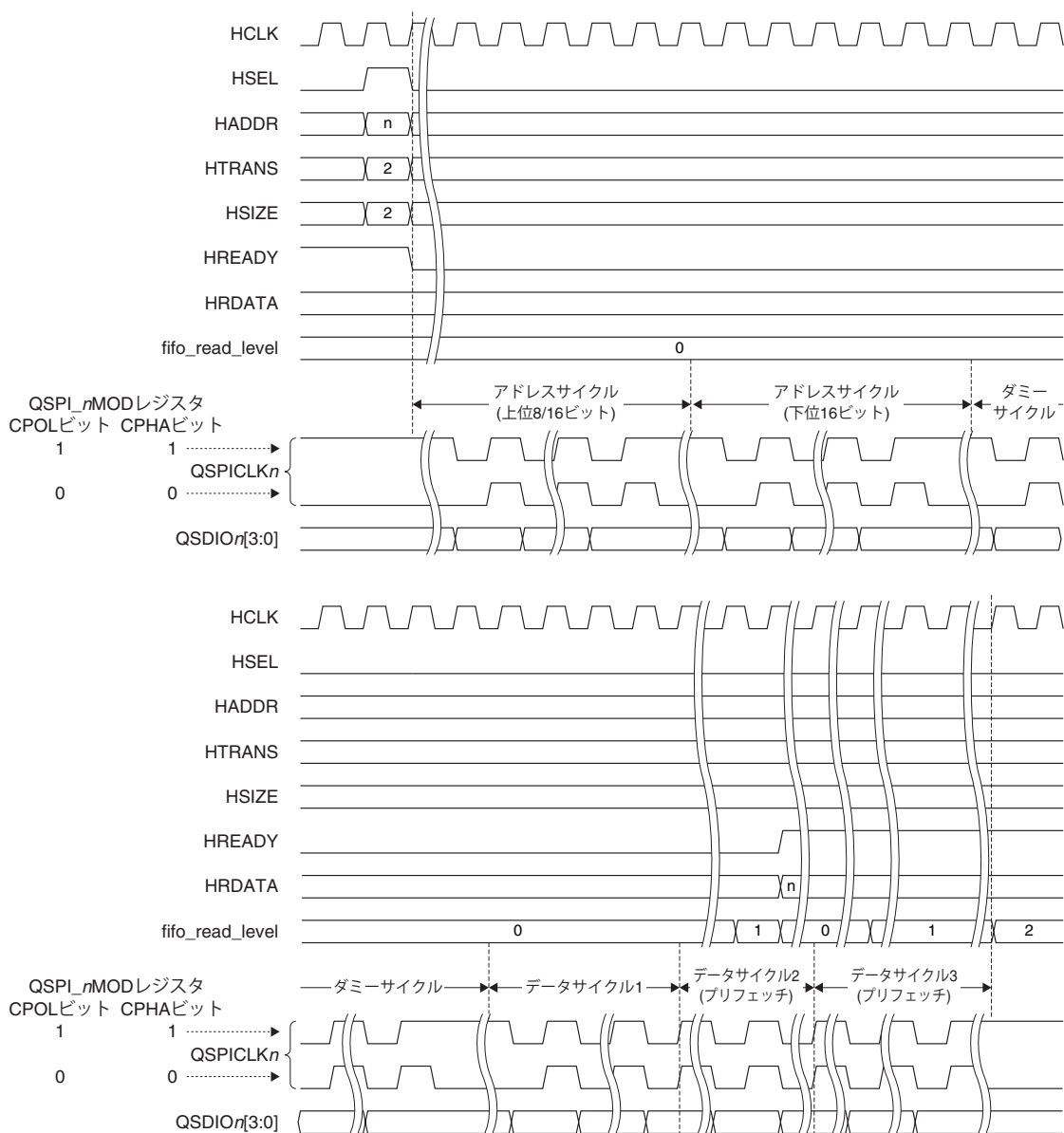


図15.5.6.1 メモリマップドアクセスモードのデータ受信動作 - 最初の32ビットリード

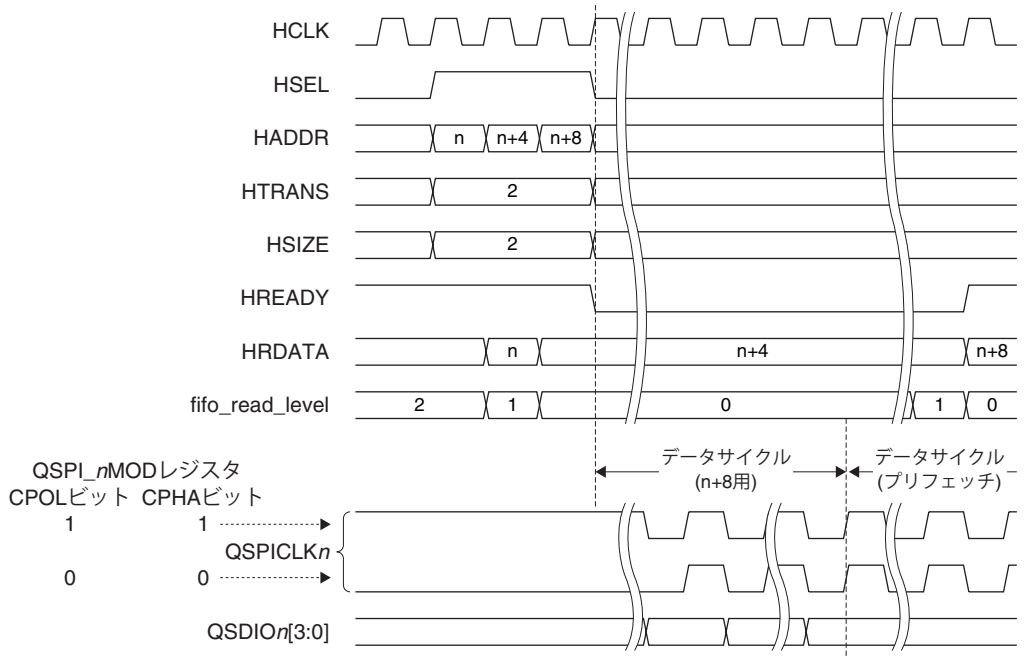


図15.5.6.2 メモリマップドアクセスモードのデータ受信動作 - 32ビット順次リード

15 同期式クワッドシリアルインタフェース(QSPI)

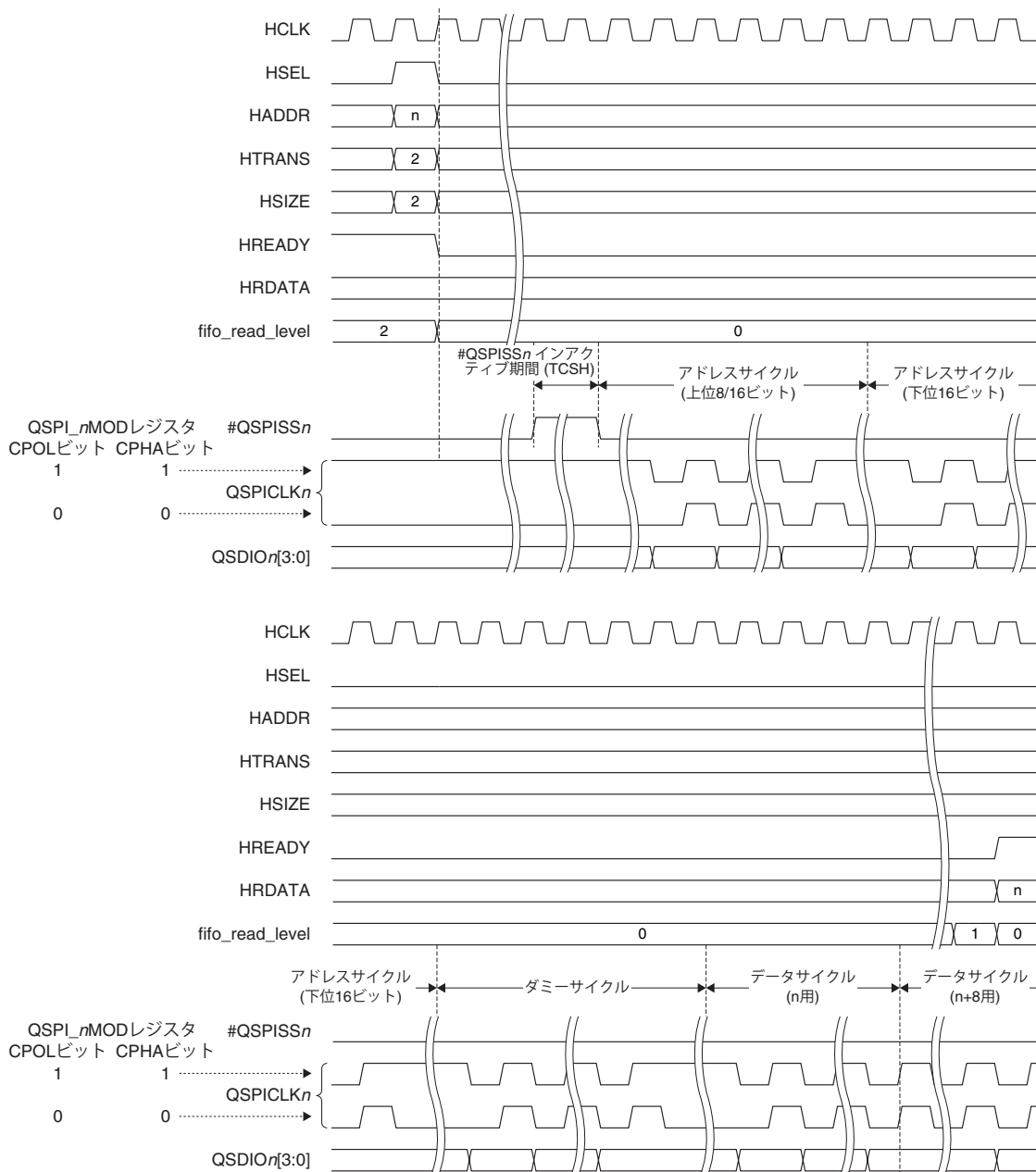


図15.5.6.3 メモリマップドアクセスモードのデータ受信動作 - 32ビット非順次リード

受信動作(8/16ビットリード)

8ビットおよび16ビットリードも、FIFOへの先読みが行われないことを除き、動作は32ビットリードと同様です。

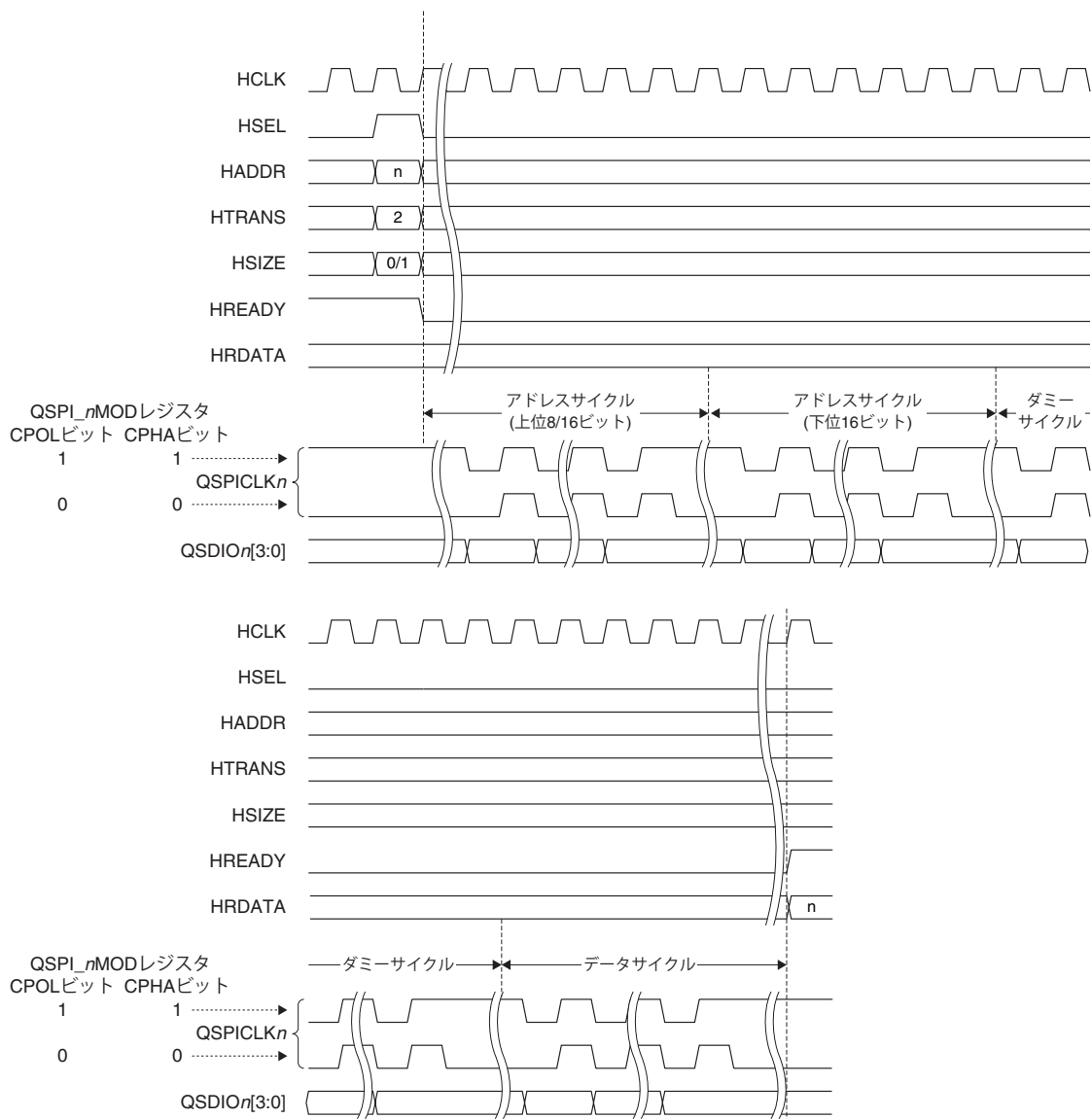


図15.5.6.4 メモリマップドアクセスモードのデータ受信動作 - 最初の8/16ビットリード

15 同期式クワッドシリアルインタフェース(QSPI)

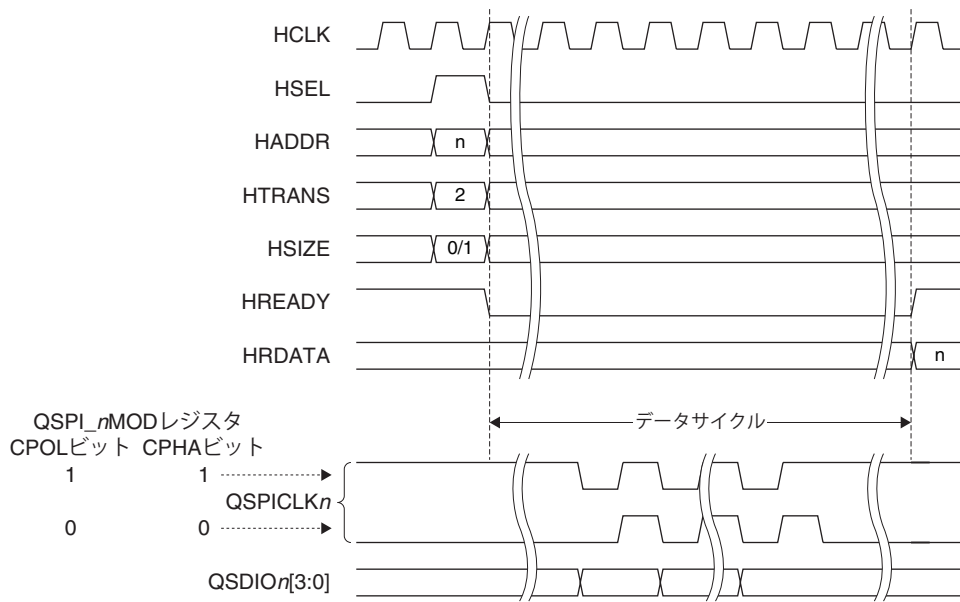


図15.5.6.5 メモリマップドアクセスモードのデータ受信動作 - 8/16ビット順次リード

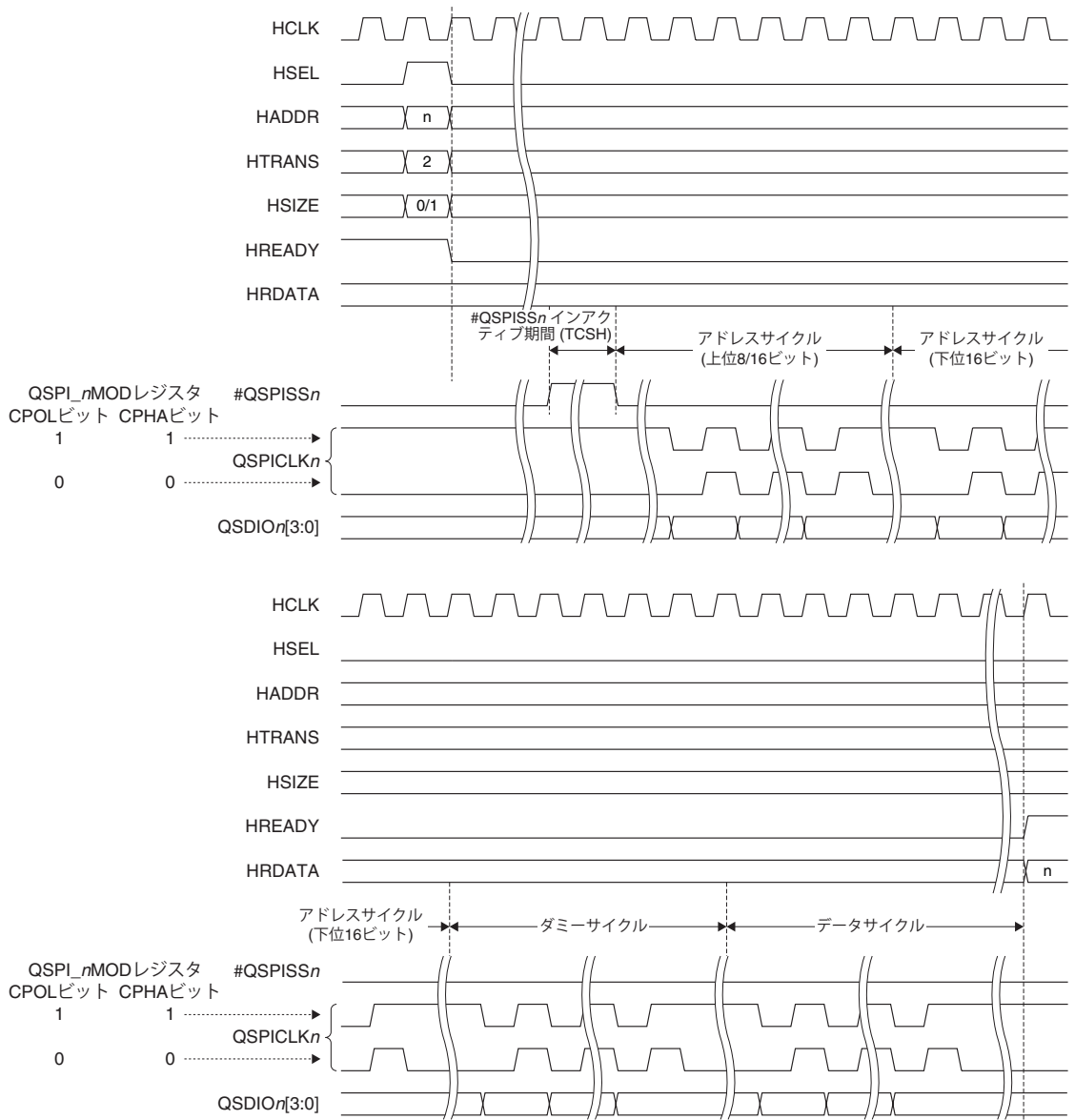


図15.5.6.6 メモリマップドアクセスモードのデータ受信動作 - 8/16ビット非順次リード

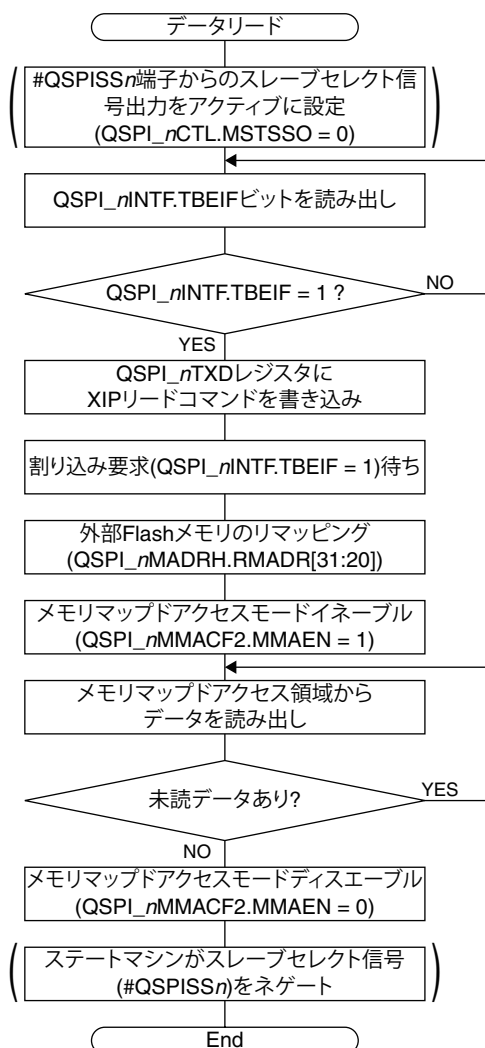


図15.5.6.7 メモリマップドアクセスモードのデータ受信フローチャート

DMAを使用したデータ受信

メモリマップドアクセスモードでは、32ビット順次リードを行う場合に限り、内部FIFOを使用した外部Flashメモリから内部メモリへのDMA転送が行えます。非順次リード時や8/16ビットリード時はFIFOが利用できないため、DMA転送は行えません。

QSPI_nFRLDMAEN.FRLDMAEN_xビットを1(DMA転送要求イネーブル)に設定しておく、FIFOリードレベルがインクリメントされる(FIFOデータレディフラグがセットされる)タイミングで、DMAコントローラにDMA転送要求が出力され、外部Flashメモリのデータが指定されている内部メモリに、DMA Ch._xにより転送されます。リード命令の実行が不要で、FIFOに先読みされているデータを使用するため高速なブロック転送が可能となります。

ただし、転送を開始させるにはソフトウェアによる読み出し、あるいはソフトウェアトリガが必要です。

なお、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表15.5.6.1 DMAデータストラクチャ設定例(メモリマップドアクセスモードによる32ビット順次リード)

設定項目	設定例	
エンドポインタ	転送元	外部Flashメモリ転送開始アドレス
	転送先	リードデータを格納するメモリ領域先頭アドレス
コントロールデータ	dst_inc	0x2(+4)
	dst_size	0x2(ワード)
	src_inc	0x2(+4)
	src_size	0x2(ワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	受信データ数
	cycle_ctrl	0x1(通常転送)

DMAコントローラの操作を含む制御手順の例を以下に示します。

1. DMAチャンネル(Ch.x)のメインデータストラクチャを、表15.5.6.1のように設定する。
2. DMAコントローラのレジスタで、DMAチャンネルをイネーブルにする。
5. DMAチャンネルのDMA転送要求マスクを、DMAコントローラのレジスタによってクリアする。
4. DMA転送完了割り込みフラグを、DMAコントローラのレジスタによってクリアする。
5. DMAチャンネルのDMA転送完了割り込みを、DMAコントローラのレジスタによってイネーブルにする。
6. ペンディングDMA割り込みをCPUでクリアする。
7. ペンディングDMA割り込みをCPUでイネーブルにする。
8. DMAチャンネルへのDMA転送要求の発行を、QSPI_nFRLDMAEN.FRLDMAEN_xビットでイネーブルにする。
9. DMAコントローラのレジスタにより、DMAチャンネルに対しソフトウェアDMA転送要求を発行する。これは、最初のデータを取り込むために必要な操作です。
10. DMAの割り込みを待つ。
11. DMAチャンネルへのDMA転送要求の発行を、QSPI_nFRLDMAEN.FRLDMAEN_xビットでディスエーブルにする。
12. DMAチャンネルのDMA転送要求マスクを、DMAコントローラのレジスタによって設定する。
13. DMAコントローラのレジスタで、DMAチャンネルをディスエーブルにする。

15.5.7 メモリマップドアクセス操作の終了

メモリマップドアクセス操作を終了する手順を以下に示します。

1. QSPI_nMMACFG2.MMAENビットに0を書き込む。(メモリマップドアクセスモードディスエーブル)スレーブセレクト信号がインアクティブになります。メモリマップドアクセスモード時は、ステータマシンによってスレーブセレクト信号のソフトウェア制御は無効となります。
2. QSPI_nINTF.MMABSビットが0(メモリマップドアクセス動作ノットビジー)になるまで待機する。

15.5.8 マスタモードのデータ送受信終了

マスタモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(QSPI_nINTF.TENDIFビット = 1)を待つ。
2. QSPI_nCTL.MODENビットを0に設定し、QSPI Ch.nの動作をディスエーブルにする。
3. 16ビットタイマを停止させ、QSPI Ch.nへのクロック供給を止める。

15.5.9 スレーブモードのデータ送受信

スレーブモード時のデータ送受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図15.5.9.1と図15.5.9.2に示します。

送信手順

1. QSPI_nINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
2. QSPI_nTXDレジスタに送信データを書き込む。
3. 送信バッファエンプティ割り込み(QSPI_nINTF.TBEIFビット = 1)を待つ。
4. 送信データ終了まで、2と3を繰り返す。

注: QSPI_nINTF.TBEIFビットが1にセットされてからQSPI_nTXDレジスタに書き込んだデータが送出完了するまでの間に、送信データをQSPI_nTXDレジスタへ書き込む必要があります。もし、この間に送信データが書き込まれなかった場合は、QSDION端子から入力されたデータがそのままシフトアウトされます。

受信手順

1. 受信バッファフル割り込み(QSPI_nINTF.RBFIFビット = 1)を待つ。
2. QSPI_nRXDレジスタから受信データを読み出す。
3. 受信終了まで、1と2を繰り返す。

送受信動作

スレーブモードの動作は、マスタモードとは以下の点が異なります。

- 外部QSPIマスタからQSPICLK_n端子に供給されるQSPIクロックで動作します。データ転送レートはQSPICLK_nの周波数によって決まります。16ビットタイマの制御は不要です。
- 外部QSPIマスタから#QSPISS_n端子に入力されるスレーブセレクト信号がアクティブ(LOW)な場合にのみスレーブデバイスとして動作します。
#QSPISS_n = HIGHの場合、送受信操作、およびQSPICLK_nとQSDION端子入力がすべて無効になります。また、送受信の途中で#QSPISS_nがHIGHになった場合は、転送ビット数カウンタがクリアされ、シフトレジスタ内のデータは破棄されます。
- データの送受信は外部QSPIマスタによって#QSPISS_nがアクティブになり、QSPICLK_nが入力されることで開始します。送信データの書き込みは、送受信開始のトリガにはなりません。したがって、受信のみを行う場合、送信データバッファへのダミーデータの書き込みは不要です。
- SLEEPモードでもデータの送受信動作が可能で、QSPIの割り込みによってCPUをウェイクアップさせることができます。

上記以外の動作はマスタモードと同様です。

注: • QSPI_nINTF.RBFIFビットが1にセットされている状態で、QSPI_nMOD.CHLN[3:0]ビットによって定義されるサイクル数分のデータを受信すると、QSPI_nRXDレジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、QSPI_nINTF.OEIFビットがセットされます。

- QSPI_nINTF.TBEIFビットが1にセットされている状態でも、QSPICLK_n端子から1ビット目のクロックが入力されると、QSPIはその時点でシフトレジスタに保存されているデータの送信を開始します。

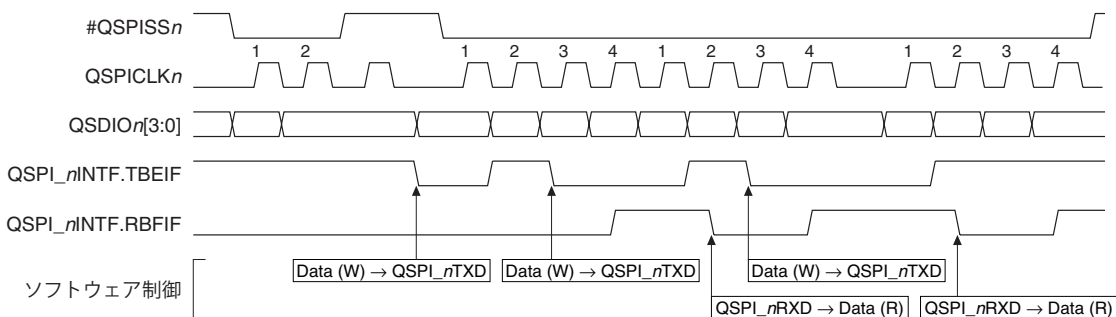


図15.5.9.1 スレーブモード時の送受信動作例(QSPI_nMOD.CHDL[3:0]ビット = QSPI_nMOD.CHLN[3:0]ビット = 0x3)

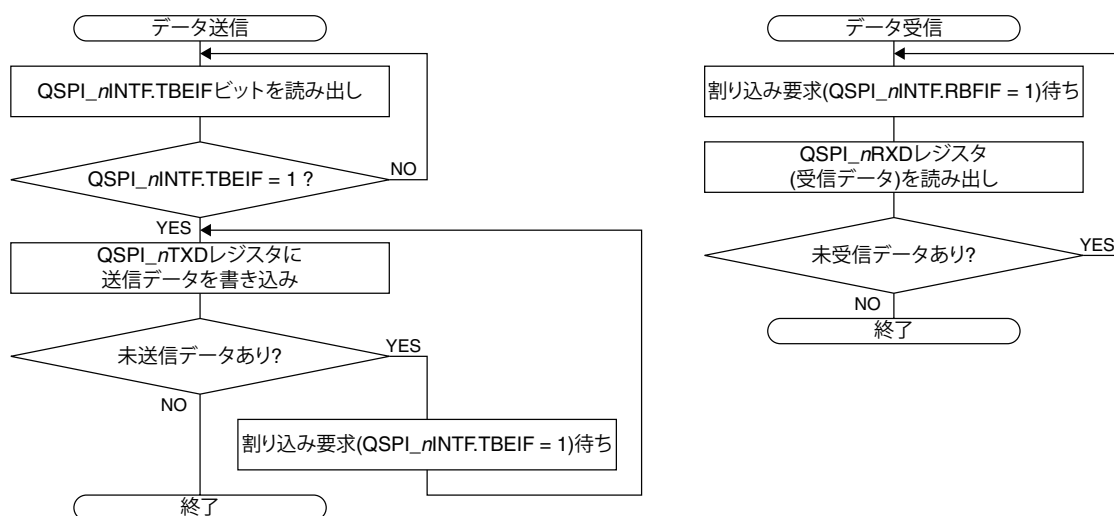


図15.5.9.2 スレーブモード時の送受信フローチャート

15.5.10 スレーブモードのデータ送受信終了

スレーブモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(QSPI_nINTF.TENDIFビット = 1)を待つ。または受信データなどで終了を判断する。
2. QSPI_nCTL.MODENビットを0に設定し、QPIA Ch.nの動作をディスエーブルにする。

15.6 割り込み

QSPI_には、表15.6.1に示す割り込みを発生させる機能があります。

表15.6.1 QSPIの割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	QSPI_nINTF.TENDIF	指定ビット数(QSPI_nMOD.CHLN[3:0]ビットによって定義)のデータ送信後にQSPI_nINTF.TBEIFビット = 1のとき	1書き込み
受信バッファフル	QSPI_nINTF.RBFIF	指定ビット数のデータを受信し、受信データがシフトレジスタから受信データバッファに転送されたとき	QSPI_nRXDレジスタの読み出し
送信バッファエンプティ	QSPI_nINTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	QSPI_nTXDレジスタへの書き込み
オーバーランエラー	QSPI_nINTF.OEIF	シフトレジスタにデータを受信し終わった時点で、受信データバッファが満杯(受信データが読み出されていない)のとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

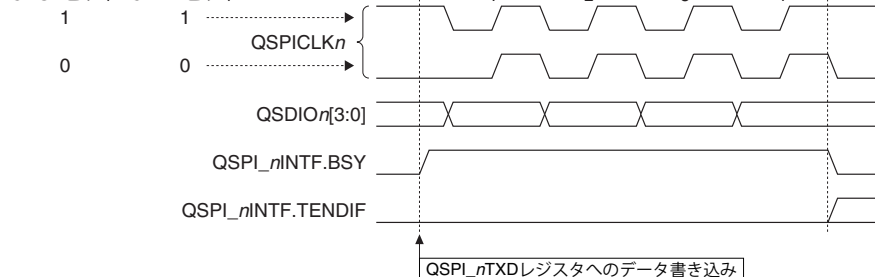
また、QSPI_nINTFレジスタにはレジスタアクセスモード時およびメモリマップドアクセスモード時それぞれのQSPIの動作状態を示すBSYビット、MMABSYビットも設けられています。

図15.6.1に、QSPI_nINTF.BSYビット、QSPI_nINTF.MMABSYビット、およびQSPI_nINTF.TENDIFビットがセットされるタイミングを示します。

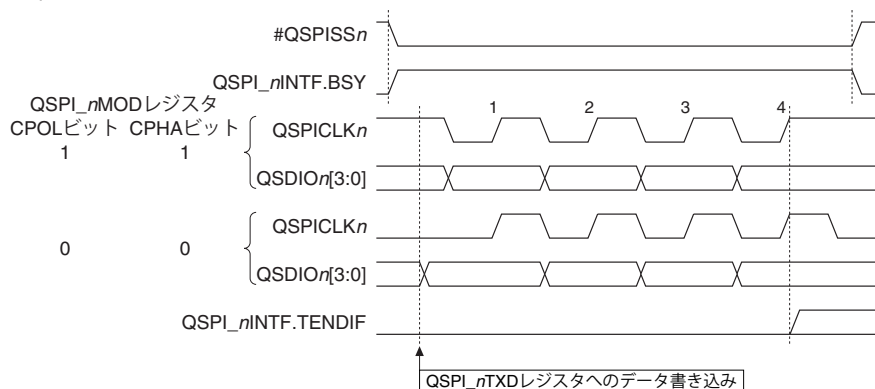
15 同期式クワッドシリアルインタフェース(QSPI)

レジスタアクセスマスターモード

QSPI_nMODレジスタ
CPOLビット CPHAビット



スレーブモード



メモリマップドアクセスモード

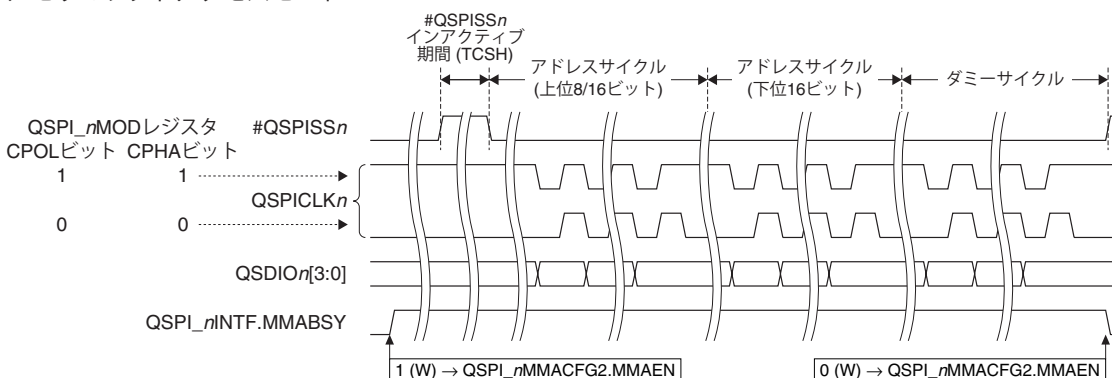


図15.6.1 QSPI_nINTF.BSYビット、QSPI_nINTF.MMABSYビット、およびQSPI_nINTF.TENDIFビットのセットタイミング(QSPI_nMOD.CHDL[3:0]ビット = QSPI_nMOD.CHLN[3:0] = 0x3の場合)

15.7 DMA転送要求

QSPIには、表15.7.1に示す要因でDMA転送要求を発生させる機能があります。

表15.7.1 QSPIのDMA転送要求要因

DMA転送要求要因	DMA転送要求起動フラグ	セット	クリア
受信バッファフル	受信バッファフルフラグ (QSPI_nINTF.RBFIF)	指定ビット数のデータを受信し、受信データがシフトレジスタから受信データバッファに転送されたとき	QSPI_nRXDレジスタの読み出し
送信バッファエンプティ	送信バッファエンプティフラグ (QSPI_nINTF.TBEIF)	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	QSPI_nTXDレジスタへの書き込み
メモリマップドアクセスFIFOデータレディ	メモリマップドアクセスFIFOデータレディフラグ(内部信号)	メモリマップドアクセスモードでの32ビットリード時に、リードFIFOにデータが先読みされたとき	FIFOリードレベルが0にクリアされたとき

上記のDMA転送要求起動フラグには、それぞれに対応するDMA転送要求イネーブルビットがDMAチャンネル数分用意されています。それらのビットによってDMA転送をイネーブルにしたDMA転送要求起動フラグのセット時にのみ、DMAコントローラの該当チャンネルにDMA転送要求が出力されます。受信バッファフルおよび送信バッファエンプティのDMA転送要求起動フラグは割り込みフラグを兼ねているため、DMA転送要求と割り込みの両方を同時にイネーブルにはできません。DMA転送終了後は、意図しないDMA転送要求が出力されることのないように、DMA転送をディスエーブルにしてください。DMA転送の制御については、“DMAコントローラ”の章を参照してください。

15.8 制御レジスタ

QSPI Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI_nMOD	15-12	CHDL[3:0]	0x7	H0	R/W	-
	11-8	CHLN[3:0]	0x7	H0	R/W	
	7-6	TMOD[1:0]	0x0	H0	R/W	
	5	PUEN	0	H0	R/W	
	4	NOCLKDIV	0	H0	R/W	
	3	LSBFST	0	H0	R/W	
	2	CPHA	0	H0	R/W	
	1	CPOL	0	H0	R/W	
0	MST	0	H0	R/W		

Bits 15-12 CHDL[3:0]

これらのビットは、シリアル出力データ線を駆動するクロック数を設定します。

表15.8.1 データ線駆動長の設定

QSPI_nMOD.CHDL[3:0]ビット	データ線駆動長
0xf	16クロック
0xe	15クロック
0xd	14クロック
0xc	13クロック
0xb	12クロック
0xa	11クロック
0x9	10クロック
0x8	9クロック
0x7	8クロック
0x6	7クロック
0x5	6クロック
0x4	5クロック
0x3	4クロック
0x2	3クロック
0x1	2クロック
0x0	1クロック

これらのビットは、QSPI_nMOD.CHLN[3:0]ビットの設定値以下に設定する必要があります。

注: QSPIをスレーブモードで使用する場合は、QSPI_nMOD.CHDL[3:0]ビットをQSPI_nMOD.CHLN[3:0]ビットと同じ値に設定してください。

Bits 11-8 CHLN[3:0]

これらのビットは、データ転送クロック数を設定します。

表15.8.2 データ転送クロック数の設定

QSPI_nMOD.CHLN[3:0]ビット	データ転送クロック数
0xf	16クロック
0xe	15クロック
0xd	14クロック
0xc	13クロック
0xb	12クロック
0xa	11クロック
0x9	10クロック
0x8	9クロック
0x7	8クロック
0x6	7クロック
0x5	6クロック
0x4	5クロック
0x3	4クロック
0x2	3クロック
0x1	2クロック
0x0	設定禁止

Bits 7–6 TMOD[1:0]

これらのビットは転送モードを選択します。

表15.8.3 転送モード

QSPI_nMOD.TMOD[1:0]ビット	転送モード
0x3	Reserved
0x2	クワッド転送モード QSDIO n [3:0]端子はQSPI_nMOD.DIRビットの設定にしたがって、入力端子または出力端子に設定されます。
0x1	デュアル転送モード QSDIO n [1:0]端子はQSPI_nMOD.DIRビットの設定にしたがって、入力端子または出力端子に設定されます。 QSDIO n [3:2]端子は使用されません。
0x0	シングル転送モード QSDIO n 0端子は出力端子、QSDIO n 1端子は入力端子に設定されます。QSDIO n [3:2]端子は使用されません。

Bit 5 PUEN

このビットは、入力に設定されている端子、または未使用端子のプルアップ/プルダウンをイネーブルにします。

1 (R/W): プルアップ/プルダウンイネーブル

0 (R/W): プルアップ/プルダウンディスエーブル

詳細は、“入力端子のプルアップ/プルダウン機能”を参照してください。

Bit 4 NOCLKDIV

このビットは、マスタモード時のQSPICLK n を選択します。スレーブモードでは無効です。

1 (R/W): QSPICLK n 周波数 = CLK_QSPI n 周波数 (= 16ビットタイマ動作クロック周波数)

0 (R/W): QSPICLK n 周波数 = 16ビットタイマ出力周波数 / 2

詳細は、“QSPIの動作クロック”を参照してください。

Bit 3 LSBFST

このビットは、データフォーマット(入出力順列)を設定します。

1 (R/W): LSB先頭

0 (R/W): MSB先頭

Bit 2 CPHA**Bit 1 CPOL**

これらのビットは、QSPIクロックの位相および極性を設定します。詳細は、“QSPIクロック(QSPICLK n)の位相と極性”を参照してください。

Bit 0 MST

このビットは、QSPIの動作モード(マスターモードまたはスレーブモード)を設定します。

1 (R/W): マスターモード

0 (R/W): スレーブモード

注: QSPI_nMODレジスタは、QSPI_nCTL.MODENビット = 0のときのみ設定変更が可能です。

QSPI Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI_nCTL	15-8	-	0x00	-	R	-
	7-4	-	0x0	-	R	
	3	DIR	0	H0	R/W	
	2	MSTSSO	1	H0	R/W	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15-4 Reserved**Bit 3 DIR**

このビットは、QSPI_nMOD.TMOD[1:0]ビットが1または2に設定されている場合の、QSDION[3:0]ライン上のデータ転送方向を設定します。

1 (R/W): 入力

0 (R/W): 出力

Bit 2 MSTSSO

このビットは、#QSPISSn端子の制御とモニタに使用します。

1 (R/W): #QSPISSn = HIGH (デバイス非選択状態)

0 (R/W): #QSPISSn = LOW (デバイス選択状態)

メモリマップドアクセスモード時は、#QSPISSn端子が内部ステートマシンにより自動的に制御されます。本ビットを読み出すことにより、いつでも#QSPISSn端子の出力状態を確認することができます。

Bit 1 SFTRST

このビットは、QSPIをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

QSPIのシフトレジスタ、および転送ビット数カウンタがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、QSPIの動作をイネーブルにします。

1 (R/W): QSPI動作イネーブル(動作クロックが供給されます。)

0 (R/W): QSPI動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にQSPI_nCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、QSPI_nCTL.MODENビットを再度1に設定する場合は、必ずQSPI_nCTL.SFTRSTビットにも1を書き込んでください。

QSPI Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI_nTXD	15-0	TXD[15:0]	0x0000	H0	R/W	-

Bits 15-0 TXD[15:0]

これらのビットを介して、送信データバッファヘデータを書き込むことができます。

15 同期式クワッドシリアルインタフェース(QSPI)

この書き込みによりQSPIは送受信動作を開始します。QISDO_n端子からデータが出力されている期間でも、QSPI_nINTF.TBEIFビット = 1のときは送信データを書き込むことができます。QSPI_nMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位ビットのデータは、QSDIO_n端子から出力されません。

注: QSPI_nINTF.TBEIFビット = 0 のときは、QSPI_nTXDレジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

QSPI Ch.*n* Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI _n RXD	15-0	RXD[15:0]	0x0000	H0	R	-

Bits 15-0 RXD[15:0]

これらのビットを介して、受信データバッファが読み出せます。QSDIO_n端子からデータが入力されている期間でも、QSPI_nINTF.RBFIFビット = 1 のときには受信データを読み出すことができます。QSPI_nMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位のビットは0になります。

QSPI Ch.*n* Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI _n INTF	15-8	-	0x00	-	R	-
	7	BSY	0	H0	R	
	6	MMABSY	0	H0	R	
	5-4	-	0x0	-	R	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	TENDIF	0	H0/S0	R/W	
	1	RBFIF	0	H0/S0	R	Cleared by reading the QSPI _n RXD register.
0	TBEIF	1	H0/S0	R	Cleared by writing to the QSPI _n TXD register.	

Bits 15-8 Reserved

Bit 7 BSY

このビットは、QSPIの動作状態を示します。

1 (R): 送受信ビジー

0 (R): 待機中

Bit 6 MMABSY

このビットは、QSPIのメモリマップドアクセスの動作状態を示します。

1 (R): メモリマップドアクセスステートマシンビジー

0 (R): 待機中

Bits 5-4 Reserved

Bit 3 OEIF

Bit 2 TENDIF

Bit 1 RBFIF

Bit 0 TBEIF

これらのビットは、QSPI割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア(OEIF, TENDIF)

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

QSPI_nINTF.OEIFビット: オーバーランエラー割り込み

QSPI_nINTF.TENDIFビット: 送信完了割り込み

QSPI_nINTF.RBFIFビット: 受信バッファフル割り込み

QSPI_nINTF.TBEIFビット: 送信バッファエンプティ割り込み

QSPI Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI _n INTE	15-8	–	0x00	–	R	–
	7-4	–	0x0	–	R	
	3	OEIE	0	H0	R/W	
	2	TENDIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

Bits 15-4 Reserved

Bit 3 OEIE

Bit 2 TENDIE

Bit 1 RBFIE

Bit 0 TBEIE

これらのビットは、QSPIの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

QSPI_nINTE.OEIEビット: オーバーランエラー割り込み

QSPI_nINTE.TENDIEビット: 送信完了割り込み

QSPI_nINTE.RBFIEビット: 受信バッファフル割り込み

QSPI_nINTE.TBEIEビット: 送信バッファエンプティ割り込み

QSPI Ch.n Transmit Buffer Empty DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI _n TBEDMAEN	15-0	TBEDMAEN[15:0]	0x0000	H0	R/W	–

Bits 15-0 TBEDMAEN[15:0]

これらのビットは、送信バッファエンプティ発生時における、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

QSPI Ch.n Receive Buffer Full DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI _n RBFDMAEN	15-0	RBFDMAEN[15:0]	0x0000	–	R/W	–

Bits 15-0 RBFDMAEN[15:0]

これらのビットは、受信バッファフル発生時における、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

QSPI Ch.n FIFO Data Ready DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI_nFRLDMAEN	15-8	FRLDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 FRLDMAEN[15:0]

これらのビットは、FIFOにデータが取り込まれたこと(FIFOデータレディ)による、対応DMAチャンネル(Ch.0~Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

QSPI Ch.n Memory Mapped Access Configuration Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI_nMMACFG1	15-8	-	0x00	-	R	-
	7-4	-	0x0	-	R	
	3-0	TCSH[3:0]	0x0	H0	R/W	

Bits 15-4 Reserved

Bits 3-0 TCSH[3:0]

メモリマップドアクセスモードで、前回のリードアドレスとは連続しないFlashメモリアドレスをリードすると、#QSPISS n 信号は一旦ネゲートされた後、再度アサートされます。その後、新たなアドレスがFlashメモリに送信され、データがリードされます。

QSPI_nMMACFG1.TCSH[3:0]ビットは、このときに#QSPISS n 信号をネゲートする期間をクロック数で指定します。

表15.8.4 非順次リード間の#QSPISS n インアクティブ期間

QSPI_nMMACFG1.TCSH[3:0]ビット	#QSPISS n インアクティブ期間
0xf	16クロック
0xe	15クロック
0xd	14クロック
0xc	13クロック
0xb	12クロック
0xa	11クロック
0x9	10クロック
0x8	9クロック
0x7	8クロック
0x6	7クロック
0x5	6クロック
0x4	5クロック
0x3	4クロック
0x2	3クロック
0x1	2クロック
0x0	1クロック

注: これらのビットはシステムクロック数を指定します。

QSPI Ch.n Remapping Start Address High Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI_nRMADRH	15-4	RMADR[31:20]	0x000	H0	R/W	-
	3-0	-	0x0	-	R	

Bits 15-4 RMADR[31:20]

これらのビットは、メモリマップドアクセスモード用に割り当てられたシステムメモリ領域にリマッピングする、外部Flashメモリ領域先頭アドレス(32ビットと想定)の上位12ビットを指定します。

メモリマップドアクセスにより外部Flashメモリをリードする際は、メモリマップドアクセスエリア内の相対アドレスに、ここで指定した値をオフセットとして加算して、実際にアクセスする外部Flashメモリアドレスが生成されます。

注: QSPI_nRMADRH.RMADR[31:20]ビットは、必ずQSPI_nMMACFG2.MMAENビット = 0の状態に変更してください。

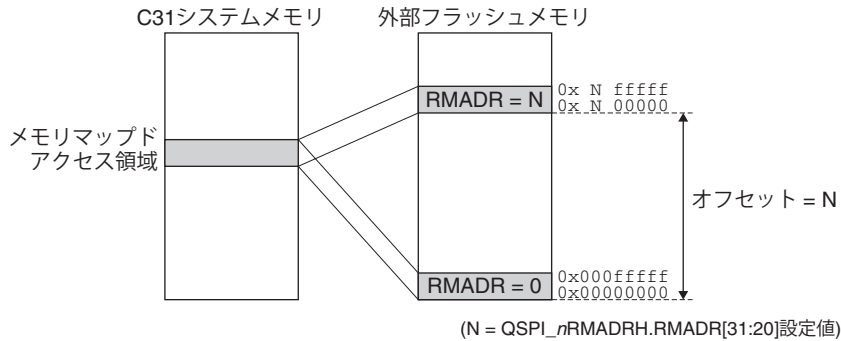


図15.8.1 外部Flashメモリのリマッピング

Bits 3–0 Reserved

QSPI Ch.n Memory Mapped Access Configuration Register 2

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI_nMMACFG2	15–12	DUMDL[3:0]	0x7	H0	R/W	-
	11–8	DUMLN[3:0]	0x7	H0	R/W	
	7–6	DATTMOD[1:0]	0x0	H0	R/W	
	5–4	DUMTMOD[1:0]	0x0	H0	R/W	
	3–2	ADRTMOD[1:0]	0x0	H0	R/W	
	1	ADRCYC	0	H0	R/W	
	0	MMAEN	0	H0	R/W	

Bits 15–12 DUMDL[3:0]

これらのビットは、メモリマップドアクセスモードで外部Flashメモリをアクセスする場合に、ダミーサイクルでシリアルデータ線を駆動するクロック数を設定します。この設定はMicron FlashメモリへのXIP確認ビットの出力、またはSpansion Flashメモリへのモードバイトの出力に必要です。

表15.8.5 ダミーサイクル中データ線駆動長の設定

QSPI_nMMACFG2.DUMDL[3:0]ビット	データ線駆動長
0xf	16クロック
0xe	15クロック
0xd	14クロック
0xc	13クロック
0xb	12クロック
0xa	11クロック
0x9	10クロック
0x8	9クロック
0x7	8クロック
0x6	7クロック
0x5	6クロック
0x4	5クロック
0x3	4クロック
0x2	3クロック
0x1	2クロック
0x0	1クロック

これらのビットは、QSPI_nMMACFG2.DUMLN[3:0]ビットの設定値以下に設定する必要があります。

Bits 11–8 DUMLN[3:0]

これらのビットは、メモリマップドアクセスモードで外部Flashメモリをアクセスする場合の、ダミーサイクル長をクロック数で設定します。

表15.8.6 ダミーサイクル長の設定

QSPI_nMMACFG2.DUMLN[3:0]ビット	ダミーサイクル長
0xf	16クロック
0xe	15クロック
0xd	14クロック
0xc	13クロック
0xb	12クロック
0xa	11クロック
0x9	10クロック
0x8	9クロック
0x7	8クロック
0x6	7クロック
0x5	6クロック
0x4	5クロック
0x3	4クロック
0x2	3クロック
0x1	2クロック
0x0	設定禁止

Bits 7–6 DATTMOD[1:0]

これらのビットは、メモリマップドアクセスモードで外部Flashメモリをアクセスする場合の、データサイクルの転送モードを選択します。

表15.8.7 データ、ダミー、アドレスサイクルの転送モード

QSPI_nMMACFG2.DATTMOD[1:0]ビット QSPI_nMMACFG2.DUMTMOD[1:0]ビット QSPI_nMMACFG2.ADRTMOD[1:0]ビット	転送モード
0x3	Reserved
0x2	クワッド転送モード QSDIO _n [3:0]端子を使用します。
0x1	デュアル転送モード QSDIO _n [1:0]端子を使用します。QSDIO _n [3:2]端子は使用されません。
0x0	シングル転送モード QSDIO _n [1:0]端子を使用します。QSDIO _n [3:2]端子は使用されません。

Bits 5–4 DUMTMOD[1:0]

これらのビットは、メモリマップドアクセスモードで外部Flashメモリをアクセスする場合の、ダミーサイクルの転送モードを選択します。

Bits 3–2 ADRTMOD[1:0]

これらのビットは、メモリマップドアクセスモードで外部Flashメモリをアクセスする場合の、アドレスサイクルの転送モードを選択します。

Bit 1 ADCYC

このビットは、メモリマップドアクセスモードで外部Flashメモリをアクセスする場合の、アドレスモードを24ビットと32ビットから選択します。

1 (R/W): 32ビットアドレスモード(4バイトアドレスサイクル)

0 (R/W): 24ビットアドレスモード(3バイトアドレスサイクル)

Bit 0 MMAEN

このビットは、外部Flashメモリをアクセスするためのメモリマップドアクセスモードをイネーブルにします。

1 (R/W): メモリマップドアクセスモードイネーブル

0 (R/W): メモリマップドアクセスモードディスエーブル(レジスタアクセスモード)

このビットが1から0に変更されると、QSPIは外部Flashメモリに対して追加のアドレスおよびダミーサイクルを送ります。アドレスサイクルでは、QSPI_nMMACFG2.ADRCYCビットの設定に従い、3バイトまたは4バイトのアドレスが全アドレスビット = 1の状態では出力されず。ダミーサイクルはQSPI_nMMACFG2.DUMLN[3:0]ビットおよびQSPI_nMMACFG2.DUMDL[3:0]ビットの設定に従って、またQSPI_nMB.XIPEXT[7:0]ビットで設定された外部FlashメモリのXIPセッションを終了させるモードバイト付きで出力されます。

注: スレーブモードはメモリマップドアクセスモードに対応していませんので、QSPI_nMOD.MSTビットが0の場合、QSPI_nMMACFG2.MMAEN = 1の設定は無効です。

QSPI Ch.n Mode Byte Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
QSPI_nMB	15-8	XIPACT[7:0]	0x00	H0	R/W	-
	7-0	XIPEXT[7:0]	0x00	H0	R/W	

Bits 15-8 XIPACT[7:0]

これらのビットは、メモリマップドアクセスモードでアクセスする外部FlashメモリのXIPセッションを起動する、モードバイトを設定します。

Bits 7-0 XIPEXT[7:0]

これらのビットは、メモリマップドアクセスモードでアクセスしている外部FlashメモリのXIPセッションを終了する、モードバイトを設定します。

注: メモリマップドアクセスモードでは、モードバイトが常にLSBから先に出力されます。MSBから先に出力されるモードバイトを想定しているFlashメモリを使用する場合、このレジスタにはビット順序を反転させたモードバイトを書き込んでください。

16 I²C(I2C)

16.1 概要

I2Cは、I²Cバスインタフェースのサブセットです。主な機能と特長を以下に示します。

- I²Cバスのマスタ(シングルマスタ)、またはスレーブデバイスとして動作
- 標準モード(最大100 kbit/s)、およびファースト・モード(最大400 kbit/s)に対応
- 7ビット、および10ビットアドレスモードに対応
- クロックストレッチに対応
- マスタモード時にクロックを生成するためのポーレートジェネレータを内蔵
- スレーブモード時は、I²Cバス上の信号のみで動作するため、他のクロックソースが不要
- スレーブモードはSLEEPモード時も動作し、アドレス一致検出時の割り込みによるウェイクアップが可能
- 自動バスクリア送出機能(マスタモード)
- 受信バッファフル、送信バッファエンpty、その他の割り込みを発生可能
- 受信バッファフル、送信バッファエンptyによりDMA転送要求を発生可能
- SDAおよびSCL入力の入力フィルタは、50 ns未満のノイズスパイク除去の規格には非準拠

図16.1.1にI2Cの構成を示します。

表16.1.1 S1C31D01のI2Cチャンネル構成

項目	S1C31D01
チャンネル数	2チャンネル (Ch.0とCh.1)

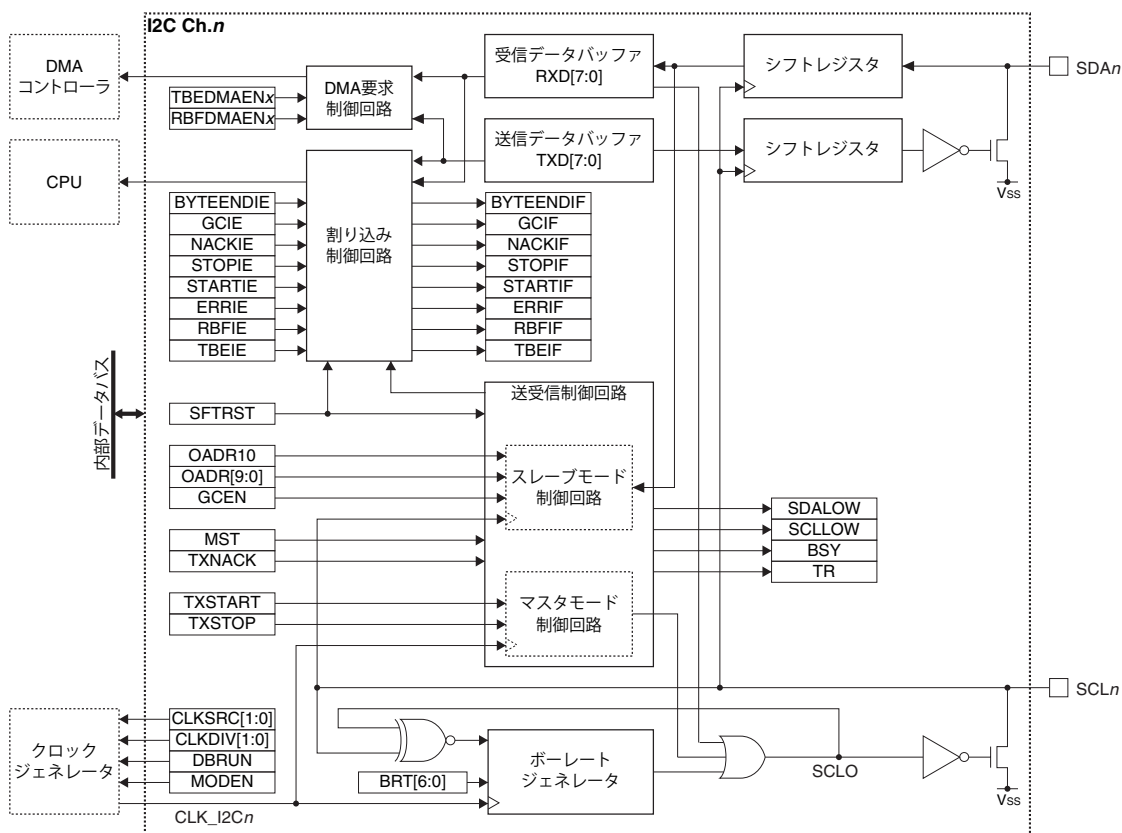


図16.1.1 I2Cの構成

16.2 入出力端子と外部接続

16.2.1 入出力端子一覧

表16.2.1.1にI²C端子の一覧を示します。

表16.2.1.1 I²C端子一覧

端子名	I/O*	イニシャル状態*	機能
SDA _n	I/O	I	I ² Cバスのシリアルデータ入出力端子
SCL _n	I/O	I	I ² Cバスのクロック入出力端子

* 端子機能をI²Cに切り換えた時点の状態

これらのI²C端子と他の機能がポートを共有している場合、I²Cを動作させる前にI²Cの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

16.2.2 外部との接続

I²Cと外部I²C機器との接続例を図16.2.2.1に示します。

I²Cバスのシリアルデータ(SDA)とシリアルクロック(SCL)は、外部抵抗によってプルアップする必要があります。

I²Cがマスターモードのとき、I²Cバス上には、ユニークなアドレスを持つ複数のスレーブデバイスを接続することができます。I²Cがスレーブモードのとき、I²Cバス上には、ユニークなアドレスを持つ複数または1つのマスターデバイスとスレーブデバイスを接続することができます。

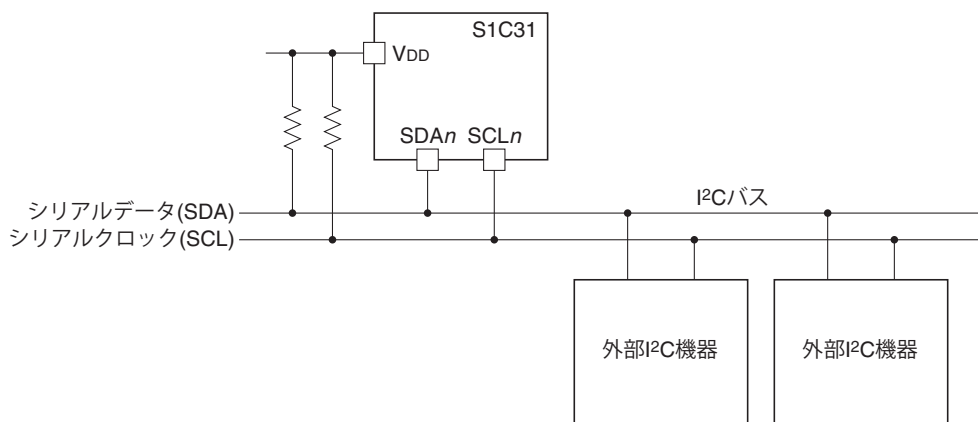


図16.2.2.1 I²Cと外部I²C機器との接続

注: • SDAとSCLは、必ず本ICのV_{DD}以下の電圧にプルアップしてください。ただし、I²Cの入出力ポートがトレラント・フェイルセーフ対応I/Oの場合は、本ICの推奨動作電圧の範囲内で、本ICのV_{DD}以上の電圧にプルアップすることが可能です。

- SDAとSCLのプルアップに、本ICの入出力ポートに内蔵されたプルアップ抵抗を使用することはできません。
- I²Cがマスターモードのときは、I²Cバス上に他のマスターデバイスを接続することはできません。

16.3 クロック設定

16.3.1 I2Cの動作クロック

マスタモードの動作クロック

I2C Ch.*n*をマスタモードで使用する場合、クロックジェネレータからI2C Ch.*n*動作クロックCLK_I2C*n*をI2C Ch.*n*に供給する必要があります。

CLK_I2C*n*の供給は以下の手順で制御してください。

- 1 クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. I2C_nCLKレジスタの以下のビットを設定する。
 - I2C_nCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - I2C_nCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

SLEEPモード時にマスタモードのI2Cを使用する場合は、I2C Ch.*n*動作クロックCLK_I2C*n*のクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_I2C*n*を供給し続ける必要があります。I2Cの動作クロックは、ポーレートジェネレータで設定しやすいクロックを選択してください。

スレーブモードの動作クロック

スレーブモードのI2Cは、I²Cマスタから供給されるSCLを動作クロックとして使用します。

I2C_nCLKレジスタによるクロックの設定は無効になります。

SLEEPモードですべてのクロックが停止している状態でも、I2Cは外部のI²Cマスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

16.3.2 デバッグ時のクロック供給

マスタモードでは、デバッグ時のCLK_I2C*n*の供給はI2C_nCLK.DBRUNビットで制御します。

I2C_nCLK.DBRUNビット = 0の場合、デバッグ状態に移行するとI2C Ch.*n*へのCLK_I2C*n*の供給が停止します。その後通常動作に戻ると、CLK_I2C*n*の供給が再開します。CLK_I2C*n*の供給が停止するとI2C Ch.*n*の動作は停止しますが、出力端子やレジスタはデバッグ状態に移行する前の状態に保持されます。

I2C_nCLK.DBRUNビット = 1の場合、デバッグ時もCLK_I2C*n*の供給は停止せず、I2C Ch.*n*は動作を継続します。

スレーブモードでは、デバッグ時か通常動作時かにかかわらず、外部のI²CマスタからSCL*n*端子に供給されるクロックで動作します。

16.3.3 ポーレートジェネレータ

I2Cは、マスタモードでの動作時にシリアルクロックSCLを生成する、ポーレートジェネレータを内蔵しています。スレーブモード時はSCL*n*端子から入力されるシリアルクロックで動作しますので、ポーレートジェネレータは使用しません。

データ転送レートの設定(マスタモード時)

転送レートはI2C_nBR.BRT[6:0]ビットの設定により決まります。

希望の転送レートを得るための設定値は次の式で計算できます。

$$\text{bps} = \frac{f_{\text{CLK_I2C}n}}{(\text{BRT} + 3) \times 2} \qquad \text{BRT} = \frac{f_{\text{CLK_I2C}n}}{\text{bps} \times 2} - 3 \qquad (\text{式16.1})$$

ここで

bps: データ転送レート [bit/s]

f_{CLK_I2C*n*}: I2Cの動作クロック周波数 [Hz]

BRT: I2C_nBR.BRT[6:0]ビットの設定値(1~127)

※ 上記の式は、SCLの立ち上がり/立ち下がり時間やクロックストレッチによる遅延時間(図16.3.3.1参照)を含んでいません。

注: I²Cバスの転送レートは標準モードで最大100 kbit/s、ファースト・モードで最大400 kbit/sに制限されています。制限以上の転送レートは設定しないでください。

ボーレートジェネレータのクロック出力とクロックストレッチへの対応

ボーレートジェネレータが生成するクロックとI²Cバス上のクロック波形を図16.3.3.1に示します。

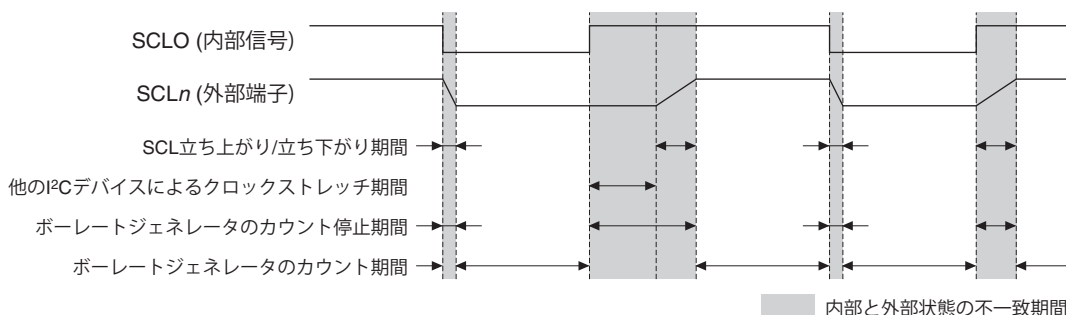


図16.3.3.1 ボーレートジェネレータ出力クロックとSCLn出力波形

ボーレートジェネレータが生成するSCLOはSCLn端子の状態と比較され、その結果がフィードバックされます。SCLOとSCLn端子の状態に不一致が発生している場合は、ボーレートジェネレータのカウンタ動作が停止します。これにより、SCL信号の立ち上がり/立ち下がり期間や、外部スレーブデバイスによってSCLがLOWに固定されるクロックストレッチの期間はクロックが延長され、データ送受信が制御されるようになっています。

16.4 動作

16.4.1 初期設定

I2C Ch.nは、以下の手順により初期設定を行います。

マスターモードで使用する場合

- I2C_nCLKレジスタとI2C_nBRレジスタで動作クロックとボーレートジェネレータを設定する。
- I2C Ch.n入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- 割り込みを使用する場合は以下のビットを設定する。
 - I2C_nINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - I2C_nINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
- I2C_nCTLレジスタの以下のビットを設定する。
 - I2C_nCTL.MSTビットを1に設定 (マスターモードに設定)
 - I2C_nCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - I2C_nCTL.MODENビットを1に設定 (I2C Ch.nの動作をイネーブル)

スレーブモードで使用する場合

- I2C_nMODレジスタの以下のビットを設定する。
 - I2C_nMOD.OADR10ビット (10/7ビットアドレスモード設定)
 - I2C_nMOD.GCENビット (ジェネラルコールアドレス応答イネーブル)
- I2C_nOADR.OADR[9:0](またはOADR[6:0])ビットで自己アドレスを設定する。
- I2C Ch.n入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- 割り込みを使用する場合は以下のビットを設定する。
 - I2C_nINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - I2C_nINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
- I2C_nCTLレジスタの以下のビットを設定する。
 - I2C_nCTL.MSTビットを0に設定 (スレーブモードに設定)
 - I2C_nCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - I2C_nCTL.MODENビットを1に設定 (I2C Ch.nの動作をイネーブル)

16.4.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図16.4.2.1と図16.4.2.2に示します。

送信手順

1. I2C_nCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I2C_nINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2C_nINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2C_nINTF.STARTIFビットは1を書き込んでクリアする。
3. I2C_nTXD.TXD[7:1]ビットに7ビットのスレーブアドレス、I2C_nTXD.TXD0ビットにデータ転送方向がWRITEであることを示す0を書き込む。
4. (DMAを使用する場合) DMAコントローラを設定すると共に、I2C_nTBEDMAENレジスタのDMA転送要求イネーブルビットを1(DMA転送要求イネーブル)に設定する。(送信手順の5、6、8を自動化できます。)
5. (DMAを使用しない場合) ACK受信時の送信バッファエンプティ割り込み(I2C_nINTF.TBEIFビット = 1)を待つ。
6. (DMAを使用しない場合) I2C_nTXDレジスタに送信データを書き込む。
7. NACK受信割り込み(I2C_nINTF.NACKIFビット = 1)が発生した場合は、I2C_nINTF.NACKIFビットをクリアした後、9または1へ
8. (DMAを使用しない場合) 送信データ終了まで、5と6を繰り返す。
9. I2C_nCTL.TXSTOPビットを1に設定し、ストップコンディションを生成する。
10. ストップコンディション割り込み(I2C_nINTF.STOPIFビット = 1)を待つ。
割り込み発生後、I2C_nINTF.STOPIFビットは1を書き込んでクリアする。

送信動作

スタートコンディションの生成

I2C_nCTL.TXSTARTビットを1に設定すると、I2C Ch.nはスタートコンディションの生成を開始します。これが完了するとI2C_nCTL.TXSTARTビットは0にクリアされ、I2C_nINTF.STARTIFビットとI2C_nINTF.TBEIFビットが1にセットされます。

スレーブアドレス、データの送信

I2C_nINTF.TBEIFビット = 1であれば、I2C_nTXDレジスタにスレーブアドレスやデータを書き込むことができます。なお、I2C_nTXDレジスタへの書き込みが行われるまで、I2C Ch.nはSCLをLOWに固定して待機します。この書き込み操作をトリガとして、そのデータは自動的にシフトレジスタに転送され、8個のクロックとデータビットがI²Cバスに出力されます。

この応答としてスレーブデバイスからACKが返ると、I2C_nINTF.TBEIFビットが1にセットされます。この割り込み要求が発生後、続くデータの送信や、送信を終了するストップコンディション/リピーテッドスタートコンディションの生成が行えます。NACKが返った場合は、I2C_nINTF.TBEIFビットはセットされず、代わりにI2C_nINTF.NACKIFビットが1にセットされます。

ストップコンディション/リピーテッドスタートコンディションの生成

I2C_nINTF.TBEIFビット = 1(送信バッファエンプティ)またはI2C_nINTF.NACKIFビット = 1(NACK受信)となった後にI2C_nCTL.TXSTOPビットを1に設定すると、I2C Ch.nはストップコンディションを生成します。ストップコンディションの生成からバスフリー時間(I²C規格におけるt_{BUF})が経過した時点で、I2C_nCTL.TXSTOPビットが0にクリアされ、I2C_nINTF.STOPIFビットが1にセットされます。

I2C_nINTF.TBEIFビット = 1(送信バッファエンプティ)、またはI2C_nINTF.NACKIFビット = 1(NACK受信)の状態ではI2C_nCTL.TXSTARTビットを1に設定すると、I2C Ch.nはリピーテッドスタートコンディションを生成します。リピーテッドスタートコンディションの生成が完了すると、スタートコンディション生成時と同様に、I2C_nINTF.STARTIFビットとI2C_nINTF.TBEIFビットが1にセットされます。

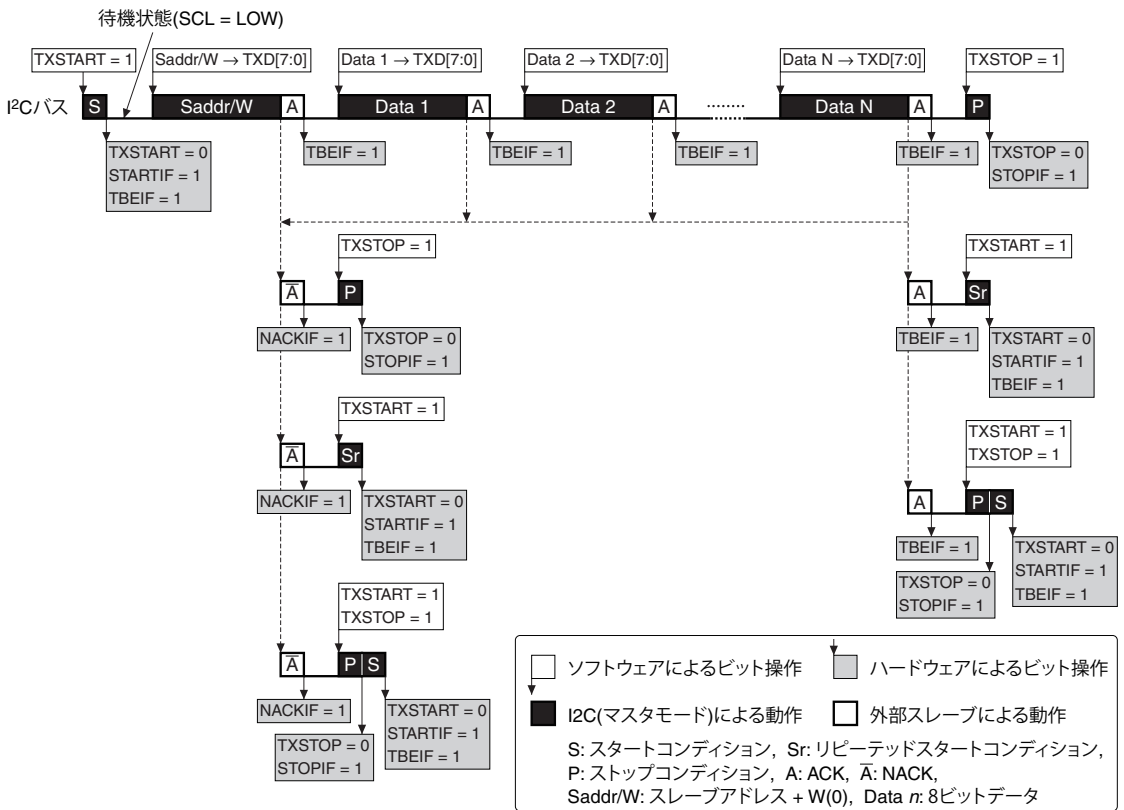


図16.4.2.1 マスターモードのデータ送信動作例

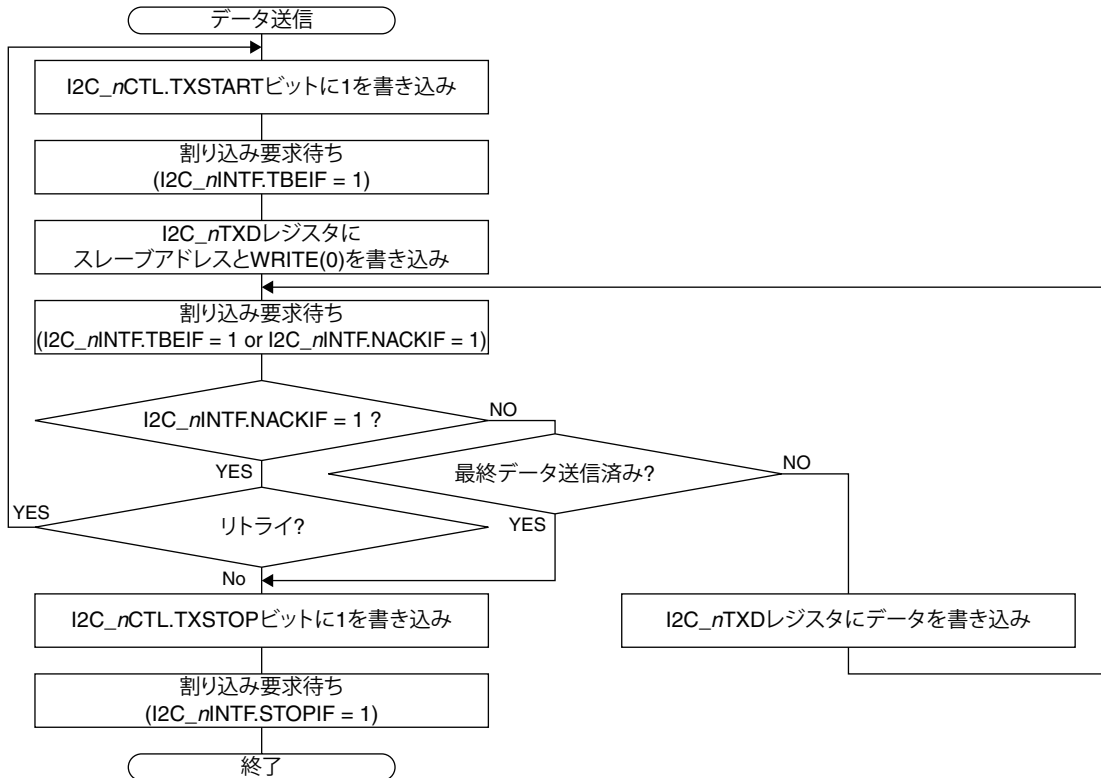


図16.4.2.2 マスターモードのデータ送信フローチャート

DMAを使用したデータ送信

I2C_nTBEDMAEN.TBEDMAENxビットを1(DMA転送要求イネーブル)に設定しておくこと、I2C_nINTF.TBEIFビットが1(送信バッファエンプティ)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、指定されているメモリからI2C_nTXDレジスタに、送信データがDMA Ch.xにより転送されます。

これにより、上記送信手順の5、6、8はDMAにより自動化できます。

なお、送信データがI2C_nTXDレジスタに転送されるように、あらかじめDMAコントローラ用の転送元/転送先エンドポインタやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表16.4.2.1 DMAデータストラクチャ設定例(データ送信)

設定項目		設定例
エンドポインタ	転送元	最終送信データが格納されているメモリアドレス
	転送先	I2C_nTXDレジスタアドレス
コントロールデータ	dst_inc	0x3(インクリメントなし)
	dst_size	0x0(バイト)
	src_inc	0x0(+1)
	src_size	0x0(バイト)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

16.4.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図16.4.3.1と図16.4.3.2に示します。

受信手順

1. 受信するデータの長さが1バイトの場合はI2C_nCTL.TXNACKビットに1を書き込む。
2. I2C_nCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
3. 送信バッファエンプティ割り込み(I2C_nINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2C_nINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2C_nINTF.STARTIFビットは1を書き込んでクリアする。
4. I2C_nTXD.TXD[7:1]ビットに7ビットのスレーブアドレス、I2C_nTXD.TXD0ビットにデータ転送方向がREADであることを示す1を書き込む。
5. (DMAを使用する場合) DMAコントローラを設定すると共に、I2C_nRBFDMAENレジスタのDMA転送要求イネーブルビットを1(DMA転送要求イネーブル)に設定する。(受信手順の6、8、10を自動化できます。)
6. (DMAを使用しない場合) 1バイト受信完了時の受信バッファフル割り込み(I2C_nINTF.RBFIFビット = 1)を待つ。
7. 今回または次回の受信データが最終データとなる場合は、以下の処理を行う。
 - i. 次に受信するデータが最終データの場合は、I2C_nCTL.TXNACKビットに1を書き込み、その受信後にNACKが送信されるようにする。その後、8へ。
 - ii. 今回受信したデータが最終データの場合は、I2C_nRXDレジスタから受信データを読み出し後、I2C_nCTL.TXSTOPビットを1に設定してストップコンディションを生成する。その後、11へ。
8. (DMAを使用しない場合) I2C_nRXDレジスタから受信データを読み出す。
9. NACK受信割り込み(I2C_nINTF.NACKIFビット = 1)が発生した場合は、I2C_nINTF.NACKIFビットをクリアした後、I2C_nCTL.TXSTOPビットを1に設定してストップコンディションを生成する。その後、11へ。リトライする場合は2へ
10. (DMAを使用しない場合) 受信データ終了まで、6～8を繰り返す。
11. ストップコンディション割り込み(I2C_nINTF.STOPIFビット = 1)を待つ。
割り込み発生後、I2C_nINTF.STOPIFビットは1を書き込んでクリアする。

受信動作

スタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

スレーブアドレスの送信

マスタモードのデータ送信の場合と同様です。ただし、I2C_nTXD.TXD0ビットはデータ転送方向がREADであることを示す1に設定してスレーブにデータの送信を要求する必要があります。

データの受信

スレーブアドレスの送信後、スレーブデバイスからはACKと最初のデータが送られてきます。このデータを受信し終わると、I2C Ch.nはI2C_nINTF.RBFIFビットを1にセットします。また、I2C Ch.nはスレーブデバイスにACKを返します。最終データ受信後の応答など、NACKを返すときはI2C_nINTF.RBFIFビットが1にセットされる前にI2C_nCTL.TXNACKビットに1を書き込んでおきます。

受信バッファフル割り込み要求の発生後は、I2C_nRXDレジスタから受信データを読み出すことができます。なお、I2C_nRXDレジスタが読み出されるまで、I2C Ch.nはSCLをLOWに固定して待機します。

この読み出しがトリガとなり、I2C Ch.nは次のデータ受信を開始します。

ストップコンディション/リピーテッドスタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

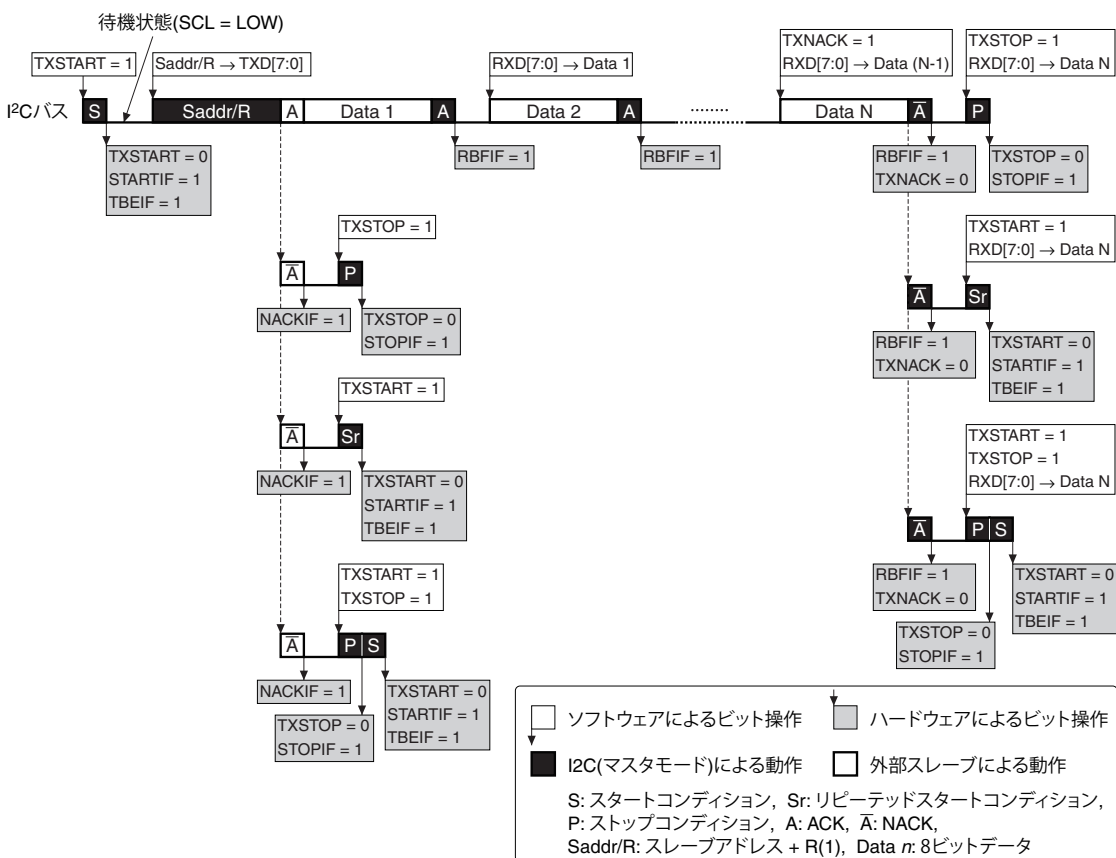


図16.4.3.1 マスタモードのデータ受信動作例

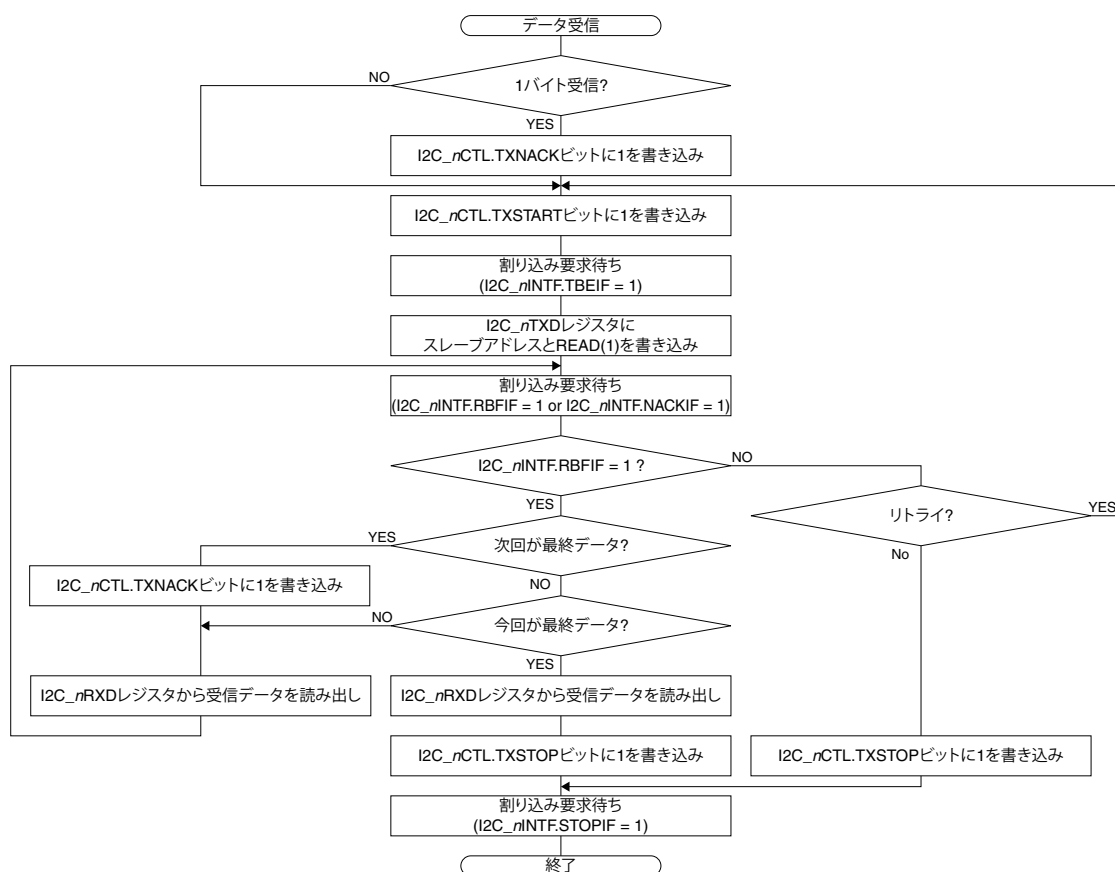


図16.4.3.2 マスタモードのデータ受信フローチャート

DMAを使用したデータ受信

I2C_nRBFDMAEN.RBFDMAEN_xビットを1(DMA転送要求イネーブル)に設定しておくこと、I2C_nINTF.RBFIFビットが1(受信バッファフル)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、I2C_nRXDレジスタから指定されているメモリに、受信データがDMA Ch._xにより転送されます。

これにより、上記受信手順の6、8、10はDMAにより自動化できます。

なお、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

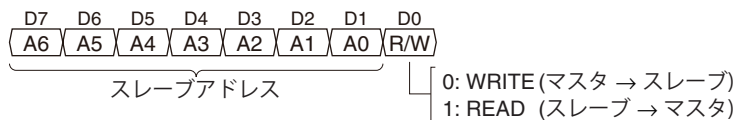
表16.4.3.1 DMAデータストラクチャ設定例(データ受信)

設定項目		設定例
エンドポイント	転送元	I2C_nRXDレジスタアドレス
	転送先	最終受信データを格納するメモリアドレス
コントロールデータ	dst_inc	0x0(+1)
	dst_size	0x0(バイト)
	src_inc	0x3(インクリメントなし)
	src_size	0x0(バイト)
	R_power	0x0(転送ごとに調停)
	n_minus_1	受信データ数
	cycle_ctrl	0x1(通常転送)

16.4.4 マスタモードでの10ビットアドレス指定

10ビットアドレスは上位2ビットと下位8ビットに分け、第1アドレスと第2アドレスを構成します。

7ビットアドレス



10ビットアドレス

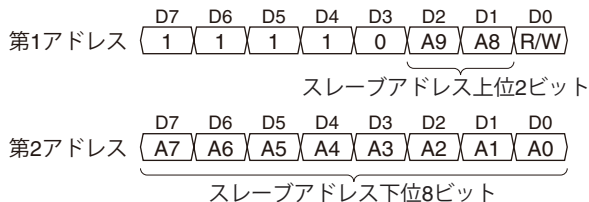


図16.4.4.1 10ビットアドレスの構成

マスタモード時に、10ビットアドレスモードで送受信を開始する手順を以下に示します(NACK受信時やデータ送受信の制御手順は、前述の7ビットモードの説明を参照してください)。また、動作例を図16.4.4.2に示します。

10ビットアドレスモードの送信開始手順

1. I2C_nCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I2C_nINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2C_nINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2C_nINTF.STARTIFビットは1を書き込んでクリアする。
3. I2C_nTXD.TXD[7:1]ビットに第1アドレス、I2C_nTXD.TXD0ビットにデータ転送方向がWRITEであることを示す0を書き込む。
4. 送信バッファエンプティ割り込み(I2C_nINTF.TBEIFビット = 1)を待つ。
5. I2C_nTXD.TXD[7:0]ビットに第2アドレスを書き込む。
6. 送信バッファエンプティ割り込み(I2C_nINTF.TBEIFビット = 1)を待つ。
7. データ送信を行う。

10ビットアドレスモードの受信開始手順

- 1~6. 上記送信開始手順と同じ。
7. I2C_nCTL.TXSTARTビットを1に設定し、リピーテッドスタートコンディションを生成する。
8. 送信バッファエンプティ割り込み(I2C_nINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2C_nINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2C_nINTF.STARTIFビットは1を書き込んでクリアする。
9. I2C_nTXD.TXD[7:1]ビットに第1アドレス、I2C_nTXD.TXD0ビットにデータ転送方向がREADであることを示す1を書き込む。
10. データ受信を行う。

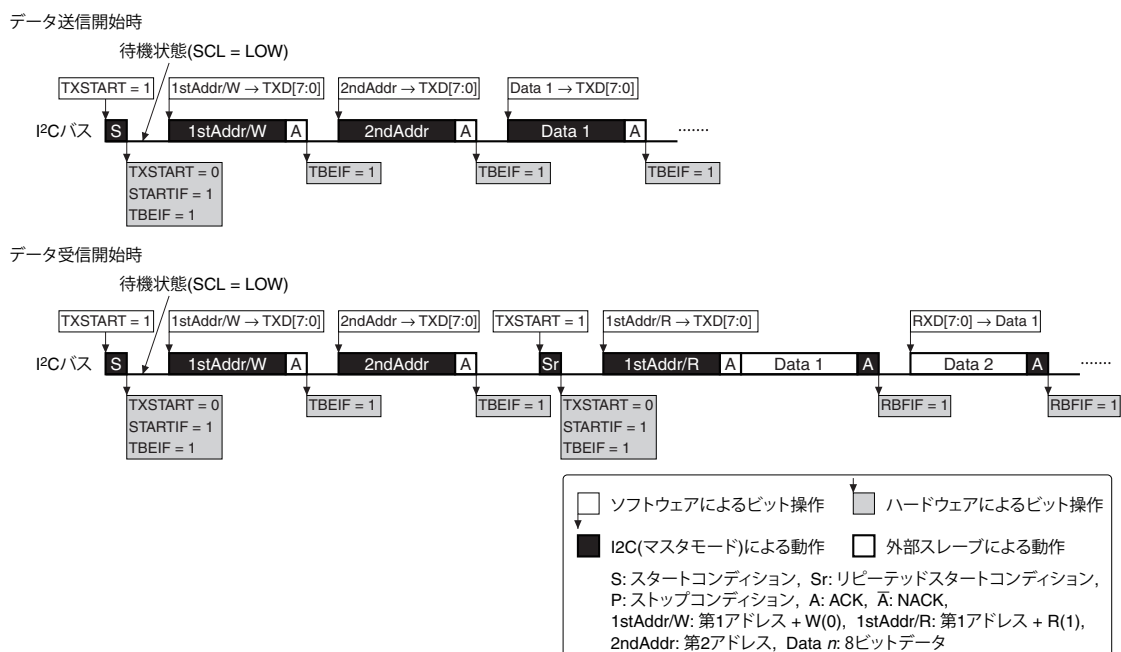


図16.4.4.2 10ビットアドレスモードのデータ送受信開始動作例(マスターモード)

16.4.5 スレーブモードのデータ送信

スレーブモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図16.4.5.1と図16.4.5.2に示します。

送信手順

1. スタートコンディション割り込み(I2C_nINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2C_nINTF.STARTIFビットは1を書き込んでクリアする。
2. I2C_nINTF.TRビット = 1(送信モード)を確認する。
(I2C_nINTF.TRビット = 0の場合は、受信手順を開始する。)
3. I2C_nTXDレジスタに送信データを書き込む。
4. 送信バッファエンpty割り込み(I2C_nINTF.TBEIFビット = 1)、NACK受信割り込み(I2C_nINTF.NACKIFビット = 1)、またはストップコンディション割り込み(I2C_nINTF.STOPIFビット = 1)を待つ。
 - i. 送信バッファエンpty割り込みが発生した場合は3へ
 - ii. NACK受信割り込み発生時は、I2C_nINTF.NACKIFビットをクリアした後、5へ
 - iii. ストップコンディション割り込み発生時は、6へ
5. ストップコンディション割り込み(I2C_nINTF.STOPIFビット = 1)またはスタートコンディション割り込み(I2C_nINTF.STARTIFビット = 1)を待つ。
 - i. ストップコンディション割り込み発生時は、6へ
 - ii. スタートコンディション割り込み発生時は、2へ
6. I2C_nINTF.STOPIFビットをクリアし、送信動作を終了する。

送信動作

スタートコンディションの検出とスレーブアドレスのチェック

I2C_nCTL.MODENビット = 1、I2C_nCTL.MSTビット = 0(スレーブモード)の場合、I2C Ch.*n*はI²Cバスをモニタし、スタートコンディションを検出すると、続いてマスタから送られるスレーブアドレスの受信動作を開始します。受信したアドレスが、I2C_nOADR.OADR[6:0]ビット(I2C_nMOD.OADR10ビット = 0(7ビットアドレスモード)の場合)、またはI2C_nOADR.OADR[9:0]ビット(I2C_nMOD.OADR10ビット = 1(10ビットアドレスモード)の場合)に設定した自己アドレスに一致すると、I2C_nINTF.STARTIFビット、I2C_nINTF.BSYビットが1にセットされます。また、I2C Ch.*n*は受信したアドレス内のR/Wビットの値をI2C_nINTF.TRビットにセットし、これが1だった場合はI2C_nINTF.TBEIFビットも1にセットしてデータ送信動作を開始します。

第1バイトのデータ送信

有効なスレーブアドレスを受信後、I2C Ch.*n*はI2C_nTXDレジスタへの書き込みが行われるまで、SCLをLOWに固定して待機します。これにより、I²Cバスがクロックストレッチ状態となり、外部マスタも待機状態になります。送信データがI2C_nTXDレジスタに書き込まれると、I2C Ch.*n*はI2C_nINTF.TBEIFビットをクリアし、マスタに対してACKを送信します。I2C_nTXDレジスタに書き込んだ送信データは自動的にシフトレジスタに転送され、I2C_nINTF.TBEIFビットが1にセットされます。シフトレジスタのデータビットは順次I²Cバスに出力されます。

2バイト目以降のデータ送信

I2C_nINTF.TBEIFビット = 1であれば、送信動作中であっても続く送信データの書き込みが可能です。シフトレジスタからの送信データ出力が完了したときにI2C_nINTF.TBEIF = 1であった場合は、I2C_nTXDレジスタに送信データが書き込まれるまで、I2C Ch.*n*はSCLをLow(クロックストレッチ状態)に固定します。

I2C_nTXDレジスタに次の送信データが書き込まれている場合あるいは書き込まれると、外部マスタからACKを受信した時点で、次の8ビットデータ送信を行います。このときに、I2C_nINTF.BYTEENDIFビットが1にセットされます。NACKを受信したときは、I2C_nINTF.NACKIFビットがセットされ、データの送信は行われません。

ストップコンディション/リピーテッドスタートコンディションの検出

I2C_nCTL.MSTビット = 0(スレーブモード)、I2C_nINTF.BSYビット = 1の場合、I2C Ch.*n*はI²Cバスをモニタしており、ストップコンディションを検出するとデータ送信動作を終了します。この時点で、I2C_nINTF.BSYビットは0にクリアされ、I2C_nINTF.STOPIFビットが1にセットされます。リピーテッドスタートコンディションを検出した場合も、I2C Ch.*n*はI2C_nINTF.BSYビットをクリアしてデータ送信動作を終了します。この場合は、I2C_nINTF.STARTIFビットが1にセットされます。

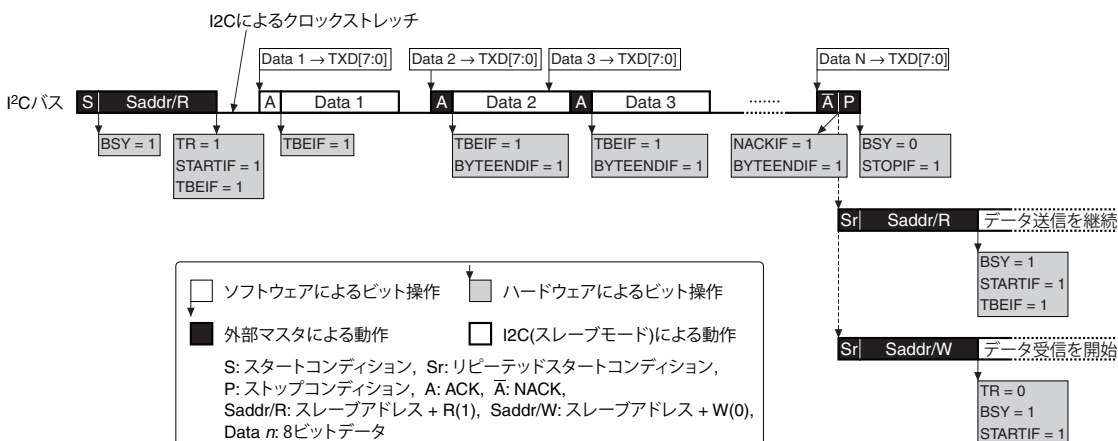


図16.4.5.1 スレーブモードのデータ送信動作例

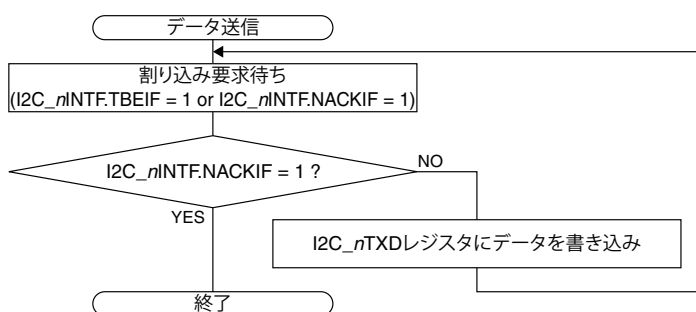


図16.4.5.2 スレーブモードのデータ送信フローチャート

16.4.6 スレーブモードのデータ受信

スレーブモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図16.4.6.1と図16.4.6.2に示します。

受信手順

1. 受信するデータの長さが1バイトの場合はI2C_nCTL.TXNACKビットに1を書き込む。
2. スタートコンディション割り込み(I2C_nINTF.STARTIFビット = 1)を待つ。
3. I2C_nINTF.TRビット = 0(受信モード)を確認する。
(I2C_nINTF.TRビット = 1の場合は、送信手順を開始する。)
4. I2C_nINTF.STARTIFビットに1を書き込んでクリアする。
5. 1バイト受信完了時の受信バッファフル割り込み(I2C_nINTF.RBFIFビット = 1)、または送受信完了割り込み(I2C_nINTF.BYTEENDIFビット = 1)を待つ。
割り込み発生後、I2C_nINTF.BYTEENDIFビットは1を書き込んでクリアする。
6. 次に受信するデータが最終データの場合は、I2C_nCTL.TXNACKビットに1を書き込み、その受信後にNACKが送信されるようにする。
7. I2C_nRXDレジスタから受信データを読み出す。
8. 受信データ終了まで、5~7を繰り返す。
9. ストップコンディション割り込み(I2C_nINTF.STOPIFビット = 1)またはスタートコンディション割り込み(I2C_nINTF.STARTIFビット = 1)を待つ。
 - i. ストップコンディション割り込み発生時は、10へ
 - ii. スタートコンディション割り込み発生時は、3へ
10. I2C_nINTF.STOPIFビットをクリアし、受信動作を終了する。

受信動作

スタートコンディションの検出とスレーブアドレスのチェック

スレーブモードのデータ送信の場合と同様です。

ただし、I2C_nINTF.TRビットは0にクリアされ、I2C_nINTF.TBEIFビットはセットされません。

また、I2C_nMOD.GCENを1(ジェネラルコールアドレス応答イネーブル)に設定してある場合は、ジェネラルコールアドレスを受信した場合も受信動作を開始します。

SLEEPモードでもスレーブモードの動作は可能で、アドレス一致検出時の割り込みによってCPUをウェイクアップさせることができます。

第1バイトのデータ受信

有効なスレーブアドレスを受信後、I2C Ch.nはACKを送信し、I2C_nINTF.STARTIFビットに1が書き込まれるまで、SCLをLOWに固定します。これにより、PCバスがクロックストレッチ状態となり、外部マスタも待機状態になります。I2C_nINTF.STARTIFビットに1が書き込まれるとSCLが解放され、外部マスタから送られるデータをシフトレジスタに受信します。8ビットのデータを受信し終わると、I2C Ch.nはACKを送信し、SCLをLOWに固定します。シフトレジスタの受信データは受信データバッファに転送され、I2C_nINTF.RBFIFビットおよびI2C_nINTF.BYTEENDIFビットが1にセットされます。これ以降、I2C_nRXDレジスタから受信データを読み出すことができます。

2バイト目以降のデータ受信

I2C_nINTF.RBFIFビットが1にセットされた後、I2C_nRXDレジスタから受信データを読み出すと、I2C_nINTF.RBFIFビットが0にクリアされるとともに、SCLが解放され、外部マスタから送られる次のデータを受信します。8ビットのデータを受信し終わると、I2C Ch.nはACKを送信し、SCLをLOWに固定します。シフトレジスタの受信データは受信データバッファに転送され、I2C_nINTF.RBFIFビットおよびI2C_nINTF.BYTEENDIFビットが1にセットされます。

受信を終了させるときなど、8ビットデータの受信終了時にNACKを返すには、その受信が終了する前にI2C_nCTL.TXNACKビットに1を書き込んでおきます。NACKを送信すると、I2C_nCTL.TXNACKビットは自動的に0にクリアされます。

ストップコンディション/リピーテッドスタートコンディションの検出

スレーブモードのデータ送信の場合と同様です。

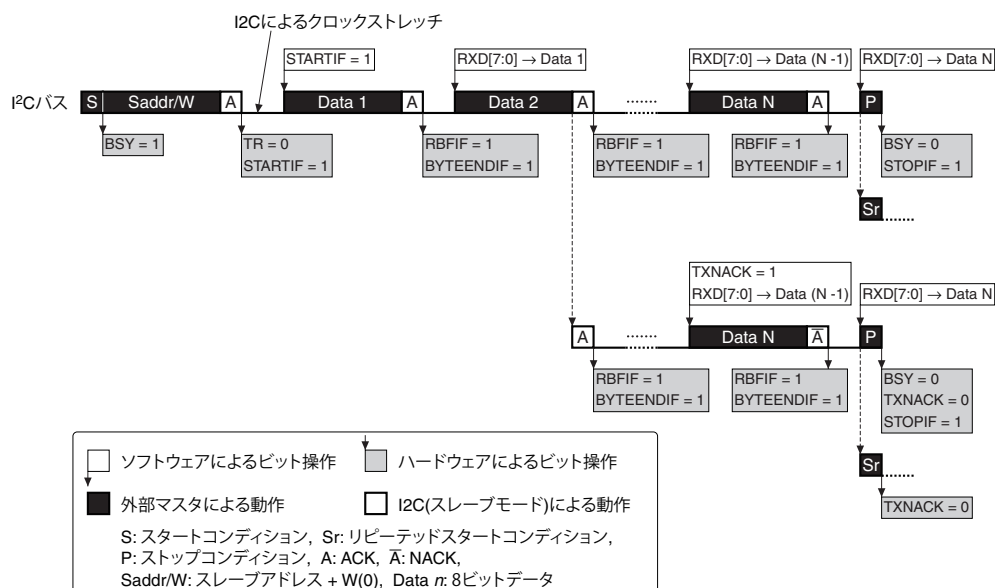


図16.4.6.1 スレーブモードのデータ受信動作例

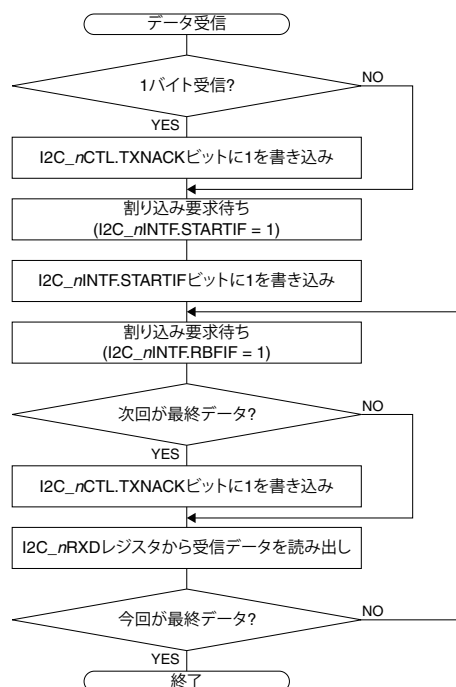


図16.4.6.2 スレーブモードのデータ受信フローチャート

16.4.7 10ビットアドレスモードのスレーブ動作

I²C_nCTL.MSTビット = 0、かつI²C_nMOD.OADR10ビット = 1のときは、I²C Ch.nは10ビットアドレスモードのスレーブとして動作します。このときのアドレス受信動作を以下に示します。また、動作例を図16.4.7.1に示します。10ビットアドレスの構成は、図16.4.4.1を参照してください。

10ビットアドレスの受信動作

スタートコンディションの後、マスタからスレーブアドレスの上位2ビットとR/Wビット(= 0)を含む第1アドレスが送信されます。このアドレスの上位2ビットとI²C_nOADR.OADR[9:8]ビットが一致した場合、I²C Ch.nはACKを返します。このときは、上位2ビットが一致した他のスレーブからもACKが送信されます。

次に、マスタから第2アドレスとしてスレーブアドレスの下位8ビットが送信されます。このアドレスとI²C_nOADR.OADR[7:0]ビットが一致した場合、I²C Ch.nはACKを返した後、データの受信動作を開始します。

マスタがデータ受信(スレーブからのデータ送信)を要求する場合は、この後さらにマスタからリピーテッドスタートコンディションとR/Wビットを1にした第1アドレスが送信されます。すると、I²C Ch.nは動作をデータ送信に切り換えます。

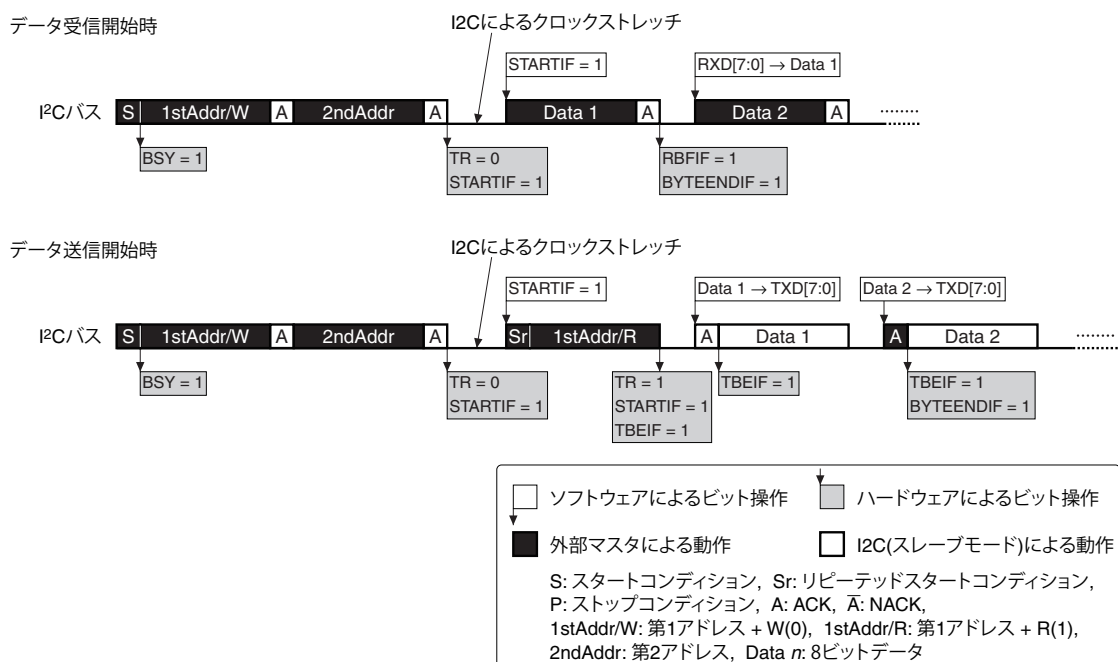


図16.4.7.1 10ビットアドレスモードのデータ送受信開始動作例(スレーブモード)

16.4.8 自動バスクリア動作

マスタモードで動作するI²C Ch.nは、スタートコンディションを生成する直前にSDAの状態をチェックします。このとき、SDAがLOWレベルだった場合は、SDAを解放したまま最大10発のクロックをSCLn端子から送出する、バスクリア動作を自動的に実行します。

9発以内のクロックの送信によってSDAがLOWレベルからHIGHレベルとなり、スタートコンディションを発行できたときは、通常の動作に移ります。I²C Ch.nがクロックを9発送出してもSDAがLOWのままだった場合は、自動バスクリアが失敗したものと判断して、I²C Ch.nはI²C_nCTL.TXSTARTビットを0にクリアし、I²C_nINTF.ERRIFビットとI²C_nINTF.STARTIFビットを1にセットします。

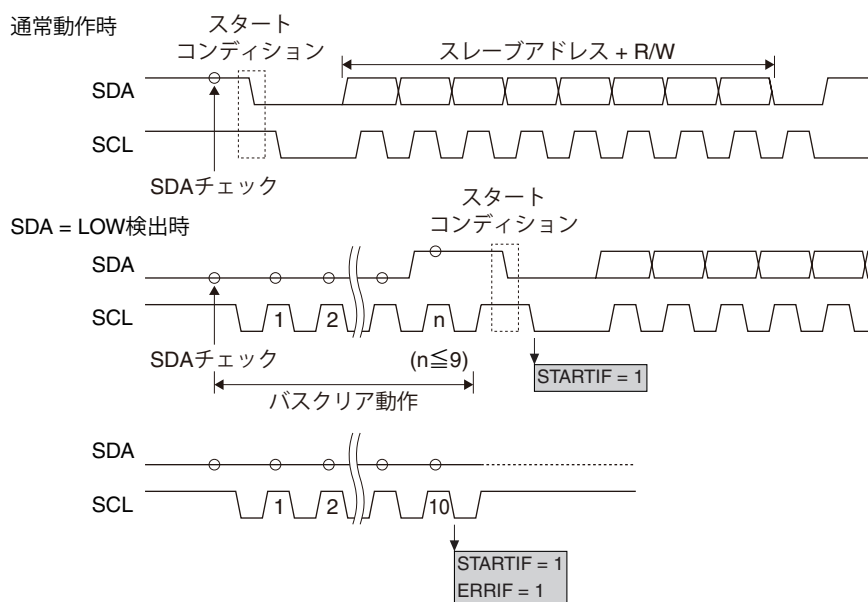


図16.4.8.1 自動バスクリア動作

16.4.9 エラー検出

I2Cには、ハードウェアによるエラー検出機能が搭載されています。

また、I2C_nINTF.SDALOWビットとI2C_nINTF.SCLLOWビットをソフトウェアで監視することにより、SDAやSCLがLOWに固定されているかどうかを調べることができます。意図しないSDAやSCLのLOWへの固定が検出された場合、I2C Ch.nをソフトウェアリセットするなどの対応を取ることができます。

ハードウェアによるエラー検出と通知方法は、以下のとおりです。

表16.4.9.1 ハードウェアによるエラー検出機能

No.	エラー検出期間/タイミング	監視するI ² Cバスラインとエラー発生条件	通知方法
1	アドレス送出、データ送出、またはNACK送出で、I2C Ch.nがSDAをHIGHに制御している期間	SDA = Low	I2C_nINTF.ERRIF = 1
2	【マスタモードのみ】I2C_nINTF.BSYビット = 0の期間中にI2C_nCTL.TXSTARTビットに1を書き込んだとき	SCL = Low	I2C_nINTF.ERRIF = 1 I2C_nCTL.TXSTART = 0 I2C_nINTF.STARTIF = 1
3	【マスタモードのみ】I2C_nINTF.BSYビット = 0の期間中にI2C_nCTL.TXSTOPビットに1を書き込んだとき	SCL = Low	I2C_nINTF.ERRIF = 1 I2C_nCTL.TXSTOP = 0 I2C_nINTF.STOPIF = 1
4	【マスタモードのみ】I2C_nINTF.BSYビット = 0の期間中にI2C_nCTL.TXSTARTビットに1を書き込んだとき(“自動バスクリア動作”を参照)	SDA 自動バスクリアの失敗	I2C_nINTF.ERRIF = 1 I2C_nCTL.TXSTART = 0 I2C_nINTF.STARTIF = 1

16.5 割り込み

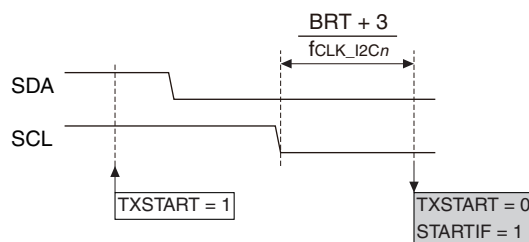
I2Cには、表16.5.1に示す割り込みを発生させる機能があります。

表16.5.1 I2Cの割り込み機能

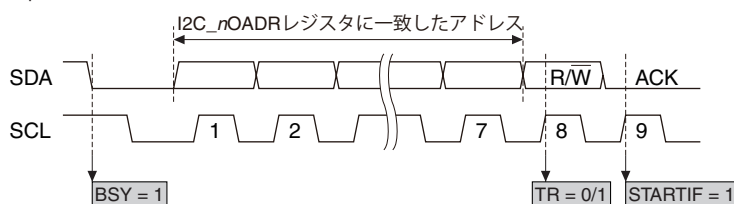
割り込み	割り込みフラグ	セット	クリア
送受信完了	I2C_nINTF.BYTEENDIF	8ビットのデータ送受信と、それに続くACK/NACKの送受信が完了したとき	1書き込み ソフトリセット
ジェネラルコールアドレス受信	I2C_nINTF.GCIF	スレーブモードのみ: ジェネラルコールアドレスを受信したとき	1書き込み ソフトリセット
NACK受信	I2C_nINTF.NACKIF	NACKを受信したとき	1書き込み ソフトリセット
ストップコンディション	I2C_nINTF.STOPIF	マスタモード: ストップコンディションの送出を完了し、ストップコンディションとスタートコンディションの間のバスフリー時間 (t _{BUF}) が経過したとき スレーブモード: I2C Ch.nがスレーブとして選択されている場合にストップコンディションを検出したとき	1書き込み ソフトリセット
スタートコンディション	I2C_nINTF.STARTIF	マスタモード: スタートコンディションの送出を完了したとき スレーブモード: アドレス一致が検出されたとき (ジェネラルコールを含む)	1書き込み ソフトリセット
エラー検出	I2C_nINTF.ERRIF	“エラー検出”を参照	1書き込み ソフトリセット
受信バッファフル	I2C_nINTF.RBFIF	受信データバッファに受信データがロードされたとき	受信データ読み出し (受信データバッファを空にする) ソフトリセット
送信バッファエンpty	I2C_nINTF.TBEIF	マスタモード: スタートコンディションの送出を完了したとき、またはスレーブからACKを受信したとき スレーブモード: 送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき、またはR/Wビット = 1でアドレス一致が検出されたとき	送信データ書き込み

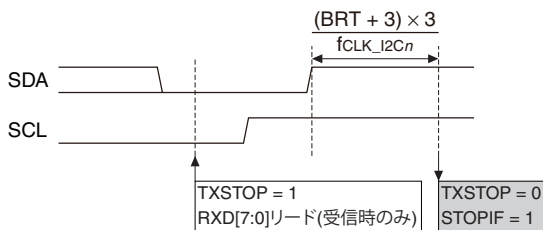
割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

(1) スタートコンディション割り込み マスタモード

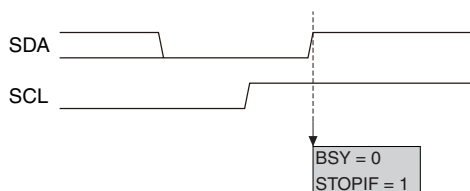


スレーブモード



(2) ストップコンディション割り込み
マスタモード

スレーブモード



(fCLK_I2Cn: I2Cの動作クロック周波数 [Hz], BRT: I2C_nBR.BRT[6:0]ビットの設定値(1~127))

図16.5.1 スタート/ストップコンディション割り込みタイミング

16.6 DMA転送要求

I2Cには、表16.6.1に示す要因でDMA転送要求を発生させる機能があります。

表16.6.1 I2CのDMA転送要求要因

DMA転送要求要因	DMA転送要求起動フラグ	セット	クリア
受信バッファフル	受信バッファフルフラグ (I2C_nINTF.RBFIF)	受信データバッファに受信データがロードされたとき	受信データ読み出し (受信データバッファを空にする) ソフトリセット
送信バッファエンプティ	送信バッファエンプティフラグ (I2C_nINTF.TBEIF)	マスタモード: スタートコンディションの送出を完了したとき、またはスレーブからACKを受信したとき スレーブモード: 送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき、またはR/Wビット = 1でアドレス一致が検出されたとき	送信データ書き込み

上記のDMA転送要求起動フラグには、それぞれに対応するDMA転送要求イネーブルビットがDMAチャネル数分用意されています。それらのビットによってDMA転送をイネーブルにしたDMA転送要求起動フラグのセット時のみ、DMAコントローラの該当チャネルにDMA転送要求が出力されます。DMA転送要求起動フラグは割り込みフラグを兼ねているため、DMA転送要求と割り込みの両方を同時にイネーブルにはできません。DMA転送終了後は、意図しないDMA転送要求が出力されることのないように、DMA転送をディスエーブルにしてください。DMA転送の制御については、“DMAコントローラ”の章を参照してください。

16.7 制御レジスタ

I2C Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15–9 Reserved**Bit 8 DBRUN**

このビットは、デバッグ時にI2C動作クロックを供給するか否か設定します。

1 (R/W): デバッグ時にクロックを供給

0 (R/W): デバッグ時はクロック供給を停止

Bits 7–6 Reserved**Bits 5–4 CLKDIV[1:0]**

これらのビットは、I2C動作クロックの分周比を選択します。

Bits 3–2 Reserved**Bits 1–0 CLKSRC[1:0]**

これらのビットは、I2Cのクロックソースを選択します。

表16.7.1 クロックソースと分周比の設定

I2C_nCLK. CLKDIV[1:0]ビット	I2C_nCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: I2C_nCLKレジスタは、I2C_nCTL.MODENビット = 0のときのみ設定変更が可能です。

I2C Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nMOD	15–8	–	0x00	–	R	–
	7–3	–	0x00	–	R	
	2	OADR10	0	H0	R/W	
	1	GCEN	0	H0	R/W	
	0	–	0	–	R	

Bits 15–3 Reserved**Bit 2 OADR10**

このビットは、スレーブモード時の自己アドレスのビット数を設定します。

1 (R/W): 10ビットアドレス

0 (R/W): 7ビットアドレス

Bit 1 GCEN

このビットは、スレーブモード時に、マスタからのジェネラルコールに応答するか否かを設定します。

1 (R/W): ジェネラルコールに応答する

0 (R/W): ジェネラルコールに応答しない

Bit 0 Reserved

注: I2C_nMODレジスタは、I2C_nCTL.MODENビット = 0のときのみ設定変更が可能です。

I2C Ch.n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nBR	15–8	–	0x00	–	R	–
	7	–	0	–	R	
	6–0	BRT[6:0]	0x7f	H0	R/W	

Bits 15–7 Reserved

Bits 6–0 BRT[6:0]

これらのビットは、マスタモードにおけるI2C Ch.*n*の転送レートを設定します。詳細は“ボーレートジェネレータ”を参照してください。

注: I2C_nBRレジスタは、I2C_nCTL.MODENビット = 0のときのみ設定変更が可能です。

- I2C_nBRレジスタを0に設定することを禁止します。

I2C Ch.*n* Own Address Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nOADR	15–10	–	0x00	–	R	–
	9–0	OADR[9:0]	0x000	H0	R/W	

Bits 15–10 Reserved**Bits 9–0 OADR[9:0]**

これらのビットは、スレーブモード時の自己アドレスを設定します。

10ビットアドレスモード(I2C_nMOD.OADR10ビット = 1)のときは、I2C_nOADR.OADR[9:0]ビットが有効です。7ビットアドレスモード(I2C_nMOD.OADR10ビット = 0)のときは、I2C_nOADR.OADR[6:0]ビットが有効です。

注: I2C_nOADRレジスタは、I2C_nCTL.MODENビット = 0のときのみ設定変更が可能です。

I2C Ch.*n* Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nCTL	15–8	–	0x00	–	R	–
	7–6	–	0x0	–	R	
	5	MST	0	H0	R/W	
	4	TXNACK	0	H0/S0	R/W	
	3	TXSTOP	0	H0/S0	R/W	
	2	TXSTART	0	H0/S0	R/W	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–6 Reserved**Bit 5 MST**

このビットは、I2C Ch.*n*の動作モードを選択します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

Bit 4 TXNACK

このビットは、次の応答時にNACKの送出を要求します。

1 (W): NACKによる応答を要求

0 (W): 無効

1 (R): NACK送出待機中/送出中

0 (R): NACK送出完了

NACKを送出後、このビットは自動的にクリアされます。

Bit 3 TXSTOP

このビットは、マスタモード時にストップコンディションの生成を要求します。スレーブモードでは無効です。

1 (W): ストップコンディションの生成を要求

0 (W): 無効

1 (R): ストップコンディション送出待機中/送出中

0 (R): ストップコンディション送出完了

ストップコンディションを送出し、バスフリー時間(I²C規格におけるt_{BUF})時間が経過した後、このビットは自動的にクリアされます。

Bit 2 TXSTART

このビットは、マスタモード時にスタートコンディションの生成を要求します。スレーブモードでは無効です。

1 (W): スタートコンディションの生成を要求

0 (W): 無効

1 (R): スタートコンディション送出待機中/送出中

0 (R): スタートコンディション送出完了

スタートコンディションの送出が完了すると、このビットは自動的にクリアされます。

Bit 1 SFTRST

このビットは、I2Cをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

I2Cの送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、I2Cの動作をイネーブルにします。

1 (R/W): I2C動作イネーブル(動作クロックが供給されます。)

0 (R/W): I2C動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にI2C_nCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、I2C_nCTL.MODENビットを再度1に設定する場合は、必ずI2C_nCTL.SFTRSTビットにも1を書き込んでください。

I2C Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nTXD	15-8	-	0x00	-	R	-
	7-0	TXD[7:0]	0x00	H0	R/W	

Bits 15-8 Reserved**Bits 7-0 TXD[7:0]**

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、I2C_nINTF.TBEIFビット = 1になっていることを確認してください。

注: I2C_nINTF.TBEIFビット = 0 のときは、I2C_nTXDレジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

I2C Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nRXD	15-8	-	0x00	-	R	-
	7-0	RXD[7:0]	0x00	H0	R	

Bits 15-8 Reserved**Bits 7-0 RXD[7:0]**

これらのビットを介して、受信データバッファが読み出せます。

I2C Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nINTF	15–13	–	0x0	–	R	–
	12	SDALOW	0	H0	R	
	11	SCLLOW	0	H0	R	
	10	BSY	0	H0/S0	R	
	9	TR	0	H0	R	
	8	–	0	–	R	
	7	BYTEENDIF	0	H0/S0	R/W	Cleared by writing 1.
	6	GCIF	0	H0/S0	R/W	
	5	NACKIF	0	H0/S0	R/W	
	4	STOPIF	0	H0/S0	R/W	
	3	STARTIF	0	H0/S0	R/W	
	2	ERRIF	0	H0/S0	R/W	
	1	RBFIF	0	H0/S0	R	Cleared by reading the I2C_nRXD register.
0	TBEIF	0	H0/S0	R	Cleared by writing to the I2C_nTXD register.	

Bits 15–13 Reserved

Bit 12 SDALOW

このビットは、SDAがLOWレベルであることを示します。

1 (R): SDA = LOWレベル

0 (R): SDA = HIGHレベル

Bit 11 SCLLOW

このビットは、SCLがLOWレベルであることを示します。

1 (R): SCL = LOWレベル

0 (R): SCL = HIGHレベル

Bit 10 BSY

このビットは、I²Cバスがビジー状態であることを示します。

1 (R): I²Cバスビジー

0 (R): I²Cバスフリー

Bit 9 TR

このビットは、I2Cが送信モードか否かを示します。

1 (R): 送信モード

0 (R): 受信モード

Bit 8 Reserved

Bit 7 BYTEENDIF

Bit 6 GCIF

Bit 5 NACKIF

Bit 4 STOPIF

Bit 3 STARTIF

Bit 2 ERRIF

Bit 1 RBFIF

Bit 0 TBEIF

これらのビットは、I2C割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

I2C_nINTF.BYTEENDIFビット:	送受信完了割り込み
I2C_nINTF.GCIFビット:	ジェネラルコールアドレス受信割り込み
I2C_nINTF.NACKIFビット:	NACK受信割り込み
I2C_nINTF.STOPIFビット:	ストップコンディション割り込み
I2C_nINTF.STARTIFビット:	スタートコンディション割り込み
I2C_nINTF.ERRIFビット:	エラー検出割り込み
I2C_nINTF.RBFIFビット:	受信バッファフル割り込み
I2C_nINTF.TBEIFビット:	送信バッファエンプティ割り込み

I2C Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nINTE	15-8	–	0x00	–	R	–
	7	BYTEENDIE	0	H0	R/W	
	6	GCIE	0	H0	R/W	
	5	NACKIE	0	H0	R/W	
	4	STOPIE	0	H0	R/W	
	3	STARTIE	0	H0	R/W	
	2	ERRIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

Bits 15–8 Reserved

Bit 7 **BYTEENDIE**

Bit 6 **GCIE**

Bit 5 **NACKIE**

Bit 4 **STOPIE**

Bit 3 **STARTIE**

Bit 2 **ERRIE**

Bit 1 **RBFIE**

Bit 0 **TBEIE**

これらのビットは、I2Cの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

I2C_nINTE.BYTEENDIEビット:	送受信完了割り込み
I2C_nINTE.GCIEビット:	ジェネラルコールアドレス受信割り込み
I2C_nINTE.NACKIEビット:	NACK受信割り込み
I2C_nINTE.STOPIEビット:	ストップコンディション割り込み
I2C_nINTE.STARTIEビット:	スタートコンディション割り込み
I2C_nINTE.ERRIEビット:	エラー検出割り込み
I2C_nINTE.RBFIEビット:	受信バッファフル割り込み
I2C_nINTE.TBEIEビット:	送信バッファエンプティ割り込み

I2C Ch.n Transmit Buffer Empty DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nTBEDMAEN	15-0	TBEDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 TBEDMAEN[15:0]

これらのビットは、送信バッファエンプティ発生時における、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

I2C Ch.n Receive Buffer Full DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C_nRBFDMAEN	15-0	RBFDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 RBFDMAEN[15:0]

これらのビットは、受信バッファフル発生時における、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

17 16ビットPWMタイマ(T16B)

17.1 概要

T16Bは、コンパレータ/キャプチャ機能を持つ16ビットPWMタイマです。主な機能と特長を以下に示します。

- カウンタブロック
 - 16ビットアップ/ダウンカウンタ
 - クロックソースと分周比の選択により、チャンネル別にカウントクロックを設定可能
 - アップカウント、ダウンカウント、またはアップ/ダウンカウント動作と、ワンショット動作(設定した1周期でカウント停止)またはリピート動作(ソフトウェアで停止するまで連続カウント)を組み合わせてカウント動作モードを設定可能
 - 外部クロックを使用するイベントカウンタ機能に対応
- コンパレータ/キャプチャブロック
 - 1チャンネルあたり最大6系統のコンパレータ/キャプチャ回路を内蔵可能
 - コンパレータはカウンタ値とソフトウェアで指定した値を比較し、割り込みやDMA要求信号、PWM波形を生成(インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタとして使用可能)
 - キャプチャ回路は外部/ソフトウェアトリガ信号によってカウンタ値をキャプチャし、割り込みやDMA要求を発生(外部イベント期間/周期測定に使用可能)

図17.1.1にT16Bの構成を示します。

表17.1.1 S1C31D01のT16Bチャンネル構成

項目	S1C31D01
チャンネル数	2チャンネル (Ch.0とCh.1)
イベントカウンタ機能	Ch.0: EXCL00, EXCL01端子入力 Ch.1: EXCL10, EXCL11端子入力
チャンネル内コンパレータ/ キャプチャ回路数	6系統(0~5)
タイマ生成信号出力	Ch.0: TOUT00~TOUT05端子出力(6系統) Ch.1: TOUT10~TOUT15端子出力(6系統)
キャプチャ信号入力	Ch.0: CAP00~CAP05端子入力(6系統) Ch.1: CAP10~CAP15端子入力(6系統)

注: 本章では、チャンネル番号を n 、入出力端子番号およびチャンネル内のコンパレータ/キャプチャ回路番号を m と記述します。

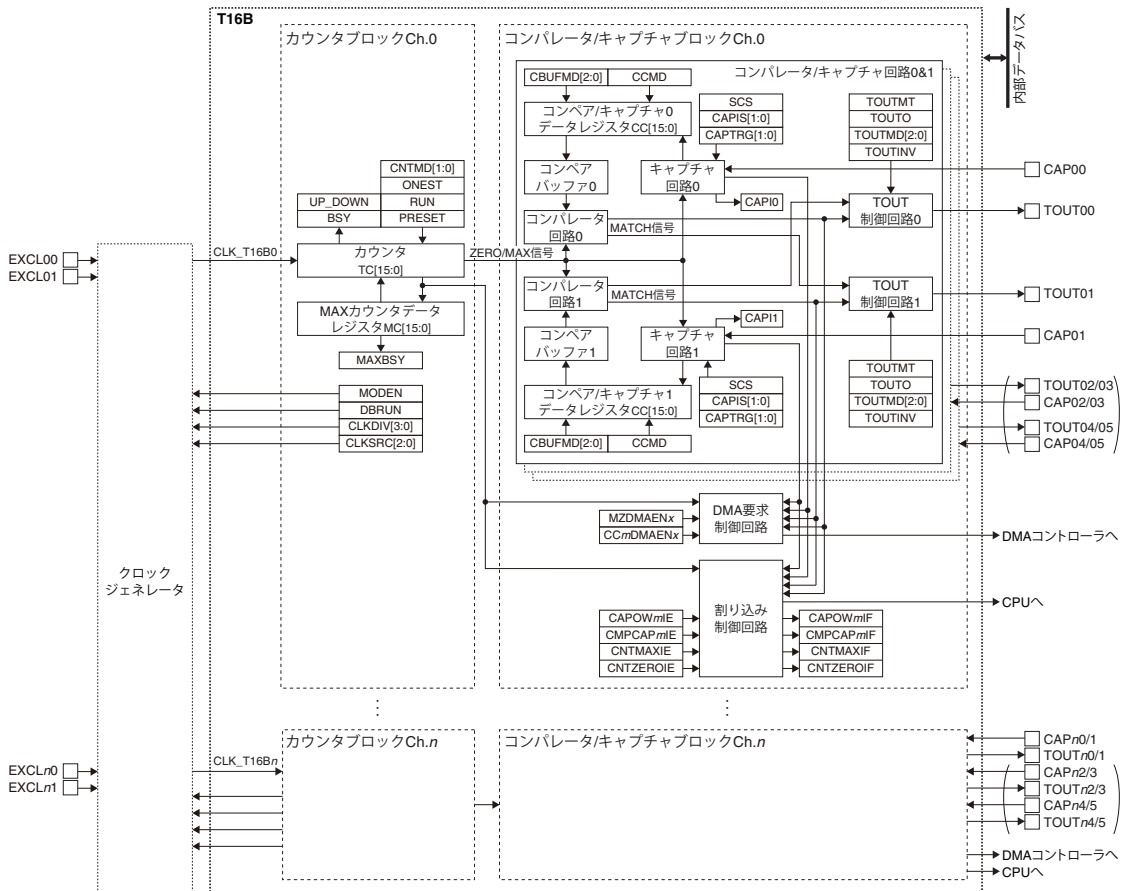


図17.1.1 T16Bの構成

17.2 入出力端子

表17.2.1にT16Bの端子一覧を示します。

表17.2.1 T16B端子一覧

端子名	I/O*	イニシャル状態*	機能
EXCLnm	I	I (Hi-Z)	外部クロック入力
TOUTnm/CAPnm	O or I	O (L)	TOUT信号出力(コンパレータモード時)またはキャプチャトリガ信号入力(キャプチャモード時)

* 端子機能をT16Bに切り換えた時点の状態

これらのT16B端子と他の機能がポートを共有している場合、T16Bを使用する前にT16Bの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

17.3 クロック設定

17.3.1 T16Bの動作クロック

T16B Ch.*n*を使用する場合、クロックジェネレータからT16B Ch.*n*動作クロックCLK_T16B*n*をT16B Ch.*n*に供給する必要があります。

CLK_T16B*n*の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
 - 外部クロックを使用する場合は、EXCL*nm*端子機能を選択する(“入出力ポート”の章を参照)。
2. T16B_*n*CLKレジスタの以下のビットを設定する。
 - T16B_*n*CLK.CLKSRC[2:0]ビット (クロックソースの選択)
 - T16B_*n*CLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

17.3.2 SLEEPモード時のクロック供給

SLEEPモード時にT16Bを使用する場合は、T16B動作クロックCLK_T16B*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK_T16B*n*を供給し続ける必要があります。

SLEEPモード時に、CLK_T16B*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットが1の場合は、CLK_T16B*n*のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタやカウンタの内容を保持したまま、T16Bが停止します。その後通常モードに戻ると、CLK_T16B*n*が供給され、T16Bの動作が再開します。

17.3.3 デバッグ時のクロック供給

デバッグ時のCLK_T16B*n*の供給はT16B_*n*CLK.DBRUNビットで制御します。

T16B_*n*CLK.DBRUNビット = 0の場合、デバッグ状態に移行するとT16B Ch.*n*へのCLK_T16B*n*の供給が停止します。その後通常動作に戻ると、CLK_T16B*n*の供給が再開します。CLK_T16B*n*の供給が停止するとT16B Ch.*n*の動作は停止しますが、カウンタやレジスタはデバッグ状態に移行する前の状態に保持されます。

T16B_*n*CLK.DBRUNビット = 1の場合、デバッグ時もCLK_T16B*n*の供給は停止せず、T16B Ch.*n*は動作を継続します。

17.3.4 イベントカウンタクロック

T16B_*n*CLK.CLKSRC[2:0]ビットでクロックソースにEXCL*nm*を選択すると、そのチャンネルはEXCL*nm*端子の入力クロックをカウントするタイマまたはイベントカウンタとして機能します。

カウンタは入力信号の立ち上がりエッジでカウントを行います。クロックソースにEXCL*nm*反転入力を選択することで、オリジナル信号の立ち下がりエッジでカウントさせることもできます。

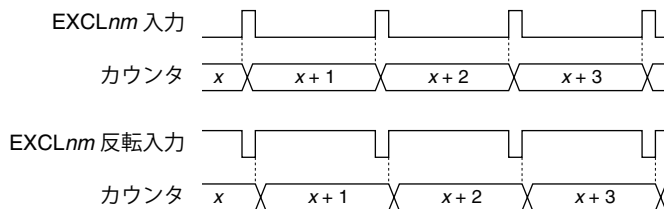


図17.3.4.1 カウントタイミング(カウントアップ動作時)

注: イベントカウンタクロックで動作させる場合、初回のカウントアップ/ダウンまでにダミーのクロックが2クロック必要になります。

17.4 動作

17.4.1 初期設定

T16B Ch.*n*は、以下の手順により初期設定を行い、カウントを開始させます。
インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタとして使用する場合はコンパレータモード時の初期設定を、外部イベント期間/周期測定に使用する場合はキャプチャモード時の初期設定を行ってください。

コンパレータモード時の初期設定

1. T16B Ch.*n*動作クロックを設定する。
2. T16B_nCTL.MODENビットを1に設定する。 (T16B動作イネーブル)
3. T16B_nCCCTL0およびT16B_nCCCTL1レジスタの以下のビットを設定する。
 - T16B_nCCCTLm.CCMDビットを0に設定* (コンパレータモードに設定)
 - T16B_nCCCTLm.CBUFMD[2:0]ビット (コンペアバッファの設定)
 - * コンパレータ/キャプチャ回路は、ペア(回路0&1、2&3、4&5)の一方をキャプチャモードに設定することも可能です。
- TOUT_{nm}出力を使用する場合は以下のビットも設定する。
 - T16B_nCCCTLm.TOUTMTビット (波形生成信号の選択)
 - T16B_nCCCTLm.TOUTMD[2:0]ビット (TOUT信号生成モードを選択)
 - T16B_nCCCTLm.TOUTINVビット (TOUT信号極性の選択)
4. T16B_nMCレジスタを設定する。 (MAXカウンタデータを設定)
5. T16B_nCCR0レジスタ、T16B_nCCR1レジスタを設定する。 (カウンタ比較値を設定)
6. 割り込みを使用する場合は以下のビットを設定する。
 - T16B_nINTFレジスタの割り込みフラグに1を書き込み (割り込みフラグをクリア)
 - T16B_nINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
7. DMA転送を使用する場合は、DMAコントローラを設定すると共に以下のT16B制御ビットを設定する。
 - T16B_nMZDMAEN、T16B_nCCmDMAENレジスタのDMA転送要求イネーブルビットに1を書き込む (DMA転送要求イネーブル)
8. T16B_nCTLレジスタの以下のビットを設定する。
 - T16B_nCTL.CNTMD[1:0]ビット (カウントアップ/ダウン動作の選択)
 - T16B_nCTL.ONESTビット (ワンショット/リピート動作の選択)
 - T16B_nCTL.PRESETビットを1に設定 (カウンタリセット)
 - T16B_nCTL.RUNビットを1に設定 (カウント開始)

キャプチャモード時の初期設定

1. T16B Ch.*n*動作クロックを設定する。
2. T16B_nCTL.MODENビットを1に設定する。 (T16B動作イネーブル)
3. T16B_nCCCTL0およびT16B_nCCCTL1レジスタの以下のビットを設定する。
 - T16B_nCCCTLm.CCMDビットを1に設定* (キャプチャモードに設定)
 - T16B_nCCCTLm.SCSビット (同期/非同期モードの設定)
 - T16B_nCCCTLm.CAPIS[1:0]ビット (トリガ信号の設定)
 - T16B_nCCCTLm.CAPTRG[1:0]ビット (トリガエッジの選択)
 - * コンパレータ/キャプチャ回路は、ペア(回路0&1、2&3、4&5)の一方をコンパレータモードに設定することも可能です。
4. T16B_nMCレジスタを設定する。 (MAXカウンタデータを設定)
5. 割り込みを使用する場合は以下のビットを設定する。
 - T16B_nINTFレジスタの割り込みフラグに1を書き込み (割り込みフラグをクリア)
 - T16B_nINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)

6. DMA転送を使用する場合は、DMAコントローラを設定すると共に以下のT16B制御ビットを設定する。
 - T16B_nMZDMAEN、T16B_nCCmDMAENレジスタのDMA転送要求イネーブルビットに1を書き込む (DMA転送要求イネーブル)
7. T16B_nCTLレジスタの以下のビットを設定する。
 - T16B_nCTL.CNTMD[1:0]ビット (カウントアップ/ダウン動作の選択)
 - T16B_nCTL.ONESTビット (ワンショット/リピート動作の選択)
 - T16B_nCTL.PRESETビットを1に設定 (カウンタリセット)
 - T16B_nCTL.RUNビットを1に設定 (カウント開始)

17.4.2 カウンタブロックの動作

各カウンタブロックチャネルのカウンタは、選択した動作クロック(カウントクロック)をカウントする16ビットアップ/ダウンカウンタです。

カウントモード

T16B_nCTL.CNTMD[1:0]ビットでアップ、ダウン、アップ/ダウンモードを、T16B_nCTL.ONESTビットでリピート、ワンショットモードを選択可能です。カウンタは、この組み合わせにより6種類のカウントモードで動作します。

リピートモードは、ソフトウェアで停止するまでカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合などに選択します。

ワンショットモードは、カウンタが自動的に停止します。パルス幅など、外部イベント間隔を測定する場合や、特定の時間経過を確認するときなど、1度の割り込みで停止させる場合はこのモードを選択します。

アップ、ダウン、アップ/ダウンモードは、カウンタをそれぞれアップカウンタ、ダウンカウンタ、アップ/ダウンカウンタとして動作させます。

MAXカウンタデータレジスタ

MAXカウンタデータレジスタ(T16B_nMC.MC[15:0]ビット)は、カウンタの最大値(以降、MAX値)を設定するために使用します。この設定により、カウント範囲が0x0000~MAX値に制限され、カウントや割り込みの周期が決定します。なお、カウンタがリピートモードに設定されている場合は、動作中でも次の手順でMAX値の書き換えが可能です。

1. T16B_nCTL.MAXBSYビットが0になっていることを確認する。
2. T16B_nMC.MC[15:0]ビットにMAX値を書き込む。

注: MAX値を書き換える場合は、以前設定されたMAX値にカウンタがリセットされてから新たなMAX値を書き込んでください。

カウンタのリセット

カウンタは、T16B_nCTL.PRESETビットを1に設定することによりリセットされます。アップまたはアップ/ダウンモード時は、カウンタが0x0000にクリアされます。ダウンモード時はカウンタがMAX値に設定されます。

また、カウントアップ動作中は、カウンタ値がMAX値を超えた時点で0x0000にクリアされます。

カウント開始

カウントを開始するには、T16B_nCTL.RUNビットを1に設定します。カウントの停止制御は、設定されているカウントモードによって変わります。

カウンタ値のリード

カウンタ値は、T16B_nTC.TC[15:0]ビットから読み出せます。ただし、CLK_T16Bnで動作しているため、CPUで正しく読み出すためには、下記のいずれかの操作が必要です。

- 2回以上読み出して、カウンタ値が一致していることを確認する。
- タイマを停止させてから読み出す。

カウンタステータスの確認

カウンタの動作状態は、T16B_nCS.BSYビットで確認可能です。カウンタが動作中はT16B_nCS.BSYビットが1、停止中は0になります。

また、現在のカウンタ方向がT16B_nCS.UP_DOWNビットで確認可能です。カウンタアップ動作中はT16B_nCS.UP_DOWNビットが1、カウンタダウン動作中は0になります。

リピートアップカウントモード、ワンショットアップカウントモードの動作

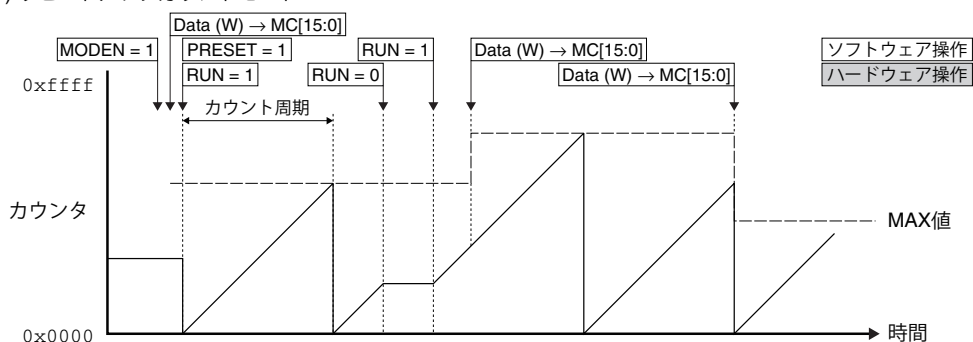
これらのモードでは、カウンタがアップカウンタとして動作し、0x0000(または現在値)からMAX値までカウントを行います。

リピートアップカウントモード時は、カウンタがMAX値を超えると0x0000に戻り、その後もT16B_nCTL.RUNビットを0に設定するまで、カウントを継続します。カウンタが動作中にMAX値を現在のカウンタ値よりも大きな値に変更した場合は、新たなMAX値までカウントアップを続けます。

現在のカウンタ値よりも小さな値に変更した場合は、一旦カウンタ値を0x0000に戻してから新たなMAX値までカウントアップを続けます。

ワンショットアップカウントモード時は、カウンタがMAX値を超えると0x0000に戻り、その時点で自動的に停止します。

(1) リピートアップカウントモード



(2) ワンショットアップカウントモード

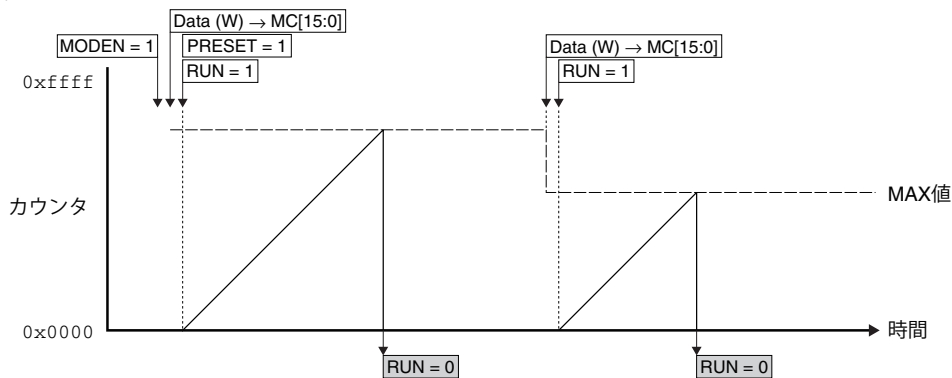


図17.4.2.1 リピートアップカウントモード、ワンショットアップカウントモードの動作

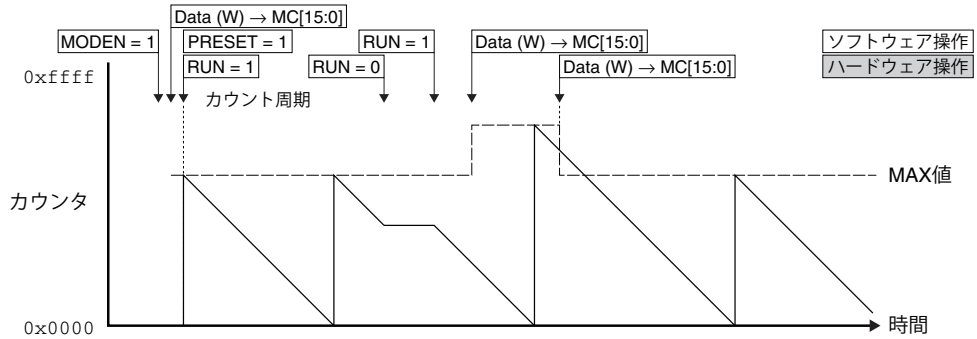
リピートダウンカウントモード、ワンショットダウンカウントモードの動作

これらのモードでは、カウンタがダウンカウンタとして動作し、MAX値(または現在値)から0x0000までカウントを行います。

リピートダウンカウントモード時は、カウンタがアンダーフローするとMAX値に戻り、その後もT16B_nCTL.RUNビットを0に設定するまで、カウントを継続します。カウンタが動作中にMAX値を変更した場合もそのまま0x0000までカウントし、アンダーフロー後に新たなMAX値からカウントダウンを続けます。

ワンショットダウンカウントモード時は、カウンタがアンダーフローするとMAX値に戻り、その時点で自動的に停止します。

(1) リピートダウンカウントモード



(2) ワンショットダウンカウントモード

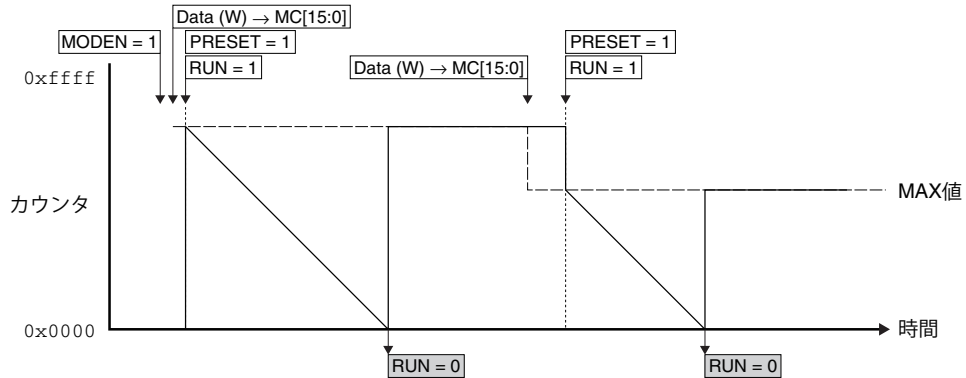


図17.4.2.2 リピートダウンカウントモード、ワンショットダウンカウントモードの動作

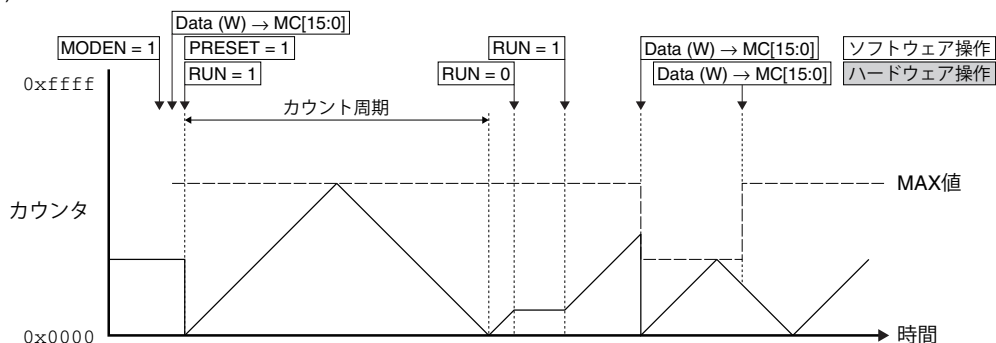
リピートアップ/ダウンカウントモード、ワンショットアップ/ダウンカウントモードの動作

これらのモードでは、カウンタがアップ/ダウンカウンタとして動作し、0x0000(または現在値)→MAX値→0x0000のカウントを行います。

リピートアップ/ダウンカウントモード時は、T16B_nCTL.RUNビットを0に設定するまで、0x0000からMAX値までのカウントアップと、MAX値から0x0000までのカウントダウンを繰り返します。カウンタがカウントアップ動作中にMAX値を現在のカウンタ値よりも大きな値に変更した場合は、新たなMAX値までカウントアップを続けます。現在のカウンタ値よりも小さな値に変更した場合は、一旦カウンタ値を0x0000に戻してから新たなMAX値までカウントアップを続けます。カウントダウン動作中にMAX値を変更した場合はそのまま0x0000までカウント後、新たなMAX値までカウントアップを続けます。

ワンショットアップ/ダウンカウントモード時は、カウンタがカウントダウンによって0x0000になると自動的に停止します。

(1) リピートアップ/ダウンカウントモード



(2) ワンショットアップ/ダウンカウントモード

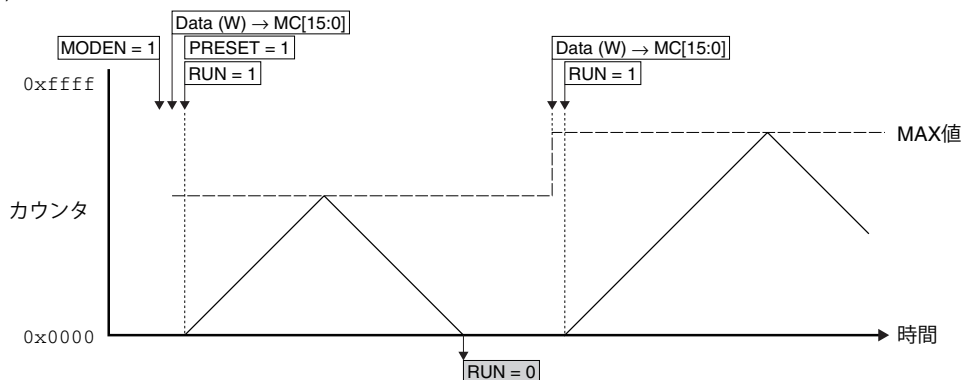


図17.4.2.3 リピートアップ/ダウンカウントモード、ワンショットアップ/ダウンカウントモードの動作

17.4.3 コンパレータ/キャプチャブロックの動作

コンパレータ/キャプチャブロックは、ソフトウェアにより選択した動作モードに従ってカウンタ値とレジスタ設定値を比較するコンパレータ、または外部/ソフトウェアトリガ信号によってカウンタ値を取得するキャプチャ回路として機能します。

コンパレータ/キャプチャブロックの動作モード

コンパレータ/キャプチャブロックには2系統(4系統、または6系統)のコンパレータ/キャプチャ回路が組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。

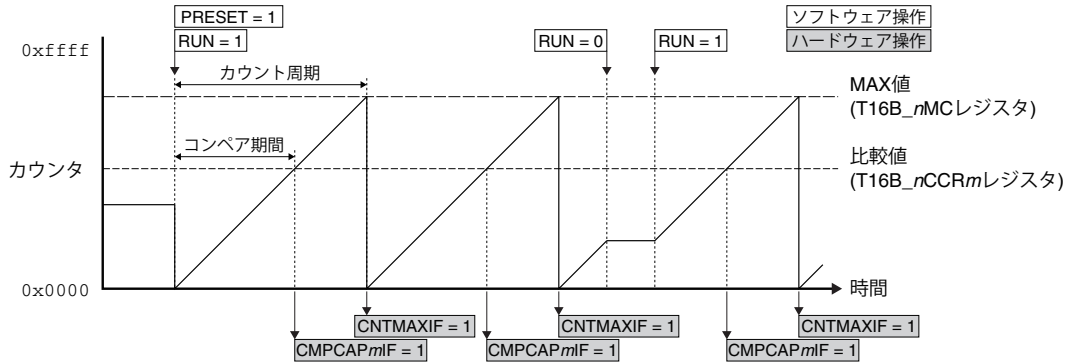
コンパレータモードに設定するには、T16B_nCCCTLm.CCMDビットを0に、キャプチャモードに設定するには1に設定します。

コンパレータモードの動作

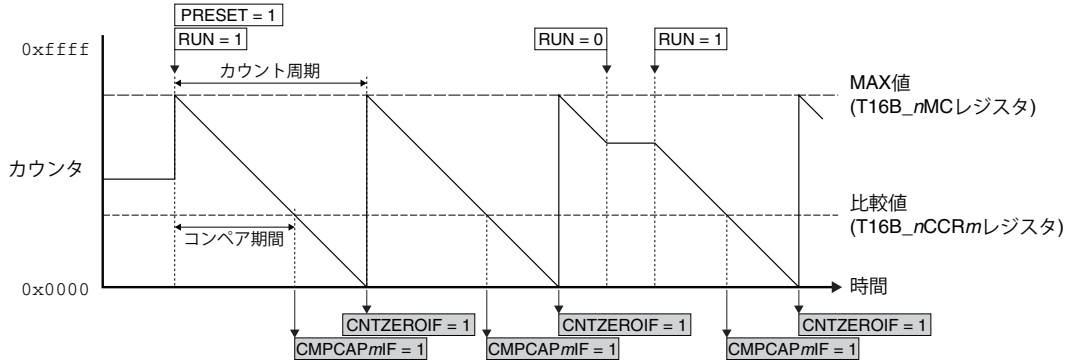
コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16B_nCCRmレジスタは比較値を設定しておくコンペアデータレジスタとして機能します。また、TOUTnm/CAPnm端子はTOUTnm端子となります。

カウント中にカウンタ値がT16B_nCCRmレジスタの設定値になると、コンパレータからMATCH信号が出力され、T16B_nINTF.COMPCAPmIFビット(コンペア割り込みフラグ)が1にセットされます。また、コンパレータモードでカウンタ値がMAX値に達した場合はT16B_nINTF.CNTMAXIFビット(カウンタMAX割り込みフラグ)が、カウンタ値が0x0000になった場合はT16B_nINTF.CNTZEROIFビット(カウンタゼロ割り込みフラグ)がそれぞれ1にセットされます。

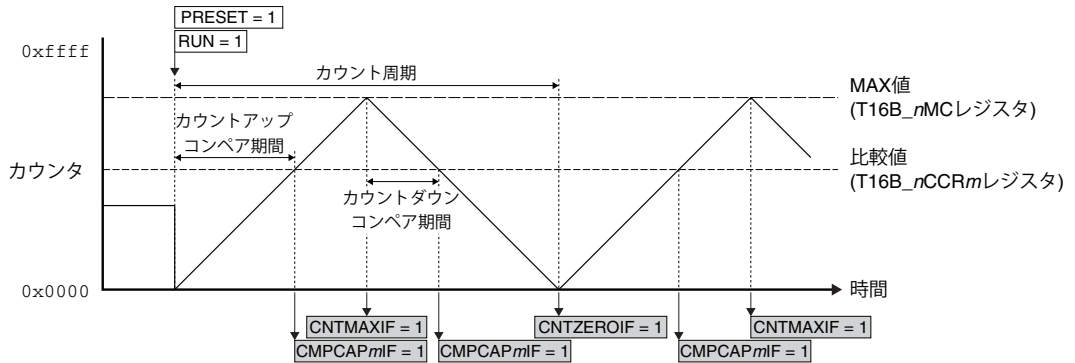
(1) リピートアップカウントモード



(2) リピートダウンカウントモード



(3) リピートアップ/ダウンカウントモード



(ソフトウェアによるT16B_nINTFCMPCAPmIF/CNTMAXIF/CNTZEROIFビットのクリア操作は省略しています。)

図17.4.3.1 コンパレータモード時の動作例

カウンタ = 0x0000またはMAX値からコンペア割り込みが発生するまでの期間(コンペア期間)、およびカウンタMAXまたはカウンタゼロ割り込みが発生するまでの期間(カウント周期)は次のように計算できます。

カウントアップ時

$$\text{コンペア期間} = \frac{(CC + 1)}{f_{\text{CLK_T16B}}} \text{ [秒]} \quad \text{カウント周期} = \frac{(MAX + 1)}{f_{\text{CLK_T16B}}} \text{ [秒]} \quad (\text{式17.1})$$

カウントダウン時

$$\text{コンペア期間} = \frac{(MAX - CC + 1)}{f_{\text{CLK_T16B}}} \text{ [秒]} \quad \text{カウント周期} = \frac{(MAX + 1)}{f_{\text{CLK_T16B}}} \text{ [秒]} \quad (\text{式17.2})$$

ここで

CC: T16B_nCCRmレジスタ設定値(0~65,535)

MAX: T16B_nMCレジスタ設定値(0~65,535)

fCLK_T16B: カウントクロック周波数 [Hz]

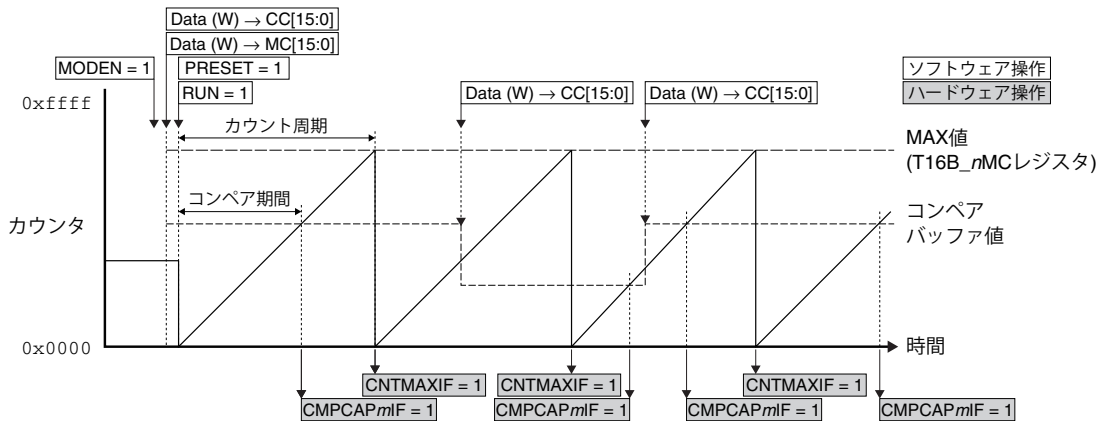
コンパレータのMATCH信号とカウンタMAX/ZERO信号は、タイマ出力波形(TOUT)の生成にも使用されます。詳細については、“TOUT出力の制御”を参照してください。

コンペアバッファ

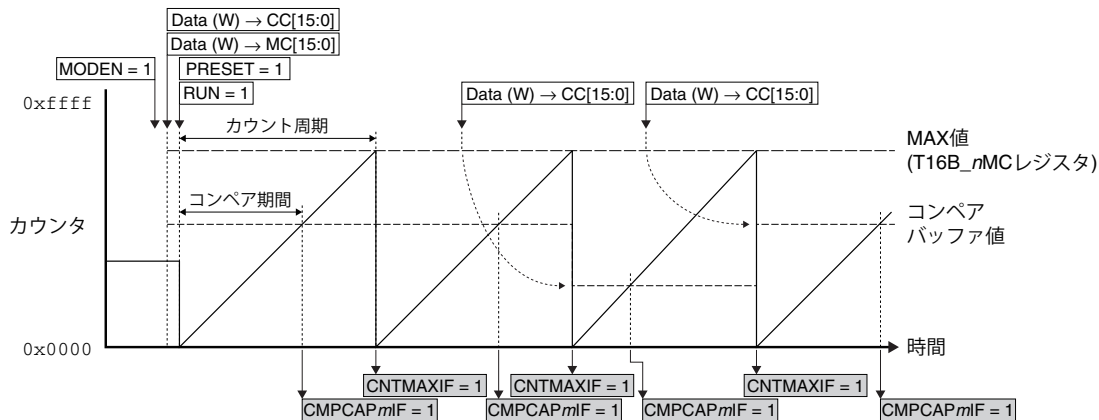
コンパレータは、T16B_nCCRMレジスタに書き込まれた比較値をコンペアバッファにロードしてカウンタ値と比較します。たとえば、PWM波形を生成する場合、カウント動作と非同期に比較値を変更すると期待したデューティの波形が生成できません。このため、コンペアバッファにはカウンタの動作に同期して比較値がロードされるように、そのタイミングをT16B_nCCCTLm.CBUFMD[2:0]ビットで設定することができます。

(1) リピートアップカウントモード

(1.1) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x0



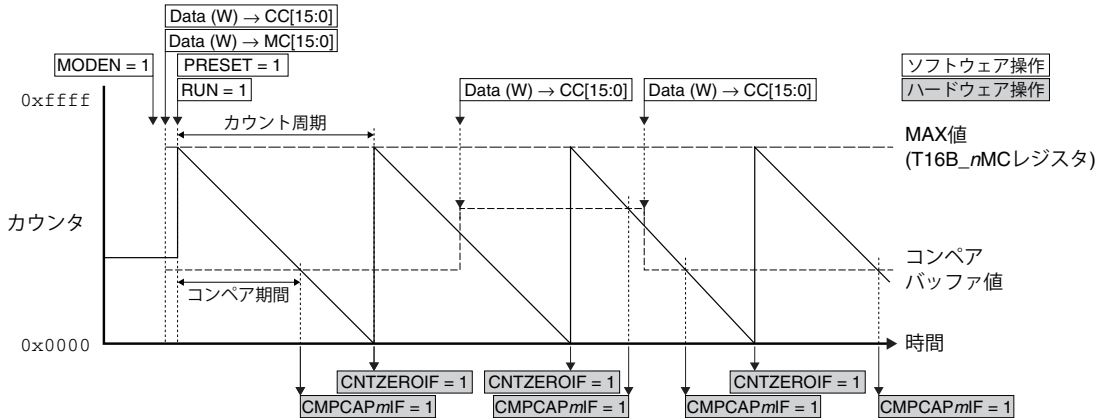
(1.2) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x1



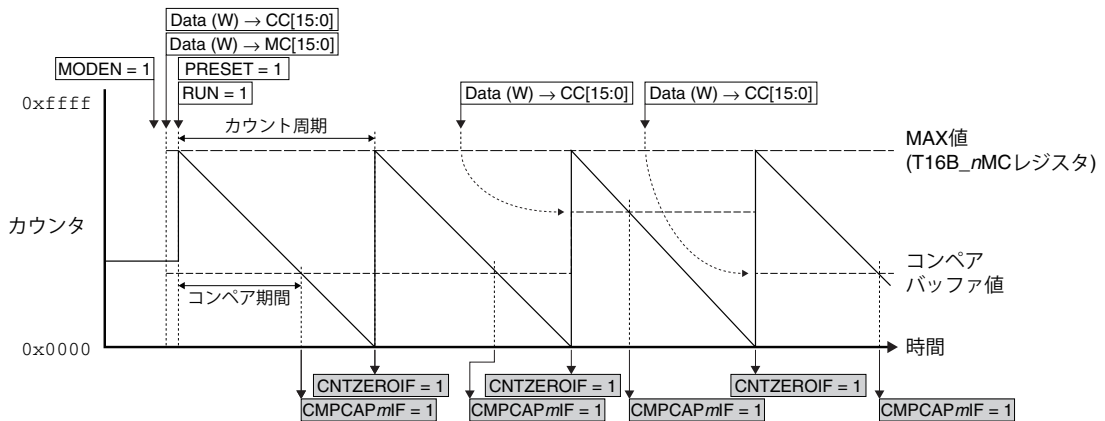
17 16ビットPWMタイマ(T16B)

(2) リピートダウンカウントモード

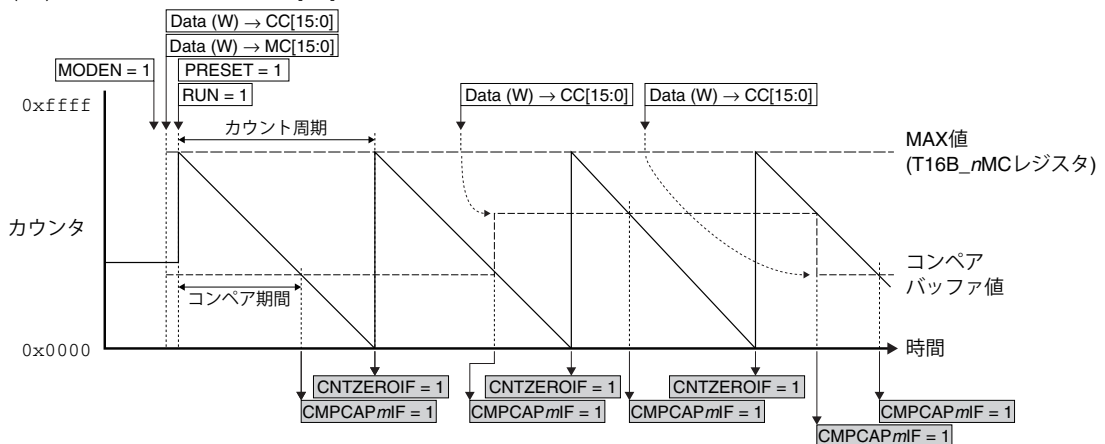
(2.1) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x0



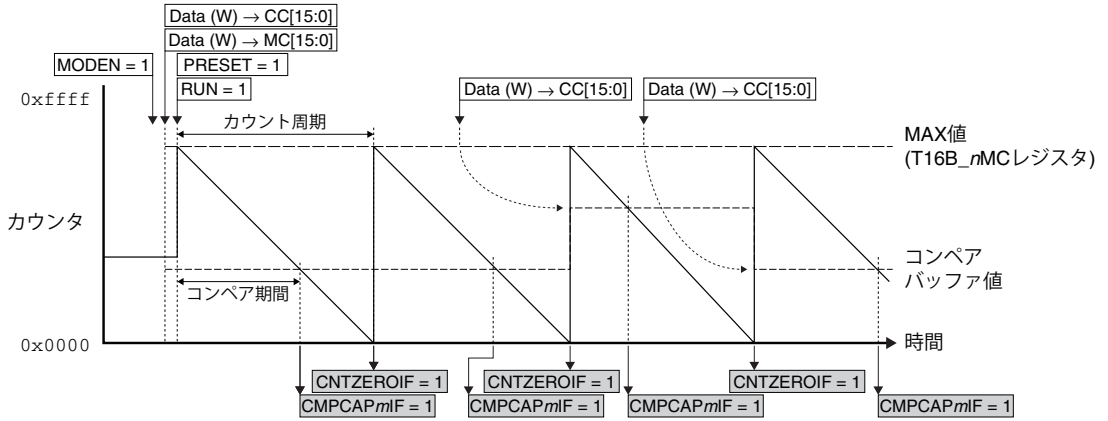
(2.2) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x1



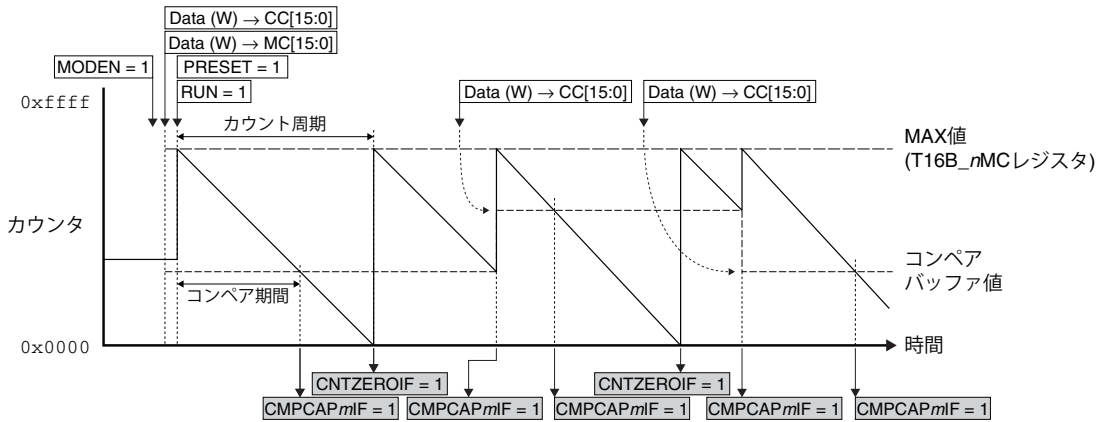
(2.3) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x2



(2.4) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x3

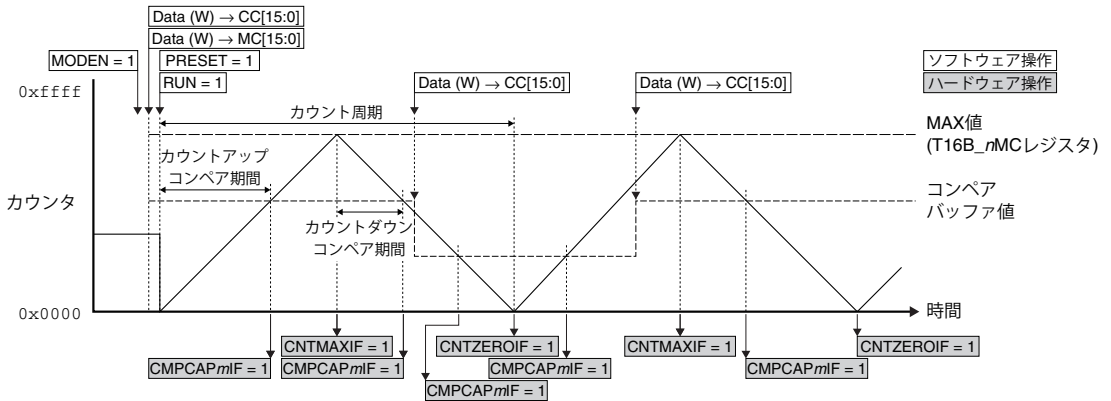


(2.5) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x4



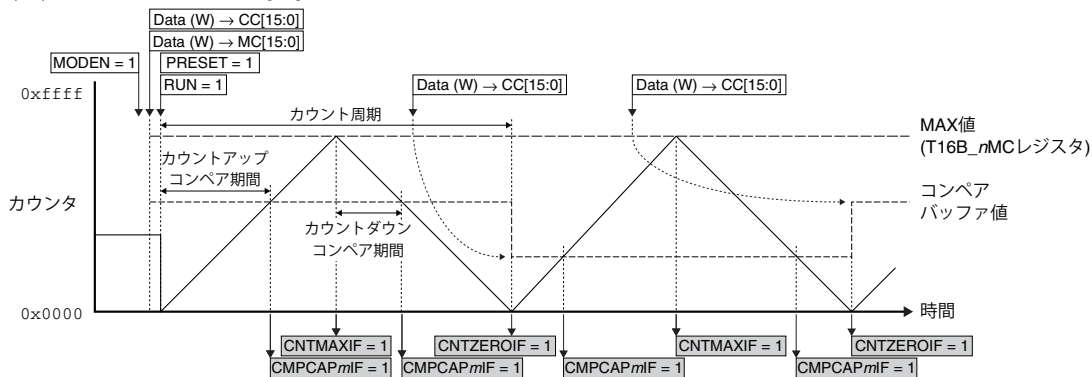
(3) リピートアップ/ダウンカウントモード

(3.1) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x0

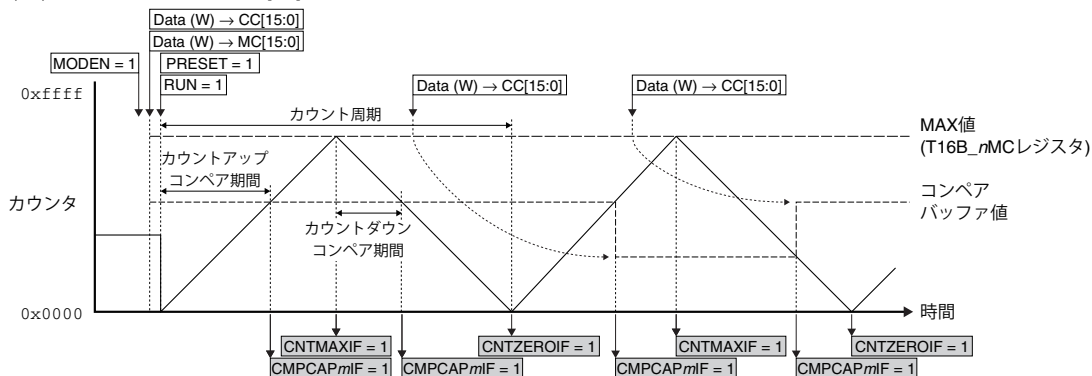


17 16ビットPWMタイマ(T16B)

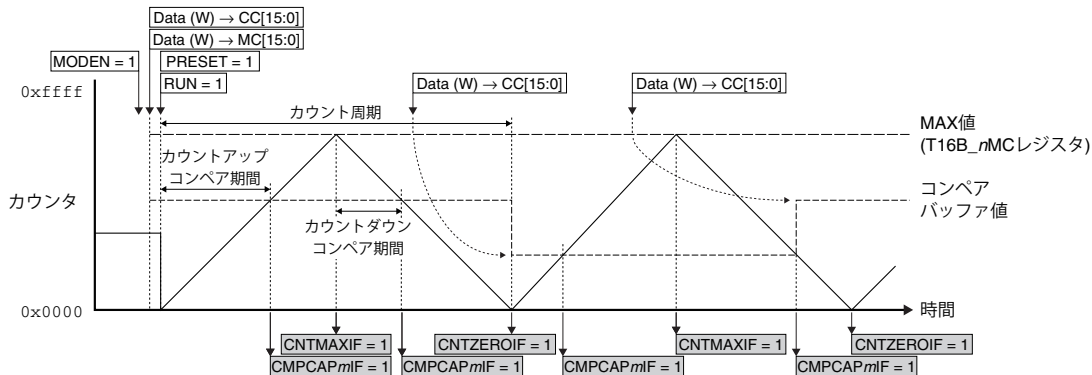
(3.2) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x1



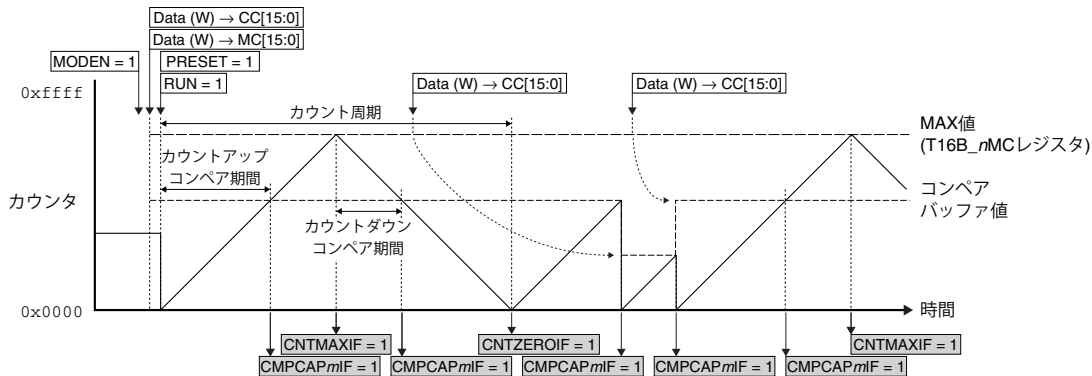
(3.3) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x2



(3.4) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x3



(3.5) T16B_nCCCTLm.CBUFMD[2:0]ビット = 0x4



(ソフトウェアによるT16B_nINTF.CMPCAPmIF/CNTMAXIF/CNTZEROIFビットのクリア操作は省略しています。)

図17.4.3.2 コンペアバッファの動作

DMAを使用したコンペア/カウント周期設定

コンパレータモード動作時にT16B_nCCmDMAEN.CCmDMAEN_xビットを1(DMA転送要求イネーブル)に設定しておく、T16B_nINTF.CMPCAP_mIFビットが1(カウンタ値がコンペアバッファの値に一致)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、指定されているメモリからT16B_nCCR_mレジスタに、コンペアデータがDMA Ch._xにより転送されます。同様に、T16B_nCCmDMAEN.MZDMAEN_xビットを1(DMA転送要求イネーブル)に設定しておく、アップまたはアップダウンカウントモードではT16B_nINTF.CNTMAXIFビットが1(カウンタ値がMAX)、ダウンカウントモードではT16B_nINTF.CNTZEROIFビットが1(カウンタ値がゼロ)になるタイミングで、DMAコントローラにDMA転送要求が出力され、指定されているメモリからT16B_nMCレジスタにカウンタMAX値がDMA Ch._xにより転送されます。

これにより、タイマカウンタのコンペア/カウント周期の設定が自動化できます。

なお、設定データがT16B_nCCR_mレジスタまたはT16B_nMCレジスタに転送されるように、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表17.4.3.1 DMAデータストラクチャ設定例(T16Bのコンペア/カウント周期設定)

設定項目		設定例
エンドポイント	転送元	最終設定データが格納されているメモリアドレス
	転送先	T16B_nCCR _m またはT16B_nMCレジスタアドレス
コントロールデータ	dst_inc	0x3(インクリメントなし)
	dst_size	0x1(/ハーフワード)
	src_inc	0x1(+2)
	src_size	0x1(/ハーフワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

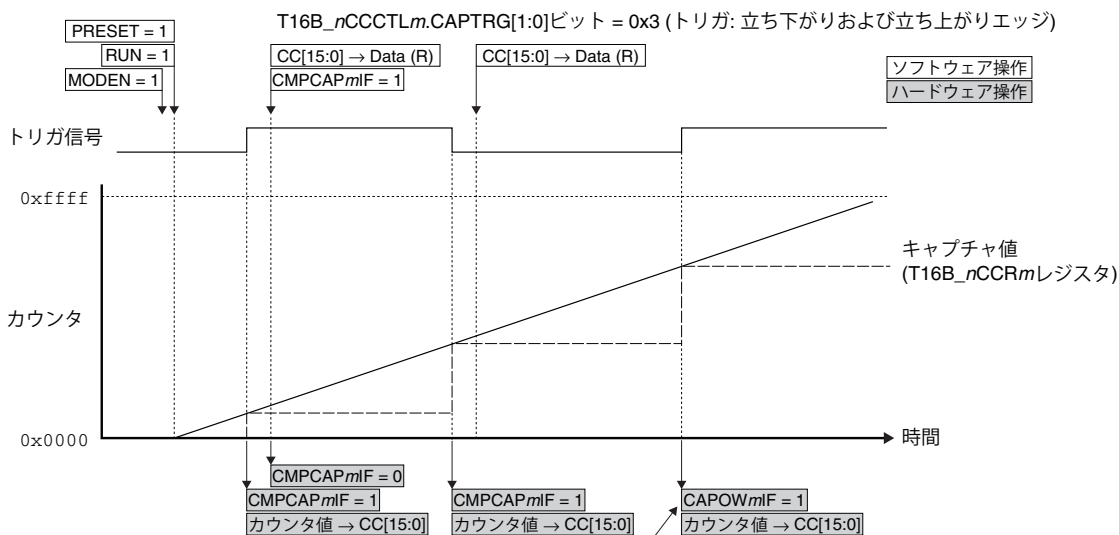
キャプチャモードの動作

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力/ソフトウェアトリガ信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16B_nCCR_mレジスタがキャプチャデータを読み出すためのキャプチャレジスタとして機能します。また、TOUT_{nm}/CAP_{nm}端子はCAP_{nm}端子となります。

カウンタ値をキャプチャするためのトリガ信号とトリガエッジは、それぞれT16B_nCCCTL_m.CAPIS[1:0]ビットとT16B_nCCCTL_m.CAPTRG[1:0]ビットにより選択します。

カウント中に指定のトリガエッジが入力されると、その時点のカウンタ値がT16B_nCCR_mレジスタにロードされます。同時にT16B_nINTF.CMPCAP_mIFビットがセットされます。これによる割り込みを利用して、キャプチャデータをT16B_nCCR_mレジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。

T16B_nINTF.CMPCAP_mIFビットがセットされた状態で、次のトリガによりT16B_nCCR_mレジスタのキャプチャデータが上書きされた場合は、オーバーライトエラーとなります(T16B_nINTF.CAPOW_mIFビットがセットされます)。



T16B_nINTF.CMPCAPmIFビットをクリアしていないためオーバーライトエラーが発生
図17.4.3.3 キャプチャモードの動作(ワンショットアップカウントモードの例)

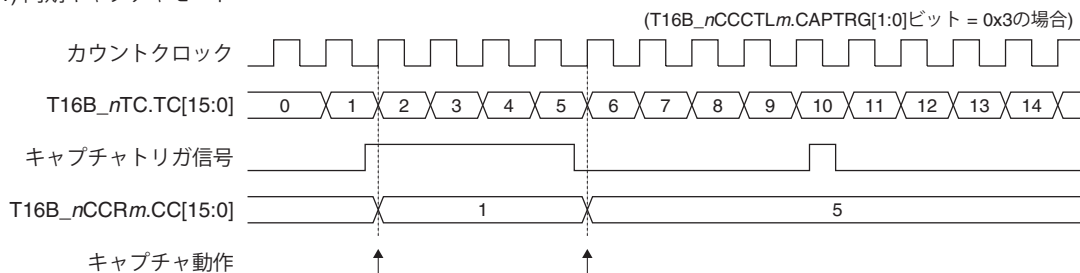
同期キャプチャモード/非同期キャプチャモード

キャプチャ回路は、同期キャプチャモードと非同期キャプチャモードの2つのモードで動作可能です。

同期キャプチャモードは、カウンタデータが変化する瞬間のキャプチャ動作により、誤ったデータを読み出す可能性を回避するための動作モードです。同期キャプチャモードにするには、T16B_nCCCTLm.SCSビットを1に設定します。このモードでは、キャプチャ信号をカウンタのクロックと同期させて、カウントデータをキャプチャします。

一方、非同期キャプチャモードは、同期キャプチャモードでは不可能な、カウントクロック周期よりも短いトリガパルスを検出してカウントデータをキャプチャすることができます。非同期キャプチャモードにするには、T16B_nCCCTLm.SCSビットを0に設定します。

(1) 同期キャプチャモード



(2) 非同期キャプチャモード

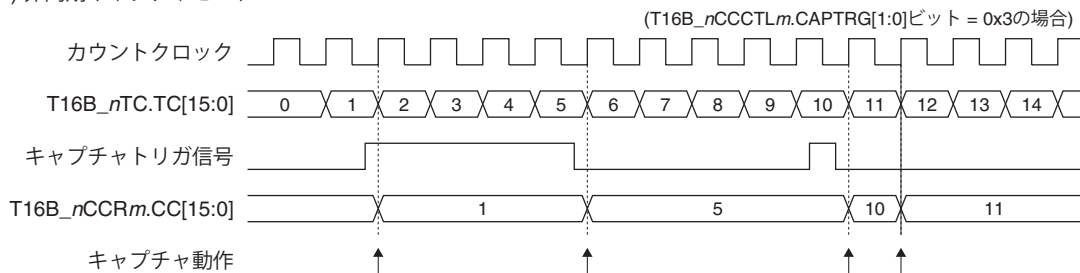


図17.4.3.4 同期キャプチャモード/非同期キャプチャモード

DMAを使用したキャプチャデータの転送

キャプチャモード動作時にT16B_nCCmDMAEN.CCmDMAEN x ビットを1(DMA転送要求イネーブル)に設定しておくこと、T16B_nINTF.CMPCAP m IFビットが1(データをキャプチャ)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、T16B_nCCR m レジスタの値が指定されているメモリにDMA Ch. x により転送されます。

これにより、キャプチャデータの読み出しと保存が自動化できます。

なお、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表17.4.3.2 DMAデータストラクチャ設定例(キャプチャデータの転送)

設定項目	設定例	
エンドポイント	転送元	T16B_nCCR m レジスタアドレス
	転送先	最終キャプチャデータを格納するメモリアドレス
コントロールデータ	dst_inc	0x1(+2)
	dst_size	0x1(ハーフワード)
	src_inc	0x3(インクリメントなし)
	src_size	0x1(ハーフワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

17.4.4 TOUT出力の制御

コンパレータモードでは、コンパレータのMATCH信号およびカウンタのMAX/ZERO信号によってTOUT信号を生成し、IC外部に出力することができます。図17.4.4.1にTOUT出力回路(回路0&1)を示します。

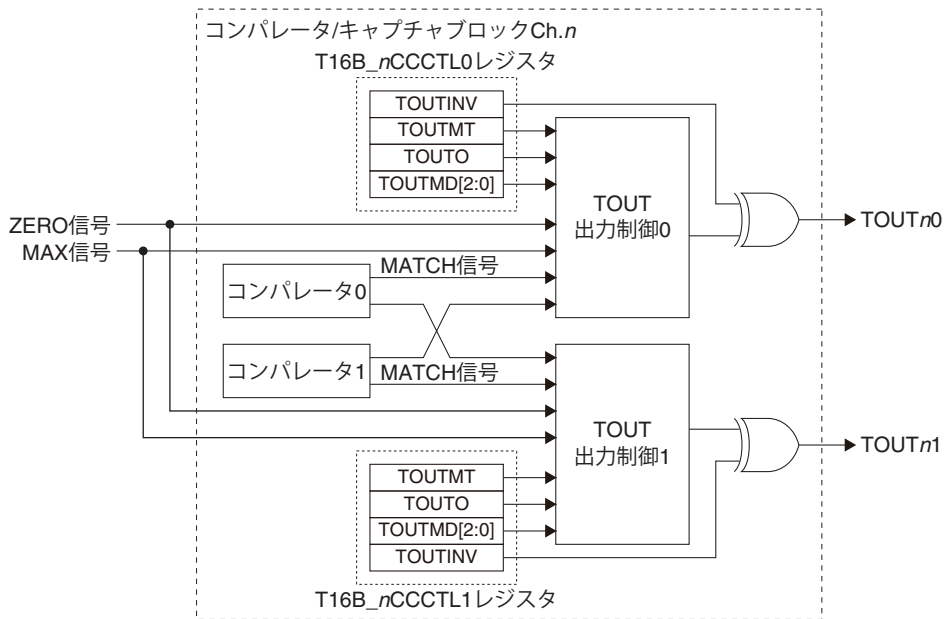


図17.4.4.1 TOUT出力回路(回路0&1)

各チャンネルには2系統(4系統、または6系統)のTOUT出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。

TOUT生成モード

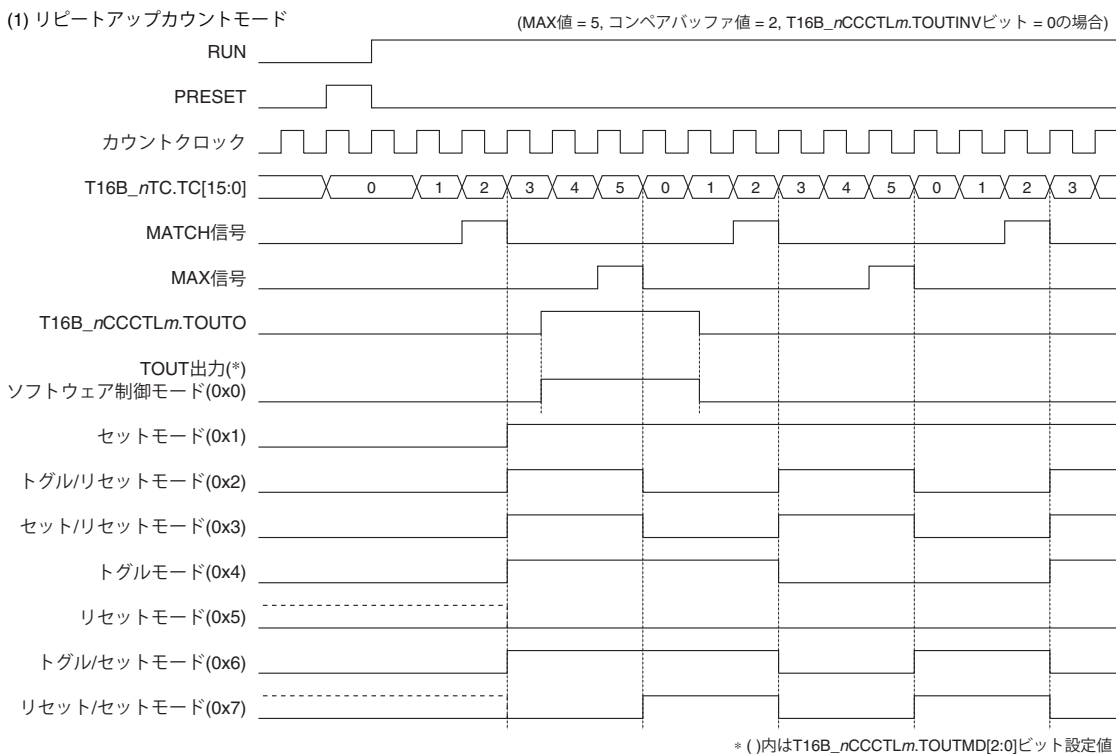
TOUT信号を、MATCHおよびMAX/ZERO信号によってどのように変化させるか、T16B_nCCCTL m .TOUTMD[2:0]ビットで設定します。

さらに、T16B_nCCCTL m .TOUTMTビットを1に設定すると、回路ペア(0&1、2&3、4&5)のもう一方のMATCH信号も使用して、カウンタ周期内に2箇所の変化点を作ることができます。

TOUT信号の極性

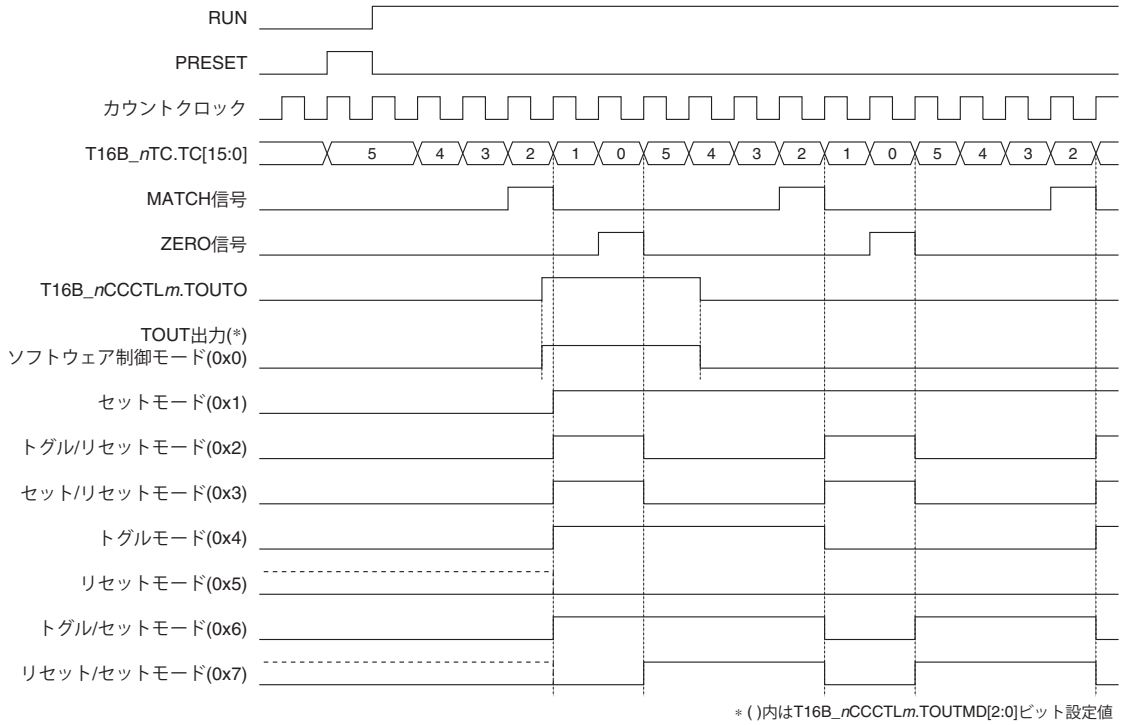
TOUT信号の極性(アクティブレベル)をT16B_nCCCTLm.TOUTINVビットで設定可能です。T16B_nCCCTLm.TOUTINVビットを0に設定するとアクティブHIGH、1に設定するとアクティブLOWになります。

図17.4.4.2と図17.4.4.3にTOUT出力波形を示します。



(2) リピートダウンカウントモード

(MAX値 = 5, コンペアバッファ値 = 2, T16B_nCCCTLm.TOUTINVビット = 0の場合)



(3) リピートアップ/ダウンカウントモード

(MAX値 = 5, コンペアバッファ値 = 2, T16B_nCCCTLm.TOUTINVビット = 0の場合)

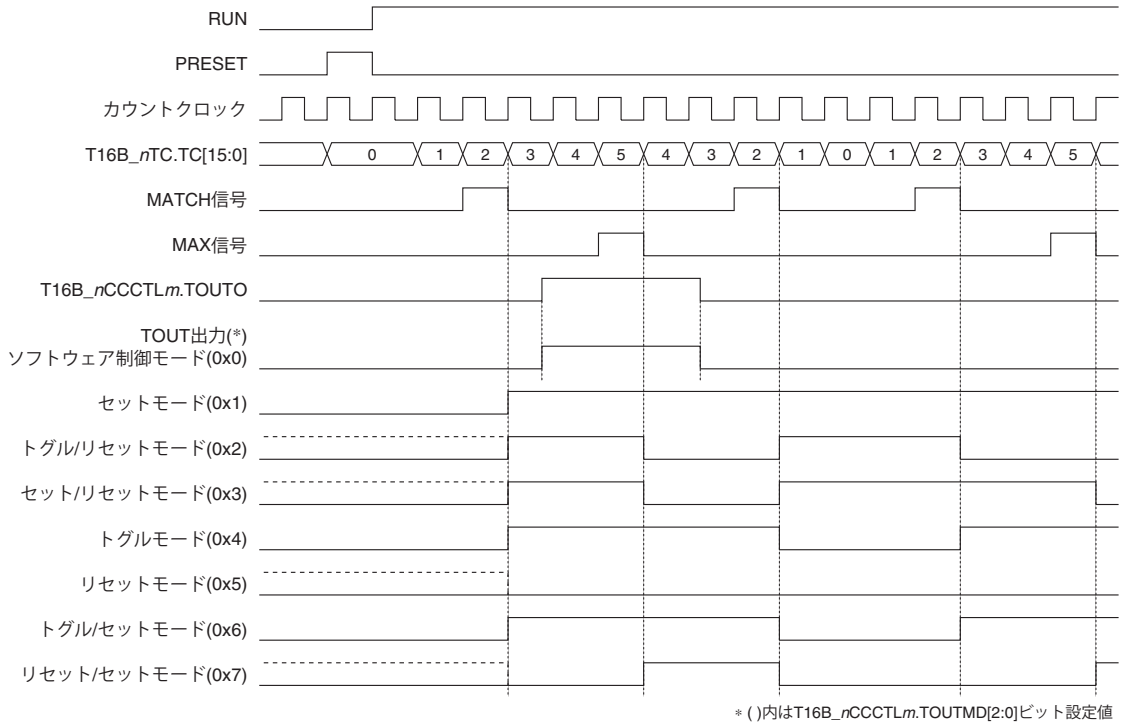
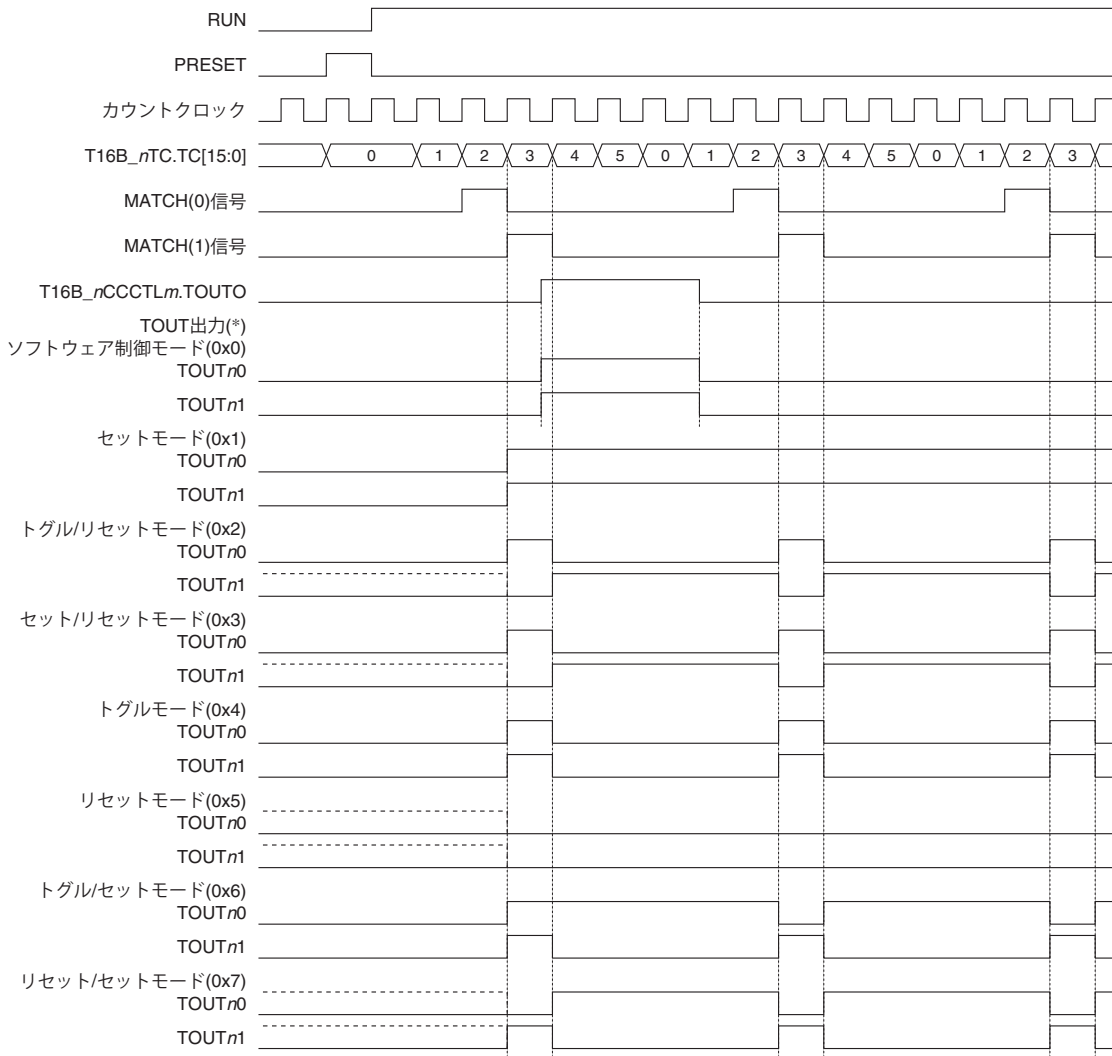


図17.4.4.2 TOUT出力波形(T16B_nCCCTLm.TOUTMTビット = 0)

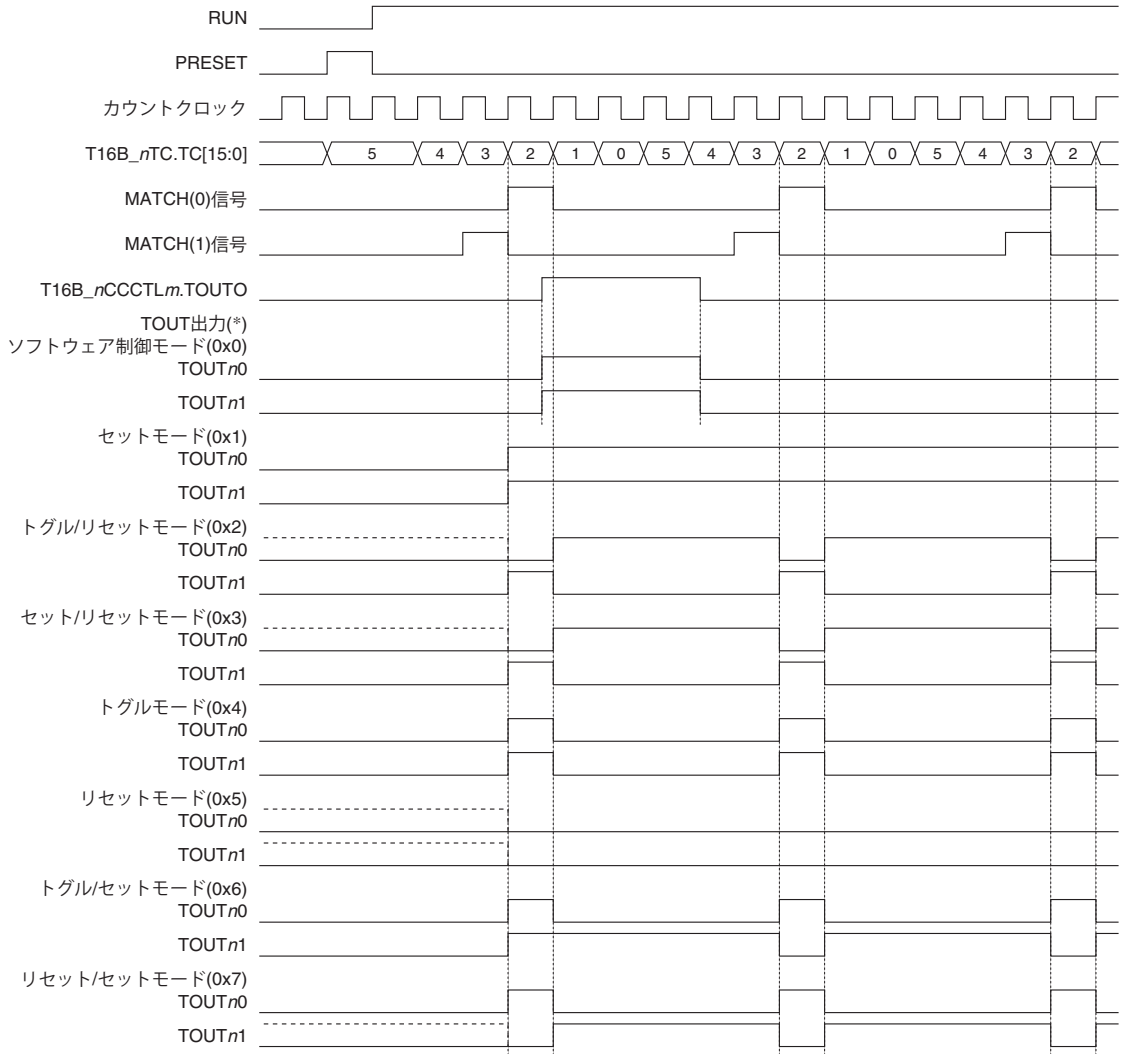
17 16ビットPWMタイマ(T16B)

(1) リピートアップカウントモード (MAX値 = 5, コンペアバッファ(0)値 = 2, コンペアバッファ(1)値 = 3, T16B_nCCCTLm.TOUTINVビット = 0の場合)



* ()内はT16B_nCCCTLm.TOUTMD[2:0]ビット設定値

(2) リピートダウンカウントモード (MAX値 = 5, コンペアバッファ(0)値 = 2, コンペアバッファ(1)値 = 3, T16B_nCCCTLm.TOUTINVビット = 0の場合)

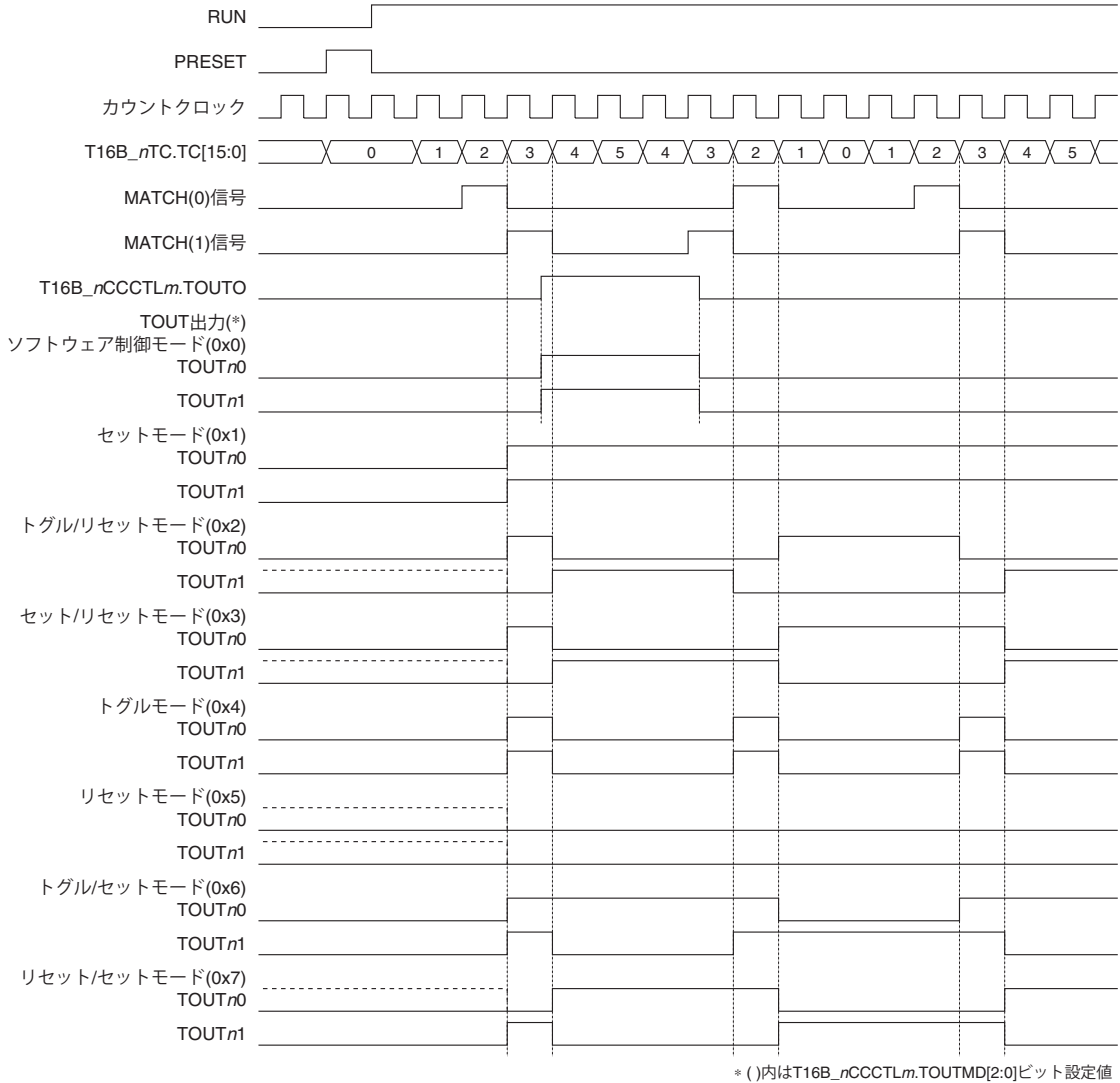


* ()内はT16B_nCCCTLm.TOUTMD[2:0]ビット設定値

17 16ビットPWMタイマ(T16B)

(3) リピートアップ/ダウンカウントモード

(MAX値 = 5, コンペアバッファ(0)値 = 2, コンペアバッファ(1)値 = 3, T16B_nCCCTLm.TOUTINVビット = 0の場合)



* ()内はT16B_nCCCTLm.TOUTMD[2:0]ビット設定値

図17.4.4.3 TOUT出力波形(T16B_nCCCTL0.TOUTMTビット = 1, T16B_nCCCTL1.TOUTMTビット = 0)

17.5 割り込み

T16Bの各チャンネルには、表17.5.1に示す割り込みを発生させる機能があります。

表17.5.1 T16Bの割り込み機能

割り込み	割り込みフラグ	セット	クリア
キャプチャ オーバーライト	T16B_nINTF.CAPOWmIF	キャプチャモード時、T16B_nINTF.CMPCAPmIFビット = 1の状態、T16B_nCCRmレジスタが新たなキャプチャデータにより上書きされたとき	1書き込み
コンペア/ キャプチャ	T16B_nINTF.CMPCAPmIF	コンパレータモード時、カウンタ値がコンペアバッファの値に一致したとき キャプチャモード時、キャプチャトリガ入力により、カウンタ値がT16B_nCCRmレジスタに取り込まれたとき	1書き込み
カウンタMAX	T16B_nINTF.CNTMAXIF	カウンタがMAX値に達したとき	1書き込み
カウンタゼロ	T16B_nINTF.CNTZEROIF	カウンタが0x0000になったとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

17.6 DMA転送要求

T16Bには、表17.6.1に示す要因でDMA転送要求を発生させる機能があります。

表17.6.1 T16BのDMA転送要求要因

DMA転送要求要因	DMA転送要求起動フラグ	セット	クリア
コンペア/ キャプチャ	コンペア/キャプチャフラグ (T16B_nINTF.CMPCAPmIF)	コンパレータモード時、カウンタ値がコンペアバッファの値に一致したとき キャプチャモード時、キャプチャトリガ入力により、カウンタ値がT16B_nCCRmレジスタに取り込まれたとき	DMA転送 要求を受け付けた とき
カウンタMAX/ゼロ	カウンタMAXフラグ (T16B_nINTF.CNTMAXIF) カウンタゼロフラグ (T16B_nINTF.CNTZEROIF)	アップまたはアップ/ダウンカウントモード時、カウンタがMAX値に達したとき ダウンカウントモード時、カウンタが0x0000になったとき	DMA転送 要求を受け付けた とき

上記のDMA転送要求起動フラグには、それぞれに対応するDMA転送要求イネーブルビットがDMAチャンネル数分用意されています。それらのビットによってDMA転送をイネーブルにしたDMA転送要求起動フラグのセット時にのみ、DMAコントローラの該当チャンネルにDMA転送要求が出力されます。DMA転送要求起動フラグは割り込みフラグを兼ねているため、DMA転送要求と割り込みの両方を同時にイネーブルにはできません。DMA転送終了後は、意図しないDMA転送要求が出力されることのないように、DMA転送をディスエーブルにしてください。DMA転送の制御については、“DMAコントローラ”の章を参照してください。

17.7 制御レジスタ

T16B Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nCLK	15-9	-	0x00	-	R	-
	8	D Brun	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3	-	0	-	R	
	2-0	CLKSRC[2:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、デバッグ時にT16B Ch.n動作クロックを供給するか否か設定します。

1 (R/W): デバッグ時にクロックを供給

0 (R/W): デバッグ時はクロック供給を停止

17 16ビットPWMタイマ(T16B)

Bits 7–4 CLKDIV[3:0]

これらのビットは、T16B Ch.*n*動作クロック(カウンタクロック)の分周比を選択します。

Bit 3 Reserved

Bits 2–0 CLKSRC[2:0]

これらのビットは、T16B Ch.*n*のクロックソースを選択します。

表17.7.1 クロックソースと分周比の設定

T16B_nCLK. CLKDIV[3:0]ビット	T16B_nCLK.CLKSRC[2:0]ビット							
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
	IOSC	OSC1	OSC3	EXOSC	EXCLn0	EXCLn1	EXCLn0 反転入力	EXCLn1 反転入力
0xf	1/32,768	1/1	1/32,768	1/1	1/1	1/1	1/1	1/1
0xe	1/16,384		1/16,384					
0xd	1/8,192		1/8,192					
0xc	1/4,096		1/4,096					
0xb	1/2,048		1/2,048					
0xa	1/1,024		1/1,024					
0x9	1/512		1/512					
0x8	1/256	1/256	1/256					
0x7	1/128	1/128	1/128					
0x6	1/64	1/64	1/64					
0x5	1/32	1/32	1/32					
0x4	1/16	1/16	1/16					
0x3	1/8	1/8	1/8					
0x2	1/4	1/4	1/4					
0x1	1/2	1/2	1/2					
0x0	1/1	1/1	1/1					

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

T16B Ch.*n* Counter Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nCTL	15–9	–	0x00	–	R	–
	8	MAXBSY	0	H0	R	
	7–6	–	0x0	–	R	
	5–4	CNTMD[1:0]	0x0	H0	R/W	
	3	ONEST	0	H0	R/W	
	2	RUN	0	H0	R/W	
	1	PRESET	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–9 Reserved

Bit 8 MAXBSY

このビットは、T16B_nMCレジスタが書き込み可能か否かを示します。

1 (R): ビジー状態(書き込み不可)

0 (R): 待機中(書き込み可)

このビットが1の場合は、T16B_nMCレジスタはMAX値の書き込み動作中です。この間は、新たなデータの書き込みを禁止します。

Bits 7–6 Reserved

Bits 5–4 CNTMD[1:0]

これらのビットでカウンタのアップ/ダウンモードを選択し、T16B_nCTL.ONESTビットと共にカウントモードを設定します。(表17.7.2参照)

Bit 3 ONEST

このビットでカウンタのリピート/ワンショットモードを選択し、T16B_nCTL.CNTMD[1:0]ビットと共にカウントモードを設定します。(表17.7.2参照)

表17.7.2 カウントモード

T16B_nCTL.CNTMD[1:0] ビット	カウントモード	
	T16B_nCTL.ONESTビット = 1	T16B_nCTL.ONESTビット = 0
0x3	Reserved	
0x2	ワンショットアップ/ダウンカウントモード	リPEATアップ/ダウンカウントモード
0x1	ワンショットダウンカウントモード	リPEATダウンカウントモード
0x0	ワンショットアップカウントモード	リPEATアップカウントモード

Bit 2 RUN

このビットは、カウントを開始/停止します。

- 1 (W): カウント開始
- 0 (W): カウント停止
- 1 (R): カウント動作中
- 0 (R): 停止中

このビットに1を書き込むことにより、カウンタブロックはカウント動作を開始します。ただし、このビットと共にT16B_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。タイマが動作中はT16B_nCTL.RUNビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタMAX/ZERO信号によってカウントを停止したときは、このビットが自動的に0にクリアされます。

Bit 1 PRESET

このビットは、カウンタをリセットします。

- 1 (W): リセット
- 0 (W): 無効
- 1 (R): リセットの実行中
- 0 (R): リセットを終了または通常動作中

アップモードまたはアップ/ダウンモード時は、このビットに1を書き込むことによって、カウンタが0x0000にクリアされます。ダウンモード時は、T16B_nMCレジスタに設定されているMAX値がカウンタにプリセットされます。ただし、このビットと共にT16B_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。

Bit 0 MODEN

このビットは、T16B Ch.nの動作をイネーブルにします。

- 1 (R/W): イネーブル(動作クロックを供給)
- 0 (R/W): デイスエーブル(動作クロックの供給を停止)

注: T16B_nCTL.PRESETビットによるカウンタのリセットと、T16B_nCTL.RUNビットによるカウント開始操作は、T16B_nCTL.MODENビット = 1の場合にのみ有効です。

T16B Ch.n Max Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nMC	15-0	MC[15:0]	0xffff	H0	R/W	-

Bits 15-0 MC[15:0]

これらのビットには、カウンタにプリセットするMAX値を設定しておきます。詳細は、“カウンタブロックの動作 - MAXカウンタデータレジスタ”を参照してください。

注: ・ワンショットモード選択時は、カウント中にT16B_nMC.MC[15:0]ビット(MAX値)を変更しないでください。

- ・T16B_nMC.MC[15:0]ビットへの書き込みは、T16B_nCTL.MODENビット = 1の状態で行ってください。0の状態でも書き込んだ場合は、T16B_nCS.BSYビット = 1から0になるまで、T16B_nCTL.MODENビットを1に設定してください。
- ・T16B_nMC.MC[15:0]ビットを0x0000に設定しないでください。

T16B Ch.n Timer Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nTC	15-0	TC[15:0]	0x0000	H0	R	-

Bits 15-0 TC[15:0]

これらのビットから、現在のカウンタの値が読み出せます。

T16B Ch.n Counter Status Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nCS	15-8	-	0x00	-	R	-
	7	CAPI5	0	H0	R	
	6	CAPI4	0	H0	R	
	5	CAPI3	0	H0	R	
	4	CAPI2	0	H0	R	
	3	CAPI1	0	H0	R	
	2	CAPI0	0	H0	R	
	1	UP_DOWN	1	H0	R	
0	BSY	0	H0	R		

Bits 15-8 Reserved**Bit 7 CAPI5****Bit 6 CAPI4****Bit 5 CAPI3****Bit 4 CAPI2****Bit 3 CAPI1****Bit 2 CAPI0**

これらのビットは、CAP_nm端子の現在の入力信号レベルを示します。

1 (R): 入力信号 = HIGHレベル

0 (R): 入力信号 = LOWレベル

各ビットとCAP_nm端子の対応は以下のとおりです。

T16B_nCS.CAPI5ビット: CAP_n5端子

T16B_nCS.CAPI4ビット: CAP_n4端子

T16B_nCS.CAPI3ビット: CAP_n3端子

T16B_nCS.CAPI2ビット: CAP_n2端子

T16B_nCS.CAPI1ビット: CAP_n1端子

T16B_nCS.CAPI0ビット: CAP_n0端子

注: T16B_nCS.CAPI_mビットの構成は機種により異なります。存在しないCAP_nm端子に対応するビットは常時0に固定されたリードオンリビットになります。

Bit 1 UP_DOWN

このビットは、現在設定されているカウンタのカウント方向を示します。

1 (R): カウントアップ

0 (R): カウントダウン

Bit 0 BSY

このビットは、カウンタの動作状態を示します。

1 (R): 動作中

0 (R): 停止中

T16B Ch.*n* Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_ <i>n</i> INTF	15-14	–	0x0	–	R	–
	13	CAPOW5IF	0	H0	R/W	Cleared by writing 1.
	12	CMPCAP5IF	0	H0	R/W	
	11	CAPOW4IF	0	H0	R/W	
	10	CMPCAP4IF	0	H0	R/W	
	9	CAPOW3IF	0	H0	R/W	
	8	CMPCAP3IF	0	H0	R/W	
	7	CAPOW2IF	0	H0	R/W	
	6	CMPCAP2IF	0	H0	R/W	
	5	CAPOW1IF	0	H0	R/W	
	4	CMPCAP1IF	0	H0	R/W	
	3	CAPOW0IF	0	H0	R/W	
	2	CMPCAP0IF	0	H0	R/W	
	1	CNTMAXIF	0	H0	R/W	
0	CNTZEROIF	0	H0	R/W		

Bits 15–14 Reserved

Bit 13	CAPOW5IF
Bit 12	CMPCAP5IF
Bit 11	CAPOW4IF
Bit 10	CMPCAP4IF
Bit 9	CAPOW3IF
Bit 8	CMPCAP3IF
Bit 7	CAPOW2IF
Bit 6	CMPCAP2IF
Bit 5	CAPOW1IF
Bit 4	CMPCAP1IF
Bit 3	CAPOW0IF
Bit 2	CMPCAP0IF
Bit 1	CNTMAXIF
Bit 0	CNTZEROIF

これらのビットは、T16B Ch.*n*割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
- 0 (R): 割り込み要因なし
- 1 (W): フラグをクリア
- 0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

- T16B_*n*INTF.CAPOW5IFビット: キャプチャ5オーバーライト割り込み
- T16B_*n*INTF.CMPCAP5IFビット: コンペア/キャプチャ5割り込み
- T16B_*n*INTF.CAPOW4IFビット: キャプチャ4オーバーライト割り込み
- T16B_*n*INTF.CMPCAP4IFビット: コンペア/キャプチャ4割り込み
- T16B_*n*INTF.CAPOW3IFビット: キャプチャ3オーバーライト割り込み
- T16B_*n*INTF.CMPCAP3IFビット: コンペア/キャプチャ3割り込み
- T16B_*n*INTF.CAPOW2IFビット: キャプチャ2オーバーライト割り込み
- T16B_*n*INTF.CMPCAP2IFビット: コンペア/キャプチャ2割り込み
- T16B_*n*INTF.CAPOW1IFビット: キャプチャ1オーバーライト割り込み
- T16B_*n*INTF.CMPCAP1IFビット: コンペア/キャプチャ1割り込み
- T16B_*n*INTF.CAPOW0IFビット: キャプチャ0オーバーライト割り込み
- T16B_*n*INTF.CMPCAP0IFビット: コンペア/キャプチャ0割り込み
- T16B_*n*INTF.CNTMAXIFビット: カウンタMAX割り込み
- T16B_*n*INTF.CNTZEROIFビット: カウンタゼロ割り込み

注: T16B_*n*INTF.CAPOW*m*IFビットおよびT16B_*n*INTF.CMPCAP*m*IFビットの構成は機種により異なります。存在しないコンパレータ/キャプチャ回路システムに対応するビットは常時0に固定されたリードオンリビットになります。

T16B Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nINTE	15-14	—	0x0	—	R	—
	13	CAPOW5IE	0	H0	R/W	
	12	CMPCAP5IE	0	H0	R/W	
	11	CAPOW4IE	0	H0	R/W	
	10	CMPCAP4IE	0	H0	R/W	
	9	CAPOW3IE	0	H0	R/W	
	8	CMPCAP3IE	0	H0	R/W	
	7	CAPOW2IE	0	H0	R/W	
	6	CMPCAP2IE	0	H0	R/W	
	5	CAPOW1IE	0	H0	R/W	
	4	CMPCAP1IE	0	H0	R/W	
	3	CAPOW0IE	0	H0	R/W	
	2	CMPCAP0IE	0	H0	R/W	
	1	CNTMAXIE	0	H0	R/W	
0	CNTZEROIE	0	H0	R/W		

Bits 15-14 Reserved

Bit 13	CAPOW5IE
Bit 12	CMPCAP5IE
Bit 11	CAPOW4IE
Bit 10	CMPCAP4IE
Bit 9	CAPOW3IE
Bit 8	CMPCAP3IE
Bit 7	CAPOW2IE
Bit 6	CMPCAP2IE
Bit 5	CAPOW1IE
Bit 4	CMPCAP1IE
Bit 3	CAPOW0IE
Bit 2	CMPCAP0IE
Bit 1	CNTMAXIE
Bit 0	CNTZEROIE

このビットは、T16B Ch.n割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

T16B_nINTE.CAPOW5IEビット: キャプチャ5オーバーライト割り込み

T16B_nINTE.CMPCAP5IEビット: コンペア/キャプチャ5割り込み

T16B_nINTE.CAPOW4IEビット: キャプチャ4オーバーライト割り込み

T16B_nINTE.CMPCAP4IEビット: コンペア/キャプチャ4割り込み

T16B_nINTE.CAPOW3IEビット: キャプチャ3オーバーライト割り込み

T16B_nINTE.CMPCAP3IEビット: コンペア/キャプチャ3割り込み

T16B_nINTE.CAPOW2IEビット: キャプチャ2オーバーライト割り込み

T16B_nINTE.CMPCAP2IEビット: コンペア/キャプチャ2割り込み

T16B_nINTE.CAPOW1IEビット: キャプチャ1オーバーライト割り込み

T16B_nINTE.CMPCAP1IEビット: コンペア/キャプチャ1割り込み

T16B_nINTE.CAPOW0IEビット: キャプチャ0オーバーライト割り込み

T16B_nINTE.CMPCAP0IEビット: コンペア/キャプチャ0割り込み

T16B_nINTE.CNTMAXIEビット: カウンタMAX割り込み

T16B_nINTE.CNTZEROIEビット: カウンタゼロ割り込み

注: • T16B_nINTE.CAPOWmIEビットおよびT16B_nINTE.CMPCAPmIEビットの構成は機種により異なります。存在しないコンパレータ/キャプチャ回路系統に対応するビットは常時0に固定されたリードオンリビットになります。

- 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

T16B Ch.n Comparator/Capture m Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nCCCTLm	15	SCS	0	H0	R/W	-
	14-12	CBUFMD[2:0]	0x0	H0	R/W	
	11-10	CAPIS[1:0]	0x0	H0	R/W	
	9-8	CAPTRG[1:0]	0x0	H0	R/W	
	7	-	0	-	R	
	6	TOUTMT	0	H0	R/W	
	5	TOUTO	0	H0	R/W	
	4-2	TOUTMD[2:0]	0x0	H0	R/W	
	1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W		

Bit 15 SCS

このビットは、同期キャプチャモード/非同期キャプチャモードを選択します。

1 (R/W): 同期キャプチャモード

0 (R/W): 非同期キャプチャモード

詳細は、“コンパレータ/キャプチャブロックの動作 - 同期キャプチャモード/非同期キャプチャモード”を参照してください。T16B_nCCCTLm.SCSビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

Bits 14-12 CBUFMD[2:0]

これらのビットは、T16B_nCCRmレジスタに書き込んだ比較値をコンペアバッファにロードするタイミングを選択します。T16B_nCCCTLm.CBUFMD[2:0]ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

表17.7.3 コンペアバッファへの比較値ロードタイミング

T16B_nCCCTLm.CBUFMD[2:0]ビット	カウントモード	比較値ロードタイミング
0x7~0x5		Reserved
0x4	アップモード	カウンタが直前の比較値と一致したとき同時に、カウンタも0x0000にリセットされます。
	ダウンモード	カウンタが直前の比較値と一致したとき同時に、カウンタもMAX値にリセットされます。
	アップ/ダウンモード	カウンタが直前の比較値と一致したとき同時に、カウンタも0x0000にリセットされます。
0x3	アップモード	カウンタが0x0000になったとき
	ダウンモード	カウンタがMAX値になったとき
	アップ/ダウンモード	カウンタが直前の比較値と一致したとき、またはカウンタが0x0000になったとき
0x2	アップモード	カウンタが直前の比較値と一致したとき
	ダウンモード	
	アップ/ダウンモード	
0x1	アップモード	カウンタがMAX値になったとき
	ダウンモード	カウンタが0x0000になったとき
	アップ/ダウンモード	カウンタが0x0000またはMAX値になったとき
0x0	アップモード	T16B_nCCRmレジスタへの書き込み後、CLK_T16Bnの立ち上がり時
	ダウンモード	
	アップ/ダウンモード	

Bits 11-10 CAPIS[1:0]

これらのビットは、キャプチャ用トリガ信号を選択します(表17.7.4参照)。T16B_nCCCTLm.CAPIS[1:0]ビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

Bits 9-8 CAPTRG[1:0]

これらのビットは、キャプチャモード時にT16B_nCCRmレジスタへカウンタ値を取り込む、トリガ信号のエッジを選択します(表17.7.4参照)。

17 16ビットPWMタイマ(T16B)

T16B_nCCCTLm.CAPTRG[1:0]ビットはキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

表17.7.4 カウンタキャプチャ用トリガ信号/エッジ

T16B_nCCCTLm.CAPTRG[1:0]ビット (トリガエッジ)	トリガ条件		
	T16B_nCCCTLm.CAPIS[1:0]ビット (トリガ信号)		
	0x0 (外部トリガ信号)	0x2 (ソフトウェアトリガ信号=L)	0x3 (ソフトウェアトリガ信号=H)
0x3 (↑ & ↓)	CAPnm端子入力信号の立ち上がりまたは立ち下がリエッジ	T16B_nCCCTLm.CAPIS[1:0]ビットを0x2から0x3に書き換え、または0x3から0x2に書き換え	
0x2 (↓)	CAPnm端子入力信号の立ち下がリエッジ	T16B_nCCCTLm.CAPIS[1:0]ビットを0x3から0x2に書き換え	
0x1 (↑)	CAPnm端子入力信号の立ち上がりエッジ	T16B_nCCCTLm.CAPIS[1:0]ビットを0x2から0x3に書き換え	
0x0	トリガなし(キャプチャ機能ディスエーブル)		

Bit 7 **Reserved**

Bit 6 **TOUTMT**

このビットは、TOUTnm信号の生成に別システムのコンパレータMATCH信号も使用するかどうかを選択します。

1 (R/W): コンパレータ回路ペア(0&1、2&3、4&5)の2本のコンパレータMATCH信号を使用してTOUT生成

0 (R/W): コンパレータm 1システムのコンパレータMATCH信号とカウンタMAXまたはZERO信号を使用してTOUT生成

T16B_nCCCTLm.TOUTMTビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

Bit 5 **TOUTO**

このビットは、TOUTnm出力のソフトウェア制御選択時(T16B_nCCCTLm.TOUTMD[2:0] = 0x0)に、TOUTnm信号の出力レベルを設定します。

1 (R/W): HIGHレベル出力

0 (R/W): LOWレベル出力

T16B_nCCCTLm.TOUTOビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

Bits 4-2 **TOUTMD[2:0]**

これらのビットは、TOUTnm信号波形をコンパレータMATCH信号とカウンタMAX/ZERO信号でどのように変化させるか設定します。

T16B_nCCCTLm.TOUTMD[2:0]ビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

表17.7.5 TOUT生成モード

T16B_nCCCTLm.TOUTMD[2:0]ビット	TOUT生成モードと動作			
	T16B_nCCCTLm.TOUTMTビット	カウントモード	出力信号	信号変化
0x7	リセット/セットモード			
	0	アップカウントモード	TOUTnm	MATCH信号でインアクティブ、MAX信号でアクティブ
		アップダウンカウントモード	TOUTnm	MATCH信号でインアクティブ、ZERO信号でアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号でインアクティブ、MATCHm+1信号でアクティブ
TOUTnm+1			MATCHm+1信号でインアクティブ、MATCHm信号でアクティブ	
0x6	トグル/セットモード			
	0	アップカウントモード	TOUTnm	MATCH信号で反転、MAX信号でアクティブ
		アップダウンカウントモード	TOUTnm	MATCH信号で反転、ZERO信号でアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号で反転、MATCHm+1信号でアクティブ
TOUTnm+1			MATCHm+1信号で反転、MATCHm信号でアクティブ	

T16B_nCCCTLm. TOUTMD[2:0] ビット	TOUT生成モードと動作			
	T16B_nCCCTLm. TOUTMTビット	カウントモード	出力信号	信号変化
0x5	リセットモード			
	0	すべてのカウントモード	TOUTnm	MATCH信号でインアクティブ
	1	すべてのカウントモード	TOUTnm TOUTnm+1	MATCHmまたはMATCHm+1信号でインアクティブ MATCHm+1またはMATCHm信号でインアクティブ
0x4	トグルモード			
	0	すべてのカウントモード	TOUTnm	MATCH信号で反転
	1	すべてのカウントモード	TOUTnm TOUTnm+1	MATCHmまたはMATCHm+1信号で反転 MATCHm+1またはMATCHm信号で反転
0x3	セット/リセットモード			
	0	アップカウントモード	TOUTnm	MATCH信号でアクティブ、 MAX信号でインアクティブ
		アップダウンカウントモード ダウンカウントモード	TOUTnm	MATCH信号でアクティブ、 ZERO信号でインアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号でアクティブ、 MATCHm+1信号でインアクティブ
TOUTnm+1			MATCHm+1信号でアクティブ、 MATCHm信号でインアクティブ	
0x2	トグル/リセットモード			
	0	アップカウントモード	TOUTnm	MATCH信号で反転、 MAX信号でインアクティブ
		アップダウンカウントモード ダウンカウントモード	TOUTnm	MATCH信号で反転、 ZERO信号でインアクティブ
	1	すべてのカウントモード	TOUTnm	MATCHm信号で反転、 MATCHm+1信号でインアクティブ
TOUTnm+1			MATCHm+1信号で反転、 MATCHm信号でインアクティブ	
0x1	セットモード			
	0	すべてのカウントモード	TOUTnm	MATCH信号でアクティブ
	1	すべてのカウントモード	TOUTnm TOUTnm+1	MATCHmまたはMATCHm+1信号でアクティブ MATCHm+1またはMATCHm信号でアクティブ
0x0	ソフトウェア制御モード			
	*	すべてのカウントモード	TOUTnm	T16B_nCCCTLm.TOUTOビット = 1でアクティブ、 T16B_nCCCTLm.TOUTOビット = 0でインアクティブ

Bit 1 TOUTINV

このビットは、TOUTnm信号の極性を選択します。

1 (R/W): 反転(アクティブLOW)

0 (R/W): 通常(アクティブHIGH)

T16B_nCCCTLm.TOUTINVビットはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

Bit 0 CCMD

このビットはコンパレータ/キャプチャ回路mの動作モードを選択します。

1 (R/W): キャプチャモード(T16B_nCCRMレジスタ = キャプチャレジスタ)

0 (R/W): コンパレータモード(T16B_nCCRMレジスタ = コンペアデータレジスタ)

T16B Ch.n Compare/Capture m Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nCCRM	15-0	CC[15:0]	0x0000	H0	R/W	-

Bits 15-0 CC[15:0]

コンパレータモード時はコンペアデータレジスタとして機能し、カウンタとの比較値を設定します。

キャプチャモード時はキャプチャレジスタとして機能し、キャプチャトリガ信号によってキャプチャしたカウンタ値が本レジスタにロードされます。

T16B Ch.n Counter Max/Zero DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nMZDMAEN	15-0	MZDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 MZDMAEN[15:0]

これらのビットは、カウンタ値がMAX値または0x0000になった時点での、対応DMAチャンネル(Ch.0~Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

T16B Ch.n Compare/Capture m DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16B_nCCmDMAEN	15-0	CCmDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 CCmDMAEN[15:0]

これらのビットは、カウンタ値がコンペアデータに一致またはカウンタ値をキャプチャした時点での、対応DMAチャンネル(Ch.0~Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

18 サウンドジェネレータ(SNDA)

18.1 概要

SNDAは、メロディおよびブザー信号を発生するサウンドジェネレータです。主な機能と特長を以下に示します。

- 3種類のサウンド出力モードを選択可能
 1. ノーマルブザーモード(出力期間をソフトウェアで制御する通常のブザー出力を行うモード)
 - 出力周波数: 512 Hz～16,384 Hzの範囲で設定可能
 - デューティ比: 0 %～100 %の範囲で設定可能
 2. ワンショットブザーモード(クリック音などの短いブザー出力を行うモード)
 - 出力周波数: 512 Hz～16,384 Hzの範囲で設定可能
 - デューティ比: 0 %～100 %の範囲で設定可能
 - ワンショット出力期間: 15.6 ms～250 msの範囲で設定可能(16種類)
 3. メロディモード(単音のメロディを演奏するモード)
 - 音高: 128 Hz～16,384 Hzの範囲で設定可能
(音階: A4 = 443 Hz基準でC3～C6の3オクターブ)
 - 音長: 2分音符/休符～32分音符/休符を設定可能(7種類)
 - テンポ: 30～480の範囲で設定可能(16種類)
 - その他: タイ/スラーを指定可能
- 反転、非反転出力端子により圧電ブザーを駆動可能
- サウンド停止時の反転出力端子の状態を制御可能

図18.1.1にSNDAの構成を示します。

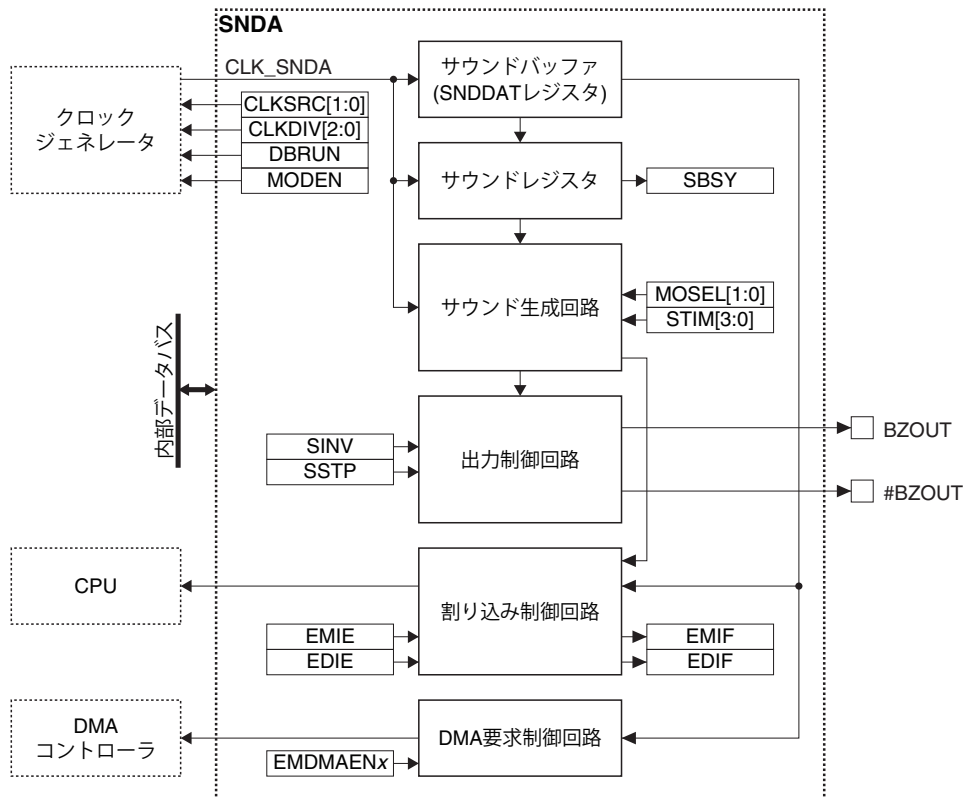


図18.1.1 SNDAの構成

18.2 出力端子と外部接続

18.2.1 出力端子一覧

表18.2.1.1にSNDAの端子一覧を示します。

表18.2.1.1 SNDA端子一覧

端子名	I/O*	イニシャル状態*	機能
BZOUT	O	O (LOW)	ブザー非反転出力端子
#BZOUT	O	O (LOW)	ブザー反転出力端子

* 端子機能をSNDAに切り換えた時点の状態

これらのSNDA端子と他の機能がポートを共有している場合、SNDAを動作させる前にSNDAの出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

18.2.2 出力端子の駆動モード

BZOUT端子と#BZOUT端子の駆動モードを、SNDASEL.SINVビットで下記の2種類に設定可能です。

ダイレクト駆動モード(SNDASEL.SINVビット = 0)

ブザー信号出力がOFFの状態では、BZOUT端子と#BZOUT端子が共にLOWとなり、圧電ブザーにバイアスがかかり続けることを防止します。

ノーマル駆動モード(SNDASEL.SINVビット = 1)

#BZOUT端子は、ブザー OFF時も含め、BZOUT端子の反転信号を常に出力します。

18.2.3 外部との接続

SNDAと圧電ブザーとの接続を図18.2.2.1および図18.2.2.2に示します。

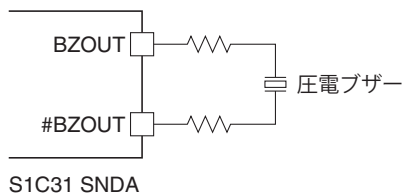


図18.2.2.1 SNDAと圧電ブザーとの接続(ダイレクト駆動)

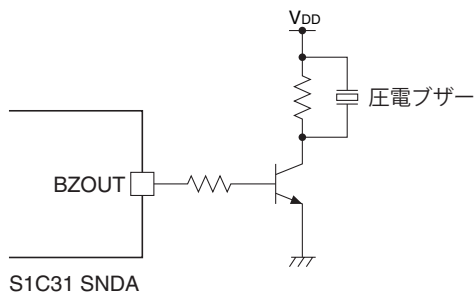


図18.2.2.2 SNDAと圧電ブザーとの接続(1端子駆動)

18.3 クロック設定

18.3.1 SNDAの動作クロック

SNDAを使用する場合、クロックジェネレータからSNDA動作クロックCLK_SNDAをSNDAに供給する必要があります。CLK_SNDAの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. SNDACLKレジスタの以下のビットを設定する。
 - SNDACLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - SNDACLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)

CLK_SNDA周波数は32,768 Hz近辺に設定してください。

18.3.2 SLEEPモード時のクロック供給

SLEEPモード時にSNDAを使用する場合は、SNDA動作クロックCLK_SNDAのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_SNDAを供給し続ける必要があります。

SLEEPモード時に、CLK_SNDAのクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_SNDAのクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、SNDAが停止します。その後通常モードに戻ると、CLK_SNDAが供給され、SNDAの動作が再開します。

18.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_SNDAの供給はSNDACLK.DBRUNビットで制御します。

SNDACLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSNDAへのCLK_SNDAの供給が停止します。その後通常モードに戻ると、CLK_SNDAの供給が再開します。CLK_SNDAの供給が停止するとSNDAの動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。SNDACLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_SNDAの供給は停止せず、SNDAは動作を継続します。

18.4 動作

18.4.1 初期設定

SNDAは、以下の手順により初期設定を行います。

1. SNDA出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
2. SNDAの動作クロックを設定する。
3. SNDACTL.MODENビットを1に設定する。 (SNDAの動作をイネーブル)
4. SNDASELレジスタの以下のビットを設定する。
 - SNDASEL.SINVビット (出力端子の駆動モードを設定)
 - SNDASEL.MOSEL[1:0]ビット (サウンド出力モードを設定)
5. 割り込みを使用する場合は以下のビットを設定する。
 - SNDAINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - SNDAINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
6. DMA転送を使用する場合は、DMAコントローラを設定すると共に以下のSNDA制御ビットを設定する。
 - SNDAEMDMAENレジスタのDMA転送要求イネーブルビットに1を書き込む (DMA転送要求イネーブル)

18.4.2 ノーマルブザーモードのブザー出力

ノーマルブザーモードは、ソフトウェアで指定した周波数およびデューティ比のブザー信号を生成して出力します。ブザー出力期間もソフトウェアで制御可能です。

出力開始/停止手順と動作を以下に示します。

ノーマルブザー出力開始/停止手順

1. SNDASEL.MOSEL[1:0]ビットを0x0に設定する。(ノーマルブザーモードに設定)
2. サウンドバッファ(SNDADATレジスタ)の以下のビットにデータを書き込む。(ブザー出力を開始)
 - SNDADAT.SLEN[5:0]ビット (ブザー出力信号のデューティ比を設定)
 - SNDADAT.SFRQ[7:0]ビット (ブザー出力信号の周波数を設定)
3. 出力期間の終了を待ち、SNDCTL.SSTPビットに1を書き込む。(ブザー出力を停止)

ノーマルブザー出力動作

サウンドバッファ(SNDADATレジスタ)にデータが書き込まれると、SNDAINTF.EMIFビット(サウンドバッファエンプティ割り込みフラグ)が0にクリアされ、SNDAはブザー出力動作を開始します。データ書き込み後、CLK_SNDAクロックに同期して、サウンドバッファのデータがサウンドレジスタにロードされます。同時にSNDAINTF.EMIFビットとSNDAINTF.SBSYビットが1にセットされます。出力端子からは、指定した周波数/デューティ比のブザー信号が出力されます。

SNDCTL.SSTPビットへの1書き込みによってブザー出力は停止し、同時にSNDAINTF.EDIFビット(サウンド出力終了割り込みフラグ)が1にセットされます。SNDAINTF.SBSYビットは0にクリアされます。

図18.4.2.1にノーマルブザーモードのブザー出力タイミングを示します。

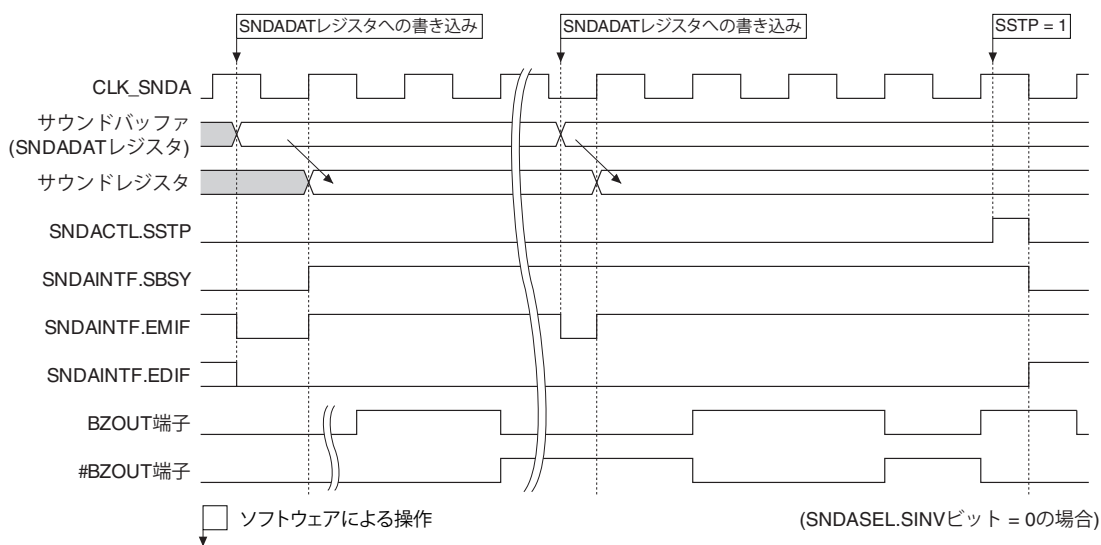


図18.4.2.1 ノーマルブザーモードのブザー出力タイミング

ブザー出力波形の設定(ノーマルブザーモード/ワンショットブザーモード)

ブザー信号の周波数をSNDADAT.SFRQ[7:0]ビット、デューティ比(HIGH期間/周期)をSNDADAT.SLEN[5:0]ビットで設定します。それぞれの設定値は以下の式で求められます。

$$\text{SNDADAT.SFRQ}[7:0]\text{ビット} = \frac{f_{\text{CLK_SNDA}}}{f_{\text{BZOUT}}} - 1 \quad (\text{式18.1})$$

$$\text{SNDADAT.SLEN}[5:0]\text{ビット} = \left(\frac{f_{\text{CLK_SNDA}}}{f_{\text{BZOUT}}} \times \frac{\text{DUTY}}{100} \right) - 1 \quad (\text{式18.2})$$

ここで

- fCLK_SNDA: CLK_SNDA周波数 [Hz]
- fBZOUT: ブザー信号周波数 [Hz]
- DUTY: ブザー信号デューティ比 [%]

ただし、以下の設定は禁止します。

- SNDADAT.SFRQ[7:0]ビット ≤ SNDADAT.SLEN[5:0]ビットとなる設定
- SNDADAT.SFRQ[7:0]ビット = 0x00 となる設定

表18.4.2.1 プザ-周波数設定($f_{CLK_SNDA} = 32,768$ Hzの場合)

SNDADAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDADAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDADAT. SFRQ[7:0]ビット	周波数 [Hz]	SNDADAT. SFRQ[7:0]ビット	周波数 [Hz]
0x3f	512.0	0x2f	682.7	0x1f	1,024.0	0x0f	2,048.0
0x3e	520.1	0x2e	697.2	0x1e	1,057.0	0x0e	2,184.5
0x3d	528.5	0x2d	712.3	0x1d	1,092.3	0x0d	2,340.6
0x3c	537.2	0x2c	728.2	0x1c	1,129.9	0x0c	2,520.6
0x3b	546.1	0x2b	744.7	0x1b	1,170.3	0x0b	2,730.7
0x3a	555.4	0x2a	762.0	0x1a	1,213.6	0x0a	2,978.9
0x39	565.0	0x29	780.2	0x19	1,260.3	0x09	3,276.8
0x38	574.9	0x28	799.2	0x18	1,310.7	0x08	3,640.9
0x37	585.1	0x27	819.2	0x17	1,365.3	0x07	4,096.0
0x36	595.8	0x26	840.2	0x16	1,424.7	0x06	4,681.1
0x35	606.8	0x25	862.3	0x15	1,489.5	0x05	5,461.3
0x34	618.3	0x24	885.6	0x14	1,560.4	0x04	6,553.6
0x33	630.2	0x23	910.2	0x13	1,638.4	0x03	8,192.0
0x32	642.5	0x22	936.2	0x12	1,724.6	0x02	10,922.7
0x31	655.4	0x21	963.8	0x11	1,820.4	0x01	16,384.0
0x30	668.7	0x20	993.0	0x10	1,927.5	0x00	禁止

表18.4.2.2 プザ-デューティ比設定例($f_{CLK_SNDA} = 32,768$ Hzの場合)

SNDADAT. SLEN[5:0]ビット	プザ-周波数別設定可能デューティ比					
	16,384 Hz	8,192 Hz	4,096 Hz	2,048 Hz	1,024 Hz	512 Hz
0x3f	-	-	-	-	-	-
0x3e	-	-	-	-	-	98.4
0x3d	-	-	-	-	-	96.9
0x3c	-	-	-	-	-	95.3
0x3b	-	-	-	-	-	93.8
0x3a	-	-	-	-	-	92.2
0x39	-	-	-	-	-	90.6
0x38	-	-	-	-	-	89.1
0x37	-	-	-	-	-	87.5
0x36	-	-	-	-	-	85.9
0x35	-	-	-	-	-	84.4
0x34	-	-	-	-	-	82.8
0x33	-	-	-	-	-	81.3
0x32	-	-	-	-	-	79.7
0x31	-	-	-	-	-	78.1
0x30	-	-	-	-	-	76.6
0x2f	-	-	-	-	-	75.0
0x2e	-	-	-	-	-	73.4
0x2d	-	-	-	-	-	71.9
0x2c	-	-	-	-	-	70.3
0x2b	-	-	-	-	-	68.8
0x2a	-	-	-	-	-	67.2
0x29	-	-	-	-	-	65.6
0x28	-	-	-	-	-	64.1
0x27	-	-	-	-	-	62.5
0x26	-	-	-	-	-	60.9
0x25	-	-	-	-	-	59.4
0x24	-	-	-	-	-	57.8
0x23	-	-	-	-	-	56.3
0x22	-	-	-	-	-	54.7
0x21	-	-	-	-	-	53.1
0x20	-	-	-	-	-	51.6
0x1f	-	-	-	-	-	50.0
0x1e	-	-	-	-	96.9	48.4
0x1d	-	-	-	-	93.8	46.9
0x1c	-	-	-	-	90.6	45.3
0x1b	-	-	-	-	87.5	43.8
0x1a	-	-	-	-	84.4	42.2
0x19	-	-	-	-	81.3	40.6
0x18	-	-	-	-	78.1	39.1
0x17	-	-	-	-	75.0	37.5
0x16	-	-	-	-	71.9	35.9
0x15	-	-	-	-	68.8	34.4
0x14	-	-	-	-	65.6	32.8
0x13	-	-	-	-	62.5	31.3
0x12	-	-	-	-	59.4	29.7

SNDADAT. SLEN[5:0]ビット	ブザー周波数別設定可能デューティ比					
	16,384 Hz	8,192 Hz	4,096 Hz	2,048 Hz	1,024 Hz	512 Hz
0x11	-	-	-	-	56.3	28.1
0x10	-	-	-	-	53.1	26.6
0x0f	-	-	-	-	50.0	25.0
0x0e	-	-	-	93.8	46.9	23.4
0x0d	-	-	-	87.5	43.8	21.9
0x0c	-	-	-	81.3	40.6	20.3
0x0b	-	-	-	75.0	37.5	18.8
0x0a	-	-	-	68.8	34.4	17.2
0x09	-	-	-	62.5	31.3	15.6
0x08	-	-	-	56.3	28.1	14.1
0x07	-	-	-	50.0	25.0	12.5
0x06	-	-	87.5	43.8	21.9	10.9
0x05	-	-	75.0	37.5	18.8	9.4
0x04	-	-	62.5	31.3	15.6	7.8
0x03	-	-	50.0	25.0	12.5	6.3
0x02	-	75.0	37.5	18.8	9.4	4.7
0x01	-	50.0	25.0	12.5	6.3	3.1
0x00	50.0	25.0	12.5	6.3	3.1	1.6

18.4.3 ワンショットブザーモードのブザー出力

ワンショットブザーモードは、クリック音などを出力するためのモードで、ソフトウェアで指定した周波数およびデューティ比のブザー信号を生成し、指定した短い期間のみ出力します。

出力開始手順と動作を以下に示します。ブザー出力波形については、“ノーマルブザーモードのブザー出力”を参照してください。

ワンショットブザー出力開始手順

- SNDASELレジスタの以下のビットを設定する。
 - SNDASEL.MOSEL[1:0]ビットを0x1に設定する (ワンショットブザーモードに設定)
 - SNDASEL.STIM[3:0]ビット (出力期間を設定)
- サウンドバッファ(SNDADATレジスタ)の以下のビットにデータを書き込む。(ブザー出力を開始)
 - SNDADAT.SLEN[5:0]ビット (ブザー出力信号のデューティ比を設定)
 - SNDADAT.SFRQ[7:0]ビット (ブザー出力信号の周波数を設定)

ワンショットブザー出力動作

サウンドバッファ(SNDADATレジスタ)にデータが書き込まれると、SNDAINTF.EMIFビット(サウンドバッファエンプティ割り込みフラグ)が0にクリアされ、SNDAはブザー出力動作を開始します。データ書き込み後、CLK_SNDAクロックに同期して、サウンドバッファのデータがサウンドレジスタにロードされます。同時にSNDAINTF.EMIFビットとSNDAINTF.SBSYビットが1にセットされます。出力端子からは、指定した周波数/デューティ比のブザー信号が出力されます。

SNDASEL.STIM[3:0]ビットで指定した時間が経過するとブザー出力は自動的に停止し、同時にSNDAINTF.EDIFビット(サウンド出力終了割り込みフラグ)が1にセットされます。SNDAINTF.SBSYビットは0にクリアされます。

図18.4.3.1にワンショットブザーモードのブザー出力タイミングを示します。

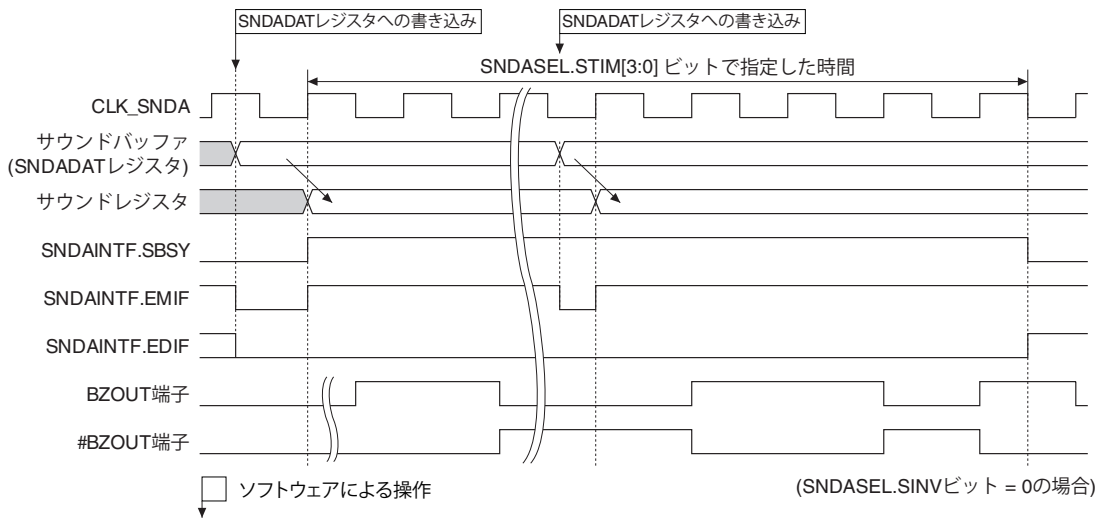


図18.4.3.1 ワンショットブザーモードのブザー出力タイミング

18.4.4 メロディモードの出力

メロディモードは、サウンドバッファ(SNDADATレジスタ)に逐次書き込まれるデータに従ってメロディ付きのブザー信号を生成して出力します。出力開始手順と動作を以下に示します。

メロディ出力開始手順

- SNDASELレジスタの以下のビットを設定する。
 - SNDASEL.MOSEL[1:0]ビットを0x2に設定する (メロディモードに設定)
 - SNDASEL.STIM[3:0]ビットを設定する (テンポを設定)
- サウンドバッファ(SNDADATレジスタ)の以下のビットにデータを書き込む。(サウンド出力を開始)
 - SNDADAT.MDTIビット (タイ/スラーの有無を設定)
 - SNDADAT.MDRSビット (音符/休符の設定)
 - SNDADAT.SLEN[5:0]ビット (音長を設定)
 - SNDADAT.SFRQ[7:0]ビット (音階を設定)
- SNDAINTF.EMIFビットが1になったことを確認する(割り込み使用可)。
- メロディの終了まで、2と3を繰り返す。

メロディ出力動作

サウンドバッファ(SNDADATレジスタ)にデータが書き込まれると、SNDAINTF.EMIFビット(サウンドバッファエンプティ割り込みフラグ)が0にクリアされ、SNDAはサウンド出力動作を開始します。データ書き込み後、内部トリガ信号により、サウンドバッファのデータがサウンドレジスタにロードされます。同時にSNDAINTF.EMIFビットとSNDAINTF.SBSYビットが1にセットされます。出力端子からは、指定したサウンドが出力されます。

次のトリガまでに、サウンドバッファ(SNDADATレジスタ)にデータが書き込まれないと、サウンド出力は停止し、同時にSNDAINTF.EDIFビット(サウンド出力終了割り込みフラグ)が1にセットされます。SNDAINTF.SBSYビットは0にクリアされます。

図18.4.4.1にメロディモードの動作タイミングを示します。

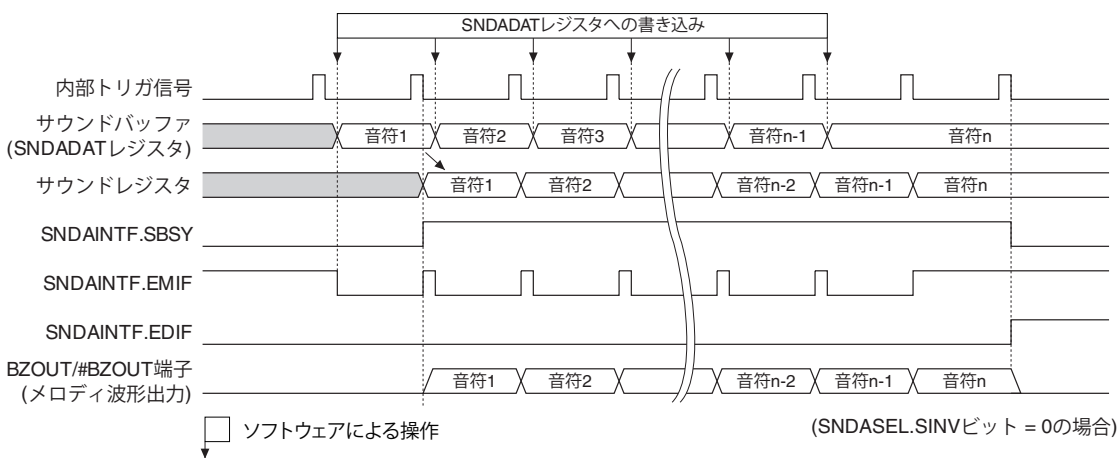


図18.4.4.1 メロディモードの動作タイミング

DMAを使用したメロディ出力

SNDAEMDMAEN.EMDMAEN_xビットを1(DMA転送要求イネーブル)に設定しておく、SNDAINTF.EMIFビットが1(サウンドバッファエンプティ)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、指定されているメモリからサウンドバッファ(SNADATレジスタ)に、メロディデータがDMA Ch._xにより転送されます。

これにより、上記メロディ出力手順の2~4はDMAにより自動化できます。

なお、メロディデータがサウンドバッファ(SNADATレジスタ)に転送されるように、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表18.4.4.1 DMAデータストラクチャ設定例(メロディ出力)

設定項目	設定例
エンドポイント	転送元 最終メロディデータが格納されているメモリアドレス 転送先 SNADATレジスタアドレス
コントロールデータ	dst_inc 0x3(インクリメントなし)
	dst_size 0x1(ハーフワード)
	src_inc 0x1(+2)
	src_size 0x1(ハーフワード)
	R_power 0x0(転送ごとに調停)
	n_minus_1 転送データ数
cycle_ctrl 0x1(通常転送)	

メロディ出力波形の設定

音符/休符(音長)の指定

音符/休符をSNADAT.MDRSビットとSNADAT.SLEN[5:0]ビットで設定します。

表18.4.4.2 音符/休符の指定(fCLK_SNDA = 32,768 Hzの場合)

SNADAT.SLEN[5:0]ビット	SNADAT.MDRSビット	
	0: 音符	1: 休符
0x0f	2分音符	2分休符
0x0b	付点4分音符	付点4分休符
0x07	4分音符	4分休符
0x05	付点8分音符	付点8分休符
0x03	8分音符	8分休符
0x01	16分音符	16分休符
0x00	32分音符	32分休符
その他	設定禁止	

タイ/スラーの指定

SNDADAT.MDTIビットを1に設定するとタイ/スラーが有効になり、直前の音符と該当音符とを連続して演奏します。

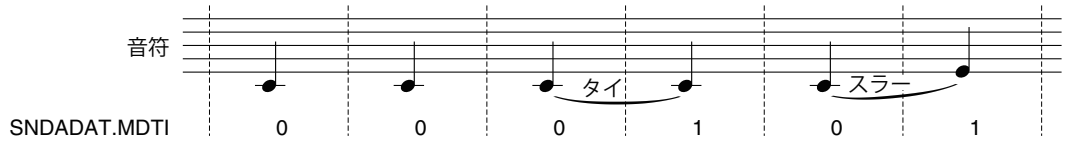


図18.4.4.2 タイ/スラー

音階の指定

音階をSNDADAT.SFRQ[7:0]ビットで設定します。

表18.4.4.3 音階の指定($f_{CLK_SNDA} = 32,768$ Hzの場合)

SNDADAT.SFRQ[7:0]ビット	音階	周波数 [Hz]
0xf8	C3	131.60
0xea	C#3	139.44
0xdd	D3	147.60
0xd1	D#3	156.04
0xc5	E3	165.49
0xba	F3	175.23
0xaf	F#3	186.18
0xa5	G3	197.40
0x9c	G#3	208.71
0x93	A3	221.41
0x8b	A#3	234.06
0x83	B3	248.24
0x7c	C4	262.14
0x75	C#4	277.69
0x6e	D4	295.21
0x68	D#4	312.08
0x62	E4	330.99
0x5c	F4	352.34
0x57	F#4	372.36
0x52	G4	394.80
0x4e	G#4	414.78
0x49	A4	442.81
0x45	A#4	468.11
0x41	B4	496.48
0x3d	C5	528.52
0x3a	C#5	555.39
0x37	D5	585.14
0x33	D#5	630.15
0x30	E5	668.73
0x2e	F5	697.19
0x2b	F#5	744.73
0x29	G5	780.19
0x26	G#5	840.21
0x24	A5	885.62
0x22	A#5	936.23
0x20	B5	992.97
0x1e	C6	1057.03

18.5 割り込み

SNDAには、表18.5.1に示す割り込みを発生させる機能があります。

表18.5.1 SNDAの割り込み機能

割り込み	割り込みフラグ	セット	クリア
サウンドバッファ エンプティ	SNDAINTF.EMIF	サウンドバッファ(SNDADATレジスタ)のデータがサウンドレジスタに転送されたとき、またはSNDACTL.SSTPビットに1を書き込んだとき	SNDADATレジスタへの書き込み
サウンド出力終了	SNDAINTF.EDIF	サウンド出力が終了したとき	1書き込み、またはSNDADATレジスタへの書き込み

18 サウンドジェネレータ(SNDA)

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、CPUへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

18.6 DMA転送要求

SNDAには、表18.6.1に示す要因でDMA転送要求を発生させる機能があります。

表18.6.1 SNDAのDMA転送要求要因

DMA転送要求要因	DMA転送要求起動フラグ	セット	クリア
サウンドバッファ エンプティ	サウンドバッファ エンプティフラグ (SNDAINTE.MIF)	サウンドバッファ (SNDADATレジスタ)のデータがサ ウンドレジスタに転送されたとき、またはSNDACTL. SSTPビットに1を書き込んだとき	SNDADATレジスタ への書き込み

上記のDMA転送要求起動フラグには、それぞれに対応するDMA転送要求イネーブルビットがDMAチャネル数分用意されています。それらのビットによってDMA転送をイネーブルにしたDMA転送要求起動フラグのセット時にのみ、DMAコントローラの該当チャネルにDMA転送要求が出力されます。DMA転送要求起動フラグは割り込みフラグを兼ねているため、DMA転送要求と割り込みの両方を同時にイネーブルにはできません。DMA転送終了後は、意図しないDMA転送要求が出力されることのないように、DMA転送をディスエーブルにしてください。DMA転送の制御については、“DMAコントローラ”の章を参照してください。

18.7 制御レジスタ

SNDA Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDACLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
1-0	CLKSRC[1:0]	0x0	H0	R/W		

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にSNDA動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bit 7 Reserved

Bits 6-4 CLKDIV[2:0]

これらのビットは、SNDA動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、SNDAのクロックソースを選択します。

表18.7.1 クロックソースと分周比の設定

SNDACLK. CLKDIV[2:0]ビット	SNDACLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x7	Reserved	1/1	Reserved	1/1
0x6				
0x5			1/512	
0x4			1/256	
0x3			1/128	
0x2			1/64	
0x1			1/32	
0x0			1/16	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: SNDACLKレジスタは、SNDACLK.MODEENビット = 0のときのみ設定変更が可能です。

SNDA Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDASEL	15–12	–	0x0	–	R	–
	11–8	STIM[3:0]	0x0	H0	R/W	
	7–3	–	0x00	–	R	
	2	SINV	0	H0	R/W	
	1–0	MOSEL[1:0]	0x0	H0	R/W	

Bits 15–12 Reserved

Bits 11–8 STIM[3:0]

これらのビットは、テンポ(メロディモード選択時)、またはワンショットブザー出力期間(ワンショットブザーモード選択時)を選択します。

表18.7.2 テンポ/ワンショットブザー出力期間の選択($f_{CLK_SNDA} = 32,768$ Hzの場合)

SNDASEL. STIM[3:0]ビット	テンポ (= 4分音符/分)	ワンショットブザー 出力期間 [ms]
0xf	30	250.0
0xe	32	234.4
0xd	34.3	218.8
0xc	36.9	203.1
0xb	40	187.5
0xa	43.6	171.9
0x9	48	156.3
0x8	53.3	140.6
0x7	60	125.0
0x6	68.6	109.4
0x5	80	93.8
0x4	96	78.1
0x3	120	62.5
0x2	160	46.9
0x1	240	31.3
0x0	480	15.6

注: SNDAINTE.SBSYビット = 1の間の変更は禁止します。

Bits 7–3 Reserved

Bit 2 SINV

このビットは、出力端子の駆動モードを選択します。

1 (R/W): ノーマル駆動モード

0 (R/W): ダイレクト駆動モード

詳細は、“出力端子の駆動モード”を参照してください。

Bits 1–0 MOSEL[1:0]

これらのビットは、サウンド出力モードを選択します。

表18.7.3 サウンド出力モードの選択

SNDASEL.MOSEL[1:0]ビット	サウンド出力モード
0x3	Reserved
0x2	メロディモード
0x1	ワンショットブザーモード
0x0	ノーマルブザーモード

SNDA Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDACTL	15-9	-	0x00	-	R	-
	8	SSTP	0	H0	R/W	
	7-1	-	0x00	-	R	
	0	MODEN	0	H0	R/W	

Bits 15-9 Reserved

Bit 8 SSTP

このビットは、サウンド出力を停止します。

1 (W): サウンド出力停止

0 (W): 無効

1 (R): 停止処理中

0 (R): 停止完了/停止中

ノーマルブザーモード時のブザー出力を停止するためのビットです。1書き込み後、サウンド出力が終了した時点で0にクリアされます。ワンショットブザーモード/メロディモード時も、本ビットへの1書き込みによりサウンド出力を強制終了することができます。

Bits 7-1 Reserved

Bit 0 MODEN

このビットは、SNDAの動作をイネーブルにします。

1 (R/W): SNDA動作イネーブル(動作クロックが供給されます。)

0 (R/W): SNDA動作ディスエーブル(動作クロックが停止します。)

SNDA Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDADAT	15	MDTI	0	H0	R/W	-
	14	MDRS	0	H0	R/W	
	13-8	SLEN[5:0]	0x00	H0	R/W	
	7-0	SFRQ[7:0]	0xff	H0	R/W	

このレジスタはサウンドバッファとして機能します。このレジスタへのデータの書き込みによりサウンド出力を開始します。設定データの詳細は、“ブザー出力波形の設定(ノーマルブザーモード/ワンショットブザーモード)”および“メロディ出力波形の設定”を参照してください。

Bit 15 MDTI

このビットは、メロディモード時にタイ/スラー(直前の音符との連続演奏)を指定します。

1 (R/W): タイ/スラー有効

0 (R/W): タイ/スラー無効

ノーマルブザーモード/ワンショットブザーモード時は、このビットの設定は無視されます。

Bit 14 MDRS

このビットは、メロディモード時に休符と音符のどちらを出力するか選択します。

1 (R/W): 休符

0 (R/W): 音符

休符を選択した出力期間は、BZOUT端子がLOWに、#BZOUT端子がHIGHに固定されます。ノーマルブザーモード/ワンショットブザーモード時は、このビットの設定は無視されます。

Bits 13–8 SLEN[5:0]

これらのビットは、音長(メロディモード選択時)、またはブザー信号のデューティ比(ノーマルブザーモード/ワンショットブザーモード選択時)を設定します。

Bits 7–0 SFRQ[7:0]

これらのビットは、音階(メロディモード選択時)、またはブザー信号の周波数(ノーマルブザーモード/ワンショットブザーモード選択時)を設定します。

注: ・ ノーマルブザーモード/ワンショットブザーモードでは、SNDADAT.SFRQ[7:0]ビットの下位6ビット(SNDADAT.SFRQ[5:0]ビット)のみ有効です。SNDADAT.SFRQ[7:6]ビットは常に0x0に設定してください。

- ・ SNDADATレジスタは、16ビット以外のサイズでは書き込みができません。8ビットサイズの書き込みは無視されます。

SNDA Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDAINTF	15–9	–	0x00	–	R	–
	8	SBSY	0	H0	R	
	7–2	–	0x00	–	R	
	1	EMIF	1	H0	R	Cleared by writing to the SNDADAT register.
	0	EDIF	0	H0	R/W	Cleared by writing 1 or writing to the SNDADAT register.

Bits 15–9 Reserved**Bit 8 SBSY**

このビットは、サウンド出力の状態を示します。(図18.4.2.1、図18.4.3.1、図18.4.4.1参照)

1 (R): 出力中

0 (R): 待機中

Bits 7–2 Reserved**Bit 1 EMIF****Bit 0 EDIF**

これらのビットは、SNDA割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

SNDAINTF.EMIFビット: サウンドバッファエンプティ割り込み

SNDAINTF.EDIFビット: サウンド出力終了割り込み

SNDA Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDAINTE	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	EMIE	0	H0	R/W	
	0	EDIE	0	H0	R/W	

Bits 15–2 Reserved**Bit 1 EMIE****Bit 0 EDIE**

これらのビットは、SNDAの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

18 サウンドジェネレータ(SNDA)

各ビットと割り込みの対応は以下のとおりです。

SNDAINTE.EMIEビット: サウンドバッファエンプティ割り込み

SNDAINTE.EDIEビット: サウンド出力終了割り込み

SNDA Sound Buffer Empty DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SNDAEMDMAEN	15-0	EMDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 EMDMAEN[15:0]

これらのビットは、サウンドバッファエンプティ発生時における、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

19 IRリモートコントローラ(REMC3)

19.1 概要

REMC3は赤外線リモコン出力信号を生成する回路です。また、本回路に簡単な外部回路を付加することで、ELランプ駆動回路への応用も可能です。

REMC3の主な機能と特長を以下に示します。

- 赤外線リモコン信号を出力可能
- キャリア発生回路を内蔵
- フレキシブルなキャリア信号生成とデータパルス幅変調に対応
- 連続データ送信のためのオートデータ設定機能
- 出力信号の反転機能により各種フォーマットに対応
- 応用として、ELランプ駆動波形を生成可能

図19.1.1にREMC3の構成を示します。

表19.1.1 S1C31D01のREMC3構成

項目	S1C31D01
チャンネル数	送信1チャンネル

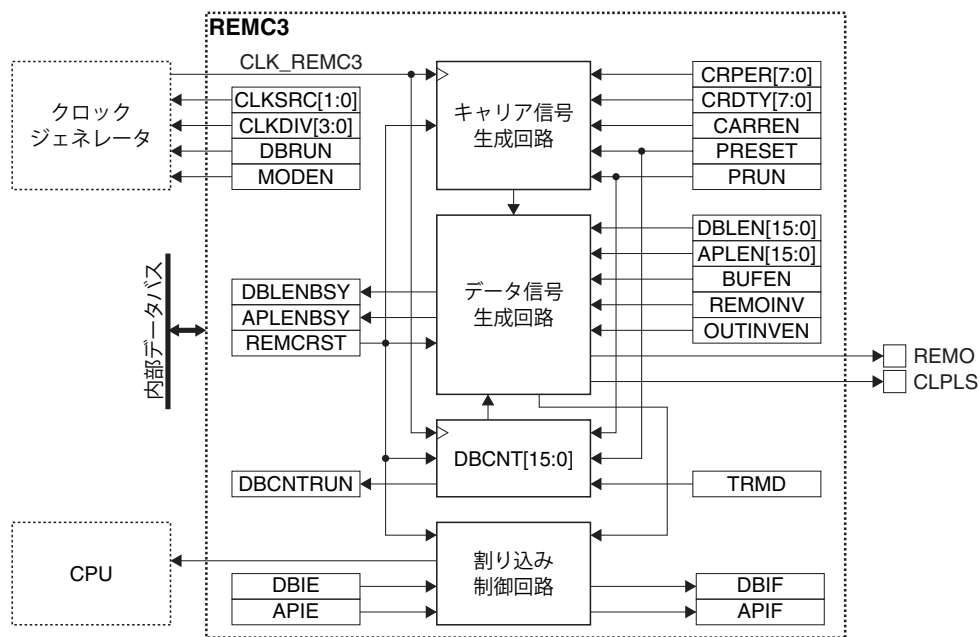


図19.1.1 REMC3の構成

19.2 出力端子と外部接続

19.2.1 出力端子

表19.2.1.1にREMC3端子の一覧を示します。

表19.2.1.1 REMC3端子

端子名	I/O*	イニシャル状態*	機能
REMO	O	O (L)	IRリモートコントローラ送信データ出力
CLPLS	O	O (L)	IRリモートコントローラキャリアパルス出力

* 端子機能をREMC3に切り換えた時点の状態

REMC3端子と他の機能がポートを共有している場合、REMC3を動作させる前にREMC3の出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

19.2.2 外部との接続

REMC3と外部赤外線機器の接続例を図19.2.2.1に示します。

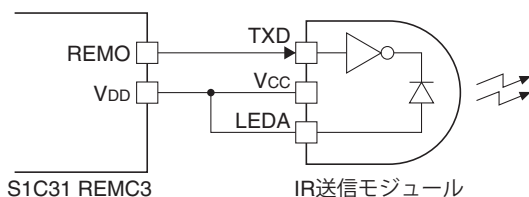


図19.2.2.1 REMC3と外部赤外線機器の接続例

19.3 クロック設定

19.3.1 REMC3の動作クロック

REMC3を使用する場合、クロックジェネレータからREMC3動作クロックCLK_REMC3をREMC3に供給する必要があります。

CLK_REMC3の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. REMC3CLKレジスタの以下のビットを設定する。
 - REMC3CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - REMC3CLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

19.3.2 SLEEPモード時のクロック供給

SLEEPモード時にREMC3を使用する場合は、REMC3動作クロックCLK_REMC3のクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_REMC3を供給し続ける必要があります。

SLEEPモード時に、CLK_REMC3のクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_REMC3のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、REMC3が停止します。その後通常モードに戻ると、CLK_REMC3が供給され、REMC3の動作が再開します。

19.3.3 デバッグ時のクロック供給

デバッグ時のCLK_REMC3の供給はREMC3CLK.DBRUNビットで制御します。

REMC3CLK.DBRUNビット = 0の場合、デバッグ状態に移行するとREMC3へのCLK_REMC3の供給が停止します。その後通常動作に戻ると、CLK_REMC3の供給が再開します。CLK_REMC3の供給が停止するとREMC3の動作は停止しますが、出力端子やレジスタはデバッグ状態に移行する前の状態に保持されます。REMC3CLK.DBRUNビット = 1の場合、デバッグ時もCLK_REMC3の供給は停止せず、REMC3は動作を継続します。

19.4 動作

19.4.1 初期設定

REMC3は、以下の手順により初期設定を行います。

1. REMC3DBCTL.REMCRSTビットに1を書き込む。(REMC3のリセット)
2. REMC3CLK.CLKSRC[1:0]ビットとREMC3CLK.CLKDIV[3:0]ビットを設定する。(動作クロックの設定)

3. REMC3の出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
4. REMC3DBCTLレジスタの以下のビットを設定する。
 - REMC3DBCTL.MODENビットを1に設定 (カウント動作クロックイネーブル)
 - REMC3DBCTL.TRMDビット (リピートモード/ワンショットモードの設定)
 - REMC3DBCTL.BUFENビットを1に設定 (コンペアバッファイネーブル)
 - REMC3DBCTL.REMOINVビット (出力信号論理反転の設定)
5. REMC3CARRレジスタの以下のビットを設定する。
 - REMC3CARR.CRPER[7:0]ビット (キャリア信号の周期を設定)
 - REMC3CARR.CRDTY[7:0]ビット (キャリア信号のデューティを設定)
6. REMC3CCTLレジスタの以下のビットを設定する。
 - REMC3CCTL.CARRENビット (キャリア変調イネーブル/ディスエーブル)
 - REMC3CCTL.OUTINVENビット (出力信号極性の設定)
7. 割り込みを使用する場合は以下のビットを設定する。
 - REMC3INTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - REMC3INTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)

19.4.2 送信手順

送信開始

データ送信は以下の手順で開始します。

1. REMC3APLEN.APLEN[15:0]ビットを設定する。 (データ信号のデューティを設定)
2. REMC3DBLEN.DBLEN[15:0]ビットを設定する。 (データ信号の周期を設定)
3. REMC3DBCTLレジスタの以下のビットを設定する。
 - REMC3DBCTL.PRESETビットを1に設定 (内部カウンタをリセット)
 - REMC3DBCTL.PRUNビットを1に設定 (カウントスタート)

連続送信制御

送信開始後(上記ステップ3の後)、データを連続的に送信する手順は以下のとおりです。

1. コンペアDB割り込み(REMC3INTF.DBIFビット = 1)が発生する前に、次のデータのデューティと周期をそれぞれREMC3APLEN.APLEN[15:0]ビットとREMC3DBLEN.DBLEN[15:0]ビットに設定する。(現在のデータと同じ設定の場合は書き換え不要)
2. コンペアDB割り込み(REMC3INTF.DBIFビット = 1)を待つ。
3. データの終了まで、1と2を繰り返す。

送信終了

データ送信は以下の手順で終了します。

1. コンペアDB割り込み(REMC3INTF.DBIFビット = 1)を待つ。
2. REMC3DBCTL.PRUNビットを0に設定する。 (カウントストップ)
3. REMC3DBCTL.MODENビットを0に設定する。 (カウント動作クロックディスエーブル)

19.4.3 REMO出力波形

通常、赤外線リモコン通信においては、赤外線の周波数をキャリアと呼びますが、REMC3では赤外線を直接取り扱いませんので、本書では赤外線リモコン通信で使用されるサブキャリアをキャリアと表現しています。

REMC3は、キャリア信号生成回路から出力されるキャリア信号とデータ信号生成回路から出力されるデータ信号の論理積をREMOから出力します。図19.4.3.1にその出力波形の一例を示します。

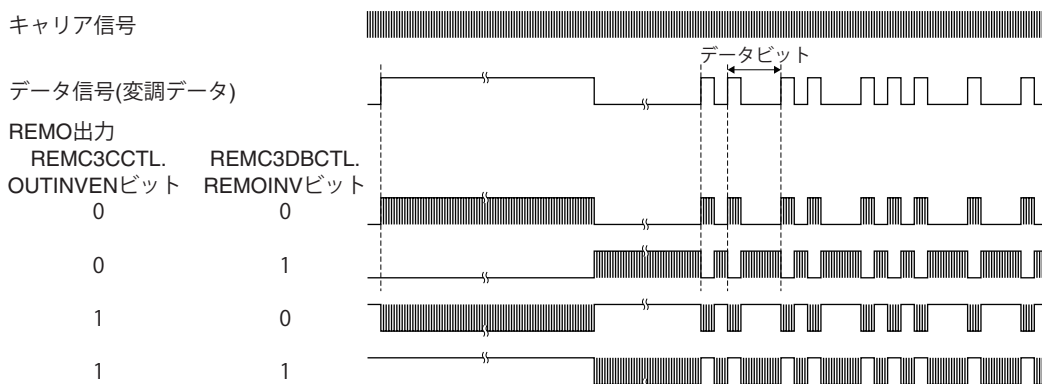


図19.4.3.1 REMO出力波形の例

キャリア信号

キャリア信号は、CLK_REMC3で動作するキャリア生成用8ビットカウンタの値とREMC3CARR.CRDTY[7:0]ビット、およびREMC3CARR.CRPER[7:0]ビットの設定値を比較することによって生成されます。図19.4.3.2にキャリア信号の生成例を示します。

例) REMC3CARR.CRDTY[7:0]ビット = 2、REMC3CARR.CRPER[7:0]ビット = 8

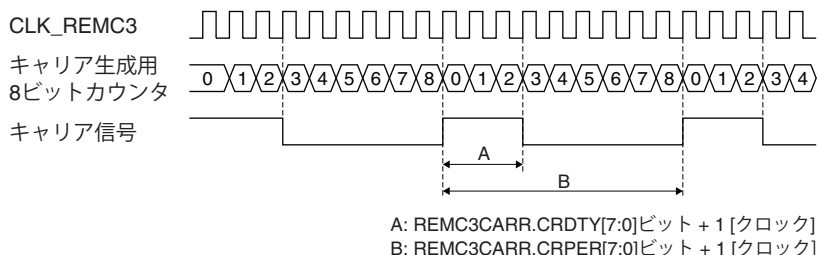


図19.4.3.2 キャリア信号生成例

キャリア信号の周波数とデューティ比は次の式で計算できます。

$$\text{キャリア周波数} = \frac{f_{\text{CLK_REMC3}}}{\text{CRPER} + 1} \quad \text{デューティ比} = \frac{\text{CRDTY} + 1}{\text{CRPER} + 1} \quad (\text{式19.1})$$

ここで

f_{CLK_REMC3}: CLK_REMC3周波数 [Hz]

CRPER: REMC3CARR.CRPER[7:0]ビット設定値 (1~255)

CRDTY: REMC3CARR.CRDTY[7:0]ビット設定値 (0~254)

※ REMC3CARR.CRDTY[7:0]ビット < REMC3CARR.CRPER[7:0]ビット

キャリア生成用8ビットカウンタは、データ信号生成用16ビットカウンタと共に、REMC3DBCTL.PRESETビットでリセットされ、REMC3DBCTL.PRUNビットでスタート/ストップします。カウンタ値がREMC3CARR.CRDTY[7:0]ビットと一致すると、キャリア信号の波形が反転します。また、REMC3CARR.CRPER[7:0]ビットと一致すると、キャリア信号の波形が反転すると共に、カウンタも0x00にリセットされます。

データ信号

データ信号は、CLK_REMC3で動作するデータ信号生成用16ビットカウンタの値(REMC3DBCNT.DBCNT[15:0]ビット)とREMC3APLEN.APLEN[15:0]ビット、およびREMC3DBLEN.DBLEN[15:0]ビットの設定値を比較することによって生成されます。図19.4.3.3にデータ信号の生成例を示します。

例) REMC3APLEN.APLEN[15:0]ビット = 0x0bd0、REMC3DBLEN.DBLEN[15:0]ビット = 0x11b8、
REMC3DBCTL.TRMDビット = 0 (リピートモード)、REMC3DBCTL.REMOINVビット = 0 (信号論理非反転)

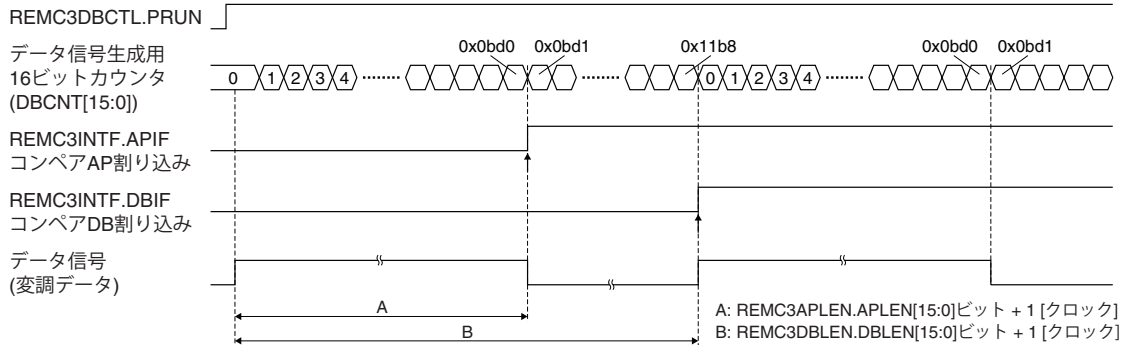


図19.4.3.3 データ信号生成例

パルス幅変調したデータ信号のデータ長とデューティ比は次の式で計算できます。

$$\text{データ長} = \frac{\text{DBLEN} + 1}{f_{\text{CLK_REMC3}}} \quad \text{デューティ比} = \frac{\text{APLEN} + 1}{\text{DBLEN} + 1} \quad (\text{式19.2})$$

ここで

$f_{\text{CLK_REMC3}}$: CLK_REMC3周波数 [Hz]

DBLEN: REMC3DBLEN.DBLEN[15:0]ビット設定値 (1~65,535)

APLEN: REMC3APLEN.APLEN[15:0]ビット設定値 (0~65,534)

※ REMC3APLEN.APLEN[15:0]ビット < REMC3DBLEN.DBLEN[15:0]ビット

データ信号生成用16ビットカウンタは、REMC3DBCTL.PRESETビットでリセットされ、REMC3DBCTL.PRUNビットでスタート/ストップします。カウンタ値がREMC3APLEN.APLEN[15:0]ビットの設定値に一致すると(コンペアAP)、データ信号の波形が反転します。また、REMC3DBLEN.DBLEN[15:0]ビットの設定値に一致すると(コンペアDB)、データ信号の波形が反転すると共に、カウンタも0x0000にリセットされます。

カウンタ値がREMC3DBLEN.DBLEN[15:0]ビットとREMC3APLEN.APLEN[15:0]ビットの設定値に一致した時点で、それぞれ割り込みを発生させることができます。

リピートモードとワンショットモード

リピートモード(REMC3DBCTL.TRMDビット = 0)に設定した場合、データ信号生成用16ビットカウンタはREMC3DBCTL.PRUNビットで停止させるまで動作を継続します。ワンショットモード(REMC3DBCTL.TRMDビット = 1)に設定した場合、カウンタ値がREMC3DBLEN.DBLEN[15:0]ビットの設定値に一致した時点で自動的に停止します。

19.4.4 連続送信とコンペアバッファ

図19.4.4.1に、コンペアバッファをイネーブルにした連続送信の動作例を示します。

19 IRリモートコントローラ(REMC3)

例) REMC3DBCTL.TRMDビット = 0 (リピートモード)、REMC3DBCTL.BUFENビット = 1 (コンペアバッファイネーブル)、REMC3DBCTL.REMOINVビット = 0 (信号論理非反転)

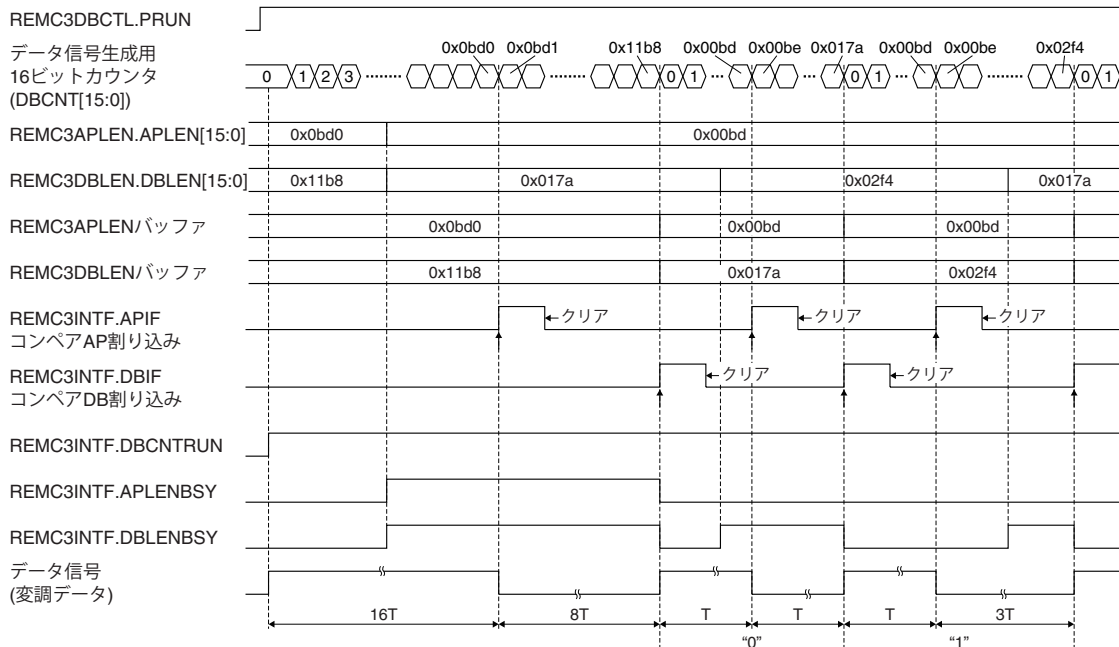


図19.4.4.1 連続送信例

コンペアバッファをディスエーブル(REMC3DBCTL.BUFENビット = 0)にした場合、16ビットカウンタの値は、REMC3APLEN.APLEN[15:0]ビットおよびREMC3DBLEN.DBLEN[15:0]ビットの値と直接比較されます。REMC3APLEN.APLEN[15:0]ビットまたはREMC3DBLEN.DBLEN[15:0]ビットを書き換えると、その時点で比較値が変更されます。

コンペアバッファをイネーブル(REMC3DBCTL.BUFENビット = 1)にすると、REMC3APLEN.APLEN[15:0]ビットおよびREMC3DBLEN.DBLEN[15:0]ビットの設定値はそれぞれに用意されたコンペアバッファ (REMC3APLENバッファとREMC3DBLENバッファ)に転送され、16ビットカウンタの値は、コンペアバッファと比較されます。

コンペアバッファに比較値が転送されるタイミングは、16ビットカウンタとREMC3DBLENバッファが一致した時点(データ長のカウント終了時)です。したがって、現在のデータ送信中に次の送信データを設定しておくことが可能になります。コンペアバッファをイネーブルにした場合は、それぞれのバッファの状態を示すステータスフラグ(REMC3INTF.APLENBSYビットとREMC3INTF.DBLENBSYビット)も有効になります。これらのフラグはそれぞれのレジスタに設定値を書き込んだ時点で1となり、書き込んだ値がバッファに転送されると0にクリアされます。

19.5 割り込み

REMC3には、表19.5.1に示す割り込みを発生させる機能があります。

表19.5.1 REMC3の割り込み機能

割り込み	割り込みフラグ	セット	クリア
コンペアAP	REMC3INTF.APIF	REMC3APLENレジスタ(またはREMC3APLEN/バッファ)の値とデータ信号生成用16ビットカウンタの値が一致したとき	割り込みフラグ または REMC3DBCTL.REMCRSTビットへの1書き込み
コンペアDB	REMC3INTF.DBIF	REMC3DBLENレジスタ(またはREMC3DBLEN/バッファ)の値とデータ信号生成用16ビットカウンタの値が一致したとき	割り込みフラグ または REMC3DBCTL.REMCRSTビットへの1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

19.6 応用例: ELランプの駆動

一つの応用例として、REMC3によりELランプを簡単に駆動することができます。ELランプ駆動回路の例を図19.6.1に、生成される駆動波形の例を図19.6.2に示します。詳細な設定や部品例については、別冊のアプリケーションノートを参照してください。

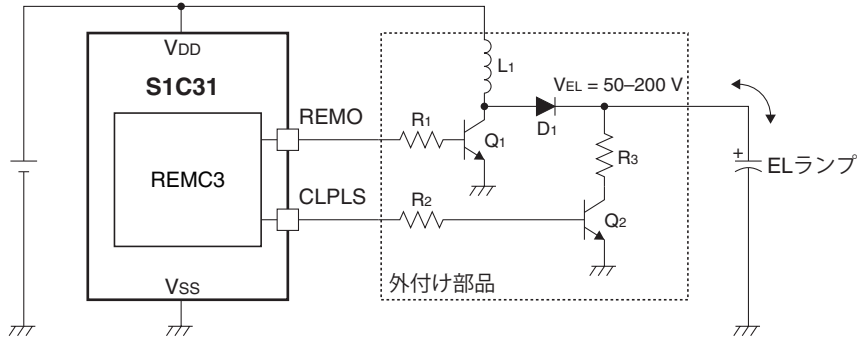


図19.6.1 ELランプ駆動回路例

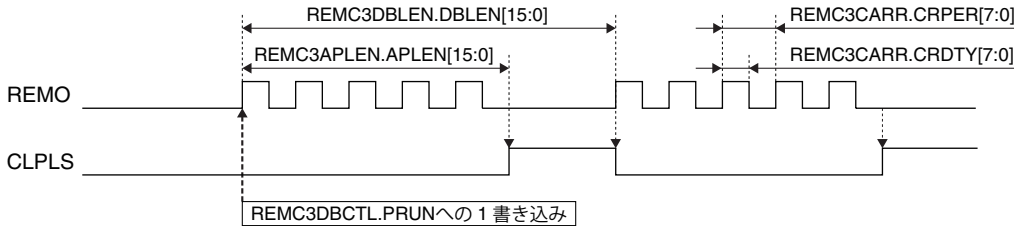


図19.6.2 駆動波形生成例

REMC3DBCTL.PRUNビット = 1の間、REMOおよびCLPLS信号がそれぞれの端子から出力されます。REMC3DBLEN.DBLEN[15:0]ビットとREMC3APLEN.APLEN[15:0]ビットの設定値の差が、CLPLSパルス幅(High期間)になります。

19.7 制御レジスタ

REMC3 Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMC3CLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、デバッグ時にREMC3動作クロックを供給するか否か設定します。

1 (R/W): デバッグ時にクロックを供給

0 (R/W): デバッグ時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、REMC3動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1–0 CLKSRC[1:0]

これらのビットは、REMC3のクロックソースを選択します。

表19.7.1 クロックソースと分周比の設定

REMC3CLK. CLKDIV[3:0]ビット	REMC3CLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0xf	1/32,768	1/1	1/32,768	1/1
0xe	1/16,384		1/16,384	
0xd	1/8,192		1/8,192	
0xc	1/4,096		1/4,096	
0xb	1/2,048		1/2,048	
0xa	1/1,024		1/1,024	
0x9	1/512		1/512	
0x8	1/256	1/256	1/256	
0x7	1/128	1/128	1/128	
0x6	1/64	1/64	1/64	
0x5	1/32	1/32	1/32	
0x4	1/16	1/16	1/16	
0x3	1/8	1/8	1/8	
0x2	1/4	1/4	1/4	
0x1	1/2	1/2	1/2	
0x0	1/1	1/1	1/1	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: REMC3CLKレジスタは、REMC3DBCTL.MODENビット = 0のときのみ設定変更が可能です。

REMC3 Data Bit Counter Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMC3DBCTL	15–10	–	0x00	–	R	–
	9	PRESET	0	H0/S0	R/W	Cleared by writing 1 to the REMC3DBCTL.REMCRST bit.
	8	PRUN	0	H0/S0	R/W	
	7–5	–	0x0	–	R	–
	4	REMOINV	0	H0	R/W	
	3	BUFEN	0	H0	R/W	
	2	TRMD	0	H0	R/W	
	1	REMCRST	0	H0	W	
0	MODEN	0	H0	R/W		

Bits 15–10 Reserved**Bit 9 PRESET**

このビットは、内部カウンタ(データ信号生成用16ビットカウンタとキャリア生成用8ビットカウンタ)をリセットします。

1 (W): リセット

0 (W): 無効

1 (R): リセットの実行中

0 (R): リセットを終了または通常動作中

このビットによりカウンタをリセットするには、REMC3DBCTL.MODENビットが1に設定されている必要があります。

このビットは、カウンタのリセット動作が終了した時点で、またはREMC3DBCTL.REMCRSTビットに1を書き込んだ時点で、0にクリアされます。

Bit 8 PRUN

このビットは、内部カウンタ(データ信号生成用16ビットカウンタとキャリア生成用8ビットカウンタ)によるカウントを開始/停止します。

- 1 (W): カウント開始
- 0 (W): カウント停止
- 1 (R): カウント動作中
- 0 (R): 停止中

このビットによりカウントを開始するには、REMC3DBCTL.MODENビットが1に設定されている必要があります。

カウンタが動作中はREMC3DBCTL.PRUNビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にコンペアDBによってカウントを停止したときは、このビットが自動的に0にクリアされます。

Bits 7-5 Reserved**Bit 4 REMOINV**

このビットは、REMO出力信号の論理を反転します。

- 1 (R/W): 反転
- 0 (R/W): 非反転

詳細は図19.4.3.1を参照してください。

Bit 3 BUFEN

このビットは、コンペアバッファをイネーブル/ディスエーブルに設定します。

- 1 (R/W): イネーブル
- 0 (R/W): ディスエーブル

詳細は、“連続送信とコンペアバッファ”を参照してください。

注: データ信号デューティ/周期の初回設定時は、必ずREMC3DBCTL.BUFENビットを0に設定してください。

Bit 2 TRMD

このビットは、データ信号生成用16ビットカウンタの動作モードを選択します。

- 1 (R/W): ワンショットモード
- 0 (R/W): リpeatモード

詳細は、“REMO出力波形、データ信号”を参照してください。

Bit 1 REMCRST

このビットは、REMC3をソフトウェアリセットします。

- 1 (W): ソフトウェアリセットを要求
- 0 (W): 無効
- 1 (R): ソフトウェアリセットの実行中
- 0 (R): ソフトウェアリセット終了(通常動作中)

REMC3の内部カウンタおよび割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

注: ワンショットモードで出力した後は、REMC3DBCTL.REMCRSTビットを1に設定してください。

Bit 0 MODEN

このビットは、REMC3の動作をイネーブルにします。

- 1 (R/W): REMC3動作イネーブル(動作クロックが供給されます。)
- 0 (R/W): REMC3動作ディスエーブル(動作クロックが停止します。)

注: データの送信中にREMC3DBCTL.MODENビットを1から0に変更した場合は、送信途中のデータは保証されません。この操作の後、REMC3DBCTL.MODENビットを再度1に設定する場合は、必ずREMC3DBCTL.REMCRSTビットにも1を書き込んでください。

REMC3 Data Bit Counter Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMC3DBCNT	15-0	DBCNT[15:0]	0x0000	H0/S0	R	Cleared by writing 1 to the REMC3DBCTL.REMCRST bit.

Bits 15-0 DBCNT[15:0]

これらのビットから、現在のデータ信号生成用16ビットカウンタの値が読み出せます。

REMC3 Data Bit Active Pulse Length Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMC3APLEN	15-0	APLEN[15:0]	0x0000	H0	R/W	Writing enabled when REMC3DBCTL.MODEN bit = 1.

Bits 15-0 APLEN[15:0]

これらのビットは、データ信号のアクティブパルス長(REMC3DBCTL.REMOINVビット = 0の場合はHIGH期間、REMC3DBCTL.REMOINVビット = 1の場合はLOW期間)を設定します。データ信号生成用16ビットカウンタ = 0x0000からREMO端子はアクティブレベルになり、カウンタがREMC3APLEN.APLEN[15:0]ビットの設定値を超えた時点でインアクティブレベルに反転します。この設定とREMC3DBLEN.DBLEN[15:0]ビットの設定より、データ信号のデューティが決定します。(図19.4.3.3参照)

本レジスタを書き換えるには、REMC3DBCTL.MODENビットが1に設定されている必要があります。

REMC3 Data Bit Length Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMC3DBLEN	15-0	DBLEN[15:0]	0x0000	H0	R/W	Writing enabled when REMC3DBCTL.MODEN bit = 1.

Bits 15-0 DBLEN[15:0]

これらのビットは、データ信号のデータ長(1周期の長さ)を設定します。

データ信号の周期は、データ信号生成用16ビットカウンタ = 0x0000で開始し、カウンタがREMC3DBLEN.DBLEN[15:0]ビットの設定値を超えた時点で終了します。(図19.4.3.3参照)

本レジスタを書き換えるには、REMC3DBCTL.MODENビットが1に設定されている必要があります。

REMC3 Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMC3INTF	15-11	–	0x00	–	R	–
	10	DBCNTRUN	0	H0/S0	R	Cleared by writing 1 to the REMC3DBCTL.REMCRST bit.
	9	DBLENBSY	0	H0	R	Effective when the REMC3DBCTL.BUFEN bit = 1.
	8	APLENBSY	0	H0	R	
	7-2	–	0x00	–	R	–
	1	DBIF	0	H0/S0	R/W	Cleared by writing 1 to this bit or the REMC3DBCTL.REMCRST bit.
	0	APIF	0	H0/S0	R/W	

Bits 15-11 Reserved

Bit 10 DBCNTRUN

このビットは、データ信号生成用16ビットカウンタが動作中か否かを示します。(図19.4.4.1参照)

1 (R): 動作中(カウント中)

0 (R): 停止中

Bit 9 DBLENBSY

このビットは、REMC3DBLEN.DBLEN[15:0]ビットに書き込んだ値がREMC3DBLENバッファに転送されたか否かを示します。(図19.4.4.1参照)

1 (R): REMC3DBLENバッファへの転送前

0 (R): REMC3DBLENバッファへの転送完了

このビットが1の場合、REMC3DBLEN.DBLEN[15:0]ビットへの書き込みは無効です。

Bit 8 APLENBSY

このビットは、REMC3APLEN.APLEN[15:0]ビットに書き込んだ値がREMC3APLENバッファに転送されたか否かを示します。(図19.4.4.1参照)

1 (R): REMC3APLENバッファへの転送前

0 (R): REMC3APLENバッファへの転送完了

このビットが1の場合、REMC3APLEN.APLEN[15:0]ビットへの書き込みは無効です。

Bits 7–2 Reserved**Bit 1 DBIF****Bit 0 APIF**

これらのビットは、REMC3割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

REMC3INTF.DBIFビット: コンペアDB割り込み

REMC3INTF.APIFビット: コンペアAP割り込み

これらの割り込みフラグは、REMC3DBCTL.REMCRSTビットに1を書き込んだ場合も0にクリアされます。

REMC3 Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMC3INTE	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	DBIE	0	H0	R/W	
	0	APIE	0	H0	R/W	

Bits 15–2 Reserved**Bit 1 DBIE****Bit 0 APIE**

これらのビットは、REMC3の割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

REMC3INTE.DBIEビット: コンペアDB割り込み

REMC3INTE.APIEビット: コンペアAP割り込み

REMC3 Carrier Waveform Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMC3CARR	15-8	CRDTY[7:0]	0x00	H0	R/W	-
	7-0	CRPER[7:0]	0x00	H0	R/W	

Bits 15-8 CRDTY[7:0]

これらのビットは、キャリア信号のHIGHレベルの期間を設定します。
 キャリア信号生成用8ビットカウンタ = 0x00からキャリア信号はHIGHレベルになり、カウンタがREMC3CARR.CRDTY[7:0]ビットの設定値を超えた時点でLOWレベルに反転します。
 この設定とREMC3CARR.CRPER[7:0]ビットの設定より、キャリア信号のデューティが決定します。(図19.4.3.2参照)

Bits 7-0 CRPER[7:0]

これらのビットは、キャリア信号の周期を設定します。
 キャリア信号の周期は、キャリア信号生成用8ビットカウンタ = 0x00で開始し、カウンタがREMC3CARR.CRPER[7:0]ビットの設定値を超えた時点で終了します。(図19.4.3.2参照)

REMC3 Carrier Modulation Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
REMC3CCTL	15-9	-	0x00	-	R	-
	8	OUTINVEN	0	H0	R/W	
	7-1	-	0x00	-	R	
	0	CARREN	0	H0	R/W	

Bits 15-9 Reserved

Bit 8 OUTINVEN

このビットは、REMO出力信号の極性を反転します。

1 (R/W): 反転

0 (R/W): 非反転

詳細は図19.4.3.1を参照してください。

Bits 7-1 Reserved

Bit 0 CARREN

このビットは、キャリア変調をイネーブルにします。

1 (R/W): キャリア変調イネーブル

0 (R/W): キャリア変調ディスエーブル(データ信号のみ出力)

注: キャリア変調ディスエーブルのときは、REMC3DBCTL.REMOINVビットを0に設定してください。

20 12ビットA/D変換器(ADC12A)

20.1 概要

ADC12Aは、逐次比較型の12ビットA/D変換器です。

ADC12Aの主な機能と特長を以下に示します。

- 変換方式: 逐次比較型
- 分解能: 12ビット
- アナログ入力電圧範囲: 基準電圧VREFA \sim V_{SS}
- 2種類の変換動作モード: 1. 単一変換モード
2. 連続変換モード
- 3種類の変換トリガ: 1. ソフトウェアトリガ
2. 16ビットタイマアンダーフロートトリガ
3. 外部トリガ
- 複数のアナログ入力信号をシーケンシャルに変換可能
- 変換完了、オーバーライトエラー割り込みを発生可能
- 変換完了によりDMA転送要求を発生可能

図20.1.1にADC12Aの構成を示します。

表20.1.1 S1C31D01のADC12A構成

項目	S1C31D01
チャンネル数	1チャンネル(Ch.0)
チャンネル当たりのアナログ信号入力数	Ch.0: 8入力(ADIN00 \sim ADIN07 *1)
変換クロック入力とトリガに使用する16ビットタイマ	Ch.0 \leftarrow 16ビットタイマCh.7
VREFA端子(基準電圧入力)	外部入力または内部生成可能 *2

*1 ADIN07は温度センサ出力に接続

*2 基準電圧入力には、基準電圧生成回路の出力を使用することも可能です。

詳細は、“温度センサ/基準電圧生成回路”の章を参照してください。

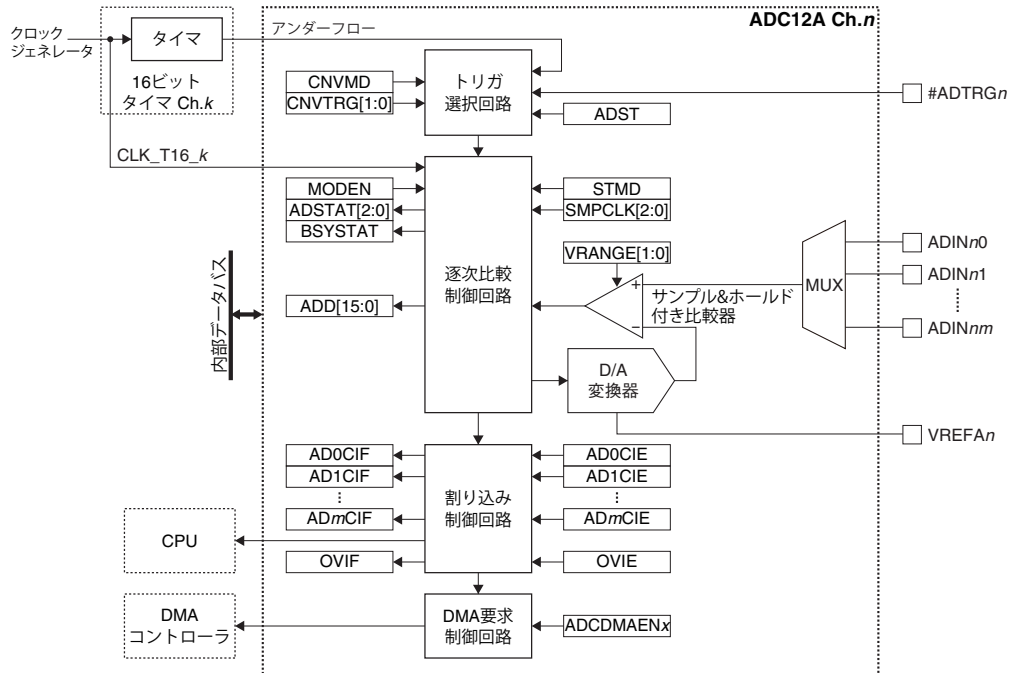


図20.1.1 ADC12Aの構成

注: 本章では、チャンネル番号を n 、アナログ入力端子番号を m 、対応する16ビットタイマのチャンネル番号を k と記述します。

20.2 入力端子と外部接続

20.2.1 入力端子一覧

表20.2.1.1にADC12Aの端子一覧を示します。

表20.2.1.1 ADC12A端子一覧

端子名	I/O*	イニシャル状態*	機能
ADIN n m	A	Hi-Z	アナログ信号入力
#ADTRG n	I	I	外部トリガ入力
VREFAn	A	Hi-Z	基準電圧入力

* 端子機能をADC12Aに切り換えた時点の状態

これらのADC12A端子と他の機能がポートを共有している場合、ADC12Aを動作させる前にADC12Aの入力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

20.2.2 外部との接続

ADC12Aと外部機器との接続を図20.2.2.1に示します。

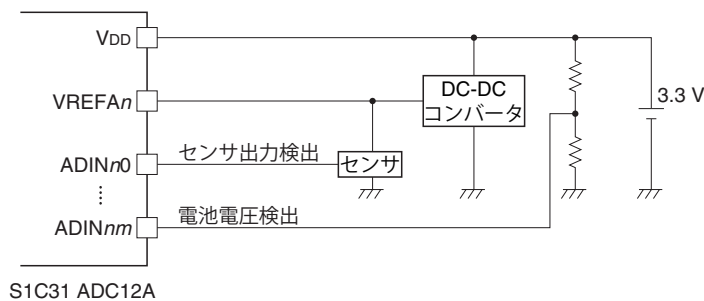


図20.2.2.1 ADC12Aと外部機器との接続

20.3 クロック設定

20.3.1 ADC12Aの動作クロック

ADC12Aの動作クロックには、16ビットタイマCh.kの動作クロックCLK_T16_kが使用されます。CLK_T16_kの設定方法、およびSLEEPモード/DEBUGモード時のクロック供給については、“16ビットタイマ”の章の“クロック設定”を参照してください。

注: SLEEPモードやDEBUGモード等で、A/D変換中にCLK_T16_kの供給が停止した場合、その後供給が再開した場合でも正しい変換結果は得られません。再度、A/D変換を実行してください。

20.3.2 サンプリング時間

ADC12Aにはサンプル&ホールド回路が内蔵されており、アナログ入力信号の電圧を取り込むのに十分な時間(tacq:アキュイジョン時間)が得られるように、サンプリング時間を設定する必要があります。図20.3.2.1に、アナログ入力の等価回路を示します。

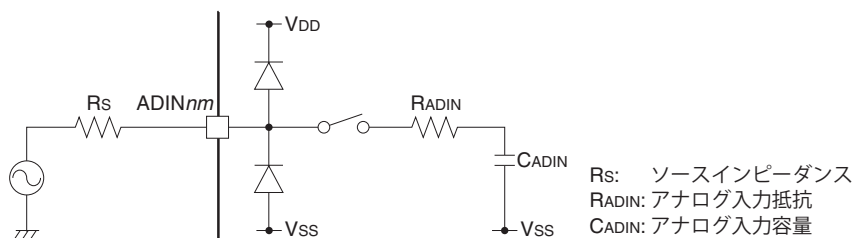


図20.3.2.1 アナログ入力等価回路

この等価回路の R_{ADIN} 、 C_{ADIN} の値については、“電気的特性”の章の“12ビットA/D変換器特性”を参照してください。それらの値を基に、ADC12A動作クロック CLK_T16_k とサンプリング時間を設定する $ADC12A_nTRG.SMPCLK[2:0]$ ビットは、以下の式を満たすように設定してください。

$$t_{ACQ} = 8 \times (R_s + R_{ADIN}) \times C_{ADIN} \quad (\text{式20.1})$$

$$\frac{1}{f_{CLK_ADC}} \times SMPCLK > t_{ACQ} \quad (\text{式20.2})$$

ここで

f_{CLK_ADC} : CLK_T16_k の周波数[Hz]

$SMPCLK$: サンプリング時間 = $ADC12A_nTRG.SMPCLK[2:0]$ ビットの設定(CLK_T16_k 4~11サイクル)

サンプリング時間と最大サンプリングレートの関係は以下のようになります。

$$\text{最大サンプリングレート [sps]} = \frac{f_{CLK_ADC}}{SMPCLK + 13} \quad (\text{式20.3})$$

20.4 動作

20.4.1 初期設定

ADC12Aは、以下の手順により初期設定を行います。

1. ADC12Aの入力機能をポートに割り当てる。(“入出力ポート”の章を参照)
2. サンプリング時間を満たすように16ビットタイマ $Ch.k$ の動作クロックを設定する。
3. $ADC12A_nCTL.MODEN$ ビットを1に設定する。(ADC12Aの動作をイネーブル)
4. $ADC12A_nTRG$ レジスタの以下のビットを設定する。
 - $ADC12A_nTRG.SMPCLK[2:0]$ ビット (サンプリング時間の設定)
 - $ADC12A_nTRG.CNVTRG[1:0]$ ビット (変換開始トリガソースの設定)
 - $ADC12A_nTRG.CNVMD$ ビット (変換動作モードの設定)
 - $ADC12A_nTRG.STMD$ ビット (データ格納方法の設定)
 - $ADC12A_nTRG.STAAIN[2:0]$ ビット (最初にA/D変換を行うアナログ入力端子の設定)
 - $ADC12A_nTRG.ENDAIN[2:0]$ ビット (最後にA/D変換を行うアナログ入力端子の設定)
5. $ADC12A_nCFG.VRANGE[1:0]$ ビットを設定する。(V_{DD}電圧に合わせた動作電圧範囲の設定)
6. 割り込みを使用する場合は、以下のビットを設定する。
 - $ADC12A_nINTF$ レジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - $ADC12A_nINTE$ レジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
7. DMA転送を使用する場合は、DMAコントローラを設定すると共に以下のADC12A制御ビットを設定する。
 - $ADC12A_nDMAEN$ レジスタのDMA転送要求イネーブルビットに1を書き込む (DMA転送要求イネーブル)

20.4.2 変換開始トリガソース

A/D変換を開始させるトリガソースは、 $ADC12A_nTRG.CNVTRG[1:0]$ ビットによって以下の3種類から選択できます。

外部トリガ(#ADTRG n 端子)

$ADC12A_nCTL.ADST$ ビットへの1書き込みにより、トリガの受け付けが許可されます。その後、#ADTRG n 端子に入力される信号の立ち下りエッジで、A/D変換を開始します。

16ビットタイマ $Ch.k$ アンダフロートリガ

$ADC12A_nCTL.ADST$ ビットへの1書き込みにより、トリガの受け付けが許可されます。その後、16ビットタイマ $Ch.k$ にアンダーフローが発生すると、A/D変換を開始します。

ソフトウェアトリガ

$ADC12A_nCTL.ADST$ ビットに1を書き込むと、A/D変換を開始します。

トリガ入力は、ADC12A_nCTL.BSYSTATビットが0のときに受け付け可能で、1の間は無視されます。また、実際の変換開始は、トリガ受け付け後、CLK_T16_kに同期して行われます。いずれのトリガソースの設定でも、ADC12A_nCTL.ADSTビットに0を書き込むことで、現在実行中のA/D変換を完了後に停止します。

20.4.3 変換動作モードと変換を行うアナログ入力端子の設定

ADC12Aは、ADC12A_nTRG.CNVMDビットにより、以下に示す2つの変換動作モードを設定できます。また、それぞれのモードで、A/D変換を行うアナログ入力端子の範囲を指定可能です。アナログ入力端子の範囲は、最初のアナログ入力端子をADC12A_nTRG.STAAIN[2:0]ビットで、最後のアナログ入力端子をADC12A_nTRG.ENDAIN[2:0]ビットで設定します。指定した範囲のアナログ入力信号は、端子番号の昇順に、連続してA/D変換されます。

単一変換モード

指定範囲のすべてのアナログ入力信号を1回A/D変換した後、自動的に停止します。

連続変換モード

ADC12A_nCTL.ADSTビットに0が書き込まれるまで、指定範囲のA/D変換を繰り返し実行します。

20.4.4 A/D変換動作と制御手順

以下にA/D変換の制御手順とADC12Aの動作を説明します。

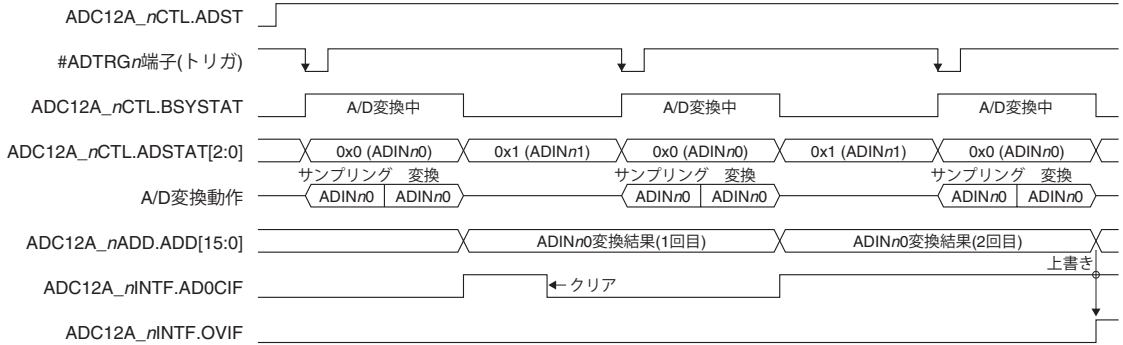
単一変換モードの制御手順

1. ADC12A_nCTL.ADSTビットに1を書き込む。
2. ADC12Aの割り込みを待つ。
 - i. ADC12A_nINTF.ADmCIFビット = 1(アナログ入力信号m A/D変換完了割り込み)の場合は、ADC12A_nINTF.ADmCIFビットをクリアした後、3へ
 - ii. ADC12A_nINTF.OVIFビット = 1(A/D変換結果オーバーライトエラー割り込み)の場合は、ADC12A_nINTF.OVIFビットをクリアした後、エラーとして終了するか、A/D変換をやり直す。
3. アナログ入力mのA/D変換結果(ADC12A_nADD.ADD[15:0]ビット)を読み出す。
 ※ 12ビットの変換結果は、ADC12A_nTRG.STMDビットの設定によりADC12A_nADD.ADD[15:0]ビット内の下位12ビットまたは上位12ビットに配置されます。
4. 指定したアナログ入力端子の範囲すべてのA/D変換が完了するまで、2と3を繰り返す。
5. A/D変換中に強制終了するには、ADC12A_nCTL.ADSTビットに0を書き込む。
 現在のA/D変換が完了後に停止します。
 A/D変換の完了により自動的に停止した場合も、ADC12A_nCTL.ADSTビットは0を書き込んでクリアしてください。

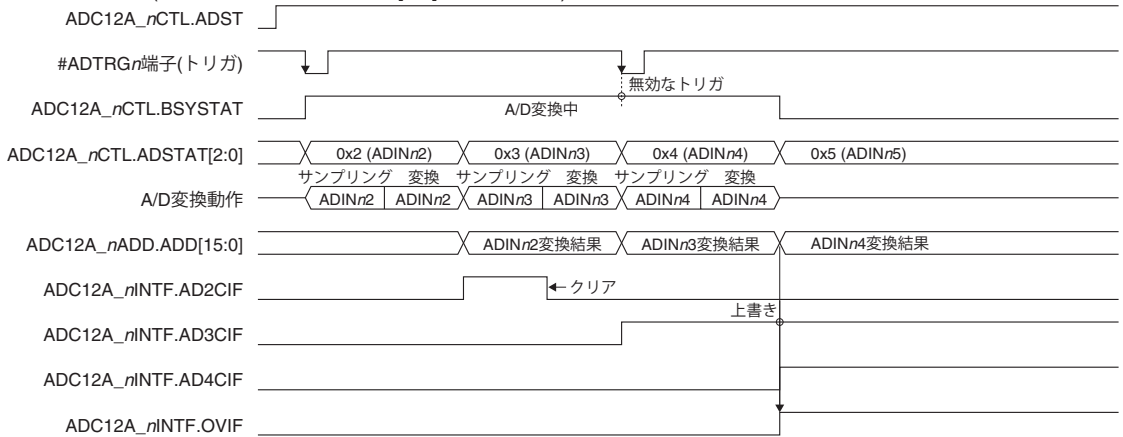
連続変換モードの制御手順

1. ADC12A_nCTL.ADSTビットに1を書き込む。
2. ADC12Aの割り込みを待つ。
 - i. ADC12A_nINTF.ADmCIFビット = 1(アナログ入力信号m A/D変換完了割り込み)の場合は、ADC12A_nINTF.ADmCIFビットをクリアした後、3へ
 - ii. ADC12A_nINTF.OVIFビット = 1(A/D変換結果オーバーライトエラー割り込み)の場合は、ADC12A_nINTF.OVIFビットをクリアした後、エラーとして終了するか、A/D変換をやり直す。
3. アナログ入力mのA/D変換結果(ADC12A_nADD.ADD[15:0]ビット)を読み出す。
4. A/D変換を終了させるまで、2と3を繰り返す。
5. ADC12A_nCTL.ADSTビットに0を書き込む。
 現在のA/D変換が完了後に停止します。

- (1) 単一変換モード(ADC12A_nTRG.CNVMDビット = 0)
 ADINn0のA/D変換(ADC12A_nTRG.STAAIN[2:0]ビット = 0x0、ADC12A_nTRG.ENDAIN[2:0]ビット = 0x0)
 外部トリガ(ADC12A_nTRG.CNVTRG[1:0]ビット = 0x3)



- (2) 単一変換モード(ADC12A_nTRG.CNVMDビット = 0)
 ADINn2~4のA/D変換(ADC12A_nTRG.STAAIN[2:0]ビット = 0x2、ADC12A_nTRG.ENDAIN[2:0]ビット = 0x4)
 外部トリガ(ADC12A_nTRG.CNVTRG[1:0]ビット = 0x3)



- (3) 連続変換モード(ADC12A_nTRG.CNVMDビット = 1)
 ADINn3~4のA/D変換(ADC12A_nTRG.STAAIN[2:0]ビット = 0x3、ADC12A_nTRG.ENDAIN[2:0]ビット = 0x4)
 ソフトウェアトリガ(ADC12A_nTRG.CNVTRG[1:0]ビット = 0x0)

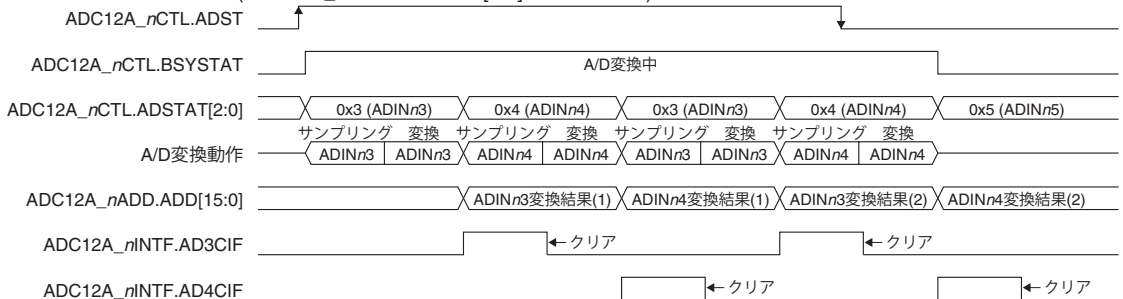


図20.4.4.1 A/D変換動作

DMAを使用したA/D変換データの転送

ADC12A_nDMAEN.ADCDMAEN_xビットを1(DMA転送要求イネーブル)に設定しておく、ADC12A_nINTF.ADMCIFビットが1(アナログ入力信号_m A/D変換完了)にセットされるタイミングで、DMAコントローラにDMA転送要求が出力され、ADC12A_nADDレジスタの値が指定されているメモリにDMA Ch._xにより転送されます。

これにより、A/D変換結果の読み出しと保存が自動化できます。

なお、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表20.4.4.1 DMAデータストラクチャ設定例(キャプチャデータの転送)

設定項目	設定例	
エンドポイント	転送元	ADC12A_nADDレジスタアドレス
	転送先	最終A/D変換データを格納するメモリアドレス
コントロールデータ	dst_inc	0x1(+2)
	dst_size	0x1(ハーフワード)
	src_inc	0x3(インクリメントなし)
	src_size	0x1(ハーフワード)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

20.5 割り込み

ADC12Aには、表20.5.1に示す割り込みを発生させる機能があります。

表20.5.1 ADC12Aの割り込み機能

割り込み	割り込みフラグ	セット	クリア
アナログ入力信号 <i>m</i> A/D変換完了	ADC12A_nINTF.ADmCIF	アナログ入力信号 <i>m</i> のA/D変換結果が、ADC12A_nADDレジスタにロードされたとき	1書き込み
A/D変換結果オーバーライトエラー	ADC12A_nINTF.OVIF	ADC12A_nINTF.ADmCIFビット = 1の状態、新たなA/D変換結果がADC12A_nADDレジスタにロードされたとき	1書き込み

A/D変換結果オーバーライトエラー割り込みが発生した場合でも、A/D変換動作は継続して実行されます。A/D変換結果オーバーライトエラーの判定に、ADC12A_nADDレジスタが読み出されているか否かは関係ありません。

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時のみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

20.6 DMA転送要求

ADC12Aには、表20.6.1に示す要因でDMA転送要求を発生させる機能があります。

表20.6.1 ADC12AのDMA転送要求要因

DMA転送要求要因	DMA転送要求起動フラグ	セット	クリア
アナログ入力信号 <i>m</i> A/D変換完了	A/D変換完了フラグ (ADC12A_nINTF.ADmCIF)	アナログ入力信号 <i>m</i> のA/D変換結果が、ADC12A_nADDレジスタにロードされたとき	DMA転送要求を受け付けたとき

上記のDMA転送要求起動フラグには、それぞれに対応するDMA転送要求イネーブルビットがDMAチャネル数分用意されています。それらのビットによってDMA転送をイネーブルにしたDMA転送要求起動フラグのセット時のみ、DMAコントローラの該当チャネルにDMA転送要求が出力されます。DMA転送要求起動フラグは割り込みフラグを兼ねているため、DMA転送要求と割り込みの両方を同時にイネーブルにはできません。DMA転送終了後は、意図しないDMA転送要求が出力されることのないように、DMA転送をディスエーブルにしてください。DMA転送の制御については、“DMAコントローラ”の章を参照してください。

20.7 制御レジスタ

ADC12A Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12A_nCTL	15	–	0	–	R	–
	14–12	ADSTAT[2:0]	0x0	H0	R	
	11	–	0	–	R	
	10	BSYSTAT	0	H0	R	
	9–8	–	0x0	–	R	
	7–2	–	0x00	–	R	
	1	ADST	0	H0	R/W	
0	MODEN	0	H0	R/W		

Bit 15 **Reserved**

Bits 14–12 **ADSTAT[2:0]**

これらのビットは、A/D変換中のアナログ入力端子番号 m を示します。

表20.7.1 制御ビットの値とアナログ入力端子の関係

ADC12A_nCTL.ADSTAT[2:0]ビット ADC12A_nTRG.STAAIN[2:0]ビット ADC12A_nTRG.ENDAIN[2:0]ビット	アナログ入力端子
0x7	ADIN n 7
0x6	ADIN n 6
0x5	ADIN n 5
0x4	ADIN n 4
0x3	ADIN n 3
0x2	ADIN n 2
0x1	ADIN n 1
0x0	ADIN n 0

ADC12A_nCTL.ADSTビットに0を書き込んで強制停止させた場合や、単一変換モード(ADC12A_nTRG.CNVMD = 0)時に自動停止した場合は、最後に変換したアナログ入力端子の端子番号を示します。最大アナログ入力端子番号(機種により異なります)のA/D変換後は、ADIN n 0を示します。

Bit 11 **Reserved**

Bit 10 **BSYSTAT**

このビットは、A/D変換を実行中か否かを示します。

1 (R/W): A/D変換中

0 (R/W): 停止中

Bits 9–2 **Reserved**

Bit 1 **ADST**

このビットは、A/D変換またはトリガの受け付けを開始します。

1 (R/W): サンプリング&変換開始(ソフトウェアトリガ)

トリガ受け付け開始(外部トリガ、16ビットタイマアンダーフロートリガ)

0 (R/W): 変換終了

このビットは、変換終了後も自動的に0に戻りませんので、再度変換を開始させるためには、一旦0を書き込んでから、再び1を書き込んでください。また、0を書き込んで、強制的に変換を終了させた場合は、実行中のA/D変換を完了させてから、停止します。このビットによってA/D変換中か停止中かを判断することはできません。

注: ADC12A_nCTL.ADSTビットへの1書き込み時はCLK_T16_k 1クロック以上、0書き込み時はCLK_T16_k 2クロック以上の期間、書き込み値を保持してください。

Bit 0 MODEN

このビットは、ADC12Aの動作をイネーブルにします。

1 (R/W): ADC12A動作イネーブル(動作クロックが供給されます。)

0 (R/W): ADC12A動作ディスエーブル(動作クロックが停止します。)

注: ADC12A_nCTL.MODENビットに0を書き込むと、ADC12Aは終了処理を行います。クロックソースを停止させる場合には、その前に必ずADC12A_nCTL.MODENビットを読み出し、0になっていることを確認してください。

ADC12A Ch.n Trigger/Analog Input Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12A_nTRG	15-14	-	0x0	-	R	-
	13-11	ENDAIN[2:0]	0x0	H0	R/W	
	10-8	STAIN[2:0]	0x0	H0	R/W	
	7	STMD	0	H0	R/W	
	6	CNVMD	0	H0	R/W	
	5-4	CNVTRG[1:0]	0x0	H0	R/W	
	3	-	0	-	R	
	2-0	SMPCLK[2:0]	0x7	H0	R/W	

注: ADC12A_nTRGレジスタの変更は、必ずADC12A_nCTL.BSYSTATビット = 0のときに行ってください。

Bits 15-14 Reserved**Bits 13-11 ENDAIN[2:0]**

これらのビットは、最後にA/D変換を行うアナログ入力端子を設定します。
アナログ入力端子と設定値の関係は、表20.7.1を参照してください。

注: A/D変換を行うアナログ入力端子の範囲は、ADC12A_nTRG.ENDAIN[2:0]ビット \geq ADC12A_nTRG.STAIN[2:0]ビットとなるように設定してください。

Bits 10-8 STAIN[2:0]

これらのビットは、最初にA/D変換を行うアナログ入力端子を設定します。
アナログ入力端子と設定値の関係は、表20.7.1を参照してください。

Bit 7 STMD

このビットは、A/D変換結果レジスタ(ADC12A_nADD.ADD[15:0]ビット)へのデータ格納方法を設定します。

1 (R/W): 左詰め

0 (R/W): 右詰め

このビットが変更された時点で、すべてのA/D変換結果レジスタの配置が変わります。このビットの変更による、変換結果への影響はありません。

		ADC12A_nADD.ADD[15:0]ビット																				
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
左詰め(ADC12A_nTRG.STMDビット = 1)	(MSB)	12ビット変換結果												(LSB)	0	0	0	0				
右詰め(ADC12A_nTRG.STMDビット = 0)	0	0	0	0	(MSB)	12ビット変換結果												(LSB)				

図20.7.1 変換データの配置

Bit 6 CNVMD

このビットは、A/D変換の動作モードを設定します。

1 (R/W): 連続変換モード

0 (R/W): 単一変換モード

Bits 5–4 CNVTRG[1:0]

これらのビットは、A/D変換を開始させるトリガソースを選択します。

表20.7.2 トリガソースの選択

ADC12A_nTRG.CNVTRG[1:0]ビット	トリガソース
0x3	#ADTRGn端子(外部トリガ)
0x2	Reserved
0x1	16ビットタイマCh.kアンダフロー
0x0	ADC12A_nCTL.ADSTビット(ソフトウェアトリガ)

Bit 3 Reserved**Bits 2–0 SMPCLK[2:0]**

これらのビットは、アナログ入力信号のサンプリング時間を設定します。

表20.7.3 サンプリング時間の設定

ADC12A_nTRG.SMPCLK[2:0]ビット	サンプリング時間 (CLK_T16_kサイクル数)
0x7	11サイクル
0x6	10サイクル
0x5	9サイクル
0x4	8サイクル
0x3	7サイクル
0x2	6サイクル
0x1	5サイクル
0x0	4サイクル

ADC12A Ch.n Configuration Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12A_nCFG	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1–0	VRANGE[1:0]	0x0	H0	R/W	

注: ADC12A_nCFGレジスタの変更は、必ずADC12A_nCTL.BSYSTATビット = 0のときに行ってください。

Bits 15–2 Reserved**Bits 1–0 VRANGE[1:0]**

これらのビットは、A/D変換器の動作電圧範囲を設定します。

表20.7.4 A/D変換器動作電圧範囲の設定

ADC12A_nCFG.VRANGE[1:0]ビット	A/D変換器動作電圧範囲
0x3	1.8~5.5 V
0x2	3.6~5.5 V
0x1	4.8~5.5 V
0x0	変換停止

- 注:
- ADC12_nCFG.VRANGE[1:0]ビット = 0x0では、A/D変換が行われません。A/D変換を行うときは、動作電圧に対応した値に設定してください。
 - ADC12_nCTL.BSYSTATビット = 1のときにADC12_nCFG.VRANGE[1:0]ビットを0x0以外に設定すると、ADC回路電流 I_{ADC} が流れます。

ADC12A Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12A_nINTF	15-9	–	0x00	–	R	–
	8	OVIF	0	H0	R/W	Cleared by writing 1.
	7	AD7CIF	0	H0	R/W	
	6	AD6CIF	0	H0	R/W	
	5	AD5CIF	0	H0	R/W	
	4	AD4CIF	0	H0	R/W	
	3	AD3CIF	0	H0	R/W	
	2	AD2CIF	0	H0	R/W	
	1	AD1CIF	0	H0	R/W	
0	AD0CIF	0	H0	R/W		

Bits 15-9 Reserved

Bit 8 OVIF

Bits 7-0 ADmCIF

これらのビットは、ADC12A割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

ADC12A_nINTF.OVIFビット: A/D変換結果オーバーライトエラー割り込み

ADC12A_nINTF.ADmCIFビット: アナログ入力信号m A/D変換完了割り込み

ADC12A Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12A_nINTE	15-9	–	0x00	–	R	–
	8	OVIE	0	H0	R/W	
	7	AD7CIE	0	H0	R/W	
	6	AD6CIE	0	H0	R/W	
	5	AD5CIE	0	H0	R/W	
	4	AD4CIE	0	H0	R/W	
	3	AD3CIE	0	H0	R/W	
	2	AD2CIE	0	H0	R/W	
	1	AD1CIE	0	H0	R/W	
0	AD0CIE	0	H0	R/W		

Bits 15-9 Reserved

Bit 8 OVIE

Bits 7-0 ADmCIE

これらのビットは、ADC12Aの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

ADC12A_nINTE.OVIEビット: A/D変換結果オーバーライトエラー割り込み

ADC12A_nINTE.ADmCIEビット: アナログ入力信号m A/D変換完了割り込み

ADC12A Ch.n DMA Request Enable Register m

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12A_nDMAENm	15-0	ADCDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 ADCDMAEN[15:0]

これらのビットは、各アナログ入力のA/D変換が完了した時点での、対応DMAチャンネル(Ch.0～Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

ADC12A Ch.n Result Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ADC12A_nADD	15-0	ADD[15:0]	0x0000	H0	R	-

Bits 15-0 ADD[15:0]

A/D変換結果がこれらのビットにセットされます。

21 温度センサ/基準電圧生成回路(TSRVR)

21.1 概要

TSRVRは、内蔵温度センサの出力と基準電圧の生成が可能な内蔵A/D変換器の周辺回路です。TSRVRの主な機能と特長を以下に示します。

- 内蔵温度センサ出力はリニアな出力特性を持ち、外付け部品なしに内蔵A/D変換器で計測可能
- 内蔵A/D変換器に基準電圧(2.0 V、2.5 V、 V_{DD})の3種類から選択)を供給可能
- VREFAm専用端子を持つICでは、ここで生成した基準電圧を外部機器にも供給可能

図21.1.1にTSRVRの構成を示します。

表21.1.1 S1C31D01のTSRVR構成

項目	S1C31D01
チャンネル数	1チャンネル(Ch.0)
内蔵A/D変換器との対応	TSRVR Ch.0 → ADC12A Ch.0
温度センサ出力に接続されるA/D変換器入力	ADIN07
外部機器への基準電圧出力	不可

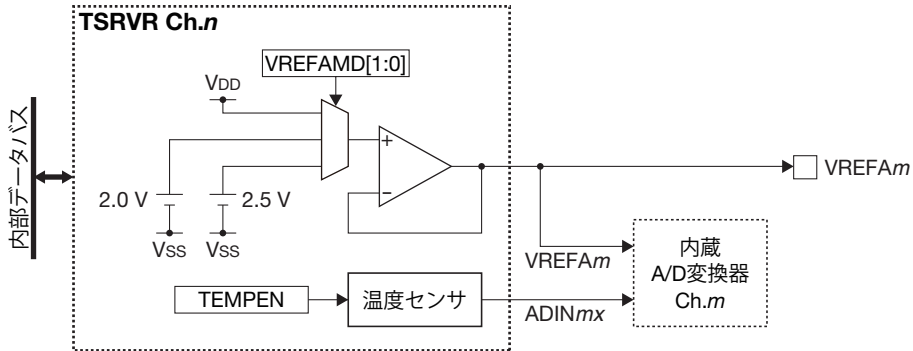


図21.1.1 TSRVRの構成

注：本章では、TSRVRのチャンネル番号を n 、対応する内蔵A/Dコンバータのチャンネル番号を m と記述します。

21.2 出力端子と外部接続

21.2.1 出力端子

表21.2.1.1にTSRVRの端子を示します。

表21.2.1.1 TSRVR端子

端子名	I/O	イニシャル状態	機能
VREFAm	A	Hi-Z	基準電圧出力

このTSRVR端子と他の機能がポートを共有している場合、TSRVRを動作させる前にTSRVRの出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

21.2.2 外部との接続

TSRVRと外部機器との接続を図21.2.2.1に示します。

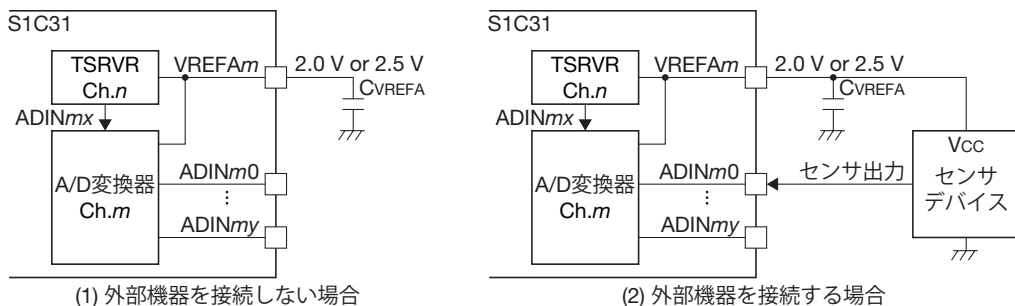


図21.2.2.1 TSRVRと外部機器との接続

21.3 動作

TSRVRの設定は、内蔵A/D変換器による計測の開始前に行ってください。

21.3.1 基準電圧の設定

基準電圧VREFAmを外部から与えない場合、TSRVRの出力電圧をVREFAmとして内蔵A/D変換器に供給することができます。出力電圧はTSRVR_nVCTL.VREFAMD[1:0]ビットで選択可能です。TSRVRから電圧を供給する場合、VREFAm端子にCVREFAを接続してください。また、内蔵A/D変換器によるA/D変換は、出力電圧を選択してから基準電圧安定時間tVREFAが経過後に開始してください。

21.3.2 温度センサの設定

温度センサの出力電圧を、直接内蔵A/D変換器で計測することが可能です。計測は、TSRVR_nTCTL.TEMPENビットに1を書き込んで温度センサを動作させてから、温度センサ出力安定時間tTEMPが経過した後開始してください。

下記の式により、温度センサの出力電圧から計測された温度を算出できます。

$$T_{SEN} = \frac{(V_{TSEN} - V_{TREF}) \times 1,000}{\Delta V_{TEMP}} + T_{REF} \quad (\text{式21.1})$$

ここで

- T_{SEN}: 実際の温度[°C]
- V_{TSEN}: 温度がT_{SEN}のときの温度センサ出力電圧[V]
- T_{REF}: キャリブレーション用の基準温度[°C]
- V_{TREF}: 温度がT_{REF}のときの温度センサ出力電圧[V]
- ΔV_{TEMP}: 温度センサ出力電圧温度係数 [mV/°C] (“電気的特性”の章参照)

V_{TSEN}とV_{TREF}には、内蔵A/D変換器によって得られるそれぞれの温度に対応したデジタル値を、下記の式により電圧値に換算して代入します。

$$V(T_{SEN}, T_{REF}) = \frac{ADD}{4,096} \times V_{REFA} \quad (\text{式21.2})$$

ここで

- ADD: 温度がT_{SEN}またはT_{REF}のときのA/D変換結果(10進数)
- V_{REFA}: A/D変換器基準電圧[V]

内蔵A/D変換器の詳細は、“12ビットA/D変換器”の章を参照してください。

21.4 制御レジスタ

TSRVR Ch.n Temperature Sensor Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
TSRVR_nTCTL	15-8	-	0x00	-	R	-
	7-1	-	0x00	H0	R	
	0	TEMPEN	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 TEMPEN

このビットは、温度センサの動作をイネーブルにします。

1 (R/W): 温度センサ出力イネーブル

0 (R/W): 温度センサ出力ディスエーブル

TSRVR Ch.n Reference Voltage Generator Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
TSRVR_nVCTL	15-8	-	0x00	-	R	-
	7-2	-	0x00	H0	R	
	1-0	VREFAMD[1:0]	0x0	H0	R/W	

Bits 15-2 Reserved

Bits 1-0 VREFAMD[1:0]

これらのビットは、基準電圧生成回路の出力電圧を設定します。

表21.4.1 出力電圧の設定

TSRVR_nVCTL.VREFAMD[1:0]ビット	出力電圧
0x3	2.5 V出力
0x2	2.0 V出力
0x1	V _{DD} レベル出力
0x0	Hi-Z(外部印加可能)

注: • TSRVR_nVCTL.VREFAMD[1:0]ビットを0x2または0x3に設定すると、VREF動作電流I_{VREFA}が流れます。

- TSRVR_nVCTL.VREFAMD[1:0]ビットが0x0以外のときは、VREFAm端子に外部電圧を印可しないでください。

22 USB 2.0 FSデバイスコントローラ (USB, USBMISC)

22.1 概要

USBは、USB2.0規格準拠のFSモードに対応したUSBターゲットデバイス用コントローラです。主な機能と特長を以下に示します。

- FSモード(12 Mbps)の転送をサポート
- コントロール、バルクおよびインタラプト転送をサポート(アイソクロナスはサポートしていません)
- 3本の汎用エンドポイント(トランザクション方向、エンドポイント番号、エンドポイント有効/無効を個々に設定可能)およびエンドポイント0をサポート
- エンドポイント用に総量256バイト(1エンドポイント当たり64バイト)のFIFOを内蔵
- 48 MHz動作クロックを生成するPLL(12 MHz × 4)を搭載

図22.1.1にUSBの構成を示します。

表22.1.1 S1C31D01のUSB構成

項目	S1C31D01
エンドポイント	EP0、EPa、EPb、EPc
FIFO	EP0: 64バイト、EPa: 64バイト、EPb: 64バイト、EPc: 64バイト (計256バイト)
USBクロックソース	PLL(12 MHzクロック × 4)

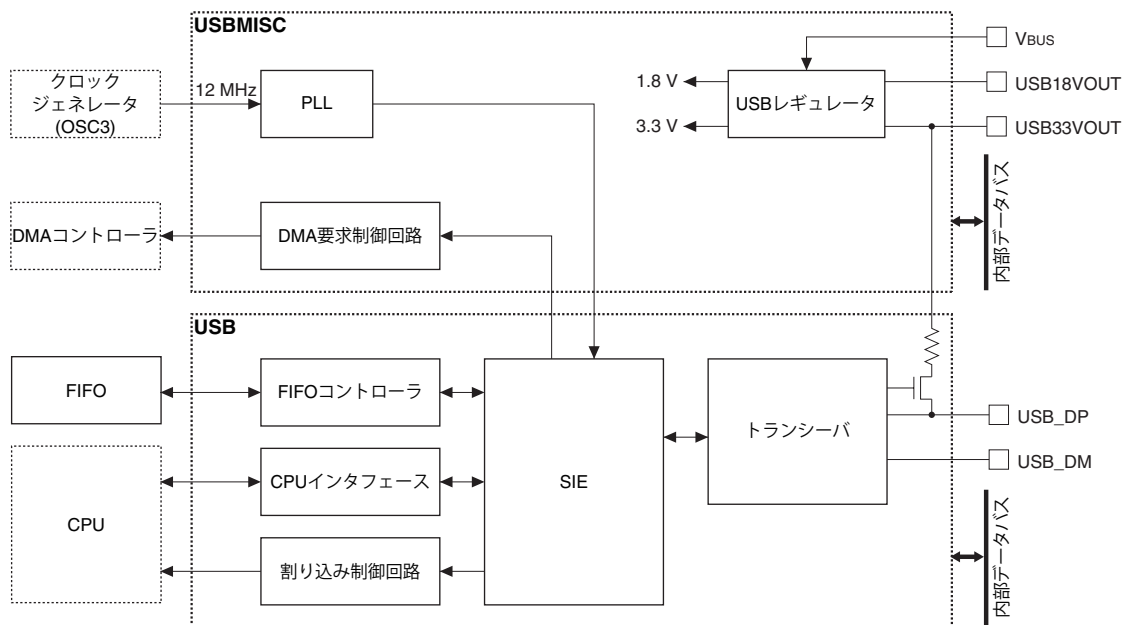


図22.1.1 USBの構成

SIE(シリアルインタフェースエンジン)

トランザクションを管理し、パケットを生成します。また、サスペンド、レジューム、リセットなどのバスイベントを制御します。

FIFO

エンドポイント用の256バイトのバッファです。

FIFOコントローラ

FIFO SRAMのアドレス管理、タイミング生成、アービトレーションなどを行います。

CPUインタフェース(ユーザバスインタフェース、ペリフェラルバスインタフェース)

CPUインタフェースのタイミングを制御し、レジスタアクセスを可能にします。

注: • USBは、エンドポイントを提供しトランザクションを管理します。ただし、USBに定義されるインタフェース(以下、USB定義インタフェース)の管理機能を提供しません。USB定義インタフェースは、ファームウェアで実装する必要があります。デバイス固有のデスクリプタ定義に沿ってエンドポイントを適宜設定し、また組み合わせてUSB定義インタフェースを構成してください。

- 本章では、各エンドポイントやそれぞれに用意された同機能を持つ制御レジスタ/ビットを次のような表記で一括して説明します。

EPn: すべてのエンドポイント(EP0、EPa、EPb、EPc)の名称、およびそれぞれに用意された同機能の制御レジスタ/ビット

例: USBEPnCFG.DIRビット

(=USBEP0CFG.DIR、USBEPACFG.DIR、USBEPBCFG.DIR、USBEPCCFG.DIRビット)

EPm: 汎用エンドポイント(EPa、EPb、EPc)の名称、およびそれぞれに用意された同機能の制御レジスタ/ビット

例: USBEPmCTL.TGLSTATビット

(=USBEPACTL.TGLSTAT、USBEPBCTL.TGLSTAT、USBEPCTL.TGLSTATビット)

USBRWFIFOSEL.EPmRDビット

(=USBRWFIFOSEL.EPARD、USBRWFIFOSEL.EPBRD、USBRWFIFOSEL.EPCRDBIT)

22.2 入出力端子と外部接続

22.2.1 入出力端子一覧

表22.2.1.1にUSB端子の一覧を示します。

表22.2.1.1 USB端子一覧

端子名	I/O*	イニシャル状態*	機能
USB_DP	I/O	I	USB D+信号入出力
USB_DM	I/O	I	USB D-信号入出力
V _{BUS}	P	-	USB V _{BUS} 入力(5 V入力可)
USB18VOUT	P	-	USB 1.8 Vレギュレータ出力
USB33VOUT	P	-	USB 3.3 Vレギュレータ出力

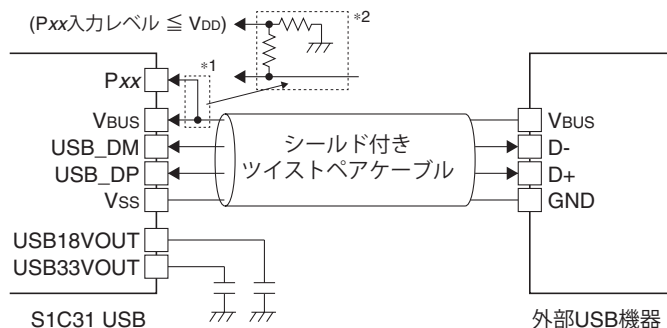
* 端子機能をUSBに切り換えた時点の状態

これらのUSB端子と他の機能がポートを共有している場合、USBを動作させる前にUSBの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

22.2.2 外部との接続

本ICのUSB端子と外部USB機器との接続例を図22.2.2.1に示します。

USB_DP端子には、ソフトウェアで有効/無効に設定可能なプルアップ抵抗が内蔵されています。



*1 $V_{DD} \geq V_{BUS}(5V)$ 、または $P_{xx} =$ トレラント・フェイルセーフ対応ポートの場合

*2 $V_{DD} < V_{BUS}(5V)$ 、かつ $P_{xx} \neq$ トレラント・フェイルセーフ対応ポートの場合

図22.2.2.1 外部USB機器との接続

22.3 クロック設定

本ICは、OSC3発振回路の出力クロックを4通倍して48 MHzのUSB動作クロックを生成するPLLを内蔵しています。したがって、OSC3発振回路から安定した12 MHzクロックを供給する必要があります。

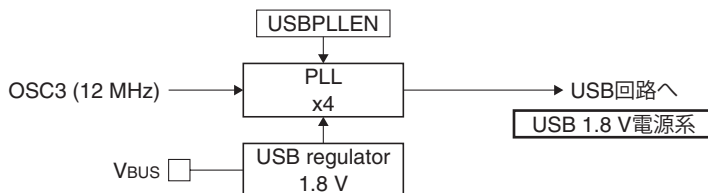


図22.3.1 USBクロックシステム

PLLはUSBMISCCTL.USBP1LENビットで動作を制御します。PLLも動作開始から出力クロックが使用可能になるまで、出力安定待ち時間(電気的特性参照)が必要です。

OSC3発振回路の制御については、“電源, リセット, クロック”の章の“クロックジェネレータ”の節を参照してください。

クロックソースを制御するタイミングについては、“22.5.1 初期設定”を参照してください。

注: USBを動作させる場合、システムクロックは16 MHz以下に設定してください。

デバッグ時のクロック供給

デバッグ時もUSBクロックは通常動作時と同様に制御します。

22.4 USB電源

USBは3.3 Vと1.8 Vのレギュレータを内蔵しており、V_{BUS}から供給される電源のみでUSB機能ブロックを動作させることができます。

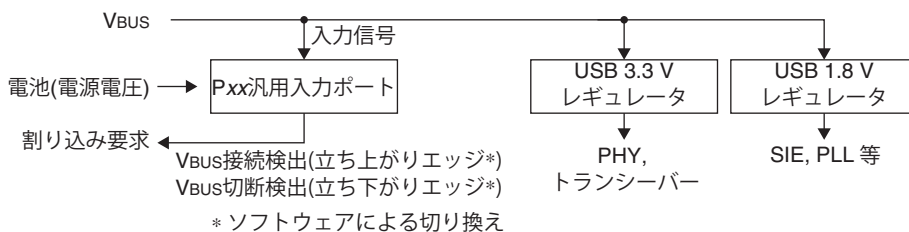


図22.4.1 USB電源

3.3 Vレギュレータと1.8 Vレギュレータはそれぞれ、USBMISCCTL.REG3.3ENビットとUSBMISCCTL.REG1.8ENビットで制御します。これらのレギュレータは動作開始から出力電圧が使用可能になるまで、出力安定待ち時間(電気的特性参照)が必要です。

レギュレータを制御するタイミングについては、“22.5.1 初期設定”を参照してください。

注: USBを動作させる場合、V_{b1}レギュレータの電圧モードはmode0に設定してください。

22.5 動作

22.5.1 初期設定

USBは、V_{BUS}による電源供給を前提としているため、V_{BUS}接続(アタッチ)前の事前設定、V_{BUS}接続後の電源シーケンス、電源アップ後のシーケンスを実行する必要があります。これらの手順を以下に示します。

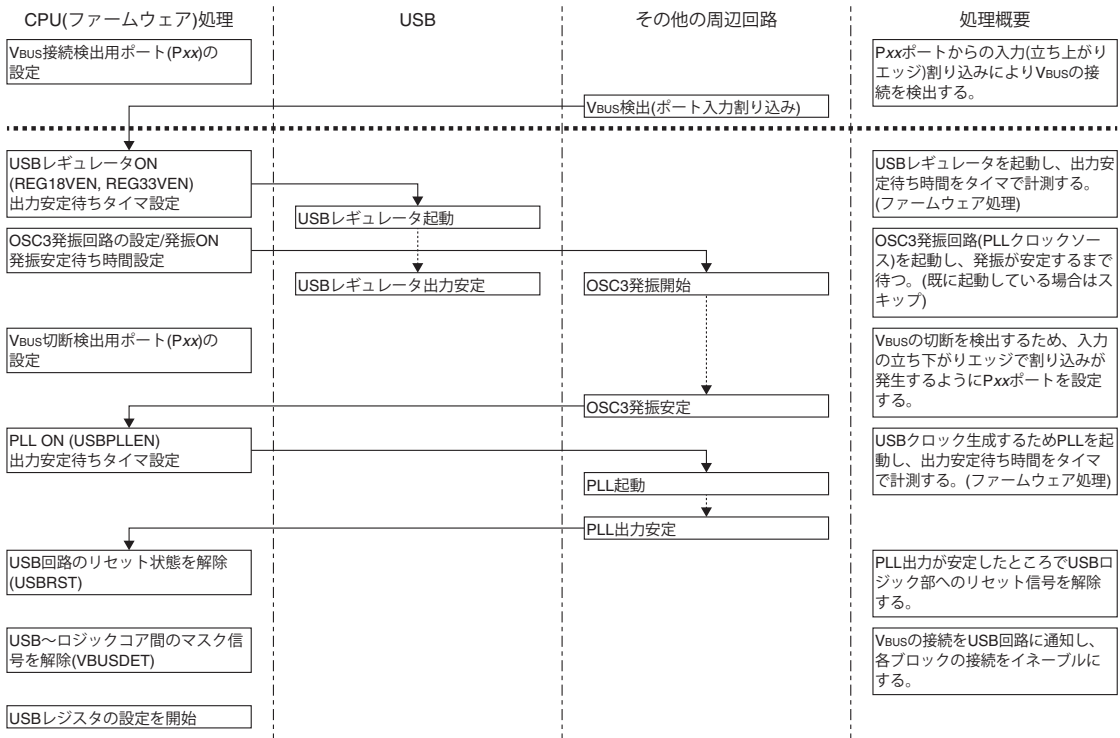


図22.5.1.1 V_{BUS}接続前後の処理フロー

V_{BUS}接続前の事前設定

1. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. USBMISC.USBWAITビットを設定する。(バスアクセスサイクル数の選択)
3. V_{BUS}を接続する汎用ポートPxxをプルダウン付きの入力に設定し、立ち上がりエッジでの入力割り込みを許可する(“入出力ポート”の章を参照)。
4. Pxx入力割り込みを待つ。

V_{BUS}が接続されると、Pxxポートから入力割り込みが発生します。割り込み発生後は、次のV_{BUS}接続後の電源シーケンスを実行します。

注: V_{BUS}が接続される前にUSBレギュレータやFIFOにアクセスすることはできません。

V_{BUS}接続後の電源シーケンス

1. USBMISCCTLレジスタの以下のビットを設定する。
 - USBMISCCTL.REG18VENビットを1に設定 (1.8 VレギュレータをON)
 - USBMISCCTL.REG33VENビットを1に設定 (3.3 VレギュレータをON)
2. USBレギュレータ出力安定待ち時間をタイムで計測する(割り込みを設定)。
3. 発振安定待ち時間と割り込みを設定し、OSC3発振回路を起動する(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
すでにOSC3発振回路が安定して動作している場合、この操作は不要です。
4. ステップ2のタイム割り込みの発生を待つ。

5. Pxxポートの入力割り込みが立ち下がりエッジで発生するように設定する(“入出力ポート”の章を参照)。
6. ステップ3のOSC3発振安定待ち完了割り込みを待つ。
7. USBMISCCTL.USBPLENビットを1に設定する。 (PLLをON)
8. PLL出力安定待ち時間をタイマで計測する(割り込みを設定)。
9. ステップ8のタイマ割り込みの発生を待つ。
割り込み発生後は、電源アップ後のシーケンスを実行します。

電源アップ後のシーケンス

1. USBMISCCTL.USBRSTビットを1に設定する。 (USB回路のリセット状態を解除)
2. USBMISCCTL.VBUSDETビットを1に設定する。 (VBUS接続検出を通知)
この操作により、ポートを使用して検出したVBUSの接続を、USBに関連するロジックに通知します。この設定により、USBがそれらのロジックに接続されます。
これ以降、USB制御レジスタがアクセス可能になります。
3. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

USBレジスタの初期設定

ここでは、USBコントローラとエンドポイントの基本設定を示します。トランザクションおよびオートネゴシエーション機能の制御に関する設定は後述します。

1. USBCTL.USBENビットを1に設定する。 (USBコントローラインイネーブル)
2. USBEPOSIZE.MAXSIZE[3:0]ビットを設定する。 (EP0最大パケットサイズを設定)
3. USBEPmCFGレジスタの以下のビットを設定する。
 - USBEPmCFG.MAXSIZE[6:0]ビット (EPm最大パケットサイズを設定)
 - USBEPmCFG.DIRビット (EPmのトランザクション方向を設定)
 - USBEPmCFG.EPNUM[3:0]ビット (EPmのエンドポイント番号を設定)
 - USBEPmCFG.TGLMODビット (EPmのトグルモードを設定)
 - USBEPmCFG.EPENビットを1に設定 (EPmをイネーブル)
4. USBFIFORDCYC.RDCYC[1:0]ビットを設定します。 (FIFOリードアクセスサイクル数を設定)
5. 割り込みを使用する場合は必要な割り込み制御ビットを設定する。
 - USB***INTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - USB***INTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
6. DMA転送を使用する場合は、DMAコントローラを設定すると共に以下のUSB制御ビットを設定する。
 - USBMISCWRDMAEN、USBMISCRDDMAENレジスタのDMA転送要求イネーブルビットに1を書き込む (DMA転送要求イネーブル)
7. USBSTAT.LINESTAT[1:0]ビットが0x1(J)になっていることを確認する。
8. USBCTL.AUTONEGOENビットを1に設定する。 (オートネゴシエーションイネーブル)

22.5.2 Vbus切断時の設定

VBUSの切断(デタッチ)の検出にはPxxポートを使用し、入力の立ち下がりエッジで発生する割り込みにより、以下の処理を行います。

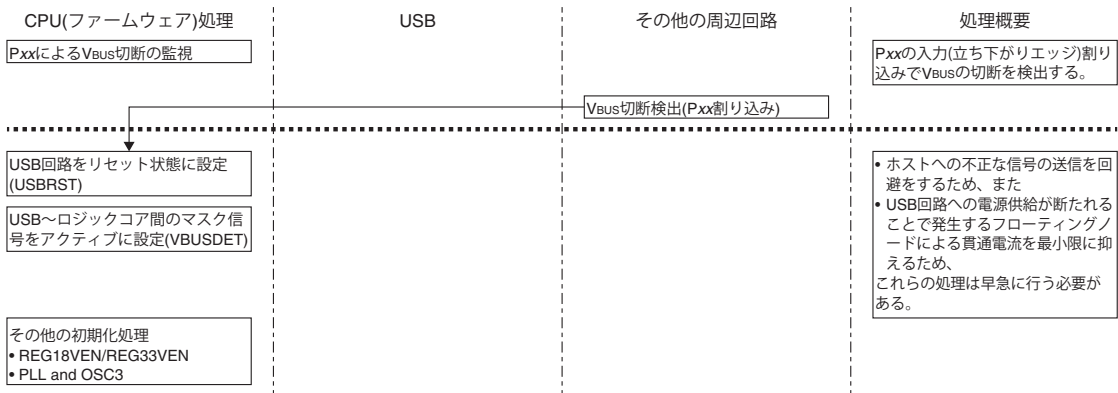


図22.5.2.1 Vbus切断時の処理フロー

1. SYSPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. USBMISCCTL.USBRSTビットを0に設定する。 (USB回路をリセット状態に設定)
3. USBMISCCTL.VBUSDETビットを0に設定する。 (Vbus切断検出を通知)

注: Vbus切断により、USBへの電源供給が停止します。これによるCPUへの不要な信号の送信やフローティングノードの発生による貫通電流を最小限に抑えるため、上記ステップ1~3の処理はPxx入力割り込み発生後、できるだけ速やかに実行してください。

4. USBMISCCTLレジスタの以下のビットを設定する。
 - USBMISCCTL.REG18VENビットを0に設定 (1.8 VレギュレータをOFF)
 - USBMISCCTL.REG33VENビットを0に設定 (3.3 VレギュレータをOFF)
5. USBMISCCTL.USBPLENビットを0に設定する。 (PLLをOFF)
6. OSC3発振回路が不要な場合は停止する(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
7. SYSPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

22.5.3 トランザクションの制御

USBは個々のトランザクションへの応答時にFIFOを参照し、そのデータ数または空き数によってデータ転送を行えるか否かを判断して自動的に処理します。たとえば、OUTのエンドポイントの場合、ソフトウェアでデータを読み出し、FIFOに空き領域を作り出すことによってOUTトランザクションを自動的に連続して実行させることができます。また、INのエンドポイントの場合、ソフトウェアでデータを書き込み、FIFOに有効データを作り出すことによってINトランザクションを自動的に連続して実行させることができます。以下にSETUP、OUT、およびINトランザクションの基本動作を説明します。

SETUPトランザクション

SETUPトランザクションのシーケンスを以下に示します。



図22.5.3.1 SETUPトランザクション

1. ホストがこのノードのEP0に宛てたSETUPトークンを発行します。
2. ホストは続けて、8バイト長のデータパケットを送信します。
3. USBはこのデータをUSBEP0SETUP0~7レジスタに書き込みます。

ステップ3まで正常に終了した場合

4. USBは自動的にACK応答します。
5. USBは以下のビットをセット/クリアします。
 - USBMAININTF.EP0SETIFビットをセット
 - USBEP0ICTL.FNAKビットをセット
 - USBEP0ICTL.FSTALLビットをクリア
 - USBEP0ICTL.TGLSTATビットをセット
 - USBEP0OCTL.FNAKビットをセット
 - USBEP0OCTL.FSTALLビットをクリア
 - USBEP0OCTL.TGLSTATビットをセット
6. ソフトウェアでUSBEP0SETUP0~7レジスタの内容を読み出し、続くステージのトランザクション方向を判断します。そのトランザクション方向に対応するUSBEP0ICTL.FNAKビット(IN)またはUSBEP0OCTL.FNAKビット(OUT)をソフトウェアでクリアします。

エラーが発生した場合

- 4a. USBはホストに応答しません。
- 5a. USBは上記ステップ5のビットのセット/クリアを行いません。

SETUPトランザクションを含むコントロール転送の制御と動作については“22.5.4 コントロール転送”を参照してください。

OUTトランザクション

OUTトランザクションのシーケンスを以下に示します。



図22.5.3.2 OUTトランザクション

1. ホストが、このノードに存在するOUT方向のエンドポイントに宛てたOUTトークンを発行します。
2. ホストは続けて、最大パケットサイズ以内のデータパケットを送信します。
3. USBはこのデータを、該当するエンドポイントのFIFOに書き込みます。
USBはFIFOの空き容量にかかわらずデータの受信を開始し、FIFOに空きがあれば受信を続けます。

データが正常に受信できた場合

4. USBは自動的にACK応答します。
5. USBはFIFOを更新し、受信したデータを読み出し可能にします。
6. USBは該当するエンドポイントのUSBEP m INTF.OUTACKIFビットをセットします。
7. EP m で受信したデータがショートパケットだった場合、USBは該当するエンドポイントのUSBEP m INTF.OUTSHACKIFビットをセットします。また、USBEP m CTL.AUTOFNAKDISビットがクリアされている場合は、そのエンドポイントのUSBEP m CTL.FNAKビットもセットします。

トグルミスマッチが発生した場合

- 4a. USBは自動的にACK応答します。
- 5a. USBはFIFOを更新しません。
- 6a. USBはUSBEP m INTF.OUTACKIFビットをセットしません。
- 7a. USBはUSBEP m INTF.OUTSHACKIFビットとUSBEP m CTL.FNAKビットをセットしません。

FIFOに空きがない場合

- 3b. ステップ3でFIFOに空きがなくなった場合、USBは受信を中断します。
- 4b. USBはNAK応答します。
- 5a. USBはFIFOを更新しません。
- 6b. USBはUSBEP n INTF.OUTNAKIFビットをセットします。
- 7b. USBはUSBEP m INTF.OUTSHACKIFビットとUSBEP m CTL.FNAKビットをセットしません。

エラーが発生した場合

- 4b. データ転送中にエラーが発生した場合、USBはトランザクションに応答しません。
- 5b. USBはFIFOを更新しません。
- 6b. USBはUSBEP n INTF.OUTERRIFビットをセットします。
- 7b. USBはUSBEP m INTF.OUTSHACKIFビットとUSBEP m CTL.FNAKビットをセットしません。

INトランザクション

INトランザクションのシーケンスを以下に示します。



図22.5.3.3 INトランザクション

1. ホストが、このノードに存在するIN方向のエンドポイントに宛てたINトークンを発行します。
2. USBは、IN方向のエンドポイントのFIFOに最大パケットサイズ以上のデータがある場合は、最大パケットサイズのデータを返信します。
FIFOに最大パケットサイズのデータがない場合でも、ショートパケットの送信を許可している場合は(USBEP0(I/O)CTL.SPKTENビット、USBEP m CTL.SPKTENビット = 1)、現在FIFOに書き込まれているデータ(データ長ゼロの packets を含む)を返信します。ただし、この場合は、トランザクションが完結するまで、新たなデータをそのエンドポイントのFIFOに書き込まないようにしてください。

全データを正常に送信できた場合

3. ホストはACK応答します。
 4. USBはFIFOを更新し、送信したデータの領域を開放します。
 5. USBはACKを受信すると、以下のビットをセットします。
 - USBEP n INTF.INACKIFビットをセット
 - USBEP0CTL.FNAKビットをセット*
- * EPOで、ショートパケットを送信するINトランザクションが完結した場合

FIFOに最大パケットサイズ分のデータがなく、ショートパケットの送信も許可されていない場合

- 2b. USBは、データを送信する代わりにNAK応答します。
- 4b. USBはFIFOを更新しません。
- 5b. USBはUSBEP n INTF.INNAKビットをセットします。

データ送信後、ホストからACKが返らない場合

- 5b. USBはUSBEP n INTF.INERRビットをセットします。

22.5.4 コントロール転送

EPOを使用するコントロール転送は、個々のトランザクションを組み合わせた、セットアップステージ、データステージ、ステータスステージで構成されます。

OUT方向のデータステージを持つコントロール転送のシーケンスを以下に示します。

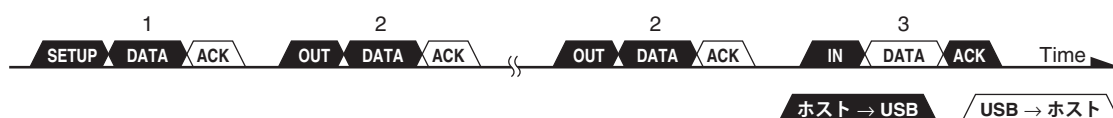


図22.5.4.1 データステージがOUT方向のコントロール転送

1. ホストはSETUPトランザクションによって、コントロール転送を開始します。
デバイスのファームウェアはリクエストの内容を解析して、データステージに応答する準備をします。
2. ホストはOUTトランザクションを発行してデータステージを開始し、デバイスはデータを受信します。
3. ホストはINトランザクションを発行してステータスステージを行い、デバイスはデータ長ゼロのパケットを返信します。
ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。

データステージのないコントロール転送は、この例におけるステップ2がない状態で実施されます。

IN方向のデータステージを持つコントロール転送のシーケンスを以下に示します。



図22.5.4.2 データステージがIN方向のコントロール転送

1. ホストはSETUPトランザクションによって、コントロール転送を開始します。
デバイスのファームウェアはリクエストの内容を解析して、データステージに応答する準備をします。
2. ホストはINトランザクションを発行してデータステージを行い、デバイスはデータを送信します。
3. ホストはOUTトランザクションを発行してステータスステージを行い、デバイスはACK応答します。
ステータスステージへの移行は、ホストがデータステージと逆方向のトランザクションを発行することによってなされます。

コントロール転送のデータステージおよびステータスステージは、通常のOUTおよびINトランザクションを行いますので、NAKによるフロー制御が有効です。デバイスは定められた時間内に、応答の準備をすることが許されています。

セットアップステージ

USBは自ノードに宛てられたSETUPトークンを受信すると、自動的にSETUPトランザクションを実行します。

セットアップステージにおけるソフトウェアの処理の流れは以下のとおりです。

1. USBMAININTF.EPOSETIFビット = 1になるまで待機する(割り込みを使用可能)。
2. USBEPOSETUP0~USBEPOSETUP7レジスタを読み出し、リクエストを解析する。
3. 1を書き込んでUSBMAININTF.EPOSETIFビットをクリアする。
4. リクエストの解析結果にしたがい、データステージ、またはステータスステージの処理に移行する。

データステージ

受信したリクエストにOUT方向のデータステージがある場合

1. USBEPOCFG.DIRビットを0に設定する。(EP0をOUT方向に設定)
2. USBEPOCTLレジスタの以下のOUTトランザクション制御ビットを設定する。
 - USBEPOCTL.AUTOFNAKビット (自動強制NAK機能イネーブル/ディスエーブル)
 - USBEPOCTL.FNAKビットを0に設定 (強制NAK応答ディスエーブル)

USBはFIFOに空きがある限り、自動的にデータを受信します。その詳細は“22.5.6 データフローの制御”内の“OUT転送”を参照してください。

また、USBEP0INTF.INNAKIFビットを監視して(割り込みを使用可能)、セットされた場合はステータスステージに移行してください。

受信したリクエストにIN方向のデータステージがある場合

1. USBEP0CFG.DIRビットを1に設定する。(EP0をIN方向に設定)
2. USBEP0ICTLレジスタの以下のINトランザクション制御ビットを設定する。
 - USBEP0ICTL.SPKTENビット (ショートパケット送信イネーブル/ディスエーブル)
 - USBEP0ICTL.FNAKビットを0に設定 (強制NAK応答ディスエーブル)

USBはFIFOにデータがある限り、自動的にデータを送信します。その詳細は“22.5.6 データフローの制御”内の“IN転送”を参照してください。

また、USBEP0INTF.OUTNAKIFビットを監視して(割り込みを使用可能)、セットされた場合はステータスステージに移行してください。

ステータスステージ

受信したリクエストにデータステージがない、またはOUT方向のデータステージから移行する場合

1. USBEP0CFG.DIRビットを1に設定する。(EP0をIN方向に設定)
2. USBEP0ICTLレジスタの以下のINトランザクション制御ビットを設定する。
 - USBEP0ICTL.SPKTENビットを1に設定(ショートパケット送信イネーブル)
 - USBEP0ICTL.FNAKビットを0に設定 (強制NAK応答ディスエーブル)

USBはデータ長ゼロの packets を返信します。

IN方向のデータステージから移行する場合

1. USBEP0CFG.DIRビットを0に設定する。(EP0をOUT方向に設定)
2. USBEP0OCTLレジスタの以下のOUTトランザクション制御ビットを設定する。
 - USBEP0OCTL.FNAKビットを0に設定 (強制NAK応答ディスエーブル)

USBはACK応答します。

自動アドレス設定機能

コントロール転送でEP0がSetAddress()リクエストを受信した場合、アドレスをUSBADDR.USBADDR[6:0]ビットに自動設定することが可能です。この機能を有効にするには、ソフトウェアで以下の処理を実行してください。

1. セットアップステージにおいて、USBEP0SETUP0~7レジスタの読み出し値が有効なSetAddress()リクエストであることを確認する。
2. USBADDR.ATADDRビットを1に設定する。(自動アドレス設定機能イネーブル)
3. USBEP0CFG.DIRビットを1に設定する。(EP0をIN方向に設定)
4. USBEP0ICTLレジスタの以下のINトランザクション制御ビットを設定する。
 - USBEP0ICTL.SPKTENビットを1に設定 (ショートパケット送信イネーブル)
 - USBEP0ICTL.FNAKビットを0に設定 (強制NAK応答ディスエーブル)

この機能を有効にした後に、EP0におけるINトランザクションが完了すると、USBはSetAddress()リクエストのデータからアドレスを抽出し、USBADDR.USBADDR[6:0]ビットにセットします。また、USBSIEINTF.ATADDRIFビットを1にセットします(割り込み発生可能)。

この機能を有効にした後、INトランザクションが行われる前にEP0への他のトランザクションが発生した場合、この機能はキャンセルされ、USBADDR.ATADDRビットはクリアされます。USBSIEINTF.ATADDRIFビットもセットされません。

22.5.5 バルク転送/インタラプト転送

汎用エンドポイントEP_mにおけるバルク転送およびインタラプト転送は、データフロー (“22.5.6 データフローの制御”参照)としても、連続する個々のトランザクション (“22.5.3 トランザクションの制御”参照)としても制御できます。

22.5.6 データフローの制御

ここでは、OUT転送およびIN転送の一般的なデータフローの制御について説明します。

OUT転送

FIFOにデータパケットを受信できる空き領域があれば、USBはOUTトランザクションに自動的に応答して、データを受信できます。したがって、ソフトウェアによって個々のトランザクションについての制御を行うことなく、OUT転送を行うことができます。ただし、USBEPmCTL.AUTOF-NAKDISビットがクリアされている場合、ショートパケット(データ長ゼロのパケットを含む)を受信すると、そのエンドポイントのUSBEPmCTL.FNAKビットをセットしますので、次のデータ転送を行う準備ができたところで、USBEPmCTL.FNAKビットをクリアしてください。

OUT転送によって受信したデータは、各エンドポイントのFIFOに格納されます。FIFOからデータを読み出す手順については、“22.5.9 FIFO管理”を参照してください。

図22.5.6.1に、OUT転送のデータフローの例を示します。この例では、パケットサイズの倍の容量のFIFOがエンドポイントに割り当てられているものとします。

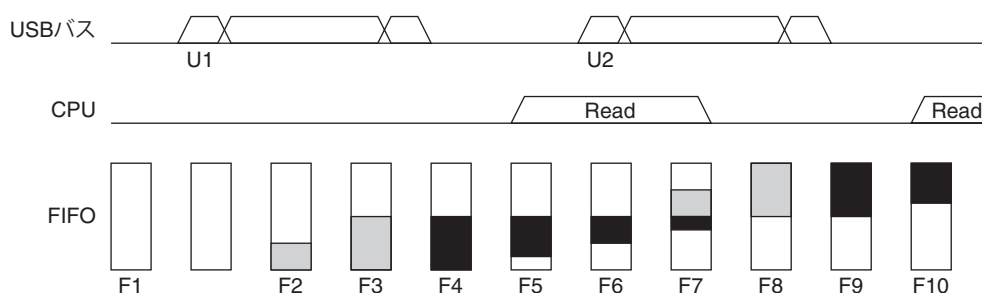


図22.5.6.1 OUT転送のデータフロー例

- (U1) 1回目のOUTトランザクションで、パケットサイズのデータ転送を行っています。
- (U2) 2回目のOUTトランザクションで、パケットサイズのデータ転送を行っています。
- (F1) FIFOが空の状態です。
- (F2) OUTトランザクションが進行し、FIFOに受信を開始しています。この時点では、トランザクションが完結していないため、FIFOのデータが有効とされていません。
- (F3) OUTトランザクションのデータパケットを受信し終えましたが、トランザクションが完結していないため、FIFOのデータが有効とされていません。
- (F4) OUTトランザクションが完結し、受信したデータが有効とされます。
- (F5) FIFOに有効データが生じたことにより、CPUがFIFOの読み出しを開始します。
- (F6) CPUによるFIFOの読み出しにより、FIFOの有効データが減っています。
- (F7) 次のトランザクション開始により、データの書き込みが始まりますが、有効データがある間、CPUはFIFOの読み出し動作を続けることができます。
- (F8) 有効データがなくなったために、CPUはFIFOの読み出しを停止しています。2回目のOUTトランザクションは未だ完結していません。
- (F9) 2回目のOUTトランザクションが完結し、FIFOに有効データが生じます。
- (F10) FIFOに有効データが生じたため、CPUがFIFOの読み出しを開始します。

IN転送

FIFOに最大パケットサイズ以上のデータがあれば、USBはINトランザクションに自動的に応答して、データを送信できます。したがって、ソフトウェアによって個々のトランザクションについての制御を行うことなく、IN転送を行うことができます。ただし、データ転送の最後にショートパケットを送信する必要がある場合、USBEPmCTL.SPKTENビットをセットしてください。このビットはショートパケットを送信したINトランザクションが完結することによってクリアされますので、FIFOへのデータ書き込みが終了した時点でセットすることが可能です。

IN転送により送信するデータを各エンドポイントのFIFOに書き込む手順については、“22.5.9 FIFO管理”を参照してください。

図22.5.6.2に、IN転送のデータフローの例を示します。この例では、パケットサイズの倍の容量のFIFOがエンドポイントに割り当てられているものとします。

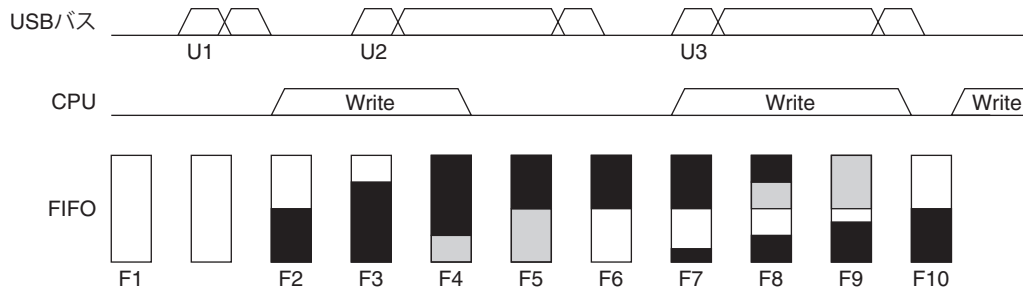


図22.5.6.2 IN転送のデータフロー例

- (U1) 1回目のINトランザクションでは、FIFOにパケットサイズ分の有効なデータがないため、NAK応答しています。
- (U2) 2回目のINトランザクションで、パケットサイズのデータ転送を行っています。
- (U3) 3回目のINトランザクションで、パケットサイズのデータ転送を行っています。
- (F1) FIFOが空の状態です。
- (F2) CPUからの書き込みが開始され、FIFOに有効データが書き込まれます。
- (F3) FIFOに空き領域があるため、CPUからの書き込みが継続しています。
- (F4) FIFOに最大パケットサイズ分の有効データがあるので、INトランザクションに応答して、データパケットを送信しています。トランザクションが完結していないので、送信した分の領域は開放されず、FIFOがフルになります。
- (F5) INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されずCPUからFIFOへの書き込みもできません。
- (F6) ACKハンドシェイクパケットを受信してトランザクションが完結することにより、FIFOの領域が開放されます。
- (F7) FIFOに空き領域ができたため、CPUからの書き込みが可能となります。
- (F8) INトランザクションに応答して、データパケットを送信しています。FIFOには空き領域があるため、CPUからFIFOへの書き込みを続けられます。
- (F9) INトランザクションにおけるデータパケットの送信を終えましたが、トランザクションが完結していないため、FIFOの領域は開放されません。FIFOには空き領域があるため、CPUからFIFOへの書き込みを続けられます。
- (F10) ACKハンドシェイクパケットを受信してINトランザクションが完結することにより、FIFOの領域が開放されたためにCPUからFIFOへの書き込みが可能となります。

22.5.7 オートネゴシエーション機能

オートネゴシエーション機能はサスペンド検出、リセット検出、レジューム検出を、USBバスの状態を逐次チェックしながら自動的に行います。一方、オートネゴシエーション機能はアタッチ、デタッチの処理を行いませんので、アタッチ後にイネーブル、デタッチ後にディスエーブルするようにしてください。実際に検出された状態については、割り込みフラグ(USBSIEINTF.RESETIFビット、USBSIEINTF.SUSPENDIFビット)をチェックすることにより確認することができます。

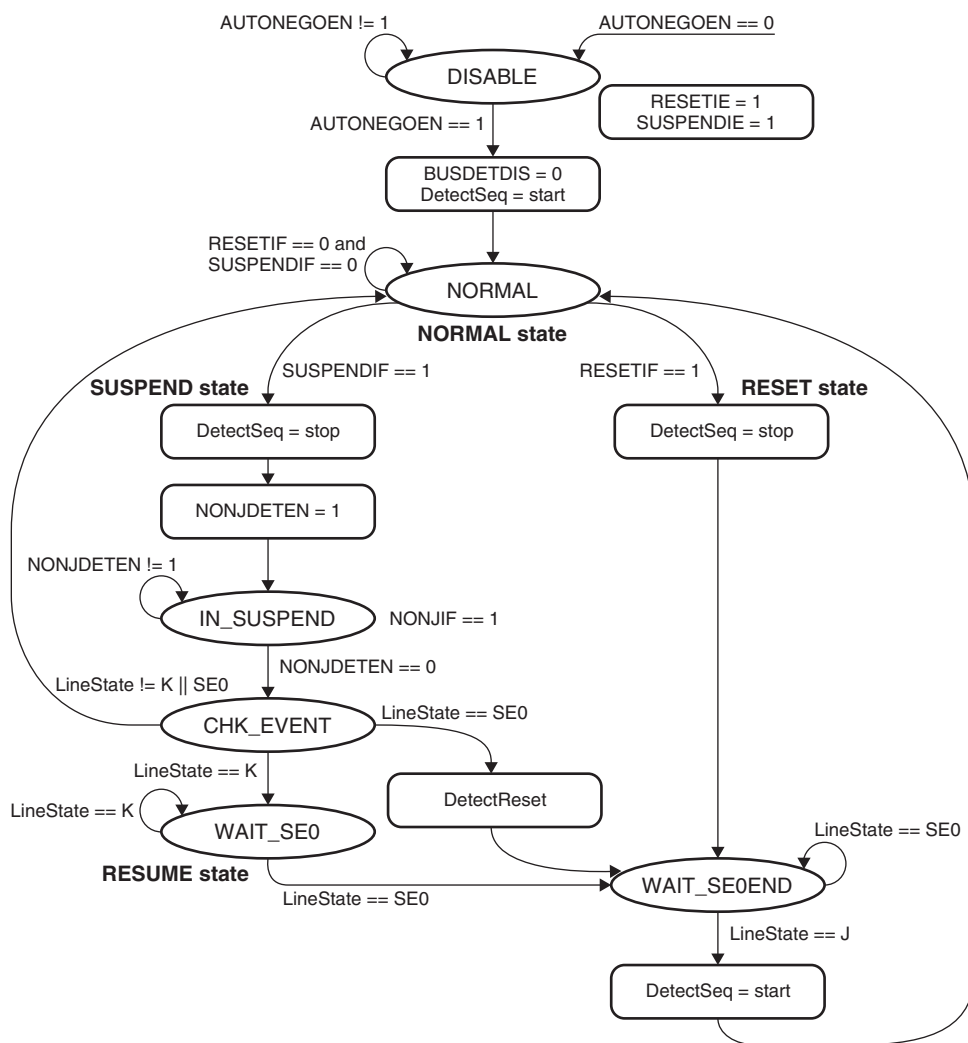


図22.5.7.1 オートネゴシエータ

(1) DISABLE

USBCTL.AUTONEGOENビット=0のとき、USBコントローラはDISABLE状態になっています。この状態からは、以下の手順でオートネゴシエーション機能を有効にします。

1. USBSIEINTE.RESETEIEビットを1に設定する。(リセット検出割り込みイネーブル)
2. USBSIEINTE.SUSPENDIEビットを1に設定する。(サスペンド検出割り込みイネーブル)
3. USBMAININTE.SIEIEビットを1に設定する。(SIE割り込みイネーブル)
4. USBCTL.AUTONEGOENビットを1に設定する。(オートネゴシエーションイネーブル)

オートネゴシエーション機能を有効にすると、USBCTL.BUSDETDISビットをハードウェアが自動的にクリアし、イベント検出機能を有効にします。オートネゴシエーション機能を有効にしている間は、USBCTL.BUSDETDISビットを絶対に1に設定しないでください。

(2) NORMAL

リセット検出待ち、サスペンド検出待ちをするステートです。2.5 μ s以上のSE0が検出された場合はリセット、3 ms以上アクティビティが検出できなかった場合はサスペンドと判断します。これらの判断と同時に、USBSIEINTF.RESETEIFビットまたはUSBSIEINTF.SUSPENDIFビットがセットされ、リセット検出割り込みまたはサスペンド検出割り込みが発生します。サスペンドと判断した場合、IN_SUSPENDステートに入ります。

(3) IN_SUSPEND

このステートに入ると、USBCTL.NONJDETENビットがハードウェアによって自動的にセットされ、FS-J(サスペンド)からリセットまたはレジャームへのバスの遷移を検出する機能が有効になります。これらのバスの遷移が検出されると、USBSIEINTF.NONJIFビットがセットされ、USBSIEINTE.NONJIEビットおよびUSBMAININTE.SIEIEビットがセットされているとNonJ割り込みが発生します。このバス遷移をホストによるサスペンドからの復帰指示と見なしUSBCTL.NONJDETENビットをクリアしてください。これにより、CHK_EVENTステートに入ります。

サスペンドからリモートウェイクアップによりレジャームするには、このステートでUSBCTL.WAKEUPビットをセットし、1 ms～15 msの間、レジャームシグナル(FS-K)を送出してください。

(4) CHK_EVENT

CHK_EVENTステートでは、USBはUSB信号をチェックし、FS-Kを検出した場合にレジャームであると判断します。SE0を検出した場合はリセットであると判断します。リセットと判断した場合は、USBSIEINTF.RESETIFビットをセットします。

なお、どのステートにおいても、USBケーブルが抜かれたことには対応していませんので、もしUSBケーブルが抜かれた場合には、すぐに、このオートネゴシエーション機能を停止してください。

22.5.8 ネゴシエーション機能説明

サスペンド検出

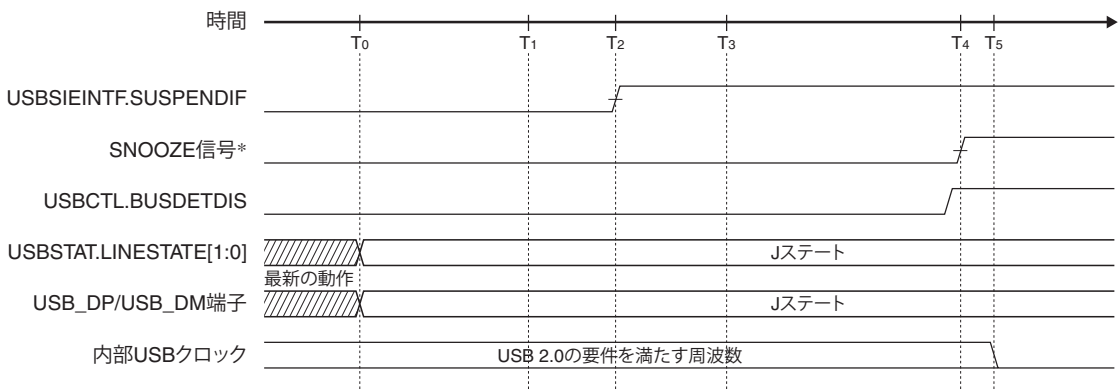
USBCTL.BUSDETDISビットが0に設定されている場合、USBは以下のサスペンド検出手順を自動的に実行します。

1. 3 ms以上、送受信がない(USBSTAT.LINESTAT[1:0]ビット = 0x01(J)を検出し続ける)ことを内部タイマによりチェックします(T1)。
2. T2の時点で、USBSTAT.LINESTAT[1:0]ビット = 0x01(J)を検出した場合、USBSIEINTF.SUSPENDIFビットをセットします。
3. USBSIEINTE.SUSPENDIEビットおよびUSBMAININTE.SIEIEビットが1に設定されている場合、割り込み要求をCPUに出力します。

USBSIEINTF.SUSPENDIFビットがセットされた(割り込みが発生した)場合は、ソフトウェアで以下の処理を行ってください。

1. USBCTL.BUSDETDISビットを1に設定する。(リセット/サスペンド検出ディスエーブル)
2. T4までにスヌーズの処理に移行する(“22.5.10 スヌーズ”参照)。

サスペンド検出からスヌーズへの移行までの動作を図22.5.8.1に示します。



* SNOOZE信号はUSBMISCCTL.USBSNZビットで制御します。

図22.5.8.1 サスペンドタイミング

リセット検出

USBCTL.BUSDETDISビットが0に設定されている場合、USBは以下のリセット検出手順を自動的に実行します。

1. 2.5 μ s以上、USBSTAT.LINESTAT[1:0]ビット = 0x0(SE0)であることを内部タイマによりチェックします(T1)。
2. T2の時点で、USBSTAT.LINESTAT[1:0]ビット = 0x0(SE0)を検出した場合、USBSIEINTF.RESETIFビットをセットします。
3. USBSIEINTE.RESETIEビットおよびUSBMAININTE.SIEIEビットが1に設定されている場合、割り込み要求をCPUに出力します。

リセット検出は、USBCTL.USBENビットが1に設定されているときに有効です。オートネゴシエーション機能を使用しない場合にUSBSIEINTF.RESETIFビットがセットされたときは、継続するリセットを誤検出しないよう、USBCTL.BUSDETDISビットを1に設定してリセット/サスペンド状態の検出を無効にしてください。リセット検出時の処理終了後にUSBCTL.BUSDETDISビットを0に設定してリセット/サスペンド状態の検出を有効にしてください。

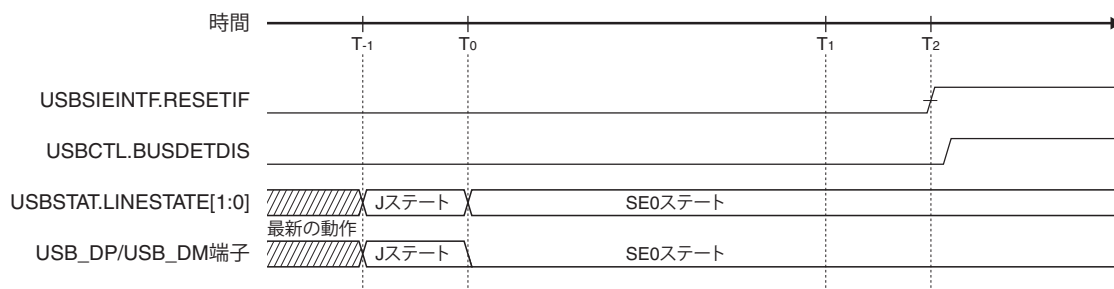


図22.5.8.2 リセットタイミング

レジュームの発行

リモートウェイクアップがサポートされており、かつホストからリモートウェイクアップを有効に設定されているときに、何らかの要因で自らレジュームする方法を説明します。

リモートウェイクアップを行うことが可能なのは、バスがアイドルになってから5 ms経過後です。

1. USBSIEINTE.NONJIEビットを0に設定する。 (NONJ検出割り込みディスエーブル)
2. USBCTL.WAKEUPビットを1に設定する。 (リモートウェイクアップ信号出力開始)

USBはUSBTRCTL.OPMOD[1:0]ビットを0x2(ビットスタッフィング、NRZIエンコーディング無効)に設定します。更に、送信を開始し、アップストリームポートに対し“FS K”(レジューム信号)を送出します。ホストは、このレジューム信号を検出し、バス上に“FS K”(レジューム信号)を返してきます。

3. USBCTL.WAKEUPビットを0に設定する。 (リモートウェイクアップ信号出力停止)
4. USBCTL.NONJDETENビットを0に設定する。 (NONJステート検出ディスエーブル)
ホストがレジューム信号の送出手を停止します。

ホストからのレジューム信号の送出手の終了を検出したい場合には、ステップ4の操作に続いて、以下の処理を行ってください。

5. USBCTL.JDETENビットを1に設定する。 (Jステート検出イネーブル)

ホストがレジューム信号の送出手を停止すると、USBはUSBSIEINTF.JIFビットをセットし、USBSIEINTE.JIEビットおよびUSBMAININTE.SIEIEビットがセットされている場合は、割り込み要求をCPUに出力します。

ホストからのレジューム信号の最後にはLSのEOPが付いていることに注意してください。

6. USBCTL.JDETENビットを0に設定する。 (Jステート検出ディスエーブル)

ただし、オートネゴシエーション機能を使用している場合には、特に上記ホストからのレジューム信号送出手の終了を検出する必要はなく、その他のイベントを待つだけで十分だと考えられます。

上記の動作は、発振回路が動作している(48 MHzクロックがUSBに供給され、CPUがSLEEP状態ではない)ものとして説明しています。もし、CPUがSLEEP状態で発振回路が停止していた場合には、レジュームの前に発振回路の動作開始と発振安定待ち時間も必要となります。

レジュームの検出

USBのサスペンド時、バスはJステートになっています(USBSTAT.LINESTAT[1:0]ビット = 0x01(J))。ホストがウェイクアップの指示(レジューム)を送出すると、バスはKステートになります。ここでUSBはUSBMISCCTL.USBSNZビットを0(復帰)にクリアします。さらに、USBSIEINTF.NONJIFビットをセットし、USBSIEINTE.NONJIEビットおよびUSBMAININTE.SIEIEビットがセットされている場合は、割り込み要求をCPUに出力します。この割り込みが発生した場合は、ソフトウェアで以下の処理を行ってください。

1. USBCTL.WAKEUPビットを0に設定する。 (リモートウェイクアップ信号出力停止)
2. USBCTL.NONJDETENビットを0に設定する。 (NONJステート検出ディスエーブル)
ホストがレジューム信号(K)の送出を停止します。

ホストからのレジューム信号の送出の終了を検出したい場合には、ステップ2に続いて、以下の処理を行ってください。

3. USBCTL.JDETENビットを1に設定する。 (Jステート検出イネーブル)
ホストがレジューム信号(K)の送出を停止すると、USBはUSBSIEINTF.JIFビットをセットし、USBSIEINTE.JIEビットおよびUSBMAININTE.SIEIEビットがセットされている場合は、割り込み要求をCPUに出力します。
4. USBCTL.JDETENビットを0に設定する。 (Jステート検出ディスエーブル)

ただし、オートネゴシエーション機能を使用している場合には、特に上記ホストからのレジューム信号送出の終了を検出する必要はなく、その他のイベントを待つだけで十分だと考えられます。上記の動作は、発振回路が動作している(48 MHzクロックがUSBに供給され、CPUがSLEEP状態ではない)ものとして説明しています。もし、CPUがSLEEP状態で発振回路が停止していた場合には、レジュームの前に発振回路の動作開始と発振安定待ち時間も必要となります。

ケーブル挿入

ハブまたはホストに接続(ケーブルが挿入)された場合の制御手順については、“22.5.1 初期設定”を参照してください。そのときの動作は以下のとおりです。

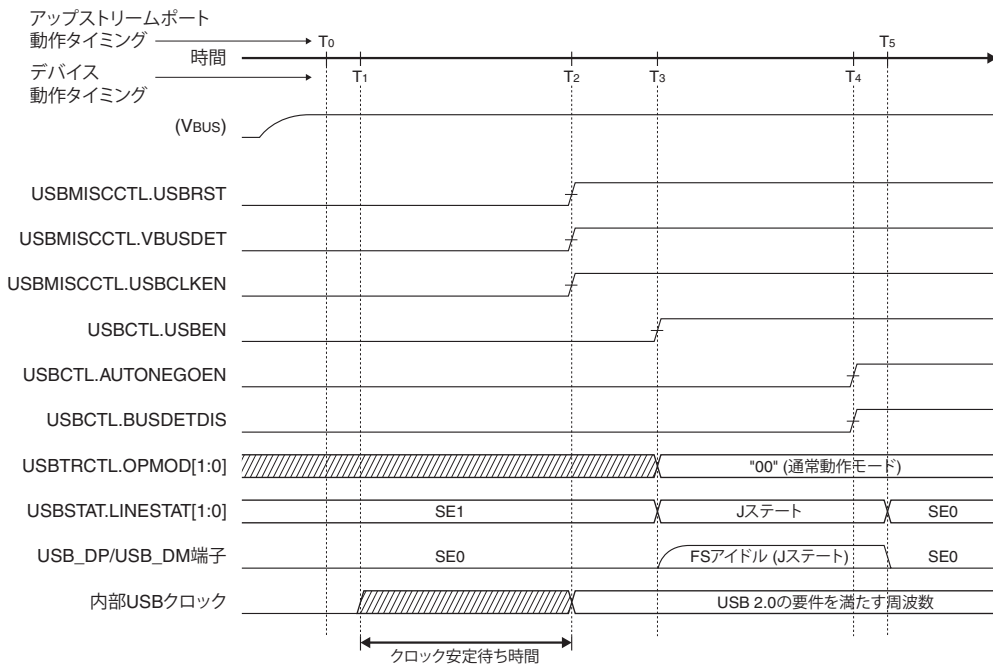


図22.5.8.3 デバイス接続タイミング

表22.5.8.1 デバイス接続タイミング値

タイミングパラメータ	説明	値
T0	VBusが接続され、Pxxポートから入力割り込みが発生します。	(基準)
T1	ソフトウェアでUSBレギュレータをオンにします。 ソフトウェアでOSC3発振回路を起動させ(停止している場合)、発振安定待ちの後、PLLを起動します。	T1
T2	USBクロックが安定した後、ソフトウェアでUSBMISCCTL.USBRSTビット、USBMISCCTL.VBUSDETビット、およびUSBMISCCTL.USBCLKENビットを1に設定します。	$T1 + 4 \text{ ms} < T2$
T3	ソフトウェアでUSBCTL.USBENビットを1に、USBTRCTL.OPMOD[1:0]ビットを0x0に設定します。	$T0 + 100 \text{ ms} \{ \text{TSIGATT} \} < T3$
T4	ソフトウェアでUSBSTAT.LINESTAT[1:0]ビット = 0x1 (J = FSアイドル)を確認し、USBCTL.AUTONEGOENビットを1に設定します。 USBCTL.BUSDETDISビットが1にセットされます。	
T5	ホストからリセットが送出されます。	$T3 + 100 \text{ ms} \{ \text{TATTDB} \} < T5$

* {}はUSB2.0仕様書に定義されているタイミングパラメータの名称です。

22.5.9 FIFO管理

FIFOメモリマップ

FIFOのメモリマップを下図に示します。

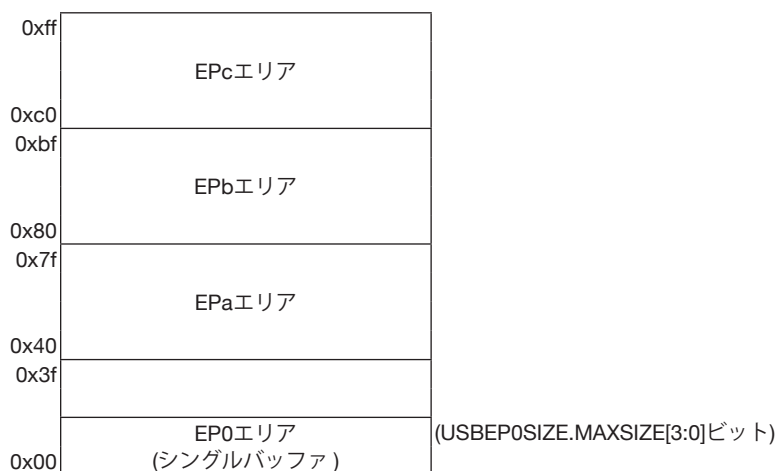


図22.5.9.1 FIFOメモリマップ

FIFOのメモリは、本ICがサポートしているエンドポイント数のエリア(EP0エリア + EP_m汎用エンドポイント数)に分割されます。

EP0エリアは、USBで必須のエンドポイント0に使用するエリアで、INおよびOUTの両トランザクションに使用されます。このエリアは、FIFOの先頭に配置され、大きさはUSBEP0SIZE.MAXSIZE[3:0]ビットに設定されたEP0の最大パケットサイズにより決まります。したがって、シングルバッファとなります。

EP_mエリアは、エンドポイント番号とIN/OUT方向を設定できる汎用エンドポイントのエリアです。

エリアの設定を変更した場合には、USBEPCTL.EPNFIFOCLRビットを1に設定してください。これによりエリアが初期設定され、USBEPCTL.EPNFIFOCLRビットは自動的に0にクリアされます。ただし、このビットによりFIFOメモリ上のデータがクリアされることはありません。したがって、デスクリプタエリアを変更していなければ、エリア内に記録された情報が消えることはないため、再度設定し直す必要はありません。

CPUによるFIFOへのアクセス方法

CPUからFIFOにアクセスする手順は以下のとおりです。

FIFOデータの読み出し

1. USBFIFORWEN.FIFORDENビットを1に設定する。(USBRDFIFOSELレジスタイネーブル)
2. USBRDFIFOSEL.EP m RDビットを設定する。(データを読み出すエンドポイントの選択)
3. USBREMDATCNT.REMDAT[6:0]ビットを読み出す。(FIFO内の有効データ数を確認)
4. USBFIFODAT.FIFODAT[7:0]ビットからFIFOデータを読み出す。

ステップ4を繰り返すことで、指定したエンドポイントのFIFOからデータを1バイトずつ受信順に読み出すことができます。

FIFOへのデータ書き込み

1. USBFIFORWEN.FIFOWRENビットを1に設定する。(USBWRFIFOSELレジスタイネーブル)
2. USBWRFIFOSEL.EP m WRビットを設定する。(データを書き込むエンドポイントの選択)
3. USBREMSPCCNT.REMSPC[6:0]ビットを読み出す。(FIFO内の空き領域サイズを確認)
4. USBFIFODAT.FIFODAT[7:0]ビットにFIFOデータを書き込む。

ステップ4を繰り返すことで、指定したエンドポイントのFIFOにデータを1バイトずつ書き込むことができ、書き込み順にデータパケットで送信されます。

DMAを使用したFIFOの読み出し/書き込み

FIFOデータの読み出し

USBMISCRDDMAEN.RDDMAEN x ビットを1(DMA転送要求イネーブル)に設定しておくこと、FIFOに有効データが取り込まれた時点(USBREMDATCNT.REMDAT[6:0]ビット \neq 0)で、DMAコントローラにDMA転送要求が出力され、DMA Ch. x によりUSBFIFODATレジスタのデータが指定のメモリに転送されます。

これにより、上記FIFOデータの読み出し手順の3と4はDMAにより自動化できます。

なお、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表22.5.9.1 DMAデータストラクチャ設定例(FIFOデータの読み出し)

設定項目		設定例
エンドポイント	転送元	USBFIFODATレジスタアドレス
	転送先	最終リードデータを格納するメモリアドレス
コントロールデータ	dst_inc	0x0(+1)
	dst_size	0x0(バイト)
	src_inc	0x3(インクリメントなし)
	src_size	0x0(バイト)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
cycle_ctrl	0x1(通常転送)	

FIFOデータの書き込み

USBMISCWRDMAEN.WRDMAEN x ビットを1(DMA転送要求イネーブル)に設定しておくこと、FIFOに空きができた時点(USBREMSPCCNT.REMSPC[6:0]ビット \neq 0)で、DMAコントローラにDMA転送要求が出力され、DMA Ch. x により指定メモリのデータがUSBFIFODATレジスタに転送されます。

これにより、上記FIFOデータの書き込み手順の3と4はDMAにより自動化できます。

なお、あらかじめDMAコントローラ用の転送元/転送先エンドポイントやコントロールデータを設定し、該当DMAチャンネルがDMA転送を開始できる状態にしておきます。その詳細は、“DMAコントローラ”の章を参照してください。

表22.5.9.2 DMAデータストラクチャ設定例(FIFOデータの書き込み)

設定項目	設定例	
エンドポインタ	転送元	最終ライトデータが格納されているメモリアドレス
	転送先	USBFIFODATレジスタアドレス
コントロールデータ	dst_inc	0x3(インクリメントなし)
	dst_size	0x0(バイト)
	src_inc	0x0(+1)
	src_size	0x0(バイト)
	R_power	0x0(転送ごとに調停)
	n_minus_1	転送データ数
	cycle_ctrl	0x1(通常転送)

FIFOへのアクセス制限

USBのFIFOは、USBホストとの送受信、CPUからの書き込み、読み出しが同時に行われる可能性があります。このため、CPUからのアクセスには、下記2つの禁止事項が設けられています。

- USBホストがFIFOへの書き込み中に、CPUから同じエンドポイントに書き込むこと
- USBホストがFIFOから読み出し中に、CPUから同じエンドポイントを読み出すこと

これらは、データの連続性を損なう恐れがありますので、絶対に行わないでください。

22.5.10 スヌーズ

本コントローラは、USBを使用しない場合や、サスペンド中の消費電流を低減させるためのスヌーズ機能を持っています。USBMISCCTL.USBSNZビットへの1書き込みによってSNOOZE信号がアサートされると、以下のシーケンスが実行され、48 MHzクロックの5クロック後にクロック入力を停止可能な状態になります。

1. USB差動コンパレータをディスエーブルにします。
2. USBSIEINTF.NONJIFビットへの非同期アクセスを許可します(USBインタフェース入力をモニタ可能)。
3. USBレジスタへのリード/ライトをマスクします。
4. USB割り込みをマスクします。

SNOOZE信号がネゲートされると、USBは5クロック後(このとき、発振が安定している必要があります)に動作を再開します。

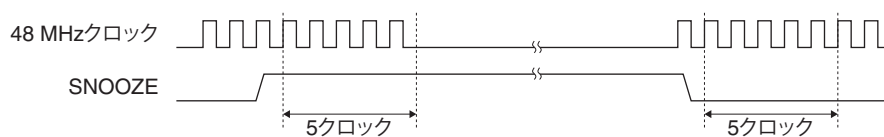


図22.5.10.1 スヌーズシーケンス

注: • SNOOZE信号をアサート/ネゲート後、48 MHzクロック5周期分の間はCPUからUSBにアクセスしないでください。誤動作の原因となります。

- SNOOZE信号をアサートし、48 MHzクロックを停止後は、FIFOにアクセスしないでください。

22.6 割り込み

USBには、表22.6.1に示す割り込みを発生させる機能があります。

表22.6.1 USBの割り込み機能

割り込み	割り込みフラグ	セット	クリア
SIE	USBMMAININTF. SIEIF *	割り込みが許可されている、USBSIEINTFレジスタの割り込みフラグがセットされたとき	USBSIEINTFレジスタの割り込みフラグのクリア、ソフトリセット
汎用エンドポイント	USBMMAININTF. GPEPIF *	割り込みが許可されている、USBGPEPINTFレジスタの割り込みフラグがセットされたとき	USBGPEPINTFレジスタの割り込みフラグのクリア、ソフトリセット
EP0	USBMMAININTF. EPOIF *	割り込みが許可されている、USBEP0INTFレジスタの割り込みフラグがセットされたとき	USBEP0INTFレジスタの割り込みフラグのクリア、ソフトリセット
EP0セットアップ完了	USBMMAININTF. EP0SETIF	コントロール転送のセットアップステージが完了したとき	1書き込み、ソフトリセット
NonJ検出	USBSIEINTF. NONJIF	USBバスのJステート以外の状態を検出したとき	1書き込み、ソフトリセット
リセット検出	USBSIEINTF. RESETIF	USBバスのリセットステートを検出したとき	1書き込み、ソフトリセット
サスペンド検出	USBSIEINTF. SUSPENDIF	USBバスのサスペンドステートを検出したとき	1書き込み、ソフトリセット
SOF受信	USBSIEINTF. SOFIF	SOFトークンを受信したとき	1書き込み、ソフトリセット
J検出	USBSIEINTF.JIF	USBバスのJステートを検出したとき	1書き込み、ソフトリセット
自動アドレス設定完了	USBSIEINTF. ATADDRIF	コントロール転送時の自動アドレス設定が完了したとき	1書き込み、ソフトリセット
EPm	USBGPEPINTF. EPmIF *	割り込みが許可されている、USBEPmINTFレジスタの割り込みフラグがセットされたとき	USBEPmINTFレジスタの割り込みフラグのクリア、ソフトリセット
EP0 ACK受信	USBEP0INTF. INACKIF	EP0のINトランザクションでACKを受信したとき	1書き込み、ソフトリセット
EP0 ACK送信	USBEP0INTF. OUTACKIF	EP0のOUTトランザクションでACKを送信したとき	1書き込み、ソフトリセット
EP0 NAK受信	USBEP0INTF. INNAKIF	EP0のINトランザクションでNAKを受信したとき	1書き込み、ソフトリセット
EP0 NAK送信	USBEP0INTF. OUTNAKIF	EP0のOUTトランザクションでNAKを送信したとき	1書き込み、ソフトリセット
EP0 STALL受信	USBEP0INTF. INERRIF	EP0のINトランザクションでSTALLを受信したとき、パケットにエラーがあったとき、またはハンドシェイクがタイムアウトになったとき	1書き込み、ソフトリセット
EP0 STALL送信	USBEP0INTF. OUTERRIF	EP0のOUTトランザクションでSTALLを送信したとき、またはパケットにエラーがあったとき	1書き込み、ソフトリセット
EPm ショートパケット受信	USBEPmINTF. OUTSHACKIF	EPmのOUTトランザクションでショートパケットを受信し、ACKを送信したとき	1書き込み、ソフトリセット
EPm ACK受信	USBEPmINTF. INACKIF	EPmのINトランザクションでACKを受信したとき	1書き込み、ソフトリセット
EPm ACK送信	USBEPmINTF. OUTACKIF	EPmのOUTトランザクションでACKを送信したとき	1書き込み、ソフトリセット
EPm NAK受信	USBEPmINTF. INNAKIF	EPmのINトランザクションでNAKを受信したとき	1書き込み、ソフトリセット
EPm NAK送信	USBEPmINTF. OUTNAKIF	EPmのOUTトランザクションでNAKを送信したとき	1書き込み、ソフトリセット
EPm STALL受信	USBEPmINTF. INERRIF	EPmのINトランザクションでSTALLを受信したとき	1書き込み、ソフトリセット
EPm STALL送信	USBEPmINTF. OUTERRIF	EPmのOUTトランザクションでSTALLを送信したとき	1書き込み、ソフトリセット

* これらの割り込みフラグは、特定グループ内の割り込みが許可されている割り込みフラグがセットされたことを間接的に示すもので、発生した割り込み要因を容易に特定するために設けられています。

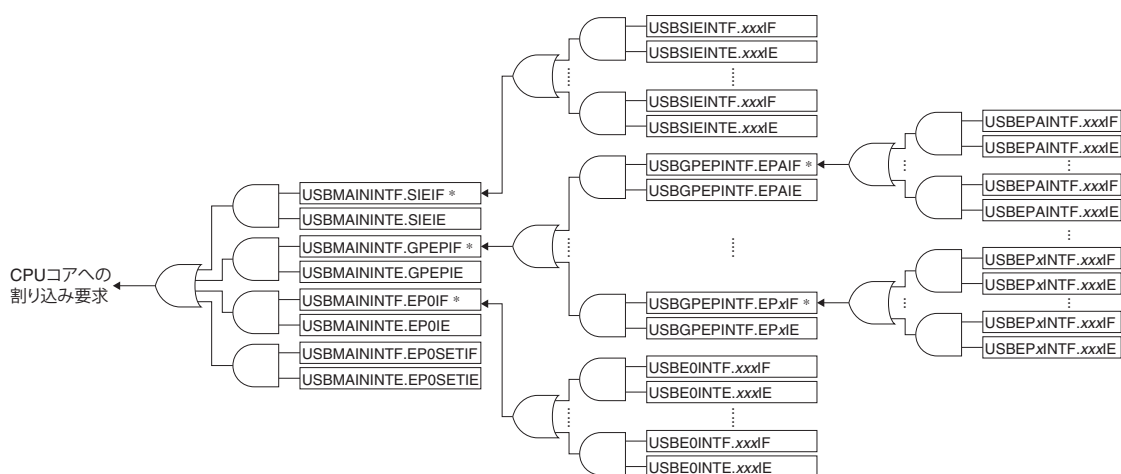


図22.6.1 USBの割り込みシステム

USBMAININTFレジスタの割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、CPUに割り込み要求が出力されます。

それ以外の割り込みフラグにも、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグがセットされると、*で示した上位の割り込みフラグがセットされます。これらの割り込みフラグによって直接CPUに割り込み要求が出力されることはありません。

割り込み発生時の制御については、“割り込み”の章を参照してください。

22.7 DMA転送要求

USBには、表22.7.1に示す要因でDMA転送要求を発生させる機能があります。

表22.7.1 USBのDMA転送要求要因

DMA転送要求要因	DMA転送要求起動フラグ	DMA転送要求発生タイミング
ライトエンドポイントステータス	USBREMSPPCNTステータスフラグ(内部信号)	USBWRFIFOSEL.EPmWRビットによって選択されているエンドポイントのFIFOに空きができたとき
リードエンドポイントステータス	USBREMDATCNTステータスフラグ(内部信号)	USBDRDFIFOSEL.EPmRDビットによって選択されているエンドポイントのFIFOに有効データが取り込まれたとき

上記のDMA転送要求起動フラグには、それぞれに対応するDMA転送要求イネーブルビットがDMAチャネル数分用意されています。それらのビットによってDMA転送をイネーブルにしたDMA転送要求起動フラグのセット時にのみ、DMAコントローラの該当チャネルにDMA転送要求が出力されます。DMA転送の制御については、“DMAコントローラ”の章を参照してください。

22.8 制御レジスタ

USB Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBCTL	7	BUSDETDIS	0	H0/S0	R/W	-
	6	AUTONEGOEN	0	H0/S0	R/W	
	5	NONJDETEN	0	H0/S0	R/W	
	4	JDETEN	0	H0/S0	R/W	
	3	WAKEUP	0	H0/S0	R/W	
	2-1	-	0x0	-	R	
	0	USBEN	0	H0/S0	R/W	

Bit 7 BUSDETDIS

このビットは、USBのリセット/サスペンドステートの自動検出を無効にします。

1 (R/W): リセット/サスペンドステート自動検出無効

0 (R/W): リセット/サスペンドステート自動検出有効

このビットを1に設定すると、USBのリセット/サスペンドステートの自動検出を無効にします。このビットが0に設定されている場合、リセット/サスペンドステートの検出のため、USBバス上の動きを監視します。

バスアクティビティが3 msの期間検出されないとサスペンドステートと判定し、また、2.5 μs以上の“SE0”を検出するとリセットステートと判断し、該当する割り込みフラグ(USBSIEINTF.SUSPENDIF、USBSIEINTF.RESETIF)をセットします。

USBSIEINTF.RESETIF、USBSIEINTF.SUSPENDIFのビットがセットされた場合は、USBCTL.BUSDETDISビットを1に設定して、リセット/サスペンドステートが継続している間、この自動検出を無効にしてください。

オートネゴシエーション機能を使用する場合は、このビットに1を設定しないでください。

Bit 6 AUTONEGOEN

このビットは、オートネゴシエーション機能を有効にします。

1 (R/W): オートネゴシエーション機能有効

0 (R/W): オートネゴシエーション機能無効

オートネゴシエーション機能の詳細は、“22.5.7 オートネゴシエーション機能”を参照してください。

Bit 5 NONJDETEN

NonJステートの検出機能を有効にします。

1 (R/W): NonJステート検出有効

0 (R/W): NonJステート検出無効

オートネゴシエーション機能使用時にUSBサスペンドステートを検出すると、このビットは自動的に1にセットされNonJステートの検出機能が有効になります。サスペンドステートから復帰する場合には、このビットを0に設定してください。

NonJステートはこのビットがセットされている場合にのみ検出可能です。オートネゴシエーション機能の詳細は、“22.5.7 オートネゴシエーション機能”を参照してください。

Bit 4 JDETEN

このビットは、Jステートの検出機能を有効にします。

1 (R/W): Jステート検出有効

0 (R/W): Jステート検出無効

このビットを1に設定した後にJステートが検出されると、USBSIEINTF.JIFビットがセットされます(USBSIEINTE.JIEビット=1の場合は、USBMAININTF.SIEIFもセットされます)。

Bit 3 WAKEUP

このビットは、リモートウェイクアップ信号(K)出力を制御します。

1 (R/W): リモートウェイクアップ信号出力開始

0 (R/W): リモートウェイクアップ信号出力停止

このビットを1に設定すると、USBポートにリモートウェイクアップ信号(K)を出力します。リモートウェイクアップ信号の送出開始から1 ms~15 msの時間内に、このビットを0に設定して送出を停止してください。

Bits 2-1 Reserved**Bit 0 UEBEN**

USBの動作をイネーブルにします。

1 (R/W): USB動作イネーブル

0 (R/W): USB動作ディスエーブル

イニシャルリセット時、このビットは0に設定され、USBの全機能が停止します。USBの初期設定終了後に本ビットを1に設定することで、USBコントローラとしての動作が可能となります。

USB Transceiver Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBTRCTL	7	DPPUEN	0	H0/S0	R/W	-
	6-2	-	0x00	-	R	
	1-0	OPMOD[1:0]	0x1	H0/S0	R/W	

Bit 7 DPPUEN

このビットは、USB_DP端子(D+ライン)のプルアップ(FSターミネーション)を有効にします。
 1 (R/W): プルアップ有効
 0 (R/W): プルアップ無効

注: 本ICはFSモード固定のため、USBをイネーブルにしている間、このプルアップは常に有効に設定してください。

Bits 6-2 Reserved

Bits 1-0 OPMOD[1:0]

USB送信部の動作モードを設定します。
 USBケーブルが抜かれているとき*、またはテストモード時を除き、通常は設定する必要はありません。

表22.8.1 USB送信部の動作モード

USBTRCTL.OPMOD[1:0]ビット	動作モード
0x3	Reserved
0x2	ビットスタッフィング、NRZIエンコーディング無効
0x1	非駆動
0x0	通常動作

* USBケーブルが抜けているときには、このレジスタを0x1にセットすることを推奨します(本ICでは、ケーブル未接続時は電源をオフすることを想定しているため、USB-TRCTL.OPMOD[1:0]ビットの操作は不要です)。

USB Status Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBSTAT	7	VBUSSTAT	X	-	R	-
	6	FSMOD	X	-	R	
	5-2	-	X	-	R	
	1-0	LINESTAT[1:0]	X	-	R	

このレジスタはスヌーズ中でも有効です。

Bit 7 VBUSSTAT

このビットはVBUS端子の状態を示します。
 1 (R): VBUS = HIGH
 0 (R): VBUS = LOW

Bit 6 FSMOD

このビットは、FS(フルスピード)モード/LS(ロースピード)モードの設定状態を示します。
 1 (R): FSモード
 0 (R): LSモード

注: 本ICはFSモード固定のため、常に1に固定されます。

Bits 5-2 Reserved

Bits 1-0 LINESTAT[1:0]

これらのビットはUSBバスの状態(USB_DP/USB_DM端子上的の信号の状態)を示します。

表22.8.2 USBバスの状態

USBSTAT.LINESTAT[1:0]ビット	USBバス状態
0x3	SE1
0x2	K
0x1	J
0x0	SE0

USB Endpoint Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEPCTL	7	EPNFNASET	0	H0/S0	R/W	-
	6	EPMFSTALLSET	0	H0/S0	R/W	
	5	EPNFIFOCLR	0	H0/S0	R/W	
	4-1	-	0x0	-	R	
	0	EP0FIFOCLR	0	H0/S0	R/W	

Bit 7 EPNFNASET

このビットは、すべてのエンドポイントのFNAKビットをセットします。

1 (R/W): FNAKビットをセット

0 (R/W): 無効

このビットに1を書き込むと、USBEP0ICTL.FNAKビット、USBEP0OCTL.FNAKビット、USBEP_mCTL.FNAKビットがすべてセットされます。その後、このビットは自動的に0に戻ります。

Bit 6 EPMFSTALLSET

このビットは、すべての汎用エンドポイントのFSTALLビットをセットします。

1 (R/W): FSTALLビットをセット

0 (R/W): 無効

このビットに1を書き込むと、USBEP_mCTL.FSTALLビットがすべてセットされます。その後、このビットは自動的に0に戻ります。

Bit 5 EPNFIFOCLR

このビットは、すべてのエンドポイントのFIFOをクリアします。

1 (R/W): FIFOをクリア

0 (R/W): 無効

このビットに1を書き込むと、FIFOがすべてクリアされます。その後、このビットは自動的に0に戻ります。

Bits 4-1 Reserved

Bit 0 EP0FIFOCLR

このビットは、EP0のFIFOをクリアします。

1 (R/W): EP0 FIFOをクリア

0 (R/W): 無効

このビットに1を書き込むと、EP0のFIFOのみがクリアされます。その後、このビットは自動的に0に戻ります。

USB General-Purpose Endpoint FIFO Clear Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBGPEPFIFOCLR	7-3	-	0x00	-	R	-
	2	EPCFIFOCLR	0	H0/S0	R/W	
	1	EPBFIFOCLR	0	H0/S0	R/W	
	0	EPAFIFOCLR	0	H0/S0	R/W	

Bits 7-3 Reserved

Bit 2 EPCFIFOCLR

このビットは、EPcのFIFOをクリアします。

1 (R/W): EPc FIFOをクリア

0 (R/W): 無効

このビットに1を書き込むと、EPcのFIFOのみがクリアされます。その後、このビットは自動的に0に戻ります。

Bit 1 EPBFIFOCLR

このビットは、EPbのFIFOをクリアします。

1 (R/W): EPb FIFOをクリア

0 (R/W): 無効

このビットに1を書き込むと、EPbのFIFOのみがクリアされます。その後、このビットは自動的に0に戻ります。

Bit 0 EPAFIFOCLR

このビットは、EPaのFIFOをクリアします。

1 (R/W): EPa FIFOをクリア

0 (R/W): 無効

このビットに1を書き込むと、EPaのFIFOのみがクリアされます。その後、このビットは自動的に0に戻ります。

USB FIFO Read Cycle Setup Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBFIFORDCYC	7-2	–	0x00	–	R	–
	1-0	RDCYC[1:0]	0x3	H0/S0	R/W	

Bits 7-2 Reserved**Bits 1-0 RDCYC[1:0]**

これらのビットは、FIFOのリードアクセスサイクル数を設定します。

表22.8.3 FIFOリードアクセスサイクルの設定

USBFIFORDCYC.RDCYC[1:0]ビット	リードアクセスサイクル数	SYSCLK周波数
0x3	4サイクル	21.7 MHz以下
0x2	3サイクル	
0x1	2サイクル	
0x0	1サイクル	8 MHz以下

USB Revision Number Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBREV	7-0	REVNUM[7:0]	0x12	H0/S0	R	–

このレジスタはスヌーズ中でも有効です。

Bits 7-0 REVNUM[7:0]

これらのビットは、本コントローラの改訂番号を示します。

USB EP0 Setup Data Registers 0-7

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEP0SETUP0	7-0	BMREQTYP[7:0]	0x00	–	R	–
USBEP0SETUP1	7-0	BREQ[7:0]	0x00	–	R	–
USBEP0SETUP2	7-0	WVAL[7:0]	0x00	–	R	–
USBEP0SETUP3	7-0	WVAL[15:8]	0x00	–	R	–
USBEP0SETUP4	7-0	WINDX[7:0]	0x00	–	R	–
USBEP0SETUP5	7-0	WINDX[15:8]	0x00	–	R	–
USBEP0SETUP6	7-0	WLEN[7:0]	0x00	–	R	–
USBEP0SETUP7	7-0	WLEN[15:8]	0x00	–	R	–

22 USB 2.0 FSデバイスコントローラ(USB, USBMISC)

EP0のセットアップステージで受信した8バイトのデータが、USBEP0SETUP0レジスタから順に格納されます。各レジスタに格納される内容は以下のとおりです。

USBEP0SETUP0.BMREQTYP[7:0]ビット: BmRequestType
USBEP0SETUP1.BREQ[7:0]ビット: BRequest
USBEP0SETUP2.WVAL[7:0]ビット: Wvalueの下位8ビット
USBEP0SETUP3.WVAL[15:8]ビット: Wvalueの上位8ビット
USBEP0SETUP4.WINDX[7:0]ビット: WIndexの下位8ビット
USBEP0SETUP5.WINDX[15:8]ビット: WIndexの上位8ビット
USBEP0SETUP6.WLEN[7:0]ビット: WLengthの下位8ビット
USBEP0SETUP7.WLEN[15:8]ビット: WLengthの上位8ビット

USB Address Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBADDR	7	ATADDR	0	-	R/W	-
	6-0	USBADDR[6:0]	0x00	H0/S0	R/W	

Bit 7 ATADDR

このビットは、自動アドレス設定機能をイネーブルにします。

1 (R/W): 自動アドレス設定機能イネーブル

0 (R/W): 自動アドレス設定機能ディスエーブル

コントロール転送のセットアップステージでSetAddress()リクエストを受信した後、ステータスステージを実行する前にこのビットを1に設定することで、ホストから送信されるアドレスをUSBADDR.USBADDR[6:0]ビットに格納することができます。この制御方法の詳細は、“22.5.4 コントロール転送”内の“自動アドレス設定機能”を参照してください。

USBADDR.ATADDRビットを設定する際は、リードモディファイライト命令を使用するなどして、書き込み可能なUSBADDR.USBADDR[6:0]ビットが変更されないようにしてください。

Bits 6-0 USBADDR[6:0]

これらのビットに、USBアドレスを設定します。

ソフトウェアによる書き込みに加え、自動アドレス設定機能による自動書き込みが可能です。

USB EP0 Configuration Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEP0CFG	7	DIR	0	H0/S0	R/W	-
	6-0	-	0x00	-	R	

Bit 7 DIR

このビットは、EP0の転送方向を設定します。

1 (R/W): IN

0 (R/W): OUT

セットアップステージで受信したリクエストから転送方向を決定して、このビットを設定してください。

Bits 6-0 Reserved

USB EP0 Maximum Packet Size Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEP0SIZE	7	-	0	-	R	-
	6-3	MAXSIZE[3:0]	0x1	H0/S0	R/W	
	2-0	-	0x0	-	R	

Bit 7 Reserved

Bits 6-3 MAXSIZE[3:0]

これらのビットは、EP0の最大パケットサイズを設定します。

表22.8.4 EP0最大パケットサイズ

USBEP0SIZE.MAXSIZE[3:0]ビット	EP0最大パケットサイズ
0x8	64バイト
0x4	32バイト
0x2	16バイト
0x1	8バイト
その他	設定禁止

Device DescriptorにおけるbMaxPacketSize0と一致するように設定してください。

Bits 2-0 Reserved

USB EP0 IN Transaction Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEP0ICTL	7	–	0	–	R	–
	6	SPKTEN	0	H0/S0	R/W	
	5	–	0	–	R	
	4	TGLSTAT	0	H0/S0	R	
	3	TGLSET	0	H0/S0	W	Read as 0.
	2	TGLCLR	0	H0/S0	W	
	1	FNAK	0	H0/S0	R/W	–
0	FSTALL	0	H0/S0	R/W		

Bit 7 Reserved

Bit 6 SPKTEN

このビットは、ショートパケットの送信をイネーブルにします。

1 (R/W): ショートパケット送信イネーブル

0 (R/W): ショートパケット送信ディスエーブル

このビットを1に設定することで、EP0のINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、このビットは自動的に0にクリアされます。最大パケットサイズの packets を送信した場合、このビットはクリアされません。FIFO内にデータがない場合にこのビットを1に設定すると、ホストからのINトークンに対してゼロ長パケットを送信することができます。

注: USBEP0ICTL.SPKTENビットを1に設定してパケットを送信している最中にEP0のFIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

Bit 5 Reserved

Bit 4 TGLSTAT

このビットは、EP0に対するINトランザクションのトグルシーケンスビットの状態を示します。

1 (R): トグルシーケンスビット = 1 (DATA1)

0 (R): トグルシーケンスビット = 0 (DATA0)

Bit 3 TGLSET

このビットは、EP0に対するINトランザクションのトグルシーケンスビットをセットします。

1 (W): トグルシーケンスビットをセット

0 (W): 無効

0 (R): 読み出し時は常時0

Bit 2 TGLCLR

このビットは、EP0に対するINトランザクションのトグルシーケンスビットをクリアします。

1 (W): トグルシーケンスビットをクリア

0 (W): 無効

0 (R): 読み出し時は常時0

Bit 1 FNAK

このビットは、EP0に対するINトランザクションにNAKで応答するように設定します。

1 (R/W): NAK応答イネーブル

0 (R/W): NAK応答ディスエーブル

このビットを1に設定すると、FIFOのデータ数にかかわらずEP0のINトランザクションに対してNAK応答します。

セットアップステージの完了によりUSBMAININTF.EPOSETIFビットがセットされると、このビットもセットされ、USBMAININTF.EPOSETIFビット = 1の間はクリアすることができません。また、ショートパケットを送信したINトランザクションが完了した場合も、このビットがセットされます。

Bit 0 FSTALL

このビットは、EP0に対するINトランザクションにSTALLで応答するように設定します。

1 (R/W): STALL応答イネーブル

0 (R/W): STALL応答ディスエーブル

このビットを1に設定すると、EP0のINトランザクションに対してSTALL応答します。このビットは、USBEP0CTL.FNAKビットの設定より優先されます。

セットアップステージの完了によりUSBMAININTF.EPOSETIFビットがセットされると、このビットはクリアされ、USBMAININTF.EPOSETIFビット = 1の間はセットすることができません。

USB EP0 OUT Transaction Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEP0CTL	7	AUTOFNAK	0	H0/S0	R/W	-
	6-5	-	0x0	H0/S0	R/W	
	4	TGLSTAT	0	H0/S0	R	
	3	TGLSET	0	H0/S0	W	Read as 0.
	2	TGLCLR	0	H0/S0	W	
	1	FNAK	0	H0/S0	R/W	-
	0	FSTALL	0	H0/S0	R/W	

Bit 7 AUTOFNAK

このビットは、USBEP0CTL.FNAKビットの自動セット機能をイネーブルにします。

1 (R/W): FNAK自動セットイネーブル

0 (R/W): FNAK自動セットディスエーブル

このビットが1の場合、EP0のOUTトランザクションが正常に完結した時点でUSBEP0CTL.FNAKビットがセットされます。

Bits 6-5 Reserved**Bit 4 TGLSTAT**

このビットは、EP0に対するOUTトランザクションのトグルシーケンスビットの状態を示します。

1 (R): トグルシーケンスビット = 1 (DATA1)

0 (R): トグルシーケンスビット = 0 (DATA0)

Bit 3 TGLSET

このビットは、EP0に対するOUTトランザクションのトグルシーケンスビットをセットします。

1 (W): トグルシーケンスビットをセット

0 (W): 無効

0 (R): 読み出し時は常時0

Bit 2 TGLCLR

このビットは、EP0に対するOUTトランザクションのトグルシーケンスビットをクリアします。

1 (W): トグルシーケンスビットをクリア

0 (W): 無効

0 (R): 読み出し時は常時0

Bit 1 FNAK

このビットは、EP0に対するOUTトランザクションにNAKで応答するように設定します。

1 (R/W): NAK応答イネーブル

0 (R/W): NAK応答ディスエーブル

このビットを1に設定すると、FIFOの空き容量にかかわらずEP0のOUTトランザクションに対してNAK応答します。

セットアップステージの完了によりUSBMAININTF.EPOSETIFビットがセットされると、このビットもセットされ、USBMAININTF.EPOSETIFビット = 1の間はクリアすることができません。

Bit 0 FSTALL

このビットは、EP0に対するOUTトランザクションにSTALLで応答するように設定します。

1 (R/W): STALL応答イネーブル

0 (R/W): STALL応答ディスエーブル

このビットを1に設定すると、EP0のOUTトランザクションに対してSTALL応答します。このビットは、USBEP0CTL.FNAKビットの設定より優先されます。

セットアップステージの完了によりUSBMAININTF.EPOSETIFビットがセットされると、このビットはクリアされ、USBMAININTF.EPOSETIFビット = 1の間はセットすることができません。

USB EPm Control Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEPmCTL	7	AUTOFNAK	0	H0/S0	R/W	-
	6	SPKTEN	0	H0/S0	R/W	
	5	AUTOFNAKDIS	0	H0/S0	R/W	
	4	TGLSTAT	0	H0/S0	R	
	3	TGLSET	0	H0/S0	W	Read as 0.
	2	TGLCLR	0	H0/S0	W	
	1	FNAK	0	H0/S0	R/W	-
	0	FSTALL	0	H0/S0	R/W	

Bit 7 AUTOFNAK

このビットは、USBEPmCTL.FNAKビットの自動セット機能をイネーブルにします。

1 (R/W): FNAK自動セットイネーブル

0 (R/W): FNAK自動セットディスエーブル

このビットが1の場合、EPmのトランザクションが正常に完結した時点でUSBEPmCTL.FNAKビットがセットされます。

Bit 6 SPKTEN

このビットは、ショートパケットの送信をイネーブルにします。

1 (R/W): ショートパケット送信イネーブル

0 (R/W): ショートパケット送信ディスエーブル

このビットを1に設定することで、EPmのINトランザクションに対して、最大パケットサイズに満たないFIFO内のデータをショートパケットとして送信することができます。ショートパケットを送信したINトランザクションが完了すると、自動的にこのビットが0にクリアされます。最大パケットサイズのパケットを送信した場合、このビットはクリアされません。FIFO内にデータがない場合にこのビットを1に設定すると、ホストからのINトークンに対してゼロ長パケットを送信することができます。

注: USBEP_mCTL.SPKTENビットを1に設定してパケットを送信している最中にEP_mのFIFOにデータを書き込むと、タイミングによりそのデータも含めて送信されることがあります。パケットの送信が終了し、このビットがクリアされるまで、FIFOへのデータ書き込みは行わないでください。

Bit 5 AUTOFNAKDIS

このビットは、ショートパケット受信時のUSBEP_mCTL.FNAKビット自動セット機能をディセーブルにします。

1 (R/W): FNAK自動セットディセーブル(ショートパケット受信時)

0 (R/W): FNAK自動セットイネーブル(ショートパケット受信時)

このビットが0に設定され、正常なOUTトランザクション完了時に受信したパケットがショートパケットの場合、自動的にUSBEP_mCTL.FNAKビットをセットします。

このビットを1にセットすると、この機能が無効になります。

USBEP_mCTL.AUTOFNAKビットが1に設定されている場合、その設定が優先されます。

Bit 4 TGLSTAT

このビットは、EP_mのトグルシーケンスビットの状態を示します。

1 (R): トグルシーケンスビット = 1 (DATA1)

0 (R): トグルシーケンスビット = 0 (DATA0)

Bit 3 TGLSET

このビットは、EP_mのトグルシーケンスビットをセットします。

1 (W): トグルシーケンスビットをセット

0 (W): 無効

0 (R): 読み出し時は常時0

Bit 2 TGLCLR

このビットは、EP_mのトグルシーケンスビットをクリアします。

1 (W): トグルシーケンスビットをクリア

0 (W): 無効

0 (R): 読み出し時は常時0

Bit 1 FNAK

このビットは、EP_mに対するトランザクションにNAKで応答するように設定します。

1 (R/W): NAK応答イネーブル

0 (R/W): NAK応答ディスエーブル

このビットを1に設定すると、FIFOのデータ数または空き容量にかかわらずEP_mのトランザクションに対してNAK応答します。

Bit 0 FSTALL

このビットは、EP_mに対するトランザクションにSTALLで応答するように設定します。

1 (R/W): STALL応答イネーブル

0 (R/W): STALL応答ディスエーブル

このビットを1に設定すると、EP_mのトランザクションに対してSTALL応答します。このビットは、USBEP_mCTL.FNAKビットの設定より優先されます。

USB EP_m Configuration Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEP _m CFG	7	DIR	0	H0/S0	R/W	-
	6	TGLMOD	0	H0/S0	R/W	
	5	EPEN	0	H0/S0	R/W	
	4	-	0	-	R	
	3-0	EPNUM[3:0]	0x0	H0/S0	R/W	

- Bit 7 DIR**
このビットは、EPmの転送方向を設定します。
1 (R/W): IN
0 (R/W): OUT
- Bit 6 TGLMOD**
このビットは、トグルシーケンスビットの動作モードを設定します。(INトランザクションのみ)
1 (R/W): 無条件トグルモード(トランザクションごとに常にトグルします。)
0 (R/W): 通常トグルモード(トランザクションが正常に完結した場合のみトグルします。)
- Bit 5 EPEN**
このビットは、EPmをイネーブルにします。
1 (R/W): EPmイネーブル
0 (R/W): EPmディスエーブル

このビットを1に設定することで、EPmを動作可能な状態にします。
このビットが0のときは、EPmへのアクセスを無視します。
ホストからのSetConfiguration()リクエストに従って設定してください。
- Bit 4 Reserved**
- Bits 3-0 EPNUM[3:0]**
これらのビットは、EPmのエンドポイント番号(0x1~0xf)を設定します。

注: USBEPmCFG.EPNUM[3:0]ビットとUSBEPmCFG.DIRビットの組み合わせが、他のエンドポイントと重複しないように設定してください。

USB EPm Maximum Packet Size Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEPmMAXSZ	7	-	0	-	R	-
	6-0	MAXSIZE[6:0]	0x00	H0/S0	R/W	

Bit 7 Reserved

Bits 6-0 MAXSIZE[6:0]

これらのビットは、EPmの最大パケットサイズを設定します。
EPmをバルク転送に使用する場合には、8、16、32、64バイト(0x08、0x10、0x20、0x40)のいずれかに設定してください。
インタラプト転送に使用する場合は、64バイトまでの任意のサイズ(0x01~0x40)が設定可能です。ここで設定したサイズより、EPmの領域が狭い場合は、正常に動作しません。
Endpoint DescriptorのwMaxPacketSizeと一致するように設定してください。

USB Read FIFO Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBRDFIFOSEL	7-3	-	0x00	-	R	-
	2	EPCRD	0	H0/S0	R/W	
	1	EPBRD	0	H0/S0	R/W	
	0	EPARD	0	H0/S0	R/W	

CPUからFIFOのデータを読み出す場合に、このレジスタによって、エンドポイントを指定します。このレジスタの設定は、USBFIFORWEN.FIFORDENビット = 1の場合にのみ有効です。
FIFOからデータを読み出す手順については、“22.5.9 FIFO管理”内の“CPUによるFIFOへのアクセス方法”を参照してください。

Bits 7-3 Reserved

Bit 2 EPCRD
Bit 1 EPBRD
Bit 0 EPARD

これらのビットは、FIFOデータを読み出すエンドポイントを指定します。

1 (R/W): EPm FIFOの読み出しをイネーブル

0 (R/W): EPm FIFOの読み出しをディスエーブル

注: • このレジスタには、汎用エンドポイント数分のEPmRDビットが割り付けられていますが、同時にイネーブルに設定できるのは1ビットのみです。複数のビットに対して同時に1を書き込んだ場合、その中で最も上位のビットのみが有効になります。すべてのビットを0に設定した場合は、EP0のFIFOが選択されます。

- USBRDFIFOSEL.EPmRDビットによりIN方向のエンドポイントを指定して、FIFOから送信データを読み出すことも可能です。ただし、その場合には、USBEP0ICTL.FNAKビットまたはUSBEPmCTL.FNAKビットをセットするなどして、INトランザクションに応答してデータを返信しない状態にしてから、データの読み出しを行ってください。

USB Write FIFO Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBWRFIFOSEL	7-3	-	0x00	-	R	-
	2	EPCWR	0	H0/S0	R/W	
	1	EPBWR	0	H0/S0	R/W	
	0	EPAWR	0	H0/S0	R/W	

CPUからFIFOにデータを書き込む場合に、このレジスタによって、エンドポイントを指定します。このレジスタの設定は、USBFIFORWEN.FIFOWRENビット = 1の場合にのみ有効です。

FIFOにデータを書き込む手順については、“22.5.9 FIFO管理”内の“CPUによるFIFOへのアクセス方法”を参照してください。

Bits 7-3 Reserved

Bit 2 EPCWR
Bit 1 EPBWR
Bit 0 EPAWR

これらのビットは、FIFOデータを書き込むエンドポイントを指定します。

1 (R/W): EPm FIFOへの書き込みをイネーブル

0 (R/W): EPm FIFOへの書き込みをディスエーブル

注: • このレジスタには、汎用エンドポイント数分のEPmWRビットが割り付けられていますが、同時にイネーブルに設定できるのは1ビットのみです。複数のビットに対して同時に1を書き込んだ場合、その中で最も上位のビットのみが有効になります。すべてのビットを0に設定した場合は、EP0のFIFOが選択されます。

- USBWRFIFOSEL.EPmWRビットによりOUT方向のエンドポイントを指定して、FIFOにデータを書き込むことも可能です。ただし、その場合には、USBEP0OCTL.FNAKビットまたはUSBEPmCTL.FNAKビットをセットするなどして、OUTトランザクションのデータを受信しない状態にしてから、データの書き込みを行ってください。

USB FIFO Read/Write Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBFIFORWEN	7-2	-	0x00	-	R	-
	1	FIFOWREN	0	H0/S0	R/W	
	0	FIFORDEN	0	H0/S0	R/W	

Bits 7-2 Reserved

Bit 1 FIFOWREN

このビットは、USBWRFIFOSELレジスタの設定を有効にします。

1 (R/W): USBWRFIFOSELレジスタ有効

0 (R/W): USBWRFIFOSELレジスタ無効

このビットを1に設定すると、USBWRFIFOSELレジスタで選択したエンドポイントのFIFOに、CPUがデータを書き込めるようになります。

Bit 0 FIFORDEN

このビットは、USBRDFIFOSELレジスタの設定を有効にします。

1 (R/W): USBRDFIFOSELレジスタ有効

0 (R/W): USBRDFIFOSELレジスタ無効

このビットを1に設定すると、USBRDFIFOSELレジスタで選択したエンドポイントのFIFOから、CPUがデータを読み出せるようになります。

USB Remaining FIFO Data Count Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBREMDATCNT	7	–	0	–	R	–
	6–0	REMDAT[6:0]	0x00	H0/S0	R	

Bit 7 Reserved**Bits 6–0 REMDAT[6:0]**

これらのビットは、USBRDFIFOSELレジスタによって選択されているエンドポイントのFIFO内の残りデータ数を示します。

USB Remaining FIFO Space Count Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBREMSPCCNT	7	–	0	–	R	–
	6–0	REMSPC[6:0]	0x08	H0/S0	R	

Bit7 Reserved**Bit6–0 REMSPC[6:0]**

これらのビットは、USBWRFIFOSELレジスタによって選択されているエンドポイントのFIFOの空き容量を示します。

USB Debug RAM Address Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBDBGGRAM ADDR	7–0	DRAMADDR[7:0]	0x00	H0/S0	R/W	–

Bits 7–0 DRAMADDR[7:0]

これらのビットは、デバッグ用FIFOの読み出し/書き込み開始アドレスを指定します。これは、FIFO領域を割り当てるものではありません。0x00から0xff(256バイト)までの、FIFOの全領域がアドレスの指定可能範囲となります。

デバッグ中は、FIFOに対して書き込みまたは読み出しを行うたびに、USBDBGGRAMADDR.DRAMADDR[7:0]ビットはインクリメントされます。書き込み/読み出し手順については、USBDBGGRAMDATレジスタを参照してください。

USB Main Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBMAININTF	7	SIEIF	0	H0/S0	R	Cleared by writing 1 to the interrupt flag in the USBSIEINTF register.
	6	GPEPIF	0	H0/S0	R	Cleared by writing 1 to the interrupt flag in the USBEPmINTF register.
	5-2	–	0x0	–	R	–
	1	EPOIF	0	H0/S0	R	Cleared by writing 1 to the interrupt flag in the USBEPOINTF register.
	0	EPOSETIF	0	H0/S0	R/W	Cleared by writing 1.

Bits 5–2 Reserved

Bit 7 SIEIF

Bit 6 GPEPIF

Bit 1 EPOIF

これらのビットは、それぞれのUSB割り込みグループ内の割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

これらのビットは、それぞれ下記のレジスタに割り付けられている割り込み要因が発生し、且つその割り込み要因に対応する割り込みイネーブルビットが1に設定されているとセットされます。下記のレジスタ内の割り込みフラグが1の書き込みによりクリアされると、これらのビットもクリアされます。

USBMAININTF.SIEIFビット: USBSIEINTFレジスタ

USBMAININTF.GPEPIFビット: USBGPEPINTFレジスタ

USBMAININTF.EPOIFビット: USBEPOINTFレジスタ

USBMAININTF.SIEIFビットは、スヌーズ中も読み出し可能です。

Bit 0 EPOSETIF

このビットは、EPOセットアップ完了割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

対応する割り込みイネーブルビット(USBMAININTEレジスタ)で割り込みをイネーブルにしている場合、本レジスタの割り込みフラグがセットされると、CPUに割り込み要求が出力されます。

USB SIE Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBSIEINTF	7	–	0	–	R	–
	6	NONJIF	0	H0/S0	R/W	Cleared by writing 1.
	5	RESETIF	0	H0/S0	R/W	
	4	SUSPENDIF	0	H0/S0	R/W	
	3	SOFIF	0	H0/S0	R/W	
	2	JIF	0	H0/S0	R/W	
	1	–	0	–	R	–
	0	ATADDRIF	0	H0/S0	R/W	Cleared by writing 1.

Bit 7 Reserved

Bit 1 Reserved

Bit 6 **NONJIF**
Bit 5 **RESETIF**
Bit 4 **SUSPENDIF**
Bit 3 **SOFIF**
Bit 2 **JIF**
Bit 0 **ATADDRIF**

これらのビットは、SIE割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり
 0 (R): 割り込み要因なし
 1 (W): フラグをクリア
 0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

USBSIEINTF.NONJIFビット: NonJ検出割り込み
 USBSIEINTF.RESETIFビット: リセット検出割り込み
 USBSIEINTF.SUSPENDIFビット: サスペンド検出割り込み
 USBSIEINTF.SOFIFビット: SOF受信割り込み
 USBSIEINTF.JIFビット: J検出割り込み
 USBSIEINTF.ATADDRIFビット: 自動アドレス設定完了割り込み

対応する割り込みイネーブルビット(USBSIEINTEレジスタ)で割り込みをイネーブルにしている場合、これらの割り込みフラグがセットされると、USBMAININTF.SIEIFビットがセットされます。このとき、USBMAININTE.SIEIEビット = 1であれば、SIE割り込みが発生します。本レジスタの割り込みフラグのセットにより、直接CPUに割り込み要求が出力されるものではありません。

USBSIEINTF.NONJIFビットは、スヌーズ中も有効です。

USB General-Purpose Endpoint Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBGPEPINTF	7-3	–	0x00	–	R	–
	2	EPCIF	0	H0/S0	R	Cleared by writing 1 to the interrupt flag in the USBEPmINTF register.
	1	EPBIF	0	H0/S0	R	
	0	EPAIF	0	H0/S0	R	

Bits 7-3 **Reserved**

Bit 2 **EPCIF**
Bit 1 **EPBIF**
Bit 0 **EPAIF**

これらのビットは、それぞれのEP_m割り込みグループ内の割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり
 0 (R): 割り込み要因なし

これらのビットは、それぞれ下記のレジスタに割り付けられている割り込み要因が発生し、且つその割り込み要因に対応する割り込みイネーブルビットが1に設定されているとセットされます。下記のレジスタ内の割り込みフラグが1の書き込みによりクリアされると、これらのビットもクリアされます。

USBGPEPINTF.EPCIFビット: USBEPCINTFレジスタ
 USBGPEPINTF.EPBIFビット: USBEPBINTFレジスタ
 USBGPEPINTF.EPAIFビット: USBEPAINTFレジスタ

対応する割り込みイネーブルビット(USBGPEPINTEレジスタ)で割り込みをイネーブルにしている場合、これらの割り込みフラグがセットされると、USBMAININTF.GPEPIFビットがセットされます。このとき、USBMAININTE.GPEPIEビット = 1であれば、EP_m割り込みが発生します。

本レジスタの割り込みフラグのセットにより、直接CPUに割り込み要求が出力されるものではありません。

USB EP0 Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEP0INTF	7-6	–	0x0	–	R	–
	5	INACKIF	0	H0/S0	R/W	Cleared by writing 1.
	4	OUTACKIF	0	H0/S0	R/W	
	3	INNAKIF	0	H0/S0	R/W	
	2	OUTNAKIF	0	H0/S0	R/W	
	1	INERRIF	0	H0/S0	R/W	
	0	OUTERRIF	0	H0/S0	R/W	

Bits 7-6 **Reserved**

Bit 5 **INACKIF**

Bit 4 **OUTACKIF**

Bit 3 **INNAKIF**

Bit 2 **OUTNAKIF**

Bit 1 **INERRIF**

Bit 0 **OUTERRIF**

これらのビットは、EP0割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

USBEP0INTF.INACKIFビット: EP0 ACK受信割り込み

USBEP0INTF.OUTACKIFビット: EP0 ACK送信割り込み

USBEP0INTF.INNAKIFビット: EP0 NAK受信割り込み

USBEP0INTF.OUTNAKIFビット: EP0 NAK送信割り込み

USBEP0INTF.INERRIFビット: EP0 STALL受信割り込み

USBEP0INTF.OUTERRIFビット: EP0 STALL送信割り込み

対応する割り込みイネーブルビット(USBEP0INTEレジスタ)で割り込みをイネーブルしている場合、これらの割り込みフラグがセットされると、USBMAININTF.EP0IFビットがセットされます。このとき、USBMAININTE.EP0IEビット = 1であれば、EP0割り込みが発生します。本レジスタの割り込みフラグのセットにより、直接CPUに割り込み要求が出力されるものではありません。

USB EPm Interrupt Flag Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEPmINTF	7	–	0	–	R	–
	6	OUTSHACKIF	0	H0/S0	R/W	Cleared by writing 1.
	5	INACKIF	0	H0/S0	R/W	
	4	OUTACKIF	0	H0/S0	R/W	
	3	INNAKIF	0	H0/S0	R/W	
	2	OUTNAKIF	0	H0/S0	R/W	
	1	INERRIF	0	H0/S0	R/W	
	0	OUTERRIF	0	H0/S0	R/W	

Bit 7 **Reserved**

Bit 6	OUTSHACKIF
Bit 5	INACKIF
Bit 4	OUTACKIF
Bit 3	INNAKIF
Bit 2	OUTNAKIF
Bit 1	INERRIF
Bit 0	OUTERRIF

これらのビットは、EPm割り込み要因の発生状況を示します。

1 (R):	割り込み要因あり
0 (R):	割り込み要因なし
1 (W):	フラグをクリア
0 (W):	無効

各ビットと割り込みの対応は以下のとおりです。

USBEPmINTF.OUTSHACKIFビット:	EPm ショートパケット受信割り込み
USBEPmINTF.INACKIFビット:	EPm ACK受信割り込み
USBEPmINTF.OUTACKIFビット:	EPm ACK送信割り込み
USBEPmINTF.INNAKIFビット:	EPm NAK受信割り込み
USBEPmINTF.OUTNAKIFビット:	EPm NAK送信割り込み
USBEPmINTF.INERRIFビット:	EPm STALL受信割り込み
USBEPmINTF.OUTERRIFビット:	EPm STALL送信割り込み

対応する割り込みイネーブルビット(USBEPmINTEレジスタ)で割り込みをイネーブルにしている場合、これらの割り込みフラグがセットされると、USBGPEPINTF.EPmIFビットがセットされます。本レジスタの割り込みフラグのセットにより、直接CPUに割り込み要求が出力されるものではありません。

USB Main Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBMAININTE	7	SIEIE	0	H0/S0	R/W	-
	6	GPEPIE	0	H0/S0	R/W	
	5-2	-	0x0	-	R	
	1	EPOIE	0	H0/S0	R/W	
	0	EPOSETIE	0	H0/S0	R/W	

本レジスタは、CPUに対するUSBの割り込み要求出力をイネーブルにします。

Bits 5-2 Reserved

Bit 7	SIEIE
Bit 6	GPEPIE
Bit 1	EPOIE

これらのビットは、SIE、汎用エンドポイント、EP0の割り込みをイネーブルにします。

1 (R/W):	割り込みイネーブル
0 (R/W):	割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

USBMAININTE.SIEIEビット:	SIE割り込み
USBMAININTE.GPEPIEビット:	汎用エンドポイント割り込み
USBMAININTE.EPOIEビット:	EP0割り込み

USBMAININTE.SIEIEビットは、スヌーズ中も有効です。

Bit 0 EPOSETIE

このビットは、EP0セットアップ完了割り込みをイネーブルにします。

1 (R/W):	割り込みイネーブル
0 (R/W):	割り込みディスエーブル

USB SIE Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBSIEINTE	7	(reserved)	0	H0/S0	R/W	-
	6	NONJIE	0	H0/S0	R/W	
	5	RESETIE	0	H0/S0	R/W	
	4	SUSPENDIE	0	H0/S0	R/W	
	3	SOFIE	0	H0/S0	R/W	
	2	JIE	0	H0/S0	R/W	
	1	-	0	-	R	
	0	ATADDRIE	0	H0/S0	R/W	

Bit 7 **Reserved**

Bit 1 **Reserved**

Bit 6 **NONJIE**

Bit 5 **RESETIE**

Bit 4 **SUSPENDIE**

Bit 3 **SOFIE**

Bit 2 **JIE**

Bit 0 **ATADDRIE**

これらのビットは、SIE割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

USBSIEINTE.NONJIEビット: NonJ検出割り込み

USBSIEINTE.RESETIEビット: リセット検出割り込み

USBSIEINTE.SUSPENDIEビット: サスペンド検出割り込み

USBSIEINTE.SOFIEビット: SOF受信割り込み

USBSIEINTE.JIEビット: J検出割り込み

USBSIEINTE.ATADDRIEビット: 自動アドレス設定完了割り込み

本レジスタでイネーブルにしたUSBSIEINTFレジスタの割り込みフラグがセットされると、USBMAININTF.SIEIFビットがセットされます。CPUにSIE割り込みを発生させるには、本レジスタの他に、USBMAININTE.SIEIEビットも1に設定しておく必要があります。

USBSIEINTE.NONJIEビットは、スヌーズ中も有効です。

USB General-Purpose Endpoint Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBGPEPINTE	7-3	-	0x00	-	R	-
	2	EPCIE	0	H0/S0	R/W	
	1	EPBIE	0	H0/S0	R/W	
	0	EPAIE	0	H0/S0	R/W	

Bits 7-3 **Reserved**

Bit 2 **EPCIE**

Bit 1 **EPBIE**

Bit 0 **EPAIE**

これらのビットは、EP_m割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

USBGPEPINTE.EPCIEビット: EP_c割り込み

USBGPEPINTE.EPBIEビット: EP_b割り込み

USBGPEPINTE.EPAIEビット: EP_a割り込み

本レジスタでイネーブルにしたUSBGPEPINTFレジスタの割り込みフラグがセットされると、USBMAININTF.GPEPIFビットがセットされます。CPUにEP m 割り込みを発生させるには、本レジスタの他に、USBMAININTE.GPEPIEビットも1に設定しておく必要があります。

USB EP0 Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEP0INTE	7-6	–	0x0	–	R	–
	5	INACKIE	0	H0/S0	R/W	
	4	OUTACKIE	0	H0/S0	R/W	
	3	INNAKIE	0	H0/S0	R/W	
	2	OUTNAKIE	0	H0/S0	R/W	
	1	INERRIE	0	H0/S0	R/W	
	0	OUTERRIE	0	H0/S0	R/W	

Bits 7-6 **Reserved**

Bit 5 **INACKIE**

Bit 4 **OUTACKIE**

Bit 3 **INNAKIE**

Bit 2 **OUTNAKIE**

Bit 1 **INERRIE**

Bit 0 **OUTERRIE**

これらのビットは、EP0割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

USBEP0INTE.INACKIEビット: EP0 ACK受信割り込み

USBEP0INTE.OUTACKIEビット: EP0 ACK送信割り込み

USBEP0INTE.INNAKIEビット: EP0 NAK受信割り込み

USBEP0INTE.OUTNAKIEビット: EP0 NAK送信割り込み

USBEP0INTE.INERRIEビット: EP0 STALL受信割り込み

USBEP0INTE.OUTERRIEビット: EP0 STALL送信割り込み

本レジスタでイネーブルにしたUSBEP0INTFレジスタの割り込みフラグがセットされると、USBMAININTF.EP0IFビットがセットされます。CPUにEP0割り込みを発生させるには、本レジスタの他に、USBMAININTE.EP0IEビットも1に設定しておく必要があります。

USB EP m Interrupt Enable Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBEP m INTE	7	–	0	–	R	–
	6	OUTSHACKIE	0	H0/S0	R/W	
	5	INACKIE	0	H0/S0	R/W	
	4	OUTACKIE	0	H0/S0	R/W	
	3	INNAKIE	0	H0/S0	R/W	
	2	OUTNAKIE	0	H0/S0	R/W	
	1	INERRIE	0	H0/S0	R/W	
	0	OUTERRIE	0	H0/S0	R/W	

Bit 7 **Reserved**

Bit 6	OUTSHACKIE
Bit 5	INACKIE
Bit 4	OUTACKIE
Bit 3	INNAKIE
Bit 2	OUTNAKIE
Bit 1	INERRIE
Bit 0	OUTERRIE

これらのビットは、EP_m割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

USBEP_mINTE.OUTSHACKIEビット: EP_m ショートパケット受信割り込み

USBEP_mINTE.INACKIEビット: EP_m ACK受信割り込み

USBEP_mINTE.OUTACKIEビット: EP_m ACK送信割り込み

USBEP_mINTE.INNAKIEビット: EP_m NAK受信割り込み

USBEP_mINTE.OUTNAKIEビット: EP_m NAK送信割り込み

USBEP_mINTE.INERRIEビット: EP_m STALL受信割り込み

USBEP_mINTE.OUTERRIEビット: EP_m STALL送信割り込み

本レジスタでイネーブルにしたUSBEP_mINTFレジスタの割り込みフラグがセットされると、USBGPEPINTF.EP_mIFビットがセットされます。CPUにEP_m割り込みを発生させるには、本レジスタの他に、USBGPEPINTF.EP_mIEビットとUSBMAININTE.GPEPIEビットも1に設定しておく必要があります。

USB FIFO Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBFIFODAT	7-0	FIFODAT[7:0]	X	-	R/W	-

Bits 7-0 FIFODAT[7:0]

これらのビットを介して、指定したエンドポイントのFIFOからのデータの読み出し、およびFIFOへのデータの書き込みが行えます。

FIFOへのアクセス手順は、“22.5.9 FIFO管理”内の“CPUによるFIFOへのアクセス方法”を参照してください。

注: • USBFIFORWEN.FIFORDENビットを1に設定せずにこのレジスタからFIFOを読み出した場合、ダミーデータが読み出されます。また、指定したエンドポイントのFIFOが空のときにこのレジスタを読み出した場合も、ダミーデータが読み出されます。

- USBFIFORWEN.FIFOWRENビットを1に設定せずにこのレジスタにデータを書き込んだ場合、FIFOへの書き込みは行われません。また、指定したエンドポイントのFIFOが満杯のときにこのレジスタにデータを書き込んだ場合、FIFOには書き込まれません。

USB Debug RAM Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBDBGRAMDAT	7-0	DBRAMDAT[7:0]	X	-	R/W	-

Bits 7-0 DBRAMDAT[7:0]

これらのビットを介して、デバッグ用FIFOからのデータの読み出し、およびFIFOへのデータの書き込みが行えます。

FIFOにアクセスする前に、FIFO内のアクセスを開始するアドレスをUSBDBGRAMADDR.DRAMADDR[7:0]ビットに設定します。その後、このレジスタから1バイトのデータを読み出すか、データをレジスタに書き込みます。このレジスタに対して読み出し/書き込みを行うごとにUSBDBGRAMADDR.DRAMADDR[7:0]ビットのFIFOアドレスがインクリメントされ、連続的な読み出しや書き込みを可能としています。

データを書き込み後、続けて読み出しを行っても、FIFOアドレスはインクリメントされるため、直前に書き込んだ値を読み出すことはできません。

このレジスタはデバッグ用に用意されています。通常動作時は使用しないでください。

USB Misc Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBMISCCTL	15-13	–	0x0	–	R	–
	12	USBWAIT	1	H0	R/WP	
	11-9	–	0x0	–	R	
	8	USBSNZ	0	H0	R/WP	
	7	–	0	–	R	
	6	USBPLEN	0	H0	R/WP	
	5	–	0	–	R	
	4	VBUSDET	0	H0	R/WP	
	3	USBRST	0	H0	R/WP	
	2	–	0	–	R	
1	REG18VEN	0	H0	R/WP		
0	REG33VEN	0	H0	R/WP		

Bits 15-13 Reserved

Bit 12 USBWAIT

このビットは、USBレジスタアクセス時のバスアクセスサイクル数を設定します。

表22.8.5 USBレジスタアクセス時のバスアクセスサイクル数

USBMISCCTL.USBWAITビット	バスアクセスサイクル数	システムクロック周波数
1	3	21 MHz (max.)
0	1	4 MHz (max.)

Bits 11-9 Reserved

Bit 8 USBSNZ

このビットはスヌーズモードを制御します。

1 (R/W): スヌーズモード開始(SNOOZE信号をアサート)

0 (R/W): スヌーズモード終了(SNOOZE信号をネゲート)

このビットを1に設定すると、USBは移行シーケンスを実行後、スヌーズモードに入ります。スヌーズモード時にこのビットを0に設定すると、USBは動作を再開します。詳細は、“22.5.10 スヌーズ”を参照してください。

Bit 7 Reserved

Bit 6 USBPLEN

このビットは、PLLの動作をイネーブルにします。

1 (R/W): PLL動作イネーブル

0 (R/W): PLL動作ディスエーブル

このビットを1に設定すると、PLLは12 MHz OSC3クロックを入力し、それを4倍倍して48 MHzのUSBクロックを生成します。したがって、PLLの動作をイネーブルにする前に、OSC3発振回路から安定したクロックを出力させておく必要があります。OSC3発振回路の制御については、“電源、リセット、クロック”の章内の“クロックソース”の節を参照してください。PLL出力クロックが安定する前に、USB回路のリセット状態を解除しないでください(USBMISCCTL.USBRSTビットを1に設定しないでください)。PLL出力クロック安定待ち時間は、“電気的特性”の章の“PLL特性、ロックアップ時間”を参照してください。

Bit 5 Reserved

Bit 4 VBUSDET

このビットは、VBUSの接続が検出されたことをUSBのコントローラに通知すると共に、USBとIC内の他のブロックとの通信をイネーブルにします。

1 (R/W): VBUSの接続を検出

0 (R/W): VBUSの接続を未検出

VBUSの接続をPxxポートを使用して検出後、ソフトウェアでこのビットを1に設定します。VBUS接続時の制御の詳細は、“22.5.1 初期設定”を参照してください。

注: USBMISCCTL.VBUSDETビット = 0の場合、USBレジスタ(USBMISCCTLレジスを除く)の読み出し値はすべて0になります。

Bit 3 USBRST

このビットは、クロックとは非同期に、USB回路のリセット状態を設定/解除します。

1 (R/W): USB回路のリセット状態を解除

0 (R/W): USB回路をリセット状態に設定

制御のタイミングについては、“22.5.1 初期設定”を参照してください。

Bit 2 Reserved**Bit 1 REG18VEN**

このビットは、USBロジック回路用の1.8 VレギュレータをON/OFFします。

1 (R/W): レギュレータON

0 (R/W): レギュレータOFF

Bit 0 REG33VEN

このビットは、PHY用の3.3 VレギュレータをON/OFFします。

1 (R/W): レギュレータON

0 (R/W): レギュレータOFF

USB FIFO Write DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBMISCWR DMAEN	15-0	WRDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 WRDMAEN[15:0]

これらのビットは、指定エンドポイントのFIFOに空きができたことによる(USBREMSPPCNT.REMSPPC[6:0]ビット ≠ 0)、対応DMAチャンネル(Ch.0~Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

USB FIFO Read DMA Request Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
USBMISCRD DMAEN	15-0	RDDMAEN[15:0]	0x0000	H0	R/W	-

Bits 15-0 RDDMAEN[15:0]

これらのビットは、指定エンドポイントのFIFOに有効データが取り込まれたことによる(USBREMDATCNT.REMDAT[6:0]ビット ≠ 0)、対応DMAチャンネル(Ch.0~Ch.15)に対するDMA転送要求の発行を許可します。

1 (R/W): DMA転送要求イネーブル

0 (R/W): DMA転送要求ディスエーブル

各ビットはDMAコントローラの各チャンネルに対応します。搭載チャンネルを超えるビットは無効です。

23 メモリディスプレイコントローラ(MDC)

23.1 概要

MDCは、メモリディスプレイとインタフェースするためのハードウェアサポートを提供する多機能周辺回路です。また、グラフィックスハードウェアアクセラレーション機能も内蔵しています。主な機能と特長を以下に示します。

- パネルインタフェース
 - パラレル6ビットカラーインタフェース
 - SPI 1ビット白黒インタフェース+COM信号
 - SPI 3ビットカラーインタフェース+COM信号
 - 1/2/4/8 bpp グレースケール8ビットパラレルインタフェース
 - 1/2/4/8 bpp グレースケール3線シリアルインタフェース
 - 1/2/4/8 bpp グレースケール4線シリアルインタフェース
- ディスプレイパネルへの電圧供給
 - VMDHとVMDL電圧をプログラマブルに設定可能な昇圧回路を内蔵
- フレームバッファの画像を回転してパネルに転送可能(0、90、180、270°)
- カラーフォーマット: 6ビットRRGGBB、3ビットRGBカラー、1/2/4/8 bppグレースケール
- ビットマップフォーマット: 1ビット、2ビット(アルファブレンドの指定が可能)
- イメージ/ビットマップコピー機能
 - コピー元のメモリからコピー先のメモリに、画像を拡大/縮小、回転してコピー可能。
6ビットカラーでは、背景のピクセルに対する前景ピクセルのアルファブレンドが可能
 - コピー元のメモリからコピー先のメモリへ、画像に水平/垂直方向のシアーを加えてコピー可能。
6ビットカラーでは、背景のピクセルに対する前景ピクセルのアルファブレンドが可能
- 描画機能
 - 線の描画。線の太さを指定可能
 - 長方形の描画。塗りつぶしの有無を指定可能。塗りつぶしなしの場合、水平/垂直の線の太さをそれぞれ指定可能
 - 楕円の描画。塗りつぶしの有無を指定可能。塗りつぶしなしの場合、中心軸との交点における線の太さをX軸とY軸それぞれについて指定可能
 - 円弧の描画。開始角と終了角を指定可能。中心軸との交点における線の太さをX軸とY軸それぞれについて指定可能
- 外部ホストインタフェース
 - インタフェースをインダイレクト8ビットパラレル、SPI、またはQSPIに設定可能
 - 外部ホストMCUに内部バスへのアクセスを許可

図23.1.1にMDCの構成を示します。

23 メモリディスプレイコントローラ(MDC)

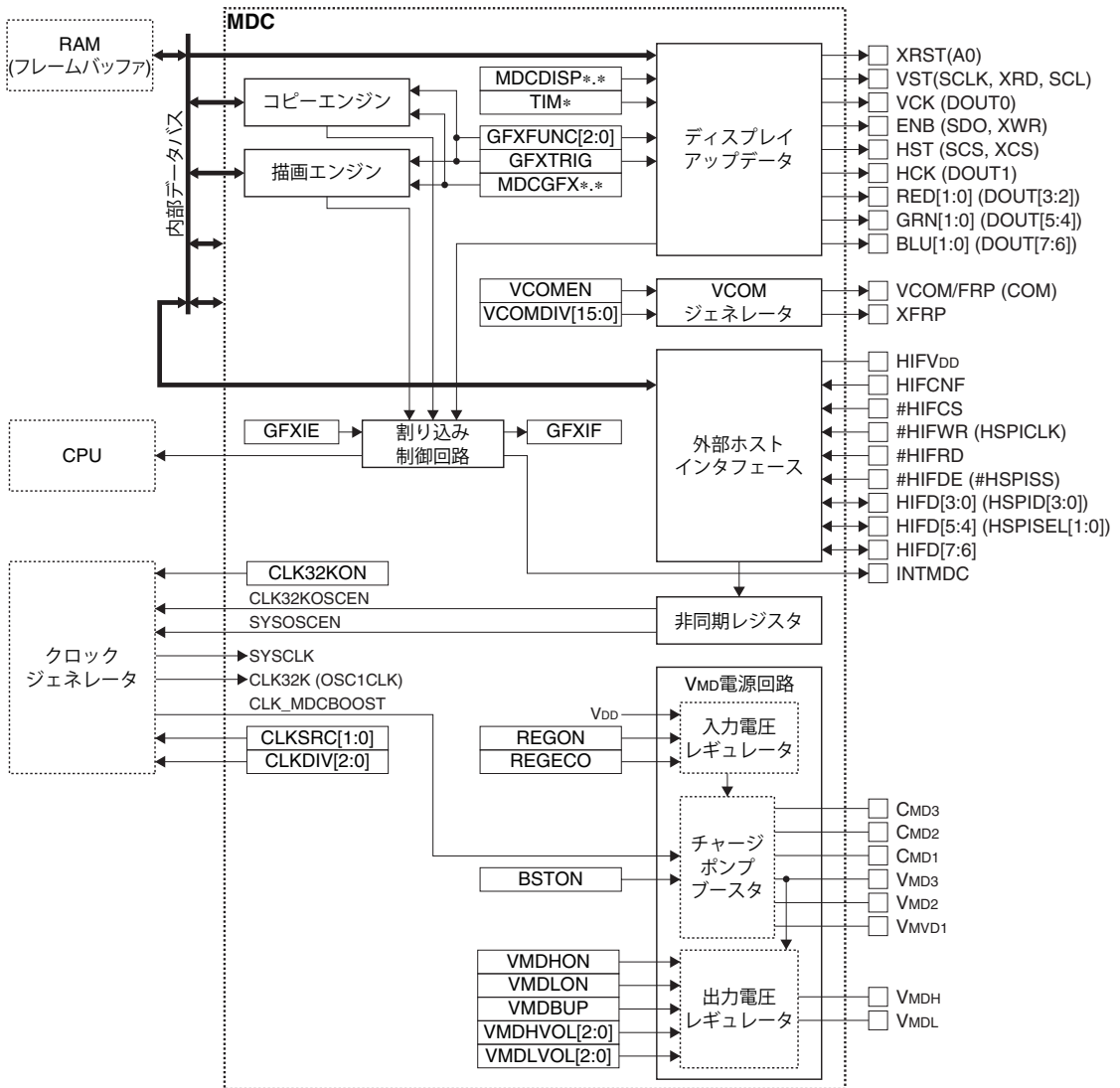


図23.1.1 MDCの構成

23.2 入出力端子と外部接続

23.2.1 入出力端子一覧

表23.2.1.1にMDC端子の一覧を示します。

表23.2.1.1 MDC端子一覧

端子名	I/O*	イニシャル状態*	機能
HIFVDD	P	-	ホストインタフェースおよびI/O電源端子
CMDD1-3	A	-	MDC電源昇圧コンデンサ接続端子
VMD2-3	A	-	MDC電源昇圧出力端子
VMVD1	A	-	MDC電源昇圧コンデンサ接続端子
VMDH	P	-	メモリディスプレイ駆動電圧出力端子(4.4~5.05 V)
VMDL	P	-	メモリディスプレイ駆動電圧出力端子(2.7~3.4 V) (MDCを使用しない場合は、I/O電源端子)
XRST (A0)	O	O (L)	6ビットカラーパネルインタフェースXRST出力 (4線シリアルグレースケールパネルインタフェースA0出力)
VST (SCLK, XRD, SCL)	O	O (L)	6ビットカラーパネルインタフェースVST出力 (SPIパネルインタフェースSCLK出力, 8ビットパラレルグレースケールパネルインタフェース XRD出力, 3線/4線シリアルグレースケールパネルインタフェースSCL出力)
VCK (DOUT0)	O	O (L)	6ビットカラーパネルインタフェースVCK出力 (8ビットパラレルグレースケールパネルインタフェースDOUT0出力)
ENB (SDO, XWR)	O	O (L)	6ビットカラーパネルインタフェースENB出力 (SPIパネルインタフェースSDO出力, 8ビットパラレルグレースケールパネルインタフェース XWR出力, 3線/4線シリアルグレースケールパネルインタフェースSDO出力)
HST (SCS, XCS)	O	O (L)	6ビットカラーパネルインタフェースHST出力 (SPIパネルインタフェースSCS出力, 8ビットパラレル/3線/4線シリアルグレースケールパネ ルインタフェースXCS出力)
HCK (DOUT1)	O	O (L)	6ビットカラーパネルインタフェースHCK出力 (8ビットパラレルグレースケールパネルインタフェースDOUT1出力)
RED[1:0] (DOUT[3:2])	O	O (L)	6ビットカラーパネルインタフェースRED[1:0]出力 (8ビットパラレルグレースケールパネルインタフェースDOUT[3:2]出力)
GRN[1:0] (DOUT[5:4])	O	O (L)	6ビットカラーパネルインタフェースGRN[1:0]出力 (8ビットパラレルグレースケールパネルインタフェースDOUT[5:4]出力)
BLU[1:0] (DOUT[7:6])	O	O (L)	6ビットカラーパネルインタフェースBLU[1:0]出力 (8ビットパラレルグレースケールパネルインタフェースDOUT[7:6]出力)
VCOM/FRP (COM)	O	O (L)	6ビットカラーパネルインタフェースVCOM/FRP出力 (SPIパネルインタフェースCOM出力)
XFRP	O	O (L)	6ビットカラーパネルインタフェースXFRP出力
HIFCNF	I	I	ホストインタフェースコンフィギュレーション入力
#HIFCS	I	I	インダイレクト8ビットホストインタフェースチップセレクト入力
#HIFWR (HSPICLK)	I	I	インダイレクト8ビットホストインタフェースライト入力 (SPI/QSPIホストインタフェースクロック入力)
#HIFRD	I	I	インダイレクト8ビットホストインタフェースリード入力
#HIFDE (#HSPISS)	I	I	インダイレクト8ビットホストインタフェースデバイスイネーブル入力 (SPI/QSPIホストインタフェーススレープセレクト入力)
HIFD0 (HSPID0)	I/O	I	インダイレクト8ビットホストインタフェースD0入出力 (SPI/QSPIホストインタフェースデータ入出力)
HIFD1 (HSPID1)	I/O	I	インダイレクト8ビットホストインタフェースD1入出力 (SPI/QSPIホストインタフェースデータ入出力)
HIFD2 (HSPID2)	I/O	I	インダイレクト8ビットホストインタフェースD2入出力 (SPI/QSPIホストインタフェースデータ入出力)
HIFD3 (HSPID3)	I/O	I	インダイレクト8ビットホストインタフェースD3入出力 (SPI/QSPIホストインタフェースデータ入出力)
HIFD4 (HSPISEL0)	I/O	I	インダイレクト8ビットホストインタフェースD4入出力 (SPI/QSPIホストインタフェースSPIモードセレクト入力)
HIFD5 (HSPISEL1)	I/O	I	インダイレクト8ビットホストインタフェースD5入出力 (SPI/QSPIホストインタフェースSPIモードセレクト入力)
HIFD6	I/O	I	インダイレクト8ビットホストインタフェースD6入出力
HIFD7	I/O	I	インダイレクト8ビットホストインタフェースD7入出力
INTMDC	O	O (L)	ホストインタフェース割り込み出力

* 端子機能をMDCに切り換えた時点の状態

これらのMDC端子と他の機能がポートを共有している場合、MDCを動作させる前にMDCの出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

注: VMVD1、VMD2、VMD3端子の出力を外部回路の駆動には絶対に使用しないでください。

23.2.2 ディスプレイパネルの外部接続

MDCとサポートしているディスプレイパネルとの接続例を、図23.2.2.1～図23.2.2.2に示します。

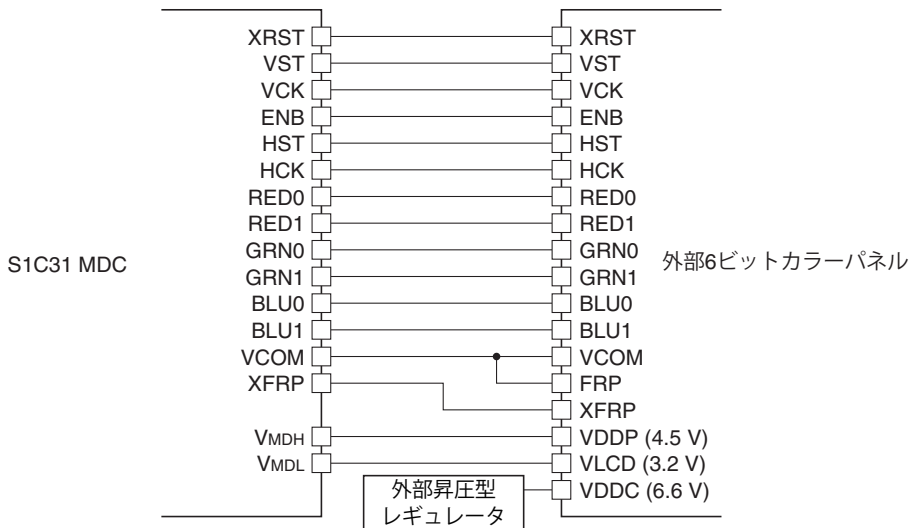
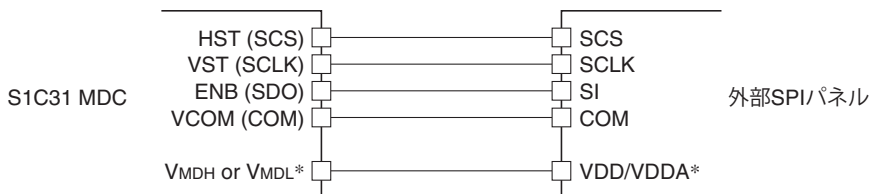


図23.2.2.1 MDCと6ビットカラーパネルの接続例



* SPIパネルの電圧仕様に合わせ、VMDHまたはVMDLをVDD/VDDAに接続してください。

図23.2.2.2 MDCとSPIパネルの接続例

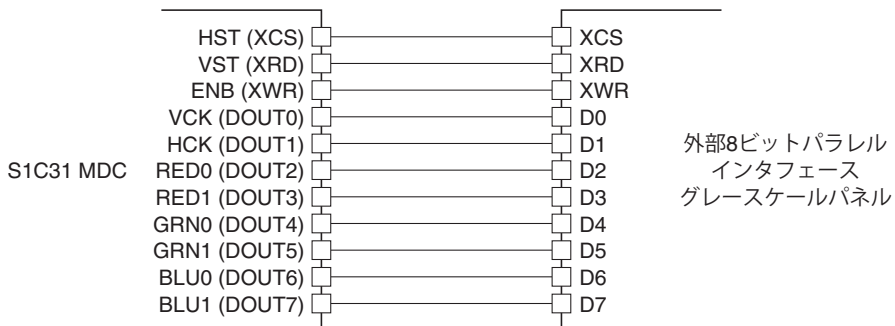


図23.2.2.3 MDCと8ビットインタフェースグレースケールパネルの接続例

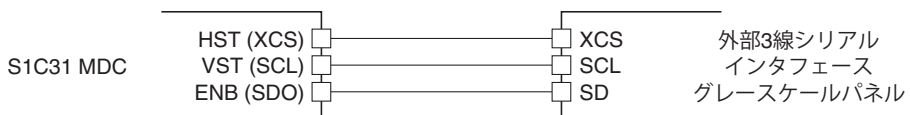


図23.2.2.4 MDCと3線シリアルインタフェースグレースケールパネルの接続例

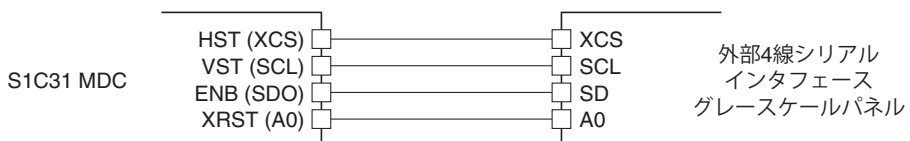


図23.2.2.5 MDCと4線シリアルインタフェースグレースケールパネルの接続例

23.2.3 ホストインタフェースを介した外部ホストの接続

サポートしているホストインタフェースを介した外部ホストとMDCの接続例を、図23.2.3.1～図23.2.3.4に示します。

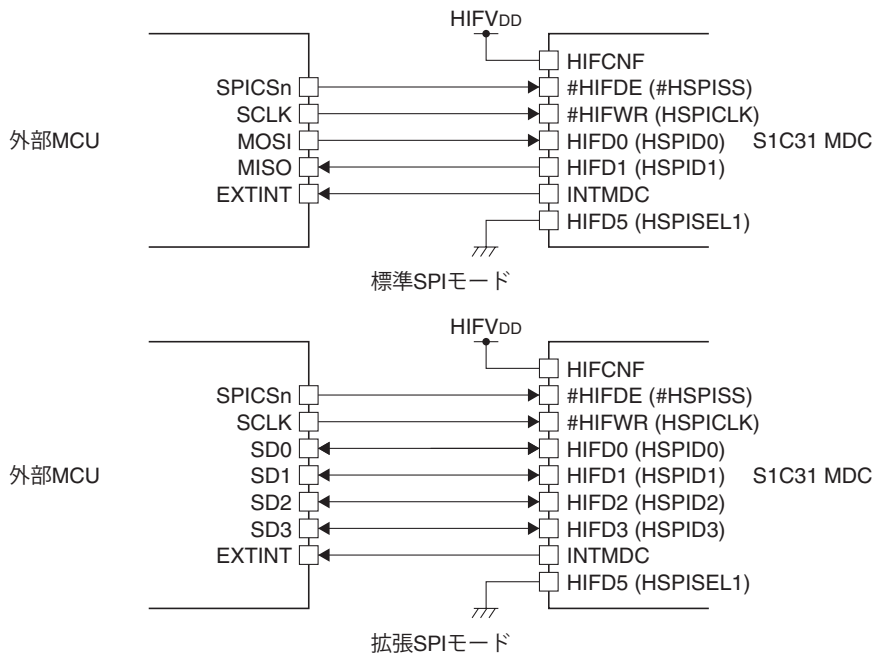


図23.2.3.1 SPIホストインタフェースによる外部MCUとMDCの接続例

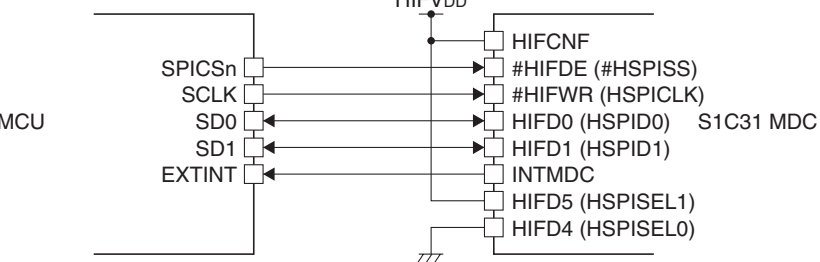
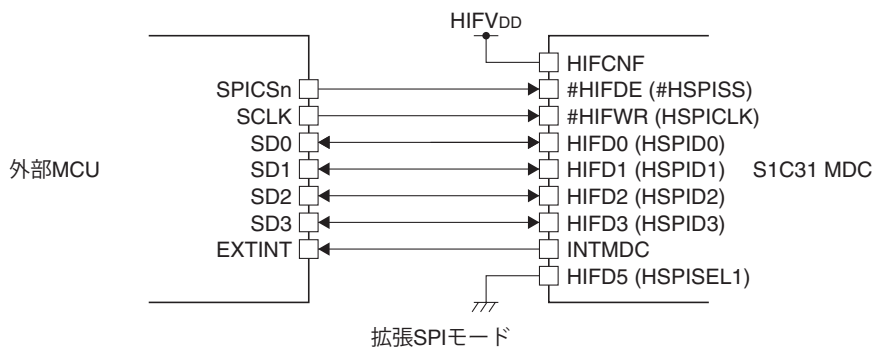


図23.2.3.2 デュアルSPIホストインタフェースによる外部MCUとMDCの接続例

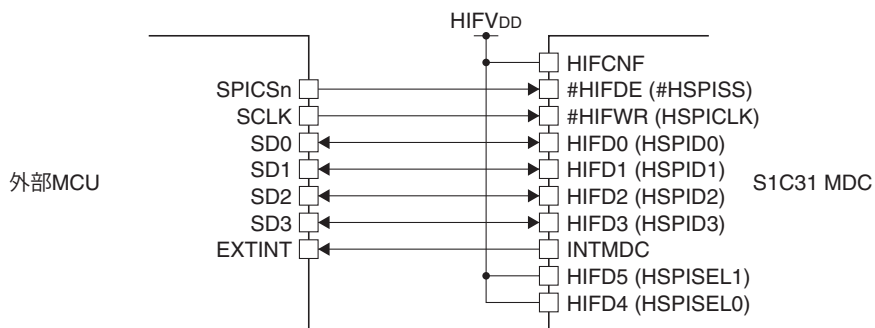


図23.2.3.3 クワッドSPIホストインタフェースによる外部MCUとMDCの接続例

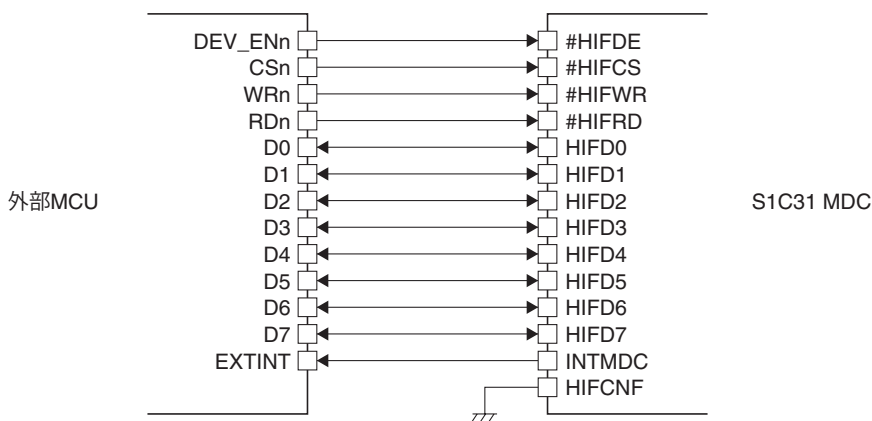


図23.2.3.4 インダイレクト8ビットホストインタフェースによる外部MCUとMDCの接続例

23.3 クロック設定

MDCは昇圧クロック、低速クロック、および高速クロックの3つの動作クロックにより動作します。

23.3.1 昇圧クロック

昇圧クロックCLK_MDCBOOSTは、昇圧回路の動作に使用します。VMDHおよびVMDL電圧を生成するためには、クロックジェネレータからMDCに供給しておく必要があります。CLK_MDCBOOSTの供給は以下の手順で制御してください。表示パネルへのVMDHおよびVMDL電圧の供給が不要な場合、この操作は必要ありません。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. MDCBSTCLKレジスタの以下のビットを設定する。
 - MDCBSTCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - MDCBSTCLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)

実機にて評価を行い、電圧出力が最も安定する周波数に設定してください。

昇圧回路の詳細は、“VMD電源回路”を参照してください。

23.3.2 低速クロック(CLK32K)

低速クロック(CLK32K)は、VCOM/XFRP出力信号の生成に使用します。CLK32KのクロックソースはOSC1クロックです。CLK32Kの供給は以下の手順で制御してください。

1. クロックジェネレータのOSC1発振回路が停止している場合はイネーブルにする。
2. MDCCLKCTL.CLK32KONビットを1に設定する。(MDCへの低速クロック供給をイネーブル)

OSC1発振回路の詳細は、“電源、リセット、クロック”の章の“クロックジェネレータ”を参照してください。

23.3.3 高速クロック(SYSCLK)

高速クロック(SYSCLK = CPUおよび内部バスクロック)は、MDCの大部分の回路に使用します。MDCへのSYSCLKの供給をON/OFFする制御ビットはなく、MDCによるタスクの実行開始時と終了時に自動的に制御されます。

SLEEPモード時はCLGOSC.xxxxSLPCビットの設定にかかわらず、MDCへのSYSCLKの供給が停止します。SYSCLKの詳細は、“電源、リセット、クロック”の章の“クロックジェネレータ”を参照してください。

23.3.4 SLEEPモード時のクロック供給

SLEEPモード時はSYSCLKが停止するため、MDCへ的高速クロックの供給は停止します。MDCのタスクを実行する場合は、内部CPUをアクティブまたはHALTモードにしてください。ただし、内部CPUがSLEEP状態でSYSCLKが停止している場合でも、外部ホストMCUからMDCHOSTCTL.SYSCENビットを1に設定することにより、内部CPUを起床させずにSYSCLKクロックソースをイネーブルにし、MDCへ高速クロックを供給することができます。

昇圧および低速クロックは、クロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込むことで、SLEEPモード時でも供給し続けることが可能です。

また、SYSCLKが停止している場合でも、外部ホストMCUからMDCHOSTCTL.CLK32KOSCENビットを1に設定することにより、OSC1発振回路をイネーブルにすることもできます。

各発振回路の制御ロジックを図23.3.4.1に示します。



図23.3.4.1 発振回路の制御ロジック

23.3.5 デバッグ時のクロック供給

DEBUGモード時のCLK_MDCBOOSTの供給はMDCBSTCLK.DBRUNビットで制御します。

MDCBSTCLK.DBRUNビット = 0の場合、デバッグ状態に移行するとMDCへのCLK_MDCBOOSTの供給が停止します。その後通常動作に戻ると、CLK_MDCBOOSTの供給が再開します。CLK_MDCBOOSTの供給が停止すると昇圧回路の動作は停止し、電圧出力はOFFになりますが、レジスタはデバッグ状態に移行する前の状態に保持されます。MDCCLK.DBRUNビット = 1の場合、デバッグ時もCLK_MDCBOOSTの供給は停止せず、昇圧回路は動作を継続します。

低速または高速クロックを使用するMDC機能は、デバッグ時も有効です。

23.4 V_{MD}電源回路

ディスプレイ駆動電圧V_{MDH}およびV_{MDL}は、IC内部のV_{MD}電源回路で生成することができます。

23.4.1 V_{MD}電源回路の構成

内部V_{MD}電源回路は入力電圧レギュレータ、チャージポンプブースタ、および出力電圧レギュレータで構成されます(図23.1.1参照)。入力電圧レギュレータは電源電圧V_{DD}から、チャージポンプブースタを駆動する定電圧を生成します。チャージポンプブースタは、出力電圧レギュレータが基準電圧として使用する昇圧電圧V_{MD3}を生成します。出力電圧レギュレータは、V_{MD3}からV_{MDH}およびV_{MDL}を生成します。V_{MDH}およびV_{MDL}出力レベルはソフトウェアで調整可能です。

図23.4.1.1に外部結線例を示します。

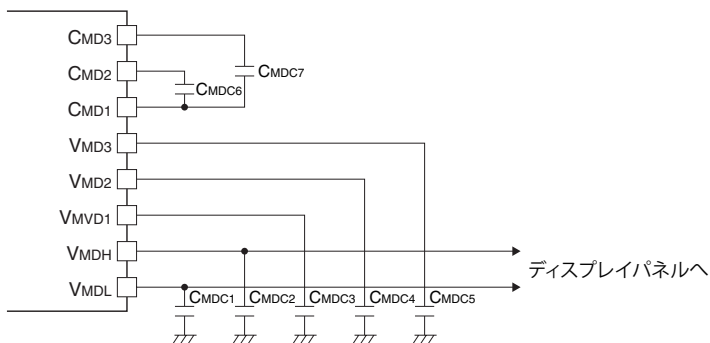


図23.4.1.1 外部結線例

ディスプレイパネルへのV_{MDH}およびV_{MDL}の供給が不要の場合は、V_{MDH}端子はオープンとし、V_{MDL}端子には外部からI/O電源を供給してください。V_{MD}電源制御ビットは初期値のまま変更しないでください。

23.4.2 V_{MD}電源回路の制御

V_{MD}電源回路は以下の手順で制御します。

1. MDCBSTCLK.CLKSRC[1:0]およびMDCBSTCLK.CLKDIV[2:0]ビットを設定する。(昇圧クロックの設定)
2. MDCBSTPWRレジスタの以下のビットを設定する。
 - MDCBSTPWR.REGECOビットに0を書き込み (レギュレータをノーマルモードに設定)*1
 - MDCBSTPWR.REGONビットに1を書き込み (レギュレータを起動)
 - MDCBSTPWR.BSTONビットに1を書き込み (昇圧回路の起動)

*1 MDCBSTPWR.REGECOビットを1に設定すると、レギュレータは消費電力を抑えるエコノミーモードになります。ただし、エコノミーモードは低負荷時(静止画表示時等)にのみ設定し、通常動作時はMDCBSTPWR.REGECOビットを0に設定してください。
3. V_{MD}昇圧出力が安定するまで待機する。
昇圧出力安定時間は、“電気的特性”の章の“MDC特性”を参照してください。
4. MDCBSTVMDレジスタの以下のビットを設定する。
 - MDCBSTVMD.VMDHVOL[2:0]ビット (V_{MDH}電圧レベル調整)
 - MDCBSTVMD.VMDLVOL[2:0]ビット (V_{MDL}電圧レベル調整)
 - MDCBSTVMD.VMDHONビットに1を書き込み (V_{MDH}出力イネーブル)
 - MDCBSTVMD.VMDLONビットに1を書き込み (V_{MDL}出力イネーブル)
5. V_{MDH}およびV_{MDL}出力が安定するまで待機する。
駆動電圧出力安定時間は、“電気的特性”の章の“MDC特性”を参照してください。

23.5 画像データフォーマット

23.5.1 ピクセルデータフォーマット

MDCはアルファチャネルデータを含む、6ビットカラー、3ビットカラー、1ビット白黒ピクセルデータフォーマット、およびアルファチャネルを持たない1/2/4/8 bppグレースケールフォーマットに対応しています。

6ビットカラー

6ビットカラーフォーマットでは、6ビットのRRGGBBデータ(2ビット/カラー)に対応し、各ピクセルを1バイトのデータとしてメモリに格納します。各ピクセルバイトのフォーマットは次のとおりです。

表23.5.1.1 6ビットカラーバイトフォーマット

7	6	5	4	3	2	1	0
A1	A0	R1	R0	G1	G0	B1	B0

上位2ビットにはアルファチャネルの値(0~3)が格納されます。アルファチャネルの値は描画およびピクセルコピー実行時にのみ使用され、パネルにピクセルを転送する表示更新時には無視されます。アルファ値0b00はピクセルが透明、0b01は33%不透明、0b10は67%不透明、0b11は100%不透明であることを意味します。

フレームバッファのメモリ構成を下図に示します。まず、フレームバッファのベースアドレスに左上端のピクセルが置かれ、画像の各ラインの左側のピクセルから右に向かってアドレスが増加していきます。これが、下図に示すとおり、最終ラインの右下端のピクセルまで続きます。

フレームバッファベースアドレス(画像左上端)



図23.5.1.1 6ビットカラー画像用フレームバッファ

図23.5.1.2に、10×2ピクセルの画像パターンの例を示します。

0	1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18	19

この例では、すべてのピクセルが100% (0b11)のアルファ値と色成分値を持つものとした場合、メモリ内の各バイトデータは次のようになります。

アドレス	値 (2進数)	値 (16進数)	色	アドレス	値 (2進数)	値 (16進数)	色
0	0b11110000	0xf0	0	10	0b11111111	0xff	10
1	0b11001100	0xcc	1	11	0b11000011	0xc3	11
2	0b11000011	0xc3	2	12	0b11111111	0xff	12
3	0b11111111	0xff	3	13	0b11001100	0xcc	13
4	0b11000000	0xc0	4	14	0b11110000	0xf0	14
5	0b11111100	0xfc	5	15	0b11110000	0xf0	15
6	0b11110011	0xf3	6	16	0b11111111	0xff	16
7	0b11001111	0xcf	7	17	0b11000000	0xc0	17
8	0b11001100	0xcc	8	18	0b11111100	0xfc	18
9	0b11001100	0xcc	9	19	0b11111100	0xfc	19

図23.5.1.2 6ビットカラー画像データ例

SPI 1ビット白黒

SPI 1ビット白黒フォーマットでは、4個のピクセルを1バイトに詰めてメモリに格納します。各ピクセルバイトのフォーマットは次のとおりです。

表23.5.1.2 SPI 1ビット白黒バイトフォーマット

7	6	5	4	3	2	1	0
A3	P3	A2	P2	A1	P1	A0	P0

P_x ビットは4個のピクセルビット、 A_x ビットは各ピクセルのアルファチャンネルビットです。アルファチャンネルビットは描画およびピクセルコピー実行時にのみ使用され、パネルにピクセルを転送する表示更新時には無視されます。 $A_x=0$ はピクセルが透明、 $A_x=1$ は100%不透明であることを意味します。 P_0 は、ディスプレイ上の4ピクセル中いちばん左のピクセル、 P_3 はいちばん右のピクセルになります。フレームバッファのメモリ構成を下図に示します。まず、フレームバッファのベースアドレスに左上端の4ピクセル分のデータ(1バイト目)が置かれ、画像の各ラインの左から右に向かって4ピクセルごとにアドレスが増加していきます。これが、下図に示すとおり、最終ラインの右下端のピクセルまで続きます。



図23.5.1.3 SPI 1ビット白黒画像用フレームバッファ

23 メモリディスプレイコントローラ(MDC)

図23.5.1.4に、10×2ピクセルの白黒画像パターンを示します。

0	1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18	19

この例では、すべてのピクセルが100% (0b1)のアルファ値を持つものとした場合、メモリ内の各バイトデータは次のようになります。

アドレス	値 (2進数)	値 (16進数)							
0	0b11101110	0xee	3	2	1	0			
1	0b11111010	0xfa	7	6	5	4			
2	0bXXXX1110	0x0e			9	8			
3	0b10111011	0xbb	13	12	11	10			
4	0b11101011	0xeb	17	16	15	14			
5	0bXXXX1011	0x0b			19	18			

各バイトには4ピクセル分のデータが含まれ、この例では、各ラインが3バイトを占有します(10/4を切り上げたバイト数)。各ラインの3バイト目の上位4ビットは使用されません。

図23.5.1.4 SPI 1ビット白黒画像データ例

SPI 3ビットカラー

SPI 3ビットカラーフォーマットでは、2個のピクセルを1バイトに詰めてメモリに格納します。各ピクセルバイトのフォーマットは次のとおりです。

表23.5.1.3 SPI 3ビットカラーバイトフォーマット

7	6	5	4	3	2	1	0
A1	R1	G1	B1	A0	R0	G0	B0

R_x/G_x/B_xビットは各ピクセルの色要素ビット、A_xビットは各ピクセルのアルファチャンネルビットです。アルファチャンネルビットは描画およびピクセルコピー実行時のみ使用され、パネルにピクセルを転送する表示更新時には無視されます。A_x = 0はピクセルが透明、A_x = 1は100%不透明であることを意味します。

R0G0B0はディスプレイ上の2ピクセル中の左側のピクセル、R1G1B1は右側のピクセルになります。フレームバッファのメモリ構成を下図に示します。まず、フレームバッファのベースアドレスに左上端の2ピクセル分のデータ(1バイト目)が置かれ、画像の各ラインの左から右に向かって2ピクセルごとにアドレスが増加していきます。これが、下図に示すとおり、最終ラインの右下端のピクセルまで続きます。

フレームバッファベースアドレス(画像左上端)



図23.5.1.5 SPI 3ビットカラー画像用フレームバッファ

図23.5.1.6に、10×2ピクセルの画像パターンの例を示します。

0	1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18	19

この例では、すべてのピクセルが100% (0b1)のアルファ値を持つものとした場合、メモリ内の各バイトデータは次のようになります。

アドレス	値 (2進数)	値 (16進数)		
0	0b10101100	0xac	1	0
1	0b11111001	0xf9	3	2
2	0b11101000	0xe8	5	4
3	0b10111101	0xbd	7	6
4	0b10101010	0xaa	9	8
5	0b10011111	0x9f	11	10
6	0b10101111	0xaf	13	12
7	0b11001100	0xcc	15	14
8	0b10001111	0x8f	17	16
9	0b11101110	0xee	19	18

図23.5.1.6 SPI 3ビットカラー画像データ例

1 bpp グレースケール

1 bppグレースケールフォーマットでは、8個のピクセルを1バイトに詰めてメモリに格納します。各ピクセルバイトのフォーマットは次のとおりです。

表23.5.1.4 1 bppグレースケールバイトフォーマット

7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

Pxビットは8個のピクセルビットです。P0は、ディスプレイ上の8ピクセル中いちばん左のピクセル、P7はいちばん右のピクセルになります。フレームバッファのメモリ構成を下図に示します。まず、フレームバッファのベースアドレスに左上端の8ピクセル分のデータ(1バイト目)が置かれ、画像の各ラインの左から右に向かって8ピクセルごとにアドレスが増加していきます。これが、下図に示すとおり、最終ラインの右下端のピクセルまで続きます。

フレームバッファベースアドレス(画像左上端)



図23.5.1.7 1 bppグレースケール画像用フレームバッファ

図23.5.1.8に、10×2ピクセルの白黒画像パターンの例を示します。

0	1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18	19

メモリ内の各バイトデータは次のようになります。

アドレス	値 (2進数)	値 (16進数)								
0	0b11001010	0xca	7	6	5	4	3	2	1	0
1	0bXXXXXX10	0x02							9	8
2	0b00110101	0x35	17	16	15	14	13	12	11	10
3	0bXXXXXX01	0x01							19	18

各バイトには8ピクセル分のデータが含まれ、この例では、各ラインが2バイトを占有します(10/8を切り上げたバイト数)。各ラインの2バイト目の上位6ビットは使用されません。

図23.5.1.8 1 bpp白黒画像データ例

2 bpp グレースケール

2 bppグレースケールフォーマットでは、4個のピクセルを1バイトに詰めてメモリに格納します。各ピクセルバイトのフォーマットは次のとおりです。

表23.5.1.5 2 bppグレースケールバイトフォーマット

7	6	5	4	3	2	1	0
P3			P2		P1		P0

Pxビットは4個のピクセルビットです。P0は、ディスプレイ上の4ピクセル中いちばん左のピクセル、P3はいちばん右のピクセルになります。フレームバッファのメモリ構成を下図に示します。まず、フレームバッファのベースアドレスに左上端の4ピクセル分のデータ(1バイト目)が置かれ、画像の各ラインの左から右に向かって4ピクセルごとにアドレスが増加していきます。これが、下図に示すとおり、最終ラインの右下端のピクセルまで続きます。



図23.5.1.9 2 bppグレースケール画像用フレームバッファ

図23.5.1.10に、10 × 2ピクセルの2 bppグレースケール画像パターンの例を示します。

0	1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18	19

メモリ内の各バイトデータは次のようになります。

Address	Value (binary)	Value (hex)				
0	0b01001000	0x48	3	2	1	0
1	0b01111000	0x78	7	6	5	4
2	0bXXXX1100	0x0c			9	8
3	0b00100011	0x23	13	12	11	10
4	0b10000111	0x87	17	16	15	14
5	0bXXXX0011	0x03			19	18

各バイトには4ピクセル分のデータが含まれ、この例では、各ラインが3バイトを占有します(10/4を切り上げたバイト数)。各ラインの3バイト目の上位4ビットは使用されません。

図23.5.1.10 2 bppグレースケール画像データ例

4 bpp グレースケール

4 bppグレースケールフォーマットでは、2個のピクセルを1バイトに詰めてメモリに格納します。各ピクセルバイトのフォーマットは次のとおりです。

表23.5.1.6 4 bppグレースケールバイトフォーマット

7	6	5	4	3	2	1	0
P1				P0			

Pxビットは2個のピクセルビットです。P0は、ディスプレイ上の2ピクセル中の左側のピクセル、P1は右側のピクセルになります。フレームバッファのメモリ構成を下図に示します。まず、フレームバッファのベースアドレスに左上端の2ピクセル分のデータ(1バイト目)が置かれ、画像の各ラインの左から右に向かって2ピクセルごとにアドレスが増加していきます。これが、下図に示すとおり、最終ラインの右下端のピクセルまで続きます。



図23.5.1.11 4 bppグレースケール画像用フレームバッファ

図23.5.1.12に、10×2ピクセルの4 bppグレースケール画像パターンの例を示します。

0	1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18	19

ライトグレーの値を10、ダークグレーの値を5とした場合、メモリ内の各バイトデータは次のようになります。

Address	Value (binary)	Value (hex)		
0	0b10100000	0xa0	1	0
1	0b01010000	0x50	3	2
2	0b10100000	0xa0	5	4
3	0b01011111	0x5f	7	6
4	0b11110000	0xf0	9	8
5	0b00001111	0x0f	11	10
6	0b00001010	0x0a	13	12
7	0b01011111	0x5f	15	14
8	0b10100000	0xa0	17	16
9	0b00001111	0x0f	19	18

図23.5.1.12 4 bppグレースケール画像データ例

8 bpp グレースケール

表23.5.1.7 8 bppグレースケールバイトフォーマット

7	6	5	4	3	2	1	0
P0							

フレームバッファのメモリ構成を下図に示します。まず、フレームバッファのベースアドレスに左上端のピクセルのデータ(1バイト目)が置かれ、画像の各ラインの左から右に向かってピクセルごとにアドレスが増加していきます。これが、下図に示すとおり、最終ラインの右下端のピクセルまで続きます。

フレームバッファベースアドレス(画像左上端)



図23.5.1.13 8 bppグレースケール画像用フレームバッファ

図23.5.1.14に、10×2ピクセルの8 bppグレースケール画像パターンの例を示します。

0	1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18	19

ライトグレーの値を171(0xab)、ダークグレーの値を85(0x55)とした場合、メモリ内の各バイトデータは次のようになります。

アドレス	値 (2進数)	値 (16進数)		アドレス	値 (2進数)	値 (16進数)	
0	0b00000000	0x00	0	10	0b11111111	0xff	10
1	0b10101011	0xab	1	11	0b00000000	0x00	11
2	0b00000000	0x00	2	12	0b10101011	0xab	12
3	0b01010101	0x55	3	13	0b00000000	0x00	13
4	0b00000000	0x00	4	14	0b11111111	0xff	14
5	0b10101011	0xab	5	15	0b01010101	0x55	15
6	0b11111111	0xff	6	16	0b00000000	0x00	16
7	0b01010101	0x55	7	17	0b10101011	0xab	17
8	0b00000000	0x00	8	18	0b11111111	0xff	18
9	0b11111111	0xff	9	19	0b00000000	0x00	19

図23.5.1.14 8 bppグレースケール画像データ例

23.5.2 ビットマップフォーマット

MDCは、ピクセルあたり1ビットまたは2ビットで記録されるビットマップフォーマットに対応しています。

1ビットビットマップフォーマットでは、コピー元の各ビットは指定されている塗りつぶしの色をコピー先にコピーするかどうかを指定します。ビットが0の場合、ピクセルはコピーされません。ビットが1の場合は塗りつぶしの色がコピーされます。

2ビットビットマップフォーマットでは、コピー元の各2ビットがアルファブレンドのためのアルファ値を指定します。これにより、指定されている塗りつぶしの色がコピー先の背景色とアルファ値に従って合成されます。

グレースケール、SPI 1ビット白黒、およびSPI 3ビットカラーパネルでは、1ビットビットマップフォーマットのみ指定可能です。6ビットカラーカラーパネルでは2ビットビットマップフォーマットも指定できます。

通常、ビットマップコピーはフレームバッファ上に文字フォントやアイコンを表現するなどの目的に使用します。

1ビットビットマップ

1ビットビットマップフォーマットでは、8個の1ビットピクセルを1バイトに詰めてメモリに格納します。各バイトのフォーマットを下図に示します。

表23.5.2.1 1ビットビットマップフォーマット

7	6	5	4	3	2	1	0
P7	P6	P5	P4	P3	P2	P1	P0

$P_x = 0$ はピクセルがコピー先に書き込まれないことを意味し、 $P_x = 1$ はピクセルが書き込まれることを意味します。P0は、ディスプレイ上の8ピクセル中いちばん左のピクセル、P3はいちばん右のピクセルになります。

フレームバッファのメモリ構成を下図に示します。まず、フレームバッファのベースアドレスに左上端の8ピクセル分のデータ(1バイト目)が置かれ、画像の各ラインの左から右に向かって8ピクセルごとにアドレスが増加していきます。これが、下図に示すとおり、最終ラインの右下端のピクセルまで続きます。



図23.5.2.2に、 10×11 ピクセルで文字の「8」を表す1ビットビットマップ画像の例を示します。

0	1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18	19
20	31	22	23	24	25	26	27	28	29
30	31	32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47	48	49
50	51	52	53	54	55	56	57	58	59
60	61	62	63	64	65	66	67	68	69
70	71	72	73	74	75	76	77	78	79
80	81	82	83	84	85	86	87	88	89
90	91	92	93	94	95	96	97	98	99
100	101	102	103	104	105	106	107	108	109

黒で示されたピクセルのビット値は0(透明、ピクセルはコピーされません)、白で示されたピクセルのビット値は1(ピクセルがコピーされます)です。この例では、メモリ内の各バイトデータは次のようになります。

アドレス	値 (2進数)	値 (16進数)	7	6	5	4	3	2	1	0
0	0b01111000	0x78								
1	0bXXXXXXXX00	0x00							9	8
2	0b11001100	0xcc	17	16	15	14	13	12	11	10
3	0bXXXXXXXX00	0x00							19	18
4	0b10000100	0x84	27	26	25	24	23	22	21	20
5	0bXXXXXXXX00	0x00							29	28
6	0b10000100	0x84	37	36	35	34	33	32	31	30
7	0bXXXXXXXX00	0x00							39	38
8	0b11111100	0xfc	47	46	45	44	43	42	41	40
9	0bXXXXXXXX00	0x00							49	48
10	0b01111000	0x78	57	56	55	54	53	52	51	50
11	0bXXXXXXXX00	0x00							59	58
12	0b11111100	0xfc	67	66	65	64	63	62	61	60
13	0bXXXXXXXX00	0x00							69	68
14	0b10000100	0x84	77	76	75	74	73	72	71	70
15	0bXXXXXXXX00	0x00							79	78
16	0b10000100	0x84	87	86	85	84	83	82	81	80
17	0bXXXXXXXX00	0x00							89	88
18	0b11001100	0xcc	97	96	95	94	93	92	91	90
19	0bXXXXXXXX00	0x00							99	98
20	0b01111000	0x78	107	106	105	104	103	102	101	100
21	0bXXXXXXXX00	0x00							109	108

図23.5.2.2 1ビットビットマップ画像データ例

2ビットビットマップ

2ビットビットマップフォーマットでは、4個の2ビットピクセルを1バイトに詰めてメモリに格納します。各バイトのフォーマットを下図に示します。

表23.5.2.2 2ビットビットマップフォーマット

7	6	5	4	3	2	1	0
P31	P30	P21	P20	P11	P10	P01	P00

各 $P_x[1:0]$ の値はピクセル P_x のアルファブレンド値です。この値に従って、MDCGFXCOLOR.COLOR[5:0]ビットで指定されている色がコピー先のピクセルと合成されます。

P0[1:0]は、ディスプレイ上の4ピクセル中いちばん左のピクセル、P3[1:0]はいちばん右のピクセルになります。フレームバッファのメモリ構成を下図に示します。まず、フレームバッファのベースアドレスに左上端の4ピクセル分のデータ(1バイト目)が置かれ、画像の各ラインの左から右に向かって4ピクセルごとにアドレスが増加していきます。これが、下図に示すとおり、最終ラインの右下端のピクセルまで続きます。



図23.5.2.3 2ビットビットマップ画像用フレームバッファ

23 メモリディスプレイコントローラ(MDC)

図23.5.2.4に、10 × 11ピクセルで文字の‘8’を表す2ビットビットマップ画像の例を示します。

0	1	2	3	4	5	6	7	8	9
10	11	12	13	14	15	16	17	18	19
20	31	22	23	24	25	26	27	28	29
30	31	32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47	48	49
50	51	52	53	54	55	56	57	58	59
60	61	62	63	64	65	66	67	68	69
70	71	72	73	74	75	76	77	78	79
80	81	82	83	84	85	86	87	88	89
90	91	92	93			96	97	98	99
100	101	102	103	104	105	106		108	109

白で示されたピクセルのアルファ値は0b11、ライトグレーで示されたピクセルのアルファ値は0b10、ダークグレーで示されたピクセルのアルファ値は0b01、黒で示されたピクセルのアルファ値は0b00(透明)です。この例では、メモリ内の各バイトデータは次のようになります。

アドレス	値 (2進数)	値 (16進数)				
0	0b11000000	0xc0	3	2	1	0
1	0b00111111	0x3f	7	6	5	4
2	0bXXX0000	0x00			9	8
3	0b10110000	0xb0	13	12	11	10
4	0b11100000	0xe0	17	16	15	14
5	0bXXX0000	0x00			19	18
6	0b00110000	0x30	23	22	21	20
7	0b11000000	0xc0	27	26	25	24
8	0bXXX0000	0x00			29	28
9	0b00110000	0x30	33	32	31	30
10	0b11000000	0xc0	37	36	35	34
11	0bXXX0000	0x00			39	38
12	0b10110000	0xb0	43	42	41	40
13	0b11100101	0xe5	47	46	45	44
14	0bXXX0000	0x00			49	48
15	0b11000000	0xc0	53	52	51	50
16	0b00111111	0x3f	57	56	55	54
17	0bXXX0000	0x00			59	58
18	0b10110000	0xb0	63	62	61	60
19	0b11100101	0xe5	67	66	65	64
20	0bXXX0000	0x00			69	68
21	0b00110000	0x30	73	72	71	70
22	0b11000000	0xc0	77	76	75	74
23	0bXXX0000	0x00			79	78
24	0b00110000	0x30	83	82	81	80
25	0b11000000	0xc0	87	86	85	84
26	0bXXX0000	0x00			89	88
27	0b10110000	0xb0	93	92	91	90
28	0b11100000	0xe0	97	96	95	94
29	0bXXX0000	0x00			99	98
30	0b11000000	0xc0	103	102	101	100
31	0b00111111	0x3f	107	106	105	104
32	0bXXX0000	0x00			109	108

図23.5.2.4 2ビットビットマップ画像データ例

23.6 動作

23.6.1 初期設定

MDCは、以下の手順により初期設定を行います。

1. MDCの入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
2. MDC動作クロックを設定する。(“クロック設定”を参照)
3. V_{MD} 電源を設定する。(“ V_{MD} 電源回路”を参照)

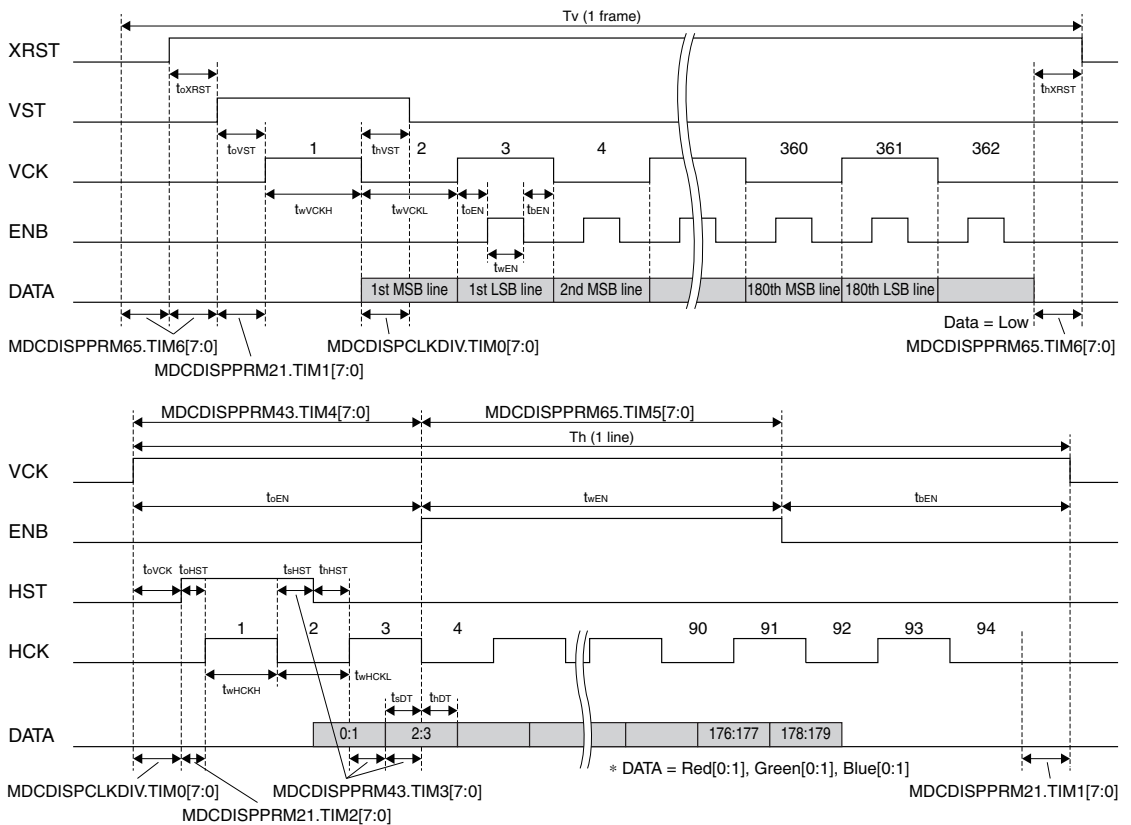
その他の初期設定については、各MDC機能の説明を参照してください。

23.6.2 ディスプレイアップデート

ディスプレイアップデートは、フレームバッファからディスプレイパネルへのピクセルデータ転送を行います。大きく分けて、6ビットカラーパネル、SPIパネル、グレースケールパネルの3種類のインタフェースに対応しています。6ビットカラーおよびSPIパネルインタフェースでは、転送時に画像を0、90、180、270度回転させることが可能です。たとえば、 120×160 ピクセルのディスプレイパネルに対して、 160×120 ピクセルの画像を90または270度回転させて転送することができます。

6ビットカラーパネルアップデート

図23.6.2.1に6ビットカラーパネルのタイミングチャートとパラメータを示します。



(注) タイミングはパネルにより異なります。

図23.6.2.1 6ビットカラーパネルタイミングチャート(180×180ピクセル6ビットカラーパネルの例)

6ビットカラーパネルアップデータ初期設定手順

6ビットカラーパネルを使用するには、以下のような手順でレジスタを初期設定します。

1. MDCDISPVCOMDIV.DISPVCOMDIV[15:0]ビットを設定する。 (VCOM周期の設定)
2. MDCDISPCTLレジスタの以下のビットを設定する。
 - MDCDISPCTL.DISPGSビットと
MDCDISPCTL.DISPSPIビットを0に設定 (6ビットカラーパネルインタフェースを選択)
 - MDCDISPCTL.ROTSSEL[1:0]ビット (回転角度の選択)
 - MDCDISPCTL.VCOMENビットを1に設定 (VCOM/XFRP出力をON)
 - MDCDISPCTL.DISPINVERTビット (ピクセル反転イネーブル/ディセーブル)
3. MDCDISPCLKDIVレジスタの以下のビットを設定する。
 - MDCDISPCLKDIV.CLKDIV[7:0]ビット (パネルタイミング基準単位(T)の設定)
 - MDCDISPCLKDIV.TIM0[7:0]ビット (VCK立ち上がり→HST立ち上がり時間、
VCK立ち下がり→VST立ち下がり時間の設定)
4. MDCDISPPRM21レジスタの以下のビットを設定する。
 - MDCDISPPRM21.TIM1[7:0]ビット (VST立ち上がり→VCK立ち上がり時間、
水平終了→次のVCKエッジ時間の設定)
 - MDCDISPPRM21.TIM2[7:0]ビット (HST立ち上がり→HCK立ち上がり時間の設定)
5. MDCDISPPRM43レジスタの以下のビットを設定する。
 - MDCDISPPRM43.TIM3[7:0]ビット (HCK HIGH/LOWの1/2期間設定)
 - MDCDISPPRM43.TIM4[7:0]ビット (VCK立ち上がり/立ち下がり→ENB立ち上がり
時間の設定)
6. MDCDISPPRM65レジスタの以下のビットを設定する。
 - MDCDISPPRM65.TIM5[7:0]ビット (ENB HIGH期間の設定)
 - MDCDISPPRM65.TIM6[7:0]ビット (XRST立ち上がり遅延時間、XRST立ち上がり
→VST立ち上がり時間、データ転送終了→XRST
立ち下り時間の設定)
7. MDCDISPWIDTH.DISPWIDTH[9:0]ビットを設定する。 (ディスプレイの幅を設定)
8. MDCDISPHEIGHT.DISPHEIGHT[9:0]ビットを設定する。 (ディスプレイの高さを設定)
9. MDCDISPFRMBUFF0.FRMBUFFADDR[15:0]とMDCDISPFRMBUFF1.FRMBUFFADDR[31:16]ビット
を設定する。 (フレームバッファベースアドレス
の設定)
10. MDCDISPSTRIDE.DISPSTRIDE[9:0]ビットを設定する。 (フレームバッファストライド
(画像の幅)の設定)
フレームバッファの画像の幅は、画像をパンするためにディスプレイの幅よりも大きく設定でき
ます。
11. MDCDISPSTARTY.STARTY[9:0]ビットを設定する。 (表示更新開始ライン番号の設定)
12. MDCDISPENDY.ENDY[9:0]ビットを設定する。 (表示更新終了ライン番号の設定)

表示更新開始手順

表示は以下の手順で更新してください。

1. MDCBSTPWR.VMDBUPビットに1を書き込む。 (応答速度の上昇)
2. 割り込みを使用する場合は以下のビットを設定する。
 - MDCINTCTL.GFXIFビットに1を書き込み (割り込みフラグをクリア)
 - MDCINTCTL.GFXIEビットを1に設定 (MDC割り込みイネーブル)
3. MDCGFXCTL.GFXFUNC[2:0]ビットを0x6に設定する。 (表示更新機能を選択)
4. MDCTRIGCTL.GFXTRIGビットに1を書き込む。 (表示の更新を開始)

表示の更新が終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。更新終了後は、MDCBSTPWR.VMDBUPビットを0に、MDCBSTPWR.REGECOビットを1に設定してください。

SPIパネルアップデータ

図23.6.2.2にSPIパネルのタイミングチャートとパラメータを示します。

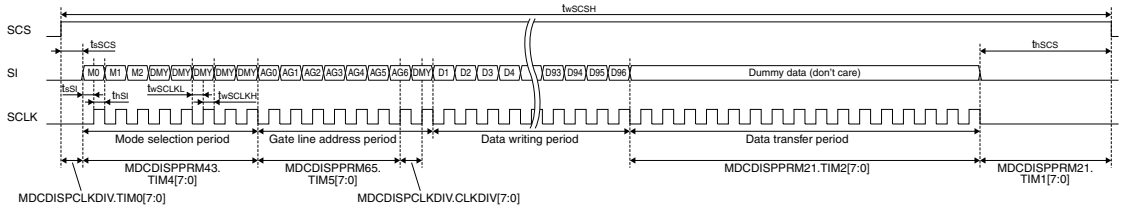


図23.6.2.2 SPIパネルタイミングチャート(96×96ピクセルSPIパネルの例)

SPIパネルアップデータ初期設定手順

SPIパネルを使用するには、以下のような手順でレジスタを初期設定します。

- MDCDISPVCOMDIV.DISPVCOMDIV[15:0]ビットを設定する。(VCOM周期の設定)
- MDCDISPCTLレジスタの以下のビットを設定する。
 - MDCDISPCTL.DISPGSビットを0、
MDCDISPCTL.DISPSPIビットを1に設定 (SPIパネルインタフェースを選択)
 - MDCDISPCTL.SPITYPEビット (SPIパネルタイプ(1ビット白黒/3ビットカラー)を選択)
 - MDCDISPCTL.ROTSSEL[1:0]ビット (回転角度の選択)
 - MDCDISPCTL.VCOMENビットを1に設定 (COM出力をON)
 - MDCDISPCTL.DISPINVERTビット (ピクセル反転イネーブル/ディスエーブル)
 - MDCDISPCTL.ADDRLSBビット (アドレスビット順序(LSB/MSB先頭)の選択)
 3ビットカラー選択時は、次のビットも設定する。
 - MDCDISPCTL.RGBORDビット (カラービット順序(R/B先頭)の選択)
- MDCDISPCLKDIVレジスタの以下のビットを設定する。
 - MDCDISPCLKDIV.CLKDIV[7:0]ビット (パネルタイミング基準単位(T)の設定)
 - MDCDISPCLKDIV.TIM0[7:0]ビット (SCS立ち上がり→SCLK立ち上がり時間の設定)
- MDCDISPPRM21レジスタの以下のビットを設定する。
 - MDCDISPPRM21.TIM1[7:0]ビット (SCLK立ち下がり→SCS立ち下がり時間の設定)
 - MDCDISPPRM21.TIM2[7:0]ビット (データ転送期間(SCLKサイクル数)の設定)
- MDCDISPPRM43レジスタの以下のビットを設定する。
 - MDCDISPPRM43.TIM3[7:0]ビット (モードビット値の設定)
 - MDCDISPPRM43.TIM4[2:0]ビット (送信するモードビット数の設定)
- MDCDISPPRM65レジスタの以下のビットを設定する。
 - MDCDISPPRM65.TIM5[3:0]ビット (送信するアドレスビット数の設定)
 - MDCDISPPRM65.TIM6[7:0]ビット (SCS立ち下がり→次のSCS立ち上がり時間の設定)
- MDCDISPWIDTH.DISPWIDTH[9:0]ビットを設定する。(ディスプレイの幅を設定)
- MDCDISPHEIGHT.DISPHEIGHT[9:0]ビットを設定する。(ディスプレイの高さを設定)
- MDCDISPFRMBUFF0.FRMBUFFADDR[15:0]とMDCDISPFRMBUFF1.FRMBUFFADDR[31:16]ビットを設定する。(フレームバッファベースアドレスの設定)
- MDCDISPSTRIDE.DISPSTRIDE[9:0]ビットを設定する。(フレームバッファストライド(画像の幅)の設定)
フレームバッファの画像の幅は、画像をパンするためにディスプレイの幅よりも大きく設定できます。
- MDCDISPSTARTY.STARTY[9:0]ビットを設定する。(表示更新開始ライン番号の設定)
- MDCDISPENDY.ENDY[9:0]ビットを設定する。(表示更新終了ライン番号の設定)

注: • SPIパネルのCOM反転モードを外部COM信号入力に設定しておく必要があります。

- MDCDISPCLKDIV.CLKDIV[7:0]ビットが偶数の場合、twSCLKHはtwSCLKLよりtsysclk分だけ長くなり、MDCDISPCLKDIV.CLKDIV[7:0]ビットが奇数の場合、twSCLKHはtwSCLKLより2×tsysclk分だけ長くなります。

表示更新開始手順

表示は以下の手順で更新してください。

1. MDCBSTPW.VMDBUPビットに1を書き込む。 (応答速度の上昇)
2. 割り込みを使用する場合は以下のビットを設定する。
 - MDCINTCTL.GFXIFビットに1を書き込み (割り込みフラグをクリア)
 - MDCINTCTL.GFXIEビットを1に設定 (MDC割り込みイネーブル)
3. MDCGFXCTL.GFXFUNC[2:0]ビットを0x6に設定する。 (表示更新機能を選択)
4. MDCTRIGCTL.GFXTRIGビットに1を書き込む。 (表示の更新を開始)

表示の更新が終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。更新終了後は、MDCBSTPW.VMDBUPビットを0に、MDCBSTPW.REGECOビットを1に設定してください。

グレースケールパネルアップデータ

グレースケールパネルインタフェースは、パラレル、3線シリアル、4線シリアルの種類から選択可能です。グレースケールパネルのレジスタおよびディスプレイメモリに書き込むバイトシーケンスは、選択したインタフェースにかかわらず同様です。はじめにA0 = 0としてコマンドバイトを送信し、それに続きA0 = 1として、コマンドにより定められている数のパラメータバイトを連続して送信します。図23.6.2.3にグレースケールパネルへの送信バイトシーケンスを、図23.6.2.4にタイミングチャートを示します。

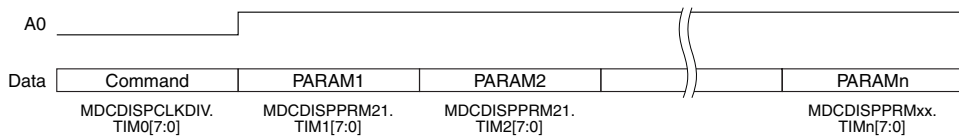
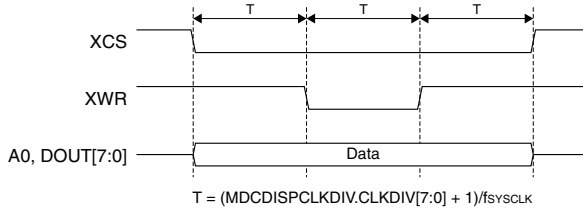
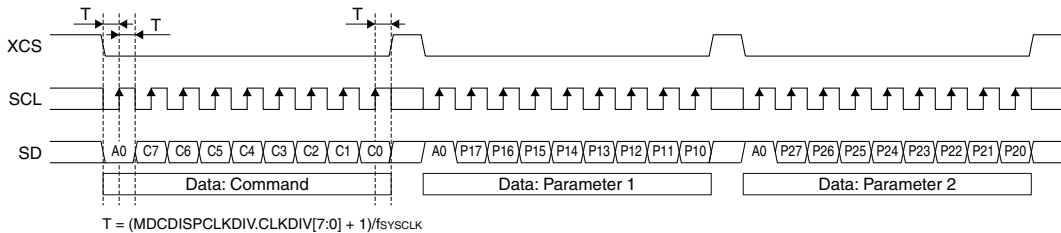


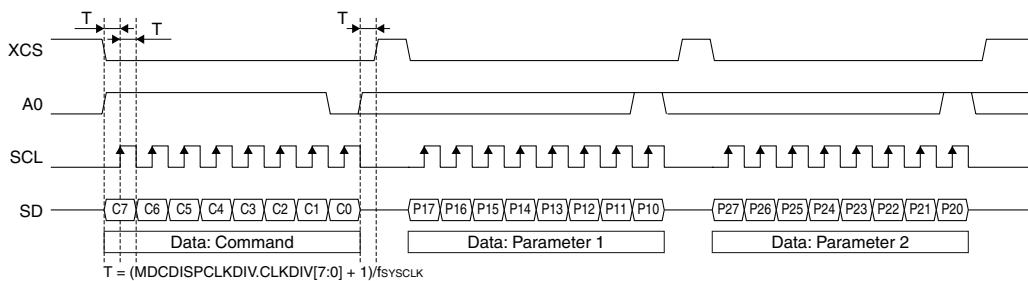
図23.6.2.3 グレースケールパネルへの送信バイトシーケンス



(1) パラレルインタフェースタイミング



(2) 3線シリアルインタフェースタイミング



(3) 4線シリアルインタフェースタイミング

図23.6.2.4 グレースケールパネルタイミングチャート

グレースケールパネルアップデート初期設定手順

グレースケールパネルを使用するには、以下のような手順でレジスタを初期設定します。

1. MDCDISPCTLレジスタの以下のビットを設定する。
 - MDCDISPCTL.DISPGSビットを1に設定 (グレースケールパネルインタフェースを選択)
 - MDCDISPCTL.GSTYPE[1:0]ビット (グレースケールパネルインタフェースタイプ (パラレル/3線シリアル/4線シリアル)を選択)
 - MDCDISPCTL.DISPINVERTビット (ピクセル反転イネーブル/ディスエーブル)
2. MDCTRIGCTL.DISBPP[1:0]ビットを設定する。 (BPP(1/2/4/8 bpp)を設定)
3. MDCDISPCLKDIV.CLKDIV[7:0]ビットを設定する。 (パネルタイミング基準単位(T)の設定)
4. MDCDISPWIDTH.DISPWIDTH[9:0]ビットを設定する。 (ディスプレイの幅を設定)
5. MDCDISPHEIGHT.DISHEIGHT[9:0]ビットを設定する。 (ディスプレイの高さを設定)
6. MDCDISPFRMBUFF0.FRMBUFFADDR[15:0]とMDCDISPFRMBUFF1.FRMBUFFADDR[31:16]ビットを設定する。 (フレームバッファベースアドレスの設定)
7. MDCDISPSTRIDE.DISSTRIDE[9:0]ビットを設定する。 (フレームバッファストライド (画像の幅)の設定)
 フレームバッファの画像の幅は、画像をパンするためにディスプレイの幅よりも大きく設定できます。
8. MDCDISPSTARTY.STARTY[9:0]ビットを設定する。 (表示更新開始ライン番号の設定)
9. MDCDISPENDY.ENDY[9:0]ビットを設定する。 (表示更新終了ライン番号の設定)

コマンド送信手順

グレースケールパネルのコマンドは以下の手順で送信します。

1. パネルに送信するコマンドとパラメータを以下のレジスタ/ビットに設定する。
 - MDCDISPCLKDIV.TIM0[7:0]ビット (コマンド)
 - MDCDISPPRM21.TIM1[7:0]ビット (パラメータ1)
 - MDCDISPPRM21.TIM2[7:0]ビット (パラメータ2)
 - MDCDISPPRM43.TIM3[7:0]ビット (パラメータ3)
 - MDCDISPPRM43.TIM4[2:0]ビット (パラメータ4)
 - MDCDISPPRM65.TIM5[3:0]ビット (パラメータ5)
 - MDCDISPPRM65.TIM6[7:0]ビット (パラメータ6)
 - MDCDISPPRM87.TIM7[3:0]ビット (パラメータ7)
 - MDCDISPPRM87.TIM8[7:0]ビット (パラメータ8)
 * パラメータの数はコマンドにより異なります。
2. MDCDISPCTL.UPDFUNCビットを1に設定する。 (コマンドライトを選択)
3. MDCGFXCTL.GFXFUNC[2:0]ビットを0x6に設定する。 (表示更新機能を選択)
4. MDCTRIGCTLレジスタの以下のビットを設定する。
 - MDCTRIGCTL.NPARAM[3:0]ビット (パラメータバイト数の設定)
 - MDCTRIGCTL.GFXTRIGビットに1を書き込む。 (コマンドを送信)

コマンドの送信が終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。

表示更新開始手順

表示は以下の手順で更新してください。

1. MDCBSTPWR.VMDBUPビットに1を書き込む。 (応答速度の上昇)
2. パネルに送信するWRRAMコマンドとダミーパラメータを以下のレジスタ/ビットに設定する。
 - MDCDISPCLKDIV.TIM0[7:0]ビット (WRRAMコマンドを設定)
 - MDCDISPPRM21.TIM1[7:0]ビット (ダミーパラメータを設定)
3. 割り込みを使用する場合は以下のビットを設定する。
 - MDCINTCTL.GFXIFビットに1を書き込み (割り込みフラグをクリア)
 - MDCINTCTL.GFXIEビットを1に設定 (MDC割り込みイネーブル)

4. MDCGFXCTL.GFXFUNC[2:0]ビットを0x6に設定する。 (表示更新機能を選択)
5. MDCTRIGCTLレジスタの以下のビットを設定する。
 - MDCTRIGCTL.NPARAM[3:0]ビットを0x2に設定 (パラメータバイト数の設定)
 - MDCTRIGCTL.GFXTRIGビットに1を書き込む (表示の更新を開始)

表示の更新が終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。更新終了後は、MDCBSTPWR.VMDBUPビットを0に、MDCBSTPWR.REGECOビットを1に設定してください。

表示更新時の画像回転(フレームバッファからパネルへのデータ転送時)

6ビットカラーまたはSPIパネルを使用時は、フレームバッファの画像を0、90、180、270度回転させて表示を更新することができます。

パネル(およびフレームバッファ画像)の解像度が正方形の場合(水平と垂直ピクセル数が同じ場合)は、どの回転角度においても、以下のレジスタ設定が適用されます。

MDCDISPWIDTH.DISPWIDTH[9:0]ビット = MDCGFXOWIDTH.OWIDTH[9:0]ビット = [パネル幅]
 MDCDISPHEIGHT.DISPHEIGHT[9:0]ビット = MDCGFXOHEIGHT.OHEIGHT[9:0]ビット = [パネル高]
 MDCDISPSTRIDE.DISPSTRIDE[9:0]ビット = MDCGFXOSTRIDE.OSTRIDE[9:0]ビット = [表示画像幅]

パネル(およびフレームバッファ画像)の解像度が長方形の場合(水平と垂直ピクセル数が異なる場合)は、回転処理ハードウェアの制限を回避するため、レジスタを以下のように設定してください。

0度または180度回転

MDCDISPWIDTH.DISPWIDTH[9:0]ビット = MDCGFXOWIDTH.OWIDTH[9:0]ビット = [パネル幅]
 MDCDISPHEIGHT.DISPHEIGHT[9:0]ビット = MDCGFXOHEIGHT.OHEIGHT[9:0]ビット = [パネル高]
 MDCDISPSTRIDE.DISPSTRIDE[9:0]ビット = MDCGFXOSTRIDE.OSTRIDE[9:0]ビット = [表示画像幅]
 MDCDISPFRMBUFF0/1.FRMBUFFADDR[31:0]ビット = MDCGFXOBADDR0/1.OBASEADDR[31:0]ビット
 = [フレームバッファベースアドレス]

フレームバッファサイズ = ([LINEBYTES] × [パネル高])バイト

6ビットカラーパネル: [LINEBYTES] = [表示画像幅]

SPI 3ビットカラーパネル: [LINEBYTES] = [表示画像幅] / 2 (端数切り上げ)

SPI 1ビット白黒パネル: [LINEBYTES] = [表示画像幅] / 4 (端数切り上げ)

90度回転, [パネル幅] > [パネル高]

MDCDISPWIDTH.DISPWIDTH[9:0]ビット = [パネル幅]
 MDCDISPHEIGHT.DISPHEIGHT[9:0]ビット = [パネル幅]
 MDCDISPSTRIDE.DISPSTRIDE[9:0]ビット = [パネル幅]
 MDCDISPFRMBUFF0/1.FRMBUFFADDR[31:0]ビット
 = [フレームバッファベースアドレス] + ([パネル高] - [パネル幅]) ... 6ビットカラーパネル
 ([パネル高] - [パネル幅]) / 2 (端数切り上げ) ... SPI 3ビットカラーパネル
 ([パネル高] - [パネル幅]) / 4 (端数切り上げ) ... SPI 1ビット白黒パネル

MDCGFXOWIDTH.OWIDTH[9:0]ビット = [パネル高]
 MDCGFXOHEIGHT.OHEIGHT[9:0]ビット = [パネル幅]
 MDCGFXOSTRIDE.OSTRIDE[9:0]ビット = [パネル幅]
 MDCGFXOBADDR0/1.OBASEADDR[31:0]ビット = [フレームバッファベースアドレス]

フレームバッファサイズ = ([LINEBYTES] × [パネル幅])バイト

6ビットカラーパネル: [LINEBYTES] = [パネル幅]

SPI 3ビットカラーパネル: [LINEBYTES] = [パネル幅] / 2 (端数切り上げ)

SPI 1ビット白黒パネル: [LINEBYTES] = [パネル幅] / 4 (端数切り上げ)

90度回転, [パネル高] > [パネル幅]

MDCDISPWIDTH.DISPWIDTH[9:0]ビット = [パネル高]
 MDCDISPHEIGHT.DISPHEIGHT[9:0]ビット = [パネル高]
 MDCDISPSTRIDE.DISPSTRIDE[9:0]ビット = [パネル高]
 MDCDISPFRMBUFF0/1.FRMBUFFADDR[31:0]ビット = [フレームバッファベースアドレス]

MDCGFXOWIDTH.OWIDTH[9:0]ビット = [パネル高]
 MDCGFXOHEIGHT.OHEIGHT[9:0]ビット = [パネル幅]
 MDCGFXOSTRIDE.OSTRIDE[9:0]ビット = [パネル高]
 MDCGFXOBADDR0/1.OBASEADDR[31:0]ビット = [フレームバッファベースアドレス]

フレームバッファサイズ = ([LINEBYTES] × [パネル高]) / バイト

6ビットカラーパネル: [LINEBYTES] = [パネル高]
 SPI 3ビットカラーパネル: [LINEBYTES] = [パネル高] / 2 (端数切り上げ)
 SPI 1ビット白黒パネル: [LINEBYTES] = [パネル高] / 4 (端数切り上げ)

270度回転, [パネル幅] > [パネル高]

MDCDISPWIDTH.DISPWIDTH[9:0]ビット = [パネル幅]
 MDCDISPHEIGHT.DISPHEIGHT[9:0]ビット = [パネル幅]
 MDCDISPSTRIDE.DISPSTRIDE[9:0]ビット = [パネル幅]
 MDCDISPFRMBUFF0/1.FRMBUFFADDR[31:0]ビット = [フレームバッファベースアドレス]

MDCGFXOWIDTH.OWIDTH[9:0]ビット = [パネル高]
 MDCGFXOHEIGHT.OHEIGHT[9:0]ビット = [パネル幅]
 MDCGFXOSTRIDE.OSTRIDE[9:0]ビット = [パネル幅]
 MDCGFXOBADDR0/1.OBASEADDR[31:0]ビット = [フレームバッファベースアドレス]

フレームバッファサイズ = ([LINEBYTES] × [パネル幅]) / バイト

6ビットカラーパネル: [LINEBYTES] = [パネル幅]
 SPI 3ビットカラーパネル: [LINEBYTES] = [パネル幅] / 2 (端数切り上げ)
 SPI 1ビット白黒パネル: [LINEBYTES] = [パネル幅] / 4 (端数切り上げ)

270度回転, [パネル高] > [パネル幅]

MDCDISPWIDTH.DISPWIDTH[9:0]ビット = [パネル高]
 MDCDISPHEIGHT.DISPHEIGHT[9:0]ビット = [パネル高]
 MDCDISPSTRIDE.DISPSTRIDE[9:0]ビット = [パネル高]
 MDCDISPFRMBUFF0/1.FRMBUFFADDR[31:0]ビット
 = [フレームバッファベースアドレス] + ([パネル幅] - [パネル高]) × [パネル高] ... 6ビットカラーパネル
 ([パネル幅] - [パネル高]) × ([パネル高] / 2 (端数切り上げ)) ... SPI 3ビットカラーパネル
 ([パネル幅] - [パネル高]) × ([パネル高] / 4 (端数切り上げ)) ... SPI 1ビット白黒パネル

MDCGFXOWIDTH.OWIDTH[9:0]ビット = [パネル高]
 MDCGFXOHEIGHT.OHEIGHT[9:0]ビット = [パネル幅]
 MDCGFXOSTRIDE.OSTRIDE[9:0]ビット = [パネル高]
 MDCGFXOBADDR0/1.OBASEADDR[31:0]ビット = [フレームバッファベースアドレス]

フレームバッファサイズ = ([LINEBYTES] × [パネル高]) / バイト

6ビットカラーパネル: [LINEBYTES] = [パネル高]
 SPI 3ビットカラーパネル: [LINEBYTES] = [パネル高] / 2 (端数切り上げ)
 SPI 1ビット白黒パネル: [LINEBYTES] = [パネル高] / 4 (端数切り上げ)

23.6.3 描画エンジン

描画エンジンは、線、長方形、楕円、円弧をフレームバッファに描きます。フレームバッファの長方形領域は左上端を基準座標(0, 0)としています。描画機能のX、Y座標パラメータは、この基準座標からの相対値(正の値)として指定します。X座標は左端(X = 0)から右方向が正方向になり、Y座標は上端(Y = 0)から下方向が正方向になります。

注: 描画機能は表示を更新しません。別途表示更新機能を実行する必要があります。

線の描画

線描画機能は、指定の太さと色を持つ線を描きます。その描画手順を以下に示します。

1. MDCGFXOBADDR0.OBASEADDR[15:0]ビットとMDCGFXOBADDR1.OBASEADDR[31:16]ビットを設定する。 (フレームバッファベースアドレスの指定)
2. MDCGFXOSTRIDE.OSTRIDE[9:0]ビットを設定する。 (フレームバッファストライド(水平サイズ)の指定)
3. MDCGFXIXCENTER.IXCENTER[9:0]ビットを設定する。 (線の開始点のX座標(X1)を指定)*1
4. MDCGFXIYCENTER.IYCENTER[9:0]ビットを設定する。 (線の開始点のY座標(Y1)を指定)*1
5. MDCGFXOXCENTER.OXCENTER[9:0]ビットを設定する。 (線の終点のX座標(X2)を指定)*1
6. MDCGFXOYCENTER.OYCENTER[9:0]ビットを設定する。 (線の終点のY座標(Y2)を指定)*1
- *1 フレームバッファの左上端を座標(0, 0)とする相対座標で指定します。
7. MDCGFXIWIDTH.IWIDTH[9:0]ビットを設定する。 (線幅の指定)
8. MDCGFXCOLOR.COLOR[7:0]ビットを設定する。 (ペンの色/階調を指定)
9. 割り込みを使用する場合は以下のビットを設定する。
 - MDCINTCTL.GFXIFビットに1を書き込み (割り込みフラグをクリア)
 - MDCINTCTL.GFXIEビットを1に設定 (MDC割り込みイネーブル)
10. MDCGFXCTL.GFXFUNC[2:0]ビットを0x3に設定する。 (線描画機能を選択)
11. MDCTRIGCTL.GFXTRIGビットに1を書き込む。 (線描画を開始)

線の描画が終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。

下図に、180 × 180ピクセルの6ビットカラーパネルに線を描画する例を示します。

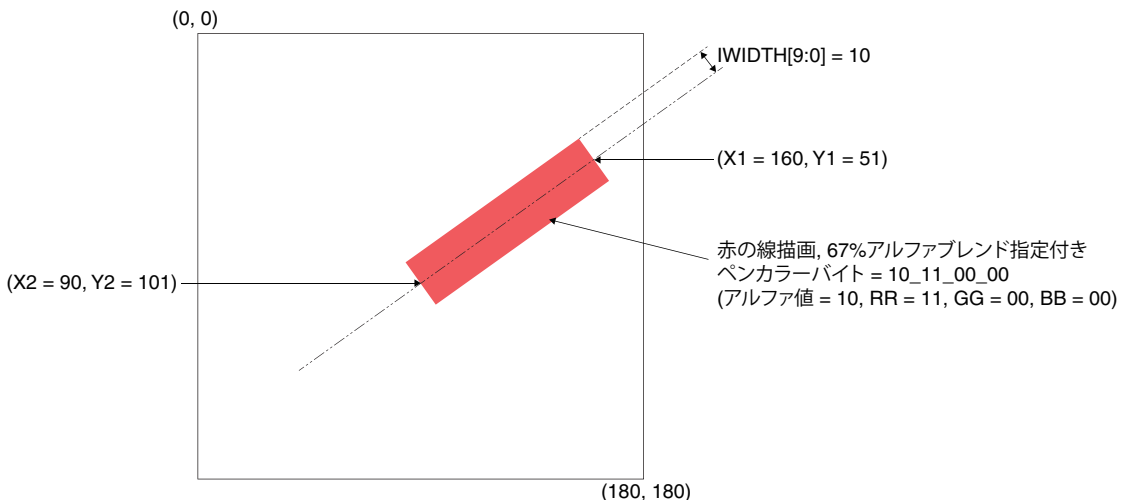


図23.6.3.1 線描画例

線幅(MDCGFXIWIDTH.IWIDTH[9:0]ビット)の値を10に設定していますが、実際の太さは $2 \times 10 + 1 = 21$ ピクセル($2 \times \text{MDCGFXIWIDTH.IWIDTH[9:0]ビット} + 1$)となります。

長方形の描画

長方形描画機能は、塗りつぶしありまたは塗りつぶしなしの長方形を描きます。その描画手順を以下に示します。

1. MDCGFXOBADDR0.OBASEADDR[15:0]ビットとMDCGFXOBADDR1.OBASEADDR[31:16]ビットを設定する。 (フレームバッファベースアドレスの指定)
2. MDCGFXOSTRIDE.OSTRIDE[9:0]ビットを設定する。 (フレームバッファストライド(水平サイズ)の指定)
3. MDCGFXIXCENTER.IXCENTER[9:0]ビットを設定する。 (長方形の左上端のX座標(X1)を指定)*1
4. MDCGFXIYCENTER.IYCENTER[9:0]ビットを設定する。 (長方形の左上端のY座標(Y1)を指定)*1
5. MDCGFXOXCENTER.OXCENTER[9:0]ビットを設定する。 (長方形の右下端のX座標(X2)を指定)*1
6. MDCGFXOYCENTER.OYCENTER[9:0]ビットを設定する。 (長方形の右下端のY座標(Y2)を指定)*1
*1 フレームバッファの左上端を座標(0,0)とする相対座標で指定します。
7. MDCGFXIWIDTH.IWIDTH[9:0]ビットを設定する。 (縦の線幅の指定(塗りつぶしなし長方形描画時))*2
8. MDCGFXIHEIGHT.IHEIGHT[9:0]ビットを設定する。 (横の線幅の指定(塗りつぶしなし長方形描画時))*2
*2 縦の線幅 > $[(X2 - X1) - 1] / 2$ の場合、内部で $[(X2 - X1) - 1] / 2$ にクリップされます。
横の線幅 > $[(Y2 - Y1) - 1] / 2$ の場合、内部で $[(Y2 - Y1) - 1] / 2$ にクリップされます。
9. MDCGFXCOLOR.COLOR[7:0]ビットを設定する。 (ペンの色/階調を指定)*3
*3 塗りつぶしありの場合は塗りつぶしの色/階調を、塗りつぶしなしの場合は線の色/階調を指定します。
10. 割り込みを使用する場合は以下のビットを設定する。
- MDCINTCTL.GFXIFビットに1を書き込み (割り込みフラグをクリア)
- MDCINTCTL.GFXIEビットを1に設定 (MDC割り込みイネーブル)
11. MDCGFXCTLレジスタの以下のビットを設定する。
- MDCGFXCTL.GFXFUNC[2:0]ビットを0x2に設定 (長方形描画機能を選択)
- MDCGFXCTL.FILLENビット (塗りつぶしイネーブル/ディスエーブル)
12. MDCTRIGCTL.GFXTRIGビットに1を書き込む。 (長方形描画を開始)

長方形の描画が終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。

下図に、6ビットカラーパネルに塗りつぶしありおよび塗りつぶしなしの長方形を描画する例を示します。

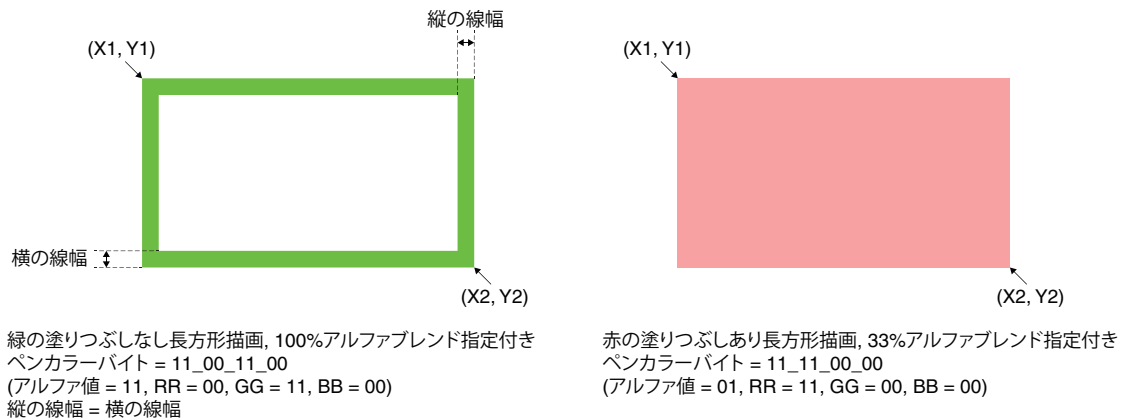


図23.6.3.2 長方形描画例

楕円の描画

楕円描画機能は、塗りつぶしありまたは塗りつぶしなしの楕円を描きます。その描画手順を以下に示します。

1. MDCGFXOBADDR0.OBASEADDR[15:0]ビットとMDCGFXOBADDR1.OBASEADDR[31:16]ビットを設定する。(フレームバッファベースアドレスの指定)
2. MDCGFXOSTRIDE.OSTRIDE[9:0]ビットを設定する。(フレームバッファストライド(水平サイズ)の指定)
3. MDCGFXIXCENTER.IXCENTER[9:0]ビットを設定する。(楕円中心のX座標を指定)*1
4. MDCGFXIYCENTER.IYCENTER[9:0]ビットを設定する。(楕円中心のY座標を指定)*1
*1 フレームバッファの左上端を座標(0,0)とする相対座標で指定します。
5. MDCGFXOXCENTER.OXCENTER[9:0]ビットを設定する。(X軸方向の半径(XR)を指定)*2
6. MDCGFXOYCENTER.OYCENTER[9:0]ビットを設定する。(Y軸方向の半径(YR)を指定)*2
*2 $XR > 0$ 、 $YR > 0$ 。 $XR = 0$ または $YR = 0$ の場合、描画は行われません。
7. MDCGFXIWIDTH.IWIDTH[9:0]ビットを設定する。(X中心軸交点の線幅指定(塗りつぶしなし楕円描画時))*3
8. MDCGFXIHEIGHT.IHEIGHT[9:0]ビットを設定する。(Y中心軸交点の線幅指定(塗りつぶしなし楕円描画時))*3
*3 線幅は、2つの指定値の差に従って、X軸交点とY軸交点の間でテーパ状になります。
 $XR < 3$ の場合、X軸交点の線幅は、内部で0にクリップされます。
 $YR < 3$ の場合、Y軸交点の線幅は、内部で0にクリップされます。
X軸交点の線幅 $\leq (XR/2)$
Y軸交点の線幅 $\leq (YR/2)$
9. MDCGFXCOLOR.COLOR[7:0]ビットを設定する。(ペンの色/階調を指定)*4
*4 塗りつぶしありの場合は塗りつぶしの色/階調を、塗りつぶしなしの場合は線の色/階調を指定します。
10. 割り込みを使用する場合は以下のビットを設定する。
- MDCINTCTL.GFXIFビットに1を書き込み (割り込みフラグをクリア)
- MDCINTCTL.GFXIEビットを1に設定 (MDC割り込みイネーブル)
11. MDCGFXCTLレジスタの以下のビットを設定する。
- MDCGFXCTL.GFXFUNC[2:0]ビットを0x4に設定 (楕円描画機能を選択)
- MDCGFXCTL.FILLENビット (塗りつぶしイネーブル/ディスエーブル)
12. MDCTRIGCTL.GFXTRIGビットに1を書き込む。(楕円描画を開始)

楕円の描画が終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。

下図に、6ビットカラーパネルに塗りつぶしありおよび塗りつぶしなしの楕円を描画する例を示します。

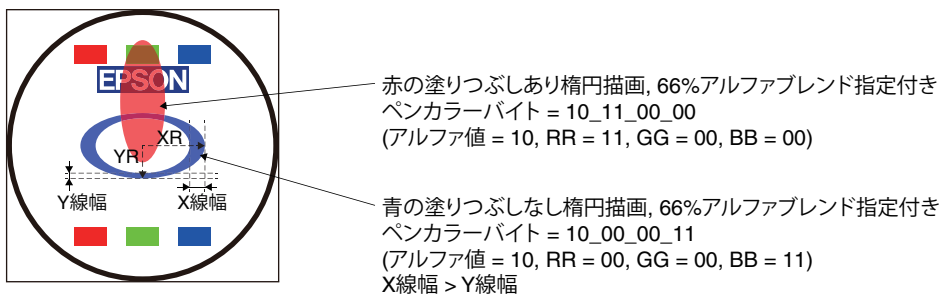


図23.6.3.3 楕円描画例

円弧の描画

円弧描画機能は、指定された中心のX/Y座標、開始/終了角度(X軸正方向を0度として反時計回りに増加)、X/Y軸交点の半径に従い、楕円形または円形の弧を描きます。その描画手順を以下に示します。

1. MDCGFXOBADDR0.OBASEADDR[15:0]ビットとMDCGFXOBADDR1.OBASEADDR[31:16]ビットを設定する。
(フレームバッファベースアドレスの指定)
2. MDCGFXOSTRIDE.OSTRIDE[9:0]ビットを設定する。
(フレームバッファストライド(水平サイズ)の指定)
3. MDCGFXIXCENTER.IXCENTER[9:0]ビットを設定する。
(円弧中心のX座標を指定)*1
4. MDCGFXIYCENTER.IYCENTER[9:0]ビットを設定する。
(円弧中心のY座標を指定)*1
*1 フレームバッファの左上端を座標(0,0)とする相対座標で指定します。
5. MDCGFXOXCENTER.OXCENTER[9:0]ビットを設定する。
(X軸方向の半径(XR)を指定)*2
6. MDCGFXOYCENTER.OYCENTER[9:0]ビットを設定する。
(Y軸方向の半径(YR)を指定)*2
*2 $XR > 0$ 、 $YR > 0$ 。 $XR = 0$ または $YR = 0$ の場合、描画は行われません。
7. MDCGFXROTVAL.ROTVAL[8:0]ビットを設定する。
(開始角度を指定)
8. MDCGFXISTRIDE.ISTRIDE[9:0]ビットを設定する。
(終了角度を指定)
9. MDCGFXIWIDTH.IWIDTH[9:0]ビットを設定する。
(X中心軸交点の線幅指定)*3
10. MDCGFXIHEIGHT.IHEIGHT[9:0]ビットを設定する。
(Y中心軸交点の線幅指定)*3
*3 線幅は、2つの指定値の差に従って、X軸交点とY軸交点の間でテーパ状になります。
 $XR < 3$ の場合、X軸交点の線幅は、内部で0にクリップされます。
 $YR < 3$ の場合、Y軸交点の線幅は、内部で0にクリップされます。
X軸交点の線幅 $\leq (XR/2)$
Y軸交点の線幅 $\leq (YR/2)$
11. MDCGFXCOLOR.COLOR[7:0]ビットを設定する。
(ペンの色/階調を指定)
12. 割り込みを使用する場合は以下のビットを設定する。
- MDCINTCTL.GFXIFビットに1を書き込み
(割り込みフラグをクリア)
- MDCINTCTL.GFXIEビットを1に設定
(MDC割り込みイネーブル)
13. MDCGFXCTL.GFXFUNC[2:0]ビットを0x7に設定する。
(円弧描画機能を選択)
14. MDCTRIGCTL.GFXTRIGビットに1を書き込む。
(円弧描画を開始)

円弧の描画が終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。

下図に、6ビットカラーパネルに円弧を描画する例を示します。

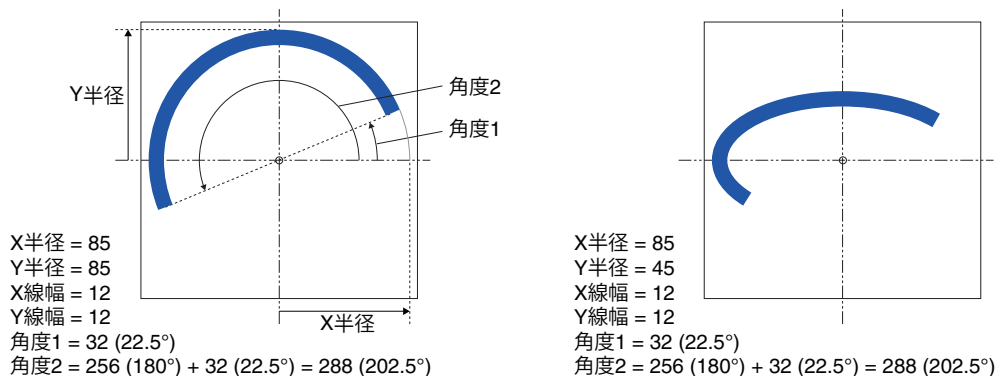


図23.6.3.4 円弧描画例

注: 円弧描画では、両端の線が指定された角度に合わせて平滑に描画されません(0、90、180、270度の場合を除く)。平滑な描画は、“S1C31D01サンプルプログラム”に含まれる“seMDC_GFX_DrawArc”関数を使用することで実現可能です。

23.6.4 コピーエンジン

概要と定義

コピーエンジンは、コピー元の画像またはビットマップのウィンドウからコピー先画像のウィンドウにピクセルを、指定により変形(回転+拡大縮小、または水平/垂直シアー)を加えてコピーします。

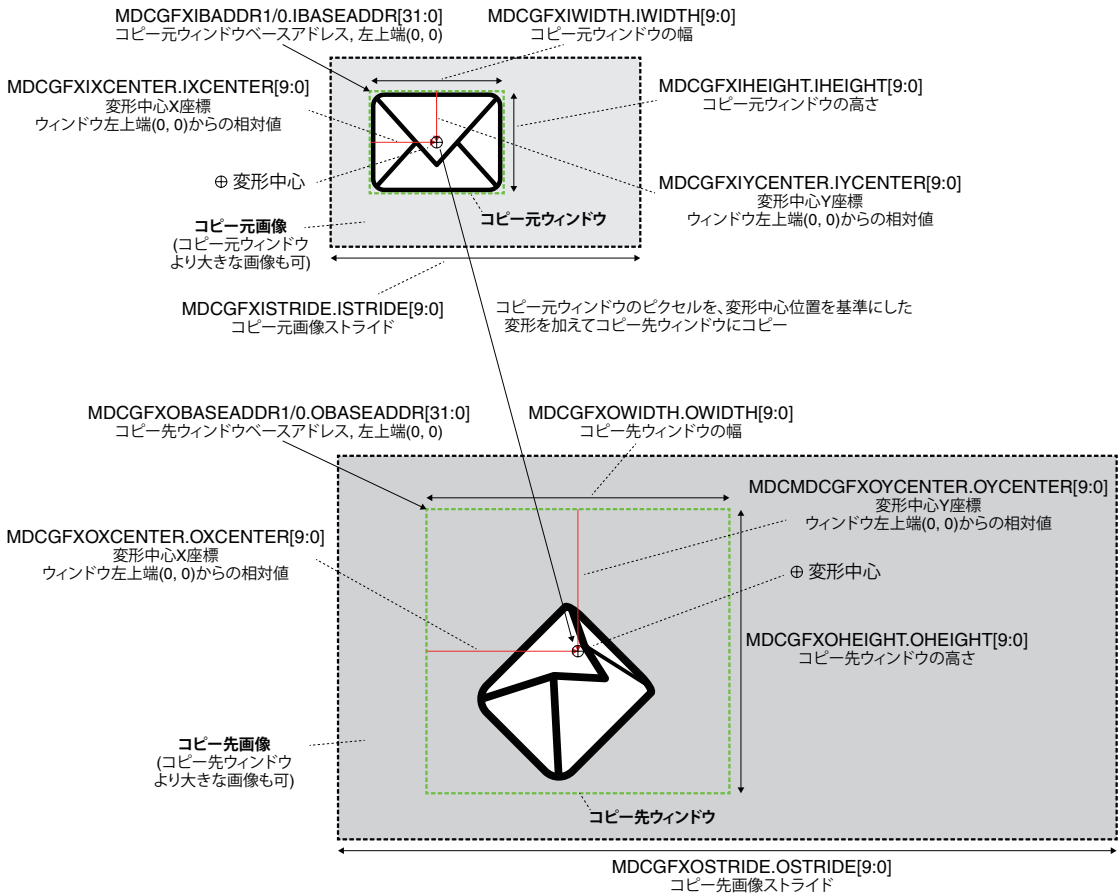


図23.6.4.1 コピーエンジンの定義

注: コピー機能は表示を更新しません。別途標示更新機能を実行する必要があります。

コピー元の画像とウィンドウ

ピクセルは、コピー元画像(またはビットマップ)内のウィンドウからコピー先画像内のウィンドウに、変形が加えられてコピーされます。一般的には、コピー元のウィンドウはコピー元の画像と同じサイズですが、ウィンドウを小さくしてコピー元の画像内をパンすることもできます。コピー元のウィンドウと画像のサイズや位置は、以下のパラメータにより定義されます。

- コピー元(入力)ウィンドウベースアドレス(MDCGFXIBADDR1/0.IBASEADDR[31:0]ビット)
 - コピー元ウィンドウの左上端に対応したメモリ位置を指し示します。
 - コピー元ウィンドウ左上端の座標は(0, 0)です。
 - コピー元画像のパンは、このベースアドレスを変更することにより実現します。
- コピー元(入力)ウィンドウの幅(MDCGFXIWIDTH.IWIDTH[9:0]ビット)
 - ピクセル数で表されるコピー元ウィンドウの幅です。
- コピー元(入力)ウィンドウの高さ(MDCGFXIHEIGHT.IHEIGHT[9:0]ビット)
 - ピクセル数で表されるコピー元ウィンドウの高さです。
- コピー元(入力)画像ストライド(MDCGFXISTRIDE.ISTRIDE[9:0]ビット)
 - コピー元画像の幅(1ラインのピクセル数)です。

- コピー元(入力)ウィンドウ内の変形中心X座標(MDCGFXIXCENTER.IXCENTER[9:0]ビット)
 - コピー元ウィンドウ内の画像に変形を加える場合の中心位置となるX座標で、ピクセル数で表されるウィンドウ左上端座標(0,0)からの相対値です。
 - 指定値は正の数値で、ウィンドウの左上端(0,0)から右に向かって値が大きくなります。
 - 変形(拡大/縮小、回転、シアー)はこの座標を中心として適用されます。
- コピー元(入力)ウィンドウ内の変形中心Y座標(MDCGFXIYCENTER.IYCENTER[9:0]ビット)
 - コピー元ウィンドウ内の画像に変形を加える場合の中心位置となるY座標で、ピクセル数で表されるウィンドウ左上端座標(0,0)からの相対値です。
 - 指定値は正の数値で、ウィンドウの左上端(0,0)から下に向かって値が大きくなります。
 - 変形(拡大/縮小、回転、シアー)はこの座標を中心として適用されます。

コピー先の画像とウィンドウ

コピー先の画像は、画像内をパンするためにコピー先のウィンドウよりも大きくすることができません。ただし、変形が加えられたコピー元画像は、コピー先ウィンドウのサイズ分のみコピーされ、ウィンドウの外側にあたる部分は書き込まれません。

コピーエンジンはコピー元ウィンドウに変形を加える際に、出力ウィンドウを算出します。(その結果は、MDCGFXOWLEFT.OWLEFT[9:0]ビット、MDCGFXOWRIGHT.OWRIGHT[9:0]ビット、MDCGFXOWTOP.OWTOP[9:0]ビット、MDCGFXOWBOT.OWBOT[9:0]ビットから読み出し可能です。)出力ウィンドウがコピー先ウィンドウ内に収まる場合、出力ウィンドウ部のピクセルのみがコピー先ウィンドウにコピーされ、コピー先ウィンドウ内の出力ウィンドウ以外の領域は元のピクセルがそのまま残ります。出力ウィンドウがコピー先ウィンドウからはみ出す場合、画像はコピー先ウィンドウのエッジでクリップされ、コピー先ウィンドウの外側に位置するピクセルはコピーされません。コピー先のウィンドウと画像のサイズや位置は、以下のパラメータにより定義されます。

- コピー先(出力)ウィンドウベースアドレス(MDCGFXOBASEADDR1/0.OBASEADDR[31:0]ビット)
 - コピー先ウィンドウの左上端に対応したメモリ位置を指し示します。
 - コピー先ウィンドウ左上端の座標は(0,0)です。
 - コピー先画像のパンは、このベースアドレスを変更することにより実現します。
- コピー先(出力)ウィンドウの幅(MDCGFXOWIDTH.OWIDTH[9:0]ビット)
 - ピクセル数で表されるコピー先ウィンドウの幅です。
- コピー先(出力)ウィンドウの高さ(MDCGFXOHEIGHT.OHEIGHT[9:0]ビット)
 - ピクセル数で表されるコピー先ウィンドウの高さです。
- コピー先(出力)画像ストライド((MDCGFXOSTRIDE.OSTRIDE[9:0]ビット)
 - コピー先画像の幅(1ラインのピクセル数)です。
- コピー先(出力)ウィンドウ内の変形中心X座標(GFXOXCENTER.OXCENTER[9:0]ビット)
 - コピーする画像の変形中心位置を置くコピー先ウィンドウ内のX座標で、ピクセル数で表されるウィンドウ左上端座標(0,0)からの相対値です。
 - 指定値は正の数値で、ウィンドウの左上端(0,0)から右に向かって値が大きくなります。
 - 変形画像はこの座標を中心位置としてコピーされます。
- コピー先(出力)ウィンドウ内の変形中心Y座標(GFXOYCENTER.OYCENTER[9:0]ビット)
 - コピーする画像の変形中心位置を置くコピー先ウィンドウ内のY座標で、ピクセル数で表されるウィンドウ左上端座標(0,0)からの相対値です。
 - 指定値は正の数値で、ウィンドウの左上端(0,0)から下に向かって値が大きくなります。
 - 変形画像はこの座標を中心位置としてコピーされます。

コピー元ピクセルアルファチャネル

SPI 1ビット白黒および3ビットカラーフォーマットのコピー元ピクセルは、ピクセルをコピーするかどうかを指定する1ビットのアルファチャネルを含んでいます。アルファチャネルが0の場合、ピクセルはコピー先に書き込まれません。1の場合はコピーされます。つまり、アルファチャネルビットはピクセルの透明/不透明を指定していることとなります。

6ビットカラーフォーマットのコピー元ピクセルは、2ビットのアルファチャネルを含んでいます。コピー先に書き込まれるピクセル値は、コピー元ピクセルの2ビットアルファ値を元に、コピー先ピクセルに対してコピー元ピクセルをアルファブレンドした値となります。

アルファ値0b00(0%)は、コピー元ピクセルがコピーされないことを意味し、0b11(100%)はコピー先ピクセルがコピー元ピクセルで上書きされることを意味します。0b01はコピー元ピクセルの色を33%の割合でコピー先ピクセルと合成することを意味します。同様に、0b10ではこの合成の割合が67%になります。

MDCGFXCTL.ALPHAOVRDビットにより、コピー元ピクセルのアルファ値を無効にすることができます。MDCGFXCTL.ALPHAOVRDビットが1の場合、MDCGFXCTL.ALPHAVAL[1:0]ビットの値をアルファ値としてすべてのコピー元ピクセルに適用します。

1/2/4/8 bppグレースケールフォーマットのコピー元ピクセルは、アルファチャンネル情報を含みません。コピー先のピクセルは、コピー元のピクセルで上書きされます。

注: SPI 3ビットカラーフォーマットでは、各データバイトの3ビット目と7ビット目に格納されたコピー元ピクセルのアルファチャンネルの値が同じである必要があります。

コピー元ビットマップ

MDCGFXCTL.BITMAPENビットにより、コピー元が一般的な画像(0)かビットマップ(1)かを指定します。MDCGFXCTL.BITMAPENビットを1に設定してビットマップを選択した場合、MDCGFXCTL.BITMAPFMTビットにより、ビットマップフォーマットが1ビット/ピクセルまたは2ビット/ピクセルに指定されます。

1ビットフォーマットでは、ビット値 = 0がコピー元ピクセルが透明であること(コピー先に書き込まれないこと)を意味し、1がMDCGFXCOLOR.COLOR[7:0]ビットで指定されたピクセルカラー(パネルのカラーフォーマットにより異なる)がコピー先に書き込まれることを意味します。

2ビットビットマップフォーマットは、6ビットカラーパネルにのみ有効です。2ビットフォーマットでは、コピー先ピクセルにMDCGFXCOLOR.COLOR[5:0]ビットで指定されたピクセルカラーをアルファブレンドする割合をビットマップ値が指定します。通常、ビットマップはフォントやアイコン/シェープに使用します。2ビットフォーマットは、それらのエッジのピクセルに33%や67%のアルファブレンド値を与えることによるエッジのスムージングを実現します。

塗りつぶしオプション

MDCGFXCTL.FILLENビットを1に設定してコピーを行うと、すべてのコピー元ピクセルは無効となり、コピー元画像やビットマップフォーマットに従ったMDCGFXCOLOR.COLOR[7:0]ビットの指定内容でコピー先のピクセルが塗りつぶされます。

コピー元ウィンドウの水平/垂直反転

MDCGFXCTL.CPYNEGXBITとMDCGFXCTL.CPYNEGYBITは、コピーの際に画像/ビットマップの上下/左右反転に使用します。MDCGFXCTL.CPYNEGXBITが1の場合、コピー元ウィンドウの画像/ビットマップは、変換の中心位置を通るY軸を中心に左右反転してコピーされます。MDCGFXCTL.CPYNEGYBITが1の場合、変換の中心位置を通るX軸を中心に上下反転してコピーされます。

注: • MDCGFXCTL.CPYNEGXBIT = 1の場合、MDCGFXIXCENTER.IXCENTER[9:0]ビットをコピー元画像の水平方向の中心に設定する必要があります。

• MDCGFXCTL.CPYNEGYBIT = 1の場合、MDCGFIYCENTER.IYCENTER[9:0]ビットをコピー元画像の垂直方向の中心に設定する必要があります。

回転、拡大/縮小付きの画像/ビットマップのコピー

COPYROTSSCALE機能は、コピー元ウィンドウのピクセルをコピー先ウィンドウに、指定された回転および拡大/縮小の両変換を加えてコピーします。

COPYROTSSCALE機能の実行手順を以下に示します。

ウィンドウの設定

1. MDCGFXIBADDR0.IBASEADDR[15:0]ビットと MDCGFXIBADDR1.IBASEADDR[31:16]ビットを設定する。(コピー元ウィンドウベースアドレスを指定)
2. MDCGFXIXCENTER.IXCENTER[9:0]ビットを設定する。(コピー元ウィンドウの回転/拡大/縮小中心X座標を指定)
3. MDCGFXIYCENTER.IYCENTER[9:0]ビットを設定する。(コピー元ウィンドウの回転/拡大/縮小中心Y座標を指定)
4. MDCGFXIWIDTH.IWIDTH[9:0]ビットを設定する。(コピー元ウィンドウの幅を指定)
5. MDCGFXIHEIGHT.IHEIGHT[9:0]ビットを設定する。(コピー元ウィンドウの高さを指定)
6. MDCGFXISTRIDE.ISTRIDE[9:0]ビットを設定する。(コピー元画像ストライドを指定)
7. MDCGFXOBADDR0.OBASEADDR[15:0]ビットと MDCGFXOBADDR1.OBASEADDR[31:16]ビットを設定する。(コピー先ウィンドウベースアドレスを指定)
8. MDCGFXOXCENTER.OXCENTER[9:0]ビットを設定する。(コピー先ウィンドウの回転/拡大/縮小中心X座標を指定)
9. MDCGFXOYCENTER.OYCENTER[9:0]ビットを設定する。(コピー先ウィンドウの回転/拡大/縮小中心Y座標を指定)
10. MDCGFXOWIDTH.OWIDTH[9:0]ビットを設定する。(コピー先ウィンドウの幅を指定)
11. MDCGFXOHEIGHT.OHEIGHT[9:0]ビットを設定する。(コピー先ウィンドウの高さを指定)
12. MDCGFXOSTRIDE.OSTRIDE[9:0]ビットを設定する。(コピー先画像ストライドを指定)

回転の設定

13. MDCGFXROTVAL.ROTVAL[8:0]ビットを設定する。(回転角度を指定)

拡大/縮小の指定

14. MDCGFXXLSCALE.XLSCALE[13:0]ビットを設定する。(左半分の拡大/縮小率を指定)
15. MDCGFXXRSCALE.XRSCALE[13:0]ビットを設定する。(右半分の拡大/縮小率を指定)
16. MDCGFXYTSCALE.YTSCALE[13:0]ビットを設定する。(上半分の拡大/縮小率を指定)
17. MDCGFXYBSCALE.YBSCALE[13:0]ビットを設定する。(下半分の拡大/縮小率を指定)

COPYROTSSCALE機能の実行

18. MDCGFXCOLOR.COLOR[7:0]ビットを設定する。(塗りつぶしの色/階調を指定)*1

*1 MDCGFXCTL.BITMAPENビット = 1またはMDCGFXCTL.FILLENビット = 1の場合にのみ指定します。

19. 割り込みを使用する場合は以下のビットを設定する。
 - MDCINTCTL.GFXIFビットに1を書き込み (割り込みフラグをクリア)
 - MDCINTCTL.GFXIEビットを1に設定 (MDC割り込みイネーブル)
20. MDCGFXCTLレジスタの以下のビットを設定する。
 - MDCGFXCTL.GFXFUNC[2:0]ビットを0x0に設定 (COPYROTSSCALE機能を選択)
 - MDCGFXCTL.ALPHAOVRDビット (アルファ値上書きイネーブル/ディスエーブル)
 - MDCGFXCTL.ALPHAVAL[1:0]ビット (上書きアルファ値の指定)
 - MDCGFXCTL.BITMAPENビット (画像コピー / ビットマップコピーの選択)
 - MDCGFXCTL.BITMAPFMTビット (ビットマップフォーマット(1ビット/2ビット)の選択)
 - MDCGFXCTL.FILLENビット (塗りつぶしオプションイネーブル/ディスエーブル)
 - MDCGFXCTL.CPYNEGXビット (水平反転イネーブル/ディスエーブル)
 - MDCGFXCTL.CPYNEGYビット (垂直反転イネーブル/ディスエーブル)
21. MDCTRIGCTL.GFXTRIGビットに1を書き込む。(コピーを開始)

コピーが終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。

回転パラメータ

コピー元画像を、変形中心位置を中心として反時計回りに回転させることができます。その回転角度をMDCGFXROTVAL.ROTVAL[8:0]ビットで指定します。設定値は次の式のとおり、回転角度から算出できます。

$$\text{ROTVAL}[8:0] = \frac{\langle \text{回転角度} \rangle \times 512}{360} \quad (\text{式23.1})$$

拡大/縮小パラメータ

コピー元ウィンドウを変形中心位置で4つの領域に分け、それぞれ個別に拡大/縮小率を指定することができます。それぞれの指定にはMDCGFXYTSCALE.YTSCALE[13:0]ビット(上半分)、FXYSBSCALE.YBSCALE[13:0]ビット(下半分)、MDCGFXXLSCALE.XLSCALE[13:0]ビット(左半分)、MDCGFXXRSCALE.XRSCALE[13:0]ビット(右半分)を使用します。拡大/縮小率はこれらのビットの設定値を256で割った値です。たとえば、512を設定した場合、拡大/縮小率はx2(2倍拡大)になります。

注: 指定する値によって拡大/縮小率に誤差が生じる可能性があります。パラメータの設定値は“S1C31D01サンプルプログラム”に含まれる“imgcpy_calcscale.exe”を使用して算出してください。

次の図は、非対称の縮小と反時計回り45度の回転を加えて画像をコピーする例です。

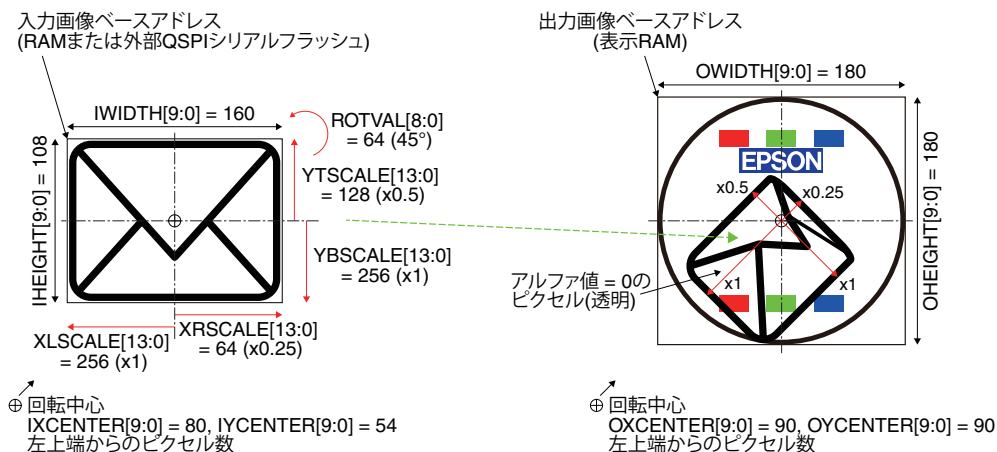


図23.6.4.2 拡大/縮小、回転を加えた画像コピー例

次の図は、MDCGFXCTL.FILLENビットを1(ベタの塗りつぶし)に設定した画像コピーにより、出力画像を消去する例です。

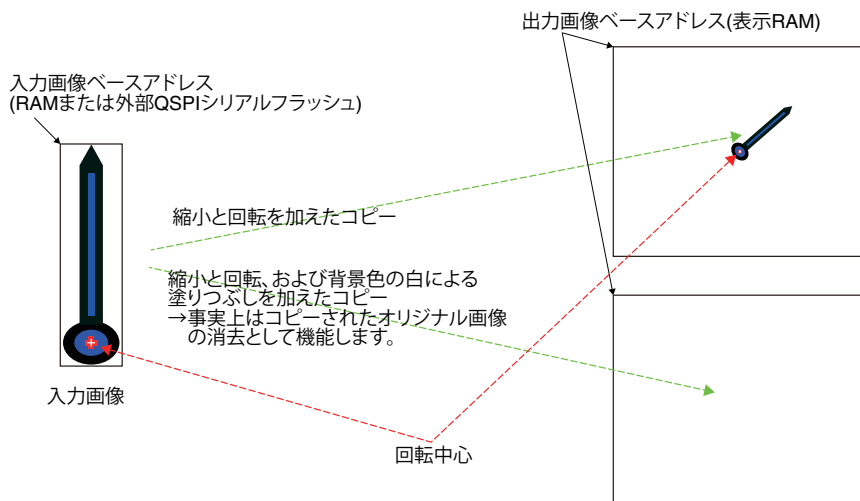
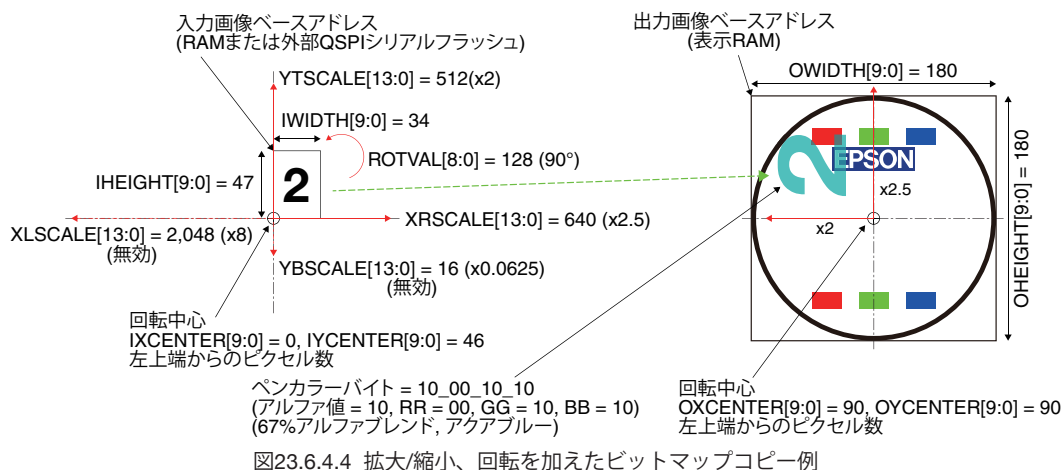


図23.6.4.3 塗りつぶしオプションを指定した画像コピー例

次の図は、反時計回り90度の回転を加えたビットマップコピーの例です。



入力ビットマップの変形中心位置の設定により、MDCGFXXLSCALE.XLSCALE[13:0]ビットおよびMDCGFXYBSKALE.YBSKALE[13:0]ビットは結果に影響を与えません。

水平/垂直シアー付きの付きの画像/ビットマップのコピー

COPYHVSHEAR機能は、コピー(入力)元画像/ビットマップをコピー(出力)先の位置に、指定された水平/垂直シアーの変換を加えてコピーします。

COPYHVSHEAR機能の実行手順を以下に示します。

ウィンドウの設定

- MDCGFXIBADDR0.IBASEADDR[15:0]ビットとMDCGFXIBADDR1.IBASEADDR[31:16]ビットを設定する。(コピー元ウィンドウベースアドレスを指定)
- MDCGFXIXCENTER.IXCENTER[9:0]ビットを設定する。(コピー元ウィンドウのシアー中心X座標を指定)
- MDCGFXIYCENTER.IYCENTER[9:0]ビットを設定する。(コピー元ウィンドウのシアー中心Y座標を指定)
- MDCGFXIWIDITH.IWIDITH[9:0]ビットを設定する。(コピー元ウィンドウの幅を指定)
- MDCGFXIHEIGHT.IHEIGHT[9:0]ビットを設定する。(コピー元ウィンドウの高さを指定)
- MDCGFXISTRIDE.ISTRIDE[9:0]ビットを設定する。(コピー元画像ストライドを指定)
- MDCGFXOBADDR0.OBASEADDR[15:0]ビットとMDCGFXOBADDR1.OBASEADDR[31:16]ビットを設定する。(コピー元ウィンドウベースアドレスを指定)
- MDCGFXOXCENTER.OXCENTER[9:0]ビットを設定する。(コピー先ウィンドウのシアー中心X座標を指定)
- MDCGFXOYCENTER.OYCENTER[9:0]ビットを設定する。(コピー先ウィンドウのシアー中心Y座標を指定)
- MDCGFXOWIDITH.OWIDITH[9:0]ビットを設定する。(コピー先ウィンドウの幅を指定)
- MDCGFXOHEIGHT.OHEIGHT[9:0]ビットを設定する。(コピー先ウィンドウの高さを指定)
- MDCGFXOSTRIDE.OSTRIDE[9:0]ビットを設定する。(コピー先画像ストライドを指定)

シアーの設定

- MDCGFXSHEARレジスタの以下のビットを設定する。
 - MDCGFXSHEAR.XSHEAR[6:0]ビット (水平シアーの傾きを指定)
 - MDCGFXSHEAR.YSHEAR[6:0]ビット (垂直シアーの傾きを指定)

COPYHVSHEAR機能の実行

- MDCGFXCOLOR.COLOR[7:0]ビットを設定する。(塗りつぶしの色/階調を指定)*1

*1 MDCGFXCTL.BITMAPENビット = 1またはMDCGFXCTL.FILLENビット = 1の場合にのみ指定します。

15. 割り込みを使用する場合は以下のビットを設定する。

- MDCINTCTL.GFXIFビットに1を書き込み (割り込みフラグをクリア)
- MDCINTCTL.GFXIEビットを1に設定 (MDC割り込みイネーブル)

20. MDCGFXCTLレジスタの以下のビットを設定する。

- MDCGFXCTL.GFXFUNC[2:0]ビットを0x1に設定 (COPYHVSHEAR機能を選択)
- MDCGFXCTL.ALPHAOVRDビット (アルファ値上書きイネーブル/ディスエーブル)
- MDCGFXCTL.ALPHAVAL[1:0]ビット (上書きアルファ値の指定)
- MDCGFXCTL.BITMAPENビット (画像コピー/ビットマップコピーの選択)
- MDCGFXCTL.BITMAPFMTビット (ビットマップフォーマット(1ビット/2ビット)の選択)
- MDCGFXCTL.FILLENビット (塗りつぶしオプションイネーブル/ディスエーブル)
- MDCGFXCTL.SHEARNEGXビット (水平シアー反転イネーブル/ディスエーブル)
- MDCGFXCTL.SHEARNEGYビット (垂直シアー反転イネーブル/ディスエーブル)
- MDCGFXCTL.CPYNEGXビット (水平反転イネーブル/ディスエーブル)
- MDCGFXCTL.CPYNEGYビット (垂直反転イネーブル/ディスエーブル)

21. MDCTRIGCTL.GFXTRIGビットに1を書き込む。 (コピーを開始)

コピーが終了すると、MDCTRIGCTL.GFXTRIGビットは自動的に0にクリアされ、MDCINTCTL.GFXIFビットが1にセットされます。

シアーパラメータ

シアー変形では、次の式に従って各コピー元ピクセル座標(コピー元ウィンドウの変形中心位置からの相対値)をコピー先ウィンドウの新たな座標(コピー先ウィンドウの変形中心位置からの相対値)に配置します。

$$OX = (IX + (XS/32) \times IY) \quad OY = (IY + (YS/32) \times IX) \quad \text{(式23.2)}$$

ここで

OX: コピー先ピクセルのX座標(コピー先ウィンドウ変形中心位置からの相対値)

OY: コピー先ピクセルのY座標(コピー先ウィンドウ変形中心位置からの相対値)

IX: コピー元ピクセルのX座標(コピー基ウィンドウ変形中心位置からの相対値)

IY: コピー元ピクセルのY座標(コピー基ウィンドウ変形中心位置からの相対値)

XS: 水平シアーの傾き(せん断因子)

XS = MDCGFXSHEAR.XSHEAR[6:0] (MDCGFXCTL.SHEARNEGXビット = 0の場合)

XS = -MDCGFXSHEAR.XSHEAR[6:0] (MDCGFXCTL.SHEARNEGXビット = 1の場合)

YS: 垂直シアーの傾き(せん断因子)

YS = MDCGFXSHEAR.YSHEAR[6:0] (MDCGFXCTL.SHEARNEGYビット = 0の場合)

YS = -MDCGFXSHEAR.YSHEAR[6:0] (MDCGFXCTL.SHEARNEGYビット = 1の場合)

次の図は、水平方向のみシアー変形を加えて画像をコピーする例です。

(MDCGFXSHEAR.XSHEAR[6:0]ビット = 32, MDCGFXSHEAR.YSHEAR[6:0]ビット = 0,

MDCGFXCTL.SHEARNEGXビット = 0, MDCGFXCTL.SHEARNEGYビット = 0)

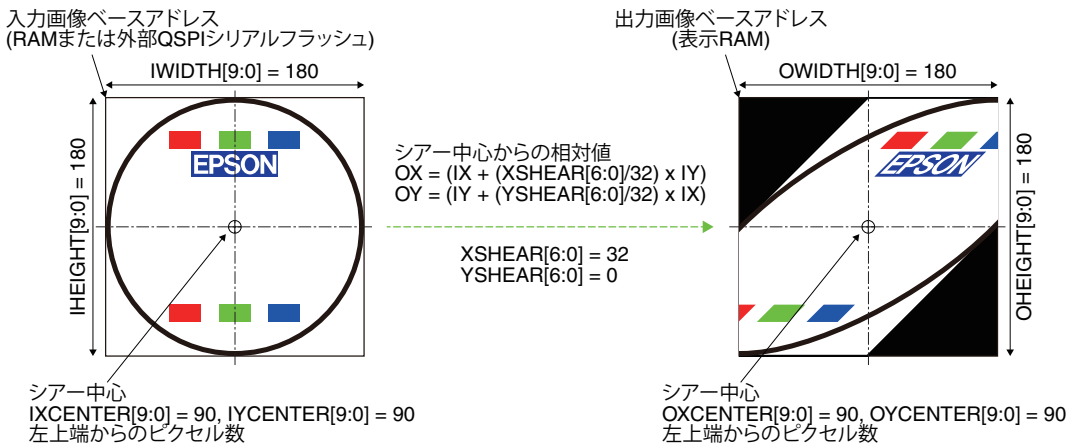


図23.6.4.5 水平シアーを加えた画像コピー例

次の図は、垂直方向のみシアー変形を加えて画像をコピーする例です。

(MDCGFXSHEAR.XSHEAR[6:0]ビット = 0, MDCGFXSHEAR.YSHEAR[6:0]ビット = 32,
MDCGFXCTL.SHEARNEGXビット = 0, MDCGFXCTL.SHEARNEG Yビット = 0)

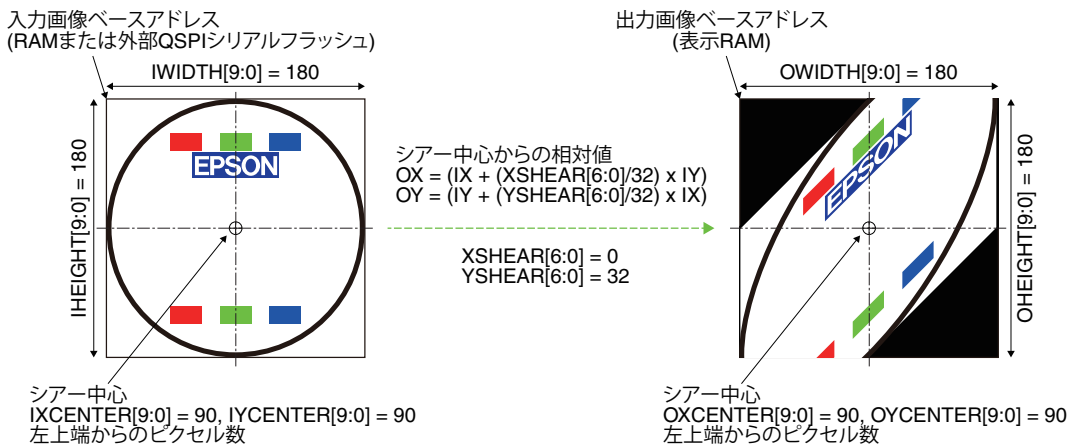


図23.6.4.6 垂直シアーを加えた画像コピー例

次の図は、異なる変形中心を持つ2つのビットマップにそれぞれ水平方向のシアー変形と垂直方向のシアー変形を加えて画像をコピーする例です。

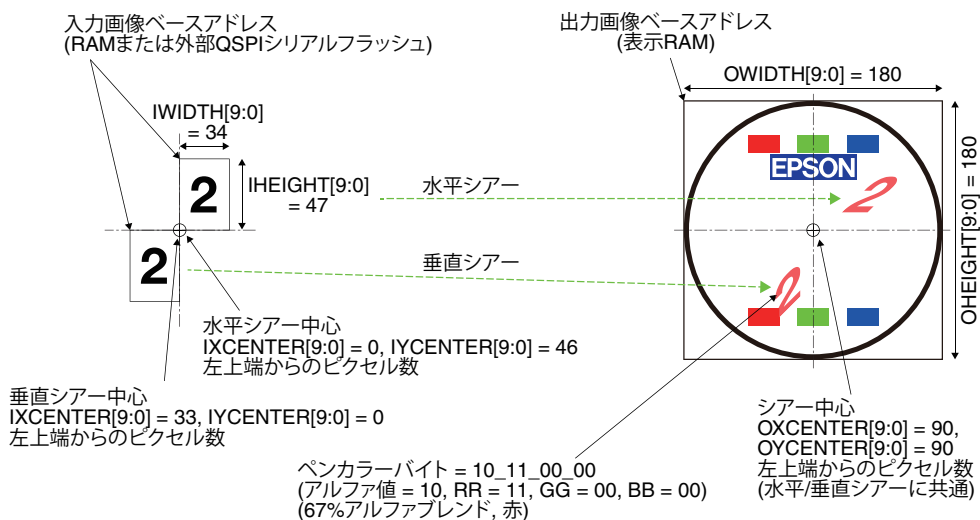


図23.6.4.7 水平/垂直シアーを加えた画像コピー例

- 注:
- MDCGFXCTL.SHEARNEG Xビット = 1の場合、MDCGFXIYCENTER.IYCENTER[9:0]ビットはコピー元画像の垂直方向の中心に設定する必要があります。
 - MDCGFXCTL.SHEARNEG Yビット = 1の場合、MDCGFXIXCENTER.IXCENTER[9:0]ビットはコピー元画像の水平方向の中心に設定する必要があります。

23.7 ホストインタフェース

ホストインタフェースは、外部ホストMCUによるMDCへのアクセス、および本MCUの内部バスを介した内蔵メモリ/周辺回路へのアクセスを可能とします。インタフェースの種類として、インダイレクト8ビットパラレルおよびSPI/QSPI(シングル、デュアル、クワッドSPI)に対応しており、端子の設定により選択できます。端子構成および外部ホストMCUとの接続例については、“23.2 入出力端子と外部接続”を参照してください。

注: ・ 内蔵CPUと外部ホストMCUは、内蔵メモリや周辺回路レジスタなど、共通のリソースにアクセスします。したがって、本MCUと外部ホストMCUのプログラムは、リソースの整合性が保たれるよう、注意して作成してください。

- ・ ホストインタフェースは内部バスに対して8ビットライトのみを行います。したがって、16ビットまたは32ビットライトが必要なサウンドジェネレータやDMAコントローラは、ホストMCUからホストインタフェースを介し、直接アクセスして使用することはできません。

23.7.1 初期設定

外部ホストMCUから本MCUの内部をアクセスするには、本MCU内のプログラムで事前に以下の設定を行っておく必要があります。

1. ホストインタフェースの入出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
2. OSC1クロックおよびSYSCLKを設定する(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。

本MCUには外部ホストMCUからのみアクセス可能なMDCHOSTCTLレジスタが設けられており、外部ホストMCUから以下の制御が行えるようになっています。

1. 本MCUへのソフトウェアリセット要求
2. INTMDC割り込み出力信号極性の設定
3. OSC1発振回路の強制ON
4. システムクロックとそのクロックソースの強制ON

本MCUがスリープ中(クロック停止時)でも、外部ホストMCUは内部リソースにアクセス可能です。そのためには、外部ホストMCUからMDCHOSTCTL.SYSOSCENビットを1に設定し、システムクロックソースクロックをアクティブにする必要があります(クロック動作中に実行しても問題はありません)。

23.7.2 インダイレクト8ビットパラレルインタフェース

インダイレクト8ビットパラレルインタフェースは、HIFCNF端子をLOWにプルダウンすることにより選択されます。このインタフェースでは、8ビットデータバスを使用して外部ホストMCUからコマンドとアドレスを指定し、データをリード/ライトします。

外部ホストMCUからのライトアクセス

図23.7.2.1に外部ホストによるライトアクセスの例を示します。

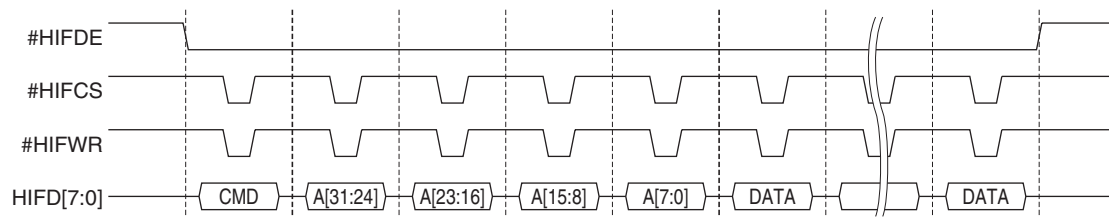


図23.7.2.1 インダイレクト8ビットライトアクセス例

外部ホストMCUは、#HIFDE(デバイスイネーブル)信号をアサートして本MCUへのアクセスを開始します。ライトアクセスは、1バイトのコマンドライトサイクル、4バイトのアドレスライトサイクル(ライトスタートアドレスを上位8ビット(A[31:24])から順に送出)、1バイト以上のデータライトサイクルで構成されます。各データバイトの書き込みごとに、アドレスは自動的にインクリメントされます。

データライトが完了すると、外部ホストMCUは#HIFDE信号をネゲートしてライトアクセスを終了します。データライト完了前でも、#HIFDE信号がHIGHになるとライトアクセスは終了します。ライトサイクルでは#HIFCSおよび#HIFWR信号が共にLOWになります。

ライトコマンド

ライトアクセス時は、最初のコマンドライトサイクルで、以下の中の1つのコマンドが外部ホストMCUから送られます。

- PAGEPROG = 0x02
- EXTDUALINFASTPROG = 0xd2
- EXTQUADINFASTPROG = 0x12
- DUALINFASTPROG = 0xa2
- QUADINFASTPROG = 0x32

外部ホストMCUからのリードアクセス

図23.7.2.2に外部ホストによるリードアクセスの例を示します。

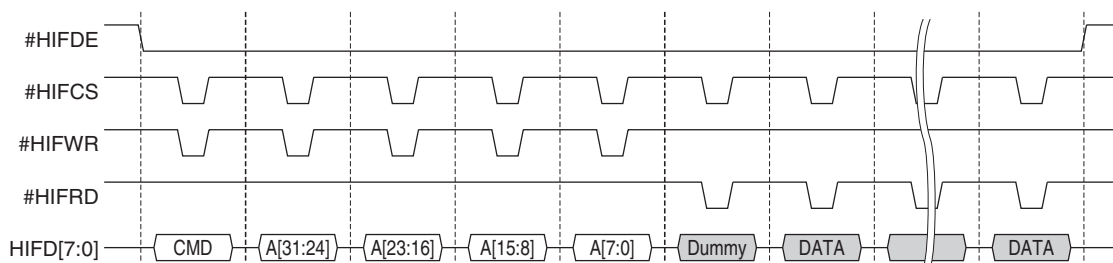


図23.7.2.2 インダイレクト8ビットリードアクセス例

外部ホストMCUは、#HIFDE(デバイスイネーブル)信号をアサートして本MCUへのアクセスを開始します。リードアクセスは、1バイトのコマンドライトサイクル、4バイトのアドレスライトサイクル(リードスタートアドレスを上位8ビット(A[31:24])から順に送出)、1バイトのダミーリードサイクル、1バイト以上のデータリードサイクルで構成されます。各データバイトの読み出しごとに、アドレスは自動的にインクリメントされます。データリードが完了すると、外部ホストMCUは#HIFDE信号をネゲートしてリードアクセスを終了します。データリード完了前でも、#HIFDE信号がHIGHになるとリードアクセスは終了します。

リードサイクルでは#HIFCSおよび#HIFRD信号が共にLOWになります。

リードコマンド

リードアクセス時は、最初のコマンドライトサイクルで、以下の中の1つのコマンドが外部ホストMCUから送られます。

- READ = 0x03
- FASTREAD = 0x0b
- DUALOUTFASTREAD = 0x3b
- DUALIOFASTREAD = 0xbb
- QUADOUTFASTREAD = 0x6b
- QUADIOFASTREAD = 0xeb

23.7.3 SPI/QSPIシリアルインタフェース

SPI/QSPIシリアルインタフェースは、HIFCNF端子をHIGHにプルアップすることにより選択されます。さらに、HSPISSEL1およびHSPISSEL0端子の設定により、プロトコルをシングルSPI(HSPISSEL[1:0] = 0b1*)、デュアルSPI(HSPISSEL[1:0] = 0b10)、クワッドSPI(HSPISSEL[1:0] = 0b11)から選択します。

外部ホストMCUからのライトアクセス

図23.7.3.1に外部ホストによるライトアクセスの例を示します。

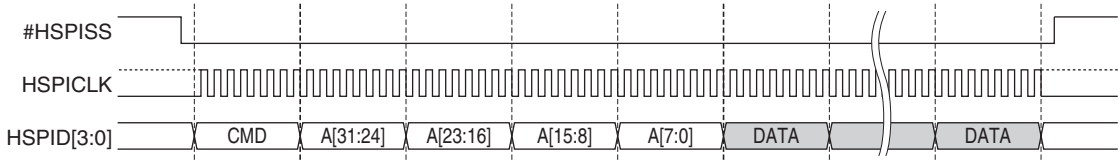


図23.7.3.1 SPI/QSPIライトアクセス例

外部ホストMCUは、#HSPISS(スレーブセレクト)信号をアサートして本MCUへのアクセスを開始します。ライトアクセスは、1バイトのコマンドライト、4バイトのアドレスライト(ライトスタートアドレスを上位8ビット(A[31:24])から順に送出)、1バイト以上のバーストライトで構成されます。各データバイトの書き込みごとに、アドレスは自動的にインクリメントされます。データライトが完了すると、外部ホストMCUは#HSPISS信号をネゲートしてライトアクセスを終了します。データライト完了前でも、#HSPISS信号がHIGHになるとライトアクセスは終了します。

外部ホストMCUからのリードアクセス

図23.7.3.2に外部ホストによるリードアクセスの例を示します。

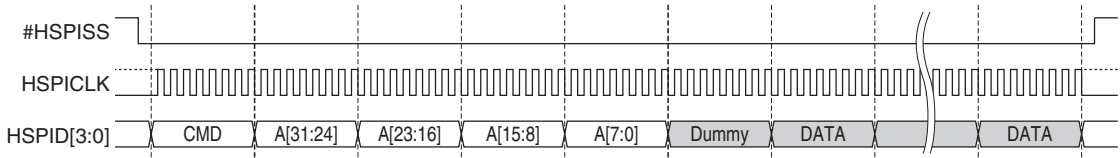


図23.7.3.2 SPI/QSPIリードアクセス例

外部ホストMCUは、#HSPISS(スレーブセレクト)信号をアサートして本MCUへのアクセスを開始します。リードアクセスは、1バイトのコマンドライト、4バイトのアドレスライト(リードスタートアドレスを上位8ビット(A[31:24])から順に送出)、1バイトのダミーリード、1バイト以上のバーストリードで構成されます。各データバイトの読み出しごとに、アドレスは自動的にインクリメントされます。データリードが完了すると、外部ホストMCUは#HSPISS信号をネゲートしてリードアクセスを終了します。データリード完了前でも、#HSPISS信号がHIGHになるとリードアクセスは終了します。

SPI/QSPIプロトコル

a. シングル/拡張SPIプロトコル(HSPISEL1 = 0, HSPISEL0 = don't care)

READ/FASTREAD/PAGEPROGコマンド

コマンドバイト: シングルビットI/O (8クロック/バイト)

アドレスバイト: シングルビットI/O (8クロック/バイト)

データバイト: シングルビットI/O (8クロック/バイト)

DUALOUTFASTREAD/DUALINFASTPROGコマンド

コマンドバイト: シングルビットI/O (8クロック/バイト)

アドレスバイト: シングルビットI/O (8クロック/バイト)

データバイト: デュアルビットI/O (4クロック/バイト)

DUALIOFASTREAD/EXTDUALINFASTPROGコマンド

コマンドバイト: シングルビットI/O (8クロック/バイト)

アドレスバイト: デュアルビットI/O (4クロック/バイト)

データバイト: デュアルビットI/O (4クロック/バイト)

QUADOUTFASTREAD/QUADINFASTPROGコマンド:

コマンドバイト: シングルビットI/O (8クロック/バイト)

アドレスバイト: シングルビットI/O (8クロック/バイト)

データバイト: クワッドビットI/O (2クロック/バイト)

QUADIOFASTREAD/EXTQUADINFASTPROGコマンド:

コマンドバイト: シングルビットI/O (8クロック/バイト)

アドレスバイト: クワッドビットI/O (2クロック/バイト)

データバイト: クワッドビットI/O (2クロック/バイト)

b. デュアルSPIプロトコル(HSPISEL1 = 1, HSPISEL0 = 0)

全コマンド

コマンドバイト: デュアルビットI/O (4クロック/バイト)

アドレスバイト: デュアルビットI/O (4クロック/バイト)

データバイト: デュアルビットI/O (4クロック/バイト)

c. クワッドSPIプロトコル(HSPISEL1 = 1, HSPISEL0 = 1)

全コマンド

コマンドバイト: クワッドビットI/O (2クロック/バイト)

アドレスバイト: クワッドビットI/O (2クロック/バイト)

データバイト: クワッドビットI/O (2クロック/バイト)

データフォーマット

ホストインタフェースがサポートするSPI/QSPIのデータフォーマットは以下のとおりです。

データ長: 8ビット

入出力順列: MSB先頭

クロックの位相: Mode 0/Mode 3 (立ち上がりエッジでデータをラッチ、立ち下がりエッジでデータをシフト)

クロックの極性: Mode 0 (アイドル時LOWレベル)
Mode 3 (アイドル時HIGHレベル)

23 メモリディスプレイコントローラ(MDC)

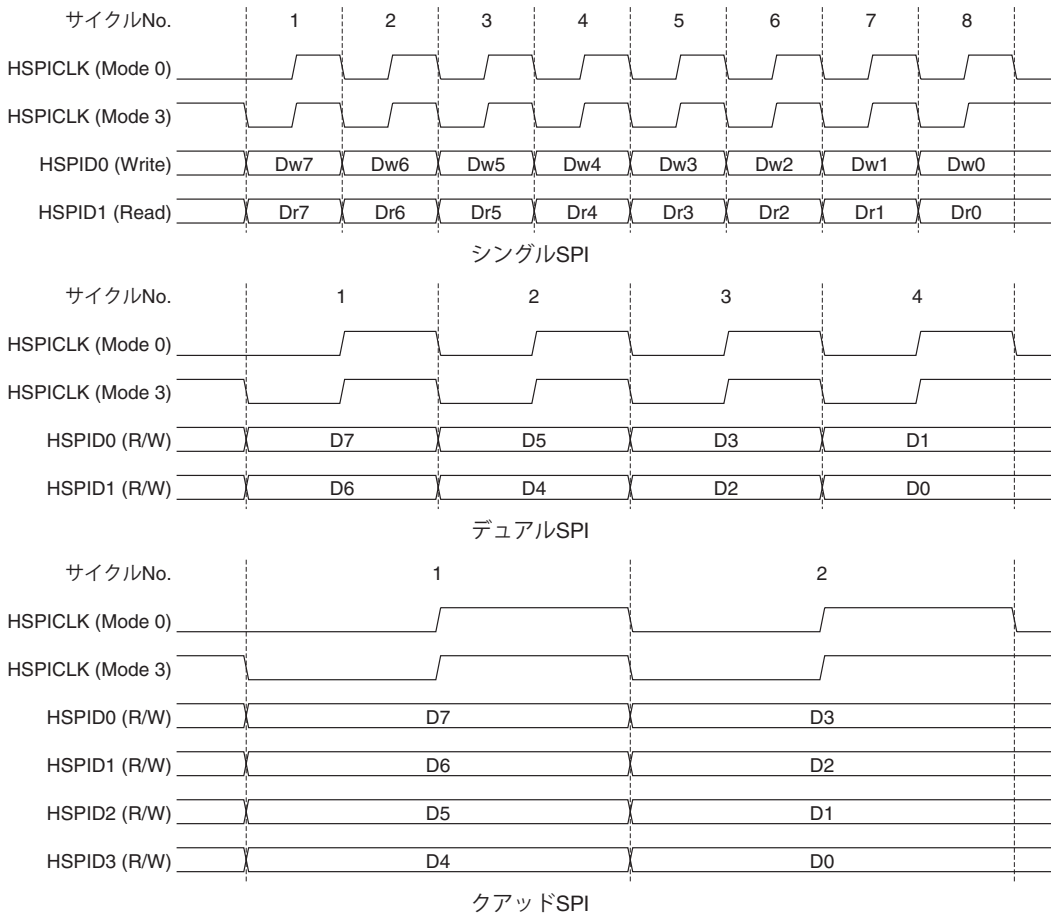


図23.7.3.3 SPI/QSPIデータフォーマット

リード/ライトコマンド

インダイレクト8ビットパラレルインタフェースと同じコマンドを使用します。

ライトコマンド

- PAGEPROG = 0x02
- EXTDUALINFASTPROG = 0xd2 *
- EXTQUADINFASTPROG = 0x12 *
- DUALINFASTPROG = 0xa2 *
- QUADINFASTPROG = 0x32 *

リードコマンド

- READ = 0x03
- FASTREAD = 0x0b
- DUALOUTFASTREAD = 0x3b *
- DUALIOFASTREAD = 0xbb *
- QUADOUTFASTREAD = 0x6b *
- QUADIOFASTREAD = 0xeb *

* 拡張SPIモード

シングルSPI設定時に上記の*で指定されたコマンドを受け取ると、ホストインタフェースは拡張SPIモードに設定されます。拡張SPIモードでは、アドレスの入力とデータの入力/出力をHIFD[1:0]端子(EXTDUAL***またはDUAL***コマンド受信時)、またはHIFD[3:0]端子(EXTQUAD***またはQUAD***コマンド受信時)を使用して行います。このときの動作は、デュアルSPIまたはクアドSPIと同じになります。

23.8 割り込み

MDCには、表23.8.1に示す割り込みを発生させる機能があります。

表23.8.1 MDCの割り込み機能

割り込み	割り込みフラグ	セット	クリア
表示更新/描画/コピー完了	MDCINTCTL.GFXIF	トリガにより開始した動作(表示更新、線/長方形/楕円/円弧描画、コピー)が完了したとき	1書き込み

割り込みフラグには、対応する割り込みイネーブルビットがあります。割り込みがイネーブルになっているときに割り込みフラグがセットされた場合のみ、CPUに割り込み要求が出力されます。割り込み発生時の制御については、“割り込み”の章を参照してください。

INTMDC信号出力

外部ホストMCUに対してもMDC割り込み要求を出力するため、MDCにはINTMDC信号を出力する機能があります。

この機能を使用するには、以下の設定を行ってください。

1. INTMDC出力をポートに割り当てる(“入出力ポート”の章を参照)。
2. MDCHOSTCTL.INTPOLビットを設定する。(INTMDC信号極性を選択)

INTMDC信号はMDC割り込みがイネーブルになっているときに割り込みフラグがセットされるとアサートされ、割り込みフラグがクリアされるとネゲートされます。MDC割り込み回路を図23.8.1に示します。

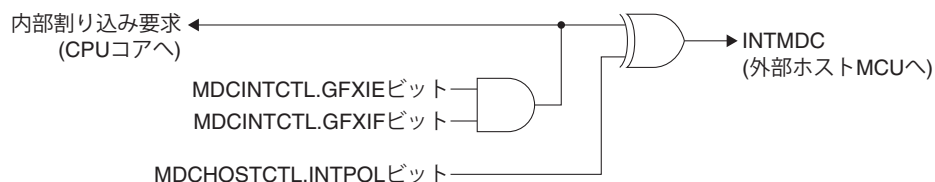


図23.8.1 MDC割り込み回路

23.9 制御レジスタ

MDC Display Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPCTL	15-14	–	0x0	–	R	–
	13-12	GSTYPE[1:0]	0x0	H0	R/W	
	11	DISPGS	0	H0	R/W	
	10	RGBORD	0	H0	R/W	
	9	ADDRLSB	0	H0	R/W	
	8	–	0	–	R	
	7	DISPINVERT	0	H0	R/W	
	6	UPDFUNC	0	H0	R/W	
	5	SPITYPE	0	H0	R/W	
	4	DISPSPI	0	H0	R/W	
	3-2	ROTSSEL[1:0]	0x0	H0	R/W	
	1	VCOMEN	0	H0	R/W	
	0	–	0	–	R	

Bits 15-14 Reserved

Bits 13-12 GSTYPE[1:0]

これらのビットは、グレースケールパネルインタフェースの種類を設定します。

表23.9.1 グレースケールパネルインタフェースの種類

MDCDISPCTL.GSTYPE[1:0]ビット	インタフェースの種類
0x3	4線シリアルインタフェース
0x2	3線シリアルインタフェース
0x1	パラレルインタフェース
0x0	

Bit 11 DISPGS

このビットは、パネルインタフェースをグレースケールパネルインタフェースまたはSPI/6ビットカラーインタフェースに切り換えます。

1 (R/W): グレースケールパネルインタフェース

0 (R/W): SPIまたは6ビットカラーインタフェース(MDCDISPCTL.DISPSPIビットで選択)

Bit 10 RGBORD

このビットは、SPI 3ビットカラーパネルに送るピクセルデータの順序(R先頭またはB先頭)を設定します。

1 (R/W): BGR (B先頭)

0 (R/W): RGB (R先頭)

Bit 9 ADDRLSB

このビットは、SPIパネルに送るアドレスビットの順序(LSB先頭またはMSB先頭)を設定します。

1 (R/W): LSB先頭

0 (R/W): MSB先頭

Bit 7 DISPINVERT

このビットは、ディスプレイに送るピクセルを反転するかどうかを設定します。

1 (R/W): ピクセルビットを反転

0 (R/W): 通常(反転なし)

Bit 6 UPDFUNC

このビットは、表示更新を開始させた際のSPIまたはグレースケールパネルの機能を選択します。

1 (R/W): コマンドライト

0 (R/W): 通常のフレームアップデート

MDCDISPCTL.UPDFUNCビット = 1の場合

SPI: モード + ダミービットのみを送信

MDCDISPPRM43.TIM3[7:0]ビット = モードビット

MDCDISPPRM43.TIM4[7:0]ビット = 送信するモードビット数(LSB先頭)

MDCDISPPRM21.TIM2[7:0]ビット = 送信するダミービット(0)数

グレースケール: コマンド + パラメータバイト(最大8バイト)を送信

MDCDISPCLKDIV.TIM0[7:0] = コマンド

MDCTRIGCTL.NPARAM[3:0]ビット = 送信するパラメータバイト数

MDCDISPPRM21.TIM1[7:0]~MDCDISPPRM87.TIM8[7:0]ビット = パラメータバイト

MDCDISPCTL.UPDFUNCビット = 0の場合

SPI: モード + アドレス + ピクセルデータ + ダミービットを送信

MDCDISPPRM43.TIM3[7:0]ビット = モードビット

MDCDISPPRM43.TIM4[7:0]ビット = 送信するモードビット数(LSB先頭)

MDCDISPPRM65.TIM5[7:0]ビット = 送信するアドレスビット数

(MDCDISPCTL.ADDRLSBビットによりビットの送信順が決定)

MDCDISPPRM21.TIM2[7:0] = 送信するダミービット(0)数

グレースケール: WRRAMコマンド + ダミービット + ピクセルデータを送信

MDCDISPCLKDIV.TIM0[7:0]ビット = WRRAMコマンド

MDCDISPPRM21.TIM1[7:0]ビット = ダミーバイト

Bit 5 SPITYPE

このビットは、SPIパネルタイプを選択します。

1 (R/W): 3ビットカラー

0 (R/W): 1ビット白黒

Bit 4 DISPSPI

このビットは、MDCDISPCTL.DISPGS = 0のときのパネルタイプを選択します。

1 (R/W): SPI 1ビット白黒または3ビットカラー (MDCDISPCTL.SPITYPEビットで選択)

0 (R/W): 6ビットカラー

Bits 3-2 ROTSEL[1:0]

これらのビットは、フレームアップデートの際にRAMからSPIパネルまたは6ビットカラーパネルに送る画像の回転角度を選択します。グレースケールパネルでは無効です。

表23.9.2 画像回転の設定

MDCDISPCTL.ROTSEL[1:0]ビット	画像回転角度
0x3	270度回転(反時計回り)
0x2	180度回転(反時計回り)
0x1	90度回転(反時計回り)
0x0	回転なし(0度)

Bit 1 VCOMEN

このビットは、VCOM/XFRP出力をイネーブルにします。

1 (R/W): VCOM/XFRP出力イネーブル

0 (R/W): VCOM/XFRP出力ディスエーブル(LOW)

イネーブル時に出力されるVCOM/XFRP信号の周波数は、MDCDISPVCOMDIV.DISPVCOMDIV[15:0]ビットで設定します。

Bit 0 Reserved

MDC Display Width Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPWIDTH	15-10	–	0x00	–	R	–
	9-0	DISPWIDTH[9:0]	0x0b4	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 DISPWIDTH[9:0]

これらのビットは、パネルの表示幅をピクセル数で設定します。

MDC Display Height Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPHEIGHT	15-10	–	0x00	–	R	–
	9-0	DISPHEIGHT[9:0]	0x0b4	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 DISPHEIGHT[9:0]

これらのビットは、パネルの表示高をピクセル数で設定します。

MDC Display VCOM Clock Divider Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPVCOMDIV	15-0	DISPVCOMDIV[15:0]	0x0222	H0	R/W	–

Bits 15-0 DISPVCOMDIV[15:0]

これらのビットは、VCOM/XFRPの周期を決定するVCOMクロックの分周比を設定します。

$$\text{VCOM/XFRP周期} = \frac{4 \times (\text{DISPVCOMDIV}[15:0] + 1)}{\text{OSC1クロック周波数 [Hz]}} \text{ [s]} \quad (\text{式23.3})$$

MDC Display Clock Divider Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPCLKDIV	15-8	TIM0[7:0]	0x04	H0	R/W	–
	7-0	CLKDIV[7:0]	0x04	H0	R/W	

このレジスタは、パネルのフレームアップデート中に出力するクロックを設定します。

Bits 15-8 TIM0[7:0]

これらのビットは、タイミングパラメータ0を設定します。

6ビットカラーパネル:

VCK → HST立ち上がり、VCK → VST立ち下がり = (TIM0[7:0] + 1) パネルタイミング基準単位(T)

SPIパネル:

SCS立ち上がり → 最初のSIデータ = (TIM0[7:0] + 1) SCLK期間(T)

グレースケールパネル:

パラメータ0(コマンド)

Bits 7-0 CLKDIV[7:0]

これらのビットは、MDCシステムクロック分周比を設定します。

6ビットカラーまたはグレースケールパネル:

これらのビットにより、パネルタイミング基準単位が設定されます。

$$\text{パネルタイミング基準単位 T} = \frac{(\text{CLKDIV}[7:0] + 1)}{\text{システムクロック周波数 [Hz]}} \text{ [s]} \quad (\text{式23.4})$$

SPIパネル:

これらのビットにより、SPIクロック周波数が設定されます。

$$\text{SPIクロック周波数} = \frac{\text{システムクロック周波数 [Hz]}}{\text{CLKDIV}[7:0] + 1} \text{ [Hz]} \quad (\text{式23.5})$$

注: SPIパネルの場合、MDCDISPCLKDIV.CLKDIV[7:0]ビットは2以上に設定してください。

MDC Display Parameters 1 and 2 Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPPRM21	15-8	TIM2[7:0]	0x00	H0	R/W	-
	7-0	TIM1[7:0]	0x04	H0	R/W	

Bits 15-8 TIM2[7:0]

これらのビットは、タイミングパラメータ2を設定します。

6ビットカラーパネル:

HST立ち上がり → HCK立ち上がり = (TIM2[7:0] + 1) パネルタイミング基準単位(T)

SPIパネル:

データ転送期間のダミークロック数 = (TIM2[7:0] + 1) SCLK期間(T)

グレースケールパネル:

パラメータ2

Bits 7-0 TIM1[7:0]

これらのビットは、タイミングパラメータ1を設定します。

6ビットカラーパネル:

VST立ち上がり → VCK立ち上がり、水平終了→次のVCKエッジ
= (TIM1[7:0] + 1) パネルタイミング基準単位(T)

SPIパネル:

最終SIデータ → SCS立ち下がり = (TIM1[7:0] + 1) SCLK期間(T)

グレースケールパネル:

パラメータ1

MDC Display Parameters 3 and 4 Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPPRM43	15-8	TIM4[7:0]	0x04	H0	R/W	-
	7-0	TIM3[7:0]	0x04	H0	R/W	

Bits 15-8 TIM4[7:0]

これらのビットは、タイミングパラメータ4を設定します。

6ビットカラーパネル:

VCK → ENB立ち上がり = (TIM4[7:0] + 1.5) HCKサイクル数

SPIパネル:

送信するモードビット数 - 1

グレースケールパネル:

パラメータ4

Bits 7-0 TIM3[7:0]

これらのビットは、タイミングパラメータ3を設定します。

6ビットカラーパネル:

HCK立ち下がり → HST立ち下がり、HCK立ち上がり/立ち下がり → データ、
データ → HCK立ち上がり/立ち下がり = (TIM3[7:0] + 1) パネルタイミング基準単位(T)

SPIパネル:

モードビット値。TIM3[7:0] = M[7:0]。M[1]は常に0のため、TIM3[1]は無効です。

グレースケールパネル:

パラメータ3

MDC Display Parameters 5 and 6 Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPPRM65	15-8	TIM6[7:0]	0x04	H0	R/W	-
	7-0	TIM5[7:0]	0x04	H0	R/W	

Bits 15-8 TIM6[7:0]

これらのビットは、タイミングパラメータ6を設定します。

6ビットカラーパネル:

トリガ → XRST立ち上がり、XRST立ち上がり → VST立ち上がり、

データ転送終了 → XRST立ち下り = (TIM6[7:0] + 1) パネルタイミング基準単位(T)

SPIパネル:

SCS立ち下がり → SCS立ち上がり最小時間 = (TIM6[7:0] + 2) SCLK期間(T)

グレースケールパネル:

パラメータ6

Bits 7-0 TIM5[7:0]

これらのビットは、タイミングパラメータ5を設定します。

6ビットカラーパネル:

ENB幅 (HCKサイクル数)

SPIパネル:

送信するアドレスビット数 - 1

グレースケールパネル:

パラメータ5

MDC Display Parameters 7 and 8 Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPPRM87	15-8	TIM8[7:0]	0x00	H0	R/W	-
	7-0	TIM7[7:0]	0x00	H0	R/W	

Bits 15-8 TIM8[7:0]

これらのビットは、グレースケールパネルに送信するパラメータ8を設定します。

Bits 7-0 TIM7[7:0]

これらのビットは、グレースケールパネルに送信するパラメータ7を設定します。

MDC Display Update Start Line Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPSTARTY	15-10	-	0x00	-	R	-
	9-0	STARTY[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 STARTY[9:0]

これらのビットは、表示を更新する画像の開始ラインを設定します。

MDCDISPENDY.ENDY[9:0]ビットと共に、パネル上の表示を更新する範囲をライン単位で指定します。画像の先頭ラインを0とします。

MDC Display Update End Line Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPENDY	15-10	-	0x00	-	R	-
	9-0	ENDY[9:0]	0x0b3	H0	R/W	

Bits 15-10 Reserved

Bits 9–0 ENDY[9:0]

これらのビットは、表示を更新する画像の最終ラインを設定します。

MDCDISPENDY.STARTY[9:0]ビットと共に、パネル上の表示を更新する範囲をライン単位で指定します。画像の先頭ラインを0とします。

MDC Display Frame Buffer Stride Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPSTRIDE	15–10	–	0x00	–	R	–
	9–0	DISPSTRIDE[9:0]	0x0b4	H0	R/W	

Bits 15–10 Reserved**Bits 9–0 DISPSTRIDE[9:0]**

これらのビットは、フレームバッファストライド(1ラインのピクセル数)を設定します。

この設定は、MDCDISPWIDTH.DISPWIDTH[9:0]ビットの設定値よりも大きくできます。それにより、RAM上に画面よりも幅の広い画像を用意してパンすることができます。

MDC Display Frame Buffer Base Address Register 0

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPFRMBUFF0	15–0	FRMBUFFADDR[15:0]	0x0000	H0	R/W	–

Bits 15–0 FRMBUFFADDR[15:0]

これらのビットは、フレームバッファベースアドレスの下位16ビットを指定します。

MDC Display Frame Buffer Base Address Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCDISPFRMBUFF1	15–0	FRMBUFFADDR[31:16]	0x0000	H0	R/W	–

Bits 15–0 FRMBUFFADDR[31:16]

これらのビットは、フレームバッファベースアドレスの上位16ビットを指定します。

MDC Trigger Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCTRIGCTL	15–10	–	0x00	–	R	–
	9–8	DISPBPP[1:0]	0x0	H0	R/W	
	7–4	NPARAM[3:0]	0x0	H0	R/W	
	3–1	–	0x00	–	R	
	0	GFXTRIG	0	H0	R/W	

Bits 15–10 Reserved**Bits 9–8 DISPBPP[1:0]**

これらのビットは、グレースケールピクセルデータのbppフォーマットを選択します。

表23.9.3 グレースケールbppフォーマット

MDCTRIGCTL.DISPBPP[1:0]ビット	BPPフォーマット
0x3	8 bpp
0x2	4 bpp
0x1	2 bpp
0x0	1 bpp

Bits 7–4 NPARAM[3:0]

これらのビットは、グレースケールパネルのコマンドライト機能でコマンドバイトの後に送信するパラメータバイトの数を指定します。

Bits 3–1 Reserved

23 メモリディスプレイコントローラ(MDC)

Bit 0 GFXTRIG

このビットは、MDCGFXCTL.GFXFUNC[2:0]ビットで指定されているグラフィックス機能の実行を開始させます。

- 1 (W): グラフィックス機能の実行を開始
- 0 (W): 無効
- 1 (R): 実行中
- 0 (R): 待機中

このビットは、グラフィックス機能の実行が終了するまで1を保持します。実行が終了すると、このビットは0に戻り、MDCINTCTL.GFXIFビットが1にセットされます。

MDC Interrupt Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCINTCTL	15-9	-	0x00	-	R	-
	8	GFXIE	0	H0	R/W	
	7-1	-	0x00	-	R	
	0	GFXIF	0	H0	R/W	Cleared by writing 1.

Bits 15-1 Reserved

Bit 8 GFXIE

このビットは、MDC割り込みをイネーブルにします。

- 1 (R/W): 割り込みイネーブル
- 0 (R/W): 割り込みディスエーブル

Bit 0 GFXIF

このビットは、MDC割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
- 0 (R): 割り込み要因なし
- 1 (W): フラグをクリア
- 0 (W): 無効

MDC Graphics Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXCTL	15	CPYNEGY	0	-	R/W	-
	14	CPYNEGX	0	H0	R/W	
	13	SHEARNEGY	0	H0	R/W	
	12	SHEARNEGX	0	H0	R/W	
	11	FILLEN	0	H0	R/W	
	10	BITMAPFMT	0	H0	R/W	
	9	BITMAPEN	0	H0	R/W	
	8	-	0	-	R	
	7-6	ALPHAVAL[1:0]	0x0	H0	R/W	
	5	ALPHAOVRD	0	H0	R/W	
	4	-	0	-	R	
	3	(reserved)	0	H0	R/W	
	2-0	GFXFUNC[2:0]	0x0	H0	R/W	

Bit 15 CPYNEGY

コピー機能において、このビットは、コピー元ピクセルのY座標値(コピー元ウィンドウの変換中心を0する相対値)の正負を反転して画像の上下を逆にします。

- 1 (R/W): コピー元ピクセルのY座標(上下)を反転
- 0 (R/W): 反転なし

- Bit 14 CPYNEGX**
 コピー機能において、このビットは、コピー元ピクセルのX座標値(コピー元ウィンドウの変換中心を0する相対値)の正負を反転して画像の左右を逆にします。
 1 (R/W): コピー元ピクセルのX座標(左右)を反転
 0 (R/W): 反転なし
- Bit 13 SHEARNEYG**
 シアー付きコピー機能において、このビットは、垂直シアアの値の正負を反転して傾きを上下逆にします。
 1 (R/W): 垂直シアアの値を反転
 0 (R/W): 反転なし
- Bit 12 SHEARNEGX**
 シアー付きコピー機能において、このビットは、水平シアアの値の正負を反転して傾きを左右逆にします。
 1 (R/W): 水平シアアの値を反転
 0 (R/W): 反転なし
- Bit 11 FILLEN**
 このビットは、描画およびコピー機能における塗りつぶしオプションをイネーブルにします。
 1 (R/W): 塗りつぶしイネーブル
 0 (R/W): 塗りつぶしディスエーブル
- 描画機能
 長方形および楕円の描画で、図形を塗りつぶすかどうか選択します。
- コピー機能
 コピー実行時にこのビットがセットされていると、コピー元のピクセルの値は無効となり、コピー先のピクセルにはMDCGFXCOLOR.COLOR[5:0]ビットで指定されている色のデータが書き込まれます。
- Bit 10 BITMAPFMT**
 このビットは、ビットマップコピー機能のビットマップフォーマットを選択します。6ビットカラーパネルにのみ有効です。
 1 (R/W): 2ビットビットマップフォーマット
 0 (R/W): 1ビットビットマップフォーマット
- Bit 9 BITMAPEN**
 このビットは、コピー元が画像とビットマップのどちらであるか指定します。
 1 (R/W): ビットマップ
 0 (R/W): 画像
- Bit 8 Reserved**
- Bits 7-6 ALPHAVAL[1:0]**
 これらのビットは、MDCGFXCTL.ALPHAOVRRDビット = 1の場合に、上書きするアルファ値を設定します。
- Bit 5 ALPHAOVRRD**
 このビットは、コピー実行時のアルファ値上書き機能をイネーブルにします。
 1 (R/W): アルファ値上書きイネーブル
 0 (R/W): アルファ値上書きディスエーブル
- 通常、コピー機能で処理するアルファブレンド値はコピー元ピクセルから提供されます。アルファ値上書き機能をイネーブルにした場合は、MDCGFXCTL.ALPHAVAL[1:0]ビットに設定されたアルファ値がすべてのピクセルに対して使用されます。
- Bits 4-3 Reserved**

Bits 2-0 GFXFUNC[2:0]

これらのビットは、MDCTRIGCTL.GFXTRIGビットを1に設定することにより実行されるグラフィックス機能を指定します。選択可能な機能の一覧を下表に示します。

表23.9.4 グラフィックス機能

MDCTRIGCTL.GFXFUNC[2:0]ビット	グラフィックス機能	機能概説
0x7	ARCDRAW	円弧描画
0x6	DISPUPDATE	表示更新
0x5	Reserved	-
0x4	ELLIPDRAW	楕円描画(塗りつぶしあり/なし)
0x3	LINEDRAW	線描画(線幅指定可)
0x2	RECTDRAW	長方形描画(塗りつぶしあり/なし)
0x1	COPYHVSHEAR	水平/垂直シアー付き画像/ビットマップコピー
0x0	COPYROTSSCALE	回転、拡大/縮小付き画像/ビットマップコピー

MDC Input X Coordinate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXIXCENTER	15-10	-	0x00	-	R	-
	9-0	IXCENTER[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved**Bits 9-0 IXCENTER[9:0]**

これらのビットは、選択されているグラフィックス機能の実行に必要なX座標を指定します。指定するX座標は下表のとおりです。

表23.9.5 各グラフィックス機能のためのX座標指定

MDCTRIGCTL.GFXFUNC[2:0]ビット	グラフィックス機能	MDCGFXIXCENTER.IXCENTER[9:0]ビットで指定するX座標
0x7	ARCDRAW	円弧の中心のX座標
0x6	DISPUPDATE	-
0x5	Reserved	-
0x4	ELLIPDRAW	楕円の中心のX座標
0x3	LINEDRAW	線の開始点のX座標
0x2	RECTDRAW	長方形左上端のX座標
0x1	COPYHVSHEAR	水平/垂直シアーの変形中心位置となるコピー元ウィンドウ内のX座標(コピー元ウィンドウの左上端からの相対値)
0x0	COPYROTSSCALE	回転、拡大/縮小の変形中心位置となるコピー元ウィンドウ内のX座標(コピー元ウィンドウの左上端からの相対値)

MDC Input Y Coordinate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXIYCENTER	15-10	-	0x00	-	R	-
	9-0	IYCENTER[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved**Bits 9-0 IYCENTER[9:0]**

これらのビットは、選択されているグラフィックス機能の実行に必要なY座標を指定します。指定するY座標は下表のとおりです。

表23.9.6 各グラフィックス機能のためのY座標指定

MDCTRIGCTL. GFXFUNC[2:0]ビット	グラフィックス機能	MDCGFXIYCENTER.IYCENTER[9:0]ビットで指定するY座標
0x7	ARCDRAW	円弧の中心のY座標
0x6	DISPUPDATE	-
0x5	Reserved	-
0x4	ELLIPDRAW	楕円の中心のY座標
0x3	LINEDRAW	線の開始点のY座標
0x2	RECTDRAW	長方形左上端のY座標
0x1	COPYHVSHEAR	水平/垂直シアアの変形中心位置となるコピー元ウィンドウ内のY座標(コピー元ウィンドウの左上端からの相対値)
0x0	COPYROTSSCALE	回転、拡大/縮小の変形中心位置となるコピー元ウィンドウ内のY座標(コピー元ウィンドウの左上端からの相対値)

MDC Input Width Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXIWIDTH	15-10	-	0x00	-	R	-
	9-0	IWIDTH[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 IWIDTH[9:0]

これらのビットは、選択されているグラフィックス機能の実行に必要な幅や太さを指定します。指定する内容は下表のとおりです。

表23.9.7 各グラフィックス機能のための幅/太さ指定

MDCTRIGCTL. GFXFUNC[2:0]ビット	グラフィックス機能	MDCGFXIWIDTH.IWIDTH[9:0]ビットで指定する内容
0x7	ARCDRAW	円弧のX軸交点の線幅
0x6	DISPUPDATE	-
0x5	Reserved	-
0x4	ELLIPDRAW	楕円(塗りつぶしなし)のX軸交点の線幅
0x3	LINEDRAW	線幅
0x2	RECTDRAW	長方形(塗りつぶしなし)の縦の線幅
0x1	COPYHVSHEAR	コピー元ウィンドウの幅
0x0	COPYROTSSCALE	コピー元ウィンドウの幅

MDC Input Height Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXIHEIGHT	15-10	-	0x00	-	R	-
	9-0	IHEIGHT[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 IHEIGHT[9:0]

これらのビットは、選択されているグラフィックス機能の実行に必要な高さや太さを指定します。指定する内容は下表のとおりです。

表23.9.8 各グラフィックス機能のための高さ/太さ指定

MDCTRIGCTL. GFXFUNC[2:0]ビット	グラフィックス機能	IMDCGFXIHEIGHT.IHEIGHT[9:0]ビットで指定する内容
0x7	ARCDRAW	円弧のY軸交点の線幅
0x6	DISPUPDATE	-
0x5	Reserved	-
0x4	ELLIPDRAW	楕円(塗りつぶしなし)のY軸交点の線幅
0x3	LINEDRAW	-
0x2	RECTDRAW	長方形(塗りつぶしなし)の横の線幅
0x1	COPYHVSHEAR	コピー元ウィンドウの高さ
0x0	COPYROTSSCALE	コピー元ウィンドウの高さ

MDC Output X Coordinate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFX	15-10	–	0x00	–	R	–
OXCENTER	9-0	OXCENTER[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 OXCENTER[9:0]

これらのビットは、選択されているグラフィックス機能の実行に必要なX座標や半径を指定します。指定する内容は下表のとおりです。

表23.9.9 各グラフィックス機能のためのX座標/半径指定

MDCTRIGCTL.GFXFUNC[2:0]ビット	グラフィックス機能	MDCGFXOXCENTER.OXCENTER[9:0]ビットで指定する内容
0x7	ARCDRAW	円弧のX軸半径
0x6	DISPUPDATE	–
0x5	Reserved	–
0x4	ELLIPDRAW	楕円のX軸半径
0x3	LINEDRAW	線の終点のX座標
0x2	RECTDRAW	長方形右下端のX座標
0x1	COPYHVSHEAR	水平/垂直シアアの変形中心位置となるコピー先ウィンドウ内のX座標(コピー先ウィンドウの左上端からの相対値)
0x0	COPYROTSSCALE	回転、拡大/縮小の変形中心位置となるコピー先ウィンドウ内のX座標(コピー先ウィンドウの左上端からの相対値)

MDC Output Y Coordinate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFX	15-10	–	0x00	–	R	–
OYCENTER	9-0	OYCENTER[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 OYCENTER[9:0]

これらのビットは、選択されているグラフィックス機能の実行に必要なY座標や半径を指定します。指定する内容は下表のとおりです。

表23.9.10 各グラフィックス機能のためのY座標/半径指定

MDCTRIGCTL.GFXFUNC[2:0]ビット	グラフィックス機能	MDCGFXOYCENTER.OYCENTER[9:0]ビットで指定する内容
0x7	ARCDRAW	円弧のY軸半径
0x6	DISPUPDATE	–
0x5	Reserved	–
0x4	ELLIPDRAW	楕円のY軸半径
0x3	LINEDRAW	線の終点のY座標
0x2	RECTDRAW	長方形右下端のY座標
0x1	COPYHVSHEAR	水平/垂直シアアの変形中心位置となるコピー先ウィンドウ内のY座標(コピー先ウィンドウの左上端からの相対値)
0x0	COPYROTSSCALE	回転、拡大/縮小の変形中心位置となるコピー先ウィンドウ内のY座標(コピー先ウィンドウの左上端からの相対値)

MDC Output Width Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXOWIDTH	15-10	–	0x00	–	R	–
	9-0	OWIDTH[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 OWIDTH[9:0]

これらのビットは、選択されているグラフィックス機能の実行に必要な幅を指定します。指定する内容は下表のとおりです。

表23.9.11 各グラフィックス機能のための幅指定

MDCTRIGCTL. GFXFUNC[2:0]ビット	グラフィックス機能	MDCGFXWIDTH.OWIDTH[9:0]ビットで指定する内容
0x7	ARCDRAW	–
0x6	DISPUPDATE	–
0x5	Reserved	–
0x4	ELLIPDRAW	–
0x3	LINEDRAW	–
0x2	RECTDRAW	–
0x1	COPYHVSHEAR	コピー先ウィンドウの幅
0x0	COPYROTSSCALE	コピー先ウィンドウの幅

MDC Output Height Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXOHEIGHT	15–10	–	0x00	–	R	–
	9–0	OHEIGHT[9:0]	0x000	H0	R/W	

Bits 15–10 Reserved

Bits 9–0 OHEIGHT[9:0]

これらのビットは、選択されているグラフィックス機能の実行に必要な高さを指定します。指定する内容は下表のとおりです。

表23.9.12 各グラフィックス機能のための高さ指定

MDCTRIGCTL. GFXFUNC[2:0]ビット	グラフィックス機能	MDCGFXOHEIGHT.OHEIGHT[9:0]ビットで指定する内容
0x7	ARCDRAW	–
0x6	DISPUPDATE	–
0x5	Reserved	–
0x4	ELLIPDRAW	–
0x3	LINEDRAW	–
0x2	RECTDRAW	–
0x1	COPYHVSHEAR	コピー先ウィンドウの高さ
0x0	COPYROTSSCALE	コピー先ウィンドウの高さ

MDC X Left Scale Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXLSCALE	15–14	–	0x0	–	R	–
	13–0	XLSCALE[13:0]	0x0000	H0	R/W	

Bits 15–14 Reserved

Bits 13–0 XLSCALE[13:0]

これらのビットは、COPYROTSSCALE機能(回転、拡大/縮小付き画像/ビットマップコピー)の実行時に使用する拡大/縮小率を指定します。ここで指定した拡大/縮小率は、コピー先ウィンドウへのコピー時に、コピー元ウィンドウの変形中心から左側半分のピクセルに適用されます。

拡大/縮小率はXLSCALE[13:0]/256です。

MDC X Right Scale Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXRSCALE	15–14	–	0x0	–	R	–
	13–0	XRSCALE[13:0]	0x0000	H0	R/W	

Bits 15–14 Reserved

Bits 13-0 XRSCALE[13:0]

これらのビットは、COPYROTSSCALE機能(回転、拡大/縮小付き画像/ビットマップコピー)の実行時に使用する拡大/縮小率を指定します。ここで指定した拡大/縮小率は、コピー先ウィンドウへのコピー時に、コピー元ウィンドウの変形中心から右側半分のピクセルに適用されます。

拡大/縮小率はXRSCALE[13:0]/256です。

MDC Y Top Scale Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXYTSCALE	15-14	-	0x0	-	R	-
	13-0	YTSCALE[13:0]	0x0000	H0	R/W	

Bits 15-14 Reserved**Bits 13-0 YTSCALE[13:0]**

これらのビットは、COPYROTSSCALE機能(回転、拡大/縮小付き画像/ビットマップコピー)の実行時に使用する拡大/縮小率を指定します。ここで指定した拡大/縮小率は、コピー先ウィンドウへのコピー時に、コピー元ウィンドウの変形中心から上側半分のピクセルに適用されます。

拡大/縮小率はYTSCALE[13:0]/256です。

MDC Y Bottom Scale Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXYBSCALE	15-14	-	0x0	-	R	-
	13-0	YBSCALE[13:0]	0x0000	H0	R/W	

Bits 15-14 Reserved**Bits 13-0 YBSCALE[13:0]**

これらのビットは、COPYROTSSCALE機能(回転、拡大/縮小付き画像/ビットマップコピー)の実行時に使用する拡大/縮小率を指定します。ここで指定した拡大/縮小率は、コピー先ウィンドウへのコピー時に、コピー元ウィンドウの変形中心から下側半分のピクセルに適用されます。

拡大/縮小率はYBSCALE[13:0]/256です。

MDC X/Y Shear Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXSHEAR	15	-	0	-	R	-
	14-8	YSHEAR[6:0]	0x00	H0	R/W	
	7	-	0	-	R	
	6-0	XSHEAR[6:0]	0x00	H0	R/W	

Bits 15-14 Reserved**Bits 14-8 YSHEAR[6:0]**

これらのビットは、COPYHVSHEAR機能(水平/垂直シアー付き画像/ビットマップコピー)の実行時に使用する垂直シアーの比率を指定します。ここで指定した垂直シアーの比率は、コピー先ウィンドウへのコピー時に、コピー元ウィンドウの変形中心を基準にコピー元ウィンドウのピクセルに適用されます。

シアーの比率はYSHEAR[6:0]/32です。0を指定すると、シアーはかかりません。

Bits 6-0 XSHEAR[6:0]

これらのビットは、COPYHVSHEAR機能(水平/垂直シアー付き画像/ビットマップコピー)の実行時に使用する水平シアーの比率を指定します。ここで指定した水平シアーの比率は、コピー先ウィンドウへのコピー時に、コピー元ウィンドウの変形中心を基準にコピー元ウィンドウのピクセルに適用されます。

シアーの比率はXSHEAR[6:0]/32です。0を指定すると、シアーはかかりません。

MDC Rotation Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXROTVAL	15-9	-	0x00	-	R	-
	8-0	ROTVAL[8:0]	0x000	H0	R/W	

Bits 15-9 Reserved

Bits 8-0 ROTVAL[8:0]

これらのビットは、COPYROTSCALE機能(回転、拡大/縮小付き画像/ビットマップコピー)の実行時に使用する回転角度を指定します。ここで指定した回転角度は、コピー先ウィンドウへのコピー時に、コピー元ウィンドウの変形中心を基準にコピー元ウィンドウのピクセルに適用されます。

ここで設定した値は、ARCDRAW機能の開始角度の指定にも使用されます(X軸正方向を0度として指定します)。

角度は、反時計回りで $(ROTVAL[8:0] \times 360) / 512$ です。

MDC Color Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXCOLOR	15-8	-	0x00	-	R	-
	7-0	COLOR[7:0]	0x03	H0	R/W	

Bits 15-8 Reserved

Bits 7-0 COLOR[7:0]

これらのビットは、塗りつぶしをイネーブル(MDCGFXCTL.FILLENビット = 1) に設定したコピー機能実行時の塗りつぶしの色を指定します。また、描画機能の色指定にも使用します。下表のとおり、選択されているパネルタイプにより指定内容は変わります。

表23.9.13 色の指定

パネルタイプ	色指定
SPI 1ビット白黒	COLOR0で白または黒のクセル色を指定します。
SPI 3ビットカラー	COLOR[2:0]でRGBピクセル色を指定します。
6ビットカラー	COLOR[5:0]でRRGGBBピクセル色を指定します。 COLOR[7:6]は描画機能で使用するアルファ値で、指定すると背景ピクセルにCOLOR[5:0]で指定されている描画ピクセル色がアルファ合成されます。
グレースケール	1 bppグレースケールパネルでは、COLOR0で白または黒のピクセル色を指定します。 2 bppグレースケールパネルでは、COLOR[1:0]でピクセルの階調を指定します。 4 bppグレースケールパネルでは、COLOR[3:0]でピクセルの階調を指定します。 8 bppグレースケールパネルでは、COLOR[7:0]でピクセルの階調を指定します。

MDC Source Window Base Address Register 0

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXIBADDR0	15-0	IBASEADDR[15:0]	0x0000	H0	R/W	-

Bits 15-0 IBASEADDR[15:0]

これらのビットは、コピー機能で使用するコピー元ウィンドウベースアドレスの下位16ビットを指定します。

MDC Source Window Base Address Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXIBADDR1	15-0	IBASEADDR[31:16]	0x0000	H0	R/W	-

Bits 15-0 IBASEADDR[31:16]

これらのビットは、コピー機能で使用するコピー元ウィンドウベースアドレスの上位16ビットを指定します。

MDC Destination Window Base Address Register 0

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXOBADDR0	15-0	OBASEADDR[15:0]	0x0000	H0	R/W	-

Bits 15-0 OBASEADDR[15:0]

これらのビットは、コピー機能および描画機能で使用するコピー /描画先ウィンドウベースアドレスの下位16ビットを指定します。

MDC Destination Window Base Address Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXOBADDR1	15-0	OBASEADDR[31:16]	0x0000	H0	R/W	-

Bits 15-0 OBASEADDR[31:16]

これらのビットは、コピー機能および描画機能で使用するコピー /描画先ウィンドウベースアドレスの上位16ビットを指定します。

MDC Source Image Stride Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXISTRIDE	15-10	-	0x00	-	R	-
	9-0	ISTRIDE[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved**Bits 9-0 ISTRIDE[9:0]**

これらのビットは、COPYROTSCALE機能(回転、拡大/縮小付き画像/ビットマップコピー)およびCOPYHVSHEAR機能(水平/垂直シアー付き画像/ビットマップコピー)の実行に必要なコピー元画像のストライド(1ラインのピクセル数)を指定します。パンすることによってコピー元ウィンドウよりも幅やサイズの大きな画像を扱うために、MDCGFXIWIDTH.IWIDTH[9:0]ビット以上の値に設定することができます。

これらのビットは、ARCDRAW機能の終了角度の指定にも使用されます(X軸正方向を0度として指定します)。指定される角度は、反時計回りで(ISTRIDE[9:0] × 360) / 512です。

MDC Destination Image Stride Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXOSTRIDE	15-10	-	0x00	-	R	-
	9-0	OSTRIDE[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved**Bits 9-0 OSTRIDE[9:0]**

これらのビットは、描画およびコピー機能の実行に必要なコピー先画像のストライド(1ラインのピクセル数)を指定します。パンすることによってコピー先ウィンドウよりも幅やサイズの大きな画像を扱うために、MDCGFXOWIDTH.OWIDTH[9:0]ビット以上の値に設定することができます。

MDC Output Window Left Edge Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXOWLEFT	15-10	-	0x00	-	R	-
	9-0	OWLEFT[9:0]	0x000	H0	R	

Bits 15-10 Reserved**Bits 9-0 OWLEFT[9:0]**

これらのリードオンリビットは、最後にコピー機能を実行した際に算出された出力ウィンドウ左端のX座標(コピー先ウィンドウの変換中心位置からの相対値)を保持しています。

MDC Output Window Right Edge Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFX OWRIGHT	15-10	–	0x00	–	R	–
	9-0	OWRIGHT[9:0]	0x000	H0	R	

Bits 15-10 Reserved

Bits 9-0 OWRIGHT[9:0]

これらのリードオンリビットは、最後にコピー機能を実行した際に算出された出力ウィンドウ右端のX座標(コピー先ウィンドウの変換中心位置からの相対値)を保持しています。

MDC Output Window Top Edge Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXOWTOP	15-10	–	0x00	–	R	–
	9-0	OWTOP[9:0]	0x000	H0	R	

Bits 15-10 Reserved

Bits 9-0 OWTOP[9:0]

これらのリードオンリビットは、最後にコピー機能を実行した際に算出された出力ウィンドウ上端のY座標(コピー先ウィンドウの変換中心位置からの相対値)を保持しています。

MDC Output Window Bottom Edge Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCGFXOWBOT	15-10	–	0x00	–	R	–
	9-0	OWBOT[9:0]	0x000	H0	R	

Bits 15-10 Reserved

Bits 9-0 OWBOT[9:0]

これらのリードオンリビットは、最後にコピー機能を実行した際に算出された出力ウィンドウ下端のY座標(コピー先ウィンドウの変換中心位置からの相対値)を保持しています。

MDC Scratchpad A Register 0

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCSCRATCHA0	15-0	SCRATCHA[15:0]	0x0000	H0	R/W	–

Bits 15-0 SCRATCHA[15:0]

これらのビットは、32ビットスクラッチパッドAレジスタの下位16ビットです。

MDC Scratchpad A Register 1

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCSCRATCHA1	15-0	SCRATCHA[31:16]	0x0000	H0	R/W	–

Bits 15-0 SCRATCHA[31:16]

これらのビットは、32ビットスクラッチパッドAレジスタの上位16ビットです。

MDC Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCCLKCTL	15-10	SCRATCHB1[15:10]	0x00	H0	R/W	–
	9	HCKINV	0	H0	R/W	
	8	CLK32KON	0	H0	R/W	
	7-0	SCRATCHB0[7:0]	0x00	H0	R/W	

Bits 15-10 SCRATCHB1[15:10]

これらのビットは、6ビットスクラッチパッドB1レジスタとして使用可能です。

23 メモリディスプレイコントローラ(MDC)

Bit 9 HCKINV

このビットは、HCK出力信号の論理を反転します。

1 (R/W): 反転

0 (R/W): 非反転

Bit 8 CLK32KON

このビットは、VCOM/XFRP回路への低速クロックの供給を制御します。

1 (R/W): クロックON

0 (R/W): クロックOFF

Bits 7-0 SCRATCHB0[7:0]

これらのビットは、8ビットスクラッチパッドB0レジスタとして使用可能です。

MDC Voltage Booster Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCBSTCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/W	
	7	(reserved)	0	H0	R/W	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3	-	0	-	R	
	2	(reserved)	0	H0	R/W	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、デバッグ時にMDC昇圧回路動作クロックを供給するか否か設定します。

1 (R/W): デバッグ時にクロックを供給

0 (R/W): デバッグ時はクロック供給を停止

Bit 7 Reserved

Bits 6-4 CLKDIV[2:0]

これらのビットは、MDC昇圧回路動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、MDC昇圧回路のクロックソースを選択します。

表23.9.14 クロックソースと分周比の設定

MDCBSTCLK. CLKDIV[2:0]ビット	MDCBSTCLK.CLKSRC[1:0]ビット				
	0x0	0x1	0x2	0x3	
	IOSC	OSC1	OSC3	EXOSC	
0x7	Reserved	1/128	Reserved	1/1	
0x6		1/64			
0x5		1/32	1/512		
0x4		1/256	1/16		1/256
0x3		1/128	1/8		1/128
0x2		1/64	1/4		1/64
0x1		1/32	1/2		1/32
0x0		1/16	1/1		1/16

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

MDC Voltage Booster Power Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCBSTPWR	15-8	–	0x00	–	R	–
	7-4	–	0x0	–	R	
	3	VMDBUP	0	H0	R/W	
	2	BSTON	0	H0	R/W	
	1	REGECO	0	H0	R/W	
	0	REGON	0	H0	R/W	

Bits 15–4 Reserved

Bit 3 VMDBUP

このビットは、V_{MD}出力の応答速度を選択します。

1 (R/W): 高速

0 (R/W): 通常

Bit 2 BSTON

このビットは、昇圧回路をON/OFFします。

1 (R/W): ON

0 (R/W): OFF (Hi-Z)

Bit 1 REGECO

このビットは、レギュレータをエコノミーモードに設定します。

1 (R/W): エコノミーモード

0 (R/W): 通常モード

Bit 0 REGON

このビットは、レギュレータをON/OFFします。

1 (R/W): ON

0 (R/W): OFF

昇圧回路の制御の詳細は、“V_{MD}電源回路”を参照してください。

MDC Voltage Booster V_{MD} Output Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCBSTVMD	15	–	0	–	R	–
	14-12	VMDHVOL[2:0]	0x0	H0	R/W	
	11-9	–	0x0	–	R	
	8	VMDHON	0	H0	R/W	
	7	–	0	–	R	
	6-4	VMDLVOL[2:0]	0x0	H0	R/W	
	3-1	–	0x0	–	R	
	0	VMDLON	0	H0	R/W	

Bit 15 Reserved

Bits 14–12 VMDHVOL[2:0]

これらのビットは、V_{MDH}出力電圧レベルを設定します。

表23.9.15 V_{MDH}出力電圧レベル

MDCBSTVMD.VMDHVOL[2:0]ビット	V _{MDH} 出力電圧レベル
0x7	5.05 V
0x6	5.0 V
0x5	4.9 V
0x4	4.8 V
0x3	4.7 V
0x2	4.6 V
0x1	4.5 V
0x0	4.4 V

Bits 11–9 Reserved

23 メモリディスプレイコントローラ(MDC)

Bit 8 VMDHON

このビットは、V_{MDH}出力を制御します。

1 (R/W): ON

0 (R/W): OFF

Bit 7 Reserved

Bits 6–4 VMDLVOL[2:0]

これらのビットは、V_{MDL}出力電圧レベルを設定します。

表23.9.16 V_{MDL}出力電圧レベル

MDCBSTVMD.VMDLVOL[2:0]ビット	V _{MDL} 出力電圧レベル
0x7	3.4 V
0x6	3.3 V
0x5	3.2 V
0x4	3.1 V
0x3	3.0 V
0x2	2.9 V
0x1	2.8 V
0x0	2.7 V

Bits 3–1 Reserved

Bit 0 VMDLON

このビットは、V_{MDL}出力を制御します。

1 (R/W): ON

0 (R/W): OFF

V_{MDH}/V_{MDL}出力の制御の詳細は、“V_{MD}電源回路”を参照してください。

MDC Host Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MDCHOSTCTL	15	SOFTTRST	0	H0	R/W	-
	14–8	-	0x00	-	R	
	7–5	-	0x0	-	R	
	4	INTPOL	0	H0	R/W	
	3	SYSCCLKSTAT	0	H0	R	
	2	-	0	-	R	
	1	CLK32KOSCEN	0	H0	R/W	
	0	SYSCSCEN	0	H0	R/W	

MDCHOSTCTLレジスタは、本MCUのシステムクロックとは非同期に、外部ホストMCUからのみアクセス可能なレジスタです。

Bit 15 SOFTTRST

これは、外部ホストMCUから本MCUをソフトウェアリセットするための制御ビットです。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

このビットは、リセット処理が終了すると、自動的にクリアされます。

Bits 14–5 Reserved

Bit 4 INTPOL

これは、外部ホストMCUからINTMDC信号(本MCUのMDC割り込み出力)の極性を選択するための制御ビットです。

1 (R/W): アクティブLOW

0 (R/W): アクティブHIGH

Bit 3 **SYSCLKSTAT**

このビットは、システムクロックの状態を示します。

1 (R): システムクロックが安定

0 (R): システムクロックが安定していない

Bit 2 **Reserved****Bit 1** **CLK32KOSCEN**

これは、外部ホストMCUからOSC1発振回路をイネーブルにするための制御ビットです。

1 (R/W): OSC1発振回路をイネーブル

0 (R/W): クロックジェネレータにより制御

Bit 0 **SYSOSCEN**

これは、外部ホストMCUからシステムクロックソースをイネーブルにするための制御ビットです。

1 (R/W): システムクロックソースをイネーブル

0 (R/W): クロックジェネレータにより制御

24 電気的特性

24.1 絶対最大定格

(V_{SS} = 0 V)

項目	記号	条件	定格値	単位
電源電圧	V _{DD}		-0.3~7.0	V
V _{BUS} 電圧	V _{BUS}		-0.3~7.0	V
Flashプログラミング電圧	V _{PP}		-0.3~8.0	V
入力電圧	V _I	#RESET, TEST, P00-07, P10-13, P16, P20-27, P30-36, P40-47, P50-56, P60-67, PD0-D3 P14, P15	-0.3~V _{DD} + 0.5	V
出力電圧	V _O		-0.3~V _{DD} + 0.5	V
高レベル出力電流	I _{OH}	1端子 全端子合計	-10 -20	mA mA
低レベル出力電流	I _{OL}	1端子 全端子合計	10 20	mA mA
動作温度	T _a		-40~85	°C
保存温度	T _{stg}		-65~125	°C

24.2 推奨動作条件

(V_{SS} = 0 V) *1

項目	記号	条件	Min.	Typ.	Max.	単位	
電源電圧	V _{DD}	通常動作時	1.8	-	5.5	V	
		V _{D1} 電圧モード = mode1	1.8	-	3.6	V	
		Flashプログラミング時	V _{PP} 外部印加時	2.4	-	5.5	V
			V _{PP} 内部生成時	2.4	-	5.5	V
		MDC駆動電圧生成時	2.0	-	5.5	V	
I/O電源電圧	HIFV _{DD}	P2/P3ポートグループ用	1.8	-	5.5	V	
	V _{MDL}	MDC未使用時のP4/P5ポートグループ用	1.8	-	5.5	V	
V _{BUS} 電圧	V _{BUS}		4.4	5.0	5.25	V	
Flashプログラミング電圧	V _{PP}		7.3	7.5	7.7	V	
OSC1発振回路発振周波数	f _{OSC1}	水晶発振	-	32.768	-	kHz	
OSC3発振回路発振周波数	f _{OSC3}	水晶/セラミック発振	0.2	-	20.5	MHz	
EXOSC外部クロック周波数	f _{EXOSC}	外部発振器から入力	0.016	-	21	MHz	
V _{SS} ~V _{DD} 間バイパスキャパシタ	CPW1		-	3.3	-	μF	
V _{SS} ~V _{D1} 間キャパシタ	CPW2		-	1	1.2	μF	
V _{SS} ~V _{MDL} 間キャパシタ	CMDC1	*2	-	1	-	μF	
V _{SS} ~V _{MDH} 間キャパシタ	CMDC2	*2, *3	-	1	-	μF	
V _{SS} ~V _{MVD1} 間キャパシタ	CMDC3	*3	-	1	-	μF	
V _{SS} ~V _{MD2} , V _{SS} ~V _{MD3} 間キャパシタ	CMDC4-5	*3	-	1	-	μF	
CMD1~CMD2, CMD1~CMD3間キャパシタ	CMDC6-7	*3	-	1	-	μF	
V _{SS} ~USB18VOUT, V _{SS} ~USB33VOUT間キャパシタ	CUSB1-2		-	1	-	μF	
OSC1発振回路用ゲートキャパシタ	CG1	水晶発振回路使用時 *4	0	-	25	pF	
OSC1発振回路用ドレインキャパシタ	CD1	水晶発振回路使用時 *4	-	0	-	pF	
OSC3発振回路用ゲートキャパシタ	CG3	水晶/セラミック発振回路使用時 *4	0	-	100	pF	
OSC3発振回路用ドレインキャパシタ	CD3	水晶/セラミック発振回路使用時 *4	0	-	100	pF	
デバッグ端子プルアップ抵抗	RDBG1-2	*5	-	100	-	kΩ	
V _{SS} ~V _{PP} 間キャパシタ	CVPP		-	0.1	-	μF	
V _{SS} ~V _{REFA} 間キャパシタ	CVREFA		-	0.1	-	μF	

- *1 V_{SS}電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグラウンド電位に対し±0.3V以内の変動に抑えてください。
- *2 メモリディスプレイコントローラを使用しない場合、V_{MDL}端子にはI/O電源を供給してください。
- *3 メモリディスプレイコントローラを使用しない場合、V_{MDH}、V_{MVD1}、V_{MD2}、V_{MD3}、CMD1~CMD3端子はオープンにすることが可能です。
- *4 実際の基板上で振動子のマッチング評価を行い、最終的な値を決めてください。
- *5 デバッグ端子を汎用入出力ポートとして使用する場合、RDBG1-2は不要です。
- *6 各使用部品の定数は、実際の基板上で評価を行い、最終的な値を決めてください。

24.3 消費電流

特記なき場合: V_{DD} = 1.8~5.5 V, V_{SS} = 0 V, Ta = 25 °C, EXOSC = OFF, PWGACTL.REGMODE[1:0]ビット = 0x0 (オートマッチックモード), PWGACTL.REGSELビット = 1 (mode0), FLASHCWAIT.RDWAIT[1:0]ビット = 0x1 (2サイクル)

項目	記号	条件	Min.	Typ.	Max.	単位
SLEEPモード時 消費電流	ISLP1	IOSC = OFF, OSC1 = OFF, OSC3 = OFF	-	0.46	4	μA
	ISLP2	IOSC = OFF, OSC1 = OFF, OSC3 = OFF, PWGACTL.REGSELビット = 0 (mode1)	-	0.43	3.5	μA
	ISLP3	IOSC = OFF, OSC1 = 32.768 kHz*1, OSC3 = OFF, RTCA = ON	-	0.95	6	μA
	ISLP4	IOSC = OFF, OSC1 = 32.768 kHz*1, OSC3 = OFF, RTCA = ON, PWGACTL.REGSELビット = 0 (mode1)	-	0.85	5.5	μA
HALTモード時 消費電流	IHALT1	IOSC = 20 MHz, OSC1 = 32.768 kHz*1, OSC3 = OFF, SYSCLK = IOSC	-	910	1,100	μA
	IHALT2	IOSC = OFF, OSC1 = 32.768 kHz*1, OSC3 = OFF, SYSCLK = OSC1	-	1.7	8	μA
		IOSC = OFF, OSC1 = 32 kHz*2, OSC3 = OFF, SYSCLK = OSC1	-	2.7	12	μA
	IHALT3	IOSC = OFF, OSC1 = 32.768 kHz*1, OSC3 = OFF, SYSCLK = OSC1, PWGACTL.REGSELビット = 0 (mode1)	-	1.4	7.5	μA
RUNモード時 消費電流	IRUN1*4	IOSC = 20 MHz, OSC1 = 32.768 kHz*1, OSC3 = OFF, SYSCLK = IOSC, FLASHCWAIT.RDWAIT[1:0]ビット = 0x2 (3サイクル)	-	4,400	5,000	μA
	IRUN2*4	IOSC = 16 MHz, OSC1 = 32.768 kHz*1, OSC3 = OFF, SYSCLK = IOSC	-	4,000	4,500	μA
	IRUN3*4	IOSC = 8 MHz, OSC1 = 32.768 kHz*1, OSC3 = OFF, SYSCLK = IOSC, FLASHCWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)	-	2,400	2,700	μA
	IRUN4*4	IOSC = 2 MHz, OSC1 = 32.768 kHz*1, OSC3 = OFF, SYSCLK = IOSC, PWGACTL.REGSELビット = 0 (mode1)	-	310	410	μA
	IRUN5*4	IOSC = OFF, OSC1 = 32.768 kHz*1, OSC3 = OFF, SYSCLK = OSC1, FLASHCWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)	-	9.5	16	μA
		IOSC = OFF, OSC1 = 32 kHz*2, OSC3 = OFF, SYSCLK = OSC1, FLASHCWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)	-	10	18	μA
	IRUN6*4	IOSC = OFF, OSC1 = 32.768 kHz*1, OSC3 = OFF, SYSCLK = OSC1, PWGACTL.REGSELビット = 0 (mode1), FLASHCWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)	-	7	12	μA
	IRUN7*4	IOSC = OFF, OSC1 = 32.768 kHz*1, OSC3 = 8 MHz (セラミック発振)*3, SYSCLK = OSC3, FLASHCWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)	-	2,300	2,600	μA

*1 OSC1発振回路: CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.INV1N[1:0]ビット = 0x0, CLGOSC1.CG1[2:0]ビット = 0x0, CLGOSC1.OSDENビット = 0, C_{G1} = C_{D1} = 0 pF, 水晶振動子 = C-002RX (セイコーエプソン(株)製, R₁ = 50 kΩ (Max.), C_L = 7 pF)

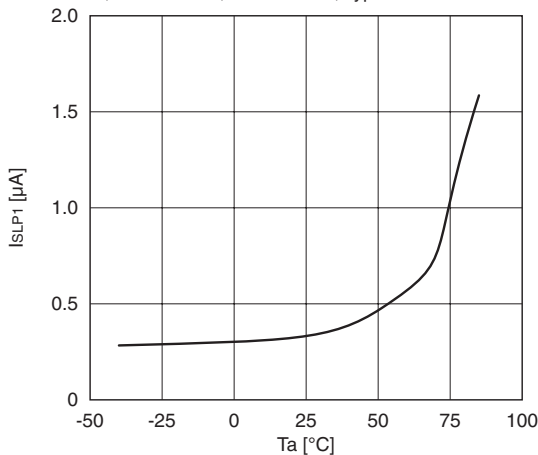
*2 OSC1発振回路: CLGOSC1.OSC1SELCRビット = 1

*3 OSC3発振回路: CLGOSC3.OSC3INV[1:0]ビット = 0x0, C_{G3} = C_{D3} = 10 pF

*4 “ALU命令60.5%, 分岐命令17%, RAMリード12%, RAMライト10.5%”のプログラムをFlashメモリからフェッチしながら連続動作させた値

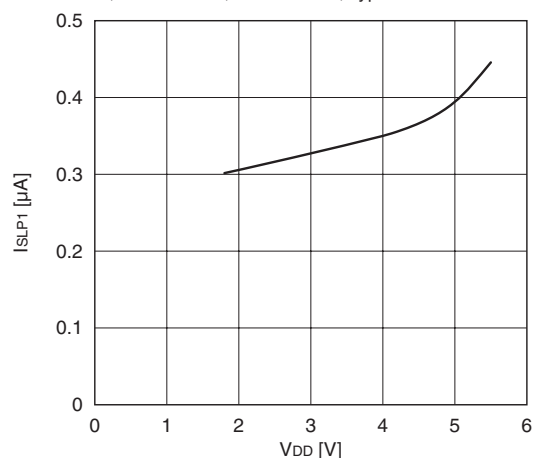
SLEEP時 消費電流-温度特性

IOSC = OFF, OSC1 = OFF, OSC3 = OFF, Typ.値



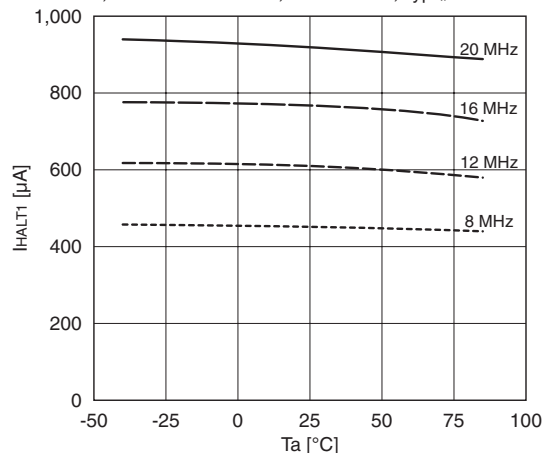
SLEEP時 消費電流-電源電圧特性

IOSC = OFF, OSC1 = OFF, OSC3 = OFF, Typ.値

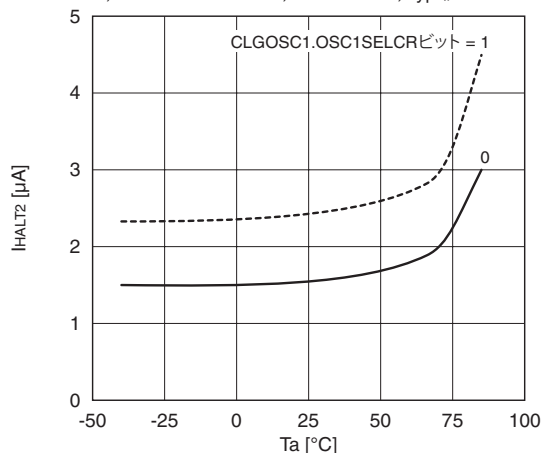


HALT時 消費電流-温度特性(IOSC動作時)

IOSC = ON, OSC1 = 32.768 kHz, OSC3 = OFF, Typ.値

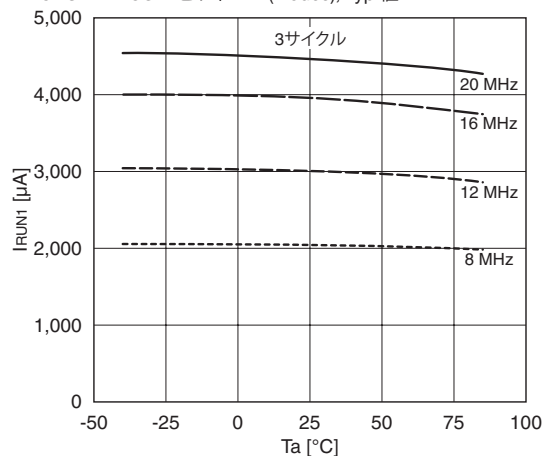
**HALT時 消費電流-温度特性(OSC1動作時)**

IOSC = OFF, OSC1 = 32.768 kHz, OSC3 = OFF, Typ.値

**RUN時 消費電流-温度特性(IOSC動作時)**

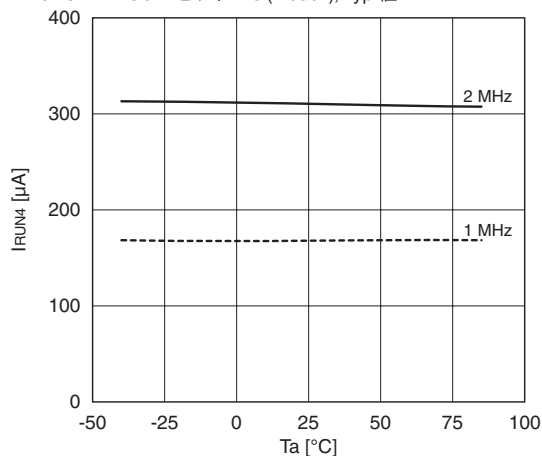
IOSC = ON, OSC1 = 32.768 kHz, OSC3 = OFF

PWGACTL.REGSELビット = 1 (mode0), Typ.値

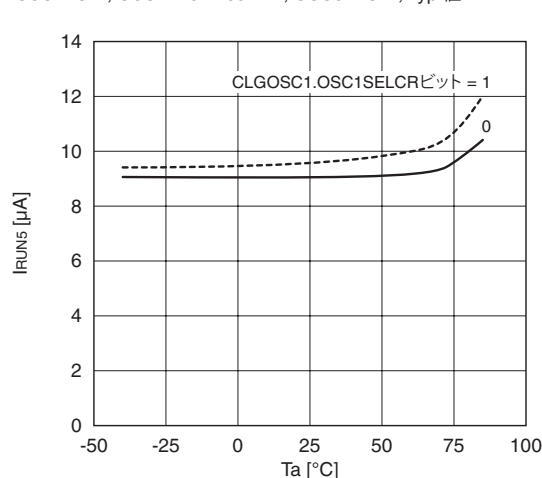
**RUN時 消費電流-温度特性(IOSC動作時)**

IOSC = ON, OSC1 = 32.768 kHz, OSC3 = OFF

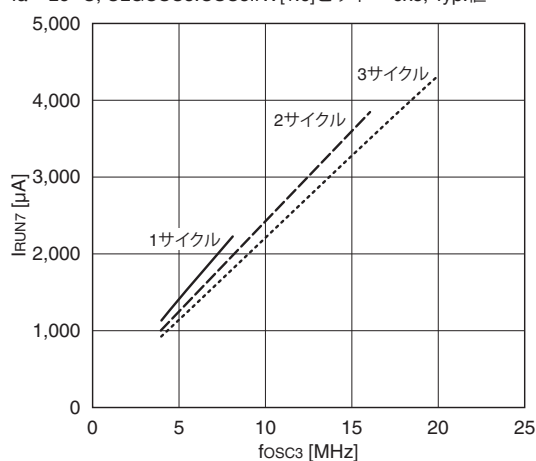
PWGACTL.REGSELビット = 0 (mode1), Typ.値

**RUN時 消費電流-温度特性(OSC1動作時)**

IOSC = OFF, OSC1 = 32.768 kHz, OSC3 = OFF, Typ.値

**RUN時 消費電流-周波数特性(OSC3動作時)**

IOSC = OFF, OSC1 = 32.768 kHz, OSC3 = ON (セラミック発振), Ta = 25 °C, CLGOSC3.OSC3INV[1:0]ビット = 0x3, Typ.値



24.4 システムリセットコントローラ(SRC)特性

#RESET端子特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

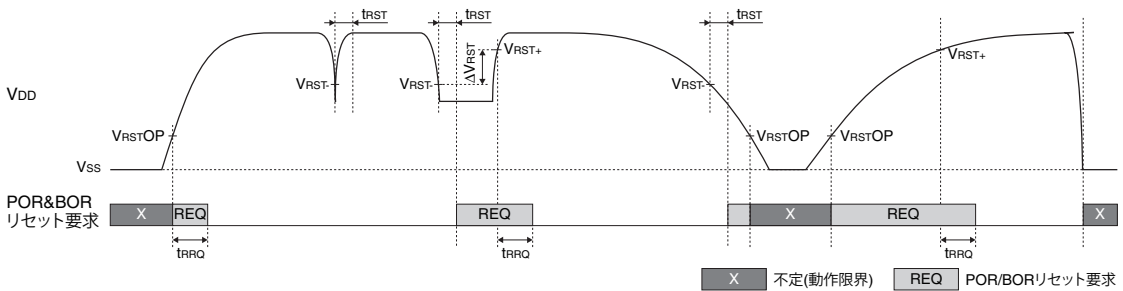
項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力スレシヨルド電圧	V_{T+}		$0.5 \times V_{DD}$	-	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレシヨルド電圧	V_{T-}		$0.2 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T		180	-	-	mV
入力プルアップ抵抗	R_{IN}		100	270	500	k Ω
端子容量	C_{IN}		-	-	15	pF
リセットLowパルス幅	t_{SR}		5	-	-	μs



POR/BOR特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
POR/BOR解除電圧	V_{RST+}		1.41	-	1.75	V
POR/BOR検出電圧	V_{RST-}		1.25	-	1.55	V
POR/BORヒステリシス電圧	ΔV_{RST}		40	60	-	mV
POR/BOR検出応答時間	t_{RST}		-	-	20	μs
POR/BOR動作限界電圧	V_{RSTOP}		-	0.5	0.95	V
POR/BORリセット要求保持時間	t_{RRQ}		0.01	-	4	ms



注: 電源をOFFにした後に再度パワーオンリセットを行う場合は、 V_{DD} を V_{RSTOP} 以下に落としてください。

リセット保持回路特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
リセット保持時間*1	t_{RSTR}		-	-	150	μs

*1 リセット要求解除後、内部リセット信号が解除されるまでの時間

24.5 クロックジェネレータ(CLG)特性

振動子を含む発振回路の特性は諸条件(基板パターン、使用部品など)により変化します。これらの特性値は参考とし、実際の基板上でマッチング評価を行ってください。

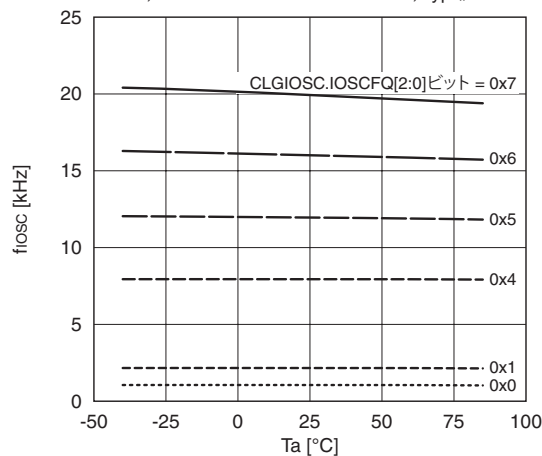
IOSC発振回路特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5$ V, $V_{SS} = 0$ V, $T_a = -40 \sim 85$ °C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t_{stal}		–	–	3	μ s
発振周波数	f_{iosc}	CLG _{IOSC} .IOSCFQ[2:0]ビット = 0x7, PWGACTL.REGSELビット = 1	18	20	21	MHz
		CLG _{IOSC} .IOSCFQ[2:0]ビット = 0x6, PWGACTL.REGSELビット = 1	14.4	16	16.8	MHz
		CLG _{IOSC} .IOSCFQ[2:0]ビット = 0x5, PWGACTL.REGSELビット = 1	10.8	12	12.6	MHz
		CLG _{IOSC} .IOSCFQ[2:0]ビット = 0x4, PWGACTL.REGSELビット = 1	7.2	8	8.4	MHz
		CLG _{IOSC} .IOSCFQ[2:0]ビット = 0x1, PWGACTL.REGSELビット = 1	1.76	2.2	2.64	MHz
		CLG _{IOSC} .IOSCFQ[2:0]ビット = 0x0, PWGACTL.REGSELビット = 1	0.88	1.1	1.32	MHz
		CLG _{IOSC} .IOSCFQ[2:0]ビット = 0x1, PWGACTL.REGSELビット = 0	1.8	2	2.1	MHz
		CLG _{IOSC} .IOSCFQ[2:0]ビット = 0x0, PWGACTL.REGSELビット = 0	0.9	1	1.05	MHz

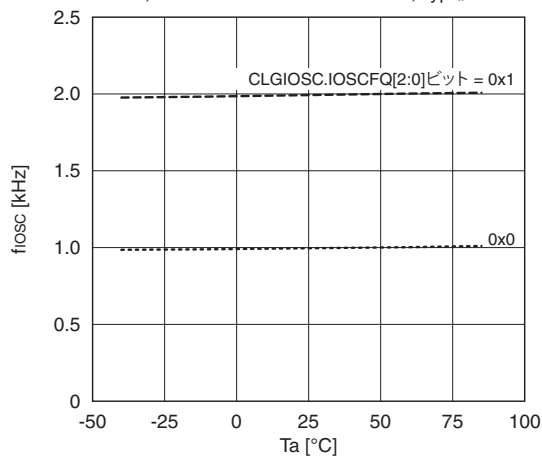
IOSC発振周波数-温度特性

$V_{DD} = 1.8 \sim 5.5$ V, PWGACTL.REGSELビット = 1, Typ.値



IOSC発振周波数-温度特性

$V_{DD} = 1.8 \sim 5.5$ V, PWGACTL.REGSELビット = 0, Typ.値



24 電気的特性

OSC1発振回路特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = 25 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
水晶発振 発振開始時間*1	tsta1C	CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.INV1N[1:0]ビット = 0x1, CLGOSC1.INV1B[1:0]ビット = 0x2, CLGOSC1.OSC1BUPビット = 1	-	-	3	s
水晶発振 内蔵ゲート容量	CG11C	CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.CG11[2:0]ビット = 0x0	-	12	-	pF
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.CG11[2:0]ビット = 0x1	-	14	-	pF
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.CG11[2:0]ビット = 0x2	-	16	-	pF
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.CG11[2:0]ビット = 0x3	-	18	-	pF
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.CG11[2:0]ビット = 0x4	-	19	-	pF
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.CG11[2:0]ビット = 0x5	-	21	-	pF
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.CG11[2:0]ビット = 0x6	-	23	-	pF
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.CG11[2:0]ビット = 0x7	-	24	-	pF
水晶発振 内蔵ドレイン容量	CD11C	CLGOSC1.OSC1SELCRビット = 0,	-	6	-	pF
水晶発振 発振回路電流 発振イン バータ能力比*1	Iosc1C	CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.INV1N/INV1B[1:0]ビット = 0x0	-	70	-	%
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.INV1N/INV1B[1:0]ビット = 0x1(基準)	-	100	-	%
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.INV1N/INV1B[1:0]ビット = 0x2	-	130	-	%
		CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.INV1N/INV1B[1:0]ビット = 0x3	-	300	-	%
水晶発振 発振停止検出回路電流	Iosd1C	CLGOSC1.OSC1SELCRビット = 0, CLGOSC1.OSDENビット = 1	-	0.025	0.1	μA
内蔵発振 発振開始時間	tsta1I	CLGOSC1.OSC1SELCRビット = 1	-	-	100	μs
内蔵発振 発振周波数	fosc1I	CLGOSC1.OSC1SELCRビット = 1	31.04	32	32.96	kHz

*1 CLGOSC1.CG11[2:0]ビット = 0x0, 水晶振動子 = C-002RX (セイコーエプソン(株)製, $R_1 = 50 \text{ k}\Omega$ (Max.), $C_L = 7 \text{ pF}$)

OSC3発振回路特性

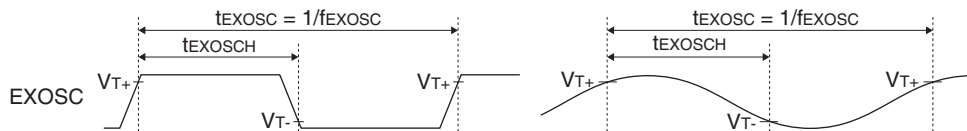
特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = 25 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	tsta3	水晶振動子 セラミック振動子	-	-	20	ms
内蔵ゲート容量	CG13		-	5	-	pF
内蔵ドレイン容量	CD13		-	5	-	pF

EXOSC外部クロック入力特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
EXOSC外部クロックデューティ	tEXOSCD	tEXOSCD = tEXOSCH/tEXOSC	46	-	54	%
高レベルシュミット入力スレシヨルド電圧	V _{T+}		$0.5 \times V_{DD}$	-	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレシヨルド電圧	V _{T-}		$0.2 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T		180	-	-	mV



24.6 Flashメモリ特性

特記なき場合: $V_{DD} = 2.4 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$ *1, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
書き換え回数 *2	C _{FEP}	データ保持10年保証時	1,000	-	-	回

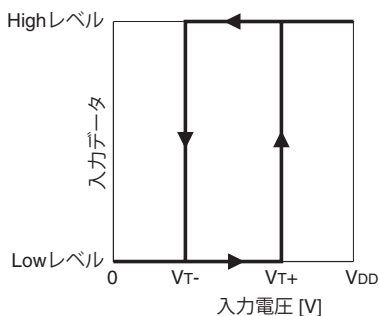
*1 V_{SS} 電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグランド電位に対し $\pm 0.3 \text{ V}$ 以内の変動に抑えてください。

*2 消去 + 書き込みを1回とする。ROMデータプログラミング出荷の場合、工場での書き込みも回数に含む。

24.7 入出力ポート(PPORT)特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力スレシヨルド電圧	V_{T+}		$0.5 \times V_{DD}$	-	$0.8 \times V_{DD}$	V
低レベルシュミット入力スレシヨルド電圧	V_{T-}		$0.2 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T		180	-	-	mV
高レベル出力電流	I _{OH}	$V_{OH} = 0.9 \times V_{DD}$	-	-	-0.4	mA
低レベル出力電流	I _{OL}	$V_{OL} = 0.1 \times V_{DD}$	0.4	-	-	mA
リーク電流	I _{LEAK}		-150	-	150	nA
入力プルアップ抵抗	R _{INU}		75	150	300	k Ω
入力プルダウン抵抗	R _{IND}		75	150	300	k Ω
端子容量	C _{IN}		-	-	15	pF



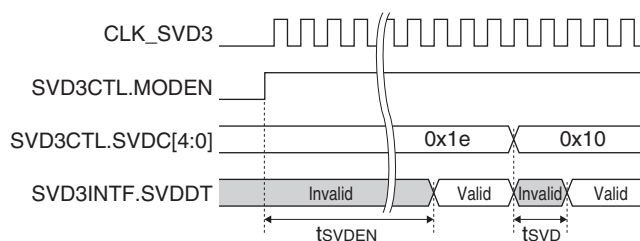
24.8 電源電圧検出回路(SVD3)特性

特記なき場合: V_{DD} = 1.8~5.5 V, V_{SS} = 0 V, T_a = -40~85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
EXSVDn端子入力電圧範囲	V _{EXSVD}		0	-	V _{DD}	V
EXSVDn入力インピーダンス	R _{EXSVD}	SVD3CTL.SVDC[4:0]ビット = 0x00	253	279	305	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x01	274	302	330	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x02	317	348	380	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x03	338	371	405	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x04	380	418	456	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x05	421	464	507	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x06	443	487	531	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x07	464	511	557	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x08	486	534	581	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x09	507	557	607	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x0a	528	580	631	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x0b	551	603	655	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x0c	571	626	682	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x0d	593	649	705	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x0e	616	672	727	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x0f	635	695	754	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x10	658	718	777	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x11	679	741	804	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x12	698	765	833	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x13	739	812	885	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x14	761	834	908	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x15	804	880	955	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x16	842	929	1,016	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x17	878	948	1,019	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x18	893	972	1,052	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x19	922	993	1,064	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x1a	963	1,041	1,119	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x1b	982	1,063	1,145	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x1c	1,001	1,086	1,171	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x1d	1,022	1,110	1,198	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x1e	1,054	1,129	1,204	kΩ
		SVD3CTL.SVDC[4:0]ビット = 0x1f	1,072	1,154	1,237	kΩ
EXSVDn検出電圧	V _{SVD_EXT}	SVD3CTL.SVDC[4:0]ビット = 0x00	1.17	1.2	1.23	V
		SVD3CTL.SVDC[4:0]ビット = 0x01	1.27	1.3	1.33	V
		SVD3CTL.SVDC[4:0]ビット = 0x02	1.46	1.5	1.54	V
		SVD3CTL.SVDC[4:0]ビット = 0x03	1.56	1.6	1.64	V
		SVD3CTL.SVDC[4:0]ビット = 0x04	1.76	1.8	1.85	V
		SVD3CTL.SVDC[4:0]ビット = 0x05	1.95	2.0	2.05	V
		SVD3CTL.SVDC[4:0]ビット = 0x06	2.05	2.1	2.15	V
		SVD3CTL.SVDC[4:0]ビット = 0x07	2.15	2.2	2.26	V
		SVD3CTL.SVDC[4:0]ビット = 0x08	2.24	2.3	2.36	V
		SVD3CTL.SVDC[4:0]ビット = 0x09	2.34	2.4	2.46	V
		SVD3CTL.SVDC[4:0]ビット = 0x0a	2.44	2.5	2.56	V
		SVD3CTL.SVDC[4:0]ビット = 0x0b	2.54	2.6	2.67	V
		SVD3CTL.SVDC[4:0]ビット = 0x0c	2.63	2.7	2.77	V
		SVD3CTL.SVDC[4:0]ビット = 0x0d	2.73	2.8	2.87	V
		SVD3CTL.SVDC[4:0]ビット = 0x0e	2.83	2.9	2.97	V
		SVD3CTL.SVDC[4:0]ビット = 0x0f	2.93	3.0	3.08	V
		SVD3CTL.SVDC[4:0]ビット = 0x10	3.02	3.1	3.18	V
		SVD3CTL.SVDC[4:0]ビット = 0x11	3.12	3.2	3.28	V
		SVD3CTL.SVDC[4:0]ビット = 0x12	3.22	3.3	3.38	V
		SVD3CTL.SVDC[4:0]ビット = 0x13	3.41	3.5	3.59	V
		SVD3CTL.SVDC[4:0]ビット = 0x14	3.51	3.6	3.69	V
		SVD3CTL.SVDC[4:0]ビット = 0x15	3.71	3.8	3.90	V
		SVD3CTL.SVDC[4:0]ビット = 0x16	3.90	4.0	4.10	V
		SVD3CTL.SVDC[4:0]ビット = 0x17	4.00	4.1	4.20	V
		SVD3CTL.SVDC[4:0]ビット = 0x18	4.10	4.2	4.31	V
		SVD3CTL.SVDC[4:0]ビット = 0x19	4.19	4.3	4.41	V
		SVD3CTL.SVDC[4:0]ビット = 0x1a	4.39	4.5	4.61	V
		SVD3CTL.SVDC[4:0]ビット = 0x1b	4.49	4.6	4.72	V
		SVD3CTL.SVDC[4:0]ビット = 0x1c	4.58	4.7	4.82	V
		SVD3CTL.SVDC[4:0]ビット = 0x1d	4.68	4.8	4.92	V
		SVD3CTL.SVDC[4:0]ビット = 0x1e	4.78	4.9	5.02	V
		SVD3CTL.SVDC[4:0]ビット = 0x1f	4.88	5.0	5.13	V

項目	記号	条件	Min.	Typ.	Max.	単位
SVD検出電圧	V _{SVD}	SVD3CTL.SVDC[4:0]ビット = 0x04	1.76	1.8	1.85	V
		SVD3CTL.SVDC[4:0]ビット = 0x05	1.95	2.0	2.05	V
		SVD3CTL.SVDC[4:0]ビット = 0x06	2.05	2.1	2.15	V
		SVD3CTL.SVDC[4:0]ビット = 0x07	2.15	2.2	2.26	V
		SVD3CTL.SVDC[4:0]ビット = 0x08	2.24	2.3	2.36	V
		SVD3CTL.SVDC[4:0]ビット = 0x09	2.34	2.4	2.46	V
		SVD3CTL.SVDC[4:0]ビット = 0x0a	2.44	2.5	2.56	V
		SVD3CTL.SVDC[4:0]ビット = 0x0b	2.54	2.6	2.67	V
		SVD3CTL.SVDC[4:0]ビット = 0x0c	2.63	2.7	2.77	V
		SVD3CTL.SVDC[4:0]ビット = 0x0d	2.73	2.8	2.87	V
		SVD3CTL.SVDC[4:0]ビット = 0x0e	2.83	2.9	2.97	V
		SVD3CTL.SVDC[4:0]ビット = 0x0f	2.93	3.0	3.08	V
		SVD3CTL.SVDC[4:0]ビット = 0x10	3.02	3.1	3.18	V
		SVD3CTL.SVDC[4:0]ビット = 0x11	3.12	3.2	3.28	V
		SVD3CTL.SVDC[4:0]ビット = 0x12	3.22	3.3	3.38	V
		SVD3CTL.SVDC[4:0]ビット = 0x13	3.41	3.5	3.59	V
		SVD3CTL.SVDC[4:0]ビット = 0x14	3.51	3.6	3.69	V
		SVD3CTL.SVDC[4:0]ビット = 0x15	3.71	3.8	3.90	V
		SVD3CTL.SVDC[4:0]ビット = 0x16	3.90	4.0	4.10	V
		SVD3CTL.SVDC[4:0]ビット = 0x17	4.00	4.1	4.20	V
SVD3CTL.SVDC[4:0]ビット = 0x18	4.10	4.2	4.31	V		
SVD3CTL.SVDC[4:0]ビット = 0x19	4.19	4.3	4.41	V		
SVD3CTL.SVDC[4:0]ビット = 0x1a	4.39	4.5	4.61	V		
SVD3CTL.SVDC[4:0]ビット = 0x1b	4.49	4.6	4.72	V		
SVD3CTL.SVDC[4:0]ビット = 0x1c	4.58	4.7	4.82	V		
SVD3CTL.SVDC[4:0]ビット = 0x1d	4.68	4.8	4.92	V		
SVD3CTL.SVDC[4:0]ビット = 0x1e	4.78	4.9	5.02	V		
SVD3CTL.SVDC[4:0]ビット = 0x1f	4.88	5.0	5.13	V		
SVD回路イネーブル時応答時間	t _{SVDEN}	*1	–	–	500	μs
SVD回路応答時間	t _{SVSD}		–	–	60	μs
SVD回路電流	I _{SVD}	SVD3CTL.SVDM[1:0]ビット = 0x0, SVD3CTL.SVDC[4:0]ビット = 0x04, CLK_SVD3 = 32 kHz, Ta = 25 °C	–	19	35	μA
		SVD3CTL.SVDM[1:0]ビット = 0x1, SVD3CTL.SVDC[4:0]ビット = 0x04, CLK_SVD3 = 32 kHz, Ta = 25 °C	–	4.7	7.7	μA
		SVD3CTL.SVDM[1:0]ビット = 0x2, SVD3CTL.SVDC[4:0]ビット = 0x04, CLK_SVD3 = 32 kHz, Ta = 25 °C	–	2.5	4.1	μA
		SVD3CTL.SVDM[1:0]ビット = 0x3, SVD3CTL.SVDC[4:0]ビット = 0x04, CLK_SVD3 = 32 kHz, Ta = 25 °C	–	1.5	2.4	μA

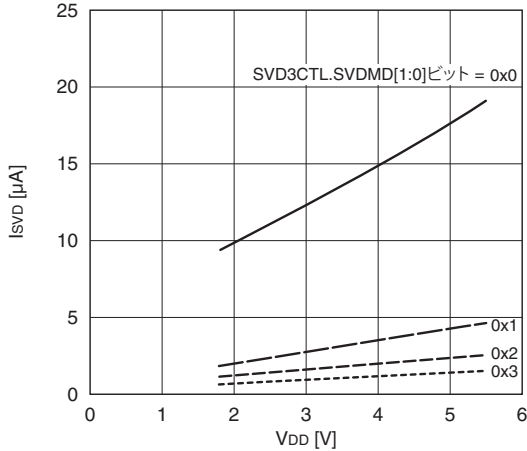
*1 CLK_SVD3 = 32 kHz近辺に設定されている場合、t_{SVDEN}の時間はマスクされ、SVD3INTF.SVDDTビットは前の値を保持します。



24 電氣的特性

SVD回路電流-電源電圧特性

Ta = 25 °C, SVD3CTL.SVDC[4:0]ビット = 0x04, CLK_SVD3 = 32 kHz, Typ.値



24.9 UART(UART3)特性

特記なき場合: VDD = 1.8~5.5 V, VSS = 0 V, Ta = -40~85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
送受信ボーレート	UBRT1	通常動作時	150	-	460,800	bps
	UBRT2	IrDA使用時	150	-	115,200	bps

24.10 同期式シリアルインタフェース(SPIA)特性

SPIA Ch.0

特記なき場合: マスタモード, VSS = 0 V, Ta = -40~85 °C

項目	記号	条件	VDD	V _{D1} 出力	Min.	Typ.	Max.	単位
SPICLK0サイクル時間	t _{SCYC}		3.0~5.5 V	mode0	200	-	-	ns
			1.8~3.0 V	mode0	200	-	-	ns
			1.8~3.6 V	mode1	480	-	-	ns
SPICLK0 High/パルス幅	t _{SCKH}		3.0~5.5 V	mode0	80	-	-	ns
			1.8~3.0 V	mode0	80	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SPICLK0 Low/パルス幅	t _{SCKL}		3.0~5.5 V	mode0	80	-	-	ns
			1.8~3.0 V	mode0	80	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SDI0セットアップ時間	t _{SDS}		3.0~5.5 V	mode0	60	-	-	ns
			1.8~3.0 V	mode0	60	-	-	ns
			1.8~3.6 V	mode1	160	-	-	ns
SDI0ホールド時間	t _{SDH}		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	40	-	-	ns
SDO0出力遅延時間	t _{SDO}	C _L = 15 pF *1	3.0~5.5 V	mode0	-	-	20	ns
			1.8~3.0 V	mode0	-	-	20	ns
			1.8~3.6 V	mode1	-	-	80	ns

*1 C_L = 端子負荷

特記なき場合: スレープモード, $V_{SS} = 0\text{ V}$, $T_a = -40\sim 85\text{ }^\circ\text{C}$

項目	記号	条件	V _{DD}	V _{D1} 出力	Min.	Typ.	Max.	単位
SPICLK0 サイクル時間	t _{SCYC}		3.0~5.5 V	mode0	200	-	-	ns
			1.8~3.0 V	mode0	200	-	-	ns
			1.8~3.6 V	mode1	480	-	-	ns
SPICLK0 High パルス幅	t _{SCKH}		3.0~5.5 V	mode0	80	-	-	ns
			1.8~3.0 V	mode0	80	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SPICLK0 Low パルス幅	t _{SCKL}		3.0~5.5 V	mode0	80	-	-	ns
			1.8~3.0 V	mode0	80	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SDI0 セットアップ時間	t _{SDS}		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	40	-	-	ns
SDI0 ホールド時間	t _{SDH}		3.0~5.5 V	mode0	13	-	-	ns
			1.8~3.0 V	mode0	13	-	-	ns
			1.8~3.6 V	mode1	50	-	-	ns
SDO0 出力遅延時間	t _{SDO}	C _L = 15 pF *1	3.0~5.5 V	mode0	-	-	60	ns
			1.8~3.0 V	mode0	-	-	65	ns
			1.8~3.6 V	mode1	-	-	210	ns
#SPISS0 セットアップ時間	t _{SSS}		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	40	-	-	ns
#SPISS0 High パルス幅	t _{SSH}		3.0~5.5 V	mode0	80	-	-	ns
			1.8~3.0 V	mode0	80	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SDO0 出力開始時間	t _{SDD}	C _L = 15 pF *1	3.0~5.5 V	mode0	-	-	60	ns
			1.8~3.0 V	mode0	-	-	65	ns
			1.8~3.6 V	mode1	-	-	210	ns
SDO0 出力停止時間	t _{SDZ}	C _L = 15 pF *1	3.0~5.5 V	mode0	-	-	60	ns
			1.8~3.0 V	mode0	-	-	65	ns
			1.8~3.6 V	mode1	-	-	210	ns

*1 C_L = 端子負荷**SPIA Ch.1**特記なき場合: マスタモード, $V_{SS} = 0\text{ V}$, $T_a = -40\sim 85\text{ }^\circ\text{C}$

項目	記号	条件	V _{DD}	V _{D1} 出力	Min.	Typ.	Max.	単位
SPICLK1 サイクル時間	t _{SCYC}		3.0~5.5 V	mode0	100	-	-	ns
			1.8~3.0 V	mode0	120	-	-	ns
			1.8~3.6 V	mode1	480	-	-	ns
SPICLK1 High パルス幅	t _{SCKH}		3.0~5.5 V	mode0	40	-	-	ns
			1.8~3.0 V	mode0	48	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SPICLK1 Low パルス幅	t _{SCKL}		3.0~5.5 V	mode0	40	-	-	ns
			1.8~3.0 V	mode0	48	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SDI1 セットアップ時間	t _{SDS}		3.0~5.5 V	mode0	30	-	-	ns
			1.8~3.0 V	mode0	40	-	-	ns
			1.8~3.6 V	mode1	120	-	-	ns
SDI1 ホールド時間	t _{SDH}		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	40	-	-	ns
SDO1 出力遅延時間	t _{SDO}	C _L = 15 pF *1	3.0~5.5 V	mode0	-	-	20	ns
			1.8~3.0 V	mode0	-	-	20	ns
			1.8~3.6 V	mode1	-	-	80	ns

*1 C_L = 端子負荷

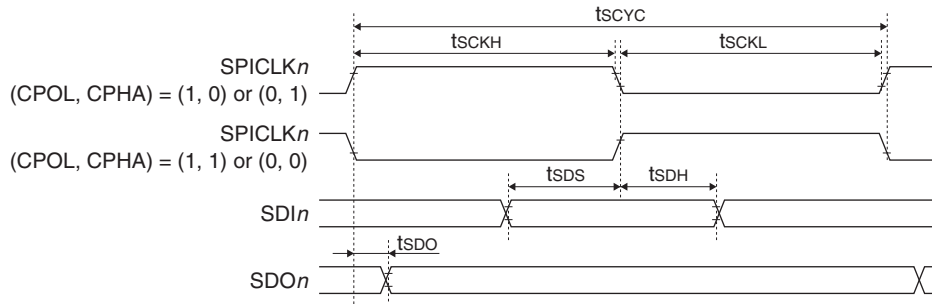
24 電気的特性

特記なき場合: スレープモード, $V_{SS} = 0\text{ V}$, $T_a = -40\sim 85\text{ }^\circ\text{C}$

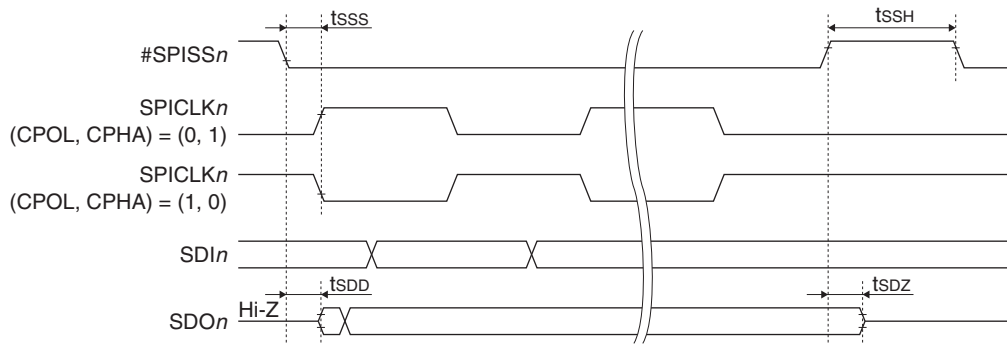
項目	記号	条件	V_{DD}	V_{D1} 出力	Min.	Typ.	Max.	単位
SPICLK1サイクル時間	tscyc		3.0~5.5 V	mode0	100	-	-	ns
			1.8~3.0 V	mode0	150	-	-	ns
			1.8~3.6 V	mode1	480	-	-	ns
SPICLK1 High/パルス幅	tsckh		3.0~5.5 V	mode0	40	-	-	ns
			1.8~3.0 V	mode0	60	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SPICLK1 Low/パルス幅	tsckl		3.0~5.5 V	mode0	40	-	-	ns
			1.8~3.0 V	mode0	60	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SDI1セットアップ時間	tsds		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	40	-	-	ns
SDI1ホールド時間	tsdh		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	50	-	-	ns
SDO1出力遅延時間	tsdo	$C_L = 15\text{ pF}^{*1}$	3.0~5.5 V	mode0	-	-	42	ns
			1.8~3.0 V	mode0	-	-	52	ns
			1.8~3.6 V	mode1	-	-	170	ns
#SPISS1セットアップ時間	tsss		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	40	-	-	ns
#SPISS1 High/パルス幅	tssh		3.0~5.5 V	mode0	40	-	-	ns
			1.8~3.0 V	mode0	60	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
SDO1出力開始時間	tsdd	$C_L = 15\text{ pF}^{*1}$	3.0~5.5 V	mode0	-	-	50	ns
			1.8~3.0 V	mode0	-	-	60	ns
			1.8~3.6 V	mode1	-	-	180	ns
SDO1出力停止時間	tsdz	$C_L = 15\text{ pF}^{*1}$	3.0~5.5 V	mode0	-	-	50	ns
			1.8~3.0 V	mode0	-	-	60	ns
			1.8~3.6 V	mode1	-	-	180	ns

*1 C_L = 端子負荷

マスタ/スレープモード共通



スレープモード



24.11 同期式クワッドシリアルインタフェース(QSPI)特性

特記なき場合: マスタモード, $V_{SS} = 0\text{ V}$, $T_a = -40\sim 85\text{ }^\circ\text{C}$

項目	記号	条件	V_{DD}	V_{D1} 出力	Min.	Typ.	Max.	単位
QSPICLK n サイクル時間	tscyc		3.0~5.5 V	mode0	100	-	-	ns
			1.8~3.0 V	mode0	120	-	-	ns
			1.8~3.6 V	mode1	480	-	-	ns
QSPICLK n High/パルス幅	tsckh		3.0~5.5 V	mode0	40	-	-	ns
			1.8~3.0 V	mode0	48	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
QSPICLK n Low/パルス幅	tsckl		3.0~5.5 V	mode0	40	-	-	ns
			1.8~3.0 V	mode0	48	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
QSDIO n [3:0]セットアップ時間	tsds		3.0~5.5 V	mode0	30	-	-	ns
			1.8~3.0 V	mode0	40	-	-	ns
			1.8~3.6 V	mode1	210	-	-	ns
QSDIO n [3:0]ホールド時間	tsdh		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	40	-	-	ns
QSDIO n [3:0]出力遅延時間	tsdo	$C_L = 15\text{ pF}^{*1}$	3.0~5.5 V	mode0	-	-	20	ns
			1.8~3.0 V	mode0	-	-	20	ns
			1.8~3.6 V	mode1	-	-	80	ns

*1 C_L = 端子負荷

特記なき場合: スレーブモード, $V_{SS} = 0\text{ V}$, $T_a = -40\sim 85\text{ }^\circ\text{C}$

項目	記号	条件	V_{DD}	V_{D1} 出力	Min.	Typ.	Max.	単位
QSPICLK n サイクル時間	tscyc		3.0~5.5 V	mode0	120	-	-	ns
			1.8~3.0 V	mode0	160	-	-	ns
			1.8~3.6 V	mode1	480	-	-	ns
QSPICLK n High/パルス幅	tsckh		3.0~5.5 V	mode0	48	-	-	ns
			1.8~3.0 V	mode0	64	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
QSPICLK n Low/パルス幅	tsckl		3.0~5.5 V	mode0	48	-	-	ns
			1.8~3.0 V	mode0	64	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
QSDIO n [3:0]セットアップ時間	tsds		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	40	-	-	ns
QSDIO n [3:0]ホールド時間	tsdh		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	50	-	-	ns
			1.8~3.6 V	mode1	60	-	-	ns
QSDIO n [3:0]出力遅延時間	tsdo	$C_L = 15\text{ pF}^{*1}$	3.0~5.5 V	mode0	-	-	48	ns
			1.8~3.0 V	mode0	-	-	56	ns
			1.8~3.6 V	mode1	-	-	180	ns
#QSPISS n セットアップ時間	tsss		3.0~5.5 V	mode0	10	-	-	ns
			1.8~3.0 V	mode0	10	-	-	ns
			1.8~3.6 V	mode1	40	-	-	ns
#QSPISS n High/パルス幅	tssh		3.0~5.5 V	mode0	48	-	-	ns
			1.8~3.0 V	mode0	60	-	-	ns
			1.8~3.6 V	mode1	190	-	-	ns
QSDIO n [3:0]出力開始時間	tsdd	$C_L = 15\text{ pF}^{*1}$	3.0~5.5 V	mode0	-	-	50	ns
			1.8~3.0 V	mode0	-	-	60	ns
			1.8~3.6 V	mode1	-	-	190	ns
QSDIO n [3:0]出力停止時間	tsdz	$C_L = 15\text{ pF}^{*1}$	3.0~5.5 V	mode0	-	-	50	ns
			1.8~3.0 V	mode0	-	-	60	ns
			1.8~3.6 V	mode1	-	-	190	ns

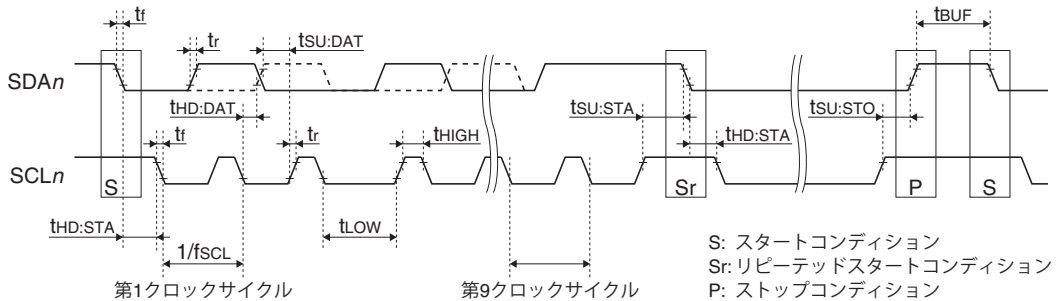
*1 C_L = 端子負荷

24.12 I²C(I2C)特性

特記なき場合: V_{DD} = 1.8~5.5 V, V_{SS} = 0 V, T_a = -40~85 °C

項目	記号	条件	標準モード			ファースト・モード			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	
SCL _n 周波数	f _{SCL}		0	-	100	0	-	400	kHz
ホールド時間(リピーテッド)スタートコンディション*	t _{HD:STA}		4.0	-	-	0.6	-	-	μs
SCL _n Lowパルス幅	t _{LOW}		4.7	-	-	1.3	-	-	μs
SCL _n Highパルス幅	t _{HIGH}		4.0	-	-	0.6	-	-	μs
リピーテッドスタートコンディションセットアップ時間	t _{SU:STA}		4.7	-	-	0.6	-	-	μs
データホールド時間	t _{HD:DAT}		0	-	-	0	-	-	μs
データセットアップ時間	t _{SU:DAT}		250	-	-	100	-	-	ns
SDA _n , SCL _n 立ち上がり時間	t _r		-	-	1,000	-	-	300	ns
SDA _n , SCL _n 立ち下がり時間	t _f		-	-	300	-	-	300	ns
ストップコンディションセットアップ時間	t _{SU:STO}		4.0	-	-	0.6	-	-	μs
バスフリー時間	t _{BUF}		4.7	-	-	1.3	-	-	μs

* この期間の後、最初のクロックパルスを生成



24.13 12ビットA/D変換器(ADC12A)特性

特記なき場合: V_{DD} = 2.5~5.5 V, V_{REFAn} = 1.8~5.5 V, V_{SS} = 0 V, T_a = -40~85 °C, ADC12A_nTRG.SMPCLK[2:0]ビット = 0x3(7サイクル)

項目	記号	条件	V _{DD}	Min.	Typ.	Max.	単位
V _{REFAn} 電圧範囲	V _{REFA}			1.8	-	V _{DD}	V
A/D変換クロック周波数	f _{CLK_ADC12A}			16	-	2,200	kHz
サンプリングレート *1	f _{SMP}			-	-	100	ksps
積分非直線性 *2	INL	V _{DD} = V _{REFAn} *3		-	-	±3	LSB
微分非直線性	DNL	V _{DD} = V _{REFAn} *3		-	-	±3	LSB
ゼロスケール誤差	ZSE	V _{DD} = V _{REFAn} *3		-	-	±5	LSB
フルスケール誤差	FSE	V _{DD} = V _{REFAn} *3		-	-	±5	LSB
アナログ入力抵抗	R _{ADIN}			-	-	4	kΩ
アナログ入力容量	C _{ADIN}			-	-	30	pF
A/D変換回路電流	I _{ADC}	ADC12A_nCFG.VRANGE[1:0]ビット = 0x3, V _{DD} = V _{REFA} , ADIN = V _{REFA} /2, f _{SMP} = 100 ksps, T _a = 25 °C	3.6 V	-	400	700	μA
		ADC12A_nCFG.VRANGE[1:0]ビット = 0x2, V _{DD} = V _{REFA} , ADIN = V _{REFA} /2, f _{SMP} = 100 ksps, T _a = 25 °C	4.8 V	-	230	470	μA
		ADC12A_nCFG.VRANGE[1:0]ビット = 0x1, V _{DD} = V _{REFA} , ADIN = V _{REFA} /2, f _{SMP} = 100 ksps, T _a = 25 °C	5.5 V	-	210	390	μA

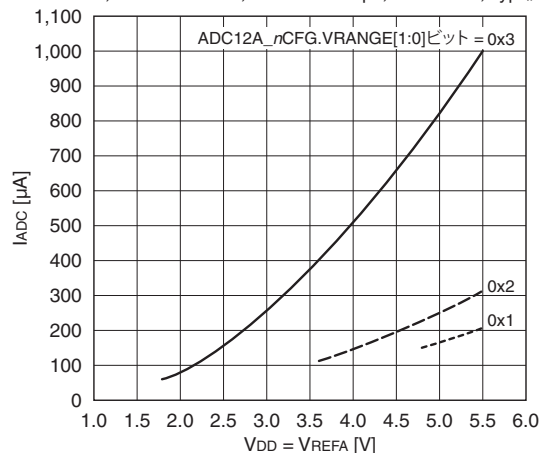
*1 Max.値はA/D変換クロック周波数f_{CLK_ADC12A} = 2,000 kHzの場合の値です。

*2 積分非直線性は、エンドポイントラインで測定されています。

*3 V_{DD}とV_{REFAn}の電位差が大きくなると、誤差が拡大します。

A/D変換器消費電流-電源電圧特性

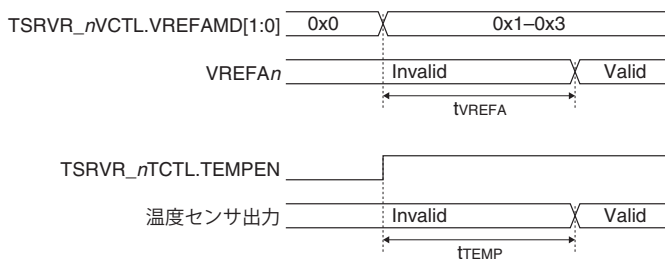
$V_{DD} = V_{REFA}$, $ADIN = V_{REFA}/2$, $f_{SMP} = 100$ kSPS, $T_a = 25$ °C, Typ.値



24.14 温度センサ/基準電圧生成回路(TSRVR)特性

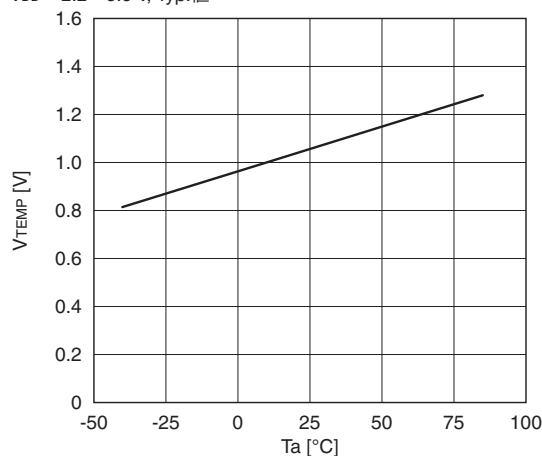
特記なき場合: $V_{DD} = 1.8 \sim 5.5$ V, $V_{SS} = 0$ V, $T_a = -40 \sim 85$ °C

項目	記号	条件	Min.	Typ.	Max.	単位
$V_{REFA}(2.5$ V)出力電圧	VVO25	$V_{DD} = 2.7 \sim 5.5$ V	2.4	2.5	2.6	V
$V_{REFA}(2.0$ V)出力電圧	VVO20	$V_{DD} = 2.2 \sim 5.5$ V	1.9	2.0	2.1	V
$V_{REFA}(V_{DD})$ 出力電圧	VVODD	$V_{DD} = 1.8 \sim 5.5$ V	$V_{DD} - 0.1$	V_{DD}	$V_{DD} + 0.1$	V
$V_{REFA}(2.5/2.0$ V)動作電流	IVO1	$V_{DD} = 5.5$ V, $T_a = 25$ °C	25	40	60	µA
$V_{REFA}(V_{DD})$ 動作電流	IVO2	$V_{DD} = 5.5$ V, $T_a = 25$ °C	-	0.0	0.1	µA
V_{REFA} 出力電圧安定時間	tVREFA	$C_{VREFA} = 0.1$ µF	-	1.5	5	ms
温度センサ出力電圧	VTEMP	$V_{DD} = 2.2 \sim 5.5$ V, $T_a = 25$ °C	1.04	1.07	1.1	V
温度センサ出力電圧温度係数	ΔV_{TEMP}	$V_{DD} = 2.2 \sim 5.5$ V	-	$3.6 \pm 3\%$	$3.7 \pm 6\%$	mV/°C
温度センサ動作電流	ITEMP	$V_{DD} = 5.5$ V, $T_a = 25$ °C	10	16	22	µA
温度センサ出力安定時間	tTEMP		-	-	200	µs



温度センサ出力電圧-温度特性

$V_{DD} = 2.2 \sim 5.5$ V, Typ.値



24.15 USB 2.0 FSデバイスコントローラ(USB)特性

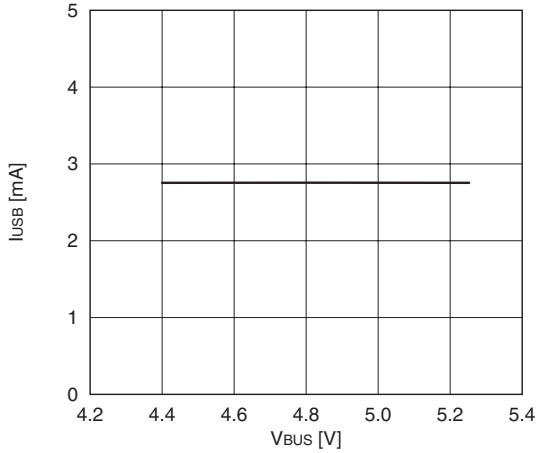
特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{BUS} = 4.4 \sim 5.25 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力トリガ電圧	$V_{T+}(USB)$		-	-	2.00	V
低レベルシュミット入力トリガ電圧	$V_{T-}(USB)$		0.80	-	-	V
差動入力感度	V_{DSU}	コモン電圧 = 0.8~2.5 V	0.20	-	-	V
高レベル出力抵抗	R_{OHUF}		40.5	-	49.5	Ω
低レベル出力抵抗	R_{OLUF}		40.5	-	49.5	Ω
入出力端子容量	CBU	$f = 1 \text{ MHz}$	-	-	15	pF
PLLロックアップ時間	t_{LOCK}		-	-	3	ms
1.8 V/3.3 Vレギュレータ出力安定時間	t_{REGOUT}	$C_{USB1-2} = 1 \mu\text{F}$, 負荷電流 = 1 mA	-	500	1,000	μs
USB回路電流	I_{USB}	$T_a = 25 \text{ }^\circ\text{C}^{*1}$	-	3	5	mA

*1 HIDデバイスクラス(1 msに1回転送)における V_{BUS} 端子に流れる電流値

USB回路電流- V_{BUS} 電圧特性

$T_a = 25 \text{ }^\circ\text{C}$, Typ.値



24.16 メモリディスプレイコントローラ(MDC)特性

メモリディスプレイコントローラは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)によって特性がシフトしますので、実際に使用するパネルを接続して評価してください。

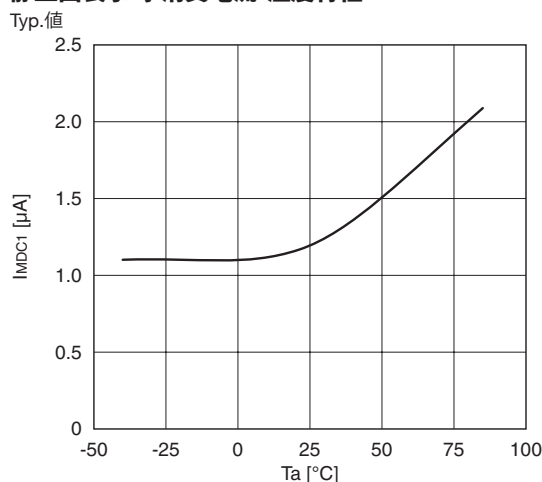
特記なき場合: $V_{DD} = 2.0 \sim 5.5$ V, $V_{SS} = 0$ V, $T_a = 25$ °C, MDCBSTCLK.CLKSRC[1:0]ビット = 0x1, MDCBSTCLK.CLKDIV[2:0]ビット = 0x0(昇圧用クロック 32 kHz), MDCBSTPWR.REGECOビット = 0, MDCBSTPWR.VMDBUPビット = 0, パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位
パネル駆動電圧	VMDH	MDCBSTVMD.VMDHVOL[2:0]ビット = 0x0	4.3	4.4	4.5	V
		MDCBSTVMD.VMDHVOL[2:0]ビット = 0x1	4.4	4.5	4.6	V
		MDCBSTVMD.VMDHVOL[2:0]ビット = 0x2	4.5	4.6	4.7	V
		MDCBSTVMD.VMDHVOL[2:0]ビット = 0x3	4.6	4.7	4.8	V
		MDCBSTVMD.VMDHVOL[2:0]ビット = 0x4	4.7	4.8	4.9	V
		MDCBSTVMD.VMDHVOL[2:0]ビット = 0x5	4.8	4.9	5.0	V
		MDCBSTVMD.VMDHVOL[2:0]ビット = 0x6	4.9	5.0	5.1	V
	VMDL	MDCBSTVMD.VMDLVOL[2:0]ビット = 0x0	2.6	2.7	2.8	V
		MDCBSTVMD.VMDLVOL[2:0]ビット = 0x1	2.7	2.8	2.9	V
		MDCBSTVMD.VMDLVOL[2:0]ビット = 0x2	2.8	2.9	3.0	V
		MDCBSTVMD.VMDLVOL[2:0]ビット = 0x3	2.9	3.0	3.1	V
		MDCBSTVMD.VMDLVOL[2:0]ビット = 0x4	3.0	3.1	3.2	V
		MDCBSTVMD.VMDLVOL[2:0]ビット = 0x5	3.1	3.2	3.3	V
		MDCBSTVMD.VMDLVOL[2:0]ビット = 0x6	3.2	3.3	3.4	V
V _{MD} 負荷電流	LVMDH	MDCBSTVMD.VMDHVOL[2:0]ビット = 0x7, MDCBSTPWR.VMDBUPビット = 1	-	-	1	mA
		MDCBSTVMD.VMDHVOL[2:0]ビット = 0x7, MDCBSTPWR.REGECOビット = 1	-	-	50	μA
	LVMDL	MDCBSTVMD.VMDLVOL[2:0]ビット = 0x7, MDCBSTPWR.VMDBUPビット = 1	-	-	1	mA
		MDCBSTVMD.VMDLVOL[2:0]ビット = 0x7, MDCBSTPWR.REGECOビット = 1	-	-	50	μA
昇圧出力安定時間	tbST	$C_{VMVD1} = 1$ μF, $C_{VMD+} = 1$ μF, $C_{MD+} = 1$ μF	-	-	2	ms
V _{MD} 電源出力安定時間	tvMD	MDCBSTVMD.VMDHVOL[2:0]ビット = 0x7, MDCBSTVMD.VMDLVOL[2:0]ビット = 0x7, $C_{VMDH} = 1$ μF, $C_{VMDL} = 1$ μF	-	-	2	ms
MDC回路電流(静止画表示)	IMDC1 *2	MDCBSTCLK.CLKDIV [2:0]ビット = 0x4, MDCBSTPWR.REGECOビット = 1, VCOM(対向反転周期) = 60 Hz, 市松表示 *1	-	2	5	μA
MDC回路電流(表示更新時)	IMDC2 *2	IOSC = 20 MHz, MDCBSTPWR.VMDBUPビット = 1, VCOM(対向反転周期) = 60 Hz, 市松表示 *1	-	2.4	3.2	mA

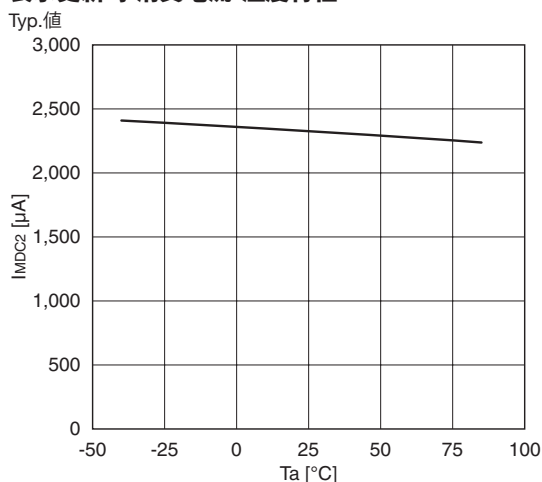
*1 パラレル6ビットカラーインタフェース, パネルサイズ: 205 × 148

*2 SLEEPモード/HALTモード/RUNモード時の消費電流に加算されます。パネルサイズ、表示パターン、パネル負荷により消費電流は増加します。

静止画表示時 消費電流-温度特性



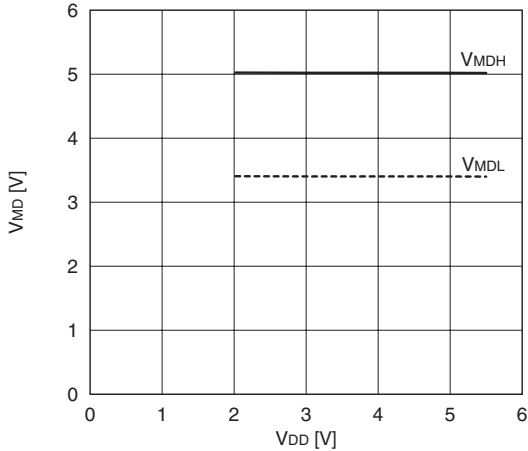
表示更新時 消費電流-温度特性



24 電気的特性

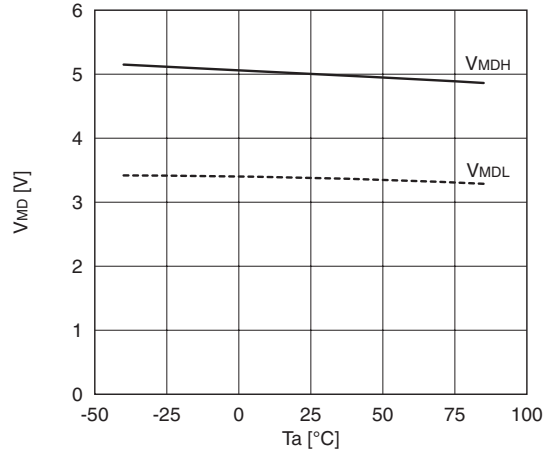
駆動電圧-電源電圧特性

Typ.値, $I_{VMDH} = 1 \text{ mA}$



駆動電圧-温度特性

Typ.値, $I_{VMDH} = 1 \text{ mA}$



ホストインタフェース

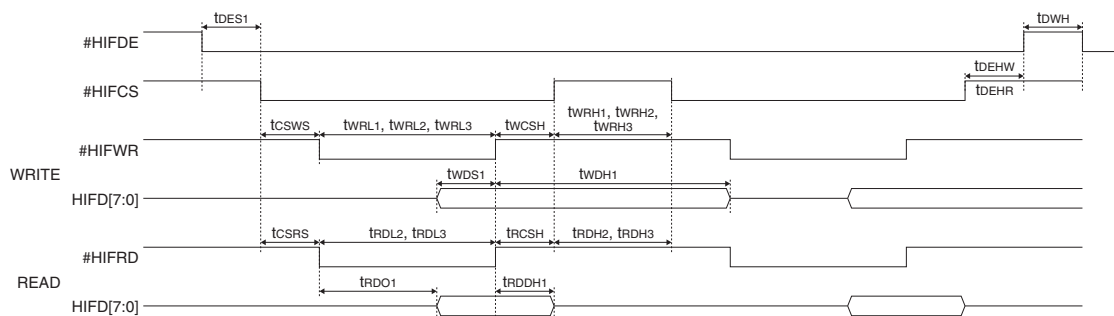
インダイレクト8ビットパラレルインタフェース

特記なき場合: $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
#HIFDEセットアップ時間	tDES1		0	-	-	ns
#HIFDEホールド時間(ライト時)	tDEHW		tWRH2, tWRH3	-	-	ns
#HIFDEホールド時間(リード時)	tDEHR		trDH2, trDH3	-	-	ns
#HIFDE High期間	tdWH		14	-	-	ns
#HIFCSセットアップ時間(ライト時)	tCSWS		0	-	-	ns
#HIFCSホールド時間(ライト時)	twCSH		0	-	-	ns
#HIFWR Lowパルス幅 (コマンド/アドレスバイト)	twRL1		13	-	-	ns
#HIFWR Lowパルス幅 (MDCHOSTCTLレジスタデータバイト)	twRL2		58	-	-	ns
#HIFWR Lowパルス幅 (メモリレジスタデータバイト)	twRL3		tSYSCLK + 39	-	-	ns
#HIFCS Highパルス幅(ライト時) (コマンド/アドレスバイト)	tWRH1		30	-	-	ns
#HIFCS Highパルス幅(ライト時) (MDCHOSTCTLレジスタデータバイト)	tWRH2		71	-	-	ns
#HIFCS Highパルス幅(ライト時) (メモリレジスタ書き込み)	tWRH3		tSYSCLK × (3 + 2 × nACTIVE)	-	-	ns
ライトデータ セットアップ時間	twDS1		1	-	-	ns
ライトデータ ホールド時間	twDH1		30	-	-	ns
#HIFCSセットアップ時間(リード時)	tCSRS		0	-	-	ns
#HIFCSホールド時間(リード時)	trCSH		0	-	-	ns
#HIFRD Lowパルス幅 (MDCHOSTCTLレジスタデータバイト)	trDL2		168	-	-	ns
#HIFRD Lowパルス幅 (メモリレジスタデータバイト)	trDL3		tSYSCLK + 22	-	-	ns
有効リードデータ待ち時間(リード時)	trDO1		-	-	167	ns
リードデータ ホールド時間	trDDH1		5	-	83	ns
#HIFCS Highパルス幅(リード時) (MDCHOSTCTLレジスタデータバイト)	trDH2		83	-	-	ns
#HIFCS Highパルス幅(リード時) (メモリレジスタデータバイト)	trDH3		tSYSCLK × (7 + 2 × nACTIVE)	-	-	ns

*1 tSYSCLK: システムクロック周期[ns]

*2 nACTIVE: 同一メモリ/周辺回路をアクセス中の他のアクティブバスマスタ数
AHB-Lite/バスはCPU、DMAC、MDCの3つのバスマスタを持ちます。



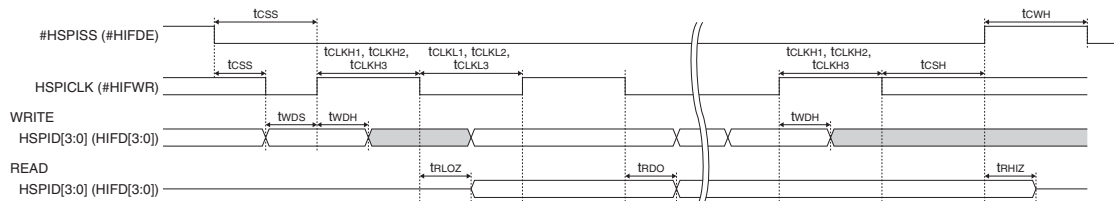
SPI/QSPI

特記なき場合: $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

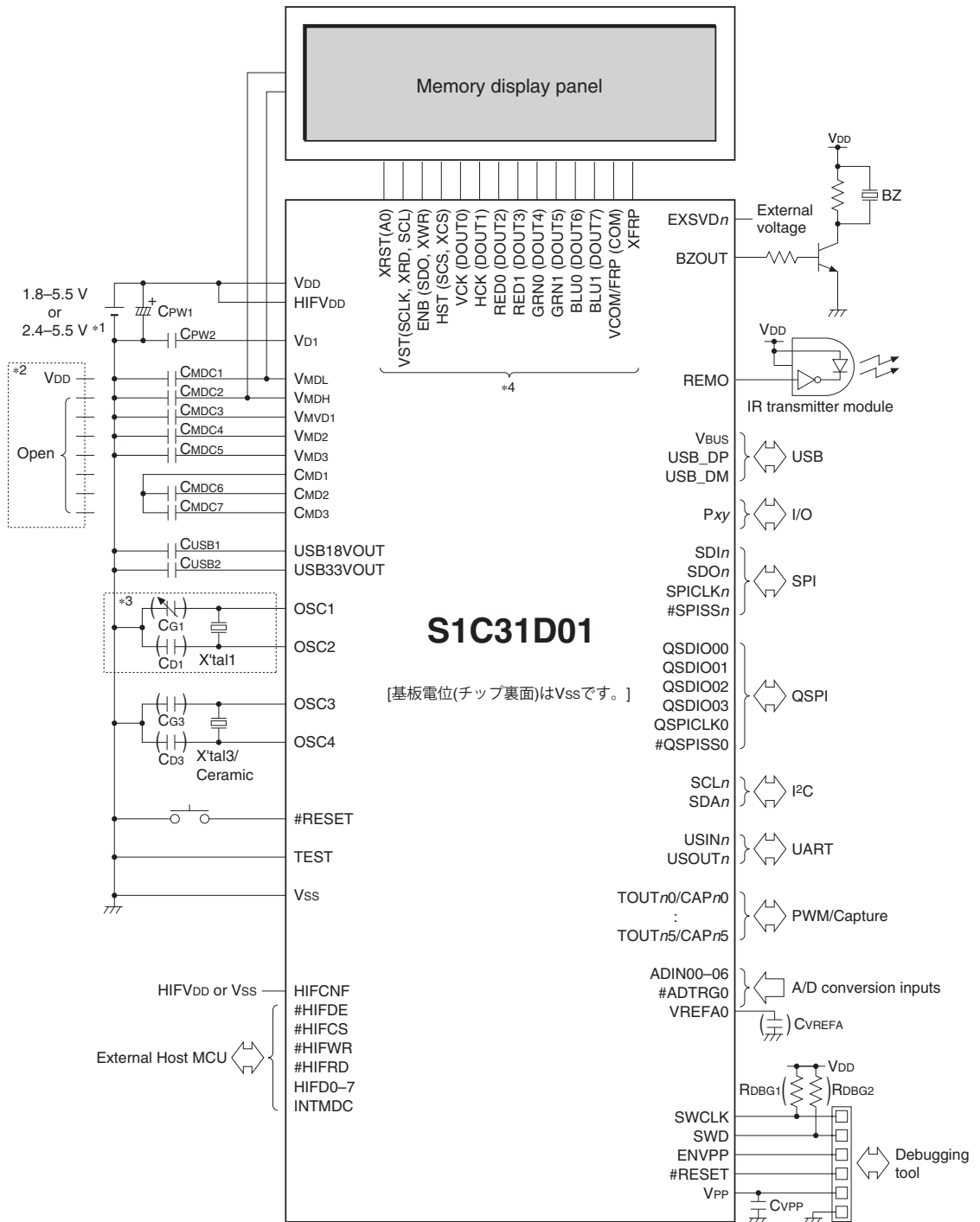
項目	記号	条件	Min.	Typ.	Max.	単位
#HSPISSセットアップ時間	tCSS		19	-	-	ns
#HSPISSホールド時間	tCSH		30	-	-	ns
#HSPISS High/パルス幅	tCWH		145	-	-	ns
HSPIDライトデータ セットアップ時間	tWDS		11	-	-	ns
HSPIDライトデータ ホールド時間	tWDH		54	-	-	ns
HSPID Lowインピーダンス待ち時間	tRLOZ		12	-	168	ns
HSPID有効データ待ち時間	tRDO		10	-	121	ns
HSPID Highインピーダンス待ち時間	tRHIZ		11	-	153	ns
HSPICLK High/パルス幅 (コマンド/アドレス/MDCHOSTCTLレジスタ データバイト)	tCLKH1		54	-	-	ns
HSPICLK Low/パルス幅 (コマンド/アドレス/MDCHOSTCTLレジスタ データバイト)	tCLKL1		121	-	-	ns
HSPICLK High/パルス幅(ライト時) (メモリレジスタデータバイト)	tCLKH2		$t_{SYSCLK} \times 0.25 \times$ $(5 + 2 \times nACTIVE)$	-	-	ns
HSPICLK Low/パルス幅(ライト時) (メモリレジスタデータバイト)	tCLKL2		$t_{SYSCLK} \times 0.25 \times$ $(5 + 2 \times nACTIVE)$	-	-	ns
HSPICLK High/パルス幅(リード時) (メモリレジスタデータバイト)	tCLKH3		$t_{SYSCLK} \times$ $(8 + 2 \times nACTIVE)$	-	-	ns
HSPICLK Low/パルス幅(リード時) (メモリレジスタデータバイト)	tCLKL3		121	-	-	ns

*1 t_{SYSCLK} : システムクロック周期[ns]

*2 $nACTIVE$: 同一メモリ/周辺回路をアクセス中の他のアクティブバスマスタ数
AHB-LiteバスはCPU、DMAC、MDCの3つのバスマスタを持ちます。



25 基本外部結線図



- *1: Flashプログラミング時
- *2: メモリディスプレイコントローラ未使用時
- *3: OSC1水晶発振回路選択時
- *4: 使用するパネルにより端子構成は異なります。
- (): 不要時は未実装とする。

外付け部品例

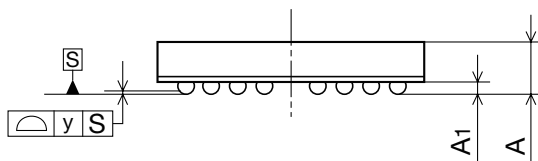
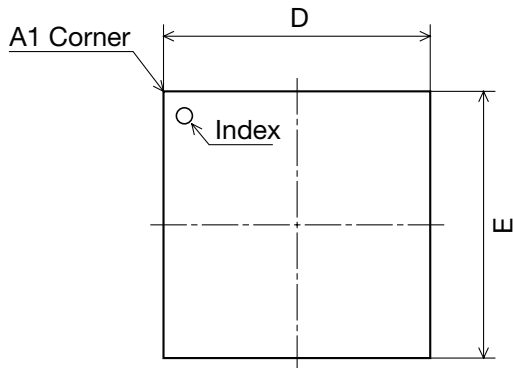
シンボル	名称	推奨部品
X'tal1	32 kHz水晶振動子	セイコーエプソン(株)製 C-002RX (R1 = 50 kΩ (Max.), CL = 7 pF)
CG1	OSC1用ゲートキャパシタ	トリマーコンデンサ or セラミックコンデンサ
CD1	OSC1用ドレインキャパシタ	セラミックコンデンサ
X'tal3	水晶振動子	セイコーエプソン(株)製 CA-301 (4 MHz)
Ceramic	セラミック振動子	(株)村田製作所製 CSBLA_J (1 MHz)
CG3	OSC3用ゲートキャパシタ	セラミックコンデンサ
CD3	OSC3用ドレインキャパシタ	セラミックコンデンサ
CPW1	V _{SS} ~V _{DD} 間バイパスキャパシタ	セラミックコンデンサ or 電解コンデンサ
CPW2	V _{SS} ~V _{D1} 間キャパシタ	セラミックコンデンサ
CMDC1	V _{SS} ~V _{MDL} 間キャパシタ	セラミックコンデンサ
CMDC2	V _{SS} ~V _{MDH} 間キャパシタ	セラミックコンデンサ
CMDC3	V _{SS} ~V _{MVD1} 間キャパシタ	セラミックコンデンサ
CMDC4-5	V _{SS} ~V _{MD2} , V _{SS} ~V _{MD3} 間キャパシタ	セラミックコンデンサ
CMDC6-7	C _{MD1} ~C _{MD2} , C _{MD1} ~C _{MD3} 間キャパシタ	セラミックコンデンサ
CUSB1-2	V _{SS} ~USB18VOUT, V _{SS} ~USB33VOUT間キャパシタ	セラミックコンデンサ
BZ	圧電ブザー	TDK(株)製 PS1240P02
RDBG1-2	デバッグ端子ブルアップ抵抗	厚膜チップ抵抗
CVREFA	V _{SS} ~VREFA間キャパシタ	セラミックコンデンサ
CVPP	V _{SS} ~VPP間キャパシタ	セラミックコンデンサ

* 推奨部品の定数については、“電気的特性”の章の“推奨動作条件”を参照してください。

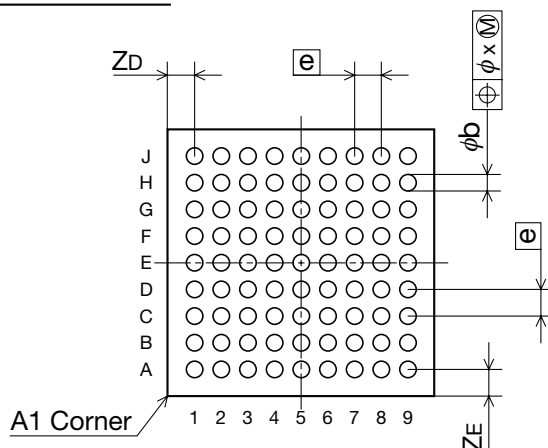
26 パッケージ

VFBGA5H-81 (P-VFBGA-081-0505-0.50)

Top View



Bottom View

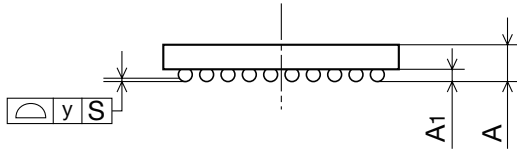
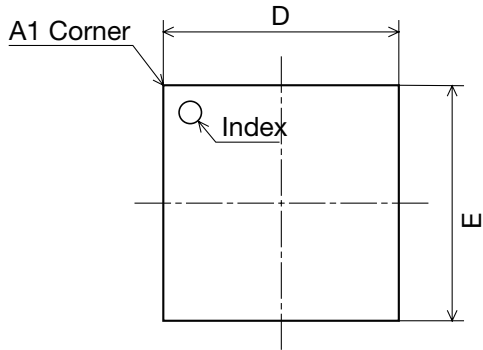


Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	4.90	5.00	5.10
E	4.90	5.00	5.10
A	-	-	1.00
A1	0.18	0.23	0.28
e	-	0.50	-
b	0.26	0.31	0.36
x	-	-	0.08
y	-	-	0.10
ZD	0.40	0.50	0.60
ZE	0.40	0.50	0.60

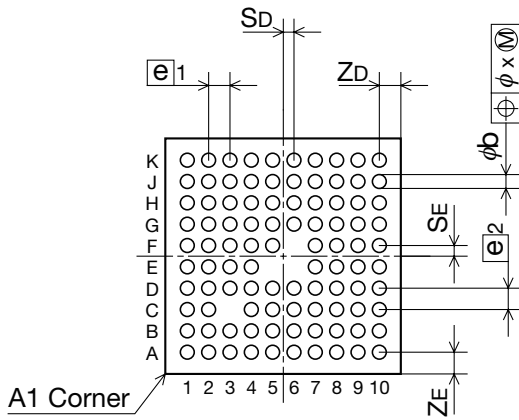
図26.1 VFBGA5H-81パッケージ寸法

WCSP96

Top View



Bottom View



Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	4.39	-	4.44
E	4.39	-	4.44
A	-	-	0.69
A1	0.20	0.23	0.26
e_1	-	0.40	-
e_2	-	0.40	-
b	0.23	0.26	0.29
x	-	-	0.08
y	-	-	0.05
SD	-	0.20	-
SE	-	0.20	-
ZD	-	0.425	-
ZE	-	0.425	-

図26.2 WCSP96パッケージ寸法

QFP14-80PIN (P-LQFP080-1212-0.50)

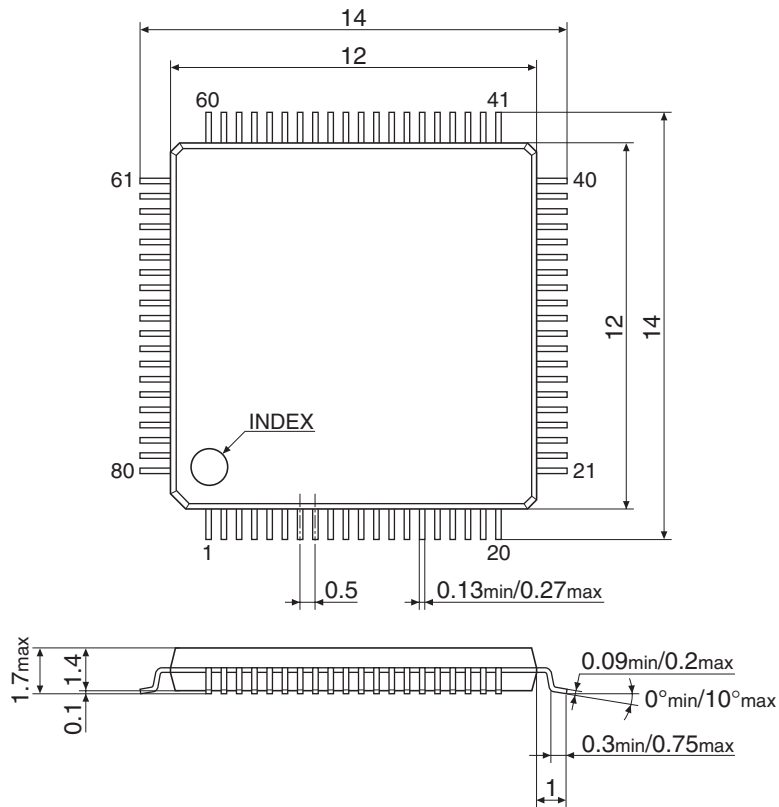


図26.3 QFP14-80PIN/パッケージ寸法

Appendix A 周辺回路制御レジスタ一覧

0x4000 0000

System Register (SYS)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0000	SYSPROT (System Protect Register)	15-0	PROT[15:0]	0x0000	H0	R/W	-

0x4000 0020

Power Generator (PWGA)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0020	PWGACTL (PWGA Control Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5	REGDIS	0	H0	R/WP	
		4	REGSEL	1	H0	R/WP	
		3-2	-	0x0	-	R	
		1-0	REGMODE[1:0]	0x0	H0	R/WP	

0x4000 0040-0x4000 0054

Clock Generator (CLG)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0040	CLGSCLK (CLG System Clock Control Register)	15	WUPMD	0	H0	R/WP	-
		14	-	0	-	R	
		13-12	WUPDIV[1:0]	0x0	H0	R/WP	
		11-10	-	0x0	-	R	
		9-8	WUPSRC[1:0]	0x0	H0	R/WP	
		7-6	-	0x0	-	R	
		5-4	CLKDIV[1:0]	0x0	H0	R/WP	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/WP	
0x4000 0042	CLGOSC (CLG Oscillation Control Register)	15-12	-	0x0	-	R	-
		11	EXOSCSLPC	1	H0	R/W	
		10	OSC3SLPC	1	H0	R/W	
		9	OSC1SLPC	1	H0	R/W	
		8	IOSCSLPC	1	H0	R/W	
		7-4	-	0x0	-	R	
		3	EXOSCEN	0	H0	R/W	
		2	OSC3EN	0	H0	R/W	
		1	OSC1EN	0	H0	R/W	
		0	IOSCEN	1	H0	R/W	
0x4000 0044	CLGIOSC (CLG IOSC Control Register)	15-8	-	0x00	-	R	-
		7-5	-	0x0	-	R	
		4	IOSCSTM	0	H0	R/WP	
		3	-	0	-	R	
		2-0	IOSCFQ[2:0]	0x4	H0	R/WP	
0x4000 0046	CLGOSC1 (CLG OSC1 Control Register)	15	-	0	-	R	-
		14	OSDRB	1	H0	R/WP	
		13	OSDEN	0	H0	R/WP	
		12	OSC1BUP	1	H0	R/WP	
		11	OSC1SELCR	0	H0	R/WP	
		10-8	CGI1[2:0]	0x0	H0	R/WP	
		7-6	INV1B[1:0]	0x2	H0	R/WP	
		5-4	INV1N[1:0]	0x1	H0	R/WP	
3-2	-	0x0	-	R			
		1-0	OSC1WT[1:0]	0x2	H0	R/WP	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4000 0048	CLGOSC3 (CLG OSC3 Control Register)	15-8	-	0x00	-	R		
		7-6	-	0x0	-	R		
		5-4	OSC3INV[1:0]	0x3	H0	R/WP		
		3	-	0	-	R		
		2-0	OSC3WT[2:0]	0x6	H0	R/WP		
0x4000 004c	CLGINTF (CLG Interrupt Flag Register)	15-9	-	0x00	-	R		
		8	IOSCTERIF	0	H0	R/W		Cleared by writing 1.
		7	-	0	-	R		-
		6	(reserved)	0	H0	R		-
		5	OSC1STPIF	0	H0	R/W		Cleared by writing 1.
		4	IOSCTEDIF	0	H0	R/W		-
		3	-	0	-	R		-
		2	OSC3STAIF	0	H0	R/W		Cleared by writing 1.
0x4000 004e	CLGINTE (CLG Interrupt Enable Register)	15-9	-	0x00	-	R		
		8	IOSCTERIE	0	H0	R/W		
		7	-	0	-	R		
		6	(reserved)	0	H0	R/W		
		5	OSC1STPIE	0	H0	R/W		
		4	IOSCTEDIE	0	H0	R/W		
		3	-	0	-	R		
		2	OSC3STAIE	0	H0	R/W		
0x4000 0050	CLGFOUT (CLG FOUT Control Register)	15-8	-	0x00	-	R		
		7	-	0	-	R		
		6-4	FOUTDIV[2:0]	0x0	H0	R/W		
		3-2	FOUTSRC[1:0]	0x0	H0	R/W		
		1	-	0	-	R		
		0	FOUTEN	0	H0	R/W		
0x4000 0052	CLGTRIM1 (CLG Oscillation Frequency Trimming Register 1)	15-14	-	0x0	-	R		
		13-8	IOSCLSAJ[5:0]	*	H0	R/WP		* Determined by factory adjustment.
		7-6	-	0x0	-	R		-
		5-0	IOSCHSAJ[5:0]	*	H0	R/WP		* Determined by factory adjustment.
0x4000 0054	CLGTRIM2 (CLG Oscillation Frequency Trimming Register 2)	15-8	-	0x00	-	R		
		7-6	-	0x0	-	R		
		5-0	OSC1SAJ[5:0]	*	H0	R/WP		* Determined by factory adjustment.

0x4000 0080

Cache Controller (CACHE)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0080	CACHECTL (CACHE Control Register)	15-8	-	0x00	-	R	
		7-2	-	0x00	-	R	
		1	-	1	-	R	
		0	CACHEEN	0	H0	R/W	

0x4000 00a0-0x4000 00a4

Watchdog Timer (WDT2)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 00a0	WDT2CLK (WDT2 Clock Control Register)	15-9	-	0x00	-	R	
		8	DBRUN	0	H0	R/WP	
		7-6	-	0x0	-	R	
		5-4	CLKDIV[1:0]	0x0	H0	R/WP	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 00a2	WDT2CTL (WDT2 Control Register)	15-11	-	0x00	-	R	-
		10-9	MOD[1:0]	0x0	H0	R/WP	
		8	STATNMI	0	H0	R	
		7-5	-	0x0	-	R	
		4	WDT2CNTRST	0	H0	WP	
0x4000 00a4	WDT2CMP (WDT2 Counter Compare Match Register)	15-10	-	0x00	-	R	-
		3-0	WDTRUN[3:0]	0xa	H0	R/WP	
		9-0	CMP[9:0]	0x3ff	H0	R/WP	

0x4000 00c0-0x4000 00d2**Real-time Clock (RTCA)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4000 00c0	RTCACTLL (RTCA Control Register (Low Byte))	7	-	0	-	R	-	
		6	RTCBSY	0	H0	R		
		5	RTCHLD	0	H0	R/W		Cleared by setting the RTCACTLL.RTCRST bit to 1.
		4	RTC24H	0	H0	R/W		-
		3	-	0	-	R		-
		2	RTCADJ	0	H0	R/W		Cleared by setting the RTCACTLL.RTCRST bit to 1.
		1	RTCST	0	H0	R/W		-
		0	RTCST	0	H0	R/W		-
0x4000 00c1	RTCACTLH (RTCA Control Register (High Byte))	7	RTCTRMBYSY	0	H0	R	-	
		6-0	RTCTRM[6:0]	0x00	H0	W	Read as 0x00.	
0x4000 00c2	RTCAALM1 (RTCA Second Alarm Register)	15	-	0	-	R	-	
		14-12	RTCASHA[2:0]	0x0	H0	R/W		
		11-8	RTCASLA[3:0]	0x0	H0	R/W		
0x4000 00c4	RTCAALM2 (RTCA Hour/Minute Alarm Register)	7-0	-	0x00	-	R	-	
		15	-	0	-	R		
		14	RTCAPA	0	H0	R/W		
		13-12	RTCHHA[1:0]	0x0	H0	R/W		
		11-8	RTCHLA[3:0]	0x0	H0	R/W		
		7	-	0	-	R		
0x4000 00c6	RTCASWCTL (RTCA Stopwatch Control Register)	6-4	RTCMHA[2:0]	0x0	H0	R/W	-	
		3-0	RTCMILA[3:0]	0x0	H0	R/W		
		15-12	BCD10[3:0]	0x0	H0	R		
		11-8	BCD100[3:0]	0x0	H0	R		
		7-5	-	0x0	-	R		
0x4000 00c8	RTCASEC (RTCA Second/1Hz Register)	4	SWRST	0	H0	W	Read as 0.	
		3-1	-	0x0	-	R	-	
		0	SWRUN	0	H0	R/W	-	
		15	-	0	-	R	-	
		14-12	RTCASH[2:0]	0x0	H0	R/W		
11-8	RTCASL[3:0]	0x0	H0	R/W				
7	RTC1HZ	0	H0	R	Cleared by setting the RTCACTLL.RTCRST bit to 1.			
6	RTC2HZ	0	H0	R				
5	RTC4HZ	0	H0	R				
0x4000 00c8	RTCASEC (RTCA Second/1Hz Register)	4	RTC8HZ	0	H0	R	-	
		3	RTC16HZ	0	H0	R		
		2	RTC32HZ	0	H0	R		
		1	RTC64HZ	0	H0	R		
		0	RTC128HZ	0	H0	R		

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4000 00ca	RTCAHUR (RTCA Hour/Minute Register)	15	–	0	–	R	–	
		14	RTCAP	0	H0	R/W		
		13–12	RTCHH[1:0]	0x1	H0	R/W		
		11–8	RTCHL[3:0]	0x2	H0	R/W		
		7	–	0	–	R		
		6–4	RTCMIH[2:0]	0x0	H0	R/W		
0x4000 00cc	RTCAMON (RTCA Month/Day Register)	3–0	RTCMIL[3:0]	0x0	H0	R/W	–	
		15–13	–	0x0	–	R		
		12	RTCMOH	0	H0	R/W		
		11–8	RTCMOL[3:0]	0x1	H0	R/W		
		7–6	–	0x0	–	R		
		5–4	RTCDH[1:0]	0x0	H0	R/W		
0x4000 00ce	RTCAYAR (RTCA Year/Week Register)	3–0	RTCDL[3:0]	0x1	H0	R/W	–	
		15–11	–	0x00	–	R		
		10–8	RTCWK[2:0]	0x0	H0	R/W		
		7–4	RTCYH[3:0]	0x0	H0	R/W		
0x4000 00d0	RTCAINTF (RTCA Interrupt Flag Register)	3–0	RTCYL[3:0]	0x0	H0	R/W	–	
		15	RTCTRMIF	0	H0	R/W		
		14	SW1IF	0	H0	R/W		
		13	SW10IF	0	H0	R/W		
		12	SW100IF	0	H0	R/W		
		11–9	–	0x0	–	R	Cleared by writing 1.	
		8	ALARMIF	0	H0	R/W		
		7	T1DAYIF	0	H0	R/W		
		6	T1HURIF	0	H0	R/W		
		5	T1MINIF	0	H0	R/W		
		4	T1SECIF	0	H0	R/W		
		3	T1_2SECIF	0	H0	R/W		
		2	T1_4SECIF	0	H0	R/W		
		1	T1_8SECIF	0	H0	R/W		
		0	T1_32SECIF	0	H0	R/W		
		0x4000 00d2	RTCAINTE (RTCA Interrupt Enable Register)	15	RTCTRMIE	0		H0
14	SW1IE			0	H0	R/W		
13	SW10IE			0	H0	R/W		
12	SW100IE			0	H0	R/W		
11–9	–			0x0	–	R		
8	ALARMIE			0	H0	R/W		
7	T1DAYIE			0	H0	R/W		
6	T1HURIE			0	H0	R/W		
5	T1MINIE			0	H0	R/W		
4	T1SECIE			0	H0	R/W		
3	T1_2SECIE			0	H0	R/W		
2	T1_4SECIE			0	H0	R/W		
1	T1_8SECIE			0	H0	R/W		
0	T1_32SECIE			0	H0	R/W		

0x4000 0100–0x4000 0106

Supply Voltage Detector (SVD3)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0100	SVD3CLK (SVD3 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	1	H0	R/WP	
		7	–	0	–	R	
		6–4	CLKDIV[2:0]	0x0	H0	R/WP	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/WP	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0102	SVD3CTL (SVD3 Control Register)	15	VDSEL	0	H1	R/WP	Writing takes effect when the SVD3CTL.SVDMD[1:0] bits are not 0x0.
		14–13	SVDSC[1:0]	0x0	H0	R/WP	
		12–8	SVDC[4:0]	0x1e	H1	R/WP	
		7–4	SVDR[3:0]	0x0	H1	R/WP	
		3	EXSEL	0	H1	R/WP	
		2–1	SVDMD[1:0]	0x0	H0	R/WP	
0x4000 0104	SVD3INTF (SVD3 Status and Interrupt Flag Register)	0	MODEN	0	H1	R/WP	Cleared by writing 1.
		15–9	–	0x00	–	R	
		8	SVDDT	x	–	R	
		7–1	–	0x00	–	R	
0x4000 0106	SVD3INTE (SVD3 Interrupt Enable Register)	0	SVDIF	0	H1	R/W	Cleared by writing 1.
		15–8	–	0x00	–	R	
		7–1	–	0x00	–	R	
		0	SVDDIE	0	H0	R/W	

0x4000 0160–0x4000 016c**16-bit Timer (T16) Ch.0**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0160	T16_0CLK (T16 Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 0162	T16_0MOD (T16 Ch.0 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4000 0164	T16_0CTL (T16 Ch.0 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
0x4000 0166	T16_0TR (T16 Ch.0 Reload Data Register)	0	MODEN	0	H0	R/W	Cleared by writing 1.
		15–0	TR[15:0]	0xffff	H0	R/W	
0x4000 0168	T16_0TC (T16 Ch.0 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–
0x4000 016a	T16_0INTF (T16 Ch.0 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x4000 016c	T16_0INTE (T16 Ch.0 Interrupt Enable Register)	0	UFIE	0	H0	R/W	Cleared by writing 1.
		15–8	–	0x00	–	R	
		7–1	–	0x00	–	R	

0x4000 01b0**Flash Controller (FLASHC)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 01b0	FLASHCWAIT (FLASHC Flash Read Cycle Register)	15–9	–	0x00	–	R	–
		8	(reserved)	0	H0	R/WP	
		7–2	–	0x00	–	R	
		1–0	RDWAIT[1:0]	0x1	H0	R/WP	

0x4000 0200–0x4000 02e2**I/O Ports (PPORT)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0200	PPORTPODAT (P0 Port Data Register)	15–8	P0OUT[7:0]	0x00	H0	R/W	–
		7–0	P0IN[7:0]	0x00	H0	R	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0202	PPORTP0IOEN (P0 Port Enable Register)	15-8	P0IEN[7:0]	0x00	H0	R/W	-
		7-0	P0OEN[7:0]	0x00	H0	R/W	
0x4000 0204	PPORTP0RCTL (P0 Port Pull-up/down Control Register)	15-8	P0PDPUL[7:0]	0x00	H0	R/W	-
		7-0	P0REN[7:0]	0x00	H0	R/W	
0x4000 0206	PPORTP0INTF (P0 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-0	P0IF[7:0]	0x00	H0	R/W	
0x4000 0208	PPORTP0INTCTL (P0 Port Interrupt Control Register)	15-8	P0EDGE[7:0]	0x00	H0	R/W	-
		7-0	P0IE[7:0]	0x00	H0	R/W	
0x4000 020a	PPORTP0CHATEN (P0 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7-0	P0CHATEN[7:0]	0x00	H0	R/W	
0x4000 020c	PPORTP0MODESEL (P0 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-0	P0SEL[7:0]	0x00	H0	R/W	
0x4000 020e	PPORTP0FNCSSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	-
		13-12	P06MUX[1:0]	0x0	H0	R/W	
		11-10	P05MUX[1:0]	0x0	H0	R/W	
		9-8	P04MUX[1:0]	0x0	H0	R/W	
		7-6	P03MUX[1:0]	0x0	H0	R/W	
		5-4	P02MUX[1:0]	0x0	H0	R/W	
		3-2	P01MUX[1:0]	0x0	H0	R/W	
		1-0	P00MUX[1:0]	0x0	H0	R/W	
0x4000 0210	PPORTP1DAT (P1 Port Data Register)	15	-	0	-	R	-
		14-8	P1OUT[6:0]	0x00	H0	R/W	
		7	-	0	-	R	
		6-0	P1IN[6:0]	0x00	H0	R	
0x4000 0212	PPORTP1IOEN (P1 Port Enable Register)	15	-	0	-	R	-
		14-8	P1IEN[6:0]	0x00	H0	R/W	
		7	-	0	-	R	
		6-0	P1OEN[6:0]	0x00	H0	R/W	
0x4000 0214	PPORTP1RCTL (P1 Port Pull-up/down Control Register)	15	-	0	-	R	-
		14-8	P1PDPUL[6:0]	0x00	H0	R/W	
		7	-	0	-	R	
		6-0	P1REN[6:0]	0x00	H0	R/W	
0x4000 0216	PPORTP1INTF (P1 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	
		6-0	P1IF[6:0]	0x00	H0	R/W	
0x4000 0218	PPORTP1INTCTL (P1 Port Interrupt Control Register)	15	-	0	-	R	-
		14-8	P1EDGE[6:0]	0x00	H0	R/W	
		7	-	0	-	R	
		6-0	P1IE[6:0]	0x00	H0	R/W	
0x4000 021a	PPORTP1CHATEN (P1 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	
		6-0	P1CHATEN[6:0]	0x00	H0	R/W	
0x4000 021c	PPORTP1MODESEL (P1 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	
		6-0	P1SEL[6:0]	0x00	H0	R/W	
0x4000 021e	PPORTP1FNCSSEL (P1 Port Function Select Register)	15-14	-	0x0	-	R	-
		13-12	P16MUX[1:0]	0x0	H0	R/W	
		11-10	P15MUX[1:0]	0x0	H0	R/W	
		9-8	P14MUX[1:0]	0x0	H0	R/W	
		7-6	P13MUX[1:0]	0x0	H0	R/W	
		5-4	P12MUX[1:0]	0x0	H0	R/W	
		3-2	P11MUX[1:0]	0x0	H0	R/W	
		1-0	P10MUX[1:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0220	PPORTP2DAT (P2 Port Data Register)	15–8	P2OUT[7:0]	0x00	H0	R/W	–
		7–0	P2IN[7:0]	0x00	H0	R	
0x4000 0222	PPORTP2IOEN (P2 Port Enable Register)	15–8	P2IEN[7:0]	0x00	H0	R/W	–
		7–0	P2OEN[7:0]	0x00	H0	R/W	
0x4000 0224	PPORTP2RCTL (P2 Port Pull-up/down Control Register)	15–8	P2PDPUP[7:0]	0x00	H0	R/W	–
		7–0	P2REN[7:0]	0x00	H0	R/W	
0x4000 0226	PPORTP2INTF (P2 Port Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–0	P2IF[7:0]	0x00	H0	R/W	
0x4000 0228	PPORTP2INTCTL (P2 Port Interrupt Control Register)	15–8	P2EDGE[7:0]	0x00	H0	R/W	–
		7–0	P2IE[7:0]	0x00	H0	R/W	
0x4000 022a	PPORTP2CHATEN (P2 Port Chattering Filter Enable Register)	15–8	–	0x00	–	R	–
		7–0	P2CHATEN[7:0]	0x00	H0	R/W	
0x4000 022c	PPORTP2MODESEL (P2 Port Mode Select Register)	15–8	–	0x00	–	R	–
		7–0	P2SEL[7:0]	0x00	H0	R/W	
0x4000 022e	PPORTP2FNCSSEL (P2 Port Function Select Register)	15–14	P27MUX[1:0]	0x0	H0	R/W	–
		13–12	P26MUX[1:0]	0x0	H0	R/W	
		11–10	P25MUX[1:0]	0x0	H0	R/W	
		9–8	P24MUX[1:0]	0x0	H0	R/W	
		7–6	P23MUX[1:0]	0x0	H0	R/W	
		5–4	P22MUX[1:0]	0x0	H0	R/W	
		3–2	P21MUX[1:0]	0x0	H0	R/W	
		1–0	P20MUX[1:0]	0x0	H0	R/W	
0x4000 0230	PPORTP3DAT (P3 Port Data Register)	15	–	0	–	R	–
		14–8	P3OUT[6:0]	0x00	H0	R/W	
		7	–	0	–	R	
		6–0	P3IN[6:0]	0x00	H0	R	
0x4000 0232	PPORTP3IOEN (P3 Port Enable Register)	15	–	0	–	R	–
		14–8	P3IEN[6:0]	0x00	H0	R/W	
		7	–	0	–	R	
		6–0	P3OEN[6:0]	0x00	H0	R/W	
0x4000 0234	PPORTP3RCTL (P3 Port Pull-up/down Control Register)	15	–	0	–	R	–
		14–8	P3PDPUP[6:0]	0x00	H0	R/W	
		7	–	0	–	R	
		6–0	P3REN[6:0]	0x00	H0	R/W	
0x4000 0236	PPORTP3INTF (P3 Port Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7	–	0	–	R	
		6–0	P3IF[6:0]	0x00	H0	R/W	
0x4000 0238	PPORTP3INTCTL (P3 Port Interrupt Control Register)	15	–	0	–	R	–
		14–8	P3EDGE[6:0]	0x00	H0	R/W	
		7	–	0	–	R	
		6–0	P3IE[6:0]	0x00	H0	R/W	
0x4000 023a	PPORTP3CHATEN (P3 Port Chattering Filter Enable Register)	15–8	–	0x00	–	R	–
		7	–	0	–	R	
		6–0	P3CHATEN[6:0]	0x00	H0	R/W	
0x4000 023c	PPORTP3MODESEL (P3 Port Mode Select Register)	15–8	–	0x00	–	R	–
		7	–	0	–	R	
		6–0	P3SEL[6:0]	0x00	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 023e	PPORTP3FNCSSEL (P3 Port Function Select Register)	15-14	-	0x0	-	R	
		13-12	P36MUX[1:0]	0x0	H0	R/W	
		11-10	P35MUX[1:0]	0x0	H0	R/W	
		9-8	P34MUX[1:0]	0x0	H0	R/W	
		7-6	P33MUX[1:0]	0x0	H0	R/W	
		5-4	P32MUX[1:0]	0x0	H0	R/W	
		3-2	P31MUX[1:0]	0x0	H0	R/W	
		1-0	P30MUX[1:0]	0x0	H0	R/W	
0x4000 0240	PPORTP4DAT (P4 Port Data Register)	15-8	P4OUT[7:0]	0x00	H0	R/W	
		7-0	P4IN[7:0]	0x00	H0	R	
0x4000 0242	PPORTP4IOEN (P4 Port Enable Register)	15-8	P4IEN[7:0]	0x00	H0	R/W	
		7-0	P4OEN[7:0]	0x00	H0	R/W	
0x4000 0244	PPORTP4RCTL (P4 Port Pull-up/down Control Register)	15-8	P4PDPUP[7:0]	0x00	H0	R/W	
		7-0	P4REN[7:0]	0x00	H0	R/W	
0x4000 0246	PPORTP4INTF (P4 Port Interrupt Flag Register)	15-8	-	0x00	-	R	
		7-0	P4IF[7:0]	0x00	H0	R/W	
0x4000 0248	PPORTP4INTCTL (P4 Port Interrupt Control Register)	15-8	P4EDGE[7:0]	0x00	H0	R/W	
		7-0	P4IE[7:0]	0x00	H0	R/W	
0x4000 024a	PPORTP4CHATEN (P4 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	
		7-0	P4CHATEN[7:0]	0x00	H0	R/W	
0x4000 024c	PPORTP4MODESEL (P4 Port Mode Select Register)	15-8	-	0x00	-	R	
		7-0	P4SEL[7:0]	0x00	H0	R/W	
0x4000 024e	PPORTP4FNCSSEL (P4 Port Function Select Register)	15-14	P47MUX[1:0]	0x0	H0	R/W	
		13-12	P46MUX[1:0]	0x0	H0	R/W	
		11-10	P45MUX[1:0]	0x0	H0	R/W	
		9-8	P44MUX[1:0]	0x0	H0	R/W	
		7-6	P43MUX[1:0]	0x0	H0	R/W	
		5-4	P42MUX[1:0]	0x0	H0	R/W	
		3-2	P41MUX[1:0]	0x0	H0	R/W	
		1-0	P40MUX[1:0]	0x0	H0	R/W	
0x4000 0250	PPORTP5DAT (P5 Port Data Register)	15	-	0	-	R	
		14-8	P5OUT[6:0]	0x00	H0	R/W	
		7	-	0	-	R	
		6-0	P5IN[6:0]	0x00	H0	R	
0x4000 0252	PPORTP5IOEN (P5 Port Enable Register)	15	-	0	-	R	
		14-8	P5IEN[6:0]	0x00	H0	R/W	
		7	-	0	-	R	
		6-0	P5OEN[6:0]	0x00	H0	R/W	
0x4000 0254	PPORTP5RCTL (P5 Port Pull-up/down Control Register)	15	-	0	-	R	
		14-8	P5PDPUP[6:0]	0x00	H0	R/W	
		7	-	0	-	R	
		6-0	P5REN[6:0]	0x00	H0	R/W	
0x4000 0256	PPORTP5INTF (P5 Port Interrupt Flag Register)	15-8	-	0x00	-	R	
		7	-	0	-	R	
		6-0	P5IF[6:0]	0x00	H0	R/W	
0x4000 0258	PPORTP5INTCTL (P5 Port Interrupt Control Register)	15	-	0	-	R	
		14-8	P5EDGE[6:0]	0x00	H0	R/W	
		7	-	0	-	R	
		6-0	P5IE[6:0]	0x00	H0	R/W	
0x4000 025a	PPORTP5CHATEN (P5 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	
		7	-	0	-	R	
		6-0	P5CHATEN[6:0]	0x00	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 025c	PPORTP5MODESEL (P5 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	
		6-0	P5SEL[6:0]	0x00	H0	R/W	
0x4000 025e	PPORTP5FNCSSEL (P5 Port Function Select Register)	15-14	-	0x0	-	R	-
		13-12	P56MUX[1:0]	0x3	H0	R	
		11-10	P55MUX[1:0]	0x3	H0	R	
		9-8	P54MUX[1:0]	0x3	H0	R	
		7-6	P53MUX[1:0]	0x3	H0	R	
		5-4	P52MUX[1:0]	0x3	H0	R	
		3-2	P51MUX[1:0]	0x3	H0	R	
1-0	P50MUX[1:0]	0x3	H0	R			
0x4000 0260	PPORTP6DAT (P6 Port Data Register)	15-8	P6OUT[7:0]	0x00	H0	R/W	-
		7-0	P6IN[7:0]	0x00	H0	R	
0x4000 0262	PPORTP6IOEN (P6 Port Enable Register)	15-8	P6IEN[7:0]	0x00	H0	R/W	-
		7-0	P6OEN[7:0]	0x00	H0	R/W	
0x4000 0264	PPORTP6RCTL (P6 Port Pull-up/down Control Register)	15-8	P6DPU[7:0]	0x00	H0	R/W	-
		7-0	P6REN[7:0]	0x00	H0	R/W	
0x4000 0266	PPORTP6INTF (P6 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-0	P6IF[7:0]	0x00	H0	R/W	
0x4000 0268	PPORTP6INTCTL (P6 Port Interrupt Control Register)	15-8	P6EDGE[7:0]	0x00	H0	R/W	-
		7-0	P6IE[7:0]	0x00	H0	R/W	
0x4000 026a	PPORTP6CHATEN (P6 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7-0	P6CHATEN[7:0]	0x00	H0	R/W	
0x4000 026c	PPORTP6MODESEL (P6 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-0	P6SEL[7:0]	0x00	H0	R/W	
0x4000 026e	PPORTP6FNCSSEL (P6 Port Function Select Register)	15-14	P67MUX[1:0]	0x0	H0	R/W	-
		13-12	P66MUX[1:0]	0x0	H0	R/W	
		11-10	P65MUX[1:0]	0x0	H0	R/W	
		9-8	P64MUX[1:0]	0x0	H0	R/W	
		7-6	P63MUX[1:0]	0x0	H0	R/W	
		5-4	P62MUX[1:0]	0x0	H0	R/W	
		3-2	P61MUX[1:0]	0x0	H0	R/W	
1-0	P60MUX[1:0]	0x0	H0	R/W			
0x4000 02d0	PPORTPDDAT (Pd Port Data Register)	15-12	-	0x0	-	R	-
		11-8	PDOOUT[3:0]	0x0	H0	R/W	
		7-4	-	0x0	-	R	
		3-0	PDIN[3:0]	x	H0	R	
0x4000 02d2	PPORTPDOEN (Pd Port Enable Register)	15-12	-	0x0	-	R	-
		11-8	PDIEN[3:0]	0x0	H0	R/W	
		7-4	-	0x0	-	R	
		3-0	PDOEN[3:0]	0x0	H0	R/W	
0x4000 02d4	PPORTPDRCTL (Pd Port Pull-up/down Control Register)	15-12	-	0x0	-	R	-
		11-8	PDPDPU[3:0]	0x0	H0	R/W	
		7-4	-	0x0	-	R	
		3-0	PDREN[3:0]	0x0	H0	R/W	
0x4000 02dc	PPORTPDMODESEL (Pd Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	PDSEL[3:0]	0x3	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 02de	PPORTPDFNCSEL (Pd Port Function Select Register)	15-8	-	0x00	-	R	-
		7-6	PD3MUX[1:0]	0x0	H0	R/W	
		5-4	PD2MUX[1:0]	0x0	H0	R/W	
		3-2	PD1MUX[1:0]	0x0	H0	R/W	
		1-0	PD0MUX[1:0]	0x0	H0	R/W	
0x4000 02e0	PPORTCLK (P Port Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/WP	
		7-4	CLKDIV[3:0]	0x0	H0	R/WP	
		3-2	KRSTCFG[1:0]	0x0	H0	R/WP	
0x4000 02e2	PPORTINTFGRP (P Port Interrupt Flag Group Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	
		6	P6INT	0	H0	R	
		5	P5INT	0	H0	R	
		4	P4INT	0	H0	R	
		3	P3INT	0	H0	R	
		2	P2INT	0	H0	R	
		1	P1INT	0	H0	R	
		0	P0INT	0	H0	R	

0x4000 0300-0x4000 031e

Universal Port Multiplexer (UPMUX)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0300	UPMUXP0MUX0 (P00-01 Universal Port Multiplexer Setting Register)	15-13	P01PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P01PERICH[1:0]	0x0	H0	R/W	
		10-8	P01PERISEL[2:0]	0x0	H0	R/W	
		7-5	P00PPFNC[2:0]	0x0	H0	R/W	
		4-3	P00PERICH[1:0]	0x0	H0	R/W	
		2-0	P00PERISEL[2:0]	0x0	H0	R/W	
0x4000 0302	UPMUXP0MUX1 (P02-03 Universal Port Multiplexer Setting Register)	15-13	P03PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P03PERICH[1:0]	0x0	H0	R/W	
		10-8	P03PERISEL[2:0]	0x0	H0	R/W	
		7-5	P02PPFNC[2:0]	0x0	H0	R/W	
		4-3	P02PERICH[1:0]	0x0	H0	R/W	
		2-0	P02PERISEL[2:0]	0x0	H0	R/W	
0x4000 0304	UPMUXP0MUX2 (P04-05 Universal Port Multiplexer Setting Register)	15-13	P05PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P05PERICH[1:0]	0x0	H0	R/W	
		10-8	P05PERISEL[2:0]	0x0	H0	R/W	
		7-5	P04PPFNC[2:0]	0x0	H0	R/W	
		4-3	P04PERICH[1:0]	0x0	H0	R/W	
		2-0	P04PERISEL[2:0]	0x0	H0	R/W	
0x4000 0306	UPMUXP0MUX3 (P06-07 Universal Port Multiplexer Setting Register)	15-13	P07PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P07PERICH[1:0]	0x0	H0	R/W	
		10-8	P07PERISEL[2:0]	0x0	H0	R/W	
		7-5	P06PPFNC[2:0]	0x0	H0	R/W	
		4-3	P06PERICH[1:0]	0x0	H0	R/W	
		2-0	P06PERISEL[2:0]	0x0	H0	R/W	
0x4000 0308	UPMUXP1MUX0 (P10-11 Universal Port Multiplexer Setting Register)	15-13	P11PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P11PERICH[1:0]	0x0	H0	R/W	
		10-8	P11PERISEL[2:0]	0x0	H0	R/W	
		7-5	P10PPFNC[2:0]	0x0	H0	R/W	
		4-3	P10PERICH[1:0]	0x0	H0	R/W	
		2-0	P10PERISEL[2:0]	0x0	H0	R/W	
0x4000 030a	UPMUXP1MUX1 (P12-13 Universal Port Multiplexer Setting Register)	15-13	P13PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P13PERICH[1:0]	0x0	H0	R/W	
		10-8	P13PERISEL[2:0]	0x0	H0	R/W	
		7-5	P12PPFNC[2:0]	0x0	H0	R/W	
		4-3	P12PERICH[1:0]	0x0	H0	R/W	
		2-0	P12PERISEL[2:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 030c	UPMUXP1MUX2 (P14-15 Universal Port Multiplexer Setting Register)	15-13	P15PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P15PERICH[1:0]	0x0	H0	R/W	
		10-8	P15PERISEL[2:0]	0x0	H0	R/W	
		7-5	P14PPFNC[2:0]	0x0	H0	R/W	
		4-3	P14PERICH[1:0]	0x0	H0	R/W	
		2-0	P14PERISEL[2:0]	0x0	H0	R/W	
0x4000 030e	UPMUXP1MUX3 (P16 Universal Port Multiplexer Setting Register)	15-8	-	0x00	-	R	-
		7-5	P16PPFNC[2:0]	0x0	H0	R/W	
		4-3	P16PERICH[1:0]	0x0	H0	R/W	
		2-0	P16PERISEL[2:0]	0x0	H0	R/W	
0x4000 0310	UPMUXP2MUX0 (P20-21 Universal Port Multiplexer Setting Register)	15-13	P21PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P21PERICH[1:0]	0x0	H0	R/W	
		10-8	P21PERISEL[2:0]	0x0	H0	R/W	
		7-5	P20PPFNC[2:0]	0x0	H0	R/W	
		4-3	P20PERICH[1:0]	0x0	H0	R/W	
		2-0	P20PERISEL[2:0]	0x0	H0	R/W	
0x4000 0312	UPMUXP2MUX1 (P22-23 Universal Port Multiplexer Setting Register)	15-13	P23PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P23PERICH[1:0]	0x0	H0	R/W	
		10-8	P23PERISEL[2:0]	0x0	H0	R/W	
		7-5	P22PPFNC[2:0]	0x0	H0	R/W	
		4-3	P22PERICH[1:0]	0x0	H0	R/W	
		2-0	P22PERISEL[2:0]	0x0	H0	R/W	
0x4000 0314	UPMUXP2MUX2 (P24-25 Universal Port Multiplexer Setting Register)	15-13	P25PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P25PERICH[1:0]	0x0	H0	R/W	
		10-8	P25PERISEL[2:0]	0x0	H0	R/W	
		7-5	P24PPFNC[2:0]	0x0	H0	R/W	
		4-3	P24PERICH[1:0]	0x0	H0	R/W	
		2-0	P24PERISEL[2:0]	0x0	H0	R/W	
0x4000 0316	UPMUXP2MUX3 (P26-27 Universal Port Multiplexer Setting Register)	15-13	P27PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P27PERICH[1:0]	0x0	H0	R/W	
		10-8	P27PERISEL[2:0]	0x0	H0	R/W	
		7-5	P26PPFNC[2:0]	0x0	H0	R/W	
		4-3	P26PERICH[1:0]	0x0	H0	R/W	
		2-0	P26PERISEL[2:0]	0x0	H0	R/W	
0x4000 0318	UPMUXP3MUX0 (P30-31 Universal Port Multiplexer Setting Register)	15-13	P31PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P31PERICH[1:0]	0x0	H0	R/W	
		10-8	P31PERISEL[2:0]	0x0	H0	R/W	
		7-5	P30PPFNC[2:0]	0x0	H0	R/W	
		4-3	P30PERICH[1:0]	0x0	H0	R/W	
		2-0	P30PERISEL[2:0]	0x0	H0	R/W	
0x4000 031a	UPMUXP3MUX1 (P32-33 Universal Port Multiplexer Setting Register)	15-13	P33PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P33PERICH[1:0]	0x0	H0	R/W	
		10-8	P33PERISEL[2:0]	0x0	H0	R/W	
		7-5	P32PPFNC[2:0]	0x0	H0	R/W	
		4-3	P32PERICH[1:0]	0x0	H0	R/W	
		2-0	P32PERISEL[2:0]	0x0	H0	R/W	
0x4000 031c	UPMUXP3MUX2 (P34-35 Universal Port Multiplexer Setting Register)	15-13	P35PPFNC[2:0]	0x0	H0	R/W	-
		12-11	P35PERICH[1:0]	0x0	H0	R/W	
		10-8	P35PERISEL[2:0]	0x0	H0	R/W	
		7-5	P34PPFNC[2:0]	0x0	H0	R/W	
		4-3	P34PERICH[1:0]	0x0	H0	R/W	
		2-0	P34PERISEL[2:0]	0x0	H0	R/W	
0x4000 031e	UPMUXP3MUX3 (P36 Universal Port Multiplexer Setting Register)	15-8	-	0x00	-	R	-
		7-5	P36PPFNC[2:0]	0x0	H0	R/W	
		4-3	P36PERICH[1:0]	0x0	H0	R/W	
		2-0	P36PERISEL[2:0]	0x0	H0	R/W	

0x4000 0380–0x4000 0394

UART (UART3) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4000 0380	UART3_OCLK (UART3 Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–	
		8	DBRUN	0	H0	R/W		
		7–6	–	0x0	–	R		
		5–4	CLKDIV[1:0]	0x0	H0	R/W		
		3–2	–	0x0	–	R		
		1–0	CLKSRC[1:0]	0x0	H0	R/W		
0x4000 0382	UART3_OMOD (UART3 Ch.0 Mode Register)	15–13	–	0x00	–	R	–	
		12	PECAR	0	H0	R/W		
		11	CAREN	0	H0	R/W		
		10	BRDIV	0	H0	R/W		
		9	INVRX	0	H0	R/W		
		8	INVTX	0	H0	R/W		
		7	–	0	–	R		
		6	PUEN	0	H0	R/W		
		5	OUTMD	0	H0	R/W		
		4	IRMD	0	H0	R/W		
		3	CHLN	0	H0	R/W		
		2	PREN	0	H0	R/W		
		1	PRMD	0	H0	R/W		
0	STPB	0	H0	R/W				
0x4000 0384	UART3_OBR (UART3 Ch.0 Baud- Rate Register)	15–12	–	0x0	–	R	–	
		11–8	FMD[3:0]	0x0	H0	R/W		
		7–0	BRT[7:0]	0x00	H0	R/W		
0x4000 0386	UART3_OCTL (UART3 Ch.0 Control Register)	15–8	–	0x00	–	R	–	
		7–2	–	0x00	–	R		
		1	SFTRST	0	H0	R/W		
		0	MODEN	0	H0	R/W		
0x4000 0388	UART3_OTXD (UART3 Ch.0 Trans- mit Data Register)	15–8	–	0x00	–	R	–	
		7–0	TXD[7:0]	0x00	H0	R/W		
0x4000 038a	UART3_ORXD (UART3 Ch.0 Receive Data Register)	15–8	–	0x00	–	R	–	
		7–0	RXD[7:0]	0x00	H0	R		
0x4000 038c	UART3_OINTF (UART3 Ch.0 Status and Interrupt Flag Register)	15–10	–	0x00	–	R	–	
		9	RBSY	0	H0/S0	R		
		8	TBSY	0	H0/S0	R		
		7	–	0	–	R		
		6	TENDIF	0	H0/S0	R/W		Cleared by writing 1.
		5	FEIF	0	H0/S0	R/W		Cleared by writing 1 or read- ing the UART3_ORXD register.
		4	PEIF	0	H0/S0	R/W		Cleared by writing 1.
		2	RB2FIF	0	H0/S0	R		Cleared by reading the UART3_ORXD register.
		1	RB1FIF	0	H0/S0	R		Cleared by reading the UART3_ORXD register.
0	TBEIF	1	H0/S0	R	Cleared by writing to the UART3_OTXD register.			
0x4000 038e	UART3_OINTE (UART3 Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–	
		7	–	0	–	R		
		6	TENDIE	0	H0	R/W		
		5	FEIE	0	H0	R/W		
		4	PEIE	0	H0	R/W		
		3	OEIE	0	H0	R/W		
		2	RB2FIE	0	H0	R/W		
		1	RB1FIE	0	H0	R/W		
0	TBEIE	0	H0	R/W				

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0390	UART3_0 TBEDMAEN (UART3 Ch.0 Transmit Buffer Empty DMA Request Enable Register)	15–8	–	0x00	–	R	–
		7–4	–	0x0	–	R	
		3–0	TBEDMAEN[3:0]	0x0	H0	R/W	
0x4000 0392	UART3_0 RB1FDMAEN (UART3 Ch.0 Receive Buffer One Byte Full DMA Request Enable Register)	15–8	–	0x00	–	R	–
		7–4	–	0x0	–	R	
		3–0	RB1FDMAEN[3:0]	0x0	H0	R/W	
0x4000 0394	UART3_0CAWF (UART3 Ch.0 Carrier Waveform Register)	15–8	–	0x00	–	R	–
		7–0	CRPER[7:0]	0x00	H0	R/W	

0x4000 03a0–0x4000 03ac**16-bit Timer (T16) Ch.1**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 03a0	T16_1CLK (T16 Ch.1 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 03a2	T16_1MOD (T16 Ch.1 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4000 03a4	T16_1CTL (T16 Ch.1 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x4000 03a6	T16_1TR (T16 Ch.1 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
0x4000 03a8	T16_1TC (T16 Ch.1 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–
0x4000 03aa	T16_1INTF (T16 Ch.1 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x4000 03ac	T16_1INTE (T16 Ch.1 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x4000 03b0–0x4000 03be**Synchronous Serial Interface (SPIA) Ch.0**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 03b0	SPIA_0MOD (SPIA Ch.0 Mode Register)	15–12	–	0x0	–	R	–
		11–8	CHLN[3:0]	0x7	H0	R/W	
		7–6	–	0x0	–	R	
		5	PUEN	0	H0	R/W	
		4	NOCLKDIV	0	H0	R/W	
		3	LSBFST	0	H0	R/W	
		2	CPHA	0	H0	R/W	
		1	CPOL	0	H0	R/W	
		0	MST	0	H0	R/W	
0x4000 03b2	SPIA_0CTL (SPIA Ch.0 Control Register)	15–8	–	0x00	–	R	–
		7–2	–	0x00	–	R	
		1	SFTRST	0	H0	R/W	
		0	MODEN	0	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 03b4	SPIA_0TXD (SPIA Ch.0 Transmit Data Register)	15-0	TXD[15:0]	0x0000	H0	R/W	-
0x4000 03b6	SPIA_0RXD (SPIA Ch.0 Receive Data Register)	15-0	RXD[15:0]	0x0000	H0	R	-
0x4000 03b8	SPIA_0INTF (SPIA Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7	BSY	0	H0	R	-
		6-4	-	0x0	-	R	-
		3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
		2	TENDIF	0	H0/S0	R/W	-
		1	RBFIF	0	H0/S0	R	Cleared by reading the SPIA_0RXD register.
0x4000 03ba	SPIA_0INTE (SPIA Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	-
		3	OEIE	0	H0	R/W	-
		2	TENDIE	0	H0	R/W	-
		1	RBFIE	0	H0	R/W	-
0x4000 03bc	SPIA_0TBEDMAEN (SPIA Ch.0 Transmit Buffer Empty DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	-
		3-0	TBEDMAEN[3:0]	0x0	H0	R/W	-
0x4000 03be	SPIA_0RBFDMAEN (SPIA Ch.0 Receive Buffer Full DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	-
		3-0	RBFDMAEN[3:0]	0x0	H0	R/W	-

0x4000 03c0-0x4000 03d6

I²C (I2C) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 03c0	I2C_0CLK (I2C Ch.0 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	-
		7-6	-	0x0	-	R	-
		5-4	CLKDIV[1:0]	0x0	H0	R/W	-
		3-2	-	0x0	-	R	-
		1-0	CLKSRC[1:0]	0x0	H0	R/W	-
0x4000 03c2	I2C_0MOD (I2C Ch.0 Mode Register)	15-8	-	0x00	-	R	-
		7-3	-	0x00	-	R	-
		2	OADR10	0	H0	R/W	-
		1	GCEN	0	H0	R/W	-
		0	-	0	-	R	-
0x4000 03c4	I2C_0BR (I2C Ch.0 Baud-Rate Register)	15-8	-	0x00	-	R	-
		7	-	0	-	R	-
		6-0	BRT[6:0]	0x7f	H0	R/W	-
0x4000 03c8	I2C_0OADR (I2C Ch.0 Own Address Register)	15-10	-	0x00	-	R	-
		9-0	OADR[9:0]	0x000	H0	R/W	-
0x4000 03ca	I2C_0CTL (I2C Ch.0 Control Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	-
		5	MST	0	H0	R/W	-
		4	TXNACK	0	H0/S0	R/W	-
		3	TXSTOP	0	H0/S0	R/W	-
		2	TXSTART	0	H0/S0	R/W	-
		1	SFTRST	0	H0	R/W	-
0	MODEN	0	H0	R/W	-		

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4000 03cc	I2C_0TXD (I2C Ch.0 Transmit Data Register)	15–8	–	0x00	–	R	–	
		7–0	TXD[7:0]	0x00	H0	R/W		
0x4000 03ce	I2C_0RXD (I2C Ch.0 Receive Data Register)	15–8	–	0x00	–	R	–	
		7–0	RXD[7:0]	0x00	H0	R		
0x4000 03d0	I2C_0INTF (I2C Ch.0 Status and Interrupt Flag Register)	15–13	–	0x0	–	R	–	
		12	SDALLOW	0	H0	R		
		11	SCLLOW	0	H0	R		
		10	BSY	0	H0/S0	R		
		9	TR	0	H0	R		
		8	–	0	–	R		
		7	BYTEENDIF	0	H0/S0	R/W		Cleared by writing 1.
		6	GCIF	0	H0/S0	R/W		
		5	NACKIF	0	H0/S0	R/W		
		4	STOPIF	0	H0/S0	R/W		
		3	STARTIF	0	H0/S0	R/W		Cleared by reading the I2C_0RXD register.
2	ERRIF	0	H0/S0	R/W				
1	RBFIF	0	H0/S0	R				
0	TBEIF	0	H0/S0	R	Cleared by writing to the I2C_0TXD register.			
0x4000 03d2	I2C_0INTE (I2C Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–	
		7	BYTEENDIE	0	H0	R/W		
		6	GCIE	0	H0	R/W		
		5	NACKIE	0	H0	R/W		
		4	STOPIE	0	H0	R/W		
		3	STARTIE	0	H0	R/W		
		2	ERRIE	0	H0	R/W		
		1	RBFIE	0	H0	R/W		
		0	TBEIE	0	H0	R/W		
0x4000 03d4	I2C_0TBEDMAEN (I2C Ch.0 Transmit Buffer Empty DMA Request Enable Register)	15–8	–	0x00	–	R	–	
		7–4	–	0x0	–	R		
		3–0	TBEDMAEN[3:0]	0x0	H0	R/W		
0x4000 03d6	I2C_0RBFDMAEN (I2C Ch.0 Receive Buffer Full DMA Request Enable Register)	15–8	–	0x00	–	R	–	
		7–4	–	0x0	–	R		
		3–0	RBFDMAEN[3:0]	0x0	H0	R/W		

0x4000 0400–0x4000 043c**16-bit PWM Timer (T16B) Ch.0**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0400	T16B_0CLK (T16B Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3	–	0	–	R	
		2–0	CLKSRC[2:0]	0x0	H0	R/W	
0x4000 0402	T16B_0CTL (T16B Ch.0 Counter Control Register)	15–9	–	0x00	–	R	–
		8	MAXBSY	0	H0	R	
		7–6	–	0x0	–	R	
		5–4	CNTMD[1:0]	0x0	H0	R/W	
		3	ONEST	0	H0	R/W	
		2	RUN	0	H0	R/W	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x4000 0404	T16B_0MC (T16B Ch.0 Max Counter Data Register)	15–0	MC[15:0]	0xffff	H0	R/W	–

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0406	T16B_0TC (T16B Ch.0 Timer Counter Data Register)	15-0	TC[15:0]	0x0000	H0	R	-
0x4000 0408	T16B_0CS (T16B Ch.0 Counter Status Register)	15-8	-	0x00	-	R	-
		7	CAP15	0	H0	R	
		6	CAP14	0	H0	R	
		5	CAP13	0	H0	R	
		4	CAP12	0	H0	R	
		3	CAP11	0	H0	R	
		2	CAP10	0	H0	R	
		1	UP_DOWN	1	H0	R	
0	BSY	0	H0	R			
0x4000 040a	T16B_0INTF (T16B Ch.0 Interrupt Flag Register)	15-14	-	0x0	-	R	Cleared by writing 1.
		13	CAPOW5IF	0	H0	R/W	
		12	CMPCAP5IF	0	H0	R/W	
		11	CAPOW4IF	0	H0	R/W	
		10	CMPCAP4IF	0	H0	R/W	
		9	CAPOW3IF	0	H0	R/W	
		8	CMPCAP3IF	0	H0	R/W	
		7	CAPOW2IF	0	H0	R/W	
		6	CMPCAP2IF	0	H0	R/W	
		5	CAPOW1IF	0	H0	R/W	
		4	CMPCAP1IF	0	H0	R/W	
		3	CAPOW0IF	0	H0	R/W	
		2	CMPCAP0IF	0	H0	R/W	
		1	CNTMAXIF	0	H0	R/W	
0	CNTZEROIF	0	H0	R/W			
0x4000 040c	T16B_0INTE (T16B Ch.0 Interrupt Enable Register)	15-14	-	0x0	-	R	-
		13	CAPOW5IE	0	H0	R/W	
		12	CMPCAP5IE	0	H0	R/W	
		11	CAPOW4IE	0	H0	R/W	
		10	CMPCAP4IE	0	H0	R/W	
		9	CAPOW3IE	0	H0	R/W	
		8	CMPCAP3IE	0	H0	R/W	
		7	CAPOW2IE	0	H0	R/W	
		6	CMPCAP2IE	0	H0	R/W	
		5	CAPOW1IE	0	H0	R/W	
		4	CMPCAP1IE	0	H0	R/W	
		3	CAPOW0IE	0	H0	R/W	
		2	CMPCAP0IE	0	H0	R/W	
		1	CNTMAXIE	0	H0	R/W	
0	CNTZEROIE	0	H0	R/W			
0x4000 040e	T16B_0MZDMAEN (T16B Ch.0 Counter Max/Zero DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	MZDMAEN[3:0]	0x0	H0	R/W	
0x4000 0410	T16B_0CCCTL0 (T16B Ch.0 Compare/ Capture 0 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0412	T16B_OCCR0 (T16B Ch.0 Compare/ Capture 0 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x4000 0414	T16B_OCC0DMAEN (T16B Ch.0 Compare/ Capture 0 DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	CC0DMAEN[3:0]	0x0	H0	R/W	
0x4000 0418	T16B_OCCCTL1 (T16B Ch.0 Compare/ Capture 1 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 041a	T16B_OCCR1 (T16B Ch.0 Compare/ Capture 1 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x4000 041c	T16B_OCC1DMAEN (T16B Ch.0 Compare/ Capture 1 DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	CC1DMAEN[3:0]	0x0	H0	R/W	
0x4000 0420	T16B_OCCCTL2 (T16B Ch.0 Compare/ Capture 2 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 0422	T16B_OCCR2 (T16B Ch.0 Compare/ Capture 2 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x4000 0424	T16B_OCC2DMAEN (T16B Ch.0 Compare/ Capture 2 DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	CC2DMAEN[3:0]	0x0	H0	R/W	
0x4000 0428	T16B_OCCCTL3 (T16B Ch.0 Compare/ Capture 3 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 042a	T16B_OCCR3 (T16B Ch.0 Compare/ Capture 3 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 042c	T16B_OCC3DMAEN (T16B Ch.0 Compare/ Capture 3 DMA Request Enable Register)	15–8	–	0x00	–	R	–
		7–4	–	0x0	–	R	
		3–0	CC3DMAEN[3:0]	0x0	H0	R/W	
0x4000 0430	T16B_OCCCTL4 (T16B Ch.0 Compare/ Capture 4 Control Register)	15	SCS	0	H0	R/W	–
		14–12	CBUFMD[2:0]	0x0	H0	R/W	
		11–10	CAPIS[1:0]	0x0	H0	R/W	
		9–8	CAPTRG[1:0]	0x0	H0	R/W	
		7	–	0	–	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4–2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 0432	T16B_OCCR4 (T16B Ch.0 Compare/ Capture 4 Data Register)	15–0	CC[15:0]	0x0000	H0	R/W	–
0x4000 0434	T16B_OCC4DMAEN (T16B Ch.0 Compare/ Capture 4 DMA Request Enable Register)	15–8	–	0x00	–	R	–
		7–4	–	0x0	–	R	
		3–0	CC4DMAEN[3:0]	0x0	H0	R/W	
0x4000 0438	T16B_OCCCTL5 (T16B Ch.0 Compare/ Capture 5 Control Register)	15	SCS	0	H0	R/W	–
		14–12	CBUFMD[2:0]	0x0	H0	R/W	
		11–10	CAPIS[1:0]	0x0	H0	R/W	
		9–8	CAPTRG[1:0]	0x0	H0	R/W	
		7	–	0	–	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4–2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 043a	T16B_OCCR5 (T16B Ch.0 Compare/ Capture 5 Data Register)	15–0	CC[15:0]	0x0000	H0	R/W	–
0x4000 043c	T16B_OCC5DMAEN (T16B Ch.0 Compare/ Capture 5 DMA Request Enable Register)	15–8	–	0x00	–	R	–
		7–4	–	0x0	–	R	
		3–0	CC5DMAEN[3:0]	0x0	H0	R/W	

0x4000 0440–0x4000 047c
16-bit PWM Timer (T16B) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0440	T16B_1CLK (T16B Ch.1 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3	–	0	–	R	
		2–0	CLKSRC[2:0]	0x0	H0	R/W	
0x4000 0442	T16B_1CTL (T16B Ch.1 Counter Control Register)	15–9	–	0x00	–	R	–
		8	MAXBSY	0	H0	R	
		7–6	–	0x0	–	R	
		5–4	CNTMD[1:0]	0x0	H0	R/W	
		3	ONEST	0	H0	R/W	
		2	RUN	0	H0	R/W	
		1	PRESET	0	H0	R/W	
0	MODEN	0	H0	R/W			

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0444	T16B_1MC (T16B Ch.1 Max Counter Data Register)	15-0	MC[15:0]	0xffff	H0	R/W	-
0x4000 0446	T16B_1TC (T16B Ch.1 Timer Counter Data Register)	15-0	TC[15:0]	0x0000	H0	R	-
0x4000 0448	T16B_1CS (T16B Ch.1 Counter Status Register)	15-8	-	0x00	-	R	-
		7	CAPI5	0	H0	R	
		6	CAPI4	0	H0	R	
		5	CAPI3	0	H0	R	
		4	CAPI2	0	H0	R	
		3	CAPI1	0	H0	R	
		2	CAPI0	0	H0	R	
		1	UP_DOWN	1	H0	R	
0x4000 044a	T16B_1INTF (T16B Ch.1 Interrupt Flag Register)	15-14	-	0x0	-	R	Cleared by writing 1.
		13	CAPOW5IF	0	H0	R/W	
		12	CMPCAP5IF	0	H0	R/W	
		11	CAPOW4IF	0	H0	R/W	
		10	CMPCAP4IF	0	H0	R/W	
		9	CAPOW3IF	0	H0	R/W	
		8	CMPCAP3IF	0	H0	R/W	
		7	CAPOW2IF	0	H0	R/W	
		6	CMPCAP2IF	0	H0	R/W	
		5	CAPOW1IF	0	H0	R/W	
		4	CMPCAP1IF	0	H0	R/W	
		3	CAPOW0IF	0	H0	R/W	
		2	CMPCAP0IF	0	H0	R/W	
		1	CNTMAXIF	0	H0	R/W	
0	CNTZEROIF	0	H0	R/W			
0x4000 044c	T16B_1INTE (T16B Ch.1 Interrupt Enable Register)	15-14	-	0x0	-	R	-
		13	CAPOW5IE	0	H0	R/W	
		12	CMPCAP5IE	0	H0	R/W	
		11	CAPOW4IE	0	H0	R/W	
		10	CMPCAP4IE	0	H0	R/W	
		9	CAPOW3IE	0	H0	R/W	
		8	CMPCAP3IE	0	H0	R/W	
		7	CAPOW2IE	0	H0	R/W	
		6	CMPCAP2IE	0	H0	R/W	
		5	CAPOW1IE	0	H0	R/W	
		4	CMPCAP1IE	0	H0	R/W	
		3	CAPOW0IE	0	H0	R/W	
		2	CMPCAP0IE	0	H0	R/W	
		1	CNTMAXIE	0	H0	R/W	
0	CNTZEROIE	0	H0	R/W			
0x4000 044e	T16B_1MZDMAEN (T16B Ch.1 Counter Max/Zero DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	MZDMAEN[3:0]	0x0	H0	R/W	

Appendix A 周辺回路制御レジスター一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0450	T16B_1CCCTL0 (T16B Ch.1 Compare/ Capture 0 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 0452	T16B_1CCR0 (T16B Ch.1 Compare/ Capture 0 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x4000 0454	T16B_1CC0DMAEN (T16B Ch.1 Compare/ Capture 0 DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	CC0DMAEN[3:0]	0x0	H0	R/W	
0x4000 0458	T16B_1CCCTL1 (T16B Ch.1 Compare/ Capture 1 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 045a	T16B_1CCR1 (T16B Ch.1 Compare/ Capture 1 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x4000 045c	T16B_1CC1DMAEN (T16B Ch.1 Compare/ Capture 1 DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	CC1DMAEN[3:0]	0x0	H0	R/W	
0x4000 0460	T16B_1CCCTL2 (T16B Ch.1 Compare/ Capture 2 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 0462	T16B_1CCR2 (T16B Ch.1 Compare/ Capture 2 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x4000 0464	T16B_1CC2DMAEN (T16B Ch.1 Compare/ Capture 2 DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	CC2DMAEN[3:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0468	T16B_1CCCTL3 (T16B Ch.1 Compare/ Capture 3 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 046a	T16B_1CCR3 (T16B Ch.1 Compare/ Capture 3 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x4000 046c	T16B_1CC3DMAEN (T16B Ch.1 Compare/ Capture 3 DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	CC3DMAEN[3:0]	0x0	H0	R/W	
0x4000 0470	T16B_1CCCTL4 (T16B Ch.1 Compare/ Capture 4 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 0472	T16B_1CCR4 (T16B Ch.1 Compare/ Capture 4 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x4000 0474	T16B_1CC4DMAEN (T16B Ch.1 Compare/ Capture 4 DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	CC4DMAEN[3:0]	0x0	H0	R/W	
0x4000 0478	T16B_1CCCTL5 (T16B Ch.1 Compare/ Capture 5 Control Register)	15	SCS	0	H0	R/W	-
		14-12	CBUFMD[2:0]	0x0	H0	R/W	
		11-10	CAPIS[1:0]	0x0	H0	R/W	
		9-8	CAPTRG[1:0]	0x0	H0	R/W	
		7	-	0	-	R	
		6	TOUTMT	0	H0	R/W	
		5	TOUTO	0	H0	R/W	
		4-2	TOUTMD[2:0]	0x0	H0	R/W	
		1	TOUTINV	0	H0	R/W	
0	CCMD	0	H0	R/W			
0x4000 047a	T16B_1CCR5 (T16B Ch.1 Compare/ Capture 5 Data Register)	15-0	CC[15:0]	0x0000	H0	R/W	-
0x4000 047c	T16B_1CC5DMAEN (T16B Ch.1 Compare/ Capture 5 DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	CC5DMAEN[3:0]	0x0	H0	R/W	

0x4000 0480–0x4000 048c

16-bit Timer (T16) Ch.3

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0480	T16_3CLK (T16 Ch.3 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 0482	T16_3MOD (T16 Ch.3 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4000 0484	T16_3CTL (T16 Ch.3 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
0x4000 0486	T16_3TR (T16 Ch.3 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
		0x4000 0488	T16_3TC (T16 Ch.3 Counter Data Register)	15–0	TC[15:0]	0xffff	H0
0x4000 048a	T16_3INTF (T16 Ch.3 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x4000 048c	T16_3INTE (T16 Ch.3 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x4000 04a0–0x4000 04ac

16-bit Timer (T16) Ch.4

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 04a0	T16_4CLK (T16 Ch.4 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 04a2	T16_4MOD (T16 Ch.4 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4000 04a4	T16_4CTL (T16 Ch.4 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
0x4000 04a6	T16_4TR (T16 Ch.4 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
		0x4000 04a8	T16_4TC (T16 Ch.4 Counter Data Register)	15–0	TC[15:0]	0xffff	H0
0x4000 04aa	T16_4INTF (T16 Ch.4 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x4000 04ac	T16_4INTE (T16 Ch.4 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x4000 04c0–0x4000 04cc

16-bit Timer (T16) Ch.5

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 04c0	T16_5CLK (T16 Ch.5 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 04c2	T16_5MOD (T16 Ch.5 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4000 04c4	T16_5CTL (T16 Ch.5 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
0x4000 04c6	T16_5TR (T16 Ch.5 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
		15–0	TC[15:0]	0xffff	H0	R	–
0x4000 04ca	T16_5INTF (T16 Ch.5 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x4000 04cc	T16_5INTE (T16 Ch.5 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x4000 0600–0x4000 0614

UART (UART3) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0600	UART3_1CLK (UART3 Ch.1 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–6	–	0x0	–	R	
		5–4	CLKDIV[1:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 0602	UART3_1MOD (UART3 Ch.1 Mode Register)	15–13	–	0x00	–	R	–
		12	PECAR	0	H0	R/W	
		11	CAREN	0	H0	R/W	
		10	BRDIV	0	H0	R/W	
		9	INVRX	0	H0	R/W	
		8	INVTX	0	H0	R/W	
		7	–	0	–	R	
		6	PUEN	0	H0	R/W	
		5	OUTMD	0	H0	R/W	
		4	IRMD	0	H0	R/W	
		3	CHLN	0	H0	R/W	
		2	PREN	0	H0	R/W	
		1	PRMD	0	H0	R/W	
0	STPB	0	H0	R/W			
0x4000 0604	UART3_1BR (UART3 Ch.1 Baud- Rate Register)	15–12	–	0x0	–	R	–
		11–8	FMD[3:0]	0x0	H0	R/W	
		7–0	BRT[7:0]	0x00	H0	R/W	
0x4000 0606	UART3_1CTL (UART3 Ch.1 Control Register)	15–8	–	0x00	–	R	–
		7–2	–	0x00	–	R	
		1	SFTRST	0	H0	R/W	
		0	MODEN	0	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4000 0608	UART3_1TXD (UART3 Ch.1 Trans- mit Data Register)	15-8	-	0x00	-	R	-	
		7-0	TXD[7:0]	0x00	H0	R/W		
0x4000 060a	UART3_1RXD (UART3 Ch.1 Receive Data Register)	15-8	-	0x00	-	R	-	
		7-0	RXD[7:0]	0x00	H0	R		
0x4000 060c	UART3_1INTF (UART3 Ch.1 Status and Interrupt Flag Register)	15-10	-	0x00	-	R	-	
		9	RBSY	0	H0/S0	R		
		8	TBSY	0	H0/S0	R		
		7	-	0	-	R		
		6	TENDIF	0	H0/S0	R/W		Cleared by writing 1.
		5	FEIF	0	H0/S0	R/W		Cleared by writing 1 or read- ing the UART3_1RXD register.
		4	PEIF	0	H0/S0	R/W		
		3	OEIF	0	H0/S0	R/W		Cleared by writing 1.
		2	RB2FIF	0	H0/S0	R		Cleared by reading the UART3_1RXD register.
1	RB1FIF	0	H0/S0	R				
0	TBEIF	1	H0/S0	R	Cleared by writing to the UART3_1TXD register.			
0x4000 060e	UART3_1INTE (UART3 Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7	-	0	-	R		
		6	TENDIE	0	H0	R/W		
		5	FEIE	0	H0	R/W		
		4	PEIE	0	H0	R/W		
		3	OEIE	0	H0	R/W		
		2	RB2FIE	0	H0	R/W		
		1	RB1FIE	0	H0	R/W		
0	TBEIE	0	H0	R/W				
0x4000 0610	UART3_1 TBEDMAEN (UART3 Ch.1 Transmit Buffer Empty DMA Request Enable Register)	15-8	-	0x00	-	R	-	
		7-4	-	0x0	-	R		
		3-0	TBEDMAEN[3:0]	0x0	H0	R/W		
0x4000 0612	UART3_1 RB1FDMAEN (UART3 Ch.1 Receive Buffer One Byte Full DMA Request Enable Register)	15-8	-	0x00	-	R	-	
		7-4	-	0x0	-	R		
		3-0	RB1FDMAEN[3:0]	0x0	H0	R/W		
0x4000 0614	UART3_1CAWF (UART3 Ch.1 Carrier Waveform Register)	15-8	-	0x00	-	R	-	
		7-0	CRPER[7:0]	0x00	H0	R/W		

0x4000 0620-0x4000 0634

UART (UART3) Ch.2

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0620	UART3_2CLK (UART3 Ch.2 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-6	-	0x0	-	R	
		5-4	CLKDIV[1:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4000 0622	UART3_2MOD (UART3 Ch.2 Mode Register)	15–13	–	0x00	–	R	–	
		12	PECAR	0	H0	R/W		
		11	CAREN	0	H0	R/W		
		10	BRDIV	0	H0	R/W		
		9	INVRX	0	H0	R/W		
		8	INVTX	0	H0	R/W		
		7	–	0	–	R		
		6	PUEN	0	H0	R/W		
		5	OUTMD	0	H0	R/W		
		4	IRMD	0	H0	R/W		
		3	CHLN	0	H0	R/W		
		2	PREN	0	H0	R/W		
		1	PRMD	0	H0	R/W		
0	STPB	0	H0	R/W				
0x4000 0624	UART3_2BR (UART3 Ch.2 Baud-Rate Register)	15–12	–	0x0	–	R	–	
		11–8	FMD[3:0]	0x0	H0	R/W		
		7–0	BRT[7:0]	0x00	H0	R/W		
0x4000 0626	UART3_2CTL (UART3 Ch.2 Control Register)	15–8	–	0x00	–	R	–	
		7–2	–	0x00	–	R		
		1	SFTRST	0	H0	R/W		
		0	MODEN	0	H0	R/W		
0x4000 0628	UART3_2TXD (UART3 Ch.2 Transmit Data Register)	15–8	–	0x00	–	R	–	
		7–0	TXD[7:0]	0x00	H0	R/W		
0x4000 062a	UART3_2RXD (UART3 Ch.2 Receive Data Register)	15–8	–	0x00	–	R	–	
		7–0	RXD[7:0]	0x00	H0	R		
0x4000 062c	UART3_2INTF (UART3 Ch.2 Status and Interrupt Flag Register)	15–10	–	0x00	–	R	–	
		9	RBSY	0	H0/S0	R		
		8	TBSY	0	H0/S0	R		
		7	–	0	–	R		
		6	TENDIF	0	H0/S0	R/W		Cleared by writing 1.
		5	FEIF	0	H0/S0	R/W		Cleared by writing 1 or reading the UART3_2RXD register.
		4	PEIF	0	H0/S0	R/W		
		3	OEIF	0	H0/S0	R/W		Cleared by writing 1.
		2	RB2FIF	0	H0/S0	R		Cleared by reading the UART3_2RXD register.
0x4000 062e	UART3_2INTE (UART3 Ch.2 Interrupt Enable Register)	15–8	–	0x00	–	R	–	
		7	–	0	–	R		
		6	TENDIE	0	H0	R/W		
		5	FEIE	0	H0	R/W		
		4	PEIE	0	H0	R/W		
		3	OEIE	0	H0	R/W		
		2	RB2FIE	0	H0	R/W		
		1	RB1FIE	0	H0	R/W		
		0	TBEIE	0	H0	R/W		
0x4000 0630	UART3_2 TBEDMAEN (UART3 Ch.2 Transmit Buffer Empty DMA Request Enable Register)	15–8	–	0x00	–	R	–	
		7–4	–	0x0	–	R		
		3–0	TBEDMAEN[3:0]	0x0	H0	R/W		
0x4000 0632	UART3_2 RB1FDMAEN (UART3 Ch.2 Receive Buffer One Byte Full DMA Request Enable Register)	15–8	–	0x00	–	R	–	
		7–4	–	0x0	–	R		
		3–0	RB1FDMAEN[3:0]	0x0	H0	R/W		

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0634	UART3_2CAWF (UART3 Ch.2 Carrier Waveform Register)	15–8	–	0x00	–	R	–
		7–0	CRPER[7:0]	0x00	H0	R/W	

0x4000 0660–0x4000 066c

16-bit Timer (T16) Ch.6

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0660	T16_6CLK (T16 Ch.6 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 0662	T16_6MOD (T16 Ch.6 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4000 0664	T16_6CTL (T16 Ch.6 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x4000 0666	T16_6TR (T16 Ch.6 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
0x4000 0668	T16_6TC (T16 Ch.6 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–
0x4000 066a	T16_6INTF (T16 Ch.6 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	Cleared by writing 1.
0x4000 066c	T16_6INTE (T16 Ch.6 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x4000 0670–0x4000 067e

Synchronous Serial Interface (SPIA) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0670	SPIA_1MOD (SPIA Ch.1 Mode Register)	15–12	–	0x0	–	R	–
		11–8	CHLN[3:0]	0x7	H0	R/W	
		7–6	–	0x0	–	R	
		5	PUEN	0	H0	R/W	
		4	NOCLKDIV	0	H0	R/W	
		3	LSBFST	0	H0	R/W	
		2	CPHA	0	H0	R/W	
		1	CPOL	0	H0	R/W	
		0	MST	0	H0	R/W	
0x4000 0672	SPIA_1CTL (SPIA Ch.1 Control Register)	15–8	–	0x00	–	R	–
		7–2	–	0x00	–	R	
		1	SFTRST	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x4000 0674	SPIA_1TXD (SPIA Ch.1 Transmit Data Register)	15–0	TXD[15:0]	0x0000	H0	R/W	–
0x4000 0676	SPIA_1RXD (SPIA Ch.1 Receive Data Register)	15–0	RXD[15:0]	0x0000	H0	R	–

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0678	SPIA_1INTF (SPIA Ch.1 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7	BSY	0	H0	R	
		6-4	-	0x0	-	R	
		3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
		2	TENDIF	0	H0/S0	R/W	
		1	RBFIF	0	H0/S0	R	Cleared by reading the SPIA_1RXD register.
0x4000 067a	SPIA_1INTE (SPIA Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3	OEIE	0	H0	R/W	
		2	TENDIE	0	H0	R/W	
		1	RBFIE	0	H0	R/W	
0x4000 067c	SPIA_1TBEDMAEN (SPIA Ch.1 Transmit Buffer Empty DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	TBEDMAEN[3:0]	0x0	H0	R/W	
0x4000 067e	SPIA_1RBFDMAEN (SPIA Ch.1 Receive Buffer Full DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	RBFDMAEN[3:0]	0x0	H0	R/W	

0x4000 0680-0x4000 068c**16-bit Timer (T16) Ch.2**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0680	T16_2CLK (T16 Ch.2 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
0x4000 0682	T16_2MOD (T16 Ch.2 Mode Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	TRMD	0	H0	R/W	
0x4000 0684	T16_2CTL (T16 Ch.2 Control Register)	15-9	-	0x00	-	R	-
		8	PRUN	0	H0	R/W	
		7-2	-	0x00	-	R	
		1	PRESET	0	H0	R/W	
0x4000 0686	T16_2TR (T16 Ch.2 Reload Data Register)	15-0	TR[15:0]	0xffff	H0	R/W	-
		15-0	TC[15:0]	0xffff	H0	R	-
0x4000 068a	T16_2INTF (T16 Ch.2 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	UFIF	0	H0	R/W	
0x4000 068c	T16_2INTE (T16 Ch.2 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

0x4000 0690–0x4000 06a8 Quad Synchronous Serial Interface (QSPI) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks		
0x4000 0690	QSPI_OMOD (QSPI Ch.0 Mode Register)	15–12	CHDL[3:0]	0x7	H0	R/W	–		
		11–8	CHLN[3:0]	0x7	H0	R/W			
		7–6	TMOD[1:0]	0x0	H0	R/W			
		5	PUEN	0	H0	R/W			
		4	NOCLKDIV	0	H0	R/W			
		3	LSBFST	0	H0	R/W			
		2	CPHA	0	H0	R/W			
		1	CPOL	0	H0	R/W			
		0	MST	0	H0	R/W			
0x4000 0692	QSPI_OCTL (QSPI Ch.0 Control Register)	15–8	–	0x00	–	R	–		
		7–4	–	0x0	–	R			
		3	DIR	0	H0	R/W			
		2	MSTSSO	1	H0	R/W			
		1	SFTRST	0	H0	R/W			
		0	MODEN	0	H0	R/W			
0x4000 0694	QSPI_OTXD (QSPI Ch.0 Transmit Data Register)	15–0	TXD[15:0]	0x0000	H0	R/W	–		
0x4000 0696	QSPI_ORXD (QSPI Ch.0 Receive Data Register)	15–0	RXD[15:0]	0x0000	H0	R	–		
0x4000 0698	QSPI_OINTF (QSPI Ch.0 Interrupt Flag Register)	15–8	–	0x00	–	R	–		
		7	BSY	0	H0	R			
		6	MMABSY	0	H0	R			
				5–4	–	0x0	–	R	Cleared by writing 1.
		3	OEIF	0	H0/S0	R/W			
		2	TENDIF	0	H0/S0	R/W			
		1	RBFIF	0	H0/S0	R	Cleared by reading the QSPI_ORXD register.		
0	TBEIF	1	H0/S0	R	Cleared by writing to the QSPI_OTXD register.				
0x4000 069a	QSPI_OINTE (QSPI Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–		
		7–4	–	0x0	–	R			
		3	OEIE	0	H0	R/W			
		2	TENDIE	0	H0	R/W			
		1	RBFIE	0	H0	R/W			
		0	TBEIE	0	H0	R/W			
0x4000 069c	QSPI_0TBEDMAEN (QSPI Ch.0 Transmit Buffer Empty DMA Request Enable Register)	15–8	–	0x00	–	R	–		
		7–4	–	0x0	–	R			
		3–0	TBEDMAEN[3:0]	0x0	H0	R/W			
0x4000 069e	QSPI_0RBFDMAEN (QSPI Ch.0 Receive Buffer Full DMA Request Enable Register)	15–8	–	0x00	–	R	–		
		7–4	–	0x0	–	R			
		3–0	RBFDMAEN[3:0]	0x0	H0	R/W			
0x4000 06a0	QSPI_0FRLDMAEN (QSPI Ch.0 FIFO Data Ready DMA Request Enable Register)	15–8	–	0x00	–	R	–		
		7–4	–	0x0	–	R			
		3–0	FRLDMAEN[3:0]	0x0	H0	R/W			
0x4000 06a2	QSPI_0MMACFG1 (QSPI Ch.0 Memory Mapped Access Con- figuration Register 1)	15–8	–	0x00	–	R	–		
		7–4	–	0x0	–	R			
		3–0	TCSH[3:0]	0x0	H0	R/W			
0x4000 06a4	QSPI_0RMADRH (QSPI Ch.0 Remap- ping Start Address High Register)	15–4	RMADR[31:20]	0x000	H0	R/W	–		
		3–0	–	0x0	–	R			

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 06a6	QSPI_0MMACFG2 (QSPI Ch.0 Memory Mapped Access Con- figuration Register 2)	15–12	DUMDL[3:0]	0x7	H0	R/W	–
		11–8	DUMLN[3:0]	0x7	H0	R/W	
		7–6	DATTMOD[1:0]	0x0	H0	R/W	
		5–4	DUMTMOD[1:0]	0x0	H0	R/W	
		3–2	ADRTMOD[1:0]	0x0	H0	R/W	
		1	ADRCYC	0	H0	R/W	
0x4000 06a8	QSPI_0MB (QSPI Ch.0 Mode Byte Register)	15–8	XIPACT[7:0]	0x00	H0	R/W	–
		7–0	XIPEXT[7:0]	0x00	H0	R/W	

0x4000 06c0–0x4000 06d6**I²C (I2C) Ch.1**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 06c0	I2C_1CLK (I2C Ch.1 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–6	–	0x0	–	R	
		5–4	CLKDIV[1:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 06c2	I2C_1MOD (I2C Ch.1 Mode Register)	15–8	–	0x00	–	R	–
		7–3	–	0x00	–	R	
		2	OADR10	0	H0	R/W	
		1	GCEN	0	H0	R/W	
0x4000 06c4	I2C_1BR (I2C Ch.1 Baud-Rate Register)	15–8	–	0x00	–	R	–
		7	–	0	–	R	
		6–0	BRT[6:0]	0x7f	H0	R/W	
0x4000 06c8	I2C_1OADR (I2C Ch.1 Own Address Register)	15–10	–	0x00	–	R	–
		9–0	OADR[9:0]	0x000	H0	R/W	
0x4000 06ca	I2C_1CTL (I2C Ch.1 Control Register)	15–8	–	0x00	–	R	–
		7–6	–	0x0	–	R	
		5	MST	0	H0	R/W	
		4	TXNACK	0	H0/S0	R/W	
		3	TXSTOP	0	H0/S0	R/W	
		2	TXSTART	0	H0/S0	R/W	
		1	SFTRST	0	H0	R/W	
0	MODEN	0	H0	R/W			
0x4000 06cc	I2C_1TXD (I2C Ch.1 Transmit Data Register)	15–8	–	0x00	–	R	–
		7–0	TXD[7:0]	0x00	H0	R/W	
0x4000 06ce	I2C_1RXD (I2C Ch.1 Receive Data Register)	15–8	–	0x00	–	R	–
		7–0	RXD[7:0]	0x00	H0	R	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks			
0x4000 06d0	I2C_1INTF (I2C Ch.1 Status and Interrupt Flag Register)	15-13	-	0x0	-	R	-			
		12	SDALLOW	0	H0	R				
		11	SCLLOW	0	H0	R				
		10	BSY	0	H0/S0	R				
		9	TR	0	H0	R				
		8	-	0	-	R				
		7	BYTEENDIF	0	H0/S0	R/W		Cleared by writing 1.		
		6	GCIF	0	H0/S0	R/W				
		5	NACKIF	0	H0/S0	R/W				
		4	STOIF	0	H0/S0	R/W				
		3	STARTIF	0	H0/S0	R/W				
				2	ERRIF	0		H0/S0	R/W	Cleared by reading the I2C_1RXD register.
				1	RBFIF	0		H0/S0	R	
		0	TBEIF	0	H0/S0	R	Cleared by writing to the I2C_1TXD register.			
0x4000 06d2	I2C_1INTE (I2C Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	-			
		7	BYTEENDIE	0	H0	R/W				
		6	GCIE	0	H0	R/W				
		5	NACKIE	0	H0	R/W				
		4	STOIE	0	H0	R/W				
		3	STARTIE	0	H0	R/W				
		2	ERRIE	0	H0	R/W				
		1	RBFIE	0	H0	R/W				
		0	TBEIE	0	H0	R/W				
0x4000 06d4	I2C_1TBEDMAEN (I2C Ch.1 Transmit Buffer Empty DMA Request Enable Register)	15-8	-	0x00	-	R	-			
		7-4	-	0x0	-	R				
		3-0	TBEDMAEN[3:0]	0x0	H0	R/W				
0x4000 06d6	I2C_1RBFDMAEN (I2C Ch.1 Receive Buffer Full DMA Request Enable Register)	15-8	-	0x00	-	R	-			
		7-4	-	0x0	-	R				
		3-0	RBFDMAEN[3:0]	0x0	H0	R/W				

0x4000 0700-0x4000 070c

Sound Generator (SNDA)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0700	SNDACLK (SNDA Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7	-	0	-	R	
		6-4	CLKDIV[2:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 0702	SNDASEL (SNDA Select Register)	15-12	-	0x0	-	R	-
		11-8	STIM[3:0]	0x0	H0	R/W	
		7-3	-	0x00	-	R	
		2	SINV	0	H0	R/W	
		1-0	MOSEL[1:0]	0x0	H0	R/W	
0x4000 0704	SNDACTL (SNDA Control Register)	15-9	-	0x00	-	R	-
		8	SSTP	0	H0	R/W	
		7-1	-	0x00	-	R	
		0	MODEN	0	H0	R/W	
0x4000 0706	SNDADAT (SNDA Data Register)	15	MDTI	0	H0	R/W	-
		14	MDRS	0	H0	R/W	
		13-8	SLEN[5:0]	0x00	H0	R/W	
		7-0	SFRQ[7:0]	0xff	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0708	SNDAINTF (SNDA Interrupt Flag Register)	15-9	-	0x00	-	R	-
		8	SBSY	0	H0	R	
		7-2	-	0x00	-	R	
		1	EMIF	1	H0	R	Cleared by writing to the SNDADAT register.
		0	EDIF	0	H0	R/W	Cleared by writing 1 or writing to the SNDADAT register.
0x4000 070a	SNDAINTE (SNDA Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1	EMIE	0	H0	R/W	
		0	EDIE	0	H0	R/W	
0x4000 070c	SND AEMDMAEN (SNDA Sound Buffer Empty DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	EMDMAEN[3:0]	0x0	H0	R/W	

0x4000 0720-0x4000 0732**IR Remote Controller (REMC3)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0720	REMC3CLK (REMC3 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 0722	REMC3DBCTL (REMC3 Data Bit Counter Control Register)	15-10	-	0x00	-	R	-
		9	PRESET	0	H0/S0	R/W	
		8	PRUN	0	H0/S0	R/W	-
		7-5	-	0x0	-	R	
		4	REMOINV	0	H0	R/W	
		3	BUFEN	0	H0	R/W	
		2	TRMD	0	H0	R/W	
		1	REMCRST	0	H0	W	
0	MODEN	0	H0	R/W			
0x4000 0724	REMC3DBCNT (REMC3 Data Bit Counter Register)	15-0	DBCNT[15:0]	0x0000	H0/S0	R	Cleared by writing 1 to the REMC3DBCTL.REMCRST bit.
0x4000 0726	REMC3APLEN (REMC3 Data Bit Active Pulse Length Register)	15-0	APLEN[15:0]	0x0000	H0	R/W	Writing enabled when REMC3DBCTL.MODEN bit = 1.
0x4000 0728	REMC3DBLEN (REMC3 Data Bit Length Register)	15-0	DBLEN[15:0]	0x0000	H0	R/W	Writing enabled when REMC3DBCTL.MODEN bit = 1.
0x4000 072a	REMC3INTF (REMC3 Status and Interrupt Flag Register)	15-11	-	0x00	-	R	-
		10	DBCNTRUN	0	H0/S0	R	
		9	DBLENBSY	0	H0	R	Effective when the REMC3DBCTL.BUFEN bit = 1.
		8	APLENBSY	0	H0	R	
		7-2	-	0x00	-	R	-
		1	DBIF	0	H0/S0	R/W	
0	APIF	0	H0/S0	R/W			
0x4000 072c	REMC3INTE (REMC3 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1	DBIE	0	H0	R/W	
		0	APIE	0	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0730	REMC3CARR (REMC3 Carrier Waveform Register)	15–8	CRDTY[7:0]	0x00	H0	R/W	-
		7–0	CRPER[7:0]	0x00	H0	R/W	
0x4000 0732	REMC3CCTL (REMC3 Carrier Modulation Control Register)	15–9	–	0x00	–	R	-
		8	OUTINVEN	0	H0	R/W	
		7–1	–	0x00	–	R	
		0	CARREN	0	H0	R/W	

0x4000 0780–0x4000 078c

16-bit Timer (T16) Ch.7

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0780	T16_7CLK (T16 Ch.7 Clock Control Register)	15–9	–	0x00	–	R	-
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4000 0782	T16_7MOD (T16 Ch.7 Mode Register)	15–8	–	0x00	–	R	-
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4000 0784	T16_7CTL (T16 Ch.7 Control Register)	15–9	–	0x00	–	R	-
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x4000 0786	T16_7TR (T16 Ch.7 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	-
0x4000 0788	T16_7TC (T16 Ch.7 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	-
0x4000 078a	T16_7INTF (T16 Ch.7 Interrupt Flag Register)	15–8	–	0x00	–	R	-
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x4000 078c	T16_7INTE (T16 Ch.7 Interrupt Enable Register)	15–8	–	0x00	–	R	-
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x4000 07a0–0x4000 07bc

12-bit A/D Converter (ADC12A) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 07a2	ADC12A_OCTL (ADC12A Ch.0 Control Register)	15	–	0	–	R	-
		14–12	ADSTAT[2:0]	0x0	H0	R	
		11	–	0	–	R	
		10	BSYSTAT	0	H0	R	
		9–8	–	0x0	–	R	
		7–2	–	0x00	–	R	
		1	ADST	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x4000 07a4	ADC12A_OTRG (ADC12A Ch.0 Trigger/Analog Input Select Register)	15–14	–	0x0	–	R	-
		13–11	ENDAIN[2:0]	0x0	H0	R/W	
		10–8	STAAIN[2:0]	0x0	H0	R/W	
		7	STMD	0	H0	R/W	
		6	CNVMD	0	H0	R/W	
		5–4	CNVTRG[1:0]	0x0	H0	R/W	
		3	–	0	–	R	
		2–0	SMPCLK[2:0]	0x7	H0	R/W	
0x4000 07a6	ADC12A_OCFG (ADC12A Ch.0 Con- figuration Register)	15–8	–	0x00	–	R	-
		7–2	–	0x00	–	R	
		1–0	VRANGE[1:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 07a8	ADC12A_0INTF (ADC12A Ch.0 Interrupt Flag Register)	15-9	-	0x00	-	R	-
		8	OVIF	0	H0	R/W	Cleared by writing 1.
		7	AD7CIF	0	H0	R/W	
		6	AD6CIF	0	H0	R/W	
		5	AD5CIF	0	H0	R/W	
		4	AD4CIF	0	H0	R/W	
		3	AD3CIF	0	H0	R/W	
		2	AD2CIF	0	H0	R/W	
		1	AD1CIF	0	H0	R/W	
0	AD0CIF	0	H0	R/W			
0x4000 07aa	ADC12A_0INTE (ADC12A Ch.0 Interrupt Enable Register)	15-9	-	0x00	-	R	-
		8	OVIE	0	H0	R/W	
		7	AD7CIE	0	H0	R/W	
		6	AD6CIE	0	H0	R/W	
		5	AD5CIE	0	H0	R/W	
		4	AD4CIE	0	H0	R/W	
		3	AD3CIE	0	H0	R/W	
		2	AD2CIE	0	H0	R/W	
		1	AD1CIE	0	H0	R/W	
0	AD0CIE	0	H0	R/W			
0x4000 07ac	ADC12A_0DMAEN0 (ADC12A Ch.0 DMA Request Enable Register 0)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	ADCDMAEN[3:0]	0x0	H0	R/W	
0x4000 07ae	ADC12A_0DMAEN1 (ADC12A Ch.0 DMA Request Enable Register 1)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	ADCDMAEN[3:0]	0x0	H0	R/W	
0x4000 07b0	ADC12A_0DMAEN2 (ADC12A Ch.0 DMA Request Enable Register 2)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	ADCDMAEN[3:0]	0x0	H0	R/W	
0x4000 07b2	ADC12A_0DMAEN3 (ADC12A Ch.0 DMA Request Enable Register 3)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	ADCDMAEN[3:0]	0x0	H0	R/W	
0x4000 07b4	ADC12A_0DMAEN4 (ADC12A Ch.0 DMA Request Enable Register 4)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	ADCDMAEN[3:0]	0x0	H0	R/W	
0x4000 07b6	ADC12A_0DMAEN5 (ADC12A Ch.0 DMA Request Enable Register 5)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	ADCDMAEN[3:0]	0x0	H0	R/W	
0x4000 07b8	ADC12A_0DMAEN6 (ADC12A Ch.0 DMA Request Enable Register 6)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	ADCDMAEN[3:0]	0x0	H0	R/W	
0x4000 07ba	ADC12A_0DMAEN7 (ADC12A Ch.0 DMA Request Enable Register 7)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	ADCDMAEN[3:0]	0x0	H0	R/W	
0x4000 07bc	ADC12A_0ADD (ADC12A Ch.0 Result Register)	15-0	ADD[15:0]	0x0000	H0	R	-

0x4000 07c0–0x4000 07c2 Temperature Sensor/Reference Voltage Generator (TSRVR) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 07c0	TSRVR_OTCTL (TSRVR Ch.0 Temperature Sensor Control Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	H0	R	
		0	TEMPEN	0	H0	R/W	
0x4000 07c2	TSRVR_OVCTL (TSRVR Ch.0 Reference Voltage Generator Control Register)	15–8	–	0x00	–	R	–
		7–2	–	0x00	H0	R	
		1–0	VREFAMD[1:0]	0x0	H0	R/W	

0x2040 0000–0x2040 0104, 0x4000 0970–0x4000 0976 USB 2.0 FS Device Controller (USB, USBMISC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x2040 0002	USBCTL (USB Control Register)	7	BUSDETDIS	0	H0/S0	R/W	–
		6	AUTONEGOEN	0	H0/S0	R/W	
		5	NONJDETEN	0	H0/S0	R/W	
		4	JDETEN	0	H0/S0	R/W	
		3	WAKEUP	0	H0/S0	R/W	
		2–1	–	0x0	–	R	
		0	USBEN	0	H0/S0	R/W	
0x2040 0003	USBTRCTL (USB Transceiver Control Register)	7	DPPIUEN	0	H0/S0	R/W	–
		6–2	–	0x00	–	R	
		1–0	OPMOD[1:0]	0x1	H0/S0	R/W	
0x2040 0004	USBSTAT (USB Status Register)	7	VBUSSTAT	X	–	R	–
		6	FSMOD	X	–	R	
		5–2	–	X	–	R	
		1–0	LINESTAT[1:0]	X	–	R	
0x2040 0008	USBEPCTL (USB Endpoint Control Register)	7	EPNFKAKSET	0	H0/S0	R/W	–
		6	EPMFSTALLSET	0	H0/S0	R/W	
		5	EPNFIPOCLR	0	H0/S0	R/W	
		4–1	–	0x0	–	R	
		0	EP0FIFOCLR	0	H0/S0	R/W	
0x2040 0009	USBGPEPFIFOCLR (USB General-Purpose Endpoint FIFO Clear Register)	7–3	–	0x00	–	R	–
		2	EPCFIFOCLR	0	H0/S0	R/W	
		1	EPBFIFOCLR	0	H0/S0	R/W	
		0	EPAFIFOCLR	0	H0/S0	R/W	
0x2040 000a	USBFIFORDCYC (USB FIFO Read Cycle Setup Register)	7–2	–	0x00	–	R	–
		1–0	RDCYC[1:0]	0x3	H0/S0	R/W	
0x2040 000e	USBREV (USB Revision Number Register)	7–0	REVNUM[7:0]	0x12	H0/S0	R	–
0x2040 0010	USBEP0SETUP0 (USB EP0 Setup Data Register 0)	7–0	BMREQTYP[7:0]	0x00	–	R	–
0x2040 0011	USBEP0SETUP1 (USB EP0 Setup Data Register 1)	7–0	BREQ[7:0]	0x00	–	R	–
0x2040 0012	USBEP0SETUP2 (USB EP0 Setup Data Register 2)	7–0	WVAL[7:0]	0x00	–	R	–
0x2040 0013	USBEP0SETUP3 (USB EP0 Setup Data Register 3)	7–0	WVAL[15:8]	0x00	–	R	–
0x2040 0014	USBEP0SETUP4 (USB EP0 Setup Data Register 4)	7–0	WINDX[7:0]	0x00	–	R	–
0x2040 0015	USBEP0SETUP5 (USB EP0 Setup Data Register 5)	7–0	WINDX[15:8]	0x00	–	R	–

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x2040 0016	USBEP0SETUP6 (USB EP0 Setup Data Register 6)	7-0	WLEN[7:0]	0x00	-	R	-
0x2040 0017	USBEP0SETUP7 (USB EP0 Setup Data Register 7)	7-0	WLEN[15:8]	0x00	-	R	-
0x2040 0018	USBADDR (USB Address Register)	7	ATADDR	0	-	R/W	-
		6-0	USBADDR[6:0]	0x00	H0/S0	R/W	-
0x2040 001a	USBEP0CFG (USB EP0 Configuration Register)	7	DIR	0	H0/S0	R/W	-
		6-0	-	0x00	-	R	-
0x2040 001b	USBEP0SIZE (USB EP0 Maximum Packet Size Register)	7	-	0	-	R	-
		6-3	MAXSIZE[3:0]	0x1	H0/S0	R/W	-
		2-0	-	0x0	-	R	-
0x2040 001c	USBEP0ICTL (USB EP0 IN Transaction Control Register)	7	-	0	-	R	-
		6	SPKTEN	0	H0/S0	R/W	-
		5	-	0	-	R	-
		4	TGLSTAT	0	H0/S0	R	-
		3	TGLSET	0	H0/S0	W	Read as 0.
		2	TGLCLR	0	H0/S0	W	-
		1	FNAK	0	H0/S0	R/W	-
		0	FSTALL	0	H0/S0	R/W	-
0x2040 001d	USBEP0OCTL (USB EP0 OUT Transaction Control Register)	7	AUTOFNAK	0	H0/S0	R/W	-
		6-5	-	0x0	H0/S0	R/W	-
		4	TGLSTAT	0	H0/S0	R	-
		3	TGLSET	0	H0/S0	W	Read as 0.
		2	TGLCLR	0	H0/S0	W	-
		1	FNAK	0	H0/S0	R/W	-
		0	FSTALL	0	H0/S0	R/W	-
0x2040 0020	USBEPACTL (USB EPa Control Register)	7	AUTOFNAK	0	H0/S0	R/W	-
		6	SPKTEN	0	H0/S0	R/W	-
		5	AUTOFNAKDIS	0	H0/S0	R/W	-
		4	TGLSTAT	0	H0/S0	R	-
		3	TGLSET	0	H0/S0	W	Read as 0.
		2	TGLCLR	0	H0/S0	W	-
		1	FNAK	0	H0/S0	R/W	-
		0	FSTALL	0	H0/S0	R/W	-
0x2040 0022	USBEPBCTL (USB EPb Control Register)	7	AUTOFNAK	0	H0/S0	R/W	-
		6	SPKTEN	0	H0/S0	R/W	-
		5	AUTOFNAKDIS	0	H0/S0	R/W	-
		4	TGLSTAT	0	H0/S0	R	-
		3	TGLSET	0	H0/S0	W	Read as 0.
		2	TGLCLR	0	H0/S0	W	-
		1	FNAK	0	H0/S0	R/W	-
		0	FSTALL	0	H0/S0	R/W	-
0x2040 0024	USBEPCCCTL (USB EPc Control Register)	7	AUTOFNAK	0	H0/S0	R/W	-
		6	SPKTEN	0	H0/S0	R/W	-
		5	AUTOFNAKDIS	0	H0/S0	R/W	-
		4	TGLSTAT	0	H0/S0	R	-
		3	TGLSET	0	H0/S0	W	Read as 0.
		2	TGLCLR	0	H0/S0	W	-
		1	FNAK	0	H0/S0	R/W	-
		0	FSTALL	0	H0/S0	R/W	-

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x2040 0030	USBEPACFG (USB EPa Configuration Register)	7	DIR	0	H0/S0	R/W	-
		6	TGLMOD	0	H0/S0	R/W	
		5	EPEN	0	H0/S0	R/W	
		4	-	0	-	R	
		3-0	EPNUM[3:0]	0x0	H0/S0	R/W	
0x2040 0031	USBEPAMAXSZ (USB EPa Maximum Packet Size Register)	7	-	0	-	R	-
		6-0	MAXSIZE[6:0]	0x00	H0/S0	R/W	
0x2040 0032	USBEPBCFG (USB EPb Configuration Register)	7	DIR	0	H0/S0	R/W	-
		6	TGLMOD	0	H0/S0	R/W	
		5	EPEN	0	H0/S0	R/W	
		4	-	0	-	R	
		3-0	EPNUM[3:0]	0x0	H0/S0	R/W	
0x2040 0033	USBEPBMAXSZ (USB EPb Maximum Packet Size Register)	7	-	0	-	R	-
		6-0	MAXSIZE[6:0]	0x00	H0/S0	R/W	
0x2040 0034	USBEPCCFG (USB EPc Configuration Register)	7	DIR	0	H0/S0	R/W	-
		6	TGLMOD	0	H0/S0	R/W	
		5	EPEN	0	H0/S0	R/W	
		4	-	0	-	R	
		3-0	EPNUM[3:0]	0x0	H0/S0	R/W	
0x2040 0035	USBEPCCMAXSZ (USB EPc Maximum Packet Size Register)	7	-	0	-	R	-
		6-0	MAXSIZE[6:0]	0x00	H0/S0	R/W	
0x2040 0040	USBRDFIFOSEL (USB Read FIFO Select Register)	7-3	-	0x00	-	R	-
		2	EPCRD	0	H0/S0	R/W	
		1	EPBRD	0	H0/S0	R/W	
		0	EPARD	0	H0/S0	R/W	
0x2040 0041	USBWRFIFOSEL (USB Write FIFO Select Register)	7-3	-	0x00	-	R	-
		2	EPCWR	0	H0/S0	R/W	
		1	EPBWR	0	H0/S0	R/W	
		0	EPAWR	0	H0/S0	R/W	
0x2040 0042	USBFIFORWEN (USB FIFO Read/ Write Enable Register)	7-2	-	0x00	-	R	-
		1	FIFOWREN	0	H0/S0	R/W	
		0	FIFORDEN	0	H0/S0	R/W	
0x2040 0046	USBREMDATCNT (USB Remaining FIFO Data Count Register)	7	-	0	-	R	-
		6-0	REMDAT[6:0]	0x00	H0/S0	R	
0x2040 0048	USBREMSPPCNT (USB Remaining FIFO Space Count Register)	7	-	0	-	R	-
		6-0	REMSPC[6:0]	0x08	H0/S0	R	
0x2040 004a	USBDBGGRAMADDR (USB Debug RAM Address Register)	7-0	DRAMADDR[7:0]	0x00	H0/S0	R/W	-
0x2040 0050	USBMAININTF (USB Main Interrupt Flag Register)	7	SIEIF	0	H0/S0	R	Cleared by writing 1 to the interrupt flag in the USBSIE-INTF register.
		6	GPEPIF	0	H0/S0	R	Cleared by writing 1 to the interrupt flag in the USBEP-INTF register.
		5-2	-	0x0	-	R	-
		1	EP0IF	0	H0/S0	R	Cleared by writing 1 to the interrupt flag in the USBEP0INTF register.
		0	EP0SETIF	0	H0/S0	R/W	Cleared by writing 1.

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x2040 0051	USBSIEINTF (USB SIE Interrupt Flag Register)	7	–	0	–	R	–
		6	NONJIF	0	H0/S0	R/W	Cleared by writing 1.
		5	RESETIF	0	H0/S0	R/W	
		4	SUSPENDIF	0	H0/S0	R/W	
		3	SOFIF	0	H0/S0	R/W	
		2	JIF	0	H0/S0	R/W	
		1	–	0	–	R	–
		0	ATADDRIF	0	H0/S0	R/W	Cleared by writing 1.
0x2040 0052	USBGPEPINTF (USB General- Purpose Endpoint Interrupt Flag Register)	7–3	–	0x00	–	R	–
		2	EPCIF	0	H0/S0	R	Cleared by writing 1 to the interrupt flag in the USBEP- mINTF register.
		1	EPBIF	0	H0/S0	R	
		0	EPAIF	0	H0/S0	R	
0x2040 0053	USBEP0INTF (USB EP0 Interrupt Flag Register)	7–6	–	0x0	–	R	–
		5	INACKIF	0	H0/S0	R/W	Cleared by writing 1.
		4	OUTACKIF	0	H0/S0	R/W	
		3	INNAKIF	0	H0/S0	R/W	
		2	OUTNAKIF	0	H0/S0	R/W	
		1	INERRIF	0	H0/S0	R/W	
		0	OUTERRIF	0	H0/S0	R/W	
0x2040 0054	USBEPAINTE (USB EPa Interrupt Flag Register)	7	–	0	–	R	
		6	OUTSHACKIF	0	H0/S0	R/W	Cleared by writing 1.
		5	INACKIF	0	H0/S0	R/W	
		4	OUTACKIF	0	H0/S0	R/W	
		3	INNAKIF	0	H0/S0	R/W	
		2	OUTNAKIF	0	H0/S0	R/W	
		1	INERRIF	0	H0/S0	R/W	
0	OUTERRIF	0	H0/S0	R/W			
0x2040 0055	USBEPBINTF (USB EPb Interrupt Flag Register)	7	–	0	–	R	–
		6	OUTSHACKIF	0	H0/S0	R/W	Cleared by writing 1.
		5	INACKIF	0	H0/S0	R/W	
		4	OUTACKIF	0	H0/S0	R/W	
		3	INNAKIF	0	H0/S0	R/W	
		2	OUTNAKIF	0	H0/S0	R/W	
		1	INERRIF	0	H0/S0	R/W	
0	OUTERRIF	0	H0/S0	R/W			
0x2040 0056	USBEPcINTF (USB EPc Interrupt Flag Register)	7	–	0	–	R	–
		6	OUTSHACKIF	0	H0/S0	R/W	Cleared by writing 1.
		5	INACKIF	0	H0/S0	R/W	
		4	OUTACKIF	0	H0/S0	R/W	
		3	INNAKIF	0	H0/S0	R/W	
		2	OUTNAKIF	0	H0/S0	R/W	
		1	INERRIF	0	H0/S0	R/W	
0	OUTERRIF	0	H0/S0	R/W			
0x2040 0060	USBMAININTE (USB Main Interrupt Enable Register)	7	SIEIE	0	H0/S0	R/W	–
		6	GPEPIE	0	H0/S0	R/W	
		5–2	–	0x0	–	R	
		1	EP0IE	0	H0/S0	R/W	
		0	EP0SETIE	0	H0/S0	R/W	
0x2040 0061	USBSIEINTE (USB SIE Interrupt Enable Register)	7	(reserved)	0	H0/S0	R/W	–
		6	NONJIE	0	H0/S0	R/W	
		5	RESETIE	0	H0/S0	R/W	
		4	SUSPENDIE	0	H0/S0	R/W	
		3	SOFIE	0	H0/S0	R/W	
		2	JIE	0	H0/S0	R/W	
		1	–	0	–	R	
		0	ATADDRIE	0	H0/S0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x2040 0062	USBGPEPINTE (USB General- Purpose Endpoint Interrupt Enable Register)	7-3	-	0x00	-	R	-
		2	EPCIE	0	H0/S0	R/W	
		1	EPBIE	0	H0/S0	R/W	
		0	EPAIE	0	H0/S0	R/W	
0x2040 0063	USBEP0INTE (USB EP0 Interrupt Enable Register)	7-6	-	0x0	-	R	-
		5	INACKIE	0	H0/S0	R/W	
		4	OUTACKIE	0	H0/S0	R/W	
		3	INNAKIE	0	H0/S0	R/W	
		2	OUTNAKIE	0	H0/S0	R/W	
		1	INERRIE	0	H0/S0	R/W	
0x2040 0064	USBEPAINTE (USB EPa Interrupt Enable Register)	7	-	0	-	R	-
		6	OUTSHACKIE	0	H0/S0	R/W	
		5	INACKIE	0	H0/S0	R/W	
		4	OUTACKIE	0	H0/S0	R/W	
		3	INNAKIE	0	H0/S0	R/W	
		2	OUTNAKIE	0	H0/S0	R/W	
		1	INERRIE	0	H0/S0	R/W	
		0	OUTERRIE	0	H0/S0	R/W	
0x2040 0065	USBEPBINTE (USB EPb Interrupt Enable Register)	7	-	0	-	R	-
		6	OUTSHACKIE	0	H0/S0	R/W	
		5	INACKIE	0	H0/S0	R/W	
		4	OUTACKIE	0	H0/S0	R/W	
		3	INNAKIE	0	H0/S0	R/W	
		2	OUTNAKIE	0	H0/S0	R/W	
		1	INERRIE	0	H0/S0	R/W	
		0	OUTERRIE	0	H0/S0	R/W	
0x2040 0066	USBEPcINTE (USB EPc Interrupt Enable Register)	7	-	0	-	R	-
		6	OUTSHACKIE	0	H0/S0	R/W	
		5	INACKIE	0	H0/S0	R/W	
		4	OUTACKIE	0	H0/S0	R/W	
		3	INNAKIE	0	H0/S0	R/W	
		2	OUTNAKIE	0	H0/S0	R/W	
		1	INERRIE	0	H0/S0	R/W	
		0	OUTERRIE	0	H0/S0	R/W	
0x2040 0100	USBFIFODAT (USB FIFO Data Register)	7-0	FIFODAT[7:0]	X	-	R/W	-
0x2040 0104	USDBDBGRAMDAT (USB Debug RAM Data Register)	7-0	DBRAMDAT[7:0]	X	-	R/W	-
0x4000 0970	USBMISCCTL (USB Misc Control Register)	15-13	-	0x0	-	R	-
		12	USBWAIT	1	H0	R/WP	
		11-9	-	0x0	-	R	
		8	USBSNZ	0	H0	R/WP	
		7	-	0	-	R	
		6	USBPLEN	0	H0	R/WP	
		5	-	0	-	R	
		4	VBUSDET	0	H0	R/WP	
		3	USBRST	0	H0	R/WP	
		2	-	0	-	R	
0x4000 0974	USBMISCWRDMAEN (USB FIFO Write DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	WRDMAEN[3:0]	0x0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 0976	USBMISCRDDMAEN (USB FIFO Read DMA Request Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3-0	RDDMAEN[3:0]	0x0	H0	R/W	

0x4000 1000-0x4000 2014**DMA Controller (DMAC)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4000 1000	DMACSTAT (DMAC Status Register)	31-24	-	0x00	-	R	-	
		23-21	-	0x0	-	R		
		20-16	CHNLS[4:0]	*	H0	R		* Number of channels implemented - 1
		15-8	-	0x00	-	R		
		7-4	STATE[3:0]	0x0	H0	R		
		3-1	-	0x0	-	R		
0x4000 1004	DMACCFG (DMAC Configuration Register)	31-24	-	0x00	-	R	-	
		23-16	-	0x00	-	R		
		15-8	-	0x00	-	R		
		7-1	-	0x00	-	R		
		0	MSTENSTAT	0	H0	R		
0x4000 1008	DMACCPTR (DMAC Control Data Base Pointer Register)	31-7	CPTR[31:7]	0x000 0000	H0	R/W	-	
		6-0	CPTR[6:0]	0x00	H0	R		
0x4000 100c	DMACACPTR (DMAC Alternate Control Data Base Pointer Register)	31-0	ACPTR[31:0]	-	H0	R	-	
0x4000 1014	DMACSWREQ (DMAC Software Request Register)	31-24	-	-	-	R	-	
		23-16	-	-	-	R		
		15-8	-	-	-	R		
		7-4	-	-	-	R		
		3-0	SWREQ[3:0]	-	-	W		
0x4000 1020	DMACRMSET (DMAC Request Mask Set Register)	31-24	-	0x00	-	R	-	
		23-16	-	0x00	-	R		
		15-8	-	0x00	-	R		
		7-4	-	0x0	-	R		
		3-0	RMSET[3:0]	0x0	H0	R/W		
0x4000 1024	DMACRMCLR (DMAC Request Mask Clear Register)	31-24	-	-	-	R	-	
		23-16	-	-	-	R		
		15-8	-	-	-	R		
		7-4	-	-	-	R		
		3-0	RMCLR[3:0]	-	-	W		
0x4000 1028	DMACENSET (DMAC Enable Set Register)	31-24	-	0x00	-	R	-	
		23-16	-	0x00	-	R		
		15-8	-	0x00	-	R		
		7-4	-	0x0	-	R		
		3-0	ENSET[3:0]	0x0	H0	R/W		
0x4000 102c	DMACENCLR (DMAC Enable Clear Register)	31-24	-	-	-	R	-	
		23-16	-	-	-	R		
		15-8	-	-	-	R		
		7-4	-	-	-	R		
		3-0	ENCLR[3:0]	-	-	W		
0x4000 1030	DMACPASET (DMAC Primary-Alter- nate Set Register)	31-24	-	0x00	-	R	-	
		23-16	-	0x00	-	R		
		15-8	-	0x00	-	R		
		7-4	-	0x0	-	R		
		3-0	PASET[3:0]	0x0	H0	R/W		

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 1034	DMACPACLR (DMAC Primary-Alternate Clear Register)	31-24	-	-	-	R	-
		23-16	-	-	-	R	
		15-8	-	-	-	R	
		7-4	-	-	-	R	
		3-0	PACLR[3:0]	-	-	W	
0x4000 1038	DMACPRSET (DMAC Priority Set Register)	31-24	-	0x00	-	R	-
		23-16	-	0x00	-	R	
		15-8	-	0x00	-	R	
		7-4	-	0x0	-	R	
		3-0	PRSET[3:0]	0x0	H0	R/W	
0x4000 103c	DMACPRCLR (DMAC Priority Clear Register)	31-24	-	-	-	R	-
		23-16	-	-	-	R	
		15-8	-	-	-	R	
		7-4	-	-	-	R	
		3-0	PRCLR[3:0]	-	-	W	
0x4000 104c	DMACERRIF (DMAC Error Interrupt Flag Register)	31-24	-	0x00	-	R	-
		23-16	-	0x00	-	R	
		15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	ERRIF	0	H0	R/W	
0x4000 2000	DMACENDIF (DMAC Transfer Completion Interrupt Flag Register)	31-24	-	0x00	-	R	-
		23-16	-	0x00	-	R	
		15-8	-	0x00	-	R	
		7-4	-	0x0	-	R	
		3-0	ENDIF[3:0]	0x0	H0	R/W	
0x4000 2008	DMACENDIESET (DMAC Transfer Completion Interrupt Enable Set Register)	31-24	-	0x00	-	R	-
		23-16	-	0x00	-	R	
		15-8	-	0x00	-	R	
		7-4	-	0x0	-	R	
		3-0	ENDIESET[3:0]	0x0	H0	R/W	
0x4000 200c	DMACENDIECLR (DMAC Transfer Completion Interrupt Enable Clear Register)	31-24	-	-	-	R	-
		23-16	-	-	-	R	
		15-8	-	-	-	R	
		7-4	-	-	-	R	
		3-0	ENDIECLR[3:0]	-	-	W	
0x4000 2010	DMACERRIESET (DMAC Error Interrupt Enable Set Register)	31-24	-	0x00	-	R	-
		23-16	-	0x00	-	R	
		15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	ERRIESET	0	H0	R/W	
0x4000 2014	DMACERRIECLR (DMAC Error Interrupt Enable Clear Register)	31-24	-	0x00	-	R	-
		23-16	-	0x00	-	R	
		15-8	-	0x00	-	R	
		7-1	-	0x00	-	R	
		0	ERRIECLR	-	-	W	

0x4000 3000–0x4000 30e0

Memory Display Controller (MDC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 3000	MDCDISPCTL (MDC Display Control Register)	15–14	–	0x0	–	R	–
		13–12	GSTYPE[1:0]	0x0	H0	R/W	
		11	DISPGS	0	H0	R/W	
		10	RGBORD	0	H0	R/W	
		9	ADDRLSB	0	H0	R/W	
		8	–	0	–	R	
		7	DISPINVERT	0	H0	R/W	
		6	UPDFUNC	0	H0	R/W	
		5	SPITYPE	0	H0	R/W	
		4	DISPSPI	0	H0	R/W	
		3–2	ROTSEL[1:0]	0x0	H0	R/W	
		1	VCOMEN	0	H0	R/W	
		0	–	0	–	R	
0x4000 3002	MDCDISPWIDTH (MDC Display Width Register)	15–10	–	0x00	–	R	–
		9–0	DISPWIDTH[9:0]	0x0b4	H0	R/W	
0x4000 3004	MDCDISPHEIGHT (MDC Display Height Register)	15–10	–	0x00	–	R	–
		9–0	DISPHEIGHT[9:0]	0x0b4	H0	R/W	
0x4000 3006	MDCDISPVCOMDIV (MDC Display VCOM Clock Divider Register)	15–0	DISPVCOMDIV[15:0]	0x0222	H0	R/W	–
0x4000 3008	MDCDISPCLKDIV (MDC Display Clock Divider Register)	15–8	TIM0[7:0]	0x04	H0	R/W	–
		7–0	CLKDIV[7:0]	0x04	H0	R/W	
0x4000 300a	MDCDISPPRM21 (MDC Display Parameters 1 and 2 Register)	15–8	TIM2[7:0]	0x00	H0	R/W	–
		7–0	TIM1[7:0]	0x04	H0	R/W	
0x4000 300c	MDCDISPPRM43 (MDC Display Parameters 3 and 4 Register)	15–8	TIM4[7:0]	0x04	H0	R/W	–
		7–0	TIM3[7:0]	0x04	H0	R/W	
0x4000 300e	MDCDISPPRM65 (MDC Display Parameters 5 and 6 Register)	15–8	TIM6[7:0]	0x04	H0	R/W	–
		7–0	TIM5[7:0]	0x04	H0	R/W	
0x4000 3010	MDCDISPPRM87 (MDC Display Parameters 7 and 8 Register)	15–8	TIM8[7:0]	0x00	H0	R/W	–
		7–0	TIM7[7:0]	0x00	H0	R/W	
0x4000 3012	MDCDISPSTARTY (MDC Display Update Start Line Register)	15–10	–	0x00	–	R	–
		9–0	STARTY[9:0]	0x000	H0	R/W	
0x4000 3014	MDCDISPENDY (MDC Display Update End Line Register)	15–10	–	0x00	–	R	–
		9–0	ENDY[9:0]	0x0b3	H0	R/W	
0x4000 3016	MDCDISPSTRIDE (MDC Display Frame Buffer Stride Register)	15–10	–	0x00	–	R	–
		9–0	DISPSTRIDE[9:0]	0x0b4	H0	R/W	
0x4000 3018	MDCDISPFRMBUFF0 (MDC Display Frame Buffer Base Address Register 0)	15–0	FRMBUFFADDR[15:0]	0x0000	H0	R/W	–
0x4000 301a	MDCDISPFRMBUFF1 (MDC Display Frame Buffer Base Address Register 1)	15–0	FRMBUFFADDR[31:16]	0x0000	H0	R/W	–

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 301c	MDCTRIGCTL (MDC Trigger Control Register)	15-10	-	0x00	-	R	
		9-8	DISPBPP[1:0]	0x0	H0	R/W	
		7-4	NPARAM[3:0]	0x0	H0	R/W	
		3-1	-	0x00	-	R	
		0	GFXTRIG	0	H0	R/W	
0x4000 301e	MDCINTCTL (MDC Interrupt Control Register)	15-9	-	0x00	-	R	
		8	GFXIE	0	H0	R/W	
		7-1	-	0x00	-	R	
		0	GFXIF	0	H0	R/W	
0x4000 3020	MDCGFXCTL (MDC Graphics Control Register)	15	CPYNEGY	0	-	R/W	
		14	CPYNEGX	0	H0	R/W	
		13	SHEARNEGY	0	H0	R/W	
		12	SHEARNEGX	0	H0	R/W	
		11	FILLEN	0	H0	R/W	
		10	BITMAPFMT	0	H0	R/W	
		9	BITMAPEN	0	H0	R/W	
		8	-	0	-	R	
		7-6	ALPHAVAL[1:0]	0x0	H0	R/W	
		5	ALPHAOVRD	0	H0	R/W	
		4	-	0	-	R	
		3	(reserved)	0	H0	R/W	
0x4000 3022	MDCGFXIXCENTER (MDC Input X Coordinate Register)	15-10	-	0x00	-	R	
		9-0	IXCENTER[9:0]	0x000	H0	R/W	
0x4000 3024	MDCGFXIYCENTER (MDC Input Y Coordinate Register)	15-10	-	0x00	-	R	
		9-0	IYCENTER[9:0]	0x000	H0	R/W	
0x4000 3026	MDCGFXIWIDTH (MDC Input Width Register)	15-10	-	0x00	-	R	
		9-0	IWIDTH[9:0]	0x000	H0	R/W	
0x4000 3028	MDCGFXIHEIGHT (MDC Input Height Register)	15-10	-	0x00	-	R	
		9-0	IHEIGHT[9:0]	0x000	H0	R/W	
0x4000 302a	MDCGFX OXCENTER (MDC Output X Coordinate Register)	15-10	-	0x00	-	R	
		9-0	OXCENTER[9:0]	0x000	H0	R/W	
0x4000 302c	MDCGFX OYCENTER (MDC Output Y Coordinate Register)	15-10	-	0x00	-	R	
		9-0	OYCENTER[9:0]	0x000	H0	R/W	
0x4000 302e	MDCGFXOWIDTH (MDC Output Width Register)	15-10	-	0x00	-	R	
		9-0	OWIDTH[9:0]	0x000	H0	R/W	
0x4000 3030	MDCGFXOHEIGHT (MDC Output Height Register)	15-10	-	0x00	-	R	
		9-0	OHEIGHT[9:0]	0x000	H0	R/W	
0x4000 3032	MDCGFXLSCALE (MDC X Left Scale Register)	15-14	-	0x0	-	R	
		13-0	XLSCALE[13:0]	0x0000	H0	R/W	
0x4000 3034	MDCGFXRSCALE (MDC X Right Scale Register)	15-14	-	0x0	-	R	
		13-0	XRSCALE[13:0]	0x0000	H0	R/W	
0x4000 3036	MDCGXYTSCALE (MDC Y Top Scale Register)	15-14	-	0x0	-	R	
		13-0	YTSCALE[13:0]	0x0000	H0	R/W	
0x4000 3038	MDCGXYBSCALE (MDC Y Bottom Scale Register)	15-14	-	0x0	-	R	
		13-0	YBSCALE[13:0]	0x0000	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 303a	MDCGFXSHEAR (MDC X/Y Shear Register)	15	–	0	–	R	–
		14–8	YSHEAR[6:0]	0x00	H0	R/W	
		7	–	0	–	R	
		6–0	XSHEAR[6:0]	0x00	H0	R/W	
0x4000 303c	MDCGFXROTVL (MDC Rotation Register)	15–9	–	0x00	–	R	–
		8–0	ROTVL[8:0]	0x000	H0	R/W	
0x4000 303e	MDCGFXCOLOR (MDC Color Register)	15–8	–	0x00	–	R	–
		7–0	COLOR[7:0]	0x03	H0	R/W	
0x4000 3040	MDCGFXIBADDR0 (MDC Source Window Base Address Register 0)	15–0	IBASEADDR[15:0]	0x0000	H0	R/W	–
0x4000 3042	MDCGFXIBADDR1 (MDC Source Window Base Address Register 1)	15–0	IBASEADDR[31:16]	0x0000	H0	R/W	–
0x4000 3044	MDCGFXOBADDR0 (MDC Destination Window Base Address Register 0)	15–0	OBASEADDR[15:0]	0x0000	H0	R/W	–
0x4000 3046	MDCGFXOBADDR1 (MDC Destination Window Base Address Register 1)	15–0	OBASEADDR[31:16]	0x0000	H0	R/W	–
0x4000 3048	MDCGFXISTRIDE (MDC Source Image Stride Register)	15–10	–	0x00	–	R	–
		9–0	ISTRIDE[9:0]	0x000	H0	R/W	
0x4000 304a	MDCGFXOSTRIDE (MDC Destination Image Stride Register)	15–10	–	0x00	–	R	–
		9–0	OSTRIDE[9:0]	0x000	H0	R/W	
0x4000 304c	MDCGFXOWLEFT (MDC Output Window Left Edge Register)	15–10	–	0x00	–	R	–
		9–0	OWLEFT[9:0]	0x000	H0	R	
0x4000 304e	MDCGFX OWRIGHT (MDC Output Window Right Edge Register)	15–10	–	0x00	–	R	–
		9–0	OWRIGHT[9:0]	0x000	H0	R	
0x4000 3050	MDCGFXOWTOP (MDC Output Window Top Edge Register)	15–10	–	0x00	–	R	–
		9–0	OWTOP[9:0]	0x000	H0	R	
0x4000 3052	MDCGFXOWBOT (MDC Output Window Bottom Edge Register)	15–10	–	0x00	–	R	–
		9–0	OWBOT[9:0]	0x000	H0	R	
0x4000 3060	MDCSCRATCHA0 (MDC Scratchpad A Register 0)	15–0	SCRATCHA[15:0]	0x0000	H0	R/W	–
0x4000 3062	MDCSCRATCHA1 (MDC Scratchpad A Register 1)	15–0	SCRATCHA[31:16]	0x0000	H0	R/W	–
0x4000 3068	MDCCLKCTL (MDC Clock Control Register)	15–10	SCRATCHB1[15:10]	0x00	H0	R/W	–
		9	HCKINV	0	H0	R/W	
		8	CLK32KON	0	H0	R/W	
		7–0	SCRATCHB0[7:0]	0x00	H0	R/W	
0x4000 3080	MDCBSTCLK (MDC Voltage Booster Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	1	H0	R/W	
		7	(reserved)	0	H0	R/W	
		6–4	CLKDIV[2:0]	0x0	H0	R/W	
		3	–	0	–	R	
		2	(reserved)	0	H0	R/W	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	

Appendix A 周辺回路制御レジスター一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000 3084	MDCBSTPWR (MDC Voltage Booster Power Control Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3	VMDBUP	0	H0	R/W	
		2	BSTON	0	H0	R/W	
		1	REGECO	0	H0	R/W	
0x4000 3088	MDCBSTVMD (MDC Voltage Booster V _{MD} Output Control Register)	0	REGON	0	H0	R/W	-
		15	-	0	-	R	
		14-12	VMDHVOL[2:0]	0x0	H0	R/W	
		11-9	-	0x0	-	R	
		8	VMDHON	0	H0	R/W	
		7	-	0	-	R	
		6-4	VMDLVOL[2:0]	0x0	H0	R/W	
		3-1	-	0x0	-	R	
0x4000 30e0	MDCHOSTCTL (MDC Host Control Register)	0	VMDLON	0	H0	R/W	-
		15	SOFRST	0	H0	R/W	
		14-8	-	0x00	-	R	
		7-5	-	0x0	-	R	
		4	INTPOL	0	H0	R/W	
		3	SYSCLKSTAT	0	H0	R	
		2	-	0	-	R	
		1	CLK32KOSCEN	0	H0	R/W	
0	SYSOSCEN	0	H0	R/W			

Appendix B パワーセーブ

消費電流はCPU動作モード、動作クロック周波数、動作させる周辺回路、V_{D1}レギュレータ動作モード等により大きく変化します。以下に、省電力化のための制御方法をまとめます。

B.1 パワーセーブを考慮した動作状態の設定例

パワーセーブを考慮した代表的な動作状態設定例を表B.1.1に示します。

表B.1.1 代表的な動作状態設定

動作状態設定	消費電流	V _{D1}	OSC1	IOSC/OSC3 /EXOSC	RTCA	CPU	電気的特性記載 の消費電流
スタンバイ	↑ 低	Economy	OFF	OFF	OFF	SLEEP	I _{SLP}
時計カウント						SLEEP with OSC1SLPC	I _{HALT2}
低速処理	高 ↓	Normal	ON	ON	ON	OSC1 RUN	I _{RUN5-6}
周辺回路動作							SLEEP or HALT
高速処理				IOSC/OSC3/EXOSC RUN	I _{RUN1-4, 7}		

表B.1.1の動作モード設定時、“電気的特性”の消費電流項目と差異がある場合は、以下の項目を確認してください。

パワージェネレータのPWGACTL.REGMODE[1:0]ビット

パワージェネレータのPWGACTL.REGMODE[1:0]ビットを0x2(ノーマルモード)のまま、SLEEPモードへ遷移した場合、“電気的特性”のSLEEP時消費電流I_{SLP}よりも大きな値になります。SLEEPモード移行前に、PWGACTL.REGMODE[1:0]ビットを0x3(エコノミーモード)または0x0(オートマッチクモード)に設定してください。

クロックジェネレータのCLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPCビット

クロックジェネレータのCLGOSC.IOSCSLPC/OSC1SLPC/OSC3SLPC/EXOSCSLPCビットを0にすると、SLEEPモードへの移行時に発振回路を停止する制御が禁止されます。SLEEPモード時に発振回路を停止させたい場合は、これらのビットを1に設定してください。

周辺回路のMODENビット

各周辺回路のMODENビットを1にすると、周辺回路に動作クロックが供給され、動作可能な状態になります。動作が不要な周辺回路は、MODENビットを0に設定することで、消費電流を抑えることができます。リアルタイムクロックは、MODENビットを備えておらず、カウント中も停止中も消費電流は変わりません。

OSC1発振回路の設定

OSC1発振回路は、シリンダータイプから表面実装タイプまで、様々な水晶振動子に対応するため、いくつかの設定が可能です。これらの設定は以下のような消費電流とのトレードオフがあります。

- 発振インバータのゲイン設定(CLGOSC1.INV1B[1:0]/INV1N[1:0]ビット)で、インバータのゲインを小さくするほど、消費電流も小さくなります。
- OSC1内蔵ゲート容量の設定(CLGOSC1.CG1[2:0]ビット)で、容量値を小さくするほど、消費電流も小さくなります。
- OSC1外付けゲート容量、ドレイン容量の容量値を小さくするほど、消費電流も小さくなります。
- 水晶振動子のC_L値が小さいものほど、消費電流も小さくなります。

ただし、これらの設定により、発振余裕度の不足や周波数の誤差を生じますので、必ず実基板上でのマッチング評価を行ってください。

OSC3(水晶/セラミック)発振回路の設定

OSC3(水晶/セラミック)発振回路は、様々な水晶振動子やセラミック振動子に対応するため、いくつかの設定が可能です。これらの設定は以下のような消費電流とのトレードオフがあります。

- 発振インバータのゲイン設定(CLGOSC3.OSC3INV[1:0]ビット)で、インバータのゲインを小さくするほど、消費電流も小さくなります。
- OSC3外付けゲート容量、ドレイン容量の容量値を小さくするほど、消費電流も小さくなります。
- 振動子のCL値が小さいものほど、消費電流も小さくなります。

ただし、これらの設定により、発振余裕度の不足や周波数の誤差を生じますので、必ず実基板上でのマッチング評価を行ってください。

B.2 その他のパワーセーブ方法

電源電圧検出回路の設定

連続動作モード(SVD3CTL.SVDMD[1:0]ビット = 0x0)の場合、電圧を常時検出しているため消費電流は大きくなります。間欠動作モードに設定するか、あるいは必要なときのみ電源電圧検出回路をONしてください。

Appendix C 実装上の注意事項

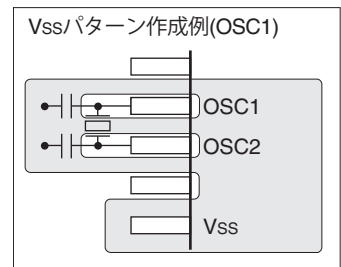
基板の設計およびICを実装する際の注意事項を以下に示します。

OSC1/OSC3発振回路

- 発振特性は使用部品(振動子、 C_G 、 C_D)や基板パターンなどにより変化します。特に水晶振動子を使用する場合、外付けの容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。

- OSC1(OSC3)、OSC2(OSC4)端子に接続する振動子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3 mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2 mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3 mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVSSでシールドしてください。
配線する層は、右の図のように広めにシールドしてください。
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5 mm以上カバーするようにシールドしてください。
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態でのクロック波形をFOUT端子から出力して確認してください。
OSC1波形は、クロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100 ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。
OSC3波形は、設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。

(1)~(3)の対応が不十分な場合、OSC1CLKにはノイズが乗り、OSC3CLK出力にはジッタが発生することがあります。OSC1CLKにノイズが乗ると、OSC1CLKを使用するタイマや、CPUの動作が不安定になります。OSC3出力にジッタが発生すると、その分動作周波数が低下します。

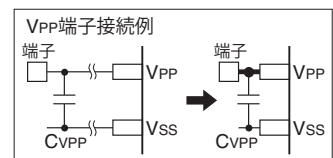
#RESET端子

ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するスイッチ、抵抗等の部品は、できるだけ最短で接続してください。

VPP端子

VSS~VPP間キャパシタ C_{VPP} を接続して、 $V_{PP} \pm 1$ V以下の変動に抑えてください。

このとき、 C_{VPP} は可能な限りVPP端子の近くに配置し、数十mAが流れるように十分な太さを持つパターンを用いて配線してください。

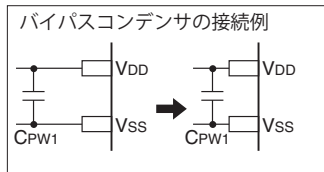


電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

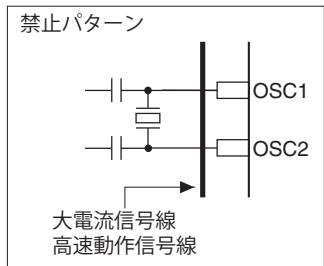
- 電源からVDDおよびVSS端子へはできるだけ短かつ太いパターンで接続してください。

- (2) $V_{DD}-V_{SS}$ のバイパスコンデンサを接続する場合、 V_{DD} 端子と V_{SS} 端子をできるだけ最短で接続してください。



信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振やアナログ計測等のノイズに弱い端子近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
- SEG/COMラインや昇圧/降圧用コンデンサを駆動するラインは、ノイズを発生しやすいため、ノイズに弱い端子からは離してください。



光に対する取り扱い(ペアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
- 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

未使用端子の処理

- 入出力ポート(P)端子
未使用端子はオープンにしてください。制御レジスタはイニシャル状態にしてください。
- OSC1、OSC2、OSC3、OSC4、EXOSC端子
OSC1発振回路、OSC2発振回路、またはEXOSC入力回路を使用しない場合、OSC1とOSC2端子、OSC3とOSC4端子、またはEXOSC端子はオープンにしてください。制御レジスタはイニシャル状態(ディスエーブル)にしてください。
- メモリディスプレイコントローラ端子
メモリディスプレイコントローラを使用しない場合はオープンにしてください。ただし、 V_{MDL} 端子には外部から電源電圧を供給する必要があります。制御レジスタはイニシャル状態にしてください。また、メモリディスプレイコントローラを使用する場合も、結線の必要がない端子はオープンにしてください。

その他

実装段階においては、機械的ダメージのほか、

- 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Appendix D ノイズ対策

ノイズ耐性を向上させるための対策を以下に示します。

V_{DD}, V_{SS}電源のノイズ対策

規定の電圧を下回るようなノイズが入ると、ICが誤動作する場合があります。期待する動作とならない場合は、基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージノイズ対策部品の追加など、基板上での対策をお願いします。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

#RESET端子のノイズ対策

#RESET端子にノイズが入ることにより、ICがリセットされる可能性があります。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

発振端子のノイズ対策

発振入力端子は小振幅の信号が伝播するため、ノイズに対して非常に敏感な構造になっています。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

割り込み入力端子のノイズ対策

本製品は入力信号の変化によりポート入力割り込みを発生可能です。入力信号のエッジを検出して割り込みを発生させるため、外来ノイズによって信号が変化した場合でも割り込みが発生する可能性があります。外来ノイズによる予期せぬ割り込みの発生を防ぐため、ポート入力割り込みを使用する場合はチャタリング除去回路を有効にしてください。

ポート入力割り込みおよびチャタリング除去回路の詳細は、“入出力ポート”の章を参照してください。

UART端子のノイズ対策

本製品は非同期通信用にUARTを備えています。UARTはSIN_n端子でLOWレベルの入力を検出すると受信動作を開始するため、外来ノイズによってSIN_n端子がLOWになった場合でも受信動作を開始してしまうことがあります。この場合は受信エラーが発生したり、不正なデータの受信が起こります。外来ノイズによるUARTの誤動作を防ぐために、以下の対策を講じてください。

- 非同期通信を行っていない間はUARTの動作を停止してください。
- パリティビットの使用を含む受信エラー処理を実施し、ソフトウェアによる再送処理を行ってください。

端子の機能と切り換えの詳細は“入出力ポート”の章を、UARTの動作制御および受信エラーの詳細は“UART”の章を参照してください。

電源などの駆動能力が高い信号と接続する入力端子のノイズ対策

電源や駆動能力が高いデバイスの出力と直接接続している端子がある場合、これらの端子にノイズが入ることにより大電流が流れ込む可能性があります。そのような場合は、端子保護のために30 Ω以上の抵抗を直列に挿入してください。実装基板で評価のうえ抵抗値を決定してください。

VREFA端子に電源を直接接続する場合は100 Ωの抵抗を直列に挿入してください。この抵抗は、A/D変換器の特性に影響を与えません。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
413520300	全ページ	新規制定
413520301	マニュアル 全体	<p>Cortex®-M0+レジスタ名修正 システムコントロールレジスタ → Cortex®-M0+ System Control Register または Cortex®-M0+ Application Interrupt and Reset Control Register</p> <p>ベクタテーブルオフセットレジスタ → Cortex®-M0+ Vector Table Offset Register (VTOR) システムハンドラプライオリティレジスタ → Cortex®-M0+ System Handler Priority Registers インタラプトプライオリティレジスタ → Cortex®-M0+ Interrupt Priority Registers</p> <p>Cortex®-M0+マニュアル名修正 Cortex®-M0+テクニカルリファレンスマニュアル → ARM®v6-M Architecture Reference Manual, Cortex®-M0+ Technical Reference Manual, または “Cortex®-M0+ Devices Generic User Guide”等、 3.4節に掲載のドキュメント</p> <p>COUコア → CPU MSCPROT (レジスタ名) → SYSPROT</p>
	1-2~3	<p>1.1 特長 表1.1.1に注釈を追加 I²C(I²C) ^{※1} ※1 I²C(SDAおよびSCL入力)の入力フィルタは、50 ns未満のノイズスパイク除去の規格に準拠していま せん。 ※2 Cortex®-M0+プロセッサのディープスリープモードに相当します。SLEEP中もRAMのデータは保持さ れます。 表1.1.1修正 電源電圧: Flash書き換え時V_{DD}動作電圧 (V_{PP}電圧内部生成時) 2.7~5.5 V → 2.4~5.5 V 出荷形態: パッケージ名にJEITA名称を追加</p>
	1-4~7, 10	<p>1.3 端子 図1.3.1.1~1.3.1.3、図1.3.2.1、表1.3.3.1修正 P16端子にENVPP出力機能を追加</p>
	2-15	<p>2.4.2 動作モードの遷移 SLEEPモード 下記説明を追加 SLEEPモード中もRAMのデータは保持されます。</p>
	3-2	<p>新規節追加 3.4 参照ドキュメント</p>
	4-2	<p>4.3.1 Flashメモリ端子 表4.3.1.1に(ENVPP)を追加 注を追加 注: ... ・ ENVPP端子は、Flashプログラミング時にBridge Board(S5U1C31001L)への制御信号を出力します。 この端子はENVPP出力の他に汎用入出力ポートとしても使用可能ですが、この信号による外部回路 への影響を考慮してください。</p>
	4-3	<p>4.3.3 Flashプログラミング 説明を変更 Flashメモリはオンボードプログラミングに対応しており、フラッシュローダを使用してROMデータをプ ログラムすることができます。V_{PP}電圧は外部電源または内蔵昇圧回路から供給可能です。 V_{PP}外部供給時は電圧安定用に、内蔵昇圧回路使用時は電圧生成用に、V_{PP}端子にV_{SS}~V_{PP}間キャパシタ C_{VP}を必ず接続してください。 Flashプログラミング時以外は、V_{PP}端子をオープンにする必要があります。ただし、Bridge Board (S5U1C31001L)からV_{PP}電圧を供給する場合、Flashプログラミング時のみ供給するように制御されてい るため、接続したままでも問題ありません。 注: ・ Flashプログラミングを行う場合は、V_{DD}を2.4 V以上にする必要があります。 ・ V_{PP}端子の出力を外部回路の駆動には絶対に使用しないでください。</p>

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
413520301	4-12	4.8 制御レジスタ FLASHC Flash Read Cycle Register RDWAIT[1:0]ビットに注を追加 注: ... ・ FLASHCWAIT.RDWAIT[1:0]ビットを0x2から0x1に設定変更する場合、その直後にNOPを2命令入れてください。 プログラム例: FLASHC->WAIT_b.RDWAIT = 1; asm("NOP"); asm("NOP"); CLG->OSC_b.IOSCCEN = 0;
	10-2	10.3.2 論理緩急機能 手順1を修正 1. fosc1を測定し、発振周波数偏差の補正值m [ppm] = -(fosc1 -32,768 [Hz]) / 32,768 [Hz] × 10 ⁶ を求める。 (式10.1) m: OSC1発振周波数偏差の補正值 [ppm]
	10-4	10.4.2 リアルタイムクロックカウンタの動作 有効範囲外の値をセットした場合の補正動作 説明を修正、注を追加 年、曜日、時(24Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップで0にクリアされます。月、日、時(12Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップタイミングで1にセットされます。 注: RTCAMON.RTCMOHビット = 0 & RTCAMON.RTCMOL[3:0]ビット = 0x0の設定を禁止します。
	10-11	10.6 制御レジスタ RTCA Month/Day Register Bit 12 RTCMOH Bits 11-8 RTCMOL[3:0] 注を追加 注: ... ・ RTCAMON.RTCMOH/RTCMOL[3:0]ビットを0x00に設定することは禁止します。
	15-1	15.1 概要 説明を修正 - リマッピングが可能な1M/バイトの外部Flashメモリマップドアクセスエリア 表15.1.1に項目を追加 外部Flashメモリ用メモリマップドアクセスエリア: 0x0004 0000番地から1M/バイト
	15-8, 9	15.4 データフォーマット 図15.4.1~15.4.2 下記ビット設定を追加 QSPI_nMOD.CHDL[3:0]ビット = 0x7 図15.4.3 下記ビット設定を追加 QSPI_nMOD.CHDL[3:0]ビット = 0x3
	15-10, 11	15.5.2 メモリマップドアクセスモード 図15.5.2.1, 15.5.2.2 説明を修正 QSPIはダミーサイクルを、1駆動サイクルを含む6サイクルとして処理します。 (QSPI_nMMACFG2.DUMDL[3:0]ビット = 0x0, QSPI_nMMACFG2.DUMLN[3:0]ビット = 0x5) QSPIはデータサイクルを、2駆動サイクルを含む2サイクルとして処理します。 (QSPI_nMOD.CHDL[3:0]ビット = 0x1, QSPI_nMOD.CHLN[3:0]ビット = 0x1)
	15-11	15.5.2 メモリマップドアクセスモード 説明を修正 システムメモリの外部Flashメモリ用メモリマップドアクセスエリアは、外部FlashメモリをマッピングしてCPUからアクセスするために使用されます。
	15-17	15.5.6 メモリマップドアクセスモードのデータ受信 受信手順 説明を修正 4. 外部Flashメモリ用メモリマップドアクセスエリアを8、16、または32ビットメモリリード命令で読み出す。 この操作により、2で外部Flashメモリ用メモリマップドアクセスエリアに再配置された1M/バイトの外部Flashメモリ領域からデータを直接読み出すことができます。
	15-29	15.8 制御レジスタ QSPI Ch.n Mode Register CHDL[3:0]ビットの下記説明を削除 この設定はMieron-FlashメモリへのXIP確認ビットの出力、またはSpansion-Flashメモリへのモードバイトの出力に必要です。
15-35	15.8 制御レジスタ QSPI Ch.n Memory Mapped Access Configuration Register 2 レジスタ表修正 DUMDL[3:0], DUMLN[3:0]: Initial = 0x0 → 0x7	

コードNo.	ページ	改訂内容 (旧内容を含む) および改訂理由
413520301	16-1	16.1 概要 以下の記述を追加 ・ SDAおよびSCL入力の入力フィルタは、50 ns未満のノイズスパイク除去の規格には非準拠
	16-7, 9	16.4.3 マスタモードのデータ受信 受信手順 手順1を追加(旧手順番号をインクリメント) 1. 受信するデータの長さが1バイトの場合はI2C_nCTL.TXNACKビットに1を書き込む。
	16-9	16.4.3 マスタモードのデータ受信 DMAを使用したデータ受信 説明を修正 これにより、上記受信手順の6、8、10はDMAにより自動化できます。
	24-1	24.2 推奨動作条件 (V _{SS} = 0 V) *1と以下の注釈を追加 *1 V _{SS} 電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグラウンド電位に対し±0.3 V以内の変動に抑えてください。 *6 各使用部品の定数は、実際の基板上で評価を行い、最終的な値を決めてください。 特性表修正 V _{DD} : Flashプログラミング時 (V _{PP} 内部生成時) Min. = 2.7 → 2.4 V C _{VPP} : *5削除 C _{VREFA} : *6を削除
	24-7	24.6 Flashメモリ特性 注釈を追加 *1 V _{SS} 電位の変動はFlashメモリ特性(書き換え回数)に影響を与えるため、Flash書き換え中は、本体基板側のグラウンド電位に対し±0.3 V以内の変動に抑えてください。
	25-1	25 基本外部結線図 図修正 V _{DD} : Flashプログラミング時 Min. = 2.7 → 2.4 V ENV _{PP} と#RESET信号をデバッグツールコネクタに接続
	26-1, 3	26 パッケージ パッケージ名にJEITA名称を追加
	AP-A-29	Appendix A 周辺回路制御レジスタ一覧 QSPI_0MMACFG2 (QSPI Ch.0 Memory Mapped Access Configuration Register 2) レジスタ表修正 DUMDL[3:0], DUMLN[3:0]: Initial = 0x0 → 0x7
	AP-C-1	Appendix C 実装上の注意事項 説明を修正 V _{PP} 端子 Flashプログラミング電圧V _{PP} が大きく変動する場合、-V _{SS} ~V _{PP} 間キャパシタC _{VPP} を接続して、V _{PP} ± 1 V以内の変動に抑えてください。このとき、C _{VPP} は可能な限りV _{PP} 端子の近くに配置し、数十mAが流せるように十分な太さを持つパターンを用いて配線してください。
	AP-D-1	Appendix D ノイズ対策 説明を追加 電源などの駆動能力が高い信号と接続する入力端子のノイズ対策 留意事項差し替え
413520302	表紙裏	留意事項差し替え
	1-3, 1-6, 26-3	TQFP14-80PIN/パッケージをQFP14-80PIN/パッケージに変更 TQFP14-80PIN (P-IQFP080-1212-0.50, 12 × 12 mm, t = 1.2 mm, 0.5 mm pitch) → QFP14-80PIN (P-LQFP080-1212-0.50, 12 × 12 mm, t = 1.7 mm, 0.5 mm pitch)

セイコーエプソン株式会社

営業本部 MD営業部

東京 〒160-8801 東京都新宿区新宿4-1-6 JR新宿ミライナタワー

大阪 〒530-6122 大阪市北区中之島3-3-23 中之島ダイビル22F

ドキュメントコード：413520302
2017年 6月 作成
2023年 8月 改定 ①