

**S1D13U11**  
**ハードウェア**  
**テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

---

本資料の内容については、予告無く変更することがあります。

- 1.) 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
- 2.) 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産およびその他の権利の実施権の許諾を行うものではありません。
- 3.) 特性値の数値の大小は、数直線上の大小関係で表しています。
- 4.) 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍用途に使用する目的をもって製品および弊社が提供する技術を費消、再販または輸出等しないでください。
- 5.) 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
- 6.) 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

©SEIKO EPSON CORPORATION 2011-2015. All rights reserved.

---

# 目次

|                     |           |
|---------------------|-----------|
| <b>1. 概要</b>        | <b>9</b>  |
| <b>2. 特長</b>        | <b>10</b> |
| 2.1 フレームバッファ        | 10        |
| 2.2 ホストCPUインタフェース   | 10        |
| 2.3 画像入力データフォーマット   | 10        |
| 2.4 表示モード           | 10        |
| 2.5 ディスプレイサポート      | 10        |
| 2.6 表示機能            | 11        |
| 2.7 SPIインタフェース      | 12        |
| 2.8 I2Cインタフェース      | 12        |
| 2.9 GPIOインタフェース     | 12        |
| 2.10 キースキャンインタフェース  | 12        |
| 2.11 ブザーインタフェース     | 12        |
| 2.12 PWMインタフェース     | 12        |
| 2.13 イベント通知         | 13        |
| 2.14 クロック           | 13        |
| 2.15 リセット           | 13        |
| 2.16 パワーセーブ機能       | 13        |
| <b>3. システム構成図</b>   | <b>14</b> |
| <b>4. 機能ブロック図</b>   | <b>15</b> |
| <b>5. 端子</b>        | <b>17</b> |
| 5.1 端子配置図           | 17        |
| 5.2 端子説明            | 18        |
| 5.2.1 ホストCPUインタフェース | 19        |
| 5.2.2 LCDインタフェース    | 20        |
| 5.2.3 SDRAMインタフェース  | 21        |
| 5.2.4 I/Oインタフェース    | 22        |
| 5.2.5 その他           | 23        |
| 5.2.6 電源            | 24        |
| 5.3 端子構造            | 25        |
| 5.3.1 入力端子          | 25        |
| 5.3.2 出力端子          | 26        |
| 5.3.3 双方向端子         | 27        |
| 5.4 システム構成端子        | 30        |
| 5.5 LCDインタフェース端子    | 30        |
| <b>6. DC特性</b>      | <b>31</b> |

|            |                      |           |
|------------|----------------------|-----------|
| 6.1        | 絶対最大定格               | 31        |
| 6.2        | 推奨動作条件               | 31        |
| 6.3        | 電気的特性                | 32        |
| 6.4        | 消費電流                 | 33        |
| <b>7.</b>  | <b>AC特性</b>          | <b>34</b> |
| 7.1        | クロックタイミング            | 34        |
| 7.1.1      | 水晶発振入力クロック           | 34        |
| 7.1.2      | USBクロック              | 34        |
| 7.1.3      | PLLクロック              | 35        |
| 7.1.4      | クロック出力               | 35        |
| 7.1.5      | スプレッド・スペクトラム変調クロック   | 36        |
| 7.2        | リセット入力タイミング          | 37        |
| 7.3        | 電源シーケンスタイミング         | 38        |
| 7.3.1      | 電源投入シーケンスタイミング       | 38        |
| 7.3.2      | 電源遮断シーケンスタイミング       | 38        |
| 7.4        | ホストCPUインタフェースタイミング   | 39        |
| 7.4.1      | USB2.0デバイスポートタイミング   | 39        |
| 7.5        | SDRAMインタフェースタイミング    | 40        |
| 7.6        | シリアルインタフェースタイミング     | 46        |
| 7.6.1      | SPIインタフェースタイミング      | 46        |
| 7.6.2      | Slave Selectタイミング    | 47        |
| 7.6.3      | I2Cインタフェースタイミング      | 48        |
| 7.7        | LCDインタフェースタイミング      | 49        |
| 7.7.1      | LCDパネル表示開始シーケンス      | 50        |
| 7.7.2      | LCDパネル表示停止シーケンス      | 50        |
| 7.7.3      | LCDパネルタイミング          | 51        |
| 7.7.4      | LCDインタフェースタイミング      | 53        |
| <b>8.</b>  | <b>クロック</b>          | <b>54</b> |
| 8.1        | クロック機能               | 54        |
| <b>9.</b>  | <b>リセット</b>          | <b>55</b> |
| 9.1        | リセット機能               | 55        |
| 9.1.1      | ハードウェアリセット           | 55        |
| 9.1.2      | ソフトウェアリセット           | 55        |
| 9.1.3      | USBバスリセット            | 55        |
| <b>10.</b> | <b>ホストCPUインタフェース</b> | <b>56</b> |
| 10.1       | USBデバイスポート           | 56        |
| 10.1.1     | スピードモード              | 56        |
| 10.1.2     | 転送タイプ                | 56        |
| 10.1.3     | ディスクリプター             | 56        |

|            |                                |           |
|------------|--------------------------------|-----------|
| 10.1.4     | プロトコルシーケンサー                    | 56        |
| 10.1.5     | コンフィギュレーションデータ                 | 56        |
| 10.1.6     | 外付け回路                          | 56        |
| 10.2       | エンドポイント                        | 57        |
| 10.2.1     | エンドポイント0                       | 57        |
| 10.2.2     | エンドポイント1                       | 57        |
| 10.2.3     | エンドポイント2                       | 57        |
| 10.2.4     | エンドポイント3                       | 57        |
| 10.2.5     | エンドポイント4                       | 57        |
| 10.3       | プロトコル                          | 58        |
| 10.3.1     | コマンド                           | 58        |
| 10.3.2     | ステータス                          | 58        |
| 10.3.3     | イベント通知                         | 58        |
| 10.4       | 画像入力データフォーマット                  | 59        |
| 10.4.1     | Rデータ上位バイト (REG[14h] bit 6 = 0) | 59        |
| 10.4.2     | Rデータ下位バイト (REG[14h] bit 6 = 1) | 60        |
| <b>11.</b> | <b>LCDインタフェース</b>              | <b>61</b> |
| 11.1       | 概要                             | 61        |
| 11.1.1     | ディスプレイサポート                     | 61        |
| 11.1.2     | 表示機能                           | 61        |
| 11.1.3     | 画像データパス                        | 62        |
| 11.2       | LCDブリッジインタフェース                 | 63        |
| 11.2.1     | レジスタライト手順                      | 63        |
| 11.2.2     | レジスタリード手順                      | 63        |
| 11.2.3     | SDRAM (新しいウィンドウ) のライト手順        | 63        |
| 11.2.4     | SDRAM (既存ウィンドウ) のライト手順         | 63        |
| 11.2.5     | SDRAMリード手順                     | 63        |
| 11.2.6     | ルックアップテーブルライト手順                | 64        |
| 11.2.7     | ルックアップテーブルリード手順                | 64        |
| 11.3       | ライトウィンドウ                       | 65        |
| 11.3.1     | ライトバッファ設定                      | 65        |
| 11.3.2     | ライトウィンドウ設定                     | 66        |
| 11.3.3     | 透過色設定                          | 66        |
| 11.4       | ディスプレイウィンドウ                    | 67        |
| 11.4.1     | メインウィンドウ設定                     | 67        |
| 11.4.2     | Picture-in-Picture表示           | 68        |
| 11.4.3     | PIPウィンドウ設定                     | 68        |
| 11.4.4     | PIPウィンドウ表示メモリ開始位置設定            | 69        |
| 11.4.5     | オーバーレイ表示                       | 69        |
| 11.5       | バーチャル表示                        | 70        |

---

|          |                       |     |
|----------|-----------------------|-----|
| 11.6     | 回転・反転表示               | 71  |
| 11.6.1   | 180°回転                | 71  |
| 11.6.2   | 左右反転                  | 72  |
| 11.6.3   | 180°回転+左右反転           | 72  |
| 11.7     | ダブルバッファ表示             | 73  |
| 11.8     | ダブリング表示               | 74  |
| 11.9     | アルファブレンディング           | 75  |
| 11.9.1   | アルファブレンディング (ノーマルモード) | 75  |
| 11.9.2   | アルファブレンディング (コピーモード)  | 76  |
| 11.9.3   | アルファブレンディング (フィルモード)  | 77  |
| 11.9.4   | アルファブレンディングウィンドウ設定    | 78  |
| 11.9.5   | アルファブレンディングスタート設定     | 79  |
| 11.9.6   | アルファブレンディング処理時間       | 79  |
| 11.10    | ガンマ補正ルックアップテーブル       | 80  |
| 11.11    | ブライトネス補正              | 81  |
| 11.12    | コントラスト補正              | 81  |
| 11.13    | SDRAMインタフェース          | 82  |
| 11.13.1  | SDRAMの初期化             | 82  |
| 11.13.2  | SDRAM接続               | 82  |
| 11.13.3  | MRSコマンド               | 83  |
| 11.13.4  | リード/ライトコマンド           | 83  |
| 11.13.5  | オートリフレッシュコマンド         | 83  |
| 11.13.6  | セルフリフレッシュコマンド         | 83  |
| 11.13.7  | パワーダウンコマンド            | 83  |
| 11.13.8  | コントローラステータス           | 83  |
| 11.13.9  | 画像メモリデータ              | 84  |
| 11.13.10 | 画像メモリアドレス             | 85  |
| 11.13.11 | メモリ使用条件               | 86  |
| 11.14    | PWMインタフェース            | 87  |
| 11.15    | LCDインタフェース割り込み        | 88  |
| 11.16    | ディスプレイテスト             | 89  |
| 11.16.1  | ディスプレイ表示テスト           | 89  |
| 11.17    | LCDインタフェースレジスタ        | 90  |
| 11.17.1  | 製品構成レジスタ              | 92  |
| 11.17.2  | クロック構成レジスタ            | 93  |
| 11.17.3  | パネル構成レジスタ             | 98  |
| 11.17.4  | 表示画像設定レジスタ            | 102 |
| 11.17.5  | 入力画像設定レジスタ            | 110 |
| 11.17.6  | メモリポートレジスタ            | 114 |
| 11.17.7  | その他レジスタ               | 115 |

|                                      |            |
|--------------------------------------|------------|
| 11.17.8 汎用IO端子レジスタ . . . . .         | 117        |
| 11.17.9 PWM設定レジスタ . . . . .          | 118        |
| 11.17.10 SDRAM設定レジスタ . . . . .       | 120        |
| 11.17.11 アルファブレンディング設定レジスタ . . . . . | 124        |
| 11.17.12 割り込み設定レジスタ . . . . .        | 129        |
| 11.17.13 表示効果レジスタ . . . . .          | 130        |
| 11.17.14 表示拡張レジスタ . . . . .          | 133        |
| <b>12. I/Oインタフェース . . . . .</b>      | <b>135</b> |
| 12.1 SPIインタフェース . . . . .            | 135        |
| 12.1.1 SPIクロック . . . . .             | 136        |
| 12.1.2 SPIスレーブセレクト . . . . .         | 137        |
| 12.1.3 SPIシーケンシャルコマンド . . . . .      | 137        |
| 12.2 I2Cインタフェース . . . . .            | 138        |
| 12.2.1 I2Cクロック . . . . .             | 139        |
| 12.2.2 I2Cスレーブアドレス . . . . .         | 139        |
| 12.2.3 スタートコンディション . . . . .         | 140        |
| 12.2.4 ストップコンディション . . . . .         | 140        |
| 12.2.5 リピーテッドスタートコンディション . . . . .   | 140        |
| 12.2.6 ACK/NAK受信 . . . . .           | 141        |
| 12.2.7 ACK/NAK送信 . . . . .           | 141        |
| 12.3 GPIOインタフェース . . . . .           | 142        |
| 12.3.1 GPIO端子構成 . . . . .            | 143        |
| 12.3.2 GPIO割り込み . . . . .            | 143        |
| 12.4 キースキャンインタフェース . . . . .         | 144        |
| 12.4.1 ハイドライブモード . . . . .           | 145        |
| 12.4.2 Hi-Zドライブモード . . . . .         | 145        |
| 12.4.3 スキャンロック . . . . .             | 146        |
| 12.4.4 キースキャンイベント . . . . .          | 146        |
| 12.5 ブザーインタフェース . . . . .            | 147        |
| 12.5.1 ブザーロック . . . . .              | 148        |
| 12.5.2 ブザーオートモード . . . . .           | 148        |
| <b>13. イベント通知 . . . . .</b>          | <b>149</b> |
| 13.1 イベント通知機能 . . . . .              | 149        |
| 13.1.1 LCDインタフェースイベント . . . . .      | 149        |
| 13.1.2 SPIインタフェースイベント . . . . .      | 149        |
| 13.1.3 SPIシーケンシャルイベント . . . . .      | 149        |
| 13.1.4 GPIO入力イベント . . . . .          | 150        |
| 13.1.5 ウェイクアップキーイベント . . . . .       | 150        |
| 13.1.6 キースキャンイベント . . . . .          | 150        |
| 13.2 スリープ時イベント通知 . . . . .           | 150        |

---

|   |            |
|---|------------|
| <b>14. パワーセーブ機能</b> . . . . .           | <b>151</b> |
| 14.1 パワーマネージメント . . . . .               | 151        |
| 14.2 USBサスペンド . . . . .                 | 152        |
| 14.3 USBレジューム . . . . .                 | 153        |
| 14.4 USBリモートウェイクアップ . . . . .           | 153        |
| <b>15. 標準使用例 (LCDインタフェース)</b> . . . . . | <b>154</b> |
| 15.1 スリープ . . . . .                     | 154        |
| 15.2 初期化シーケンス . . . . .                 | 156        |
| 15.3 表示シーケンス . . . . .                  | 157        |
| 15.4 ウェイクアップ表示シーケンス . . . . .           | 158        |
| 15.5 スタートアップ表示シーケンス . . . . .           | 159        |
| <b>16. 外部回路</b> . . . . .               | <b>160</b> |
| 16.1 OSC . . . . .                      | 160        |
| 16.2 PLL . . . . .                      | 161        |
| <b>17. メカニカルデータ</b> . . . . .           | <b>163</b> |
| <b>改訂履歴</b> . . . . .                   | <b>164</b> |



## 1. 概要

S1D13U11は、外付けSDRAMにフレームバッファを保持するカラーLCD用グラフィックコントローラです。ホストCPUインタフェースとしてUSB2.0ハイスピードデバイスポートをサポートし、高効率なSDRAMインタフェースにより最大 800x600@ 24bppのLCDパネルを表示することができます。表示機能としては、マルチバッファ、ダブルバッファ、Picture-in-Picture、画面スクロールなどをサポートしています。

またシリアルインタフェースを内蔵しているため、外部にタッチスクリーンコントローラおよびシリアルフラッシュメモリなどを接続することができます。

S1D13U11は、ホストCPUとLCDパネルの間をUSBで接続させたい機器には最適なLCDコントローラです。

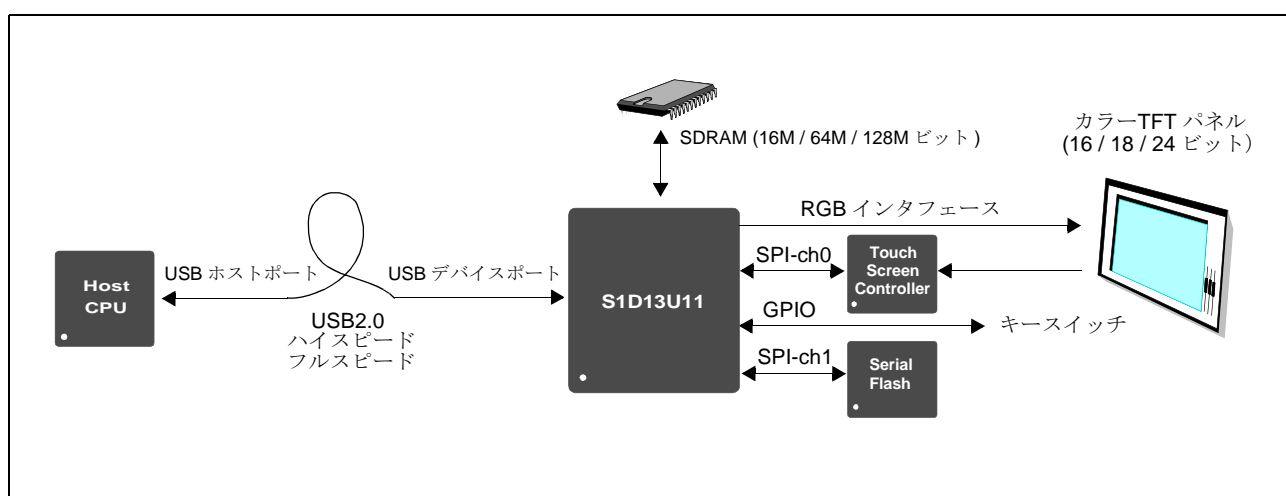


図1.1 システム概要

## 2. 特長

---

## 2. 特長

### 2.1 フレームバッファ

- 外付け16Mビット / 64Mビット / 128MビットのSDRAMメモリをサポート
- 最大96MHzのSDRAMクロックインタフェース
- x16ビットバスインタフェース（SDRAMは1個しか接続できません）

### 2.2 ホストCPUインタフェース

- USB2.0デバイスポート（1ポート）
  - HS（480Mbps）およびFS（12Mbps）転送をサポート
  - FS/HSターミネーション内蔵（外付け回路不要）
  - VBUS 5Vインタフェース（外付け保護回路要）
- エンドポイント
  - エンドポイント0：コントロール転送用（コントロール転送）
  - エンドポイント1：コマンド転送用（バルクOUT転送）
  - エンドポイント2：ステータス転送用（バルクIN転送）
  - エンドポイント3：イベント通知用（インタラプトIN転送）
  - エンドポイント4：画像データ転送用（バルクOUT転送）
- USBプロトコル制御
  - プロトコルシーケンサ+ SRAM（96Kバイト）内蔵
  - デバイスクラス：ベンダークラス
  - プロトコル制御用コンフィグレーションデータのダウンロードが必要
    - USBポート経由またはSPI経由（フラッシュメモリ）から選択

### 2.3 画像入力データフォーマット

- RGB 8:8:8（3バイト/ピクセル入力、4バイト/ピクセル入力）、RGB 5:6:5

### 2.4 表示モード

- 24bppまたは16bppのどちらか一方を選択（SDRAMに保存されるデータフォーマット）

### 2.5 ディスプレイサポート

- アクティブマトリクスTFTインタフェース
  - 16/18/24ビットインタフェース（16/18ビット選択時：余った端子はGPO端子として使用可能）
- 最大800 x 600（SVGA）の表示解像度をサポート
  - QVGA / WQVGA / HVGA / VGA / WVGA / SVGA

## 2.6 表示機能

- ウィンドウ書き込み  
画像データの書き込みはすべてウィンドウ設定により処理され、フレームバッファの全体更新または部分更新を行うことができます。また透過色を設定することができ、透過色と一致した画像データはフレームバッファに書き込まれません。入力画像データの制約は、水平方向8ピクセル単位、垂直方向1ライン単位になります。
- Picture-in-Picture表示  
メインウィンドウに対して、2つのPIPウィンドウを選択させて表示することができます。PIPウィンドウの大きさおよび開始位置の制約は、水平方向8ピクセル単位、垂直方向1ライン単位になります。またPIPウィンドウ側に透過色を設定して、オーバーレイ表示することができます。オーバーレイ表示する場合は、LCDパネルサイズなどの使用制限があります。
- アルファブレンディング  
2つの画像をアルファブレンディングして、新しい画像を作成することができます。アルファブレンディングで作成した画像は、PIPウィンドウに指定することにより表示できます。アルファブレンディングの処理速度は、画像サイズにより変わります。
- 画像コピー・フィル  
アルファブレンディングの機能を使って、画像のコピーまたはフィル（単色の塗りつぶし）をすることができます。処理速度は、画像サイズにより変わります。
- 回転・反転表示  
画像データをハードウェアにて180°回転表示、左右反転表示させることができます。フレームバッファに書き込む際に実行されます。
- ダブルバッファ表示  
動画入力時の画像ティアリングノイズを防ぐため、ハードウェアにて2つのバッファを切り替え表示することができます。
- マルチバッファ表示  
フレームバッファを最大16個（メモリサイズに依存する）のバッファに分割することができます。ソフトウェアによりバッファを選択表示することができます。
- ダブリング表示  
フレームバッファの画像データを、ダブリングして表示することができます。
- バーチャル表示  
フレームバッファにLCDパネルの表示サイズより大きい画像データを保存して、その表示メモリ開始位置を変更することで、PIPウィンドウの画像を上下左右にスクロールすることができます。スクロール単位は、水平方向8ピクセル単位、垂直方向1ライン単位になります。
- ウェイクアップ表示  
スリープからの復帰時にフレームバッファに保存されている画像データを、ホストCPUの制御なく表示することができます。
- スタートアップ表示  
リセットからの起動時に外付けフラッシュメモリに保存されている画像データを、ホストCPUの制御なく表示することができます。
- 表示データ補正  
表示データをRGB独立のガンマ補正、ブライトネス補正、コントラスト補正することができます。

## 2. 特長

---

### 2.7 SPIインタフェース

- SPIマスターインタフェース（2チャンネル）
  - SPI-ch0：(SS0#)
    - タッチスクリーンコントローラ用
    - シーケンシャルコマンド（ホストCPUから設定されたコマンドを連続実行）
  - SPI-ch1-1：(SS1#)
    - 拡張I/Oデバイス用
    - シーケンシャルコマンド（ホストCPUから設定されたコマンドを連続実行）
  - SPI-ch1-2：(SS2#)
    - フラッシュメモリ用（1Mビットのフラッシュメモリに対応、以下のメモリをサポート）
    - 三洋 LE25FU106B
    - Numonyx M25PE10
    - Numonyx M25PE10A

### 2.8 I2Cインタフェース

- I2Cマスターインタフェース
  - 拡張I/Oデバイス用
  - I2CCLK周波数は、117.19kHzと468.75kHzをサポート

### 2.9 GPIOインタフェース

- 独立した汎用入力／出力端子16本（GPIOA[7:0], GPIOB[7:0]）
- 入出力端子切替可能（1本単位で設定可能）
- プルアップ抵抗内蔵

### 2.10 キースキャンインタフェース

- 8x8, 8x4, 8x2のキーマトリクスに対応（ただし端子はGPIOと兼用）
- スキャン周期を設定可能

### 2.11 ブザーインタフェース

- ビープ音周波数可変パルス出力
- パルス出力期間を設定可能

### 2.12 PWMインタフェース

- LEDバックライト制御用PWMパルス出力
- ハイ幅、ロウ幅を設定可能

### 2.13 イベント通知

- USBのエンドポイント3により、以下のイベントをホストCPUへ通知
  - INT0端子入力割り込み（SPIインタフェース）
  - INT1端子入力割り込み（ウェイクアップキー入力）
  - GPIO端子入力割り込み（エッジ検出またはレベル検出可能）
  - キースキャンデータ変化
  - SPIシーケンシャルコマンドデータ取得
  - LCDインタフェース割り込み（アルファブレンディング終了）

### 2.14 クロック

- 12MHzまたは24MHz水晶発振回路内蔵（周波数はCNF0端子で選択）
- 周波数可変のPLL内蔵（最大周波数96MHz）
- SDRAMクロック（66MHz~96MHz）
  - スプレッド・スペクトラム拡散付加可能（ただし周波数は78MHz以下）
- LCDピクセルクロック（最大周波数48MHz）
  - SDRAMクロックに対し1/2, 1/3, 1/4, 1/6または1/8から選択可能
  - スプレッド・スペクトラム拡散付加可能
- 汎用クロック出力（水晶発振周波数の1/1, 1/2, 1/4）

### 2.15 リセット

- ハードウェアリセット
- USBバスリセット
- ソフトウェアリセットコマンド

### 2.16 パワーセーブ機能

- スリープ（水晶発振停止、USBデバイスポート停止、LCDインタフェース停止）
  - 遷移要因：USBサスペンド、VBUSロー入力
  - 解除要因：USBレジューム、USBバスリセット、INT0/INT1入力、VBUSハイ入力
- USBリモートウェイクアップ対応

### 3. システム構成図

### 3. システム構成図

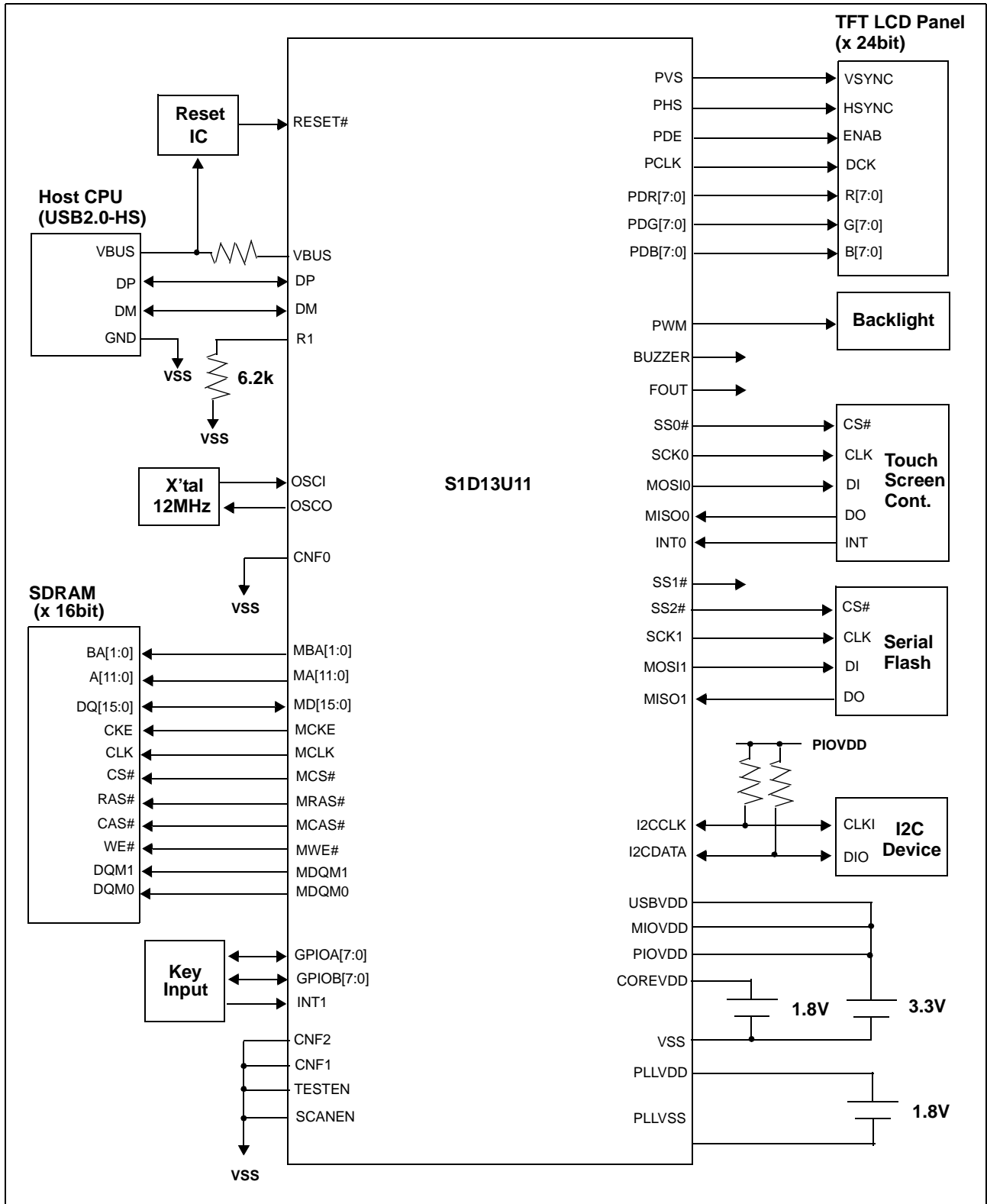


図3.1 システム構成例

4. 機能ブロック図

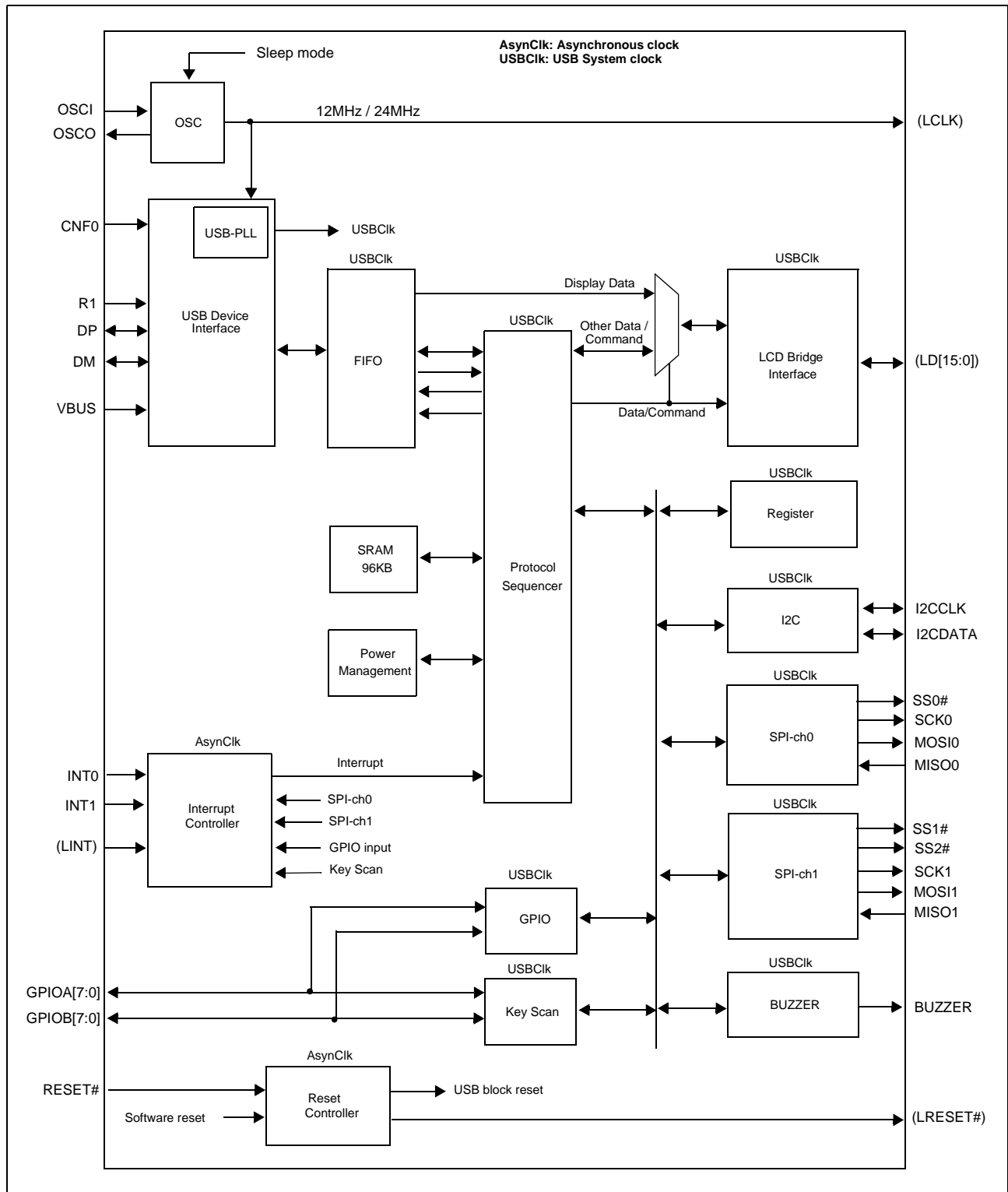


図4.1 機能ブロック図 (USBインタフェース部)

## 4. 機能ブロック図

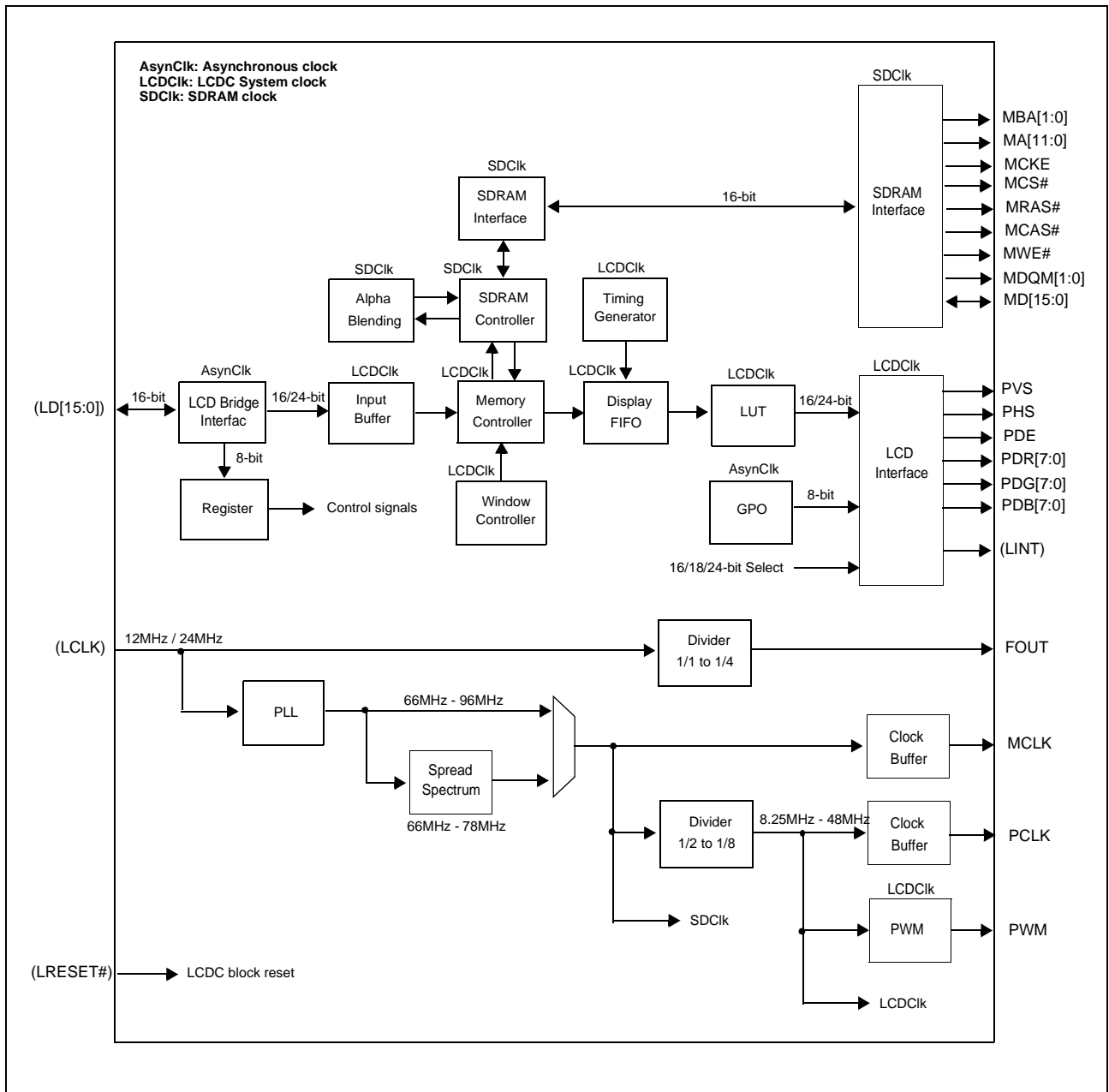


図4.2 機能ブロック図 (LCDインタフェース部)



5. 端子

5.1 端子配置図

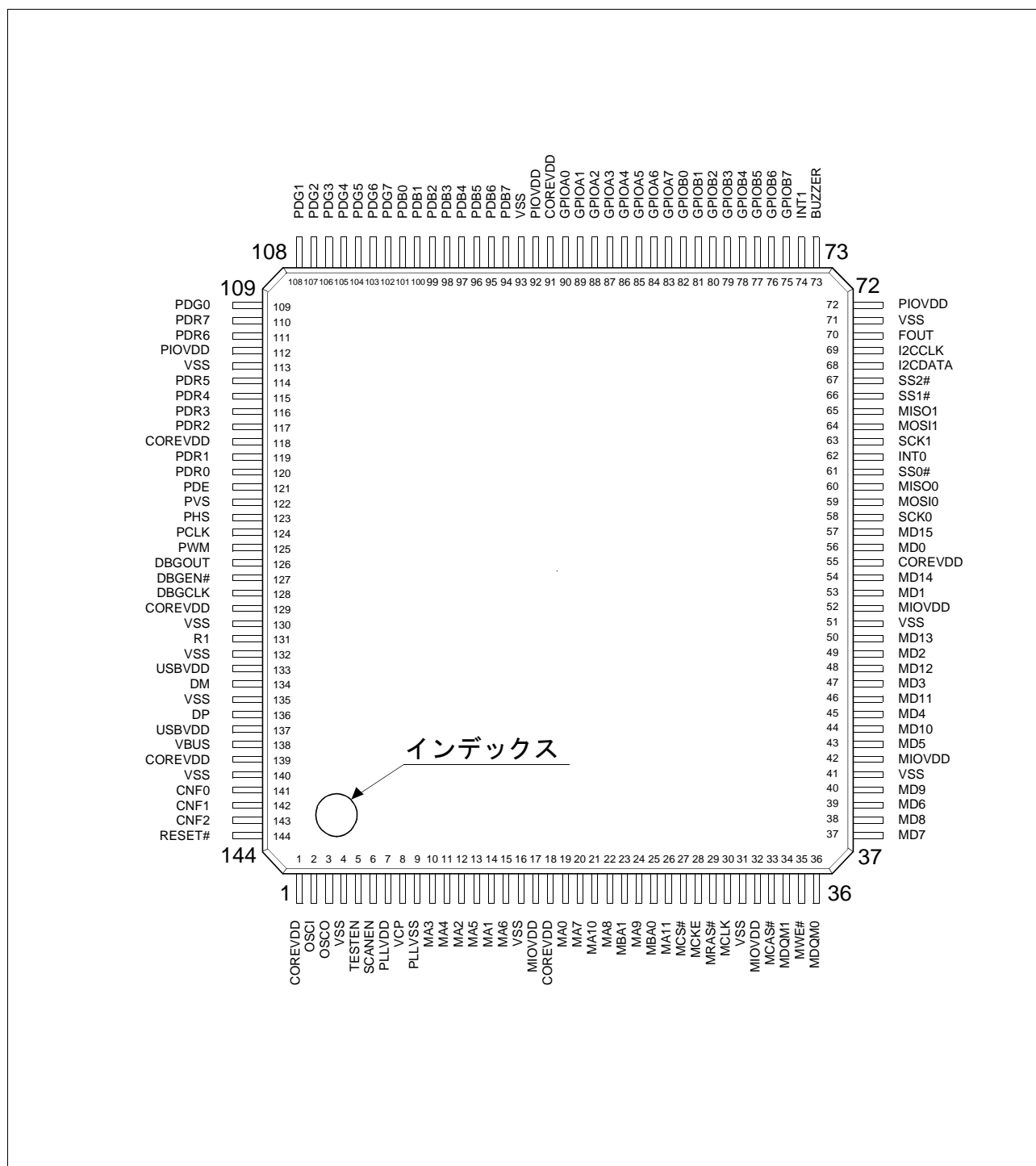


図5.1 QFP20-144の端子配置図（上から見た図）

## 5. 端子

### 5.2 端子説明

略語の意味：

#### 端子タイプ

|    |   |      |
|----|---|------|
| I  | = | 入力   |
| O  | = | 出力   |
| IO | = | 入出力  |
| P  | = | 電源端子 |

#### リセット状態／スリープ状態

|   |   |                  |
|---|---|------------------|
| H | = | 高レベル出力           |
| L | = | 低レベル出力           |
| Z | = | ハイインピーダンス (Hi-Z) |
| X | = | 不定出力             |
| 1 | = | プルアップ抵抗オン入力      |
| 0 | = | プルダウン抵抗オン入力      |

表5.1 セルの説明

| セル名    | 説明   |
|--------|--|
| HI     | H系CMOS入力バッファ                                   |
| HID    | H系CMOS入力バッファ (プルダウン抵抗付き)                       |
| HIDC   | H系CMOS入力バッファ (プルダウン抵抗制御付き)                     |
| HSI    | H系CMOSシュミット入力バッファ                              |
| HSID   | H系CMOSシュミット入力バッファ (プルダウン抵抗付き)                  |
| HTID   | H系CMOSトレラント入力バッファ (プルダウン抵抗付き)                  |
| HO1    | H系出力バッファ TYPE1 (+/- 2mA)                       |
| HO1T   | H系出力バッファ TYPE1 (+/- 2mA、トライステート付き)             |
| HO2    | H系出力バッファ TYPE2 (+/- 3mA)                       |
| HO2S   | H系出力バッファ TYPE2S (+/- 3mA または +/- 4mA)          |
| HO3    | H系出力バッファ TYPE3 (+/- 5mA)                       |
| HSB1   | H系CMOSシュミット双方向バッファ TYPE1 (+/- 2mA)             |
| HSB1U  | H系CMOSシュミット双方向バッファ TYPE1 (プルアップ抵抗付き +/- 2mA)   |
| HSB1UC | H系CMOSシュミット双方向バッファ TYPE1 (プルアップ抵抗制御付き +/- 2mA) |
| HSB1D  | H系CMOSシュミット双方向バッファ TYPE1 (プルダウン抵抗付き +/- 2mA)   |
| HSB1DC | H系CMOSシュミット双方向バッファ TYPE1 (プルダウン抵抗制御付き +/- 2mA) |
| HB2    | H系CMOS双方向バッファ TYPE2 (+/- 3mA)                  |
| HB2D   | H系CMOS双方向バッファ TYPE2 (プルダウン抵抗付き +/- 3mA)        |
| HBA    | H系アナログ入出力                                      |
| LBA    | L系アナログ入出力                                      |

#### 注

1. H系はPIOVDD, MIOVDD, USBVDDです (6.「DC特性」を参照してください)。
2. L系はCOREVDD, PLLVDDです (6.「DC特性」を参照してください)。

## 5.2.1 ホストCPUインタフェース

表5.2 ホストCPUインタフェースの端子説明

| 端子名      | タイプ | 端子番号     | セル名  | IO電圧 | リセット状態 | スリープ状態 | 説明   |
|----------|-----|----------|------|------|--------|--------|--|
| DP       | IO  | 136      | HBA  | USB  | Z      | Z      | USBデータラインプラス端子<br>USB信号と接続してください。  |
| DM       | IO  | 134      | HBA  | USB  | Z      | Z      | USBデータラインマイナス端子<br>USB信号と接続してください。                                       |
| VBUS     | I   | 138      | HTID | USB  | 0      | 0      | USBデバイス検出入力端子<br>外部から5V信号を入力してください。                                      |
| R1       | I   | 131      | HBA  | USB  | 抵抗接続   | 抵抗接続   | 内部動作基準電流設定端子<br>6.2kohm +/- 1%の抵抗をVSS端子の間に接続してください。                      |
| OSCI     | I   | 2        | LBA  | CORE | 水晶接続   | 水晶接続   | 内部発振回路入力端子<br>12MHzまたは24MHzの水晶振動子を接続してください。                              |
| OSCO     | O   | 3        | LBA  | CORE | 水晶接続   | 水晶接続   | 内部発振回路出力端子<br>12MHzまたは24MHzの水晶振動子を接続してください。                              |
| CNF0     | I   | 141      | HSI  | USB  | 入力固定   | 入力固定   | 発振周波数設定入力端子<br>24MHzを使用する時はUSBVDD、12MHzを使用する時はVSSに接続してください。              |
| CNF[2:1] | I   | 143, 142 | HSI  | USB  | 入力固定   | 入力固定   | システム構成入力端子<br>S1D13U11では本端子は使用しません。必ずVSSに接続してください。                       |
| RESET#   | I   | 144      | HSI  | USB  | ロー入力   | ハイ入力   | リセット入力端子<br>すべての内部回路をデフォルト状態にします。<br>シュミット入力および内部ディレイラインでノイズキャンセルをしています。 |

## 5. 端子

### 5.2.2 LCDインタフェース

表5.3 LCDインタフェースの端子説明

| 端子名                    | タイプ                     | 端子番号                               | セル名  | IO電圧 | リセット<br>状態<br>( <a href="#">LCDGバ<br/>イパス時</a> ) | スリープ<br>状態<br>( <a href="#">LCDGバ<br/>イパス時</a> ) | 説明   |
|------------------------|-------------------------|------------------------------------|------|------|--|--|--|
| PDR[7:3]               | O( <a href="#">IO</a> ) | 110, 111,<br>114, 115,<br>116      | HO2S | PIO  | L( <a href="#">0</a> )                           | L( <a href="#">0</a> )                           | 画像Rデータ出力端子<br>画像のRデータ[7:3]を出力します。  |
| PDR[2] /<br>GPO[6]     | O                       | 117                                | HO2S | PIO  | L( <a href="#">H</a> )                           | L / 保持( <a href="#">H</a> )                      | 画像Rデータ出力端子／汎用出力端子<br>画像のRデータ[2]を出力します。TFT 16ビット<br>モード時は汎用出力[6]となります。        |
| PDR[1:0] /<br>GPO[1:0] | O                       | 119, 120                           | HO2S | PIO  | L  | L / 保持   | 画像Rデータ出力端子／汎用出力端子<br>画像のRデータ[1:0]を出力します。TFT 16/18ビット<br>モード時は汎用出力[1:0]となります。 |
| PDG[7:2]               | O( <a href="#">IO</a> ) | 102, 103,<br>104, 105,<br>106, 107 | HO2S | PIO  | L( <a href="#">0</a> )                           | L( <a href="#">0</a> )                           | 画像Gデータ出力端子<br>画像のGデータ[7:2]を出力します。  |
| PDG[1:0] /<br>GPO[3:2] | O                       | 108, 109                           | HO2S | PIO  | L  | L / 保持   | 画像Gデータ出力端子／汎用出力端子<br>画像のGデータ[1:0]を出力します。TFT 16/18ビット<br>モード時は汎用出力[3:2]となります。 |
| PDB[7:3]               | O( <a href="#">IO</a> ) | 94, 95, 96,<br>97, 98              | HO2S | PIO  | L( <a href="#">0</a> )                           | L( <a href="#">0</a> )                           | 画像Bデータ出力端子<br>画像のBデータ[7:3]を出力します。  |
| PDB[2] /<br>GPO[7]     | O( <a href="#">IO</a> ) | 99                                 | HO2S | PIO  | L( <a href="#">Z</a> )                           | L / 保持( <a href="#">Z</a> )                      | 画像Bデータ出力端子／汎用出力端子<br>画像のBデータ[2]を出力します。TFT 16ビット<br>モード時は汎用出力[7]となります。        |
| PDB[1:0] /<br>GPO[5:4] | O                       | 100, 101                           | HO2S | PIO  | L  | L / 保持   | 画像Bデータ出力端子／汎用出力端子<br>画像のBデータ[1:0]を出力します。TFT 16/18ビット<br>モード時は汎用出力[5:4]となります。 |
| PVS                    | O                       | 122                                | HO2S | PIO  | L( <a href="#">H</a> )                           | L( <a href="#">H</a> )                           | 垂直同期パルス出力端子<br>垂直同期用VSYNC信号を出力します。   |
| PHS                    | O                       | 123                                | HO2S | PIO  | L  | L  | 水平同期パルス出力端子<br>水平同期用HSYNC信号を出力します。   |
| PCLK                   | O                       | 124                                | HO2S | PIO  | L( <a href="#">H</a> )                           | L( <a href="#">H</a> )                           | ピクセルクロック出力端子<br>ピクセルクロック信号を出力します。  |
| PDE                    | O                       | 121                                | HO2S | PIO  | L( <a href="#">H</a> )                           | L( <a href="#">H</a> )                           | データイネーブル出力端子<br>データイネーブル信号を出力します。  |
| PWM                    | O                       | 125                                | HO1  | PIO  | L  | 保持   | PWM出力端子<br>LEDバックライト制御用のPWM信号を出力しま<br>す。                                     |

## 5.2.3 SDRAMインタフェース

表5.4 SDRAMインタフェースの端子説明

| 端子名      | タイプ    | 端子番号   | セル名  | IO電圧 | リセット状態 | スリープ状態 | 説明   |
|----------|--------|--|------|------|--------|--------|--|
| MD[15:0] | IO     | 57, 54, 50, 48, 46, 44, 40, 38, 37, 39, 43, 45, 47, 49, 53, 56 | HB2D | MIO  | 0      | 保持     | SDRAMのデータバス端子<br>SDRAMのD[15:0]信号と接続してください。入力にプルダウン抵抗が付加されています。 |
| MBA[1:0] | O      | 23, 25   | HO2  | MIO  | L      | 保持     | SDRAMのバンクアドレス出力端子<br>SDRAMのBA[1:0]信号と接続してください。                 |
| MA[11:0] | O      | 26, 21, 24, 22, 20, 15, 13, 11, 10, 12, 14, 19                 | HO2  | MIO  | L      | 保持     | SDRAMのアドレス出力端子<br>SDRAMのA[11:0]信号と接続してください。                    |
| MCS#     | O      | 27   | HO2  | MIO  | H      | 保持     | SDRAMのチップセレクト出力端子<br>SDRAMのCS#信号と接続してください。                     |
| MRAS#    | O      | 29   | HO2  | MIO  | H      | 保持     | SDRAMのロウアドレスストロープ出力端子<br>SDRAMのRAS#信号と接続してください。                |
| MCAS#    | O(I/O) | 33   | HO2  | MIO  | H      | 保持     | SDRAMのカラムアドレスストロープ出力端子<br>SDRAMのCAS#信号と接続してください。               |
| MWE#     | O      | 35   | HO2  | MIO  | H      | 保持     | SDRAMのライトイネーブル出力端子<br>SDRAMのWE#信号と接続してください。                    |
| MDQM1    | O      | 34   | HO2  | MIO  | L      | 保持     | SDRAMのデータマスク1出力端子<br>SDRAMのDQMH信号と接続してください。                    |
| MDQM0    | O      | 36   | HO2  | MIO  | L      | 保持     | SDRAMのデータマスク0出力端子<br>SDRAMのDQML信号と接続してください。                    |
| MCLK     | O(I/O) | 30   | HO3  | MIO  | X      | 保持     | SDRAMのクロック出力端子<br>SDRAMのCLK信号と接続してください。                        |
| MCKE     | O      | 28   | HO2  | MIO  | H      | 保持     | SDRAMのクロックイネーブル出力端子<br>SDRAMのCKE信号と接続してください。                   |

## 5. 端子

### 5.2.4 I/Oインタフェース

表5.5 I/Oインタフェースの端子説明

| 端子名        | タイプ   | 端子番号                                 | セル名            | IO電圧 | リセット状態  | スリープ状態 | 説明   |
|------------|-------|--------------------------------------|----------------|------|---------|--------|--|
| GPIOA[7:0] | IO    | 83, 84, 85,<br>86, 87, 88,<br>89, 90 | HSB1UC         | PIO  | 1<br>*注 | 保持     | 汎用入出力A端子<br>汎用入出力端子として使用します。キースキャン時は入力端子となります。リセット時はプルアップ抵抗オン入力になります。              |
| GPIOB[7:4] | IO    | 75, 76, 77,<br>78,                   | HSB1UC         | PIO  | 1<br>*注 | 保持     | 汎用入出力B端子<br>汎用入出力端子として使用します。キースキャン時(8x8)は出力端子となります。リセット時はプルアップ抵抗オン入力になります。         |
| GPIOB[3:2] | IO    | 79, 80                               | HSB1UC         | PIO  | 1<br>*注 | 保持     | 汎用入出力B端子<br>汎用入出力端子として使用します。キースキャン時(8x8、8x4)は出力端子となります。リセット時はプルアップ抵抗オン入力になります。     |
| GPIOB[1:0] | IO    | 81, 82                               | HSB1UC         | PIO  | 1<br>*注 | 保持     | 汎用入出力B端子<br>汎用入出力端子として使用します。キースキャン時(8x8、8x4、8x2)は出力端子となります。リセット時はプルアップ抵抗オン入力になります。 |
| I2CCLK     | IO    | 69                                   | HSB1HSB<br>1UC | PIO  | Z       | Z      | I2Cクロック出力端子<br>I2Cのクロック信号になります。必ず外部にプルアップ抵抗を付加してください。                              |
| I2CDATA    | IO    | 68                                   | HSB1HSB<br>1UC | PIO  | Z       | Z      | I2Cデータ入出力端子<br>I2Cのデータ信号になります。必ず外部にプルアップ抵抗を付加してください。                               |
| SS0#       | IO    | 61                                   | HSB1U          | PIO  | 1       | H      | SPI-ch0のチップセレクト入出力端子<br>SPI-ch0のチップセレクト信号になります。                                    |
| SCK0       | IO    | 58                                   | HSB1D          | PIO  | 0       | L      | SPI-ch0のクロック入出力端子<br>SPI-ch0のシリアルクロック信号になります。                                      |
| MOSI0      | O     | 59                                   | HO1            | PIO  | L       | L      | SPI-ch0のデータ出力端子<br>SPI-ch0のシリアルデータ信号になります。   |
| MISO0      | I     | 60                                   | HIDHIDC        | PIO  | 0       | 0      | SPI-ch0のデータ入力端子<br>SPI-ch0のシリアルデータ信号になります。   |
| SS1#       | O(IQ) | 66                                   | HO1            | PIO  | L       | H      | SPI-ch1のチップセレクト1出力端子<br>SPI-ch1のチップセレクト1信号になります。                                   |
| SS2#       | O(IQ) | 67                                   | HO1            | PIO  | L       | H      | SPI-ch1のチップセレクト2出力端子<br>SPI-ch1のチップセレクト2信号になります。                                   |
| SCK1       | O(IQ) | 63                                   | HO1            | PIO  | L       | L      | SPI-ch1のクロック出力端子<br>SPI-ch1のシリアルクロック信号になります。                                       |
| MOSI1      | O     | 64                                   | HO1            | PIO  | L       | L      | SPI-ch1のデータ出力端子<br>SPI-ch1のシリアルデータ信号になります。   |
| MISO1      | I     | 65                                   | HIDHIDC        | PIO  | 0       | 0      | SPI-ch1のデータ1入力端子<br>SPI-ch1のシリアルデータ信号になります。  |

表5.5 I/Oインタフェースの端子説明

| 端子名    | タイプ | 端子番号 | セル名 | IO電圧 | リセット状態 | スリープ状態 | 説明                           |
|--------|-----|------|-----|------|--------|--------|------------------------------|
| INT0   | I   | 62   | HSI | PIO  | Z      | Z      | 割り込み入力0端子<br>割り込み入力0信号になります。 |
| INT1   | I   | 74   | HSI | PIO  | Z      | Z      | 割り込み入力1端子<br>割り込み入力1信号になります。 |
| BUZZER | O   | 73   | HO1 | PIO  | L      | L      | ブザー出力端子<br>ブザー信号になります。       |
| FOUT   | O   | 70   | HO1 | PIO  | L      | L      | 周波数出力端子<br>クロック信号になります。      |

## 注

S1D13U11のハードウェアリセット後、GPIO端子はプルアップ抵抗オンの入力端子になります。しかし、RESET#信号がハイになった約4ms後、内蔵のプロトコルシーケンサーによりプルアップ抵抗がオフされHi-Zになります。この初期化動作においてGPIO端子がHi-Zになることは、S1D13U11自身の動作および信頼性には影響ありません。GPIO端子により外部デバイスを制御した場合、一定の期間GPIO端子がHi-Zになりますので注意してください。この影響を完全に回避するためには、外部にプルアップ抵抗を付加してください。

## 5.2.5 その他

表5.6 その他の端子説明

| 端子名    | タイプ | 端子番号 | セル名   | IO電圧 | リセット状態 | スリープ状態 | 説明  |
|--------|-----|------|-------|------|--------|--------|---|
| VCP    | IO  | 8    | LBA   | PLL  | X      | —      | PLLテスト端子<br>PLLのテストに使用します。通常動作時は未接続にしてください。   |
| TESTEN | I   | 5    | HSID  | USB  | 0      | —      | テストイネーブル入力端子<br>IC出荷テストに使用します。通常動作時は必ずVSSへ接続してください。                                 |
| SCANEN | I   | 6    | HSID  | USB  | 0      | —      | スキャンイネーブル入力端子<br>IC出荷テストに使用します。通常動作時は必ずVSSへ接続してください。                                |
| DBGOUT | O   | 126  | HO1   | PIO  | L      | —      | デバッグデータ出力端子<br>IC出荷テストに使用します。通常動作時は未接続にしてください。                                      |
| DBGEN# | IO  | 127  | HSB1U | PIO  | 1      | —      | デバッグイネーブル入力端子<br>IC出荷テストに使用します。通常動作時は未接続にしてください。シュミット入力および内部ディレイラインでノイズキャンセルをしています。 |
| DBGCLK | O   | 128  | HO1   | PIO  | H      | —      | デバッグクロック出力端子<br>IC出荷テストに使用します。通常動作時は未接続にしてください。                                     |

## 5. 端子

### 5.2.6 電源

表5.7 電源の端子説明

| 端子名     | タイプ | 端子番号   | 説明                     |
|---------|-----|--|------------------------|
| COREVDD | P   | 1, 18, 55,<br>91, 118,<br>129, 139                             | コア電源（必ず全端子接続してください）    |
| PLLVD   | P   | 7  | PLL電源                  |
| USBVDD  | P   | 133, 137   | USB電源（必ず全端子接続してください）   |
| PIOVDD  | P   | 72, 92,<br>112   | IO電源（必ず全端子接続してください）    |
| MIOVDD  | P   | 17, 32, 42,<br>52  | メモリIO電源（必ず全端子接続してください） |
| VSS     | P   | 4, 16, 31,<br>41, 51, 71,<br>93, 113,<br>130, 132,<br>135, 140 | GND（必ず全端子接続してください）     |
| PLLVSS  | P   | 9  | PLL用GND                |



## 5.3 端子構造

## 5.3.1 入力端子

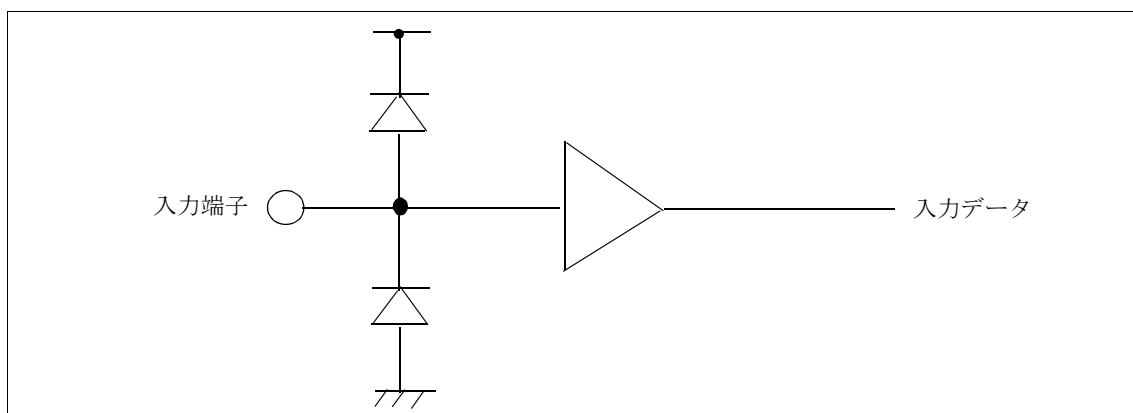


図5.2 入力端子(HI, HSI)構造

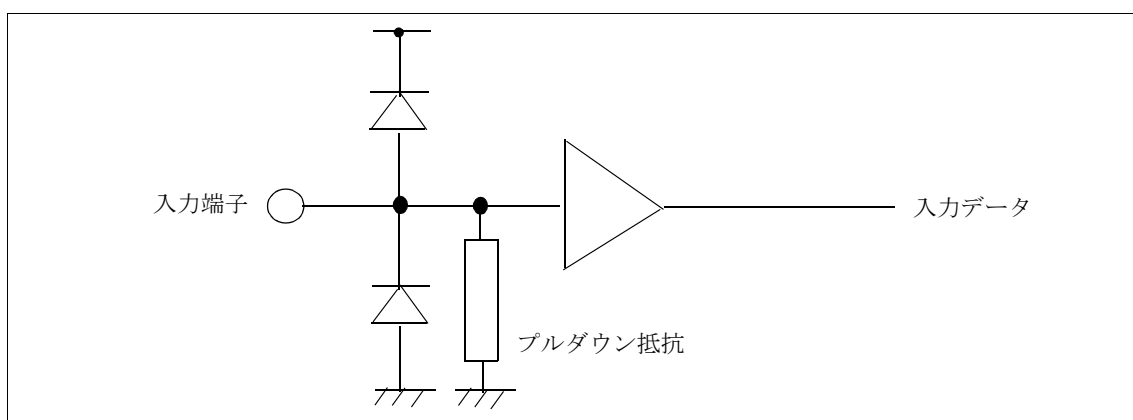


図5.3 入力端子(HID, HSID)構造

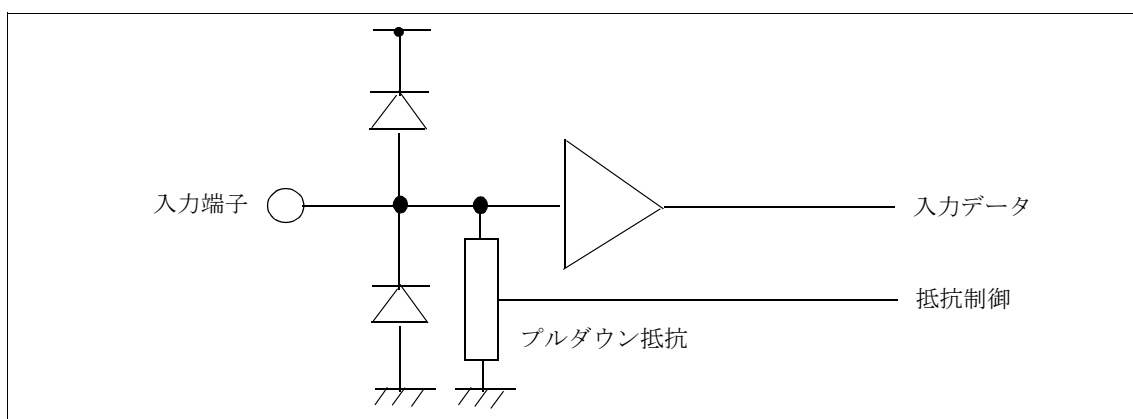


図5.4 入力端子(HIDC)構造

## 5. 端子

### 5.3.2 出力端子

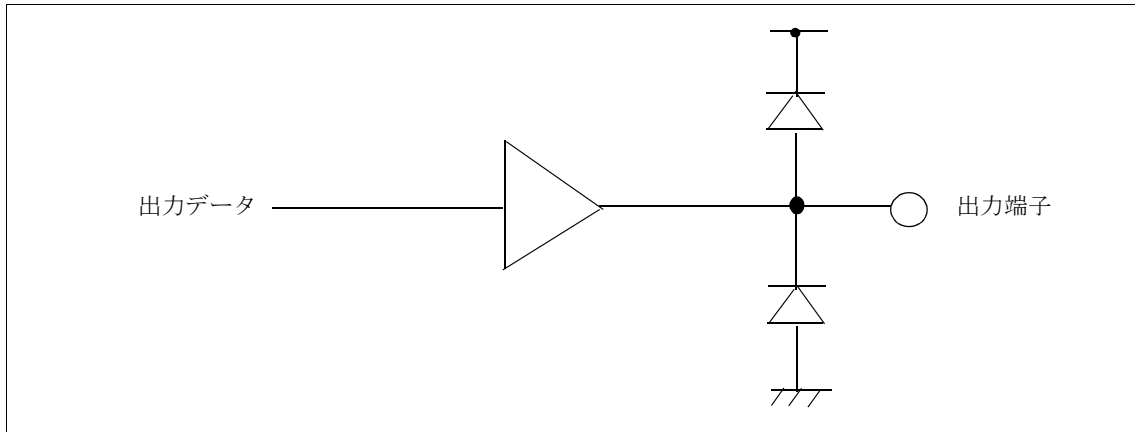


図5.5 出力端子(HO1, HO2, HO3)構造

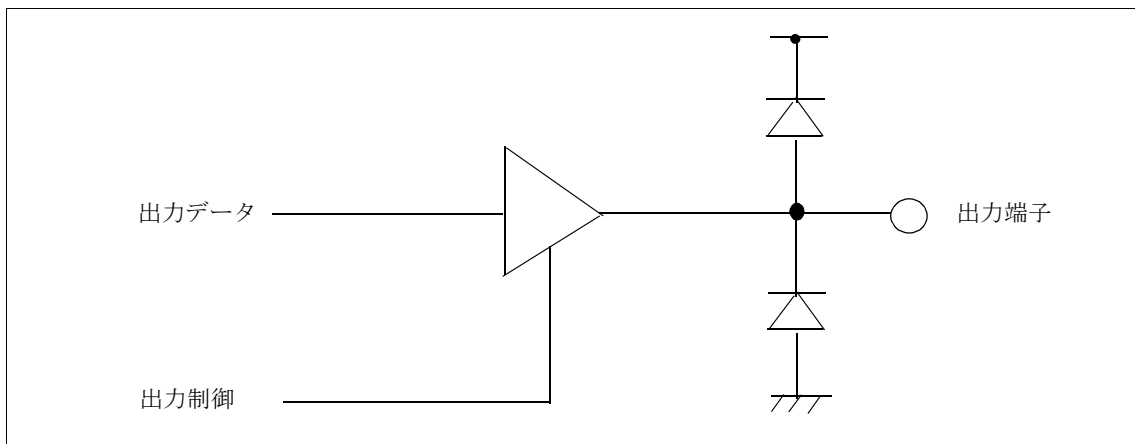


図5.6 出力端子(HO1T)構造

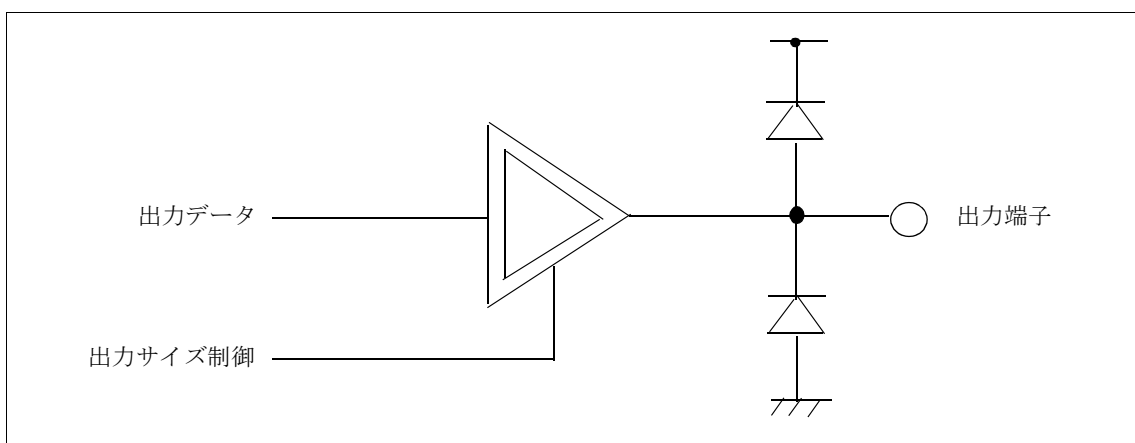


図5.7 出力端子(HO2S)構造

## 5.3.3 双方向端子

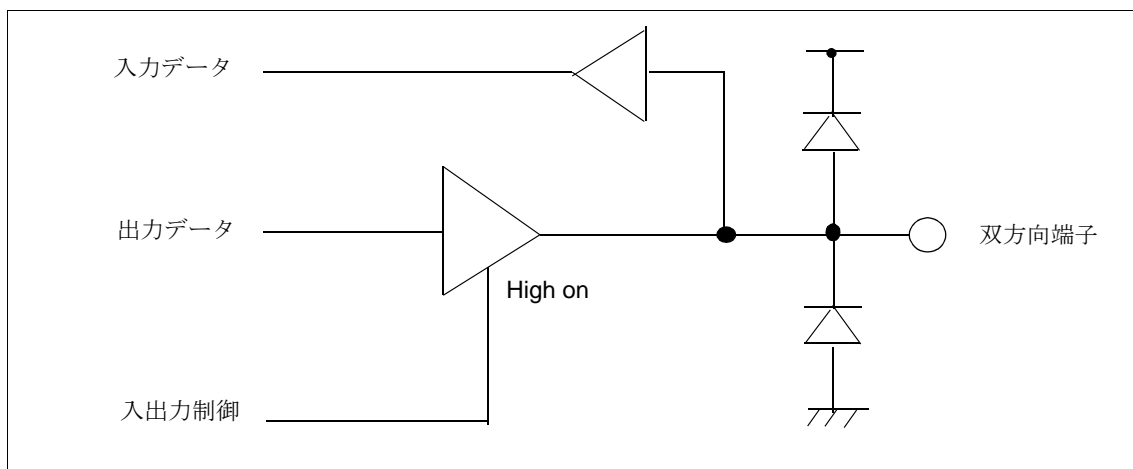


図5.8 双方向端子 (HB2, HSB1) 構造

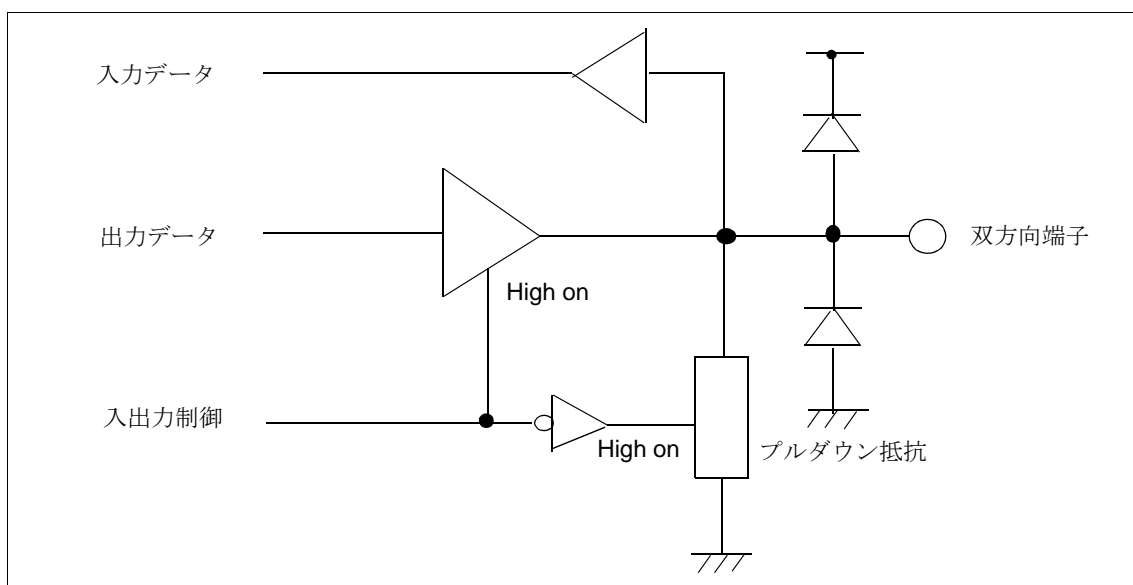


図5.9 双方向端子(HB2D, HSB1D) 構造

## 5. 端子

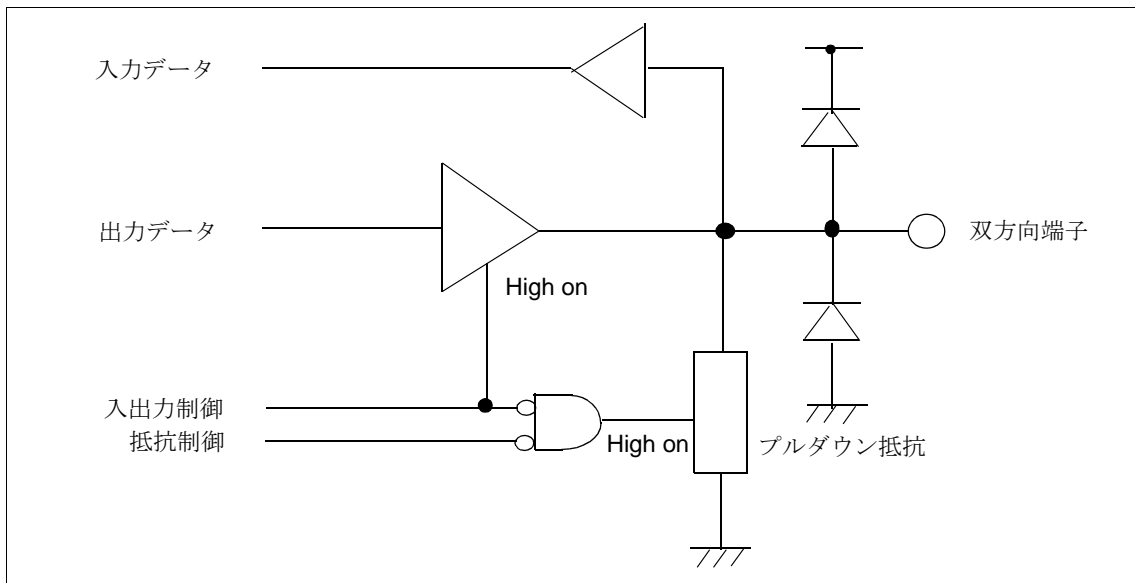


図5.10 双方向端子(HSB1DC)構造

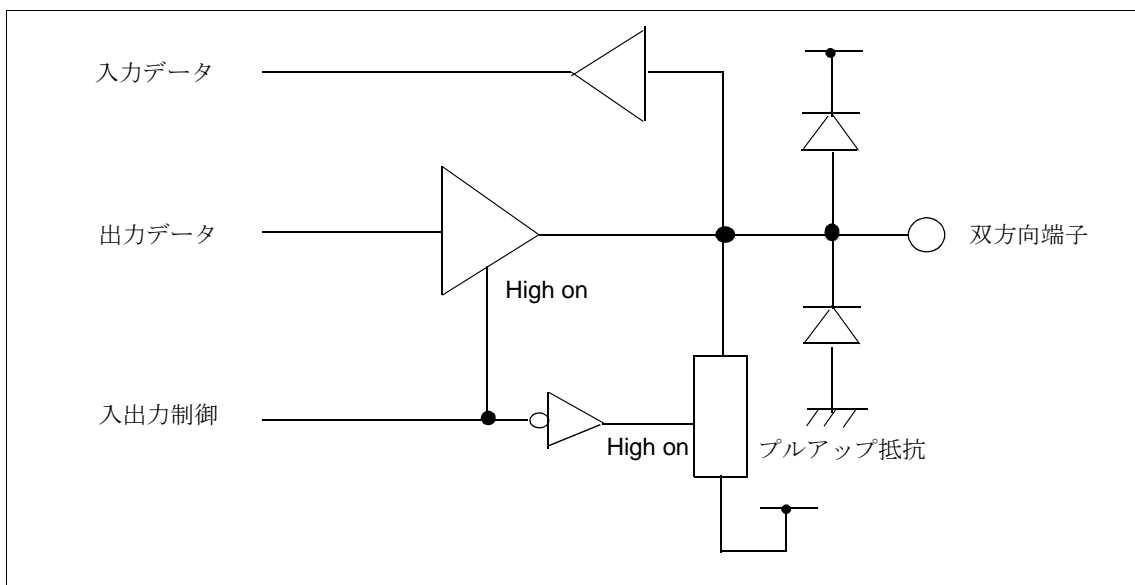


図5.11 双方向端子(HSB1U)構造

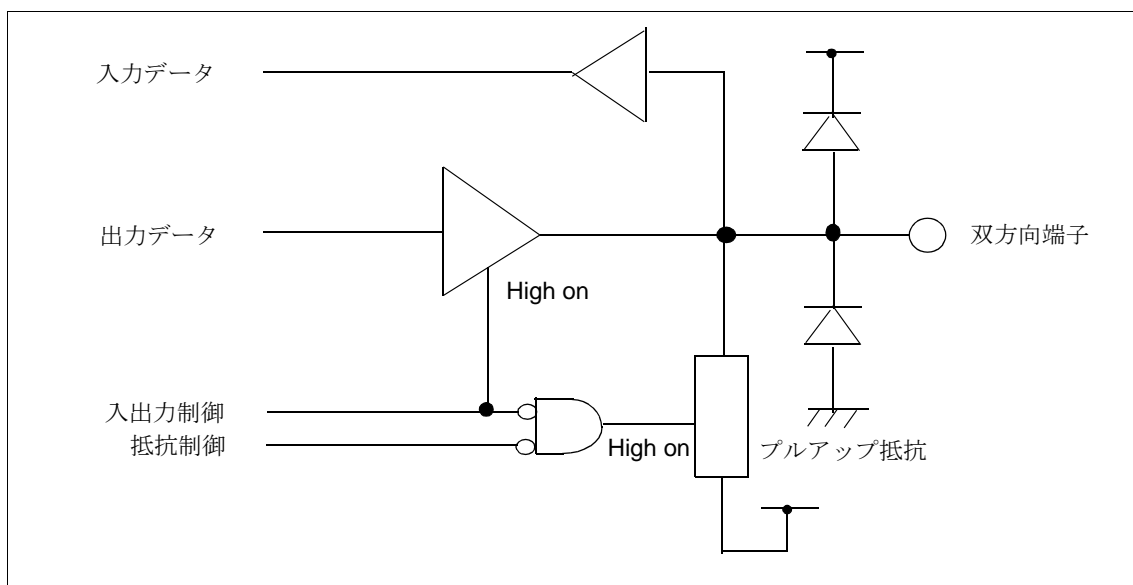


図5.12 双方向端子(HSB1UC)構造

## 5. 端子

### 5.4 システム構成端子

CNF端子はシステム構成を決定する端子で、USBVDDまたはVSSに直接接続してください。動作中には変更できません。

表5.8 システム構成

| 端子   | システム構成                           |                                |
|------|----------------------------------|--------------------------------|
|      | 1 (USBVDDに接続)                    | 0 (VSSに接続)                     |
| CNF2 | 設定禁止 <a href="#">USBバイパス入力</a>   | 固定 <a href="#">USBノーマル入力</a>   |
| CNF1 | 設定禁止 <a href="#">LCDDCバイパス出力</a> | 固定 <a href="#">LCDDCノーマル出力</a> |
| CNF0 | 24MHz水晶発振                        | 12MHz水晶発振                      |

### 5.5 LCDインタフェース端子

表5.9 LCDインタフェース端子

| 端子名  | TFTインタフェース |       |       | <a href="#">LCDDCバイパス</a> |
|------|------------|-------|-------|---------------------------|
|      | 16bpp      | 18bpp | 24bpp |                           |
| PVS  | PVS        |       |       | <a href="#">16bit</a>     |
| PHS  | PHS        |       |       | <a href="#">HWE#</a>      |
| PCLK | PCLK       |       |       | <a href="#">HD/C#</a>     |
| PDE  | PDE        |       |       | <a href="#">HCS1#</a>     |
| PDR0 | GPO0       |       | R0    | <a href="#">HRE#</a>      |
| PDR1 | GPO1       |       | R1    | <a href="#">GPO0</a>      |
| PDR2 | GPO6       | R2    |       | <a href="#">GPO1</a>      |
| PDR3 | R3         |       |       | <a href="#">HCS0#</a>     |
| PDR4 | R4         |       |       | <a href="#">HD11</a>      |
| PDR5 | R5         |       |       | <a href="#">HD12</a>      |
| PDR6 | R6         |       |       | <a href="#">HD13</a>      |
| PDR7 | R7         |       |       | <a href="#">HD14</a>      |
| PDG0 | GPO2       |       | G0    | <a href="#">HD15</a>      |
| PDG1 | GPO3       |       | G1    | <a href="#">GPO2</a>      |
| PDG2 | G2         |       |       | <a href="#">GPO3</a>      |
| PDG3 | G3         |       |       | <a href="#">HD5</a>       |
| PDG4 | G4         |       |       | <a href="#">HD6</a>       |
| PDG5 | G5         |       |       | <a href="#">HD7</a>       |
| PDG6 | G6         |       |       | <a href="#">HD8</a>       |
| PDG7 | G7         |       |       | <a href="#">HD9</a>       |
| PDB0 | GPO4       |       | B0    | <a href="#">HD10</a>      |
| PDB1 | GPO5       |       | B1    | <a href="#">GPO4</a>      |
| PDB2 | GPO7       | B2    |       | <a href="#">GPO5</a>      |
| PDB3 | B3         |       |       | <a href="#">HWAIT#</a>    |
| PDB4 | B4         |       |       | <a href="#">HD0</a>       |
| PDB5 | B5         |       |       | <a href="#">HD1</a>       |
| PDB6 | B6         |       |       | <a href="#">HD2</a>       |
| PDB7 | B7         |       |       | <a href="#">HD3</a>       |
|      |            |       |       | <a href="#">HD4</a>       |

## 6. DC特性

### 6.1 絶対最大定格

表6.1 絶対最大定格

| 記号                   | パラメータ                 | 定格   | 単位 |
|----------------------|-----------------------|--|----|
| CORE V <sub>DD</sub> | コア電源電圧                | V <sub>SS</sub> - 0.3~2.5                        | V  |
| PLL V <sub>DD</sub>  | PLL電源電圧               | V <sub>SS</sub> - 0.3~2.5                        | V  |
| USB V <sub>DD</sub>  | USB電源電圧               | CORE V <sub>DD</sub> ~4.0                        | V  |
| PIO V <sub>DD</sub>  | IO電源電圧                | CORE V <sub>DD</sub> ~4.0                        | V  |
| MIO V <sub>DD</sub>  | IO電源電圧 (SDRAMインタフェース) | CORE V <sub>DD</sub> ~4.0                        | V  |
| V <sub>IN1</sub>     | 入力信号電圧                | V <sub>SS</sub> - 0.3~IO V <sub>DD</sub> + 0.5   | V  |
| V <sub>IN2</sub>     | 入力信号電圧 (DP, DM端子)     | V <sub>SS</sub> - 0.3~USB V <sub>DD</sub> + 0.5  | V  |
| V <sub>IN3</sub>     | 入力信号電圧 (VBUS端子)       | V <sub>SS</sub> - 0.3~6.0                        | V  |
| V <sub>IN4</sub>     | 入力信号電圧 (OSCI端子)       | V <sub>SS</sub> - 0.3~CORE V <sub>DD</sub> + 0.5 | V  |
| V <sub>OUT1</sub>    | 出力信号電圧                | V <sub>SS</sub> - 0.3~IO V <sub>DD</sub> + 0.5   | V  |
| V <sub>OUT2</sub>    | 出力信号電圧 (DP, DM端子)     | V <sub>SS</sub> - 0.3~USB V <sub>DD</sub> + 0.5  | V  |
| I <sub>OUT</sub>     | 出力信号電流                | ±10  | mA |
| T <sub>STG</sub>     | 保存温度                  | -65~+150   | °C |

### 6.2 推奨動作条件

表6.2 推奨動作条件

| 記号                   | パラメータ                 | 条件                    | Min             | Typ  | Max                 | 単位 |
|----------------------|-----------------------|-----------------------|-----------------|------|---------------------|----|
| CORE V <sub>DD</sub> | コア電源電圧                | V <sub>SS</sub> = 0 V | 1.65            | 1.80 | 1.95                | V  |
| PLL V <sub>DD</sub>  | PLL電源電圧               | V <sub>SS</sub> = 0 V | 1.65            | 1.80 | 1.95                | V  |
| USB V <sub>DD</sub>  | USB電源電圧               | V <sub>SS</sub> = 0 V | 3.00            | 3.30 | 3.60                | V  |
| PIO V <sub>DD</sub>  | IO電源電圧                | V <sub>SS</sub> = 0 V | 3.00            | 3.30 | 3.60                | V  |
| MIO V <sub>DD</sub>  | IO電源電圧 (SDRAMインタフェース) | V <sub>SS</sub> = 0 V | 3.00            | 3.30 | 3.60                | V  |
| V <sub>IN1</sub>     | 入力電圧                  | —                     | V <sub>SS</sub> | —    | IO V <sub>DD</sub>  | V  |
| V <sub>IN2</sub>     | 入力電圧 (DP, DM端子)       | —                     | V <sub>SS</sub> | —    | USB V <sub>DD</sub> | V  |
| V <sub>IN3</sub>     | 入力電圧 (VBUS端子)         | —                     | V <sub>SS</sub> | —    | 5.50                | V  |
| T <sub>OPR</sub>     | 動作温度                  | —                     | -40             | +25  | +85                 | °C |

## 6. DC特性

### 6.3 電気的特性

特記なき場合は、 $V_{SS} = 0V$ ,  $T_{OPR} = -40 \sim +85^{\circ}C$ です。

表6.3 電気的特性

| 記号        | パラメータ           | 条件   | Min               | Typ | Max        | 単位         |
|-----------|-----------------|--|-------------------|-----|------------|------------|
| $I_{IZ}$  | 入力リーク電流         | —  | -5                | —   | 5          | $\mu A$    |
| $I_{OZ}$  | 出力リーク電流         | —  | -5                | —   | 5          | $\mu A$    |
| $V_{OH1}$ | 高レベル出力電圧 (1)    | $IOV_{DD} = \min$<br>$I_{OH1} = -2.0mA$ , TYPE1端子  | $IOV_{DD} - 0.40$ | —   | $IOV_{DD}$ | V          |
| $V_{OH2}$ | 高レベル出力電圧 (2)    | $IOV_{DD} = \min$<br>$I_{OH2} = -3.0mA$ , TYPE2端子  | $IOV_{DD} - 0.40$ | —   | $IOV_{DD}$ | V          |
| $V_{OH3}$ | 高レベル出力電圧 (3)    | $IOV_{DD} = \min$<br>$I_{OH2} = -4.0mA$ , TYPE2S端子 | $IOV_{DD} - 0.40$ | —   | $IOV_{DD}$ | V          |
| $V_{OH4}$ | 高レベル出力電圧 (4)    | $IOV_{DD} = \min$<br>$I_{OH2} = -5.0mA$ , TYPE3端子  | $IOV_{DD} - 0.40$ | —   | $IOV_{DD}$ | V          |
| $V_{OH5}$ | 高レベル出力電圧 (5)    | $USBV_{DD} = \min$<br>USB-FS, DP, DM端子             | 2.8               | —   | —          | V          |
| $V_{OH6}$ | 高レベル出力電圧 (6)    | $USBV_{DD} = \min$<br>USB-HS, DP, DM端子             | 360               | —   | —          | mV         |
| $V_{OL1}$ | 低レベル出力電圧 (1)    | $IOV_{DD} = \min$<br>$I_{OL1} = 2.0mA$ , TYPE1端子   | $V_{SS}$          | —   | 0.40       | V          |
| $V_{OL2}$ | 低レベル出力電圧 (2)    | $IOV_{DD} = \min$<br>$I_{OL2} = 3.0mA$ , TYPE2端子   | $V_{SS}$          | —   | 0.40       | V          |
| $V_{OL3}$ | 低レベル出力電圧 (3)    | $IOV_{DD} = \min$<br>$I_{OL2} = 4.0mA$ , TYPE2S端子  | $V_{SS}$          | —   | 0.40       | V          |
| $V_{OL4}$ | 低レベル出力電圧 (4)    | $IOV_{DD} = \min$<br>$I_{OL2} = 5.0mA$ , TYPE3端子   | $V_{SS}$          | —   | 0.40       | V          |
| $V_{OL5}$ | 低レベル出力電圧 (5)    | $USBV_{DD} = \max$<br>USB-FS, DP, DM端子             | —                 | —   | 0.30       | V          |
| $V_{OL6}$ | 低レベル出力電圧 (6)    | $USBV_{DD} = \max$<br>USB-HS, DP, DM端子             | —                 | —   | 10.0       | mV         |
| $V_{IH}$  | 高レベル入力電圧        | CMOS入力端子   | 2.20              | —   | —          | V          |
| $V_{IL}$  | 低レベル入力電圧        | CMOS入力端子   | —                 | —   | 0.80       | V          |
| $V_{T+1}$ | ポジティブトリガ電圧 (1)  | CMOSシュミット端子  | 1.40              | —   | 2.70       | V          |
| $V_{T+2}$ | ポジティブトリガ電圧 (2)  | USB-FS, DP, DM端子                                   | 1.10              | —   | 1.80       | V          |
| $V_{T+3}$ | ポジティブトリガ電圧 (3)  | VBUS端子   | 1.86              | —   | 2.85       | V          |
| $V_{T-1}$ | ネガティブトリガ電圧 (1)  | CMOSシュミット端子  | 0.60              | —   | 1.80       | V          |
| $V_{T-2}$ | ネガティブトリガ電圧 (2)  | USB-FS, DP, DM端子                                   | 1.00              | —   | 1.50       | V          |
| $V_{T-3}$ | ネガティブトリガ電圧 (3)  | VBUS端子   | 1.48              | —   | 2.23       | V          |
| $V_{H1}$  | ヒステリシス電圧 (1)    | CMOSシュミット端子  | 0.30              | —   | —          | V          |
| $V_{H2}$  | ヒステリシス電圧 (2)    | USB-FS, DP, DM端子                                   | 0.10              | —   | —          | V          |
| $V_{H3}$  | ヒステリシス電圧 (3)    | VBUS端子   | 0.31              | —   | —          | V          |
| $V_{DS}$  | 差動入力感度          | 差動入力電圧 0.8V~2.5V<br>USB-FS, DP, DM端子               | —                 | —   | 0.20       | V          |
| $R_{PU}$  | プルアップ抵抗         | $V_1 = V_{SS}$                                     | 50                | 100 | 240        | k $\Omega$ |
| $R_{PD1}$ | プルダウン抵抗 (1)     | $V_1 = V_{DD}$                                     | 50                | 100 | 240        | k $\Omega$ |
| $R_{PD2}$ | プルダウン抵抗 (2)     | $V_1 = 5V$ , VBUS端子                                | 110               | 125 | 150        | k $\Omega$ |
| $C_{IO1}$ | 端子容量 (DP, DM端子) | $f = 1MHz$ , $V_{DD} = 0V$                         | —                 | —   | 11         | pF         |
| $C_{IO2}$ | 端子容量 (その他端子)    | $f = 1MHz$ , $V_{DD} = 0V$                         | —                 | —   | 8          | pF         |



## 6.4 消費電流

表6.4 消費電流

| 記号                    | パラメータ       | 条件         | Min | Typ | Max  | 単位 |
|-----------------------|-------------|------------|-----|-----|------|----|
| $I_{\text{CORE+PLL}}$ | 動作電流 (注1)   | コア/PLL電源電流 | —   | 50  | 80   | mA |
| $I_{\text{USB}}$      |             | USB電源電流    | —   | 7   | —    | mA |
| $I_{\text{IO}}$       |             | IO電源電流     | —   | 25  | —    | mA |
| $I_{\text{CORE+PLL}}$ | スリープ電流 (注2) | コア/PLL電源電流 | —   | 10  | 1000 | uA |
| $I_{\text{USB}}$      |             | USB電源電流    | —   | 5   | 20   | uA |
| $I_{\text{IO}}$       |             | IO電源電流     | —   | 5   | 80   | uA |

## 注

- Typ値は、推奨動作条件のTyp値において、ホストCPUから画像転送を行いながら、WVGAパネル（800x480、24ビット、MCLK = 96MHz、PCLK = 32MHz）を表示する設定での測定値です。  
Max値は、推奨動作条件内において、ワースト値となる設定での見積もり値です。
- 各端子に流れる入力プルアップ抵抗/プルダウン抵抗電流およびDP端子のプルアップ抵抗電流（約200uA）は含まず。

## 7. AC特性

### 7. AC特性

条件：USBVDD = IOVDD = 3.3V ± 0.3V, COREVDD = PLLVDD = 1.8V ± 0.15V, T<sub>A</sub> = -40°C ~ 85°C  
 シュミットを除くすべての入力はT<sub>rise</sub>とT<sub>fall</sub>は≤50ns (10%~90%)  
 シュミット入力はT<sub>rise</sub>とT<sub>fall</sub>は≤5ms (10%~90%)  
 C<sub>L</sub> = 15pF (SDRAMインタフェース)  
 C<sub>L</sub> = 30pF (LCDパネルインタフェース)  
 C<sub>L</sub> = 30pF (その他のインタフェース)

#### 7.1 クロックタイミング

##### 7.1.1 水晶発振入力クロック

表7.1 水晶発振入力クロック

| 記号                  | パラメータ                  | Min     | Typ | Max     | 単位  |
|---------------------|------------------------|---------|-----|---------|-----|
| f <sub>OSC12</sub>  | 水晶発振クロック周波数 (12MHz選択時) | 11.9988 | 12  | 12.0012 | MHz |
| f <sub>OSC24</sub>  | 水晶発振クロック周波数 (24MHz選択時) | 23.9976 | 24  | 24.0024 | MHz |
| t <sub>OSStar</sub> | 水晶発振開始時間 (注1)          | —       | —   | 20      | ms  |

#### 注

- 水晶発振開始時間は外付け部品により変わりますので、この値は参考値になります。

##### 7.1.2 USBクロック

USBクロックの起動には、水晶発振開始時間とUSB-PLL安定時間が必要です。USBクロックはハードウェアにて自動生成されるため、ソフトウェアによる制御は不要です。

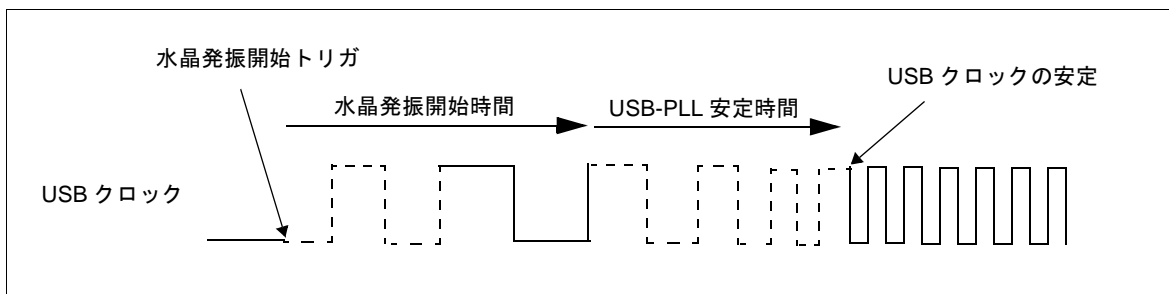


図7.1 USBクロック起動時間

表7.2 USBクロック

| 記号                  | パラメータ       | Min | Typ | Max | 単位  |
|---------------------|-------------|-----|-----|-----|-----|
| f <sub>UPLLO</sub>  | USBクロック周波数  | —   | 60  | —   | MHz |
| t <sub>UPStar</sub> | USB-PLL安定時間 | —   | —   | 250 | us  |

### 7.1.3 PLLクロック

PLL回路はアナログ回路であるため、電源に含まれるノイズに非常に敏感です。供給電源に含まれるノイズによって、PLL回路の動作が不安定になったり、ジッターを増大させたりするおそれがあります。

ノイズの制約のため、PLLの電源トレースや電源プレーンは、他の電源のトレースやプレーンと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。

PLLクロックの安定時間は、ソフトウェアにより待つ必要があります。

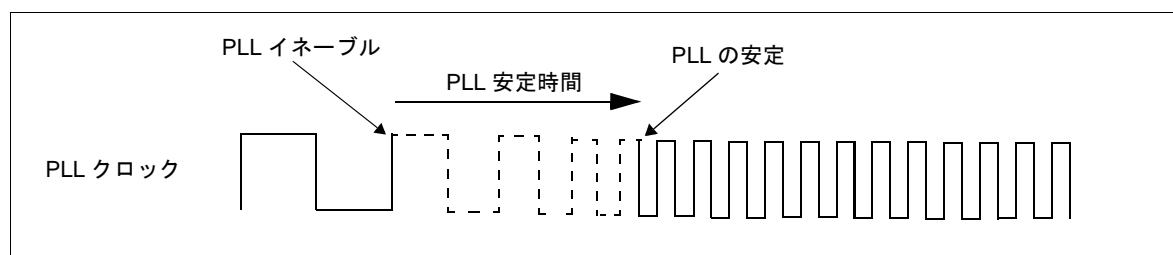


図7.2 PLL起動時間

表7.3 PLLクロック

| 記号                    | パラメータ           | Min  | Typ | Max | 単位  |
|-----------------------|-----------------|------|-----|-----|-----|
| $f_{\text{PLLO}}$     | PLL出力クロック周波数    | 66   | —   | 96  | MHz |
| $t_{\text{PLL Duty}}$ | PLL出力クロックデューティ  | 40   | —   | 60  | %   |
| $t_{\text{PJref}}$    | PLL出力クロック周期ジッター | -400 | —   | 400 | ps  |
| $t_{\text{pStar}}$    | PLL出力安定時間       | —    | —   | 200 | us  |

### 7.1.4 クロック出力

表7.4 クロック出力

| 記号                   | パラメータ                    | Min  | Typ | Max | 単位  |
|----------------------|--------------------------|------|-----|-----|-----|
| $f_{\text{SDCLK}}$   | SDRAMクロック (注1)           | 66   | —   | 96  | MHz |
| $t_{\text{SD Duty}}$ | SDRAMクロックデューティ           | 40   | 50  | 60  | %   |
| $f_{\text{LCLK}}$    | LCDクロック (注1)             | 8.25 | —   | 48  | MHz |
| $f_{\text{LD Duty}}$ | LCDクロックデューティ             | 45   | 50  | 55  | %   |
| $f_{\text{FCLK12}}$  | FOUTクロック (12MHz選択時) (注1) | 3    | —   | 12  | MHz |
| $f_{\text{FCLK24}}$  | FOUTクロック (24MHz選択時) (注1) | 6    | —   | 24  | MHz |
| $t_{\text{FD Duty}}$ | FOUTクロックデューティ            | 45   | 50  | 55  | %   |

#### 注

- SDRAMクロック、LCDクロック、FOUTクロックの最大周波数は、水晶発振入力クロック周波数ばらつきおよびPLL出力のジッターの値を含んでいません。

## 7. AC特性

### 7.1.5 スプレッド・スペクトラム変調クロック

EMIのノイズを低減するためスプレッド・スペクトラム変調を付加することができます。

表7.5 クロック出力

| 記号          | パラメータ                              | Min    | Max   | 単位  |
|-------------|------------------------------------|--------|-------|-----|
| $f_{SSCLK}$ | 入力SSクロック (注1)                      | —      | 78    | MHz |
| $t_{SSW}$   | SSクロックの拡散幅 (REG[10h]ビット6~4 = 000b) | -0.210 | 0.210 | ns  |
|             | SSクロックの拡散幅 (REG[10h]ビット6~4 = 001b) | -0.333 | 0.333 | ns  |
|             | SSクロックの拡散幅 (REG[10h]ビット6~4 = 010b) | -0.462 | 0.462 | ns  |
|             | SSクロックの拡散幅 (REG[10h]ビット6~4 = 011b) | -0.586 | 0.586 | ns  |
|             | SSクロックの拡散幅 (REG[10h]ビット6~4 = 100b) | -0.715 | 0.715 | ns  |
|             | SSクロックの拡散幅 (REG[10h]ビット6~4 = 101b) | -0.842 | 0.842 | ns  |
|             | SSクロックの拡散幅 (REG[10h]ビット6~4 = 110b) | -0.971 | 0.971 | ns  |
|             | SSクロックの拡散幅 (REG[10h]ビット6~4 = 111b) | -1.096 | 1.096 | ns  |

#### 注

1. SSの入力周波数は78MHz以下になります。84MHz, 90MHz, 96MHzには使用できません。

## 7.2 リセット入力タイミング

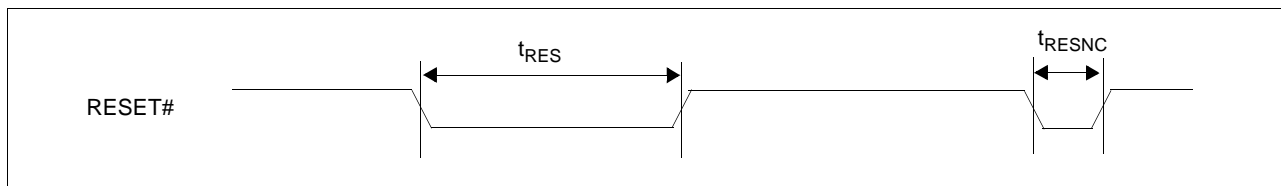


図7.3 リセット入力タイミング

表7.6 リセット入力タイミング

| 記号          | パラメータ         | Min | Max | 単位            |
|-------------|---------------|-----|-----|---------------|
| $t_{RES}$   | アクティブリセットパルス幅 | 1   | —   | $\mu\text{S}$ |
| $t_{RESNC}$ | ノイズキャンセルパルス幅  | —   | 10  | $\text{nS}$   |

## 7. AC特性

### 7.3 電源シーケンスタイミング

#### 7.3.1 電源投入シーケンスタイミング

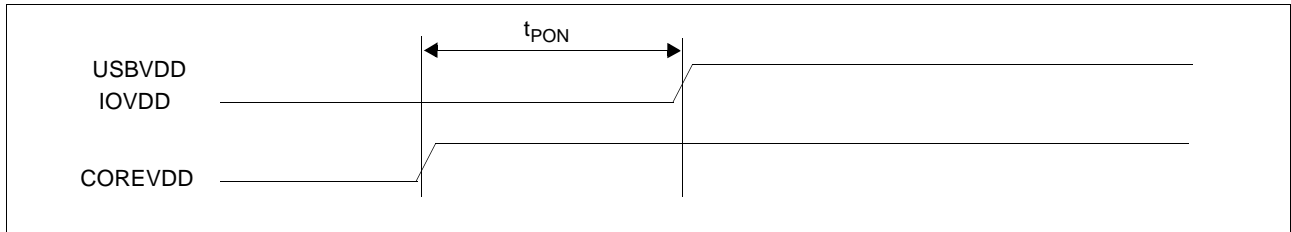


図7.4 電源投入シーケンスタイミング

表7.7 電源投入シーケンスタイミング

| 記号        | パラメータ   | Min | Max | 単位 |
|-----------|---------|-----|-----|----|
| $t_{PON}$ | 電源投入時間差 | 0   | —   | mS |

#### 7.3.2 電源遮断シーケンスタイミング

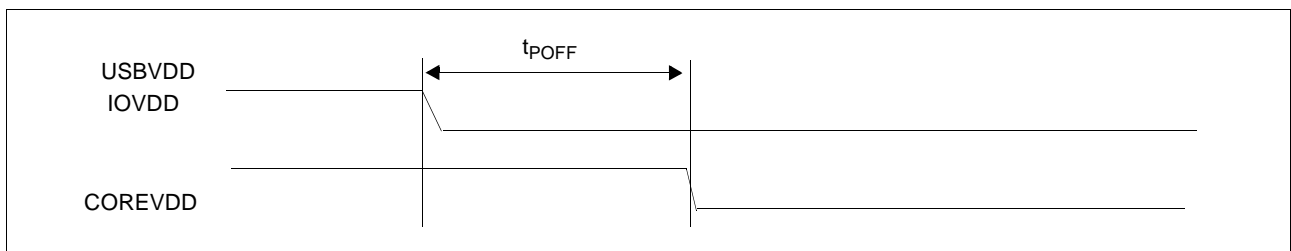


図7.5 電源遮断シーケンスタイミング

表7.8 電源遮断シーケンスタイミング

| 記号         | パラメータ   | Min | Max | 単位 |
|------------|---------|-----|-----|----|
| $t_{POFF}$ | 電源遮断時間差 | 0   | —   | mS |

## 7.4 ホストCPUインタフェースタイミング

### 7.4.1 USB2.0デバイスポートタイミング

USB2.0規格に準拠します。

Universal Serial Bus Specification Revision 2.0 Released April 27, 2000.

## 7. AC特性

### 7.5 SDRAMインタフェースタイミング

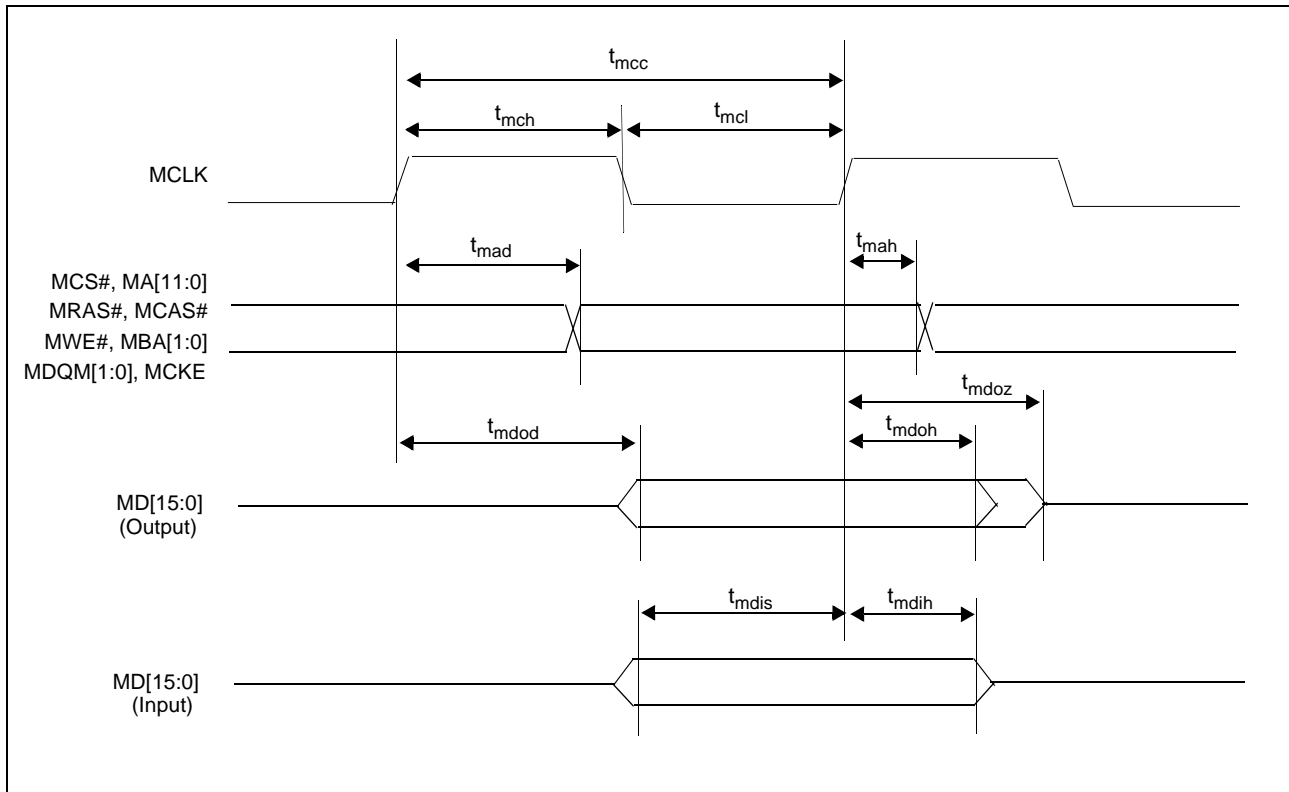


図7-6 SDRAMインタフェースタイミング

表7-9 SDRAMインタフェースタイミング

| 記号         | パラメータ                | MIN | MAX | 単位 |
|------------|----------------------|-----|-----|----|
| $t_{mcc}$  | MCLKサイクル時間           | 10  | —   | ns |
| $t_{mcl}$  | MCLK Lowパルス幅         | 3   | —   | ns |
| $t_{mch}$  | MCLK Highパルス幅        | 3   | —   | ns |
| $t_{mad}$  | SDRAM制御信号出力遅延時間      | —   | 7   | ns |
| $t_{mah}$  | SDRAM制御信号出力ホールド時間    | 1   | —   | ns |
| $t_{mdod}$ | SDRAMデータ信号出力遅延時間     | —   | 7   | ns |
| $t_{mdoh}$ | SDRAMデータ信号出力ホールド時間   | 1   | —   | ns |
| $t_{mdoz}$ | SDRAMデータ信号出力Hi-Z時間   | —   | 9   | ns |
| $t_{mdis}$ | SDRAMデータ信号入力セットアップ時間 | 3   | —   | ns |
| $t_{mdih}$ | SDRAMデータ信号入力ホールド時間   | 2   | —   | ns |



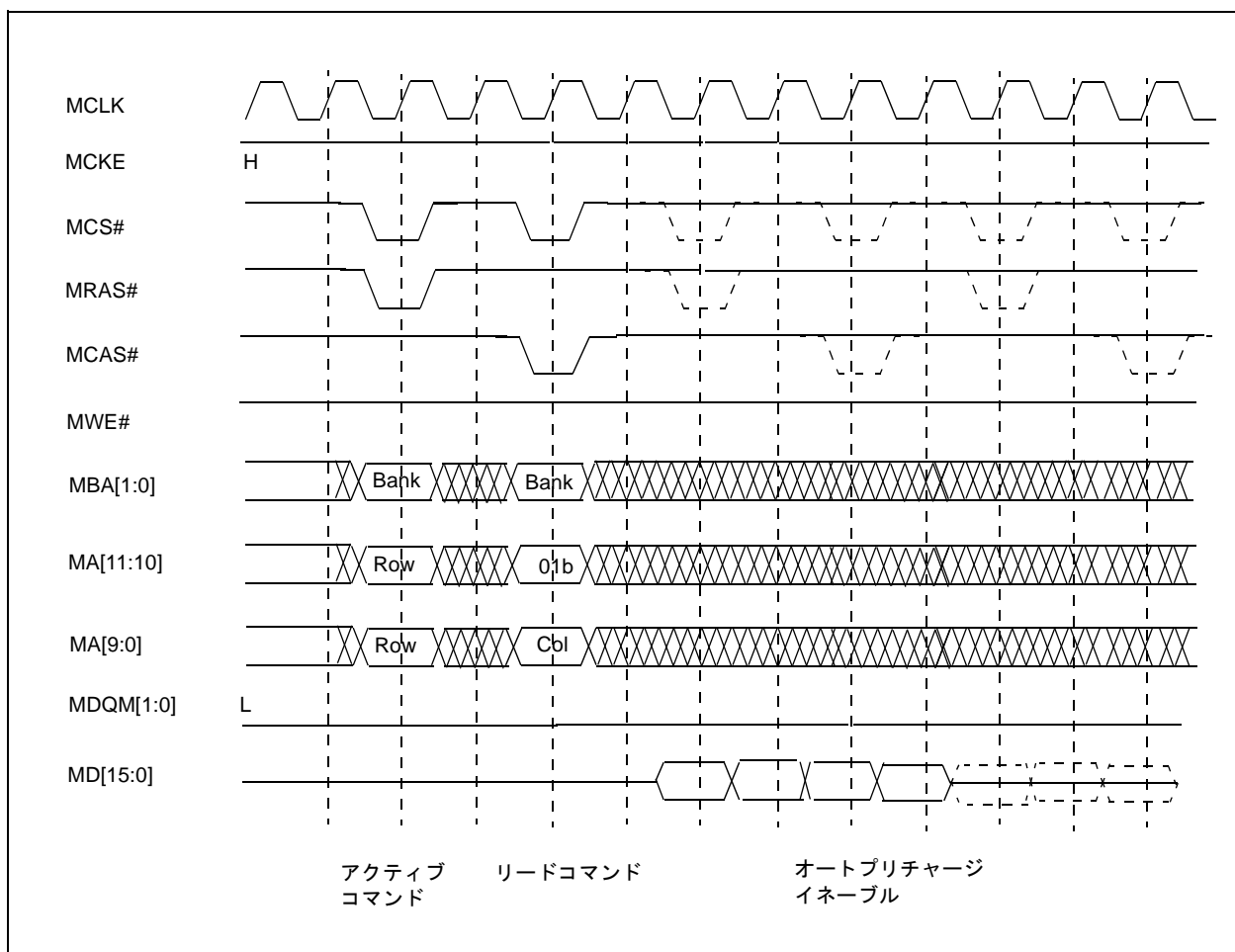


図7-7 SDRAMリードタイミング

## 注

バースト長=4、CASレイテンシ=2に固定になります。

## 7. AC特性

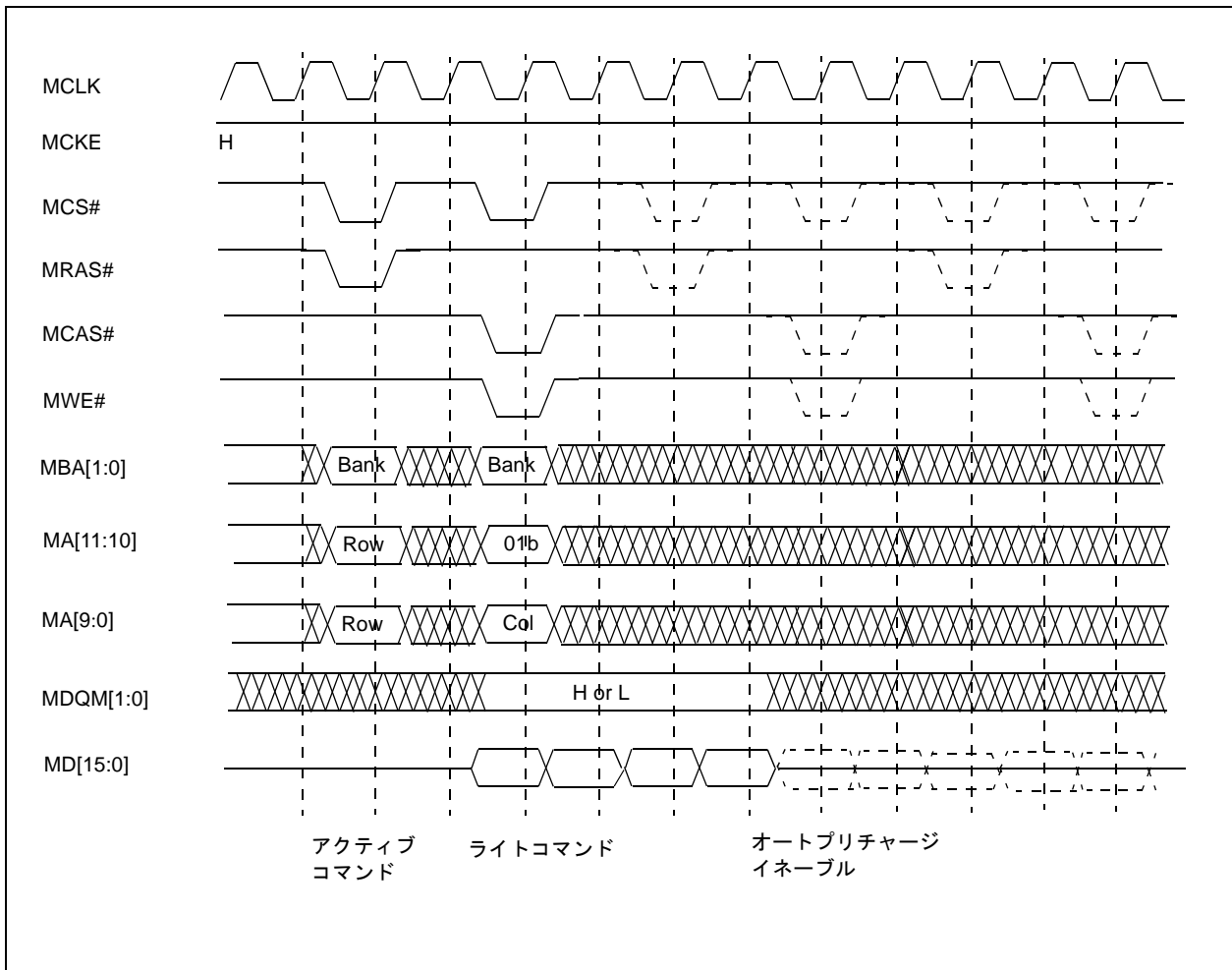


図7-8 SDRAMライトタイミング

**注**

バースト長=4に固定になります。

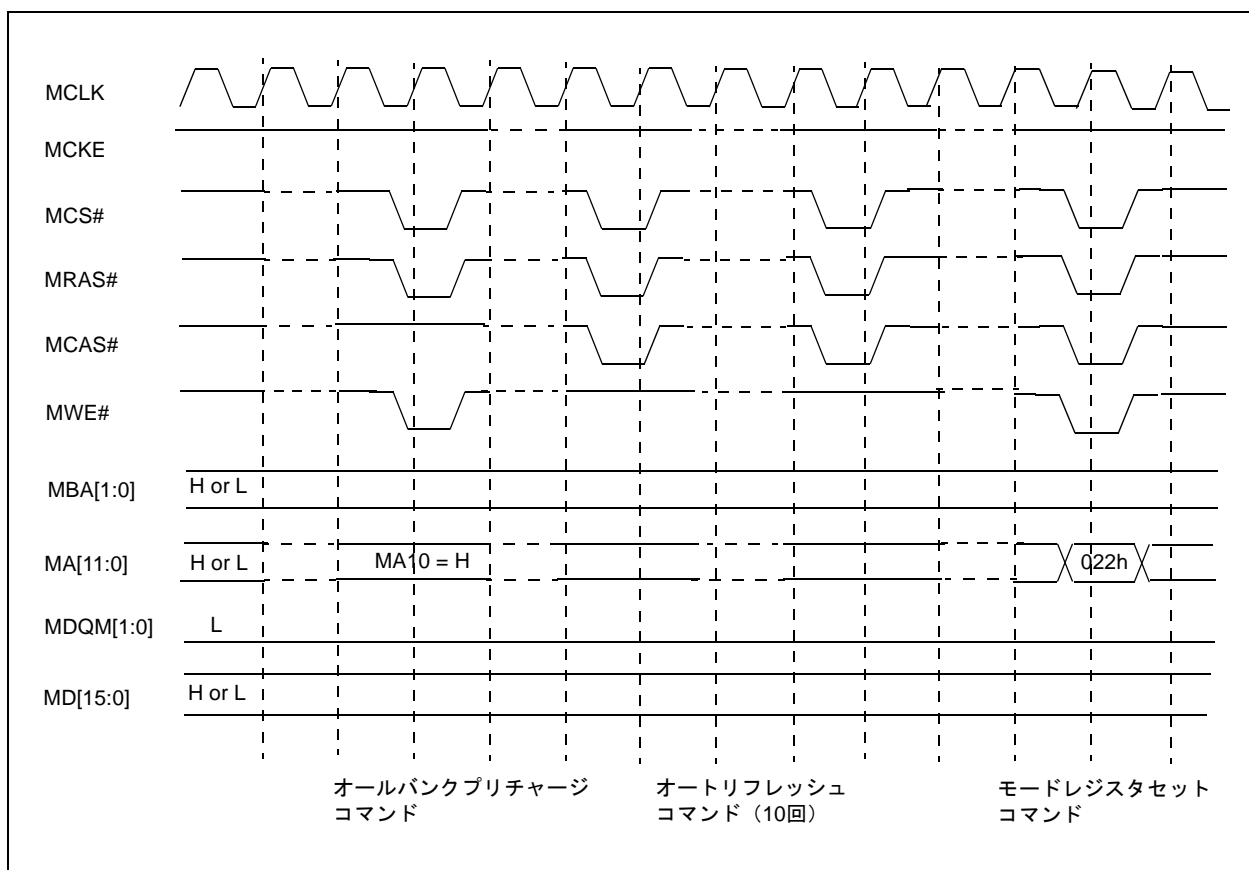


図7-9 イニシャライズタイミング

## 注

イニシャライズシーケンスはイニシャライズセットビット (REG[84h] bit1 = 1) で起動され、イニシャライズ期間は $30000 \times \text{MCLK}$ になります。イニシャライズシーケンスはリセット後に、1回しか起動できません。

## 7. AC特性

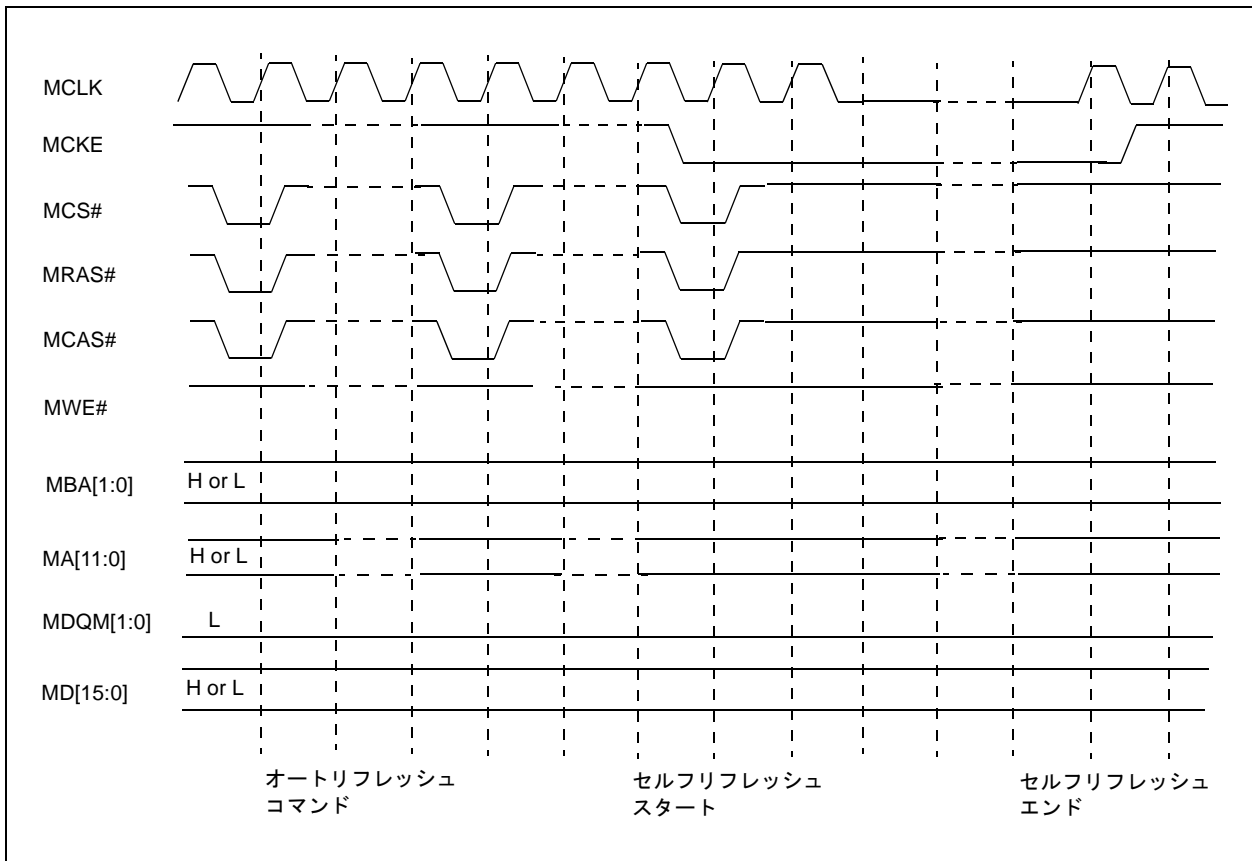


図7-10 オートリフレッシュ/セルフリフレッシュタイミング

**注**

オートリフレッシュサイクル時間 = (REG[8Eh]/[8Ch]カウンタ設定値) /  $f_{MCLK}$  になります。

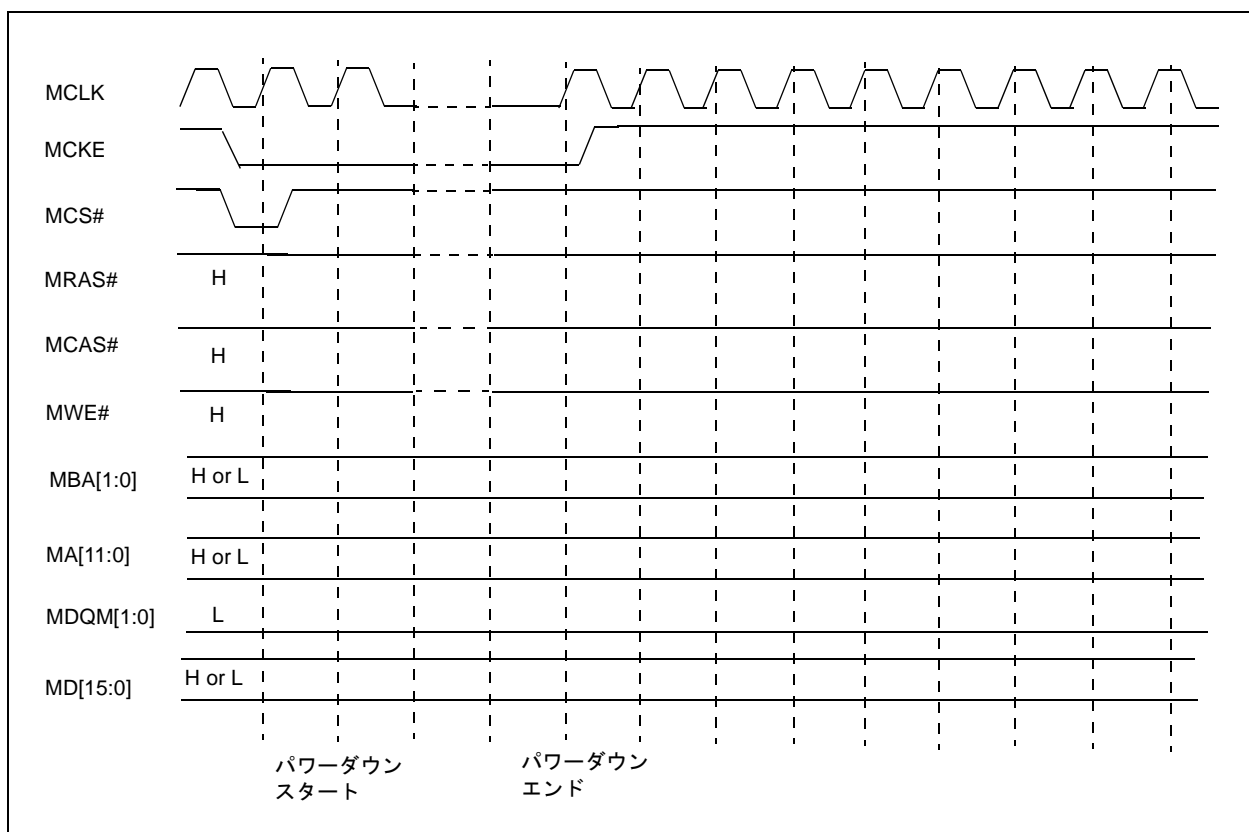


図7-11 パワーダウンタイミング

## 注

パワーダウンになった場合でも制御信号はハイレベルを出力するため、SDRAMの電源を落とすことはできません。

## 7. AC特性

### 7.6 シリアルインタフェースタイミング

#### 7.6.1 SPIインタフェースタイミング

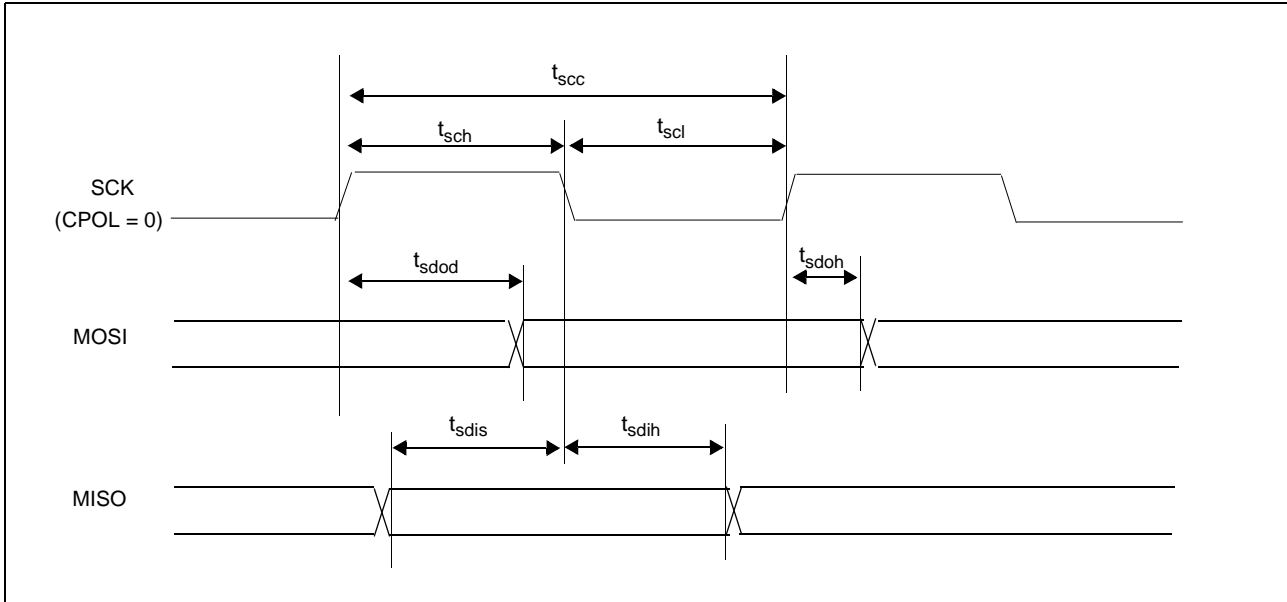


図7-12 SPIインタフェースタイミング

表7-10 SPIインタフェースタイミング

| 記号         | パラメータ               | MIN                   | MAX | 単位 |
|------------|---------------------|-----------------------|-----|----|
| $t_{scc}$  | SCKサイクル時間           | 66                    | —   | ns |
| $t_{scl}$  | SCK Lowパルス幅         | $t_{scc} \times 0.45$ | —   | ns |
| $t_{sch}$  | SCK Highパルス幅        | $t_{scc} \times 0.45$ | —   | ns |
| $t_{sdod}$ | MOSIデータ信号出力遅延時間     | —                     | 20  | ns |
| $t_{sdoh}$ | MOSIデータ信号出力ホールド時間   | 0                     | —   | ns |
| $t_{sdis}$ | MISOデータ信号入力セットアップ時間 | 20                    | —   | ns |
| $t_{sdih}$ | MISOデータ信号入力ホールド時間   | 10                    | —   | ns |

## 7.6.2 Slave Selectタイミング

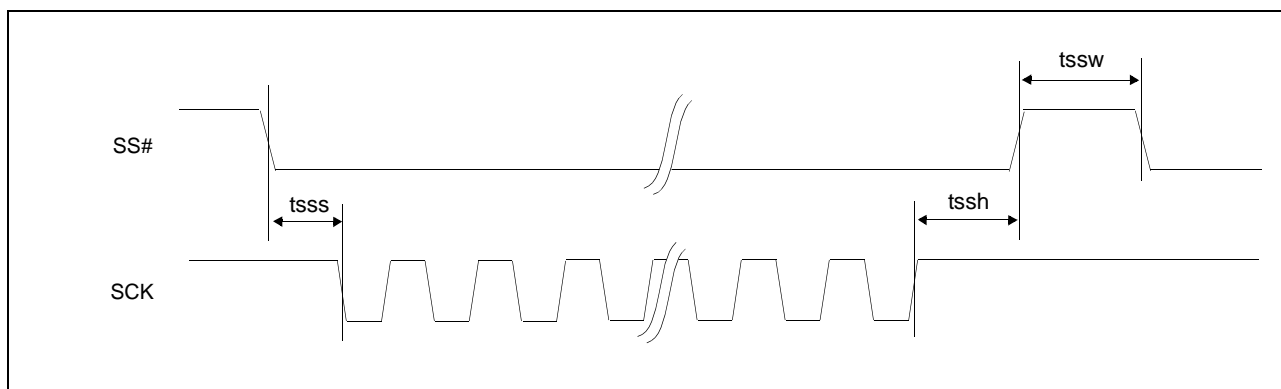


図7-13 Slave Selectタイミング

表7-11 Slave Selectタイミング

| 記号        | パラメータ       | MIN  | MAX | 単位 |
|-----------|-------------|------|-----|----|
| $t_{sss}$ | SS#セットアップ時間 | 400  | —   | ns |
| $t_{ssh}$ | SS#ホールド時間   | 1000 | —   | ns |
| $t_{ssw}$ | SS#パルス幅     | 1000 | —   | ns |

## 7. AC特性

### 7.6.3 I2Cインタフェースタイミング

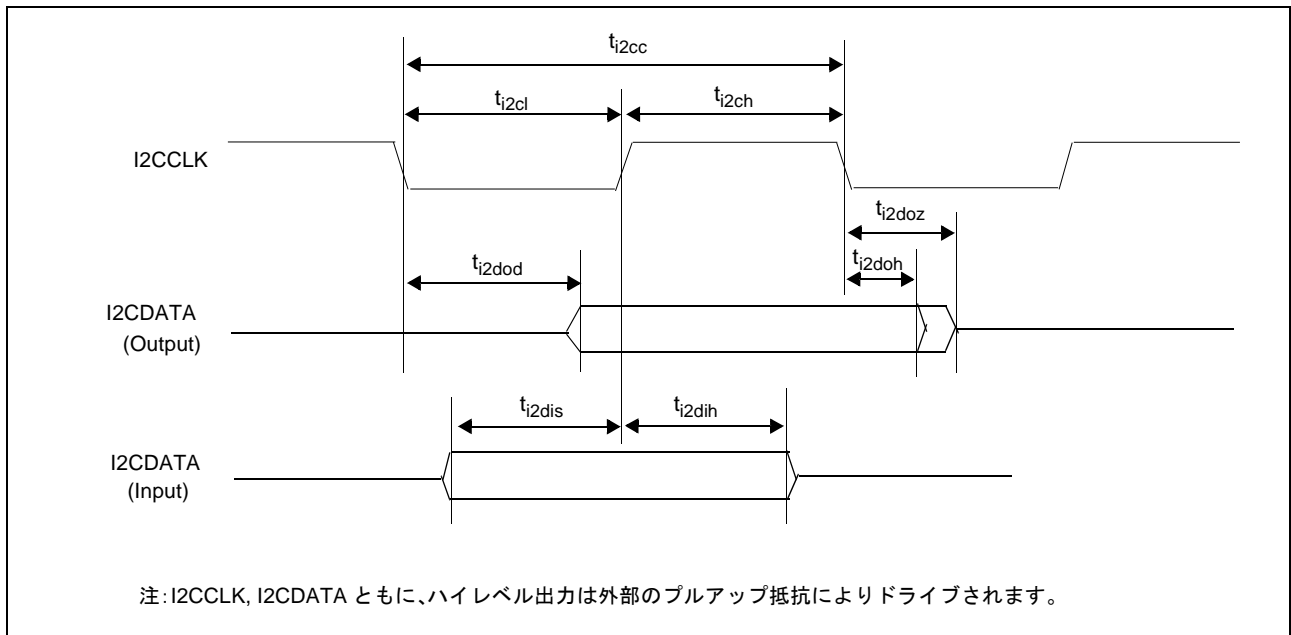


図7-14 I2Cインタフェースタイミング

表7-12 I2Cインタフェースタイミング

| 記号          | パラメータ                  | MIN                    | MAX | 単位 |
|-------------|------------------------|------------------------|-----|----|
| $t_{i2cc}$  | I2CCLKサイクル時間           | 2130                   | —   | ns |
| $t_{i2cl}$  | I2CCLK Lowパルス幅         | $t_{i2cc} \times 0.45$ | —   | ns |
| $t_{i2ch}$  | I2CCLK Highパルス幅        | $t_{i2cc} \times 0.45$ | —   | ns |
| $t_{i2dod}$ | I2CDATAデータ信号出力遅延時間     | —                      | 20  | ns |
| $t_{i2doh}$ | I2CDATAデータ信号出力ホールド時間   | 0                      | —   | ns |
| $t_{i2doz}$ | I2CDATAデータ信号出力HI-Z時間   | —                      | 20  | ns |
| $t_{i2dis}$ | I2CDATAデータ信号入力セットアップ時間 | 20                     | —   | ns |
| $t_{i2dih}$ | I2CDATAデータ信号入力ホールド時間   | 10                     | —   | ns |



## 7.7 LCDインタフェースタイミング

LCDパネルを駆動するために必要なタイミングパラメータを示します。

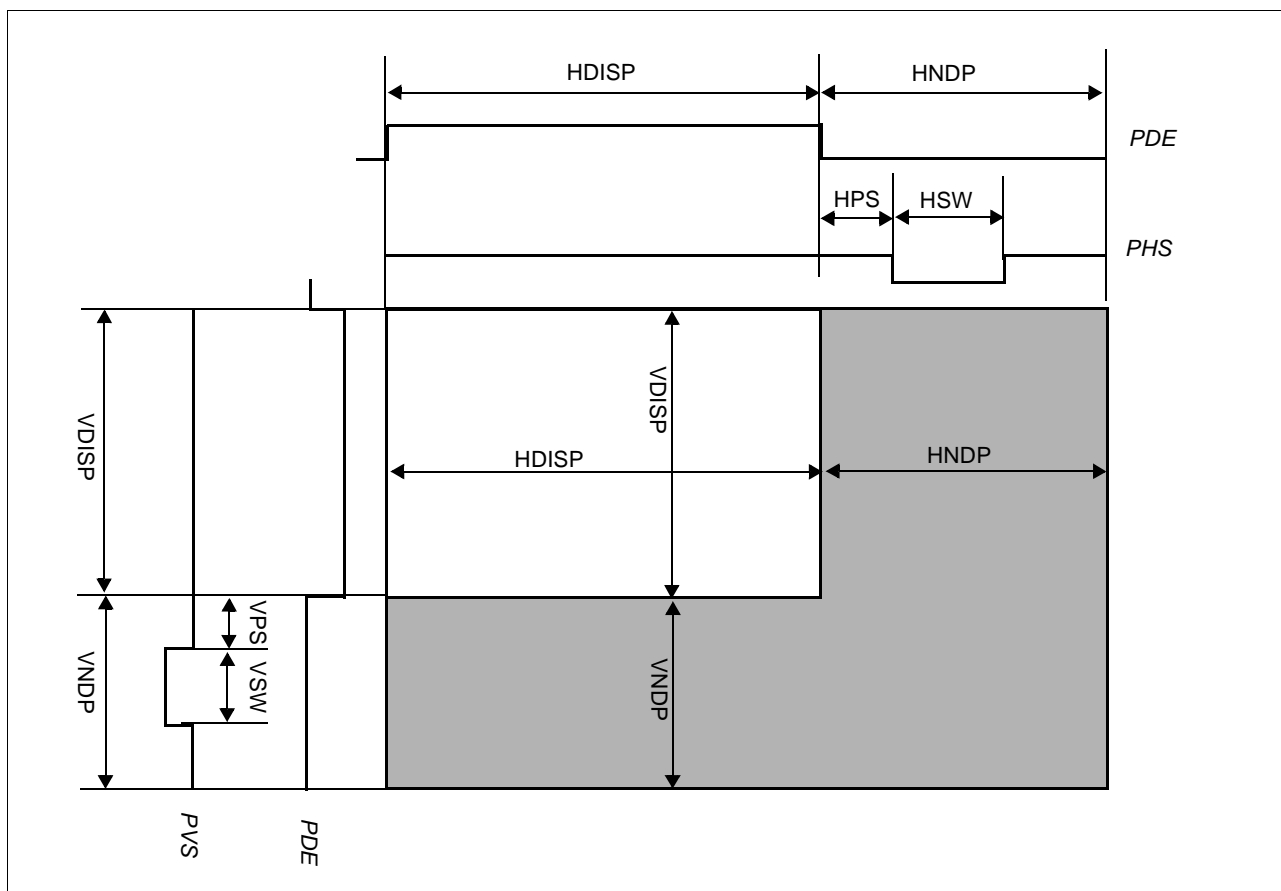


図7.15 LCDパネルタイミングパラメータ

表7.13 LCDパネルタイミングパラメータ

| 記号    | 説明         | 対象レジスタ   | Min | Max | 単位  |
|-------|------------|--|-----|-----|-----|
| HDISP | 水平表示期間     | $((\text{REG}[16\text{h}] \text{ビット}6\sim0) + 1) \times 8$                               | 32  | 960 | Ts  |
| HNDP  | 水平非表示期間    | $((\text{REG}[18\text{h}] \text{ビット}7\sim0) + 1) \times 2$                               | 4   | 512 |     |
| HPS   | PHSパルス開始位置 | $(\text{REG}[22\text{h}] \text{ビット}6\sim0)$  | 0   | 127 |     |
| HSW   | PHSパルス幅    | $(\text{REG}[20\text{h}] \text{ビット}6\sim0) + 1$  | 1   | 128 |     |
| VDISP | 垂直表示期間     | $(\text{REG}[1\text{Ch}] \text{ビット}1\sim0, \text{REG}[1\text{Ah}] \text{ビット}7\sim0) + 1$ | 32  | 960 | ライン |
| VNDP  | 垂直非表示期間    | $((\text{REG}[1\text{Eh}] \text{ビット}7\sim0) + 1) \times 2$                               | 4   | 512 |     |
| VPS   | PVSパルス開始位置 | $(\text{REG}[26\text{h}] \text{ビット}7\sim0)$  | 0   | 255 |     |
| VSW   | PVSパルス幅    | $(\text{REG}[24\text{h}] \text{ビット}5\sim0) + 1$  | 1   | 64  |     |

注

$$T_s = 1/\text{PCLK}$$

## 7. AC特性

### 7.7.1 LCDパネル表示開始シーケンス

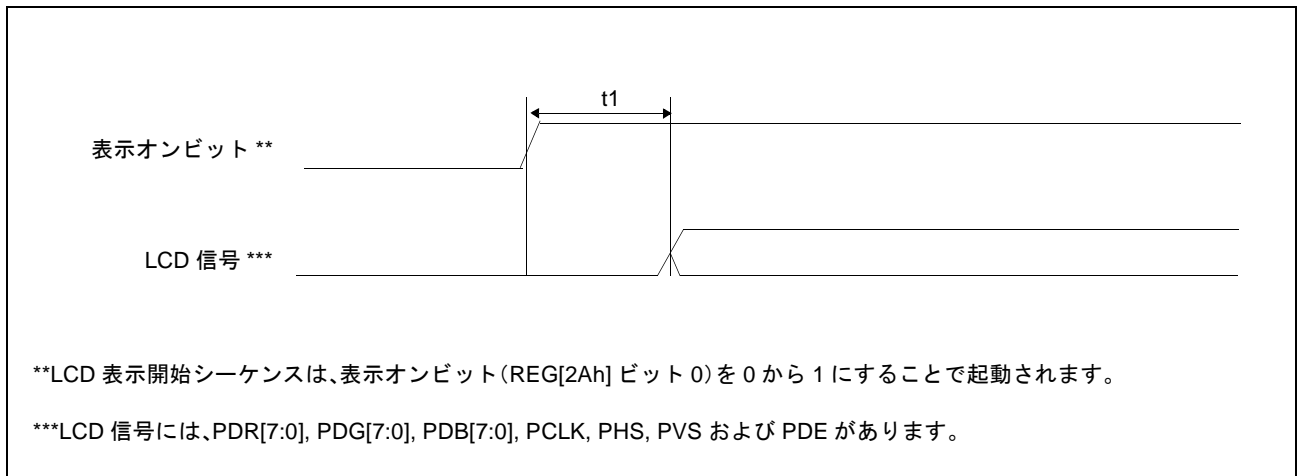


図7.16 LCDパネル表示開始シーケンスタイミング

表7.14 LCDパネル表示開始シーケンスタイミング

| 記号 | パラメータ                   | Min | Max | 単位 |
|----|-------------------------|-----|-----|----|
| t1 | 表示オンがディセーブル→LCD信号がアクティブ | 0   | 10  | Ts |

### 7.7.2 LCDパネル表示停止シーケンス

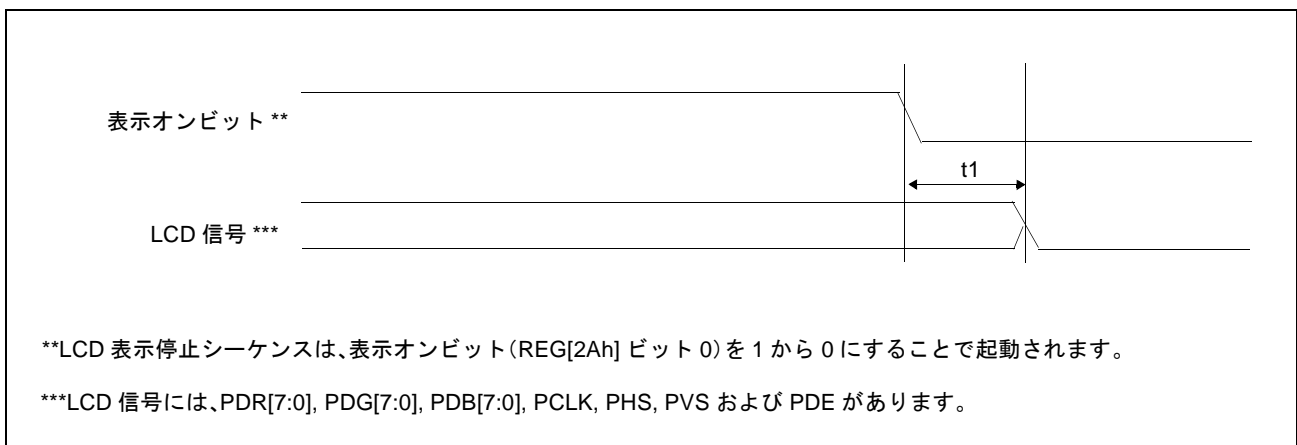


図7.17 LCDパネル表示停止シーケンスタイミング

表7.15 LCDパネル表示停止シーケンスタイミング

| 記号 | パラメータ                | Min | Max | 単位 |
|----|----------------------|-----|-----|----|
| t1 | 表示オンがイネーブル→LCD信号がLow | 0   | 10  | Ts |

## 7.7.3 LCDパネルタイミング

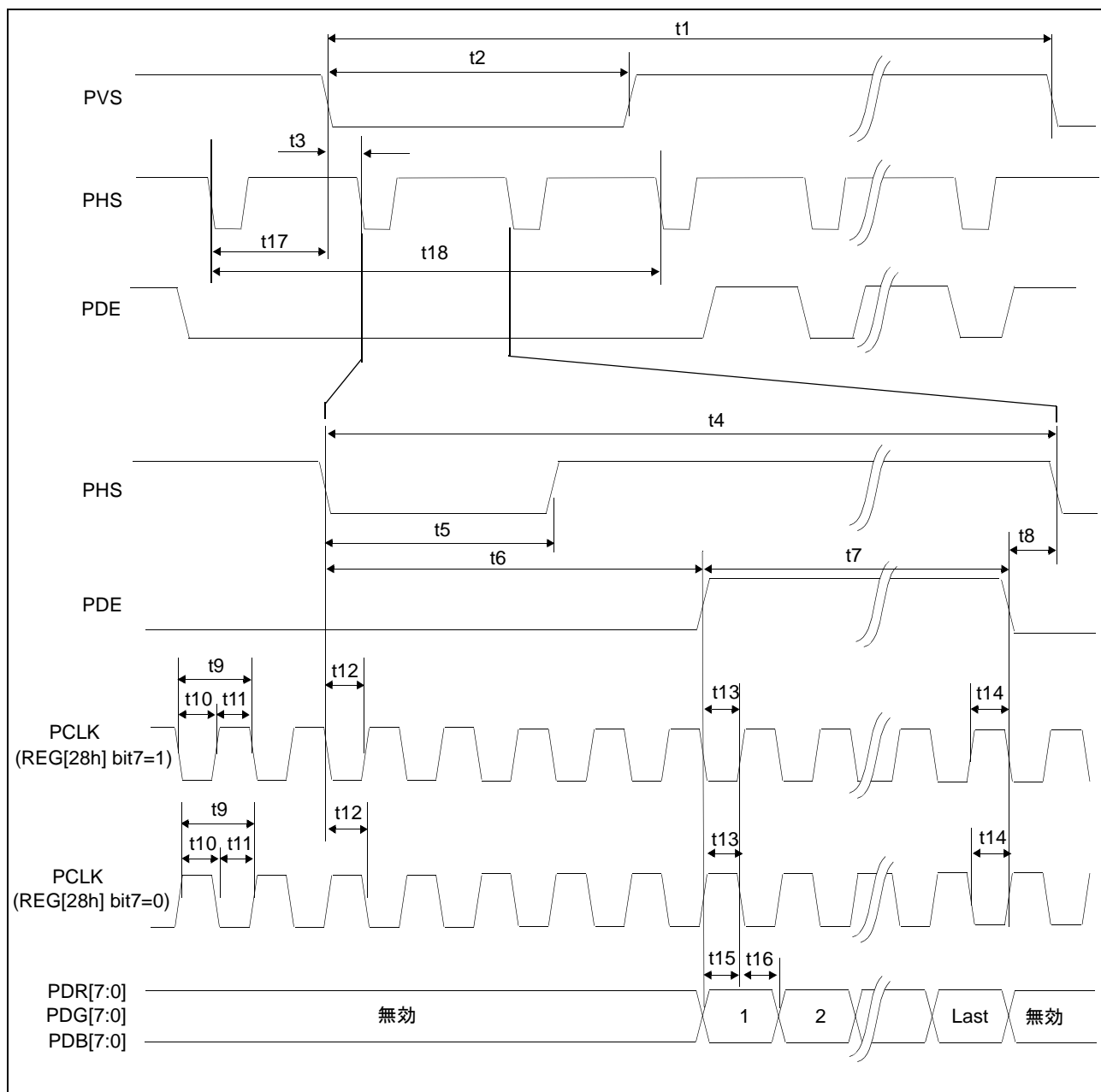


図7.18 LCDパネルタイミング

## 注

PHS、PVSおよびPCLKはレジスタにて極性選択ができます。

## 7. AC特性

表7.16 LCDパネルタイミング

| 記号  | パラメータ                       | Min | Typ          | Max | 単位  |
|-----|-----------------------------|-----|--------------|-----|-----|
| t1  | PVSサイクル時間                   | —   | VDISP + VNDP | —   | ライン |
| t2  | PVSパルス幅Low                  | —   | VSW          | —   | ライン |
| t3  | PVS立ち下がリエッジ→PHS立ち下がリエッジの位相差 | —   | HPS          | —   | Ts  |
| t4  | PHSサイクル時間                   | —   | HDISP + HNDP | —   | Ts  |
| t5  | PHSパルス幅Low                  | —   | HSW          | —   | Ts  |
| t6  | PHS立ち下がリエッジ→PDEアクティブ        | —   | HNDP - HPS   | —   | Ts  |
| t7  | PDEパルス幅                     | —   | HDISP        | —   | Ts  |
| t8  | PDE立ち下がリエッジ→PHS立ち下がリエッジ     | —   | HPS          | —   | Ts  |
| t9  | PCLK周期                      | 1   | —            | —   | Ts  |
| t10 | PCLKパルス幅Low                 | 0.5 | —            | —   | Ts  |
| t11 | PCLKパルス幅High                | 0.5 | —            | —   | Ts  |
| t12 | PHSセットアップ→PCLKアクティブエッジ      | 0.5 | —            | —   | Ts  |
| t13 | PDE→PCLK立ち上がりエッジのセットアップ時間   | 0.5 | —            | —   | Ts  |
| t14 | PCLKアクティブエッジからのPDEホールド      | 0.5 | —            | —   | Ts  |
| t15 | PDデータセットアップ→PCLKアクティブエッジ    | 0.5 | —            | —   | Ts  |
| t16 | PCLKアクティブエッジからのPDデータホールド    | 0.5 | —            | —   | Ts  |
| t17 | PDEストップセットアップ→PVS開始         | —   | VPS          | —   | Ts  |
| t18 | 垂直非表示期間                     | —   | VNDP         | —   | Ts  |

1. Ts = ピクセルクロック周期

## 7.7.4 LCDインタフェースタイミング

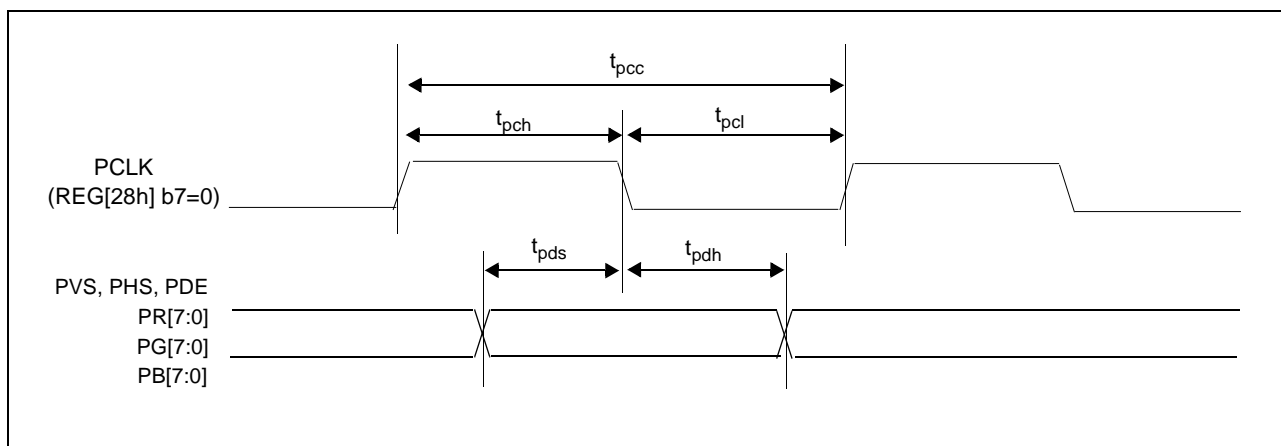


図7-19 LCDインタフェースタイミング

表7-17 LCDインタフェースタイミング

| 記号        | パラメータ             | MIN                  | MAX | 単位 |
|-----------|-------------------|----------------------|-----|----|
| $t_{pcc}$ | PCLKサイクル時間        | 20                   | —   | ns |
| $t_{pcl}$ | PCLK Lowパルス幅      | $t_{pcc} \times 0.4$ | —   | ns |
| $t_{pch}$ | PCLK Highパルス幅     | $t_{pcc} \times 0.4$ | —   | ns |
| $t_{pds}$ | LCD制御信号出力セットアップ時間 | $t_{pch} - 3$        | —   | ns |
| $t_{pdh}$ | LCD制御信号出力ホールド時間   | $t_{pcl} - 3$        | —   | ns |

## 8. クロック

### 8. クロック

#### 8.1 クロック機能

S1D13U11のクロック入力は水晶発振端子からになります。USBインタフェース部に必要なUSBクロック (USBCLK) は、USB-PLLから生成されます。LCDインタフェース部に必要なクロックは、PLLから生成されます。PLLクロックはそのままSDRAMクロック (SDCLK) になり、SDCLKから分周されたクロックがLCDクロック (LCDCLK) になります。LCDパネルを駆動するピクセルクロック (PCLK) は、LCDCLKと同じクロックです。SDCLKまたはLCDCLKにスプレッドスペクトラム変調 (SS) を付加することができます。ただし78MHz以下になります。

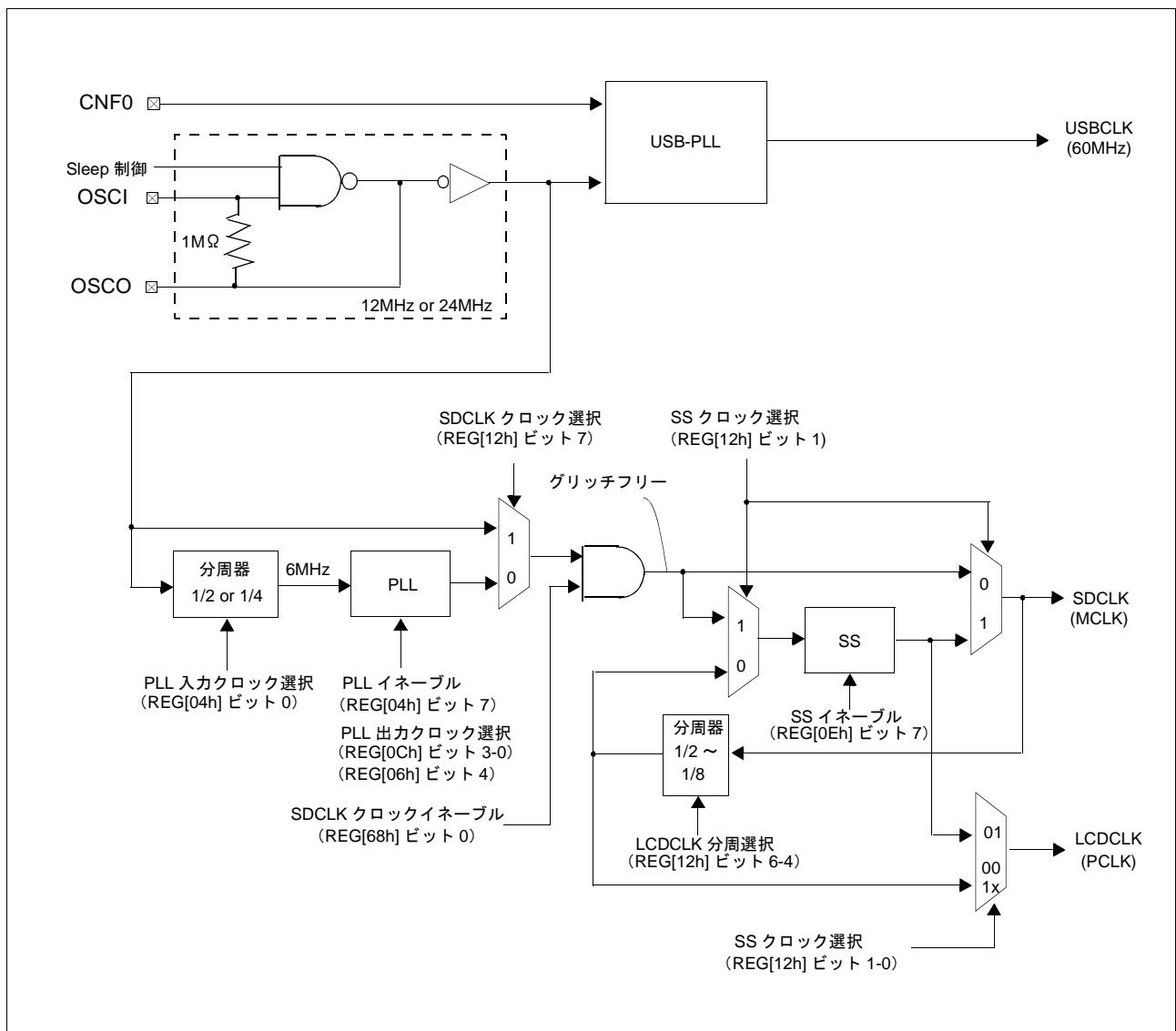


図8.1 クロック機能ブロック図

## 9. リセット

### 9.1 リセット機能

S1D13U11のリセットには3種類方法があります。

#### 9.1.1 ハードウェアリセット

ハードウェアリセットは、RESET#端子からの入力になります。一定期間以上ローレベルを入力することにより、レジスタを含むすべての回路がリセットされます。

#### 9.1.2 ソフトウェアリセット

ソフトウェアリセットは、ホストCPUからのコマンド入力になります。リセット後の状態は、ハードウェアリセットと同じになります。ソフトウェアリセットコマンドの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

#### 9.1.3 USBバスリセット

USBバスリセットは、ホストCPUからのUSBバスリセット入力になります。リセット後の状態は、USBデバイスポート以外は前の状態を保持します。USBバスリセット機能の詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

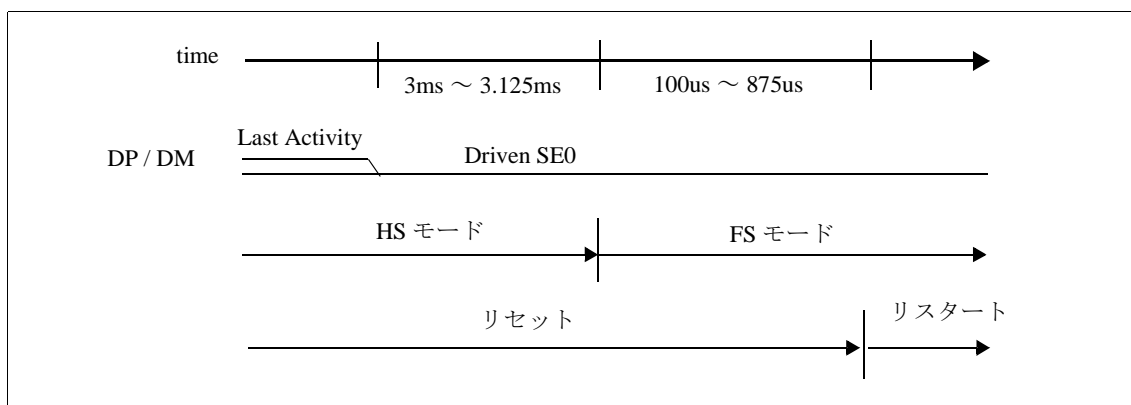


図9.1 USBバスリセット (HSモード)

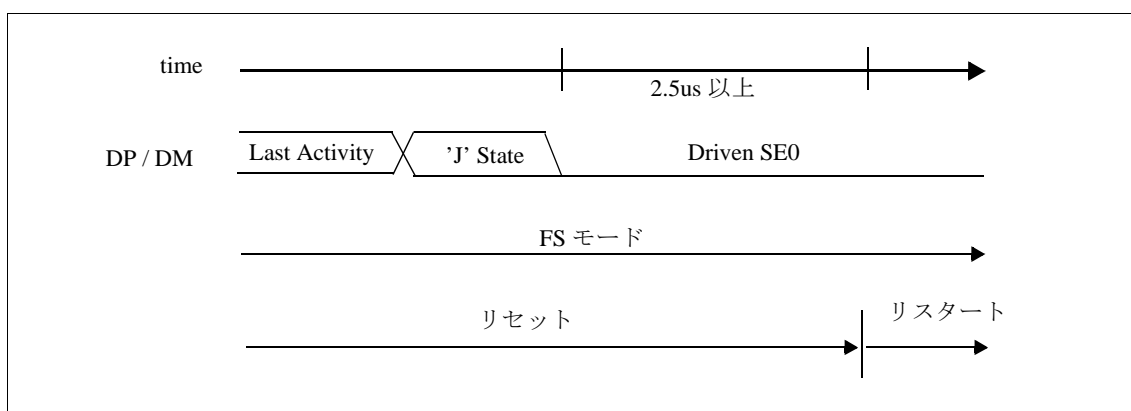


図9.2 USBバスリセット (FSモード)

## 10. ホストCPUインタフェース

---

## 10. ホストCPUインタフェース

### 10.1 USBデバイスポート

S1D13U11は、USB2.0 (Universal Serial Bus Specification Revision 2.0) 規格に準拠したハイスピード仕様のUSBデバイスポートをサポートしています。

#### 10.1.1 スピードモード

ハイスピード (HS : 480Mbps) およびフルスピード (FS : 12Mbps) のスピードモードをサポートしています。USBバスリセット時に行われるスピードネゴシエーションにより、スピードモードは自動的に決定されます。例えばHSモードに対応するUSBホストと接続した場合は、スピードネゴシエーションにより自動的にHSモードが選択されます。

#### 10.1.2 転送タイプ

コントロール転送、バルクIN転送、バルクOUT転送、インタラプトIN転送をサポートしています。その他の転送タイプはサポートしていません。

#### 10.1.3 ディスクリプター

デバイスクラスはベンダークラスになります。ディスクリプターの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

#### 10.1.4 プロトコルシーケンサー

ホストCPUからの制御を容易にするため、プロトコルシーケンサーを内蔵しています。ホストCPUは、規定のプロトコルを使用してS1D13U11を制御します。プロトコル仕様の詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

#### 10.1.5 コンフィギュレーションデータ

プロトコルシーケンサーを動作させるためには、コンフィギュレーションデータが必要になります。コンフィギュレーションデータは、USBポート経由またはSPIインタフェース経由 (シリアルフラッシュメモリ) から内蔵のSRAM (96Kバイト) へダウンロードしてください。ダウンロード方法の詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

#### 10.1.6 外付け回路

S1D13U11は、HSモード用およびFSモード用の終端抵抗を内蔵しており、一般的に用いられているインピーダンス調整のための外付け部品が不要です。そのため、DP/DMラインは、S1D13U11とコネクタ (またはUSBホストデバイス) を直結することができます。ただし、静電気保護やEMI対策につきましては、必要に応じて適切な部品をご使用ください。

VBUS端子は5V入力となっており、外部での電圧変換を必要としません。ただしUSBホスト製品の種類によっては、接続時にVBUSに定格を超えるサージを印加することがありますので、そのための保護回路の付加を推奨しています。



### 10.2 エンドポイント

S1D13U11は、エンドポイント0と、用途が決まっている4本のエンドポイントを備えています。

#### 10.2.1 エンドポイント0

コントロール転送に使用されます。HSモード：64バイト、FSモード：64バイトになります。S1D13U11はコントロール転送を使用して、標準リクエストおよびベンダーリクエストの転送をします。サポートされるリクエストの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

#### 10.2.2 エンドポイント1

バルクOUT転送としてコマンド転送に使用されます。HSモード：512バイト、FSモード：64バイトになります。S1D13U11はホストCPUからコマンドブロック（コマンド+それに続くデータ）を受信します。プロトコルの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

#### 10.2.3 エンドポイント2

バルクIN転送としてステータス転送に使用されます。HSモード：512バイト、FSモード：64バイトになります。S1D13U11はコマンド受信に対する返信として、ホストCPUへステータスブロック（ステータス+それに続くデータ）を送信します。プロトコルの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

#### 10.2.4 エンドポイント3

インタラプトIN転送としてイベント通知に使用されます。HSモード：64バイト、FSモード：64バイトになります。S1D13U11はホストCPUへイベントブロック（イベント+それに続くデータ）を送信します。プロトコルの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

#### 10.2.5 エンドポイント4

バルクOUT転送として画像データ転送に使用されます。HSモード：512バイト、FSモード：64バイトになります。S1D13U11はホストCPUから画像データを受信します。エンドポイント4とLCDインタフェース間はDMA転送により、高速化されています。プロトコルの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

## 10. ホストCPUインタフェース

### 10.3 プロトコル

S1D13U11は、ホストCPUとの間でコマンド転送、ステータス転送、イベント通知、画像データ転送を行います。プロトコルの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

#### 10.3.1 コマンド

S1D13U11は、コマンドをホストCPUから受信します。

表10.1 コマンド種類

| コマンド        | 概要                          |
|-------------|-----------------------------|
| コンフィギュレーション | コンフィギュレーションデータのダウンロードを制御します |
| LCDレジスタライト  | LCDインタフェースのレジスタライトを制御します    |
| LCDレジスタリード  | LCDインタフェースのレジスタリードを制御します    |
| LCD画像データライト | LCDインタフェースの画像データライトを制御します   |
| LCDウェイクアップ  | LCDインタフェースのウェイクアップを制御します    |
| I2C         | I2Cインタフェースを制御します            |
| SPI         | SPIインタフェースを制御します            |
| SPIシーケンシャル  | SPIインタフェースのシーケンスを制御します      |
| GPIO        | GPIOインタフェースを制御します           |
| キースキャン      | キースキャンインタフェースを制御します         |
| ブザー         | ブザーインタフェースを制御します            |
| イベント        | イベント通知を制御します                |

#### 10.3.2 ステータス

S1D13U11は、ステータスをホストCPUへ返信します。

表10.2 ステータス種類

| ステータス       | 概要                   |
|-------------|----------------------|
| コマンドサクセス    | コマンド転送が成功したことを示します   |
| コマンドエラー     | コマンド転送が失敗したことを示します   |
| インバリッドパラメータ | 無効パラメータがあったことを示します   |
| プロトコルエラー    | プロトコルにエラーがあったことを示します |

#### 10.3.3 イベント通知

S1D13U11は、イベント通知をホストCPUへ送信します。

表10.3 イベント通知種類

| イベント通知     | 概要                        |
|------------|---------------------------|
| LCDインタフェース | LCDインタフェース割り込みを通知します      |
| INT0入力     | SPIインタフェース割り込みを通知します      |
| SPIシーケンシャル | SPIシーケンシャルコマンドデータ取得を通知します |
| GPIO入力     | GPIO端子入力割り込みを通知します        |
| INT1入力     | ウェイクアップキー入力割り込みを通知します     |
| キースキャン     | キースキャンデータ変化を通知します         |

10.4 画像入力データフォーマット

画像入力のデータフォーマットは、LCDインタフェースのレジスタ (REG[14h] bits 2-1) で設定します。16bppモード (16ビット/ピクセル)、24bppモード1 (24ビット/ピクセル)、24bppモード2 (32ビット/ピクセル) から選択してください。

3つのフォーマットを混在して使用することができますが、フレームバッファには16bpp (REG[14h] bit 5 = 1) または24bpp (REG[14h] bit 5 = 0) のどちらか一方で保存されます。

以下に入力データのフォーマットを示します。Rデータを上位バイト (REG[14h] bit 6 = 0) にするか、下位バイト (REG[14h] bit 6 = 1) にするかを選択できます。

10.4.1 Rデータ上位バイト (REG[14h] bit 6 = 0)

表10-4 16bppモード (REG[14h] bit 2 = 1)

| 入力順 | ビット 7                       | ビット 6                       | ビット 5                       | ビット 4                       | ビット 3                       | ビット 2                       | ビット 1                       | ビット 0                       |
|-----|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 1   | G <sub>0</sub> <sup>4</sup> | G <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>2</sup> | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> | B <sub>0</sub> <sup>4</sup> | B <sub>0</sub> <sup>3</sup> |
| 2   | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> | R <sub>0</sub> <sup>4</sup> | R <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | G <sub>0</sub> <sup>5</sup> |
| 3   | G <sub>1</sub> <sup>4</sup> | G <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>2</sup> | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | B <sub>1</sub> <sup>4</sup> | B <sub>1</sub> <sup>3</sup> |
| 4   | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | R <sub>1</sub> <sup>4</sup> | R <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> | G <sub>1</sub> <sup>5</sup> |
| 5   | G <sub>2</sub> <sup>4</sup> | G <sub>2</sub> <sup>3</sup> | G <sub>2</sub> <sup>2</sup> | B <sub>2</sub> <sup>7</sup> | B <sub>2</sub> <sup>6</sup> | B <sub>2</sub> <sup>5</sup> | B <sub>2</sub> <sup>4</sup> | B <sub>2</sub> <sup>3</sup> |
| 6   | R <sub>2</sub> <sup>7</sup> | R <sub>2</sub> <sup>6</sup> | R <sub>2</sub> <sup>5</sup> | R <sub>2</sub> <sup>4</sup> | R <sub>2</sub> <sup>3</sup> | G <sub>2</sub> <sup>7</sup> | G <sub>2</sub> <sup>6</sup> | G <sub>2</sub> <sup>5</sup> |

表10-5 24bppモード1 (REG[14h] bits 2-1 = 00)

| 入力順 | ビット 7                       | ビット 6                       | ビット 5                       | ビット 4                       | ビット 3                       | ビット 2                       | ビット 1                       | ビット 0                       |
|-----|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 1   | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | G <sub>0</sub> <sup>5</sup> | G <sub>0</sub> <sup>4</sup> | G <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>2</sup> | G <sub>0</sub> <sup>1</sup> | G <sub>0</sub> <sup>0</sup> |
| 2   | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> | R <sub>0</sub> <sup>4</sup> | R <sub>0</sub> <sup>3</sup> | R <sub>0</sub> <sup>2</sup> | R <sub>0</sub> <sup>1</sup> | R <sub>0</sub> <sup>0</sup> |
| 3   | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | R <sub>1</sub> <sup>4</sup> | R <sub>1</sub> <sup>3</sup> | R <sub>1</sub> <sup>2</sup> | R <sub>1</sub> <sup>1</sup> | R <sub>1</sub> <sup>0</sup> |
| 4   | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> | B <sub>0</sub> <sup>4</sup> | B <sub>0</sub> <sup>3</sup> | B <sub>0</sub> <sup>2</sup> | B <sub>0</sub> <sup>1</sup> | B <sub>0</sub> <sup>0</sup> |
| 5   | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | B <sub>1</sub> <sup>4</sup> | B <sub>1</sub> <sup>3</sup> | B <sub>1</sub> <sup>2</sup> | B <sub>1</sub> <sup>1</sup> | B <sub>1</sub> <sup>0</sup> |
| 6   | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> | G <sub>1</sub> <sup>5</sup> | G <sub>1</sub> <sup>4</sup> | G <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>2</sup> | G <sub>1</sub> <sup>1</sup> | G <sub>1</sub> <sup>0</sup> |

表10-6 24bppモード2 (REG[14h] bits 2-1 = 01)

| 入力順 | ビット 7                       | ビット 6                       | ビット 5                       | ビット 4                       | ビット 3                       | ビット 2                       | ビット 1                       | ビット 0                       |
|-----|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 1   | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> | R <sub>0</sub> <sup>4</sup> | R <sub>0</sub> <sup>3</sup> | R <sub>0</sub> <sup>2</sup> | R <sub>0</sub> <sup>1</sup> | R <sub>0</sub> <sup>0</sup> |
| 2   | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         |
| 3   | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> | B <sub>0</sub> <sup>4</sup> | B <sub>0</sub> <sup>3</sup> | B <sub>0</sub> <sup>2</sup> | B <sub>0</sub> <sup>1</sup> | B <sub>0</sub> <sup>0</sup> |
| 4   | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | G <sub>0</sub> <sup>5</sup> | G <sub>0</sub> <sup>4</sup> | G <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>2</sup> | G <sub>0</sub> <sup>1</sup> | G <sub>0</sub> <sup>0</sup> |
| 5   | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | R <sub>1</sub> <sup>4</sup> | R <sub>1</sub> <sup>3</sup> | R <sub>1</sub> <sup>2</sup> | R <sub>1</sub> <sup>1</sup> | R <sub>1</sub> <sup>0</sup> |
| 6   | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         |
| 7   | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | B <sub>1</sub> <sup>4</sup> | B <sub>1</sub> <sup>3</sup> | B <sub>1</sub> <sup>2</sup> | B <sub>1</sub> <sup>1</sup> | B <sub>1</sub> <sup>0</sup> |
| 8   | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> | G <sub>1</sub> <sup>5</sup> | G <sub>1</sub> <sup>4</sup> | G <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>2</sup> | G <sub>1</sub> <sup>1</sup> | G <sub>1</sub> <sup>0</sup> |

## 10. ホストCPUインタフェース

### 10.4.2 Rデータ下位バイト (REG[14h] bit 6 = 1)

表10-7 16bppモード (REG[14h] bit 2 = 1)

| 入力順 | ビット<br>7                    | ビット<br>6                    | ビット<br>5                    | ビット<br>4                    | ビット<br>3                    | ビット<br>2                    | ビット<br>1                    | ビット<br>0                    |
|-----|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 1   | G <sub>0</sub> <sup>4</sup> | G <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>2</sup> | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> | R <sub>0</sub> <sup>4</sup> | R <sub>0</sub> <sup>3</sup> |
| 2   | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> | B <sub>0</sub> <sup>4</sup> | B <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | G <sub>0</sub> <sup>5</sup> |
| 3   | G <sub>1</sub> <sup>4</sup> | G <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>2</sup> | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | R <sub>1</sub> <sup>4</sup> | R <sub>1</sub> <sup>3</sup> |
| 4   | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | B <sub>1</sub> <sup>4</sup> | B <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> | G <sub>1</sub> <sup>5</sup> |
| 5   | G <sub>2</sub> <sup>4</sup> | G <sub>2</sub> <sup>3</sup> | G <sub>2</sub> <sup>2</sup> | R <sub>2</sub> <sup>7</sup> | R <sub>2</sub> <sup>6</sup> | R <sub>2</sub> <sup>5</sup> | R <sub>2</sub> <sup>4</sup> | R <sub>2</sub> <sup>3</sup> |
| 6   | B <sub>2</sub> <sup>7</sup> | B <sub>2</sub> <sup>6</sup> | B <sub>2</sub> <sup>5</sup> | B <sub>2</sub> <sup>4</sup> | B <sub>2</sub> <sup>3</sup> | G <sub>2</sub> <sup>7</sup> | G <sub>2</sub> <sup>6</sup> | G <sub>2</sub> <sup>5</sup> |

表10-8 24bppモード1 (REG[14h] bits 2-1 = 00)

| 入力順 | ビット<br>7                    | ビット<br>6                    | ビット<br>5                    | ビット<br>4                    | ビット<br>3                    | ビット<br>2                    | ビット<br>1                    | ビット<br>0                    |
|-----|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 1   | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> | R <sub>0</sub> <sup>4</sup> | R <sub>0</sub> <sup>3</sup> | R <sub>0</sub> <sup>2</sup> | R <sub>0</sub> <sup>1</sup> | R <sub>0</sub> <sup>0</sup> |
| 2   | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | G <sub>0</sub> <sup>5</sup> | G <sub>0</sub> <sup>4</sup> | G <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>2</sup> | G <sub>0</sub> <sup>1</sup> | G <sub>0</sub> <sup>0</sup> |
| 3   | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> | B <sub>0</sub> <sup>4</sup> | B <sub>0</sub> <sup>3</sup> | B <sub>0</sub> <sup>2</sup> | B <sub>0</sub> <sup>1</sup> | B <sub>0</sub> <sup>0</sup> |
| 4   | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | R <sub>1</sub> <sup>4</sup> | R <sub>1</sub> <sup>3</sup> | R <sub>1</sub> <sup>2</sup> | R <sub>1</sub> <sup>1</sup> | R <sub>1</sub> <sup>0</sup> |
| 5   | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> | G <sub>1</sub> <sup>5</sup> | G <sub>1</sub> <sup>4</sup> | G <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>2</sup> | G <sub>1</sub> <sup>1</sup> | G <sub>1</sub> <sup>0</sup> |
| 6   | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | B <sub>1</sub> <sup>4</sup> | B <sub>1</sub> <sup>3</sup> | B <sub>1</sub> <sup>2</sup> | B <sub>1</sub> <sup>1</sup> | B <sub>1</sub> <sup>0</sup> |

表10-9 24bppモード2 (REG[14h] bits 2-1 = 01)

| 入力順 | ビット<br>7                    | ビット<br>6                    | ビット<br>5                    | ビット<br>4                    | ビット<br>3                    | ビット<br>2                    | ビット<br>1                    | ビット<br>0                    |
|-----|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 1   | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         |
| 2   | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> | R <sub>0</sub> <sup>4</sup> | R <sub>0</sub> <sup>3</sup> | R <sub>0</sub> <sup>2</sup> | R <sub>0</sub> <sup>1</sup> | R <sub>0</sub> <sup>0</sup> |
| 3   | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | G <sub>0</sub> <sup>5</sup> | G <sub>0</sub> <sup>4</sup> | G <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>2</sup> | G <sub>0</sub> <sup>1</sup> | G <sub>0</sub> <sup>0</sup> |
| 4   | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> | B <sub>0</sub> <sup>4</sup> | B <sub>0</sub> <sup>3</sup> | B <sub>0</sub> <sup>2</sup> | B <sub>0</sub> <sup>1</sup> | B <sub>0</sub> <sup>0</sup> |
| 5   | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         | n/a                         |
| 6   | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | R <sub>1</sub> <sup>4</sup> | R <sub>1</sub> <sup>3</sup> | R <sub>1</sub> <sup>2</sup> | R <sub>1</sub> <sup>1</sup> | R <sub>1</sub> <sup>0</sup> |
| 7   | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> | G <sub>1</sub> <sup>5</sup> | G <sub>1</sub> <sup>4</sup> | G <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>2</sup> | G <sub>1</sub> <sup>1</sup> | G <sub>1</sub> <sup>0</sup> |
| 8   | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | B <sub>1</sub> <sup>4</sup> | B <sub>1</sub> <sup>3</sup> | B <sub>1</sub> <sup>2</sup> | B <sub>1</sub> <sup>1</sup> | B <sub>1</sub> <sup>0</sup> |

## 11. LCDインタフェース

### 11.1 概要

S1D13U11は、外付けSDRAMにフレームバッファを保持するカラー LCDインタフェースを内蔵しています。高効率なSDRAMインタフェースにより、最大 800x600@ 24bppのカラー TFTパネルを表示することができます。

#### 11.1.1 ディスプレイサポート

カラー TFTパネルをサポートしています。サポートする代表的なLCDパネルサイズは、以下の大きさになります。ピクセルクロックの最大周波数は48MHzです。

表11.1 LCDパネル種類

| サイズ   | データ幅                              |
|-------|-----------------------------------|
| QVGA  | 320 x 240 @ 16bit / 18bit / 24bit |
| WQVGA | 400 x 240 @ 16bit / 18bit / 24bit |
| HVGA  | 640 x 240 @ 16bit / 18bit / 24bit |
| VGA   | 640 x 480 @ 16bit / 18bit / 24bit |
| WVGA  | 800 x 480 @ 16bit / 18bit / 24bit |
| SVGA  | 800 x 600 @ 16bit / 18bit / 24bit |

#### 11.1.2 表示機能

サポートする表示機能は、以下の通りです。スタートアップ表示には外付けシリアルフラッシュメモリが必要です。

表11.2 表示機能

| 機能                    | 概要                                |
|-----------------------|-----------------------------------|
| 24bpp表示/16bpp表示       | フレームバッファに保持する色解像度を設定する機能          |
| ウィンドウ書き込み             | フレームバッファへX/Yを指定してデータライトする機能       |
| 透過色書き込み               | 透過色を設定してフレームバッファへの書き込みを禁止する機能     |
| Picture-in-Picture表示  | PIP1ウィンドウとPIP2ウィンドウを表示する機能        |
| オーバーレイ表示              | メインウィンドウに対してPIPウィンドウをオーバーレイ表示する機能 |
| アルファブレンディング (ノーマルモード) | 2画像をアルファブレンディングして新しい画像を作成する機能     |
| アルファブレンディング (コピーモード)  | 1画像をアルファブレンディングして画像をコピーする機能       |
| アルファブレンディング (フィルモード)  | 1色データをアルファブレンディングして画像を塗りつぶす機能     |
| 回転表示                  | 180度回転して表示する機能                    |
| 反転表示                  | 左右ミラー反転して表示する機能                   |
| ダブルバッファ表示             | 2個のバッファをハードウェアで切り替えて表示する機能        |
| マルチバッファ表示             | 16個のバッファをソフトウェアで切り替えて表示する機能       |
| ダブリング表示               | メインウィンドウをダブリングして表示する機能            |
| バーチャル表示               | LCDパネルサイズより大きい画像を上下左右スクロールする機能    |
| ウェイクアップ表示             | スリープからホストCPUの制御なく表示する機能           |
| スタートアップ表示             | リセットからホストCPUの制御なく表示する機能           |
| ガンマ補正                 | 画像データをルックアップテーブルによりガンマ補正する機能      |
| ブライトネス補正              | 画像データをブライトネス補正する機能                |
| コントラスト補正              | 画像データをコントラスト補正する機能                |

## 11. LCDインターフェース

### 11.1.3 画像データパス

画像データは外部のSDRAM（フレームバッファ）に保持され、LCDパネルに必要なリフレッシュレートで出力されます。

青線：画像データを書き換えるデータパスです。ライトウィンドウによりエリアを指定します。

赤線：画像データをLCDパネルへ出力するデータパスです。メインウィンドウ、PIP1ウィンドウ、PIP2ウィンドウによりエリアを指定します。

黄線：アルファブレンディングの入力画像のデータパスです。入力画像1ウィンドウ、入力画像2ウィンドウによりエリアを指定します。

緑線：アルファブレンディングの出力画像のデータパスです。出力画像ウィンドウによりエリアを指定します。

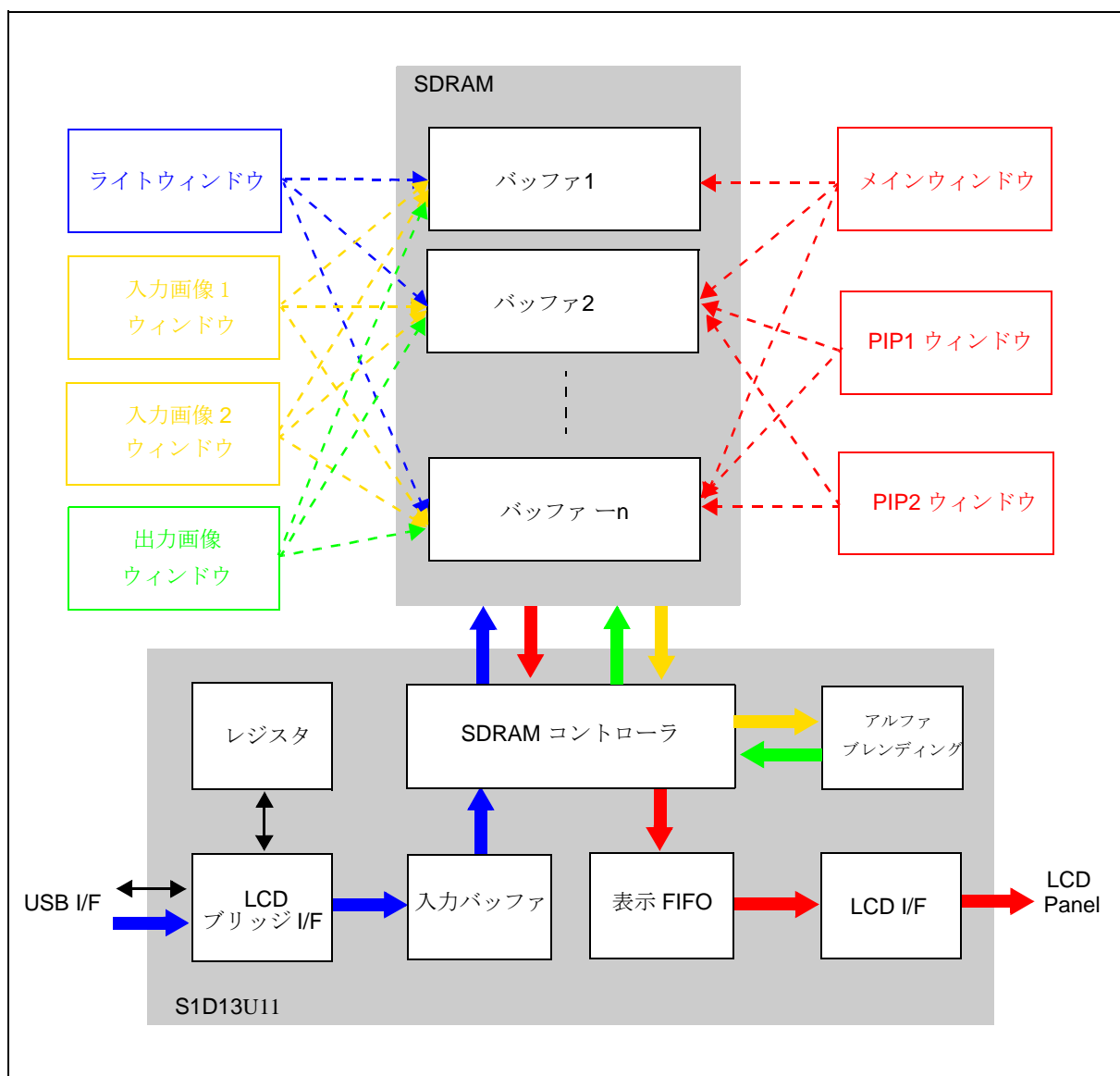


図11.1 画像データパス図

## 11.2 LCDブリッジインタフェース

LCDブリッジインタフェースは、USBインタフェース部とLCDインタフェース部を接続する部分になります。以下にLCDインタフェース部をアクセスする方法を説明します。

### 11.2.1 レジスタライト手順

1. LCDレジスタライトコマンドを発行し、レジスタアドレスとデータをライトします。

### 11.2.2 レジスタリード手順

1. LCDレジスタリードコマンドを発行し、レジスタアドレスをライトします。
2. 指定したレジスタアドレスのデータをリードします。

### 11.2.3 SDRAM（新しいウィンドウ）のライト手順

1. LCDレジスタライトコマンドにより、ライトウィンドウ（REG[5Ah]～[64h]）を設定します。
2. LCD画像データライトコマンドを発行し、画像データのライトを開始します。
3. SDRAMへウィンドウサイズに要求される画像データをライトします。
4. LCD画像データライトコマンドを発行し、画像データのライトを終了します。

### 11.2.4 SDRAM（既存ウィンドウ）のライト手順

1. LCD画像データライトコマンドを発行し、画像データのライトを開始します
2. SDRAMへウィンドウサイズに要求される画像データをライトします。
3. LCD画像データライトコマンドを発行し、画像データのライトを終了します。

### 11.2.5 SDRAMリード手順

1. LCDレジスタライトコマンドにより、SDRAMリードをイネーブルにします。（REG[E6h] bit 0 = 1）
2. LCDレジスタライトコマンドにより、連続してSDRAMのメモリアドレス（REG[E8h]～[ECh]）を設定します。
3. LCDレジスタリードコマンドにより、SDRAMダミーリードポート（REG[EEh]）からデータをリードします。（リードしたデータは使用しません）
4. 500nsウェイトを挿入する。
5. LCDレジスタリードコマンドにより、メモリデータポート（REG[66h]）を指示し、メモリデータを4回リードします。（4回の単位のみアクセス可能です）
6. 再度、3番に戻りメモリデータのリードを繰り返します。

## 11. LCDインタフェース

---

### 11.2.6 ルックアップテーブルライト手順

1. LCDレジスタライトコマンドにより、LUTアクセスモード (REG[B8h]) を設定します。ガンマ補正イネーブルビットはディセーブルのままにしておいてください。(REG[B8h] bit 0 = 0)
2. LCDレジスタライトコマンドにより、連続してLUTのテーブルインデックス (REG[BAh]) を指定します。
3. LCDレジスタライトコマンドにより、LUTのテーブルポート (REG[BCh]) へ連続してバーストデータライトします。
4. 規定のデータ数をライトして終了します。

### 11.2.7 ルックアップテーブルリード手順

1. LCDレジスタライトコマンドにより、LUTアクセスモード (REG[B8h]) を設定します。ガンマ補正イネーブルビットはディセーブルのままにしておいてください。(REG[B8h] bit 0 = 0)
2. LCDレジスタライトコマンドにより、連続してLUTのテーブルインデックス (REG[BAh]) を指定します。
3. LCDレジスタリードコマンドにより、LUTのテーブルポート (REG[BCh]) を指示します。
4. 規定のデータ数をリードして終了します。



### 11.3 ライトウィンドウ

ライトウィンドウは、LCDの入力画像データをX/Yの2つのパラメータでライトする方法です。ウィンドウのフルサイズに対して、X/Yの2つのパラメータを指定することにより、一部の矩形領域に画像データを書き込むことができます。

透過色設定をイネーブルにした場合、設定された色データはフレームバッファに書き込まれません。

#### 11.3.1 ライトバッファ設定

フレームバッファの中から、ライトバッファをレジスタ (REG[52h] bits7-4) により16個のバッファから選択します。(メモリサイズにより個数の制限があります)それぞれのバッファのメモリサイズは同等になり、レジスタ (REG[90h]) により決定します。

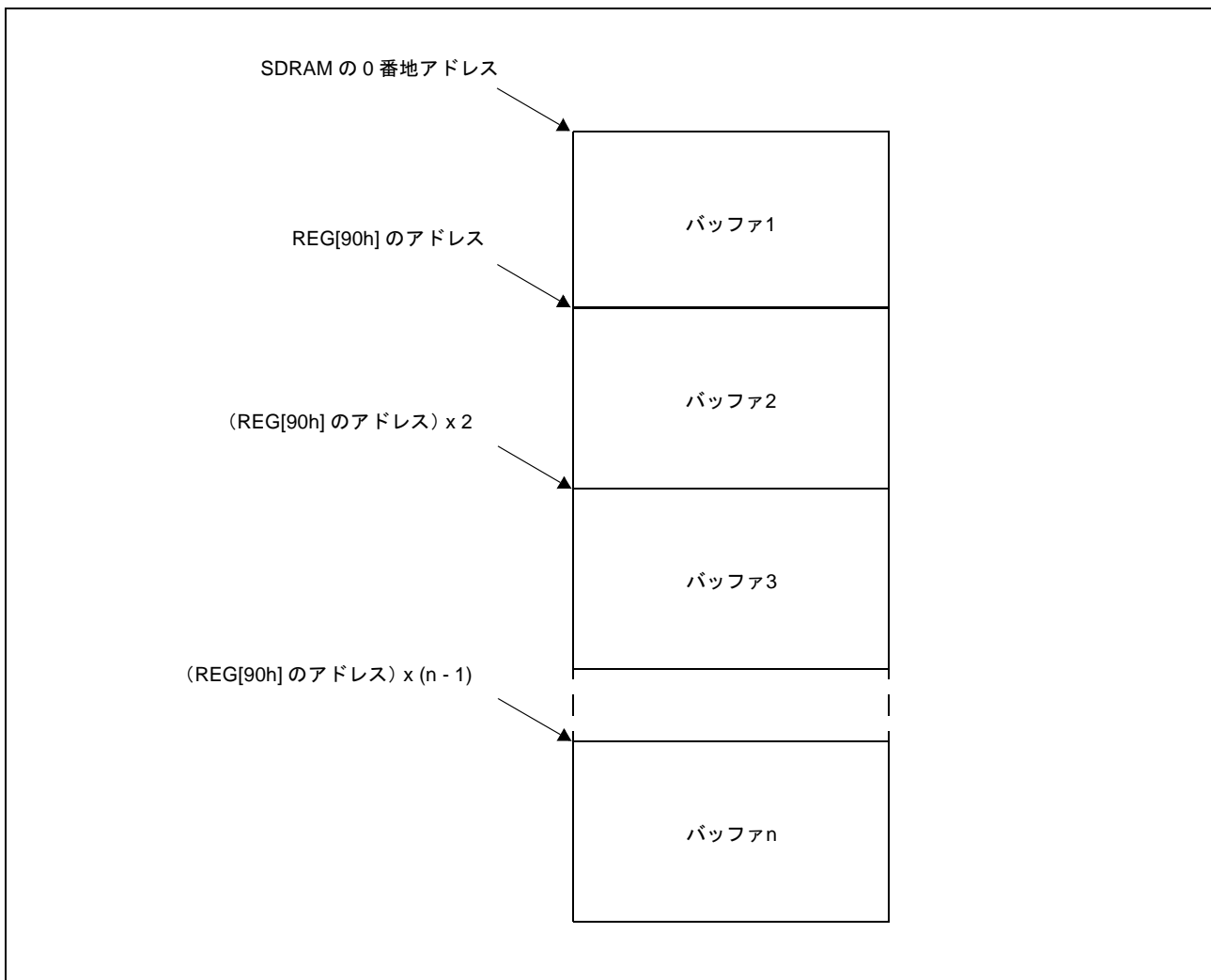


図11.2 ライトバッファ構成

## 11. LCDインタフェース

### 11.3.2 ライトウィンドウ設定

画像データをフレームバッファにライトする場合の、ライトウィンドウの設定を示します。ライトウィンドウのフルサイズはLCDパネルの表示サイズと同じになり、水平サイズはHDISP (REG[16h])、垂直サイズはVDISP (REG[1Ah], [1Ch])で決定します。矩形画面の場合は、フル画面のX/Y座標に対して、画像位置を指定してください。水平方向の画像位置は8ピクセル単位で設定する必要があります。

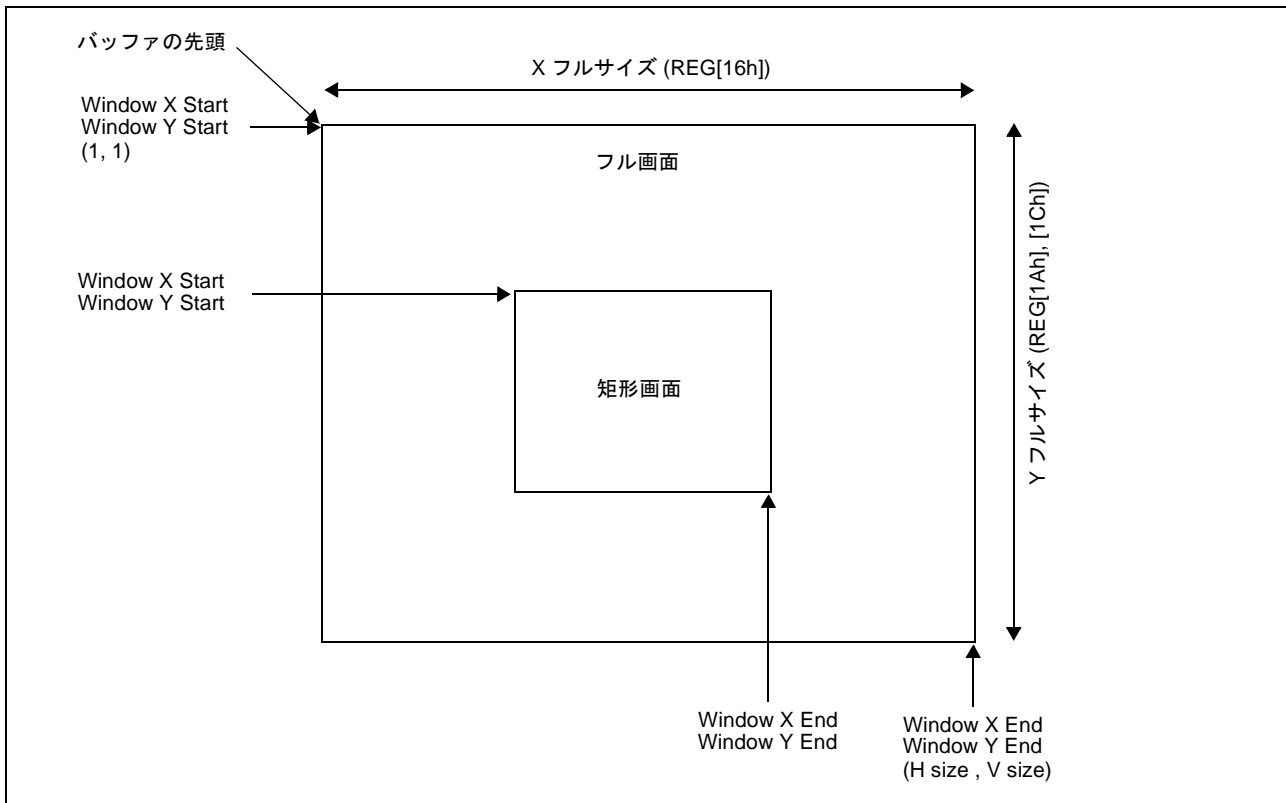


図11.3 ライトウィンドウ構成

### 11.3.3 透過色設定

透過色設定は、画像データをライトする時に使用します。透過色と一致した色は、フレームバッファへはライトされません。この機能は、回転およびミラー反転を同時に併用できません。REG[52h] ビット 3-0は、9h, AhおよびBhに設定できません。

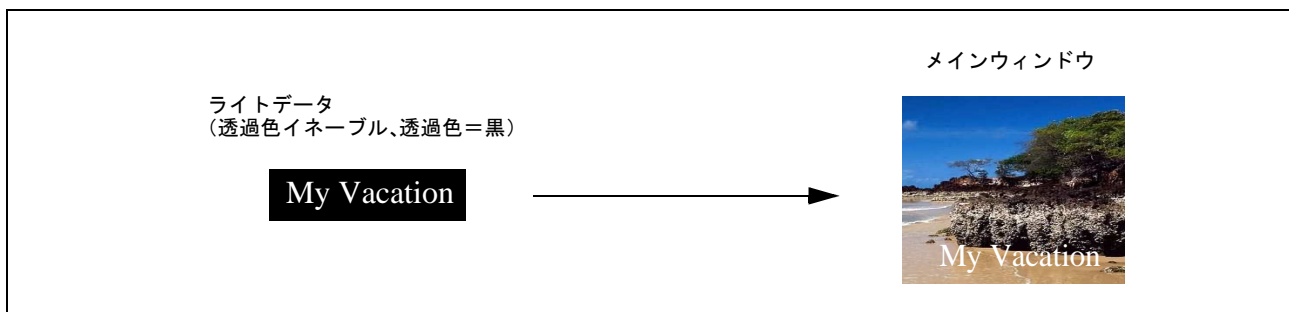


図11.4 透過色使用例

## 11.4 ディスプレイウィンドウ

ディスプレイウィンドウは、LCDの表示画像データをX/Yの2つのパラメータで指定する方法です。メインウィンドウの画面サイズはLCDパネルの表示サイズと同じになり、水平サイズはHDISP (REG[16h])、垂直サイズはVDISP (REG[1Ah], [1Ch]) で決定します。

PIPウィンドウは、フル画面に対してX/Yの2つのパラメータを指定することにより、一部の矩形領域に画像データを表示することができます。

### 11.4.1 メインウィンドウ設定

フレームバッファの中から、メインウィンドウのディスプレイバッファをレジスタ (REG[2Ah] bits 7-4) により16個のバッファから選択します。(メモリサイズにより個数の制限があります) それぞれのバッファのメモリサイズは同等になり、レジスタ (REG[90h]) により決定します。

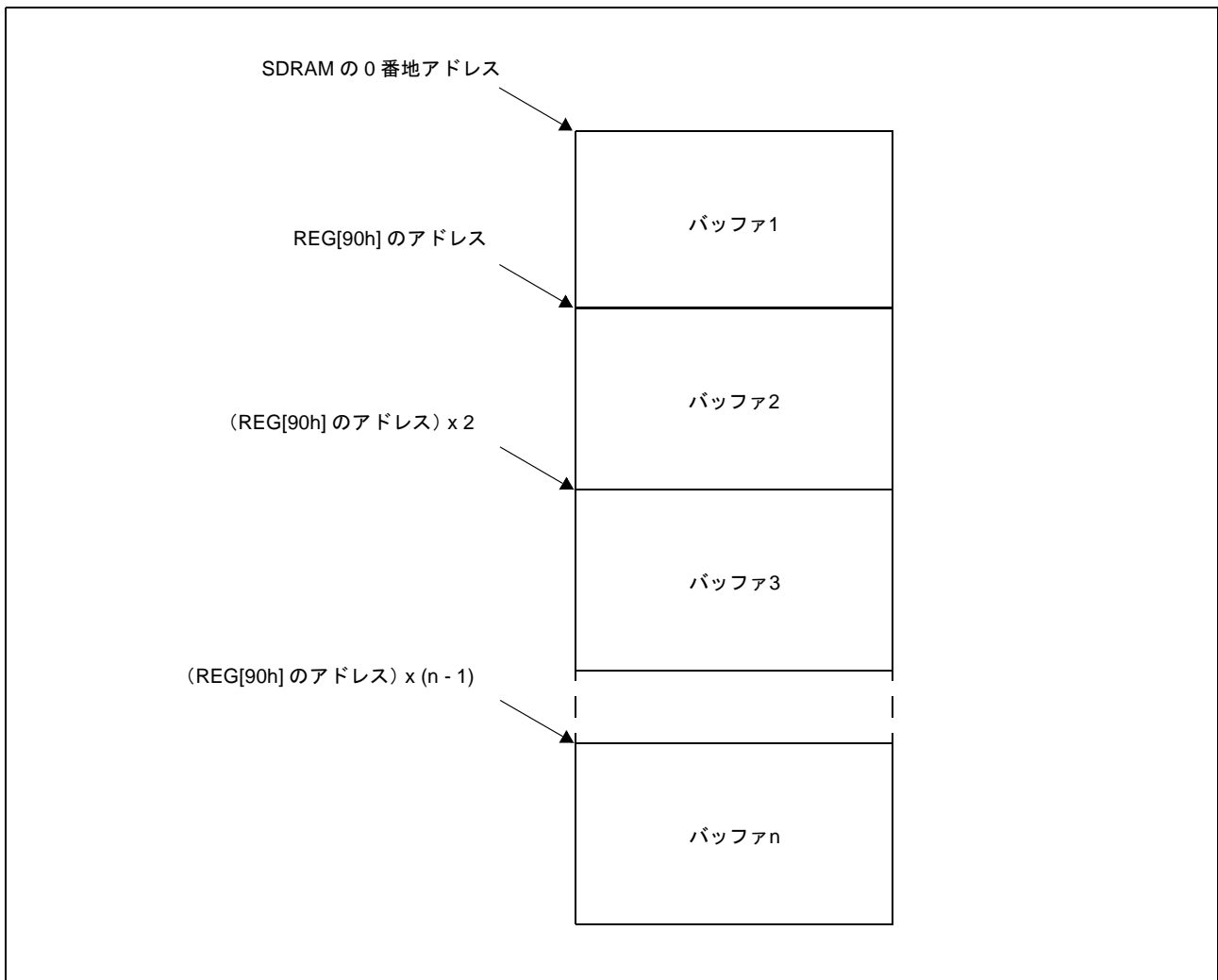


図11.5 ディスプレイバッファ構成

## 11. LCDインタフェース

### 11.4.2 Picture-in-Picture表示

Picture-in-Picture表示は、メインウィンドウに対して2つのPIPウィンドウを選択させて表示する機能です。それぞれの表示位置でメインウィンドウ、PIP1ウィンドウ、PIP2ウィンドウの3つから表示画像を選択します。PIP1ウィンドウとPIP2ウィンドウが重なった部分は、PIP1ウィンドウが優先表示されます。

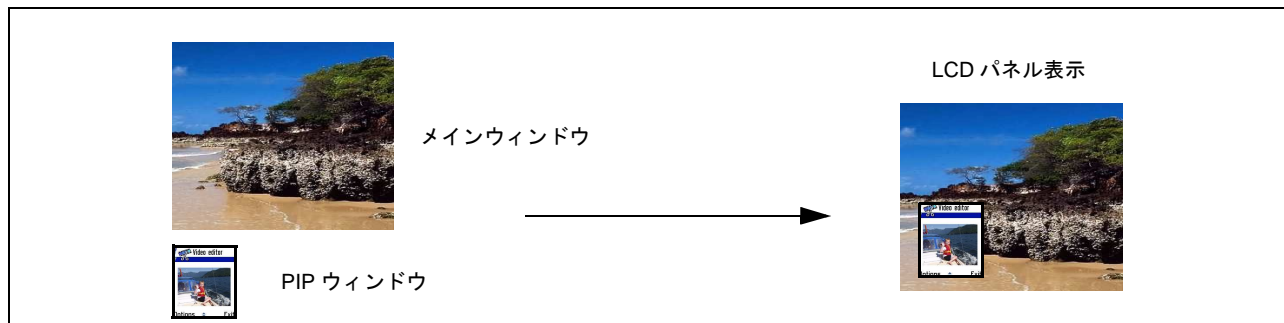


図11.6 Picture-in-Picture表示例

### 11.4.3 PIPウィンドウ設定

PIPウィンドウサイズおよび表示位置は、X/Yの座標で設定します。水平方向のPIPウィンドウサイズおよび表示位置は、8ピクセル単位で設定する必要があります。

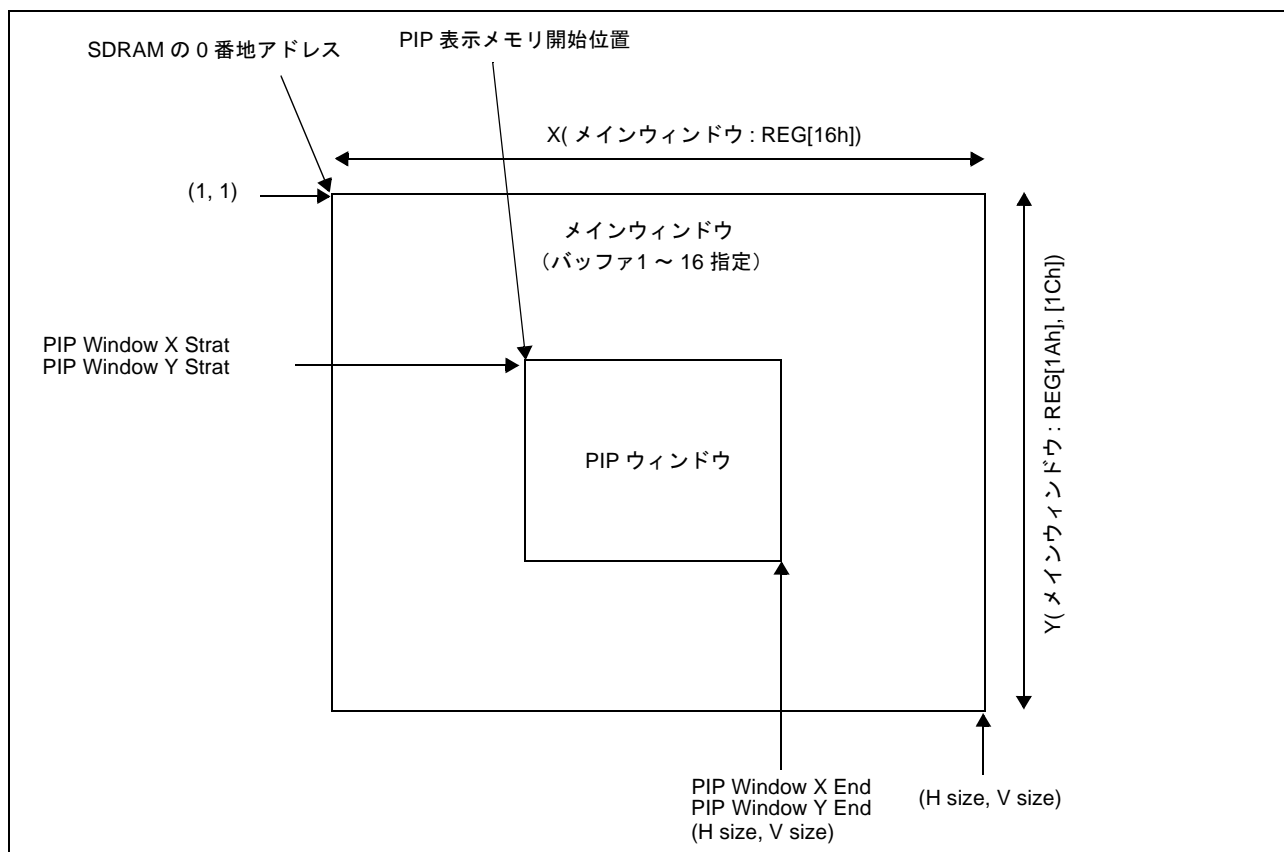


図11.7 PIPウィンドウ構成

#### 11.4.4 PIPウィンドウ表示メモリ開始位置設定

Picture-in-Picture表示の表示メモリ開始位置（SDRAMアドレス）を、8ピクセル/1ライン単位で設定できます。表示メモリ開始位置を変更することで、画面のスクロールができます。またあらかじめ複数の画像をフレームバッファに保存しておき、その表示メモリ開始位置を変更することでアニメーション表示をすることができます。

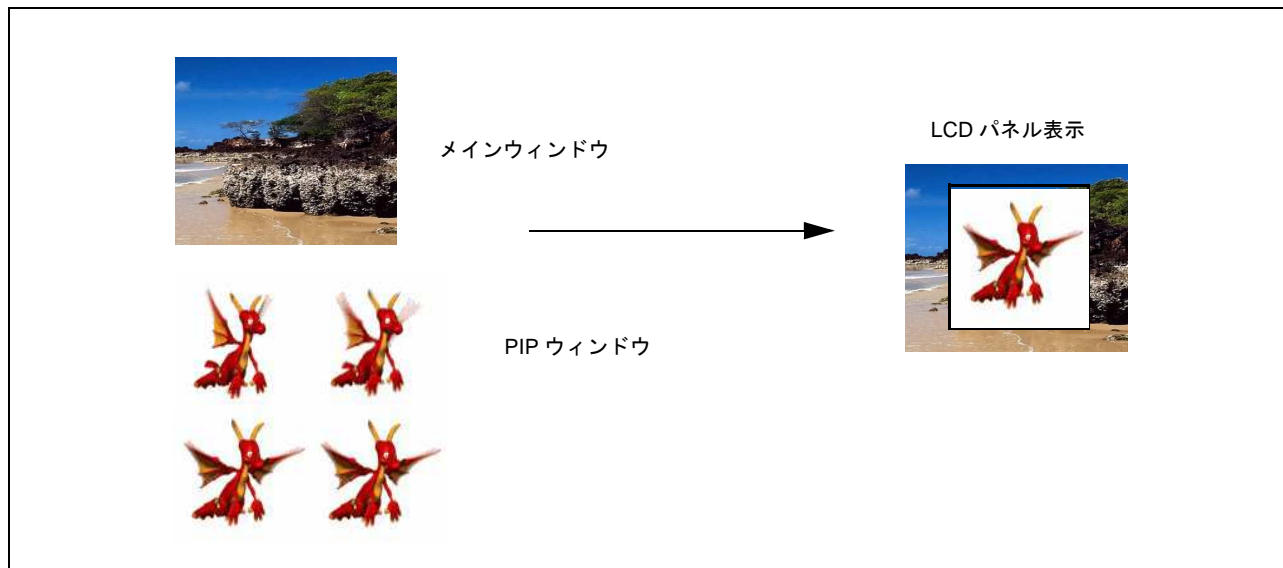


図11.8 アニメーション表示例

#### 11.4.5 オーバレイ表示

メインウィンドウに対してPIPウィンドウをオーバーレイ表示させることができます。PIPウィンドウの画像データと透過色が一致したピクセルは、メインウィンドウの画像が表示されません。

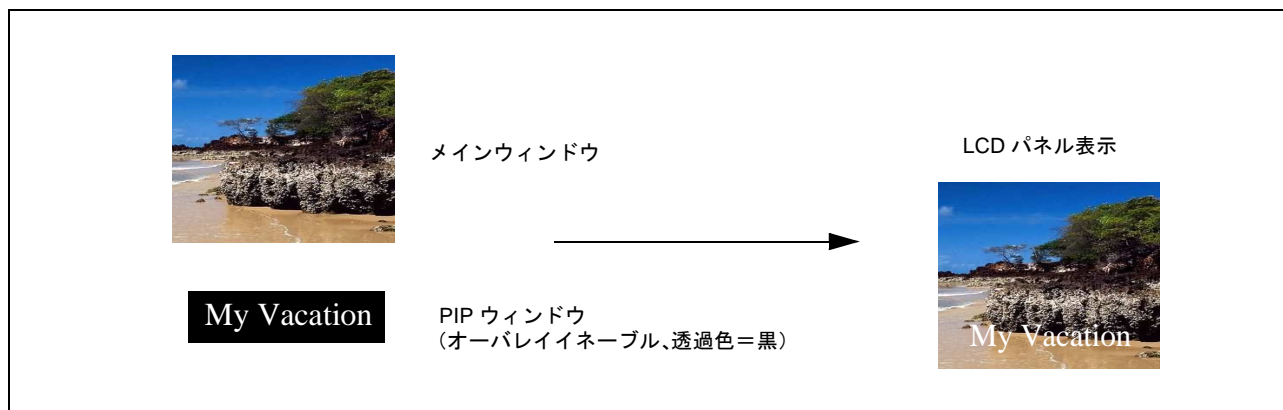


図11.9 オーバレイ表示例

重要：オーバーレイ表示は、色解像度（16bpp/24bpp）、SDCLK : LCDCLKのクロック周波数比により使用できない領域があります。

## 11. LCDインターフェース

### 11.5 バーチャル表示

バーチャル表示は、LCDパネルより大きな画像をフレームバッファに保存して、PIPウィンドウの表示メモリ開始位置を変更することで、上下左右の画面スクロールができます。バーチャル表示画像をフレームバッファにライトする場合は、ライトウィンドウのレジスタ設定 (REG[52h] bit 2=1) をしてからライトしてください。指定したライトバッファの先頭アドレスから連続して画像がフレームバッファへライトされます。

バーチャル表示画像をPIPウィンドウに表示する場合は、レジスタ (REG[E2h], [E4h]) に表示画像の水平サイズを設定してください。水平サイズの最大設定値は8192ピクセルになります。

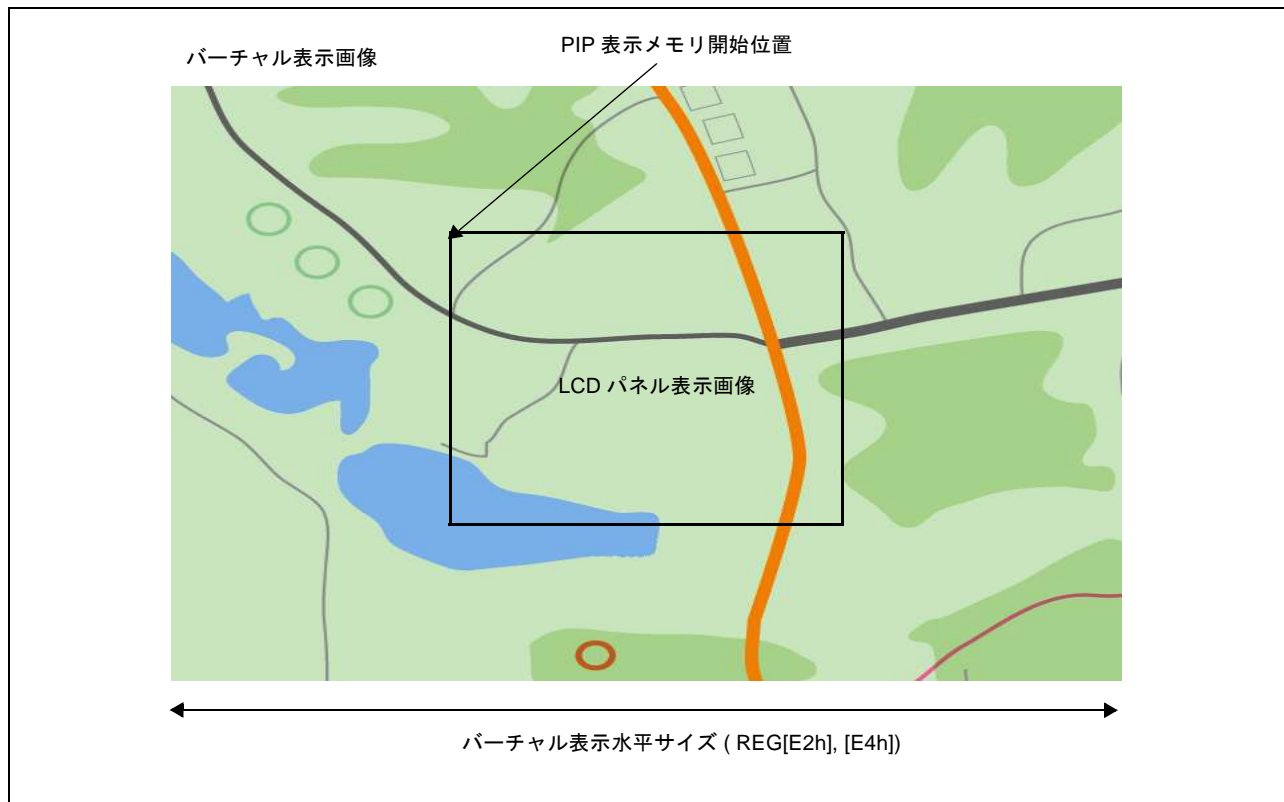


図11.10 バーチャル表示例

## 11.6 回転・反転表示

回転表示は、LCDの入力画像データを反時計回りに180°回転してフレームバッファへライトします。回転はハードウェア内で行われ、フレームバッファの書き込みを意識する必要はありません。回転をハードウェアで処理することによって、表示画像のソフトウェア回転よりも優れた性能を提供します。

反転表示は、LCDの入力画像データを左右反転してフレームバッファへライトします。180°回転と反転を組み合わせる使用することができます。

### 11.6.1 180°回転

以下の図は、どのように800 x 480のランドスケープ画像が認識され、どのようにその画像が表示されるのかを示しています。アプリケーション画像は、次のようにA-B-C-Dの方向でライトされます。フレームバッファには、次のようにD-C-B-Aの方向で保存されます。表示には、同様にD-C-B-Aの方向でリフレッシュされます。

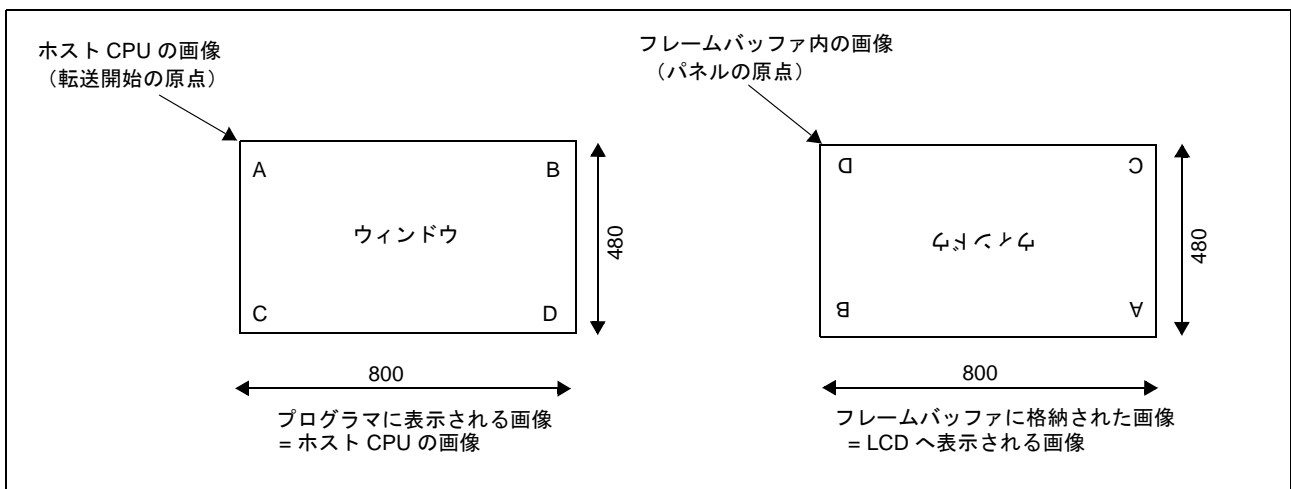


図11.11 180° 回転表示画像

## 11. LCDインターフェース

### 11.6.2 左右反転

以下の図は、どのように800 x 480のランドスケープ画像が認識され、どのようにその画像が表示されるのかを示しています。アプリケーション画像は、次のようにA-B-C-Dの方向でライトされます。フレームバッファには、次のようにB-A-D-Cの方向で保存されます。表示には、同様にB-A-D-Cの方向でリフレッシュされます。

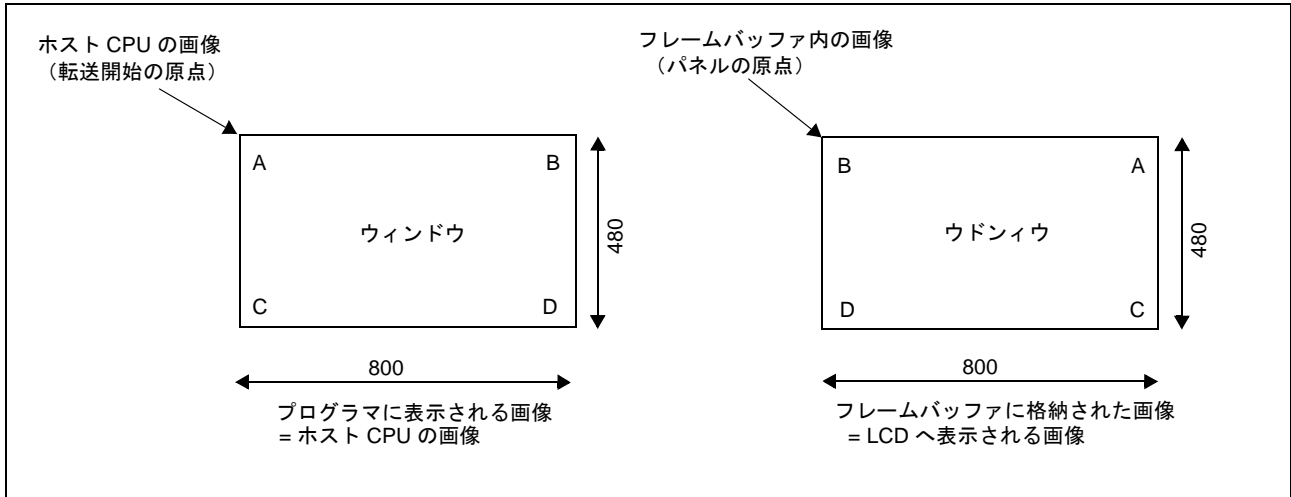


図11.12 左右反転表示画像

### 11.6.3 180°回転+左右反転

以下の図は、どのように800 x 480のランドスケープ画像が認識され、どのようにその画像が表示されるのかを示しています。アプリケーション画像は、次のようにA-B-C-Dの方向でライトされます。フレームバッファには、次のようにC-D-A-Bの方向で保存されます。表示には、同様にC-D-A-Bの方向でリフレッシュされます。

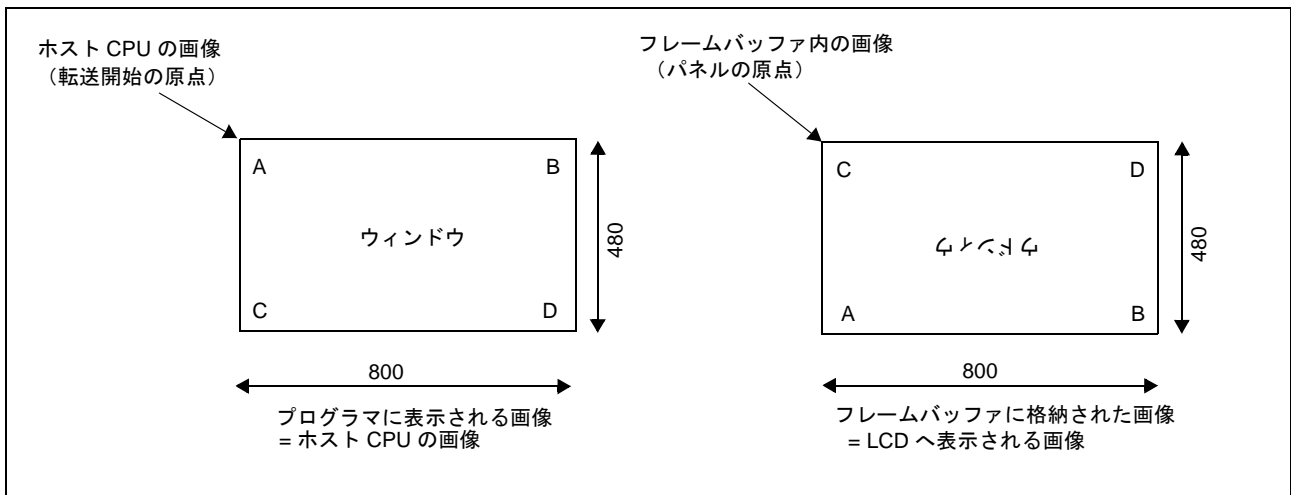


図11.13 180° 回転+左右反転表示画像



### 11.7 ダブルバッファ表示

ダブルバッファ表示は、動画データのティアリングノイズを防止するために用意されています。シングルバッファの画像データは、常に指定されたフレームバッファのエリアにライトします。ダブルバッファの場合、1番目のフレームはバッファ 1 にライトします。2番目のフレームはバッファ 2 にライトします。

フレームバッファのリード/ライトポインタの切り替えは、垂直非表示期間の先頭でフレーム当たり1回だけ行うことができます。ポインタは、動画フレームの更新が最後の出力フレーム期間内に完了し、かつ新たな動画フレームが現時点でライトしていない場合にのみ切り替わります。このため、動画データフレームのライトが終了するたびに、次の垂直非表示期間まで待ってから次のフレームをライトする必要があります。これは、垂直表示期間ステータス (REG[6Ah]ビット7) をポーリングすることで実行できます。あるいは、最大入力動画フレームレートがLCDフレームレートの半分であること、および1フレームを入力バースト長がLCDの1フレーム期間よりも短いことを保証できれば、垂直非表示期間を確認する必要はありません。ポインタの切り替わりに注意を払わない場合は、フレーム落ちが発生する場合があります。

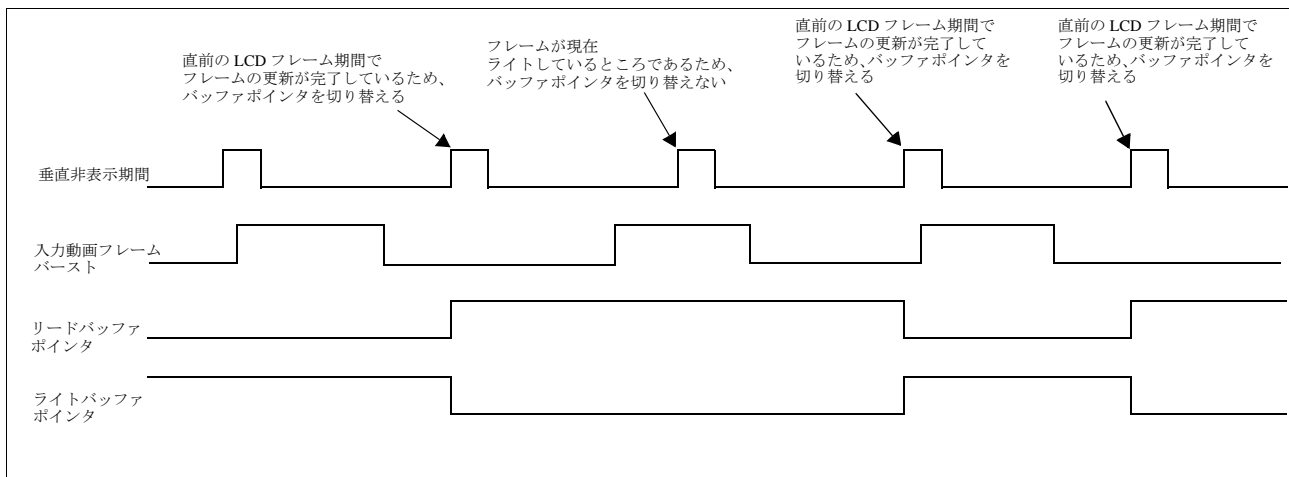


図11.14 バッファポインタ切り替え

## 11. LCDインターフェース

---

### 11.8 ダブリング表示

ダブリング表示は、フレームバッファに保存されている画像データを水平方向2倍、垂直方向2倍にしてLCDパネルへ出力します。

ダブリング表示はメインウィンドウ表示のみ使用できます。PIPウィンドウとの組み合わせ表示に使用することはできません。

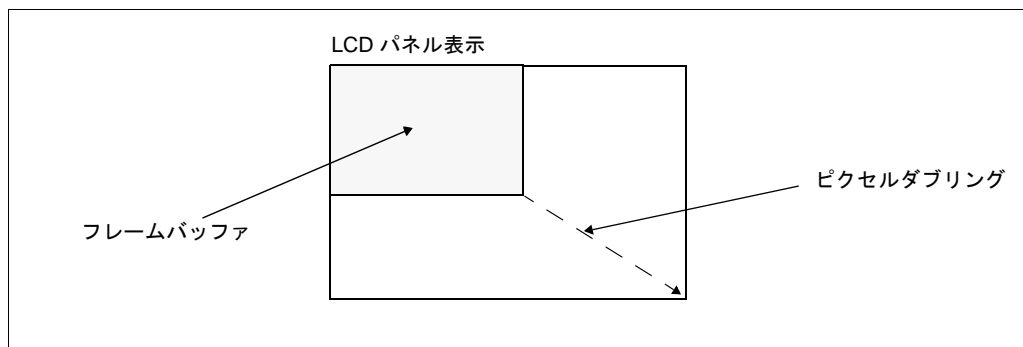


図11.15 ダブリング表示

## 11.9 アルファブレンディング

アルファブレンディングは、フレームバッファ内の2つの画像をアルファ値により合成して、再度フレームバッファへライトします。表示サイクルの合間（SDRAMメモリの空いている帯域）を使ってフレームバッファへアクセスするため、合成画像が出来上がるまでには時間を要します。そのため割り込み信号を使って、アルファブレンディングの終了をホストCPUへ知らせることができます。

### 11.9.1 アルファブレンディング（ノーマルモード）

アルファブレンディングは、入力画像1と入力画像2から出力画像を作ります。出力画像を入力画像1または入力画像2のエリアへ設定することで上書きもできます。3つの画像の大きさはすべて同じにする必要があります。

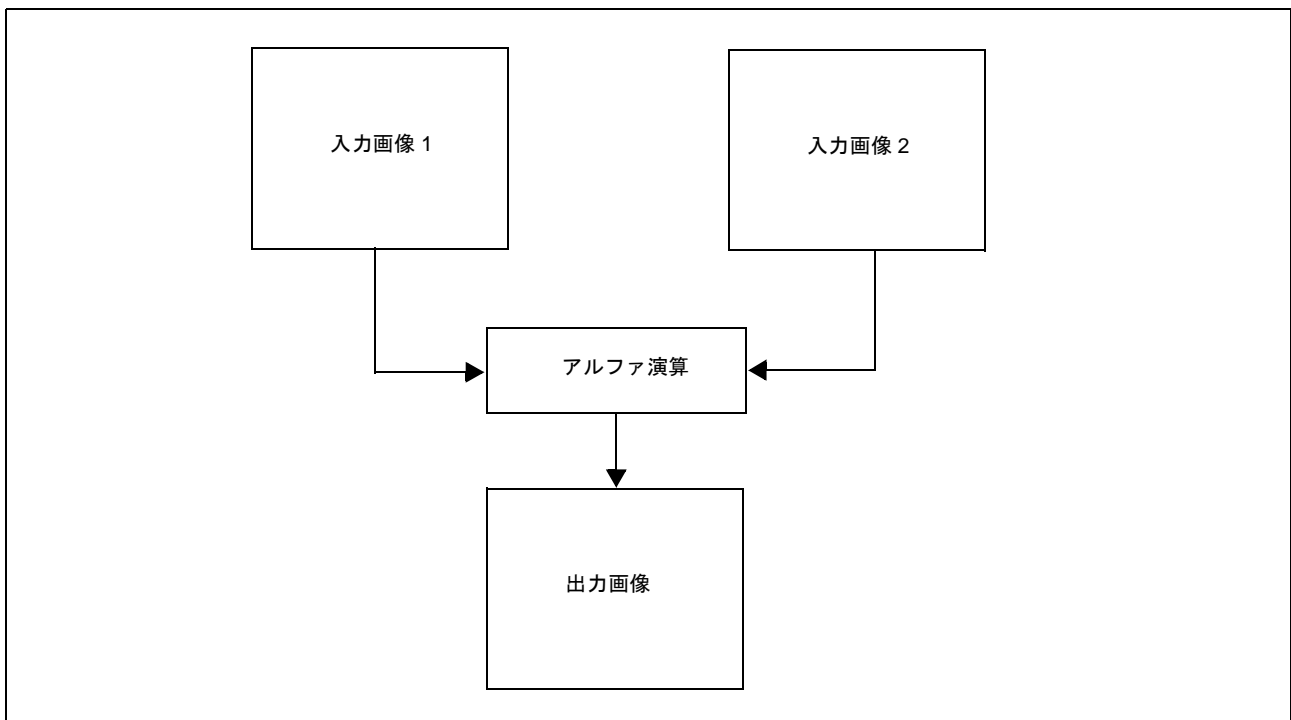


図11.16 アルファブレンディング構成（ノーマルモード）



図11.17 アルファブレンディング表示例

## 11. LCDインターフェース

### 11.9.2 アルファブレンディング（コピーモード）

アルファブレンディングは、入力画像1から出力画像を作ることができます。入力画像1をそのままコピーして出力画像にすることもできます。2つの画像の大きさは同じにする必要があります。

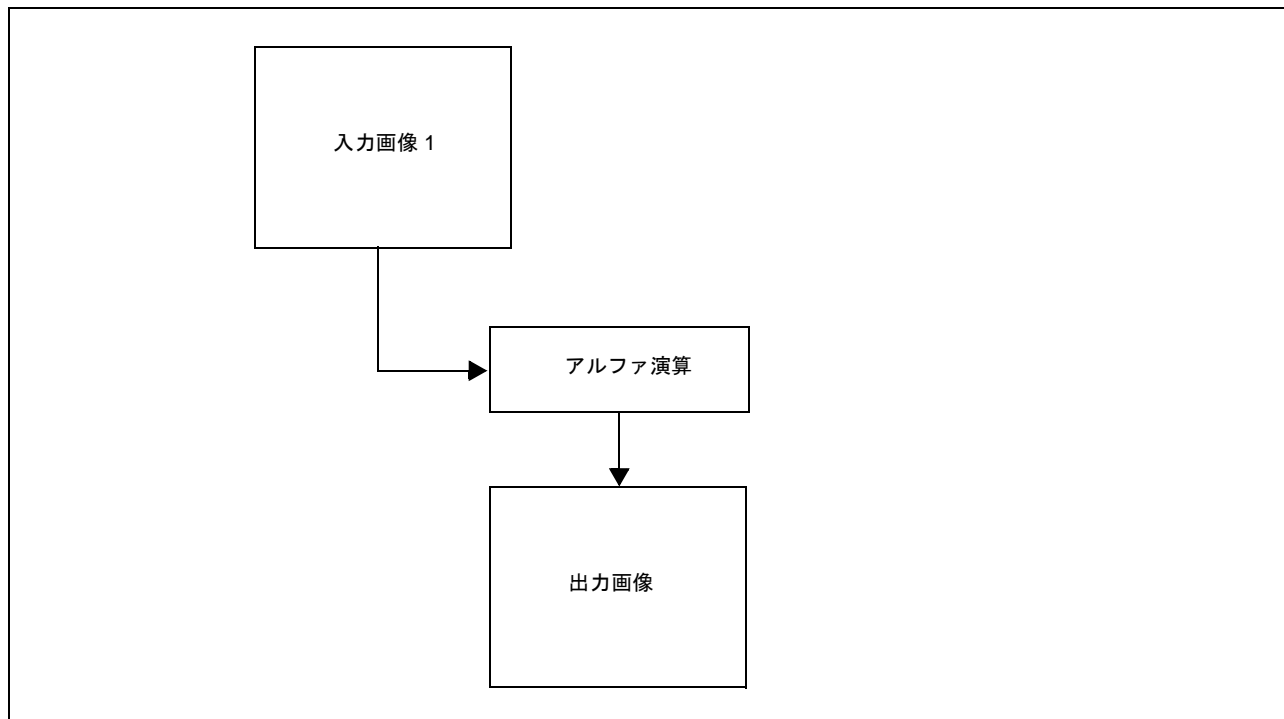


図11.18 アルファブレンディング構成（コピーモード）

### 11.9.3 アルファブレンディング（フィルモード）

アルファブレンディングは、レジスタ設定値（単色）から出力画像を作ることができます。赤データ（REG[54h]）、緑データ（REG[56h]）、青データ（REG[58h]）のレジスタ設定値で、フレームバッファの表示領域を1色で塗りつぶすことができます。

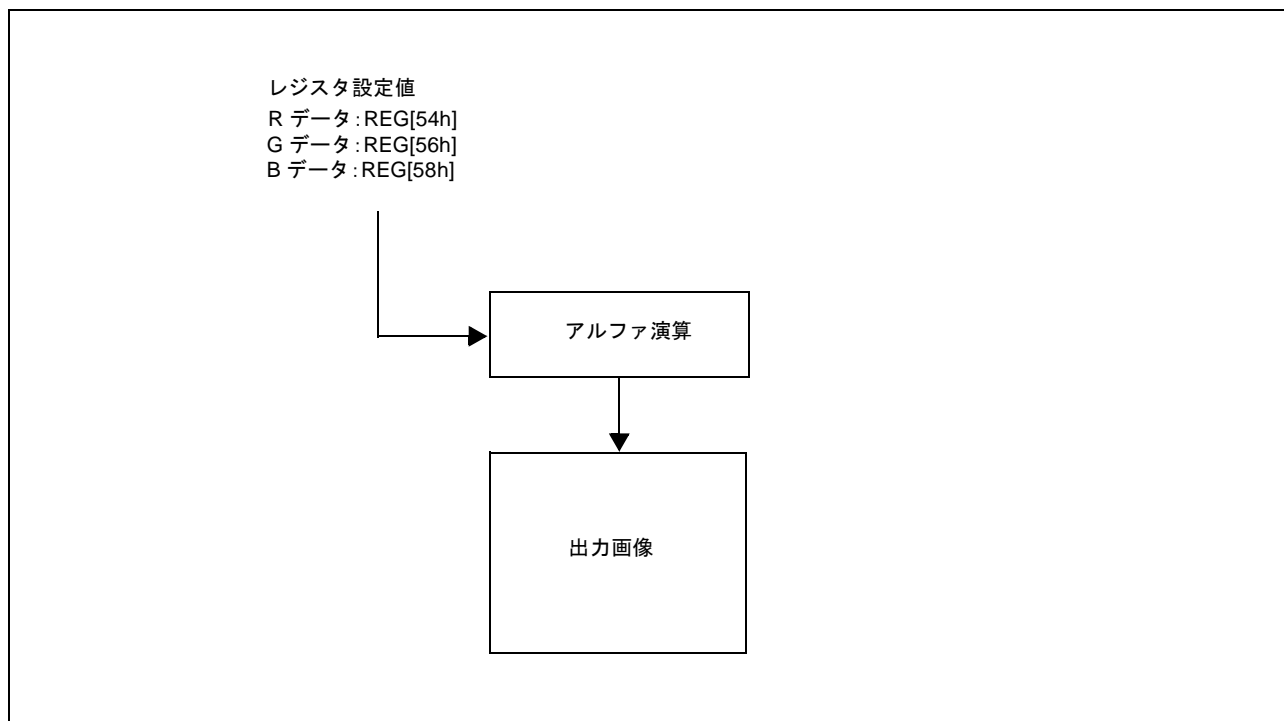


図11.19 アルファブレンディング構成（フィルモード）

## 11. LCDインターフェース

### 11.9.4 アルファブレンディングウィンドウ設定

アルファブレンディングのウィンドウサイズは、X/Yの座標で設定できます。水平方向の画像サイズは8の倍数で設定する必要があります。また入力画像および出力画像のメモリ開始位置は、8ピクセル/1ライン単位でSDRAMのアドレスにより設定できます。

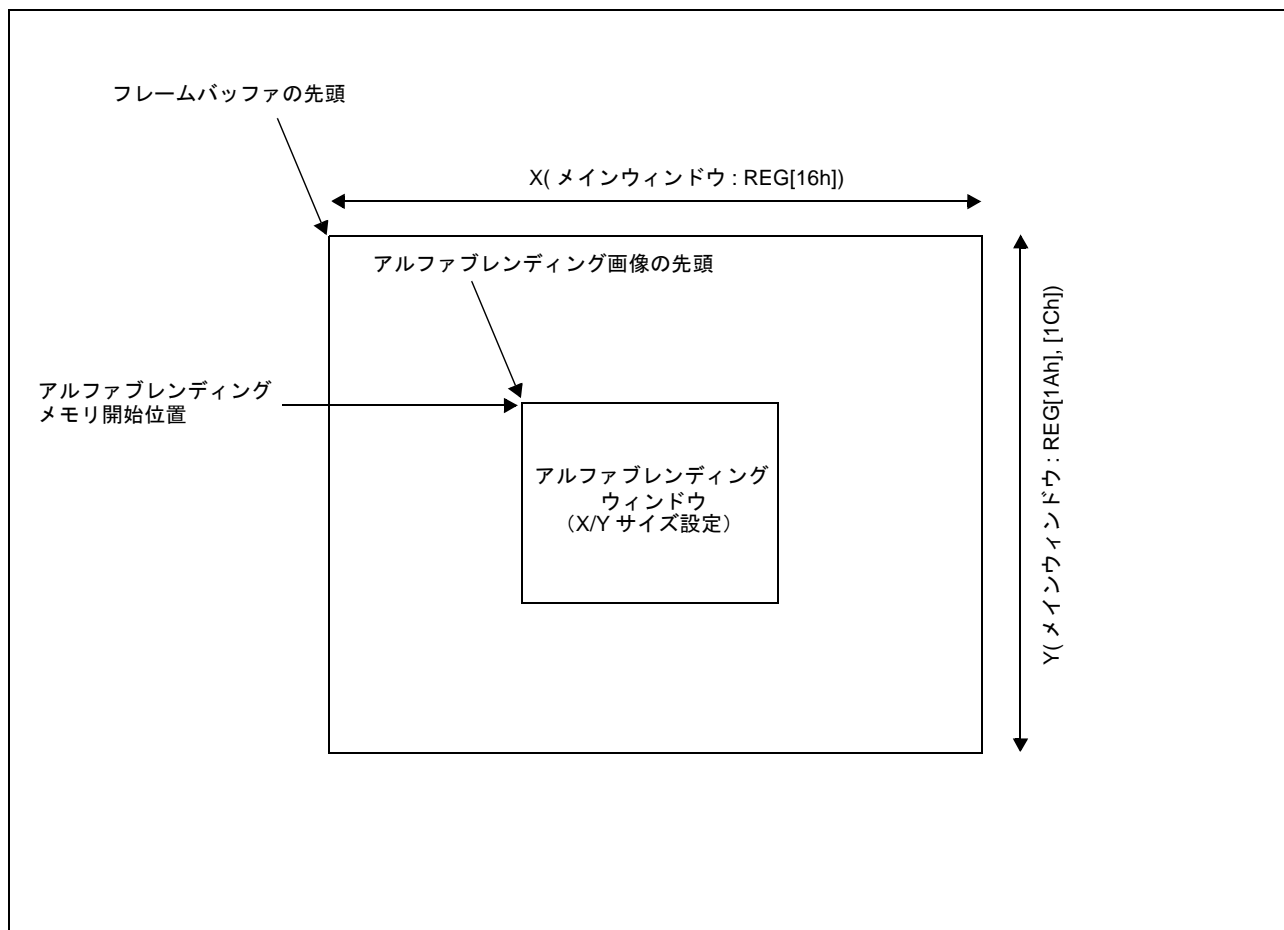


図11.20 アルファブレンディングウィンドウ構成

### 11.9.5 アルファブレンディングスタート設定

アルファブレンディングの動作開始には、マニュアルモードとオートモードがあります。マニュアルモードの場合は、ソフトウェアにて1回毎の動作開始とアルファ値を設定します。オートモードの場合は、1回目のアルファブレンディング処理が終了すると、自動的にアルファ値をインクリメント（またはデクリメント）して次の垂直非表示期間に同期して2回目の動作を開始します。アルファ値が1（または0）になるまで動作を繰り返します。

オートモードによるPIPウィンドウ表示は、垂直非表示期間内にアルファブレンディングが終了できる画像サイズには使えますが、画像サイズが大きい場合は画像の表示書き換えが見えてしまいます。

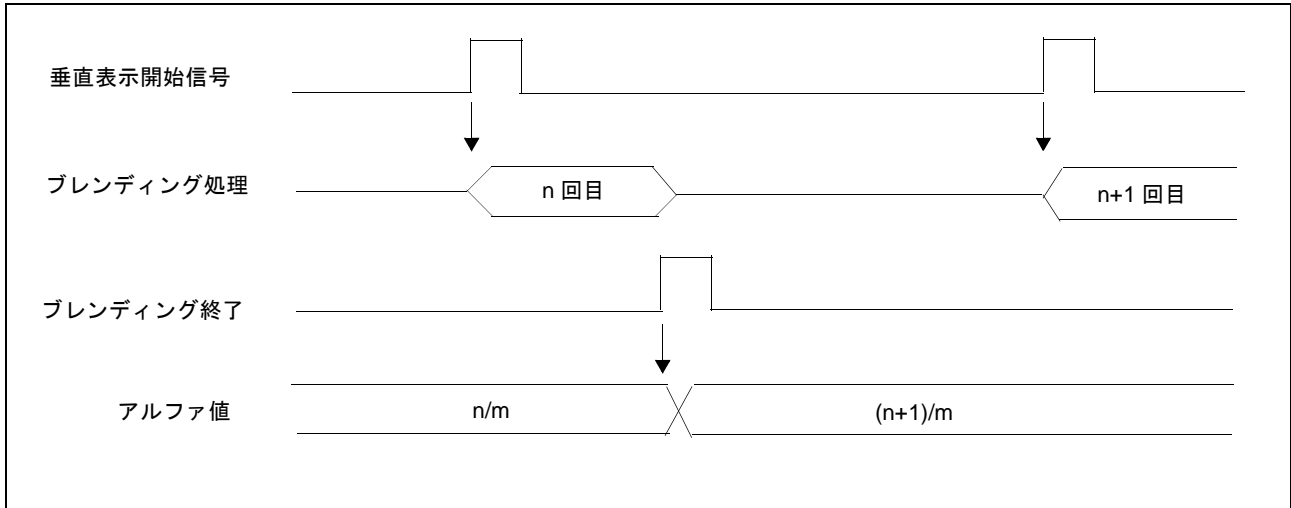


図11.21 アルファブレンディング（オートモード）

### 11.9.6 アルファブレンディング処理時間

アルファブレンディングは、SDRAMメモリの空いている帯域を使って動作します。そのため、SDCLK周波数およびアルファブレンディング画像サイズにより処理時間が変わります。実際のシステムで実測検証してください。

# 11. LCDインターフェース

## 11.10 ガンマ補正ルックアップテーブル

表示FIFOからの表示データにガンマ補正をかけてLCDパネルへ出力することができます。ガンマ補正イネーブル中は、ルックアップテーブルの変更はできません。

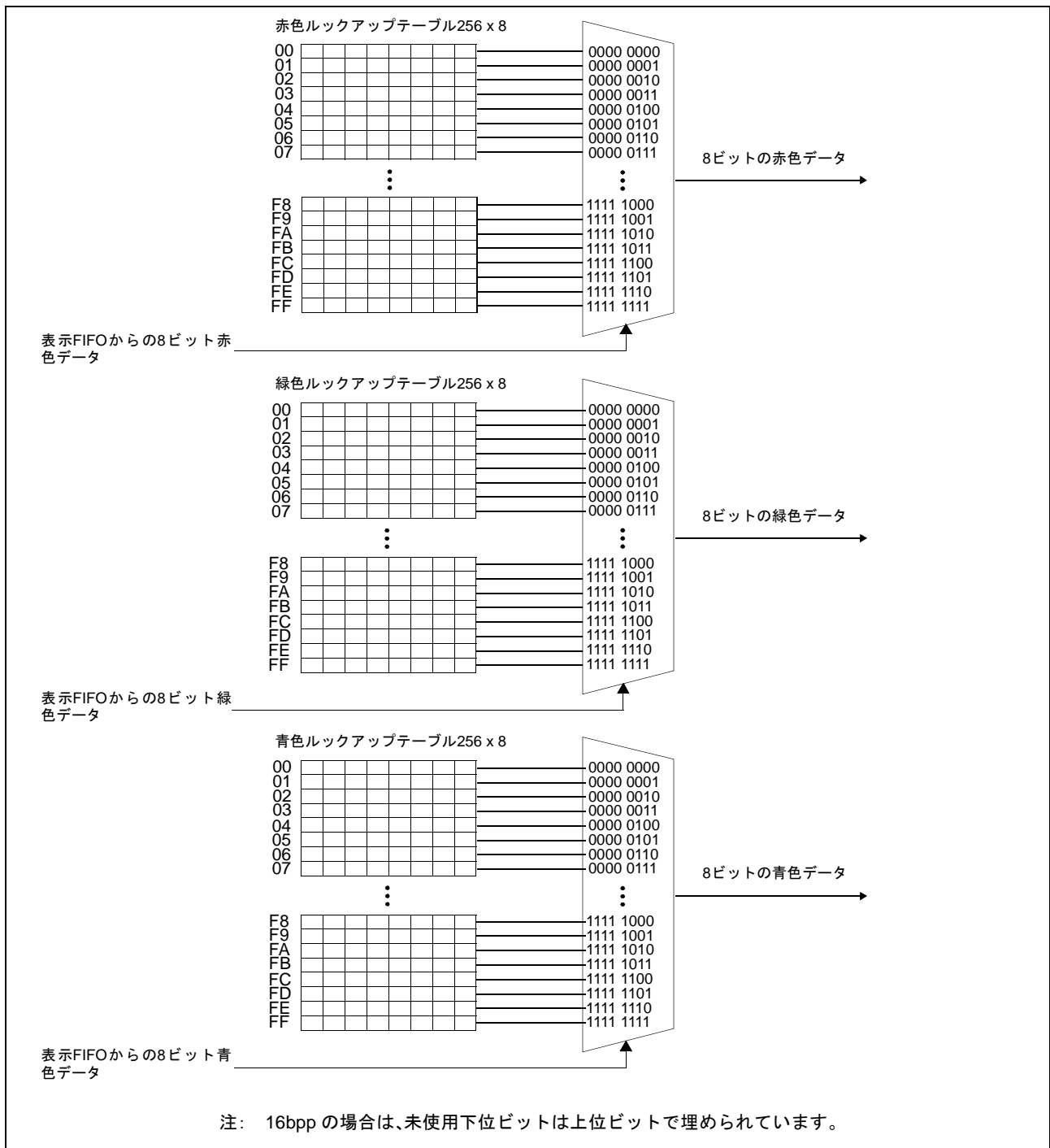


図11.22 ガンマ補正



### 11.11 ブライトネス補正

表示FIFOからの表示データにブライトネス補正をかけてLCDパネルへ出力することができます。表示中に設定変更した場合、次の垂直表示期間に同期して有効になります。

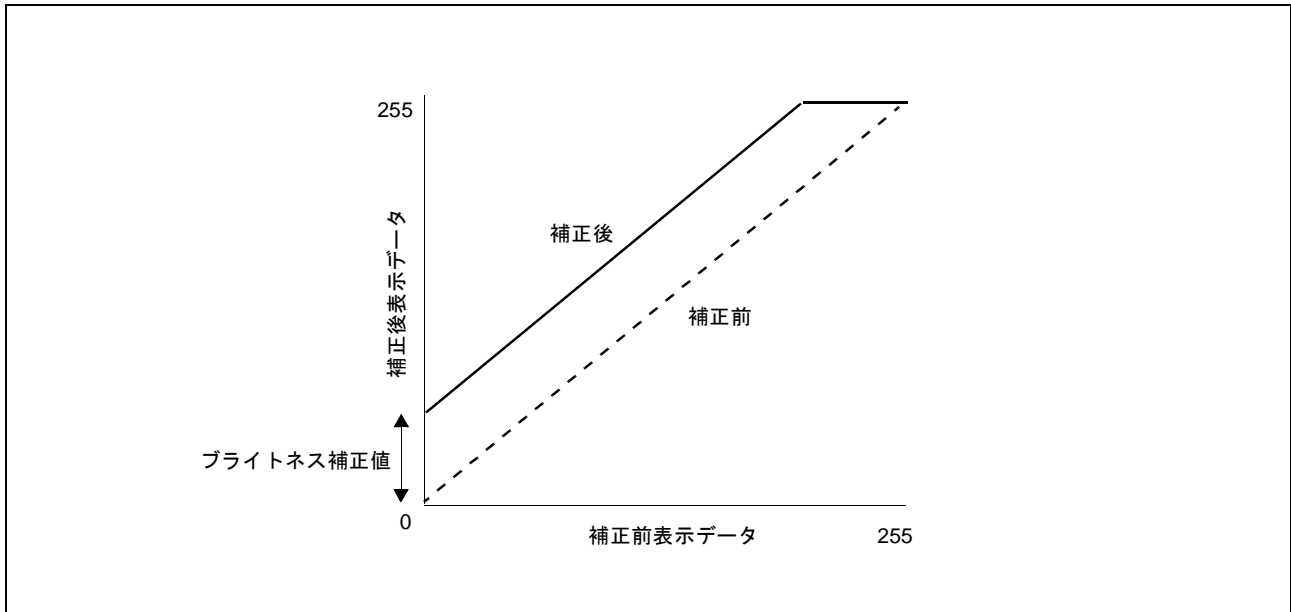


図11.23 ブライトネス補正

### 11.12 コントラスト補正

表示FIFOからの表示データにコントラスト補正をかけてLCDパネルへ出力することができます。表示中に設定変更した場合、次の垂直表示期間に同期して有効になります。

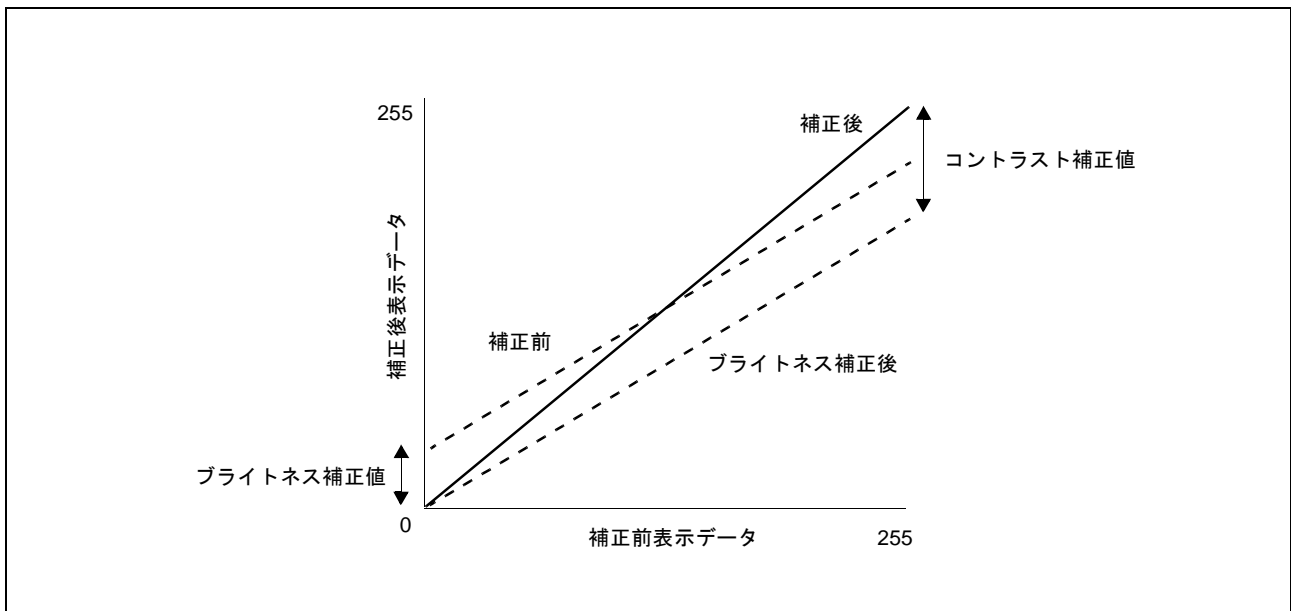


図11.24 コントラスト補正

## 11. LCDインタフェース

### 11.13 SDRAMインタフェース

SDRAMインタフェースは、外付けの16/64/128MビットシングルデータレートSDRAMをバンクインターリーブを使って高効率にアクセスします。初期化シーケンス、オートリフレッシュサイクルは、ハードウェアにより実行されます。

#### 11.13.1 SDRAMの初期化

ハードウェアリセット後、必ずSDRAMを初期化してください。ハードウェアリセット後に、1回のみイニシャルコマンドを実行できます。2回目以降はコマンドが無視されます。

初期化シーケンスは、以下の通り実行してください。

1. 使用するSDRAMのメモリサイズに合わせて、サイズ設定レジスタ (REG[82h] bits 1-0) を設定します。
2. オートリフレッシュオン (REG[84h] bit 7) とイニシャライズセット (REG[84h] bit 1) のビットを"1"にセットすることにより、SDRAMの初期化を開始します。3~6は、ハードウェアにより自動的に実行されます。
3. SDRAMのイニシャライズが開始されます。
4. プリチャージオールコマンドが発行されます。
5. オートリフレッシュコマンドが10回発行されます。
6. MRSコマンドが発行されます。(MRSレジスタの設定は不要です)
7. イニシャライズステータスビット (REG[86h] bit 1) が"1" (イニシャライズ終了) になるまでソフトウェアで待つか、または3~6の処理時間 (SDCLKで30000クロック間) 待つてください。
8. SDRAMを使用することができます。

#### 11.13.2 SDRAM接続

16MビットのSDRAMを使用する場合は、以下のような接続になります。バンク切り替え信号は、MBA0端子へ接続してください。

表11.3 SDRAM接続

| 端子名  | 16Mビット         | 64/128Mビット |
|------|----------------|------------|
| MBA1 | 未使用            | MBA1       |
| MBA0 | MA11 (バンク切り替え) | MBA0       |
| MA11 | 未使用            | MA11       |

### 11.13.3 MRSコマンド

SDRAMのモードレジスタ設定コマンド (MRS) は、イニシャルシーケンスの中でハードウェアにより自動的に実行されます。S1D13U11は以下の設定になっています。

表11.4 MRS設定

| MRS      | 設定値     |
|----------|---------|
| バースト長    | 4       |
| ラップ・タイプ  | シーケンシャル |
| CASレイテンシ | 2       |
| オプション    | すべて"0"  |

### 11.13.4 リード/ライトコマンド

SDRAMのリード/ライトは、それぞれ4バースト単位でバンクインターリーブでアクセスされます。オートプリチャージは常にイネーブル (MA10 = Low) で、CASレイテンシは2固定です。

### 11.13.5 オートリフレッシュコマンド

SDRAMのオートリフレッシュは、内部のリフレッシュカウンタによりハードウェアにより自動的に実行されます。使用するSDRAMのタイプに応じて、リフレッシュサイクルカウンタの値を変更してください。(通常のSDRAMの場合は、初期値から変更不要です)

### 11.13.6 セルフリフレッシュコマンド

SDRAMのセルフリフレッシュは、ソフトウェアによるコマンド (REG[84h] bit 3) により開始/終了することができます。セルフリフレッシュコマンドの発行は、必ずSDRAMコントローラがアイドル状態 (REG[86h] bit 6 = 1) の場合に設定してください。

### 11.13.7 パワーダウンコマンド

SDRAMのパワーダウンは、ソフトウェアによるコマンド (REG[84h] bit 2) により開始/終了することができます。パワーダウンコマンドの発行は、必ずSDRAMコントローラがアイドル状態 (REG[86h] bit 6 = 1) の場合に設定してください。

### 11.13.8 コントローラステータス

SDRAMコントローラのステータスはレジスタ (REG[86h] bit 6) でリードすることができます。SDRAMコントローラをアイドル状態 (REG[86h] bit 6 = 1) にするには、LCD表示オフ (REG[2Ah] bit 0 = 0) およびアルファブレンディングディセーブル (REG[9Eh] bit 7 = 0) にして、SDRAMへのアクセスを停止させる必要があります。パワーセーブモード (REG[68h] bit 0 = 0) に移行する場合は、必ずSDRAMコントローラをアイドル状態にしてください。

## 11. LCDインタフェース

### 11.13.9 画像メモリデータ

入力画像はレジスタ（REG[14h] bit 5）の設定により、24bppまたは16bppへ変換されてメモリに保存されます。SDRAM内のデータフォーマットは以下の通りです。

表11-5 24bpp表示（RGB 8:8:8入力画像データ）

| アドレス  | ビット<br>15                   | ビット<br>14                   | ビット<br>13                   | ビット<br>12                   | ビット<br>11                   | ビット<br>10                   | ビット<br>9                    | ビット<br>8                    | ビット<br>7                    | ビット<br>6                    | ビット<br>5                    | ビット<br>4                    | ビット<br>3                    | ビット<br>2                    | ビット<br>1                    | ビット<br>0                    |
|-------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 0000h | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | G <sub>0</sub> <sup>5</sup> | G <sub>0</sub> <sup>4</sup> | G <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>2</sup> | G <sub>0</sub> <sup>1</sup> | G <sub>0</sub> <sup>0</sup> | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> | B <sub>0</sub> <sup>4</sup> | B <sub>0</sub> <sup>3</sup> | B <sub>0</sub> <sup>2</sup> | B <sub>0</sub> <sup>1</sup> | B <sub>0</sub> <sup>0</sup> |
| 0002h | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | B <sub>1</sub> <sup>4</sup> | B <sub>1</sub> <sup>3</sup> | B <sub>1</sub> <sup>2</sup> | B <sub>1</sub> <sup>1</sup> | B <sub>1</sub> <sup>0</sup> | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> | R <sub>0</sub> <sup>4</sup> | R <sub>0</sub> <sup>3</sup> | R <sub>0</sub> <sup>2</sup> | R <sub>0</sub> <sup>1</sup> | R <sub>0</sub> <sup>0</sup> |
| 0004h | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | R <sub>1</sub> <sup>4</sup> | R <sub>1</sub> <sup>3</sup> | R <sub>1</sub> <sup>2</sup> | R <sub>1</sub> <sup>1</sup> | R <sub>1</sub> <sup>0</sup> | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> | G <sub>1</sub> <sup>5</sup> | G <sub>1</sub> <sup>4</sup> | G <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>2</sup> | G <sub>1</sub> <sup>1</sup> | G <sub>1</sub> <sup>0</sup> |
| 0006h | G <sub>2</sub> <sup>7</sup> | G <sub>2</sub> <sup>6</sup> | G <sub>2</sub> <sup>5</sup> | G <sub>2</sub> <sup>4</sup> | G <sub>2</sub> <sup>3</sup> | G <sub>2</sub> <sup>2</sup> | G <sub>2</sub> <sup>1</sup> | G <sub>2</sub> <sup>0</sup> | B <sub>2</sub> <sup>7</sup> | B <sub>2</sub> <sup>6</sup> | B <sub>2</sub> <sup>5</sup> | B <sub>2</sub> <sup>4</sup> | B <sub>2</sub> <sup>3</sup> | B <sub>2</sub> <sup>2</sup> | B <sub>2</sub> <sup>1</sup> | B <sub>2</sub> <sup>0</sup> |

表11-6 24bpp表示（RGB 5:6:5入力画像データ）

| アドレス  | ビット<br>15                   | ビット<br>14                   | ビット<br>13                   | ビット<br>12                   | ビット<br>11                   | ビット<br>10                   | ビット<br>9                    | ビット<br>8                    | ビット<br>7                    | ビット<br>6                    | ビット<br>5                    | ビット<br>4                    | ビット<br>3                    | ビット<br>2                    | ビット<br>1                    | ビット<br>0                    |
|-------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 0000h | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | G <sub>0</sub> <sup>5</sup> | G <sub>0</sub> <sup>4</sup> | G <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>2</sup> | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> | B <sub>0</sub> <sup>4</sup> | B <sub>0</sub> <sup>3</sup> | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> |
| 0002h | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | B <sub>1</sub> <sup>4</sup> | B <sub>1</sub> <sup>3</sup> | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> | R <sub>0</sub> <sup>4</sup> | R <sub>0</sub> <sup>3</sup> | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> |
| 0004h | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | R <sub>1</sub> <sup>4</sup> | R <sub>1</sub> <sup>3</sup> | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> | G <sub>1</sub> <sup>5</sup> | G <sub>1</sub> <sup>4</sup> | G <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>2</sup> | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> |
| 0006h | G <sub>2</sub> <sup>7</sup> | G <sub>2</sub> <sup>6</sup> | G <sub>2</sub> <sup>5</sup> | G <sub>2</sub> <sup>4</sup> | G <sub>2</sub> <sup>3</sup> | G <sub>2</sub> <sup>2</sup> | G <sub>2</sub> <sup>7</sup> | G <sub>2</sub> <sup>6</sup> | B <sub>2</sub> <sup>7</sup> | B <sub>2</sub> <sup>6</sup> | B <sub>2</sub> <sup>5</sup> | B <sub>2</sub> <sup>4</sup> | B <sub>2</sub> <sup>3</sup> | B <sub>2</sub> <sup>7</sup> | B <sub>2</sub> <sup>6</sup> | B <sub>2</sub> <sup>5</sup> |

表11-7 16bpp表示

| アドレス  | ビット<br>15                   | ビット<br>14                   | ビット<br>13                   | ビット<br>12                   | ビット<br>11                   | ビット<br>10                   | ビット<br>9                    | ビット<br>8                    | ビット<br>7                    | ビット<br>6                    | ビット<br>5                    | ビット<br>4                    | ビット<br>3                    | ビット<br>2                    | ビット<br>1                    | ビット<br>0                    |
|-------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| 0000h | R <sub>0</sub> <sup>7</sup> | R <sub>0</sub> <sup>6</sup> | R <sub>0</sub> <sup>5</sup> | R <sub>0</sub> <sup>4</sup> | R <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>7</sup> | G <sub>0</sub> <sup>6</sup> | G <sub>0</sub> <sup>5</sup> | G <sub>0</sub> <sup>4</sup> | G <sub>0</sub> <sup>3</sup> | G <sub>0</sub> <sup>2</sup> | B <sub>0</sub> <sup>7</sup> | B <sub>0</sub> <sup>6</sup> | B <sub>0</sub> <sup>5</sup> | B <sub>0</sub> <sup>4</sup> | B <sub>0</sub> <sup>3</sup> |
| 0002h | R <sub>1</sub> <sup>7</sup> | R <sub>1</sub> <sup>6</sup> | R <sub>1</sub> <sup>5</sup> | R <sub>1</sub> <sup>4</sup> | R <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>7</sup> | G <sub>1</sub> <sup>6</sup> | G <sub>1</sub> <sup>5</sup> | G <sub>1</sub> <sup>4</sup> | G <sub>1</sub> <sup>3</sup> | G <sub>1</sub> <sup>2</sup> | B <sub>1</sub> <sup>7</sup> | B <sub>1</sub> <sup>6</sup> | B <sub>1</sub> <sup>5</sup> | B <sub>1</sub> <sup>4</sup> | B <sub>1</sub> <sup>3</sup> |
| 0004h | R <sub>2</sub> <sup>7</sup> | R <sub>2</sub> <sup>6</sup> | R <sub>2</sub> <sup>5</sup> | R <sub>2</sub> <sup>4</sup> | R <sub>2</sub> <sup>3</sup> | G <sub>2</sub> <sup>7</sup> | G <sub>2</sub> <sup>6</sup> | G <sub>2</sub> <sup>5</sup> | G <sub>2</sub> <sup>4</sup> | G <sub>2</sub> <sup>3</sup> | G <sub>2</sub> <sup>2</sup> | B <sub>2</sub> <sup>7</sup> | B <sub>2</sub> <sup>6</sup> | B <sub>2</sub> <sup>5</sup> | B <sub>2</sub> <sup>4</sup> | B <sub>2</sub> <sup>3</sup> |
| 0006h | R <sub>3</sub> <sup>7</sup> | R <sub>3</sub> <sup>6</sup> | R <sub>3</sub> <sup>5</sup> | R <sub>3</sub> <sup>4</sup> | R <sub>3</sub> <sup>3</sup> | G <sub>3</sub> <sup>7</sup> | G <sub>3</sub> <sup>6</sup> | G <sub>3</sub> <sup>5</sup> | G <sub>3</sub> <sup>4</sup> | G <sub>3</sub> <sup>3</sup> | G <sub>3</sub> <sup>2</sup> | B <sub>3</sub> <sup>7</sup> | B <sub>3</sub> <sup>6</sup> | B <sub>3</sub> <sup>5</sup> | B <sub>3</sub> <sup>4</sup> | B <sub>3</sub> <sup>3</sup> |

## 11.13.10 画像メモリアドレス

Picture-in-Picture表示またはアルファブレンディング機能を使用するには、SDRAMの画像メモリアドレスをレジスタに設定する必要があります。SDRAMには3バイト/1ピクセル (REG[14h] bit 5 = 0) または2バイト/1ピクセル (REG[14h] bit 5 = 1) でデータが配置されているため、対象画像の左上コーナーをX/Y座標により計算で求めます。バイトアドレスで指定してください。

SDRAMメモリアドレス =

$$\text{バッファ } n \text{ のアドレス} + (\text{YS} * \text{Xフルサイズ}) * (\text{2または3}) + \text{XS} * (\text{2または3})$$

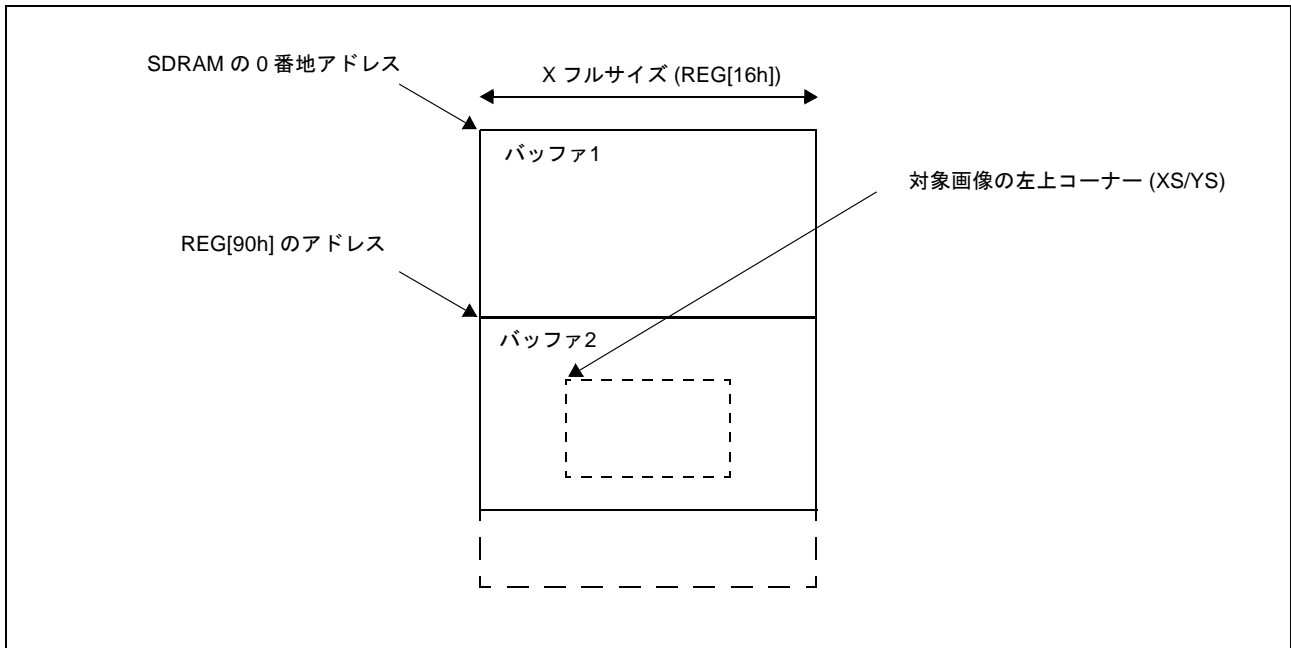


図11.25 画像メモリアドレス

## 11. LCDインタフェース

### 11.13.11 メモリ使用条件

SDRAMメモリは、SDRAMリフレッシュ、LCDインタフェース（LCDパネルリフレッシュ）、USBインタフェース（画像ライト）、アルファブレンディングの4つで使用されます。メモリアクセスが競合した場合の優先順位は、SDRAMリフレッシュ、LCDインタフェース、USBインタフェース、アルファブレンディングの順になります。

SDRAMの使用可能レートを以下の表にまとめました。リフレッシュ、アクセスペナルティなどを10%と考慮してください。

**表11.8 SDRAM使用可能レート**

| SDRAMクロック | 使用可能レート         |
|-----------|-----------------|
| 96MHz     | 192Mバイト/秒 * 90% |
| 90MHz     | 180Mバイト/秒 * 90% |
| 84MHz     | 168Mバイト/秒 * 90% |
| 78MHz     | 156Mバイト/秒 * 90% |
| 72MHz     | 144Mバイト/秒 * 90% |
| 66MHz     | 132Mバイト/秒 * 90% |

SDRAMの消費レートを以下の表にまとめました。

**表11.9 SDRAM消費レート**

| 優先順位 | 使用回路        | 動作条件             | ピークレート                |
|------|-------------|------------------|-----------------------|
| 1    | SDRAMリフレッシュ | オートリフレッシュサイクル    | -                     |
| 2    | LCDインタフェース  | 16bppオーバーレイなし表示中 | $f_{LCLK} * 2$ バイト/秒  |
|      |             | 16bppオーバーレイあり表示中 | $f_{LCLK} * 4$ バイト/秒  |
|      |             | 24bppオーバーレイなし表示中 | $f_{LCLK} * 3$ バイト/秒  |
|      |             | 24bppオーバーレイあり表示中 | $f_{LCLK} * 6$ バイト/秒  |
|      |             | 非表示期間中           | 0                     |
| 3    | USBインタフェース  | アクセス中            | 60M バイト/秒             |
|      |             | 非アクセス中           | 0                     |
| 4    | アルファブレンディング | -                | $f_{SDCLK} * 2$ バイト/秒 |

SDRAM消費レートがSDRAM使用可能レートに近づいた場合、以下の現象がおきます。オーバーレイ表示をイネーブルにする場合、LCDパネルサイズ（LCDクロック周波数）によりUSBインタフェースの転送パフォーマンスが低下します。必ず、事前にシステム上でパフォーマンス評価をしてください。

**表11.10 回路現象**

| 回路          | 現象                     |
|-------------|------------------------|
| USBインタフェース  | 入力データの書き込みがNAK応答で待たされる |
| アルファブレンディング | アルファブレンディングの実行に時間がかかる  |

### 11.14 PWMインタフェース

PWMインタフェースは、LCDパネルのバックライト制御用に使用することができます。LCDクロック (LCDCLK) に対して、ハイパルス幅、ローパルス幅を32ビットカウンタで設定します。PWM設定レジスタは複数アドレスに分かれています、一括してレジスタを更新するビット (REG[70h] bit 7) があります。

PWM出力を停止する場合は、レジスタ (REG[70h] bits 1-0) にて希望の論理出力にした後にディセーブル (REG[70h] bit 2 = 0) にしてください。

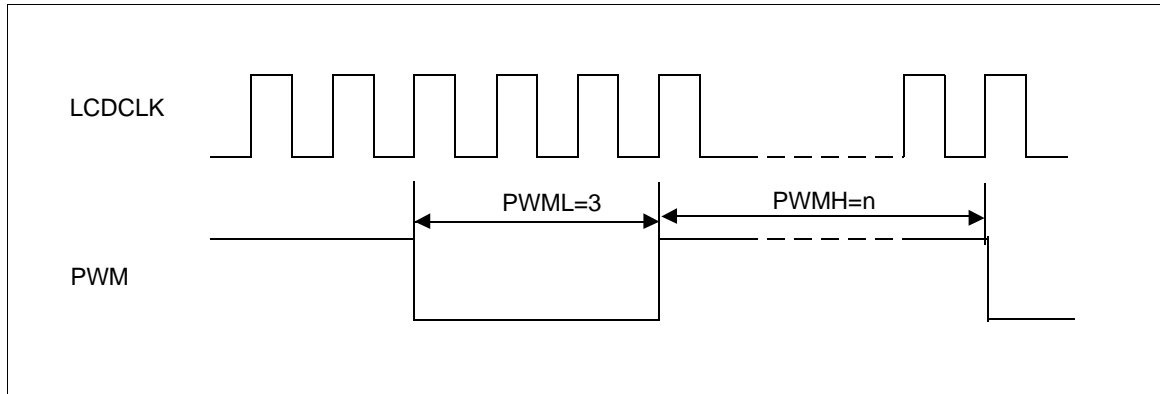


図11-26 PWMタイミング例

## 11. LCDインターフェース

### 11.15 LCDインターフェース割り込み

LCDインターフェース割り込みは、アルファブレンディング終了を通知します。割り込み回路の構成は以下の通りです。

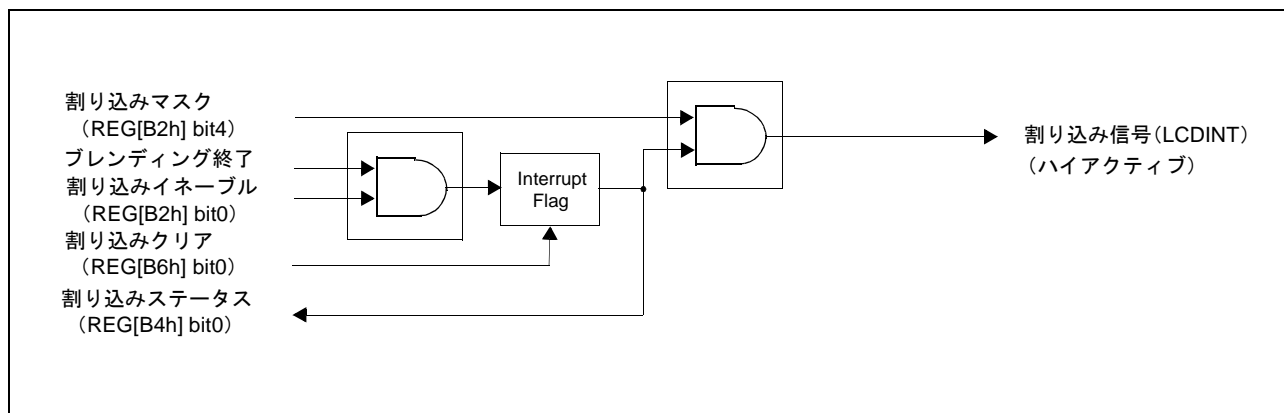


図11.27 LCDインターフェース割り込み回路



11.16 ディスプレイテスト

11.16.1 ディスプレイ表示テスト

ディスプレイ表示テストは、SDRAMのデータを使用せず、LCDパネルにカラーバーを表示します。表示データは以下の通りです。

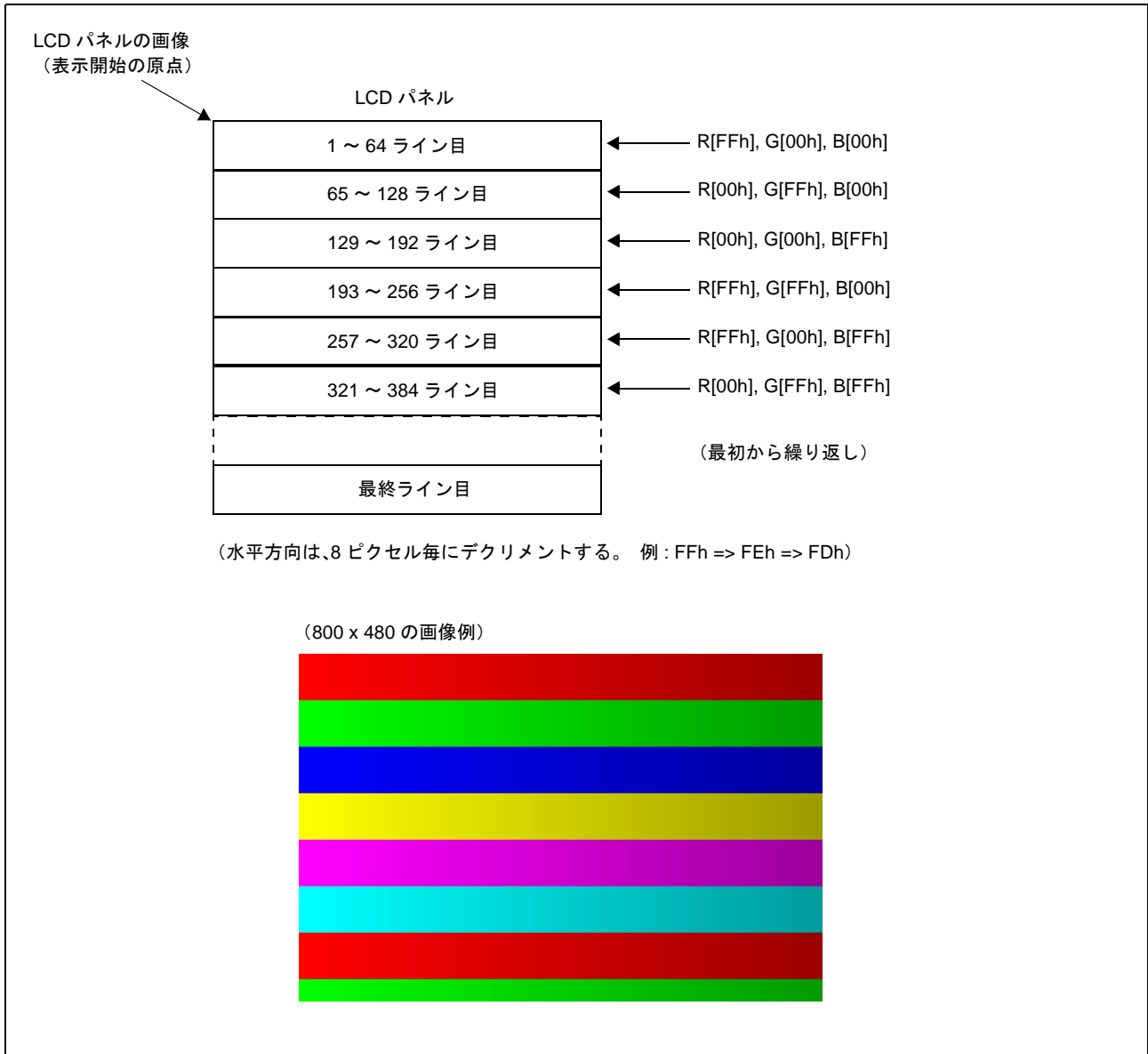


図11.28 ディスプレイ表示テスト

## 11. LCDインタフェース

### 11.17 LCDインタフェースレジスタ

LCDインタフェースのレジスタを以下の表に示します。

すべての予約ビット (Reserved) は、デフォルト値のまま使用してください。予約ビットにデフォルト値以外の値をライトすると、不定の結果を生じます。n/aというマークの付いたビットは、ハードウェアが存在しませんので機能はありません。すべてのレジスタビットは、ハードウェアリセットによりデフォルト値に設定されます。

表11.11 レジスタセット

| レジスタページ  | レジスタページ  |
|--|--|
| <b>製品構成レジスタ</b>  |  |
| REG[00h] Production Code Register                        | 92 REG[02h] Configuration Readback Register 92                   |
| <b>クロック構成レジスタ</b>  |  |
| REG[04h] PLL Control Register                            | 93 REG[06h] PLL Setting Register 0 93                            |
| REG[08h] PLL Setting Register 1                          | 94 REG[0Ah] PLL Setting Register 2 94                            |
| REG[0Ch] PLL Setting Register 3                          | 94 REG[0Eh] SS Control Register 0 95                             |
| REG[10h] SS Control Register 1                           | 95 REG[12h] Clock Source Select Register 96                      |
| <b>パネル構成レジスタ</b>   |  |
| REG[14h] LCD Panel Type Register                         | 98 REG[16h] Horizontal Display Width Register (HDISP) 99         |
| REG[18h] Horizontal Non-Display Period Register (HNDP)   | 99 REG[1Ah] Vertical Display Height Register 0 (VDISP) 100       |
| REG[1Ch] Vertical Display Height Register 1 (VDISP)      | 100 REG[1Eh] Vertical Non-Display Period Register (VNDP) 100     |
| REG[20h] PHS Pulse Width Register (HSW)                  | 100 REG[22h] PHS Pulse Start Position Register (HPS) 101         |
| REG[24h] PVS Pulse Width Register (VSW)                  | 101 REG[26h] PVS Pulse Start Position Register (VPS) 101         |
| REG[28h] PCLK Polarity Register                          | 101  |
| <b>表示画像設定レジスタ</b>  |  |
| REG[2Ah] Display Mode Register                           | 102 REG[2Ch] PIP1 Display Memory Start Address Register 0 103    |
| REG[2Eh] PIP1 Display Memory Start Address Register 1    | 103 REG[30h] PIP1 Display Memory Start Address Register 2 103    |
| REG[32h] PIP1 Display Window X Start Position Register   | 103 REG[34h] PIP1 Display Window Y Start Position Register 0 104 |
| REG[36h] PIP1 Display Window Y Start Position Register 1 | 104 REG[38h] PIP1 Display Window X End Position Register 104     |
| REG[3Ah] PIP1 Display Window Y End Position Register 0   | 105 REG[3Ch] PIP1 Display Window Y End Position Register 1 105   |
| REG[3Eh] PIP2 Display Memory Start Address Register 0    | 106 REG[40h] PIP2 Display Memory Start Address Register 1 106    |
| REG[42h] PIP2 Display Memory Start Address Register 2    | 106 REG[44h] PIP2 Display Window X Start Position Register 106   |
| REG[46h] PIP2 Display Window Y Start Position Register 0 | 107 REG[48h] PIP2 Display Window Y Start Position Register 1 107 |
| REG[4Ah] PIP2 Display Window X End Position Register     | 107 REG[4Ch] PIP2 Display Window Y End Position Register 0 108   |
| REG[4Eh] PIP2 Display Window Y End Position Register 1   | 108 REG[50h] Display Control Register 109                        |
| <b>入力画像設定レジスタ</b>  |  |
| REG[52h] Input Mode Register                             | 110 REG[54h] Transparency Key Color Red Register 111             |
| REG[56h] Transparency Key Color Green Register           | 111 REG[58h] Transparency Key Color Blue Register 111            |
| REG[5Ah] Write Window X Start Position Register          | 112 REG[5Ch] Write Window Y Start Position Register 0 112        |
| REG[5Eh] Write Window Y Start Position Register 1        | 112 REG[60h] Write Window X End Position Register 113            |
| REG[62h] Write Window Y End Position Register 0          | 113 REG[64h] Write Window Y End Position Register 1 113          |
| <b>メモリポートレジスタ</b>  |  |
| REG[66h] Memory Data Port Register 0                     | 114 REG[67h] Memory Data Port Register 1 114                     |
| <b>その他レジスタ</b>   |  |
| REG[68h] Power Save Register                             | 115 REG[6Ah] Non-Display Period Control / Status Register 116    |
| <b>汎用IO端子レジスタ</b>  |  |
| REG[6Ch] General Purpose Output Register 0               | 117 REG[6Eh] General Purpose Output Register 1 117               |
| <b>PWM設定レジスタ</b>   |  |
| REG[70h] PWM Control Register                            | 118 REG[72h] PWM High Duty Register 0 119                        |
| REG[74h] PWM High Duty Register 1                        | 119 REG[76h] PWM High Duty Register 2 119                        |
| REG[78h] PWM High Duty Register 3                        | 119 REG[7Ah] PWM Low Duty Register 0 119                         |
| REG[7Ch] PWM Low Duty Register 1                         | 119 REG[7Eh] PWM Low Duty Register 2 119                         |
| REG[80h] PWM Low Duty Register 3                         | 119  |

表11.11 レジスタセット (続き)

| レジスタページ  |     | レジスタページ  |     |
|--|-----|--|-----|
| <b>SDRAM設定レジスタ</b>                                       |     |  |     |
| REG[82h] SDRAM Control Register 0                        | 120 | REG[84h] SDRAM Status Register 0                         | 120 |
| REG[86h] SDRAM Status Register 1                         | 121 | REG[88h] SDRAM MRS Value Register 0                      | 122 |
| REG[8Ah] SDRAM MRS Value Register 1                      | 122 | REG[8Ch] SDRAM Refresh Counter Register 0                | 122 |
| REG[8Eh] SDRAM Refresh Counter Register 1                | 122 | REG[90h] SDRAM Write Buffer Memory Size Register 0       | 123 |
| REG[92h] SDRAM Debug Register                            | 123 |  |     |
| <b>アルファブレンディング設定レジスタ</b>                                 |     |  |     |
| REG[94h] Alpha-blending Control Register                 | 124 | REG[96h] Alpha-blending Status Register                  | 125 |
| REG[98h] Alpha-blending Horizontal Size Register         | 125 | REG[9Ah] Alpha-blending Vertical Size Register 0         | 125 |
| REG[9Ch] Alpha-blending Vertical Size Register 1         | 125 | REG[9Eh] Alpha-blending Value Register                   | 126 |
| REG[A0h] Alpha-blending Input 1 Start Address Register 0 | 127 | REG[A2h] Alpha-blending Input 1 Start Address Register 1 | 127 |
| REG[A4h] Alpha-blending Input 1 Start Address Register 2 | 127 | REG[A6h] Alpha-blending Input 2 Start Address Register 0 | 127 |
| REG[A8h] Alpha-blending Input 2 Start Address Register 1 | 127 | REG[AAh] Alpha-blending Input 2 Start Address Register 2 | 127 |
| REG[ACh] Alpha-blending Output Start Address Register 0  | 128 | REG[AEh] Alpha-blending Output Start Address Register 1  | 128 |
| REG[B0h] Alpha-blending Output Start Address Register 2  | 128 |  |     |
| <b>割り込み設定レジスタ</b>  |     |  |     |
| REG[B2h] Interrupt Control Register                      | 129 | REG[B4h] Interrupt Status Register                       | 129 |
| REG[B6h] Interrupt Clear Register                        | 129 |  |     |
| <b>表示効果レジスタ</b>  |     |  |     |
| REG[B8h] Display Enhancement Control Register            | 130 | REG[BAh] Gamma Correction Table Index Register           | 130 |
| REG[BCh] Gamma Correction Table Data Register            | 130 | REG[BEh] Brightness Correction Red Register 0            | 131 |
| REG[C0h] Brightness Correction Red Register 1            | 131 | REG[C2h] Brightness Correction Green Register 0          | 131 |
| REG[C4h] Brightness Correction Green Register 1          | 131 | REG[C6h] Brightness Correction Blue Register 0           | 131 |
| REG[C8h] Brightness Correction Blue Register 1           | 131 | REG[CAh] Contrast Correction Red Register                | 132 |
| REG[CCh] Contrast Correction Green Register              | 132 | REG[CEh] Contrast Correction Blue Register               | 132 |
| <b>表示拡張レジスタ</b>  |     |  |     |
| REG[E0h] Extend Display Control Register                 | 133 | REG[E2h] Virtual Display Horizontal Width Register 0     | 133 |
| REG[E4h] Virtual Display Horizontal Width Register 1     | 133 | REG[E6h] SDRAM Read Register                             | 134 |
| REG[E8h] SDRAM Read Start Address Register 0             | 134 | REG[EAh] SDRAM Read Start Address Register 1             | 134 |
| REG[ECh] SDRAM Read Start Address Register 2             | 134 | REG[EEh] SDRAM Dummy Read Port Register                  | 134 |

## 11. LCDインターフェース

### 11.17.1 製品構成レジスタ

| REG[00h] Production Code Register |   |             |  |  |   |   | Read Only   |   |
|-----------------------------------|---|-------------|--|--|---|---|-------------|---|
| Default = BCh                     |   |             |  |  |   |   |             |   |
| 7                                 | 6 | 製品コードビット5~0 |  |  | 3 | 2 | 改訂コードビット1~0 | 0 |

bits 7-2                    製品コードビット[5:0]  
これらのビットは、製品コードを示す読み出し専用ビットです。製品コードは、101111bです。

bits 1-0                    改訂コードビット[1:0]  
これらのビットは、改訂コードを示す読み出し専用ビットです。改訂コードは、00bです。

| REG[02h] Configuration Readback Register |   |     |   |   |           |           | Read Only |  |  |
|--|---|-----|---|---|-----------|-----------|-----------|--|--|
| Default = 0xh                            |   |     |   |   |           |           |           |  |  |
| 7  | 6 | n/a | 4 | 2 | CNF2ステータス | CNF1ステータス | CNF0ステータス |  |  |
|  |   |     |   |   | 2         | 1         | 0         |  |  |

bits 2-0                    CNF[2:0]ステータス  
これらのリード専用ステータスビットは、構成端子CNF[2:0]のステータスを返します。

## 11.17.2 クロック構成レジスタ

| REG[04h] PLL Control Register |     |   |   |   |   |   | Read/Write  |
|-------------------------------|-----|---|---|---|---|---|-------------|
| Default = 00h                 |     |   |   |   |   |   |             |
| PLLイネーブル                      | n/a |   |   |   |   |   | PLL入力クロック選択 |
| 7                             | 6   | 5 | 4 | 3 | 2 | 1 | 0           |

bit 7                   PLLイネーブル  
このビットはPLLを制御します。  
このビットが0のとき、PLLはディセーブルになります。(初期値)  
このビットが1のとき、PLLはイネーブルになります。

**注**

PLLをイネーブルにする前に、PLL入力クロック選択ビットを含むPLL設定レジスタおよびSS設定レジスタを設定してください。PLLのイネーブルは、SDCLKクロックディセーブル中 (REG[68h] bit 0 = 0) に行ってください。動作中は変更しないでください。

bit 0                   PLL入力クロック選択  
このビットは、PLLへの入力クロック (PLLCLKI) を選択します。PLLをイネーブルにする前に設定してください。  
このビットが0のとき、水晶発振周波数は12MHzです。[1/2分周してPLLへ入力します。](#)(初期値)  
このビットが1のとき、水晶発振周波数は24MHzです。

[1/4分周してPLLへ入力します。](#)

| REG[06h] PLL Setting Register 0 |   |       |   |          |   |   | Read/Write |
|---------------------------------|---|-------|---|----------|---|---|------------|
| Default = 3Ah                   |   |       |   |          |   |   |            |
| Reserved                        |   | VCビット |   | Reserved |   |   |            |
| 7                               | 6 | 5     | 4 | 3        | 2 | 1 | 0          |

bits 7-5               Reserved  
これらのビットは、必ず001bでご使用ください。

[bits 7-5](#)               [VCビット\[3:1\]](#)  
[これらのビットは、VCビット\[3:1\]です。001bから変更しないでください。](#)

bit 4                   VCビット  
このビットは、PLL出力周波数に合わせて設定します。PLLをイネーブルにする前に設定してください。

表11.12 VC選択

| REG[06h]ビット4 | PLL出力周波数                  |
|--------------|---------------------------|
| 0            | 66MHz, 72MHz, 78MHz       |
| 1            | 84MHz, 90MHz, 96MHz (初期値) |

bits 3-0               Reserved  
これらのビットは、必ず1010bでご使用ください。

[bits 3-0](#)               [RSビット\[3:2\]](#)  
[これらのビットは、内蔵のローパスフィルタの抵抗値を設定します。1010bから変更しないでください。PLL入力クロックは6MHz固定です。](#)

## 11. LCDインタフェース

| REG[08h] PLL Setting Register 1 |   |   |   |   |   |          | Read/Write |  |
|---------------------------------|---|---|---|---|---|----------|------------|--|
| Default = 01h                   |   |   |   |   |   |          |            |  |
| 7                               | 6 | 5 | 4 | 3 | 2 | 1        | 0          |  |
| n/a                             |   |   |   |   |   | Reserved |            |  |

bits 1-0                      Reserved  
 これらのビットは、必ず01bでご使用ください。

[bits 1-0](#)                      [PLLクロック分周選択ビット\[1:0\]](#)  
 これらのビットは、VCOクロックに対するPLLクロックの分周比を選択します。  
 01bから変更しないでください。1/2分周固定です。

| REG[0Ah] PLL Setting Register 2 |   |   |   |   |   |   |   | Read/Write |
|---------------------------------|---|---|---|---|---|---|---|------------|
| Default = 00h                   |   |   |   |   |   |   |   |            |
| 7                               | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |
| n/a                             |   |   |   |   |   |   |   |            |

このレジスタは、使用しません。

| REG[0Ch] PLL Setting Register 3 |   |   |   |                   |   |   | Read/Write |  |
|---------------------------------|---|---|---|-------------------|---|---|------------|--|
| Default = 0Fh                   |   |   |   |                   |   |   |            |  |
| 7                               | 6 | 5 | 4 | 3                 | 2 | 1 | 0          |  |
| n/a                             |   |   |   | PLL出力クロック選択ビット3~0 |   |   |            |  |

bits 3-0                      PLL出力クロック選択ビット[3:0]  
 これらのビットは、PLL出力クロック周波数の設定に使用します。

**表11.13 PLL出力クロック選択**

| REG[0Ch]ビット3~0 | PLL出力周波数    |
|----------------|-------------|
| 1010           | 66MHz       |
| 1011           | 72MHz       |
| 1100           | 78MHz       |
| 1101           | 84MHz       |
| 1110           | 90MHz       |
| 1111           | 96MHz (初期値) |
| その他            | 設定禁止        |

| REG[0Eh] SS Control Register 0 |   |   |   |          |   |   | Read/Write |
|--------------------------------|---|---|---|----------|---|---|------------|
| Default = 00h                  |   |   |   |          |   |   |            |
| SSイネーブル<br>7                   | 6 | 5 | 4 | n/a<br>3 | 2 | 1 | 0          |

- bit 7 SSイネーブル  
このビットはスプレッド・スペクトラム (SS) 変調を制御します。  
このビットが0のとき、SS変調はディセーブルでそのままクロックが出力されます。(初期値)  
このビットが1のとき、SS変調はイネーブルになります。

**注**

PLLイネーブルビット (REG[04h] bit 7) に同期して、このビットは有効になります。SSを使用する場合は、PLLディセーブル中 (REG[04h] bit 7 = 0) に設定してください。それ以降は設定を変更する必要はありません。SSが使用できる周波数は最大78MHzです。

| REG[10h] SS Control Register 1 |   |                          |  |  |   |               | Read/Write |
|--------------------------------|---|--------------------------|--|--|---|---------------|------------|
| Default = 55h                  |   |                          |  |  |   |               |            |
| Reserved<br>7                  | 6 | W-Counterビット2~0<br>5 4 3 |  |  | 2 | Reserved<br>1 | 0          |

- bit 7 Reserved  
このビットは、必ず0bでご使用ください。
- bits 6-4 W-Counterビット[2:0]  
これらのビットは、SS出力周波数変化幅を設定します。

**表11.14 SS周波数変化幅設定**

| REG[10h]ビット6~4 | 周波数変化幅 (TYP)     |
|----------------|------------------|
| 000            | +/- 0.10ns       |
| 001            | +/- 0.17ns       |
| 010            | +/- 0.23ns       |
| 011            | +/- 0.30ns       |
| 100            | +/- 0.35ns       |
| 101            | +/- 0.42ns (初期値) |
| 110            | +/- 0.48ns       |
| 111            | +/- 0.54ns       |

- bits 3-0 Reserved  
これらのビットは、必ず0101bでご使用ください。

- [bits 3-0](#) [T-Counterビット\[3:0\]](#)  
[これらのビットは、SS出力周波数変化周期を設定します。](#)

**表11.15 SS周波数変化周期設定**

| REG[10h]ビット6~4 | 周波数変化幅 (TYP) |
|----------------|--------------|
| 0101           | 96クロック (初期値) |
| (説明省略)         | (説明省略)       |

## 11. LCDインタフェース

| REG[12h] Clock Source Select Register |                  |   |   |                  |   |                |            |
|---------------------------------------|------------------|---|---|------------------|---|----------------|------------|
| Default = 00h                         |                  |   |   |                  |   |                | Read/Write |
| SDCLKクロック選択                           | LCDCLK分周選択ビット2~0 |   |   | FOUTクロック選択ビット1~0 |   | SSクロック選択ビット1~0 |            |
| 7                                     | 6                | 5 | 4 | 3                | 2 | 1              | 0          |

bit 7 SDCLKクロック選択  
このビットはSDCLKクロックを選択します。  
このビットが0のとき、SDCLKクロックは水晶発振出力です。(初期値)  
このビットが1のとき、SDCLKクロックはPLL出力です。

### 注

PLL出力を選択する場合は、PLLイネーブル後にPLL安定時間(200us)待ってから設定する必要があります。

bits 6-4 LCDCLK分周選択ビット[2:0]  
これらのビットは、PLL出力周波数に対するLCDクロック(LCDCLK)の分周比を選択します。SDRAMに保存するデータタイプ(REG[14h]ビット5)およびオーバーレイ表示イネーブル(REG[E0h]ビット4)により、使用範囲が異なります。

表11.16 LCDCLK分周選択

| REG[12h]ビット6~4 | LCDCLK分周<br>(24bpp保存、オーバーレイ表示ディセーブル) | LCDCLK分周<br>(16bpp保存、オーバーレイ表示ディセーブル) | LCDCLK分周<br>(24bpp保存、オーバーレイ表示イネーブル) | LCDCLK分周<br>(16bpp保存、オーバーレイ表示イネーブル) |
|----------------|--------------------------------------|--------------------------------------|-------------------------------------|-------------------------------------|
| 000            | 1/3分周(初期値)                           | 1/3分周(初期値)                           | 設定禁止                                | 1/3分周(初期値)                          |
| 001            | 1/2分周                                | 1/2分周                                | 設定禁止                                | 設定禁止                                |
| 010            | 1/4分周                                | 1/4分周                                | 1/4分周                               | 1/4分周                               |
| 011            | 1/6分周                                | 設定禁止                                 | 1/6分周                               | 設定禁止                                |
| 100            | 1/8分周                                | 設定禁止                                 | 1/8分周                               | 設定禁止                                |
| 他              | 設定禁止                                 | 設定禁止                                 | 設定禁止                                | 設定禁止                                |

### 注

このビットはSDCLKクロックディセーブル中(REG[68h] bit 0 = 0)に設定してください。動作中は変更しないでください。

bits 3-2 FOUTクロック選択ビット[1:0]  
これらのビットは、水晶発振周波数に対するFOUTクロック周波数を選択します。

表11.17 FOUTクロック選択

| REG[12h]ビット3~2 | FOUTクロック   |
|----------------|------------|
| 00             | 出力しない(初期値) |
| 01             | 1/1分周出力    |
| 10             | 1/2分周出力    |
| 11             | 1/4分周出力    |



bits 1-0

SSクロック選択ビット[1:0]

これらのビットは、SSクロックの使用方法を選択します。

表11.18 SSクロック選択

| REG[12h]ビット1~0 | SSクロック      |
|----------------|-------------|
| 00             | 使用しない（初期値）  |
| 01             | LCDCLKに使用する |
| 1x             | SDCLKに使用する  |

**注**

これらのビットはSDCLKクロックディセーブル中（REG[68h] bit 0 = 0）に設定してください。動作中は変更しないでください。SSが使用できる周波数は最大78MHzです。SDCLKにSSを使用した場合、その分周クロックであるLCDCLKにもSSがかかります。

## 11. LCDインタフェース

### 11.17.3 パネル構成レジスタ

| REG[14h] LCD Panel Type Register |              |             |               |     |                 |   | Read/Write    |
|----------------------------------|--------------|-------------|---------------|-----|-----------------|---|---------------|
| Default = 00h                    |              |             |               |     |                 |   |               |
| LCDピンドライバ選択                      | LCD入力画像バイト選択 | SDRAMデータタイプ | LCDパネルタイプビット1 | n/a | LCDデータタイプビット1~0 |   | LCDパネルタイプビット0 |
| 7                                | 6            | 5           | 4             | 3   | 2               | 1 | 0             |

- bit 7            LCDピンドライバ選択  
このビットが0のとき、LCDピンはTYPE2のドライバサイズです。(初期値)  
このビットが1のとき、LCDピンはTYPE2Sのドライバサイズです。
- bit 6            LCD入力画像バイト選択  
このビットが0のとき、Rデータが上位バイトで入力されます。(初期値)  
このビットが1のとき、Rデータが下位バイトで入力されます。
- bit 5            SDRAMデータタイプ  
このビットが0のとき、SDRAMには常に24bppで保存されます。(初期値)  
このビットが1のとき、SDRAMには常に16bppで保存されます。  
16bppの場合は、LCDCLK分周選択ビット (REG[12h]ビット6~4) の使用範囲に制限があります。
- bits 2-1        LCDデータタイプビット[1:0]  
これらのビットは、ホストCPUから入力画像フォーマットを設定します。

**表11.19 入力画像フォーマット設定**

| REG[14h]ビット2~1 | 入力画像フォーマット                  |
|----------------|-----------------------------|
| 00             | 24bpp (RGB8:8:8) モード1 (初期値) |
| 01             | 24bpp (RGB8:8:8) モード2       |
| 1x             | 16bpp (RGB5:6:5)            |

- bit 4, 0        LCDパネルビット[1:0]  
これらのビットは、LCDインタフェースのビット幅を設定します。18ビット、16ビットを設定した場合は、未使用ピンはGPO端子になります。

**表11.20 LCDインタフェースビット幅設定**

| REG[14h]ビット4 | REG[14h]ビット0 | LCDインタフェース  |
|--------------|--------------|-------------|
| 0            | 0            | 24ビット (初期値) |
| 0            | 1            | 18ビット       |
| 1            | x            | 16ビット       |

| REG[16h] Horizontal Display Width Register (HDISP) |              |   |   |   |   |   | Read/Write |
|--|--------------|---|---|---|---|---|------------|
| Default = 00h                                      |              |   |   |   |   |   |            |
| n/a  | 水平表示期間ビット6~0 |   |   |   |   |   |            |
| 7  | 6            | 5 | 4 | 3 | 2 | 1 | 0          |

bits 6-0

水平表示期間ビット[6:0]

これらのビットは、8ピクセル解像度でLCDパネルの水平表示期間（HDISP）を指定します。

水平表示期間のピクセル数 = ((REG[16h]ビット6~0) + 1) x 8

**注**

最小値 = 32ピクセル、最大値 = 960ピクセル

| REG[18h] Horizontal Non-Display Period Register (HNDP) |   |   |   |   |   |   | Read/Write |
|--|---|---|---|---|---|---|------------|
| Default = 00h  |   |   |   |   |   |   |            |
| 水平非表示期間ビット7~0  |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-0

水平非表示期間ビット[7:0]

これらのビットは、2ピクセル解像度で水平非表示期間のピクセル数を指定します。

次式を使用してHNDPを計算します。

$HNDP = ((REG[18h]ビット7~0) + 1) \times 2$

**注**

最小値 = 4ピクセル、最大値 = 512ピクセル  
 $HPS + HSW \leq HNDP$

## 11. LCDインタフェース

| REG[1Ah] Vertical Display Height Register 0 (VDISP) |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|------------|
| Default = 01h                                       |   |   |   |   |   |   | Read/Write |
| 垂直表示期間ビット7~0  |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[1Ch] Vertical Display Height Register 1 (VDISP) |   |   |   |              |   |   |            |
|---|---|---|---|--------------|---|---|------------|
| Default = 00h                                       |   |   |   |              |   |   | Read/Write |
| n/a   |   |   |   | 垂直表示期間ビット9~8 |   |   |            |
| 7   | 6 | 5 | 4 | 3            | 2 | 1 | 0          |

REG[1Ch] bits 1-0

REG[1Ah] bits 7-0

垂直表示期間ビット[9:0]

これらのビットは、1ライン解像度でLCDパネルの垂直表示期間を指定します。  
垂直表示期間のライン数 = ((REG[1Ch]ビット1~0), (REG[1Ah]ビット7~0)) + 1

**注**

最小値 = 32ライン、最大値 = 960ライン

| REG[1Eh] Vertical Non-Display Period Register (VNDP) |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| Default = 01h  |   |   |   |   |   |   | Read/Write |
| 垂直非表示期間ビット7~0  |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-0

垂直非表示期間ビット[7:0]

これらのビットは、2ライン解像度でパネルの垂直非表示期間を指定します。垂直非表示期間のライン数 = ((REG[1Eh]ビット7~0) + 1) x 2

**注**

最小値 = 4ライン、最大値 = 512ライン

| REG[20h] PHS Pulse Width Register (HSW) |               |   |   |   |   |   |            |
|---|---------------|---|---|---|---|---|------------|
| Default = 00h                           |               |   |   |   |   |   | Read/Write |
| PHSパルス極性                                | PHSパルス幅ビット6~0 |   |   |   |   |   |            |
| 7                                       | 6             | 5 | 4 | 3 | 2 | 1 | 0          |

bit 7

PHSパルス極性

このビットは、水平同期信号の極性を選択します。このビットはパネルの水平同期信号に従って設定されます。

このビットが0のとき、水平同期信号はアクティブLowです。(初期値)

このビットが1のとき、水平同期信号はアクティブHighです。

bits 6-0

PHSパルス幅ビット[6:0]

これらのビットは、1ピクセル解像度でパネルの水平同期信号の幅を指定します。水平同期信号は通常PHSで、パネルのタイプに依存します。これらのビットの最小値は1です。

PHSパルス幅のピクセル数 = (REG[20h]ビット6~0) + 1

| REG[22h] PHS Pulse Start Position Register (HPS) |                  |   |   |   |   |   |            |
|--|------------------|---|---|---|---|---|------------|
| Default = 00h                                    |                  |   |   |   |   |   | Read/Write |
| n/a  | PHSパルス開始位置ビット6~0 |   |   |   |   |   |            |
| 7  | 6                | 5 | 4 | 3 | 2 | 1 | 0          |

bits 6-0 PHSパルス開始位置ビット[6:0]  
 これらのビットは、水平非表示期間の開始を基準として、水平同期信号の開始位置を1ピクセル解像度で指定します。

HPS = (REG[22h]ビット6~0)

| REG[24h] PVS Pulse Width Register (VSW) |     |               |   |   |   |   |            |
|---|-----|---------------|---|---|---|---|------------|
| Default = 00h                           |     |               |   |   |   |   | Read/Write |
| PVSパルス極性                                | n/a | PVSパルス幅ビット5~0 |   |   |   |   |            |
| 7                                       | 6   | 5             | 4 | 3 | 2 | 1 | 0          |

bit 7 PVSパルス極性  
 このビットは、垂直同期信号の極性を選択します。このビットはパネルの垂直同期信号に従って設定されます。  
 このビットが0のとき、垂直同期信号はアクティブLowです。(初期値)  
 このビットが1のとき、垂直同期信号はアクティブHighです。

bits 5-0 PVSパルス幅ビット[5:0]  
 これらのビットは、1ピクセル解像度でパネルの垂直同期信号の幅を指定します。垂直同期信号は通常VSで、パネルのタイプに依存します。

PVSパルス幅のライン数 = (REG[24h]ビット5~0) + 1

| REG[26h] PVS Pulse Start Position Register (VPS) |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| Default = 00h                                    |   |   |   |   |   |   | Read/Write |
| PVSパルス開始位置ビット7~0                                 |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-0 PVSパルス開始位置ビット[7:0]  
 これらのビットは、垂直非表示期間の開始を基準として、垂直同期信号の開始位置を1ピクセル解像度で指定します。

次式を使用してVPSを計算します。  
 $VPS = (REG[26h]ビット7~0)$

| REG[28h] PCLK Polarity Register |     |   |   |   |   |   |            |
|---------------------------------|-----|---|---|---|---|---|------------|
| Default = 00h                   |     |   |   |   |   |   | Read/Write |
| PCLK極性                          | n/a |   |   |   |   |   |            |
| 7                               | 6   | 5 | 4 | 3 | 2 | 1 | 0          |

bit 7 PCLK極性  
 このビットが0のとき、PCLKは立ち上がりエッジでデータ遷移を出力します。(初期値)  
 このビットが1のとき、PCLKは立ち下がりエッジでデータ遷移を出力します。

## 11. LCDインタフェース

### 11.17.4 表示画像設定レジスタ

| REG[2Ah] Display Mode Register |   |   |   |               |   |   | Read/Write |
|--------------------------------|---|---|---|---------------|---|---|------------|
| Default = 00h                  |   |   |   |               |   |   |            |
| メインウィンドウバッファ選択ビット3~0           |   |   |   | 表示データ選択ビット2~0 |   |   | 表示オン       |
| 7                              | 6 | 5 | 4 | 3             | 2 | 1 | 0          |

bits 7-4

メインウィンドウバッファ選択ビット[3:0]  
これらのビットは、メインウィンドウのディスプレイバッファを16個のバッファの中から選択します。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。ダブルバッファモードの場合はバッファ1とバッファ2で固定になり、これらのビットは使用しません。

表11.21 メインウィンドウバッファ選択

| REG[2Ah]ビット7~4 | メインウィンドウバッファ |
|----------------|--------------|
| 0000           | バッファ1 (初期値)  |
| 0001           | バッファ2        |
| 0010           | バッファ3        |
| (途中省略)         | (途中省略)       |
| 1101           | バッファ14       |
| 1110           | バッファ15       |
| 1111           | バッファ16       |

bits 3-1

表示データ選択ビット[2:0]  
これらのビットは、表示データを選択します。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

表11.22 表示データ出力選択

| REG[2Ah]ビット3~1 | 表示データ出力              |
|----------------|----------------------|
| 000            | メインウィンドウ表示 (初期値)     |
| 001            | ダブルバッファ表示            |
| 010            | メイン+PIP1ウィンドウ表示      |
| 011            | メイン+PIP2ウィンドウ表示      |
| 100            | メイン+PIP1+PIP2ウィンドウ表示 |
| 101            | ブランク表示 (オールロー出力)     |
| 110            | ブランク表示 (オールハイ出力)     |
| 111            | テストカラー表示             |

bit 0

表示オン  
このビットが0のとき、LCDインタフェースは停止します。(初期値)  
このビットが1のとき、LCDインタフェースは動作します。動作開始する前に、SDCLKクロックをイネーブル (REG[68h] bit 0 = 1) にしておく必要があります。

| REG[2Ch] PIP1 Display Memory Start Address Register 0 |   |   |   |   |   |   | Read/Write |
|---|---|---|---|---|---|---|------------|
| Default = 00h   |   |   |   |   |   |   |            |
| PIP1 ウィンドウメモリ開始アドレスビット7~3                             |   |   |   |   |   |   | n/a        |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[2Eh] PIP1 Display Memory Start Address Register 1 |   |   |   |   |   |   | Read/Write |
|---|---|---|---|---|---|---|------------|
| Default = 00h   |   |   |   |   |   |   |            |
| PIP1 ウィンドウメモリ開始アドレスビット15~8                            |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[30h] PIP1 Display Memory Start Address Register 2 |   |   |   |   |   |   | Read/Write |
|---|---|---|---|---|---|---|------------|
| Default = 00h   |   |   |   |   |   |   |            |
| PIP1 ウィンドウメモリ開始アドレスビット23~16                           |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

REG[30h] bits 7-0

REG[2Eh] bits 7-0

REG[2Ch] bits 7-3

PIP1 ウィンドウメモリ開始アドレスビット[23:3]

これらのビットは、PIP1 ウィンドウのメモリ開始アドレスをバイトアドレスで指定します。表示動作中に設定を変更できます。レジスタ (REG[50h] ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1 ウィンドウメモリ開始アドレス A[23:3] = (REG[30h] ビット7~0), (REG[2Eh] ビット7~0), (REG[2Ch] ビット7~3)

| REG[32h] PIP1 Display Window X Start Position Register |   |   |   |   |   |   | Read/Write |
|--|---|---|---|---|---|---|------------|
| Default = 00h  |   |   |   |   |   |   |            |
| PIP1 ウィンドウ表示X開始位置ビット9~3                                |   |   |   |   |   |   | n/a        |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-1

PIP1 ウィンドウ表示X開始位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP1 ウィンドウのX開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h] ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1 ウィンドウ表示X開始位置 = (REG[32h] ビット7~0) x 4 + 1

**注**

PIP1 ウィンドウ表示X開始位置 は、1から始まり8ピクセル単位 (1, 9, 17, 25, ..., H size -7) になります。

## 11. LCDインタフェース

| REG[34h] PIP1 Display Window Y Start Position Register 0 |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| Default = 00h  |   |   |   |   |   |   | Read/Write |
| PIP1ウィンドウ表示Y開始位置ビット9~2                                   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[36h] PIP1 Display Window Y Start Position Register 1 |   |   |   |   |   |   |                        |
|--|---|---|---|---|---|---|------------------------|
| Default = 00h  |   |   |   |   |   |   | Read/Write             |
| n/a  |   |   |   |   |   |   | PIP1ウィンドウ表示Y開始位置ビット1~0 |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0                      |

REG[34h] bits 7-0

REG[36h] bits 1-0

PIP1ウィンドウ表示Y開始位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP1ウィンドウのY開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1ウィンドウ表示Y開始位置 = (REG[34h]ビット7~0), (REG[36h]ビット1~0)

### 注

PIP1ウィンドウ表示Y開始位置 は、1から始まり1ライン単位 (1, 2, 3, 4,... V size) になります。

| REG[38h] PIP1 Display Window X End Position Register |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| Default = 00h  |   |   |   |   |   |   | Read/Write |
| PIP1ウィンドウ表示X終了位置ビット9~3                               |   |   |   |   |   |   | n/a        |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-1

PIP1ウィンドウ表示X終了位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP1ウィンドウのX終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1ウィンドウ表示X終了位置 = (REG[38h]ビット7~0) x 4 + 8

### 注

PIP1ウィンドウ表示X終了位置 は、8から始まり8ピクセル単位 (8, 16, 24, 32,... H size) になります。



|   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|------------|
| <b>REG[3Ah] PIP1 Display Window Y End Position Register 0</b> |   |   |   |   |   |   |            |
| Default = 00h   |   |   |   |   |   |   | Read/Write |
| PIP1ウィンドウ表示Y終了位置ビット9~2  |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

|   |   |   |   |   |   |   |                        |
|---|---|---|---|---|---|---|------------------------|
| <b>REG[3Ch] PIP1 Display Window Y End Position Register 1</b> |   |   |   |   |   |   |                        |
| Default = 00h   |   |   |   |   |   |   | Read/Write             |
| n/a   |   |   |   |   |   |   | PIP1ウィンドウ表示Y終了位置ビット1~0 |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0                      |

REG[3Ah] bits 7-0

REG[3Ch] bits 1-0

PIP1ウィンドウ表示Y終了位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP1ウィンドウのY終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP1ウィンドウ表示Y終了位置 = (REG[3Ah]ビット7~0), (REG[3Ch]ビット1~0)

**注**

PIP1ウィンドウ表示Y終了位置 は、1から始まり1ライン単位 (1, 2, 3, 4,.... V size) になります。

## 11. LCDインタフェース

|  |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| <b>REG[3Eh] PIP2 Display Memory Start Address Register 0</b> |   |   |   |   |   |   | Read/Write |
| Default = 00h  |   |   |   |   |   |   |            |
| PIP2 ウィンドウメモリ開始アドレスビット7~3                                    |   |   |   |   |   |   | n/a        |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

|  |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| <b>REG[40h] PIP2 Display Memory Start Address Register 1</b> |   |   |   |   |   |   | Read/Write |
| Default = 00h  |   |   |   |   |   |   |            |
| PIP2 ウィンドウメモリ開始アドレスビット15~8                                   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

|  |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| <b>REG[42h] PIP2 Display Memory Start Address Register 2</b> |   |   |   |   |   |   | Read/Write |
| Default = 00h  |   |   |   |   |   |   |            |
| PIP2 ウィンドウメモリ開始アドレスビット23~16                                  |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

REG[42h] bits 7-0

REG[40h] bits 7-0

REG[3Eh] bits 7-3

PIP2ウィンドウメモリ開始アドレスビット[23:3]

これらのビットは、PIP2ウィンドウのメモリ開始アドレスをバイトアドレスで指定します。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2ウィンドウメモリ開始アドレスA[23:3] = (REG[42h]ビット7~0), (REG[40h]ビット7~0), (REG[3Eh]ビット7~3)

|   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|------------|
| <b>REG[44h] PIP2 Display Window X Start Position Register</b> |   |   |   |   |   |   | Read/Write |
| Default = 00h   |   |   |   |   |   |   |            |
| PIP2ウィンドウ表示X開始位置ビット9~3  |   |   |   |   |   |   | n/a        |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-1

PIP2ウィンドウ表示X開始位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP2ウィンドウのX開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2ウィンドウ表示X開始位置 = (REG[44h]ビット7~0) x 4 + 1

### 注

PIP2ウィンドウ表示X開始位置 は、1から始まり8ピクセル単位 (1, 9, 17, 25,.... H size -7) になります。

| REG[46h] PIP2 Display Window Y Start Position Register 0 |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| Default = 00h  |   |   |   |   |   |   | Read/Write |
| PIP2ウィンドウ表示Y開始位置ビット9~2                                   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[48h] PIP2 Display Window Y Start Position Register 1 |   |   |   |   |   |   |                        |
|--|---|---|---|---|---|---|------------------------|
| Default = 00h  |   |   |   |   |   |   | Read/Write             |
| n/a  |   |   |   |   |   |   | PIP2ウィンドウ表示Y開始位置ビット1~0 |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0                      |

REG[46h] bits 7-0

REG[48h] bits 1-0

PIP2ウィンドウ表示Y開始位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP2ウィンドウのY開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2ウィンドウ表示Y開始位置 = (REG[46h]ビット7~0), (REG[48h]ビット1~0)

**注**

PIP2ウィンドウ表示Y開始位置 は、1から始まり1ライン単位 (1, 2, 3, 4,... V size) になります。

| REG[4Ah] PIP2 Display Window X End Position Register |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| Default = 00h  |   |   |   |   |   |   | Read/Write |
| PIP2ウィンドウ表示X終了位置ビット9~3                               |   |   |   |   |   |   | n/a        |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-1

PIP2ウィンドウ表示X終了位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP2ウィンドウのX終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2ウィンドウ表示X終了位置 = (REG[4Ah]ビット7~0) x 4 + 8

**注**

PIP2ウィンドウ表示X終了位置 は、8から始まり8ピクセル単位 (8, 16, 24, 32,... H size) になります。

## 11. LCDインターフェース

|   |   |   |   |   |   |                        |   |            |
|---|---|---|---|---|---|------------------------|---|------------|
| <b>REG[4Ch] PIP2 Display Window Y End Position Register 0</b> |   |   |   |   |   |                        |   | Read/Write |
| Default = 00h   |   |   |   |   |   |                        |   |            |
| PIP2ウィンドウ表示Y終了位置ビット9~2  |   |   |   |   |   |                        |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1                      | 0 |            |
| <b>REG[4Eh] PIP2 Display Window Y End Position Register 1</b> |   |   |   |   |   |                        |   | Read/Write |
| Default = 00h   |   |   |   |   |   |                        |   |            |
| n/a   |   |   |   |   |   | PIP2ウィンドウ表示Y終了位置ビット1~0 |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1                      | 0 |            |

REG[4Ch] bits 7-0

REG[4Eh] bits 1-0

PIP2ウィンドウ表示Y終了位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてPIP2ウィンドウのY終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。表示動作中に設定を変更できます。レジスタ (REG[50h]ビット7) のアップデートで値が有効になり、表示垂直期間に同期して変わります。

PIP2ウィンドウ表示Y終了位置 = (REG[4Ch]ビット7~0), (REG[4Eh]ビット1~0)

**注**

PIP2ウィンドウ表示Y終了位置 は、1から始まり1ライン単位 (1, 2, 3, 4,... V size) になります。

| REG[50h] Display Control Register |     |   |   |   |   |   |   |
|-----------------------------------|-----|---|---|---|---|---|---|
| Default = 00h                     |     |   |   |   |   |   |   |
| Write Only                        |     |   |   |   |   |   |   |
| 表示設定レジスタ更新 (WO)                   | n/a |   |   |   |   |   |   |
| 7                                 | 6   | 5 | 4 | 3 | 2 | 1 | 0 |

bit 7 表示設定レジスタ更新 (ライトオンリー)  
 表示設定のレジスタ (REG[2Ah]~[4Eh]) の値をロードします。次の表示垂直期間に同期して有効になりますので、不正な表示はできません。REG[2Ah] bit0はこのビットと関係なく、設定が有効になります。  
 このビットが0のとき、影響しません。  
 このビットが1のとき、ロードします。

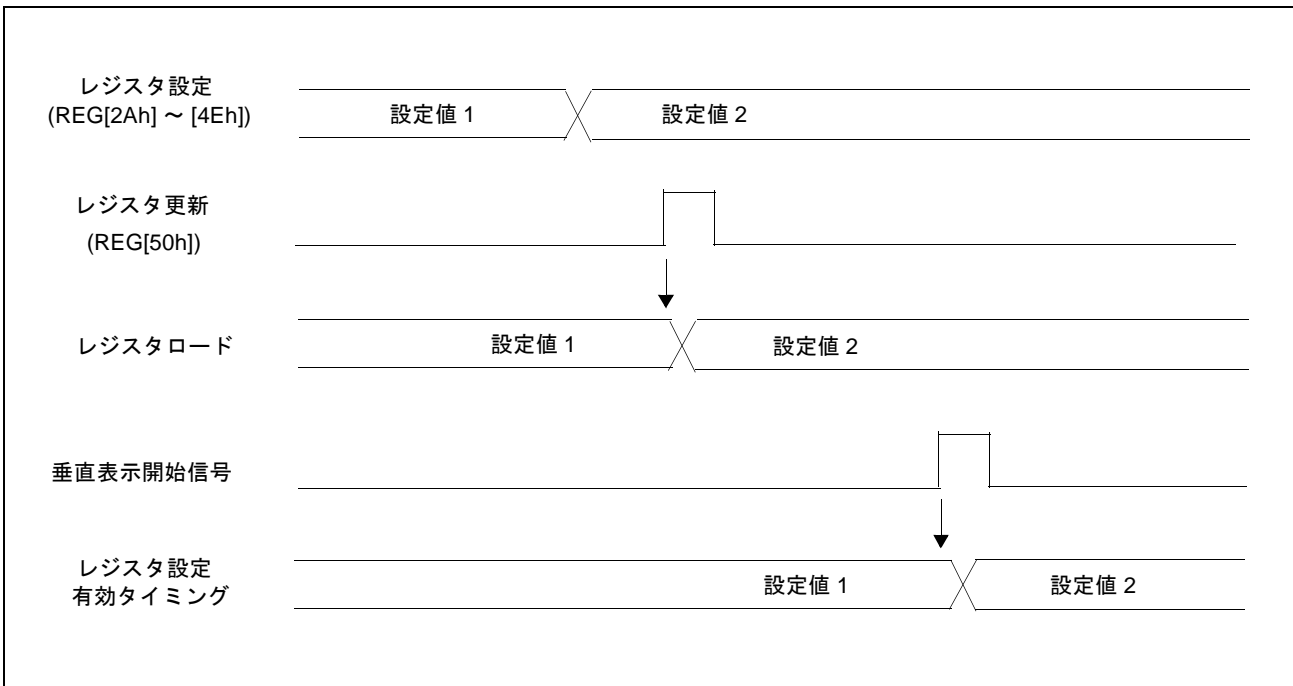


図11.29 表示設定レジスタ更新タイミング

## 11. LCDインタフェース

### 11.17.5 入力画像設定レジスタ

| REG[52h] Input Mode Register |   |   |   |          | Read/Write |         |         |
|------------------------------|---|---|---|----------|------------|---------|---------|
| Default = 00h                |   |   |   |          |            |         |         |
| 7                            | 6 | 5 | 4 | 3        | 2          | 1       | 0       |
| ライトバッファ選択ビット3~0              |   |   |   | 透過色イネーブル | ウィンドウ設定    | ウィンドウ反転 | ウィンドウ回転 |

bit s 7-4

ライトバッファ選択ビット[3:0]

これらのビットは、ライトバッファを16個のバッファの中から選択します。非同期に設定を変更でき、ウィンドウのライトの開始前に同期して値が有効になります。ダブルバッファモードの場合はバッファ1とバッファ2で固定になり、これらのビットは使用しません。

表11.23 ライトバッファ選択

| REG[52h]ビット7~4 | ライトバッファ     |
|----------------|-------------|
| 0000           | バッファ1 (初期値) |
| 0001           | バッファ2       |
| 0010           | バッファ3       |
| (途中省略)         | (途中省略)      |
| 1101           | バッファ14      |
| 1110           | バッファ15      |
| 1111           | バッファ16      |

#### 注

画像ライト設定にはメインウィンドウ、PIPウィンドウの選択はありません。画像表示設定にて、メインウィンドウ、PIPウィンドウを指定します。

bit 3

透過色イネーブル

このビットは、透過色を制御します。イネーブルの場合は透過色設定レジスタの色が3色とも一致した色データは、フレームバッファへ書き込まれません。このビットが0のとき、透過色設定はディセーブルです。(初期値)  
このビットが1のとき、透過色設定はイネーブルです。

bit 2

ウィンドウ設定

このビットは、ウィンドウ設定方法を選択します。  
このビットが0のとき、ウィンドウ (REG[5Ah]~[64h]) を使用します。(初期値)  
このビットが1のとき、ウィンドウを使用しません。ビット7~4で指定したアドレスから連続して画像ライトをします。バーチャル表示画像を書き込む時に使用します。

bit 1

ウィンドウ反転

このビットは、反転の方向を選択します。  
このビットが0のとき、ウィンドウは正転です。(初期値)  
このビットが1のとき、ウィンドウは反転です。

bit 0

ウィンドウ回転

このビットは、回転の方向を選択します。ウィンドウ反転と組み合わせて使用することができます。  
このビットが0のとき、ウィンドウは回転なしです。(初期値)  
このビットが1のとき、ウィンドウは180°回転です。

**REG[54h] Transparency Key Color Red Register**

Default = 00h

Read/Write

| 透過色赤設定ビット7~0 |   |   |   |   |   |   |   |
|--------------|---|---|---|---|---|---|---|
| 7            | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 7-0

透過色赤設定ビット[7:0]

これらのビットは、透過色の赤データの値を設定します。透過色ライト、オーバーレイ、アルファブレンディングで使用します。RGB5:6:5の場合は下位3ビット設定は無効になります。

**REG[56h] Transparency Key Color Green Register**

Default = 00h

Read/Write

| 透過色緑設定ビット7~0 |   |   |   |   |   |   |   |
|--------------|---|---|---|---|---|---|---|
| 7            | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 7-0

透過色緑設定ビット[7:0]

これらのビットは、透過色の緑データの値を設定します。透過色ライト、オーバーレイ、アルファブレンディングで使用します。RGB5:6:5の場合は下位2ビット設定は無効になります。

**REG[58h] Transparency Key Color Blue Register**

Default = 00h

Read/Write

| 透過色青設定ビット7~0 |   |   |   |   |   |   |   |
|--------------|---|---|---|---|---|---|---|
| 7            | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

bits 7-0

透過色一青設定ビット[7:0]

これらのビットは、透過色の青データの値を設定します。透過色ライト、オーバーレイ、アルファブレンディングで使用します。RGB5:6:5の場合は下位3ビット設定は無効になります。

## 11. LCDインタフェース

| REG[5Ah] Write Window X Start Position Register |   |   |   |   |   |   | Read/Write |
|---|---|---|---|---|---|---|------------|
| Default = 00h                                   |   |   |   |   |   |   |            |
| ライトウィンドウX開始位置ビット9~3                             |   |   |   |   |   |   | n/a        |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-1

ライトウィンドウX開始位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてウィンドウのX開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

ライトウィンドウX開始位置 = (REG[5Ah]ビット7~0) x 4 + 1

### 注

ライトウィンドウX開始位置は、1から始まり8ピクセル単位 (1, 9, 17, 25,.... H size -7) になります。

| REG[5Ch] Write Window Y Start Position Register 0 |   |   |   |   |   |   |   | Read/Write |
|---|---|---|---|---|---|---|---|------------|
| Default = 00h                                     |   |   |   |   |   |   |   |            |
| ライトウィンドウY開始位置ビット9~2                               |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

| REG[5Eh] Write Window Y Start Position Register 1 |   |   |   |                     |   |   | Read/Write |
|---|---|---|---|---------------------|---|---|------------|
| Default = 00h                                     |   |   |   |                     |   |   |            |
| n/a   |   |   |   | ライトウィンドウY開始位置ビット1~0 |   |   |            |
| 7   | 6 | 5 | 4 | 3                   | 2 | 1 | 0          |

REG[5Ch] bits 7-0

REG[5Eh] bits 1-0

ライトウィンドウY開始位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてウィンドウのY開始位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

ライトウィンドウY開始位置 = (REG[5Ch]ビット7~0), (REG[5Eh]ビット1~0)

### 注

ライトウィンドウY開始位置は、1から始まり1ライン単位 (1, 2, 3, 4,.... V size) になります。



| REG[60h] Write Window X End Position Register |   |   |   |   |   |   | Read/Write |
|---|---|---|---|---|---|---|------------|
| Default = 00h                                 |   |   |   |   |   |   |            |
| ライトウィンドウX終了位置ビット9~3                           |   |   |   |   |   |   | n/a        |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-1

ライトウィンドウX終了位置ビット[9:3]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてウィンドウのX終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

ライトウィンドウX終了位置 = (REG[60h]ビット7~0) x 4 + 8

**注**

ライトウィンドウX終了位置は、8から始まり8ピクセル単位 (8, 16, 24, 32,.... H size) になります。

| REG[62h] Write Window Y End Position Register 0 |   |   |   |   |   |   | Read/Write |
|---|---|---|---|---|---|---|------------|
| Default = 00h                                   |   |   |   |   |   |   |            |
| ライトウィンドウY終了位置ビット9~2                             |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[64h] Write Window Y End Position Register 1 |   |   |   |                     |   |   | Read/Write |
|---|---|---|---|---------------------|---|---|------------|
| Default = 00h                                   |   |   |   |                     |   |   |            |
| n/a   |   |   |   | ライトウィンドウY終了位置ビット1~0 |   |   |            |
| 7   | 6 | 5 | 4 | 3                   | 2 | 1 | 0          |

REG[62h] bits 7-0

REG[64h] bits 1-0

ライトウィンドウY終了位置ビット[9:0]

これらのビットは、表示画像の左上コーナー (1, 1) を基準にしてウィンドウのY終了位置を決定します。方向が回転されている場合でも左上コーナーが表示画像の基準となります。

ライトウィンドウY終了位置 = (REG[62h]ビット7~0), (REG[64h]ビット1~0)

**注**

ライトウィンドウY終了位置は、1から始まり1ライン単位 (1, 2, 3, 4,.... V size) になります。

## 11. LCDインタフェース

### 11.17.6 メモリポートレジスタ

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[66h] Memory Data Port Register 0</b> |   |   |   |   |   |   |   | Read/Write |
| Default = XXh                               |   |   |   |   |   |   |   |            |
| メモリデータポートビット7~0                             |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[67h] Memory Data Port Register 1</b> |   |   |   |   |   |   |   | Read/Write |
| Default = XXh                               |   |   |   |   |   |   |   |            |
| メモリデータポートビット15~8                            |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

REG[66h] bits 7-0      メモリデータポートビット[7:0]  
これらはレジスタは下位バイトのデータポートになります。

REG[67h] bits 7-0      メモリデータポートビット[15:8]  
これらはレジスタは上位バイトのデータポートになります。

#### 注

SDCLKクロックがディセーブル (REG[68h] bit 0 = 0) の場合は、このレジスタのアクセスは無効になります。

## 11.17.7 その他レジスタ

| REG[68h] Power Save Register |               |               |                 |                 |          | Read/Write |                |
|------------------------------|---------------|---------------|-----------------|-----------------|----------|------------|----------------|
| Default = 00h                |               |               |                 |                 |          |            |                |
| タイミングコントローラリセット              | PWMコントローラリセット | メモリコントローラリセット | SDRAMコントローラリセット | アルファブレンディングリセット | Reserved |            | SDCLKクロックイネーブル |
| 7                            | 6             | 5             | 4               | 3               | 2        | 1          | 0              |

- bit 7                    タイミングコントローラリセット  
このビットは内部のタイミングコントローラブロックをリセットします。  
このビットが0のとき、通常動作になります。(初期値)  
このビットが1のとき、リセットします。
- bit 6                    PWMコントローラリセット  
このビットは内部のPWMコントローラブロックをリセットします。  
このビットが0のとき、通常動作になります。(初期値)  
このビットが1のとき、リセットします。
- bit 5                    メモリコントローラリセット  
このビットは内部のメモリコントローラブロックをリセットします。  
このビットが0のとき、通常動作になります。(初期値)  
このビットが1のとき、リセットします。
- bit 4                    SDRAMコントローラリセット  
このビットは内部のSDRAMコントローラブロックをリセットします。SDRAM  
コントローラをリセットすると、再度イニシャルシケーンスから始める必要が  
あります。  
このビットが0のとき、通常動作になります。(初期値)  
このビットが1のとき、リセットします。
- bit 3                    アルファブレンディングリセット  
このビットは内部のアルファブレンディングブロックをリセットします。  
このビットが0のとき、通常動作になります。(初期値)  
このビットが1のとき、リセットします。
- bits 2-1                Reserved  
これらのビットは、必ず00bでご使用ください。
- bit 0                    SDCLKクロックイネーブル  
このビットはSDCLKクロック (SDCLK) を制御します。  
このビットが0のとき、SDCLKディセーブルになりパワーセーブモードに遷移  
します。(初期値)  
このビットが1のとき、SDCLKイネーブルになりパワーセーブモードから復帰  
します。

**注**

SDCLKディセーブル中に、PLL設定、SS設定、LCDCLK設定、PLLイネーブル、SSイネーブル、ソフトウェアリセットの設定変更ができます。

## 11. LCDインタフェース

| REG[6Ah] Non-Display Period Control / Status Register |                   |                                |     |   |   | Read/Write |   |
|---|-------------------|--------------------------------|-----|---|---|------------|---|
| Default = 03h   |                   |                                |     |   |   |            |   |
| VNDPステータス<br>(RO)                                     | HNDPステータス<br>(RO) | VNDPとHNDPの論<br>理和ステータス<br>(RO) | n/a |   |   | Reserved   |   |
| 7   | 6                 | 5                              | 4   | 3 | 2 | 1          | 0 |

**bit 7** VNDPステータス (リードオンリー)  
 これは読み出し専用のステータスビットです。VNDPは、あるフレームの最後のラインの最後のピクセルと次のフレームの最初のラインの最初のピクセルとの間の時間になります。  
 このビットが0のとき、LCDパネル出力は垂直非表示期間にあります。  
 このビットが1のとき、LCDパネル出力は垂直表示期間にあります。

### 注

**bit 6** HNDPステータス (リードオンリー)  
 これは読み出し専用のステータスビットです。HNDPは、ラインnの最後のピクセルとラインn+1の最初のピクセルとの間の時間となります。  
 このビットが0のとき、LCDパネル出力は水平非表示期間にあります。  
 このビットが1のとき、LCDパネル出力は水平表示期間にあります。

**bit 5** VNDPとHNDPの論理和ステータス (リードオンリー)  
 このビットは読み出し専用のステータスビットです。  
 このビットが0のとき、LCDパネル出力は、水平非表示期間または垂直非表示期間にあります。  
 このビットが1のとき、LCDパネル出力は表示期間にあります。

**bits 1-0** Reserved  
 これらのビットは、必ず11bでご使用ください。

[bits 1-0](#) [TE/INT出力機能選択ビット\[1:0\]](#)

**表11.24 TE/INT出力機能選択**

| REG[6Ah]ビット1~0 | TE/INT出力機能        |
|----------------|-------------------|
| 00             | TE (VNDP)         |
| 01             | TE (HNDP)         |
| 10             | TE (VNDPとHNDPのOR) |
| 11             | INT (初期値)         |

## 11.17.8 汎用IO端子レジスタ

| REG[6Ch] General Purpose Output Register 0 |   |     |   |          |   |   |            |   |
|--|---|-----|---|----------|---|---|------------|---|
| Default = 00h                              |   |     |   |          |   |   | Read/Write |   |
| 7  | 6 | n/a | 5 | 4        | 3 | 2 | 1          | 0 |
|  |   |     |   | Reserved |   |   |            |   |

bits 3-0

Reserved ([GPO\[11:8\]ステータス](#))

これらのビットは、必ず0000bでご使用ください

| REG[6Eh] General Purpose Output Register 1 |           |           |           |           |           |           |            |
|--|-----------|-----------|-----------|-----------|-----------|-----------|------------|
| Default = 00h                              |           |           |           |           |           |           | Read/Write |
| GPO7ステータス                                  | GPO6ステータス | GPO5ステータス | GPO4ステータス | GPO3ステータス | GPO2ステータス | GPO1ステータス | GPO0ステータス  |
| 7  | 6         | 5         | 4         | 3         | 2         | 1         | 0          |

bits 7-0

GPO[7:0]ステータス

このビットに1を書き込むと出力はHighになり、0を書き込むとLowになります。初期値はLow出力です。

## 11. LCDインタフェース

### 11.17.9 PWM設定レジスタ

| REG[70h] PWM Control Register |     |   |   |   |          | Read/Write      |   |
|-------------------------------|-----|---|---|---|----------|-----------------|---|
| Default = 00h                 |     |   |   |   |          |                 |   |
| PWM設定レジスタ更新 (WO)              | n/a |   |   |   | PWMイネーブル | PWM出力機能選択ビット1~0 |   |
| 7                             | 6   | 5 | 4 | 3 | 2        | 1               | 0 |

bit 7 PWM設定レジスタ更新 (ライトオンリー)  
 PWMのレジスタ (REG[72h]~[80h]) の値をロードします。  
 このビットが0のとき、影響しません。  
 このビットが1のとき、ロードします。

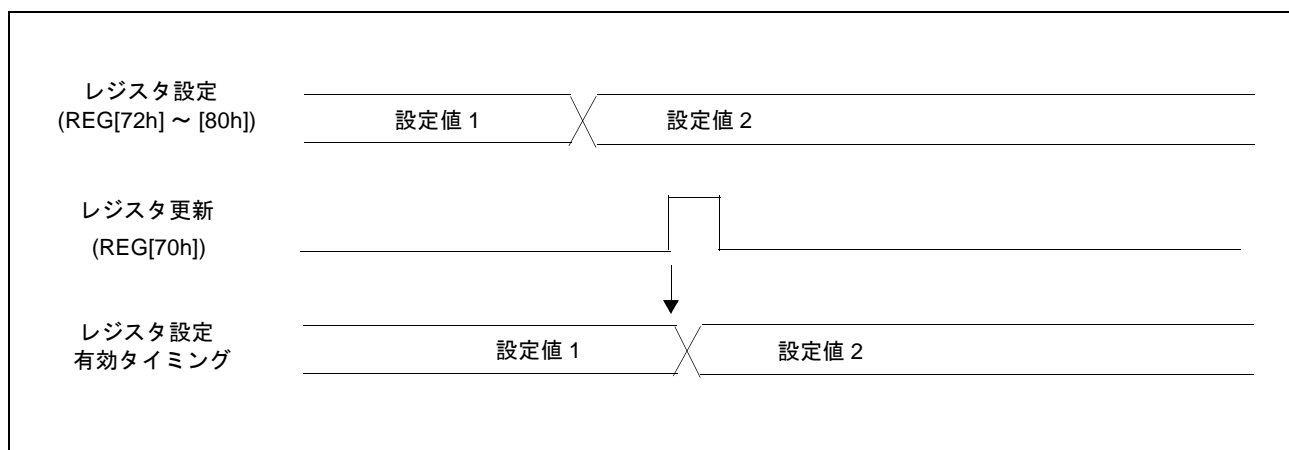


図11.30 PWM設定レジスタ更新タイミング

bit 2 PWMイネーブル  
 PWMをイネーブルにします。ディセーブルにした場合、PWM出力はその時点での論理で停止します。  
 このビットが0のとき、PWMはディセーブル。(初期値)  
 このビットが1のとき、PWMはイネーブル。

bits 1-0 PWM出力機能選択ビット[1:0]

表11.25 PWM出力機能選択

| REG[70h]ビット1~0 | PWM出力機能    |
|----------------|------------|
| 00             | ロー出力 (初期値) |
| 01             | ハイ出力       |
| 1x             | PWM出力      |

|  |   |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|---|------------|
| <b>REG[72h] PWM High Duty Register 0</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h                            |   |   |   |   |   |   |   |            |
| PWMハイ期間設定ビット7~0                          |   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|  |   |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|---|------------|
| <b>REG[74h] PWM High Duty Register 1</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h                            |   |   |   |   |   |   |   |            |
| PWMハイ期間設定ビット15~8                         |   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|  |   |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|---|------------|
| <b>REG[76h] PWM High Duty Register 2</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h                            |   |   |   |   |   |   |   |            |
| PWMハイ期間設定ビット23~16                        |   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|  |   |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|---|------------|
| <b>REG[78h] PWM High Duty Register 3</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h                            |   |   |   |   |   |   |   |            |
| PWMハイ期間設定ビット31~24                        |   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

REG[72h] bits 7-0

REG[74h] bits 7-0

REG[76h] bits 7-0

REG[78h] bits 7-0

PWMハイ期間設定ビット[31:0]

これらのビットは、PWMのハイ期間を設定します。レジスタの値はREG[70h] bit 7のライト直後に値が有効になります。

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[7Ah] PWM Low Duty Register 0</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h                           |   |   |   |   |   |   |   |            |
| PWMロー期間設定ビット7~0                         |   |   |   |   |   |   |   |            |
| 7                                       | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[7Ch] PWM Low Duty Register 1</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h                           |   |   |   |   |   |   |   |            |
| PWMロー期間設定ビット15~8                        |   |   |   |   |   |   |   |            |
| 7                                       | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[7Eh] PWM Low Duty Register 2</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h                           |   |   |   |   |   |   |   |            |
| PWMロー期間設定ビット23~16                       |   |   |   |   |   |   |   |            |
| 7                                       | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[80h] PWM Low Duty Register 3</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h                           |   |   |   |   |   |   |   |            |
| PWMロー期間設定ビット31~24                       |   |   |   |   |   |   |   |            |
| 7                                       | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

REG[7Ah] bits 7-0

REG[7Ch] bits 7-0

REG[7Eh] bits 7-0

REG[80h] bits 7-0

PWMロー期間設定ビット[31:0]

これらのビットは、PWMのロー期間を設定します。レジスタ変更はREG[70h] bit 7のライト直後に値が有効になります。

## 11. LCDインタフェース

### 11.17.10 SDRAM設定レジスタ

| REG[82h] SDRAM Control Register 0 |   |   |   |                |   |   | Read/Write |  |
|-----------------------------------|---|---|---|----------------|---|---|------------|--|
| Default = 02h                     |   |   |   |                |   |   |            |  |
| Reserved                          |   |   |   | メモリサイズ設定ビット1~0 |   |   |            |  |
| 7                                 | 6 | 5 | 4 | 3              | 2 | 1 | 0          |  |

**bit 7** メモリ電圧選択  
 このビットが0のとき、SDRAMインタフェースは3.3Vです。(初期値)  
 このビットが1のとき、SDRAMインタフェースは1.8Vです。

**bits 7-2** Reserved  
 これらのビットは、必ず0000000bでご使用ください。

**bits 1-0** メモリサイズ選択ビット[1:0]

**表11.26 SDRAMメモリサイズ選択**

| REG[82h]ビット1~0 | SDRAMメモリサイズ  |
|----------------|--------------|
| 0x             | 16Mビット       |
| 10             | 64Mビット (初期値) |
| 11             | 128Mビット      |

| REG[84h] SDRAM Status Register 0 |          |   |   |                       |                   | Write Only          |          |
|----------------------------------|----------|---|---|-----------------------|-------------------|---------------------|----------|
| Default = 00h                    |          |   |   |                       |                   |                     |          |
| オートリフレッシュ<br>オン (WO)             | Reserved |   |   | セルフリフレッシュ<br>セット (WO) | パワーダウンセット<br>(WO) | イニシャライズセッ<br>ト (WO) | Reserved |
| 7                                | 6        | 5 | 4 | 3                     | 2                 | 1                   | 0        |

**bit 7** オートリフレッシュオン (ライトオンリー)  
 SDRAMのオートリフレッシュをオンにします。イニシャライズセットと同時にオンにしてください。  
 このビットが0のとき、オートリフレッシュはオフです。  
 このビットが1のとき、オートリフレッシュはオンです。

**bits 6-4** Reserved  
 これらのビットは、必ず000bでご使用ください。

**bit 3** セルフリフレッシュセット (ライトオンリー)  
 SDRAMをセルフリフレッシュに移行します。  
 このビットが0のとき、セルフリフレッシュから復帰します。  
 このビットが1のとき、セルフリフレッシュに移行します。

**bit 2** パワーダウンセット (ライトオンリー)  
 SDRAMをパワーダウンに移行します。  
 このビットが0のとき、パワーダウンから復帰します。  
 このビットが1のとき、パワーダウンに移行します。

**bit 1** イニシャライズセット (ライトオンリー)  
 SDRAMをイニシャライズします。イニシャライズコマンドは、リセット後に1回しか発行できません。  
 このビットが0のとき、ステータスビットをリセットします。  
 このビットが1のとき、イニシャライズします。

**bit 0** Reserved  
 このビットは、必ず0bでご使用ください。



| REG[86h] SDRAM Status Register 1 |                     |          |   |                         |                     | Read Only             |
|----------------------------------|---------------------|----------|---|-------------------------|---------------------|-----------------------|
| Default = 00h                    |                     |          |   |                         |                     |                       |
| オートリフレッシュ<br>オンステータス<br>(RO)     | コントローラステータス<br>(RO) | Reserved |   | セルフリフレッシュ<br>ステータス (RO) | パワーダウンステータス<br>(RO) | イニシャライズ<br>ステータス (RO) |
| 7                                | 6                   | 5        | 4 | 3                       | 2                   | 1                     |
|                                  |                     |          |   |                         |                     | 0                     |

- bit 7                   オートリフレッシュオンステータス（リードオンリー）  
REG[84h] bit 7の値を示します。  
このビットが0のとき、オートリフレッシュはオフです。  
このビットが1のとき、オートリフレッシュはオンです。
- bit 6                   コントローラステータス（リードオンリー）  
SDRAMコントローラの状態を示します。  
このビットが0のとき、ビジーまたはその他の状態です。  
このビットが1のとき、アイドル状態です。
- bits 5-4               Reserved  
これらのビットは、使用しません。
- bit 3                   セルフリフレッシュステータス（リードオンリー）  
SDRAMがセルフリフレッシュの状態を示します。  
このビットが0のとき、セルフリフレッシュ以外です。  
このビットが1のとき、セルフリフレッシュ中です。
- bit 2                   パワーダウンステータス（リードオンリー）  
SDRAMがパワーダウンの状態を示します。  
このビットが0のとき、パワーダウン以外です。  
このビットが1のとき、パワーダウン中です。
- bit 1                   イニシャライズステータス（リードオンリー）  
SDRAMがイニシャライズシーケンスの状態を示します。  
このビットが0のとき、イニシャライズシーケンス未終了です。  
このビットが1のとき、イニシャライズシーケンス終了です。
- bits 0                   Reserved  
このビットは、使用しません。

## 11. LCDインタフェース

|  |   |   |   |   |   |   |   |
|--|---|---|---|---|---|---|---|
| <b>REG[88h] SDRAM MRS Value Register 0</b> |   |   |   |   |   |   |   |
| Default = 22h                              |   |   |   |   |   |   |   |
| Read/Write                                 |   |   |   |   |   |   |   |
| MRSビット7~0                                  |   |   |   |   |   |   |   |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

|  |   |   |   |            |   |   |   |
|--|---|---|---|------------|---|---|---|
| <b>REG[8Ah] SDRAM MRS Value Register 1</b> |   |   |   |            |   |   |   |
| Default = 00h                              |   |   |   |            |   |   |   |
| Read/Write                                 |   |   |   |            |   |   |   |
| n/a  |   |   |   | MRSビット11~8 |   |   |   |
| 7  | 6 | 5 | 4 | 3          | 2 | 1 | 0 |

REG[8Ah] bits 3-0

REG[88h] bits 7-0

MRSビット[11:0]

これらのビットはMRS設定値です。このレジスタは、初期値（022h）から変更しないでください。イニシャルシーケンス中に、本レジスタの設定値がSDRAMへ設定されます。CASレイテンシ=2、バースト長=4のみサポートしています。

|  |   |   |   |   |   |   |   |
|--|---|---|---|---|---|---|---|
| <b>REG[8Ch] SDRAM Refresh Counter Register 0</b> |   |   |   |   |   |   |   |
| Default = FFh                                    |   |   |   |   |   |   |   |
| Read/Write                                       |   |   |   |   |   |   |   |
| Refreshビット7~0                                    |   |   |   |   |   |   |   |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |

|  |   |   |   |                |   |   |   |
|--|---|---|---|----------------|---|---|---|
| <b>REG[8Eh] SDRAM Refresh Counter Register 1</b> |   |   |   |                |   |   |   |
| Default = 03h                                    |   |   |   |                |   |   |   |
| Read/Write                                       |   |   |   |                |   |   |   |
| n/a  |   |   |   | Refreshビット11~8 |   |   |   |
| 7  | 6 | 5 | 4 | 3              | 2 | 1 | 0 |

REG[8Eh] bits 3-0

REG[8Ch] bits 7-0

Refreshビット[11:0]

これらのビットでリフレッシュカウンタの値を設定します。リフレッシュカウンタは、レジスタの設定値の間隔でオートリフレッシュコマンドを発行します。カウンタの入力クロックはSDCLKになります。これらのビットは、次の式を満足する値に設定してください。

カウンタの設定時間 =  $(1/f_{SDCLK}) \times \text{カウンタ値} < \text{SDRAMリフレッシュ時間}$

例えば初期設定値03FFhは、  
 96MHzで4096リフレッシュサイクル/64msのSDRAMを使用する場合、  
 カウンタの設定時間 =  $(1/96\text{MHz}) \times 1023 (= 03FFh) = 10.65\mu\text{s}$   
 SDRAMリフレッシュ時間 =  $64\text{ms} / 4096 = 15.63\mu\text{s}$   
 を満足しています。

同様に66MHzで4096リフレッシュサイクル/64msのSDRAMを使用する場合、  
 カウンタの設定時間 =  $(1/66\text{MHz}) \times 1023 (= 03FFh) = 15.50\mu\text{s}$   
 SDRAMリフレッシュ時間 =  $64\text{ms} / 4096 = 15.63\mu\text{s}$   
 を満足しています。

| REG[90h] SDRAM Write Buffer Memory Size Register 0 |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| Default = 00h                                      |   |   |   |   |   |   | Read/Write |
| ライトバッファメモリサイズビット7~0                                |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 7-0

ライトバッファメモリサイズビット[7:0]

これらのビットで1つのライトバッファのメモリサイズを16Kバイト単位で設定します。バッファ0はSDRAMの0番地固定になり、バッファ1の先頭アドレスがこれらのビットで指定されることとなります。バッファ2~7は同様なオフセット値で設定されます。初期値00hの場合は、すべてのバッファの先頭アドレスがSDRAMの0番地になります。

バッファ1の先頭アドレスA[23:22] = 0

バッファ1の先頭アドレスA[21:14] = (REG[90h] bits 7-0)

バッファ1の先頭アドレスA[13:0] = 0

表11.27 ライトバッファメモリサイズ設定

| LCDパネルサイズ | 推奨バッファサイズ | REG[90h]設定値 |
|-----------|-----------|-------------|
| HVGA      | 512Kbyte  | 20h         |
| VGA       | 1Mbyte    | 40h         |
| WVGA      | 1.25Mbyte | 50h         |
| SVGA      | 1.5Mbyte  | 60h         |

| REG[92h] SDRAM Debug Register |   |   |   |   |   |   |           |
|-------------------------------|---|---|---|---|---|---|-----------|
| Default = 00h                 |   |   |   |   |   |   | Read Only |
| コントローラデバッグステータス (RO)          |   |   |   |   |   |   |           |
| 7                             | 6 | 5 | 4 | 3 | 2 | 1 | 0         |

bit 4

メモリコントローラリードバッファエンプティ (リードオンリー)

リードバッファ (表示FIFO) がエンプティになった場合にセットされます。

bit 3

メモリコントローラライトバッファオーバフロー (リードオンリー)

ライトバッファ (入力バッファ) がオーバフローした場合にセットされます。

bits 2-0

SDRAMコントローラステータス (リードオンリー)

SDRAMコントローラのステートマシンの状態を示します。

表11.28 SDRAMコントローラステータス

| REG[92h]ビット2~0 | ステータス     |
|----------------|-----------|
| 000            | リセット      |
| 001            | イニシャル     |
| 010            | アイドル      |
| 011            | リード/ライト   |
| 100            | オートリフレッシュ |
| 101            | MRS&PALL  |
| 110            | セルフリフレッシュ |
| 111            | パワーダウン    |

## 11. LCDインタフェース

### 11.17.11 アルファブレンディング設定レジスタ

| REG[94h] Alpha-blending Control Register |               |                   |   |     |   | Read/Write |                 |
|--|---------------|-------------------|---|-----|---|------------|-----------------|
| Default = 00h                            |               |                   |   |     |   |            |                 |
| ブレンディングスタートモード                           | オートモードディレクション | オートモードアルファ値ビット1~0 |   | n/a |   | ブレンディングトリガ | ブレンディングスタート(WO) |
| 7  | 6             | 5                 | 4 | 3   | 2 | 1          | 0               |

- bit 7**                   ブレンディングスタートモード  
このビットはアルファブレンディングのスタートモードを選択します。  
このビットが0のとき、マニュアルモードになります。(初期値)  
このビットが1のとき、オートモードになります。オートモード時は、表示垂直期間に同期して、自動的に設定回数のアルファブレンディングを実行します。
- bit 6**                   オートモードディレクション  
このビットはオートモードを選択した時に有効になり、アルファ値の方向を設定します。  
このビットが0のとき、アルファ値は0から1の方向へインクリメントします。(初期値)  
このビットが1のとき、アルファ値は1から0の方向へデクリメントします。
- bits 5-4**               オートモードアルファ値ビット[1:0]  
これらのビットでオートモード時のアルファ値の解像度を選択します。選択した解像度で、オートインクリメントまたはオートデクリメントします。

**表11.29 オートモードアルファ値選択**

| REG[94h]ビット5~4 | アルファ値解像度    |
|----------------|-------------|
| 00             | 1/256 (初期値) |
| 01             | 1/128       |
| 10             | 1/64        |
| 11             | 1/32        |

- bit 1**                   ブレンディングトリガ  
このビットはブレンディングスタートのタイミングを選択します。  
このビットが0のとき、ビット0のトリガで開始します。(初期値)  
このビットが1のとき、ビット0のトリガ後、次の垂直非表示期間に同期して開始します。
- bit 0**                   ブレンディングスタート (ライトオンリー)  
このビットの立ち上がりエッジで、アルファブレンディングをスタートします。マニュアルモードでは1回で終了し、オートモードでは設定回数実行後に終了します。このビットを動作中に設定した場合は無効になります。"1"をライトした後、直ぐに"0"をライトしてください。  
このビットが0のとき、レジスタ値は"0"になります。  
このビットが1のとき、レジスタ値は"1"になり、ブレンディングがスタートします。

| REG[96h] Alpha-blending Status Register |   |   |   |   |   |   | Read Only     |
|---|---|---|---|---|---|---|---------------|
| Default = 00h                           |   |   |   |   |   |   |               |
| 7                                       | 6 | 5 | 4 | 3 | 2 | 1 | Reserved<br>0 |

bit 0                      Reserved  
このビットは、使用しません。

| REG[98h] Alpha-blending Horizontal Size Register |                   |   |   |   |   |   | Read/Write |
|--|-------------------|---|---|---|---|---|------------|
| Default = 00h                                    |                   |   |   |   |   |   |            |
| n/a  | ブレンド水平画像サイズビット6~0 |   |   |   |   |   |            |
| 7  | 6                 | 5 | 4 | 3 | 2 | 1 | 0          |

bits 6-0                      ブレンド水平画像サイズビット[6:0]  
これらのビットは、8ピクセル解像度でアルファブレンドウィンドウの水平方向画像サイズを設定します。

$$\text{水平方向画像サイズ} = ((\text{REG}[98\text{h}] \text{ビット} 6 \sim 0) + 1) \times 8$$

| REG[9Ah] Alpha-blending Vertical Size Register 0 |   |   |   |   |   |   | Read/Write |
|--|---|---|---|---|---|---|------------|
| Default = 00h                                    |   |   |   |   |   |   |            |
| ブレンド垂直画像サイズビット7~0                                |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[9Ch] Alpha-blending Vertical Size Register 1 |   |   |   |   |   |                   | Read/Write |
|--|---|---|---|---|---|-------------------|------------|
| Default = 00h                                    |   |   |   |   |   |                   |            |
| n/a  |   |   |   |   |   | ブレンド垂直画像サイズビット9~8 |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1                 | 0          |

REG[9Ch] bits 1-0

REG[9Ah] bits 7-0

ブレンド垂直画像サイズビット[9:0]  
これらのビットは、アルファブレンドウィンドウの垂直方向画像サイズを設定します。

$$\text{垂直方向画像サイズ} = ((\text{REG}[9\text{Ch}] \text{ビット} 1 \sim 0), (\text{REG}[9\text{Ah}] \text{ビット} 7 \sim 0)) + 1$$

## 11. LCDインタフェース

| REG[9Eh] Alpha-blending Value Register |   |                 |   |   |   |   | Read/Write |
|--|---|-----------------|---|---|---|---|------------|
| Default = 00h                          |   |                 |   |   |   |   |            |
| ブレンド入力モードビット1~0                        |   | ブレンドアルファ値ビット5~0 |   |   |   |   |            |
| 7                                      | 6 | 5               | 4 | 3 | 2 | 1 | 0          |

bits 7-6                      ブレンド入力モードビット[1:0]  
 アルファブレンドの入力モードを設定します。

**表11.30    ブレンド入力モード設定**

| REG[9Eh]ビット7~6 | ブレンド入力画像     |
|----------------|--------------|
| 00b            | ディセーブル (初期値) |
| 01b            | フィルモード       |
| 10b            | ノーマルモード      |
| 11b            | コピーモード       |

bits 5-0                      ブレンドアルファ値ビット[5:0]  
 これらのビットは、アルファブレンドのアルファ値を設定します。

**表11.31    アルファ値の選択**

| REG[9Eh]ビット5~0 | アルファ値   |
|----------------|---------|
| 00h            | 0 (初期値) |
| 01h            | 1/32    |
| 02h            | 2/32    |
| 03h            | 3/32    |
| •              | •       |
| •              | •       |
| •              | •       |
| 1Fh            | 31/32   |
| 20h            | 1       |
| その他            | 設定禁止    |

ノーマルモード：  
 $\text{出力画像} = (\text{入力画像1} \times \text{アルファ設定値}) + (\text{入力画像2} \times (1 - \text{アルファ設定値}))$

コピーモード：  
 $\text{出力画像} = (\text{入力画像1} \times \text{アルファ設定値})$

フィルモード：  
 $\text{出力画像} = (\text{レジスタ設定値} \times \text{アルファ設定値})$

|   |   |   |   |     |   |   |   |            |
|---|---|---|---|-----|---|---|---|------------|
| <b>REG[A0h] Alpha-blending Input 1 Start Address Register 0</b> |   |   |   |     |   |   |   | Read/Write |
| Default = 00h   |   |   |   |     |   |   |   |            |
| 入力画像1 メモリ開始アドレスビット7~3   |   |   |   | n/a |   |   |   |            |
| 7   | 6 | 5 | 4 | 3   | 2 | 1 | 0 |            |

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[A2h] Alpha-blending Input 1 Start Address Register 1</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h   |   |   |   |   |   |   |   |            |
| 入力画像1 メモリ開始アドレスビット15~8  |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[A4h] Alpha-blending Input 1 Start Address Register 2</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h   |   |   |   |   |   |   |   |            |
| 入力画像1 メモリ開始アドレスビット23~16   |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

REG[A4h] bits 7-0

REG[A2h] bits 7-0

REG[A0h] bits 7-3

入力画像1 メモリ開始アドレスビット[23:3]

これらのビットは、アルファブレンディングの入力画像1ウィンドウのメモリ開始アドレスをバイトアドレスで指定します。

入力画像1メモリ開始アドレスA[23:3] = (REG[A4h]ビット7~0), (REG[A2h]ビット7~0), (REG[A0h]ビット7~3)

|   |   |   |   |     |   |   |   |            |
|---|---|---|---|-----|---|---|---|------------|
| <b>REG[A6h] Alpha-blending Input 2 Start Address Register 0</b> |   |   |   |     |   |   |   | Read/Write |
| Default = 00h   |   |   |   |     |   |   |   |            |
| 入力画像2 メモリ開始アドレスビット7~3   |   |   |   | n/a |   |   |   |            |
| 7   | 6 | 5 | 4 | 3   | 2 | 1 | 0 |            |

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[A8h] Alpha-blending Input 2 Start Address Register 1</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h   |   |   |   |   |   |   |   |            |
| 入力画像2 メモリ開始アドレスビット15~8  |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[AAh] Alpha-blending Input 2 Start Address Register 2</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h   |   |   |   |   |   |   |   |            |
| 入力画像2 メモリ開始アドレスビット23~16   |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

REG[AAh] bits 7-0

REG[A8h] bits 7-0

REG[A6h] bits 7-3

入力画像2 メモリ開始アドレスビット[23:3]

これらのビットは、アルファブレンディングの入力画像2ウィンドウのメモリ開始アドレスをバイトアドレスで指定します。

入力画像2メモリ開始アドレスA[23:3] = (REG[AAh]ビット7~0), (REG[A8h]ビット7~0), (REG[A6h]ビット7~3)

## 11. LCDインタフェース

|  |   |   |   |     |   |   |   |            |
|--|---|---|---|-----|---|---|---|------------|
| <b>REG[ACh] Alpha-blending Output Start Address Register 0</b> |   |   |   |     |   |   |   | Read/Write |
| Default = 00h  |   |   |   |     |   |   |   |            |
| 出力画像メモリ開始アドレスビット7~3  |   |   |   | n/a |   |   |   |            |
| 7  | 6 | 5 | 4 | 3   | 2 | 1 | 0 |            |

|   |   |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|---|------------|
| <b>REG[AEnh] Alpha-blending Output Start Address Register 1</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h   |   |   |   |   |   |   |   |            |
| 出力画像メモリ開始アドレスビット15~8  |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

|  |   |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|---|------------|
| <b>REG[B0h] Alpha-blending Output Start Address Register 2</b> |   |   |   |   |   |   |   | Read/Write |
| Default = 00h  |   |   |   |   |   |   |   |            |
| 出力画像メモリ開始アドレスビット23~16  |   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

REG[B0h] bits 7-0

REG[AEnh] bits 7-0

REG[ACh] bits 7-3

出力画像メモリ開始アドレスビット[23:3]

これらのビットは、アルファブレンディングの出力画像ウィンドウのメモリ開始アドレスをバイトアドレスで指定します。

出力画像メモリ開始アドレスA[23:3] = (REG[B0h]ビット7~0), (REG[AEnh]ビット7~0), (REG[ACh]ビット7~3)



## 11.17.12 割り込み設定レジスタ

| REG[B2h] Interrupt Control Register |   |   |                |     |   |   | Read/Write       |
|-------------------------------------|---|---|----------------|-----|---|---|------------------|
| Default = 00h                       |   |   |                |     |   |   |                  |
| n/a                                 |   |   | ブレンディング割り込みマスク | n/a |   |   | ブレンディング割り込みイネーブル |
| 7                                   | 6 | 5 | 4              | 3   | 2 | 1 | 0                |

bit 4                   ブレンディング割り込みマスク  
このビットはアルファブレンディング割り込みの設定をします。  
このビットが0のとき、割り込みマスクされます。(初期値)  
このビットが1のとき、割り込みマスクされません。

bit 0                   ブレンディング割り込みイネーブル  
このビットはアルファブレンディング割り込みの設定をします。  
このビットが0のとき、割り込みディセーブルです。(初期値)  
このビットが1のとき、割り込みイネーブルです。

| REG[B4h] Interrupt Status Register |   |   |   |   |   |                  | Read Only |
|------------------------------------|---|---|---|---|---|------------------|-----------|
| Default = 00h                      |   |   |   |   |   |                  |           |
| n/a                                |   |   |   |   |   | ブレンディング割り込みステータス |           |
| 7                                  | 6 | 5 | 4 | 3 | 2 | 1                | 0         |

bit 0                   ブレンディング割り込みステータス (リードオンリー)  
このビットはアルファブレンディング割り込みのステータスを示します。割り込みディセーブルの場合は"0"になります。  
このビットが0のとき、割り込みなし。  
このビットが1のとき、割り込みあり。

| REG[B6h] Interrupt Clear Register |   |   |   |   |   |                | Write Only |
|-----------------------------------|---|---|---|---|---|----------------|------------|
| Default = 00h                     |   |   |   |   |   |                |            |
| n/a                               |   |   |   |   |   | ブレンディング割り込みクリア |            |
| 7                                 | 6 | 5 | 4 | 3 | 2 | 1              | 0          |

bit 0                   ブレンディング割り込みクリア (ライトオンリー)  
このビットの立ち上がりエッジで、ブレンディング割り込みステータスビットをクリアします。"1"をライトした後、再度"0"をライトしてください。("1"の間は割り込みフラグがセットされません)  
このビットが0のとき、レジスタはクリア ("0") されます。  
このビットは割り込みステータスビットをクリアします。

## 11. LCDインタフェース

### 11.17.13 表示効果レジスタ

| REG[B8h] Display Enhancement Control Register |   |     |   |   | Read/Write    |               |            |
|---|---|-----|---|---|---------------|---------------|------------|
| Default = 00h                                 |   |     |   |   |               |               |            |
| LUTアクセスモード選択ビット1~0                            |   | n/a |   |   | ブライトネス補正イネーブル | コントラスト補正イネーブル | ガンマ補正イネーブル |
| 7   | 6 | 5   | 4 | 3 | 2             | 1             | 0          |

bits 7-6 LUTアクセスモード選択ビット[1:0]  
 ガンマ補正用のルックアップテーブルのアクセス方法を選択します。アクセスする場合は、必ずガンマ補正イネーブルビットをディセーブルにしてください。

表11.32 LUTアクセスモード選択

| REG[B8h]ビット7~6 | LUTアクセスモード選択                  |
|----------------|-------------------------------|
| 00b            | R、G、Bへ同時にライトします。Rをリードします（初期値） |
| 01b            | Rへライト/Rをリードします                |
| 10b            | Gへライト/Gをリードします                |
| 11b            | Bへライト/Bをリードします                |

bit 2 ブライトネス補正イネーブル  
 このビットはブライトネス補正をイネーブルにします。  
 このビットが0のとき、ブライトネス補正はディセーブルです。（初期値）  
 このビットが1のとき、ブライトネス補正はイネーブルです。

bit 1 コントラスト補正イネーブル  
 このビットはコントラスト補正をイネーブルにします。  
 このビットが0のとき、コントラスト補正はディセーブルです。（初期値）  
 このビットが1のとき、コントラスト補正はイネーブルです。

bit 0 ガンマ補正イネーブル  
 このビットはLUTによるガンマ補正をイネーブルにします。  
 このビットが0のとき、ガンマ補正はディセーブルです。（初期値）  
 このビットが1のとき、ガンマ補正はイネーブルです。

| REG[BAh] Gamma Correction Table Index Register |   |   |   |   |   |   |   | Read/Write |  |
|--|---|---|---|---|---|---|---|------------|--|
| Default = 00h                                  |   |   |   |   |   |   |   |            |  |
| ガンマ補正テーブルインデックスビット7~0                          |   |   |   |   |   |   |   |            |  |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |  |

bits 7-0 ガンマ補正テーブルインデックスビット[7:0]  
 これらのビットはガンマ補正ルックアップテーブルをライトする際のインデックスを指定します。インデックスは自動インクリメントされます。

| REG[BCh] Gamma Correction Table Data Register |   |   |   |   |   |   |   | Read/Write |  |
|---|---|---|---|---|---|---|---|------------|--|
| Default = 00h                                 |   |   |   |   |   |   |   |            |  |
| ガンマ補正テーブルデータビット7~0                            |   |   |   |   |   |   |   |            |  |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |  |

bits 7-0 ガンマ補正テーブルデータビット[7:0]  
 これらのビットはガンマ補正ルックアップテーブルのデータをリード/ライトします。連続してデータをリード/ライトすることができます。SDCLKクロックがディセーブル（REG[68h] bit 0 = 0）またはガンマ補正がイネーブルの場合は、このレジスタのアクセスは無効になります。

| REG[BEh] Brightness Correction Red Register 0 |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|------------|
| Default = 00h                                 |   |   |   |   |   |   | Read/Write |
| ブライトネス補正赤設定ビット7~0                             |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[C0h] Brightness Correction Red Register 1 |   |   |   |   |   |   |                     |
|---|---|---|---|---|---|---|---------------------|
| Default = 00h                                 |   |   |   |   |   |   | Read/Write          |
| n/a   |   |   |   |   |   |   | ブライトネス補正赤<br>設定ビット8 |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0                   |

REG[C0h] bit 0

REG[BEh] bits 7-0      ブライトネス補正赤設定ビット[8:0]  
これらのビットはブライトネス補正の赤データを設定します。データは次の垂直表示期間から有効になります。

| REG[C2h] Brightness Correction Green Register 0 |   |   |   |   |   |   |            |
|---|---|---|---|---|---|---|------------|
| Default = 00h                                   |   |   |   |   |   |   | Read/Write |
| ブライトネス補正緑設定ビット7~0                               |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[C4h] Brightness Correction Green Register 1 |   |   |   |   |   |   |                     |
|---|---|---|---|---|---|---|---------------------|
| Default = 00h                                   |   |   |   |   |   |   | Read/Write          |
| n/a   |   |   |   |   |   |   | ブライトネス補正緑<br>設定ビット8 |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0                   |

REG[C4h] bit 0

REG[C2h] bits 7-0      ブライトネス補正緑設定ビット[8:0]  
これらのビットはブライトネス補正の緑データを設定します。データは次の垂直表示期間から有効になります。

| REG[C6h] Brightness Correction Blue Register 0 |   |   |   |   |   |   |            |
|--|---|---|---|---|---|---|------------|
| Default = 00h                                  |   |   |   |   |   |   | Read/Write |
| ブライトネス補正青設定ビット7~0                              |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[C8h] Brightness Correction Blue Register 1 |   |   |   |   |   |   |                     |
|--|---|---|---|---|---|---|---------------------|
| Default = 00h                                  |   |   |   |   |   |   | Read/Write          |
| n/a  |   |   |   |   |   |   | ブライトネス補正青<br>設定ビット8 |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0                   |

REG[C8h] bit 0

REG[C6h] bits 7-0      ブライトネス補正青設定ビット[8:0]  
これらのビットはブライトネス補正の青データを設定します。データは次の垂直表示期間から有効になります。

## 11. LCDインタフェース

---

| REG[CAh] Contrast Correction Red Register |   |   |   |   |   |   |   | Read/Write |
|---|---|---|---|---|---|---|---|------------|
| Default = 00h                             |   |   |   |   |   |   |   |            |
| コントラスト補正赤設定ビット7~0                         |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

bits 7-0                      コントラスト補正赤設定ビット[7:0]  
これらのビットはコントラスト補正の赤データを設定します。データは次の垂直表示期間から有効になります。

| REG[CCh] Contrast Correction Green Register |   |   |   |   |   |   |   | Read/Write |
|---|---|---|---|---|---|---|---|------------|
| Default = 00h                               |   |   |   |   |   |   |   |            |
| コントラスト補正緑設定ビット7~0                           |   |   |   |   |   |   |   |            |
| 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

bits 7-0                      コントラスト補正緑設定ビット[7:0]  
これらのビットはコントラスト補正の緑データを設定します。データは次の垂直表示期間から有効になります。

| REG[CEh] Contrast Correction Blue Register |   |   |   |   |   |   |   | Read/Write |
|--|---|---|---|---|---|---|---|------------|
| Default = 00h                              |   |   |   |   |   |   |   |            |
| コントラスト補正青設定ビット7~0                          |   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |            |

bits 7-0                      コントラスト補正青設定ビット[7:0]  
これらのビットはコントラスト補正の青データを設定します。データは次の垂直表示期間から有効になります。

## 11.17.14 表示拡張レジスタ

| REG[E0h] Extend Display Control Register |   |   |                   |     |   |   | Read/Write       |
|--|---|---|-------------------|-----|---|---|------------------|
| Default = 00h                            |   |   |                   |     |   |   |                  |
| n/a                                      |   |   | オーバーレイ表示イ<br>ネーブル | n/a |   |   | ダブリング表示イ<br>ネーブル |
| 7  | 6 | 5 | 4                 | 3   | 2 | 1 | 0                |

- bit 4                   オーバーレイ表示イネーブル  
このビットはオーバーレイ表示をイネーブルにします。オーバーレイ表示をイネーブルにする場合は、LCDCLK分周選択ビット（REG[12h]ビット6～4）の使用範囲に制限があります。  
このビットが0のとき、オーバーレイ表示はディセーブルです。（初期値）  
このビットが1のとき、オーバーレイ表示はイネーブルです。
- bit 0                   ダブリング表示イネーブル  
このビットはダブリング表示をイネーブルにします。ダブリング表示はメインウィンドウのみになります。  
このビットが0のとき、ダブリング表示はディセーブルです。（初期値）  
このビットが1のとき、ダブリング表示はイネーブルです。

| REG[E2h] Virtual Display Horizontal Width Register 0 |     |   |   |   |   |                    | Read/Write |
|--|-----|---|---|---|---|--------------------|------------|
| Default = 00h  |     |   |   |   |   |                    |            |
| バーチャル表示イ<br>ネーブル                                     | n/a |   |   |   |   | バーチャル表示水平サイズビット9～8 |            |
| 7  | 6   | 5 | 4 | 3 | 2 | 1                  | 0          |

| REG[E4h] Virtual Display Horizontal Width Register 1 |   |   |   |   |   |   | Read/Write |
|--|---|---|---|---|---|---|------------|
| Default = 00h  |   |   |   |   |   |   |            |
| バーチャル表示水平サイズビット7～0                                   |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

- REG[E2h] bit 7                   バーチャル表示イネーブル  
このビットはバーチャル表示をイネーブルにします。  
このビットが0のとき、バーチャル表示はディセーブルです。（初期値）  
このビットが1のとき、バーチャル表示はイネーブルです。
- REG[E2h] bits 1-0
- REG[E4h] bits 7-0                   バーチャル表示水平サイズビット[9:0]  
これらのビットは、8ピクセル解像度でバーチャル表示に使用する画像の水平方向サイズを指定します。  
水平方向ピクセル数 = ((REG[E2h]ビット1～0, REG[E4h]ビット7～0) + 1) x 8

**注**

最小値 = 32ピクセル、最大値 = 8192ピクセル

## 11. LCDインタフェース

| REG[E6h] SDRAM Read Register |   |     |   |   |   |   | Read/Write    |
|------------------------------|---|-----|---|---|---|---|---------------|
| Default = 00h                |   |     |   |   |   |   |               |
| Reserved                     |   | n/a |   |   |   |   | SDRAMリードイネーブル |
| 7                            | 6 | 5   | 4 | 3 | 2 | 1 | 0             |

bits 7-6

Reserved

これらのビットは、必ず00bでご使用ください。

bit 0

SDRAMリードイネーブル

このビットはSDRAMのデータをリードする場合にイネーブルにします。アルファブレンディングとの同時使用はできませんので、アルファブレンディングはディセーブルにしてください。

このビットが0のとき、SDRAMリードはディセーブルです。(初期値)

このビットが1のとき、SDRAMリードはイネーブルです。

| REG[E8h] SDRAM Read Start Address Register 0 |   |   |   |     |   |   | Read/Write |
|--|---|---|---|-----|---|---|------------|
| Default = 00h                                |   |   |   |     |   |   |            |
| SDRAMリード開始アドレスビット7~3                         |   |   |   | n/a |   |   |            |
| 7  | 6 | 5 | 4 | 3   | 2 | 1 | 0          |

| REG[EAh] SDRAM Read Start Address Register 1 |   |   |   |   |   |   | Read/Write |
|--|---|---|---|---|---|---|------------|
| Default = 00h                                |   |   |   |   |   |   |            |
| SDRAMリード開始アドレスビット15~8                        |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

| REG[ECh] SDRAM Read Start Address Register 2 |   |   |   |   |   |   | Read/Write |
|--|---|---|---|---|---|---|------------|
| Default = 00h                                |   |   |   |   |   |   |            |
| SDRAMリード開始アドレスビット23~16                       |   |   |   |   |   |   |            |
| 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0          |

REG[ECh] bits 7-0

REG[EAh] bits 7-0

REG[E8h] bits 7-3

SDRAMリード開始アドレスビット[23:3]

これらのビットは、SDRAMのリード開始アドレスをバイトアドレスで指定します。

SDRAMリード開始アドレスA[23:3] = (REG[ECh]ビット7~0), (REG[EAh]ビット7~0), (REG[E8h]ビット7~3)

| REG[Eeh] SDRAM Dummy Read Port Register |   |   |   |   |   |   | Read Only |
|---|---|---|---|---|---|---|-----------|
| Default = 00h                           |   |   |   |   |   |   |           |
| SDRAMダミーリードポート                          |   |   |   |   |   |   |           |
| 7                                       | 6 | 5 | 4 | 3 | 2 | 1 | 0         |

bits 7-0

SDRAMダミーリードポート

これらのビットはSDRAMをリードする場合のダミーリードポートになります。リードされたデータが無効です。

## 12. I/Oインタフェース

### 12.1 SPIインタフェース

SPIインタフェースは、マスターモードとして動作するクロック同期式シリアルインタフェースです。シフトレジスタとは別に送信データバッファと受信データバッファを内蔵し、効率よくデータ転送ができます。

SPIインタフェースは、SPIコマンドを使って動作モード、データ送信、データ受信を制御します。SPIコマンドの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

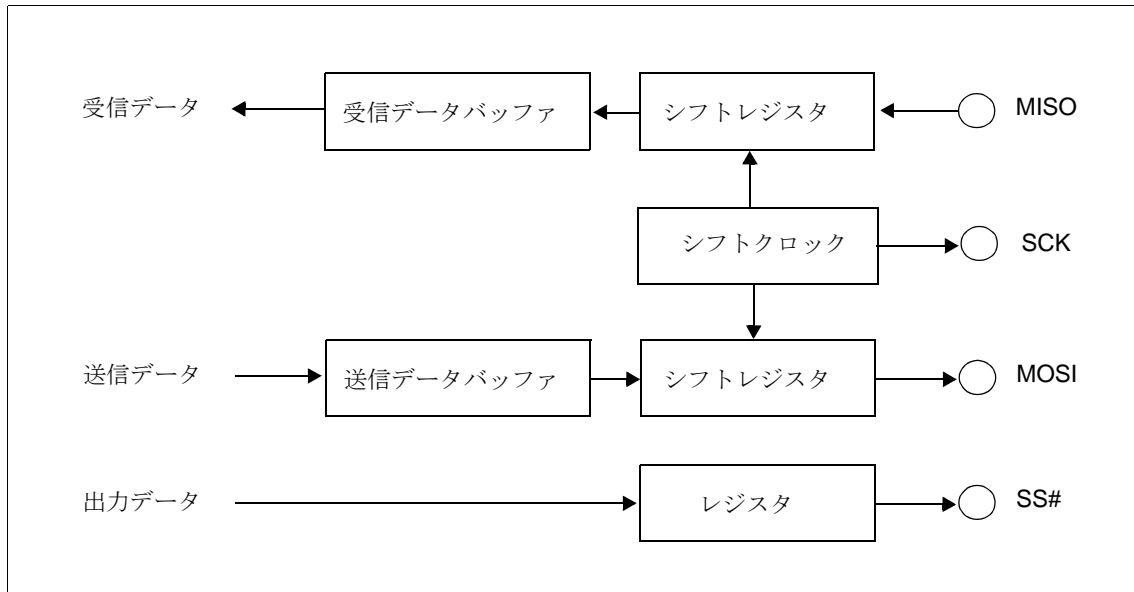


図12.1 SPIインタフェース構成

## 12. I/Oインタフェース

### 12.1.1 SPIクロック

SPIクロックの周波数、極性 (CPOL) および位相 (CPHA) は、SPIコマンドにより設定します。

表12.1 SPIクロック周波数

| 分周比   | SPIクロック周波数 | 分周比     | SPIクロック周波数 |
|-------|------------|---------|------------|
| 1/2   | 15.00MHz   | 1/256   | 117kHz     |
| 1/4   | 7.50MHz    | 1/512   | 58.6kHz    |
| 1/8   | 3.75MHz    | 1/1024  | 29.3kHz    |
| 1/16  | 1.88MHz    | 1/2048  | 14.6kHz    |
| 1/32  | 938kHz     | 1/4096  | 7.32kHz    |
| 1/64  | 469kHz     | 1/8192  | 3.66kHz    |
| 1/128 | 234kHz     | 1/16384 | 1.83kHz    |

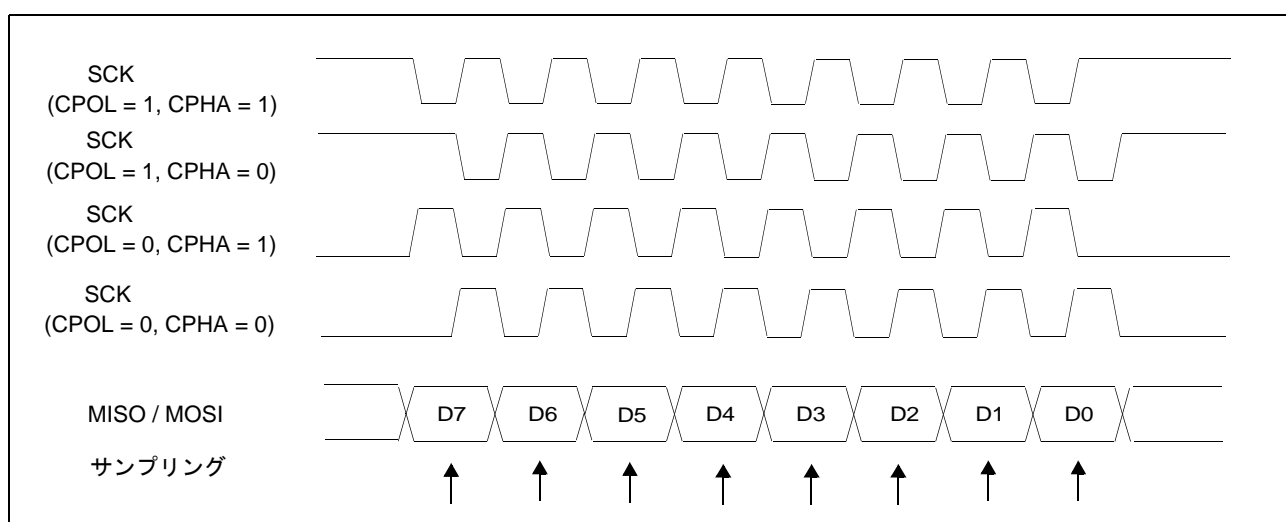


図12.2 SPIクロック



### 12.1.2 SPIスレーブセレクト

SPIスレーブセレクトは3端子あり、SS0#はチャンネル0 (Ch0)、SS1#とSS2#はチャンネル1 (Ch1) のSPIインタフェースになります。(SS2#はシリアルフラッシュメモリ専用)

SPIスレーブセレクトの極性 (ローアクティブまたはハイアクティブ) とパルス幅 (1バイトアサートまたは連続アサート) は、SPIコマンドにより設定します。

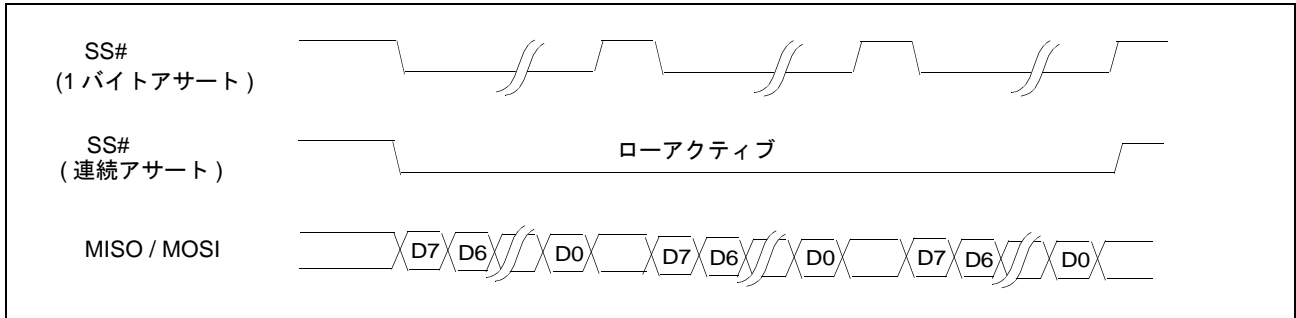


図12.3 SPIスレーブセレクト

### 12.1.3 SPIシーケンシャルコマンド

SPIシーケンシャルコマンドは、あらかじめ登録した複数のSPIコマンドをトリガ入力 (一定間隔またはINT0割り込み) に同期してシーケンシャルに実行します。また、終了と同時にイベント通知します。タッチスクリーンコントローラからの座標データ取得などに使用することができます。SPIシーケンシャルコマンドの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

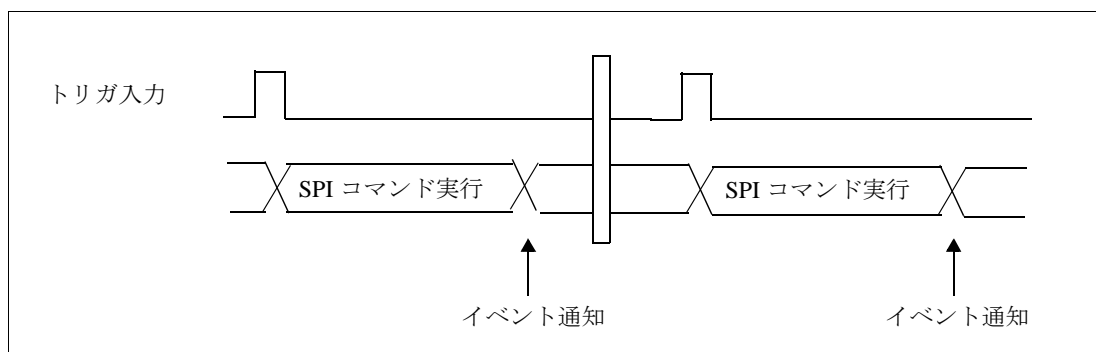


図12-4 SPIシーケンシャルコマンド

## 12. I/Oインタフェース

### 12.2 I2Cインタフェース

I2Cインタフェースは、シングルマスターとしてのみ動作するクロック同期式シリアルインタフェースで、7ビットスレーブアドレス出力をサポートしています。I2CCLKの周波数は、117.19kHzと468.75kHzをサポートしています。

I2Cインタフェースは、I2Cコマンドを使って動作モード、データ送信、データ受信を制御します。I2Cコマンドの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

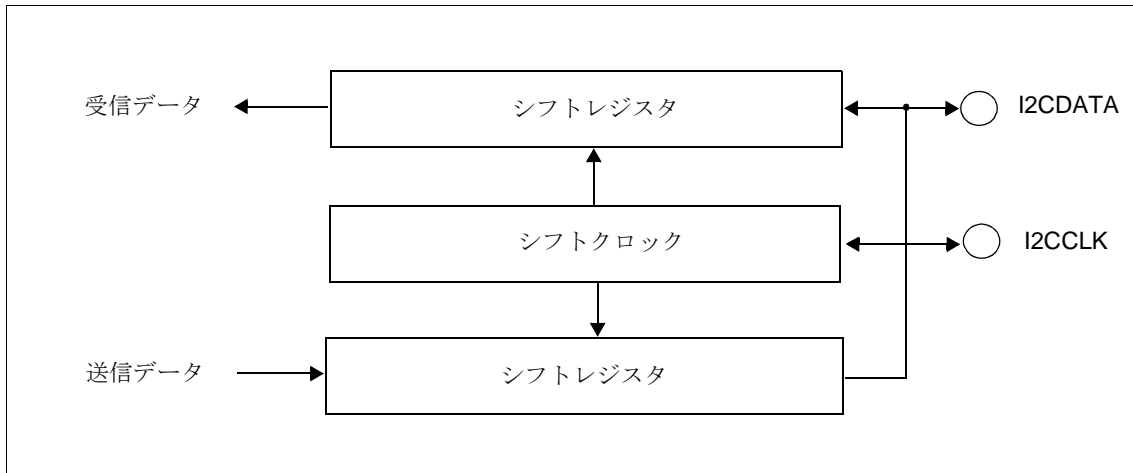


図12.5 I2Cインタフェース構成

### 12.2.1 I2Cクロック

I2Cクロックの周波数は、I2Cコマンドにより設定します。

このI2Cマスターは、I2Cスレーブのクロックストレッチ機能はサポートしていません。

表12.2 I2Cクロック周波数

| 転送モード             | I2Cクロック周波数 |
|-------------------|------------|
| bTransferRate=01h | 117.19kHz  |
| bTransferRate=02h | 468.75kHz  |

### 12.2.2 I2Cスレーブアドレス

I2Cスレーブアドレス（スレーブ側デバイスアドレスと転送方向）は、データ送受信の開始時に出力されます。I2Cコマンドにより設定します。

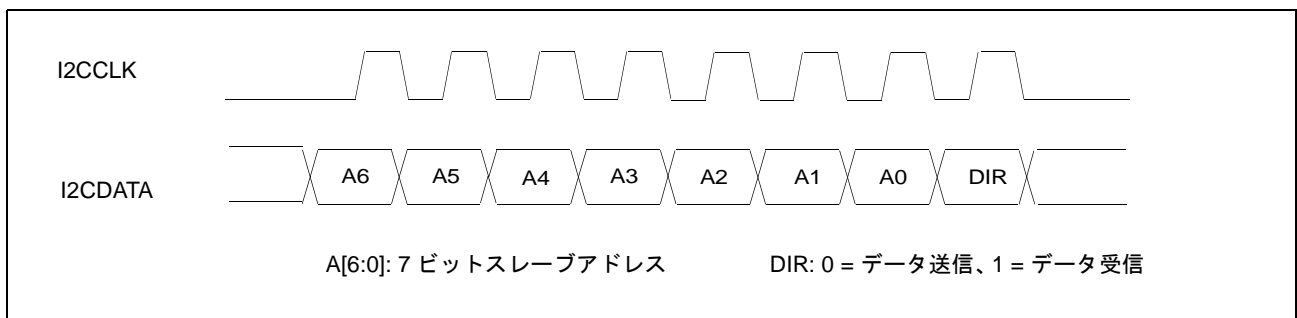


図12.6 I2Cスレーブアドレス

## 12. I/Oインターフェース

### 12.2.3 スタートコンディション

スタートコンディションは、データ送受信の開始時に出力されます。スタートコンディションは、I2CCLKをハイレベルに保った状態でI2CDATAをハイレベルからローレベルにします。

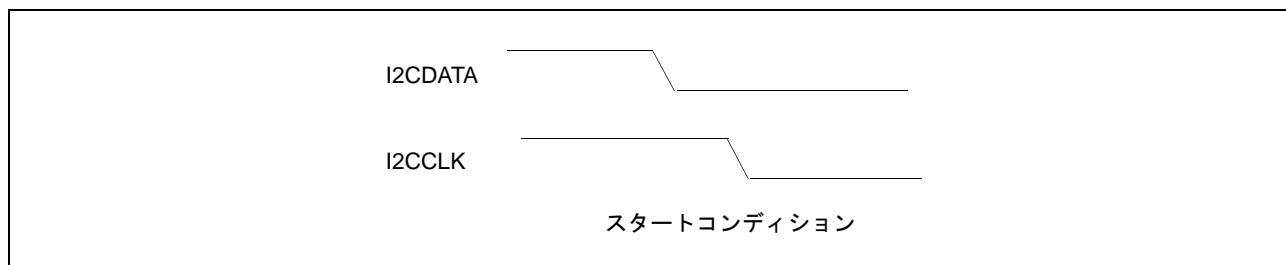


図12.7 スタートコンディション

### 12.2.4 ストップコンディション

ストップコンディションは、データ送受信の終了時に出力されます。ストップコンディションは、I2CCLKをハイレベルに保った状態でI2CDATAをローレベルからハイレベルにします。

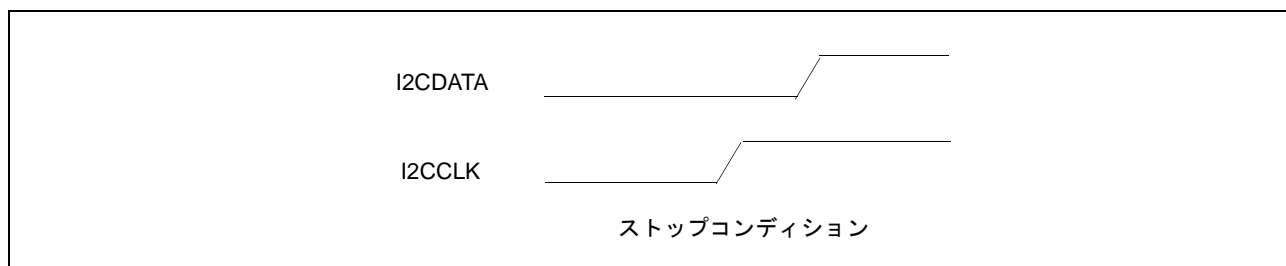


図12.8 ストップコンディション

### 12.2.5 リピーテッドスタートコンディション

このI2Cマスターは、リピーテッドスタートコンディションはサポートしていません。

### 12.2.6 ACK/NAK受信

I2Cデータ送信時の9クロック目のデータは、スレーブデバイスからのACK/NAK応答受信になります。スレーブデバイスがデータを正しく受信できた場合はACK（ローレベル）を検出し、データを正しく受信できなかった場合はプルアップ抵抗によりNAK（ハイレベル）を検出します。

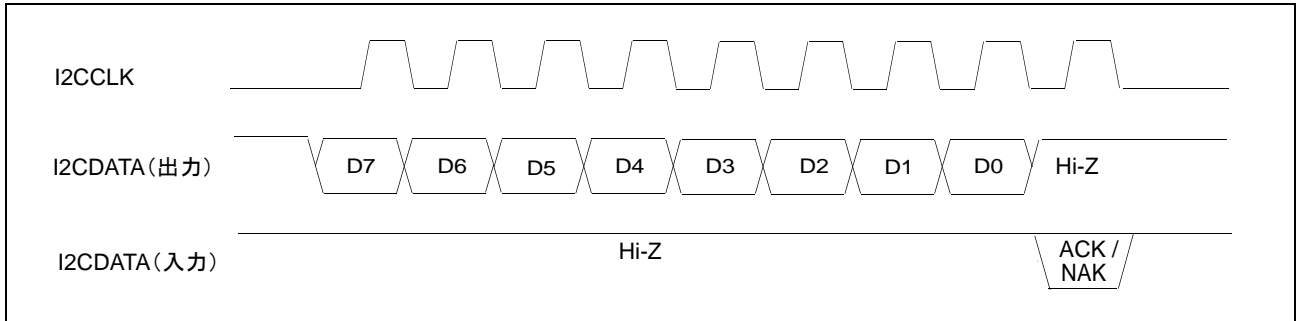


図12.9 ACK/NAK受信

### 12.2.7 ACK/NAK送信

I2Cデータ受信時の9クロック目のデータは、スレーブデバイスへのACK/NAK応答送信になります。

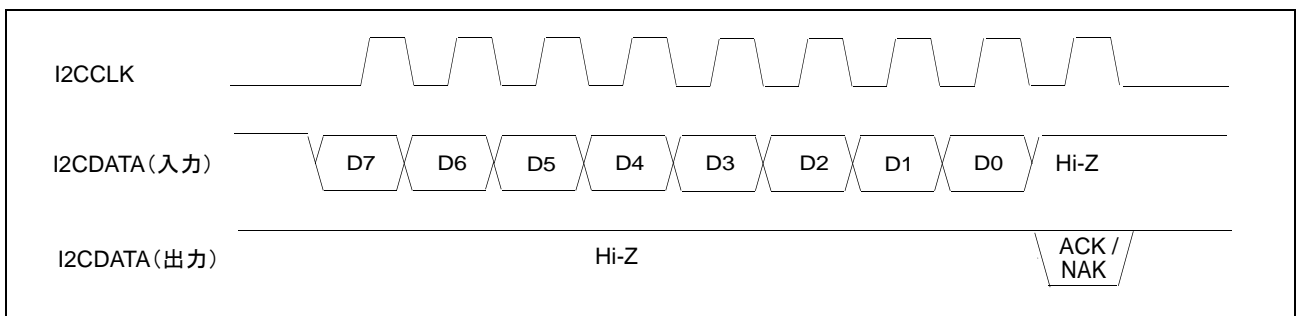


図12.10 ACK/NAK送信

## 12. I/Oインタフェース

### 12.3 GPIOインタフェース

GPIOインタフェースは、16ビットの汎用入出力ポートになります。ビット単位で入出力端子の切り替え、プルアップ抵抗のオン/オフ制御ができます。

GPIOインタフェースは、GPIOコマンドを使って動作モード、入力データリード、出力データライトを制御します。GPIOコマンドの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

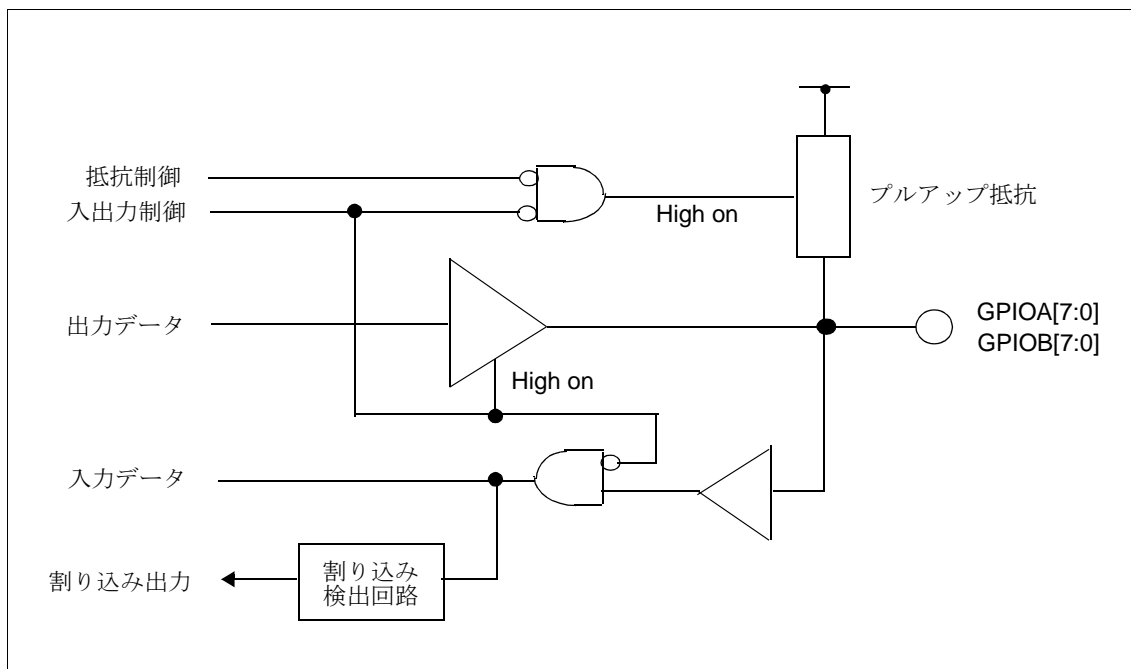


図12.11 GPIOインタフェース構成

## 12.3.1 GPIO端子構成

GPIOインタフェースの端子構成は、GPIOコマンドにより設定します。

表12.3 GPIO端子構成

| 端子名    | GPIOインタフェース |         | キースキャンインタフェース |              |              |         |
|--------|-------------|---------|---------------|--------------|--------------|---------|
|        | 端子方向        | 入力抵抗    | 8x8マトリクス      | 8x4マトリクス     | 8x2マトリクス     | 入力抵抗    |
| GPIOA0 | 入力または出力     | オンまたはオフ | キースキャン<br>入力  | キースキャン<br>入力 | キースキャン<br>入力 | オンまたはオフ |
| GPIOA1 | 入力または出力     | オンまたはオフ |               |              |              | オンまたはオフ |
| GPIOA2 | 入力または出力     | オンまたはオフ |               |              |              | オンまたはオフ |
| GPIOA3 | 入力または出力     | オンまたはオフ |               |              |              | オンまたはオフ |
| GPIOA4 | 入力または出力     | オンまたはオフ |               |              |              | オンまたはオフ |
| GPIOA5 | 入力または出力     | オンまたはオフ |               |              |              | オンまたはオフ |
| GPIOA6 | 入力または出力     | オンまたはオフ |               |              |              | オンまたはオフ |
| GPIOA7 | 入力または出力     | オンまたはオフ |               |              |              | オンまたはオフ |
| GPIOB0 | 入力または出力     | オンまたはオフ | キースキャン<br>出力  | キースキャン<br>出力 | キースキャン<br>出力 | -       |
| GPIOB1 | 入力または出力     | オンまたはオフ |               |              | -            |         |
| GPIOB2 | 入力または出力     | オンまたはオフ |               | 入力または出力      | 入力または出力      | オンまたはオフ |
| GPIOB3 | 入力または出力     | オンまたはオフ |               | 入力または出力      | 入力または出力      | オンまたはオフ |
| GPIOB4 | 入力または出力     | オンまたはオフ |               | 入力または出力      | 入力または出力      | オンまたはオフ |
| GPIOB5 | 入力または出力     | オンまたはオフ |               | 入力または出力      | 入力または出力      | オンまたはオフ |
| GPIOB6 | 入力または出力     | オンまたはオフ |               | 入力または出力      | 入力または出力      | オンまたはオフ |
| GPIOB7 | 入力または出力     | オンまたはオフ |               | 入力または出力      | 入力または出力      | オンまたはオフ |

## 12.3.2 GPIO割り込み

GPIOインタフェースの割り込み設定は、GPIOコマンドにより設定します。キースキャンインタフェースを使用する場合、余りのGPIO端子割り込みは使用できません。スリープ時にはGPIO割り込みは使用できません。

表12.4 GPIO割り込みGPIO割り込み

| 入力割り込み  | 極性     |
|---------|--------|
| エッジ割り込み | 立上りエッジ |
|         | 立下りエッジ |
| レベル割り込み | ハイレベル  |
|         | ローレベル  |

## 12. I/Oインタフェース

### 12.4 キースキャンインタフェース

キースキャンインタフェースは、キーマトリクススイッチをハードウェアで自動スキャンしスイッチデータを取得します。8x8、8x4、8x2の3種類のキーマトリクスから選択できます。8x4時はGPIOB[7:4]端子、8x2時はGPIOB[7:2]端子をGPIOインタフェースとして使用することができます。

キースキャンインタフェースは、キースキャンコマンドを使って動作設定、スイッチデータリードを制御します。キースキャンコマンドの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

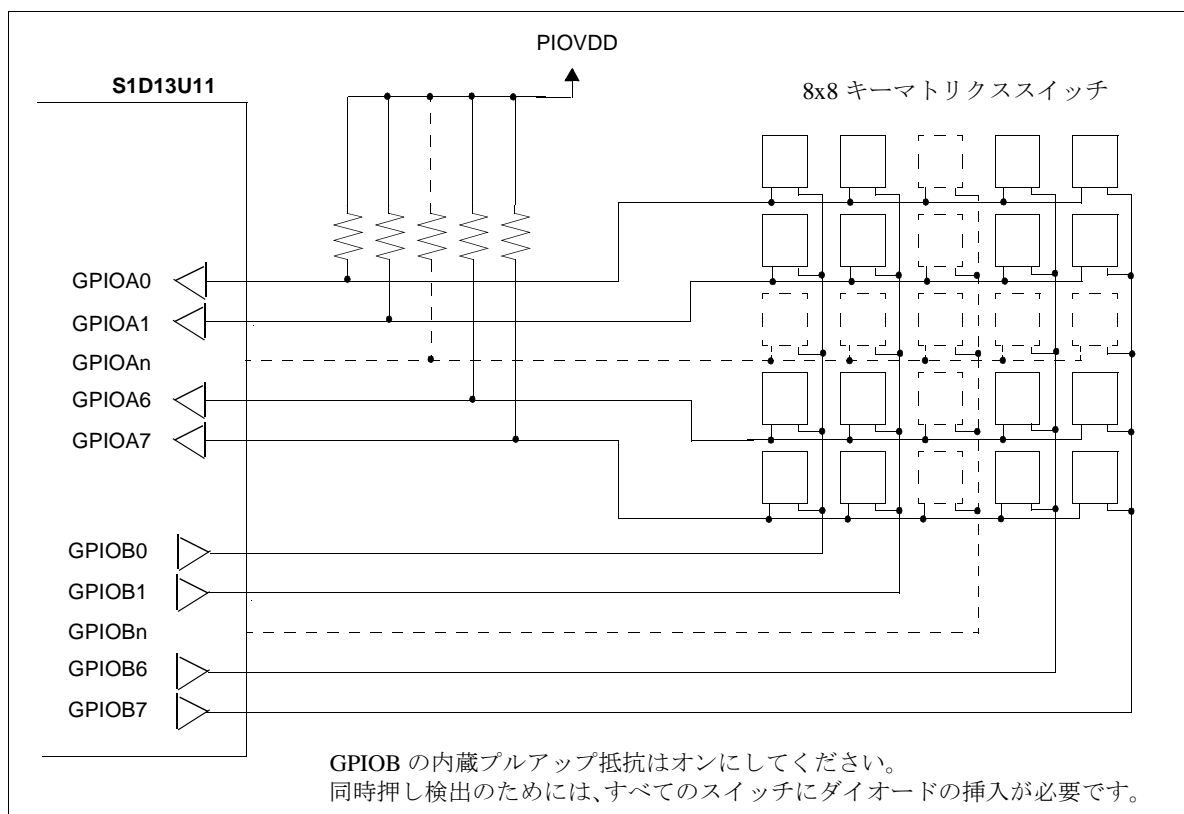


図12-12 キースキャンインタフェース接続例



### 12.4.1 ハイドライブモード

ハイドライブモードでは、ローレベルを出力後に1クロックHi-Zレベルを出力してからハイレベルを出力します。プルアップ抵抗の時定数によりハイレベルを認識するため、スキャンクロック周波数に応じた外部プルアップ抵抗を付加してください。

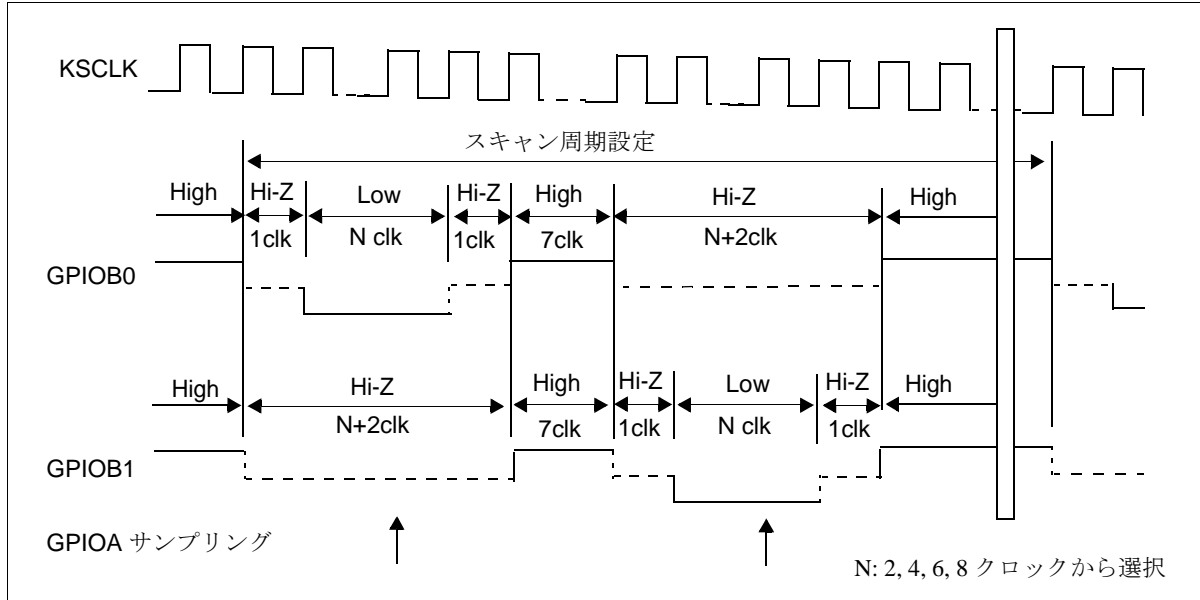


図12-13 キースキャンタイミング (ハイドライブモード)

### 12.4.2 Hi-Zドライブモード

Hi-Zドライブモードでは、ローレベルを出力後にそのままHi-Zになります。プルアップ抵抗の時定数によりハイレベルを認識するため、スキャンクロック周波数に応じた外部プルアップ抵抗を付加してください。

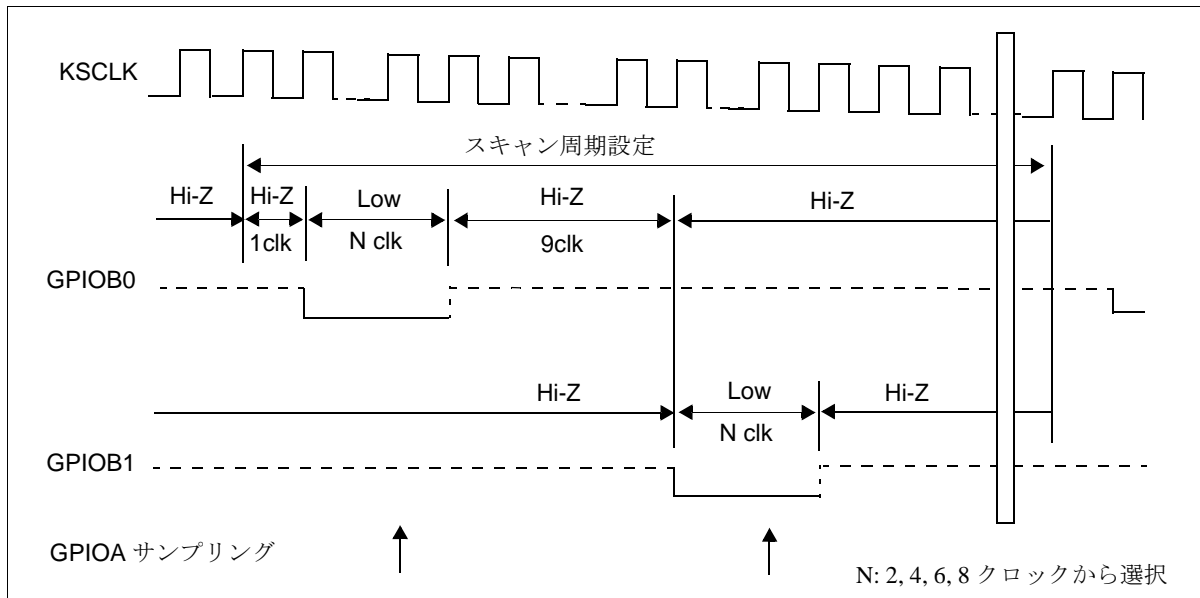


図12-14 キースキャンタイミング (Hi-Zドライブモード)

## 12. I/Oインターフェース

### 12.4.3 スキャンロック

キースキャンのスキャンロック周波数（KSCLK）およびスキャン周期は、キースキャンコマンドにより設定します。

表12.5 スキャンロック選択

| スキャンロック周波数 |
|------------|
| 12MHz      |
| 6MHz       |
| 3MHz       |
| 1.5MHz     |

表12.6 スキャン周期選択

| スキャン周期  |
|---------|
| 1.365ms |
| 2.731ms |
| 5.461ms |
| 10.92ms |

### 12.4.4 キースキャンイベント

キースキャンインターフェースは、キーマトリクススイッチデータが変化した場合にイベント通知します。スイッチデータが変化しない場合は、イベント通知しません。

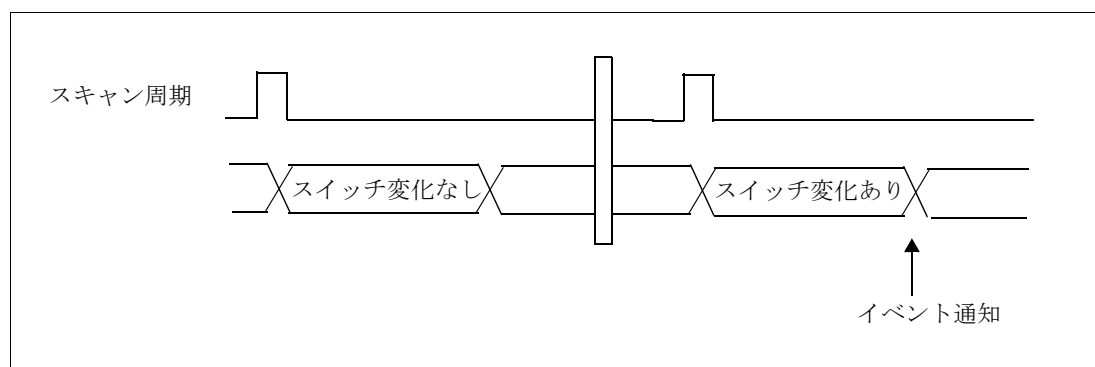


図12-15 キースキャンイベント

## 12.5 ブザーインターフェース

ブザーインターフェースは、タッチスクリーンに同期して鳴るビープ音などに使用することができます。ブザーのオン/オフをハードウェアで制御することができます。

ブザーインターフェースは、ブザーコマンドを使って動作モード、ブザーオン/オフを制御します。ブザーコマンドの詳細は『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

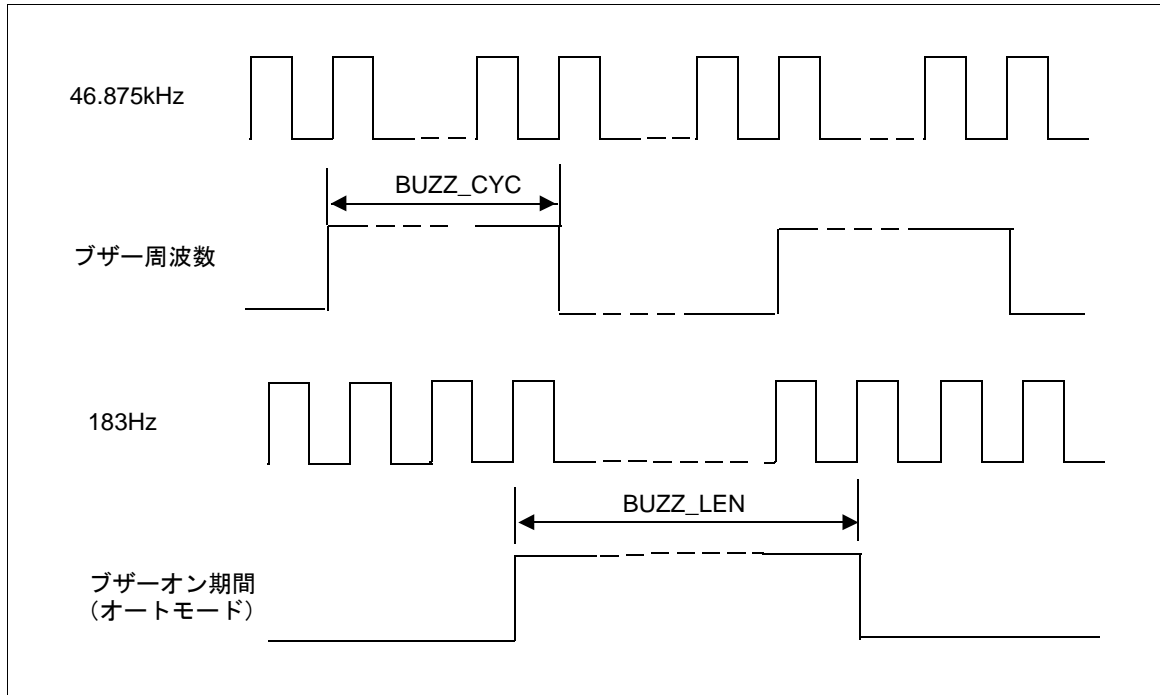


図12-16 ブザータイミング

## 12. I/Oインタフェース

### 12.5.1 ブザークロック

ブザー周波数 (BUZZ\_CYC) およびブザーオン期間 (BUZZ\_LEN) は、ブザーコマンドにより設定します。

表12.7 ブザー周波数

| BUZZ_CYC |
|----------|
| 46.88kHz |
| 23.43kHz |
| ...      |
| 183Hz    |

表12.8 ブザーオン期間

| BUZZ_LEN |
|----------|
| 100ms    |
| 200ms    |
| ...      |
| 1500ms   |

### 12.5.2 ブザーオートモード

オートモードを選択した場合は、設定期間の間ブザーがオンしてから自動的にオフします。

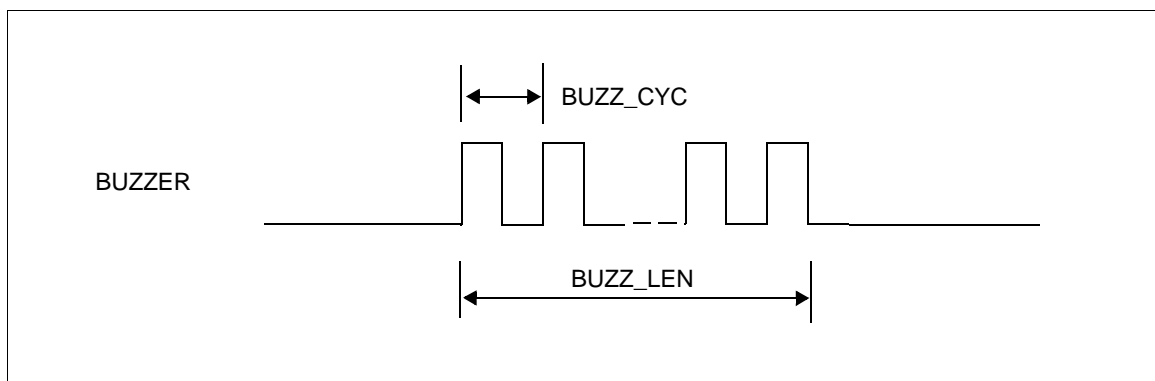


図12-17 ブザーオートモード

## 13. イベント通知

### 13.1 イベント通知機能

イベント通知とは、USBのエンドポイント3によりホストCPUへイベント発生を知らせる機能です。ホストCPUはインタラプトIN転送により、イベント要因と付随するデータ（イベントブロック）を取得することになります。1回のイベント通知には、1つのイベント要因しか含まれません。複数の要因があった場合は、時系列でイベント通知することになります。最大で10イベントをバッファリングすることができます。それを超えるイベント要因が発生した場合は、新しいイベントは消失することになります。

それぞれのイベント要因を許可／禁止することができます。詳細な設定方法については、『S1D13U11ソフトウェアテクニカルマニュアル』を参照してください。

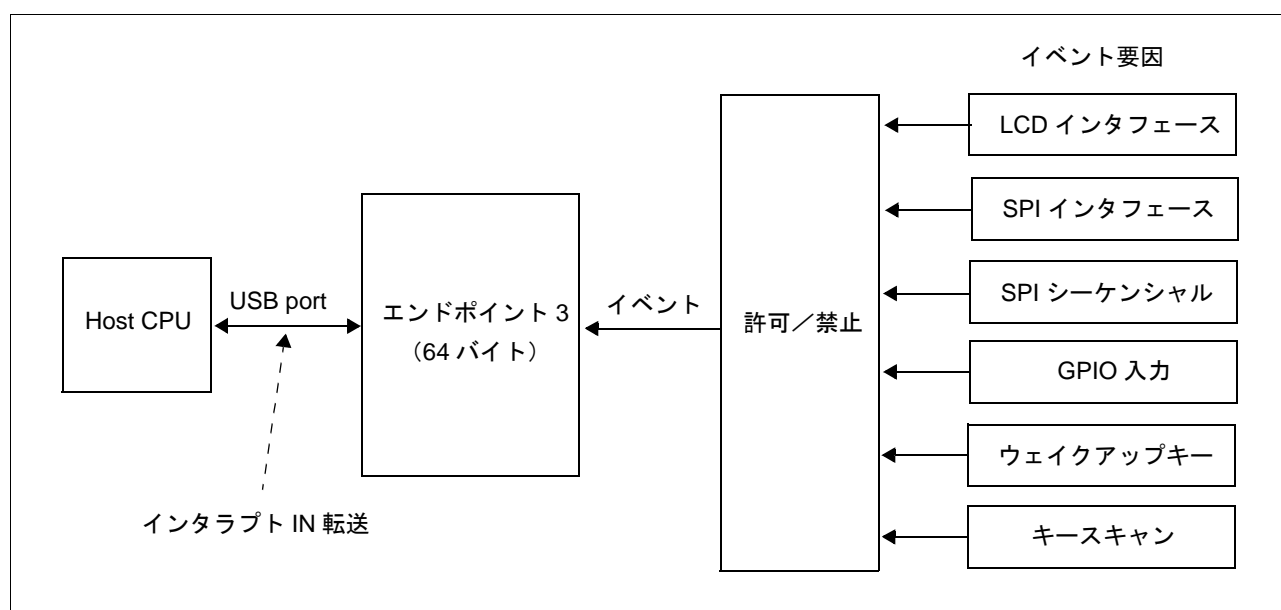


図13-1 イベント通知機能

#### 13.1.1 LCDインタフェースイベント

LCDインタフェースイベントは、LCDインタフェース割り込み（アルファブレンディング終了）をホストCPUへ通知します。

#### 13.1.2 SPIインタフェースイベント

SPIインタフェースイベントは、INT0端子の入力割り込み（SPIインタフェースチャンネル0に接続されるデバイスの割り込み）をホストCPUへ通知します。SPIシーケンシャルコマンドと連動して使用する場合は、SPIシーケンシャルイベントのみ発生します。

#### 13.1.3 SPIシーケンシャルイベント

SPIシーケンシャルイベントは、SPIシーケンシャルコマンドによるデータ取得をホストCPUへ通知します。SPIインタフェースに接続されるデバイスからのリードデータを、イベントブロックとして含みます。

## 13. イベント通知

---

### 13.1.4 GPIO入力イベント

GPIO入力イベントは、GPIOA[7:0] / GPIOB[7:0]端子の入力割り込みをホストCPUへ通知します。割り込みが発生した端子名と割り込みが発生した時点でのGPIO入力端子ステータスを、イベントブロックとして含みます。

### 13.1.5 ウェイクアップキーイベント

ウェイクアップキーイベントは、INT1端子の入力割り込み（ウェイクアップキー入力発生）をホストCPUへ通知します。

### 13.1.6 キースキャンイベント

キースキャンイベントは、キースキャンデータに変化があった場合にキースキャンデータをホストCPUへ通知します。

## 13.2 スリープ時イベント通知

スリープ時は、INT0端子（SPIインタフェース割り込み）およびINT1端子（ウェイクアップキー）の入力のみ受け付けます。あらかじめ設定した割り込みレベル（ハイまたはロー）と一致した場合に、スリープから復帰するシーケンスに入ります。復帰後に該当のイベントをホストCPUへ通知します。

14. パワーセーブ機能

14.1 パワーマネージメント

S1D13U11のパワー状態は、リセット、アクティブ、スリープの3つになります。スリープの場合は、水晶発振含めすべてのクロックが停止します。スリープからの復帰には、USBレジューム、USBバスリセット、INT0/INT1入力、VBUS変化（ローからハイ）の要因があります。スリープへの遷移は、USBサスペンド、VBUS変換（ハイからロー）の要因があります。

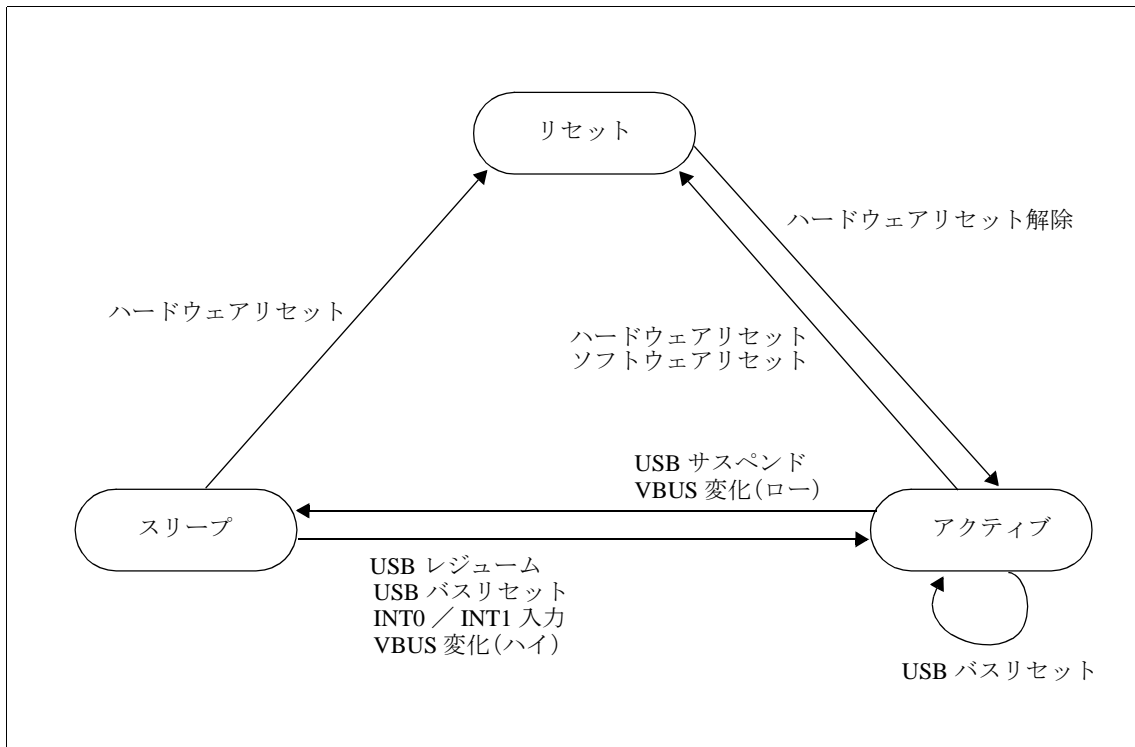


図14.1 パワー状態遷移図

スリープとアクティブ時のパワー状態は、以下になります。

表14.1 パワー状態

| パワー状態 | 水晶発振回路 | USBデバイスポート | LCDインタフェース | SDRAM   |
|-------|--------|------------|------------|---------|
| スリープ  | 停止     | 停止         | 停止         | 停止 (*注) |
| アクティブ | 動作     | 動作         | 動作         | 動作      |

注

SDRAMはセルフリフレッシュまたはパワーダウンの選択ができます。

## 14. パワーセーブ機能

### 14.2 USBサスペンド

USBサスペンドは、HSモードとFSモードにより遷移方法に違いがあります。スリープになる前（FSモードに遷移して5ms）にUSBレジュームの入力は禁止になります。

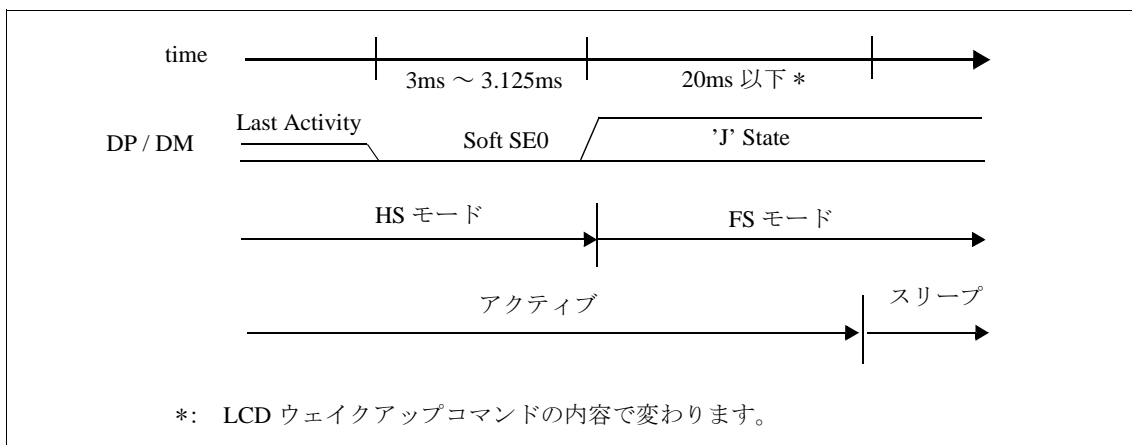


図14.2 USBサスペンド (HSモード)

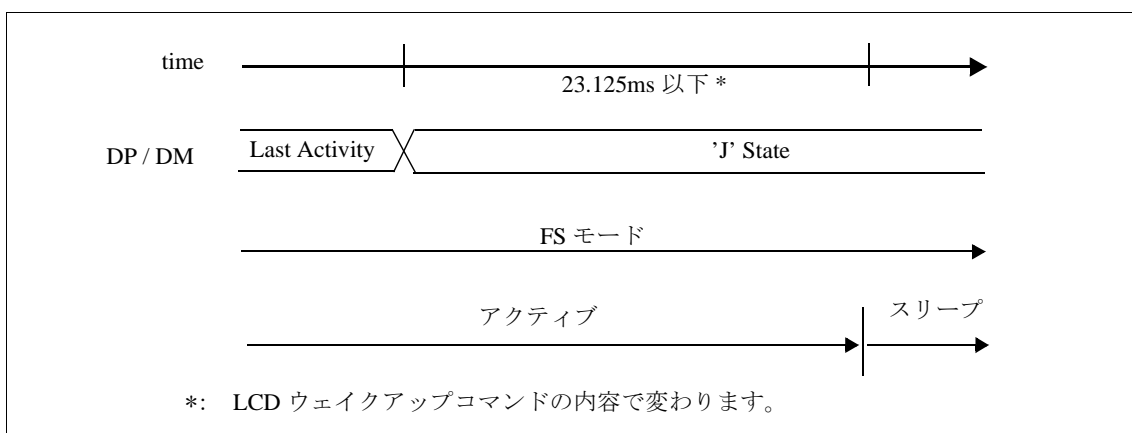


図14.3 USBサスペンド (FSモード)



### 14.3 USBレジューム

USBレジュームは以下の方法で遷移します。

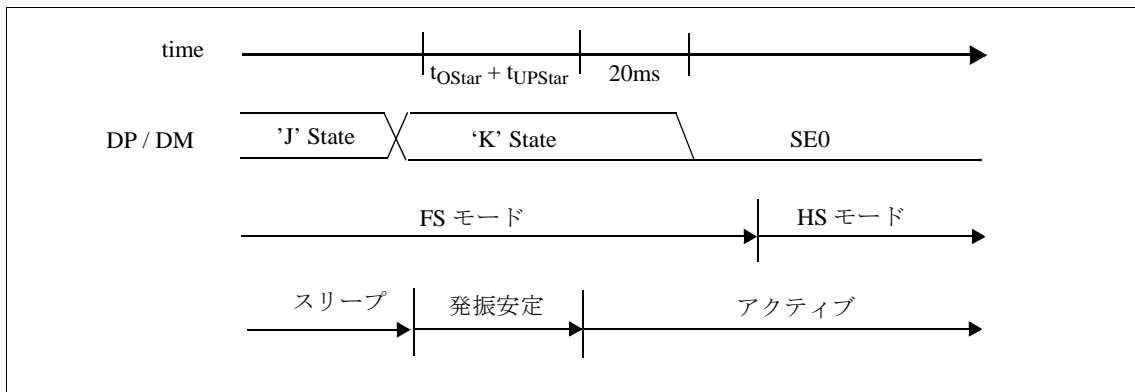


図14.4 USBレジューム

### 14.4 USBリモートウェイクアップ

USBリモートウェイクアップは、USBホストへレジュームコマンドを発行して自らもスリープから復帰する方法です。

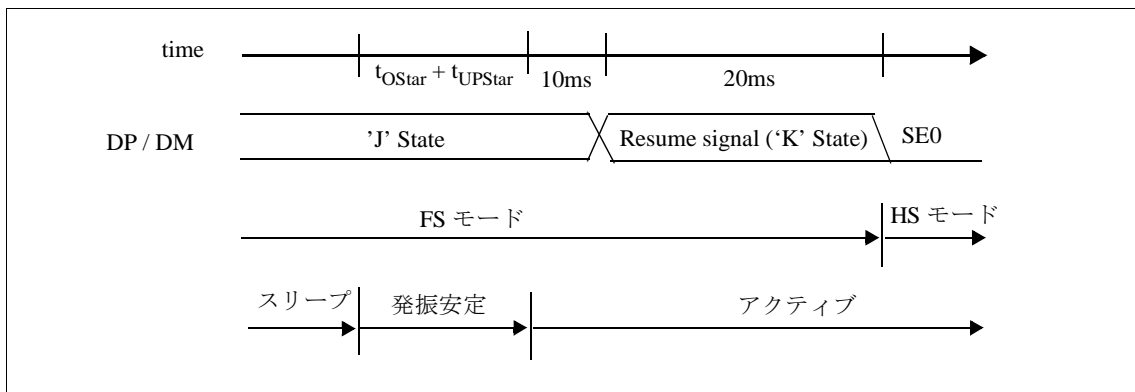


図14.5 USBリモートウェイクアップ

## 15. 標準使用例（LCDインタフェース）

### 15. 標準使用例（LCDインタフェース）

#### 15.1 スリープ

スリープからアクティブへの復帰方法を示します。以下のシーケンスを LCD ウェイクアップコマンドに登録することで、ホスト CPU からの制御なく LCD インタフェースをアクティブにすることができます。詳細については、『S1D13U11 ソフトウェアテクニカルマニュアル』を参照してください。

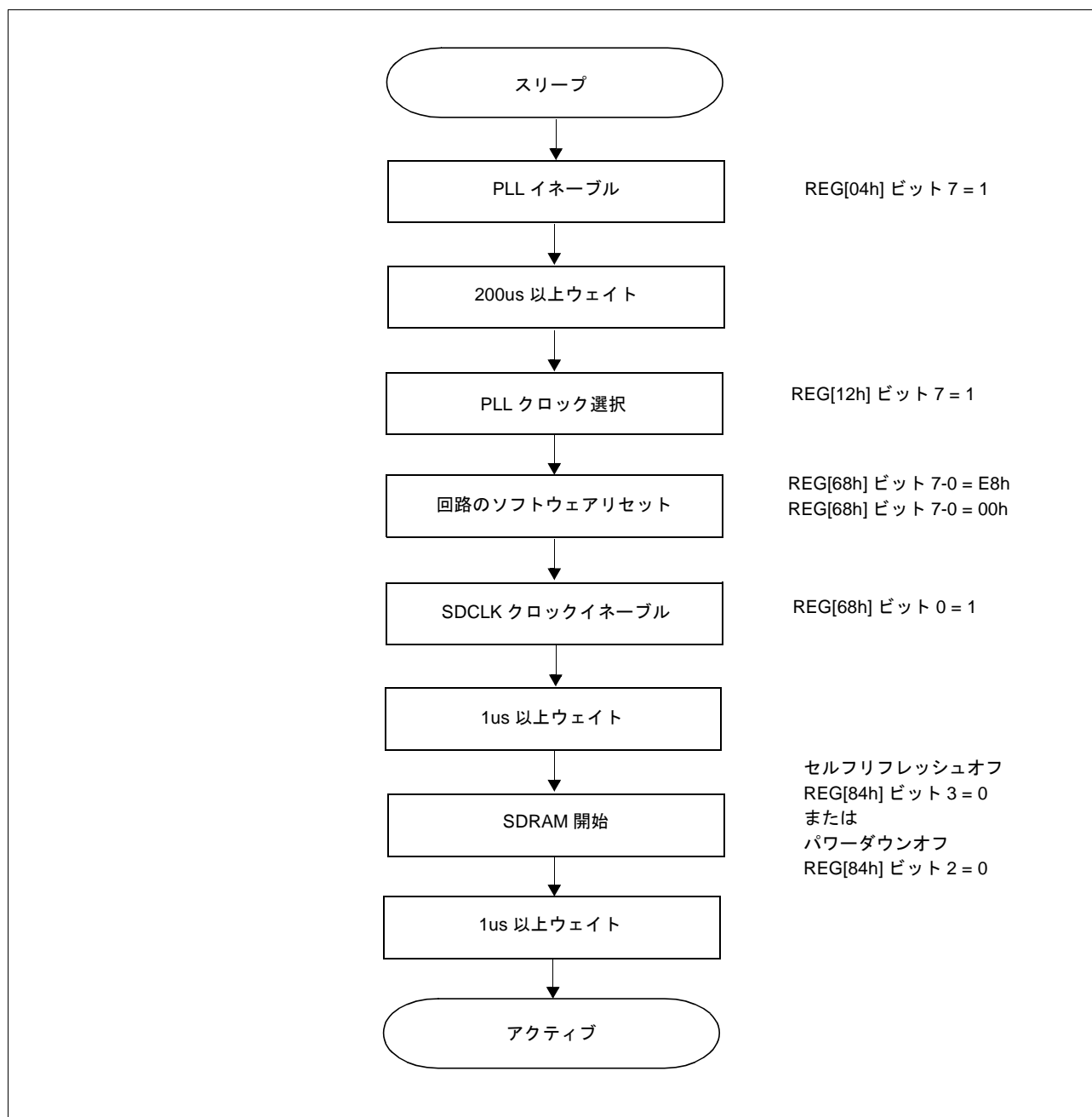


図15.1 スリープから復帰する手順

## 15. 標準使用例（LCDインタフェース）

アクティブからスリープへの遷移方法を示します。以下のシーケンスを LCD ウェイクアップコマンドに登録することで、ホスト CPU からの制御なく LCD インタフェースをスリープにすることができます。詳細については、『S1D13U11 ソフトウェアテクニカルマニュアル』を参照してください。

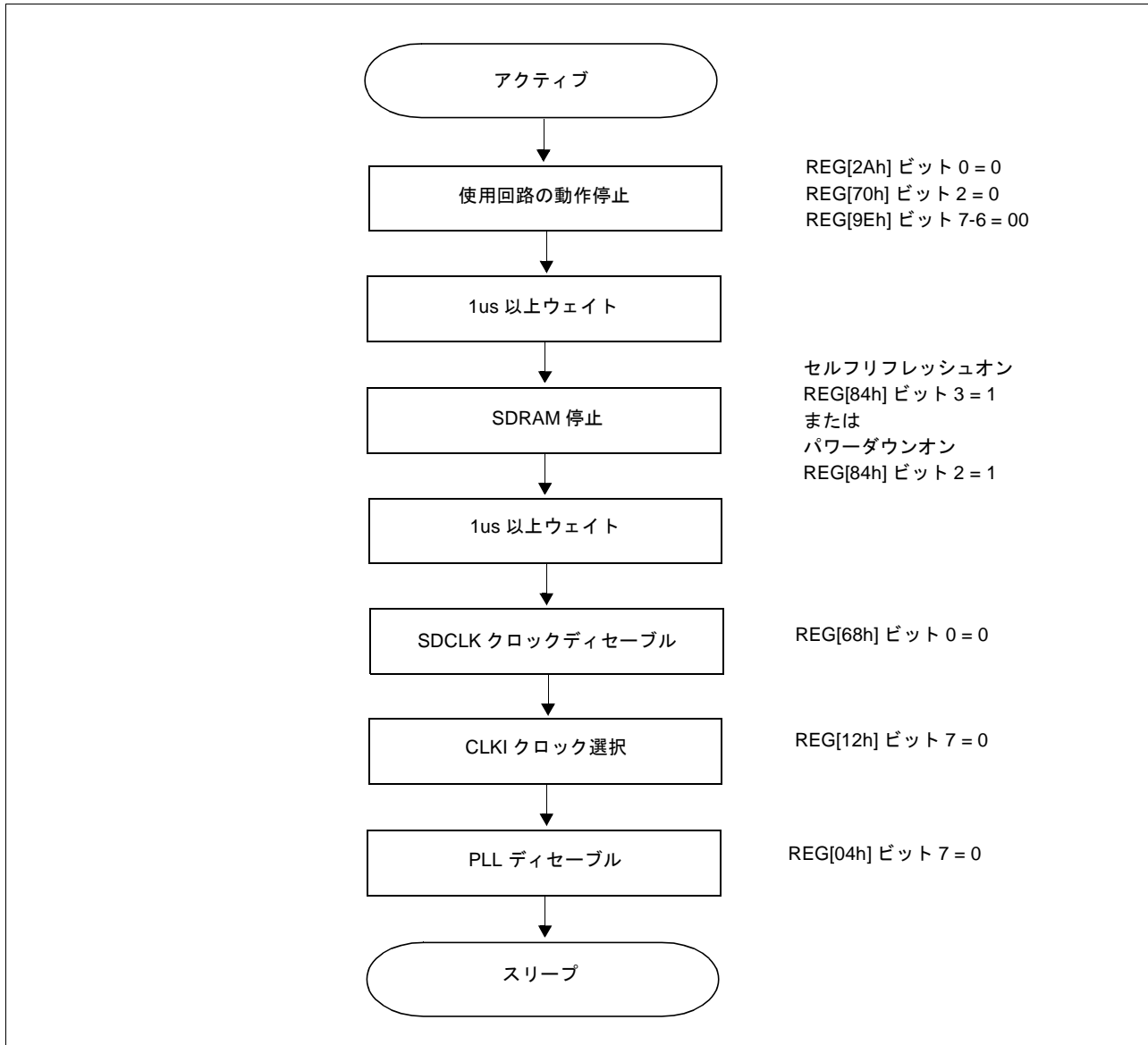


図15.2 スリープへ遷移する手順

## 15. 標準使用例（LCDインタフェース）

### 15.2 初期化シーケンス

S1D13U11 の LCD インタフェースを初期化するには、以下のステップが必要となります。

WVGAのLCDパネルを使った場合の設定例を示します。

条件：

- CLKIクロック：24MHz
- PCLKクロック：32MHz
- SDRAMクロック：96MHz
- LCDパネル：800x480（24bpp）
- SDRAM：64Mビット
- SS：使用する

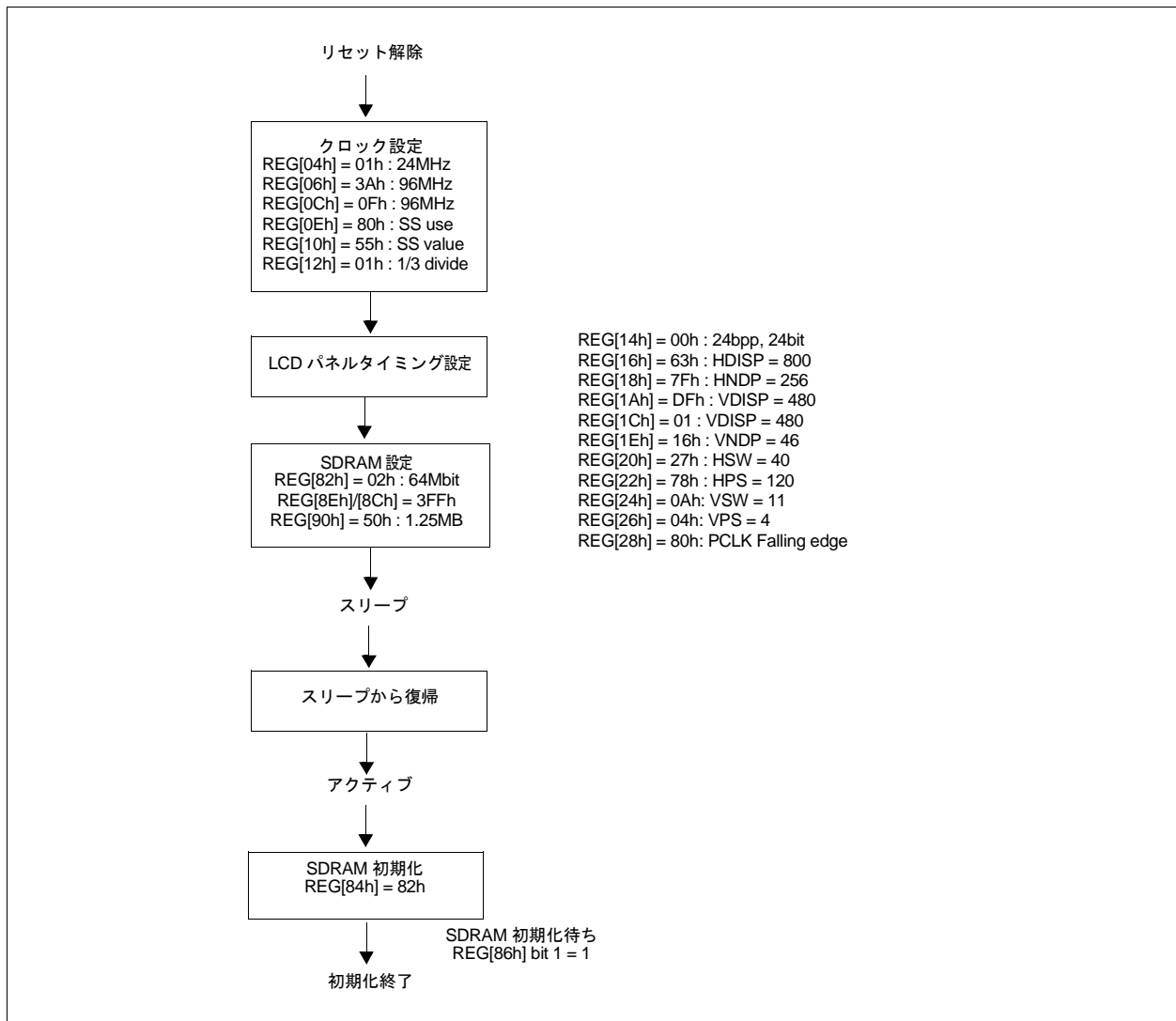


図15.3 初期化シーケンス例

## 15.3 表示シーケンス

S1D13U11 を表示するには、以下のステップが必要となります。

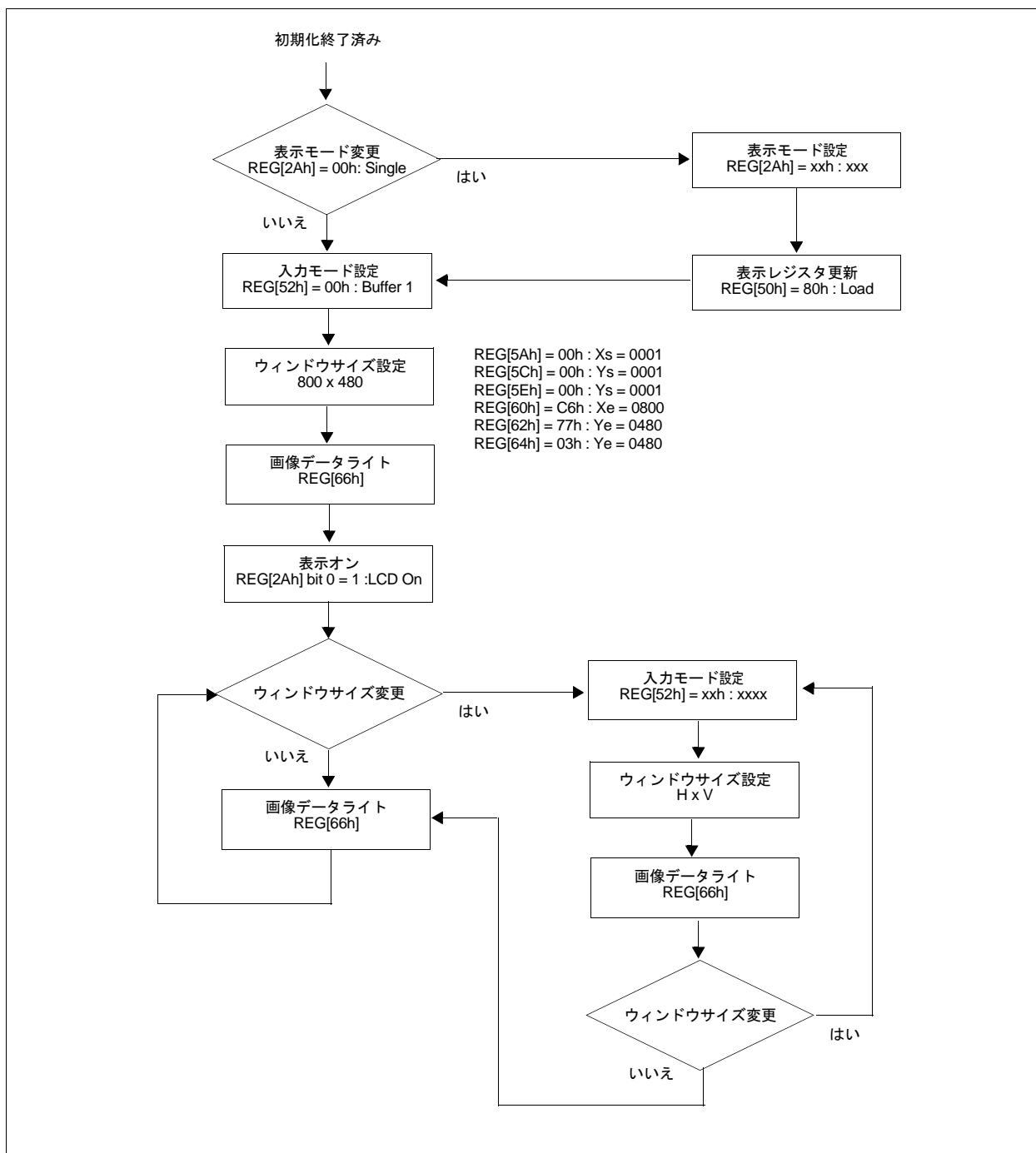


図15.4 表示シーケンス例

## 15. 標準使用例（LCDインタフェース）

### 15.4 ウェイクアップ表示シーケンス

ウェイクアップ表示する方法を示します。以下のシーケンス例を LCD ウェイクアップコマンドに登録することで、スリープからの復帰時にホスト CPU からの制御なくウェイクアップ表示することができます。詳細については、『S1D13U11 ソフトウェアテクニカルマニュアル』を参照してください。以下のステップが必要となります。

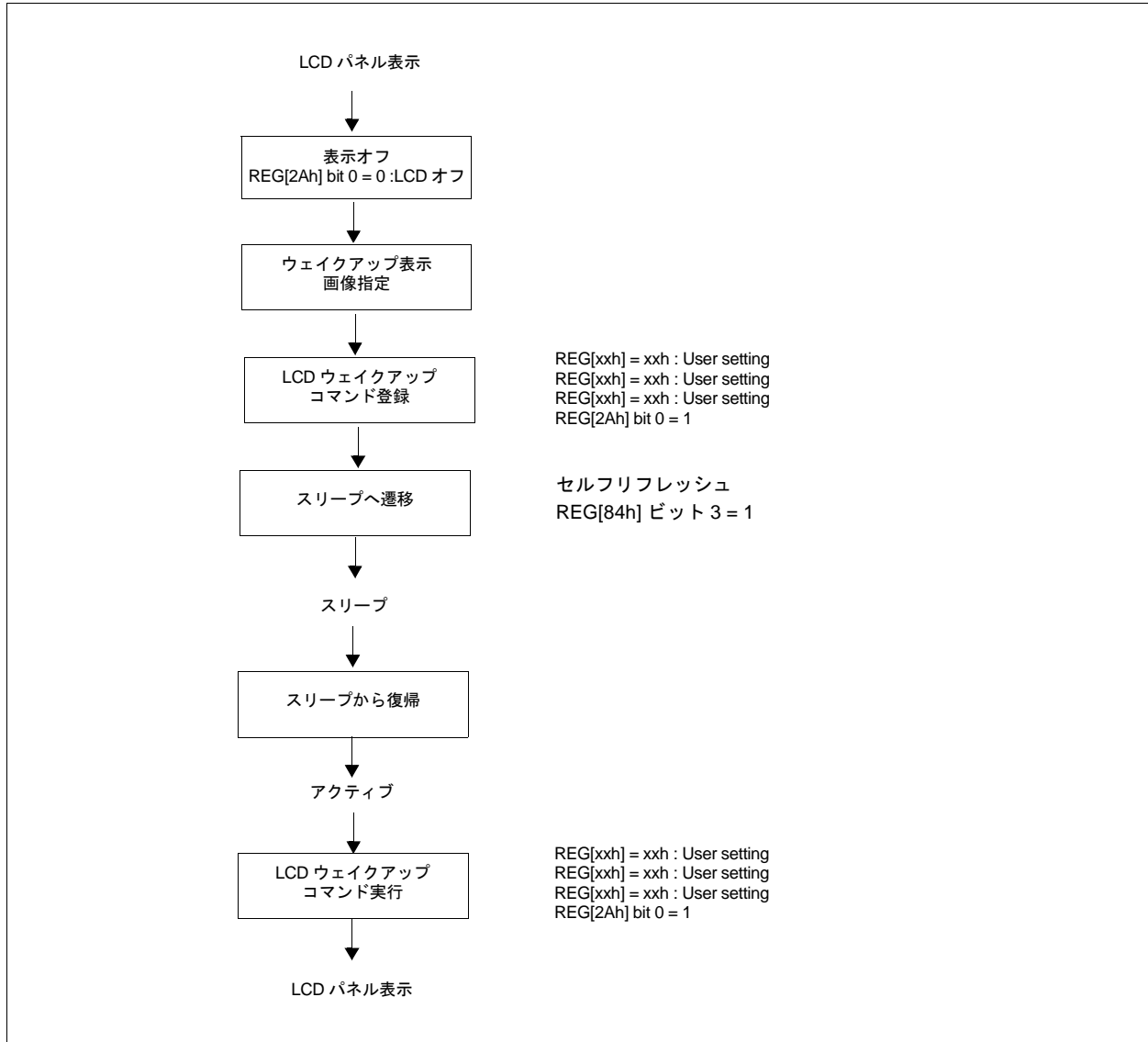


図15.5 ウェイクアップ表示シーケンス例

## 15.5 スタートアップ表示シーケンス

スタートアップ表示する方法を示します。以下のシーケンス例を外付けのシリアルフラッシュメモリに保存することで、リセットからの起動時にホスト CPU からの制御なくスタートアップ表示することができます。詳細については、『S1D13U11 ソフトウェアテクニカルマニュアル』を参照してください。

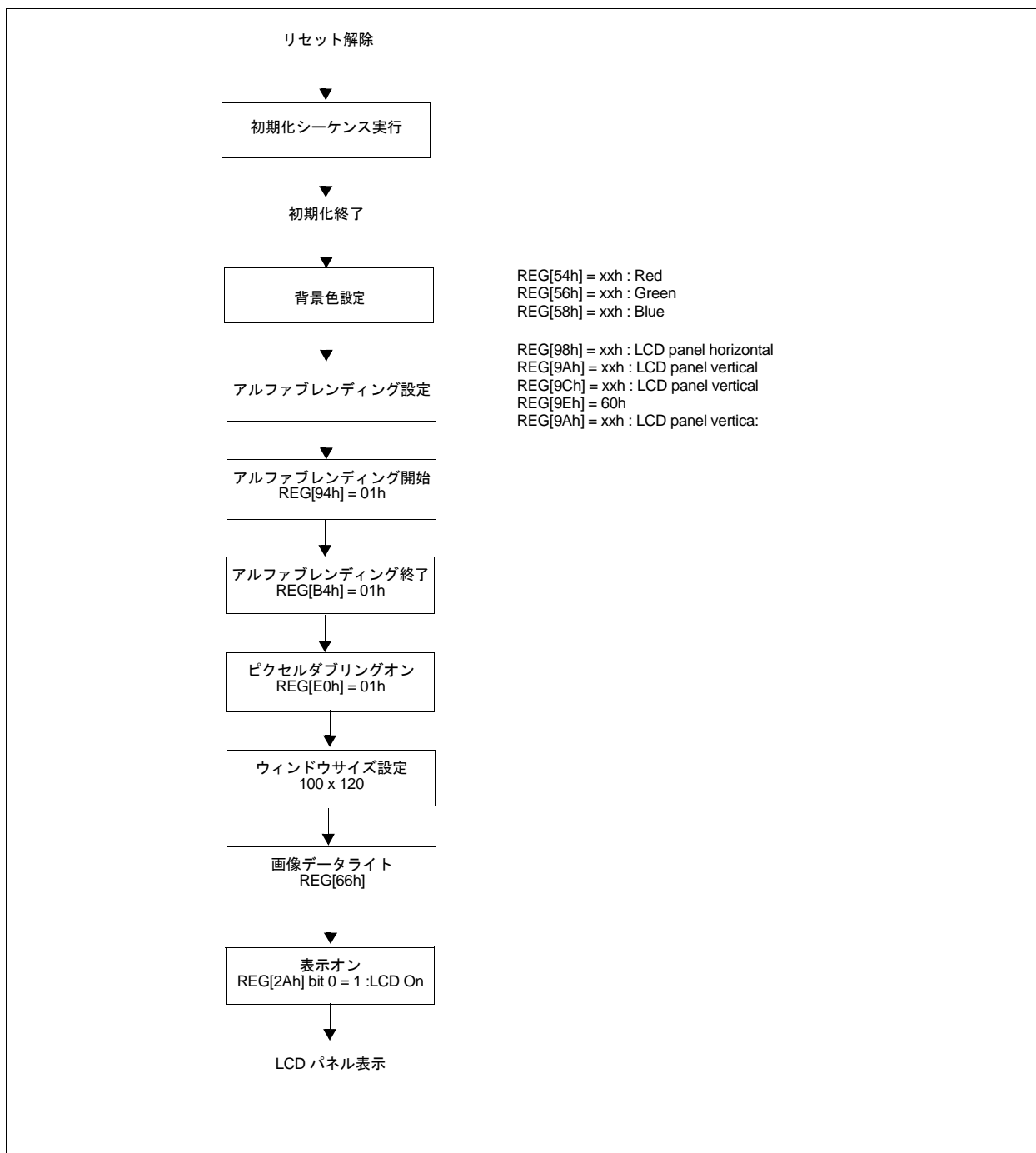


図15.6 スタートアップ表示シーケンス例

## 16. 外部回路

## 16. 外部回路

### 16.1 OSC

水晶発振の外付け部品の回路定数は、水晶振動子メーカーにご相談ください。

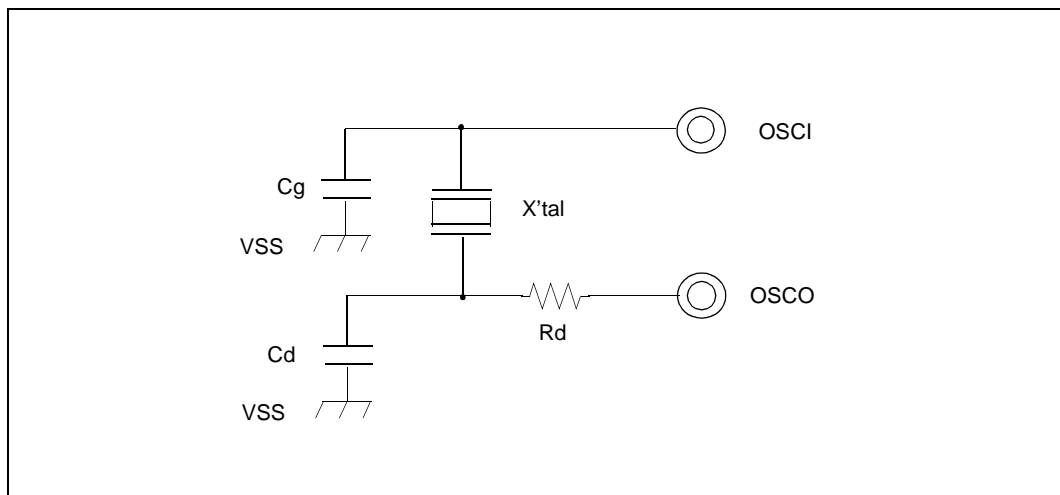


図16.1 水晶発振外付け部品



## 16.2 PLL

PLL回路はアナログ回路であるため、入力クロック波形や電源に含まれるノイズに非常に敏感です。クロックや供給電源に含まれるノイズによって、PLL回路の動作が不安定になったり、ジッターを増大させたりするおそれがあります。

ノイズの制約のため、PLLの電源トレースや電源プレーンは、他の電源のトレースやプレーンと分離することを推奨します。またフィルタリングを使用して、できるだけ電源をきれいにしてください。

以下のガイドラインに従うと、PLLの電源がきれいになり、よりクリーンで安定したクロックが得られます。これらのガイドラインを部分的に実行しても有効な結果が得られます。

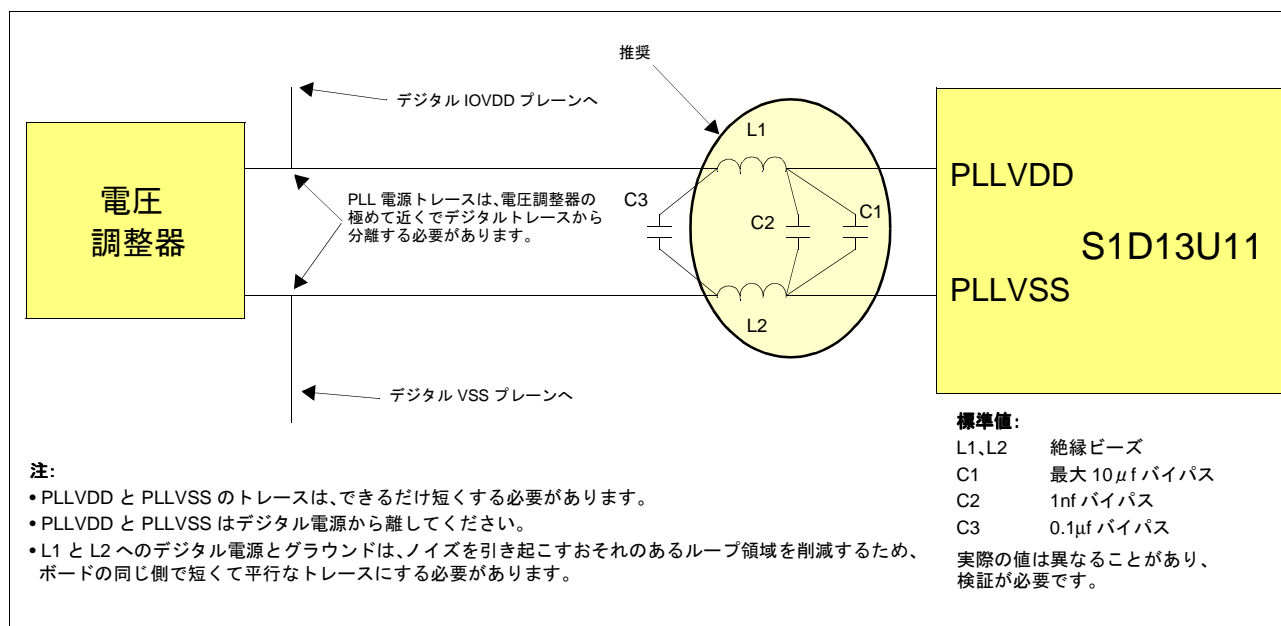


図16.2 PLL電源の配置

- 絶縁ビーズ (L1とL2) は間にごくわずかな隙間を空けて、互いに平行に配置します。バイパス容量 (C2とC3) は両方とも、コイルにできるだけ近づける必要があります。C3から電源プレーンへのトレースは、間に少し隙間を空けてボードの同じ側で短くて平行なトレースにする必要があります。ここで大きなループ領域があるとノイズを引き起こすこととなります。ボード上に電圧調整器がある場合は、これらの電源トレースを電源プレーンまで這わせるのではなく、直接、調整器まで這わせるようにしてください (この場合も平行なトレースに関する上記の規則に従ってください)。
- バイパス容量 (C2) をグラウンド絶縁コイル (L2) に接続するときのアナロググラウンドポイントは、グラウンドスタートポロジのアナロググラウンド中央ポイントになります。C2からPLLVSS端子への1本の短いトレースを除き、いずれの部品もMGE (PLLVSS) のアナロググラウンド端子に直接接続されていません。大きなバイパス容量 (C1) のグラウンド側も、スターポイントに直接接続する必要があります。
- アナロググラウンドに使用されるこのスタートポロジの規則は、L2をC2に接続するときのアナログ電源の接続にも適用されます。
- トレースの長さはすべてできるだけ短くする必要があります。
- 可能であれば、ボードの同じ外層にすべての PLL トレースを這わせませす。唯一の例外は C1 であり、必要であればボードの反対側に配置することができます。C1は、他の部品のようにアナロググラウンドと電源スターポイントの近くに配置する必要はありません。

## 16. 外部回路

---

- 可能であれば、PLL領域の下に（PLL部品とトレースの下の領域）、局部プレーンだけが含まれるようにしてください。全体アナログプレーンは、C2（バイパス）パッドに接地する必要があります。このプレーンは、大きすぎると機能しなくなります。このプレーンは厳密には、同じボード領域の他の層の信号とのカップリングに対抗する静電シールドになります。このようなアナログプレーンが不可能な場合は、PLL部品の下の層が、信号層ではなくデジタル電源プレーンになるようにしてください。
- 可能であれば、各層のPLL端子のビアのすぐ隣りに他のボード信号ラインを這わせないようにしてください。
- 可能な限り、特にアナロググラウンドとC2の両側の電源スター接続部には、厚いトレースを使用してください。トレースが部品のパッドと同程度の幅になるようにしてください。トレースが薄いと誘導性が増大します。

製造規則によって、推奨したグラウンドと電源スター接続部の引き回しが禁止される可能性があります。たとえば、1つのパッドに4つの幅の広いトレースが集まると、コンデンサのパッドの周りのすべての銅トレースの熱作用のせいで、組み立て時にリフロー不良の問題が生じることになります。1つの解決策として、パッドに1つのトレースだけを接続し、次にこの幅の広いトレースに他のすべてのトレースをパッドからできるだけ近い場所で接続します。別の解決策として、トレースをパッドに接続し、パッドの周りにサーマルリリーフを設けて銅の接続部の一部を削除します。最終的には、ボードを製造できるようにすることも必要であり、これによって最善の努力が受け入れられることとなります。

17. メカニカルデータ

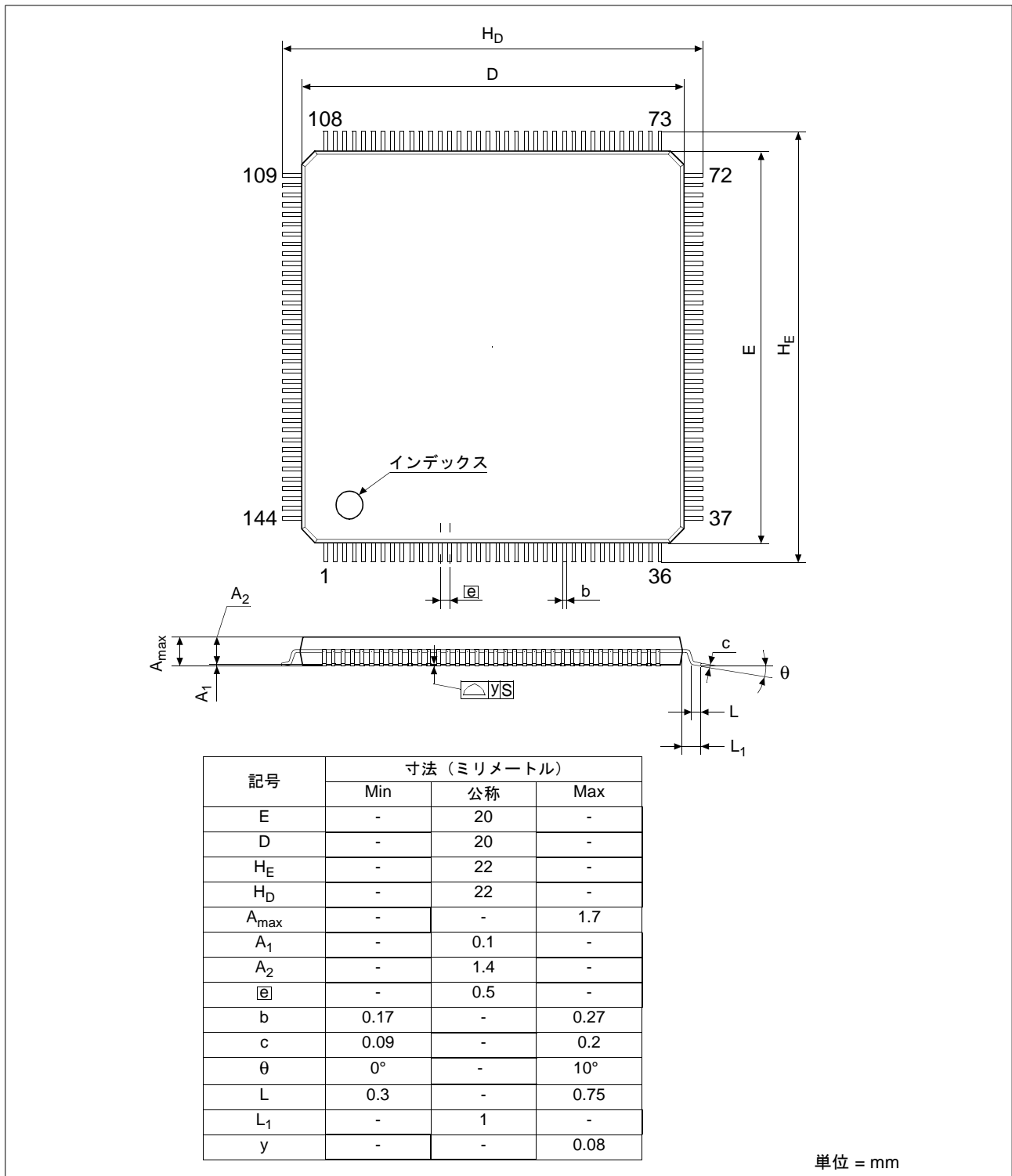


図17.1 QFP20 144端子パッケージ

## 改訂履歴

### Rev. 1.0 - 新規

### Rev. 1.2 - 2011年2月25日発行

- ・2.7 SPIインタフェース で下記の内容を追加。

フラッシュメモリ用 (1Mビットフラッシュメモリに対応、以下のメモリをサポート)

三洋 LE25FU106B

Numonyx M25PE10

Numonyx M25PE10A

- ・表12-4 GPIO割り込み で、”両エッジ”を削除

### Rev. 1.3 - 2013年1月30日発行

- ・31ページ： 絶対最大定格に、TSTG 保存温度 -65~150°C 追加
- ・139ページ： 12.2.1 I2Cクロック~設定します。 の後に、以下の文章を追加  
このI2Cマスターは、I2Cスレーブのクロックストレッチ機能はサポートしていません。
- ・140ページ： 12.2.5 全文章と図12.9を削除して、以下の文章を追加  
このI2Cマスターは、リピーテッドスタートコンディションはサポートしていません。

### Rev. 1.4 - 2013年5月17日発行

- ・66ページ： 11.3.3 透過色設定 に以下の文章を追加。

この機能は、回転およびミラー反転を同時に併用できません。REG[52h] ビット 3-0は、9h, AhおよびBhに設定できません。

### Rev. 1.5 - 2013年9月16日発行

- ・22ページ： 5.2.4 I/Oインタフェースに、GPIOAおよびGPIOBのRESET#時状態の注意書きを追加。

### Rev. 1.6 - 2015年8月19日発行

- ・12ページ： 2.8 I2Cインタフェース で、「標準モード(100kbps)/ファーストモード(400kbps)に対応」を「I2CCLK周波数は、117.19kHzと468.75kHzをサポート」に変更。
- ・48ページ： 表7-12 I2Cインタフェースタイミング で、ti2ccのMIN.規格を2500nsから2130nsに変更。
- ・138ページ： 12.2 I2Cインタフェース で、「I2Cインタフェースは、シングルマスターとしてのみ動作するクロック同期式シリアルインタフェースです。標準モード(100kbps)、ファーストモード(400kbps)、7ビットスレーブアドレスモードをサポートしています。」を「I2Cインタフェースは、シングルマスターとしてのみ動作するクロック同期式シリアルインタフェースで、7ビットスレーブアドレス出力をサポートしています。I2CCLKの周波数は、117.19kHzと468.75kHzをサポートしています。」に変更。
- ・139ページ： 12.2.1 I2Cクロック, 表12.2 I2Cクロック周波数で、I2Cクロック周波数を次のとおり変更。  
Standard: 93.75kHz -> bTransferRate=01h: 117.19kHz  
Fast: 375kHz -> bTransferRate=02h: 468.75kHz



## セイコーエプソン株式会社

マイクロデバイス事業部 デバイス 営業部

---

<IC 営業グループ>

東京 〒191-8501 東京都日野市日野 421-8  
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F  
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

---

ドキュメントコード : 411837405  
2010年2月作成  
2015年8月改訂