

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17803

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

本製品は Silicon Storage Technology, Inc. よりライセンスされた SuperFlash[®] テクノロジを使用しています。

© SEIKO EPSON CORPORATION 2011, All rights reserved.

製品型番体系

●デバイス

S1 C 17xxx F 00E1 00

■ 梱包仕様

00: テープ&リール以外
 0A: TCP BL 2方向
 0B: テープ&リール BACK
 0C: TCP BR 2方向
 0D: TCP BT 2方向
 0E: TCP BD 2方向
 0F: テープ&リール FRONT
 0G: TCP BT 4方向
 0H: TCP BD 4方向
 0J: TCP SL 2方向
 0K: TCP SR 2方向
 0L: テープ&リール LEFT
 0M: TCP ST 2方向
 0N: TCP SD 2方向
 0P: TCP ST 4方向
 0Q: TCP SD 4方向
 0R: テープ&リール RIGHT
 99: 梱包仕様未定

■ 仕様

■ 形状

[D: ベアチップ、F: QFP、B: BGA]

■ 機種番号

■ 機種名称

[C: マイコン、デジタル製品]

■ 製品分類

[S1: 半導体]

●開発ツール

S5U1 C 17000 H2 1 00

■ 梱包仕様

[00: 標準梱包]

■ バージョン

[1: Version 1]

■ ツール種類

Hx: ICE
 Dx: 評価ボード
 Ex: ROMエミュレーションボード
 Mx: 外部ROM用エミュレーションメモリ
 Tx: 実装用ソケット
 Cx: コンバイラパッケージ
 Sx: ミドルウェアパッケージ

■ 対応機種番号

[17xxx: S1C17xxx用]

■ ツール分類

[C: マイコン用]

■ 製品分類

[S5U1: 半導体用開発ツール]

- 目次 -

1 概要	1-1
1.1 特長.....	1-1
1.2 ブロック図.....	1-7
1.3 端子説明.....	1-8
1.3.1 端子配置.....	1-8
1.3.2 端子機能.....	1-10
1.3.3 入出力セルと入出力特性.....	1-16
1.3.4 パッケージ.....	1-18
1.3.5 パッケージの熱抵抗.....	1-19
2 CPU	2-1
2.1 S1C17コアの特長.....	2-1
2.2 CPUレジスタ.....	2-2
2.3 命令セット.....	2-2
2.4 PSRの読み出し.....	2-5
2.5 プロセッサ情報.....	2-6
3 メモリマップおよびバス	3-1
3.1 Flashエリア.....	3-1
3.2 IRAM/IVRAMエリア.....	3-2
3.3 BBRAMエリア.....	3-2
3.4 内蔵周辺回路エリア.....	3-2
3.5 S1C17コアI/Oエリア.....	3-3
3.6 内部バス.....	3-3
3.7 アクセスサイクル.....	3-4
4 電源	4-1
4.1 電源端子.....	4-1
4.2 動作電圧 (LVDD).....	4-3
4.3 I/Oインタフェース電圧 (BUSIO_VDD、IO1_VDD、IO2_VDD).....	4-3
4.4 RTC用電源 (RTCVDD).....	4-3
4.5 アナログ回路用電源 (AVDD).....	4-3
4.6 内蔵電圧レギュレータ.....	4-3
4.7 電源に関する注意事項.....	4-4
5 リセットとNMI	5-1
5.1 イニシャルリセット.....	5-1
5.1.1 #RESET 端子.....	5-1
5.1.2 ウォッチドッグタイマによるリセット.....	5-1
5.1.3 イニシャルリセットシーケンス.....	5-1
5.1.4 イニシャルリセットステータス.....	5-2
5.1.5 イニシャルリセット時の注意事項.....	5-2
5.2 NMI入力.....	5-3
5.2.1 #NMI端子.....	5-3
5.2.2 ウォッチドッグタイマによるNMI.....	5-3
5.2.3 NMI入力ノイズフィルタ.....	5-3
6 クロックマネージメントユニット (CMU)	6-1
6.1 CMUモジュールの概要.....	6-1
6.2 CMU端子.....	6-2
6.3 発振回路.....	6-2

6.3.1	OSC3発振回路	6-2
6.3.2	OSC1発振回路	6-3
6.4	システムクロックの設定	6-4
6.4.1	システムクロックソースの選択	6-4
6.4.2	システムクロック周波数の設定	6-5
6.5	クロック供給制御	6-5
6.5.1	CPUクロック (CCLK)	6-5
6.5.2	バスクロック (BCLK)	6-5
6.5.3	周辺モジュールクロック (PCLK_SOC、PCLK1、PCLK2)	6-6
6.5.4	LCDCモジュールクロック (LCLK)	6-7
6.6	外部出力クロック (CMU_CLK)の設定	6-8
6.7	スタンバイモード	6-8
6.7.1	HALTモード	6-8
6.7.2	SLEEPモード	6-8
6.8	制御レジスタ詳細	6-9
	Clock Source Select Register (CMU_OSCSRC)	6-9
	Oscillation Control Register (CMU_OSCCTL)	6-10
	Noise Filter Control Register (CMU_NF)	6-11
	LCDC Clock Setup Register (CMU_LCLK)	6-11
	Clock Control Register (CMU_CLKCTL)	6-12
	System Clock Division Ratio Select Register (CMU_SYSCCLKDIV)	6-14
	CMU_CLK Select Register (CMU_CMUCLK)	6-14
	MAC Wait Cycle Select Register (MAC_WAIT)	6-15
	CMU Write Protect Register (CMU_PROTECT)	6-15
7	プリスケアラ (PSC)	7-1
7.1	PSCモジュールの概要	7-1
7.2	制御レジスタ詳細	7-2
	PSC Ch.0 Control Register (PSC_CTL0)	7-2
	PSC Ch.1-2 Control Register (PSC_CTL1)	7-2
8	クロックジェネレータ (CLG)	8-1
8.1	CLGモジュールの概要	8-1
8.2	ファインモード付き16ビットタイマ (CLG_T16FU0)	8-2
8.2.1	CLG_T16FU0の概要	8-2
8.2.2	カウントクロック	8-2
8.2.3	カウントモード	8-3
8.2.4	リロードレジスタとアンダーフロー周期	8-3
8.2.5	タイマのリセット	8-3
8.2.6	制御の実行/停止	8-4
8.2.7	CLG_T16FU0出力信号	8-4
8.2.8	ファインモード	8-5
8.2.9	CLG_T16FU0割り込み	8-5
8.2.10	制御レジスタ詳細	8-6
	CLG_T16FU0 Input Clock Select Register (CLG_T16FU0_CLK)	8-6
	CLG_T16FU0 Reload Data Register (CLG_T16FU0_TR)	8-7
	CLG_T16FU0 Counter Data Register (CLG_T16FU0_TC)	8-7
	CLG_T16FU0 Control Register (CLG_T16FU0_CTL)	8-7
	CLG_T16FU0 Interrupt Control Register (CLG_T16FU0_INT)	8-9
8.3	8ビットタイマ (CLG_T8I)	8-9
8.3.1	CLG_T8Iの概要	8-9
8.3.2	カウントクロック	8-10
8.3.3	カウントモード	8-10
8.3.4	リロードレジスタとアンダーフロー周期	8-11
8.3.5	タイマのリセット	8-11

8.3.6 制御の実行/停止	8-11
8.3.7 CLG_T8I出力信号	8-12
8.3.8 CLG_T8I割り込み	8-12
8.3.9 制御レジスタ詳細	8-13
CLG_T8I Input Clock Select Register (CLG_T8I_CLK)	8-13
CLG_T8I Reload Data Register (CLG_T8I_TR)	8-14
CLG_T8I Counter Data Register (CLG_T8I_TC)	8-14
CLG_T8I Control Register (CLG_T8I_CTL)	8-14
CLG_T8I Interrupt Control Register (CLG_T8I_INT)	8-15
9 リアルタイムクロック (RTC)	9-1
9.1 RTCモジュールの概要	9-1
9.2 RTCカウンタ	9-2
9.3 RTCの制御	9-4
9.3.1 動作クロックの制御	9-4
9.3.2 RTCのイニシャルシーケンス	9-4
9.3.3 カウンタの設定	9-5
9.3.4 開始/停止およびソフトウェアリセット	9-5
9.3.5 カウンタのホールドとビジーフラグ	9-6
9.3.6 30秒補正	9-7
9.4 RTC割り込み	9-8
9.5 WAKEUPと#STBY端子	9-9
9.6 制御レジスタの詳細	9-11
RTC Interrupt Status Register (RTC_INTSTAT)	9-11
RTC Interrupt Mode Register (RTC_INTMODE)	9-12
RTC Control 0 Register (RTC_CNTL0)	9-13
RTC Control 1 Register (RTC_CNTL1)	9-14
RTC Second Register (RTC_SEC)	9-15
RTC Minute Register (RTC_MIN)	9-15
RTC Hour Register (RTC_HOUR)	9-16
RTC Day Register (RTC_DAY)	9-16
RTC Month Register (RTC_MONTH)	9-16
RTC Year Register (RTC_YEAR)	9-17
RTC Days of Week Register (RTC_WEEK)	9-17
RTC Wakeup Configuration Register (RTC_WAKEUP)	9-18
RTC Wait Control Register (RTC_WAIT)	9-18
10 Flashコントローラ (FLASHC)	10-1
10.1 FLASHCモジュールの概要	10-1
10.2 Flashメモリマップ	10-2
10.3 Flashメモリのプログラミング	10-2
10.3.1 チップ消去手順	10-3
10.3.2 セクタ消去手順	10-5
10.3.3 Flashプログラミング手順	10-7
10.4 リードアクセス制御	10-8
10.5 HIDEモード	10-8
10.6 制御レジスタ詳細	10-9
FLASHC Control Register (FLASH_CTL)	10-9
FLASHC Sector Address Register (FLASH_ADDR)	10-11
FLASHC Sector Address Register (FLASH_ADDR)	10-12
FLASHC Wait Register (FLASH_WAIT)	10-13
FLASHC Protect Register (FLASH_PROT)	10-14
11 SRAMコントローラ (SRAMC)	11-1
11.1 SRAMCモジュールの概要	11-1
11.2 SRAMC端子	11-1

11.3	SRAMC動作クロック	11-1
11.4	外部メモリエリア	11-2
11.4.1	チップイネーブル信号	11-2
11.4.2	エリアの条件設定	11-2
11.5	外部デバイスの接続とバスオペレーション	11-4
11.5.1	外部デバイスの接続	11-4
11.5.2	メモリ上のデータ配置	11-4
11.5.3	外部バスオペレーション	11-5
11.6	バスアクセスタイミングチャート	11-6
11.6.1	SRAMリード/ライトタイミング(外部#WAITなし)	11-6
11.6.2	SRAMリード/ライトタイミング(外部#WAITあり)	11-8
11.6.3	SRAMバーストリードタイミング	11-9
11.7	制御レジスタ詳細	11-9
	SRAMC Wait Cycle Configuration Register (SRAMC_WT)	11-9
	SRAMC Device Size Configuration Register (SRAMC_SIZE)	11-10
	SRAMC Device Mode Configuration Register (SRAMC_MOD)	11-11
	SRAMC Burst Read Control Register (SRAMC_RDBST)	11-11
	SRAMC #CE1 Bus Clock Division Register (SRAMC_CE1DIV)	11-12
11.8	注意事項	11-13
12	割り込みコントローラ (ITC)	12-1
12.1	ITCモジュールの概要	12-1
12.2	ベクタテーブル	12-2
	Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRLH)	12-3
12.3	マスク可能割り込みの制御	12-4
12.3.1		12-4
12.3.2	ITC割り込み要求の処理	12-4
12.3.3	S1C17コアの割り込み処理	12-5
12.4	NMI	12-6
12.5	ソフトウェア割り込み	12-6
12.6	HALT、SLEEPモードの解除	12-6
12.7	制御レジスタ詳細	12-6
	Interrupt Level Setup Register 0 (ITC_LV0)	12-7
	Interrupt Level Setup Register 1 (ITC_LV1)	12-7
	Interrupt Level Setup Register 2 (ITC_LV2)	12-7
	Interrupt Level Setup Register 3 (ITC_LV3)	12-8
	Interrupt Level Setup Register 4 (ITC_LV4)	12-8
	Interrupt Level Setup Register 5 (ITC_LV5)	12-8
	Interrupt Level Setup Register 6 (ITC_LV6)	12-8
	Interrupt Level Setup Register 7 (ITC_LV7)	12-9
	Interrupt Level Setup Register 8 (ITC_LV8)	12-9
	Interrupt Level Setup Register 9 (ITC_LV9)	12-9
13	DMAコントローラ (DMAC)	13-1
13.1	DMAモジュールの概要	13-1
13.2	DMACの動作クロック	13-1
13.3	制御情報のプログラミング	13-2
13.3.1	ベースアドレスの設定	13-2
13.3.2	制御情報	13-2
13.3.3	自動リロードデータ	13-7
13.4	DMACの呼び出し	13-7
13.5	DMACの動作	13-9
13.5.1	シングル転送モード	13-9
13.5.2	連続転送モード	13-11

13.6	DMACの割り込み	13-13
13.7	制御レジスタ詳細	13-13
	DMAC General Control Register (DMA_CTL)	13-13
	DMAC Control Table Base Address Low/High Registers (DMA_TBL_BASEL/H)	13-14
	DMAC Interrupt Enable Register (DMA_IE)	13-15
	DMAC Trigger Select Register (DMA_TRG_SEL)	13-15
	DMAC Trigger Flag Register (DMA_TRG_FLG)	13-16
	DMAC End-of-Transfer Flag Register (DMA_END_FLG)	13-17
	DMAC Running Status Register (DMA_RUN_STA)	13-17
	DMAC Pause Status Register (DMA_PAUSE_STA)	13-18
	DMAC Data Buffer Low/High Registers (DMA_DATA_BUFL/H)	13-18
14	8ビットプログラマブルタイマ (T8F)	14-1
14.1	T8Fモジュールの概要	14-1
14.2	カウントクロック	14-2
14.3	カウントモード	14-2
14.4	リロードデータレジスタとアンダーフロー周期	14-3
14.5	タイマのリセット	14-3
14.6	RUN/STOP制御	14-3
14.7	タイマ出力信号	14-4
14.8	ファインモード	14-4
14.9	タイマ割り込み	14-5
14.10	制御レジスタ詳細	14-6
	T8F Ch.x Input Clock Select Registers (T8F_CLKx)	14-6
	T8F Ch.x Reload Data Registers (T8F_TRx)	14-7
	T8F Ch.x Counter Data Registers (T8F_TCx)	14-7
	T8F Ch.x Control Registers (T8F_CTLx)	14-8
	T8F Ch.x Interrupt Control Registers (T8F_INTx)	14-9
15	16ビットPWMタイマ (T16A)	15-1
15.1	T16Aモジュールの概要	15-1
15.2	T16A入出力端子	15-2
15.3	カウントクロック	15-2
15.4	T16Aの動作モード	15-3
	15.4.1 コンパレータモードとキャプチャモード	15-3
	15.4.2 リピートモードとワンショットモード	15-4
15.5	カウンタの制御	15-4
	15.5.1 カウンタのリセット	15-4
	15.5.2 カウンタRUN/STOP制御	15-4
	15.5.3 カウンタ値の読み出し	15-5
	15.5.4 タイミングチャート	15-5
15.6	タイマ出力の制御	15-6
15.7	T16A割り込み	15-7
15.8	制御レジスタ詳細	15-9
	T16A Counter Control Register (T16A_CTL)	15-9
	T16A Counter Data Register (T16A_TC)	15-10
	T16A Comparator/Capture Control Register (T16A_CCCTL)	15-11
	T16A Comparator/Capture A Data Register (T16A_CCA)	15-13
	T16A Comparator/Capture B Data Register (T16A_CCB)	15-14
	T16A Comparator/Capture Interrupt Enable Register (T16A_IEN)	15-14
	T16A Comparator/Capture Interrupt Flag Register (T16A_IFLG)	15-15
16	16ビットオーディオPWMタイマ (T16P)	16-1
16.1	T16Pモジュールの概要	16-1
16.2	T16Pの入出力端子	16-2

16.3	T16Pの動作条件の設定	16-3
16.3.1	カウンタクロック	16-3
16.3.2	PCMデータの構成	16-3
16.3.3	動作モードの選択	16-4
16.3.4	PWM出力条件の設定	16-5
16.4	制御とT16Pの動作	16-5
16.4.1	T16Pのリセット	16-5
16.4.2	制御の実行/停止	16-5
16.4.3	コンペアデータの設定	16-6
16.4.4	ボリュームコントロール	16-7
16.4.5	カウンタ値	16-7
16.4.6	タイミングチャート	16-7
16.5	T16Pの割り込みとDMA	16-9
16.5.1	割り込み	16-9
16.5.2	DMA転送	16-10
16.6	制御レジスタ詳細	16-10
	T16P Compare A Buffer Register (T16P_A)	16-10
	T16P Compare B Buffer Register (T16P_B)	16-11
	T16P Counter Data Register (T16P_CNT_DATA)	16-12
	T16P Volume Control Register (T16P_VOL_CTL)	16-12
	T16P Control Register (T16P_CTL)	16-13
	T16P Running Control Register (T16P_RUN)	16-15
	T16P Internal Clock Control Register (T16P_CLK)	16-16
	T16P Interrupt Control Register (T16P_INT)	16-16
17	ウォッチドッグタイマ(WDT)	17-1
17.1	WDTモジュールの概要	17-1
17.2	ウォッチドッグタイマの入出力端子	17-1
17.3	ウォッチドッグタイマの動作クロック	17-2
17.4	ウォッチドッグタイマの制御	17-2
17.4.1	ウォッチドッグタイマの設定	17-2
17.4.2	ウォッチドッグタイマのスタート/ストップ	17-3
17.4.3	ウォッチドッグタイマのリセット	17-3
17.4.4	スタンバイモード時の動作	17-3
17.4.5	ウォッチドッグタイマのクロック出力	17-4
17.4.6	NMI外部出力	17-4
17.5	制御レジスタ詳細	17-4
	WDT Write Protect Register (WD_WP)	17-5
	WDT Enable and Setup Register (WD_EN)	17-5
	WDT Comparison Data L Register (WD_CMP_L)	17-6
	WDT Count Data L/H Registers (WD_CNT_L, WD_CNT_H)	17-7
	WDT Control Register (WD_CTL)	17-7
18	UART	18-1
18.1	UARTモジュールの概要	18-1
18.2	UART入出力端子	18-1
18.3	転送クロック	18-2
18.4	転送データの設定	18-2
18.5	データ送受信の制御	18-3
18.6	受信エラー	18-5
18.7	UART割り込み	18-6
18.8	IrDAインタフェース	18-7
18.9	制御レジスタ詳細	18-8
	UART Status Registers (UART_ST)	18-8

UART Transmit Data Registers (UART_TXD).....	18-10
UART Receive Data Registers (UART_RXD).....	18-10
UART Mode Registers (UART_MOD).....	18-11
UART Control Registers (UART_CTL).....	18-11
UART Expansion Registers (UART_EXP).....	18-13
19 ユニバーサルシリアルインタフェース (USI)	19-1
19.1 USIモジュールの概要	19-1
19.2 USI端子.....	19-2
19.3 USIクロックソース.....	19-2
19.4 USIモジュールの設定	19-3
19.4.1 USIモジュールのソフトウェアリセット	19-4
19.4.2 インタフェースモード.....	19-4
19.4.3 すべてのインタフェースモードのための一般的な設定.....	19-4
19.4.4 UARTモードの設定	19-4
19.4.5 SPIモードの設定	19-5
19.4.6 I ² Cモード用の設定	19-6
19.5 データ転送制御.....	19-6
19.5.1 UARTモードにおけるデータ転送.....	19-6
19.5.2 SPIモードにおけるデータ転送.....	19-7
19.5.3 I ² Cモードでのデータ転送.....	19-9
19.6 受信エラー	19-21
19.7 USI割り込みとDMA	19-22
19.7.1 UARTモードでの割り込み.....	19-22
19.7.2 SPIモードでの割り込み.....	19-23
19.7.3 I ² Cマスタモードでの割り込み.....	19-24
19.7.4 I ² Cスレーブモードでの割り込み.....	19-24
19.7.5 DMA転送.....	19-25
19.8 制御レジスタ詳細	19-26
USI Ch.x Global Configuration Registers (USI_GCFGx)	19-26
USI Ch.x Transmit Data Buffer Registers (USI_TDx).....	19-27
USI Ch.x Receive Data Buffer Registers (USI_RDx).....	19-27
USI Ch.x UART Mode Configuration Registers (USI_UCFGx).....	19-28
USI Ch.x UART Mode Interrupt Enable Registers (USI_UIEx).....	19-28
USI Ch.x UART Mode Interrupt Flag Registers (USI_UIF _x).....	19-29
USI Ch.x SPI Master/Slave Mode Configuration Registers (USI_SCFGx).....	19-31
USI Ch.x SPI Master/Slave Mode Interrupt Enable Registers (USI_SIE _x).....	19-32
USI Ch.x SPI Master/Slave Mode Interrupt Flag Registers (USI_SIF _x).....	19-33
USI Ch.x I ² C Master Mode Trigger Registers (USI_IMTG _x).....	19-34
USI Ch.x I ² C Master Mode Interrupt Enable Registers (USI_IMIE _x).....	19-35
USI Ch.x I ² C Master Mode Interrupt Flag Registers (USI_IMIF _x).....	19-35
USI Ch.x I ² C Slave Mode Trigger Registers (USI_ISTG _x).....	19-36
USI Ch.x I ² C Slave Mode Interrupt Enable Registers (USI_ISIE _x).....	19-37
USI Ch.x I ² C Slave Mode Interrupt Flag Registers (USI_ISIF _x).....	19-38
19.9 注意事項.....	19-39
20 I²Cマスタ (I2CM).....	20-1
20.1 I2CMモジュールの概要.....	20-1
20.2 I2CM入出力端子.....	20-1
20.3 I ² Cマスタクロック	20-1
20.4 データ転送前の設定項目.....	20-2
20.5 データ送受信の制御.....	20-2
20.6 I2CM割り込み	20-7
20.7 制御レジスタ詳細	20-7
I ² C Master Enable Register (I2CM_EN).....	20-7

I ² C Master Control Register (I2CM_CTL).....	20-8
I ² C Master Data Register (I2CM_DAT).....	20-9
I ² C Master Interrupt Control Register (I2CM_ICTL)	20-10
21 I²Cスレーブ (I2CS)	21-1
21.1 I2CSモジュールの概要	21-1
21.2 I2CS入出力端子	21-1
21.3 I2CSスレーブクロック	21-2
21.4 I2CSの初期設定	21-2
21.4.1 リセット	21-2
21.4.2 スレーブアドレスの設定	21-2
21.4.3 オプション機能.....	21-2
21.5 データ送受信の制御.....	21-3
21.6 I2CS割り込み.....	21-8
21.7 制御レジスタ詳細	21-9
I2C Slave Transmit Data Register (I2CS_TRNS).....	21-9
I2C Slave Receive Data Register (I2CS_RECV).....	21-10
I2C Slave Address Setup Register (I2CS_SADRS)	21-10
I2C Slave Control Register (I2CS_CTL).....	21-11
I2C Slave Status Register (I2CS_STAT).....	21-13
I2C Slave Access Status Register (I2CS_ASTAT).....	21-15
I2C Slave Interrupt Control Register (I2CS_ICTL)	21-16
22 I²S.....	22-1
22.1 I ² Sモジュールの概要.....	22-1
22.2 I ² S出力端子.....	22-1
22.3 I ² Sモジュールの動作クロック	22-2
22.4 I ² Sモジュールの設定.....	22-2
22.5 データ出力の制御	22-7
22.6 I ² S割り込みとDMA	22-10
22.6.1 割り込み	22-10
22.6.2 DMA転送.....	22-11
22.7 制御レジスタ詳細	22-11
I ² S Control Register I2S_CTL.....	22-12
I ² S Master Clock Division Ratio Register (I2S_DV_MCLK).....	22-15
I ² S Audio Clock Division Ratio Register (I2S_DV_AUDIO_CLK).....	22-16
I ² S Start/Stop Register (I2S_START)	22-17
I ² S FIFO Status Register (I2S_FIFO_STAT).....	22-18
I ² S Interrupt Control Register (I2S_INT).....	22-19
I ² S FIFO Register (I2S_FIFO)	22-20
22.8 I ² Sクロックの設定	22-21
23 リモートコントローラ (REMC)	23-1
23.1 REMCモジュールの概要.....	23-1
23.2 REMC入出力端子.....	23-1
23.3 キャリアの生成.....	23-1
23.4 データ長カウンタのクロック設定	23-2
23.5 データ送受信の制御.....	23-3
23.6 REMC割り込み	23-5
23.7 制御レジスタ詳細	23-6
REMC Configuration Register (REMC_CFG).....	23-6
REMC Carrier Length Setup Register (REMC_CAR).....	23-7
REMC Length Counter Register (REMC_LCNT)	23-8
REMC Interrupt Control Register (REMC_INT).....	23-9

24 カードインタフェース(CARD)	24-1
24.1 CARDモジュールの概要.....	24-1
24.2 CARD出力端子.....	24-1
24.3 カードインタフェース制御信号.....	24-1
25 汎用入出力ポート	25-1
25.1 GPIOモジュールの概要.....	25-1
25.2 入出力端子機能の選択(MUXポート).....	25-2
25.3 データ入出力.....	25-4
25.4 ポート割り込み.....	25-5
25.5 チャタリングフィルタ(P2/P8、PA/P4ポート).....	25-7
25.6 入力ポートのノイズフィルタ.....	25-7
25.7 制御レジスタ詳細.....	25-8
Px Port Input Data Registers (Px_IN).....	25-9
Px Port Output Data Registers (Px_OUT).....	25-9
Px Port I/O Direction Registers (Px_IO).....	25-10
Port Interrupt 0 Port Select Register (PP_SEL0).....	25-10
Port Interrupt 1 Port Select Register (PP_SEL1).....	25-10
Port Interrupt 0 Trigger Mode Select Register (PP_EDGE0).....	25-11
Port Interrupt 1 Trigger Mode Select Register (PP_EDGE1).....	25-11
Port Interrupt 0 Enable Register (PP_IE0).....	25-11
Port Interrupt 1 Enable Register (PP_IE1).....	25-12
Port Interrupt 0 Polarity Control Register (PP_POL0).....	25-12
Port Interrupt 1 Polarity Control Register (PP_POL1).....	25-12
Port Interrupt 0 Flag Register (PP_FLAG0).....	25-13
Port Interrupt 1 Flag Register (PP_FLAG1).....	25-13
P2 Port Chattering Filter Control Register (P2_CHAT).....	25-14
PA Port Chattering Filter Control Register (PA_CHAT).....	25-15
P0[3:0] Port Function Select Register (P0_03_CFP).....	25-15
P1[3:0] Port Function Select Register (P1_03_CFP).....	25-16
P1[7:4] Port Function Select Register (P1_47_CFP).....	25-17
P2[3:0] Port Function Select Register (P2_03_CFP).....	25-18
P2[7:4] Port Function Select Register (P2_47_CFP).....	25-19
P3[3:0] Port Function Select Register (P3_03_CFP).....	25-20
P3[7:4] Port Function Select Register (P3_47_CFP).....	25-21
P4[3:0] Port Function Select Register (P4_03_CFP).....	25-22
P4[5:4] Port Function Select Register (P4_45_CFP).....	25-22
P5[3:0] Port Function Select Register (P5_03_CFP).....	25-23
P5[7:4] Port Function Select Register (P5_47_CFP).....	25-24
P6[3:0] Port Function Select Register (P6_03_CFP).....	25-25
P6[7:4] Port Function Select Register (P6_47_CFP).....	25-26
P7[3:0] Port Function Select Register (P7_03_CFP).....	25-27
P7[7:4] Port Function Select Register (P7_47_CFP).....	25-28
P8[3:0] Port Function Select Register (P8_03_CFP).....	25-29
P8[6:4] Port Function Select Register (P8_46_CFP).....	25-30
P9[3:0] Port Function Select Register (P9_03_CFP).....	25-30
P9[7:4] Port Function Select Register (P9_47_CFP).....	25-31
PA[3:0] Port Function Select Register (PA_03_CFP).....	25-32
PA[7:4] Port Function Select Register (PA_47_CFP).....	25-33
PB[3:0] Port Function Select Register (PB_03_CFP).....	25-34
PB[7:4] Port Function Select Register (PB_47_CFP).....	25-35
PC[3:0] Port Function Select Register (PC_03_CFP).....	25-36
PC[7:4] Port Function Select Register (PC_47_CFP).....	25-37
P Port Noise Filter Control Register (PP_NFC).....	25-38
Port Function Protect Register (PF_WREN).....	25-38
26 A/D変換器(ADC10)	26-1

26.1	ADCモジュールの概要	26-1
26.2	ADC10入力端子	26-2
26.3	A/D変換器の設定	26-2
26.3.1	A/D変換クロックの設定	26-2
26.3.2	A/D変換開始チャンネルと終了チャンネルの選択	26-3
26.3.3	A/D変換モードの設定	26-4
26.3.4	トリガの選択	26-4
26.3.5	サンプリング時間の設定	26-4
26.3.6	変換結果の格納モードの設定	26-5
26.4	A/D変換の制御と動作	26-5
26.4.1	A/D変換器の起動	26-5
26.4.2	A/D変換の開始	26-5
26.4.3	A/D変換結果の読み出し	26-5
26.4.4	A/D変換の終了	26-6
26.4.5	タイミングチャート	26-6
26.5	A/D変換器割り込み	26-8
26.6	制御レジスタ詳細	26-9
	A/D Conversion Result Register (ADC10_ADD)	26-9
	A/D Trigger/Channel Select Register (ADC10_TRG)	26-9
	A/D Control/Status Register (ADC10_CTL)	26-11
	A/D Clock Control Register (ADC10_CLK)	26-13
27	LCDコントローラ (LCDC)	27-1
27.1	LCDCモジュールの概要	27-1
27.2	ブロック図	27-2
27.3	LCDC出力端子	27-3
27.4	LCDCの動作クロック	27-3
27.5	LCDパネルとインタフェース条件の設定	27-4
27.5.1	データ幅	27-4
27.5.2	解像度	27-4
27.5.3	表示モードとデータ形式	27-5
27.5.4	その他の設定	27-6
27.6	表示の制御	27-6
27.6.1	LCDパワーアップ/ダウン制御	27-6
27.6.2	表示開始アドレスの設定	27-8
27.6.3	表示データの書き込み	27-8
27.6.4	表示の反転とブランク表示	27-8
27.7	LCDC割り込み	27-8
27.8	制御レジスタ詳細	27-8
	LCDC Frame Interrupt Enable Register (LCDC_FRMIE)	27-9
	Status and Power Save Configuration Register (LCDC_PS)	27-9
	Horizontal Non-Display Period Register (LCDC_HNDP)	27-10
	Horizontal Panel Size Register (LCDC_HSIZE)	27-10
	Vertical Non-Display Period Register (LCDC_VNDP)	27-11
	Vertical Panel Size Register (LCDC_VSIZE)	27-11
	MOD Rate Counter Setup Register (LCDC_MOD)	27-11
	LCDC Display Mode 1 Register (LCDC_DMD1)	27-11
	LCDC Display Mode 2 Register (LCDC_DMD2)	27-12
	Screen Display Start Address Low Register (LCDC_SADDR1)	27-13
	Screen Display Start Address High Register (LCDC_SADDR2)	27-13
27.9	シリアル/パラレルMPUインタフェースLCDパネル/ドライバ	27-13
28	オンチップデバッグ (DBG)	28-1
28.1	リソース要件とデバッグツール	28-1

28.2	デバッグブレーク時の動作状態	28-2
28.3	追加デバッグ機能	28-2
28.4	制御レジスタ詳細	28-3
	Debug RAM Base Register (DBRAM)	28-3
	Debug Control Register (DCR)	28-3
	Instruction Break Address Register 2 (IBAR2)	28-5
	Instruction Break Address Register 3 (IBAR3)	28-5
	Instruction Break Address Register 4 (IBAR4)	28-5
29	乗除算器	29-1
29.1	概要	29-1
29.2	動作モードと出力モード	29-1
29.3	乗算	29-2
29.4	除算	29-3
29.5	積和演算 (MAC)	29-4
29.6	演算結果の読み出し	29-6
30	電気的特性	30-1
30.1	絶対最大定格	30-1
30.2	推奨動作条件	30-1
30.3	DC特性	30-2
30.4	消費電流	30-4
30.5	A/D変換器特性	30-6
30.6	発振特性	30-6
30.7	AC特性	30-7
	30.7.1 外部クロック入力特性	30-7
	30.7.2 SRAMC AC特性	30-7
	30.7.3 USI AC特性	30-9
	30.7.4 I2CM/I2CS AC特性	30-11
	30.7.5 LCDC AC特性	30-12
	30.7.6 #STBY AC特性	30-16
31	基本外部結線図	31-1
Appendix A パワーセーブ		AP-1
Appendix B 実装上の注意事項		AP-4

1 概要

S1C17803は、パフォーマンスの高い特定用途向け16ビットRISCコントローラです。

S1C17803は幅広い実装用途に対応できますが、特にディスプレイ、音楽、音声、タッチパネルといった高度なインタフェースを必要とする家電(洗濯機、炊飯器、コーヒーマーカー)などへの組み込みに適しています。

S1C17803は、5Vの単一電源で動作するために、5V入力/3V出力レギュレータを内蔵しています。また、多電圧入出力システム(MVIO)を採用しているため、3グループの入出力ポートを、それぞれ別の電源電圧で駆動することができます。レベルシフタを使用することなく、5Vおよび3V部品の実装が必要なアプリケーションシステムを構成することが可能です。

S1C17803は、S1C17 16ビットRISC CPUコア、128KバイトFlash EEPROM、16KバイトRAM、シリアルインタフェース(IrDA1.0対応UART、I²C、PS、UART/SPI/I²Cインタフェースモード対応USI)、赤外線リモコン回路、4本のアナログ入力チャネルを持つ10ビットADC、PWMなどのタイマ、ウォッチドッグタイマ、NAND Flashカードインタフェース、SRAMコントローラ付き外部バス、4チャネルDMAコントローラ、汎用入出力ポート、STN LCDコントローラで構成されています。

STN LCDコントローラは外部メモリ拡張なしでQVGAパネル(モノクロディスプレイ)に対応しています。外部SRAMの接続により、VGAパネル(モノクロモード)またはQVGAパネル(16階調モード)への表示が可能です。

S1C17803はDSP機能により低CPU負荷で音声再生が容易に実現可能な16ビット×16ビットMUL(乗算)命令、16ビット×16ビット+32ビットMAC(積和演算)命令、および16÷16DIV(除算)命令を提供します。また、独立電源で動作するRTC、BBRAM(バッテリーバックアップRAM)も搭載しています。不要な回路への電源を停止することで、パワーセーブの効果は大幅に高まります。

本製品はSilicon Storage Technology, Inc.よりライセンスされたSuperFlash® Technologyを使用しています。

表1.1 ラインアップ

機能	モデル1(最小機能モデル)	モデル2(標準機能モデル)	モデル3(標準機能モデル)
Flash ROMサイズ	128K/バイト		
RAMサイズ	16K/バイト (VRAMを含む)		
外部バス	8ビットデータバス 21ビットアドレスバス(最大) #CE×3(最大)	16ビットデータバス 23ビットアドレスバス(最大) #CE×4(最大)	
A/D変換器	アナログ入力チャネル3本(最大)		
GPIOポート	出力ポート66本と入力ポート3本(最大)		
パッケージ	TQFP14-100pin(0.4mmピッチ)	TQFP15-128pin(0.4mmピッチ)	QFP5-128pin(0.5mmピッチ)

1.1 特長

S1C17803の主な機能と特長を以下に示します。

テクノロジー

- 0.35μm AL-4層アナログ混在低電力CMOSプロセステクノロジー

CPU

- セイコーエプソンオリジナル16ビットRISCプロセッサS1C17コア
- 内部3段パイプライン
- 命令セット
 - 16ビット固定長
 - 基本命令111種類(全184命令)
 - C言語による開発に最適化されたコンパクトで高速な命令セット
- レジスタ
 - 24ビット汎用レジスタ8個
 - 特殊レジスタ3個(24ビット×2、8ビット×1)
- メモリ空間
 - 最大16Mバイトの空間をアクセス可能(24ビットアドレス)

1 概要

DSP

- MUL(乗算)
 - 16×16ビット(1サイクル)
- MAC(積和算)
 - 16×16+32ビット(1サイクル)
- DIV(除算)
 - 16÷16ビット(17サイクル)

内蔵メモリ

- Flash EEPROM
 - 128Kバイト
- RAM (IVRAM)
 - 16Kバイト
 - VRAMとして使用可能
- BBRAM
 - 16バイト
 - バッテリーバックアップRAM

アクセスサイクル

- 命令リードアクセスサイクル
 - 内蔵RAM 命令リード: 4サイクル(32ビットリード)
 - 内蔵Flash EEPROM 命令リード: 2サイクル(32ビットリード)
 - 外部8ビットRAM 命令リード: 16サイクル(32ビットリード)
 - 外部16ビットRAM 命令リード: 12サイクル(32ビットリード)
 - * シーケンシャルアクセス時は2命令(16ビット×2)あたりのサイクル数となります。
 - * 外部RAMのアクセスサイクル数は、RAMの仕様に依存します。上記は最短時の値です。
- データリード/ライトアクセスサイクル
 - 内蔵RAM データライト: 1サイクル
データリード: 2サイクル
 - 内蔵Flash EEPROM データリード: 1サイクル(16ビットリード)
 - 外部8ビットRAM データライト: 6サイクル(16ビットライト)
データリード: 6サイクル(16ビットリード)
 - 外部16ビットRAM データライト: 3サイクル(16ビットライト)
データリード: 3サイクル(16ビットリード)
- 内蔵Flash EEPROM 1サイクルモード分岐実行ペナルティ

分岐元→分岐先	3サイクル分岐命令実行時のペナルティ	4サイクル分岐命令実行時のペナルティ
4バイト境界→4バイト境界	+2サイクル	+1サイクル
4バイト境界→2バイト境界	+3サイクル	+2サイクル
2バイト境界→4バイト境界	+3サイクル	+1サイクル
2バイト境界→2バイト境界	+4サイクル	+2サイクル

- 内蔵Flash EEPROM 1サイクルモード設定可能上限周波数: 16MHz

動作クロック

- メインクロック
 - 1～33MHz (1/1～1/32の分周可)、32.768kHz
 - 内蔵発振回路(水晶またはセラミック)または外部クロック入力
- サブクロック
 - 32.768 kHz (Typ.) (RTC用)
 - 内蔵発振回路(水晶)

割り込みコントローラ (ITC)

- 4本のマスク不可能割り込み
 - リセット (#RESET端子またはウォッチドッグタイマ)
 - アドレス不整
 - デバッグ
 - NMI (#NMI端子またはウォッチドッグタイマ)
 - 19本のマスク可能割り込み
 - ポート入力(2本)
 - DMAコントローラ(1本)
 - 16ビットPWMタイマ(2本)
 - 16ビットオーディオPWMタイマ(1本)
 - 8ビットプログラマブルタイマ(1本)
 - 16ビットCLGタイマ(1本)
 - 8ビットCLGタイマ(1本)
 - A/D変換器(1本)
 - LCDコントローラ(1本)
 - I²S(1本)
 - USI(2本)
 - UART(1本)
 - I²Cマスタ(1本)
 - I²Cスレーブ(1本)
 - RTC(1本)
 - リモートコントローラ(1本)
- * 各マスク可能割り込みの割り込みレベル(優先順位)を設定可能(レベル0～7)

DMAコントローラ (DMAC)

- 4チャンネルのテーブルDMA
- デュアルアドレス転送(転送元および転送先アドレスを設定)
- シングル転送モード、連続転送モードを設定可能
- テーブルリロードおよび低優先順位チャンネルの一時停止機能
- トリガ源: USI、I²S、16ビットオーディオPWMタイマ、A/D変換器およびソフトウェア
- 転送終了割り込みを発生可能

SRAMコントローラ (SRAMC)

- 23ビット外部アドレスバス、データバス(8または16ビットを選択可能)、4本のチップイネーブルにより、最大15Mバイトの外部メモリ空間に対応
- 外部にVRAMを接続可能とするSRAM UMA機能を搭載。これにより、16階調QVGAまでのLCDパネルが使用可能

プリスケラ (PSC)

- 内蔵周辺回路のソースクロックを生成

クロックジェネレータ (CLG)

- 16ビットタイマと8ビットタイマ内蔵
- UART、I²Cマスタのクロック生成に使用可能
- 各タイマはアンダーフロー割り込みを発生可能

16ビットオーディオPWMタイマ (T16P)

- 2チャンネルのオーディオPWM出力機能付き16ビットタイマ/カウンタを内蔵
- 3つのビット分周モードに対応(10ビット+6ビット、9ビット+7ビット、8ビット+8ビット)
- オーディオPWM機能は8ビットと16ビットのPCMデータをサポート
- 外部DACなしにモノラル音声出力可能(外付けのレジスタ、コンデンサは必要)
- 2種類のコンペアマッチ割り込みを発生可能

1 概要

16ビットPWMタイマ(T16A)

- カウンタキャプチャ/コンペア機能付き16ビットタイマ/カウンタを内蔵
- 2つのコンペア/キャプチャデータバッファを使用可能
- コンペア/キャプチャ割り込みを発生可能

8ビットプログラマブルタイマ(T8F)

- 3チャンネルの8ビットタイマ(プリセットブルダウンカウンタ)を内蔵
- カウンタアンダーフローで発生するクロックを外部に出力可能
- ADCまたはUSIを周期的に起動するインターバルタイマとして使用可能
- アンダーフロー割り込みを発生可能

ウォッチドッグタイマ(WDT)

- リセットまたはNMIを発生する30ビットのウォッチドッグタイマ
- ウォッチドッグタイマのオーバーフロー周期(リセット/NMI発生周期)をプログラムにより設定可能
- ウォッチドッグタイマのオーバーフロー信号を外部に出力可能

リアルタイムクロック(RTC)

- 時刻(秒、分、時)カウンタおよびカレンダー(日、曜日、月、年)カウンタ内蔵
- システム電源(LV_{DD}、HV_{DD})とは別の電源を使用可能
- スタンバイモードの制御に使用可能な#STBY入力端子とWAKEUP出力端子
- 周期的な割り込み発生が可能

UART

- 1チャンネルのUARTを内蔵
- IrDA 1.0インタフェースに対応
- 2バイトの受信バッファと1バイトの送信バッファを内蔵し、全二重通信をサポート
- 転送レート: 150 ~ 460800bps、データ長: 7または8ビット、パリティモード: 偶数、奇数、またはパリティなし、ストップビット: 1または2ビット
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能

I²C(I2CM、I2CS)

- I²CマスタおよびI²Cスレーブモジュールを別個に搭載
- データ形式: 8ビット(MSB先頭)
- アドレスサイズ: 7ビットアドレス(10ビットアドレスには未対応)
- ノイズ除去機能(レジスタ選択)
- 受信バッファフル、送信バッファエンプティ割り込みを発生可能

ユニバーサルシリアルインタフェース(USI)

- 2チャンネルのUSIはUART、SPI、またはI²Cモジュールとして使用可能
- 1バイトの受信データバッファと1バイトの送信バッファを内蔵
- UARTモード
 - データ長: 7または8ビット、パリティモード: 偶数、奇数、またはパリティなし、ストップビット: 1または2ビット
 - MSB先頭とLSB先頭の両方のモードに対応
 - パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
 - 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能
 - DMA転送に対応

- SPIモード
 - マスタおよびスレーブモードに対応
 - データ長: 8または9ビット(マスタモード)、または8ビット固定(スレーブモード)
 - MSB先頭とLSB先頭の両方のモードに対応
 - データ転送タイミング(クロックの位相と極性)を4種類から選択可能
 - 受信データのマスク機能を利用可能
 - 受信バッファフル、送信バッファエンプティ、オーバーランエラー割り込みを発生可能
 - DMA転送に対応
- I²Cモード
 - マスタおよびスレーブモードに対応
 - 7ビットのアドレスサイズ(10ビットアドレスはソフトウェア制御で対応可能)
 - クロックストレッチ/ウェイト機能に対応
 - スタート/ストップ、データ転送、ACK/NAK転送、オーバーランエラー割り込みを発生可能

I²S (I2S)

- ユニバーサルオーディオI²Sバスインタフェースに対応
- 16ビットの解像度のI²S出力1チャンネルを内蔵
- ビットクロック、ワードセレクト信号、データ、マスタクロックを生成するマスタとして動作
- バッファエンプティ割り込みを発生可能

カードインタフェース(CARD)

- 8または16ビットNAND Flashインタフェース信号を生成
- ECC機能はアプリケーションプログラム内への実装が必要

赤外線リモートコントローラ(REMC)

- 変調キャリア信号の出力とリモコンパルスを入力
- キャリア信号発生回路とデータ長カウンタを内蔵
- データ送信時にカウンタアンダーフロー割り込み、データ受信時に入力立ち上がりエッジ/立ち下がりエッジ検出割り込みを発生可能

A/D変換器(ADC)

- 最大4チャンネルのアナログ入力を持つ10ビットA/D変換器
- 変換終了、データオーバーライト割り込みを発生可能

LCDコントローラ(LCDC)

- STN LCDコントローラ
- FRM(Frame Rate Modulation)による最大16階調のモノクロ表示が可能
- 1/2/4bpp(2/4/16階調)モノクロLCDインタフェース(bpp: bit-per-pixel)
- 16KバイトIVRAM(汎用RAMと共有)
 - 1bppモードで最大QVGA(320×240)パネルへのモノクロ表示が可能
 - IVRAMアービタにより、SRAMコントローラを介してCPUとLCDコントローラからIVRAMにアクセス可能
- UMA機能により、外部SRAMをVRAMとして使用可能
 - 表示サイズを4bpp(16階調)でQVGA(320×240)パネルまで、または1bpp(モノクロ)でVGA(640×480)パネルまで拡張可能
 - 外部VRAMには16ビットおよび8ビットSRAMが使用可能
 - EVRAMアービタにより、SRAMコントローラを介してCPUとLCDコントローラから外部VRAMにアクセス可能
- 対応ディスプレイ
 - シングルパネル
 - シングルドライブパッシブディスプレイ
 - 1/4/8ビットデータバス幅のLCDドライバ内蔵モノクロSTN LCDパネル

1 概要

汎用入出力ポート (GPIO)

- 最大93本の入出力ポートと4本の入力ポートを使用可能(128pin/パッケージ)
- 最大66本の入出力ポートと3本の入力ポートを使用可能(100pin/パッケージ)
- ソフトウェアにより選択されたP2、P4、P8、およびPAポートから入力割り込みを発生可能
- * GPIOポートは周辺機能端子(UART、PWMなど)と共有されます。したがって、GPIOポートの数は使用する周辺機能により変化します。

電圧レギュレータ

- 5V電源の使用時に3V内部動作電圧を生成
- 5Vの単一電源を使用して動作可能

多電圧入出力システム (MVIO)

- 3グループの入出力ポート (IO1、IO2、バス)を、それぞれ別の電源電圧で駆動することができます。

動作電圧

- IO1_VDD: 2.70 ~ 5.50V (3.0V、3.3V、または5.0V typ.)(IO1グループ)
- IO2_VDD: 2.70 ~ 5.50V (3.0V、3.3V、または5.0V typ.)(IO2グループ)
- BUSIO_VDD: 2.70 ~ 5.50V (3.0V、3.3V、または5.0V typ.)(バスグループ)
- LVDD: 2.70 ~ 3.60V (3.0V、3.3V typ.) (コア、内部ロジック回路)
- RTCVDD: 2.70 ~ 3.60V (3.3V typ.) (RTC、BBRAM) (他電源からは独立)
- AVDD: 2.70 ~ 5.50V (3.3Vまたは5.0V typ.) (アナログ回路)
- REGU_VDD: 4.50 ~ 5.50V (5.0V typ.) (5Vの単一電源を使用したときのレギュレータ電源)

動作温度

- Flashリード時: -40 ~ 85°C (LVDD = 3.0 ~ 3.6V)
-40 ~ 70°C (LVDD = 2.7 ~ 3.6V)
- Flash消去/プログラミング時 -40 ~ 70°C

消費電流

- SLEEP時: 5μA (typ.)
- HALT時: 15mA (typ.) 33MHz/3.3V動作時
- 動作時: 17mA (typ.) 33MHz/3.3V動作時、IVRAM使用時のLCDC電流を含む
- バッテリーバックアップ時: 0.021μA (typ.) 3.3V、OSCIなし
- * CMUでクロックを制御することにより、消費電力を低減できます。

出荷形態

- TQFP14-100pin (12mm × 12mm × 1.2mm、端子間ピッチ: 0.4mm)
- TQFP15-128pin (14mm × 14mm × 1.2mm、端子間ピッチ: 0.4mm)
- QFP5-128pin (14mm × 20mm × 3.5mm、端子間ピッチ: 0.5mm)

1.2 ブロック図

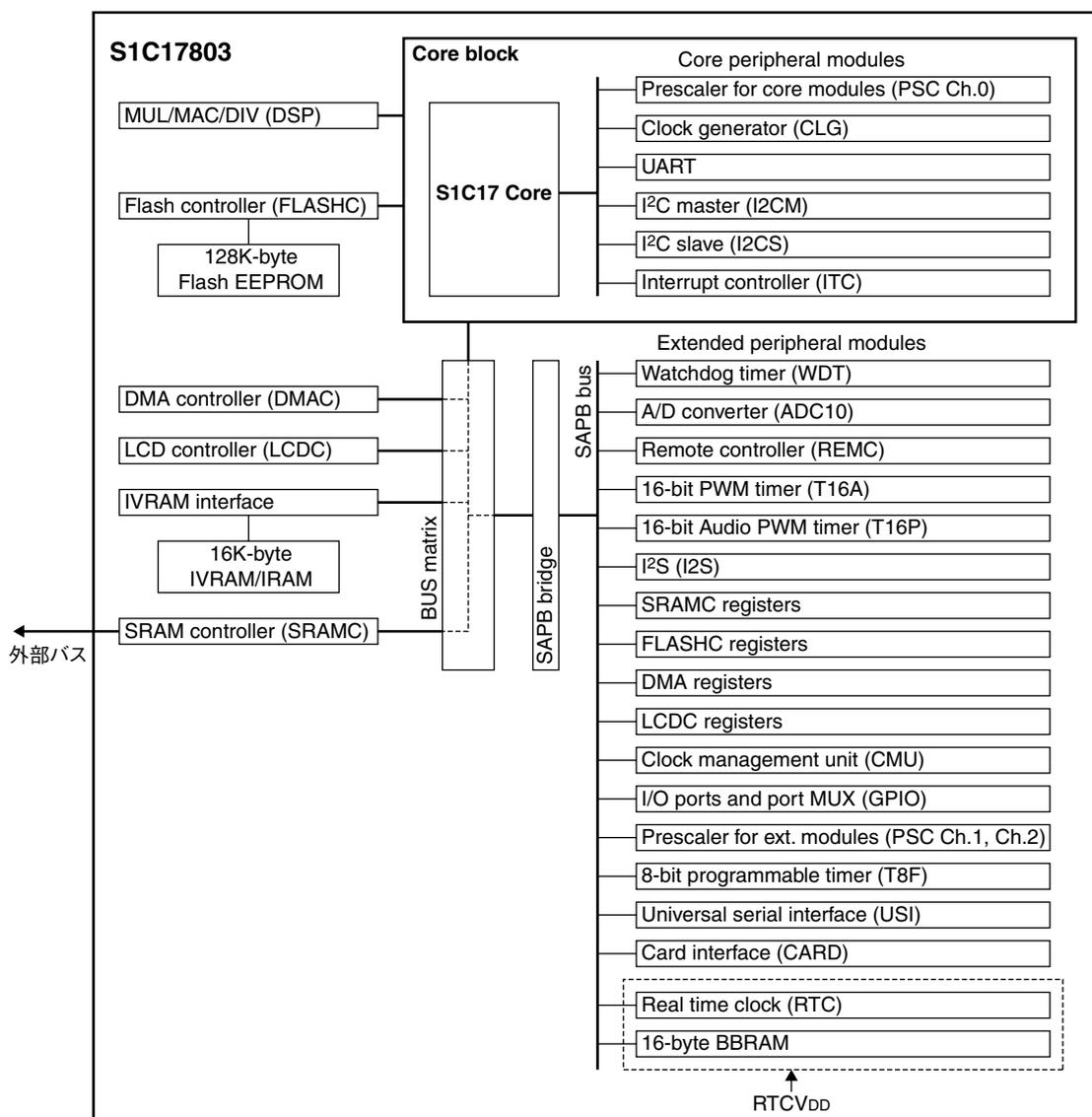


図1.2.1 ブロック図

1.3 端子説明

1.3.1 端子配置

S1C17803は、TQFP14-100pin、TQFP15-128pin、またはQFP5-128pinパッケージを採用しています。

TQFP14-100pinパッケージ

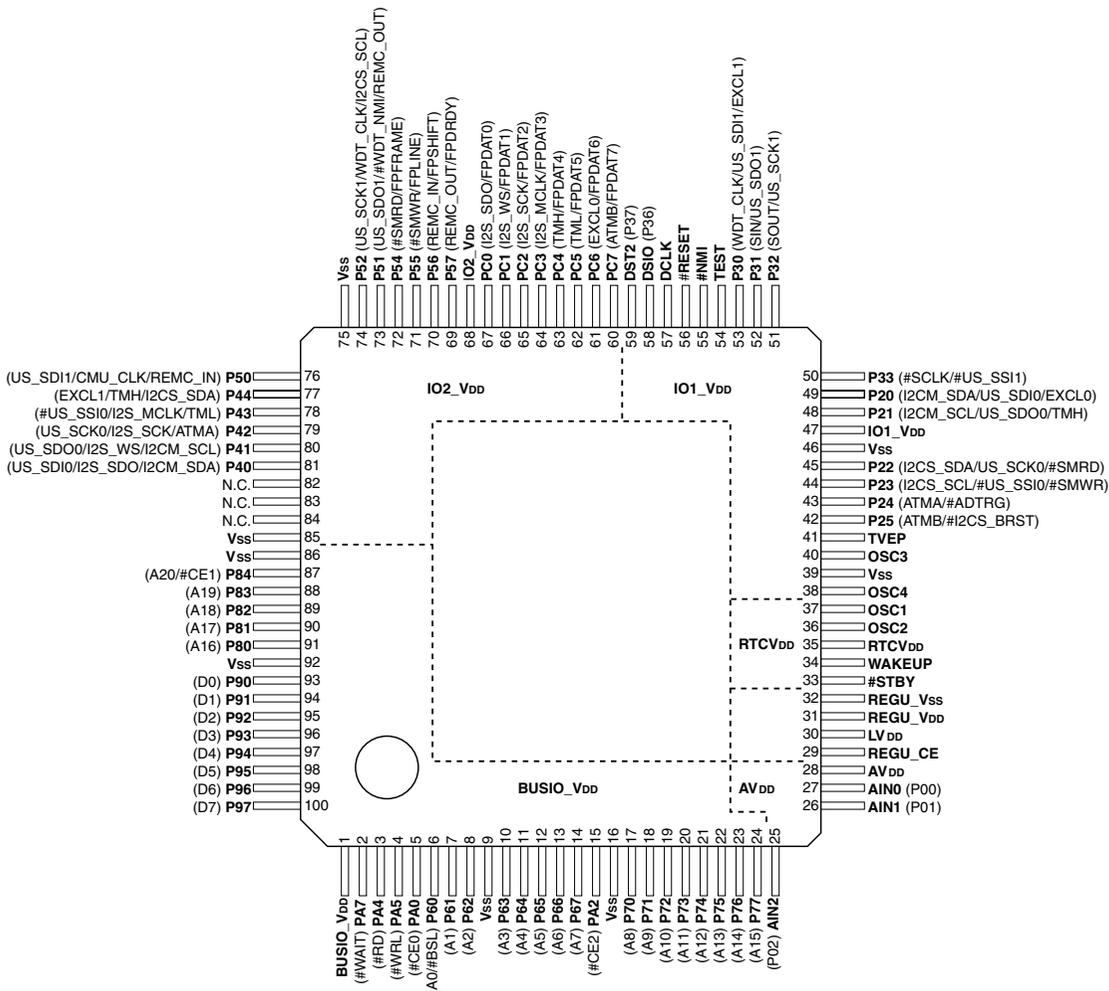


図1.3.1.1 端子配置(TQFP14-100pin)

TQFP15-128pinパッケージ

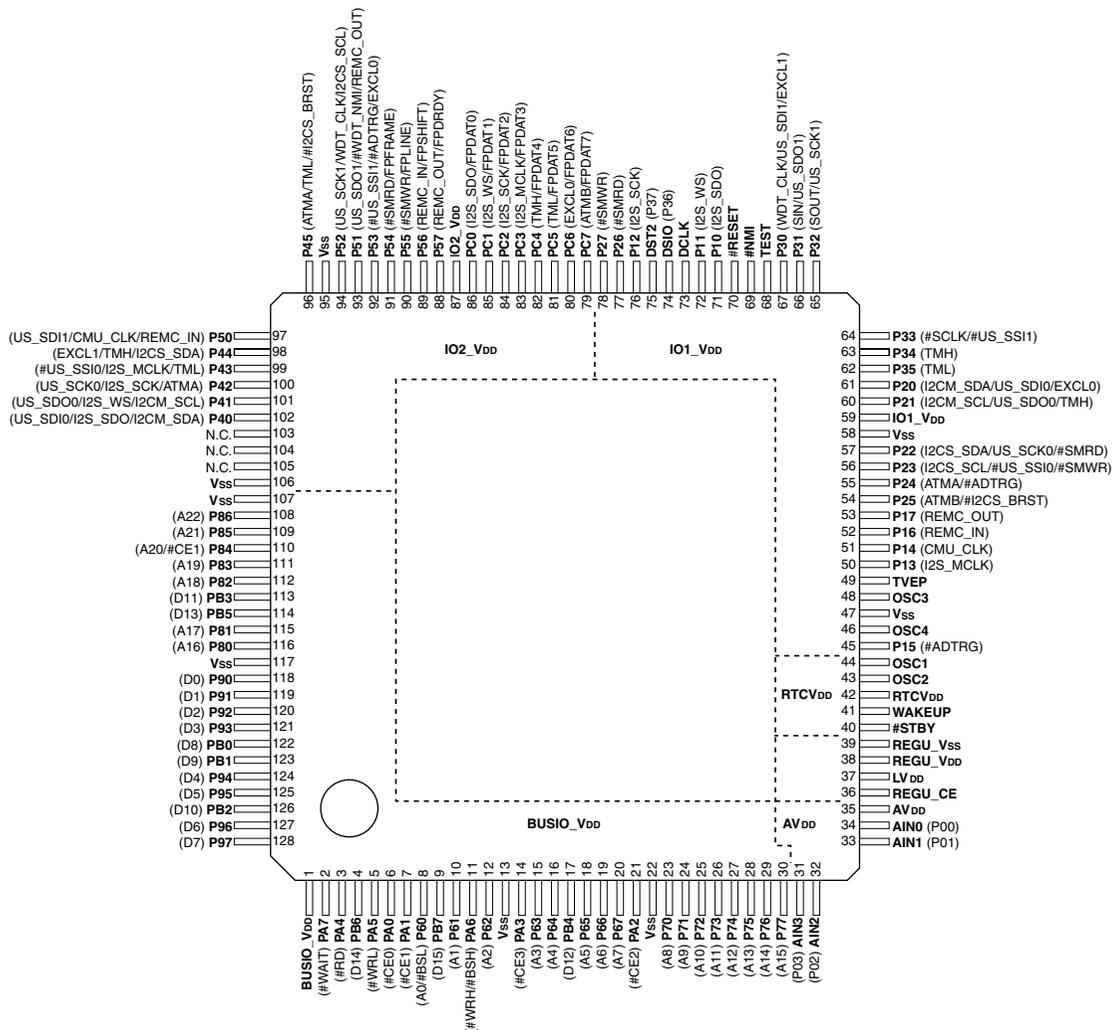


図1.3.1.1 端子配置 (TQFP15-128pin)

QFP5-128pinパッケージ

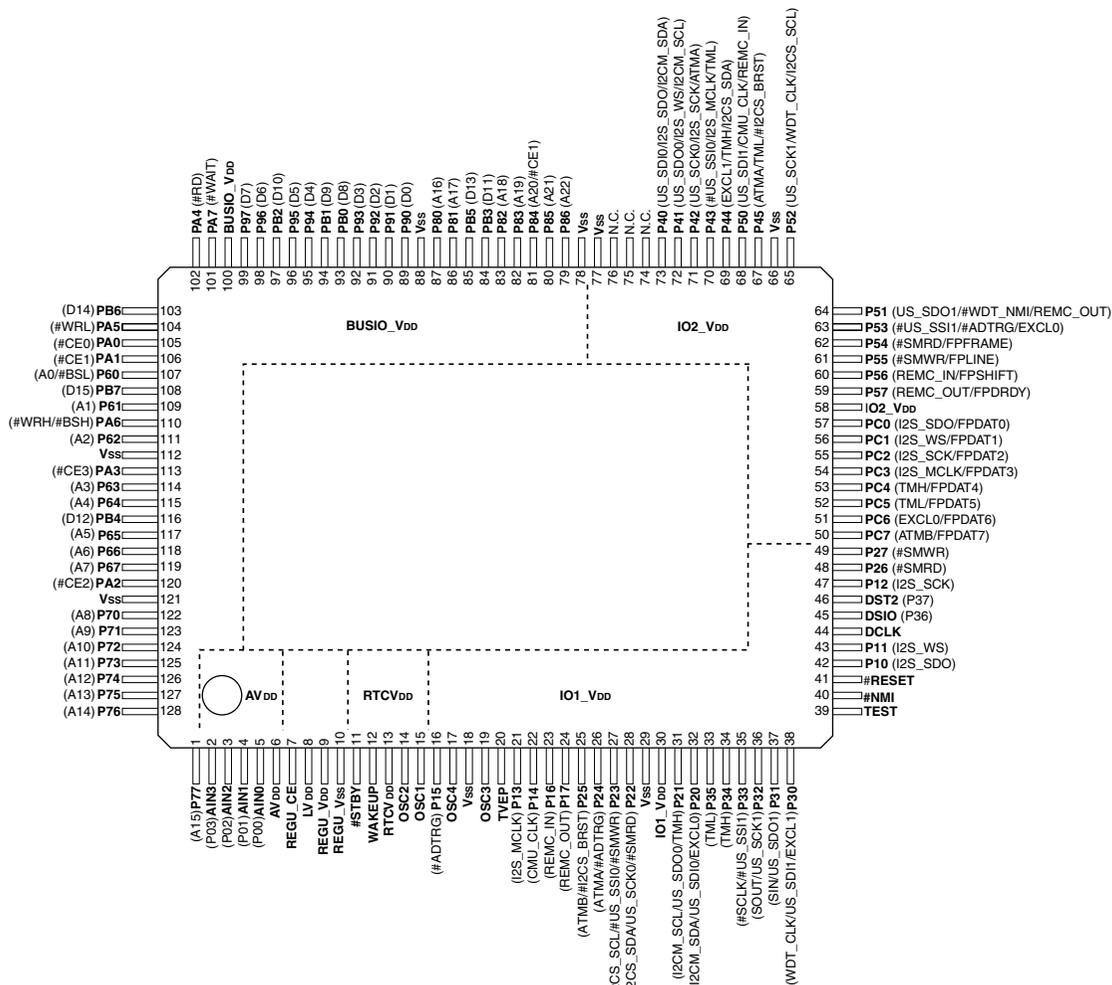


図1.3.1.3 端子配置 (QFP5-128pin)

1.3.2 端子機能

表1.3.2.1 ~ 1.3.2.5に各端子の機能を示します。

表1.3.2.1 電源端子一覧

端子名	端子No.			I/O	電圧	PU/PD	機能
	TQFP14-100pin	TQFP15-128pin	QFP5-128pin				
BUSIO_VDD	1	1	100	-	2.7 ~ 5.5V	-	バスグループのI/O電圧電源(+)
IO1_VDD	47	59	30	-	2.7 ~ 5.5V	-	グループ1のI/O電圧電源(+)
IO2_VDD	68	87	58	-	2.7 ~ 5.5V	-	グループ2のI/O電圧電源(+)
LVDD	30	37	8	-	2.7 ~ 3.6V	-	S1C17コアの電圧電源(+)
REGU_VDD	31	38	9	-	4.5 ~ 5.5V	-	レギュレータ電源(+)
REGU_VSS	32	39	10	-	GND	-	レギュレータのグラウンド
REGU_CE	29	36	7	I	(アナログ)	-	レギュレータのイネーブル入力
VSS	9, 16, 39, 46, 75, 85, 86, 92	13, 22, 47, 58, 95, 106, 107, 117	18, 29, 66, 77, 78, 88, 112, 121	-	GND	-	GND
RTCVDD	35	42	13	-	2.7 ~ 3.6V	-	RTC/BBRAM電源(+) (RTCVDD = LVDD)
AVDD	28	35	6	-	2.7 ~ 5.5V	-	アナログ電源

表1.3.2.2 クロック端子一覧

端子名	端子No.			I/O	電源	タイプ	PU/PD	機能
	TQFP14-100pin	TQFP15-128pin	QFP5-128pin					
OSC3	40	48	19	I	LV _{DD}	Analog	-	高速(OSC3)発振入力 (水晶/セラミック発振または外部クロック入力)
OSC4	38	46	17	O	↑	↑	-	高速(OSC3)発振出力
OSC1	37	44	15	I	RTCV _{DD}	↑	-	RTC(OSC1)発振入力 (水晶発振または外部クロック入力)
OSC2	36	43	14	O	↑	↑	-	RTC(OSC1)発振出力

表1.3.2.3 外部バス端子一覧

端子名	端子No.			I/O	電源	タイプ	PU/PD	機能
	TQFP14-100pin	TQFP15-128pin	QFP5-128pin					
P90 D0	93	118	89	I/o	BUSIO_V _{DD}	CMOS/ LVTTTL	バスホール ドラッチ	P90: 入出力ポート(デフォルト) D0: データバスD0
P91 D1	94	119	90	I/o	↑	↑	↑	P91: 入出力ポート(デフォルト) D1: データバスD1
P92 D2	95	120	91	I/o	↑	↑	↑	P92: 入出力ポート(デフォルト) D2: データバスD2
P93 D3	96	121	92	I/o	↑	↑	↑	P93: 入出力ポート(デフォルト) D3: データバスD3
P94 D4	97	124	95	I/o	↑	↑	↑	P94: 入出力ポート(デフォルト) D4: データバスD4
P95 D5	98	125	96	I/o	↑	↑	↑	P95: 入出力ポート(デフォルト) D5: データバスD5
P96 D6	99	127	98	I/o	↑	↑	↑	P96: 入出力ポート(デフォルト) D6: データバスD6
P97 D7	100	128	99	I/o	↑	↑	↑	P97: 入出力ポート(デフォルト) D7: データバスD7
PB0 D8	-	122	93	I/o	↑	↑	↑	PB0: 入出力ポート(デフォルト) D8: データバスD8
PB1 D9	-	123	94	I/o	↑	↑	↑	PB1: 入出力ポート(デフォルト) D9: データバスD9
PB2 D10	-	126	97	I/o	↑	↑	↑	PB2: 入出力ポート(デフォルト) D10: データバスD10
PB3 D11	-	113	84	I/o	↑	↑	↑	PB3: 入出力ポート(デフォルト) D11: データバスD11
PB4 D12	-	17	116	I/o	↑	↑	↑	PB4: 入出力ポート(デフォルト) D12: データバスD12
PB5 D13	-	114	85	I/o	↑	↑	↑	PB5: 入出力ポート(デフォルト) D13: データバスD13
PB6 D14	-	4	103	I/o	↑	↑	↑	PB6: 入出力ポート(デフォルト) D14: データバスD14
PB7 D15	-	9	108	I/o	↑	↑	↑	PB7: 入出力ポート(デフォルト) D15: データバスD15
P60 A0/#BSL	6	8	107	I/o	↑	CMOS/ LVTTTL Schmitt	-	P60: 入出力ポート(デフォルト) A0/#BSL: アドレスバスA0/バーストローブ(下位バイト) 信号出力
P61 A1	7	10	109	I/o	↑	↑	-	P61: 入出力ポート(デフォルト) A1: アドレスバスA1
P62 A2	8	12	111	I/o	↑	↑	-	P62: 入出力ポート(デフォルト) A2: アドレスバスA2
P63 A3	10	15	114	I/o	↑	↑	-	P63: 入出力ポート(デフォルト) A3: アドレスバスA3
P64 A4	11	16	115	I/o	↑	↑	-	P64: 入出力ポート(デフォルト) A4: アドレスバスA4
P65 A5	12	18	117	I/o	↑	↑	-	P65: 入出力ポート(デフォルト) A5: アドレスバスA5
P66 A6	13	19	118	I/o	↑	↑	-	P66: 入出力ポート(デフォルト) A6: アドレスバスA6
P67 A7	14	20	119	I/o	↑	↑	-	P67: 入出力ポート(デフォルト) A7: アドレスバスA7
P70 A8	17	23	122	I/o	↑	↑	-	P70: 入出力ポート(デフォルト) A8: アドレスバスA8

1 概要

端子名	端子No.			I/O	電源	タイプ	PU/PD	機能	
	TQFP14-100pin	TQFP15-128pin	QFP5-128pin						
P71 A9	18	24	123	I/o	BUSIO_VDD	CMOS/ LVTTTL Schmitt	-	P71: A9:	入出力ポート(デフォルト) アドレスバスA9
P72 A10	19	25	124	I/o	↑	↑	-	P72: A10:	入出力ポート(デフォルト) アドレスバスA10
P73 A11	20	26	125	I/o	↑	↑	-	P73: A11:	入出力ポート(デフォルト) アドレスバスA11
P74 A12	21	27	126	I/o	↑	↑	-	P74: A12:	入出力ポート(デフォルト) アドレスバスA12
P75 A13	22	28	127	I/o	↑	↑	-	P75: A13:	入出力ポート(デフォルト) アドレスバスA13
P76 A14	23	29	128	I/o	↑	↑	-	P76: A14:	入出力ポート(デフォルト) アドレスバスA14
P77 A15	24	30	1	I/o	↑	↑	-	P77: A15:	入出力ポート(デフォルト) アドレスバスA15
P80 A16	91	116	87	I/o	↑	↑	-	P80: A16:	入出力ポート(デフォルト) アドレスバスA16
P81 A17	90	115	86	I/o	↑	↑	-	P81: A17:	入出力ポート(デフォルト) アドレスバスA17
P82 A18	89	112	83	I/o	↑	↑	-	P82: A18:	入出力ポート(デフォルト) アドレスバスA18
P83 A19	88	111	82	I/o	↑	↑	-	P83: A19:	入出力ポート(デフォルト) アドレスバスA19
P84 A20 #CE1	87	110	81	I/o	↑	↑	-	P84: A20: #CE1:	入出力ポート(デフォルト) アドレスバスA20 #CE1エリアチップイネーブル信号出力
P85 A21	-	109	80	I/o	↑	↑	-	P85: A21:	入出力ポート(デフォルト) アドレスバスA21
P86 A22	-	108	79	I/o	↑	↑	-	P86: A22:	入出力ポート(デフォルト) アドレスバスA22
PA0 #CE0	5	6	105	I/o	↑	↑	100k/ 120k PU *1	PA0: #CE0:	入出力ポート(デフォルト) #CE0エリアチップイネーブル信号出力
PA1 #CE1	-	7	106	I/o	↑	↑	↑	PA1: #CE1:	入出力ポート(デフォルト) #CE1エリアチップイネーブル信号出力
PA2 #CE2	15	21	120	I/o	↑	↑	↑	PA2: #CE2:	入出力ポート(デフォルト) #CE2エリアチップイネーブル信号出力
PA3 #CE3	-	14	113	I/o	↑	↑	↑	PA3: #CE3:	入出力ポート(デフォルト) #CE3エリアチップイネーブル信号出力
PA4 #RD	3	3	102	I/o	↑	↑	↑	PA4: #RD:	入出力ポート(デフォルト) リード信号出力
PA5 #WRL	4	5	104	I/o	↑	↑	↑	PA5: #WRL:	入出力ポート(デフォルト) ライト(下位バイト)信号出力
PA6 #WRH/#BSH	-	11	110	I/o	↑	↑	↑	PA6: #WRH/#BSH:	入出力ポート(デフォルト) ライト(上位バイト)信号/バーストロープ (上位バイト)信号出力
PA7 #WAIT	2	2	101	I/o	↑	↑	-	PA7: #WAIT:	入出力ポート(デフォルト) ウェイトサイクル要求入力

*1: HVDD (BUSIO_VDD、IO1_VDD、IO2_VDD) = 3.0 ~ 3.6Vの場合は100kΩ (typ.)、その他の場合は120kΩ (typ.)

表 1.3.2.4 入出力ポート/周辺回路端子一覧

端子名	端子No.			I/O	電源	タイプ	PU/PD	機能	
	TQFP14-100pin	TQFP15-128pin	QFP5-128pin						
AIN0 P00	27	34	5	I	AVDD	CMOS/ LVTTTL	-	AIN0: P00:	ADC Ch.0入力(デフォルト) ポート入力
AIN1 P01	26	33	4	I	↑	↑	-	AIN1: P01:	ADC Ch.1入力(デフォルト) ポート入力
AIN2 P02	25	32	3	I	AVDD	CMOS/ LVTTTL	-	AIN2: P02:	ADC Ch.2入力(デフォルト) ポート入力
AIN3 P03	-	31	2	I	↑	↑	-	AIN3: P03:	ADC Ch.3入力(デフォルト) ポート入力
P10 I2S_SDO	-	71	42	I/o	IO1_VDD	CMOS/ LVTTTL Schmitt	-	P10: I2S_SDO:	入出力ポート(デフォルト) I2Sシリアルデータ出力

端子名	端子No.			I/O	電源	タイプ	PU/PD	機能
	TQFP14-100pin	TQFP15-128pin	QFP5-128pin					
P11 I2S_WS	-	72	43	I/o	↑	↑	-	P11: 入出力ポート (デフォルト) I2S_WS: I2Sワードセレクト信号出力
P12 I2S_SCK	-	76	47	I/o	↑	↑	-	P12: 入出力ポート (デフォルト) I2S_SCK: I2Sシリアルビットクロック出力
P13 I2S_MCLK	-	50	21	I/o	↑	↑	-	P13: 入出力ポート (デフォルト) I2S_MCLK: I2Sマスタクロック入出力
P14 CMU_CLK	-	51	22	I/o	↑	↑	-	P14: 入出力ポート (デフォルト) CMU_CLK: CMUクロック外部出力
P15 #ADTRG	-	45	16	I/o	↑	↑	-	P15: 入出力ポート (デフォルト) #ADTRG: ADCトリガ入力
P16 REMC_IN	-	52	23	I/o	↑	↑	-	P16: 入出力ポート (デフォルト) REMC_IN: REMC受信信号入力
P17 REMC_OUT	-	53	24	I/o	↑	↑	-	P17: 入出力ポート (デフォルト) REMC_OUT: REMC送信信号出力
P20 I2CM_SDA US_SDI0 EXCL0	49	61	32	I/o	↑	↑	-	P20: 入出力ポート (デフォルト) I2CM_SDA: I2CMデータ入出力 US_SDI0: USI Ch.0データ入力 EXCL0: 外部クロック入力 (WDTまたはT16P)
P21 I2CM_SCL US_SDO0 TMH	48	60	31	I/o	↑	↑	-	P21: 入出力ポート (デフォルト) I2CM_SCL: I2CM SCL入出力 US_SDO0: USI Ch.0データ出力 TMH: T16P TMH信号入出力
P22 I2CS_SDA US_SCK0 #SMRD	45	57	28	I/o	↑	↑	-	P22: 入出力ポート (デフォルト) I2CS_SDA: I2CSデータ入出力 US_SCK0: USI Ch.0クロック入出力 #SMRD: カードI/Fリード信号出力
P23 I2CS_SCL #US_SSI0 #SMWR	44	56	27	I/o	↑	↑	-	P23: 入出力ポート (デフォルト) I2CS_SCL: I2CSクロック入力: #US_SSI0: USI Ch.0スレーブセレクト信号入力 #SMWR: カードI/Fライト信号出力
P24 ATMA #ADTRG	43	55	26	I/o	↑	↑	-	P24: 入出力ポート (デフォルト) ATMA: T16Aキャプチャ A信号入力/コンペアA信号出力 #ADTRG: ADCトリガ入力
P25 ATMB #I2CS_BRST	42	54	25	I/o	↑	↑	-	P25: 入出力ポート (デフォルト) ATMB: T16Aキャプチャ B信号入力/コンペアB信号出力 #I2CS_BRST: I2CS/バス解放要求信号入力
P26 #SMRD	-	77	48	I/o	↑	↑	-	P26: 入出力ポート (デフォルト) #SMRD: カードI/Fリード信号出力
P27 #SMWR	-	78	49	I/o	↑	↑	-	P27: 入出力ポート (デフォルト) #SMWR: カードI/Fライト信号出力
P30 WDT_CLK US_SDI1 EXCL1	53	67	38	I/o	↑	↑	-	P30: 入出力ポート (デフォルト) WDT_CLK: ウォッチドッグタイマクロック出力 US_SDI1: USI Ch.1データ入力 EXCL1: T16A外部クロック入力
P31 SIN US_SDO1	52	66	37	I/o	↑	↑	-	P31: 入出力ポート (デフォルト) SIN: UARTデータ入力 US_SDO1: USI Ch.1データ出力
P32 SOUT US_SCK1	51	65	36	I/o	↑	↑	-	P32: 入出力ポート (デフォルト) SOUT: UARTデータ出力 US_SCK1: USI Ch.1クロック入出力
P33 #SCLK #US_SSI1	50	64	35	I/o	↑	↑	-	P33: 入出力ポート (デフォルト) #SCLK: UARTクロック入力 #US_SSI1: USI Ch.1スレーブセレクト信号入力
P34 TMH	-	63	34	I/o	↑	↑	-	P34: 入出力ポート (デフォルト) TMH: T16P TMH信号出力
P35 TML	-	62	33	I/o	IO1_VDD	CMOS/ LVTTL Schmitt	-	P35: 入出力ポート (デフォルト) TML: T16P TML信号出力
P40 US_SDI0 I2S_SDO I2CM_SDA	81	102	73	I/o	IO2_VDD	↑	-	P40: 入出力ポート (デフォルト) US_SDI0: USI Ch.0データ入力 I2S_SDO: I2Sシリアルデータ出力 I2CM_SDA: I2CMデータ入出力

1 概要

端子名	端子No.			I/O	電源	タイプ	PU/PD	機能
	TQFP14-100pin	TQFP15-128pin	QFP5-128pin					
P41 US_SDO0 I2S_WS I2CM_SCL	80	101	72	I/o	↑	↑	-	P41: 入出力ポート(デフォルト) US_SDO0: USI Ch.0データ出力 I2S_WS: I ² Sワードセレクト信号出力 I2CM_SCL: I2CM SCL入出力
P42 US_SCK0 I2S_SCK ATMA	79	100	71	I/o	↑	↑	-	P42: 入出力ポート(デフォルト) US_SCK0: USI Ch.0クロック入出力 I2S_SCK: I ² Sシリアルビットクロック出力 ATMA: T16Aキャプチャ A信号入力/コンペアA信号出力
P43 #US_SSI0 I2S_MCLK TML	78	99	70	I/o	↑	↑	-	P43: 入出力ポート(デフォルト) #US_SSI0: USI Ch.0スレーブセレクト信号入力 I2S_MCLK: I ² Sマスタクロック入出力 TML: T16P TML信号出力
P44 EXCL1 TMH I2CS_SDA	77	98	69	I/o	↑	↑	-	P44: 入出力ポート(デフォルト) EXCL1: T16A外部クロック入力 TMH: T16P TMH信号出力 I2CS_SDA: I2CSデータ入出力
P45 ATMA TML #I2CS_BRST	-	96	67	I/o	↑	↑	-	P45: 入出力ポート(デフォルト) ATMA: T16Aキャプチャ A信号入力/コンペアA信号出力 TML: T16P TML信号出力 #I2CS_BRST: I2CS/バス解放要求信号入力
P50 US_SDI1 CMU_CLK REMC_IN	76	97	68	I/o	↑	↑	-	P50: 入出力ポート(デフォルト) US_SDI1: USI Ch.1データ入力 CMU_CLK: CMUクロック外部出力 REMC_IN: REMC受信信号入力
P51 US_SDO1 #WDT_NMI REMC_OUT	73	93	64	I/o	↑	↑	-	P51: 入出力ポート(デフォルト) US_SDO1: USI Ch.1データ出力 #WDT_NMI: ウォッチドッグタイマNMI信号出力 REMC_OUT: REMC送信信号出力
P52 US_SCK1 WDT_CLK I2CS_SCL	74	94	65	I/o	↑	↑	-	P52: 入出力ポート(デフォルト) US_SCK1: USI Ch.1クロック入出力 WDT_CLK: ウォッチドッグタイマクロック出力 I2CS_SCL: I2CSクロック入力:
P53 #US_SSI1 #ADTRG EXCL0	-	92	63	I/o	↑	↑	-	P53: 入出力ポート(デフォルト) #US_SSI1: USI Ch.1スレーブセレクト信号入力 #ADTRG: ADCトリガ入力 EXCL0: 外部クロック入力(WDTまたはT16P)
P54 #SMRD FPFRAME	72	91	62	I/o	↑	↑	-	P54: 入出力ポート(デフォルト) #SMRD: カードI/Fリード信号出力 FPFRAME: LCDフレームクロック出力
P55 #SMWR FPLINE	71	90	61	I/o	↑	↑	-	P55: 入出力ポート(デフォルト) #SMWR: カードI/Fライト信号出力 FPLINE: LCDラインクロック出力
P56 REMC_IN FPSHIFT	70	89	60	I/o	↑	↑	-	P56: 入出力ポート(デフォルト) REMC_IN: REMC受信信号入力 FPSHIFT: LCDシフトクロック出力
P57 REMC_OUT FPDRDY	69	88	59	I/o	↑	↑	-	P57: 入出力ポート(デフォルト) REMC_OUT: REMC送信信号出力 FPDRDY: LCD DRDY/MOD信号出力
PC0 I2S_SDO FPDAT0	67	86	57	I/o	↑	↑	-	PC0: 入出力ポート(デフォルト) I2S_SDO: I ² Sシリアルデータ出力 FPDAT0: LCDデータ0
PC1 I2S_WS FPDAT1	66	85	56	I/o	↑	↑	-	PC1: 入出力ポート(デフォルト) I2S_WS: I ² Sワードセレクト信号出力 FPDAT1: LCDデータ1
PC2 I2S_SCK FPDAT2	65	84	55	I/o	↑	↑	-	PC2: 入出力ポート(デフォルト) I2S_SCK: I ² Sシリアルビットクロック出力 FPDAT2: LCDデータ2
PC3 I2S_MCLK FPDAT3	64	83	54	I/o	IO2_VDD	CMOS/ LVTTL Schmitt	-	PC3: 入出力ポート(デフォルト) I2S_MCLK: I ² Sマスタクロック入出力 FPDAT3: LCDデータ3

端子名	端子No.			I/O	電源	タイプ	PU/PD	機能
	TQFP14-100pin	TQFP15-128pin	QFP5-128pin					
PC4 TMH FPDAT4	63	82	53	I/o	↑	↑	-	PC4: 入出力ポート (デフォルト) TMH: T16P TMH信号出力 FPDAT4: LCDデータ4
PC5 TML FPDAT5	62	81	52	I/o	↑	↑	-	PC5: 入出力ポート (デフォルト) TML: T16P TML信号出力 FPDAT5: LCDデータ5
PC6 EXCL0 FP-DAT6	61	80	51	I/o	↑	↑	-	PC6: 入出力ポート (デフォルト) EXCL0: 外部クロック入力(WDTまたはT16P) FPDAT6: LCDデータ6
PC7 ATMB FPDAT7	60	79	50	I/o	↑	↑	-	PC7: 入出力ポート (デフォルト) ATMB: T16Aキャプチャ B信号入力/コンペアB信号出力 FPDAT7: LCDデータ7

表1.3.2.5 その他

端子名	端子No.			I/O	電源	タイプ	PU/PD	機能
	TQFP14-100pin	TQFP15-128pin	QFP5-128pin					
#RESET	56	70	41	I	IO1_VDD	CMOS/ LVTTTL Schmitt	100k/ 120k PU *1	リセット入力(ノイズフィルタ付き)
#NMI	55	69	40	I	↑	↑	↑	NMI要求入力(ノイズフィルタ付き)
DCLK	57	73	44	i/O	↑	↑	-	DCLK: DCLK(デバッグ用SIOクロック)信号出力(デフォルト)
DSIO P36	58	74	45	I/o	↑	↑	100k/ 120k PU *1	DSIO: DSIO(デバッグ用SIO)端子(ノイズフィルタ付き) (デフォルト) P36: 入出力ポート
DST2 P37	59	75	46	i/O	↑	↑	-	DST2: DST2(デバッグステータス)信号出力(デフォルト) P37: 入出力ポート
TEST	54	68	39	I	↑	Special	50k/60k PD *2	テスト用入力。通常動作時はV _{SS} に固定
WAKEUP	34	41	12	O	RTCVDD	-	-	RTC C17起床信号出力
#STBY	33	40	11	I	↑	CMOS/ LVTTTL Schmitt (L)	*	C17(RTCを除く)スタンバイ入力 (* AND分岐には入力モードを使用)
TVEP	41	49	20	I	BUSIO_VDD	Special	-	FLASHCテスト用入力。通常動作時はV _{DD} に固定

*1: HV_{DD}(BUSIO_VDD、IO1_VDD、IO2_VDD) = 3.0 ~ 3.6Vの場合は100kΩ (typ.)、その他の場合は120kΩ (typ.)

*2: HV_{DD}(BUSIO_VDD、IO1_VDD、IO2_VDD) = 3.0 ~ 3.6Vの場合は50kΩ (typ.)、その他の場合は60kΩ (typ.)

注: 端子名の#は、入出力する信号がアクティブLowであることを示します。

- 太字で記載されている端子名は、デフォルト設定の端子(信号)名です。各端子は1つから4つの機能に割り当てられており、ポート機能セレクトビットによって使用する端子機能を選択する必要があります。端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。
- 太字の大文字で記載されているI/Oはデフォルト設定の入出力方向です。
- “PU”はプルアップ、“PD”はプルダウンを表します。

1.3.3 入出力セルと入出力特性

表1.3.3.1 端子特性

端子名	I/O	入力レベル	I _{OH} /I _{OL}	プルアップ/ダウン
OSC1	I	-	-	-
OSC2	O	-	-	-
WAKEUP	O	-	1.8/2mA	-
#STBY	I	CMOS/LVTTL Schmitt (L)	-	AND分岐には入力モードを使用
AIN0 (P00)	I	CMOS/LVTTL	-	-
AIN1 (P01)	I	CMOS/LVTTL	-	-
AIN2 (P02)	I	CMOS/LVTTL	-	-
AIN3 (P03)	I	CMOS/LVTTL	-	-
OSC3	I	-	-	-
OSC4	O	-	-	-
TEST	I	-	-	50k/60kプルダウン*2
#RESET	I	CMOS/LVTTL Schmitt	-	100k/120kプルアップ*1
#NMI	I	CMOS/LVTTL Schmitt	-	100k/120kプルアップ*1
DCLK	O	CMOS/LVTTL Schmitt	-	-
DSIO (P36)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	100k/120kプルアップ*1
DST2 (P37)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P10 (I2S_SDO)	I/O	CMOS/LVTTL Schmitt	1mA	-
P11 (I2S_WS)	I/O	CMOS/LVTTL Schmitt	1mA	-
P12 (I2S_SCK)	I/O	CMOS/LVTTL Schmitt	1mA	-
P13 (I2S_MCLK)	I/O	CMOS/LVTTL Schmitt	1mA	-
P14 (CMU_CLK)	I/O	CMOS/LVTTL Schmitt	1mA	-
P15 (#ADTRG)	I/O	CMOS/LVTTL Schmitt	1mA	-
P16 (REMC_IN)	I/O	CMOS/LVTTL Schmitt	1mA	-
P17 (REMC_OUT)	I/O	CMOS/LVTTL Schmitt	1mA	-
P20 (I2CM_SDA/US_SDI0/EXCL0)	I/O	CMOS/LVTTL Schmitt	1mA	-
P21 (I2CM_SCL/US_SDO0/TMH)	I/O	CMOS/LVTTL Schmitt	1mA	-
P22 (I2CS_SDA/US_SCK0/#SMRD)	I/O	CMOS/LVTTL Schmitt	1mA	-
P23 (I2CS_SCL/#US_SSI0/#SMWR)	I/O	CMOS/LVTTL Schmitt	1mA	-
P24 (ATMA/#ADTRG)	I/O	CMOS/LVTTL Schmitt	1mA	-
P25 (ATMB/#I2CS_BRST)	I/O	CMOS/LVTTL Schmitt	1mA	-
P26 (#SMRD)	I/O	CMOS/LVTTL Schmitt	1mA	-
P27 (#SMWR)	I/O	CMOS/LVTTL Schmitt	1mA	-
P30 (WDT_CLK/US_SDI1/EXCL1)	I/O	CMOS/LVTTL Schmitt	1mA	-
P31 (SIN/US_SDO1)	I/O	CMOS/LVTTL Schmitt	1mA	-
P32 (SOUT/US_SCK1)	I/O	CMOS/LVTTL Schmitt	1mA	-
P33 (#SCLK/#US_SSI1)	I/O	CMOS/LVTTL Schmitt	1mA	-
P34 (TMH)	I/O	CMOS/LVTTL Schmitt	1mA	-
P35 (TML)	I/O	CMOS/LVTTL Schmitt	1mA	-
P90 (D0)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
P91 (D1)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
P92 (D2)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
P93 (D3)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
P94 (D4)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
P95 (D5)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
P96 (D6)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
P97 (D7)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
PB0 (D8)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
PB1 (D9)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
PB2 (D10)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
PB3 (D11)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
PB4 (D12)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
PB5 (D13)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
PB6 (D14)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
PB7 (D15)	I/O	CMOS/LVTTL	1.8/2/3mA	バスホールドラッチ
P60 (A0/#BSL)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P61 (A1)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P62 (A2)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P63 (A3)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P64 (A4)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P65 (A5)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P66 (A6)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-

端子名	I/O	入力レベル	Ioh/IoL	ブルアップ/ダウン
P67 (A7)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P70 (A8)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P71 (A9)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P72 (A10)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P73 (A11)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P74 (A12)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P75 (A13)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P76 (A14)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P77 (A15)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P80 (A16)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P81 (A17)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P82 (A18)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P83 (A19)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P84 (A20/#CE1)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P85 (A21)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
P86 (A22)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	-
PA0 (#CE0)	I/O	CMOS/LVTTL Schmitt	1mA	100k/120kブルアップ*1
PA1 (#CE1)	I/O	CMOS/LVTTL Schmitt	1mA	100k/120kブルアップ*1
PA2 (#CE2)	I/O	CMOS/LVTTL Schmitt	1mA	100k/120kブルアップ*1
PA3 (#CE3)	I/O	CMOS/LVTTL Schmitt	1mA	100k/120kブルアップ*1
PA4 (#RD)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	100k/120kブルアップ*1
PA5 (#WRL)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	100k/120kブルアップ*1
PA6 (#WRH/#BSH)	I/O	CMOS/LVTTL Schmitt	1.8/2/3mA	100k/120kブルアップ*1
PA7 (#WAIT)	I/O	CMOS/LVTTL Schmitt	1mA	-
TVEP	I	CMOS/LVTTL Schmitt	-	-
P40 (US_SDI0/I2S_SDO/I2CM_SDA)	I/O	CMOS/LVTTL Schmitt	1mA	-
P41 (US_SDO0/I2S_WS/I2CM_SCL)	I/O	CMOS/LVTTL Schmitt	1mA	-
P42 (US_SCK0/I2S_SCK/ATMA)	I/O	CMOS/LVTTL Schmitt	1mA	-
P43 (#US_SSI0/I2S_MCLK/TML)	I/O	CMOS/LVTTL Schmitt	1mA	-
P44 (EXCL1/TMH/I2CS_SDA)	I/O	CMOS/LVTTL Schmitt	1mA	-
P45 (ATMA/TML/#I2CS_BRST)	I/O	CMOS/LVTTL Schmitt	1mA	-
P50 (US_SDI1/CMU_CLK/REMC_IN)	I/O	CMOS/LVTTL Schmitt	1mA	-
P51 (US_SDO1/#WDT_NMI/REMC_OUT)	I/O	CMOS/LVTTL Schmitt	1mA	-
P52 (US_SCK1/WDT_CLK/I2CS_SCL)	I/O	CMOS/LVTTL Schmitt	1mA	-
P53 (#US_SSI1/#ADTRG/EXCL0)	I/O	CMOS/LVTTL Schmitt	1mA	-
P54 (#SMRD/FPFRAME)	I/O	CMOS/LVTTL Schmitt	1mA	-
P55 (#SMWR/FPLINE)	I/O	CMOS/LVTTL Schmitt	1mA	-
P56 (REMC_IN/FPSHIFT)	I/O	CMOS/LVTTL Schmitt	1mA	-
P57 (REMC_OUT/FPDRDY)	I/O	CMOS/LVTTL Schmitt	1mA	-
PC0 (I2S_SDO/FPDAT0)	I/O	CMOS/LVTTL Schmitt	1mA	-
PC1 (I2S_WS/FPDAT1)	I/O	CMOS/LVTTL Schmitt	1mA	-
PC2 (I2S_SCK/FPDAT2)	I/O	CMOS/LVTTL Schmitt	1mA	-
PC3 (I2S_MCLK/FPDAT3)	I/O	CMOS/LVTTL Schmitt	1mA	-
PC4 (TMH/FPDAT4)	I/O	CMOS/LVTTL Schmitt	1mA	-
PC5 (TML/FPDAT5)	I/O	CMOS/LVTTL Schmitt	1mA	-
PC6 (EXCL0/FPDAT6)	I/O	CMOS/LVTTL Schmitt	1mA	-
PC7 (ATMB/FPDAT7)	I/O	CMOS/LVTTL Schmitt	1mA	-

*1: HV_{DD} (BUSIO_V_{DD}, IO1_V_{DD}, IO2_V_{DD}) = 3.0 ~ 3.6Vの場合は100kΩ (typ.)、その他の場合は120kΩ (typ.)

*2: HV_{DD} (BUSIO_V_{DD}, IO1_V_{DD}, IO2_V_{DD}) = 3.0 ~ 3.6Vの場合は50kΩ (typ.)、その他の場合は60kΩ (typ.)

1 概要

1.3.4 パッケージ

TQFP14-100pinパッケージ

(単位:mm)

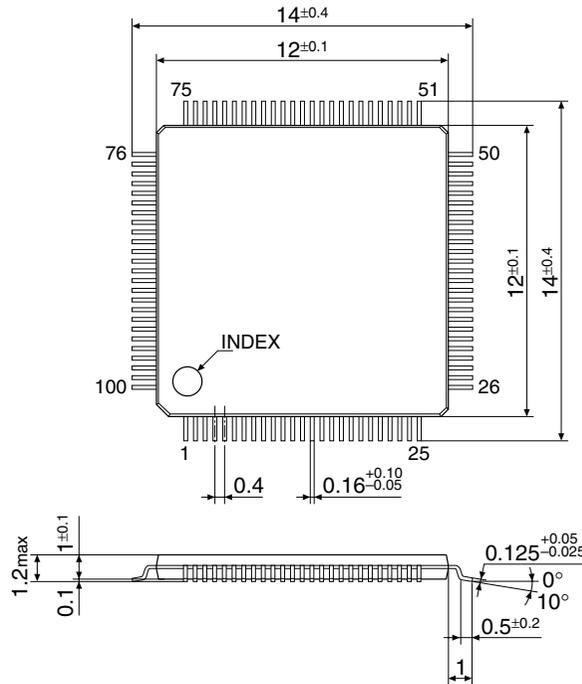


図1.3.4.1 TQFP14-100pinパッケージ寸法

TQFP15-128pinパッケージ

(単位:mm)

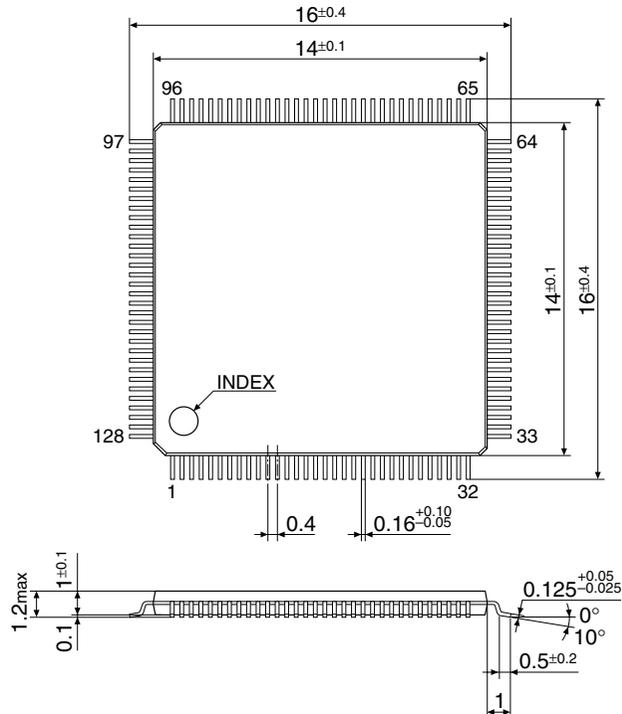


図1.3.4.2 TQFP15-128pinパッケージ寸法

QFP5-128pinパッケージ

(単位:mm)

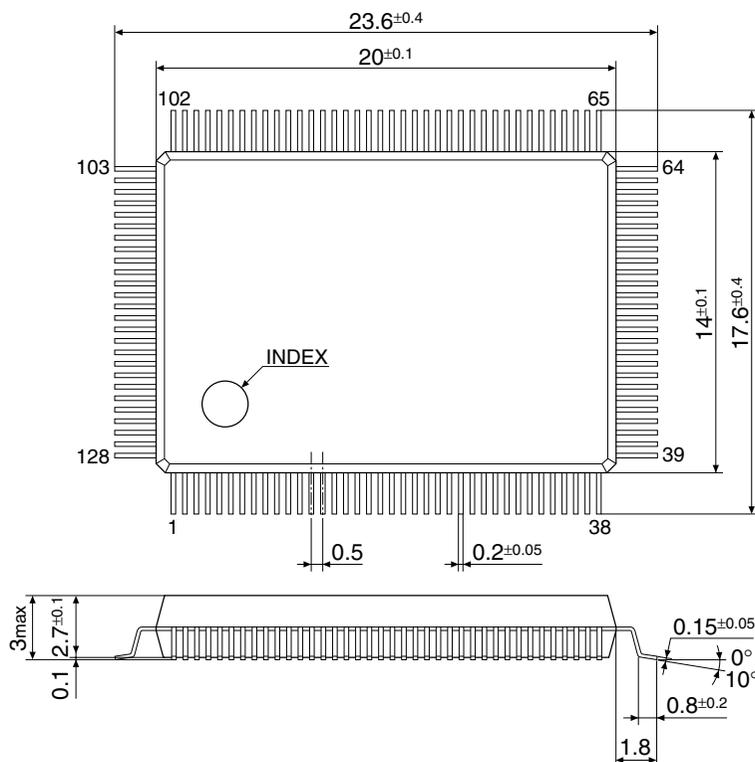


図1.3.4.3 QFP5-128pinパッケージ寸法

1.3.5 パッケージの熱抵抗

LSIは消費電力に従ってチップ温度が上昇します。パッケージに搭載された状態のチップ温度はその周辺温度 T_a 、パッケージの熱抵抗 θ および消費電力 P_D から計算できます。

$$\text{チップ温度}(T_j) = T_a + (P_D \times \theta) [^\circ\text{C}]$$

チップ温度(T_j)は、Flashリード時は 125°C 以下、Flash消去/プログラミング時やUSB使用時は 100°C 以下を目安にしてください。

パッケージの熱抵抗

1. 基板実装状態(無風状態)

$$\text{熱抵抗}(\theta_{j-a}) = 33.3^\circ\text{C}/\text{W}$$

この値は測定用基板(サイズ: $114 \times 76 \times 1.6$ mm (厚さ)、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

2. 単体宙ぶり状態(無風状態)

$$\text{熱抵抗} = 90 \sim 100^\circ\text{C}/\text{W}$$

この値はサンプルが宙ぶりされた無風状態での熱抵抗です。

注: 熱抵抗は基板への実装状態や強制空冷の有無によって大きく変動します。

2 CPU

S1C17803はコアプロセッサとしてS1C17コアを搭載しています。

S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。

低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込みに最適です。

S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

2.1 S1C17コアの特長

プロセッサ形式

- セイコーエプソンオリジナル16ビットRISCプロセッサ

命令セット

- コード長 16ビット固定長
- 命令数 基本命令111個(全184命令)
- 実行サイクル 主要命令は1サイクルで実行
- 即値拡張命令 即値を24ビットまで拡張
- C言語による開発用に最適化されたコンパクトかつ高速な命令セット

レジスタセット

- 24ビット汎用レジスタ×8
- 24ビット特殊レジスタ×2
- 8ビット特殊レジスタ×1

メモリ空間, バス

- 最大16Mバイトのメモリ空間(24ビットアドレス)
- 命令バス(16ビット)とデータバス(32ビット)を分離したハーバードアーキテクチャ

割り込み

- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)

パワーセーブ

- HALT(halt命令)
- SLEEP(slp命令)

コプロセッサインタフェース

- 16ビット×16ビット乗算器
- 16ビット×16ビット+32ビット積和演算器
- 16ビット÷16ビット除算器

2.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。



図2.2.1 レジスタ

2.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表2.3.1 S1C17コア命令一覧

種類	ニーモニック	機能	
データ転送	1d.b	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [imm7]$	メモリ(バイト) → 汎用レジスタ(符号拡張)
		$[\%rb], \%rs$	汎用レジスタ(バイト) → メモリ
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%rb]-, \%rs$	プリデクリメント機能を使用可能
	$-[\%rb], \%rs$		
	$[\%sp+imm7], \%rs$	汎用レジスタ(バイト) → スタック	
	$[imm7], \%rs$	汎用レジスタ(バイト) → メモリ	
	1d.ub	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(バイト) → 汎用レジスタ(ゼロ拡張)
	1d	$\%rd, [imm7]$	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
$\%rd, \%rs$		汎用レジスタ(16ビット) → 汎用レジスタ	
$\%rd, sign7$		即値 → 汎用レジスタ(符号拡張)	
$\%rd, [\%rb]$		メモリ(16ビット) → 汎用レジスタ	
$\%rd, [\%rb]+$		メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
$\%rd, [\%rb]-$		プリデクリメント機能を使用可能	
$\%rd, -[\%rb]$			
$\%rd, [\%sp+imm7]$		スタック(16ビット) → 汎用レジスタ	
$\%rd, [imm7]$		メモリ(16ビット) → 汎用レジスタ	
$[\%rb], \%rs$		汎用レジスタ(16ビット) → メモリ	
$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能		
$[\%rb]-, \%rs$	プリデクリメント機能を使用可能		
$-[\%rb], \%rs$			
$[\%sp+imm7], \%rs$	汎用レジスタ(16ビット) → スタック		
$[imm7], \%rs$	汎用レジスタ(16ビット) → メモリ		
1d.a	$\%rd, \%rs$	汎用レジスタ(24ビット) → 汎用レジスタ	
	$\%rd, imm7$	即値 → 汎用レジスタ(ゼロ拡張)	

種類	ニーモニック	機能	
データ転送	ld.a	$\%rd, [\%rb]$	メモリ(32ビット) → 汎用レジスタ (*1)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(32ビット) → 汎用レジスタ (*1)
		$\%rd, [imm7]$	メモリ(32ビット) → 汎用レジスタ (*1)
		$[\%rb], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%rb]-, \%rs$	
		$-[\%rb], \%rs$	
		$[\%sp+imm7], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		$[imm7], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		$\%rd, \%sp$	SP → 汎用レジスタ
		$\%rd, \%pc$	PC → 汎用レジスタ
		$\%rd, [\%sp]$	スタック(32ビット) → 汎用レジスタ (*1)
		$\%rd, [\%sp]+$	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%sp]-$	
		$\%rd, -[\%sp]$	
		$[\%sp], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		$[\%sp]+, \%rs$	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
$[\%sp]-, \%rs$			
$-[\%sp], \%rs$			
$\%sp, \%rs$	汎用レジスタ(24ビット) → SP		
$\%sp, imm7$	即値 → SP		
整数算術演算	add	$\%rd, \%rs$	汎用レジスタ間の16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add/c		
	add/nc		
	add	$\%rd, imm7$	汎用レジスタと即値の16ビット加算
	add.a	$\%rd, \%rs$	汎用レジスタ間の24ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add.a/c		
	add.a/nc		
	add.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット加算
		$\%rd, imm7$	汎用レジスタと即値の24ビット加算
		$\%sp, imm7$	SPと即値の24ビット加算
	adc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	adc/c		
	adc/nc		
	adc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット加算
sub	$\%rd, \%rs$	汎用レジスタ間の16ビット減算	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sub/c			
sub/nc			
sub	$\%rd, imm7$	汎用レジスタと即値の16ビット減算	
sub.a	$\%rd, \%rs$	汎用レジスタ間の24ビット減算	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sub.a/c			
sub.a/nc			
sub.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット減算	
	$\%rd, imm7$	汎用レジスタと即値の24ビット減算	
	$\%sp, imm7$	SPと即値の24ビット減算	
sbc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット減算	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sbc/c			
sbc/nc			
sbc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット減算	
cmp	$\%rd, \%rs$	汎用レジスタ間の16ビット比較	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp/c			
cmp/nc			
cmp	$\%rd, sign7$	汎用レジスタと即値の16ビット比較	
cmp.a	$\%rd, \%rs$	汎用レジスタ間の24ビット比較	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp.a/c			
cmp.a/nc			
cmp.a	$\%rd, imm7$	汎用レジスタと即値の24ビット比較	
cmc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット比較	
		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmc/c			
cmc/nc			
cmc	$\%rd, sign7$	汎用レジスタと即値のキャリー付き16ビット比較	

種類	ニーモニック		機能
論理演算	and	$\%rd, \%rs$	汎用レジスタ間の論理積
	and/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	and/nc		
	and	$\%rd, sign7$	汎用レジスタと即値の論理積
	or	$\%rd, \%rs$	汎用レジスタ間の論理和
	or/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	or/nc		
	or	$\%rd, sign7$	汎用レジスタと即値の論理和
	xor	$\%rd, \%rs$	汎用レジスタ間の排他的論理和
	xor/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	xor/nc		
	xor	$\%rd, sign7$	汎用レジスタと即値の排他的論理和
	not	$\%rd, \%rs$	汎用レジスタ間の論理否定(1の補数)
not/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
not/nc			
not	$\%rd, sign7$	汎用レジスタと即値の論理否定(1の補数)	
シフト&スワップ	sr	$\%rd, \%rs$	右論理シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右論理シフト(即値によるシフトビット数指定)
	sa	$\%rd, \%rs$	右算術シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右算術シフト(即値によるシフトビット数指定)
	sl	$\%rd, \%rs$	左論理シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	左論理シフト(即値によるシフトビット数指定)
swap	$\%rd, \%rs$	16ビット境界でバイト単位のスワップ	
即値拡張	ext	$imm13$	直後の命令のオペランドを拡張
コンバージョン	cv.ab	$\%rd, \%rs$	符号付き8ビットデータを24ビットに変換
	cv.as	$\%rd, \%rs$	符号付き16ビットデータを24ビットに変換
	cv.al	$\%rd, \%rs$	32ビットデータを24ビットに変換
	cv.la	$\%rd, \%rs$	24ビットデータを32ビットに変換
	cv.ls	$\%rd, \%rs$	16ビットデータを32ビットに変換
分岐	jpr	$sign10$	PC相対ジャンプ
	jpr.d	$\%rb$	ディレイド分岐可
	jpa	$imm7$	絶対ジャンプ
	jpa.d	$\%rb$	ディレイド分岐可
	jrgt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !(N ^ V)
	jrgt.d		ディレイド分岐可
	jrge	$sign7$	PC相対条件ジャンプ 分岐条件: !(N ^ V)
	jrge.d		ディレイド分岐可
	jrlt	$sign7$	PC相対条件ジャンプ 分岐条件: N ^ V
	jrlt.d		ディレイド分岐可
	jrle	$sign7$	PC相対条件ジャンプ 分岐条件: Z N ^ V
	jrle.d		ディレイド分岐可
	jrugt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !C
	jrugt.d		ディレイド分岐可
	jruge	$sign7$	PC相対条件ジャンプ 分岐条件: !C
	jruge.d		ディレイド分岐可
	jrult	$sign7$	PC相対条件ジャンプ 分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	$sign7$	PC相対条件ジャンプ 分岐条件: Z C
	jrule.d		ディレイド分岐可
	jreq	$sign7$	PC相対条件ジャンプ 分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	$sign7$	PC相対条件ジャンプ 分岐条件: !Z
	jrne.d		ディレイド分岐可
	call	$sign10$	PC相対サブルーチンコール
	call.d	$\%rb$	ディレイド分岐可
	calla	$imm7$	絶対サブルーチンコール
calla.d	$\%rb$	ディレイド分岐可	
ret		サブルーチンからのリターン	
ret.d		ディレイド分岐可	
int	$imm5$	ソフトウェア割り込み	
intl	$imm5, imm3$	割り込みレベル指定付きソフトウェア割り込み	
reti		割り込みからのリターン	
reti.d		ディレイド分岐可	
brk		デバッグ割り込み	

種類	ニーモニック		機能
分岐	ret		デバッグ処理からのリターン
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止
コプロセッサ制御	ld.cw	$\%rd, \%rs$ $\%rd, imm7$	コプロセッサへのデータ転送
	ld.ca	$\%rd, \%rs$ $\%rd, imm7$	コプロセッサへのデータ転送、結果とフラグ状態の取得
	ld.cf	$\%rd, \%rs$ $\%rd, imm7$	コプロセッサへのデータ転送、フラグ状態の取得

*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

表中の記号の意味は次のとおりです。

表2.3.2 記号の意味

記号	説明
$\%rs$	汎用ソースレジスタ
$\%rd$	汎用デスティネーションレジスタ
[$\%rb$]	汎用レジスタで間接指定されるメモリ
[$\%rb$]+	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
[$\%rb$]-	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
- [$\%rb$]	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
$\%sp$	スタックポインタ
[$\%sp$], [$\%sp+imm7$]	スタック
[$\%sp$]+	スタック(アドレスポストインクリメント付き)
[$\%sp$]-	スタック(アドレスポストデクリメント付き)
- [$\%sp$]	スタック(アドレスプリデクリメント付き)
$imm3, imm5, imm7, imm13$	符号なし即値(数値はビット長)
$sign7, sign10$	符号付き即値(数値はビット長)

2.4 PSRの読み出し

S1C17803にはS1C17コアのPSR(Processor Status Register)の内容を読み出すためのMISC_PSRレジスタが設けられています。このレジスタを読み出すことにより、アプリケーションソフトウェアからPSRの内容を確認することができます。ただし、PSRへの書き込みは行えません。

PSR Register (MISC_PSR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.	
		D7-5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R		
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable)	0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set)	0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set)	0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set)	0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set)	0 0 (cleared)	0	R	

D[15:8] **Reserved**

D[7:5] **PSRIL[2:0]: PSR Interrupt Level (IL) Bits**

PSRのILビットの値(割り込みレベル)が読み出せます。(デフォルト: 0x0)

D4 **PSRIE: PSR Interrupt Enable (IE) Bit**

PSRのIEビットの値(割り込みイネーブル)が読み出せます。

1(R): 1(割り込み許可)

0(R): 0(割り込み禁止) (デフォルト)

D3 PSRC: PSR Carry (C) Flag Bit

PSRのC(キャリー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D2 PSRV: PSR Overflow (V) Flag Bit

PSRのV(オーバーフロー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D1 PSRZ: PSR Zero (Z) Flag Bit

PSRのZ(ゼロ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D0 PSRN: PSR Negative (N) Flag Bit

PSRのN(ネガティブ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

2.5 プロセッサ情報

S1C17803はIDIRレジスタを内蔵しており、アプリケーションソフトウェアからCPUコアの種類を特定することができます。

Processor ID Register (IDIR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7-0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	

プロセッサの機種を示すIDコードが格納されるリードオンリレジスタです。S1C17コアのIDコードは0x10です。

3 メモリマップおよびバス

図3.1にS1C17803のメモリマップを示します。

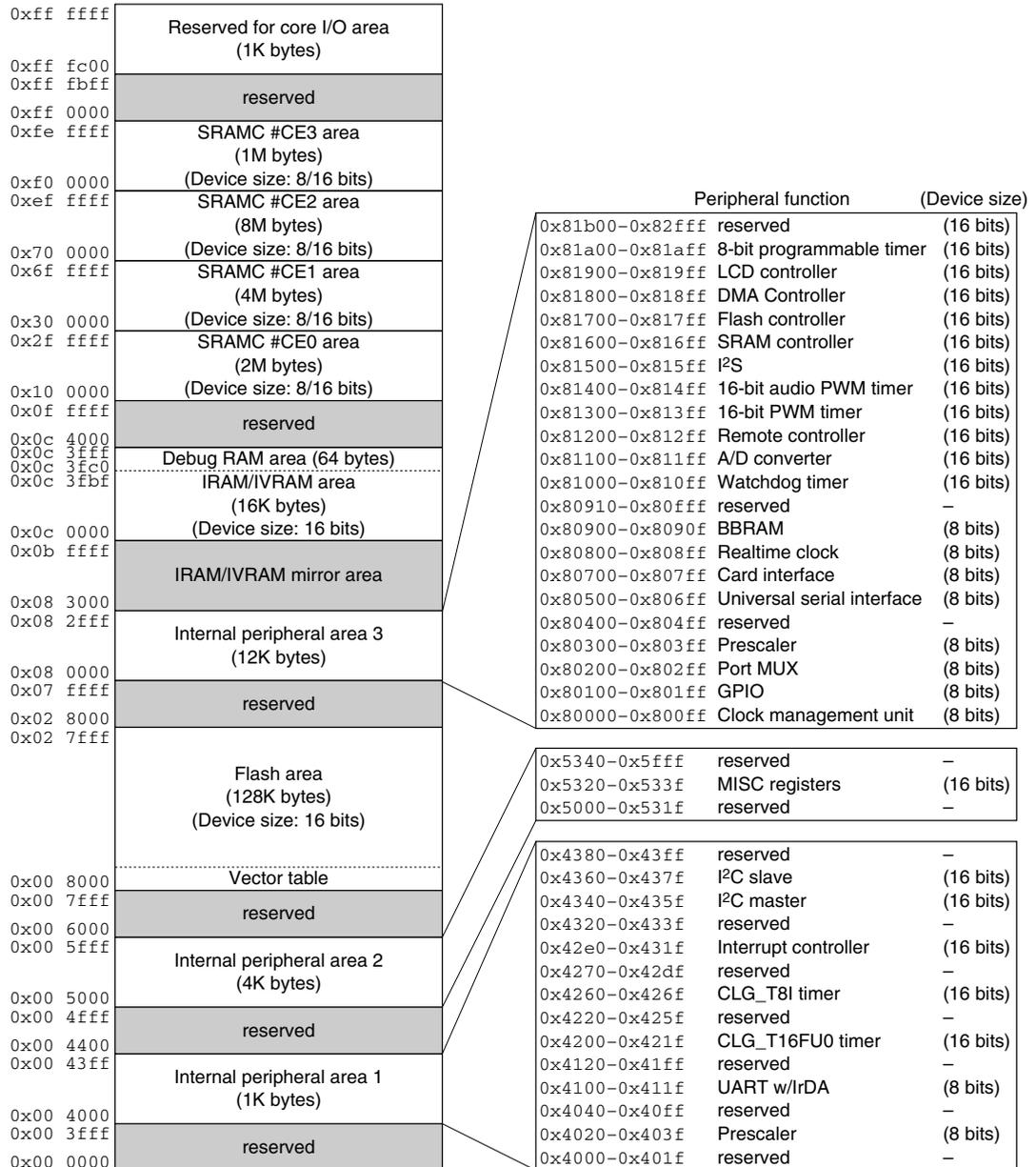


図3.1 S1C17803メモリマップ

3.1 Flashエリア

0x8000番地から0x27fff番地までの128Kバイトの領域にはFlashメモリ(4Kバイト/セクタ)が内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x8000番地はベクタテーブルベースアドレスとして定義されていますので、ここにリセットベクタを置く必要があります。ベクタテーブルベースアドレスはMISC_TTBRL/MISC_TTBRLレジスタで変更可能です。

Flashメモリのデータは最小1サイクルで読み出すことができます。

Flashメモリについては、“Flashコントローラ(FLASHC)”の章を参照してください。

3.2 IRAM/IVRAMエリア

0xc0000番地から0xc3fff番地までの16Kバイトの領域にはRAMが内蔵されています。0xc4000から0xfffffまでの番地は、RAMのミラー領域です。

RAMは、汎用メモリ(IRAM)またはオンチップLCDコントローラのVRAM(IVRAM)として使用することができます。

このRAMは、ライト時は1サイクル(最小)、リード時は2サイクル(最小)でアクセスされます。

注: • 内蔵RAMの最後の64バイト(0xffff0 ~ 0xfffff = 0xc3fc0 ~ 0xc3fff)はオンチップデバッグ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。
デバッグの不要な量産品ではアプリケーション用に使用可能です。

- ld.a命令によってIRAM/IVRAMエリアにデータを書き込む場合、32ビット中の上位8ビット(D[31:24])には何も書き込まれません。

例: ld.a [%rb],%rs

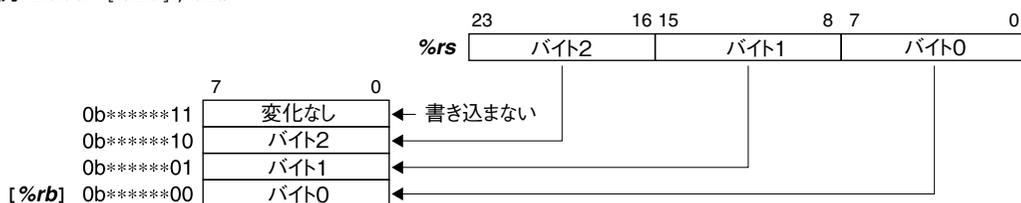


図3.2.1 IRAM/IVRAMへの24ビット書き込み

3.3 BBRAMエリア

0x80900番地から0x8090f番地には16バイトのRAM(BBRAM)が内蔵されています。このRAMは、動作電圧としてRTC V_{DD} を使用しています。このため、バッテリーバックアップRAMとしてBBRAMを使用することができ、システムの電源をオフにした場合でも、内容が保持されます。

BBRAMは3サイクル(最小)でアクセスされます。

3.4 内蔵周辺回路エリア

0x4000番地から始まる1Kバイトのエリア、0x5000番地から始まる4Kバイトのエリア、および0x80000番地から始まる12Kバイトのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。各制御レジスタの詳細については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

内蔵周辺回路エリア1(0x4000 ~ 0x43ff)

0x4000番地から始まる内蔵周辺回路エリア1には以下の周辺機能用I/Oメモリが割り付けられており、1サイクルでアクセス可能です。

- プリスケアラ(PSC Ch.0、8ビットデバイス)
- UART(UART、8ビットデバイス)
- クロックジェネレータ(CLG、16ビットデバイス)
- 割り込みコントローラ(ITC、16ビットデバイス)
- I²Cマスタ(I2CM、16ビットデバイス)
- I²Cスレーブ(I2CS、16ビットデバイス)

内蔵周辺回路エリア2(0x5000 ~ 0x5fff)

0x5000番地から始まる内蔵周辺回路エリア2には以下の周辺機能用I/Oメモリが割り付けられており、1サイクルでアクセス可能です。

- MISCレジスタ(MISC、16ビットデバイス)

内蔵周辺回路エリア3 (0x80000 ~ 0x82fff)

0x80000番地から始まる内蔵周辺回路エリア3には以下の周辺機能用I/Oメモリが割り付けられており、3サイクル(最小)でアクセス可能です。

- クロックマネージメントユニット(CMU、8ビットデバイス)
- 汎用入出力ポートとMUXポート(GPIO、8ビットデバイス)
- プリスケアラ(PSC Ch.1および2、8ビットデバイス)
- ユニバーサルシリアルインタフェース(USI、8ビットデバイス)
- カードインタフェース(CARD、8ビットデバイス)
- リアルタイムクロック(RTC、8ビットデバイス)
- BBRAM(BBRAM、8ビットデバイス)
- ウォッチドッグタイマ(WDT、16ビットデバイス)
- A/D変換器(ADC10、16ビットデバイス)
- リモートコントローラ(REMC、16ビットデバイス)
- 16ビットPWMタイマ(T16A、16ビットデバイス)
- 16ビットオーディオPWMタイマ(T16P、16ビットデバイス)
- I²S(I2S、16ビットデバイス)
- SRAMコントローラ(SRAMC、16ビットデバイス)
- Flashコントローラ(FLASHC、16ビットデバイス)
- DMAコントローラ(DMAC、16ビットデバイス)
- LCDコントローラ(LCDC、16ビットデバイス)
- 8ビットプログラマブルタイマ(T8F、16ビットデバイス)

3.5 S1C17コアI/Oエリア

0xffffc00 ~ 0xfffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表3.5.1 S1C17コアI/Oエリア

周辺回路	アドレス	レジスタ名		機能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb4	IBAR1	Instruction Break Address Register 1	命令ブレークアドレス#1の設定
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

IDIRの詳細については、“CPU”の章の“プロセッサ情報”を参照してください。各レジスタの詳細については、“CPU”の章の“オンチップデバッグ(DBG)”を参照してください。

このエリアには、上記のレジスタの他にS1C17コアのレジスタが組み込まれています。これらのレジスタの詳細については、“S1C17コアマニュアル”を参照してください。

3.6 内部バス

図3.6.1にS1C17803のバス構成を示します。

S1C17803は、バスマスタ(S1C17コア、DMAコントローラ、およびLCDコントローラ)によってアクセスを調停するバスマトリックスを内蔵しています。バスマトリックスにより、バスマスタは異なるバススレーブに同時にアクセスすることができます。たとえば、LCDCがIVRAMインタフェースを介してIVRAMにアクセスしている間に、S1CコアはSRAMCを介して外部メモリに、あるいはSAPBブリッジを介して拡張周辺モジュールにアクセスすることができます(DMACがこれにアクセスしていない場合)。2つ以上のバスマスタが同じバススレーブにアクセスする場合、最も優先順位の高いバスマスタがアクセスを許されます。他のバスマスタは、最も優先順位の高いバスマスタがアクセスを完了するまで待機する必要があります。

バスマスタの優先順位は、1. LCDC → 2. DMAC → 3. S1C17コアとなります。

3 メモリマップおよびバス

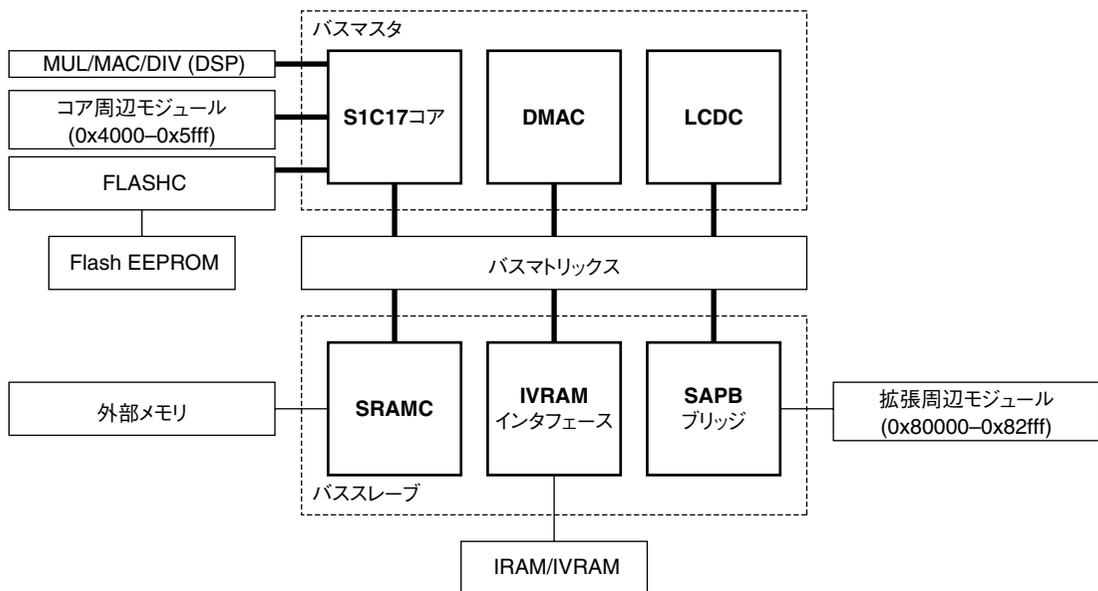


図3.6.1 バス構成

3.7 アクセスサイクル

表3.7.1に示すように、1回のバスアクセスに必要なサイクル数は周辺回路やメモリモジュールにより変わります。また、バスアクセス回数もCPU命令のアクセスサイズとアクセスするデバイスのサイズにより変わります。

表3.7.1 データリード/ライトアクセスサイクル数

モジュール	アクセス条件	ライト	リード	
内蔵FLASH	CPUによるアクセス	8ビットアクセス	-	1 + w
		16ビットアクセス	ソフトウェア制御	1 + w
		24/32ビットアクセス	-	(1 + w) × 2
IRAM/IVRAMエリア	CPU/DMAによるアクセス	8ビットアクセス	1 + w	2 + w
		16ビットアクセス	1 + w	2 + w
		24/32ビットアクセス	2	3
周辺モジュールレジスタ	CPU/DMAによるアクセス	8ビットデバイス	3 + w	3 + w
		16ビットデバイス	(3 + w) × 2	(3 + w) × 2
		24/32ビットデバイス	(3 + w) × 4	(3 + w) × 4
外部メモリ	8ビットRAM CPU/DMAによるアクセス	8ビットアクセス	3 + w	3 + w
		16ビットアクセス	(3 + w) × 2	(3 + w) × 2
		24/32ビットアクセス	(3 + w) × 4	(3 + w) × 4
	16ビットRAM CPU/DMAによるアクセス	8ビットアクセス	3 + w	3 + w
		16ビットアクセス	3 + w	3 + w
		24/32ビットアクセス	(3 + w) × 2	(3 + w) × 2
	16ビットRAM CPU/DMAによるバーストリード	8ビット × Nアクセス	-	3 + (1 + w) × N
		16ビット × Nアクセス	-	3 + (1 + w) × 2N
		24/32ビット × Nアクセス	-	3 + (1 + w) × 4N
		8ビット × Nアクセス	-	3 + (1 + w) × N
		16ビット × Nアクセス	-	3 + (1 + w) × N
		24/32ビット × Nアクセス	-	3 + (1 + w) × 2N
8ビットRAMへのLCDCリード	16ビットアクセス	-	3 + w	
	16ビットアクセス	-	3 + w	
コプロセッサ	MUL(16ビット × 16ビット)		1 + w	
	MAC(16ビット × 16ビット + 32ビット)		1 + w	
	DIV(16ビット + 16ビット)		17 + w	

- 注:
- “w”はウェイトサイクル数を表します。
 - “N”はバーストサイクル数を表します。
 - LCDCはバーストリードには対応していません。

32ビットアクセス時の上位8ビットデータについて

32ビットデータは上位8ビットを0としてメモリに書き込まれます。ただし、ld.a命令によるIRAM/IVRAMへの書き込み時は、上位8ビットの書き込みは行われません。

メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

ハーバードアーキテクチャによる命令とデータの同時アクセス

S1C17コアはハーバードアーキテクチャを採用しているため、以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われプログラムの実行速度が向上します。

- S1C17コアがFlashエリアに格納されている命令を実行し、IRAM/IVRAM、内部周辺回路エリア、または外部メモリ上のデータにアクセスするとき
- S1C17コアがIRAM/IVRAMエリアまたは外部メモリに格納されている命令を実行し、Flashエリア上のデータにアクセスするとき

4 電源

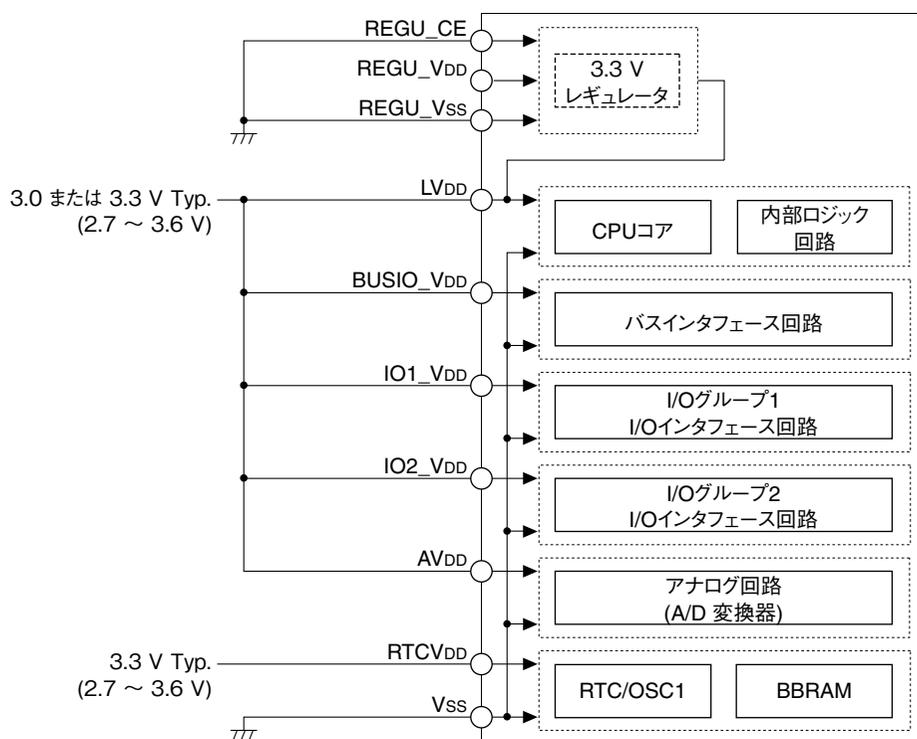
ここではS1C17803の動作電圧について説明します。

4.1 電源端子

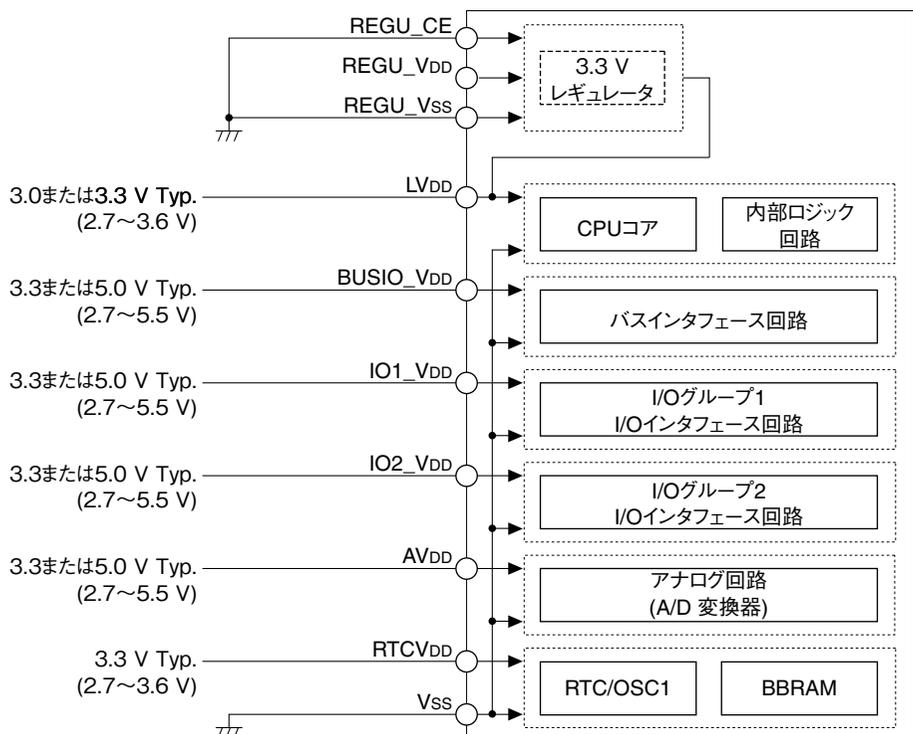
S1C17803電源端子を表4.1.1に示します。

表4.1.1 電源端子

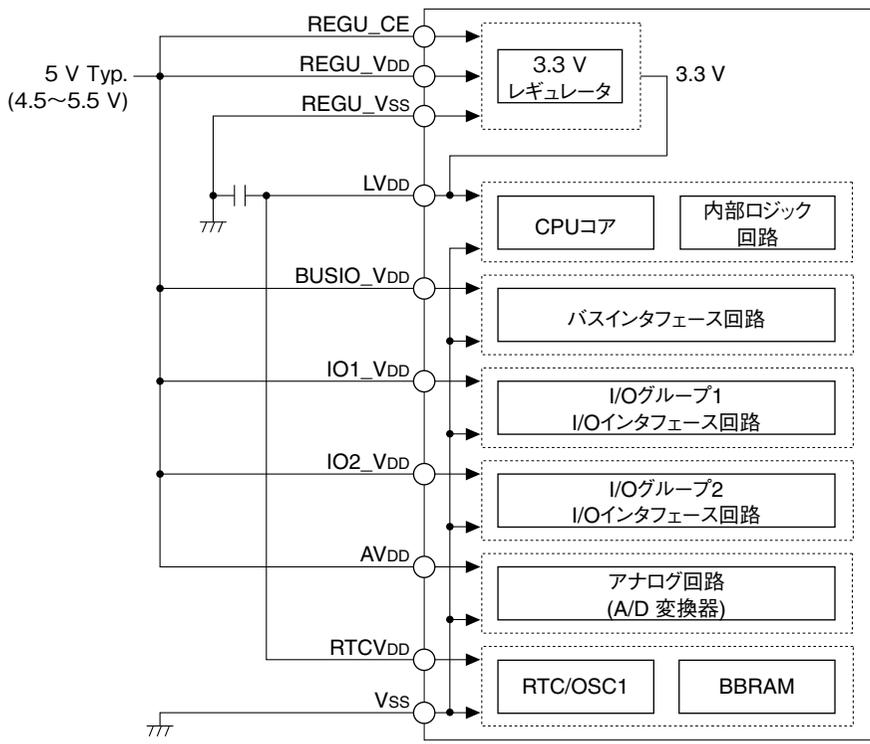
端子名	端子No.			I/O	電圧	PU/PD	機能
	TQFP14-100ピン	TQFP15-128ピン	QFP5-128ピン				
BUSIO_VDD	1	1	100	-	2.7 ~ 5.5V	-	バスグループのI/O電圧電源(+)
IO1_VDD	47	59	30	-	2.7 ~ 5.5V	-	グループ1のI/O電圧電源(+)
IO2_VDD	68	87	58	-	2.7 ~ 5.5V	-	グループ2のI/O電圧電源(+)
LVDD	30	37	8	-	2.7 ~ 3.6V	-	S1C17コアの電圧電源(+)
REGU_VDD	31	38	9	-	4.5 ~ 5.5V	-	レギュレータ電源(+)
REGU_VSS	32	39	10	-	GND	-	レギュレータのグラウンド
REGU_CE	29	36	7	I	(アナログ)	-	レギュレータのイネーブル入力
VSS	9, 16, 39, 46, 75, 85, 86, 92	13, 22, 47, 58, 95, 106, 107, 117	18, 29, 66, 77, 78, 88, 112, 121	-	GND	-	GND
RTCVDD	35	42	13	-	2.7 ~ 3.6V	-	RTC/BBRAM電源(+) (RTCVDD = LVDD)
AVDD	28	35	6	-	2.7 ~ 5.5V	-	アナログ電源



(1) 3.3Vの単一電源を使用したとき(内蔵レギュレータは使用しない)



(2) 3.3Vと5Vのデュアル電源を使用したとき(内蔵レギュレータは使用しない)



(3) 5Vの単一電源を使用したとき(内蔵レギュレータを使用する)

図4.1.1 電源系

4.2 動作電圧 (LV_{DD})

CPUコアと内部ロジック回路は、LV_{DD}とV_{SS}の端子間に供給される電源電圧によって動作します。この動作電圧は、次のとおりです。

LV_{DD} = 2.7V ~ 3.6V (V_{SS} = GND)

注: CPUと内部ロジック回路の駆動に5V電源を使用するときには、3.3Vの内蔵レギュレータで内部動作電圧を生成する必要があります。

4.3 I/Oインタフェース電圧 (BUSIO_V_{DD}、IO1_V_{DD}、IO2_V_{DD})

S1C17803のI/Oポートは3つのグループに分かれており、それぞれ別の電源電圧で駆動することができます。各I/Oグループの電源電圧と端子を以下に示します。

表4.3.1 I/OグループとI/Oインタフェース電圧

電源端子	電源電圧	I/Oグループ	I/O端子(デフォルトの機能)
BUSIO_V _{DD}	2.7V ~ 5.5V (V _{SS} = GND)	バスグループ	P6[7:0]、P7[7:0]、P8[6:0]、P9[7:0]、PA[7:0]、PB[7:0]、TVEP
IO1_V _{DD}	2.7V ~ 5.5V (V _{SS} = GND)	I/Oグループ1	TEST、#RESET、#NMI、DCLK、DSIO、DST2、P1[7:0]、P2[7:0]、P3[5:0]
IO2_V _{DD}	2.7V ~ 5.5V (V _{SS} = GND)	I/Oグループ2	P4[5:0]、P5[7:0]、PC[7:0]

4.4 RTC用電源 (RTC_{VDD})

システム電源をOFFにした場合でもRTCとOSC1発振器を動作できるように、LV_{DD}端子とは別にRTC用電源端子(RTC_{VDD})が用意されています。RTC_{VDD}端子にはLV_{DD}と同じレベルの電圧を供給してください。

RTC_{VDD} = LV_{DD} (2.7V ~ 3.6V、V_{SS} = GND)

RTC_{VDD}は、バッテリーバックアップRAM(BBRAM)の電源としても使用します。

4.5 アナログ回路用電源 (AV_{DD})

内蔵のアナログ回路(A/D変換器)がデジタル回路の影響を受けないように、他の電源端子とは別にアナログ回路用の電源端子(AV_{DD})が設けられています。アナログ回路の電源電圧はAV_{DD}端子に供給し、V_{SS}端子をGNDレベルとしてください。

AV_{DD}には次の電圧が使用可能です。

AV_{DD} = 2.7V ~ 5.5V (V_{SS} = GND)

注: アナログ回路を使用しない場合でも、AV_{DD}端子には必ず2.7 ~ 5.5Vの電圧を供給してください。LV_{DD}と同電位である必要はありません。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンへの作成には注意が必要です。

4.6 内蔵電圧レギュレータ

S1C17803は、5Vの単一電源で動作するため、3.3Vの内部動作電圧を生成する電圧レギュレータを内蔵しています。内蔵電圧レギュレータを使用するには、REGU_V_{DD}端子に5Vの電源電圧を供給し、REGU_CE端子をREGU_V_{DD}レベルに設定します。レギュレータは3.3Vを生成し、これをLV_{DD}の代わりに内部回路に供給します。また、生成された電圧は、LV_{DD}端子から出力されるので、これをRTC_{VDD}端子に供給してRTCを動作させることができます。

REGU_V_{DD}には次の電圧が使用可能です。

REGU_V_{DD} = 4.5V ~ 5.5V (REGU_V_{SS} = GND)

注: • LVDD端子の電圧を使用して外部デバイスを駆動しないでください。

- LVDDをS1C17803に供給するとき、REGU_CE端子をLowレベルに設定して内蔵電圧レギュレータを無効にする必要があります。

4.7 電源に関する注意事項

パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。

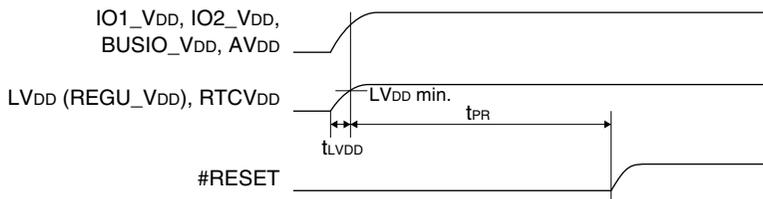


図4.7.1 パワーオンシーケンス

- (1) tLVDD: 電源投入時の電源が安定するまでの時間

下記の順序で電源を投入してください。

電源投入時: 1. LVDD(およびRTCVDD)またはREGU_VDD

2. BUSIO_VDD、IO1_VDD、IO2_VDD、AVDD(上記の1と同時に投入しても可)
3. 入力信号を印加

* RTCVDDはRTCとBBRAMの動作に常時供給可能です。

- (2) tPR: 電源リセット時間

この期間に、#RESET信号をLowに維持してください。電源リセット時間については、“電気的特性”を参照してください。

パワーオフシーケンス

下記の順序で電源を切断してください。

電源切断時: 1. 入力信号をオフ

2. BUSIO_VDD、IO1_VDD、IO2_VDD、AVDD

3. LVDD(およびRTCVDD)またはREGU_VDD(上記の1と同時に切断しても可)

注: • BUSIO_VDD/IO1_VDD/IO2_VDDだけが供給された状態になると、BUSIO_VDD/IO1_VDD/IO2_VDD→AVDDの経路でダイオードが形成され、AVDD電源に電流の回りこみが発生します。この状態を回避するには、すべての電源を同時に切断してください。

- BUSIO_VDD/IO1_VDD/IO2_VDDが切断されている状態でAVDDのみを継続的に(1秒以上)印加することは、絶対に避けてください。AVDDの貫通電流によりデバイスの破壊や特性劣化を引き起こす可能性があります。

ラッチアップ

CMOS構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS ICが内蔵する寄生のPNPN接合(サイリスタ構造)が導通し、 $LV_{DD}-V_{SS}$ 間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいは LV_{DD} 端子の電圧が定格を超えて内部素子が降伏状態になったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になると $LV_{DD}-V_{SS}$ 間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意してください。

- (1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、または V_{SS} より下げないでください。電源投入時のタイミングも考慮してください。
- (2) 異常ノイズがデバイスに加わらないようにしてください。
- (3) 未使用の入力端子の電位を LV_{DD} 、 $BUSIO_V_{DD}$ 、 $IO1_V_{DD}$ 、 $IO2_V_{DD}$ 、 AV_{DD} 、または V_{SS} に固定してください。
- (4) 出力を短絡しないでください。

5 リセットとNMI

5.1 イニシャルリセット

S1C17803は内蔵回路を初期化する2種類のイニシャルリセットソースを搭載しています。

- (1) #RESET端子(外部イニシャルリセット)
- (2) ウォッチドッグタイマ(ソフトウェアによって選択可能な内部イニシャルリセット)

図5.1.1にイニシャルリセット回路の構成を示します。

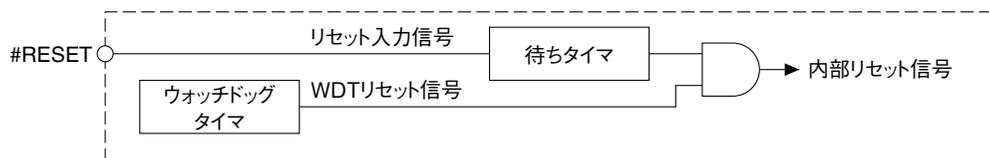


図5.1.1 イニシャルリセット回路の構成

CPUと周辺回路は、イニシャルリセットソースからの信号がアクティブの間に初期化されます。リセット信号が解除されると、CPUはリセット処理を開始します。リセット処理ではベクタテーブルの先頭からリセットベクタ(リセット処理開始アドレス)を読み出して、読み出しアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

5.1.1 #RESET 端子

#RESET端子をLowに設定すると、S1C17803はイニシャルリセット状態になります。確実にリセットをかけるためには、電源電圧を供給してから規定の時間(“電気的特性”の章の“AC特性”を参照)以上、#RESET端子をLow状態に保持してください。

イニシャルリセット状態は、Lowレベルの#RESET端子をHighに設定することで取り消されます。

5.1.2 ウォッチドッグタイマによるリセット

S1C17803は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマでは、ソフトウェアによるリセットがCPUの暴走が原因で失敗したとき、プログラミングされた周期で信号の出力が可能です。出力信号はリセットまたはNMIのいずれかによって生成され、RESEN/WDT_ENレジスタに1を書き込むことでリセットされます。

ウォッチドッグタイマの詳細については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

- 注:
- ウォッチドッグタイマによるリセット機能を使用するときは、不要なリセットの発生を防止するため、プログラミングされた周期以内にリセットが行われるよう設定してください。
 - ウォッチドッグタイマによるリセット機能は、ソフトウェアで行う必要のあるパワーオンリセットには使用できません。

5.1.3 イニシャルリセットシーケンス

電源投入後に#RESET端子入力によりリセット信号が解除された場合でも、CPUは発振安定待ち時間(128/OSC3クロック周波数)が経過するまでは起動できません。

図5.1.3.1にイニシャルリセット解除後の動作シーケンスを示します。

CPUはリセット状態の解除後に、OSC3クロックと同期して動作を開始します。

- 注: ここで説明する発振安定時間には、発振開始時間は含まれません。したがって、CPUが命令の実行を開始するまでに経過する時間は、電源投入後またはSLEEPモード解除時には下図に示すより長くなる可能性があります。

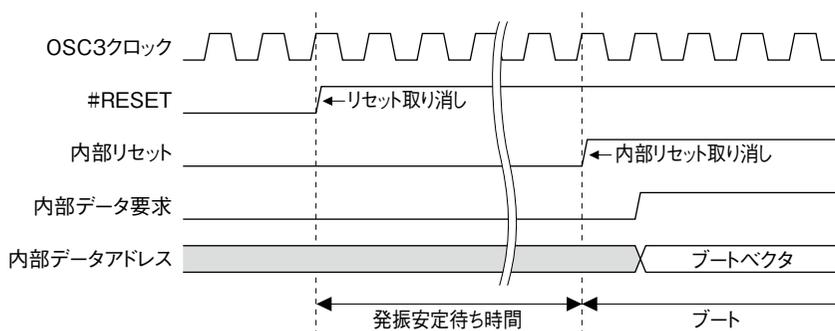


図5.1.3.1 イニシャルリセット解除後の動作シーケンス

5.1.4 イニシャルリセットステータス

S1C17コアと周辺回路は、内部リセット信号が0の期間中に初期化されます。IC内部のイニシャルリセットステータスを以下に示します。

CPU - PC:	0x80000からリセットベクタをロード
CPU - PSR:	全PSRビットが0にリセット
CPU - その他のレジスタ:	すべて0クリア
TTBR:	0x8000に初期化
CPU - 動作クロック	OSC3×1/1のクロックで動作
発振回路:	高速(OSC3)発振回路がON。低速(OSC1)発振回路は常にON
周辺回路へのクロック供給:	LCDCを除き、すべてON
ON I/O端子の状態:	初期化(“概要”の章の“端子機能”参照)
他の周辺回路:	初期化または不定(I/Oマップ参照)

注: S1C17803はI/O端子とTTBRレジスタ値を保持するホットリセットには対応していません。

5.1.5 イニシャルリセット時の注意事項

コアCPU

イニシャルリセット時、コアCPUの内部レジスタはすべて0にクリアされます。SP(スタックポインタ)もリセットによる初期化で0になります。なお、スタック設定前に割り込みが発生した場合には、PCまたはPCR値の格納先が不定となる可能性がありますので、プログラムの通常動作は保証されません。これを防ぐため、SPは割り込み発生前に必ず設定してください。

内蔵RAM

内蔵RAMの内容はイニシャルリセットにより不定となります。必要に応じて初期化してください。

OSC3発振回路

イニシャルリセットによりOSC3発振回路が発振を開始し、リセットが解除されるとCPUはOSC3クロックによって動作を開始します。不安定なクロックによる誤動作を防止するため、パワーオンリセットやOSC3発振回路が停止中にリセットを行う場合は、発振が安定してからリセットを解除する必要があります。

OSC1発振回路

パワーオンリセットによりOSC1発振回路も発振を開始します。OSC1発振回路はOSC3発振回路に比べ、発振の安定に長い時間を要します(電気的特性参照)。不安定なクロックによる誤動作を防止するため、OSC1クロックはこの安定化時間が経過してから使用してください。

入出力ポートと入出力端子

イニシャルリセットは入出力ポートの制御レジスタおよびデータレジスタを初期化しますので、プログラムによる再設定が必要です。

その他の内蔵周辺回路

上記以外の周辺回路の制御およびデータレジスタは、イニシャルリセットにより初期化あるいは不定となります。プログラムにより必要な設定を行ってください。

イニシャルリセットによる周辺回路の初期設定内容については、各I/Oマップまたは回路説明を参照してください。

5.2 NMI入力

S1C17803にはNMIを発生させるソースが2種類用意されています。

- (1) #NMI端子(外部入力)
- (2) ウォッチドッグタイマ(ソフトウェアによって選択可能)

図5.2.1にNMI回路の構成を示します。

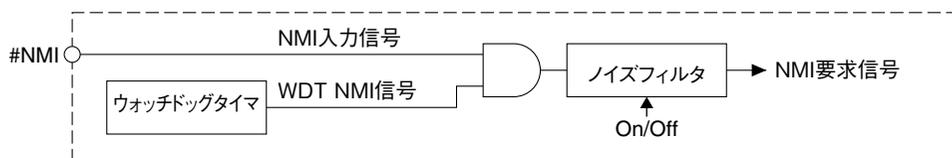


図5.2.1 NMI回路の構成

#NMI端子から入力、またはウォッチドッグタイマ(WDT)が出力するNMI信号はノンマスクابل割り込みを発生させ、S1C17コアに送られます。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。

CPUによるNMI例外処理については、“S1C17 Family S1C17コアマニュアル”を参照してください。

5.2.1 #NMI端子

#NMI端子をLowレベルに設定すると、S1C17コアへのノンマスクابل割り込みが発生します。

5.2.2 ウォッチドッグタイマによるNMI

S1C17803は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマでは、ソフトウェアによるリセットがCPUの暴走が原因で失敗したとき、プログラミングされた周期で信号の出力が可能です。出力信号はリセットまたはNMIのいずれかによって生成され、NMIEN/WDT_ENレジスタに1を書き込むことでNMIが生成されます。

ウォッチドッグタイマの詳細については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

5.2.3 NMI入力ノイズフィルタ

S1C17コアの入力信号ノイズにより、NMIが誤動作して不要なNMIを生成してしまうことを防ぐため、S1C17803にはノイズフィルタが設けられています。このフィルタにより、NMI信号がS1C17コアへと到達する前にノイズが除去されます。ノイズフィルタは使用するか無視するかを選択できます。

NMINFE/CMU_NFENレジスタを1に設定するとノイズ除去、NMINFEを0に設定すると無視になります。ノイズフィルタはOSC3クロックを8で分周して動作します。動作時には、3クロックサイクル未満のパルスのノイズを除去します。つまり、有効な入力信号のパルス幅は少なくともOSC3クロックの16サイクル必要になります。

制御ビットの詳細については、“クロックマネージメントユニット(CMU)”の章を参照してください。

注: NMI入力ノイズフィルタは、通常有効にしておいてください。

6 クロックマネージメントユニット (CMU)

6.1 CMUモジュールの概要

CMU(クロックマネージメントユニット)モジュールは、内部の発振回路およびシステムクロックを制御します。

CMUモジュールの主な機能は以下のとおりです。

- 動作クロックを生成する発振回路を内蔵
 - OSC3発振回路: 33MHz(最大)の水晶/セラミック発振回路
外部クロック入力に対応
 - OSC1発振回路: 32.768kHz(Typ.)の水晶発振回路
外部クロック入力に対応
- システムクロックの切り換え。システムクロックソースをOSC3とするかOSC1とするかソフトウェアで選択可能
- ソースクロックを1～32分周し、システムクロックを生成
- 周辺モジュールへのクロック供給制御
- スタンバイモード(SLEEP、HALT)に応じたクロック制御
- クロック外部出力制御

処理内容に応じたクロック制御とスタンバイモードによる消費電流の低減。消費電流の低減の詳細については、Appendixの章の“パワーセーブ”を参照

図6.1.1にクロックシステムおよびCMUモジュールの構成を示します。

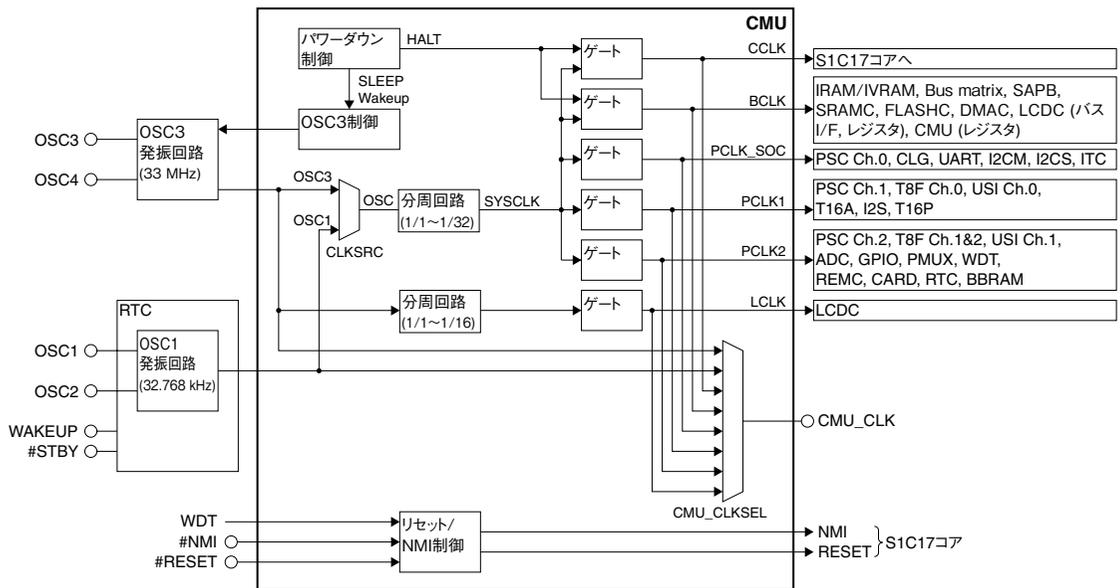


図6.1.1 CMUモジュールの構成

注: 0x80000～0x80007番地のCMU制御レジスタは書き込み保護されています。これらのCMU制御レジスタを書き換えるには、CMUP[7:0]/CMU_PROTECTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、CMU制御レジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMUP[7:0]を0x96以外に設定してください。

6.2 CMU端子

表 6.2.1にCMUモジュールの入出力端子を示します。

表6.2.1 CMU端子一覧

端子名	I/O	本数	機能
OSC1	I	1	OSC1発振入力端子 水晶振動子(32.768kHz)、帰還抵抗、およびゲートコンデンサ接続、または、外部クロック入力
OSC2	O	1	OSC1発振出力端子 水晶振動子(32.768kHz)、帰還抵抗、ドレイン抵抗、およびドレインコンデンサ接続
OSC3	I	1	OSC3発振入力端子 水晶またはセラミック振動子(最大33MHz)、帰還抵抗、およびゲートコンデンサ接続、または、外部クロック入力
OSC4	O	1	OSC3発振出力端子 水晶またはセラミック振動子(最大33MHz)、帰還抵抗、ドレイン抵抗、およびドレインコンデンサ接続
CMU_CLK	O	1	CMU_CLK出力端子 OSC3、OSC1、CCLK、BCLK、PCLK_SOC、PCLK1、PCLK2、およびLCLKから選択したクロック出力

CMUの出力端子(CMU_CLK)は、入出力ポートと共有であるため、最初は汎用入出力ポートの端子として設定されています。入出力ポートの端子をCMUの出力端子として使用するには、ポート機能選択ビットを使用して端子の機能を切り換える必要があります。

端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

6.3 発振回路

6.3.1 OSC3発振回路

OSC3発振回路はS1C17コアと内蔵周辺回路の高速動作用メインクロックを生成します。

OSC3発振回路の構造

OSC3発振回路は、水晶/セラミック発振と外部クロック入力に対応しています。

図6.3.1.1にOSC3発振回路の構造を示します。

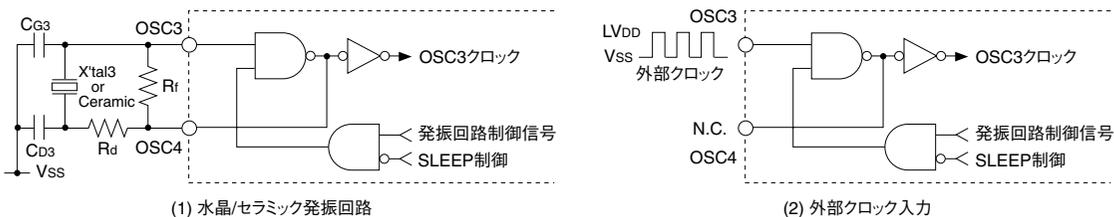


図6.3.1.1 OSC3発振回路

水晶またはセラミック発振回路として使用する場合は、水晶振動子(X'tal3)またはセラミック(Ceramic)発振子、帰還抵抗(R_f)、2つのコンデンサ(C_{G3} 、 C_{D3})および必要に応じてドレイン抵抗(R_d)を、OSC3とOSC4端子およびVssに接続してください。

外部クロックを使用する場合はOSC4端子を開放し、LVDDレベルでデューティ比が50%のクロックをOSC3端子に入力してください。

発振周波数の範囲は以下のとおりです。

- 水晶発振: 1MHz Min. ~ 33MHz Max.
- セラミック発振: 1MHz Min. ~ 33MHz Max.
- 外部クロック入力: 33MHz Max.

発振特性と外部クロック入力特性の詳細については“電気的特性”を参照してください。

OSC3発振のOn/Off

OSC3EN/CMU_OSCCTLレジスタを0に設定するとOSC3発振回路は停止し、1に設定すると発振を開始します。OSC3発振回路はSLEEPモード時にも発振を停止します。イニシャルリセット後はOSC3ENが1に設定され、発振を行います。

OSC3発振開始時の発振安定待ち時間

OSC3発振回路は発振開始時(イニシャルリセット後やSLEEPモード解除後、またはソフトウェアによる電源投入時)の不安定なクロックによる誤動作を防ぐため、発振安定待ち時間を内蔵しています。発振安定待ち時間が経過するまでは、OSC3クロックはシステムに供給されません。OSC3WT[3:0]/CMU_OSCCTLレジスタを使用して16種類の発振安定待ち時間から選択します。

表6.3.1.1 OSC3発振安定待ち時間の設定

OSC3WT[3:0]	発振安定待ち時間
0xf	16サイクル
0xe	32サイクル
0xd	64サイクル
0xc	128サイクル
0xb	256サイクル
0xa	512サイクル
0x9	1,024サイクル
0x8	2,048サイクル
0x7	4,096サイクル
0x6	8,192サイクル
0x5	16,384サイクル
0x4	32,768サイクル
0x3	65,536サイクル
0x2	131,072サイクル
0x1	262,144サイクル
0x0	524,288サイクル

(デフォルト: 0xc)

イニシャルリセット後は128サイクル(OSC3クロック)に設定されます。

注: 発振の安定状況は振動子や外部部品により変化します。発振安定待ち時間を減らす際には十分考慮してください。OSC3発振回路をOnにした直後にシステムクロックをOSC3に切り換えた場合の発振安定待ち時間は以下のとおりです。

OSC3発振安定待ち時間[サイクル] ≥ OSC3発振開始時間[秒](最大) × f_{osc3} [Hz]

例: OSC3発振開始時間(最大) = 10ms およびf_{osc3} = 33MHzの場合
OSC3発振安定待ち時間 ≥ 330,000 [サイクル]

OSC3WT[3:0]は0x0 (OSC3発振安定待ち時間 = 524,288サイクル)に設定する必要があります。

6.3.2 OSC1発振回路

S1C17803はRTCの計時用のクロックソースとして、32.768kHz(Typ.)のクロックを発生するOSC1発振回路を内蔵しています。このOSC1クロックは、パワーセーブ動作用にコアシステムや周辺回路の動作クロックとして使用することも可能です。

OSC1発振回路の構造

OSC1発振回路は、水晶発振と外部クロック入力に対応しています。電源にはRTCと同様、RTC_{VDD}を使用します。

図6.3.2.1にOSC1発振回路の構造を示します。

6 クロックマネージメントユニット (CMU)

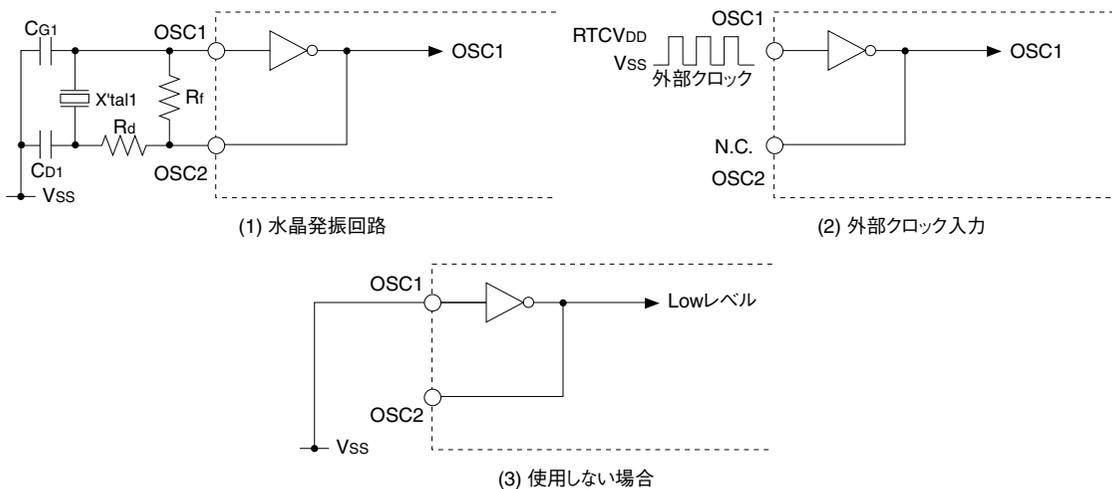


図6.3.2.1 OSC1発振回路

水晶発振回路として使用する場合は、上に示した図のように水晶振動子X'tal1 (32.768kHz Typ.)、帰還抵抗(Rf)、2つのコンデンサ(CG1、CD1)および必要に応じてドレイン抵抗(Rd)を、OSC1とOSC2端子およびVssに接続してください。

外部クロックを使用する場合はOSC2端子を開放し、RTCVDdレベルでデューティ比が50%のクロックをOSC1端子に入力してください。

発振周波数/入力クロック周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。

発振特性と外部クロック入力特性の詳細については“電気的特性”を参照してください。

OSC1発振回路を使用しない場合はOSC1端子をVssに接続し、OSC2端子を開放してください。

発振の制御

OSC1発振回路は常に動作します。制御レジスタの設定は不要です。

注: 電源投入時など、OSC1発振回路を動作させた直後は、発振の安定に時間が必要です(“電気的特性”を参照)。誤動作を防ぐため、この発振安定時間が経過するまでは発振クロックを使用しないでください。

6.4 システムクロックの設定

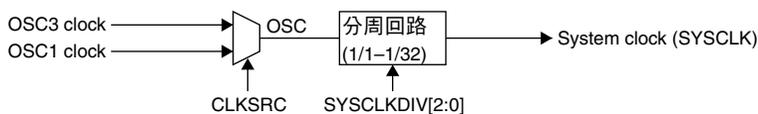


図6.4.1 システムクロック制御回路

6.4.1 システムクロックソースの選択

CLKSRC/CMU_OSCSRCレジスタによりシステムクロックソースをOSC3とするかOSC1とするか選択できます。CLKSRCを0(デフォルト)に設定すると、システムのソースクロックとしてOSC3が選択されます。CLKSRCを1に設定した場合はOSC1が選択されます。

以下にクロックソース切り換え手順を以下に示します。

システムクロック(OSC3からOSC1へ)の切り換え

1. 電源(RTCVDd)投入直後にシステムクロックを切り換えた場合、OSC1発振が安定するまで待ち時間を取ります。
2. システムクロックとしてOSC1を選択します。(CLKSRC = 1)
3. 周辺モジュールおよびCMU_CLK出力回路がOSC3クロックを使用していないときは、消費電流を抑えるためにOSC3発振回路をOffにしてください。

システムクロック (OSC1からOSC3へ)の切り換え

1. 必要に応じてOSC3発振安定待ち時間を取ります。(OSC3WT[3:0])
2. OSC3発振回路が停止している場合は、Onします。(OSC3EN = 1)
3. システムクロックとしてOSC3を選択します。(CLKSRC = 0)

注: • システムクロックを切り換える場合、どちらの発振回路も切り換え前に動作させる必要があります。 そうしないと、CLKSRCが書き込まれてもシステムがシステムクロックソースの切り換えを行わず、CLKSRC値は変更されません。

- システムクロックソースとして選択している発振回路は停止できません。

6.4.2 システムクロック周波数の設定

ソースクロック周波数はSYSCLKDIV[2:0]/CMU_SYSCLKDIVレジスタにより1～32に分周でき、システムクロックを生成可能です。 処理内容に応じてクロック周波数をできるだけ低く設定することにより、消費電流を低減できます。

表6.4.2.1 システムクロック分周比

SYSCLKDIV[2:0]	システムクロックソース
0x7-0x6	OSC・1/1
0x5	OSC・1/32
0x4	OSC・1/16
0x3	OSC・1/8
0x2	OSC・1/4
0x1	OSC・1/2
0x0	OSC・1/1

(デフォルト: 0x0)

6.5 クロック供給制御

消費電流を抑えるため、クロックの供給を停止できるゲート回路が用意されています。

6.5.1 CPUクロック (CCLK)



図6.5.1.1 CCLK制御回路

CCLKクロックは、S1C17コアの動作クロックです。

通常動作時は、常にCCLKをS1C17コアに供給します。

S1C17コアがhaltまたはslp命令を実行すると、CMUはS1C17コアへのクロック供給を停止し、S1C17コアがスタンバイモード (HALTまたはSLEEP) になります。 割り込みによりスタンバイモードが解除されると、CMUはS1C17コアへのクロック供給を再開します。

6.5.2 バスクロック (BCLK)

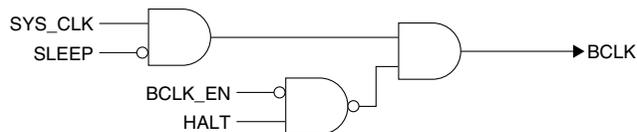


図6.5.2.1 BCLK制御回路

6 クロックマネージメントユニット (CMU)

以下のモジュールの動作にはBCLKクロックを使用します。

- IRAM/IVRAM
- バスマトリックス
- SAPBブリッジ
- SRAMコントローラ (SRAMC)
- Flashコントローラ (FLASHC)
- DMAコントローラ (DMAC)
- LCDコントローラ (LCDC)バスインタフェースおよびレジスタ
- クロックマネージメントユニット (CMU)レジスタ

BCLKはバスおよびメモリの動作に必要なため、通常動作時は常に上記のモジュールに供給されます。ただし、LCDCおよびDMAがバスの動作を必要としない場合、HALTモードではBCLK_EN/CMU_CLKCTLレジスタによりBCLK供給を停止させることができます。

HALT時にBCLK供給を停止させたい場合は、halt命令の実行前に、BCLK_ENを0に設定してください。

HALTモードが解除されると、CMUはクロック供給を再開します。

HALT時にBCLKを供給させたい場合は、BCLK_ENを1に設定してください(デフォルト)。上記のモジュールはHALTモードでも動作します。

BCLKはBCLK_ENの設定値にかかわらず、SLEEPモードで停止します(slp命令実行時)。

6.5.3 周辺モジュールクロック (PCLK_SOC、PCLK1、PCLK2)

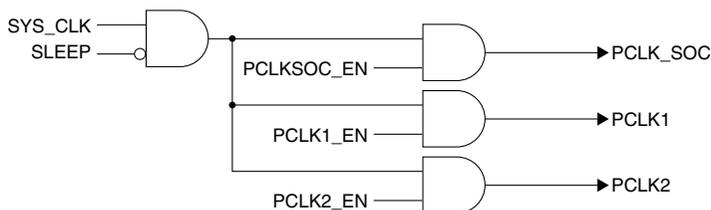


図6.5.3.1 PCLK制御回路

以下のモジュールの動作にはPCLK_SOC、PCLK1、およびPCLK2クロックを使用します。

表6.5.3.1 周辺モジュールと動作クロック

クロック	クロックイネーブルビット	周辺モジュール
PCLK_SOC	PCLKSOC_EN/CMU_CLKCTLレジスタ	<ul style="list-style-type: none"> • ブリスケーラCh.0(PSC Ch.0) • クロックジェネレータ (CLG) • UART • I²Cマスタ (I2CM) • I²Cスレーブ (I2CS) • 割り込みコントローラ (ITC)
PCLK1	PCLK1_EN/CMU_CLKCTLレジスタ	<ul style="list-style-type: none"> • ブリスケーラCh.1(PSC Ch.1) • 8ビットプログラマブルタイマCh.0(T8F Ch.0) • 16ビットPWMタイマ (T16A) • 16ビットオーディオPWMタイマ (T16P) • ユニバーサルシリアルインタフェースCh.0(USI Ch.0) • I²S(I2S)
PCLK2	PCLK2_EN/CMU_CLKCTLレジスタ	<ul style="list-style-type: none"> • ブリスケーラCh.2(PSC Ch.2) • 8ビットプログラマブルタイマCh.1、Ch.2(T8F Ch.1、Ch.2) • ユニバーサルシリアルインタフェースCh.1(USI Ch.1) • A/D変換器 (ADC10) • 入出力ポートとMUXポート (GPIO) • ウォッチドッグタイマ (WDT) • リモートコントローラ (REMC) • カードインタフェース (CARD) • リアルタイムクロック (RTC)レジスタ • BBRAM

周辺モジュールクロック (PCLK_SOC、PCLK1、PCLK2)供給はクロックイネーブルビット (PCLKSOC_EN、PCLK1_EN、PCLK2_EN)により制御できます。

クロック供給を開始するクロックイネーブルビットは1(デフォルト)に設定されています。クロックを

動作させる周辺モジュールのすべてを使用しないときは、消費電流を抑えるためにクロックイネーブルビットを0に設定してクロック供給を停止してください。

クロックイネーブルビットが1に設定されている場合、HALTモードでもクロック供給は停止しません。HALT時に停止させたい場合は、halt命令の実行前に、クロックイネーブルビットを0に設定してください。これらのクロックはクロックイネーブルビットが1に設定されていても、SLEEPモードでは停止します(slp命令実行時)。

6.5.4 LCDCモジュールクロック (LCLK)



図6.5.4.1 LCLK制御回路

LCLKクロックはOSC3クロックを分周して生成され、LCDコントローラ(LCDC)に供給されます。分周回路はOSC3・1/1からOSC3・1/16まで16種類の分周クロックを出力可能で、LCLKDIV[3:0]/CMU_LCLKレジスタを使用してその中から1つをフレームレートに合わせ選択します。

$$\text{フレームレート} = \frac{f_{\text{LCLK}}}{\text{HT} \times \text{VT}} \quad [\text{Hz}]$$

f_{LCLK} : LCLK周波数

HT: 水平トータル期間(水平パネルサイズ + 水平非表示期間)[ピクセル]

VT: 垂直トータル期間(垂直パネルサイズ + 垂直非表示期間)[ライン]

表6.5.4.1 LCDCクロック分周比

LCLKDIV[3:0]	LCLK
0xf	OSC3・1/16
0xe	OSC3・1/15
0xd	OSC3・1/14
0xc	OSC3・1/13
0xb	OSC3・1/12
0xa	OSC3・1/11
0x9	OSC3・1/10
0x8	OSC3・1/9
0x7	OSC3・1/8
0x6	OSC3・1/7
0x5	OSC3・1/6
0x4	OSC3・1/5
0x3	OSC3・1/4
0x2	OSC3・1/3
0x1	OSC3・1/2
0x0	OSC3・1/1

(デフォルト: 0x7)

クロック供給制御はLCLK_EN/CMU_LCLKレジスタで行います(デフォルト: Off)。LCDCを使用するにはLCLK_ENを1に設定してください。LCDCレジスタの設定にはBCLKが必要です。

HALTモードではLCLK_ENが1に設定されている場合、LCLKは停止しません。HALT時にクロック供給を停止させたい場合は、halt命令の実行前に、LCLK_ENを0に設定してください。

LCLKはLCLK_ENが1に設定されていても、SLEEPモードでは停止します(slp命令実行時)。

注: LCLKDIV[3:0]を使用してクロック分周比を変更する場合、またはslp命令を実行する前に、LCLK供給(LCLK_EN = 0)を停止してください。

6.6 外部出力クロック (CMU_CLK) の設定

内部で生成されたクロックはCMU_CLK端子により外部に出力することができます。CMU_CLKは8種類のクロックからCMU_CLKSEL[3:0]/CMU_CMUCLKレジスタで選択することができます。

表6.6.1 CMU_CLKの選択

CMU_CLKSEL[3:0]	CMU_CLK
0xf ~ 0x8	Reserved
0x7	LCLK
0x6	PCLK2
0x5	PCLK1
0x4	PCLK_SOC
0x3	BCLK
0x2	CCLK
0x1	OSC1
0x0	OSC3

(デフォルト: 0x0)

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。

注: 表6.6.1に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[3:0]に設定しないでください。

6.7 スタンバイモード

S1C17803はHALTモード、SLEEPモードの2種類のスタンバイモードをサポートしています。HALTおよびSLEEPスタンバイモードに設定することにより大幅な省電力化が実現できます。

6.7.1 HALTモード

CPUはhalt命令を実行するとプログラムの実行を中断し、HALTモードに移行します。HALTモードは、外部入力待ちや周辺回路の動作結果待ちなど、CPUの実行が不要な場合の省電力化に有効です。

HALTモードではCPUが動作を停止します。さらに、BCLK_EN/CMU_CLKCTLレジスタを0に設定することによって、HALTモード(halt命令の実行後)でBCLKを停止させることができます(BCLKについては6.5.2節参照)。その他の内蔵周辺回路は、halt命令実行時の状態(停止/動作)を継続します。

HALTモードはイニシャルリセットまたはNMIを含む任意の割り込みが発生することによって解除されます。デバッグからの強制ブレークでも解除されます。

HALTモードを割り込みにより解除する場合、割り込みコントローラ(ITC)からS1C17コアに入る割り込み信号が使用されます。したがって、HALTモード解除のために使用される割り込みは、割り込みソースモジュール上で許可されている必要があります。PSRが割り込み禁止の状態に設定されている場合でも、S1C17コアはHALTモードを解除し再起動することが可能です。PSRのIE(割り込みイネーブル)ビットが1(割り込み許可)に設定されている場合でも、S1C17コアはHALTモード解除後に割り込み処理ルーチンを実行します。PSRのIEビットが0(割り込み禁止)に設定されている場合は割り込みが発生せず、S1C17コアはhalt命令に続く命令の実行を再開します。

また、#NMI信号は、LowレベルになることでHALTモードを解除します。

6.7.2 SLEEPモード

CPUはslp命令を実行するとプログラムの実行を中断し、SLEEPモードに移行します。CPUは動作を停止し、CMUによる周辺回路へのクロック供給も停止します。これにより、OSC1発振回路とRTCを除き、周辺回路はすべて停止します。

SLEEPモードはイニシャルリセット、RTC割り込み、#NMI信号、または外部割り込み(ポート入力割り込み)の発生によって解除されます。

PSRが割り込み禁止の状態に設定されている場合でも、S1C17コアはSLEEPモードを解除し再起動することが可能です。PSRのIEビットが0(割り込み禁止)に設定されている場合は割り込みが発生せず、S1C17コアはslp命令に続く命令の実行を再開します。PSRのIE(割り込みイネーブル)ビットが1(割り込み許可)に設定されている場合は、S1C17コアはSLEEPモード解除後に割り込み処理ルーチンを実行します。

#NMI信号は、LowレベルになることでSLEEPモードを解除します。

注: • SLEEPモードでは、起床要因の割り込み信号入力から割り込みソースモジュールへのクロック供給が開始されるまでに時間差があるため、割り込み要因フラグのセットに遅延が生じます。このため、クロック供給開始前に割り込み信号がインアクティブになると割り込みフラグがセットされず割り込みが発生しない場合があります。

さらに、ITCからS1C17コアに割り込み要求が伝わるまでも時間差があるため、CPUは割り込み処理ルーチンを開始する前に、slp命令に続く数命令を実行してしまう場合があります。

SLEEPモードをレベルトリガポート入力割り込みで解除する場合は、クロック供給が開始されるまで、入力信号をアクティブのまま保持してください。SLEEPモードはエッジトリガポート入力割り込みでも解除できます。アクティブ信号エッジはGPIOモジュールによってアクティブレベルに自動的に変換され、クロック供給が開始されるまでアクティブレベルを維持します。

NMIによるSLEEPモードからの起床時も同様です。クロック供給開始前に#NMI信号がインアクティブになると、割り込みが発生しない場合があります。

- SLEEPモードに設定する前に、LCDCへのクロック供給をOffしてください。

6.8 制御レジスタ詳細

表6.8.1 CMUレジスタ一覧

アドレス	レジスタ名		機能
0x80000	CMU_OSCSRC	Clock Source Select Register	システムクロックソースの選択
0x80001	CMU_OSCCTL	Oscillation Control Register	発振の制御
0x80002	CMU_NFEN	Noise Filter Enable Register	ノイズフィルタの有効/無効設定
0x80003	CMU_LCLK	LCDC Clock Setup Register	LCLKの設定およびクロック供給の制御
0x80004	CMU_CLKCTL	Clock Control Register	BCLK、PCLK_SOC、PCLK1、およびPCLK2クロック供給の制御
0x80005	CMU_SYSCCLKDIV	System Clock Division Ratio Select Register	システムクロック周波数の設定
0x80006	CMU_CMUCLK	CMU_CLK Select Register	CMU_CLK出力クロックの選択
0x80007	MAC_WAIT	MAC Wait Cycle Select Register	MACウェイトサイクル数の選択
0x80010	CMU_PROTECT	CMU Write Protect Register	CMUレジスタ書き込み保護の設定/解除

CMUモジュールの各レジスタは、以下で詳しく説明します。これらは8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Clock Source Select Register (CMU_OSCSRC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Source Select Register (CMU_OSCSRC)	0x80000 (8 bits)	D7-1	–	reserved	–	–	–	0 when being read.
		D0	CLKSRC	System clock source select	1 OSC1 0 OSC3	0	R/W	Write-protected

D[7:1] **Reserved**

D0 **CLKSRC: System Clock Source Select Bit**

システムのクロックソースを選択します。

1 (R/W): OSC1

0 (R/W): OSC3(デフォルト)

注: • システムクロックを切り換える場合、どちらの発振回路も先に動作させる必要があります。そうしないと、CLKSRCが書き込まれてもシステムがシステムクロックソースの切り換えを行わず、CLKSRC値は変更されません。

- システムクロックソースとして選択している発振回路は停止できません。

Oscillation Control Register (CMU_OSCCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Oscillation Control Register (CMU_OSCCTL)	0x80001 (8 bits)	D7-4	OSC3WT[3:0]	OSC3 wait cycle select	OSC3WT[3:0]	0xc	R/W	Write-protected	
					0xf				16 cycles
					0xe				32 cycles
					0xd				64 cycles
					0xc				128 cycles
					0xb				256 cycles
					0xa				512 cycles
					0x9				1,024 cycles
					0x8				2,048 cycles
					0x7				4,096 cycles
		0x6	8,192 cycles						
		0x5	16,384 cycles						
		0x4	32,768 cycles						
		0x3	65,536 cycles						
		0x2	131,072 cycles						
		0x1	262,144 cycles						
		0x0	524,288 cycles						
	D3-1	–	reserved		–	–	0 when being read.		
	D0	OSC3EN	OSC3 enable	1 Enable	0 Disable	1	R/W	Write-protected	

D[7:4] OSC3WT[3:0]: OSC3 Wait Cycle Select Bits

OSC3発振開始時の不安定なクロックによる誤動作を防ぐため、発振安定待ちタイマが設定されています。OSC3クロックはここで設定した時間が経過するまでは、発振開始後(イニシャルリセット後やSLEEPモード解除後、またはソフトウェアによる電源投入時)すぐにはシステムに供給されません。

表6.8.2 OSC3発振安定待ち時間の設定

OSC3WT[3:0]	発振安定待ち時間
0xf	16サイクル
0xe	32サイクル
0xd	64サイクル
0xc	128サイクル
0xb	256サイクル
0xa	512サイクル
0x9	1,024サイクル
0x8	2,048サイクル
0x7	4,096サイクル
0x6	8,192サイクル
0x5	16,384サイクル
0x4	32,768サイクル
0x3	65,536サイクル
0x2	131,072サイクル
0x1	262,144サイクル
0x0	524,288サイクル

(デフォルト: 0xc)

イニシャルリセット後は128サイクル(OSC3クロック)に設定されます。

注: 発振の安定状況は振動子や外部部品により変化します。発振安定待ち時間を減らす際には十分考慮してください。OSC3発振回路をOnにした直後にシステムクロックをOSC3に切り換えた場合の発振安定待ち時間は以下のとおりです。

$$\text{OSC3発振安定待ち時間[サイクル]} \geq \text{OSC3発振開始時間[秒]}(\text{最大}) \times f_{\text{osc3}} [\text{Hz}]$$

例: OSC3発振開始時間(最大) = 10msおよび $f_{\text{osc3}} = 33\text{MHz}$ の場合
 OSC3発振安定待ち時間 $\geq 330,000$ [サイクル]

OSC3WT[3:0]は0x0(OSC3発振安定待ち時間 = 524,288サイクル)に設定する必要があります。

D[3:1] Reserved

D0 OSC3EN: OSC3 Enable Bit

OSC3発振回路の動作を有効/無効にします。

1 (R/W): 有効 (On) (デフォルト)

0 (R/W): 無効 (Off)

注: OSC3クロックをシステムクロックとして使用する場合、OSC3発振回路は停止できません。

Noise Filter Control Register (CMU_NF)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Noise Filter	0x80002 (8 bits)	D7-2	–	reserved	–			–	–	0 when being read.	
Enable Register		D1	DSINNFE	DSIO input noise filter enable	1	Enable	0	Disable	0	R/W	Write-protected
(CMU_NFEN)		D0	NMINFE	#NMI input noise filter enable	1	Enable	0	Disable	0	R/W	

D[7:2] Reserved**D1 DSINNFE: DSIO Input Noise Filter Enable Bit**

DSIO入力用ノイズフィルタを有効/無効に設定します。

1 (R/W): 有効 (ノイズ除去)

0 (R/W): 無効 (バイパス) (デフォルト)

このノイズフィルタでは、システムクロック (OSC3クロックまたはOSC1クロック) 16サイクル以上のDSIOパルスのみS1C17コアに入力できます。16サイクル未満のパルスはノイズとして除去されます。

D0 NMINFE: #NMI Input Noise Filter Enable Bit

#NMI入力用ノイズフィルタを有効/無効に設定します。

1 (R/W): 有効 (ノイズ除去)

0 (R/W): 無効 (バイパス) (デフォルト)

このノイズフィルタでは、システムクロック (OSC3クロックまたはOSC1クロック) 16サイクル以上のDSIOパルスのみS1C17コアに入力できます。16サイクル未満のパルスはノイズとして除去されます。

LCDC Clock Setup Register (CMU_LCLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
LCDC Clock Setup Register (CMU_LCLK)	0x80003 (8 bits)	D7-4	LCLKDIV[3:0]	LCDC clock division ratio select	LCLKDIV[3:0]	Division ratio	0x7	R/W	Write-protected		
					0xf	OSC3•1/16					
					0xe	OSC3•1/15					
					0xd	OSC3•1/14					
					0xc	OSC3•1/13					
					0xb	OSC3•1/12					
					0xa	OSC3•1/11					
					0x9	OSC3•1/10					
					0x8	OSC3•1/9					
					0x7	OSC3•1/8					
					0x6	OSC3•1/7					
					0x5	OSC3•1/6					
					0x4	OSC3•1/5					
					0x3	OSC3•1/4					
0x2	OSC3•1/3										
0x1	OSC3•1/2										
0x0	OSC3•1/1										
		D3-1	–	reserved	–		–	–	0 when being read.		
		D0	LCLK_EN	LCLK clock enable	1	Enable	0	Disable	0	R/W	Write-protected

D[7:4] LCLKDIV[3:0]: LCD Clock Division Ratio Select Bits

LCDCクロック (LCLK) を16種類のOSC3分周クロックから選択します。フレームレートに合わせて選択してください。

$$\text{フレームレート} = \frac{f_{\text{LCLK}}}{\text{HT} \times \text{VT}} \quad [\text{Hz}]$$

f_{LCLK} : LCLK周波数

6 クロックマネージメントユニット (CMU)

HT: 水平トータル期間(水平パネルサイズ + 水平非表示期間)[ピクセル]
 VT: 垂直トータル期間(垂直パネルサイズ + 垂直非表示期間)[ライン]

表6.8.3 LCDCクロック分周比

LCLKDIV[3:0]	LCLK
0xf	OSC3・1/16
0xe	OSC3・1/15
0xd	OSC3・1/14
0xc	OSC3・1/13
0xb	OSC3・1/12
0xa	OSC3・1/11
0x9	OSC3・1/10
0x8	OSC3・1/9
0x7	OSC3・1/8
0x6	OSC3・1/7
0x5	OSC3・1/6
0x4	OSC3・1/5
0x3	OSC3・1/4
0x2	OSC3・1/3
0x1	OSC3・1/2
0x0	OSC3・1/1

(デフォルト: 0x7)

D0 LCLK_EN: LCLK Clock Enable Bit

LCDドライバへのLCLKクロック供給を有効/無効に設定します。

1(R/W): 有効(On)

0(R/W): 無効(Off) (デフォルト)

LCLK_ENを0(デフォルト)に設定すると、クロック供給を停止します。LCLK_ENを1に設定すると、上記から選択したクロックをLCDコントローラに供給します。LCDの表示が不要な場合は、クロック供給を停止させることで消費電流を低減できます。

Clock Control Register (CMU_CLKCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Control Register (CMU_CLKCTL)	0x80004 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.
		D3	BCLK_EN	BCLK clock enable (in HALT)	1 Enable	0 Disable	1 R/W	Write-protected
		D2	PCLK2_EN	PCLK2 clock enable	1 Enable	0 Disable	1 R/W	
		D1	PCLK1_EN	PCLK1 clock enable	1 Enable	0 Disable	1 R/W	
		D0	PCLKSOC_EN	PCLK_SOC clock enable	1 Enable	0 Disable	1 R/W	

D[7:4] Reserved

D3 BCLK_EN: BCLK Clock Enable (in HALT) Bit

HALT時のBCLKクロック供給を有効または無効にします。

1(R/W): 有効(On) (デフォルト)

0(R/W): 無効(Off)

以下のモジュールの動作にはBCLKクロックを使用します。

- IRAM/IVRAM
- バスマトリックス
- SAPBブリッジ
- SRAMコントローラ (SRAMC)
- Flashコントローラ (FLASHC)
- DMAコントローラ (DMAC)
- LCDコントローラ (LCDC) バスインタフェースおよびレジスタ
- クロックマネージメントユニット (CMU) レジスタ

BCLKはバスおよびメモリの動作に必要なため、通常動作時は常に上記のモジュールに供給されます。ただし、LCDCおよびDMAがバスの動作を必要としない場合、BCLK_ENを1に設定することでHALTモードでのBCLK供給を停止させることができます。

D2 PCLK2_EN: PCLK2 Clock Enable Bit

PCLK2クロック供給を有効または無効にします。

1(R/W): 有効(On) (デフォルト)

0(R/W): 無効(Off)

以下のモジュールの動作にはPCLK2クロックを使用します。

- プリスケータCh.2(PSC Ch.2)
- 8ビットプログラマブルタイマCh.1、Ch.2(T8F Ch.1、Ch.2)
- ユニバーサルシリアルインタフェースCh.1(USI Ch.1)
- A/D変換器(ADC10)
- 入出力ポートとMUXポート(GPIO)
- ウォッチドッグタイマ(WDT)
- リモートコントローラ(REMC)
- カードインタフェース(CARD)
- リアルタイムクロック(RTC)レジスタ
- BBRAM

PCLK2_ENを1(デフォルト)に設定すると、クロックを供給します。上記モジュールをすべて停止できるときは、消費電流を抑えるためにPCLK2_ENを0に設定してください。

D1 PCLK1_EN: PCLK1 Clock Enable Bit

PCLK1クロック供給を有効または無効にします。

1(R/W): 有効(On) (デフォルト)

0(R/W): 無効(Off)

以下のモジュールの動作にはPCLK1クロックを使用します。

- プリスケータCh.1(PSC Ch.1)
- 8ビットプログラマブルタイマCh.0(T8F Ch.0)
- 16ビットPWMタイマ(T16A)
- 16ビットオーディオPWMタイマ(T16P)
- ユニバーサルシリアルインタフェースCh.0(USI Ch.0)
- I²S(I2S)

PCLK1_ENを1(デフォルト)に設定すると、クロックを供給します。上記モジュールをすべて停止できるときは、消費電流を抑えるためにPCLK1_ENを0に設定してください。

D0 PCLKSOC_EN: PCLK_SOC Clock Enable Bit

PCLK_SOCクロック供給を有効または無効にします。

1(R/W): 有効(On) (デフォルト)

0(R/W): 無効(Off)

以下のモジュールの動作にはPCLK_SOCクロックを使用します。

- プリスケータCh.0(PSC Ch.0)
- クロックジェネレータ(CLG)
- UART
- I²Cマスタ(I2CM)
- I²Cスレーブ(I2CS)
- 割り込みコントローラ(ITC)

PCLKSOC_ENを1(デフォルト)に設定すると、クロックを供給します。上記モジュールをすべて停止できるときは、消費電流を抑えるためにPCLKSOC_ENを0に設定してください。

System Clock Division Ratio Select Register (CMU_SYSCLKDIV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
System Clock Division Ratio Select Register (CMU_SYSCLKDIV)	0x80005 (8 bits)	D7-3 D2-0	– SYSCLKDIV[2:0]	reserved System clock division ratio select	– SYSCLKDIV[2:0] 0x7–0x6 0x5 0x4 0x3 0x2 0x1 0x0	– Divider OSC•1/1 OSC•1/32 OSC•1/16 OSC•1/8 OSC•1/4 OSC•1/2 OSC•1/1	– R/W	0 when being read. Write-protected

D[7:3] Reserved

D[2:0] SYSCLKDIV[2:0]: System Clock Division Ratio Select Bits

システムクロック周波数設定用の分周比を選択します。S1C17コアと周辺モジュールはクロック速度できるだけ低く設定することにより、消費電流を低減できます。

表6.8.4 システムクロック分周比

SYSCLKDIV[2:0]	システムクロックソース
0x7–0x6	OSC•1/1
0x5	OSC•1/32
0x4	OSC•1/16
0x3	OSC•1/8
0x2	OSC•1/4
0x1	OSC•1/2
0x0	OSC•1/1

(デフォルト: 0x0)

CMU_CLK Select Register (CMU_CMUCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CMU_CLK Select Register (CMU_CMUCLK)	0x80006 (8 bits)	D7-4 D3-0	– CMU_CLKSEL[3:0]	reserved CMU_CLK select	– CMU_CLKSEL[3:0] 0xf–0x8 0x7 0x6 0x5 0x4 0x3 0x2 0x1 0x0	– CMU_CLK reserved LCLK PCLK2 PCLK1 PCLK_SOC BCLK CCLK OSC1 OSC3	– R/W	0 when being read. Write-protected

D[7:4] Reserved

D[3:0] CMU_CLKSEL[3:0]: CMU_CLK Select Bits

内部で生成されたクロックはCMU_CLK端子により外部に出力することができます。

表6.8.5 CMU_CLKの選択

CMU_CLKSEL[3:0]	CMU_CLK
0xf–0x8	Reserved
0x7	LCLK
0x6	PCLK2
0x5	PCLK1
0x4	PCLK_SOC
0x3	BCLK
0x2	CCLK
0x1	OSC1
0x0	OSC3

(デフォルト: 0x0)

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。

注: 表6.8.5に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[3:0]に設定しないでください。

MAC Wait Cycle Select Register (MAC_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MAC Wait Cycle Select Register (MAC_WAIT)	0x80007 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	MACWAIT	MAC wait cycle select	1 1 cycle 0 0 cycles	0	R/W	Write-protected

D[7:1] **Reserved**

D0 **MACWAIT: MAC Wait Cycle Select Bit**

乗算/分周器にアクセスする際に挿入するウェイトサイクル数を設定します。

1(R/W): 1サイクル

0(R/W): 0サイクル(デフォルト)

システムクロック周波数が24MHz未満では、0 ウェイトサイクルが選択できます。

CMU Write Protect Register (CMU_PROTECT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CMU Write Protect Register (CMU_PROTECT)	0x80010 (8 bits)	D7-0	OSCTM[7:0]	CMU register protect flag	Writing 10010110 (0x96) removes the write protection of the CMU registers (0x80000–0x80007). Writing another value set the write protection.	0x0	R/W	

D[7:0] **CMUP[7:0]: CMU Register Protect Flag Bits**

CMU制御レジスタ(0x80000 ~ 0x80007)の書き込み保護を設定/解除します。

0x96(R/W): 書き込み保護解除

0x96以外(R/W): 書き込み保護(デフォルト: 0x0)

CMU制御レジスタを変更する前に、CMUP[7:0]に0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまではCMU制御レジスタの書き換えが何度でも行えます。クロック制御レジスタの設定後は、誤書き込み等を防止するため、CMUP[7:0]を0x96以外に設定してください。

7 プリスケーラ(PSC)

7.1 PSCモジュールの概要

S1C17803は、タイマとシリアルインタフェースの動作のためのクロックを生成するプリスケーラ(PSC)モジュールを内蔵しています。PSCモジュールは、3つの分周回路(PSC Ch.0、PSC Ch.1、およびPSC Ch.2)で構成され、クロックマネージメントユニット(CMU)から供給されるPCLK_SOC、PCLK1、およびPCLK2クロックを1/1 ~ 1/16Kに分周することで15種類の周波数を生成しています。クロック供給先の周辺モジュールにはクロック選択レジスタが設けられており、カウントクロックまたは動作クロックとしてレジスタを選択できるようになっています。

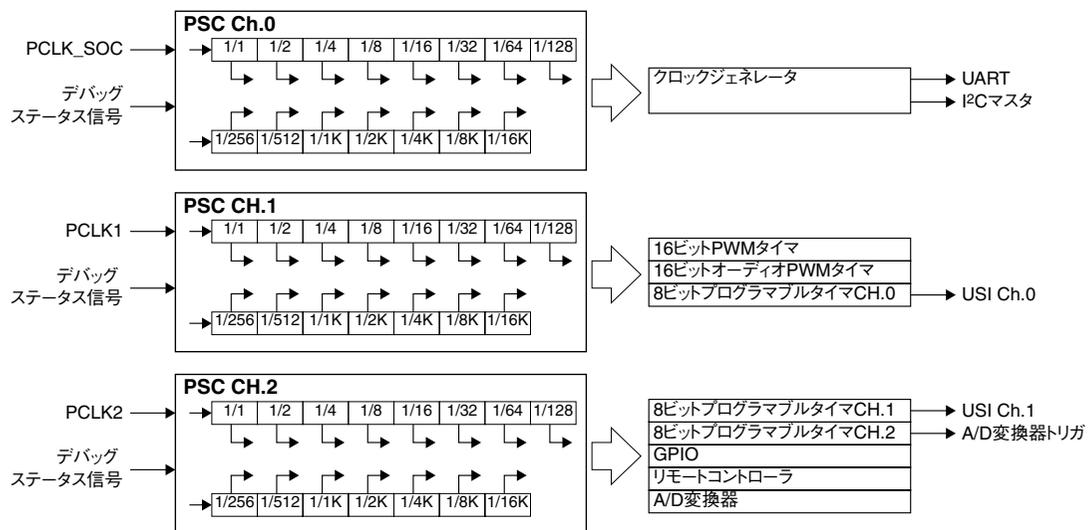


図7.1.1 プリスケーラの構成

PSC Ch.0は、PRUN/PSC_CTL0レジスタで制御します。PSC Ch.1と PSC Ch.2は、PRUN/PSC_CTL1レジスタで制御します。プリスケーラを動作させるには、PRUNに1を書き込みます。0を書き込むとプリスケーラは停止します。タイマやインタフェースモジュールが停止している間にプリスケーラを停止させることで、消費電流を低減できます。プリスケーラはイニシャルリセット時に停止します。

注: PSC Ch.0、PSC Ch.1、およびPSC Ch.2を使用するには、CMUからそれぞれPCLK_SOC、PCLK1、およびPCLK2を供給する必要があります。

プリスケーラにはもう一つの制御ビット、PRUND/PSC_CTLxレジスタが用意されており、これによりデバッグモード時のプリスケーラの動作を指定します。PRUNDを1に設定すると、プリスケーラはデバッグモード時に動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケーラは停止します。デバッグ中にタイマやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

7.2 制御レジスタ詳細

表7.2.1 PSCレジスタ

アドレス	レジスタ名		機能
0x4020	PSC_CTL0	PSC Ch.0 Control Register	PSC Ch.0のスタート/ストップ制御
0x80300	PSC_CTL1	PSC Ch.1-2 Control Register	PSC Ch.1およびPSC Ch.2のスタート/ストップ制御

プリスケーラのレジスタは8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

PSC Ch.0 Control Register (PSC_CTL0)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PSC Ch.0 Control Register (PSC_CTL0)	0x4020 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	PRUND	PSC Ch.0 run/stop in debug mode	1 Run	0 Stop	0	R/W	
		D0	PRUN	PSC Ch.0 run/stop control	1 Run	0 Stop	0	R/W	

D[7:2] Reserved

D1 PRUND: PSC Ch.0 Run/Stop in Debug Mode Bit

デバッグモード時のPSC Ch.0の動作を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

PRUNDを1に設定すると、PSC Ch.0はデバッグモード時でも動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でPSC Ch.0は停止します。デバッグ中に以下に示すモジュールを使用する場合は、PRUNDを1に設定してください。

D0 PRUN: PSC Ch.0 Run/Stop Control Bit

PSC Ch.0の動作を開始/停止させます。

1(R/W): 動作開始

0(R/W): 停止(デフォルト)

PSC Ch.0を動作させるにはPRUNに1を書き込みます。0を書き込むとPSC Ch.0は停止します。消費電流を低減するには、以下に示すモジュールがすでに停止している場合にPSC Ch.0を停止させます。

PSC Ch.0の出力クロックを使用するモジュール

- CLG_T16FU0(UART用のクロックソース)
- CLG_T8I(I²Cマスタ用のクロックソース)

PSC Ch.1-2 Control Register (PSC_CTL1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PSC Ch.1-2 Control Register (PSC_CTL1)	0x80300 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	PRUND	PSC Ch.1-2 run/stop in debug mode	1 Run	0 Stop	0	R/W	
		D0	PRUN	PSC Ch.1-2 run/stop control	1 Run	0 Stop	0	R/W	

D[7:2] Reserved

D1 PRUND: PSC Ch.1-2 Run/Stop in Debug Mode Bit

デバッグモード時のPSC Ch.1とPSC Ch.2の動作を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

PRUNDを1に設定すると、PSC Ch.1とPSC Ch.2はデバッグモード時でも動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でPSC Ch.1とPSC Ch.2は停止します。デバッグ中に以下に示すモジュールを使用する場合は、PRUNDを1に設定してください。

D0 PRUN: PSC Ch.1-2 Run/Stop Control Bit

PSC Ch.1とPSC Ch.2の動作を開始/停止させます。

1(R/W): 動作開始

0(R/W): 停止(デフォルト)

PSC Ch.1とPSC Ch.2を動作させるにはPRUNに1を書き込みます。PRUNに0を書き込むとPSC Ch.1とPSC Ch.2は停止します。消費電流を低減するには、以下に示すモジュールがすでに停止している場合にPSC Ch.1とPSC Ch.2を停止させます。

PSC Ch.1の出力クロックを使用するモジュール

- 16ビットPWMタイマ
- 16ビットオーディオPWMタイマ
- 8ビットプログラマブルタイマCh.0(USI Ch.0用のクロックソース)

PSC Ch.2の出力クロックを使用するモジュール

- 8ビットプログラマブルタイマCh.1(USI Ch.1用のクロックソース)
- 8ビットプログラマブルタイマCh.2(A/D変換器用のトリガソース)
- A/D変換器
- リモートコントローラ
- 入出力ポート

8 クロックジェネレータ (CLG)

8.1 CLGモジュールの概要

S1C17803はファインモード付き16ビットタイマ(CLG_T16FU0)と8ビットタイマ(CLG_T8I)で構成されるクロックジェネレータ(CLG)を内蔵しています。

CLGモジュールの主な機能と特長を以下に示します。

- CLG_T16FU0はUART動作クロック(転送クロックソース)を生成します。
- CLG_T8IはI²Cマスター動作クロック(転送クロック/サンプリングクロックソース)を生成します。
- 任意のシリアル転送レートをプログラムすることができます。
- クロックソースとしてはプリスケアラ(PSC Ch.0)を使用します。

図8.1.1にクロックジェネレータの構成を示します。

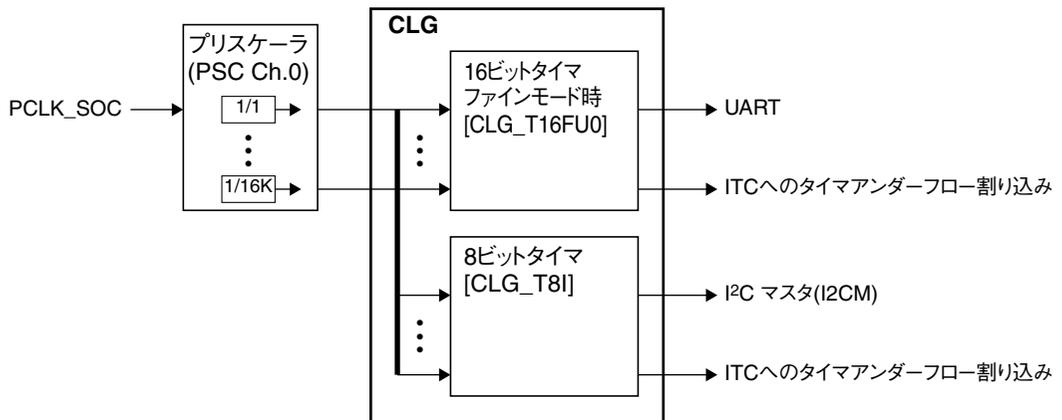


図8.1.1 クロックジェネレータの構成

シリアルインタフェースを使用しない場合は、そのクロック生成用タイマを割り込み機能付きの汎用プログラマブルタイマとして使用することができます。

8.2 ファインモード付き16ビットタイマ (CLG_T16FU0)

8.2.1 CLG_T16FU0の概要

CLGモジュールはファインモード付き16ビットタイマ (CLG_T16FU0) を内蔵しています。CLG_T16FU0の主な機能は以下のとおりです。

- 16ビットプリセットブルダウンカウンタ (プリセット値設定用16ビットリロードデータレジスタ付き)
- 15種類のプリスケアラ (PSC Ch.0) 出力クロックから選択可能なカウントクロック
- カウンタアンダーフロー信号からUART動作クロック (転送クロックソース) を生成
- 割り込みコントローラ (ITC) へのアンダーフロー割り込み信号を生成
- カウントクロックとプリセット値を選択して、任意の時間間隔やシリアル転送レートをプログラム可能
- ファインモードにより転送レート誤差を最小化

図8.2.1.1にCLG_T16FU0の構成を示します。

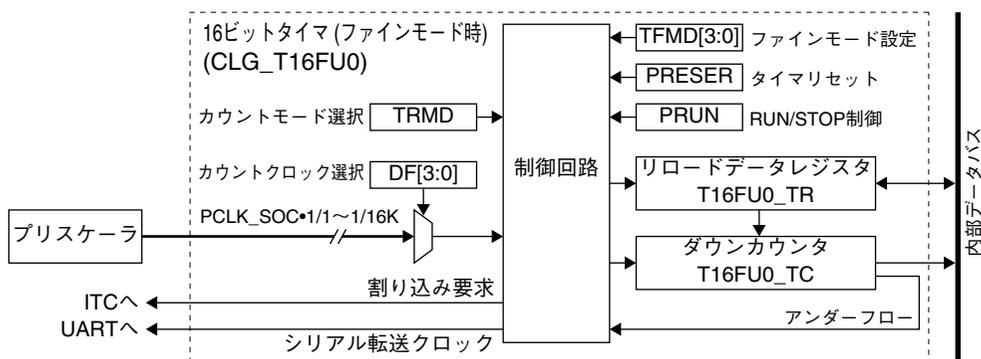


図8.2.1.1 CLG_T16FU0の構成

CLG_T16FU0モジュールは16ビットプリセットブルダウンカウンタとプリセット値を保持する16ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生とUARTクロックの生成に使用されます。アンダーフロー周期はプリスケアラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送レートを得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

8.2.2 カウントクロック

カウントクロックは、DF[3:0]/CLG_T16FU0_CLKレジスタを使用して、PCLK_SOCクロックを1/1 ~ 1/16Kに分周してプリスケアラ (PSC Ch.0) が生成した15種類のクロックから選択することができます。

表8.2.2.1 カウントクロックの選択

DF[3:0]	PSC Ch.0出力クロック	DF[3:0]	PSC Ch.0出力クロック
0xf	Reserved	0x7	PCLK_SOC*1/128
0xe	PCLK_SOC*1/16384	0x6	PCLK_SOC*1/64
0xd	PCLK_SOC*1/8192	0x5	PCLK_SOC*1/32
0xc	PCLK_SOC*1/4096	0x4	PCLK_SOC*1/16
0xb	PCLK_SOC*1/2048	0x3	PCLK_SOC*1/8
0xa	PCLK_SOC*1/1024	0x2	PCLK_SOC*1/4
0x9	PCLK_SOC*1/512	0x1	PCLK_SOC*1/2
0x8	PCLK_SOC*1/256	0x0	PCLK_SOC*1/1

(デフォルト: 0x0)

- 注:
- CLG_T16FU0がカウントを開始する前に、PSC Ch.0を動作させる必要があります。
 - カウントクロックの設定は、カウント停止中に行ってください。

PSC Ch.0の制御については、“プリスケアラ (PSC)”の章を参照してください。

8.2.3 カウントモード

CLG_T16FU0はリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/CLG_T16FU0_CTLレジスタで行います。

リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、CLG_T16FU0はリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、CLG_T16FU0をこのモードに設定してください。

ワンショットモード (TRMD = 1)

TRMDを1に設定すると、CLG_T16FU0はワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、CLG_T16FU0をこのモードに設定してください。

注: カウントモードの設定は、カウント停止中に行ってください。

8.2.4 リロードレジスタとアンダーフロー周期

リロードデータレジスタ (CLG_T16FU0_TR) は、ダウンカウンタに初期値をセットするために使用します。リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値 (初期値) からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで (またはアンダーフロー間) の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

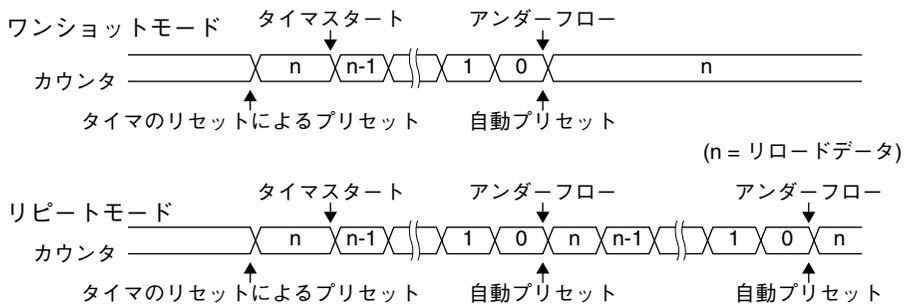


図8.2.4.1 プリセットのタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{\text{TR} + 1}{\text{clk_in}} [\text{s}] \quad \text{アンダーフローサイクル} = \frac{\text{clk_in}}{\text{TR} + 1} [\text{Hz}]$$

clk_in: カウントクロック (PSC Ch.0出力クロック) 周波数 [Hz]

TR: リロードデータ (0~65535)

注: UARTはCLG_T16FU0の出力を1/16に分周してサンプリングクロックを生成します。転送レートを設定するときは注意してください。

8.2.5 タイマのリセット

PRESE/CLG_T16FU0_CTLレジスタに1を書き込むとCLG_T16FU0はリセットされます。リロードデータがプリセットされ、カウンタが初期化されます。

8.2.6 制御の実行/停止

CLG_T16FU0を起動する前に以下の設定を行ってください。

- (1) カウントクロック (PSC Ch.0出力クロック)を選択します。8.2.2.節を参照してください。
- (2) カウントモード (ワンショットまたはリピート)を設定します。8.2.3.節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。8.2.4.節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。8.2.5.節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。8.2.9.節を参照してください。

CLG_T16FU0を起動するには、PRUN/CLG_T16FU0_CTLレジスタに1を書き込みます。

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ (ITC)に送られます。

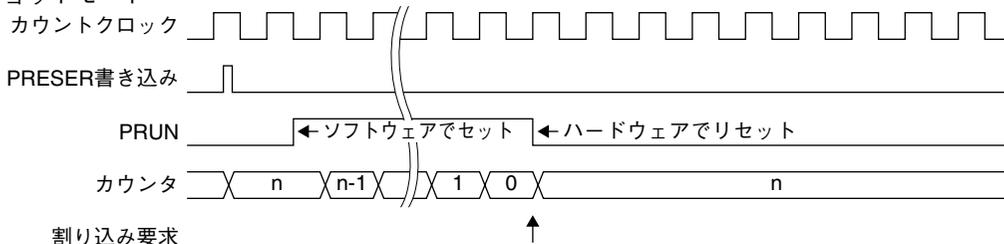
ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを続けます。

アプリケーションプログラムからCLG_T16FU0_CTLを停止させるにはPRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

動作中にタイマをリセットすると、タイマはリロードレジスタ値をロードしてカウントを続けます。

ワンショットモード



リピートモード

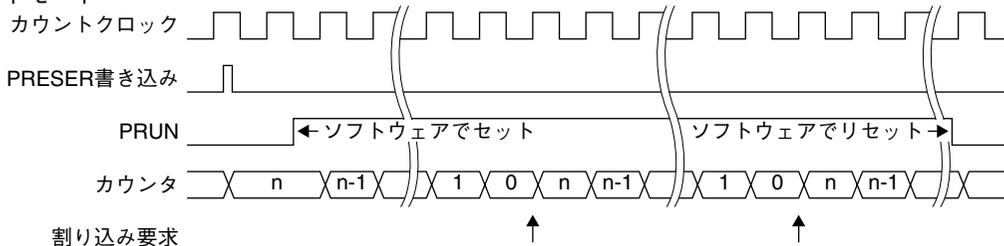


表8.2.6.1 カウント動作

8.2.7 CLG_T16FU0出力信号

CLG_T16FU0はカウンタがアンダーフローしたときアンダーフローパルスを出力します。

このパルスは、タイマ割り込み要求に使用されます。

また、UART用のシリアル転送クロックの生成にも使用されます。

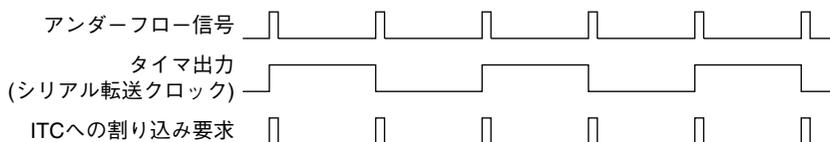


図8.2.7.1 タイマ出力クロック

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{bps} = \frac{\text{clk_in}}{\{(TR + 1) \times 16 + \text{TFMD}\}}$$

$$TR = \left(\frac{\text{clk_in}}{\text{bps}} - \text{TFMD} - 16 \right) \div 16$$

clk_in: カウントクロック (PSC Ch.0出力クロック) 周波数[Hz]

TR: リロードデータ (0~65535)

bps: 転送レート (bit/s)

TFMD: ファインモード設定 (0 ~ 15)

8.2.8 ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

CLG_T16FU0はUARTシリアル転送クロックとして使用するプログラム可能なクロック信号を出力することができます。タイマ出力クロックは、適切なPSC Ch.0出力クロックとリロードデータを選択することにより必要な周波数に設定できます。ただし、転送レートによっては誤差を生じます。ファインモードは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はTFMD[3:0]/CLG_T16FU0_CTLレジスタで指定できます。

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定は割り込みのタイミングも同様に遅延させます。

表8.2.8.1 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

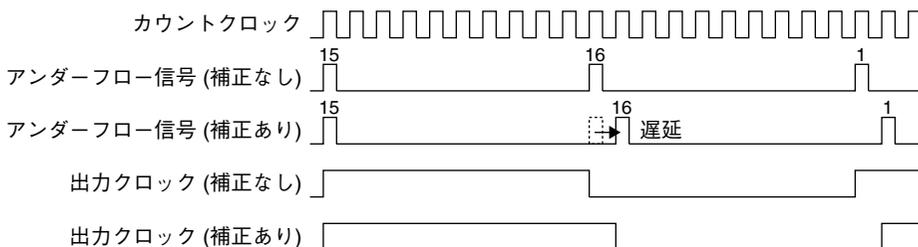


図8.2.8.1 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、TFMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

8.2.9 CLG_T16FU0割り込み

CLG_T16FU0は、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

タイマアンダーフロー割り込み

カウンタがアンダーフローすると、割り込みフラグT16FU0IF/CLG_T16FU0_INTレジスタが1にセットされます。同時に、T16FU0IE/CLG_T16FU0_INTレジスタが1にセットされている場合(割り込み許可)、割り込み要求がITCに送られます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T16FU0IEが0(割り込み禁止、デフォルト)に設定されていると、割り込み要求はITCに送られません。割り込み処理についての詳細は、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- CLG_T16FU0割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CLG_T16FU0の割り込みフラグT16FU0IFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、T16FU0IEによってCLG_T16FU0割り込みを許可する前に、T16FU0IFをリセットしてください。1を書き込むことによりT16FU0IFはリセットされます。

8.2.10 制御レジスタ詳細

表8.2.10.1 CLG_T16FU0レジスタ一覧

アドレス	レジスタ名		機能
0x4200	CLG_T16FU0_CLK	CLG_T16FU0 Input Clock Select Register	プリスケアラ出カクロックの選択
0x4202	CLG_T16FU0_TR	CLG_T16FU0 Reload Data Register	リロードデータの設定
0x4204	CLG_T16FU0_TC	CLG_T16FU0 Counter Data Register	カウンタデータ
0x4206	CLG_T16FU0_CTL	CLG_T16FU0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4208	CLG_T16FU0_INT	CLG_T16FU0 Interrupt Control Register	割り込みの制御

以下、CLG_T16FU0のレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

CLG_T16FU0 Input Clock Select Register (CLG_T16FU0_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
CLG_T16FU0 Input Clock Select Register (CLG_T16FU0_CLK)	0x4200 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.	
		D3-0	DF[3:0]	CLG_T16FU0 input clock select (PSC Ch.0 output clock)	DF[3:0] Clock	0x0	R/W		
					0xf	reserved			
					0xe	PCLK_SOC*1/16384			
					0xd	PCLK_SOC*1/8192			
					0xc	PCLK_SOC*1/4096			
					0xb	PCLK_SOC*1/2048			
					0xa	PCLK_SOC*1/1024			
					0x9	PCLK_SOC*1/512			
					0x8	PCLK_SOC*1/256			
					0x7	PCLK_SOC*1/128			
					0x6	PCLK_SOC*1/64			
					0x5	PCLK_SOC*1/32			
					0x4	PCLK_SOC*1/16			
					0x3	PCLK_SOC*1/8			
					0x2	PCLK_SOC*1/4			
					0x1	PCLK_SOC*1/2			
			0x0	PCLK_SOC*1/1					

D[15:4] Reserved

D[3:0] DF[3:0]: CLG_T16FU0 Input Clock Select Bits

15種類のプリスケアラ出力クロックからCLG_T16FU0カウントクロックを選択します。

表8.2.10.2 カウントクロックの選択

DF[3:0]	プリスケアラ出カクロック	DF[3:0]	プリスケアラ出カクロック
0xf	Reserved	0x7	PCLK_SOC*1/128
0xe	PCLK_SOC*1/16384	0x6	PCLK_SOC*1/64
0xd	PCLK_SOC*1/8192	0x5	PCLK_SOC*1/32
0xc	PCLK_SOC*1/4096	0x4	PCLK_SOC*1/16
0xb	PCLK_SOC*1/2048	0x3	PCLK_SOC*1/8
0xa	PCLK_SOC*1/1024	0x2	PCLK_SOC*1/4
0x9	PCLK_SOC*1/512	0x1	PCLK_SOC*1/2
0x8	PCLK_SOC*1/256	0x0	PCLK_SOC*1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、カウント停止中に行ってください。

CLG_T16FU0 Reload Data Register (CLG_T16FU0_TR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16FU0 Reload Data Register (CLG_T16FU0_TR)	0x4202 (16 bits)	D15-0	TR[15:0]	CLG_T16FU0 reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] TR[15:0]: CLG_T16FU0 Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

CLG_T16FU0 Counter Data Register (CLG_T16FU0_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16FU0 Counter Data Register (CLG_T16FU0_TC)	0x4204 (16 bits)	D15-0	TC[15:0]	CLG_T16FU0 counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

D[15:0] TC[15:0]: CLG_T16FU0 Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0xffff)

このレジスタは読み出し専用のため、データの書き込みはできません。

CLG_T16FU0 Control Register (CLG_T16FU0_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16FU0 Control Register (CLG_T16FU0_CTL)	0x4206 (16 bits)	D15-12	-	reserved	-	-	-	0 when being read.
		D11-8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7-5	-	reserved	-	-	-	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3-2	-	reserved	-	-	-	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
D0	PRUN	Timer run/stop control	1 RUN 0 Stop	0	R/W			

D[15:12] Reserved

D[11:8] TFMD[3:0]: Fine Mode Setup Bits

転送レートの誤差を補正します。(デフォルト: 0x0)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定は割り込みのタイミングも同様に遅延させます。

表8.2.10.3 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

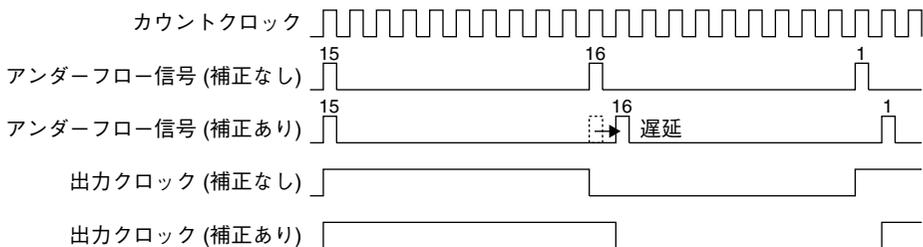


図8.2.10.1 ファインモードでの遅延サイクルの挿入

D[7:5] Reserved

D4 TRMD: Count Mode Select Bit

CLG_T16FU0カウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、CLG_T16FU0はリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、CLG_T16FU0をこのモードに設定してください。

TRMDを1に設定すると、CLG_T16FU0はワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、CLG_T16FU0をこのモードに設定してください。

注: カウントモードの設定は、カウント停止中に行ってください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

CLG_T16FU0をリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータ値がカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

CLG_T16FU0 Interrupt Control Register (CLG_T16FU0_INT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
CLG_T16FU0 Interrupt Control Register (CLG_T16FU0_ INT)	0x4208 (16 bits)	D15-9	–	reserved	–		–	–	0 when being read.
		D8	T16FU0IE	CLG_T16FU0 interrupt enable	1 Enable	0 Disable	0	R/W	
		D7-1	–	reserved	–		–	–	0 when being read.
		D0	T16FU0IF	CLG_T16FU0 interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[15:9] Reserved**D8 T16FU0IE: CLG_T16FU0 Interrupt Enable Bit**

カウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T16FU0IEを1に設定するとITCへのCLG_T16FU0割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved**D0 T16FU0IF: CLG_T16FU0 Interrupt Flag Bit**

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T16FU0IFはCLG_T16FU0割り込みフラグで、カウント中にカウンタがアンダーフローすると1にセットされます。

1を書き込むことによりT16FU0IFはリセットされます。

8.3 8ビットタイマ (CLG_T8I)**8.3.1 CLG_T8Iの概要**

CLGモジュールには8ビットタイマ(CLG_T8I)が内蔵されています。

CLG_T8Iの主な機能は以下のとおりです。

- 8ビットプリセッタブルダウンカウンタ(プリセット値設定用8ビットリロードデータレジスタ付き)
- 15種類のプリスケアラ(PSC Ch.0)出力クロックからカウンタクロックを選択可能
- カウンタアンダーフロー信号からPCマスター動作クロックを生成
- 割り込みコントローラ(ITC)へのアンダーフロー割り込み信号を生成
- カウントクロックとプリセット値を選択して、任意の時間間隔やシリアル転送レートをプログラム可能

図8.3.1.1にCLG_T8Iの構成を示します。

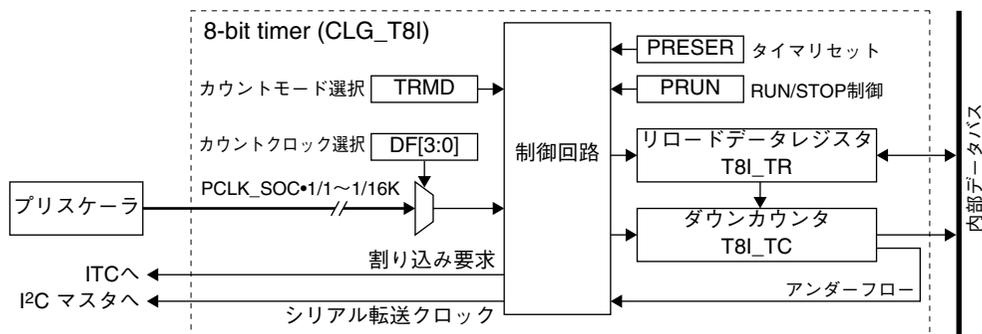


図8.3.1.1 CLG_T8Iの構成

CLG_T8Iは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生とI2Cマスタークロックの生成に使用されます。アンダーフロー周期はプリスケラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送レートを得ることができます。

8.3.2 カウントクロック

カウントクロックは、DF[3:0]/CLG_T8I_CLKレジスタを使用して、PCLK_SOCクロックを1/1 ~ 1/16Kに分周してプリスケラ(PSC Ch.0)が生成した15種類のクロックから選択することができます。

表8.3.2.1 カウントクロックの選択

DF[3:0]	PSC Ch.0出力クロック	DF[3:0]	PSC Ch.0出力クロック
0xf	Reserved	0x7	PCLK_SOC*1/128
0xe	PCLK_SOC*1/16384	0x6	PCLK_SOC*1/64
0xd	PCLK_SOC*1/8192	0x5	PCLK_SOC*1/32
0xc	PCLK_SOC*1/4096	0x4	PCLK_SOC*1/16
0xb	PCLK_SOC*1/2048	0x3	PCLK_SOC*1/8
0xa	PCLK_SOC*1/1024	0x2	PCLK_SOC*1/4
0x9	PCLK_SOC*1/512	0x1	PCLK_SOC*1/2
0x8	PCLK_SOC*1/256	0x0	PCLK_SOC*1/1

(デフォルト: 0x0)

注: • CLG_T8Iがカウントを開始する前に、PSC Ch.0を動作させる必要があります。

- カウントクロックの設定は、カウント停止中に行ってください。

PSC Ch.0の制御については、“プリスケラ(PSC)”の章を参照してください。

8.3.3 カウントモード

CLG_T8Iはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/CLG_T8I_CTLレジスタで行います。

リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、CLG_T8Iはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、CLG_T8Iをこのモードに設定してください。

ワンショットモード (TRMD = 1)

TRMDを1に設定すると、CLG_T8Iはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、

タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、CLG_T8Iをこのモードに設定してください。

注: カウントモードの設定は、カウント停止中に行ってください。

8.3.4 リロードレジスタとアンダーフロー周期

リロードデータレジスタ(CLG_T8I_TR)は、ダウンカウンタに初期値をセットするために使用します。リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。



アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{\text{clk_in}} [\text{s}] \quad \text{アンダーフローサイクル} = \frac{\text{clk_in}}{TR + 1} [\text{Hz}]$$

clk_in: カウントクロック (PSC Ch.0出力クロック)周波数[Hz]
TR: リロードデータ(0~255)

8.3.5 タイマのリセット

PRESER/CLG_T8I_CTLレジスタに1を書き込むとCLG_T8Iはリセットされます。リロードデータがプリセットされ、カウンタが初期化されます。

8.3.6 制御の実行/停止

CLG_T8Iを起動する前に以下の設定を行ってください。

- (1) カウントクロック (PSC Ch.0出力クロック)を選択します。8.3.2節を参照してください。
- (2) カウントモード(ワンショットまたはリピート)を設定します。8.3.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。8.3.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。8.3.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。8.3.8節を参照してください。

CLG_T8Iを起動するには、PRUN/CLG_T8I_CTLレジスタに1を書き込みます。

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

8 クロックジェネレータ (CLG)

アプリケーションプログラムからCLG_T8I_CTLを停止させるにはPRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。動作中にタイマをリセットすると、タイマはリロードレジスタ値をロードしてカウントを継続します。

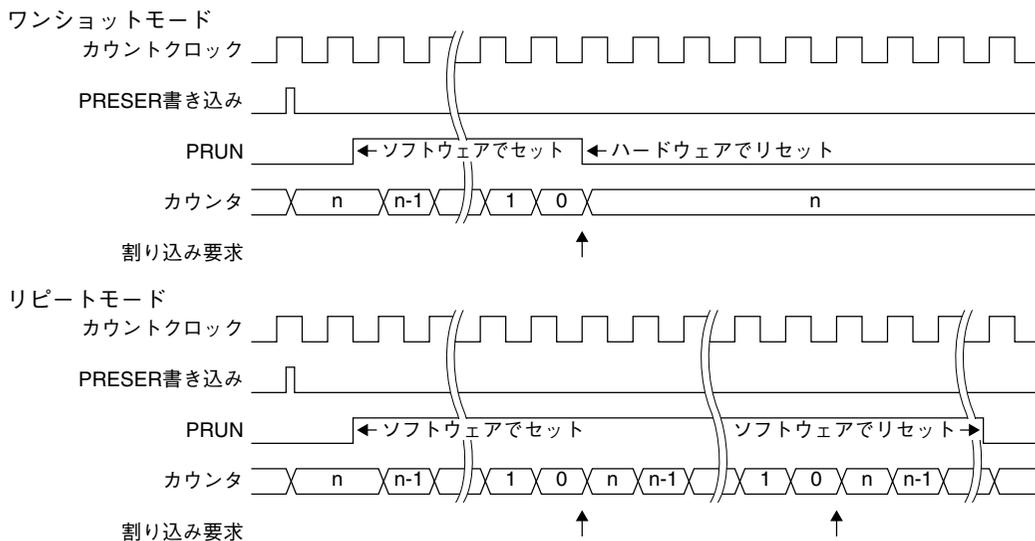


図8.3.6.1 カウント動作

8.3.7 CLG_T8I出力信号

CLG_T8Iはカウンタがアンダーフローしたときアンダーフローパルスを出力します。

このパルスは、タイマ割り込み要求に使用されます。

これらのパルスはまたPCマスター/スレーブ用のシリアル転送レートクロック/サンプリングクロックを生成するのにも使用されます。

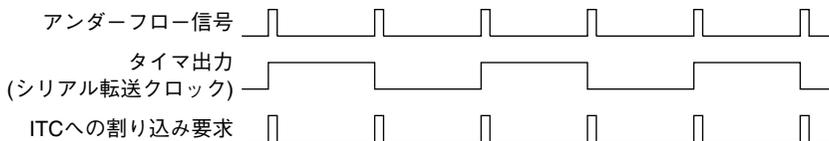


図8.3.7.1 タイマ出力クロック

任意の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$TR = \frac{\text{clk_in}}{\text{bps} \times 4} - 1$$

clk_in: カウントクロック (PSC Ch.0出力クロック) 周波数[Hz]

TR: リロードデータ (0~255)

bps: 転送レート (bit/s)

8.3.8 CLG_T8I割り込み

CLG_T8Iは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ (ITC) に出力します。

タイマアンダーフロー割り込み

カウンタがアンダーフローすると、割り込みフラグT8IIF/CLG_T8I_INTレジスタが1にセットされます。同時に、T8IIE/CLG_T8I_INTレジスタが1にセットされている場合 (割り込み許可)、割り込み要求がITCに送られます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。T8IIEが0 (割り込み禁止、デフォルト) に設定されていると、割り込み要求はITCに送られません。割り込み処理についての詳細は、“割り込みコントローラ (ITC)”の章を参照してください。

- 注: • CLG_T8I割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CLG_T8Iの割り込みフラグT8IIFをリセットする必要があります。
- 不要な割り込みの発生を防止するため、T8IIEによってCLG_T8I割り込みを許可する前に、T8IIFをリセットしてください。T8IIFは1を書き込むことでリセットされます。

8.3.9 制御レジスタ詳細

表8.3.9.1 CLG_T8Iレジスタ一覧

アドレス	レジスタ名		機能
0x4260	CLG_T8I_CLK	CLG_T8I Input Clock Select Register	プリスケアラ出力クロックの選択
0x4262	CLG_T8I_TR	CLG_T8I Reload Data Register	リロードデータの設定
0x4264	CLG_T8I_TC	CLG_T8I Counter Data Register	カウンタデータ
0x4266	CLG_T8I_CTL	CLG_T8I Control Register	タイマモードの設定とタイマのRUN/STOP
0x4268	CLG_T8I_INT	CLG_T8I Interrupt Control Register	割り込みの制御

以下、CLG_T8Iのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

CLG_T8I Input Clock Select Register (CLG_T8I_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
CLG_T8I Input Clock Select Register (CLG_T8I_CLK)	0x4260 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.	
		D3-0	DF[3:0]	CLG_T8I input clock select (PSC Ch.0 output clock)	DF[3:0] Clock	0x0	R/W		
					0xf reserved				
					0xe PCLK_SOC*1/16384				
					0xd PCLK_SOC*1/8192				
					0xc PCLK_SOC*1/4096				
					0xb PCLK_SOC*1/2048				
					0xa PCLK_SOC*1/1024				
					0x9 PCLK_SOC*1/512				
					0x8 PCLK_SOC*1/256				
					0x7 PCLK_SOC*1/128				
					0x6 PCLK_SOC*1/64				
					0x5 PCLK_SOC*1/32				
					0x4 PCLK_SOC*1/16				
					0x3 PCLK_SOC*1/8				
					0x2 PCLK_SOC*1/4				
					0x1 PCLK_SOC*1/2				
			0x0 PCLK_SOC*1/1						

D[15:4] Reserved

D[3:0] DF[3:0]: CLG_T8I Input Clock Select Bits

15種類のプリスケアラ出力クロックからCLG_T8Iカウントクロックを選択します。

表8.3.9.2 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK_SOC*1/128
0xe	PCLK_SOC*1/16384	0x6	PCLK_SOC*1/64
0xd	PCLK_SOC*1/8192	0x5	PCLK_SOC*1/32
0xc	PCLK_SOC*1/4096	0x4	PCLK_SOC*1/16
0xb	PCLK_SOC*1/2048	0x3	PCLK_SOC*1/8
0xa	PCLK_SOC*1/1024	0x2	PCLK_SOC*1/4
0x9	PCLK_SOC*1/512	0x1	PCLK_SOC*1/2
0x8	PCLK_SOC*1/256	0x0	PCLK_SOC*1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、カウント停止中に行ってください。

CLG_T8I Reload Data Register (CLG_T8I_TR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8I Reload Data Register (CLG_T8I_TR)	0x4262 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	TR[7:0]	CLG_T8I reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] TR[7:0]: CLG_T8I Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

CLG_T8I Counter Data Register (CLG_T8I_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8I Counter Data Register (CLG_T8I_TC)	0x4264 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	TC[7:0]	CLG_T8I counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	

D[15:8] Reserved

D[7:0] TC[7:0]: CLG_T8I Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0xff)

このレジスタは読み出し専用のため、データの書き込みはできません。

CLG_T8I Control Register (CLG_T8I_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
CLG_T8I Control Register (CLG_T8I_CTL)	0x4266 (16 bits)	D15-5	—	reserved	—	—	—	0 when being read.	
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W		
		D3-2	—	reserved	—	—	—	—	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W		
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W		

D[15:5] Reserved

D4 TRMD: Count Mode Select Bit

CLG_T8Iカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、CLG_T8Iはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、CLG_T8Iをこのモードに設定してください。

TRMDを1に設定すると、CLG_T8Iはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、CLG_T8Iをこのモードに設定してください。

注: カウントモードの設定は、カウント停止中に行ってください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

CLG_T8Iをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータ値がカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

CLG_T8I Interrupt Control Register (CLG_T8I_INT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8I Interrupt Control Register (CLG_T8I_INT)	0x4268 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.
		D8	T8IIE	CLG_T8I interrupt enable	1 Enable 0 Disable	0	R/W	
		D7-1	–	reserved	–	–	–	0 when being read.
		D0	T8IIF	CLG_T8I interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[15:9] Reserved**D8 T8IIE: CLG_T8I Interrupt Enable Bit**

カウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T8IIEを1に設定するとITCへのCLG_T8I割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved**D0 T8IIF: CLG_T8I Interrupt Flag Bit**

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T8IIFはCLG_T8I割り込みフラグで、カウント中にカウンタがアンダーフローすると1にセットされます。

T8IIFは1を書き込むことでリセットされます。

9 リアルタイムクロック(RTC)

9.1 RTCモジュールの概要

S1C17803は万年カレンダー付きのリアルタイムクロック(RTC)と、その動作クロックを生成するOSC1発振回路を内蔵しています。

RTCとOSC1発振回路はSLEEPモードでも動作します。また、RTCはCPUに対して周期的に割り込みを発生することができます。

主な特長を以下に示します。

- 時刻(秒、分、時)カウンタおよびカレンダー(日、曜日、月、年)カウンタ内蔵
- カウンタはすべてBCDデータで読み出し/書き込み可能
- 計時のスタート/ストップ制御が可能
- ソフトウェアによる30秒補正機能
- 周期的な割り込みが可能
- 1/64秒、1秒、1分、1時間周期を選択可能(レベルトリガモード)
- 独立電源により、システムパワーオフ時も動作(スタンバイモード)
- 32.768kHz(Typ.)の動作クロックを生成するOSC1発振回路(水晶発振または外部クロック入力)を内蔵 (“クロックマネージメントユニット(CMU)”の章を参照)
- システム電源の制御に使用可能な#STBYとWAKEUP端子

図9.1.1にRTCのブロック図を示します。

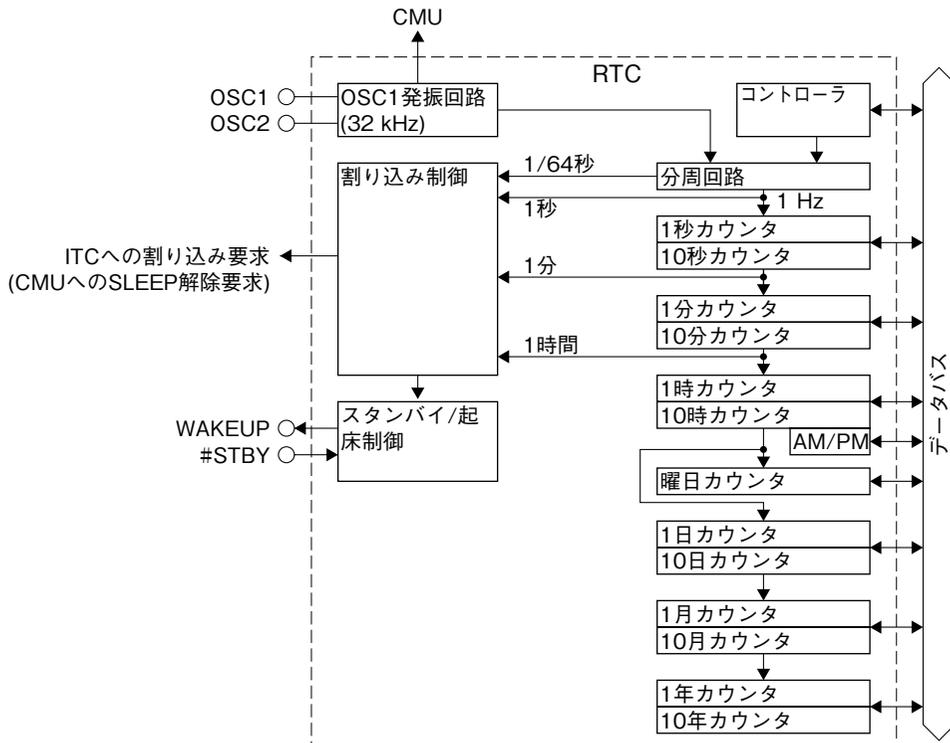


図9.1.1 RTCブロック図

9.2 RTCカウンタ

RTCは以下に示す13個のカウンタを内蔵しており、カウント値をそれぞれのレジスタからBCDデータとして読み出すことができます。また、データを書き込むことで、任意の日付と時刻に設定可能です。

1秒カウンタ

1秒桁の4ビットBCDカウンタです。32.768kHzのOSC1クロックをより低い周波数に分周することによって得られる1秒信号で0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。カウントデータはRTCSL[3:0]/RTC_SECレジスタを使用して読み出し/書き込みを行います。

10秒カウンタ

10秒桁の3ビットBCDカウンタです。1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。カウントデータはRTCSH[2:0]/RTC_SECレジスタを使用して読み出し/書き込みを行います。

1分カウンタ

1分桁の4ビットBCDカウンタです。10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。カウントデータはRTCMIL[3:0]/RTC_MINレジスタを使用して読み出し/書き込みを行います。

10分カウンタ

10分桁の3ビットBCDカウンタです。1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。カウントデータはRTCMIH[2:0]/RTC_MINレジスタを使用して読み出し/書き込みを行います。

1時カウンタ

1時桁の4ビットBCDカウンタです。10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。24時の時点でリセットされます。カウントデータはRTCHL[3:0]/RTC_HOURレジスタを使用して読み出し/書き込みを行います。

10時カウンタ

10時桁の2ビットBCDカウンタです。1時カウンタからのキャリーにより0から2までカウントします。24時の時点でリセットされ、1日カウンタにキャリーを出力します。カウントデータはRTCHH[1:0]/RTC_HOURレジスタを使用して読み出し/書き込みを行います。

1日カウンタ

1日桁の4ビットBCDカウンタです。1時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。カウントデータはRTCDL[3:0]/RTC_DAYレジスタを使用して読み出し/書き込みを行います。

10日カウンタ

10日桁の2ビットBCDカウンタです。1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。カウントデータはRTCDH[1:0]/RTC_DAYレジスタを使用して読み出し/書き込みを行います。

1月カウンタ

1月桁の4ビットBCDカウンタです。1日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。カウントデータはRTCMOL[3:0]/RTC_MONTHレジスタを使用して読み出し/書き込みを行います。

10月カウンタ

10月桁のビットで、1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。カウントデータはRTC-MOH/RTC_MONTHレジスタを使用して読み出し/書き込みを行います。

1年カウンタ

1年桁の4ビットBCDカウンタです。1月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。カウントデータはRTCYL[3:0]/RTC_YEARレジスタを使用して読み出し/書き込みを行います。

10年カウンタ

10年桁の4ビットBCDカウンタです。1年カウンタからのキャリーにより0から9までカウントします。カウントデータはRTCYH[3:0]/RTC_YEARレジスタを使用して読み出し/書き込みを行います。

曜日カウンタ

曜日を表すための7進カウンタ(0から6までカウント)です。1日カウンタと同じクロックでカウントアップします。カウントデータはRTCWK[2:0]/RTC_WEEKレジスタを使用して読み出し/書き込みを行います。

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表9.2.1に示します。

表9.2.1 曜日カウンタ値と曜日との対応

RTCWK[2:0]	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

(デフォルト: 不定)

カウンタの初期値

イニシャルリセット時、カウンタの値は初期化されません。電源投入後は不定となります。“9.3.2 RTCのイニシャルシーケンス”に示す手順でカウンタを初期設定してください。

うるう年検出について

本RTCのうるう年検出は西暦専用で、2399年までは自動判別します。

0～99の中の4で割り切れる年はうるう年と判定します。1年カウンタと10年カウンタが共に0の場合は平年と判定します。

9.3 RTCの制御

9.3.1 動作クロックの制御

カウンタクロック

RTCは32.768kHz(Typ.)のOSC1クロックで動作します。OSC1クロックはOSC1発振回路から常に(HALT/SLEEPモード時も)出力されます。

レジスタクロック

RTCの制御レジスタへのアクセスにはPCLK2クロックを使用します。レジスタ設定時はこのクロックが必要です。レジスタの設定後は、CMUを設定することでクロック供給を停止させることができます。

RTCモジュールアクセス用ウェイトサイクルの設定

システムが高速クロックで動作中の場合でも、RTCレジスタに正しくアクセスするために、SRAMはRTCアクセスサイクルにウェイトを挿入することができます。ウェイトサイクルとして挿入するシステムクロックサイクル数は、RTC_WAIT[2:0]/RTC_WAITレジスタで指定することができます。

表9.3.1.1 RTCアクセス時のウェイトサイクル数

RTCWT[2:0]	ウェイトサイクル数
0x7	7サイクル
0x6	6サイクル
0x5	5サイクル
0x4	4サイクル
0x3	3サイクル
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル(設定できません)

(デフォルト: 0x7)

S1C17803は、RTC_WAIT[2:0] ≥ 1で動作可能になります。

9.3.2 RTCのイニシャルシーケンス

電源投入直後はRTCレジスタの内容が不定になります。電源投入時は以下の手順でRTCによる計時を開始してください。各制御内容の詳細については、続く節で個々に説明します。

1. 電源投入
2. システムの初期化処理とOSC1発振安定待ち
OSC1発振回路は電源投入直後に発振を開始しますが、出力クロックの安定に最大で3秒の時間が必要です。
3. ソフトウェアリセット
RTCST/RTC_CNTL0レジスタに1を書き込み、次に0を書き込んでRTCをリセットします。
4. RTCのアクセス可能状態の確認
詳細は、“9.3.5 カウンタのホールドとビジーフラグ”を参照してください。
5. 分周回路の停止
RTCSTP/RTC_CNTL0レジスタに1を書き込んでRTCモジュールの分周回路を停止します。
6. RTC割り込みの設定
RTC_INTMODEレジスタを設定します。
RTCIMDを必ず1(レベル検出)に設定してください。

7. 日付と時刻を設定

RTC_SEC、RTC_MIN、RTC_HOUR、RTC_DAY、RTC_MONTH、RTC_YEAR、およびRTC_WEEKレジスタを設定します。次にRTCHLD/RTC_CNTL1レジスタに0を書き込んで、1秒、10秒、1分、10分、1時、10時、1日、10日、1月、10月、1年、10年、および曜日の各カウンタのホールド状態を解除します。RTC24H/RTC_CNTL0レジスタを必ず1に設定してください。

8. 分周回路の開始

RTCSTP/RTC_CNTL0レジスタに0を書き込んでRTCモジュールの分周回路を起動します。

9.3.3 カウンタの設定

カウンタが停止中はどのカウンタについても、任意のタイミングでデータの読み出し/書き込みが可能です。

ただし、以下のような設定は計時ミスの原因になりますので避けてください。

- 有効範囲を超える設定
60秒、60分、12時間または24時間、31日、12月、99年を超える設定は行わないでください。
- カレンダーに存在しない設定
4月31日、06年2月29日など、存在しない日付は設定しないでください。ただし、このような設定を行った場合でも、時カウンタから1日カウンタへのキャリーが発生すると、翌月の1日になります(4月31日の場合は5月1日、06年2月29日の場合は06年3月1日)。

カウンタが動作中に内容を書き換えるには、正しく書き換えるための手順があります。その詳細については、“9.3.5 カウンタのホールドとビジーフラグ”を参照してください。

9.3.4 開始/停止およびソフトウェアリセット

分周回路の開始と停止

RTCはRTCSTP/RTC_CNTL0レジスタを0に設定するとカウントを開始し、1に設定すると停止します。RTCSTP への書き込みで開始/停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周(16,384Hz)までは停止しません。

カウンタの桁上げ中に停止すると、カウンタの値が壊れてしまうことがありますので、次節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

ソフトウェアリセット

RTCRST/RTC_CNTL0レジスタは、以下に示す項目をリセットするビットです。

- 分周回路(32kHz～2Hzビット)
- 割り込み要求信号
- WAKEUP信号
- 特定のレジスタビット(制御ビットとその初期値については、9.6を参照)

ソフトウェアリセットを実行するには、RTCRSTに1を書き込んでから、次に0に戻します。

ソフトウェアリセットで初期化されたレジスタは、リセット状態が解除された後、再プログラミングする必要があります。

上記の分周回路ビットは0にクリアされます。上記の出力信号は、RTCRSTが1に設定されている間は無効になり、RTCRSTが0に設定された後、再び有効になって出力されます。

9.3.5 カウンタのホールドとビジーフラグ

カウンタの読み出し中にカウンタの桁上げが発生すると、正しいカウンタ値が読み出せないことがあります。また、書き込みや停止の操作でカウンタ値が壊れることもあります。そこで、カウンタが桁上げ状態(ビジー)ではないことを確認してからデータの読み出しや書き込みを行います。このために2つの制御ビットRTCBSY/RTC_CNTL1レジスタとRTCHLD/RTC_CNTL1レジスタが設けられています。

RTCBSYはカウンタが桁上げ中であることを示す、読み出し専用のフラグです。RTCBSYは桁上げ中に1、それ以外は0となります。RTCBSYが0であることを確認してカウンタにアクセスすることで、正しい値の読み出しと設定が行えます。

RTCHLDに1を書き込むと、カウンタの動作は一時停止します。ただし、RTCBSYが1に設定されている場合、RTCHLDに1を書き込んでも無視されます。

RTCBSY = 0 (RTCがアクセス可能状態)

RTCHLDに1を書き込み後、RTCBSYの読み出し値が0だった場合、桁上げ中ではありません。この状態で、データの読み出しまたは書き込みを行います。

RTCHLDに1を書き込んだ後、カウンタは動作を停止します。RTCBSYは0に固定され、桁上げは行われません。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアで禁止されます。分周回路(1秒未満のカウンタ)の動作は継続します。

カウンタレジスタに対してデータの読み出しまたは書き込みを行います。

データの読み出し/書き込み後は、RTCHLDを0に戻します。

ホールド状態のカウンタに対するデータの読み出し/書き込み中に桁上げのタイミングとなった場合は、RTCHLDを0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げでの補正は行われません。この場合、計時データが狂うことになりますので、必要な読み出し/書き込みの終了後は、速やかにRTCHLDを0に戻してください。

RTCBSY = 1 (RTCがビジー状態)

RTCHLDに1を書き込み後、RTCBSYの読み出し値が1だった場合、現在は桁上げ中です。

この場合、RTCHLDに1を書き込んでも無視され、RTCHLDは0に保持されます。

カウンタの桁上げの期間は1秒あたり4msです。この場合、[A] RTCHLDに1を書き込んでRTCBSYのチェックを繰り返すか、[B]4ms待機してからRTCHLDに1を書き込んでRTCBSYをチェックします。

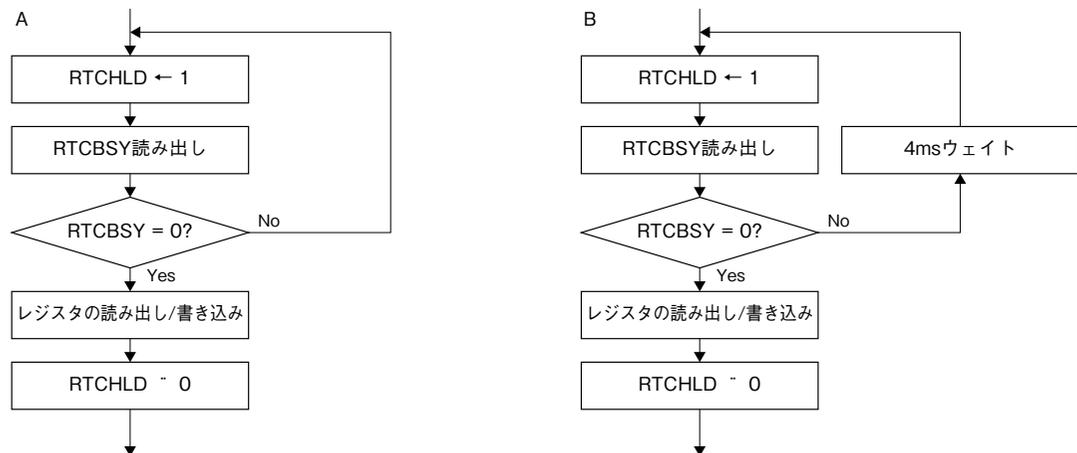


図9.3.5.1 RTCビジーの確認手順

9.3.6 30秒補正

30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、秒数を0にします。秒数が0～29秒の場合は分数はそのまま秒数を0にします。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できます。

この機能はRTCADJ/RTC_CNTL0レジスタに1を書き込むことで実行できます。

RTCADJに1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合は、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合は、キャリーを発生しません。

RTCADJは1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。30秒補正処理が完了したかどうかをチェックするには、[A]RTCADJのチェックを繰り返すか、[B]4ms待機してからRTCADJをチェックします。

RTCADJが1の間はカウンタへのアクセスは禁止します。また、RTCADJへの0書き込みとRTRCSTへの1の書き込みも誤動作の原因になるため禁止します。

RTCBSYが1のときにRTCADJに1を書き込むと、カウンタ値が壊れるおそれがあります。RTCBSYが0に設定されていることを確認してからRTCADJに1を書き込んでください。

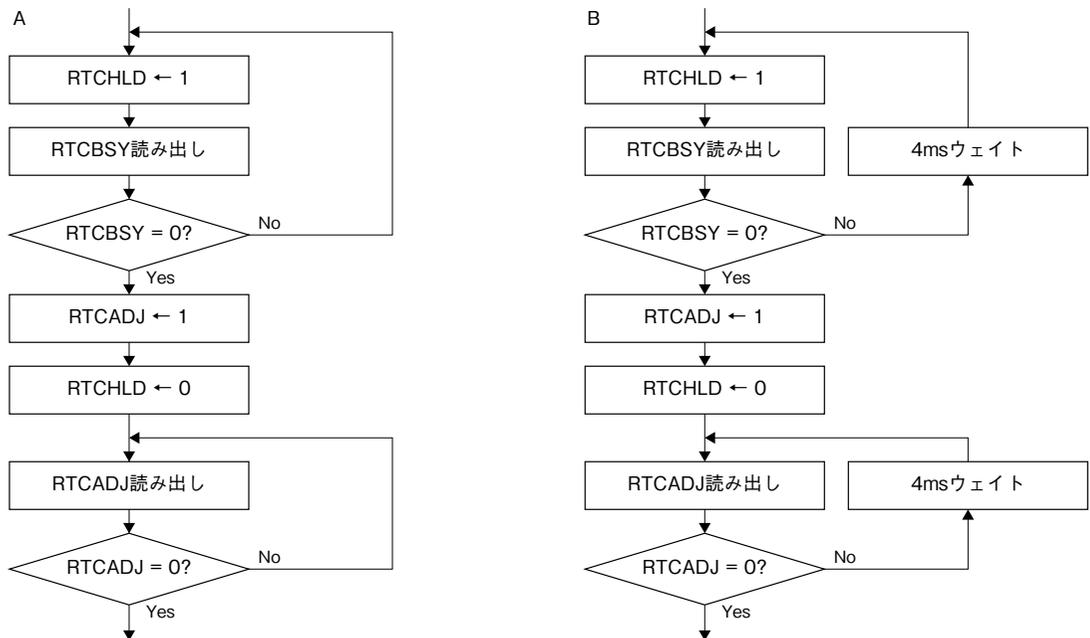


図9.3.6.1 30秒補正の実行手順

9.4 RTC割り込み

RTCは、一定周期で割り込みを発生する機能を持っています。

RTCはスタンバイモード時にも動作するため、SLEEPモードの解除にも使用可能です。

ここでは、RTC内の割り込み制御機能を説明します。CPUに対して割り込みを発生させるにはITCの設定も必要です。ITCの制御については、“割り込みコントローラ(ITC)”の章を参照してください。また、割り込みによるSLEEPモードの解除については、“クロックマネージメントユニット(CMU)”の章を参照してください。

割り込み周期の設定

RTCから割り込み要求を出す周期を、RTCT[1:0]/RTC_INTMODEレジスタで表9.4.1に示す4種類から選択できます。

表9.4.1 割り込み周期の設定

RTCT[1:0]	割り込み周期
0x3	1時間
0x2	1分
0x1	1秒
0x0	1/64秒

RTCT[1:0]は、RTC割り込みを禁止した状態で設定してください(下記“割り込みの許可/禁止”を参照)。

割り込み条件の設定

S1C17803のRTCは、信号レベルによる割り込みのみをサポートしています。割り込みモードの選択用にRTCIMD/RTC_INTMODEレジスタが設けられていますが、このレジスタは1に設定する必要があります。

割り込みの許可/禁止

ITCへのRTC割り込み要求の出力は、RTCIE/RTC_INTMODEレジスタを1に設定すると許可され、0に設定すると禁止されます。

RTCの割り込みは、分周回路とカウンタ状態に応じて生成されるので、RTCIEへの1の書き込みと最初の割り込み要求との間の時間は固定されていません。2番目以降の割り込みを有効と見なして使用してください。

割り込みステータス

RTCが動作すると、設定した割り込み周期の信号によりRTCIRQ/RTC_INTSTATレジスタがセットされます。RTCIEによってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。

RTCIEを0に設定すると(割り込み禁止)、RTCIRQは0に固定されます(1には設定されません)。

注意事項

RTCの上記の割り込み制御ビットはすべて、電源投入時には内容が不定となります。また、イニシャルリセットによっては特定の値に初期化されません。

電源投入後は、不要なRTC割り込みの発生を防ぐため、必ずRTCIEを0(割り込み禁止)に設定してください。また、RTCIRQも必ず1を書き込んでリセットしてください。

ソフトウェアリセットが実行されると(RTCRST → 1 → 0)、RTCIRQとRTCIEは0にリセットされ割り込み要求出力は禁止されます。また、RTCT[1:0]も0x1にリセットされます。

9.5 WAKEUPと#STBY端子

S1C17803にはバッテリーバックアップ機能があり、システム電源(LV_{DD}、BUSIO_V_{DD}、IO1_V_{DD}、IO2_V_{DD}、AV_{DD})をOffにした場合でも、RTC_{V_{DD}}を供給することでRTC(OSC1発振回路を含む)の動作とBBRAM内のデータの保持が可能となっています。この制御のため、RTCにはWAKEUP端子と#STBY端子が設けられています。

#STBY端子は、RTC_{V_{DD}}で動作する回路(RTC、OSC1、BBRAM)を、V_{DD}、BUSIO_V_{DD}、IO1_V_{DD}、IO2_V_{DD}、およびAV_{DD}で動作する回路(RTCやOSC1の制御レジスタも含む)から切り離すために使用します。通常動作時は#STBY端子をHighに設定しておきます。#STBY端子を外部からLowにすることでRTC_{V_{DD}}の回路がシステムから切り離され、システム電源(LV_{DD}、BUSIO_V_{DD}、IO1_V_{DD}、IO2_V_{DD}、AV_{DD})をOffにすることができます。

WAKEUP端子は、RTC割り込みまたはソフトウェアによって制御可能な出力端子です。この出力で外部レギュレータを制御することにより、システム電源(LV_{DD}、BUSIO_V_{DD}、IO1_V_{DD}、IO2_V_{DD}、AV_{DD})をOn/Offすることができます。なお、#STBY端子をHighにしたままシステム電源をOffにするとRTC_{V_{DD}}系からLV_{DD}、BUSIO_V_{DD}、IO1_V_{DD}、IO2_V_{DD}、およびAV_{DD}系への電流のリークが発生しますので、システム電源をOffにする前に必ず#STBY端子をLowに設定してください。

図9.5.1にWAKEUPおよび#STBY端子を使用するシステムスタンバイ/起床制御回路の例を示します。

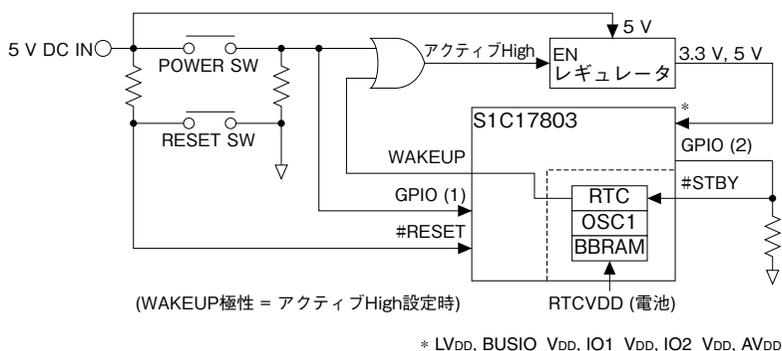


図9.5.1 システムスタンバイ/起床制御回路例

WAKEUP信号極性の選択

RTC割り込みやソフトウェアによって出力されるWAKEUP信号のアクティブレベルをWUP_POL/RTC_WAKEUPレジスタにより選択します。

WUP_POLを0に設定するとWAKEUP端子はアクティブHigh出力となり、1に設定するとアクティブLow出力となります。WUP_POLはイニシャルリセット時に初期化されません。WAKEUP出力を使用する場合は、ソフトウェアで初期設定する必要があります。

WAKEUP出力の制御

RTC割り込みによる制御

ソフトウェアで選択したRTC割り込み(9.4節を参照)が発生すると、割り込み要求信号と同様にWAKEUP信号がアクティブになります。システムが動作を再開し、RTC割り込みステータスビットRTCIRQ/RTC_INTSTATレジスタがクリアされるまで、RTCはWAKEUP信号をアクティブに保持します。RTCIRQがクリアされると、WAKEUP信号はインアクティブになります。

ソフトウェア制御

WAKEUP信号はWUP_CTL/RTC_WAKEUPレジスタによって制御することもできます。

WUP_CTLを1に設定するとWAKEUP信号がアクティブになり、0に設定するとインアクティブになります。WUP_CTLはイニシャルリセット時に初期化されません。初期化ルーチンの先頭で1(アクティブ)に設定する必要があります。

制御ビットの設定内容によるWAKEUP信号の状態を下表に示します。

表9.5.1 WAKEUP信号の状態

制御ビットの設定状態			WAKEUP端子の状態
WUP_POL	WUP_CTL	RTCIRQ	
1	1	1	0(Low)
1	1	0	0(Low)
1	0	1	0(Low)
1	0	0	1(High)
0	1	1	1(High)
0	1	0	1(High)
0	0	1	1(High)
0	0	0	0(Low)

ソフトウェアリセットが実行されると(RTCRST → 1 → 0)、WUP_CTLとWUP_POLは0にリセットされWAKEUP信号は0に設定されます。

制御手順

9.5.1に示したシステムスタンバイ/起床制御回路を使用した電源制御手順を以下に示します。レギュレータ電源(5V)はすでに供給されており、WAKEUP信号の極性はアクティブHighに設定するものとします。

POWER SWによる電源On

- POWER SWを押します。(5)が完了するまで、押し続ける必要があります。
- レギュレータの電圧出力がイネーブルとなり、3.3V(および5V)がS1C17803のLV_{DD}、BUSIO_{VDD}、IO1_{VDD}、IO2_{VDD}、およびAV_{DD}端子に供給されます。
- CPUがパワーオンリセットの後、動作を開始し初期設定ルーチンを実行します。
- GPIOポートを出力に設定し、1を出力します。これが#STBY端子に入力され、RTC_{VDD}系の回路がシステムに接続されます。
- RTC_WAKEUPレジスタに0x2を書き込み、WAKEUP極性をアクティブHigh、WAKEUP出力を1(High)にします。この処理によりレギュレータ出力が有効に固定されますので、POWER SWから手を離しても3.3V電源が供給され続けます。
- BBRAMの特定箇所よりキーを読み出し、バックアップデータが有効かどうかを判断します(例: 0xaaであれば有効)。有効であれば、バックアップしたデータをBBRAMより読み出します。
- BBRAM内のキーをクリアします(例: 0x00等を書き込む)。
- その他の処理を実行します。

動作中は#STBY入力 = 1、WAKEUP出力 = 1の状態を保持してください。

POWER SWによる電源Off

上記の設定状態(#STBY入力 = 1、WAKEUP出力 = 1)からの処理とします。

- POWER SWを押します。
- GPIO(1)ポートに1(High)が入力されますので、入力データを読み出すか、割り込みを利用してこれを検出し、バッテリーバックアップモードに移行します。
- バックアップするデータをBBRAMにコピーします。このとき、バックアップデータが有効であることを示すためにキー(例: 0xaaなど)もBBRAMの特定箇所に併せて保存しておきます。
- RTCの割り込み条件を設定し、割り込みを許可します。(RTC割り込みによりシステムを起動する場合)
- RTC_WAKEUPレジスタに0x0を書き込み、WAKEUP出力を0にします。
- GPIOポートから0を出力します。これが#STBY端子に入力され、RTC_{VDD}系の回路がシステムから切り離されます。

- (7) (POWER SWがOnの場合はOffになった後)レギュレータが3.3V(および5V)の出力を停止し、RTC_VDD系以外の電源がOffします。

ソフトウェアによって自動的にシステム電源をOffにする場合は(3)から始めてください。

RTC割り込みによる電源On

- (1) RTC割り込みが発生すると、WAKEUP出力が自動的に1になります(High)。
- (2) レギュレータの電圧出力がイネーブルとなり、3.3V(および5V)がS1C17803のLVDD、BUSIO_VDD、IO1_VDD、IO2_VDD、およびAVDD端子に供給されます。
- (3) CPUがパワーオンリセットの後、動作を開始し初期設定ルーチンを実行します。
- (4) GPIOポートを出力に設定し、1を出力します。これが#STBY端子に入力され、RTC_VDD系の回路がシステムに接続されます。
- (5) RTC_WAKEUPレジスタに0x2を書き込み、WAKEUP極性をアクティブHigh、WAKEUP出力を1(High)にします。この処理によりレギュレータ出力が有効に固定されます。
- (6) RTCIRQ/RTC_INTSTATレジスタをクリアします。
- (7) BBRAMの特定箇所よりキーを読み出し、バックアップデータが有効かどうかを判断します(例: 0xaaであれば有効)。有効であれば、バックアップしたデータをBBRAMより読み出します。
- (8) BBRAM内のキーをクリアします(例: 0x00等を書き込む)。
- (9) その他の処理を実行します。

9.6 制御レジスタの詳細

表9.6.1 RTCレジスタ一覧

アドレス	レジスタ名		機能
0x80800	RTC_INTSTAT	RTC Interrupt Status Register	RTC割り込み発生状態の表示
0x80801	RTC_INTMODE	RTC Interrupt Mode Register	RTC割り込みモードの設定
0x80802	RTC_CNTL0	RTC Control 0 Register	RTCの制御
0x80803	RTC_CNTL1	RTC Control 1 Register	
0x80804	RTC_SEC	RTC Second Register	秒カウンタデータ
0x80805	RTC_MIN	RTC Minute Register	分カウンタデータ
0x80806	RTC_HOUR	RTC Hour Register	時カウンタデータ
0x80807	RTC_DAY	RTC Day Register	日カウンタデータ
0x80808	RTC_MONTH	RTC Month Register	月カウンタデータ
0x80809	RTC_YEAR	RTC Year Register	年カウンタデータ
0x8080a	RTC_WEEK	RTC Days of Week Register	曜日カウンタデータ
0x8080f	RTC_WAKEUP	RTC Wakeup Configuration Register	RTC起床条件の設定
0x80910	RTC_WAIT	RTC Wait Control Register	RTCアクセスサイクルの設定

以下、RTCのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- 電源投入時、RTCの制御レジスタはすべて、内容が不定となります。またイニシャルリセットでも特定の値には初期化されません。初期設定はソフトウェアで行ってください。
- カウンタの桁上げ動作中は、正しいカウンタ値が読み出せないことがあります。また、カウンタやその他の制御レジスタへの書き込みでカウンタ値が壊れることがありますので、カウンタの桁上げ動作中は書き込み操作をしないでください。正しい操作方法については、“9.3.5 カウンタのホールドとビジーフラグ”を参照してください。

RTC Interrupt Status Register (RTC_INTSTAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Status Register (RTC_INTSTAT)	0x80800 (8 bits)	D7-1	–	reserved	–	–	–	0 when being read.
		D0	RTCIRQ	Interrupt status	1 Occurred 0 Not occurred	X (0)	R/W	Reset by writing 1.

Init.: ()は、ソフトウェアリセット(RTCRST → 1 → 0)が行われた後に設定される値を示します。

D[7:1] Reserved

D0 RTCIRQ: Interrupt Status Bit

RTC割り込み要因の発生状況を示します。

1(R): 割り込み要因発生

0(R): 割り込み要因なし(ソフトウェアリセット値)

1(W): 本ビットを0にリセット

0(W): 無効

RTCT[1:0]/RTC_INTMODEレジスタで設定した割り込み周期の信号によってセットされます。このとき、RTCEN/RTC_INTMODEレジスタによってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

注: このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。また、電源投入時の値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでリセットしてください。

RTC Interrupt Mode Register (RTC_INTMODE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RTC Interrupt Mode Register (RTC_INTMODE)	0x80801 (8 bits)	D7-4	-	reserved	-	-	-	0 when being read.	
		D3-2	RTCT[1:0]	RTC interrupt cycle setup	RTCT[1:0] Cycle	(0x1)	R/W		
					0x3	1 hour			
					0x2	1 minute			
					0x1	1 second			
			0x0	1/64 second					
	D1	RTCIMD	reserved		1	X (1)	R/W	Always set to 1.	
	D0	RTCEN	RTC interrupt enable	1 Enable	0 Disable	X (0)	R/W		

Init.: ()は、ソフトウェアリセット (RTCRST → 1 → 0) が行われた後に設定される値を示します。

D[7:4] Reserved**D[3:2] RTCT[1:0]: RTC Interrupt Cycle Setup Bits**

RTCの割り込み周期を選択します。

表9.6.2 割り込み周期の設定

RTCT[1:0]	割り込み周期
0x3	1時間
0x2	1分
0x1	1秒
0x0	1/64秒

(デフォルト: 不定。ソフトウェアリセット: 0x1)

選択した時間のカウンタのカウントアップパルスによりRTCIRQ/RTC_INTSTATレジスタがセットされ、RTCENによってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

RTCT[1:0]は、RTC割り込みを禁止した状態で設定してください(割り込み許可との同時設定は可能)

D1 RTCIMD: Reserved (必ず1に設定してください。)**D0 RTCEN: RTC Interrupt Enable Bit**

ITCへのRTC割り込み要求の出力を許可/禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(ソフトウェアリセット値)

RTC割り込みを発生させる場合やRTC割り込み要求信号によってSLEEPモードを解除する場合は、このビットを1に設定します。このビットが0の場合、割り込みは発生せず、SLEEPモードを解除することもできません。

注: 電源投入時のRTCIEの値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでクリアしてください。

RTC Control 0 Register (RTC_CNTL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Control 0 Register (RTC_CNTL0)	0x80802 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	RTC24H	24H mode select	1 24H 0 reserved (use prohibited)	X (0)	R/W	Always set to 1.
		D3	—	reserved	—	—	—	0 when being read.
		D2	RTCADJ	30-second adjustment	1 Adjust 0 —	X (0)	R/W	
		D1	RTCSSTP	Divider run/stop control	1 Stop 0 Run	X (0)	R/W	
D0	RTCRST	Software reset	1 Reset 0 —	X (X)	R/W			

Init.: ()は、ソフトウェアリセット (RTCRST → 1 → 0) が行われた後に設定される値を示します。

D[7:5] Reserved

D4 RTC24H: 24H Mode Select Bit

時カウンタを24時間制に設定します。

1 (R/W): 24時間制

0 (R/W): Reserved (ソフトウェアリセット値)

注: • RTC24Hを必ず1に設定してください (24時間制)。

- RTC24Hを書き換えると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。

D3 Reserved

D2 RTCADJ: 30-second Adjustment Bit

30秒補正を実行します。

1 (W): 30秒補正実行

0 (W): 無効

1 (R): 30秒補正実行中

0 (R): 30秒補正終了 (実行中以外) (ソフトウェアリセット値)

30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、0～29秒の場合はなにもしない機能です。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できません。

本ビットに1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合は、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合は、キャリーを発生しません。

本ビットは1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。

注: RTCADJが1の間はカウンタへのアクセスは禁止します。また、その間の0書き込みも誤動作の原因になるため禁止します。

D1 RTCSTP: Divider Run/Stop Control Bit

分周回路を開始/停止します。また、動作状態を示します。

1(W): 停止制御

0(W): 開始制御

1(R/W): 停止中

0(R/W): 動作中(ソフトウェアリセット値)

RTCは本ビットを0に設定すると分周回路を開始し、1に設定すると停止します。

また、分周/カウント動作中の本ビットの読み出し値は0、停止中の読み出し値は1です。

本ビットで開始/停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周(16,384Hz)までは停止しません。

カウンタの桁上げ中に停止すると、カウンタの値が壊れてしまうことがありますので、9.3.5節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

D0 RTCRST: Software Reset Bit

分周回路をリセットして信号を出力します。

1(R/W): リセット

0(R/W): リセット解除

ソフトウェアリセットを実行するには、RTCRSTに1を書き込んでから、次に0を書き込みます。

ソフトウェアリセットは、32kHz～2Hzの分周回路のビットをクリアして割り込み要求とWAKEUP信号を解除し、特定の制御ビットを初期化します。

RTCを設定するときには、最初にRTCRSTを使用してソフトウェアリセットを実行します。

RTC Control 1 Register (RTC_CNTL1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RTC Control 1 Register (RTC_CNTL1)	0x80803 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	RTCBSY	Counter busy flag	1 Busy	0 R/W possible	X (0)	R	
		D0	RTCHLD	Counter hold control	1 Hold	0 Running	X (0)	R/W	

Init.: ()は、ソフトウェアリセット (RTCRST → 1 → 0) が行われた後に設定される値を示します。

D[7:2] Reserved**D1 RTCBSY: Counter Busy Flag Bit**

カウンタが桁上げ動作中かどうかを示します。

1(R): ビジー(桁上げ中)

0(R): リード/ライト可能

カウンタの読み出し中にカウンタの桁上げが発生すると、正しいカウンタ値が読み出せないことがあります。また、書き込みや停止の操作でカウンタ値が壊れることもあります。そこで、本ビットによりカウンタが桁上げ状態(ビジー)ではないことを確認してからデータの読み出しや書き込みを行ってください。

RTCHLDに1を書き込み後、RTCBSYの読み出し値が0だった場合、桁上げ中ではありません。

この状態で、データの読み出しまたは書き込みを行います。

RTCHLDに1を書き込んだ後、カウンタは動作を停止します。RTCBSYは0に固定され、桁上げは行われません。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアで禁止されます。分周回路(1秒未満のカウンタ)の動作は継続します。

カウンタレジスタに対してデータの読み出しまたは書き込みを行います。

データの読み出し/書き込み後は、RTCHLDを0に戻します。

ホールド状態のカウンタに対するデータの読み出し/書き込み中に桁上げのタイミングとなった場合は、RTCHLDを0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げでの補正は行われません。この場合、計時データが狂うこととなりますので、必要な読み出し/書き込みの終了後は、速やかにRTCHLDを0に戻してください。

RTCHLDに1を書き込み後、RTCBSYの読み出し値が1だった場合、桁上げ中です。この場合、RTCHLDに1を書き込んでも無視され、RTCHLDは0に保持されます。
カウンタの桁上げの期間は1秒あたり4msです。この場合、RTCHLDに1を書き込んでRTCBSYのチェックを繰り返すか、4ms待機してからRTCHLDに1を書き込んでRTCBSYをチェックします。

D0 RTCHLD: Counter Hold Control Bit

カウンタのビジー状態の確認と、カウンタのホールドを行います。

1(R/W): ビジーチェック/カウンタホールド

0(R/W): 通常動作

制御方法については、上記RTCBSYの説明を参照してください。

RTC Second Register (RTC_SEC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Second Register (RTC_SEC)	0x80804 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	RTCSH[2:0]	RTC 10-second counter	0 to 5	X (*)	R/W	
		D3–0	RTCSL[3:0]	RTC 1-second counter	0 to 9	X (*)	R/W	

*ソフトウェアリセット(RTCRST → 1 → 0)は、カウンタ値には影響しません。このレジスタは、ソフトウェアリセットが実行される前に設定された値を保持します。

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(詳細は、“9.3.5 カウンタのホールドとビジーフラグ”を参照してください。)

D7 Reserved

D[6:4] RTCSH[2:0]: RTC 10-second Counter Bits

10秒桁の3ビットBCDカウンタです。

1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。

D[3:0] RTCSL[3:0]: RTC 1-second Counter Bits

1秒桁の4ビットBCDカウンタです。

32.768kHzのOSC1クロックを分周した1秒信号により0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。

RTC Minute Register (RTC_MIN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Minute Register (RTC_MIN)	0x80805 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	RTCMIH[2:0]	RTC 10-minute counter	0 to 5	X (*)	R/W	
		D3–0	RTCMIL[3:0]	RTC 1-minute counter	0 to 9	X (*)	R/W	

*ソフトウェアリセット(RTCRST → 1 → 0)は、カウンタ値には影響しません。このレジスタは、ソフトウェアリセットが実行される前に設定された値を保持します。

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(詳細は、“9.3.5 カウンタのホールドとビジーフラグ”を参照してください。)

D7 Reserved

D[6:4] RTCMIH[2:0]: RTC 10-minute Counter Bits

10分桁の3ビットBCDカウンタです。

1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。

D[3:0] RTCMIL[3:0]: RTC 1-minute Counter Bits

1分桁の4ビットBCDカウンタです。

10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。

RTC Hour Register (RTC_HOUR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Hour Register (RTC_HOUR)	0x80806 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.
		D5-4	RTCHH[1:0]	RTC 10-hour counter	0 to 2	X (*)	R/W	
		D3-0	RTCHL[3:0]	RTC 1-hour counter	0-9	X (*)	R/W	

* ソフトウェアリセット (RTCRST → 1 → 0) は、カウンタ値には影響しません。このレジスタは、ソフトウェアリセットが実行される前に設定された値を保持します。

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(詳細は、“9.3.5 カウンタのホールドとビジーフラグ”を参照してください。)

- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:6] Reserved

D[5:4] RTCHH[1:0]: RTC 10-hour Counter Bits

10時桁の2ビットBCDカウンタです。

1時カウンタからのキャリーにより0から2までカウントします。24時の時点でリセットされ、1日カウンタにキャリーを出力します。

D[3:0] RTCHL[3:0]: RTC 1-hour Counter Bits

1時桁の4ビットBCDカウンタです。

10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。24時の時点でリセットされます。

RTC Day Register (RTC_DAY)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Day Register (RTC_DAY)	0x80807 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.
		D5-4	RTCDH[1:0]	RTC 10-day counter	0 to 3	X (*)	R/W	
		D3-0	RTCDL[3:0]	RTC 1-day counter	0 to 9	X (*)	R/W	

* ソフトウェアリセット (RTCRST → 1 → 0) は、カウンタ値には影響しません。このレジスタは、ソフトウェアリセットが実行される前に設定された値を保持します。

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(詳細は、“9.3.5 カウンタのホールドとビジーフラグ”を参照してください。)

- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:6] Reserved

D[5:4] RTCDH[1:0]: RTC 10-day Counter Bits

10日桁の2ビットBCDカウンタです。1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。

D[3:0] RTCDL[3:0]: RTC 1-day Counter Bits

1日桁の4ビットBCDカウンタです。

時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。

RTC Month Register (RTC_MONTH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Month Register (RTC_MONTH)	0x80808 (8 bits)	D7-5	–	reserved	–	–	–	0 when being read.
		D4	RTCMOH	RTC 10-month counter	0 to 1	X (*)	R/W	
		D3-0	RTCMOL[3:0]	RTC 1-month counter	0 to 9	X (*)	R/W	

* ソフトウェアリセット (RTCRST → 1 → 0) は、カウンタ値には影響しません。このレジスタは、ソフトウェアリセットが実行される前に設定された値を保持します。

- 注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(詳細は、“9.3.5 カウンタのホールドとビジーフラグ”を参照してください。)
- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:5] Reserved

D4 RTCMOH: RTC 10-month Counter Bit

10月桁のビットです。

1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。

D[3:0] RTCMOL[3:0]: RTC 1-month Counter Bits

1月桁の4ビットBCDカウンタです。

日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。

RTC Year Register (RTC_YEAR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Year Register (RTC_YEAR)	0x80809 (8 bits)	D7-4	RTCYH[3:0]	RTC 10-year counter	0 to 9	X (*)	R/W	
		D3-0	RTCYL[3:0]	RTC 1-year counter	0 to 9	X (*)	R/W	

*ソフトウェアリセット (RTCST → 1 → 0) は、カウンタ値には影響しません。このレジスタは、ソフトウェアリセットが実行される前に設定された値を保持します。

- 注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“9.3.5 カウンタのホールドとビジーフラグ”および“9.3.6 動作中のカウンタのリード/ライト”を参照。)
- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:4] RTCYH[3:0]: RTC 10-year Counter Bits

10年桁の4ビットBCDカウンタです。1年カウンタからのキャリーにより0から9までカウントします。

D[3:0] RTCYL[3:0]: RTC 1-year Counter Bits

1年桁の4ビットBCDカウンタです。

月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。

RTC Days of Week Register (RTC_WEEK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RTC Days of Week Register (RTC_WEEK)	0x8080a (8 bits)	D7-3	-	reserved	-	-	-	0 when being read.	
		D2-0	RTCWK[2:0]	RTC days of week counter	RTCWK[2:0] Days of week	X (*)	R/W		
					0x7	-			
					0x6	Saturday			
					0x5	Friday			
					0x4	Thursday			
					0x3	Wednesday			
					0x2	Tuesday			
					0x1	Monday			
					0x0	Sunday			

*ソフトウェアリセット (RTCST → 1 → 0) は、カウンタ値には影響しません。このレジスタは、ソフトウェアリセットが実行される前に設定された値を保持します。

- 注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“9.3.5 カウンタのホールドとビジーフラグ”および“9.3.6 動作中のカウンタのリード/ライト”を参照。)
- RTC24H/RTC_CNTL0レジスタを書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

9 リアルタイムクロック(RTC)

D[7:3] Reserved

D[2:0] RTCWK[2:0]: RTC Days of Week Counter Bits

曜日を表すための7進カウンタ(0から6までカウント)です。1日カウンタと同じクロックでカウントアップします。

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表9.6.3に示します。

表9.6.3 曜日カウンタ値と曜日との対応

RTCWK[2:0]	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

(デフォルト: 不定。ソフトウェアリセット: 前の値を保持)

RTC Wakeup Configuration Register (RTC_WAKEUP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Wakeup Configuration Register (RTC_WAKEUP)	0x8080f (8 bits)	D7-2	-	reserved	-	-	-	0 when being read.
		D1	WUP_CTL	WAKEUP control	1 Active 0 Inactive	X (0)	R/W	
		D0	WUP_POL	WAKEUP polarity select	1 Active low 0 Active high	X (0)	R/W	

Init.: ()は、ソフトウェアリセット(RTCRST → 1 → 0)が行われた後に設定される値を示します。

D[7:2] Reserved

D1 WUP_CTL: WAKEUP Control Bit

WAKEUP出力を制御します。

1(R/W): アクティブ

0(R/W): インアクティブ

ソフトウェアでWAKEUP出力を制御する場合に使用します。WAKEUP信号は、RTC割り込み要因の発生によってもアクティブになります。

D0 WUP_POL: WAKEUP Polarity Select Bit

WAKEUP出力信号のアクティブレベルを選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh

RTC Wait Control Register (RTC_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RTC Wait Control Register (RTC_WAIT)	0x80910 (8 bits)	D7-3	-	reserved	-	-	-	0 when being read.	
		D2-0	RTC_WAIT [2:0]	RTC access wait cycle setup	RTC_WAIT[2:0]	Wait cycle	0x7	R/W	
					0x7	7 cycles			
0x0	0 cycles								

D[7:3] Reserved

D[2:0] RTC_WAIT[2:0]: RTC Access Wait Cycle Setup Bits

RTCレジスタをアクセスする際に挿入するウェイトサイクル数を設定します。

表9.6.4 RTCアクセス時のウェイトサイクル数

RTC_WAIT[2:0]	ウェイトサイクル数
0x7	7サイクル
0x6	6サイクル
0x5	5サイクル
0x4	4サイクル
0x3	3サイクル
0x2	2サイクル
0x1	0サイクル(設定できません)
0x0	0サイクル

(デフォルト: 0x7)

S1C17803は、RTC_WAIT[2:0] ≥ 1で動作可能です。

10 Flashコントローラ(FLASHC)

10.1 FLASHCモジュールの概要

S1C17803は128KバイトのFlashメモリと、Flashメモリへのアクセスを制御するFLASHC(Flashコントローラ)を内蔵しています。Flashメモリからの読み出しに加え、FLASHCはアプリケーションプログラムからの消去とプログラミングにも対応しています。

以下に、内蔵FlashメモリとFLASHCの主な特長を示します。

Flashメモリ

メモリ容量	128Kバイト(64K×16ビット)	
セクタサイズ	512ワード(16ビット)/セクタ	
消去/プログラム時間	チップ消去時間:	100ms(typ.)
	セクタ消去時間:	20ms(typ.)
	ワードプログラム時間:	15μs(typ.)
リードアクセス時間	50ns(typ.)	
消去/プログラムインタフェース	ライトパルス入力タイプ	
信頼性	プログラム回数:	1000回(min.)
	データ保持期間:	10年(min.)

FLASHC

書き込み	16ビットライトにのみ対応
読み出し	8ビット、16ビット、および32ビットリード S1C17コアは0ウェイト(最小アクセスサイクルは1サイクル)でFlashメモリをアクセス可能です。システムクロックがアクセス時間よりも高速な場合、ウェイトサイクルを挿入する必要があります(ソフトウェアで設定可能)。

注: • FLASH_CTLレジスタは書き込み保護されています。FLASH_CTLレジスタを書き換えるには、FLS_PROT[7:0]/FLASH_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、FLASH_CTLレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はFLS_PROT[7:0]を0x96以外に設定してください。

- S1C17コアは、割り込み処理ルーチンやサブルーチンを呼び出す際、スタックに32ビット書き込みを行います。したがって、16ビット書き込みにのみ対応しているFlashメモリをスタックとして使用することはできません。

10.2 Flashメモリマップ

Flashメモリはアドレス0x8000～0x27fffに配置されています。

0xff	ffff	コアI/O予約エリア
0xff	fc00	reserved
0xff	fbff	
0xff	0000	SRAMC #CE3～#CE0エリア
0xfe	ffff	
0x10	0000	IRAM/IVRAMエリア
0x0f	ffff	
0x0f	c000	IRAM/IVRAMミラーエリア
0x0f	bfff	
0x08	3000	周辺回路エリア
0x08	2fff	
0x08	0000	reserved
0x07	ffff	
0x02	8000	Flashエリア (128Kバイト)
0x02	7fff	
0x00	8000	ベクタテーブル
0x00	7fff	reserved
0x00	6000	
0x00	5fff	周辺回路エリア
0x00	4000	reserved
0x00	3fff	
0x00	0000	

図10.2.1 Flashメモリマップ

イニシャルリセット時、ベクタテーブルはFlashメモリの先頭(アドレス0x8000)に配置されます。したがって、ブートベクタはアドレス0x8000に書き込んでおく必要があります。ベクタテーブルの詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

10.3 Flashメモリのプログラミング

ここでは、Flashメモリの消去とプログラミングの手順を説明します。

Flashプログラミングの注意事項

- (1) FLASH_CTLレジスタは書き込み保護されています。FLASH_CTLレジスタを書き換えるには、FLS_PROT[7:0]/FLASH_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、FLASH_CTLレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はFLS_PROT[7:0]を0x96以外に設定してください。
- (2) Flashメモリの消去とプログラミングを開始する前に、ウォッチドッグタイマによるリセット機能を無効に設定してください。
- (3) Flashメモリの消去とプログラミングを開始する前に、割り込みを禁止してください。
- (4) Flashメモリを消去中またはプログラミング中は、#RESET端子をHigh(インアクティブ)に固定してください。
- (5) Flashメモリは、内蔵RAMや外部ROMに書き込まれた命令で消去/プログラミングしてください。

- (6) Flashメモリの消去とプログラミングを開始する前に、Flashメモリがビジー状態でないことを必ずFLASHCステータスフラグによって確認してください。
- (7) FLASHCは16ビットライトによるFlashメモリのプログラミングにのみ対応しています。8ビット、24ビット、または32ビットライト命令では、Flashメモリをプログラミングすることはできません。
- (8) S1C17コアは、割り込み処理ルーチンやサブルーチンを呼び出す際、スタックに32ビット書き込みを行います。したがって、16ビット書き込みにのみ対応しているFlashメモリをスタックとして使用することはできません。
- (9) 消去/プログラムサイクルパラメータの最小値と最大値は下表のとおりです。それぞれの有効範囲になるよう、ソフトウェアによってそれぞれの時間を設定してください。

表10.3.1 消去/プログラミングサイクルタイミングパラメータ

パラメータ	タイミング仕様		
	Min.	Typ.	Max.
チップ消去動作モードホールド時間	12 μ s	-	-
セクタ消去動作モードホールド時間	6 μ s	-	-
プログラミング動作モードホールド時間	4 μ s	-	-
チップ消去パルス幅	70ms	100ms	500ms
セクタ消去パルス幅	15ms	20ms	50 ms
プログラミングパルス幅	10 μ s	15 μ s	20 μ s

10.3.1 チップ消去手順

以下に、チップ消去の手順を示します。

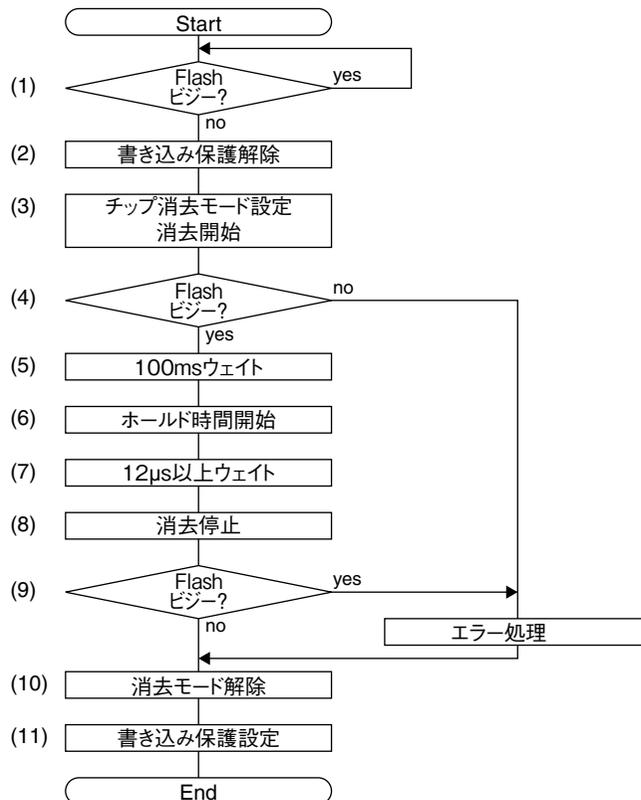


図10.3.1.1 チップ消去フロー

- (1) FLS_STAT/FLASH_CTLレジスタを読み出し、Flashメモリがビジー状態か否かを確認します。FLS_STATが0の場合、Flashメモリを消去可能です。ステップ(2)に移行します。FLS_STATが1の場合、Flashメモリは読み出し中、消去中、プログラミング中、またはハードウェアリセット中などのビジー状態です。この場合はFLS_STATが0になるまで待機します。

10 Flashコントローラ(FLASHC)

- (2) FLS_PROT[7:0]/FLASH_PROTレジスタに0x96を書き込み、FLASH_CTLレジスタの書き込み保護を解除します。
- (3) FLASH_CTLレジスタに0x104を書き込みます。CHIP_ERS_EN/FLASH_CTLレジスタが1となり、FLASHCがチップ消去モードに設定されます。また、START_ERASE/FLASH_CTLレジスタも1となり、チップ消去動作を開始します。
- (4) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLASHCが消去を開始するとFLS_STATが1になります。ステップ(5)に移行します。
FLS_STATが0の場合、FLASHCは消去を開始していません。チップ消去モードとセクタ消去モードが同時に設定されたか、何らかのエラーが発生した可能性があります。エラー処理を行い、ステップ(10)に移行します。
- (5) 規定のチップ消去パルス幅を生成するため、100msの時間待機します。
- (6) FLASH_CTLレジスタに0x204を書き込みます。START_HOLD/FLASH_CTLレジスタが1となり、チップ消去動作モードホールド期間を開始します(Flashメモリ用の#CE信号がインアクティブになります)。この書き込みの際、CHIP_ERS_EN/FLASH_CTLレジスタは1のままにして、チップ消去モードを継続してください。
- (7) チップ消去動作モードホールド時間を生成するため、12 μ s以上待機します。
- (8) FLASH_CTLレジスタに0x404を書き込みます。STOP/FLASH_CTLレジスタが1となり、チップ消去を終了します。
- (9) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLS_STATが0の場合、チップ消去は正常に終了しています。ステップ(10)に移行します。
FLS_STATが1の場合、消去中にエラーが発生しています。エラー処理を行い、ステップ(10)に移行します。
- (10) FLASH_CTLレジスタに0x0を書き込みます。CHIP_ERS_EN/FLASH_CTLレジスタが0にリセットされ、チップ消去モードを終了します。
- (11) FLS_PROT[7:0]に0x96以外の値を書き込み、FLASH_CTLレジスタの書き込み保護を設定します。

10.3.2 セクタ消去手順

以下に、セクタ消去の手順を示します。

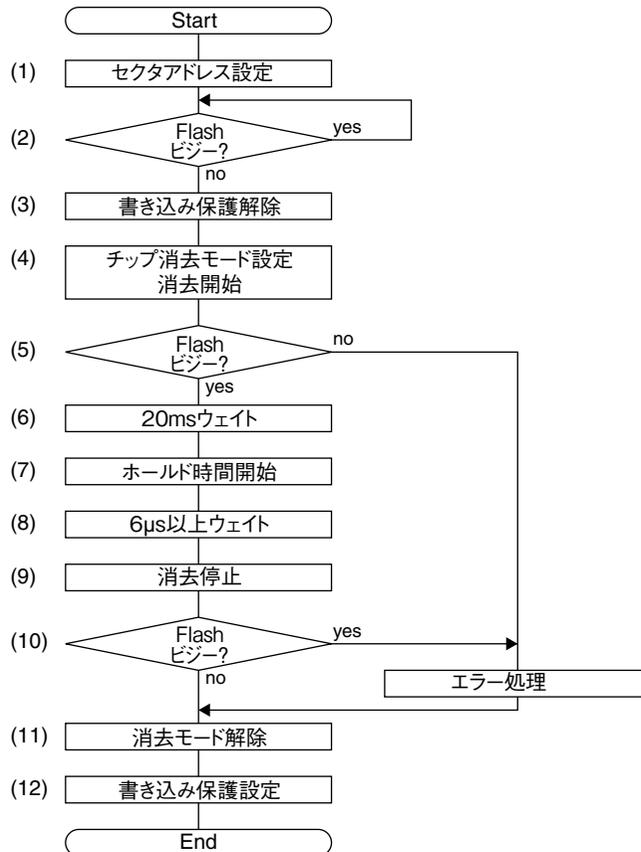


図10.3.2.1 セクタ消去フロー

- (1) 消去するセクタアドレスをFLS_ADDR[6:0]/FLASH_ADDRレジスタに設定します。
Flashメモリアドレス[16:10](S1C17803アドレス0x8000 = Flashメモリアドレス0x0)をセクタアドレスとして、このレジスタに設定してください。

表10.3.2.1 メモリアドレスとFlashセクタの対応

メモリ アドレス	セクタアド レス	メモリ アドレス	セクタアド レス	メモリ アドレス	セクタアド レス	メモリ アドレス	セクタアド レス
0x8000 ~ 0x83ff	0x0	0x10000 ~ 0x103ff	0x20	0x18000 ~ 0x183ff	0x40	0x20000 ~ 0x203ff	0x60
0x8400 ~ 0x87ff	0x1	0x10400 ~ 0x107ff	0x21	0x18400 ~ 0x187ff	0x41	0x20400 ~ 0x207ff	0x61
0x8800 ~ 0x8bff	0x2	0x10800 ~ 0x10bff	0x22	0x18800 ~ 0x18bff	0x42	0x20800 ~ 0x20bff	0x62
0x8c00 ~ 0x8fff	0x3	0x10c00 ~ 0x10fff	0x23	0x18c00 ~ 0x18fff	0x43	0x20c00 ~ 0x20fff	0x63
0x9000 ~ 0x93ff	0x4	0x11000 ~ 0x113ff	0x24	0x19000 ~ 0x193ff	0x44	0x21000 ~ 0x213ff	0x64
0x9400 ~ 0x97ff	0x5	0x11400 ~ 0x117ff	0x25	0x19400 ~ 0x197ff	0x45	0x21400 ~ 0x217ff	0x65
0x9800 ~ 0x9bff	0x6	0x11800 ~ 0x11bff	0x26	0x19800 ~ 0x19bff	0x46	0x21800 ~ 0x21bff	0x66
0x9c00 ~ 0x9fff	0x7	0x11c00 ~ 0x11fff	0x27	0x19c00 ~ 0x19fff	0x47	0x21c00 ~ 0x21fff	0x67
0xa000 ~ 0xa3ff	0x8	0x12000 ~ 0x123ff	0x28	0x1a000 ~ 0x1a3ff	0x48	0x22000 ~ 0x223ff	0x68
0xa400 ~ 0xa7ff	0x9	0x12400 ~ 0x127ff	0x29	0x1a400 ~ 0x1a7ff	0x49	0x22400 ~ 0x227ff	0x69
0xa800 ~ 0xabff	0xa	0x12800 ~ 0x12bff	0x2a	0x1a800 ~ 0x1abff	0x4a	0x22800 ~ 0x22bff	0x6a
0xac00 ~ 0xafff	0xb	0x12c00 ~ 0x12fff	0x2b	0x1ac00 ~ 0x1afff	0x4b	0x22c00 ~ 0x22fff	0x6b
0xb000 ~ 0xb3ff	0xc	0x13000 ~ 0x133ff	0x2c	0x1b000 ~ 0x1b3ff	0x4c	0x23000 ~ 0x233ff	0x6c
0xb400 ~ 0xb7ff	0xd	0x13400 ~ 0x137ff	0x2d	0x1b400 ~ 0x1b7ff	0x4d	0x23400 ~ 0x237ff	0x6d
0xb800 ~ 0xbbff	0xe	0x13800 ~ 0x13bff	0x2e	0x1b800 ~ 0x1bbff	0x4e	0x23800 ~ 0x23bff	0x6e
0xbc00 ~ 0xbfff	0xf	0x13c00 ~ 0x13fff	0x2f	0x1bc00 ~ 0x1bfff	0x4f	0x23c00 ~ 0x23fff	0x6f
0xc000 ~ 0xc3ff	0x10	0x14000 ~ 0x143ff	0x30	0x1c000 ~ 0x1c3ff	0x50	0x24000 ~ 0x243ff	0x70
0xc400 ~ 0xc7ff	0x11	0x14400 ~ 0x147ff	0x31	0x1c400 ~ 0x1c7ff	0x51	0x24400 ~ 0x247ff	0x71
0xc800 ~ 0xcbff	0x12	0x14800 ~ 0x14bff	0x32	0x1c800 ~ 0x1cbff	0x52	0x24800 ~ 0x24bff	0x72
0xcc00 ~ 0xcfff	0x13	0x14c00 ~ 0x14fff	0x33	0x1cc00 ~ 0x1cfff	0x53	0x24c00 ~ 0x24fff	0x73
0xd000 ~ 0xd3ff	0x14	0x15000 ~ 0x153ff	0x34	0x1d000 ~ 0x1d3ff	0x54	0x25000 ~ 0x253ff	0x74
0xd400 ~ 0xd7ff	0x15	0x15400 ~ 0x157ff	0x35	0x1d400 ~ 0x1d7ff	0x55	0x25400 ~ 0x257ff	0x75
0xd800 ~ 0xdbff	0x16	0x15800 ~ 0x15bff	0x36	0x1d800 ~ 0x1dbff	0x56	0x25800 ~ 0x25bff	0x76
0xdc00 ~ 0xdfff	0x17	0x15c00 ~ 0x15fff	0x37	0x1dc00 ~ 0x1dfff	0x57	0x25c00 ~ 0x25fff	0x77
0xe000 ~ 0xe3ff	0x18	0x16000 ~ 0x163ff	0x38	0x1e000 ~ 0x1e3ff	0x58	0x26000 ~ 0x263ff	0x78
0xe400 ~ 0xe7ff	0x19	0x16400 ~ 0x167ff	0x39	0x1e400 ~ 0x1e7ff	0x59	0x26400 ~ 0x267ff	0x79
0xe800 ~ 0xebff	0x1a	0x16800 ~ 0x16bff	0x3a	0x1e800 ~ 0x1ebff	0x5a	0x26800 ~ 0x26bff	0x7a
0xec00 ~ 0xefff	0x1b	0x16c00 ~ 0x16fff	0x3b	0x1ec00 ~ 0x1efff	0x5b	0x26c00 ~ 0x26fff	0x7b
0xf000 ~ 0xf3ff	0x1c	0x17000 ~ 0x173ff	0x3c	0x1f000 ~ 0x1f3ff	0x5c	0x27000 ~ 0x273ff	0x7c
0xf400 ~ 0xf7ff	0x1d	0x17400 ~ 0x177ff	0x3d	0x1f400 ~ 0x1f7ff	0x5d	0x27400 ~ 0x277ff	0x7d
0xf800 ~ 0xfbff	0x1e	0x17800 ~ 0x17bff	0x3e	0x1f800 ~ 0x1fbff	0x5e	0x27800 ~ 0x27bff	0x7e
0xfc00 ~ 0xffff	0x1f	0x17c00 ~ 0x17fff	0x3f	0x1fc00 ~ 0x1ffff	0x5f	0x27c00 ~ 0x27fff	0x7f

- (2) FLS_STAT/FLASH_CTLレジスタを読み出し、Flashメモリがビジー状態か否かを確認します。
FLS_STATが0の場合、Flashメモリを消去可能です。ステップ(3)に移行します。
FLS_STATが1の場合、Flashメモリは読み出し中、消去中、プログラミング中、またはハードウェアリセット中などのビジー状態です。この場合はFLS_STATが0になるまで待機します。
- (3) FLS_PROT[7:0]/FLASH_PROTに0x96を書き込み、FLASH_CTLレジスタの書き込み保護を解除します。
- (4) FLASH_CTLレジスタに0x102を書き込みます。SCT_ERS_EN/FLASH_CTLレジスタが1となり、FLASHCがセクタ消去モードに設定されます。また、START_ERASE/FLASH_CTLレジスタも1となり、セクタ消去動作を開始します。
- (5) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLASHCが消去を開始するとFLS_STATが1になります。ステップ(6)に移行します。
FLS_STATが0の場合、FLASHCは消去を開始していません。チップ消去モードとセクタ消去モードが同時に設定されたか、何らかのエラーが発生した可能性があります。エラー処理を行い、ステップ(11)に移行します。
- (6) 規定のセクタ消去パルス幅を生成するため、20msの時間待機します。
- (7) FLASH_CTLレジスタに0x202を書き込みます。START_HOLD/FLASH_CTLレジスタが1となり、セクタ消去動作モードホールド期間を開始します(Flashメモリ用の#CE信号がインアクティブになります)。この書き込みの際、SCT_ERS_EN/FLASH_CTLレジスタは1のままにして、セクタ消去モードを継続してください。
- (8) セクタ消去動作モードホールド時間を生成するため、6 μ s以上待機します。
- (9) FLASH_CTLレジスタに0x402を書き込みます。STOP/FLASH_CTLレジスタが1となり、セクタ消去を終了します。

- (10) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
 FLS_STATが0の場合、セクタ消去は正常に終了しています。ステップ(11)に移行します。
 FLS_STATが1の場合、消去中にエラーが発生しています。エラー処理を行い、ステップ(11)に移行します。
- (11) FLASH_CTLレジスタに0x0を書き込みます。SCT_ERS_EN/FLASH_CTLレジスタが0にリセットされ、セクタ消去モードを終了します。
- (12) FLS_PROT[7:0]に0x96以外の値を書き込み、FLASH_CTLレジスタの書き込み保護を設定します。

10.3.3 Flashプログラミング手順

以下に、Flashプログラミング(書き込み)の手順を示します。

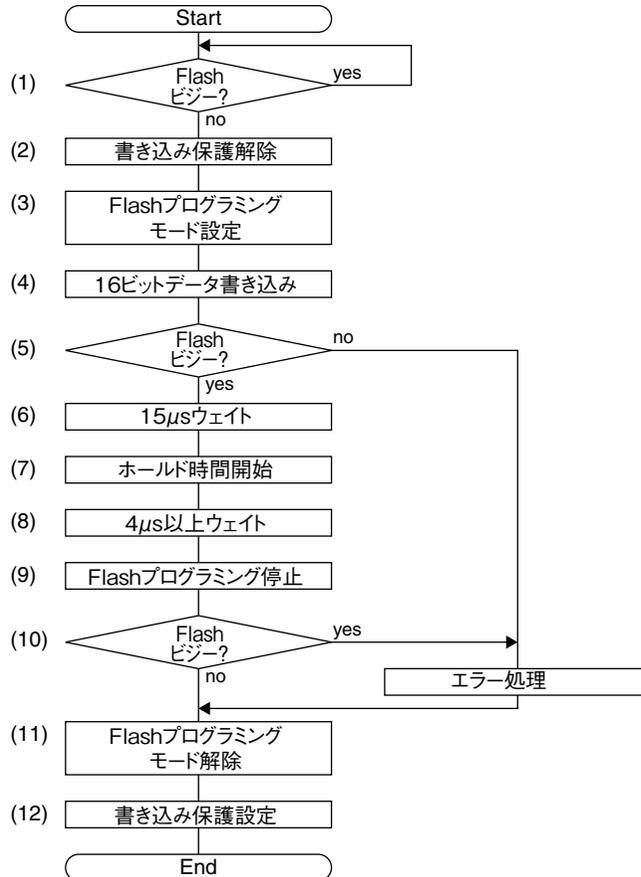


図10.3.3.1 Flashプログラミングフロー

- (1) FLS_STAT/FLASH_CTLレジスタを読み出し、Flashメモリがビジー状態か否かを確認します。
 FLS_STATが0の場合、Flashメモリをプログラム可能です。ステップ(2)に移行します。
 FLS_STATが1の場合、Flashメモリは読み出し中、消去中、プログラミング中、またはハードウェアリセット中などのビジー状態です。この場合はFLS_STATが0になるまで待機します。
- (2) FLS_PROT[7:0]/FLASH_PROTに0x96を書き込み、FLASH_CTLレジスタの書き込み保護を解除します。
- (3) FLASH_CTLレジスタに0x1を書き込みます。WR_EN/FLASH_CTLレジスタが1となり、FLASHCがFlashプログラミングモードに設定されます。
- (4) 16ビットデータ転送命令を使用して16ビットデータを書き込みます。
 8ビット、24ビット、32ビットデータ転送命令は使用しないでください。

- (5) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLASHCがプログラミング動作を開始するとFLS_STATが1になります。ステップ(6)に移行します。
FLS_STATが0の場合、FLASHCはプログラミング動作を開始していません。何らかのエラーが発生した可能性があります。エラー処理を行い、ステップ(11)に移行します。
- (6) 規定のFlashプログラムパルス幅を生成するため、15 μ sの時間待機します。
- (7) FLASH_CTLレジスタに0x201を書き込みます。START_HOLD/FLASH_CTLレジスタが1となり、プログラミング動作モードホールド期間を開始します(Flashメモリ用の#CE信号がインアクティブになります)。この書き込みの際、WR_EN/FLASH_CTLレジスタは1のままにして、Flashプログラミングモードを継続してください。
- (8) プログラミング動作モードホールド時間を生成するため、4 μ s以上待機します。
- (9) FLASH_CTLレジスタに0x401を書き込みます。STOP/FLASH_CTLレジスタが1となり、Flashプログラミングを終了します。
- (10) FLS_STATを読み出し、Flashメモリがビジー状態か否かを確認します。
FLS_STATが0の場合、Flashプログラミング動作は正常に終了しています。ステップ(11)に移行します。
FLS_STATが1の場合、プログラミング中にエラーが発生しています。エラー処理を行い、ステップ(11)に移行します。
- (11) FLASH_CTLレジスタに0x0を書き込みます。WR_EN/FLASH_CTLレジスタが0にリセットされ、Flashプログラミングモードを終了します
- (12) FLS_PROT[7:0]に0x96以外の値を書き込み、FLASH_CTLレジスタの書き込み保護を設定します。

10.4 リードアクセス制御

システムが高速クロックで動作中の場合でも、Flashメモリからデータを正しく読み出せるように、FLASHCはFlashリードサイクルにウェイトを挿入することができます。ウェイトサイクルとして挿入するシステムクロックサイクル数は、FLS_WAIT[2:0]/FLASH_WAITレジスタで指定することができます。システムクロック周波数に合わせ、最適なサイクル数を設定してください。

表10.4.1 リードアクセスウェイトサイクル数の設定

FLS_WAIT[2:0]	ウェイトサイクル数	リードアクセスサイクル数	システムクロック周波数
0x7	7サイクル	8サイクル	33MHz以下
0x6	6サイクル	7サイクル	
0x5	5サイクル	6サイクル	
0x4	4サイクル	5サイクル	
0x3	3サイクル	4サイクル	
0x2	2サイクル	3サイクル	
0x1	1サイクル	2サイクル	
0x0	0サイクル	1サイクル	16MHz以下

(デフォルト: 0x7)

注: FLASHCにはFlashメモリの先読み回路が搭載されているため、外部からはFLS_WAIT[2:0]の設定の違いによるFlashリードアクセスの変化を観測することができません。FLS_WAIT[2:0]にはシステムクロック周波数の対応範囲外の値を設定しないでください。

10.5 HIDEモード

デフォルトでS1C17803 FLASHCはHIDEモードに設定されており、Flashメモリの末尾の16Kバイト領域(アドレス0x24000 ~ 0x27fff)からデータを読み出すことはできません。ただしS1C17コアはこの領域から命令を読み出すことができ、またこの領域にプログラミング(書き込み)ができます。

HIDEモードはコードをこの領域に置くことにより、読み出し保護を実現します。HIDEモードでは、常に0xffff(16ビットリード)がこの領域から読み出されます。

この領域からデータを読み出すには、HIDEモードを取り消す必要があります。HIDEモードの取消/設定の方法についてはEpson MCUユーザサイトを参照してください。

- 注: • HIDEモードの取消手順はS1C17803を実際に製品にお使いになる開発者にのみ開示されています。ただしSeiko Epsonは機密性を保証いたしません。
- 読み出す前にアプリケーションによってHIDEモードを取り消すことが必要となるため、定数のようなデータをこの保護領域に置かないでください。
 - デバッガを使ってFlashメモリをプログラムしたあと、実製品と同じ使用条件にするためにデバッグを開始する前にFLASHCをHIDEモードに設定してください。また、FLASHCはイニシャルリセットにより、あるいはFLASHCレジスタを書き込み保護に設定することにより、HIDEモードにすることができます。

10.6 制御レジスタ詳細

表10.6.1 FLASHCレジスタ一覧

アドレス	レジスタ名		機能
0x81700	FLASH_CTL	FLASHC Control Register	Flash消去/プログラミングの制御
0x81702	FLASH_ADDR	FLASHC Sector Address Register	Flashセクタ消去アドレスの設定
0x81704	FLASH_WAIT	FLASHC Wait Register	Flashリード用ウェイトサイクルの設定
0x81710	FLASH_PROT	FLASHC Protect Register	Flash制御レジスタ書き込み保護の設定/解除

以下にFLASHCの制御レジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

FLASHC Control Register (FLASH_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
FLASHC Control Register (FLASH_CTL)	0x81700 (16 bits)	D15	FLS_STAT	Flash status flag	1	0	1	R		
		D14-11	–	reserved	–	–	–	–	0 when being read.	
		D10	STOP	Flash erase/program stop	1	0	0	0	W	0 when being read.
		D9	START_HOLD	Hold period start	1	0	0	0	W	Write-protected
		D8	START_ERASE	Flash erasing start	1	0	0	0	W	
		D7-3	–	reserved	–	–	–	–	–	0 when being read.
		D2	CHIP_ERS_EN	Flash chip erase enable	1	0	0	0	R/W	Write-protected
		D1	SCT_ERS_EN	Flash sector erase enable	1	0	0	0	R/W	
		D0	WR_EN	Flash programming enable	1	0	0	R/W		

注: FLASH_CTLレジスタは書き込み保護されています。FLASH_CTLレジスタを書き換えるには、FLS_PROT[7:0]/FLASH_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、FLASH_CTLレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はFLS_PROT[7:0]を0x96以外に設定してください。

D15 FLS_STAT: Flash Status Flag Bit

Flashメモリが待機中かビジー状態かを示します。

1(R): ビジー(デフォルト)

0(R): 待機中

1/0(W): 無効

Flashメモリが読み出し中、消去中、プログラミング中、あるいはハードウェアリセット中の場合、このフラグが1にセットされます。

Flashメモリの消去やプログラミングを行う場合、このフラグが0になっている必要があります。Flashメモリを待機状態にするには、CPUをFlashメモリ以外のメモリ(内蔵RAMや外部ROMなど)に格納されている命令で動作させる必要があります。

D[14:11] Reserved

D10 STOP: Flash Erase/Program Stop Bit

チップ消去、セクタ消去、Flashプログラミング動作を終了します。

1(W): 終了

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

STOPに1を書き込むと、FLASHCはチップ消去、セクタ消去、Flashプログラミング動作を終了します。STOPへの1の書き込みは、START_HOLDへの1書き込み後、各動作モードホールド時間が経過してから行ってください。

Flashメモリの読み出し中は、このビットを0に固定してください。

D9 START_HOLD: Hold Period Start Bit

動作モードホールド期間を開始します。

1(W): 開始

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

START_ERASEへの1書き込み、またはFlashメモリへのデータ書き込みから、チップ消去時間、セクタ消去時間、もしくはプログラミング時間(表10.5.2参照)が経過後にSTART_HOLDを1に設定します。

START_HOLDへの1書き込みにより、Flashメモリの#CE信号がインアクティブとなり、動作モードホールド期間が始まります。この後、各モードに必要な動作モードホールド時間(表10.5.2参照)が経過するまで待ってから、チップ消去、セクタ消去、Flashプログラミング動作を終了させます。

Flashメモリの読み出し中は、このビットを0に固定してください。

表10.6.2 消去/プログラミングサイクルタイミングパラメータ

パラメータ	タイミング仕様		
	Min.	Typ.	Max.
チップ消去動作モードホールド時間	12 μ s	–	–
セクタ消去動作モードホールド時間	6 μ s	–	–
プログラミング動作モードホールド時間	4 μ s	–	–
チップ消去パルス幅	70ms	100ms	500ms
セクタ消去パルス幅	15ms	20ms	50 ms
プログラミングパルス幅	10 μ s	15 μ s	20 μ s

D8 START_ERASE: Flash Erasing Start Bit

チップ消去またはセクタ消去動作を開始します。

1(W): 開始

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

チップ消去を行う場合は、CHIP_ERS_ENとSTART_ERASEを1に設定します。

セクタ消去を行う場合は、FLS_ADDR[6:0]/FLASH_ADDRレジスタに消去するセクタアドレスを設定後、SCT_ERS_ENとSTART_ERASEを1に設定します。

CHIP_ERS_ENとSCT_ERS_ENが両方0または1に設定されている場合、START_ERASEは無効となり、消去を開始しません。

Flashメモリがビジー状態(FLS_STAT = 1)のときは、本ビットを1に設定しないでください。

D[7:3] Reserved**D2 CHIP_ERS_EN: Flash Chip Erase Enable Bit**

チップ消去モードを設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

チップ消去を開始するには、CHIP_ERS_ENとSTART_ERASEを1に設定します。STOPを1にセットしてチップ消去動作を終了後、CHIP_ERS_ENを0にリセットします。チップ消去動作の制御については10.3.1節“チップ消去手順”を参照してください。

D1 SCT_ERS_EN: Flash Sector Erase Enable Bit

セクタ消去モードを設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

セクタ消去を開始するには、FLASHC Sector Address Register(0x5802)に消去するセクタアドレスを設定後、SCT_ERS_ENとSTART_ERASE(D8)を1に設定します。STOP(D10)を1にセットしてセクタ消去動作を終了後、SCT_ERS_ENを0にリセットします。セクタ消去動作の制御については10.3.2節“セクタ消去手順”を参照してください。

D0 WR_EN: Flash Programming Enable Bit

Flashプログラミングモードを設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

Flashプログラミングを開始するには、WR_ENを1に設定します。その後、16ビットデータ転送命令を使用して、データを書き込みます。STOPを1にセットしてFlashプログラミング動作を終了後、WR_ENを0にリセットします。Flashプログラミング動作の制御については10.3.3節“Flashプログラミング手順”を参照してください。

FLASHC Sector Address Register (FLASH_ADDR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC	0x81702	D15-7	—	reserved	—	—	—	0 when being read.
Sector Address Register (FLASH_ADDR)	(16 bits)	D6-0	FLS_ADDR [6:0]	Erase sector address	Address[16:10]	0x0	R/W	

D[15:7] Reserved

10 Flashコントローラ(FLASHC)

D[6:0] FLS_ADDR[6:0]: Erase Sector Address Bits

消去するセクタを指定します。(デフォルト: 0x0)

Flashメモリアドレス(S1C17803アドレス0x8000 = Flashメモリアドレス0x0)のビット16～ビット10をセクタアドレスとして指定してください。

表10.6.3 メモリアドレスとFlashセクタの対応

メモリ アドレス	セクタアド レス	メモリ アドレス	セクタアド レス	メモリ アドレス	セクタアド レス	メモリ アドレス	セクタアド レス
0x8000 ~ 0x83ff	0x0	0x10000 ~ 0x103ff	0x20	0x18000 ~ 0x183ff	0x40	0x20000 ~ 0x203ff	0x60
0x8400 ~ 0x87ff	0x1	0x10400 ~ 0x107ff	0x21	0x18400 ~ 0x187ff	0x41	0x20400 ~ 0x207ff	0x61
0x8800 ~ 0x8bff	0x2	0x10800 ~ 0x10bfff	0x22	0x18800 ~ 0x18bfff	0x42	0x20800 ~ 0x20bfff	0x62
0x8c00 ~ 0x8fff	0x3	0x10c00 ~ 0x10ffff	0x23	0x18c00 ~ 0x18ffff	0x43	0x20c00 ~ 0x20ffff	0x63
0x9000 ~ 0x93ff	0x4	0x11000 ~ 0x113ff	0x24	0x19000 ~ 0x193ff	0x44	0x21000 ~ 0x213ff	0x64
0x9400 ~ 0x97ff	0x5	0x11400 ~ 0x117ff	0x25	0x19400 ~ 0x197ff	0x45	0x21400 ~ 0x217ff	0x65
0x9800 ~ 0x9bff	0x6	0x11800 ~ 0x11bfff	0x26	0x19800 ~ 0x19bfff	0x46	0x21800 ~ 0x21bfff	0x66
0x9c00 ~ 0x9fff	0x7	0x11c00 ~ 0x11ffff	0x27	0x19c00 ~ 0x19ffff	0x47	0x21c00 ~ 0x21ffff	0x67
0xa000 ~ 0xa3ff	0x8	0x12000 ~ 0x123ff	0x28	0x1a000 ~ 0x1a3ff	0x48	0x22000 ~ 0x223ff	0x68
0xa400 ~ 0xa7ff	0x9	0x12400 ~ 0x127ff	0x29	0x1a400 ~ 0x1a7ff	0x49	0x22400 ~ 0x227ff	0x69
0xa800 ~ 0xabff	0xa	0x12800 ~ 0x12bfff	0x2a	0x1a800 ~ 0x1abff	0x4a	0x22800 ~ 0x22bfff	0x6a
0xac00 ~ 0xafff	0xb	0x12c00 ~ 0x12ffff	0x2b	0x1ac00 ~ 0x1afff	0x4b	0x22c00 ~ 0x22ffff	0x6b
0xb000 ~ 0xb3ff	0xc	0x13000 ~ 0x133ff	0x2c	0x1b000 ~ 0x1b3ff	0x4c	0x23000 ~ 0x233ff	0x6c
0xb400 ~ 0xb7ff	0xd	0x13400 ~ 0x137ff	0x2d	0x1b400 ~ 0x1b7ff	0x4d	0x23400 ~ 0x237ff	0x6d
0xb800 ~ 0xbbff	0xe	0x13800 ~ 0x13bfff	0x2e	0x1b800 ~ 0x1bbfff	0x4e	0x23800 ~ 0x23bfff	0x6e
0xbc00 ~ 0xbfff	0xf	0x13c00 ~ 0x13fff	0x2f	0x1bc00 ~ 0x1bfff	0x4f	0x23c00 ~ 0x23fff	0x6f
0xc000 ~ 0xc3ff	0x10	0x14000 ~ 0x143ff	0x30	0x1c000 ~ 0x1c3ff	0x50	0x24000 ~ 0x243ff	0x70
0xc400 ~ 0xc7ff	0x11	0x14400 ~ 0x147ff	0x31	0x1c400 ~ 0x1c7ff	0x51	0x24400 ~ 0x247ff	0x71
0xc800 ~ 0xcbff	0x12	0x14800 ~ 0x14bfff	0x32	0x1c800 ~ 0x1cbfff	0x52	0x24800 ~ 0x24bfff	0x72
0xcc00 ~ 0xcfff	0x13	0x14c00 ~ 0x14ffff	0x33	0x1cc00 ~ 0x1cfff	0x53	0x24c00 ~ 0x24ffff	0x73
0xd000 ~ 0xd3ff	0x14	0x15000 ~ 0x153ff	0x34	0x1d000 ~ 0x1d3ff	0x54	0x25000 ~ 0x253ff	0x74
0xd400 ~ 0xd7ff	0x15	0x15400 ~ 0x157ff	0x35	0x1d400 ~ 0x1d7ff	0x55	0x25400 ~ 0x257ff	0x75
0xd800 ~ 0xdbff	0x16	0x15800 ~ 0x15bfff	0x36	0x1d800 ~ 0x1dbfff	0x56	0x25800 ~ 0x25bfff	0x76
0xdc00 ~ 0xdfff	0x17	0x15c00 ~ 0x15ffff	0x37	0x1dc00 ~ 0x1dffff	0x57	0x25c00 ~ 0x25ffff	0x77
0xe000 ~ 0xe3ff	0x18	0x16000 ~ 0x163ff	0x38	0x1e000 ~ 0x1e3ff	0x58	0x26000 ~ 0x263ff	0x78
0xe400 ~ 0xe7ff	0x19	0x16400 ~ 0x167ff	0x39	0x1e400 ~ 0x1e7ff	0x59	0x26400 ~ 0x267ff	0x79
0xe800 ~ 0xebff	0x1a	0x16800 ~ 0x16bfff	0x3a	0x1e800 ~ 0x1ebfff	0x5a	0x26800 ~ 0x26bfff	0x7a
0xec00 ~ 0xefff	0x1b	0x16c00 ~ 0x16ffff	0x3b	0x1ec00 ~ 0x1efff	0x5b	0x26c00 ~ 0x26ffff	0x7b
0xf000 ~ 0xf3ff	0x1c	0x17000 ~ 0x173ff	0x3c	0x1f000 ~ 0x1f3ff	0x5c	0x27000 ~ 0x273ff	0x7c
0xf400 ~ 0xf7ff	0x1d	0x17400 ~ 0x177ff	0x3d	0x1f400 ~ 0x1f7ff	0x5d	0x27400 ~ 0x277ff	0x7d
0xf800 ~ 0xfbff	0x1e	0x17800 ~ 0x17bfff	0x3e	0x1f800 ~ 0x1fbfff	0x5e	0x27800 ~ 0x27bfff	0x7e
0xfc00 ~ 0xffff	0x1f	0x17c00 ~ 0x17ffff	0x3f	0x1fc00 ~ 0x1ffff	0x5f	0x27c00 ~ 0x27ffff	0x7f

FLASHC Sector Address Register (FLASH_ADDR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC Sector Address Register (FLASH_ADDR)	0x81702 (16 bits)	D15-7 D6-0	FLS_ADDR [6:0]	reserved Erase sector address	- Address[16:10]	- 0x0	- R/W	0 when being read.

D[15:7] Reserved

D[6:0] FLS_ADDR[6:0]: Erase Sector Address Bits

消去するセクタを指定します。(デフォルト: 0x0)

Flashメモリアドレス(S1C17803アドレス0x8000 = Flashメモリアドレス0x0)のビット16～ビット10をセクタアドレスとして指定してください。

表10.6.3 メモリアドレスとFlashセクタの対応

メモリ アドレス	セクタアド レス	メモリ アドレス	セクタアド レス	メモリ アドレス	セクタアド レス	メモリ アドレス	セクタアド レス
0x8000 ~ 0x83ff	0x0	0x10000 ~ 0x103ff	0x20	0x18000 ~ 0x183ff	0x40	0x20000 ~ 0x203ff	0x60
0x8400 ~ 0x87ff	0x1	0x10400 ~ 0x107ff	0x21	0x18400 ~ 0x187ff	0x41	0x20400 ~ 0x207ff	0x61
0x8800 ~ 0x8bff	0x2	0x10800 ~ 0x10bfff	0x22	0x18800 ~ 0x18bfff	0x42	0x20800 ~ 0x20bfff	0x62
0x8c00 ~ 0x8fff	0x3	0x10c00 ~ 0x10ffff	0x23	0x18c00 ~ 0x18ffff	0x43	0x20c00 ~ 0x20ffff	0x63
0x9000 ~ 0x93ff	0x4	0x11000 ~ 0x113ff	0x24	0x19000 ~ 0x193ff	0x44	0x21000 ~ 0x213ff	0x64
0x9400 ~ 0x97ff	0x5	0x11400 ~ 0x117ff	0x25	0x19400 ~ 0x197ff	0x45	0x21400 ~ 0x217ff	0x65
0x9800 ~ 0x9bff	0x6	0x11800 ~ 0x11bfff	0x26	0x19800 ~ 0x19bfff	0x46	0x21800 ~ 0x21bfff	0x66
0x9c00 ~ 0x9fff	0x7	0x11c00 ~ 0x11fff	0x27	0x19c00 ~ 0x19fff	0x47	0x21c00 ~ 0x21fff	0x67
0xa000 ~ 0xa3ff	0x8	0x12000 ~ 0x123ff	0x28	0x1a000 ~ 0x1a3ff	0x48	0x22000 ~ 0x223ff	0x68
0xa400 ~ 0xa7ff	0x9	0x12400 ~ 0x127ff	0x29	0x1a400 ~ 0x1a7ff	0x49	0x22400 ~ 0x227ff	0x69
0xa800 ~ 0xabff	0xa	0x12800 ~ 0x12bfff	0x2a	0x1a800 ~ 0x1abfff	0x4a	0x22800 ~ 0x22bfff	0x6a
0xac00 ~ 0xafff	0xb	0x12c00 ~ 0x12ffff	0x2b	0x1ac00 ~ 0x1affff	0x4b	0x22c00 ~ 0x22ffff	0x6b
0xb000 ~ 0xb3ff	0xc	0x13000 ~ 0x133ff	0x2c	0x1b000 ~ 0x1b3ff	0x4c	0x23000 ~ 0x233ff	0x6c
0xb400 ~ 0xb7ff	0xd	0x13400 ~ 0x137ff	0x2d	0x1b400 ~ 0x1b7ff	0x4d	0x23400 ~ 0x237ff	0x6d
0xb800 ~ 0xbbff	0xe	0x13800 ~ 0x13bfff	0x2e	0x1b800 ~ 0x1bbfff	0x4e	0x23800 ~ 0x23bfff	0x6e
0xbc00 ~ 0xbfff	0xf	0x13c00 ~ 0x13fff	0x2f	0x1bc00 ~ 0x1bfff	0x4f	0x23c00 ~ 0x23fff	0x6f
0xc000 ~ 0xc3ff	0x10	0x14000 ~ 0x143ff	0x30	0x1c000 ~ 0x1c3ff	0x50	0x24000 ~ 0x243ff	0x70
0xc400 ~ 0xc7ff	0x11	0x14400 ~ 0x147ff	0x31	0x1c400 ~ 0x1c7ff	0x51	0x24400 ~ 0x247ff	0x71
0xc800 ~ 0xcbff	0x12	0x14800 ~ 0x14bfff	0x32	0x1c800 ~ 0x1cbfff	0x52	0x24800 ~ 0x24bfff	0x72
0xcc00 ~ 0xcfff	0x13	0x14c00 ~ 0x14fff	0x33	0x1cc00 ~ 0x1cfff	0x53	0x24c00 ~ 0x24fff	0x73
0xd000 ~ 0xd3ff	0x14	0x15000 ~ 0x153ff	0x34	0x1d000 ~ 0x1d3ff	0x54	0x25000 ~ 0x253ff	0x74
0xd400 ~ 0xd7ff	0x15	0x15400 ~ 0x157ff	0x35	0x1d400 ~ 0x1d7ff	0x55	0x25400 ~ 0x257ff	0x75
0xd800 ~ 0xdbff	0x16	0x15800 ~ 0x15bfff	0x36	0x1d800 ~ 0x1dbfff	0x56	0x25800 ~ 0x25bfff	0x76
0xdc00 ~ 0xdfff	0x17	0x15c00 ~ 0x15fff	0x37	0x1dc00 ~ 0x1dfff	0x57	0x25c00 ~ 0x25fff	0x77
0xe000 ~ 0xe3ff	0x18	0x16000 ~ 0x163ff	0x38	0x1e000 ~ 0x1e3ff	0x58	0x26000 ~ 0x263ff	0x78
0xe400 ~ 0xe7ff	0x19	0x16400 ~ 0x167ff	0x39	0x1e400 ~ 0x1e7ff	0x59	0x26400 ~ 0x267ff	0x79
0xe800 ~ 0xebff	0x1a	0x16800 ~ 0x16bfff	0x3a	0x1e800 ~ 0x1ebfff	0x5a	0x26800 ~ 0x26bfff	0x7a
0xec00 ~ 0xefff	0x1b	0x16c00 ~ 0x16ffff	0x3b	0x1ec00 ~ 0x1effff	0x5b	0x26c00 ~ 0x26ffff	0x7b
0xf000 ~ 0xf3ff	0x1c	0x17000 ~ 0x173ff	0x3c	0x1f000 ~ 0x1f3ff	0x5c	0x27000 ~ 0x273ff	0x7c
0xf400 ~ 0xf7ff	0x1d	0x17400 ~ 0x177ff	0x3d	0x1f400 ~ 0x1f7ff	0x5d	0x27400 ~ 0x277ff	0x7d
0xf800 ~ 0xfbff	0x1e	0x17800 ~ 0x17bfff	0x3e	0x1f800 ~ 0x1fbfff	0x5e	0x27800 ~ 0x27bfff	0x7e
0xfc00 ~ 0xffff	0x1f	0x17c00 ~ 0x17ffff	0x3f	0x1fc00 ~ 0x1ffff	0x5f	0x27c00 ~ 0x27ffff	0x7f

FLASHC Wait Register (FLASH_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FLASHC Wait Register (FLASH_WAIT)	0x81704 (16 bits)	D15-3	–	reserved	–	–	–	0 when being read.	
		D2-0	FLS_WAIT [2:0]	Flash read access wait cycle setup	FLS_WAIT[2:0] Wait cycle	0x7	R/W		
					:	:			
					0x0	0 cycles			

D[15:3] Reserved**D[2:0] FLS_WAIT[2:0]: Flash Read Access Wait Cycle Setup Bits**

Flashメモリアドレス時に挿入するウェイトサイクル数を設定します。

表10.6.4 リードアクセスウェイトサイクル数の設定

FLS_WAIT[2:0]	ウェイトサイクル数	リードアクセスサイクル数	システムクロック周波数
0x7	7サイクル	8サイクル	33MHz以下
0x6	6サイクル	7サイクル	
0x5	5サイクル	6サイクル	
0x4	4サイクル	5サイクル	
0x3	3サイクル	4サイクル	
0x2	2サイクル	3サイクル	
0x1	1サイクル	2サイクル	
0x0	0サイクル	1サイクル	16MHz以下

(デフォルト: 0x7)

システムクロック周波数に合わせ、最適なサイクル数を設定してください。

注: FLASHCにはFlashメモリの先読み回路が搭載されているため、外部からはFLS_WAIT[2:0]の設定の違いによるFlashリードアクセスの変化を観測することができません。FLS_WAIT[2:0]にはシステムクロック周波数の対応範囲外の値を設定しないでください。

FLASHC Protect Register (FLASH_PROT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC	0x81710	D15-8	—	reserved	—	—	—	0 when being read.
Protect Register (FLASH_PROT)	(16 bits)	D7-0	FLS_PROT [7:0]	FLASHC register protect flag	Writing 10010110 (0x96) removes the write protection of the FLASH_CTL register. Writing another value set the write protection.	0x0	R/W	

D[15:8] Reserved

D[7:0] FLS_PROT[7:0]: FLASHC Register Protect Flag Bits

FLASH_CTLレジスタの書き込み保護を設定/解除します。

0x96 (R/W): 書き込み保護解除

0x96以外 (R/W): 書き込み保護 (デフォルト: 0x0)

FLASH_CTLレジスタを変更する前に、FLS_PROT[7:0]に0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまではFLASH_CTLレジスタの書き換えが何度でも行えます。FLASH_CTLレジスタの設定後は、誤書き込み等を防止するため、FLS_PROT[7:0]を0x96以外に設定してください。

11 SRAMコントローラ (SRAMC)

11.1 SRAMCモジュールの概要

SRAMコントローラ (SRAMC) は、外部デバイスにアクセスするための外部バスインタフェースを提供するバスコントローラモジュールです。SRAMCの機能と特長を以下に示します。

- 23ビットアドレスバスと16ビットデータバス
- 4本のチップイネーブル信号 (#CE0～#CE3) を外部デバイスに出力
- #CEエリアごとに選択可能な2種類のアクセスタイプ (A0、BSL) をサポート
- #CEエリアごとに選択可能な2種類のデバイスサイズ (8ビット、16ビット) をサポート
- ウェイトサイクル (0～15サイクル) を #CEエリアごとにソフトウェアで設定可能
- #CEエリアごとにバーストリード機能を設定可能
- SRAM、ROM、Flashメモリ を外部バスに直接接続可能
- #WAIT端子からの外部ウェイト要求に対応 (SRAMのみ)
- リトルエンディアン (固定)
- 1セットアップサイクルと1ホールドサイクル (固定)
- #CE1に対し4つのクロックが選択可能: BCLK/1、BCLK/2、BCLK/4およびBCLK/8

11.2 SRAMC端子

表11.2.1にSRAMCが使用する端子の一覧を示します。

図11.2.1 SRAMC端子一覧

端子名	I/O	機能
D[15:0]	I/O	外部データバスD[15:0]
A0/#BSL	O	外部アドレスバスA0/バーストロープ(下位バイト)信号出力
A[22:1]	O	外部アドレスバスA[22:1]
#CE[3:0]	O	チップイネーブル信号出力
#RD	O	リード信号出力
#WRL	O	ライト(下位バイト)信号出力
#WRH/#BSH	O	ライト(上位バイト)信号/バーストロープ(上位バイト)信号出力

注: 上記外部バス制御端子は汎用入出力ポートと兼用されており、イニシャルリセット時は汎用入出力ポートに設定されます。これらの端子に割り当てられているSRAMCの信号を使用するには、端子に対応するポート機能選択ビットの設定により機能を切り換える必要があります。

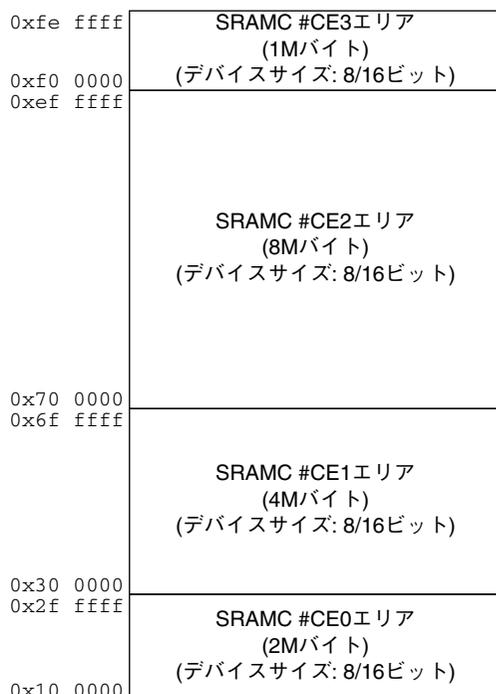
端子の機能の切り換えの詳細については、“汎用入出力ポート (GPIO)”の章を参照してください。

11.3 SRAMC動作クロック

SRAMCは、CMUから供給されるBCLKで動作します。BCLKは、通常モードおよびHALTモード(デフォルト時)では停止しません。CMU制御レジスタを使用すると、HALTモードで停止させることができます。BCLKはまたCMU_CLK端子から外部デバイスに出力できます。BCLKの詳細については、“クロックマネージメントユニット (CMU)”の章を参照してください。SLEEPモードでは、CMUはSRAMCへのBCLKの供給を停止します。

11.4 外部メモリエリア

SRAMCがサポートする外部メモリ空間は、図11.4.1.に示すとおり4つのエリアに分割されます。



*1 NAND Flashは#CE2エリアにのみ接続可能です。

*2 8ビットまたは16ビットSRAMは、どのエリアに接続しても外部VRAMとして使用可能です。

図11.4.1 S1C17803の外部メモリ空間

11.4.1 チップイネーブル信号

S1C17803は23ビットの外部アドレスバス、16ビットの外部データバス、および4本のチップイネーブル端子(#CE0～#CE3)を持ち、15MBのアドレス空間をアクセスできるようになっています。

表11.4.1.1 チップイネーブル信号

#CE端子	アドレス範囲	エリアサイズ
#CE0	0x100000～0x2ffff	2MB
#CE1	0x300000～0x6ffff	4MB
#CE2	0x700000～0xeffff	8MB
#CE3	0xf00000～0xfefff	1MB

外部エリアを使用する場合は、対応する#CE x 信号が出力されるように対応するポート機能選択ビットを設定してください。(“汎用入出力ポート (GPIO)”の章参照)。

11.4.2 エリアの条件設定

バスアクセス条件は、#CE x 信号別のエリアごとに設定できます。ここでは、エリアごとに設定される項目と制御ビットを示します。

エンディアンモード

S1C17803はリトルエンディアンモードのみをサポートしています。8ビットの外部デバイスを使用する場合は、データ信号をD[7:0]端子に接続してください。

デバイスタイプ

SRAMCにはSRAMタイプのバスインタフェースが組み込まれており、デバイスタイプとしてA0方式(デフォルト)またはBSL方式を選択することができます。BSL方式のインタフェースを使用する場合は、その#CE_xエリアのCE_x_MOD/SRAMC_MODレジスタを1に設定します。各方式で使用するバス制御信号端子を表11.4.2.1に示します。

表11.4.2.1 A0/BSL方式によるバス制御信号端子機能

端子名	A0(デフォルト)	BSL
#CE _x	#CE _x	#CE _x
#RD	#RD	#RD
A0/#BSL	A0	#BSL
#WRL/#WR	#WRL	#WR
#WRH/#BSH	#WRH	#BSH

デバイスサイズ

デバイスサイズはCE_x_SZ/SRAMC_SIZEレジスタで選択します。イニシャルリセット時、デバイスサイズは16ビット(CE_x_SZ = 1)に初期設定されます。8ビットデバイスを使用する場合は、CE_x_SZを0に設定してください。

スタティックウェイトサイクル

スタティックウェイトサイクルは、エリアのアクセス時に必ず挿入されるウェイトサイクルで、チップインエーブルおよびリード/ライト信号が指定サイクル数分延長されます。エリアに接続するデバイスの仕様に合わせ、CE_x_WT[3:0]/SRAMC_WTレジスタでウェイトサイクル数を指定します。

表11.4.2.2 スタティックウェイトサイクルの設定

CE _x _WT[3:0]	ウェイトサイクル数
0xf	15サイクル
0xe	14サイクル
0xd	13サイクル
0xc	12サイクル
0xb	11サイクル
0xa	10サイクル
0x9	9サイクル
:	:
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

(デフォルト: 0xf)

イニシャルリセット時、スタティックウェイトサイクル数は、すべての外部エリアで15サイクルに設定されます。

SRAMデバイスを接続するエリアでは、このスタティックウェイト制御に加え、#WAIT端子を使用したダイナミックウェイト制御も可能です。

バーストリードモード

SRAMCでは#CE_xエリアごとにバーストリードが可能です。この機能を使うにはCE_x_RDBST/SRAMC_RDBSTレジスタに1を設定します。

バーストリード機能を設定すると、SRAMCはセットアップサイクルとホールドサイクルを挿入せずに外部メモリを連続的に読み出すことができます(セットアップサイクルは最初のリードサイクルにだけ挿入し、またホールドサイクルは最後のリードサイクルにだけ挿入します)。

#CE1エリア用のバスクロック

SRAMCではセットアップ時間とホールド時間は1サイクル(BCLK)に固定されています。もっと長いセットアップまたはホールド時間が必要な低速のデバイスを接続する場合、#CE1エリアは低速バスクロック(分周したBCLK)を使用することができます。#CE1エリア用のバスクロックはCE1_DIV[1:0]/SRAMC_CE1DIVレジスタで選択できます。

表11.4.2.3 #CE1バスクロック

CE1_DIV[1:0]	#CE1バスクロック
0x3	BCLK*1/8
0x2	BCLK*1/4
0x1	BCLK*1/2
0x0	BCLK*1/1

(デフォルト:0x0)

11.5 外部デバイスの接続とバスオペレーション

11.5.1 外部デバイスの接続

以下にS1C17803とSRAMの接続例を示します。

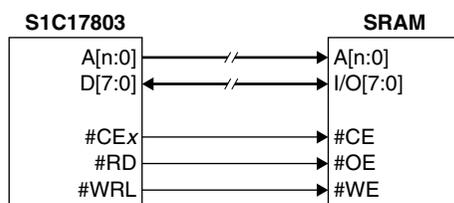


図11.5.1.1 8ビットデバイスサイズでの8ビットSRAMの接続例

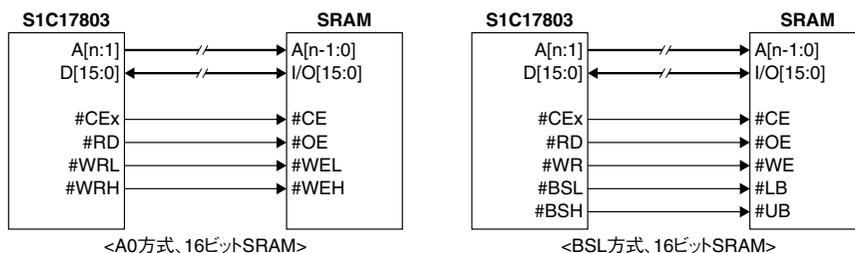


図11.5.1.2 16ビットデバイスサイズでの16ビットSRAMの接続例

11.5.2 メモリ上のデータ配置

S1C17803のSRAMCは8ビット、16ビット、24/32ビットのデータを扱います。メモリ上のデータをアクセスする場合は、データサイズに従った境界アドレスを指定することが必要で、それ以外のアドレスを指定すると、アドレス不整例外が発生します。

SP(スタックポインタ)やPC(プログラムカウンタ)の内容を書き換える命令は(スタック操作や分岐命令など)、指定アドレスが強制的に境界アドレスに変更されるため、アドレス不整例外は発生しません。アドレス不整例外の詳細についてはS1C17コアマニュアルを参照してください。

表11.5.2.1にデータタイプによるメモリ上の配置を示します。

表11.5.2.1 メモリ上のデータ配置

データタイプ	配置
8ビットデータ	8ビット境界(全アドレス)
16ビットデータ	16ビット境界(A[0]=0)
24/32ビットデータ	32ビット境界(A[1:0]=0b00)

メモリ上の16ビットデータ、24/32ビットデータは、リトルエンディアン形式でアクセスされます。メモリ効率を上げるには同種のデータを連続的に配置し、境界アドレスへの配置によってできる空白領域を極力減らしてください。

11.5.3 外部バスオペレーション

S1C17803の内部データバスサイズは32ビットです。ただし、外部データバス端子はD[15:0]の16ビットです。デバイスサイズと実行する命令のデータサイズによっては、複数回のバスオペレーションが発生します。表11.5.3.1にA0方式とBSL方式のバスオペレーションを示します。

メモリの接続については、11.5.1“外部デバイスの接続”を参照してください。

表11.5.3.1 バスオペレーション

デバイス サイズ	データ サイズ	R/W	A1	A0	A0方式			BSL方式			アクセス 回数	
					使用する 制御信号	D[15:8] 端子	D[7:0]端子	使用する 制御信号	D[15:8] 端子	D[7:0] 端子		
8ビット	8ビット	W	*	*	#WRL	-	D[7:0]	-	-	-	1	
		R	*	*	#RD	-	D[7:0]	-	-	-	1	
	16ビット	W	*	0	#WRL	-	D[7:0]	-	-	-	1回目	
			*	1	#WRL	-	D[15:8]	-	-	-	2回目	
		R	*	0	#RD	-	D[7:0]	-	-	-	1回目	
			*	1	#RD	-	D[15:8]	-	-	-	2回目	
	24/32ビット	W	0	0	#WRL	-	D[7:0]	-	-	-	1回目	
			0	1	#WRL	-	D[15:8]	-	-	-	2回目	
			1	0	#WRL	-	D[23:16]	-	-	-	3回目	
			1	1	#WRL	-	D[31:24]	-	-	-	4回目	
		R	0	0	#RD	-	D[7:0]	-	-	-	1回目	
			0	1	#RD	-	D[15:8]	-	-	-	2回目	
			1	0	#RD	-	D[23:16]	-	-	-	3回目	
			1	1	#RD	-	D[31:24]	-	-	-	4回目	
	16ビット	8ビット	W	*	0	#WRL	-	D[7:0]	#WR #BSL	-	D[7:0]	1
				*	1	#WRH	D[7:0]	-	#WR #BSH	D[7:0]	-	1
R			*	0	#RD	-	D[7:0]	#RD #BSL	-	D[7:0]	1	
			*	1	#RD	D[7:0]	-	#RD #BSH	D[7:0]	-	1	
16ビット		W	*	0	#WRH #WRL	D[15:0]		#WR #BSH #BSL	D[15:0]		1	
		R	*	0	#RD	D[15:0]		#RD #BSH #BSL	D[15:0]		1	
24/32ビット		W	0	0	#WRH	D[15:0]		#WR #BSH	D[15:0]		1回目	
			1	0	#WRL	D[31:16]		#WR #BSL	D[31:16]		2回目	
		R	0	0	#RD	D[15:0]		#RD #BSH	D[15:0]		1回目	
			1	0	#RD	D[31:16]		#RD #BSL	D[31:16]		2回目	

32ビットメモリアクセス時の上位8ビットデータについて

データは上位8ビットを0として書き込まれます。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時はPSRの値を上位8ビットとして書き込み/読み出しを行います。

11.6 バスアクセスタイミングチャート

11.6.1 SRAMリード/ライトタイミング (外部#WAITなし)

1. SRAMリード/ライトタイミング (スタティックウェイトなし)

[設定例]

デバイスサイズ: 16ビット

アクセスサイズ: 16ビット

スタティックウェイトサイクル数: 0サイクル

CLK: BCLK (#CE0, #CE2, #CE3), BCLK \cdot 1/1-1/8 (#CE1)

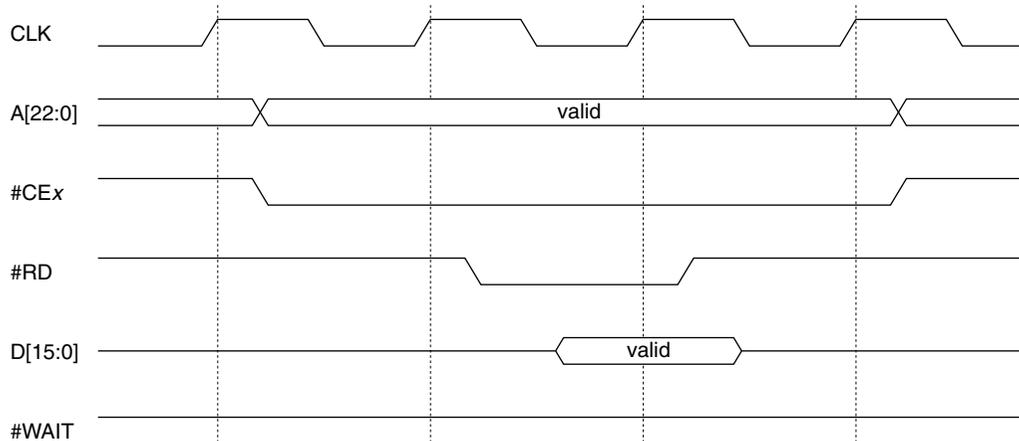


図11.6.1.1 SRAMリードタイミング (スタティックウェイトなし)

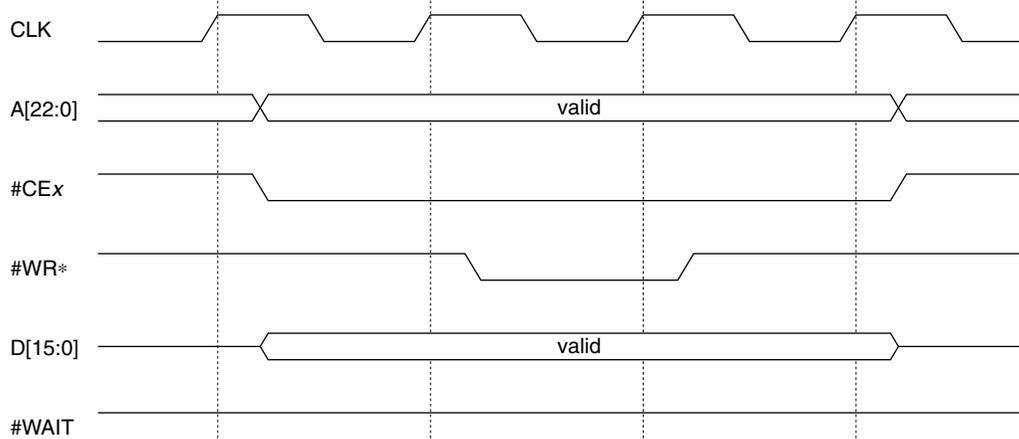


図11.6.1.2 SRAMライトタイミング (スタティックウェイトなし)

2. SRAMリード/ライトタイミング(スタティックウェイト付き)

[設定例]

デバイスサイズ: 16ビット

アクセスサイズ: 16ビット

スタティックウェイトサイクル数: 2サイクル

CLK: BCLK (#CE0, #CE2, #CE3), BCLK•1/1-1/8 (#CE1)

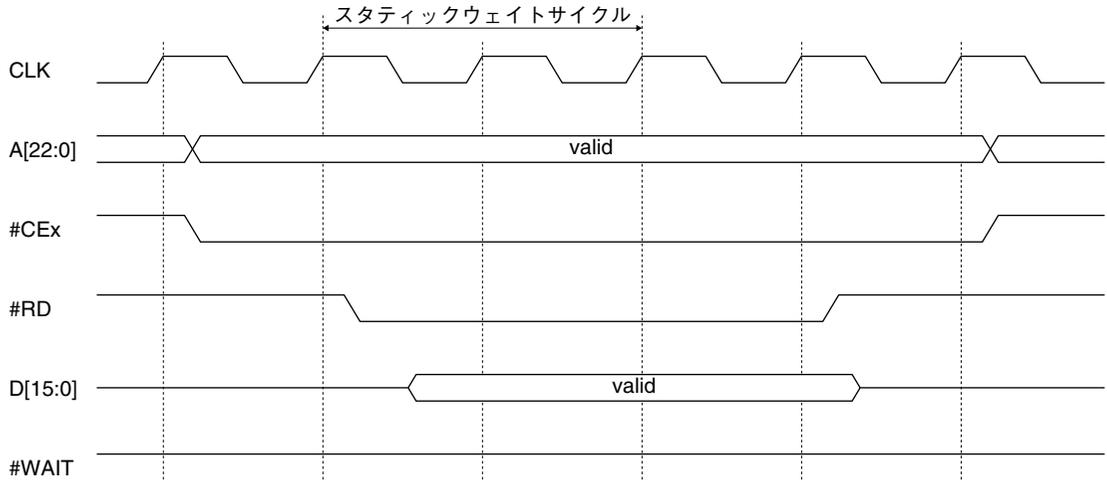


図11.6.1.3 SRAMリードタイミング(スタティックウェイト付き)

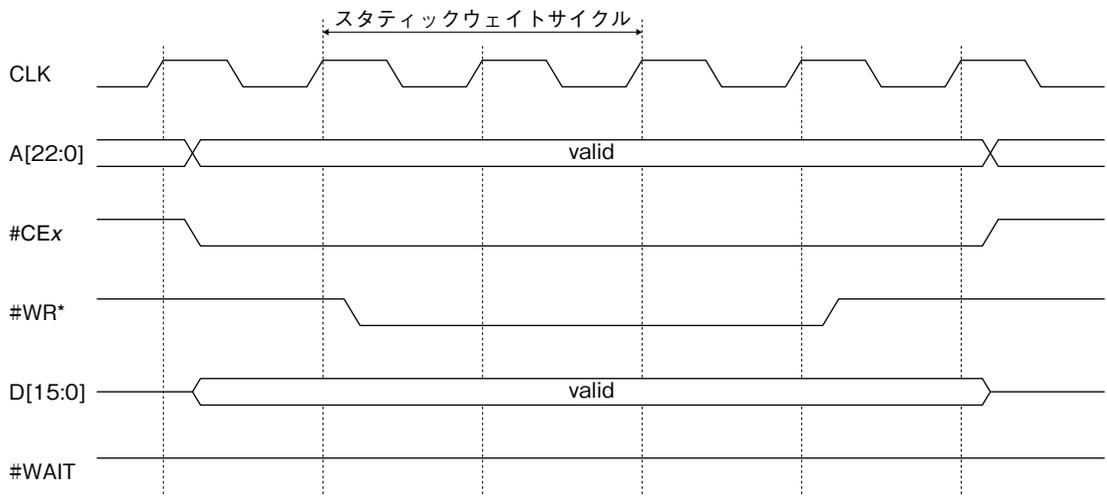


図11.6.1.4 SRAMライトタイミング(スタティックウェイト付き)

11.6.2 SRAMリード/ライトタイミング (外部#WAITあり)

外部#WAIT端子によるウェイトサイクルの挿入は、デバイスがSRAMの場合にのみ可能です。
外部#WAIT信号は、リードまたはライト信号がHighに立ち上がる時点から1クロック前の立ち上がりエッジでサンプリングされます。#WAIT信号のアクティブレベル(Low)がサンプリングされている間はWAIT状態となり、インアクティブレベル(High)がサンプリングされた時点で、それ以降の動作を再開します。

[設定例]

デバイスサイズ: 16ビット
 アクセスサイズ: 16ビット
 スタティックウェイトサイクル数: 0サイクル
 CLK: BCLK (#CE0, #CE2, #CE3), BCLK・1/1-1/8 (#CE1)

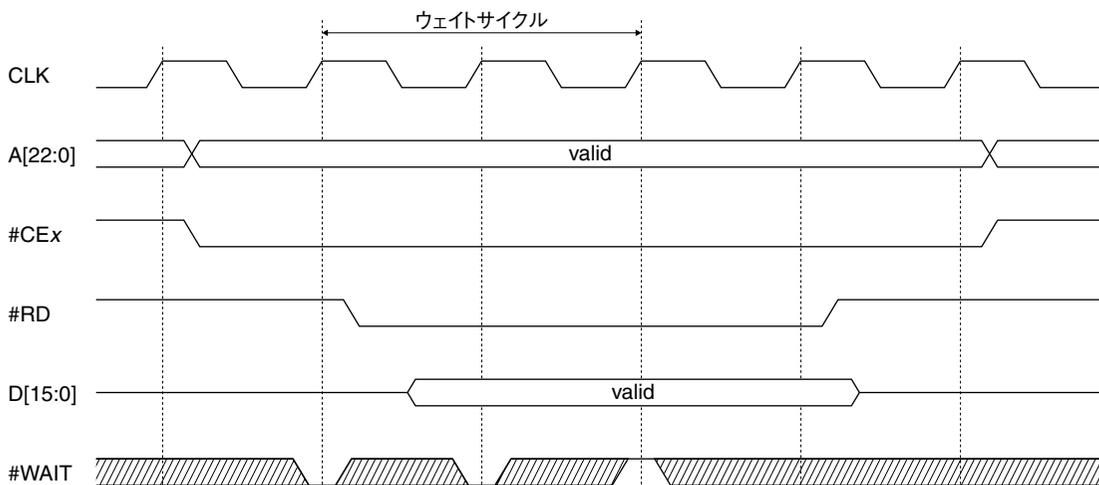


図11.6.2.1 SRAMリードタイミング (外部#WAITあり)

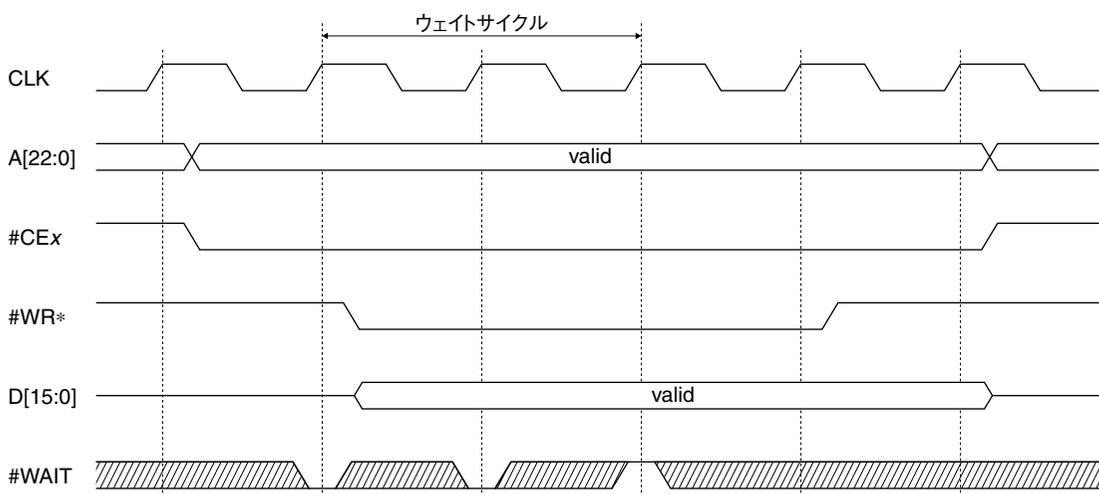


図11.6.2.2 SRAMライトタイミング (外部#WAITあり)

11.6.3 SRAMバーストリードタイミング

[設定例]

デバイスサイズ: 16ビット

アクセスサイズ: 16ビット

スタティックウェイトサイクル数: 0サイクル

CLK: BCLK (#CE0, #CE2, #CE3), BCLK•1/1-1/8 (#CE1)

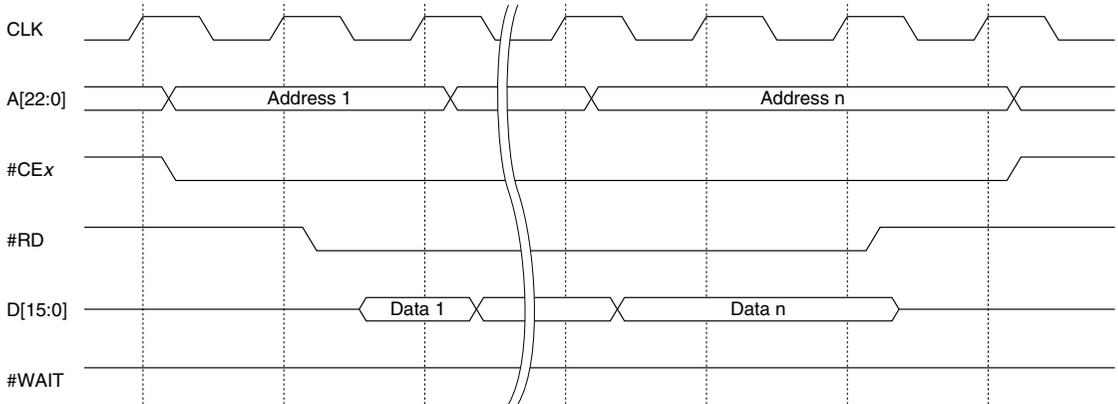


図11.6.3.1 SRAMバーストリードタイミング

11.7 制御レジスタ詳細

表11.7.1 SRAMCレジスタ一覧

アドレス	レジスタ名		機能
0x81600	SRAMC_WT	SRAMC Wait Cycle Configuration Register	スタティックウェイトサイクルを設定
0x81604	SRAMC_SIZE	SRAMC Device Size Configuration Register	デバイスサイズ(8/16ビット)の選択
0x81608	SRAMC_MOD	SRAMC Device Mode Configuration Register	デバイスタイプ(A0/BSL)の選択
0x8160c	SRAMC_RDBST	SRAMC Burst Read Control Register	バーストリード機能を設定
0x81610	SRAMC_CE1DIV	SRAMC #CE1 Bus Clock Division Register	#CE1用のバスクロックを設定

以下にSRAMCの制御レジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

SRAMC Wait Cycle Configuration Register (SRAMC_WT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SRAMC Wait Cycle Configuration Register (SRAMC_WT)	0x81600 (16 bits)	D15-12	CE3_WT [3:0]	#CE3 static wait cycle configuration	CEx_WT[3:0] 0xf	Wait cycle 15 cycles	0xf	R/W	
		D11-8	CE2_WT [3:0]	#CE2 static wait cycle configuration	0xe	14 cycles	0xf	R/W	
		D7-4	CE1_WT [3:0]	#CE1 static wait cycle configuration	0xd :	13 cycles :	0xf	R/W	
		D3-0	CE0_WT [3:0]	#CE0 static wait cycle configuration	0x2 0x1 0x0	2 cycles 1 cycle 0 cycles	0xf	R/W	

注: このレジスタは16ビットアクセスのみ可能です。

D[15:12] CE3_WT[3:0]: #CE3 Static Wait Cycle Configuration Bits

#CE3エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

表11.7.2 スタティックウェイトサイクルの設定

CE _x _WT[3:0]	ウェイトサイクル数
0xf	15サイクル
0xe	14サイクル
0xd	13サイクル
0xc	12サイクル
0xb	11サイクル
0xa	10サイクル
0x9	9サイクル
0x8	8サイクル
0x7	7サイクル
0x6	6サイクル
0x5	5サイクル
0x4	4サイクル
0x3	3サイクル
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

(デフォルト: 0xf)

D[11:8] CE2_WT[3:0]: #CE2 Static Wait Cycle Configuration Bits

#CE2エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D[7:4] CE1_WT[3:0]: #CE1 Static Wait Cycle Configuration Bits

#CE1エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

D[3:0] CE0_WT[3:0]: #CE0 Static Wait Cycle Configuration Bits

#CE0エリアをアクセスする際に挿入するスタティックウェイトサイクル数を設定します。

SRAMC Device Size Configuration Register (SRAMC_SIZE)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
SRAMC	0x81604	D15-4	-	reserved	-			-	-	0 when being read.
Device Size Configuration Register (SRAMC_SIZE)	(16 bits)	D3	CE3_SZ	#CE3 device size configuration	1	16 bits	0	8 bits	0	R/W
		D2	CE2_SZ	#CE2 device size configuration	1	16 bits	0	8 bits	0	R/W
		D1	CE1_SZ	#CE1 device size configuration	1	16 bits	0	8 bits	0	R/W
		D0	CE0_SZ	#CE0 device size configuration	1	16 bits	0	8 bits	0	R/W

D[15:4] Reserved**D3 CE3_SZ: #CE3 Device Size Configuration Bit**

#CE3エリアのデバイスサイズを選択します。

1(R/W): 16ビット

0(R/W): 8ビット(デフォルト)

D2 CE2_SZ: #CE2 Device Size Configuration Bit

#CE2エリアのデバイスサイズを選択します。

1(R/W): 16ビット

0(R/W): 8ビット(デフォルト)

D1 CE1_SZ: #CE1 Device Size Configuration Bit

#CE1エリアのデバイスサイズを選択します。

1(R/W): 16ビット

0(R/W): 8ビット(デフォルト)

D0 CE0_SZ: #CE0 Device Size Configuration Bit

#CE0エリアのデバイスサイズを選択します。

1(R/W): 16ビット

0(R/W): 8ビット(デフォルト)

SRAMC Device Mode Configuration Register (SRAMC_MOD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SRAMC Device Mode Configuration Register (SRAMC_MOD)	0x81608 (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.
		D3	CE3_MOD	#CE3 device mode configuration	1 BSL	0 A0	0	R/W
		D2	CE2_MOD	#CE2 device mode configuration	1 BSL	0 A0	0	R/W
		D1	CE1_MOD	#CE1 device mode configuration	1 BSL	0 A0	0	R/W
		D0	CE0_MOD	#CE0 device mode configuration	1 BSL	0 A0	0	R/W

D[15:4] **Reserved**

D3 **CE3_MOD: #CE3 Device Mode Configuration Bit**

#CE3エリアのデバイスタイプ(A0またはBSL)を選択します。

1(R/W): BSL

0(R/W): A0(デフォルト)

表11.7.3 A0/BSL方式によるバス制御信号端子機能

端子名	A0(デフォルト)	BSL
#CE _x	#CE _x	#CE _x
#RD	#RD	#RD
A0/#BSL	A0	#BSL
#WRL/#WR	#WRL	#WR
#WRH/#BSH	#WRH	#BSH

D2 **CE2_MOD: #CE2 Device Mode Configuration Bit**

#CE2エリアのデバイスタイプ(A0またはBSL)を選択します。

1(R/W): BSL

0(R/W): A0(デフォルト)

D1 **CE1_MOD: #CE1 Device Mode Configuration Bit**

#CE1エリアのデバイスタイプ(A0またはBSL)を選択します。

1(R/W): BSL

0(R/W): A0(デフォルト)

D0 **CE0_MOD: #CE0 Device Mode Configuration Bit**

#CE0エリアのデバイスタイプ(A0またはBSL)を選択します。

1(R/W): BSL

0(R/W): A0(デフォルト)

SRAMC Burst Read Control Register (SRAMC_RDBST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SRAMC Burst Read Control Register (SRAMC_ RDBST)	0x8160c (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.
		D3	CE3_RD- BST	#CE3 burst read enable	1 Disable	0 Enable	0	R/W
		D2	CE2_RD- BST	#CE2 burst read enable	1 Disable	0 Enable	0	R/W
		D1	CE1_RD- BST	#CE1 burst read enable	1 Disable	0 Enable	0	R/W
		D0	CE0_RD- BST	#CE0 burst read enable	1 Disable	0 Enable	0	R/W

D[15:4] **Reserved**

D3 **CE3_RDBST: #CE3 Burst Read Enable Bit**

#CE3エリアのバーストリード機能を設定します。

1(R/W): 禁止

0(R/W): 許可(デフォルト)

バーストリード機能を設定すると、SRAMCはセットアップサイクルとホールドサイクルを挿入せずに外部メモリを連続的に読み出すことができます(セットアップサイクルは最初のリードサイクルにだけ挿入し、またホールドサイクルは最後のリードサイクルにだけ挿入します)。

11 SRAMコントローラ (SRAMC)

- D2 CE2_RDBST: #CE2 Burst Read Enable Bit**
 #CE2エリアのバーストリード機能を設定します。
 1(R/W): 禁止
 0(R/W): 許可(デフォルト)
- D1 CE1_RDBST: #CE1 Burst Read Enable Bit**
 #CE1エリアのバーストリード機能を設定します。
 1(R/W): 禁止
 0(R/W): 許可(デフォルト)
- D0 CE0_RDBST: #CE0 Burst Read Enable Bit**
 #CE0エリアのバーストリード機能を設定します。
 1(R/W): 禁止
 0(R/W): 許可(デフォルト)

SRAMC #CE1 Bus Clock Division Register (SRAMC_CE1DIV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SRAMC	0x81610	D15-2	-	reserved	-	-	-	0 when being read.
#CE1 Bus Clock Division Register (SRAMC_CE1DIV)	(16 bits)	D1-0	CE1_DIV [1:0]	#CE1 bus clock division ratio select	CE1_DIV[1:0] Bus clock	0x0	R/W	
					0x3 BCLK*1/8			
					0x2 BCLK*1/4			
					0x1 BCLK*1/2			
					0x0 BCLK*1/1			

D[15:2] Reserved

D[1:0] CE1_DIV[1:0]: #CE1 Bus Clock Division Ratio Select Bits

#CE1エリアで使用するバスクロックを選択します。
 SRAMCではセットアップ時間とホールド時間は1サイクル(BCLK)に固定されています。もっと長いセットアップまたはホールド時間が必要な低速度のデバイスを接続する場合、CE1_DIV[1:0]により低速バスクロックを選択してください。

表11.7.4 #CE1バスクロック

CE1_DIV[1:0]	#CE1バスクロック
0x3	BCLK*1/8
0x2	BCLK*1/4
0x1	BCLK*1/2
0x0	BCLK*1/1

(デフォルト: 0x0)

11.8 注意事項

CPUがS1C17803のメモリ空間内の外部メモリエリア(#CE0～#CE3エリア、アドレス0x100000～0xfeffff)をアクセスする場合、外部バスにはアドレスが以下のように出力されます。

	A23	A0	CPUによるアクセスアドレス
#CE3エリア	[1111 1110 1111 1111 1111 1111]		0xfe ffff
	[1111 0000 0000 0000 0000 0000]		0xf0 0000
#CE2エリア	[1110 1111 1111 1111 1111 1111]		0xef ffff
	[0111 0000 0000 0000 0000 0000]		0x70 0000
#CE1エリア	[0110 1111 1111 1111 1111 1111]		0x6f ffff
	[0011 0000 0000 0000 0000 0000]		0x30 0000
#CE0エリア	[0010 1111 1111 1111 1111 1111]		0x2f ffff
	[0001 0000 0000 0000 0000 0000]		0x10 0000

A19	A0	1MBデバイスに接続される外部アドレスバス
A20	A0	2MBデバイスに接続される外部アドレスバス
A21	A0	4MBデバイスに接続される外部アドレスバス
A22	A0	8MBデバイスに接続される外部アドレスバス

例: #CE2エリアに8MBメモリが接続されている場合

	CPUによるアクセスアドレス	外部メモリのアドレス
#CE2エリア	[1110 1111 1111 1111 1111 1111]	0x7f ffff
	[: :: : :: : :: : :: : :: : :: : :: :]	:
	[1000 0000 0000 0000 0000 0000]	0x70 0000
	[0111 1111 1111 1111 1111 1111]	0x6f ffff
	[0111 0000 0000 0000 0000 0000]	0x00 0000

外部バスには出力されません。

表11.8.1 CPUがアクセスするアドレスと外部バス上のアドレス

たとえば、CPUが#CE2エリアの0x700000～0x7fffffの範囲をアクセスした場合は、アクセスするアドレスがそのまま外部アドレスバスに出力されます。CPUが0x800000～0xfffff(#CE2エリアの上位7MB)の範囲をアクセスした場合、外部アドレスバスにA23がないため、0x000000～0x6fffffの範囲のアドレスが出力されます(外部メモリデバイス内の下位7MBがアクセスされます)。つまり、#CE2エリア内の先頭からの相対アドレスが外部メモリデバイス内のアドレスとは異なる場合があります。

SRAMを接続した場合は、特に問題は発生しません。データを外部で書き込んだROMなどを接続した場合は、このアドレスの違いに注意する必要があります。また、Flashメモリを接続する場合は、セクタ番号によりセクタサイズが異なりますので、アクセスするセクタとCPUのアクセスアドレスとの関係に注意する必要があります。

12 割り込みコントローラ (ITC)

12.1 ITCモジュールの概要

S1C17803には以下に示す割り込み系列が用意されています。

1. DMA割り込み(1種類)
2. ポート割り込み0(7種類)
3. ポート割り込み1(6種類)
4. 16ビットPWMタイマ割り込み(6種類)
5. USI Ch.0割り込み(3種類)
6. USI Ch.1割り込み(3種類)
7. A/D変換器割り込み(2種類)
8. 16ビットオーディオPWMタイマ割り込み(3種類)
9. I²S割り込み(3種類)
10. LCDC割り込み(1種類)
11. CLG_T16FU0割り込み(1種類)
12. CLG_T8I割り込み(1種類)
13. UART割り込み(3種類)
14. I²Cマスタ割り込み(2種類)
15. I²Cスレーブ割り込み(3種類)
16. 8ビットプログラマブルタイマ割り込み(3種類)
17. RTC割り込み(1種類)
18. リモートコントローラ割り込み(3種類)

複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル(優先順位)を割り込み系列ごとに設定することができます。

各割り込み系列には上記の()内に示した数の割り込み要因があります。どの割り込み要因でITCに対する割り込み要求を発生させるかについてはそれぞれの周辺モジュールのレジスタで制御します。

割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。

図12.1.1に割り込みシステムの構成を示します。

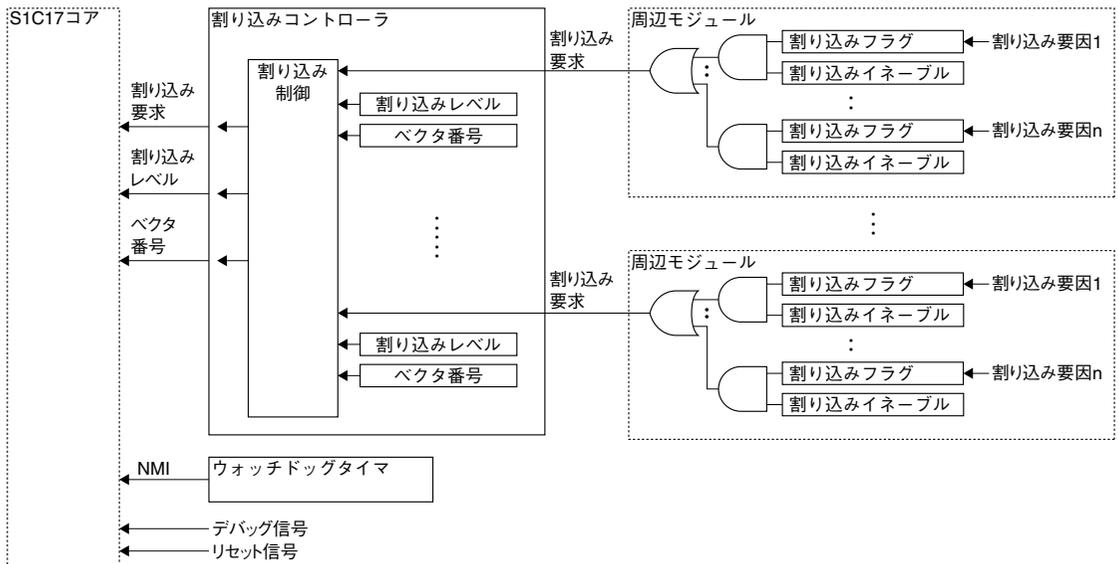


図12.1.1 割り込みシステム

12.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C1703コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。

表12.2.1にS1C17803のベクタテーブルを示します。

表12.2.1 ベクタテーブル

ベクタNo. ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	<ul style="list-style-type: none"> • #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2 	1
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2
-	(0xffff00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	<ul style="list-style-type: none"> • #NMI端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2 	4
3 (0x03)	TTBR + 0x0c	reserved	-	-
4 (0x04)	TTBR + 0x10	DMACの割り込み	DMA転送終了	High *1
5 (0x05)	TTBR + 0x14	ポート割り込み0	P2/P8入力(立ち上がり/下がりエッジまたはH/Lレベル)	↑
6 (0x06)	TTBR + 0x18	ポート割り込み1 16ビットPWMタイマ割り込み	<ul style="list-style-type: none"> • コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト 	
7 (0x07)	TTBR + 0x1c	USI Ch.0割り込み	<ul style="list-style-type: none"> • 送信バッファエンpty • 受信バッファフル • 受信エラー 	
8 (0x08)	TTBR + 0x20	USI Ch.1割り込み	<ul style="list-style-type: none"> • 送信バッファエンpty • 受信バッファフル • 受信エラー 	
9 (0x09)	TTBR + 0x24	A/D変換器割り込み	<ul style="list-style-type: none"> • 変換完了 • 変換結果オーバーライト 	
10 (0x0a)	TTBR + 0x28	16ビットオーディオPWMタイマ 割り込み I ² S割り込み	<ul style="list-style-type: none"> • コンペアA/B • バッファエンpty • I²S FIFOエンpty(完全エンpty、ハーフエンpty、または1データエンpty) 	
11 (0x0b)	TTBR + 0x2c	LCDC割り込み	フレーム信号	
12 (0x0c)	TTBR + 0x30	CLG_T16FU0割り込み	タイマアンダーフロー	
13 (0x0d)	TTBR + 0x34	reserved	-	
14 (0x0e)	TTBR + 0x38	reserved	-	
15 (0x0f)	TTBR + 0x3c	CLG_T8I割り込み	タイマアンダーフロー	
16 (0x10)	TTBR + 0x40	UART割り込み	<ul style="list-style-type: none"> • 送信バッファエンpty • 受信バッファフル • 受信エラー 	
17 (0x11)	TTBR + 0x44	reserved	-	
18 (0x12)	TTBR + 0x48	reserved	-	
19 (0x13)	TTBR + 0x4c	I ² Cマスタ割り込み	<ul style="list-style-type: none"> • 送信バッファエンpty • 受信バッファフル 	
20 (0x14)	TTBR + 0x50	I ² Cスレーブ割り込み	<ul style="list-style-type: none"> • 送信バッファエンpty • 受信バッファフル • バス状態 	
21 (0x15)	TTBR + 0x54	8ビットプログラマブルタイマ Ch.0 ~ Ch.2割り込み 16ビットPWMタイマ割り込み	<ul style="list-style-type: none"> • コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト 	
22 (0x16)	TTBR + 0x58	RTC割り込み	1/64秒、1秒、1分、または1時間 カウントアップ	
23 (0x17)	TTBR + 0x5c	リモートコントローラ割り込み	<ul style="list-style-type: none"> • データ長カウンタアンダーフロー • 入力立ち上がりエッジ検出 • 入力立ち下がりエッジ検出 	
24 (0x18)	TTBR + 0x60	reserved	-	↓
⋮	⋮	⋮	⋮	⋮
31 (0x1f)	TTBR + 0x7c	reserved	-	Low *1

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

S1C17803では、ベクタ番号4 ~ 23がマスク可能割り込みに割り当てられています。

ベクタアドレスを共有する割り込み

割り込みベクタ番号6、10、および21はそれぞれ2つの割り込みモジュールにより共有されています。

割り込みベクタ6: ポート割り込み1と16ビットPWMタイマ

割り込みベクタ10: 16ビットオーディオPWMタイマとI²S

割り込みベクタ21: 8ビットプログラマブルタイマと16ビットPWMタイマ

割り込み信号は2つのモジュールからORゲート経由でITCに入力されます。

16ビットオーディオPWMタイマとI²S割り込みは、割り込みベクタ10を共有しており、同時に使用することが出来ます。割り込みベクタ10処理ルーチンでは、16ビットオーディオPWMタイマとI²S割り込みモジュールのどちらの割り込みが発生したか、割り込みフラグを確認する必要があります。

ポート割り込み1、16ビットPWMタイマ、および8ビットプログラマブルタイマ割り込みの3種類はベクタ番号6および21に割り当てられており、同時に使用することができません。そのうち任意の2つは同時に使用することができます。

ポート割り込み1と16ビットPWMタイマ割り込みを同時に使用するには、8ビットプログラマブルタイマ割り込みを禁止して、ベクタ21の割り込みレベルをベクタ6より高く設定してください。16ビットPWMタイマ割り込みが発生すると、割り込みベクタ21の処理ルーチンを実行します。

8ビットプログラマブルタイマと16ビットPWMタイマ割り込みを同時に使用するには、ポート割り込み1を禁止して、ベクタ6の割り込みレベルをベクタ21より高く設定してください。16ビットPWMタイマ割り込みが発生すると、割り込みベクタ6の処理ルーチンを実行します。

ポート割り込み1と8ビットプログラマブルタイマを同時に使用するには、16ビットPWMタイマ割り込みを禁止してください。

ベクタテーブルのベースアドレス

ベクタテーブルのベース(先頭)アドレスは、MISC_TTBRLおよびMISC_TTBRHレジスタによって設定することができます。表12.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。インシャルリセット後、MISC_TTBRLおよびMISC_TTBRHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。MISC_TTBRHレジスタのビット7～0は0に固定されます。このため、ベクタテーブルは常に256バイト境界アドレスから始まります。

Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15-8	TTBR[15:8]	Vector table base address A[15:8]	0x0-0xff	0x80	R/W	Write-protected
		D7-0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRH)	0x532a (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	TTBR[23:16]	Vector table base address A[23:16]	0x0-0xff	0x0	R/W	Write-protected

注: MISC_TTBRLおよびMISC_TTBRHレジスタは書き込み保護されています。これらのレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_TTBRLおよびMISC_TTBRHレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタを0x96以外に設定してください。

12.3 マスク可能割り込みの制御

12.3.1

割り込みを発生させる周辺モジュールには、それぞれの割り込み要因に対して割り込みイネーブルビットおよび割り込みフラグが用意されています。割り込みフラグは割り込み要求が発生すると、1にセットされます。割り込みが許可されている状態で割り込みイネーブルビットが1に設定されると、フラグ状態が割り込み要求信号としてITCに送られS1C17コアへの割り込み要求を発生させます。

割り込みの発生が不要な割り込み要因に対応する割り込みイネーブルビットは0に設定する必要があります。この場合、割り込み要因が発生すると割り込みフラグが1にセットされますが、ITCへ送られた割り込み要求信号はアクティブになりません。

割り込みが発生した後、1にセットされた割り込みフラグは割り込み処理ルーチンで必ずリセットしてください。割り込みフラグが1にセットされたまま割り込み処理ルーチンの最後にret命令を実行すると、ITCが信号レベルにより割り込み要求を検出し、同じ割り込みが再度発生します。

割り込み要因、割り込みフラグ、および割り込みイネーブルビットの詳細については、各周辺モジュールの説明を参照してください。

12.3.2 ITC割り込み要求の処理

周辺モジュールのからの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。

表12.2.1に示すとおり、それぞれの割り込み要因に対応するITC内蔵のハードウェアによってベクタ番号が決まります。

割り込みレベルはS1C17コアがILビット(PSR)との比較に使用する値です。この割り込みレベルを使用して、

S1C17コアではそれ以降に発生する同一あるいはそれより低いレベルの割り込みを禁止します。(12.3.3節を参照)

すべてのマスク可能な割り込みに対応するITCの初期設定はレベル0になります。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。

ITCには割り込みレベルを選択する制御ビットが用意されており、各割り込みベクタに対して0(Low)～7(High)を設定できます。

ITCへ複数の周辺モジュールから割り込み要因が同時に発生した場合、ITCは以下に示す条件に従い最も高い優先順位を持つ割り込みの要求をS1C17コアに送ります。

1. 最も高い割り込みレベルを持つ割り込みを先に処理する。
2. 同一の割り込みレベルを持つ複数の割り込み要求では、ベクタ番号の小さい割り込みを先に処理する。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、

ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。周辺モジュールの割り込みフラグがソフトウェアによりリセットされた場合、保留された割り込みは取り消され、割り込みは発生しません。

表12.3.2.1 割り込みレベル設定ビット

ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
DMA割り込み	ILV0[2:0] (D[2:0]/ITC_LV0レジスタ)	0x42e6
ポート割り込み0	ILV1[2:0] (D[10:8]/ITC_LV0レジスタ)	0x42e6
ポート割り込み1/16ビットPWMタイマ割り込み	ILV2[2:0] (D[2:0]/ITC_LV1レジスタ)	0x42e8
USI Ch.0割り込み	ILV3[2:0] (D[10:8]/ITC_LV1レジスタ)	0x42e8
USI Ch.1割り込み	ILV4[2:0] (D[2:0]/ITC_LV2レジスタ)	0x42ea
A/D変換器割り込み	ILV5[2:0] (D[10:8]/ITC_LV2レジスタ)	0x42ea
16ビットオーディオPWMタイマ割り込み/I ² S割り込み	ILV6[2:0] (D[2:0]/ITC_LV3レジスタ)	0x42ec
LCDC割り込み	ILV7[2:0] (D[10:8]/ITC_LV3レジスタ)	0x42ec
CLG_T16FU0割り込み	ILV8[2:0] (D[2:0]/ITC_LV4レジスタ)	0x42ee
CLG_T8I割り込み	ILV11[2:0] (D[10:8]/ITC_LV5レジスタ)	0x42f0
UART割り込み	ILV12[2:0] (D[2:0]/ITC_LV6レジスタ)	0x42f2
I ² Cマスタ割り込み	ILV15[2:0] (D[10:8]/ITC_LV7レジスタ)	0x42f4
I ² Cスレーブ割り込み	ILV16[2:0] (D[2:0]/ITC_LV8レジスタ)	0x42f6
8ビットプログラマブルタイマCh.0 ~ Ch.2/16ビットPWMタイマ割り込み	ILV17[2:0] (D[10:8]/ITC_LV8レジスタ)	0x42f6
RTC割り込み	ILV18[2:0] (D[2:0]/ITC_LV9レジスタ)	0x42f8
リモートコントローラ割り込み	ILV19[2:0] (D[10:8]/ITC_LV9レジスタ)	0x42f8

12.3.3 SIC17コアの割り込み処理

SIC17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 割り込みは周辺モジュール内の割り込み制御ビットにより許可されている。
- PSR(SIC17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

周辺モジュール内で許可された割り込み要因が発生すると、対応する割り込みフラグが1にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高いレベルおよび小さいベクタ番号の割り込みを持つ割り込み要因がその時点でのSIC17コアへの割り込み要求の対象となります。レベルの低い割り込みは、その後、上記の条件が成立するまで保留されます。

SIC17コアは毎サイクル、割り込み要求のサンプリングを行っています。SIC17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。

割り込み処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
- (2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILビットを受け付けた割り込みのレベルにセット(NMIはILビットには影響しない)
- (4) 発生した割り込みのベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。割り込み処理ルーチン内でIEビットを1に設定することで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令に従って処理を再開します。

12.4 NMI

S1C17803では、#NMI端子へのLowレベル入力またはウォッチドッグタイマにより、NMI(ノンマスクابل割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス+8バイトに設定されています。

この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。

ウォッチドッグタイマでNMIを発生させる方法については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

12.5 ソフトウェア割り込み

S1C17コアのint imm5またはint1 imm5, imm3命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値imm5でベクタテーブルのベクタ番号(0 ~ 31)を指定します。int1命令では、imm3でPSRのILフィールドに設定する割り込みレベル(0 ~ 7)を指定することもできます。

プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

12.6 HALT、SLEEPモードの解除

HALTモードは、CPUを起動させる以下の信号によって解除されます。

- ITCからCPUへの割り込み要求信号
- ウォッチドッグタイマから出力または#NMI端子へのNMI信号入力
- デバッグ割り込み信号
- ウォッチドッグタイマから出力または#RESET端子へのリセット信号入力

SLEEPモードは、CPUを起動させる以下の信号によって解除されます。

- GPIOまたはRTCからのポート割り込み0、ポート割り込み1、またはRTC割り込み要求信号
- #NMI端子へのNMI信号入力
- #RESET端子へのリセット信号入力

注: • ITCからCPUへの割り込み要求によるHALTまたはSLEEPモード解除時にCPUが割り込みを受け付けると、解除後は割り込み処理ルーチンに分岐します。その他はすべて、haltまたはspの次の命令から実行を再開します。

- 割り込み要求によるHALTまたはSLEEPモードの解除は、ITCの割り込みレベル設定を使用してマスク(禁止)することはできません。割り込み要因によってHALTまたはSLEEPモードを解除する場合、その割り込み要因に対応する割り込みイネーブルビットを1(割り込み許可)に設定しておく必要があります。

詳細については、Appendixの章の“パワーセーブ”を参照してください。

12.7 制御レジスタ詳細

表12.7.1 ITCレジスタ一覧

アドレス	レジスタ名		機能
0x42e6	ITC_LV0	Interrupt Level Setup Register 0	DMAおよびポート0割り込みレベルの設定
0x42e8	ITC_LV1	Interrupt Level Setup Register 1	ポート1/T16A、USI Ch.0割り込みレベルの設定
0x42ea	ITC_LV2	Interrupt Level Setup Register 2	USI Ch.1、ADC割り込みレベルの設定
0x42ec	ITC_LV3	Interrupt Level Setup Register 3	T16P/I2S、LCDC割り込みレベルの設定
0x42ee	ITC_LV4	Interrupt Level Setup Register 4	CLG_T16FU0割り込みレベルの設定
0x42f0	ITC_LV5	Interrupt Level Setup Register 5	CLG_T8I割り込みレベルの設定
0x42f2	ITC_LV6	Interrupt Level Setup Register 6	UART割り込みレベルの設定
0x42f4	ITC_LV7	Interrupt Level Setup Register 7	I2CM割り込みレベルの設定
0x42f6	ITC_LV8	Interrupt Level Setup Register 8	I2CS、T8FCh.0 ~ 2/T16A割り込みレベルの設定
0x42f8	ITC_LV9	Interrupt Level Setup Register 9	RTC、REMC割り込みレベルの設定

ITCの各レジスタは、以下で詳しく説明します。これらは16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Interrupt Level Setup Register 0 (ITC_LV0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 0 (ITC_LV0)	0x42e6 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV1[2:0]	Port 0 interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV0[2:0]	DMA interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] ILV1[2:0]: Port 0 Interrupt Level Bits

ポート0割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

複数の割り込み要求が同時に発生した場合に、ITCはここで設定した割り込みレベルを使用します。

割り込みイネーブルビットによって許可された複数の割り込み要求が同時に発生した場合、ITCはITC_LVxレジスタ(0x42e6～0x42f8)により最も高い割り込みレベルを設定された割り込み要求をS1C17コアに送信します。

同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されません。

D[7:3] Reserved

D[2:0] ILV0[2:0]: DMA Interrupt Level Bits

DMAの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

ILV1[2:0]の説明を参照してください。

Interrupt Level Setup Register 1 (ITC_LV1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 1 (ITC_LV1)	0x42e8 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV3[2:0]	USI Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV2[2:0]	Port 1/T16A interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] ILV3[2:0]: USI Ch.0 Interrupt Level Bits

USI Ch.0の割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

D[7:3] Reserved

D[2:0] ILV2[2:0]: Port1/T16A Interrupt Level Bits

ポート1、16ビットPWMタイマの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

Interrupt Level Setup Register 2 (ITC_LV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 2 (ITC_LV2)	0x42ea (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV5[2:0]	ADC interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV4[2:0]	USI Ch.1 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

12 割り込みコントローラ (ITC)

D[10:8] ILV5[2:0]: ADC Interrupt Level Bits

A/D変換器の割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

D[7:3] Reserved

D[2:0] ILV4[2:0]: USI Ch.1 Interrupt Level Bits

USI Ch.1の割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

Interrupt Level Setup Register 3 (ITC_LV3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level	0x42ec	D15-11	–	reserved	–	–	–	0 when being read.
Setup Register 3 (ITC_LV3)	(16 bits)	D10–8	ILV7[2:0]	LCDC interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV6[2:0]	T16P/I2S interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] ILV7[2:0]: LCDC Interrupt Level Bits

LCDCの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

D[7:3] Reserved

D[2:0] ILV6[2:0]: T16P/I2S Interrupt Level Bits

16ビットオーディオPWMタイマとI²Sの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

Interrupt Level Setup Register 4 (ITC_LV4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level	0x42ee	D15-3	–	reserved	–	–	–	0 when being read.
Setup Register 4 (ITC_LV4)	(16 bits)	D2–0	ILV8[2:0]	CLG_T16FU0 interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved

D[2:0] ILV8[2:0]: CLG_T16FU0 Interrupt Level Bits

CLG_T16FU0の割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

Interrupt Level Setup Register 5 (ITC_LV5)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level	0x42f0	D15-11	–	reserved	–	–	–	0 when being read.
Setup Register 5 (ITC_LV5)	(16 bits)	D10–8	ILV11[2:0]	CLG_T8I interrupt level	0 to 7	0x0	R/W	
		D7-0	–	reserved	–	–	–	0 when being read.

D[15:11] Reserved

D[10:8] ILV11[2:0]: CLG_T8I Interrupt Level Bits

CLG_T8Iの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

D[7:0] Reserved

Interrupt Level Setup Register 6 (ITC_LV6)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level	0x42f2	D15-3	–	reserved	–	–	–	0 when being read.
Setup Register 6 (ITC_LV6)	(16 bits)	D2–0	ILV12[2:0]	UART interrupt level	0 to 7	0x0	R/W	

D[15:3] **Reserved**

D[2:0] **ILV12[2:0]: UART Interrupt Level Bits**

UARTの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

Interrupt Level Setup Register 7 (ITC_LV7)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 7 (ITC_LV7)	0x42f4 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV15[2:0]	I2CM interrupt level	0 to 7	0x0	R/W	
		D7-0	–	reserved	–	–	–	0 when being read.

D[15:11] **Reserved**

D[10:8] **ILV15[2:0]: IC2CM Interrupt Level Bits**

I²Cマスタの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

D[7:0] **Reserved**

Interrupt Level Setup Register 8 (ITC_LV8)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 8 (ITC_LV8)	0x42f6 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV17[2:0]	T8F/T16A interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV16[2:0]	I2CS interrupt level	0 to 7	0x0	R/W	

D[15:11] **Reserved**

D[10:8] **ILV17[2:0]: T8F/T16A Interrupt Level Bits**

8ビットプログラマブルタイマと16ビットPWMタイマの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

D[7:3] **Reserved**

D[2:0] **ILV16[2:0]: I2CS Interrupt Level Bits**

I²Cスレーブの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

Interrupt Level Setup Register 9 (ITC_LV9)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 9 (ITC_LV9)	0x42f8 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV19[2:0]	REMC interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV18[2:0]	RTC interrupt level	0 to 7	0x0	R/W	

D[15:11] **Reserved**

D[10:8] **ILV19[2:0]: REMC Interrupt Level Bits**

リモートコントローラの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

D[7:3] **Reserved**

D[2:0] **ILV18[2:0]: RTC Interrupt Level Bits**

RTCの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ILV1[2:0]/ITC_LV0レジスタの説明を参照してください。

13 DMAコントローラ (DMAC)

13.1 DMAモジュールの概要

S1C17803は、4つのテーブルDMAチャンネルを制御可能なDMAコントローラ(DMAC)を内蔵しています。テーブルDMAは、RAMにプログラミングされた制御情報に従ってデータを転送します。DMACの特長を以下に示します。

- チャンネル数 最大4チャンネル
- 制御情報 IRAM/IVRAMまたは外部RAMでプログラム可能
(16バイト制御情報 + 16バイトバックアップデータ/チャンネル)
- デュアルアドレス転送 IRAM/IVRAM、外部メモリ、または拡張周辺モジュールエリア(アドレス0x80000 ~)を転送元および転送先に指定することができます。
 1. IRAM/IVRAM内のデータ転送
 2. IRAM/IVRAMと外部メモリ間のデータ転送
 3. IRAM/IVRAMと拡張周辺モジュールエリア間のデータ転送
 4. 外部メモリと外部メモリ間のデータ転送
 5. 外部メモリと拡張周辺モジュールエリア間のデータ転送
 6. 拡張周辺モジュールエリア内のデータ転送

*コア周辺モジュールエリア(アドレス0x4000 ~ 0x5fff)と内蔵Flashメモリは、転送元や転送先に指定することはできません。
- 転送データサイズ 8ビット、16ビット、または32ビット
- 転送モード 1. シングル転送(1回のトリガで1単位のデータを転送)
2. 連続転送(1回のトリガで、指定された数のデータを転送。12ビットの転送カウンタを使用)
- 転送アドレス制御 転送が完了すれば、転送データサイズ単位で転送元と転送先のアドレスをインクリメントすることができます。
- トリガ 1. レジスタ制御によるソフトウェアトリガ
2. 割り込み発生源モジュール(USI、I2S、T16P、ADC10)によるハードウェアトリガ
- ポインタ転送 ポインタに指定された特定の転送元を使用して転送データを指定することができます。
転送データ = *(ベースアドレス + *(転送元アドレス))
- 割り込み 転送終了割り込み
- その他 - 再設定なしの同一DMA転送のための自動リロード機能
- 高優先順位によって低優先順位のチャンネルDMAを一時停止する機能

13.2 DMACの動作クロック

DMACは、CMUから供給されるBCLKで動作します。BCLKは、通常モードおよびHALTモード(デフォルト時)では停止しません。CMU制御レジスタを使用すると、HALTモードで停止させることができます。BCLKの詳細については、“クロックマネージメントユニット(CMU)”の章を参照してください。SLEEPモードでは、CMUはDMACへのBCLKの供給を停止します。

13.3 制御情報のプログラミング

DMACは、制御情報として指定された転送条件に従って動作します。制御情報は、IRAM/IVRAMまたは外部RAMでプログラミングできます。制御情報のサイズはチャンネルあたり16バイトです。自動リロード機能を使用するときには、リロードデータ(制御情報の再設定データ)を格納するための16バイトが各チャンネルに追加が必要となります。自動リロード機能によって制御情報が再設定されます。制御情報は、DMA転送後のリロードデータによって、データ転送中に更新されます。このため、DMAを4チャンネル使用するためには、128バイトの連続空間が制御テーブルに必要となります。

以下に、制御テーブルのベースアドレスと制御情報の内容を設定する方法について説明します。

13.3.1 ベースアドレスの設定

指定されたベースアドレスで始まるRAMエリアが制御テーブルに割り当てられます。ベースアドレスは、Ch.0の制御情報の開始アドレスであり、TBL_BASE[23:0]/DMA_TBL_BASE(H & L)レジスタを使用して指定することができます。TBL_BASE[9:0]は、書き込む内容にかかわらず0に固定されているので、ベースアドレスは常に1,024バイト境界アドレスに設定されます。TBL_BASE[23:0]の初期値はIRAM/IVRAMの開始アドレス0xc0000です。

ベース + 0x70	CH.3自動リロードデータエリア
ベース + 0x60	CH.3制御テーブル
ベース + 0x50	CH.2自動リロードデータエリア
ベース + 0x40	CH.2制御テーブル
ベース + 0x30	CH.1自動リロードデータエリア
ベース + 0x20	CH.1制御テーブル
ベース + 0x10	CH.0自動リロードデータエリア
ベース	CH.0制御テーブル

図13.3.1.1 制御テーブルのマップ

注: 制御テーブルは、IRAM/IVRAMまたは外部RAMに配置する必要があります。FlashメモリとBBRAMは、制御情報の格納に使用することはできません。

13.3.2 制御情報

制御情報を格納するアドレスは、ベースアドレスとチャンネル番号で決まります。

チャンネルの開始アドレス = ベースアドレス + (チャンネル番号 × 32 [バイト])

注: 制御情報は、設定するチャンネルがDMA転送を開始しないときのみ書き込む必要があります。制御情報を書き込んでいるときにDMA転送が開始された場合、正しい転送が実行されません。制御情報の読み出しは、いつでも実行できます。

各チャンネルの制御情報の内容を以下の表に示します。

表13.制御情報

ワード	アドレス	ビット	名称	機能	設定	
					TC[11:0]	カウンタ
第1ワード (16ビット)	Ch.0: ベース + 0x0	D15-12	TC[3:0]	転送カウンタ (下位4ビット)	0xff	4,095
	Ch.1: ベース + 0x20				:	:
	Ch.2: ベース + 0x40				0x1	1
	Ch.3: ベース + 0x60				0x0	4,096
		D11	ST	転送元のタイプ	1	ポインタ
		D10-8	UNIT[2:0]	転送データ単位	UNIT[2:0]	データ単位
					0x7-0x3	reserved
					0x2	32ビット
					0x1	16ビット
					0x0	8ビット
	D7-6	SRINC[1:0]	転送元アドレス制御	SRINC[1:0]	アドレス	
				0x3-0x2	reserved	
				0x1	インクリメント	
				0x0	固定	

ワード	アドレス	ビット	名称	機能	設定		
第1ワード (16ビット)	Ch.0: ベース + 0x0 Ch.1: ベース + 0x20 Ch.2: ベース + 0x40 Ch.3: ベース + 0x60	D5-4	DSINC[1:0]	転送先アドレス制御	DSINC[1:0]		アドレス
					0x3-0x2	reserved	
					0x1	インクリメント	
					0x0	固定	
					D3	CHEN	チャネルイネーブル
D2	TM	転送モード	1	連続	0	シングル	
D1	RELOAD	自動リロードイネーブル	1	イネーブル	0	ディセーブル	
D0	PTW	ポインタビット幅	1	8ビット	0	16ビット	
第2ワード (16ビット)	Ch.0: ベース + 0x2 Ch.1: ベース + 0x22 Ch.2: ベース + 0x42 Ch.3: ベース + 0x62	D15-8	-	reserved	-		
		D7-0	TC[11:4]	転送カウンタ (上位8ビット)	TC[11:0]		カウンタ
					0xf	4,095	
:	:	:	:	:	:	:	
0x1	1	0x0	0	4,096			
第3ワード (16ビット)	Ch.0: ベース + 0x4 Ch.1: ベース + 0x24 Ch.2: ベース + 0x44 Ch.3: ベース + 0x64	D15-0	SRADR[15:0]	転送元アドレス/転送元データポインタ (下位16ビット)	0x0 ~ 0xffff		(SRADR[23:0] = 0x0 ~ 0xfffff)
					0x0 ~ 0xff		
					0x0 ~ 0xfffff		
					0x0 ~ 0xfffffff		
第4ワード (16ビット)	Ch.0: ベース + 0x6 Ch.1: ベース + 0x26 Ch.2: ベース + 0x46 Ch.3: ベース + 0x66	D15-8	-	reserved	-		
		D7-0	SRADR[23:16]	転送元アドレス (上位8ビット)	0x0 ~ 0xff		(SRADR[23:0] = 0x0 ~ 0xfffff)
					0x0 ~ 0xfffff		
第5ワード (16ビット)	Ch.0: ベース + 0x8 Ch.1: ベース + 0x28 Ch.2: ベース + 0x48 Ch.3: ベース + 0x68	D15-0	DSADR[15:0]	転送先アドレス (下位16ビット)	0x0 ~ 0xffff		(DSADR[23:0] = 0x0 ~ 0xfffff)
					0x0 ~ 0xff		
					0x0 ~ 0xfffff		
					0x0 ~ 0xfffffff		
第6ワード (16ビット)	Ch.0: ベース + 0xa Ch.1: ベース + 0x2a Ch.2: ベース + 0x4a Ch.3: ベース + 0x6a	D15-8	-	reserved	-		
		D7-0	DSADR[23:16]	転送先アドレス (上位8ビット)	0x0 ~ 0xff		(DSADR[23:0] = 0x0 ~ 0xfffff)
					0x0 ~ 0xfffff		
第7ワード (16ビット)	Ch.0: ベース + 0xc Ch.1: ベース + 0x2c Ch.2: ベース + 0x4c Ch.3: ベース + 0x6c	D15-0	PTBASE [15:0]	0に固定 (ポインタベースアドレスの下位16ビット)	0x0		
					0x0 ~ 0xff		
					0x0 ~ 0xfffff		
					0x0 ~ 0xfffffff		
第8ワード (16ビット)	Ch.0: ベース + 0xe Ch.1: ベース + 0x2e Ch.2: ベース + 0x4e Ch.3: ベース + 0x6e	D15-8	-	reserved	-		
		D7-0	PTBASE [23:16]	ポインタベースアドレス (上位8ビット)	0x0 ~ 0xff		(PTBASE[23:0] = 0x0 ~ 0xffff000)
					0x0 ~ 0xfffffff		
第9ワード (16ビット)	Ch.0: ベース + 0x10 Ch.1: ベース + 0x30 Ch.2: ベース + 0x50 Ch.3: ベース + 0x70	D15-0	RELOAD0 [15:0]	リロードデータ0	(第1ワードと同じ内容)		
					(第2ワードと同じ内容)		
					(第3ワードと同じ内容)		
					(第4ワードと同じ内容)		
第10ワード (16ビット)	Ch.0: ベース + 0x12 Ch.1: ベース + 0x32 Ch.2: ベース + 0x52 Ch.3: ベース + 0x72	D15-0	RELOAD1 [15:0]	リロードデータ1	(第2ワードと同じ内容)		
					(第3ワードと同じ内容)		
					(第4ワードと同じ内容)		
					(第5ワードと同じ内容)		
第11ワード (16ビット)	Ch.0: ベース + 0x14 Ch.1: ベース + 0x34 Ch.2: ベース + 0x54 Ch.3: ベース + 0x74	D15-0	RELOAD2 [15:0]	リロードデータ2	(第3ワードと同じ内容)		
					(第4ワードと同じ内容)		
					(第5ワードと同じ内容)		
					(第6ワードと同じ内容)		
第12ワード (16ビット)	Ch.0: ベース + 0x16 Ch.1: ベース + 0x36 Ch.2: ベース + 0x56 Ch.3: ベース + 0x76	D15-0	RELOAD3 [15:0]	リロードデータ3	(第4ワードと同じ内容)		
					(第5ワードと同じ内容)		
					(第6ワードと同じ内容)		
					(第7ワードと同じ内容)		
第13ワード (16ビット)	Ch.0: ベース + 0x18 Ch.1: ベース + 0x38 Ch.2: ベース + 0x58 Ch.3: ベース + 0x78	D15-0	RELOAD4 [15:0]	リロードデータ4	(第5ワードと同じ内容)		
					(第6ワードと同じ内容)		
					(第7ワードと同じ内容)		
					(第8ワードと同じ内容)		
第14ワード (16ビット)	Ch.0: ベース + 0x1a Ch.1: ベース + 0x3a Ch.2: ベース + 0x5a Ch.3: ベース + 0x7a	D15-0	RELOAD5 [15:0]	リロードデータ5	(第6ワードと同じ内容)		
					(第7ワードと同じ内容)		
					(第8ワードと同じ内容)		
					(第9ワードと同じ内容)		
第15ワード (16ビット)	Ch.0: ベース + 0x1c Ch.1: ベース + 0x3c Ch.2: ベース + 0x5c Ch.3: ベース + 0x7c	D15-0	RELOAD6 [15:0]	リロードデータ6	(第7ワードと同じ内容)		
					(第8ワードと同じ内容)		
					(第9ワードと同じ内容)		
					(第10ワードと同じ内容)		

13 DMAコントローラ (DMAC)

ワード	アドレス	ビット	名称	機能	設定
第16ワード (16ビット)	Ch.0: ベース + 0x1e	D15-0	RELOAD7 [15:0]	リロードデータ7	(第8ワードと同じ内容)
	Ch.1: ベース + 0x3e				
	Ch.2: ベース + 0x5e				
	Ch.3: ベース + 0x7e				

TC[11:0]: 転送カウンタ (D[7:0]/第2ワード、D[15:12]/第1ワード)

単位データ転送を実行する場合の回数を設定します。0xffffに0x1を書き込むと転送カウンタは1～4,095に設定され、0x0を書き込むと4,096に設定されます。UNIT[2:0]で指定されたデータ単位の転送が完了すると、転送カウンタがデクリメントされます。

ST: 転送元のタイプ (D11/第1ワード)

指定された転送元アドレスのメモリ内容をデータとして使用するかポインタとして使用するかを選択します。

ST = 0: データ

DMACは、転送元アドレスに格納されているデータを転送先アドレスに転送します。

ST = 1: ポインタ

DMACは、指定された転送元アドレスをポインタとして使用し、転送データを格納するアドレスを次のようにして決定します。

転送データ = *(ベースアドレス + *(転送元アドレス))

例: ベースアドレス (PTBASE[23:16]) = 0x85 (すなわちアドレス0x850000)、転送元アドレス (SRADR[23:0]) = 0xfc000、およびアドレス0xfc000の内容 = 0x2のときアドレス0x850002に格納されているデータが転送されます。

UNIT[2:0]: 転送データ単位 (D[10:8]/第1ワード)

転送単位のデータサイズを設定します。

表13.3.2.2 転送データ単位

UNIT[2:0]	転送データ単位
0x7-0x3	Reserved
0x2	32 ビット
0x1	16 ビット
0x0	8 ビット

SRINC[1:0]: 転送先アドレス制御 (D[7:6]/第1ワード)

単位データ転送後の転送元アドレスの制御方法を設定します。

表13.3.2.3 転送元アドレス制御

SRINC[1:0]	転送元アドレス制御
0x3-0x2	Reserved
0x1	インクリメント
0x0	固定

SRINC[1:0] = 0x0: アドレス固定

転送元アドレスは、データ転送を実行しても変更されません。複数のデータを転送するときでも、転送データは常に同じアドレスから読み出されます。

SRINC[1:0] = 0x1: アドレスインクリメント

UNIT[2:0]で指定されたデータ単位の転送が完了すると、転送データ単位ごとに転送元アドレスがインクリメントされます。転送時にインクリメントされたアドレスは、初期値には戻りません。

DSINC[1:0]: 転送先アドレス制御 (D[5:4]/第1ワード)

単位データ転送後の転送先アドレスの制御方法を設定します。

表13.3.2.4 転送先アドレス制御

DSINC[1:0]	転送先アドレス制御
0x3-0x2	Reserved
0x1	インクリメント
0x0	固定

DSINC[1:0] = 0x0: アドレス固定

転送先アドレスは、データ転送を実行しても変更されません。複数のデータを転送するときでも、転送データは常に同じアドレスに書き込まれます。

DSINC[1:0] = 0x1: アドレスインクリメント

UNIT[2:0]で指定されたデータ単位の転送が完了すると、転送データ単位ごとに転送先アドレスがインクリメントされます。転送時にインクリメントされたアドレスは、初期値には戻りません。

CHEN: チャンネルイネーブル(D3/第1ワード)

各チャンネルのDMA転送を有効または無効にします。

CHEN = 0: 転送ディセーブル

このビットが0に設定されたチャンネルでのDMAは無効になります。

CHEN = 1: 転送イネーブル

チャンネルでのDMA転送が有効になります。このステータスでトリガが生じると、DMACはそのチャンネルでのDMA転送を開始します(ただし、高優先順位チャンネルのトリガによって転送の一時停止機能が動作していない場合)。

RELOADビット(D1/第1ワード)が0に設定されているとき、転送が完了するとこのビットはクリアされ、その後のDMA転送は禁止されます。

RELOADが1のとき、転送が完了してもCHENはクリアされません。ただし、このCHENはRELOAD03(D3/リロードデータ0)に置き換えられるため、RELOAD03が0に設定されていた場合、CHENはクリアされます。

TM: 転送モード(D2/第1ワード)

転送モード(シングル転送モード、連続転送モード)を設定します。

TM = 0: シングル転送モード

このモードでは、UNIT[2:0]に設定された1つのデータ単位サイズが転送されると、1回のトリガによって呼び出された転送動作が完了します。転送カウンタで設定された回数だけデータ転送が必要な場合は、同数のトリガが必要となります。

TM = 1: 連続転送モード

このモードでは、1回のトリガで、転送カウンタで設定された回数だけデータ転送が実行されます。単位データが転送されるたびに転送カウンタがデクリメントされ、カウンタが0に達すると連続転送は終了します。

RELOAD: 自動リロードイネーブル(D1/第1ワード)

自動リロード機能を有効または無効にします。自動リロード機能は、転送カウンタが0に達すると直ちに、制御テーブル内の自動リロードエリアに設定された制御情報の初期値(制御テーブル内の8ワードと同じ構成)を再設定します。この機能を使えば、DMAC割り込み処理ルーチンの初期値を再設定することなく、新しい条件で転送を実行することができます。

RELOAD = 0: 自動リロードディセーブル

このビットを0に設定すると、自動リロード機能が無効になります。また、転送カウンタが0に達すると、CHENビットは0に設定され、その後のDMA転送は禁止されます。転送カウンタが0に達したとき、制御テーブルはその内容を保持します。

RELOAD = 1: 自動リロードイネーブル

このビットを1に設定すると、自動リロード機能が有効になります。転送カウンタが0に達したとき、自動リロードエリアに格納された制御情報が制御テーブルに再設定されます。次のトリガは、リロードデータに設定された新しい条件でDMA転送を実行します。

注: 自動リロードエリア用の制御情報(初期値)は、アプリケーションプログラムで準備する必要があります。

PTW: ポインタビット幅(D0/第1ワード)

転送元のタイプ(ST)としてポインタを選択したときのポインタサイズを設定します。

• PTW = 0: 16ビット

DMACは、指定された転送元アドレスからの16ビット読み出しを実行してポインタを取得します。

• PTW = 1: 8ビット

DMACは、指定された転送元アドレスからの8ビット読み出しを実行してポインタを取得します。

SRADR[23:0]: 転送元アドレス(D[7:0]/第4ワード、D[15:0]/第3ワード)

転送元の開始アドレス(あるいは転送元へのポインタ)を設定します。この設定は、SRINC[1:0]の設定に応じて更新されます。

DSADR[23:0]: 転送先アドレス(D[7:0]/第6ワード、D[15:0]/第5ワード)

転送先の開始アドレスを設定します。この設定は、DSINC[1:0]の設定に応じて更新されます。

PTBASE[23:16]: ポインタベースアドレス(D[7:0]/第8ワード)

転送元のタイプ(ST)としてポインタを選択したときのポインタベースアドレスを設定します(STを参照)。ベースアドレスの下位16ビットは0x0に固定されます(第7ワードの設定値は無視されます)。

13.3.3 自動リロードデータ

図13.3.1.1に示すように、各チャンネルの自動リロードデータエリアと制御テーブルにRAMエリアが割り当てられます。RELOAD(D1/第1ワード)を1に設定して自動リロード機能を有効にすると、転送カウンタが0に達したときに自動リロードデータエリアの内容が制御テーブルに再設定されるので、DMAC処理ルーチン内の条件を設定することなく、新しい条件での転送が実行できるようになります。自動リロードエリアの8ワード(16バイト)は、制御テーブルの8ワードとまったく同じビット構成で処理されます。自動リロードエリアは、制御情報のバッファとして使用することができます。自動リロード機能でDMACチャンネルを使用する前に、RELOADを1に設定した状態で第1の転送条件を制御テーブルに書き込み、第2の転送条件を自動リロードエリアに書き込みます。自動リロードエリアに書き込まれた制御情報は、第1のデータ転送が完了すると制御テーブルにロードされ、第2のデータ転送を制御します。その後のデータ転送が同じ条件を使用するのであれば、自動リロードエリアを再設定する必要はありません。同じ条件を使用しないのであれば、DMAC割り込み処理ルーチン内のその後の転送条件に自動リロードエリアを再設定する必要があります。

自動リロードデータエリアのアドレスは、次式より計算することができます。

自動リロードデータエリアの開始アドレス = ベースアドレス + (チャンネル番号 × 32) + 16

13.4 DMACの呼び出し

DMAを呼び出すトリガには、次の2つの要因があります。

1. レジスタ制御によるソフトウェアトリガ
2. 内蔵周辺モジュールの割り込み要因によるハードウェアトリガ

DMACの有効化

各DMACチャンネルは、DMAON_x/DMA_CTLレジスタを1に設定することにより動作準備完了ステータスに移行します。DMAON_xが0のとき(デフォルト)、DMAチャンネルは、制御情報で転送が有効になっていてもトリガを受け入れません。

DMA転送の有効化

制御テーブルのCHENビット(D3/第1ワード)に1を書き込むと、そのチャンネルのDMA転送が有効になり、トリガの受け入れ準備が完了します。

ソフトウェアトリガによるDMACの呼び出し

いずれのDMACチャンネルもソフトウェアで呼び出すことができます。Ch._xを使用してDMA転送を呼び出すには、TRG_x/DMA_TRG_FLGレジスタに1を書き込みます。

TRG_xは、DMA要求が受け入れられた後、ハードウェアによって0にリセットされるまで1を保持します。TRG_xは、ハードウェアトリガによっても1に設定されます。

内蔵周辺モジュールの割り込み要因によるハードウェアトリガ

DMACの各チャンネルに対して、表13.4.1に示したハードウェアトリガソース(周辺モジュールの割り込み要因)が割り当てられており、TRG_SELx[1:0]/DMA_TRG_SELレジスタによってこれを選択することができます。

表13.4.1 DMACのトリガソース

チャンネル	制御ビット	設定	トリガソース	チャンネルの優先順位
Ch.3	TRG_SEL3[1:0]	0x3	USI Ch.1送信バッファエンプティ	低い ↑
		0x2	I ² S LチャンネルFIFOエンプティ	
		0x1	Reserved	
		0x0	ハードウェアトリガディセーブル(ソフトウェアトリガのみ)	
Ch.2	TRG_SEL2[1:0]	0x3	USI Ch.1受信バッファフル	
		0x2	16ビットオーディオPWMタイマバッファエンプティ	
		0x1	Reserved	
		0x0	ハードウェアトリガディセーブル(ソフトウェアトリガのみ)	
Ch.1	TRG_SEL1[1:0]	0x3	USI Ch.0送信バッファエンプティ	
		0x2	I ² S RチャンネルFIFOエンプティ	
		0x1	A/D変換器の変換完了	
		0x0	ハードウェアトリガディセーブル(ソフトウェアトリガのみ)	
Ch.0	TRG_SEL0[1:0]	0x3	USI Ch.0受信バッファフル	↓ 高い
		0x2	I ² S LチャンネルFIFOエンプティ	
		0x1	16ビットオーディオPWMタイマバッファエンプティ	
		0x0	ハードウェアトリガディセーブル(ソフトウェアトリガのみ)	

(デフォルト: 0x0)

初回リセット時、すべてのチャンネルのTRG_SELx[1:0]は0x0(ハードウェアトリガディセーブル)に設定されます。ソフトウェアトリガは、トリガソースが選択されていても有効にできます。これらのトリガソース(割り込み要因)は、割り込み要求とDMAC呼び出し要求とで共通に使用されます。トリガ用に使われる要因による割り込みが許可されて割り込みレベルが1以上に設定されていると、DMAC用のトリガで同時に割り込みも生成されます。割り込みベクタと割り込み処理ルーチンが内蔵のFlashメモリに配置されているときには、DMA転送中でも割り込み処理を実行できます。転送元/転送先にアクセスする命令は、DMA転送が完了するまで実行されません。DMACを呼び出して割り込みを使用しないときにのみ、割り込みイネーブルビットを0(割り込みディセーブル)に設定してください。

DMA転送中に生成されるDMA要求

DMA転送中に生成される低優先順位のDMA要求は、現在実行されている転送が完了するまで(シングル転送モードでは単位データ転送が完了するまで、また連続転送モードでは転送カウンタが0に達するまで)受け入れられません。

あるチャンネルで連続転送中に生成される他の高優先順位チャンネルのDMA要求は、現在のデータ単位の転送が完了した後に受け入れられます。現在のDMA転送はその時点で一時中断され、生成された高優先順位のDMA転送が完了した後に再開されます。

チャンネルでの転送を無効にしたときのDMA要求

CHENビット(D3/第1ワード)を0(DMA転送ディセーブル)に設定したチャンネルでのトリガは無効になります。

そのチャンネルのTRGxは設定されません。

13.5 DMACの動作

DMACには2つの転送モード(シングル転送モードと連続転送モード)があり、各モードで動作が異なります。以下に各転送モードでの動作について説明します。

13.5.1 シングル転送モード

制御情報のTM(D2/第1ワード)が0に設定されているチャンネルは、シングル転送モードで動作します。このモードでは、UNIT[2:0]に設定されたサイズの1つのデータ単位が転送されると、1回のトリガによって呼び出された転送動作が完了します。転送カウンタで設定された回数だけデータ転送が必要な場合は、同数のトリガが必要となります。シングル転送モードでの動作を図13.5.1.1のフローチャートで示しています。

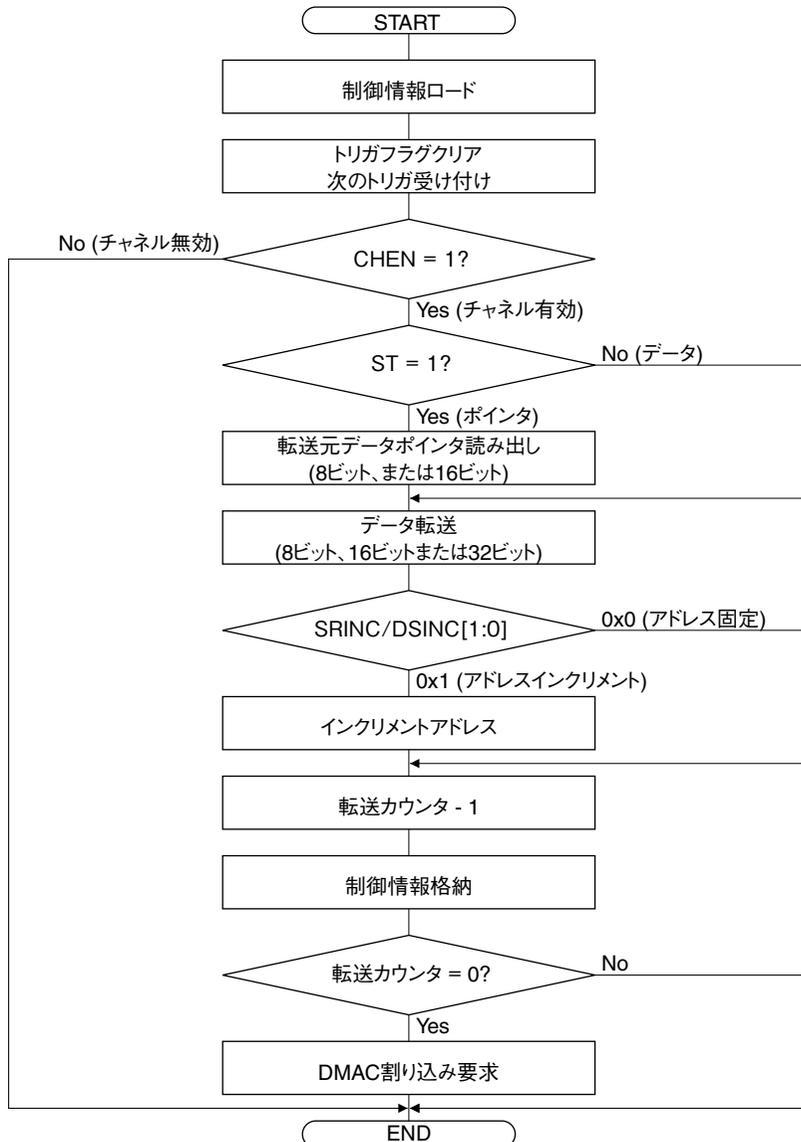


図13.5.1.1 シングル転送モードでの動作フロー

13 DMAコントローラ(DMAC)

- (1) DMACがトリガを受け入れると、チャンネルの制御情報をDMACモジュールにロードします。
- (2) 次のトリガを許可するため、DMACはトリガフラグ(TRG_x/DMA_TRG_FLGレジスタ)をクリアします。
- (3) DMACは、CHENが1(DMA転送イネーブル)に設定されているかどうかをチェックして確認します。CHENが0に設定されていた場合は、データ転送を中止します。
- (4) 制御情報で指定された転送元のタイプがポインタであれば(ST = 1)、DMACは指定された転送元アドレスの内容を読み出して、ポインタを転送元データに設定します。
- (5) DMACは、指定されたデータ単位を転送元アドレスからバッファに読み出してから、これを転送先アドレスに書き込みます。
転送ステータスフラグ(RUN_x/DMA_RUN_STAレジスタ)1にセットされ、データの転送中、1の値が保持されます。
バッファされたデータは、転送の完了後、DBUF[31:0]/DMA_DATA_BUF(L&H)レジスタから読み出すことができます。バッファは、データ転送ごとに書き換えられます。
- (6) DMACは、制御情報に応じて、転送先または転送元のアドレスをインクリメントします。アドレスは、“アドレス固定”が指定されている場合は変更されません。さらに転送カウンタがデクリメントされます。
- (7) DMACは変更された制御情報を制御テーブルに書き戻します。
- (8) DMACは転送カウンタをチェックします。カウンタの値が0でなければ、この時点で処理は終了です。ステップ(9)は実行されません。ステップ(9)は、転送カウンタが0に達している場合に実行されます。
- (9) DMAは、転送終了フラグ(ENDF_x/DMA_END_FLGレジスタ)をセットし、転送ステータスフラグ(RUN_x)をクリアします。DMAIE_x/DMA_IEレジスタが1(転送終了割り込みイネーブル)に設定されている場合、DMACは割り込み要求をITCに出力します。

これでシングル転送の処理は完了です。

13.5.2 連続転送モード

制御情報のTM(D2/第1ワード)が1に設定されているチャンネルは、連続転送モードで動作します。このモードでは、1回のトリガで、転送カウンタで設定された回数だけデータ転送が実行されます。連続転送モードでの動作を図13.5.2.1のフローチャートで示しています。

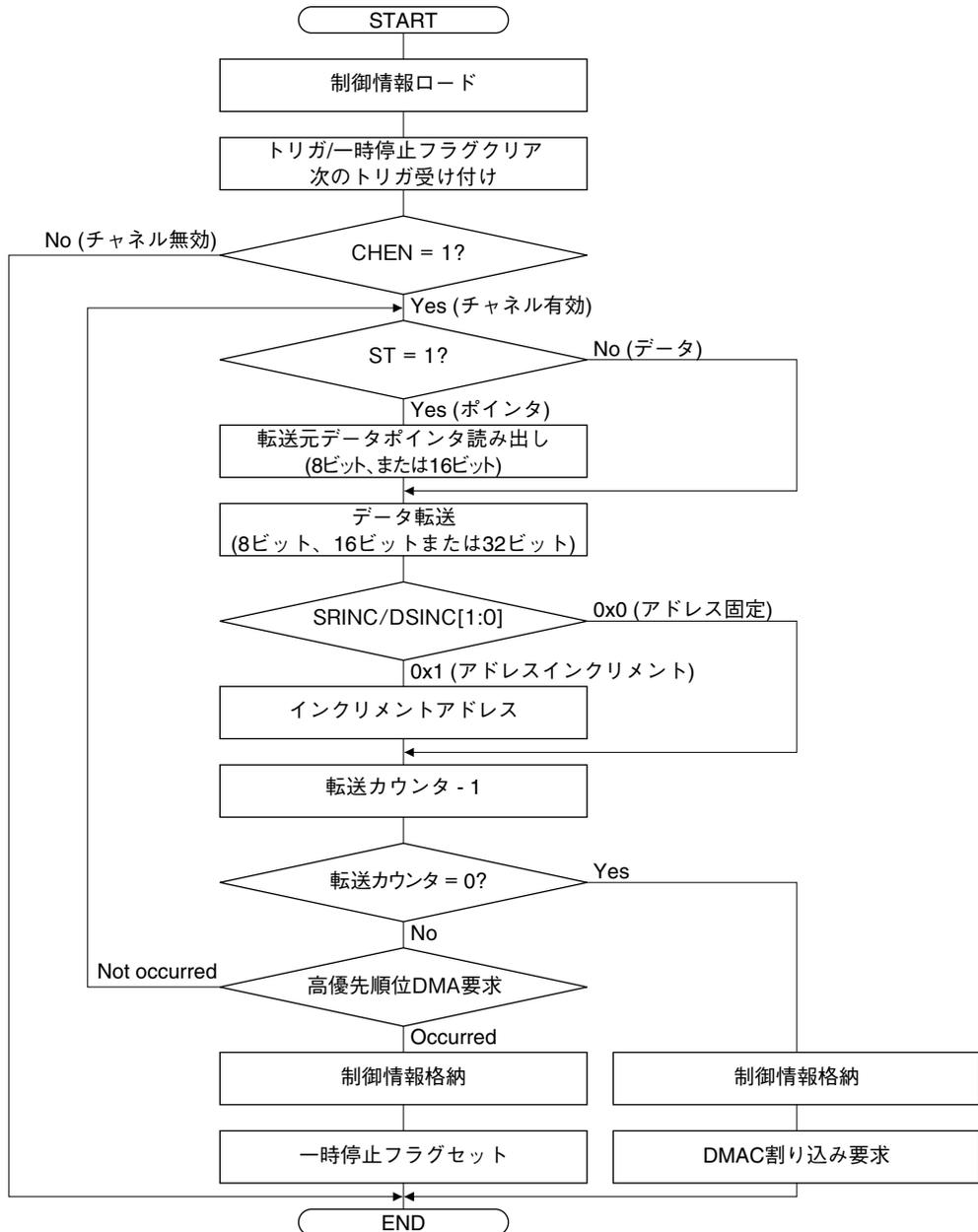


図13.5.2.1 連続転送モードでの動作フロー

- (1) DMACがトリガを受け入れると(あるいは一時停止ステータスが解除されると)、チャンネルの制御情報をDMACモジュールにロードします。
- (2) 次のトリガを許可するため、DMACは、現在のDMA転送の要因に応じて、トリガフラグ(TRG_x/DMA_TRG_FLGレジスタ)または一時停止フラグ(PAUSE_x/DMA_PAUSE_STAレジスタ)をクリアします。
- (3) DMACは、CHENが1(DMA転送イネーブル)に設定されているかどうかをチェックして確認します。CHENが0に設定されていた場合は、データ転送を中止します。

- (4) 制御情報で指定された転送元のタイプがポインタであれば(ST = 1)、DMACは指定された転送元アドレスの内容を読み出して、ポインタを転送元データに設定します。
- (5) DMACは、指定されたデータ単位を転送元アドレスからバッファを読み出してから、これを転送先アドレスに書き込みます。
転送ステータスフラグ(RUN_x/DMA_RUN_STAレジスタ)がセットされ、データの転送中、1の値が保持されます。
バッファされたデータは、転送の完了後、DBUF[31:0]/DMA_DATA_BUF(L&H)レジスタから読み出すことができます。バッファは、各データ転送ごとに書き換えられます。
- (6) DMACは、制御情報に応じて、転送先または転送元のアドレスをインクリメントします。アドレスは、“アドレス固定”が指定されている場合は変更されません。さらに転送カウンタがデクリメントされます。
- (7) DMACは転送カウンタをチェックします。転送カウンタが0に達している場合にはステップ(10)に進みます。
- (8) DMACは、他の高優先順位のチャンネルがDMA要求を生成していないかどうかをチェックして確認します。高優先順位のフラグがセットされている場合、DMACは、現在転送を実行しているチャンネルの一時停止フラグ(PAUSE_x)をセットし、転送を一時中断します。一時中断されたDMA転送は、他の高優先順位のDMA転送が完了した後に再開されます。
- (9) 高優先順位のチャンネルがDMA要求を発行していない場合、DMACはステップ(4)に戻って次のデータ単位を転送します。
- (10) DMAは、転送終了フラグ(ENDF_x/DMA_END_FLGレジスタ)をセットし、転送ステータスフラグ(RUN_x)をクリアします。さらにDMACは変更された制御情報を制御テーブルに書き戻します。DMAIE_x/DMA_IEレジスタが1(転送終了割り込みイネーブル)に設定されている場合、DMACは割り込み要求をITCに出力します。

これで連続転送の処理は完了です。

他の高優先順位のDMA要求による連続転送の一時中断

連続転送は、高優先順位のDMA要求が発生すると、一時的に中断することができます。

高優先順位のDMA要求が生成されると、転送を実行しているチャンネルは、現在のデータ単位の転送が完了すると直ちに、転送の再開に必要な制御情報(現在の転送カウントや転送元と転送先のアドレスなど)を保存してから転送を一時中断します。同時に、一時中断チャンネルの一時停止フラグ(PAUSE_x/DMA_PAUSE_STAレジスタ)をセットします。

その後、高優先順位のDMA転送が実行されます。転送が完了すると、セットされていたPAUSE_xにより、一時中断されていたDMA転送が再開されます。PAUSE_xは、DMA転送が再開されるとクリアされます。

なお、シングル転送は一時中断できません。

連続転送の強制終了

DMAON_x/DMA_CTLレジスタに0を書き込むと、転送中のデータ単位の転送が完了すると直ちに、現在のDMA転送が強制的に終了されます。DMA転送が強制的に終了されると、変更された制御情報は制御テーブルに書き戻されません。

DMAON_xに0を書き込むことで強制終了した後の制御情報を変更するときには、あるいは別のDMA転送を新たに開始するときには、RUN_x/DMA_RUN_STAレジスタが0(スタンバイステータス)に設定されていることをチェックしてください。RUN_xが1に設定されているときには、データ転送が完全に終了していません。

チャンネルがDMA転送を開始していないときに、DMAON_xに0を書き込むと、TRG_xまたはPAUSE_xがクリアされ、受け入れたDMA要求が取り消されます。

13.6 DMACの割り込み

DMACモジュールには、データ転送の完了後に割り込みを生成する機能があります。トリガソースによって生成される割り込みについては、周辺モジュールについての説明を参照してください。

転送終了割り込み

この割り込み要因は、チャンネルの転送が完了したとき(転送カウンタが0に達したとき)に発生し、チャンネルに対応するENDFx/DMA_END_FLGが1にセットされます。

この割り込みを使用するには、DMAIE_x/DMA_IEレジスタを1に設定します。DMAIE_x/DMA_IEが0(デフォルト)に設定されていると、この割り込み要因の割り込み要求は割り込みコントローラ(ITC)に送られません。

DMAIE_xが1(割り込みイネーブル)に設定されているときにENDFxが1に設定されている場合、DMACモジュールは割り込み要求をITCに出力します。割り込みは、ITCとS1C17コアの割り込み条件を満たしたときに発生します。

データ転送を完了したチャンネルをチェックするには、割り込み処理ルーチンのENDFxを読み出します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: 割り込みの再発を防ぐため、DMAC割り込みが発生した後、割り込み処理ルーチンのDMACモジュール割り込みフラグENDFxを必ずリセットしてください。

- 不要な割り込みを防ぐため、DMAIE_xでDMAC割り込みを許可する前にENDFxをリセットするようにしてください。ENDFxは、1を書き込むことで0にリセットできます。

13.7 制御レジスタ詳細

表13.7.1 DMACレジスタ一覧

アドレス	レジスタ名		機能
0x81800	DMA_CTL	DMAC General Control Register	DMACチャンネルの有効化
0x81804	DMA_TBL_BASEL	DMAC Control Table Base Address Low Register	制御テーブル開始アドレスの指定
0x81806	DMA_TBL_BASEH	DMAC Control Table Base Address High Register	
0x81808	DMA_IE	DMAC Interrupt Enable Register	DMAC割り込みの許可
0x81810	DMA_TRG_SEL	DMAC Trigger Select Register	トリガソースの選択
0x81814	DMA_TRG_FLG	DMAC Trigger Flag Register	ソフトウェアトリガの制御とトリガステータスの表示
0x81818	DMA_END_FLG	DMAC End-of-Transfer Flag Register	DMA完了チャンネルの表示
0x81820	DMA_RUN_STA	DMAC Running Status Register	動作チャンネルの表示
0x81824	DMA_PAUSE_STA	DMAC Pause Status Register	DMA一時中断チャンネルの表示
0x8182c	DMA_DATA_BUFH	DMAC Data Buffer Low Register	DMA転送データバッファ
0x8182e	DMA_DATA_BUFH	DMAC Data Buffer High Register	

DMACモジュールの各レジスタは、以下で詳しく説明します。これらは16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

DMAC General Control Register (DMA_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC General Control Register (DMA_CTL)	0x81800 (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.
		D3	DMAON3	DMAC Ch.3 enable	1 Enable 0 Disable	0	R/W	
		D2	DMAON2	DMAC Ch.2 enable	1 Enable 0 Disable	0	R/W	
		D1	DMAON1	DMAC Ch.1 enable	1 Enable 0 Disable	0	R/W	
		D0	DMAON0	DMAC Ch.0 enable	1 Enable 0 Disable	0	R/W	

D[15:4] Reserved

D[3:0] DMAON_x: DMAC Ch._x Enable Bit

DMAC Ch._xを有効にしてDMAトリガを受け入れます。

1(R/W): 有効

0(R/W): 無効/強制終了(デフォルト)

DMAC Ch.*x*を使用してDMA転送を実行するには、DMAON_{*x*}に1を書き込みます。DMAON_{*x*}が0のとき、DMAC Ch.*x*はトリガを受け入れず、データ転送を開始できません。

DMAC Ch.*x*がデータを転送中にこのビットに0を書き込むと、転送中のデータ単位の転送が完了すると直ちに、DMA転送が強制的に終了されます。DMA転送が強制的に終了されると、変更された制御情報は制御テーブルに書き戻されません。

このビットに0を書き込むことで強制終了した後の制御情報を変更するときには、あるいはこのチャンネルの別のDMA転送を開始するときには、RUN_{*x*}/DMA_RUN_STAレジスタが0(スタンバイステータス)に設定されていることを必ず確認してください。またこのビットに1が書き込まれていることも確認してください。RUN_{*x*}が1に設定されているときには、データ転送が完全に終了していません。

チャンネルがDMA転送を開始していないときに、DMAON_{*x*}に0を書き込むと、TRG_{*x*}/DMA_TRG_FLGレジスタまたはPAUSE_{*x*}/DMA_PAUSE_STAレジスタがクリアされ、受け入れたDMA要求が取り消されます。

注: DMA転送を強制終了するためには、CPUがSAPBバスを經由して制御レジスタにアクセスする必要があります。このため、拡張周辺モジュールのレジスタとの間でDMA転送が実行されている間は、強制終了を実行することはできません。

DMAC Control Table Base Address Low/High Registers (DMA_TBL_BASEL/H)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Control Table Base Address Low Register (DMA_TBL_BASEL)	0x81804 (16 bits)	D15-0	TBL_BASE [15:0]	DMAC control table base address (low-order 16 bits)	0x0 ~ 0xffff (TBL_BASE[23:0] = 0x0 to 0xffff00, a 1,024-byte boundary address within a RAM)	0x0	R/W	TBL_BASE[9:0] is fixed at 0 (cannot be altered).
DMAC Control Table Base Address High Register (DMA_TBL_BASEH)	0x81806 (16 bits)	D15-8 D7-0	- TBL_BASE [23:16]	reserved DMAC control table base address (high-order 8 bits)	- 0x0 ~ 0xff (TBL_BASE[23:0] = 0x0 to 0xffff00, a 1,024-byte boundary address within a RAM)	- 0xc	- R/W	0 when being read.

D[7:0]/0x81806, D[15:0]/0x81804

TBL_BASE[23:0]: DMAC Control Table Base Address Bits

制御情報と自動リロード情報を書き込むために制御テーブルのベースアドレスを設定します。制御情報のサイズはチャンネルあたり8ワード(16バイト)です。自動リロード用のエリアにもチャンネルあたり8ワード(16バイト)を必要とします。このため、4チャンネルをサポートするためには、128バイトの連続空間が制御テーブルに必要となります。

制御テーブルは、これらのレジスタで指定されたベースアドレスを持つRAM内に確保されます。このベースアドレスはCh.0の制御情報の開始アドレスとなります。

このレジスタのTBL_BASE[9:0]は、書き込む内容にかかわらず0に固定されているので、ベースアドレスは常に1,024バイト境界アドレスに設定されます。レジスタの初期値はIRAM/IVRAMの開始アドレス0xc0000です。

ベース + 0x70	CH.3自動リロードデータエリア
ベース + 0x60	CH.3制御テーブル
ベース + 0x50	CH.2自動リロードデータエリア
ベース + 0x40	CH.2制御テーブル
ベース + 0x30	CH.1自動リロードデータエリア
ベース + 0x20	CH.1制御テーブル
ベース + 0x10	CH.0自動リロードデータエリア
ベース	CH.0制御テーブル

図13.7.1 制御テーブルのマップ

注: 制御テーブルは、IRAM/IVRAMまたは外部RAMに配置する必要があります。FlashメモリとBBRAMは、制御情報の格納に使用することはできません。

D[15:8]/0x81806 Reserved

DMAC Interrupt Enable Register (DMA_IE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Interrupt Enable Register (DMA_IE)	0x81808 (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.
		D3	DMAIE3	DMAC Ch.3 interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	DMAIE2	DMAC Ch.2 interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	DMAIE1	DMAC Ch.1 interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	DMAIE0	DMAC Ch.0 interrupt enable	1 Enable 0 Disable	0	R/W	

D[15:4] Reserved

D[3:0] DMAIE_x: DMAC Ch.*x* Interrupt Enable Bit

DMAC Ch.*x*の割り込みを許可または禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

DMAIE_xを1に設定すると、DMAC Ch.*x*の割り込み要求をITCに出力できるようになります。

DMAIE_xを0に設定した場合には、Ch.*x*からの割り込みは生成されません。

DMAC Trigger Select Register (DMA_TRG_SEL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
DMAC Trigger Select Register (DMA_TRG_SEL)	0x81810 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.	
		D7-6	TRG_SEL3 [1:0]	Ch.3 trigger select	TRG_SEL3[1:0]	Trigger source	0x0	R/W	
					0x3	USI Ch.1 Tx			
					0x2	I ² S L			
					0x1	reserved			
		D5-4	TRG_SEL2 [1:0]	Ch.2 trigger select	TRG_SEL2[1:0]	Trigger source	0x0	R/W	
					0x3	USI Ch.1 Rx			
					0x2	T16P			
					0x1	reserved			
		D3-2	TRG_SEL1 [1:0]	Ch.1 trigger select	TRG_SEL1[1:0]	Trigger source	0x0	R/W	
					0x3	USI Ch.0 Tx			
					0x2	I ² S R			
					0x1	ADC			
		D1-0	TRG_SEL0 [1:0]	Ch.0 trigger select	TRG_SEL0[1:0]	Trigger source	0x0	R/W	
					0x3	USI Ch.0 Rx			
					0x2	I ² S L			
0x1	T16P								
			0x0	No hard trigger					

D[15:8] Reserved

D[7:0] TRG_SEL_x[1:0]: Ch.*x* Trigger Select Bits

各DMACチャンネルのトリガソースを選択します。

表13.7.2 DMACのトリガソース

チャンネル	制御ビット	設定値	トリガソース	チャンネルの優先順位
Ch.3	TRG_SEL3[1:0]	0x3	USI Ch.1送信バッファエンプティ	低い ↑
		0x2	I ² S LチャンネルFIFOエンプティ	
		0x1	Reserved	
		0x0	ハードウェアトリガディセーブル(ソフトウェアトリガのみ)	
Ch.2	TRG_SEL2[1:0]	0x3	USI Ch.1受信バッファフル	
		0x2	16ビットオーディオPWMタイマバッファエンプティ	
		0x1	Reserved	
		0x0	ハードウェアトリガディセーブル(ソフトウェアトリガのみ)	
Ch.1	TRG_SEL1[1:0]	0x3	USI Ch.0送信バッファエンプティ	
		0x2	I ² S RチャンネルFIFOエンプティ	
		0x1	A/D変換器の変換完了	
		0x0	ハードウェアトリガディセーブル(ソフトウェアトリガのみ)	

13 DMAコントローラ (DMAC)

チャンネル	制御ビット	設定値	トリガソース	チャンネルの優先順位
Ch.0	TRG_SEL0[1:0]	0x3	USI Ch.0受信バッファフル	↓ 高い
		0x2	I ² S LチャンネルFIFOエンプティ	
		0x1	16ビットオーディオPWMタイマバッファエンプティ	
		0x0	ハードウェアトリガディセーブル(ソフトウェアトリガのみ)	

(デフォルト: 0x0)

初回リセット時、すべてのチャンネルのTRG_SELx[1:0]は0x0(ハードウェアトリガディセーブル)に設定されます。ソフトウェアトリガは、トリガソースが選択されていても有効にできません。

DMAC Trigger Flag Register (DMA_TRG_FLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
DMAC Trigger Flag Register (DMA_TRG_FLG)	0x81814 (16 bits)	D15-4	-	reserved	-	-	-	0 when being read.	
		D3	TRG3	Ch.3 software trigger/trigger status	1 (W)	0 (W)	0	R/W	
		D2	TRG2	Ch.2 software trigger/trigger status	Soft trigger	Ignored	0	R/W	
		D1	TRG1	Ch.1 software trigger/trigger status	(R)	(R)	0	R/W	
		D0	TRG0	Ch.0 software trigger/trigger status	Triggered	Not triggered	0	R/W	

D[15:4] Reserved

D[3:0] TRGx: Ch.x Software Trigger/Trigger Status Bit

指定されたチャンネルのDMAをソフトウェアトリガによって呼び出します。また各チャンネルのトリガステータスを表示します(ハードウェアトリガを含む)。

1 (W): ソフトウェア制御

0 (W): 無効

1 (R): トリガ状態

0 (R): 非トリガ状態(デフォルト)

ソフトウェアトリガを使用してCh.xDMA転送を開始するには、TRGxに1を書き込みます。ハードウェアトリガの場合、DMA転送は、TRGxが1に設定された後に開始されます。

DMACチャンネルの中で、Ch.0に最高優先順位が割り当てられ、チャンネル番号が増えるに従って優先順位は低くなります。このため、複数のTRGx設定があると、チャンネル番号の小さなチャンネルが大きなチャンネルよりも先に処理されます。優先順位が低い方のチャンネルは、優先順位が高い方のチャンネルのDMA転送がすべて完了するまで保留され、またTRGxも1が保持されます。上記は、DMA転送の間に別のトリガが生成される場合に適用されます。すなわち、トリガの生成順序にかかわらず、現在のDMA転送が完了または一時中断されると直ちに、最高優先順位のチャンネルからのDMA要求が受け入れられます。

DMACがトリガを受け入れた後、そのチャンネルのDMA転送が開始されます。同時にTRGxがクリアされ、そのチャンネルを再びトリガできるようにします。

トリガを受け入れても、制御情報のCHEN(D3/第1ワード)が0に設定されていれば、DMA転送は開始されません。

DMAONx/DMA_CTLレジスタが0(強制終了)に設定されている場合、すでにセットされていたTRGxはクリアされ、保留中のDMA要求は取り消されます。

DMAC End-of-Transfer Flag Register (DMA_END_FLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC End-of-Transfer Flag Register (DMA_END_FLG)	0x81818 (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.
		D3	ENDF3	Ch.3 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	Reset by writing 1.
		D2	ENDF2	Ch.2 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	
		D1	ENDF1	Ch.1 end-of-transfer flag	1 Finished 0 Not finished	0	R/W	
D0	ENDF0	Ch.0 end-of-transfer flag	1 Finished 0 Not finished	0	R/W			

D[15:4] Reserved

D[3:0] ENDFx: Ch.x End-of-Transfer Flag Bit

転送が終了したチャンネルを示します。

- 1 (R): 終了
- 0 (R): 未終了(デフォルト)
- 1 (W): フラグをリセット
- 0 (W): 無効

DMA転送の転送カウンタが0に達した場合、DMACはENDFxをセットして転送が終了したことを示します。同時に、DMAIE_x/DMA_IEが1(割り込みイネーブル)に設定されていれば、割り込み要求がITCに出力されます。

DMAC割り込み処理ルーチンでこのレジスタを読み出して、転送が終了したチャンネルをチェックします。また、次の割り込みに備えて、ENDFxに1を書き込んでこのフラグをリセットします。

DMAIE_xが0(割り込みディセーブル)に設定されたチャンネルでは、ENDFxがセットされている場合でも割り込みは生成されません。

DMAC Running Status Register (DMA_RUN_STA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Running Status Register (DMA_RUN_STA)	0x81820 (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.
		D3	RUN3	Ch.3 running status	1 Running 0 Idle/paused	0	R	
		D2	RUN2	Ch.2 running status	1 Running 0 Idle/paused	0	R	
		D1	RUN1	Ch.1 running status	1 Running 0 Idle/paused	0	R	
D0	RUN0	Ch.0 running status	1 Running 0 Idle/paused	0	R			

D[15:4] Reserved

D[3:0] RUNx: Ch.x Running Status Bit

Ch.xがDMA転送を実行中かどうかを示します。

- 1 (R): DMA転送を実行中
- 0 (R): アイドル/一時停止(デフォルト)

DMAC Ch.xがDMA転送を開始すると、RUN_xが1に設定され、転送動作が完了すると、0にリセットされます。また、このビットは、高優先順位のDMA要求によって転送が一時中断されたときにも0に戻ります。

データ転送の後または強制終了の後に制御情報を変更するときには、このビットをチェックして転送動作が実際に完了していることを確認してください。

DMAC Pause Status Register (DMA_PAUSE_STA)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
DMAC Pause Status Register (DMA_PAUSE_STA)	0x81824 (16 bits)	D15-4	–	reserved	–			–	–	0 when being read.
		D3	PAUSE3	Ch.3 pause status	1	Paused	0	Not paused	0	R
		D2	PAUSE2	Ch.2 pause status	1	Paused	0	Not paused	0	R
		D1	PAUSE1	Ch.1 pause status	1	Paused	0	Not paused	0	R
		D0	PAUSE0	Ch.0 pause status	1	Paused	0	Not paused	0	R

D[15:4] Reserved

D[3:0] PAUSEx: Ch.x Paused Status Bit

高優先順位のDMA転送によって連続転送の動作が一時中断されているかどうかを示します。

1 (R): 一時中断

0 (R): 一時中断以外の状態(デフォルト)

動作中のチャンネルよりも優先順位の高いDMA要求が生成されると、転送を実行しているチャンネルは、現在のデータ単位の転送が完了すると直ちに、転送の再開に必要な制御情報(現在の転送カウントや転送元と転送先のアドレスなど)を保存してから転送を一時中断します。この場合、PAUSExも1に設定され、チャンネルが転送を一時中断したことを示します。その後、高優先順位のDMA転送が実行されます。転送が完了すると、一時中断されていたDMA転送が再開されます。この時点で、DMAは、PAUSExとTRGx/DMA_TRG_FLGレジスタをチェックし、ビットがセットされた各チャンネルを整理して、最高優先順位のチャンネル(最小番号のチャンネル)を開始します。

DMACが一時中断されていたDMA転送を再開すると、PAUSExはクリアされます。

DMAONx/DMA_CTLレジスタが0(強制終了)に設定されている場合、すでにセットされていたPAUSExはクリアされ、一時中断されていたDMA転送は取り消されます。

DMAC Data Buffer Low/High Registers (DMA_DATA_BUFL/H)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
DMAC Data Buffer Low Register (DMA_DATA_BUFL)	0x8182c (16 bits)	D15-0	DBUF [15:0]	DMAC transfer data buffer (low-order 16 bits)	0x0 to 0xffff	0x0	R	
DMAC Data Buffer High Register (DMA_DATA_BUFH)	0x8182e (16 bits)	D15-0	DBUF [31:16]	DMAC transfer data buffer (high-order 16 bits)	0x0 to 0xffff	0x0	R	

D[15:0]/0x8182e, D[15:0]/0x8182c

DBUF[31:0]: DMAC Transfer Data Buffer Bits

最後に転送されたデータをこのレジスタから読み出すことができます。(デフォルト: 0x0)

転送元アドレスから読み出された転送データは、転送データバッファにロードされてから、転送先アドレスに書き込まれます。

14 8ビットプログラマブルタイマ(T8F)

14.1 T8Fモジュールの概要

S1C17803は3チャンネルのファインモード8ビットプログラマブルタイマモジュール(T8F)を内蔵しています。

T8Fの主な機能は以下のとおりです。

- 8ビットプリセッタブルダウンカウンタ(プリセット値設定用8ビットリロードデータレジスタ付き)
- 15種類のプリスケアラ出力クロックからカウンタクロックを選択可能
- カウンタアンダーフロー信号からUSI動作クロック(転送クロックソース)とA/Dトリガ信号を生成
- 割り込みコントローラ(ITC)へのアンダーフロー割り込み信号を生成
- カウンタクロックとプリセット値を選択して、任意の時間間隔やシリアル転送速度をプログラム可能
- ファインモードによる転送レートエラーの最少化

図14.1.1にT8Fの構成を示します。

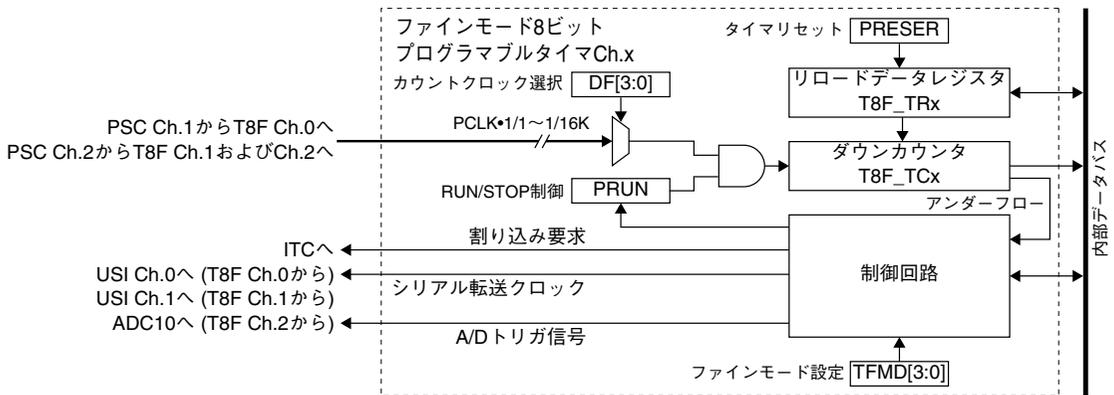


図14.1.1 T8Fの構成(1チャンネル)

T8Fは8ビットのプリセッタブルダウンカウンタとプリセット値を保持する8ビットのリロードデータレジスタから構成されています。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号を使って割り込み、USIクロック、A/Dトリガ信号を生成します。アンダーフロー周期はプリスケアラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。ファインモードは転送レートエラーを最少にする機能を提供します。

注: 3チャンネルのT8Fモジュールは、制御レジスタのアドレスを除き同じ機能を持っています。本節内の説明はタイマの全チャンネルに適用されます。レジスタ名の'x'はチャンネル番号(0~2)を表します。

- 例:
- T8F_CTLxレジスタ
 - Ch.0: T8F_CTL0レジスタ
 - Ch.1: T8F_CTL1レジスタ
 - Ch.2: T8F_CTL2レジスタ

14.2 カウントクロック

カウントクロックは、プリスケアラがPCLK*クロックを1/1 ~ 1/16Kに分周して生成する15種類のクロックからDF[3:0]/T8F_CLKxレジスタにより選択します。

* T8F Ch.0はPCLK1から生成したPSC Ch.1出力クロックを使用します。T8F Ch.1とCh.2はPCLK2から生成したPSC Ch.2出力クロックを使用します。この章の説明ではPCLK1およびPCLK2としてPCLKを使用します。

表14.2.1 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

- 注:
- T8Fが動作する前に、プリスケアラ(T8F Ch.0用のPSC Ch.1、T8F Ch.1とCh.2用のPSC Ch.2)が動作している必要があります。
 - カウントクロックの設定は、カウント停止中に行ってください。

プリスケアラの制御については、“プリスケアラ(PSC)”の章を参照してください。

14.3 カウントモード

T8Fはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T8F_CTLxレジスタで行います。

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、T8Fはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出します。任意の間隔で周期的な割り込みやA/Dトリガを発生させる場合や、シリアル転送クロックを生成する場合は、T8Fをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、T8Fはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回だけ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T8Fをこのモードに設定してください。

- 注: カウントモードを設定する前にカウンタが停止していることを確認してください。

14.4 リロードデータレジスタとアンダーフロー周期

リロードデータレジスタT8F_TRxは、ダウンカウンタに初期値をセットするために使用します。リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みやA/Dトリガの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

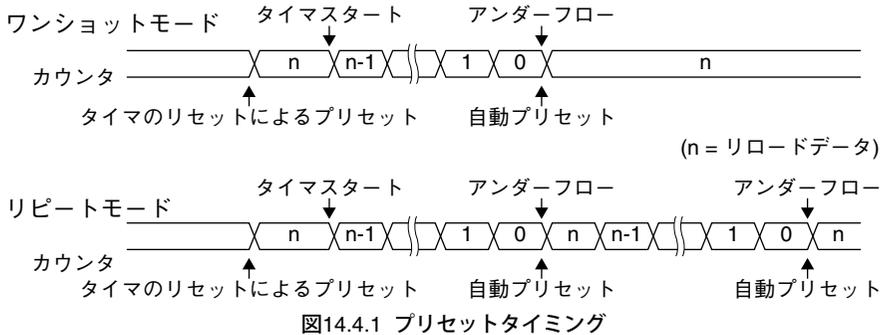


図14.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{\text{clk_in}} \text{ [s]} \quad \text{アンダーフロー周期} = \frac{\text{clk_in}}{TR + 1} \text{ [Hz]}$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数[Hz]

TR: リロードデータ(0~255)

14.5 タイマのリセット

タイマをリセットするには、PRESER/T8F_CTLxレジスタに1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

14.6 RUN/STOP制御

T8Fを起動する前に以下の設定を行ってください。

- (1) カウントクロック(プリスケアラ出力クロック)を選択します。14.2節を参照してください。
- (2) カウントモード(ワンショットまたはリピート)を設定します。14.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。14.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。14.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャンネルの割り込みを許可します。14.9節を参照してください。

タイマの動作を開始させるには、PRUN/T8F_CTLxレジスタに1を書き込みます。

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムからT8Fを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。動作中にタイマをリセットすると、タイマはリロードレジスタ値をカウンタにロードして、カウントを継続します。

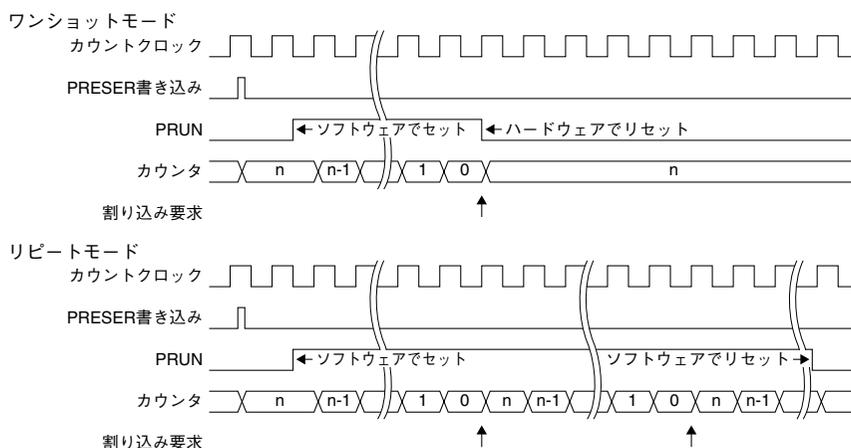


図14.6.1 カウント動作

14.7 タイマ出力信号

タイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。このパルスは、タイマ割り込み要求に使用されます。また、内部シリアルインタフェース用のシリアル転送クロックやA/Dトリガ信号の生成にも使用されます。

生成されたクロックは以下のとおり、内部周辺モジュールに送られます。

T8F Ch.0出力クロック → USI Ch.0

T8F Ch.1出力クロック → USI Ch.1

T8F Ch.2出力クロック → A/D変換器

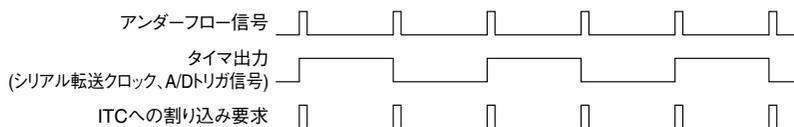


図14.7.1 タイマ出力クロック

14.8 ファインモード

ファインモードは転送レートエラーを最少にする機能を提供します。

T8FはUSIシリアル転送クロックとして使用するためのプログラマブルクロック信号を出力することができます。このタイマ出力クロックは、適切なプリスケアラ出力クロックとリロードデータを選択することにより、必要な周波数に設定できます。転送レートによってエラーが起こる可能性があるので注意してください。ファインモードではカウンタからのアンダーフローパルスを遅延させることにより出力クロック周期を延長します。この遅延はTFMD[3:0]/T8F_CTLxレジスタにより指定できます。

TFMD[3:0]により16アンダーフロー期間に挿入する遅延パターンを指定します。遅延を1つ挿入すると出力クロック周期が1カウントクロック周期分延長されます。この設定は同様に割り込みのタイミングも遅延させます。

表14.8.1 TFMD[3:0]により指定される遅延パターン

TFMD[3:0]	アンダーフロー数															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルの挿入を示します。

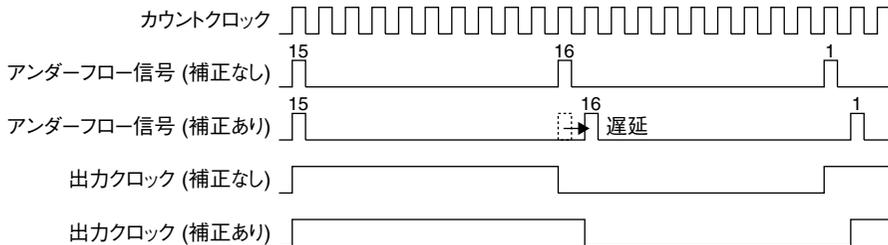


図14.8.1 ファインモードにおける遅延サイクル挿入

初期リセット時にはTFMD[3:0]が0x0に設定されており、遅延サイクルは挿入できません。

14.9 タイマ割り込み

カウンタがアンダーフローしたとき、T8Fタイマは割り込み要求を割り込みコントローラ(ITC)に出力します。

タイマアンダーフロー割り込み

カウンタがアンダーフローすると、T8Fモジュール内のチャンネルごとに用意されている割り込みフラグT8FIF/T8F_INTxレジスタが1にセットされます。T8FIE/T8F_INTxレジスタが1(割り込み許可)に設定されていれば、同時に割り込み要求がITCに送られます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T8FIEが0(割り込み禁止、デフォルト)に設定されていると、割り込み要求はITCに送られません。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- T8F割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8Fモジュール内の割り込みフラグT8FIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、T8FIEによってT8F割り込みを許可する前に、T8FIFをリセットしてください。T8FIFは1を書き込むことでリセットされます。
 - T8Fは1つの割り込み信号をCh.0 ~ Ch.2のITCに対する割り込み要求に使用します。どの割り込みが発生したかに関係なく、同じ割り込み処理ルーチンが実行されます。すべてのチャンネルの割り込みを使用するとき、割り込み処理ルーチンの一部としてT8F内の割り込みフラグを読み出し、どのチャンネルが割り込みを発生したかをチェックします。

14.10 制御レジスタ詳細

表14.10.1 ファインモード8ビットタイマレジスタ一覧

アドレス	レジスタ名		機能
0x81a00	T8F_CLK0	T8F Ch.0 Input Clock Select Register	プリスケアラ出力クロックの選択
0x81a02	T8F_TR0	T8F Ch.0 Reload Data Register	リロードデータの設定
0x81a04	T8F_TC0	T8F Ch.0 Counter Data Register	カウンタデータ
0x81a06	T8F_CTL0	T8F Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x81a08	T8F_INT0	T8F Ch.0 Interrupt Control Register	割り込みの制御
0x81a10	T8F_CLK1	T8F Ch.1 Input Clock Select Register	プリスケアラ出力クロックの選択
0x81a12	T8F_TR1	T8F Ch.1 Reload Data Register	リロードデータの設定
0x81a14	T8F_TC1	T8F Ch.1 Counter Data Register	カウンタデータ
0x81a16	T8F_CTL1	T8F Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x81a18	T8F_INT1	T8F Ch.1 Interrupt Control Register	割り込みの制御
0x81a20	T8F_CLK2	T8F Ch.2 Input Clock Select Register	プリスケアラ出力クロックの選択
0x81a22	T8F_TR2	T8F Ch.2 Reload Data Register	リロードデータの設定
0x81a24	T8F_TC2	T8F Ch.2 Counter Data Register	カウンタデータ
0x81a26	T8F_CTL2	T8F Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
0x81a28	T8F_INT2	T8F Ch.2 Interrupt Control Register	割り込みの制御

ファインモード8ビットタイマの各レジスタは、以下で詳しく説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T8F Ch.x Input Clock Select Registers (T8F_CLKx)

Register name	Ad- dress	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.x Input Clock Select Register (T8F_CLKx)	0x81a00 0x81a20 (16 bits)	D15-4 D3-0	– DF[3:0]	reserved T8F input clock select (Prescaler output clock)	– Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	– 0x0	– R/W	0 when being read. PCLK = PCLK1 for T8F Ch.0 PCLK2 for T8F Ch.1 and Ch.2

D[15:4] Reserved

D[3:0] DF[3:0]: T8F Input Clock Select Bits

15種類のプリスケアラ出力クロックからT8Fカウントクロックを選択します。

表14.10.2 カウントクロックの選択

DF[3:0]	プリスケアラ出カクロック	DF[3:0]	プリスケアラ出カクロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

* PCLK = PCLK1 (T8F Ch.0用)またはPCLK2 (T8F Ch.1およびCh.2用) (デフォルト: 0x0)

注: カウントクロックの設定は、カウント停止中に行ってください。

T8F Ch.x Reload Data Registers (T8F_TRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.x Reload Data Register (T8F_TRx)	0x81a02 0x81a12 0x81a22 (16 bits)	D15-8 D7-0	TR[7:0]	reserved T8F reload data TR7 = MSB TR0 = LSB	– 0x0 to 0xff	– 0x0	– R/W	0 when being read.

D[15:8] Reserved

D[7:0] TR[7:0]: T8F Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、所定の待ち時間、周期的な割り込みやA/Dトリガの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

T8F Ch.x Counter Data Registers (T8F_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.x Counter Data Register (T8F_TCx)	0x81a04 0x81a14 0x81a24 (16 bits)	D15-8 D7-0	TC[7:0]	reserved T8F counter data TC7 = MSB TC0 = LSB	– 0x0 to 0xff	– 0xff	– R	0 when being read.

D[15:8] Reserved

D[7:0] TC[7:0]: T8F Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0xff)

このレジスタは読み出し専用のため、データの書き込みはできません。

T8F Ch.x Control Registers (T8F_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.x Control Register (T8F_CTLx)	0x81a06	D15-12	—	reserved	—	—	—	0 when being read.
	0x81a16	D11-8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
	0x81a26	(16 bits)						
		D7-5	—	reserved	—	—	—	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
	D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W		

D[15:12] Reserved

D[11:8] TFMD[3:0]: Fine Mode Setup Bits

転送レートエラーを修正します。(デフォルト: 0x0)

TFMD[3:0]により16アンダーフロー期間に挿入する遅延パターンを指定します。遅延を1つ挿入すると出力クロック周期が1カウントクロック周期分延長されます。この設定は同様に割り込みのタイミングも遅延させます。

表14.10.3 TFMD[3:0]により指定される遅延パターン

TFMD[3:0]	アンダーフロー数															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0x1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	D
0x2	—	—	—	—	—	—	—	D	—	—	—	—	—	—	—	D
0x3	—	—	—	—	—	—	—	D	—	—	—	D	—	—	—	D
0x4	—	—	—	D	—	—	—	D	—	—	—	D	—	—	—	D
0x5	—	—	—	D	—	—	—	D	—	—	—	D	—	D	—	D
0x6	—	—	—	D	—	D	—	D	—	—	—	D	—	D	—	D
0x7	—	—	—	D	—	D	—	D	—	D	—	D	—	D	—	D
0x8	—	D	—	D	—	D	—	D	—	D	—	D	—	D	—	D
0x9	—	D	—	D	—	D	—	D	—	D	—	D	—	D	D	D
0xa	—	D	—	D	—	D	D	D	—	D	—	D	—	D	D	D
0xb	—	D	—	D	—	D	D	D	—	D	D	D	—	D	D	D
0xc	—	D	D	D	—	D	D	D	—	D	D	D	—	D	D	D
0xd	—	D	D	D	—	D	D	D	—	D	D	D	D	D	D	D
0xe	—	D	D	D	D	D	D	D	—	D	D	D	D	D	D	D
0xf	—	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルの挿入を示します。

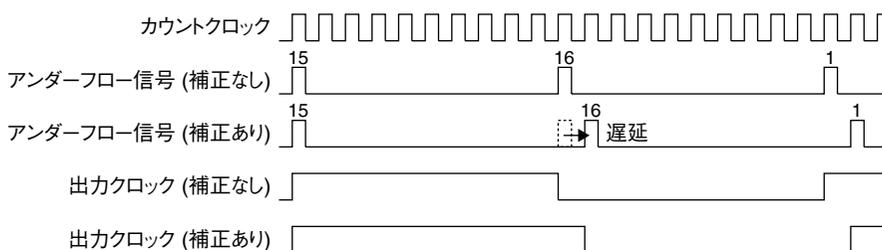


図14.10.1 ファインモードにおける遅延サイクル挿入

D[7:5] Reserved

D4 TRMD: Count Mode Select Bit

T8Fカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、T8Fはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みやA/Dトリガを発生させる場合や、シリアル転送クロックを生成する場合は、T8Fをこのモードに設定してください。

TRMDを1に設定すると、T8Fはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回だけ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合に、T8Fをこのモードに設定してください。

注: カウントモードを設定する前にカウンタが停止していることを確認してください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

タイマをリセットします。

1(W): リセット

0(W): 無視

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

T8F Ch.x Interrupt Control Registers (T8F_INTx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8F Ch.x Interrupt	0x81a08 0x81a18	D15-9	–	reserved	–	–	–	0 when being read.
		D8	T8FIE	T8F interrupt enable	1 Enable	0 Disable	0	R/W
Control Register (T8F_INTx)	0x81a28 (16 bits)	D7-1	–	reserved	–	–	–	0 when being read.
		D0	T8FIF	T8F interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W

D[15:9] Reserved

D8 T8FIE: T8F Interrupt Enable Bit

各チャンネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T8FIEを1に設定するとITCへのT8F割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved

D0 T8FIF: T8F Interrupt Flag Bit

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無視

T8FIFはT8Fの割り込みフラグで、カウント中にカウンタがアンダーフローすると1にセットされます。

T8FIFは1を書き込むことでリセットされます。

15 16ビットPWMタイマ(T16A)

15.1 T16Aモジュールの概要

S1C17803は、16ビットのPWMタイマモジュール(T16A)を内蔵しています。

T16Aの主な機能は以下のとおりです。

- コンパレータ/キャプチャユニット付き16ビットアップカウンタ
- 15種類のプリスケアラ(PSC Ch.1)出力クロックから選択可能なカウントクロック
- 外部クロックを使用するイベントカウンタ機能に対応
- カウンタ値と2つの指定値を比較し、割り込み信号や出力波形(PWM波形を含む)を生成するコンパレータを搭載
- 2つの外部トリガ信号によってカウンタ値をキャプチャし、割り込みを発生させるキャプチャユニットを搭載

図15.1.1にT16Aの構成を示します。

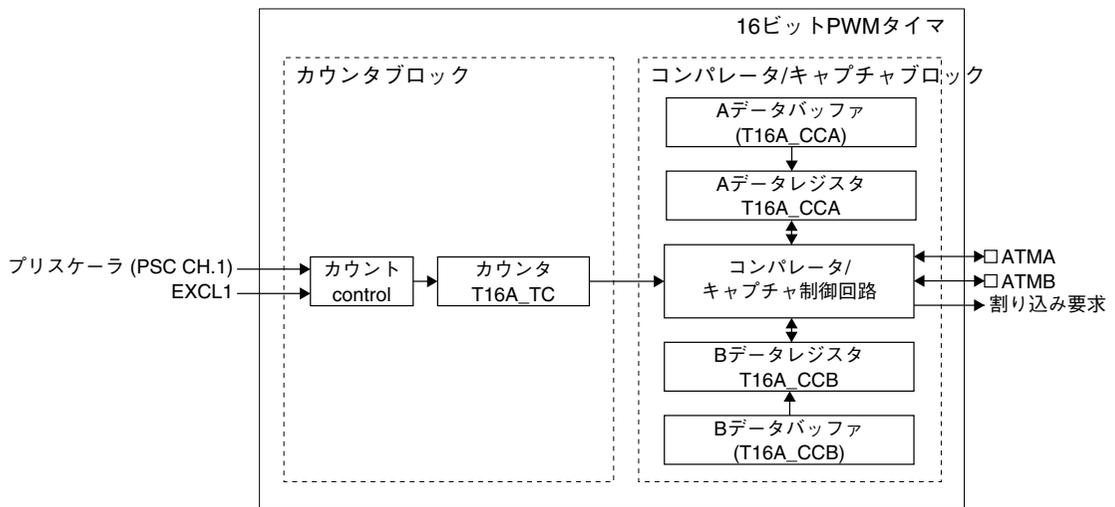


図15.1.1 T16Aの構成

T16Aモジュールは、カウンタブロックとコンパレータ/キャプチャブロックで構成されています。

カウンタブロック

カウンタブロックは16ビットアップカウンタで構成されます。カウンタはプリスケアラ(PSC Ch.1)出力クロック、もしくは外部から入力したカウントクロックで動作します。このクロック選択のほか、ソフトウェアによってカウント開始と停止の制御、およびカウンタ値のリセット(0クリア)が行えます。また、コンパレータ/キャプチャブロックから出力されるコンペアB信号によってもカウンタがリセットされるようになっています。

コンパレータ/キャプチャブロック

コンパレータ/キャプチャブロックには、カウンタ値と指定値を比較するコンパレータと、カウンタ値を外部トリガ信号によってレジスタに取り込むキャプチャ回路がそれぞれ2系統(A系統とB系統)組み込まれています。ただし、各系統でコンパレータとキャプチャ機能を同時に使用することはできません。どちらか一方にソフトウェアで切り換えて使用します。

コンパレータとして使用する場合は、カウンタ値と比較する値をコンペアA、コンペアBレジスタに設定しておきます。カウンタ値がそれぞれのレジスタの設定値に一致すると、コンパレータはコンペアA、コンペアB信号を出力します。これらの信号により割り込みを発生可能です。また、これ

15 16ビットPWMタイマ(T16A)

らの信号はタイマ出力波形の周期やデューティ比の制御にも使用され、PWM波形なども出力できるようになっています。コンペアB信号はカウンタのリセットにも使用されます。コンペアAおよびコンペアBレジスタは、直接データの書き込み/読み出しが可能です。別途コンペアバッファも設けられており、コンペアB信号により自動的にコンペアAおよびコンペアBレジスタにデータをロードすることもできます。比較値をコンペアレジスタとバッファのどちらに書き込むかについては、ソフトウェアで選択可能です。

キャプチャ機能を使用する場合は、コンペアA、コンペアBレジスタがキャプチャA、キャプチャBレジスタとなります。キャプチャAおよびキャプチャB用それぞれにトリガ信号を入力可能で、選択した信号エッジでカウンタ値がそれぞれのレジスタに取り込まれます。この時点で割り込みを発生可能ですので、割り込み処理ルーチン内でキャプチャデータを読み出すことができます。また、読み出し前に新たなキャプチャが行われた場合のエラー処理のためにオーバーライト割り込みも発生可能です。

15.2 T16A入出力端子

表15.2.1にT16Aモジュールの入出力端子を示します。

表15.2.1 T16A端子一覧

端子名	I/O	本数	機能
EXCL1	I	1	T16A外部クロック入力端子 イベントカウンタ用の外部クロックを入力します。
ATMA	I/O	1	T16AシステムA入出力端子 コンパレータモード時にタイマ生成信号を出力します。 キャプチャモード時にカウンタキャプチャトリガ信号を入力します。
ATMB	I/O	1	T16AシステムB入出力端子 コンパレータモード時にタイマ生成信号を出力します。 キャプチャモード時にカウンタキャプチャトリガ信号を入力します。

T16Aの入出力端子(EXCL1、ATMA、ATMB)は、入出力ポートと共有であるため、最初は汎用入出力ポートの端子として設定されています。汎用入出力ポートの端子をT16Aの入出力端子として使用するには、ポート機能選択ビットを使用して端子の機能を切り換える必要があります。端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

15.3 カウントクロック

カウントクロックは、CLKS[3:0]/T16A_CTLレジスタを使用して、15種類のクロック(PSC Ch.1)がPCLK1クロックを1/1 ~ 1/16Kに分周して生成することができます。または外部クロックから選択することもできます。

表15.3.1 カウントクロックの選択

CLKS[3:0]	カウントクロック	CLKS[3:0]	カウントクロック
0xf	外部クロック	0x7	PCLK1・1/128
0xe	PCLK1・1/16384	0x6	PCLK1・1/64
0xd	PCLK1・1/8192	0x5	PCLK1・1/32
0xc	PCLK1・1/4096	0x4	PCLK1・1/16
0xb	PCLK1・1/2048	0x3	PCLK1・1/8
0xa	PCLK1・1/1024	0x2	PCLK1・1/4
0x9	PCLK1・1/512	0x1	PCLK1・1/2
0x8	PCLK1・1/256	0x0	PCLK1・1/1

(デフォルト: 0x0)

注: • カウントクロックを設定する前にカウンタが停止していることを確認してください。

- 外部クロックを使用するときには、外部クロックサイクルをCPU動作クロックサイクルの2倍以上にする必要があります。

PSC Ch.1の制御については、“プリスケアラ(PSC)”の章を参照してください。

15.4 T16Aの動作モード

T16Aには、諸用途に対応するため各種の動作モードが用意されています。以下、動作モードの内容と設定方法を説明します。

15.4.1 コンパレータモードとキャプチャモード

コンパレータ/キャプチャブロックにはT16A_CCAとT16A_CCBの2つのレジスタが組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。T16A_CCAレジスタのモードはCCAMD/T16A_CCCTLレジスタで、T16A_CCBレジスタのモードはCCBMD/T16A_CCCTLレジスタで選択します。

コンパレータモード(CCAMD/CCBMD = 0、デフォルト)

コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16A_CCAとT16A_CCBレジスタは比較値を設定しておくコンペアAおよびコンペアBレジスタとして機能します。

カウント中にカウンタ値がコンペアAレジスタの設定値になると、コンパレータはコンペアA信号を出力します。同時にコンペアA割り込みフラグがセットされ、割り込み要求が許可されていれば、割り込み信号がITCに出力されます。

カウント中にカウンタ値がコンペアBレジスタの設定値になると、コンパレータはコンペアB信号を出力します。同時にコンペアB割り込みフラグがセットされ、割り込み要求が許可されていれば、割り込み信号がITCに出力されます。また、カウンタも0にリセットされます。

コンペアA信号とコンペアB信号はタイマ出力波形を生成するためにも使用されます。詳細については、“15.6 タイマ出力の制御”を参照してください。

PWM波形を生成して出力するには、T16A_CCAおよびT16A_CCBレジスタを両方共にコンパレータモードに設定しておく必要があります。

コンペアバッファ

コンペアレジスタは、直接データの書き込み/読み出しが可能です。また、コンペアバッファを使用すると、コンペアB信号によってバッファに設定したAおよびB系統の比較値を自動的にコンペアAおよびコンペアBレジスタにロードすることができます。比較値をコンペアレジスタとバッファのどちらに書き込むかについては、CBUFEN/T16A_CTLレジスタで設定します。

CBUFENが0(デフォルト)の場合はコンペアレジスタ、CBUFENを1に設定するとコンペアバッファが選択されます。CBUFENの設定にかかわらず、比較値の読み出しはT16A_CCAまたはT16A_CCBレジスタに対して行いますが、コンペアレジスタがアクセスされます。

キャプチャモード(CCAMD/CCBMD = 1)

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16A_CCAまたはT16A_CCBレジスタはキャプチャデータを読み出すためのキャプチャAまたはキャプチャBレジスタとして機能します。カウンタのキャプチャトリガ信号は、キャプチャA回路のATMA端子およびキャプチャB回路のATMB端子から入力します。ATMA端子とATMB端子は、タイマ出力端子と兼用されており、AおよびB系統のキャプチャモードで入力端子に設定されます。

トリガとする信号のエッジは、キャプチャAがCAPATR[1:0]/T16A_CCCTLレジスタ、キャプチャBがCAPBTRG[1:0]/T16A_CCCTLレジスタで選択可能です。

表15.4.1.1 キャプチャトリガエッジの選択

CAPATR[1:0]/CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

カウント中に指定のトリガエッジが入力されると、その時点のカウンタ値がキャプチャレジスタにロードされます。同時にキャプチャ A またはキャプチャ B 割り込みフラグがセットされ、割り込み要求が許可されていれば、割り込み信号がITCに出力されます。この割り込みを利用して、キャプチャデータをT16A_CCAまたはT16A_CCBレジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。

キャプチャ A またはキャプチャ B 割り込みフラグがセットされている状態で、次のトリガによってキャプチャデータが上書きされた場合は、オーバーライト割り込みフラグがセットされます。この割り込みによりオーバーライトエラーの処理が行えます。不要なオーバーライト割り込みの発生を避けるには、キャプチャデータをT16A_CCAまたはT16A_CCBレジスタから読み出した場合、キャプチャ A またはキャプチャ B 割り込みフラグをリセットしておく必要があります。

注: • キャプチャデータの読み出しとキャプチャ動作のタイミングが重なると、正しいキャプチャデータを読み出せない場合があります。必要に応じてキャプチャレジスタを2回読み出すなどしてデータが正しいことを確認してください。

- カウンタデータを正しくキャプチャするには、ATMA/ATMBトリガ信号のHigh期間とLow期間をどちらもソースクロックの1周期以上とする必要があります。

コンパレータモード時は、CAPATR[1:0]とCAPBTR[1:0]の設定は無効です。ATMA/ATMB端子が出力端子に設定されているため、カウントのキャプチャは行われません。

キャプチャモードではコンペア信号が生成されないため、タイマ信号を生成して出力することはできません。

15.4.2 リピートモードとワンショットモード

各カウンタはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TMMD/T16A_CTLレジスタで行います。

リピートモード (TRMD = 0、デフォルト)

TMMDを0に設定すると、カウンタはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。カウンタが0にリセットされた場合、あるいはオーバーフローによって0になった場合もカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合は、カウンタをこのモードに設定してください。

ワンショットモード (TRMD = 1)

TMMDを1に設定すると、カウンタはワンショットモードに設定されます。

このモードでは、カウンタがリセットされるかオーバーフローした時点で自動的に停止します。特定の待ち時間を作りたい場合やパルス幅測定時などは、このモードに設定してください。

15.5 カウンタの制御

15.5.1 カウンタのリセット

カウンタを0にリセットするには、PRESET/T16A_CTLレジスタに1を書き込みます。

通常は、カウントアップを開始する前にこのビットに1を書き込み、カウンタをリセットします。

カウント開始後は、カウンタ値がコンペアBレジスタの設定値に一致するとハードウェアによってリセットされます。

15.5.2 カウンタRUN/STOP制御

カウント動作を開始させる前に、以下の設定を行ってください。

- (1) 使用する入出力端子の機能をT16A用に切り換えます。“汎用入出力ポート (GPIO)”の章を参照してください。
- (2) 動作モードを選択します。15.2節を参照してください。

- (3) クロックソースを選択します。15.3節を参照してください。
- (4) タイマ出力の設定を行います。15.6節を参照してください。
- (5) 割り込みを使用する場合は、割り込みレベルを設定し、T16Aの割り込みを許可します。15.7節を参照してください。
- (6) カウンタを0にリセットします。15.5.1.1節を参照してください。
- (7) コンペアデータを設定します(コンパレータモード時)。15.4.1節を参照してください。

T16Aモジュールには、カウンタの動作を制御するPRUN/T16A_CTLレジスタが設けられています。カウンタはPRUNに1を書き込むことによってカウントを開始します。PRUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

PRUNとPRESETに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

15.5.3 カウンタ値の読み出し

カウント動作中でも、カウンタ値はT16ATC[15:0]/T16A_TCレジスタから読み出すことができます。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウンタアップが発生し、正しい値が読み出せないことがあります。

15.5.4 タイミングチャート

コンパレータモード

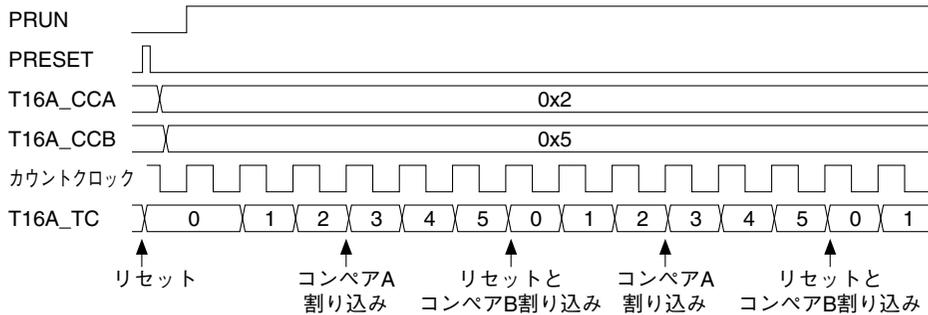


図15.5.4.1 コンパレータモード時動作タイミング

キャプチャモード

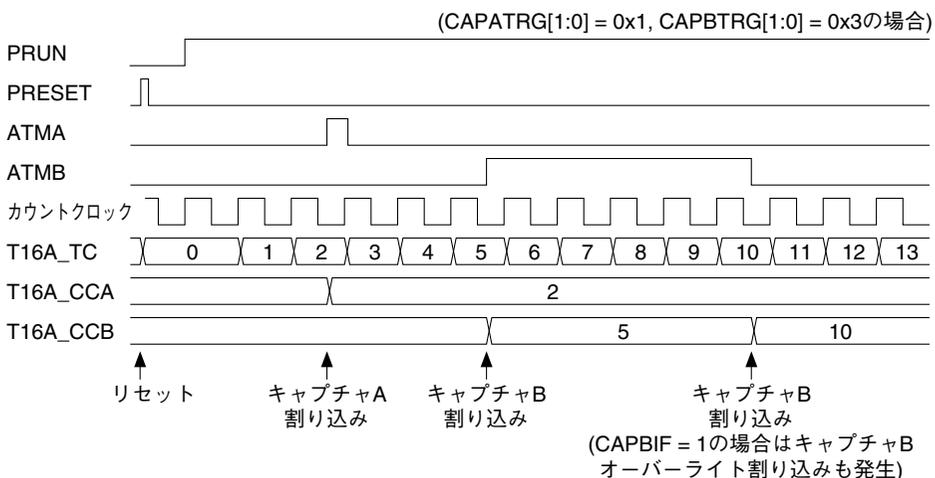


図15.5.4.2 キャプチャモード時動作タイミング

15.6 タイマ出力の制御

T16Aは、コンパレータモード時にコンペアAおよびコンペアB信号によって2つのTOUT信号を生成し、IC外部に出力することができます。図15.6.1にTOUT出力回路を示します。

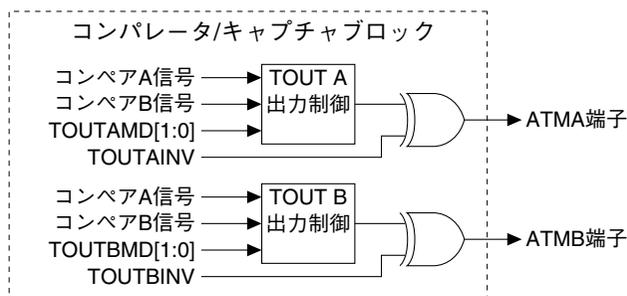


図15.6.1 TOUT出力回路

T16Aには2系統のTOUT出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。回路/レジスタ名などをA系統、B系統として区別していますが、コンペアAとコンペアBの信号に対応するものではありません。

TOUT出力端子

TOUT A信号はATMA端子から出力され、TOUT B信号はATMB端子から出力されます。ATMA端子とATMB端子は、キャプチャトリガ入力端子と兼用されており、AおよびB系統のコンパレータモードで出力端子に設定されます。

TOUT生成モード

TOUT信号波形をコンペアA信号とコンペアB信号でどのように変化させるか、TOUTAMD[1:0]/T16A_CCCTLレジスタ(A系統)またはTOUTBMD[1:0]/T16A_CCCTLレジスタ(B系統)で設定します。

表15.6.1 TOUT生成モード

TOUTAMD[1:0]/ TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUT出力のOn/OffもTOUTAMD[1:0]とTOUTBMD[1:0]で制御します。

TOUT信号の極性選択

デフォルトでは、アクティブHighの出力信号が生成されます。この論理をTOUTAINV/T16A_CCCTLレジスタ(A系統)またはTOUTBINV/T16A_CCCTLレジスタ(B系統)で反転させることができます。TOUTAINV、TOUTBINVに1を書き込むと、アクティブLowのTOUT信号が生成されます。

カウンタをリセットしても、TOUT信号はインアクティブレベルにはなりません。カウンタリセット前のレベルに保たれます。

この場合、TOUTAMD[1:0]およびTOUTBMD[1:0]を0x0に設定してTOUT出力を初期化します。TOUTAMD[1:0]およびTOUTBMD[1:0]を変更するには、必ずカウンタクロックが2サイクル以上経過するまで待ってください。

図15.6.2にTOUT出力波形を示します。

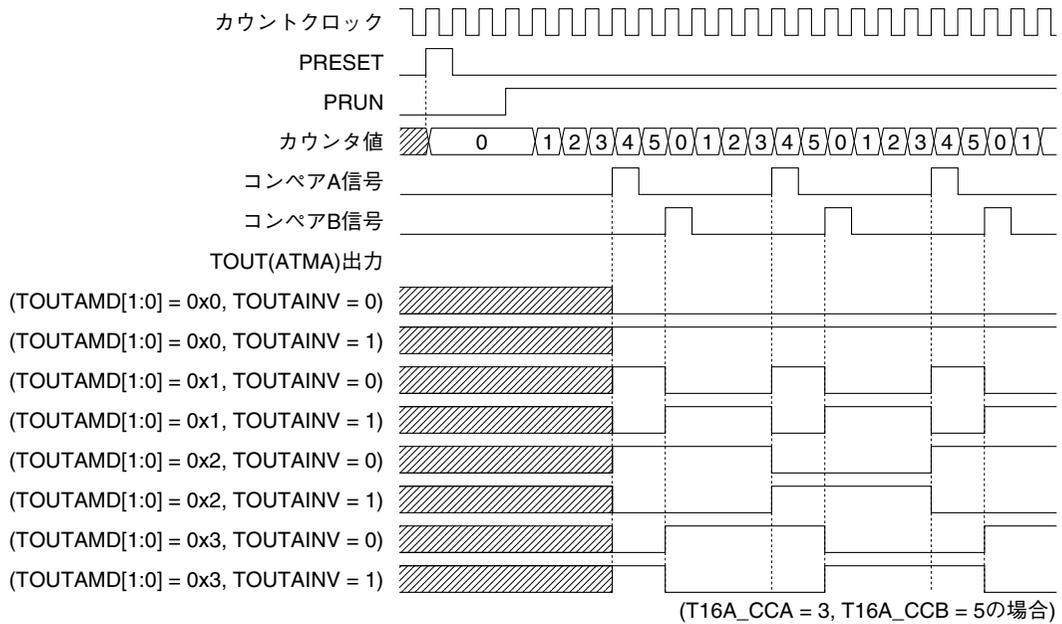


図15.6.2 TOUT出力波形

15.7 T16A割り込み

T16Aモジュールは、以下の6種類の割り込みを生成することができます。

- コンペアA割り込み(コンパレータモード時)
- コンペアB割り込み(コンパレータモード時)
- キャプチャ A割り込み(キャプチャモード時)
- キャプチャ B割り込み(キャプチャモード時)
- キャプチャ Aオーバーライト割り込み(キャプチャモード時)
- キャプチャ Bオーバーライト割り込み(キャプチャモード時)

T16Aは、上記の割り込み要因が共有する単一の割り込み信号を割り込みコントローラ(ITC)に出力します。T16Aモジュール内の割り込みフラグを読み出すと、生じた割り込み要因を確認できます。

コンパレータモード時の割り込み

コンペアA割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアAレジスタ値に達すると生成されます。T16Aモジュール内の割り込みフラグCAIF/T16A_IFLGレジスタが1にセットされます。

この割り込みを使用するには、CAIE/T16A_IENレジスタを1に設定します。CAIEが0(デフォルト)に設定されていると、この割り込み要因の割り込み要求は割り込みコントローラ(ITC)に送られません。

コンペアB割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアBレジスタ値に達すると生成されます。T16Aモジュール内の割り込みフラグCBIF/T16A_IFLGレジスタが1にセットされます。

この割り込みを使用するには、CBIE/T16A_IENレジスタを1に設定します。CBIEが0(デフォルト)に設定されていると、この割り込み要因の割り込み要求は割り込みコントローラ(ITC)に送られません。

キャプチャモード時の割り込み

キャプチャ A割り込み

この割り込み要求は、キャプチャモードでカウント中、外部トリガによってカウンタ値がキャプチャ Aレジスタにキャプチャされると生成されます。T16Aモジュール内の割り込みフラグCAPAIF/T16A_IFLGレジスタが1にセットされます。

この割り込みを使用するには、CAPAIE/T16A_IENレジスタを1に設定します。CAPAIEが0(デフォルト)に設定されていると、この割り込み要因の割り込み要求は割り込みコントローラ(ITC)に送られません。

キャプチャ B割り込み

この割り込み要求は、キャプチャモードでカウント中、外部トリガによってカウンタ値がキャプチャ Bレジスタにキャプチャされると生成されます。T16Aモジュール内の割り込みフラグCAPBIF/T16A_IFLGレジスタが1にセットされます。

この割り込みを使用するには、CAPBIE/T16A_IENレジスタを1に設定します。CAPBIEが0(デフォルト)に設定されていると、この割り込み要因の割り込み要求は割り込みコントローラ(ITC)に送られません。

キャプチャ Aオーバーライト割り込み

この割り込み要求は、キャプチャ A割り込みフラグCAPAIFがセットされている(キャプチャ Aレジスタにカウンタ値が取り込まれている)状態で、新たな外部トリガによるキャプチャによってキャプチャ Aレジスタが上書きされると生成されます。T16Aモジュール内の割り込みフラグCAPAOWIF/T16A_IFLGレジスタが1にセットされます。

この割り込みを使用するには、CAPAOWIE/T16A_IENレジスタを1に設定します。CAPAOWIEが0(デフォルト)に設定されていると、この割り込み要因の割り込み要求は割り込みコントローラ(ITC)に送られません。

CAPAOWIFは、キャプチャ Aレジスタが読み出されているかどうかにかかわらず、CAPAIFが設定されている状態で、キャプチャ Aレジスタが上書きされるとセットされます。キャプチャ Aレジスタを読み出し後は必ず直ちにCAPAIFをリセットしてください。

キャプチャ Bオーバーライト割り込み

この割り込み要求は、キャプチャ A割り込みフラグCAPBIFがセットされている(キャプチャ Bレジスタにカウンタ値が取り込まれている)状態で、新たな外部トリガによるキャプチャによってキャプチャ Bレジスタが上書きされると生成されます。T16Aモジュール内の割り込みフラグCAPBOWIF/T16A_IFLGレジスタが1にセットされます。

この割り込みを使用するには、CAPBOWIE/T16A_IENレジスタを1に設定します。CAPBOWIEが0(デフォルト)に設定されていると、この割り込み要因の割り込み要求は割り込みコントローラ(ITC)に送られません。

CAPBOWIFは、キャプチャ Aレジスタが読み出されているかどうかにかかわらず、CAPBIFが設定されている状態で、キャプチャ Bレジスタが上書きされるとセットされます。キャプチャ Bレジスタを読み出し後は必ず直ちにCAPBIFをリセットしてください。

割り込みが許可されている状態で、割り込みフラグが1にセットされている場合、T16Aモジュールは割り込み要求をITCに出力します。割り込みは、ITCとS1C17コアの割り込み条件を満たした場合に生成されます。

割り込み制御レジスタと、割り込みが発生したときの動作については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- 割り込みイネーブルビットで割り込みを許可する前に、割り込みフラグをリセットして不要な割り込みが発生しないようにしてください。割り込みフラグは、1を書き込むことでリセットされます。
 - 割り込みが発生した後、T16Aモジュールの割り込みフラグを割り込み処理ルーチンでリセットしてください。

15.8 制御レジスタ詳細

表15.8.1 16ビットPWMタイマレジスタ一覧

アドレス	レジスタ名		機能
0x81300	T16A_CTL	T16A Counter Control Register	カウンタの制御
0x81302	T16A_TC	T16A Counter Data Register	カウンタデータ
0x81304	T16A_CCCTL	T16A Comparator/Capture Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x81306	T16A_CCA	T16A Compare/Capture A Data Register	コンペアA/キャプチャAデータ
0x81308	T16A_CCB	T16A Compare/Capture B Data Register	コンペアB/キャプチャBデータ
0x8130a	T16A_IEN	T16A Compare/Capture Interrupt Enable Register	割り込みの許可/禁止
0x8130c	T16A_IFLG	T16A Compare/Capture Interrupt Flag Register	割り込み発生状態の表示/セット

16ビットPWMタイマの各レジスタは、以下で詳しく説明します。これらは16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16A Counter Control Register (T16A_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Counter Control Register (T16A_CTL)	0x81300 (16 bits)	D15-12	–	reserved	–	–	–	0 when being read.	
		D11-8	CLKS[3:0]	Counter clock select	CLKS[3:0]	Clock	0x0	R/W	
					0xf	External clock			
					0xe	PCLK1•1/16384			
					0xd	PCLK1•1/8192			
					0xc	PCLK1•1/4096			
					0xb	PCLK1•1/2048			
					0xa	PCLK1•1/1024			
					0x9	PCLK1•1/512			
					0x8	PCLK1•1/256			
					0x7	PCLK1•1/128			
					0x6	PCLK1•1/64			
		0x5	PCLK1•1/32						
		0x4	PCLK1•1/16						
		0x3	PCLK1•1/8						
0x2	PCLK1•1/4								
0x1	PCLK1•1/2								
0x0	PCLK1•1/1								
D7-4	–	reserved	–	–	–	–	0 when being read.		
D3	CBUFEN	Compare buffer enable	1 Enable	0 Disable	0	R/W			
D2	TMMD	Count mode select	1 One-shot	0 Repeat	0	R/W			
D1	PRESET	Counter reset	1 Reset	0 Ignored	0	W	0 when being read.		
D0	PRUN	Counter run/stop control	1 Run	0 Stop	0	R/W			

D[15:12] Reserved

D[11:8] CLKS[3:0]:Counter Clock Select Bits

15の異なるプリスケアラ出力クロックと外部クロック(EXCL1入力クロック)から、カウンタクロックを選択します。

表15.8.2 カウンタクロックの選択

CLKS[3:0]	クロック	CLKS[3:0]	クロック
0xf	外部クロック	0x7	PCLK1•1/128
0xe	PCLK1•1/16384	0x6	PCLK1•1/64
0xd	PCLK1•1/8192	0x5	PCLK1•1/32
0xc	PCLK1•1/4096	0x4	PCLK1•1/16
0xb	PCLK1•1/2048	0x3	PCLK1•1/8
0xa	PCLK1•1/1024	0x2	PCLK1•1/4
0x9	PCLK1•1/512	0x1	PCLK1•1/2
0x8	PCLK1•1/256	0x0	PCLK1•1/1

(デフォルト: 0x0)

注: カウンタクロックを設定する前にカウンタが停止していることを確認してください。

- 外部クロックを使用するときには、外部クロックサイクルをCPU動作クロックサイクルの2倍以上にする必要があります。

15 16ビットPWMタイマ(T16A)

D[7:4] Reserved

D3 CBUFEN:Compare Buffer Enable Bit

コンペアバッファへの書き込みを有効または無効にします。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFENが1に設定されていると、コンペアデータの書き込み/読み出しがコンペアデータバッファを介して行われます。バッファの内容は、コンペアB信号によってコンペアAおよびコンペアBレジスタにロードされます。

CBUFENが0に設定されている場合は、コンペアデータの書き込み/読み出しがコンペアAおよびコンペアBレジスタに対して直接行われます。

D2 TMMD:Count Mode Select Bit

カウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TMMDを0に設定すると、カウンタはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。

TMMDを1に設定すると、カウンタはワンショットモードに設定されます。このモードでは、コンペアB信号によりリセットされるかソフトウェアにより停止された時点で、カウンタが自動的に停止します。

D1 PRESET:Counter Reset Bit

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0にリセットされます。

D0 PRUN:Counter Run/Stop Control Bit

カウントを開始/停止します。

1(W): カウント開始

0(W): カウント停止

1(R): カウント動作中

0(R): 停止中(デフォルト)

カウンタはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。停止した場合でもカウンタのデータは保持されます。

T16A Counter Data Register (T16A_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Counter Data Register (T16A_TC)	0x81302 (16 bits)	D15-0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	

D[15:0] T16ATC[15:0]:Counter Data Bits

カウントデータが読み出せます。(デフォルト: 0x0)

カウント動作中でも、カウンタ値の読み出しが可能です。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウンタアップが発生し、正しい値が読み出せないことがあります。

T16A Comparator/Capture Control Register (T16A_CCCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A Comparator/ Capture Control Register (T16A_CCCTL)	0x81304 (16 bits)	D15-14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge	0x0	R/W	
		0x3			↑ and ↓	0	R/W		
		0x2			↓				
		0x1			↑				
		0x0			None				
		D13-12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode	0x0	R/W	
		0x3			cmp B: ↑ or ↓	0	R/W		
		0x2			cmp A: ↑ or ↓				
		0x1			cmp A: ↑, B: ↓				
		0x0			Off				
D11-10	–	reserved	–	–	–	–	0 when being read.		
D9	TOUTBINV	TOUT B invert	1	Invert	0	Normal	0	R/W	
D8	CCBMD	T16A_CCB register mode select	1	Capture	0	Comparator	0	R/W	
D7-6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0]	Trigger edge	0x0	R/W			
0x3			↑ and ↓	0	R/W				
0x2			↓						
0x1			↑						
0x0			None						
D5-4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode	0x0	R/W			
0x3			cmp B: ↑ or ↓	0	R/W				
0x2			cmp A: ↑ or ↓						
0x1			cmp A: ↑, B: ↓						
0x0			Off						
D3-2	–	reserved	–	–	–	–	0 when being read.		
D1	TOUTAINV	TOUT A invert	1	Invert	0	Normal	0	R/W	
D0	CCAMD	T16A_CCA register mode select	1	Capture	0	Comparator	0	R/W	

D[15:14] CAPBTRG[1:0]: Capture B Trigger Select Bits

キャプチャ B レジスタにカウンタ値を取り込む、外部信号(ATMB入力)のトリガエッジを選択します。

表15.8.3 キャプチャ B トリガエッジの選択

CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりがおよび立ち上がりエッジ
0x2	立ち下がリエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPBTRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[13:12] TOUTBMD[1:0]: TOUT B Mode Select Bits

TOUT B信号波形(ATMB出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT B出力のOn/Offも本ビットで制御します。

表15.8.4 TOUT B信号生成モード

TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTBMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[11:10] Reserved

D9 TOUTBINV:TOUT B Invert Bit

TOUT B信号(ATMB出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTBINVに1を書き込むと、TOUT B出力用にアクティブLowの信号(Offレベル = high)が生成されます。TOUTBINVが0の場合は、アクティブHighの信号(Offレベル = low)が生成されます。

TOUTBINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D8 CCBMD:T16A_CCB Register Mode Select Bit

T16A_CCBレジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCBMDに1を書き込むと、T16A_CCBレジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャBレジスタとして機能します(キャプチャモード)。CCBMDが0の場合は、コンペアB信号を生成するための比較値を書き込んでおくコンペアBレジスタとして機能します(コンパレータモード)。

D[7:6] CAPATRG[1:0]:Capture A Trigger Select Bits

キャプチャ Aレジスタにカウンタ値を取り込む、外部信号(ATMA入力)のトリガエッジを選択します。

表15.8.5 キャプチャ Aトリガエッジの選択

CAPATRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPATRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[5:4] TOUTAMD[1:0]:TOUT A Mode Select Bits

TOUT A信号波形(ATMA出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT A出力のOn/Offも本ビットで制御します。

表15.8.6 TOUT A信号生成モード

TOUTAMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTAMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[3:2] Reserved**D1 TOUTAINV:TOUT A Invert Bit**

TOUT A信号(ATMA出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTAINVに1を書き込むと、TOUT A出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTAINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。

TOUTAINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D0 CCAMD:T16A_CCA Register Mode Select Bit

T16A_CCAレジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCAMDに1を書き込むと、T16A_CCAレジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャAレジスタとして機能します(キャプチャモード)。CCAMDが0の場合は、コンペアA信号を生成するための比較値を書き込んでおくコンペアAレジスタとして機能しません(コンパレータモード)。

T16A Comparator/Capture A Data Register (T16A_CCA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture A Data Register (T16A_CCA)	0x81306 (16 bits)	D15-0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCA[15:0]:Compare/Capture A Data Bits

コンパレータモード時(CCAMD/ T16A_CCCTLレジスタ = 0)

カウンタ値と比較するコンペアAデータを設定します。

CBUFEN/T16A_CTLレジスタが0に設定されている場合、このレジスタに対してコンペアAレジスタが直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込み/読み出しはコンペアAバッファに対して行われます。バッファの内容は、コンペアB信号によってカウンタがリセットされた時点でコンペアAレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアA信号がアクティブになると同時に割り込み要因が発生します。また、TOUTAMD[1:0]/T16A_CCCTLレジスタまたはTOUTBMD[1:0]/T16A_CCCTLレジスタを0x2または0x1に設定している場合はTOUT出力波形が変化します。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

キャプチャモード時(CCAMD = 1)

CAPATRG[1:0]/T16A_CCCTLレジスタで指定した外部トリガ信号(ATMA入力)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャA割り込みを発生させることができますので、取り込まれたカウンタ値は割り込み処理内で読み出し可能です。

T16A Comparator/Capture B Data Register (T16A_CCB)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture B Data Register (T16A_CCB)	0x81308 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCB[15:0]:Compare/Capture B Data Bits

コンパレータモード時(CCBMD/T16A_CCCTLレジスタ = 0)

カウンタ値と比較するコンペアBデータを設定します。

CBUFEN/T16A_CTLレジスタが0に設定されている場合、このレジスタに対してコンペアBレジスタが直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込み/読み出しはコンペアBバッファに対して行われます。バッファの内容は、コンペアB信号によってカウンタがリセットされた時点でコンペアBレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアB信号がアクティブになると同時に割り込み要因が発生します。また、TOUTAMD[1:0]/T16A_CCCTLレジスタまたはTOUTBMD[1:0]/T16A_CCCTLレジスタを0x3または0x1に設定している場合はTOUT出力波形が変化します。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

キャプチャモード時(CCBMD = 1)

CAPBTRG[1:0]/T16A_CCCTLレジスタで指定した外部トリガ信号(ATMB入力)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャB割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

T16A Comparator/Capture Interrupt Enable Register (T16A_IEN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture Interrupt Enable Register (T16A_IEN)	0x8130a (16 bits)	D15-6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable	0 Disable	0	R/W
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable	0 Disable	0	R/W
		D3	CAPBIE	Capture B interrupt enable	1 Enable	0 Disable	0	R/W
		D2	CAPAIE	Capture A interrupt enable	1 Enable	0 Disable	0	R/W
		D1	CBIE	Compare B interrupt enable	1 Enable	0 Disable	0	R/W
		D0	CAIE	Compare A interrupt enable	1 Enable	0 Disable	0	R/W

D[15:6] Reserved

D5 CAPBOWIE:Capture B Overwrite Interrupt Enable Bit

キャプチャ Bオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBOWIEを1に設定すると、キャプチャ Bオーバーライトの割り込み要求をITCに出力できるようになります。これを0に設定すると割り込みが禁止されます。

D4 CAPAOWIE:Capture A Overwrite Interrupt Enable Bit

キャプチャ Aオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAOWIEを1に設定すると、キャプチャ Aオーバーライトの割り込み要求をITCに出力できるようになります。これを0に設定すると割り込みが禁止されます。

D3 CAPBIE:Capture B Interrupt Enable Bit

キャプチャ Bの割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBIEを1に設定すると、キャプチャ Bの割り込み要求をITCに出力できるようになります。これを0に設定すると割り込みが禁止されます。

D2 CAPAIE:Capture A Interrupt Enable Bit

キャプチャ Aの割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAIEを1に設定すると、キャプチャ Aの割り込み要求をITCに出力できるようになります。これを0に設定すると割り込みが禁止されます。

D1 CBIE:Compare B Interrupt Enable Bit

コンペアBの割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CBIEを1に設定すると、コンペアBの割り込み要求をITCに出力できるようになります。これを0に設定すると割り込みが禁止されます。

D0 CAIE:Compare A Interrupt Enable Bit

コンペアAの割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAIEを1に設定すると、コンペアAの割り込み要求をITCに出力できるようになります。これを0に設定すると割り込みが禁止されます。

T16A Comparator/Capture Interrupt Flag Register (T16A_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16A	0x8130c	D15-6	–	reserved	–	–	–	0 when being read.	
Comparator/ Capture Interrupt Flag Register (T16A_IFLG)	(16 bits)	D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag			0	R/W	
		D3	CAPBIF	Capture B interrupt flag			0	R/W	
		D2	CAPAIF	Capture A interrupt flag			0	R/W	
		D1	CBIF	Compare B interrupt flag			0	R/W	
		D0	CAIF	Compare A interrupt flag			0	R/W	

D[15:6] Reserved**D5 CAPBOWIF:Capture B Overwrite Interrupt Flag Bit**

キャプチャ Bオーバーライト割り込み要因の発生状況を示します。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPBOWIFはT16A割り込みフラグで、キャプチャ Bレジスタが上書きされると1にセットされます。

CAPBOWIFは1の書き込みによりリセットされます。

D4 CAPAOWIF: Capture A Overwrite Interrupt Flag Bit

キャプチャ Aオーバーライト割り込み要因の発生状況を示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

CAPAOWIFはT16A割り込みフラグで、キャプチャ Aレジスタが上書きされると1にセットされます。

CAPAOWIFは1の書き込みによりリセットされます。

D3 CAPBIF: Capture B Interrupt Flag Bit

キャプチャ Bオーバーライト割り込み要因の発生状況を示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

CAPBIFは、カウンタ値がキャプチャ Bレジスタに取り込まれたときに1にセットされるT16Aの割り込みフラグです。

CAPBIFは1の書き込みによりリセットされます。

D2 CAPAIF: Capture A Interrupt Flag Bit

キャプチャ A割り込み要因の発生状況を示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

CAPAIFは、カウンタ値がキャプチャ Aレジスタに取り込まれたときに1にセットされるT16Aの割り込みフラグです。

CAPAIFは1の書き込みによりリセットされます。

D1 CBIF: Compare B Interrupt Flag Bit

コンペアB割り込み要因の発生状況を示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

CBIFは、カウンタ値がコンペアBレジスタに設定された値に達したときに1にセットされるT16Aの割り込みフラグです。

CBIFは1の書き込みによりリセットされます。

D0 CAIF: Compare A Interrupt Flag Bit

コンペアA割り込み要因の発生状況を示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

CAIFは、カウンタ値がコンペアAレジスタに設定された値に達したときに1にセットされるT16Aの割り込みフラグです。

CAIF1の書き込みによりリセットされます。

16 16ビットオーディオPWMタイマ (T16P)

16.1 T16Pモジュールの概要

S1C17803には、16ビットのオーディオPWMタイマ(T16P)が内蔵されており、PCMデータからPWMパルスを生成します。生成されたパルスは、直接ローパスフィルタに出力でき、このフィルタにより、量子化ノイズを除去して出力信号をサウンド波形に整形します。外付けのD/Aコンバータなしにモノラルのオーディオ出力システムを簡単に実現することができます。

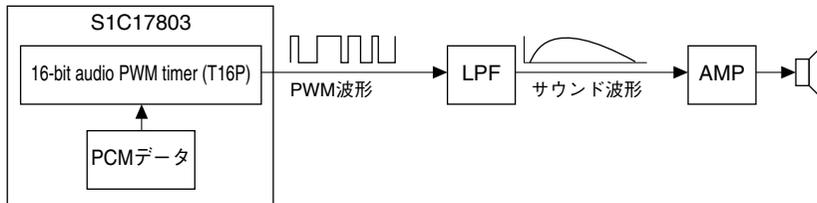


図16.1.1 T16Pを使用したオーディオ出力回路

オーディオ出力機能が不要な場合は、汎用の16ビットタイマとしてT16Pを使用することができます。T16Pの主な機能を以下に示します。

- さまざまなサンプルレート(8k、16k、22.05k、32k、44.1k、および48k.)による8ビットと16ビットのPCMデータをサポート
- 符号付きと符号なしのPCMデータをサポート
- スプリットモードをサポート。すなわち、16ビットのオーディオデータを10ビット + 6ビット、9ビット + 7ビット、または8ビット + 8ビットに分割することができます。
- ファインモードのサポートによりパルス幅の精度を向上
- デジタルボリュームコントロールユニットを搭載
- プリスケアラまたは外部クロックを使用したプログラマブルカウントクロック
- 内蔵の2つの16ビットデータバッファにより、パルス幅(デューティ比)とパルス周期を設定可能
- 3種類の割り込みを生成してDMAを呼び出し可能

図16.1.2にT16Pの構成を示します。

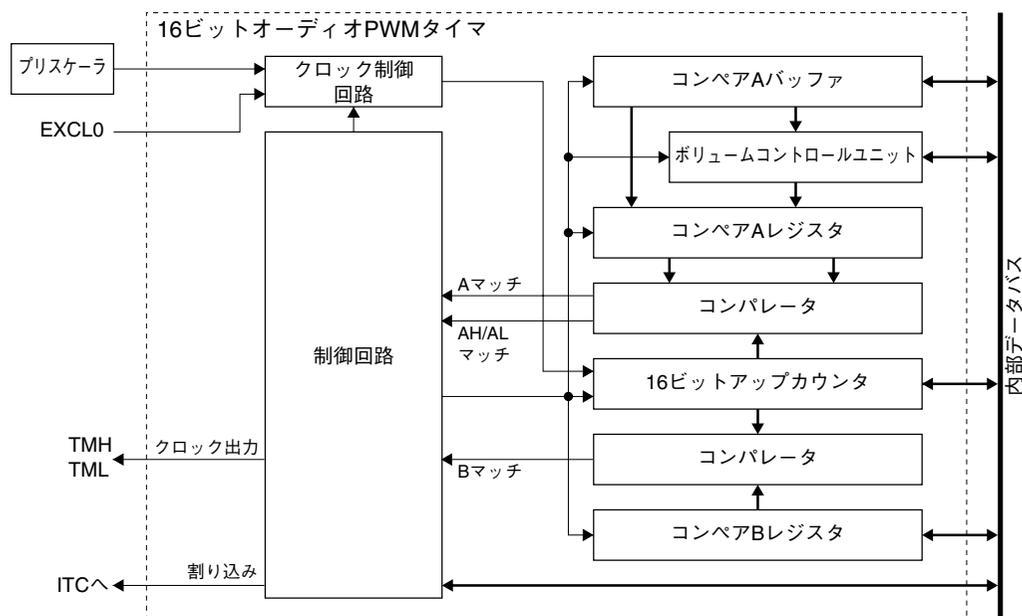


図16.1.2 16ビットオーディオPWMタイマの構成

T16Pは、1つの16ビットアップカウンタと2つの16ビットコンペアデータバッファ/レジスタで構成されています。

16ビットカウンタはソフトウェアで0にリセット可能で、プリスケアラ出力クロックまたはEXCL0端子からの外部クロック入力を使用してカウントアップします。

コンペアAバッファはデータ(PCMデータ)の格納に使用されます。格納されたデータはコンペアAレジスタにロードされ、カウンタ値と比較され出力パルス幅が決まります。ボリュームコントロールユニットは、コンペアAレジスタにロードする前に、コンペアAバッファに格納されたPCMデータに、ソフトウェアで設定された規定のボリュームレベルを掛け合わせます。これにより、ボリュームレベルを1/64～127/64およびミュートに調整できるようになります。

コンペアBバッファはパルス周期を求めるためのデータを格納するために使用されます。格納されたデータはコンペアBレジスタにロードされ、カウンタ値と比較されます。

カウンタ値がコンペアデータに達すると、タイマの出力信号が反転されてPWM波形が生成されます。

16.2 T16Pの入出力端子

表16.2.1にT16Pモジュールの入出力端子を示します。

表16.2.1 T16P端子一覧

端子名	I/O	本数	機能
EXCL0	I	1	T16P/WDT外部クロックの入力端子 カウントクロックとして外部クロックを入力します。
TMH	O	1	PWM信号の出力端子 スプリットモード時: PCMデータの上位ビットから生成されたPWM信号を出力します。 通常モード時: PCMデータから生成されたPWM信号を出力します。
TML	O	1	PWM信号の出力端子 スプリットモード時: PCMデータの下部ビットから生成されたPWM信号を出力します。 通常モード時: 初期出力レベルで固定(または未使用)

T16Pの入出力端子(EXCL0、TMH、TML)は、入出力ポートと共有であるため、最初は汎用入出力ポートの端子として設定されています。入出力ポートの端子をT16Pの入出力端子として使用するには、ポート機能選択ビットを使用して端子の機能を切り換える必要があります。

端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

16.3 T16Pの動作条件の設定

T16Pを起動する前に以下の設定を行ってください。

1. T16Pの入出力端子の構成 (16.2節を参照)
2. カウントクロックの選択 (16.3.1節を参照)
3. PCMデータの構成(分解能、符号付き/符号なしデータのフォーマット) (16.3.2節を参照)
4. 動作モード(スプリットモード、ファインモード)の選択 (16.3.3節を参照)
5. PWM出力条件(初期信号レベル)の設定 (16.3.4節を参照)
6. 割り込みやDMA条件の設定 (16.5節を参照)

16.3.1 カウントクロック

CLKSEL/T16P_CTLレジスタを使用することで、内部クロックまたは外部クロックのいずれかをカウントクロックとして選択することができます。CLKSELを0(デフォルト)に設定すると、内部クロックが使用されます。1に設定すると、EXCL0端子への外部クロック入力を使用されます。

外部クロックを使用するときには、外部クロックサイクルをCPU動作クロックサイクルの2倍以上にする必要があります。

内部クロックを使用するときには、CLKDIV[3:0]/T16P_CLKレジスタを使用して、13種類のクロック(プリスケラがPCLK1クロックを1/1 ~ 1/4,096に分周して生成)から選択することができます。

表16.3.1.1 内部クロックの選択

CLKDIV[3:0]	カウントクロック	CLKDIV[3:0]	カウントクロック
0xf	Reserved	0x7	PCLK1・1/128
0xe	Reserved	0x6	PCLK1・1/64
0xd	Reserved	0x5	PCLK1・1/32
0xc	PCLK1・1/4096	0x4	PCLK1・1/16
0xb	PCLK1・1/2048	0x3	PCLK1・1/8
0xa	PCLK1・1/1024	0x2	PCLK1・1/4
0x9	PCLK1・1/512	0x1	PCLK1・1/2
0x8	PCLK1・1/256	0x0	PCLK1・1/1

(デフォルト: 0x0)

注: カウントクロックを設定する前にカウンタが停止していることを確認してください。

PSC Ch.1の制御については、“プリスケラ(PSC)”の章を参照してください。

16.3.2 PCMデータの構成

PCMデータを取り扱うには、分解能とデータフォーマットを指定する必要があります。

データの分解能

T16Pは8ビットと16ビットのPCMデータをサポートしています。RESSEL/T16P_CTLレジスタを使用して分解能を選択します。RESSELを1(デフォルト)に設定すると、16ビット分解能が選択されます。また0に設定すると、8ビット分解能が選択されます。

データのフォーマット

T16Pは符号付きと符号なしのPCMデータをサポートしています。SGNSEL/T16P_CTLレジスタを使用してデータのフォーマットを選択します。SGNSELを1(デフォルト)に設定すると、符号付きデータフォーマットが選択されます。また0に設定すると符号なしデータフォーマットが選択されます。

16.3.3 動作モードの選択

スプリットモード

16ビットPCMデータを使用するときには、2つのデータ単位に分割して取り扱うことができます。SPLTMD[1:0]/T16P_CTLレジスタを使用してスプリットモードを選択します。

表16.3.3.1 スプリットモードの選択

SPLTMD[1:0]	スプリットモード
0x3	10ビット+6ビットのスプリットモード
0x2	9ビット+7ビットのスプリットモード
0x1	8ビット+8ビットのスプリットモード
0x0	16ビットの通常モード

(デフォルト: 0x0)

スプリットモードを選択すると、コンペアAデータの分割された上位ビット(上位の10、9、または8ビット)と下位ビット(下位の6、7、または8ビット)がカウンタデータと比較され、2つの比較結果が2つのPWM出力信号を生成します。上位データビットから生成されるPWM信号はTHM端子から出力され、下位データビットから生成されるもう1つのPWM信号はTML端子から出力されます。スプリットモードまたは8ビットPCMデータ分解能を選択すると、コンペアAの割り込みを発生させることはできません。

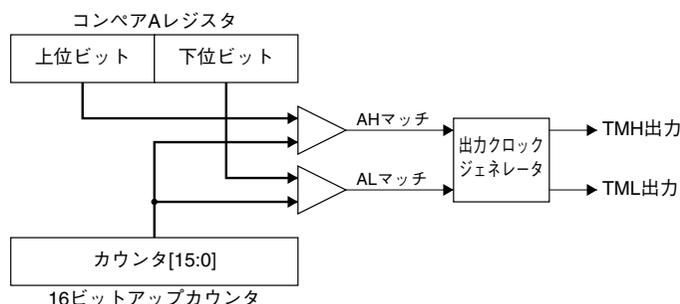


図16.3.3.1 スプリットモード

通常モードを選択すると(SPLTMD[1:0] = 0x0)、16ビットPCM(コンペアA)データは16ビットのカウンタデータと比較され、生成されたPWM信号はTMH端子から出力されます。TML出力機能を有効にした場合、TML端子は初期出力レベルに固定されます。このモードおよび16ビットPCMデータ分解能を選択した場合、カウンタがコンペアAデータに達すると、コンペアAの割り込みを発生させることができます。

ファインモード

通常、コンペアAデータは、カウントクロックの立ち上がりエッジでカウンタデータと比較されます。T16Pをファインモードに設定すると、カウントクロックの立ち上がりおよび立ち下りの両方のエッジで比較が行われます。この場合、コンペアAデータは比較するとき半分にになります。

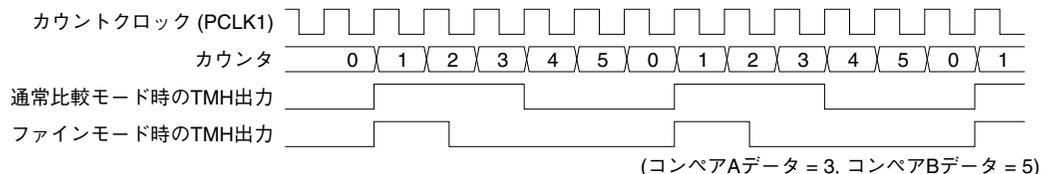


図16.3.3.2 ファインモード

ファインモードではパルス幅の精度が向上します。ただし、このモードでは、カウントクロックとしてPCLK1・1/1クロックのみ使用できます。CLKSELとCLKDIV[3:0]の設定は無効です。

SELFM/T16P_CTLを1に設定すると、T16Pはファインモードになります。

ファインモードはパルス周期には影響を及ぼしません。パルス周期はコンペアBデータで決まります。

16.3.4 PWM出力条件の設定

初期出力レベル

TMHとTMLのPWM出力端子は、T16Pを起動する前に端子機能をT16P用に切り換えたとき、あるいはT16Pを停止またはリセットしたときに、初期出力レベルになります。INITOL/T16P_CTLレジスタを使用して初期出力レベルを選択します。

INITOLが0(デフォルト)のとき、初期出力レベルはLowです。INITOLを1に設定すると、初期出力レベルはHighになります。

注: 端子機能をT16P用に切り換える場合は、その前に必ずINITOLをセットしてからPWMをリセットしてください(PRESETを1に設定)。

16.4 制御とT16Pの動作

16.4.1 T16Pのリセット

PRESET/T16P_CTLレジスタに1を書き込むと、T16Pはリセットされます。PRESETを1に設定すると、以下の動作が行われます。

- カウンタ(CNT_DATA[15:0]/T16P_CNT_DATAレジスタ)が0x0にリセットされます。
- コンペアBカウンタ(BCNT[3:0]/T16P_CTLレジスタ)が0x0にリセットされます。
- コンペアAとBのバッファレジスタ(CMPA[15:0]/T16P_Aレジスタ、CMPB[15:0]/T16P_Bレジスタ)が0x0にリセットされます。
- バッファエンプティフラグ(BUFEF/T16P_INTレジスタ)が1にセットされます(割り込みは発生しません)。
- 他の割り込みフラグはすべて0にリセットされ、割り込み要求は取り消されます。
- DMA要求が発行されていた場合、取り消されます。
- PWM出力は、INITOL/T16P_CTLレジスタで設定された初期出力レベルになります。

注: GPIO端子をTMH端子とTML端子に切り換える前に、またPRUN/T16P_RUNレジスタを1に設定してT16Pを起動する前に、必ずT16Pをリセットしてください。

16.4.2 制御の実行/停止

T16Pを起動するには、PRUN/T16P_RUNレジスタに1を書き込みます。

PRUNに1を書き込む前にT16Pをリセットする必要があります(PRESET/T16P_CTLレジスタに1を書き込む)。T16Pをリセットするとバッファエンプティフラグが1にセットされますが、バッファエンプティ割り込みが許可されていても、この時点では、割り込み要求もDMA要求も発行されません。PRUNに1を書き込むと、T16Pはバッファエンプティ割り込み要求とDMA要求を発行できるようになるので、割り込み処理ルーチンまたはDMAで最初のオーディオデータをバッファに送信することができます。

動作しているT16Pを停止するには、PRUNに0を書き込みます。T16Pは、Bマッチ条件が(BCNT[3:0] + 1)回、成立するまで、カウントを停止しない場合があります。

16.4.3 コンペアデータの設定

コンペアAバッファ

コンペアAバッファ (CMPA[15:0]/T16P_Aレジスタ)は、出力パルス幅(デューティ比)の指定に使用します。出力オーディオデータをこのバッファに配置します。タイマがカウントを開始すると、あるいはBマッチが指定した回数だけ生じると、バッファのデータはコンペアAレジスタにロードされ、カウンタ値と比較されます。出力信号レベルは、カウンタがコンペアAレジスタに格納されているコンペアデータに達すると、パルス周期の先頭で反転されます。この動作により、コンペアAバッファにセットされたオーディオデータはパルス幅に変換されます。

コンペアAバッファに書き込まれたデータがコンペアAレジスタにロードされると、バッファエンプティ割り込みフラグ(BUFEF/T16P_INTレジスタ)が1にセットされるので、バッファエンプティ割り込みが許可されていれば割り込みが発生します。また、この割り込み要因によってDMA転送を呼び出すことができます。割り込みまたはDMA転送を使用することで、次の出力データをコンペアAバッファにセットすることができます。

カウンタがコンペアAデータに達すると、Aマッチ割り込みフラグ(INTAF/T16P_INTレジスタ)が1にセットされるので、Aマッチ割り込みが許可されていれば割り込みが発生します。このタイプの割り込みはスプリットモードでは発生せず、また8ビットPCMデータ分解能が選択されているときにも発生しません。

コンペアAデータで設定されるパルス幅は次のとおりです。

通常比較モード時 (SELF_M = 0)

出力パルス幅 = CMPA × カウントクロックサイクル

(CMPA: 通常モード時はCMPA[15:0]、スプリットモード時はCMPA[15:n]またはCMPA[(n-1):0])

ファインモード時 (SELF_M = 1)

出力パルス幅 = CMPA × PCLK1サイクル × 1/2

(CMPA: 通常モード時はCMPA[15:0]、スプリットモード時はCMPA[15:n]またはCMPA[(n-1):0])

8ビットオーディオデータはCMPA[7:0]に書き込む必要があります。

コンペアBバッファとBマッチカウンタ

コンペアBバッファ (CMPB[15:0]/T16P_Bレジスタ)は、パルス周期の指定に使用します。バッファのデータはコンペアBレジスタにロードされ、カウンタ値と比較されます。出力信号レベルは、カウンタがコンペアBレジスタに格納されているコンペアデータに達すると(Bマッチ)反転されます。Bマッチが生じると、カウンタは0x0にリセットされて、次のパルス周期が開始されます。この動作により、指定されたコンペアBデータに従ってパルス周期が生成されます。

カウンタがコンペアBデータに達すると、Bマッチ割り込みフラグ(INTBF/T16P_INTレジスタ)が1にセットされるので、Bマッチ割り込みが許可されていれば割り込みが発生します。

T16Pコントローラには、サンプリングレートを設定するためのBマッチカウンタ(BCNT[3:0]/T16P_CTLレジスタ)が搭載されています。BCNT[3:0]を0 ~ 15に設定します。Bマッチが(BCNT[3:0] + 1)回だけ生じると、コンペアAバッファとコンペアBバッファのデータはコンペアAレジスタとコンペアBレジスタにロードされ、新しいサンプリング周期が開始されます。

コンペアBデータで設定されるパルス周期は次のとおりです。

出力パルス周期 = (CMPB[15:0] + 1) × カウントクロックサイクル

サンプリング周期 = (CMPB[15:0] + 1) × カウントクロックサイクル × (BCNT[3:0] + 1)

16.4.4 ボリュームコントロール

T16Pには、ボリュームコントロール機能が用意されています。この機能を使用するには、VOLBPS/T16P_VOL_CTLを0に設定します。ボリュームコントロールユニットは、コンペアAレジスタにロードする前に、コンペアAバッファに格納されたPCMデータに、VOLSEL[6:0]/T16P_VOL_CTLレジスタを使用して設定された規定のボリュームレベルを掛け合わせます。これにより、ボリュームレベルを1/64～127/64およびミュートに調整できるようになります。

表16.4.4.1 ボリュームレベルの設定

VOLSEL[6:0]	ボリュームレベル
0x7f	× 127/64
0x7e	× 126/64
⋮	⋮
0x40	× 64/64
⋮	⋮
0x2	× 2/64
0x1	× 1/64
0x0	× 0(ミュート)

(デフォルト: 0x40)

VOLBPSを1(デフォルト)に設定すると、ボリュームコントロールユニットを無視して、コンペアAデータが直接コンペアAレジスタにロードされます。8ビットPCMデータを使用するときには、VOLBPSを1に設定してボリュームコントロールユニットを無視する必要があります。

16.4.5 カウンタ値

カウンタデータは、CNT_DATA[15:0]/T16P_CNT_DATAレジスタからいつでも読み出すことができます。

カウンタデータをCNT_DATA[15:0]に書き込むこともできます。これにより、割り込みやタイマ出力のサイクルを一時的に変更することができます。

16.4.6 タイミングチャート

通常モード

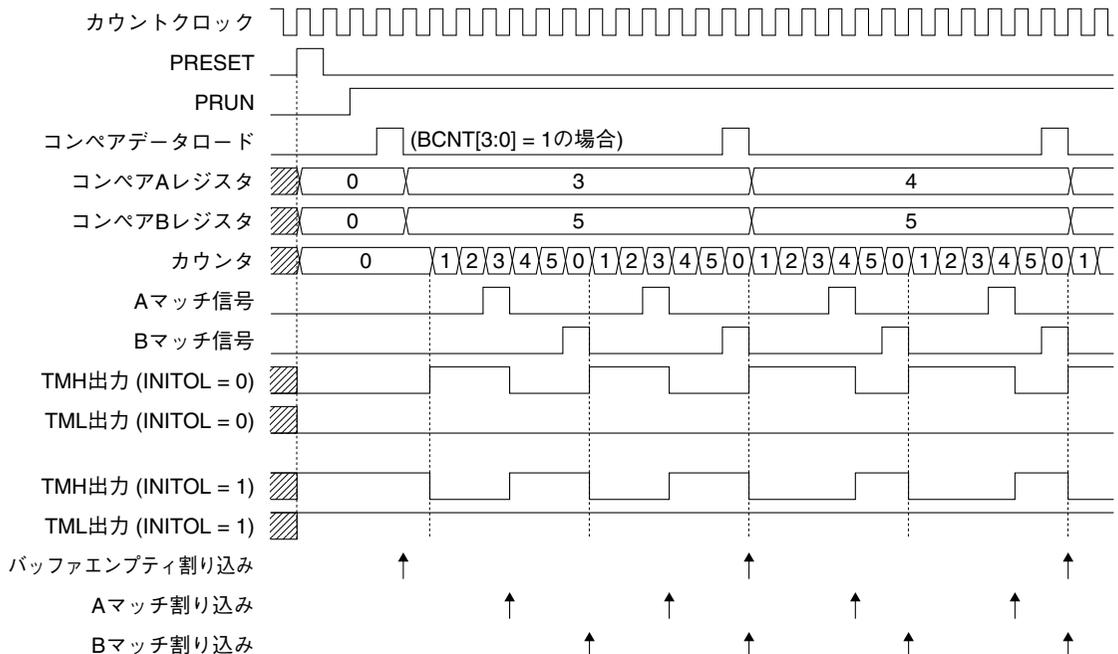


図16.4.6.1 PWM出力のタイミングチャート1(通常モード)

通常モード + ファインモード

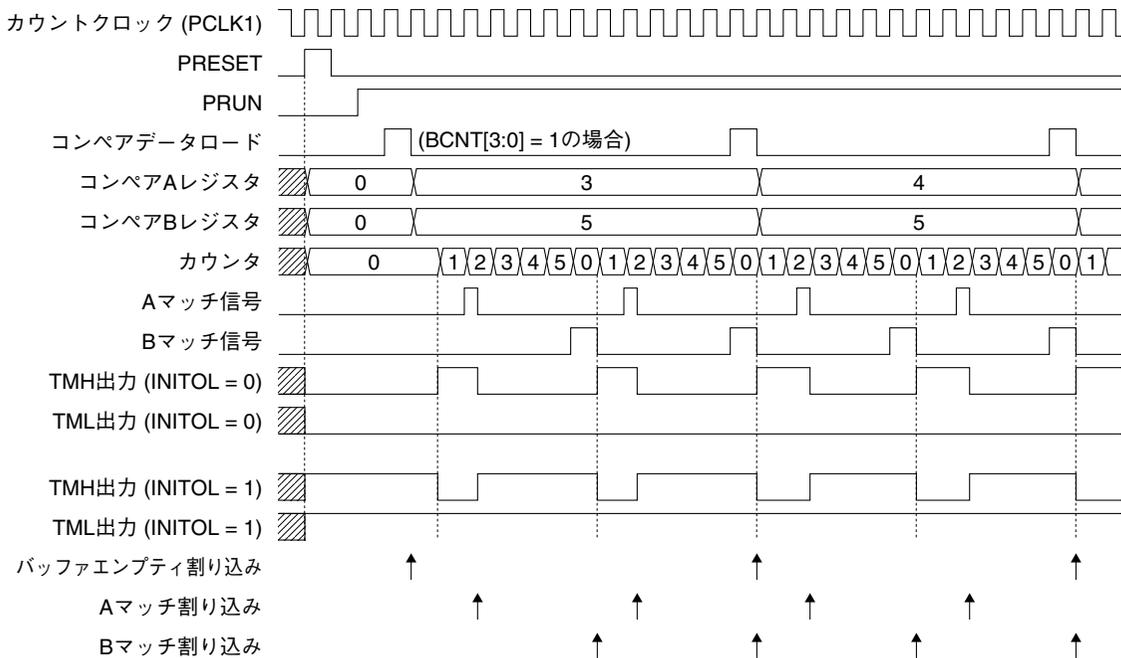


図16.4.6.2 PWM出力のタイミングチャート2(通常モード + ファインモード)

スプリットモード

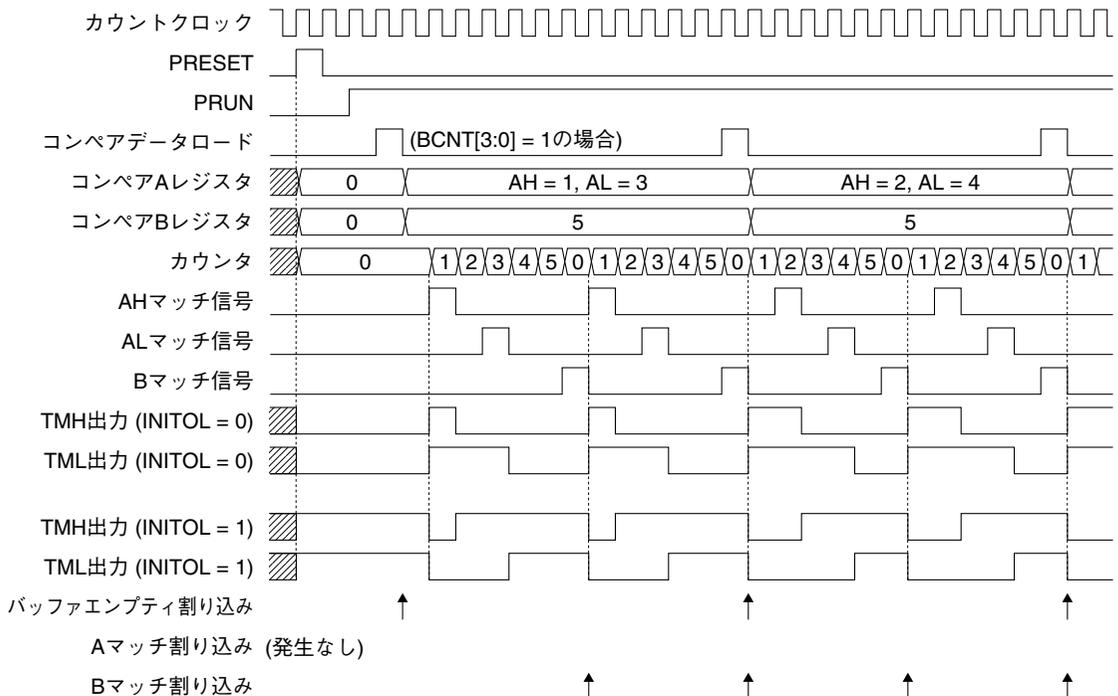


図16.4.6.3 PWM出力のタイミングチャート3(スプリットモード)

スプリットモード + ファインモード

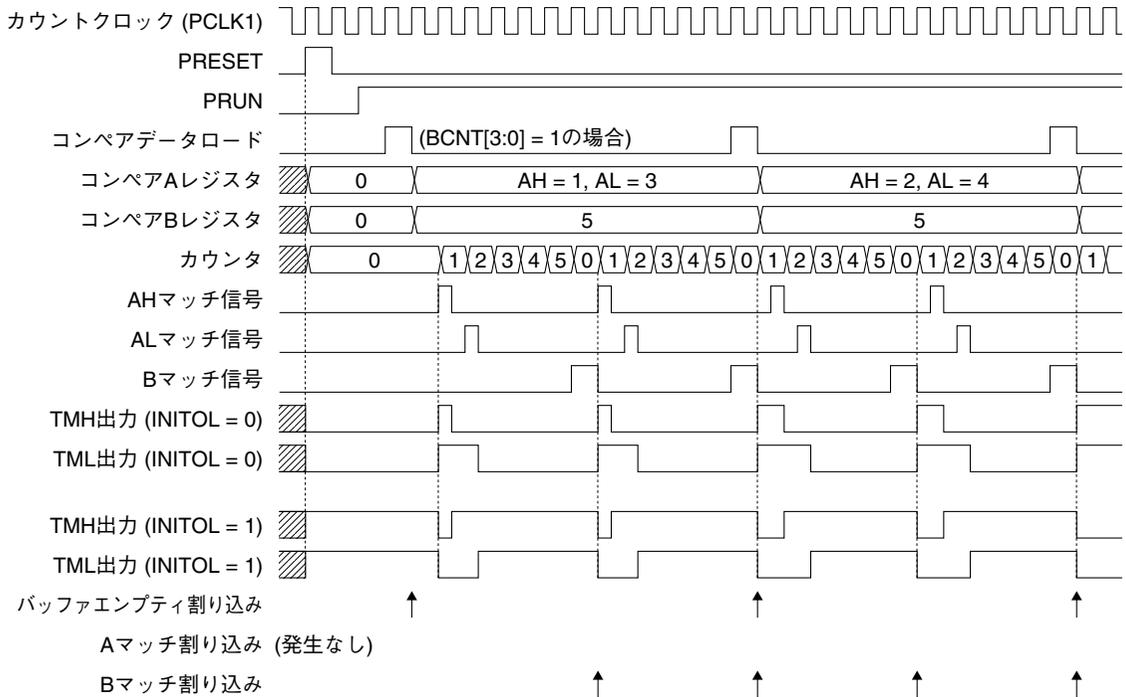


図16.4.6.4 PWM出力のタイミングチャート4(スプリットモード + ファインモード)

16.5 T16Pの割り込みとDMA

この節では、T16Pの割り込みとDMA呼び出しについて説明します。

割り込み処理とDMA転送の詳細については、それぞれ“割り込みコントローラ(ITC)”の章と“DMAコントローラ(DMAC)”の章を参照してください。

16.5.1 割り込み

T16Pモジュールは、以下の3種類の割り込みを生成することができます。

- バッファエンプティ割り込み
- Aマッチ割り込み
- Bマッチ割り込み

T16Pは、上記の割り込み要因が共有する単一の割り込み信号を割り込みコントローラ(ITC)に出力します。T16Pモジュール内の割り込みフラグを読み出すと、生じた割り込み要因を確認できます。

• バッファエンプティ割り込み

この割り込み要求は、コンペアAバッファデータがコンペアAレジスタにロードされると生成されます。T16Pモジュール内の割り込みフラグBUFEF/T16P_INTレジスタが1にセットされます。

この割り込みを使用するには、INTBEEN/T16P_INTレジスタを1に設定します。NTBEENが0(デフォルト)に設定されていると、この要因の割り込み要求はITCに送られません。

• Aマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアAレジスタ値に達すると生成されます。T16Pモジュール内の割り込みフラグINTAF/T16P_INTレジスタが1にセットされます。

この割り込みを使用するには、INTAEN/T16P_INTレジスタを1に設定します。INTAENが0(デフォルト)に設定されていると、この要因の割り込み要求はITCに送られません。

スプリットモードまたは8ビットPCMデータ分解能を選択すると、INTAFはセットされず、Aマッチ割り込みは発生しません。

Bマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアBレジスタ値に達すると生成されます。T16Pモジュール内の割り込みフラグINTBF/T16P_INTレジスタが1にセットされます。

この割り込みを使用するには、INTBEN/T16P_INTレジスタを1に設定します。NTBENが0(デフォルト)に設定されていると、この要因の割り込み要求はITCに送られません。

割り込みが許可されているときに割り込みフラグが1にセットされた場合、T16Pモジュールは割り込み要求をITCに出力します。割り込みは、ITCとS1Cコアの割り込み条件を満たした場合に生成されます。割り込み制御レジスタと、割り込みが発生したときの動作については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- 割り込みイネーブルビットで割り込みを許可する前に割り込みフラグをリセットして不要な割り込みが発生しないようにしてください。割り込みフラグは、1を書き込むことでリセットされます。
 - 割り込みが発生した後、T16Pモジュールの割り込みフラグを割り込み処理ルーチンでリセットしてください。

16.5.2 DMA転送

バッファエンプティ割り込み要因によってDMAを呼び出すことができます。これにより、メモリとコンペアAバッファとの間で、DMACを介した連続データ転送が可能となります。バッファエンプティ割り込み信号は、ITCとDMACの両方に出力されます。このため、DMA転送は、T16P割り込みを生成することなく実行することができます。

DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

16.6 制御レジスタ詳細

表16.6.1 T16Pレジスタ一覧

アドレス	レジスタ名		機能
0x81400	T16P_A	T16P Compare A Buffer Register	コンペアAデータ
0x81402	T16P_B	T16P Compare B Buffer Register	コンペアBデータ
0x81404	T16P_CNT_DATA	T16P Counter Data Register	カウンタデータ
0x81406	T16P_VOL_CTL	T16P Volume Control Register	ボリュームコントロールを有効にしてボリュームレベルを設定
0x81408	T16P_CTL	T16P Control Register	タイマ動作条件の設定
0x8140a	T16P_RUN	T16P Running Control Register	タイマのスタート/ストップ制御
0x8140c	T16P_CLK	T16P Internal Clock Control Register	内部カウントクロックの選択
0x8140e	T16P_INT	T16P Interrupt Control Register	T16P割り込みの制御

T16Pの各レジスタは、以下で詳しく説明します。これらは16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16P Compare A Buffer Register (T16P_A)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Compare A Buffer Register (T16P_A)	0x81400 (16 bits)	D15-0	CMPA[15:0]	Compare A data CMPA15 = MSB CMPA0 = LSB	0x0 to 0xffff	X	R/W	

D[15:0] CMPA[15:0]: Compare A Data Bits

パルス幅に変換するコンペアAデータ(PCMデータ)を設定します。(デフォルト: 不定)
 タイマがカウントを開始すると、あるいはBマッチが指定した回数だけ生じると、バッファのデータはコンペアAレジスタにロードされ、カウンタ値と比較されます。出力信号レベルは、カウンタがコンペアAレジスタに格納されているコンペアデータに達すると、パルス周期の先頭で反転されます。この動作により、コンペアAバッファにセットされたオーディオデータはパルス幅に変換されます。

コンペアAバッファに書き込まれたデータがコンペアAレジスタにロードされると、バッファエンプティ割り込みフラグ(BUFEF/T16P_INTレジスタ)が1にセットされるので、バッファエンプティ割り込みが許可されていれば割り込みが発生します。また、この割り込み要因によってDMA転送を呼び出すことができます。割り込みまたはDMA転送を使用することで、次の出力データをコンペアAバッファにセットすることができます。

カウンタがコンペアAデータに達すると、Aマッチ割り込みフラグ(INTAF/T16P_INTレジスタ)が1にセットされるので、Aマッチ割り込みが許可されていれば割り込みが発生します。このタイプの割り込みはスプリットモードでは発生せず、また8ビットPCMデータ分解能が選択されているときにも発生しません。

コンペアAデータで設定されるパルス幅は次のとおりです。

通常比較モード時 (SELFM/T16P_CTLレジスタ = 0)

出力パルス幅 = $CMPA \times \text{カウントクロックサイクル}$

(CMPA: 通常モード時はCMPA[15:0]、スプリットモード時はCMPA[15:n]またはCMPA[(n-1):0])

ファインモード時 (SELFM = 1)

出力パルス幅 = $CMPA \times PCLK1\text{サイクル} \times 1/2$

(CMPA: 通常モード時はCMPA[15:0]、スプリットモード時はCMPA[15:n]またはCMPA[(n-1):0])

16ビットオーディオデータは、CMPA[15:0](アドレス0x81400)に16ビットサイズで書き込む必要があります。8ビットオーディオデータは、CMPA[15:8](アドレス0x81401)に8ビット単位で書き込む必要があります。

符号付きデータフォーマットを選択すると、16ビットと8ビットの両方のオーディオデータについてCMPA15が符号ビットとして扱われます。

T16P Compare B Buffer Register (T16P_B)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Compare B Buffer Register (T16P_B)	0x81402 (16 bits)	D15-0	CMPB[15:0]	Compare B data CMPB15 = MSB CMPB0 = LSB	0x0 to 0xffff	X	R/W	

D[15:0] CMPB[15:0]: Compare B Data Bits

パルス周期に変換するコンペアBデータを設定します。(デフォルト: 不定)

バッファのデータはコンペアBレジスタにロードされ、カウンタ値と比較されます。出力信号レベルは、カウンタがコンペアBレジスタに格納されているコンペアデータに達すると(Bマッチ)反転されます。Bマッチが生じると、カウンタは0x0にリセットされて、次のパルス周期が開始されます。この動作により、指定されたコンペアBデータに従ってパルス周期が生成されます。

カウンタがコンペアBデータに達すると、Bマッチ割り込みフラグ(INTBF/T16P_INTレジスタ)が1にセットされるので、Bマッチ割り込みが許可されていれば割り込みが発生します。

Bマッチが(BCNT[3:0] + 1)回だけ生じると、コンペアAバッファとコンペアBバッファのデータはコンペアAレジスタとコンペアBレジスタにロードされ、新しいサンプリング周期が開始されます。

コンペアBデータで設定されるパルス周期は次のとおりです。

出力パルス周期 = $(CMPB[15:0] + 1) \times \text{カウントクロックサイクル}$

サンプリング周期 = $(CMPB[15:0] + 1) \times \text{カウントクロックサイクル} \times (BCNT[3:0] + 1)$

T16P Counter Data Register (T16P_CNT_DATA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Counter Data Register (T16P_CNT_DATA)	0x81404 (16 bits)	D15-0	CNT_DATA [15:0]	Counter data CNT_DATA15 = MSB CNT_DATA0 = LSB	0x0 to 0xffff	X	R/W	

D[15:0] CNT_DATA[15:0]: Counter Data Bits

カウンタデータはこのレジスタから読み出すことができます。(デフォルト: 不定)

また、データは、このレジスタに書き込むことでカウンタに設定することができます。

カウンタは、Bマッチが生じたとき、あるいはPRESET/T16P_CTLを1に設定してT16Pをリセットしたときに、0x0にリセットされます。

T16P Volume Control Register (T16P_VOL_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16P Volume Control Register (T16P_VOL_CTL)	0x81406 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7	VOLBPS	Volume control enable	1 Disable 0 Enable	1	R/W	Effective only for 16-bit data
		D6-0	VOLSEL [6:0]	Volume level select	VOLSEL[6:0] Volume level	0x40	R/W	
					0x7f × 127/64			
					0x7e × 126/64			
					⋮ ⋮			
					0x40 × 64/64			
					⋮ ⋮			
					0x2 × 2/64			
					0x1 × 1/64			
					0x0 × 0 (mute)			

D[15:8] Reserved

D7 VOLBPS: Volume Control Enable Bit

ボリュームコントロール機能を有効または無効にします。

1(R/W): 無効(無視) (デフォルト)

0(R/W): 有効

VOLBPSを0に設定すると、ボリュームコントロールユニットは、コンペアAレジスタにロードする前に、コンペアAバッファに格納されたPCMデータに、VOLSEL[6:0]レジスタを使用して設定された規定のボリュームレベルを掛け合わせます。

ボリュームコントロールが不要な場合は、VOLBPSを0に設定します。

注: 8ビットPCMデータを使用するときには、VOLBPSを1に設定してボリュームコントロールユニットを無視する必要があります。

D[6:0] VOLSEL[6:0]: Volume Level Select Bits

ボリュームコントロール機能を有効にしたときのボリュームレベルを選択します。

表16.6.2 ボリュームレベルの設定

VOLSEL[6:0]	ボリュームレベル
0x7f	× 127/64
0x7e	× 126/64
⋮	⋮
0x40	× 64/64
⋮	⋮
0x2	× 2/64
0x1	× 1/64
0x0	× 0 (mute)

(デフォルト: 0x40)

T16P Control Register (T16P_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
T16P Control Register (T16P_CTL)	0x81408 (16 bits)	D15-12	BCNT[3:0]	B match count	0x0 to 0xf		0x0	R/W	Effective only for 16-bit data	
		D11	RESSEL	PCM data resolution select	1 16 bits	0 8 bits	1	R/W		
		D10	SGNSEL	PCM data format select	1 Signed	0 Unsigned	1	R/W		
		D9-8	SPLTMD [1:0]	Split mode select	SPLTMD[1:0]		Split mode	0x0		R/W
					0x3	10 bits + 6 bits				
					0x2	9 bits + 7 bits				
					0x1	8 bits + 8 bits				
					0x0	Normal (16 bits)				
		D7	–	reserved		–	–	–		0 when being read.
		D6	SELF M	Fine mode select	1 Fine mode	0 Normal	0	R/W		
		D5	–	reserved		–	–	–		0 when being read.
		D4	INITOL	Initial output level select	1 High	0 Low	0	R/W		
		D3	CLKSEL	Input clock select	1 External	0 Internal	0	R/W		
D2	–	reserved		–	–	–	0 when being read.			
D1	PRESET	T16P reset	1 Reset	0 Ignored	0	W				
D0	–	reserved		–	–	–				

D[15:12] BCNT[3:0]: B Match Count Bits

Bマッチカウンタを設定します。(デフォルト: 0x0)

Bマッチが(BCNT[3:0] + 1)回だけ生じると、コンペアAバッファとコンペアBバッファのデータはコンペアAレジスタとコンペアBレジスタにロードされます。

D11 RESSEL: PCM Data Resolution Select Bit

PCMデータの分解能を選択します。

1(R/W): 16ビット(デフォルト)

0(R/W): 8ビット

8ビットのPCMデータを使用するときには、8ビット + 8ビットのスプリットモードを選択する必要があります。オーディオデータはCMPA[15:8](アドレス0x81401)に8ビット単位で書き込む必要があります。PWMパルスはTMH端子から出力され、TML端子はINITOLで設定されたレベルに固定されます。

注: 8ビットPCMデータ分解能を選択すると、Aマッチ割り込みは生成されません。

D10 SGNSEL: PCM Data Format Select Bit

PCMデータのフォーマットを選択します。

1(R/W): 符号付きデータ(デフォルト)

0(R/W): 符号なしデータ

D[9:8] SPLTMD[1:0]: Split Mode Select Bits

16ビットPCMデータを取り扱う場合のスプリットモードを選択します。

表16.6.3 スプリットモードの選択

SPLTMD[1:0]	スプリットモード
0x3	10ビット + 6ビットのスプリットモード
0x2	9ビット + 7ビットのスプリットモード
0x1	8ビット + 8ビットのスプリットモード
0x0	16ビットの通常モード

(デフォルト: 0x0)

スプリットモードを選択すると、分割された上位データビット(上位の10、9、または8ビット)と下位データビット(下位の6、7、または8ビット)がカウンタデータと比較され、2つの比較結果が2つのPWM出力信号を生成します。上位データビットから生成されるPWM信号はTMH端子から出力され、下位データビットから生成されるもう1つのPWM信号はTML端子から出力されます。スプリットモードまたは8ビットPCMデータ分解能を選択すると、コンペアAの割り込みを発生させることはできません。

注: SPLTMD[1:0]は、8ビットのPCMデータには影響を及ぼしません。

D7 Reserved

D6 SELFM: ファインモード選択ビット

T16Pをファインモードに設定します。

1(R/W): ファインモード

0(R/W): 通常比較モード(デフォルト)

通常比較モードでは、コンペアAデータは、カウントクロックの立ち上がりエッジでカウンタデータと比較されます。T16Pをファインモードに設定すると、カウントクロックの立ち上がり立ち下りの両方のエッジで比較が行われます。この場合、コンペアAデータは比較するときに半分になります。

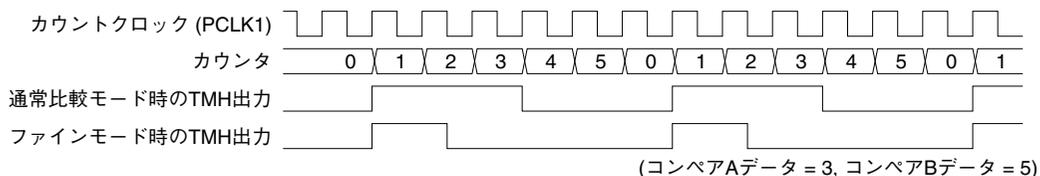


図16.6.1 ファインモード

ファインモードではパルス幅の精度が向上します。ただし、このモードでは、カウントクロックとしてPCLK1・1/1クロックのみ使用できます。CLKSELとCLKDIV[3:0]の設定は無効です。ファインモードはパルス周期には影響を及ぼしません。パルス周期はコンペアBデータで決まります。

注: ファインモード時にAマッチ割り込みを使用するとき、CMPB[15:0]の最大値は $2^{15} - 1 (= 32,767)$ に制限され、またCMPA[15:0]のプログラム可能な範囲は $0 \sim (2 \times \text{CMPB}[15:0] - 1)$ に制限されます。ただし、Aマッチ割り込みを禁止にした状態でPWMパルスを生成する場合にのみT16Pを使用するときにはこのような制限はありません。

D5 Reserved**D4 INITOL: Initial Output Level Select Bit**

TMH出力とTML出力の初期出力レベルを選択します。

1(R/W): High

0(R/W): Low(デフォルト)

TMHとTMLの出力端子は、T16Pを起動する前に端子機能をT16P用に切り換えたとき、あるいはT16Pを停止またはリセットしたときに、初期出力レベルになります。INITOLを0に設定すると、初期出力レベルはLowになります。INITOLを1に設定すると、初期出力レベルはHighになります。

注: 端子機能をT16P用に切り換える場合は、その前に必ずINITOLをセットしてからPWMをリセットしてください(PRESETを1に設定)。

D3 CLKSEL: Input Clock Select Bit

T16Pの入力クロックを選択します。

1(R/W): 外部クロック

0(R/W): 内部クロック(デフォルト)

CLKSELを0に設定すると、内部クロック(プリスケアラ出力)がカウントクロック用に選択されます。CLKSELを1に設定すると、外部クロック(EXCLO端子から供給されるクロック)が選択されます。外部クロックを使用するときには、外部クロックサイクルをCPU動作クロックサイクルの2倍以上にする必要があります。

D2 Reserved

D1 PRESET: T16P Reset Bit

T16Pをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

PRESETを1に設定すると、以下の動作が行われます。

- カウンタ (CNT_DATA[15:0]/T16P_CNT_DATAレジスタ)が0x0に設定されます。
- コンペアBカウンタ (BCNT[3:0]/T16P_CTLレジスタ)が0x0にリセットされます。
- コンペアAとBのバッファレジスタ (CMPA[15:0]/T16P_Aレジスタ、CMPB[15:0]/T16P_Bレジスタ)が0x0にリセットされます。
- バッファエンティフラグ (BUFEF/T16P_INTレジスタ)が1にセットされます(割り込みは発生しません)。
- 他の割り込みフラグはすべて0にリセットされ、割り込み要求は取り消されます。
- DMA要求が発行されていた場合、取り消されます。
- PWM出力は、INITOLレジスタで設定された初期出力レベルになります。

注: GPIO端子をTMH端子とTML端子に切り換える前に、またPRUN/T16P_RUNレジスタを1に設定してT16Pを起動する前に、必ずT16Pをリセットしてください。

D0 Reserved**T16P Running Control Register (T16P_RUN)**

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
T16P Running Control Register (T16P_RUN)	0x8140a (16 bits)	D15-1	—	reserved	—				—	—	0 when being read.
		D0	PRUN	T16P run/stop control	1	Run	0	Stop	0	R/W	

D[15:1] Reserved**D0 PRUN: T16P Run/Stop Control Bit**

T16Pの起動と停止

1(R/W): 実行

0(R/W): 停止(デフォルト)

T16Pは、PRUNに1を書き込むことでカウントを開始し、0を書き込むことで停止します。

T16P Internal Clock Control Register (T16P_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16P Internal Clock Control Register (T16P_CLK)	0x8140c (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.	
		D3-0	CLKDIV [3:0]	Counter clock division ratio select (Prescaler output clock)	CLKDIV[3:0] Count clock	0x0	R/W		
					0xf-0xd	reserved			
					0xc	PCLK1•1/4096			
					0xb	PCLK1•1/2048			
					0xa	PCLK1•1/1024			
					0x9	PCLK1•1/512			
					0x8	PCLK1•1/256			
					0x7	PCLK1•1/128			
					0x6	PCLK1•1/64			
					0x5	PCLK1•1/32			
					0x4	PCLK1•1/16			
					0x3	PCLK1•1/8			
					0x2	PCLK1•1/4			
			0x1	PCLK1•1/2					
			0x0	PCLK1•1/1					

D[15:4] Reserved

D[3:0] CLKDIV[3:0]: Counter Clock Select Bits

内部クロックを使用するとき、13の異なるプリスケラ出力クロックからカウントクロックを選択します。

表16.6.4 内部クロックの選択

CLKDIV[3:0]	カウントクロック	CLKDIV[3:0]	カウントクロック
0xf	Reserved	0x7	PCLK1•1/128
0xe	Reserved	0x6	PCLK1•1/64
0xd	Reserved	0x5	PCLK1•1/32
0xc	PCLK1•1/4096	0x4	PCLK1•1/16
0xb	PCLK1•1/2048	0x3	PCLK1•1/8
0xa	PCLK1•1/1024	0x2	PCLK1•1/4
0x9	PCLK1•1/512	0x1	PCLK1•1/2
0x8	PCLK1•1/256	0x0	PCLK1•1/1

(デフォルト: 0x0)

- 注:
- カウントクロックを設定する前にカウンタが停止していることを確認してください。
 - T16Pをファインモードに設定すると、CLKDIV[3:0]は無効になり、PCLK1が直接カウントクロックとして使用されます。

T16P Interrupt Control Register (T16P_INT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
T16P Interrupt Control Register (T16P_INT)	0x8140e (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.	
		D10	BUFEF	Buffer empty interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	X	R/W	Reset by writing 1.
		D9	INTBF	B match interrupt flag			0	R/W	
		D8	INTAF	A match interrupt flag			0	R/W	
		D7-3	–	reserved	–	–	–	–	0 when being read.
		D2	INTBEEN	Buffer empty interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	INTBEN	B match interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	INTAEN	A match interrupt enable	1 Enable	0 Disable	0	R/W	

D[15:11] Reserved

D10 BUFEF: Buffer Empty Interrupt Flag Bit

バッファエンプティ割り込み要因が生じているかどうかを示します。(デフォルト: 不定)

- 1(R): 割り込み要因が生じている
 0(R): 割り込み要因が生じていない
 1(W): フラグをリセット
 0(W): 無視

BUFEFは、コンペアAバッファデータがコンペアAレジスタにロードされたときに1にセットされるT16Pの割り込みフラグです。BUFEFは1を書き込むことでリセットされます。

BUFEFの値はイニシャルリセット時には不定です。ただし、BUFEFがイニシャルリセット時に1にセットされているときに割り込みが許可された場合でも、PRUN/T16P_RUNレジスタが1に設定されてT16Pが実行を開始するまで、バッファエンプティ割り込み要求は発行されません。

D9 INTBF: B match Interrupt Flag Bit

Bマッチ割り込み要因が生じているかどうかを示します。

- 1(R): 割り込み要因が生じている
- 0(R): 割り込み要因が生じていない(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無視

INTBFは、カウンタ値がコンペアBレジスタに設定された値に達したときに1にセットされるT16Pの割り込みフラグです。INTBFは1を書き込むことでリセットされます。

D8 INTAF: A match Interrupt Flag Bit

Aマッチ割り込み要因が生じているかどうかを示します。

- 1(R): 割り込み要因が生じている
- 0(R): 割り込み要因が生じていない(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無視

INTAFは、カウンタ値がコンペアAレジスタに設定された値に達したときに1にセットされるT16Pの割り込みフラグです。INTAFは1を書き込むことでリセットされます。

D[7:3] Reserved

D2 INTBEEN: Buffer Empty Interrupt Enable Bit

バッファエンプティ割り込みを許可または禁止します。

- 1(R/W): 割り込み許可
- 0(R/W): 割り込み禁止(デフォルト)

INTBEENを1に設定すると、ITCへのバッファエンプティ割り込み要求が有効になります。これを0に設定すると割り込みが禁止されます。

D1 INTBEN: B Match Interrupt Enable Bit

Bマッチ割り込みを許可または禁止します。

- 1(R/W): 割り込み許可
- 0(R/W): 割り込み禁止(デフォルト)

INTBENを1に設定すると、ITCへのBマッチ割り込み要求が有効になります。これを0に設定すると割り込みが禁止されます。

D0 INTAEN: A Match Interrupt Enable Bit

Aマッチ割り込みを許可または禁止します。

- 1(R/W): 割り込み許可
- 0(R/W): 割り込み禁止(デフォルト)

INTAENを1に設定すると、ITCへのAマッチ割り込み要求が有効になります。これを0に設定すると割り込みが禁止されます。

17 ウォッチドッグタイマ(WDT)

17.1 WDTモジュールの概要

S1C17803は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。

WDTの主な機能は以下のとおりです。

- コンパレータ付き30ビットアップカウンタ
- WDTがリセットされていないとき、カウンタが指定した値に到達するとリセットまたはNMIを発生させることができます。
- カウントクロックはシステムクロック(PCLK2)または外部クロック(EXCL0)のいずれかから選択できます。
- 発生したNMI信号(#WDT_NMI)および比較器出力(WDT_CLK)を出力できます。

図17.1.1にWDTの構成を示します。

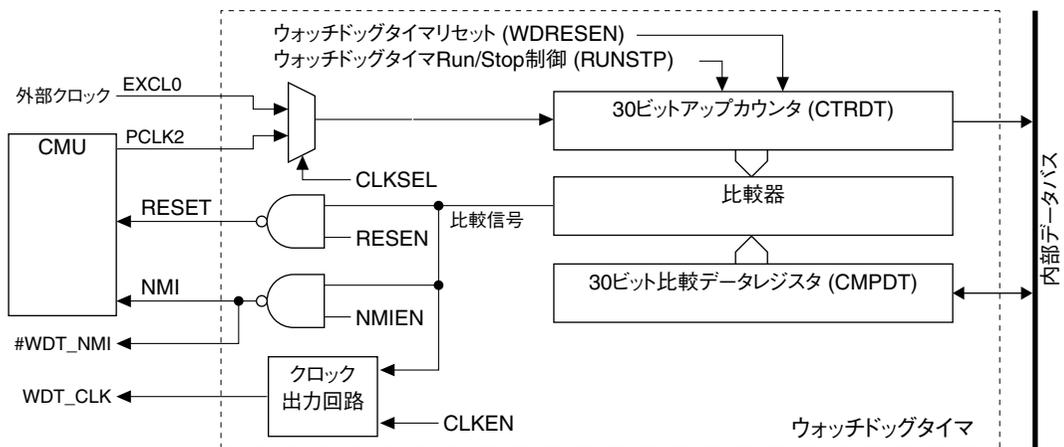


図17.1.1 ウォッチドッグタイマの構成

ウォッチドッグタイマは30ビットのアップカウンタと比較データレジスタで構成され、プログラマブルな周期でNMIまたは内部リセットを発生可能です。ソフトウェアによってこの周期以内にウォッチドッグタイマをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。ウォッチドッグタイマのカウントクロックとしては、PCLK2クロック(=システムクロック)または16ビットオーディオPWMタイマの外部クロック入力(EXCL0)のいずれかを選択できます。また、比較データレジスタで設定されるNMI/リセット発生周期によりクロックを生成し、ウォッチドッグタイマ出力クロックとしてチップ外部に出力することも可能です。

17.2 ウォッチドッグタイマの入出力端子

表17.2.1にウォッチドッグタイマモジュールの入出力端子を示します。

表17.2.1 ウォッチドッグタイマ端子一覧

端子名	I/O	本数	機能
EXCL0	I	1	T16P/WDT外部クロックの入力端子 カウントクロックとして外部クロックを入力します。
WDT_CLK	O	1	ウォッチドッグタイマクロック出力端子 ウォッチドッグタイマで発生したリセット/NMIサイクルクロックを外部回路に出力します。
#WDT_NMI	O	1	ウォッチドッグタイマNMI出力端子 ウォッチドッグタイマで発生したNMI信号を外部回路に出力します。

17 ウォッチドッグタイマ(WDT)

ウォッチドッグタイマの入出力端子(EXCL0、WDT_CLK、#WDT_NMI)は、入出力ポートと共有であるため、最初は汎用入出力ポートの端子として設定されています。汎用入出力ポートの端子をウォッチドッグタイマの入出力端子として使用するには、ポート機能選択ビットを使用して端子の機能を切り換える必要があります。

端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

17.3 ウォッチドッグタイマの動作クロック

ウォッチドッグタイマモジュールは、CMUから供給されるPCLKクロック(= システムクロック)で動作します。イニシャルリセット時は、このクロックがウォッチドッグタイマのカウントクロックとして供給されるように設定されています。

クロックの生成と制御の詳細については、“クロックマネージメントユニット(CMU)”の章を参照してください。

注: ウォッチドッグタイマのカウントクロックに外部クロックを使用する場合も、PCLK2はウォッチドッグタイマの動作および制御レジスタのアクセスに必要です。

17.4 ウォッチドッグタイマの制御

17.4.1 ウォッチドッグタイマの設定

カウントクロックの選択

30ビットのアップカウンタを内部クロック(PCLK2)で動作させるか、外部クロック(EXCL0)で動作させるかをCLKSEL/WD_ENレジスタで選択できます。

CLKSELが0(デフォルト)の場合は内部クロック(PCLK2)が、1に設定すると外部クロック(EXCL0)が選択されます。

NMI/リセット発生周期の設定

NMI/リセット信号を発生させる周期を設定するために、30ビットの比較データレジスタ(CMPDPT[29:0]/WD_CMP_L/H レジスタ)が設けられています。

CMPDPT[29:0]に設定したデータはアップカウンタ値と比較されます。アップカウンタ値が比較値と一致すると、指定されたNMI信号またはリセット信号が出力されるようになっています。アップカウンタも、この時点で0にリセットされます。

NMI/リセット発生周期は次の式から求められます。

$$\text{NMI発生周期} = \frac{\text{CMPDPT} + 1}{f_{\text{WDTIN}}} \text{ [秒]}$$

ここで

CMPDPT = CMPDPT[29:0]に設定した値

f_{WDTIN}: 入力クロック(PCLK2またはEXCL0)周波数[Hz]

注: 比較データレジスタには0x1f以下の値は設定しないでください。

NMI/リセット発生機能の選択

指定の周期以内にウォッチドッグタイマがリセットされなかった場合に、NMI信号を出力するにはNMIEN/WD_ENレジスタを1に、リセット信号を出力するにはRESEN/WD_ENレジスタを1に設定します。

両方を0にした場合(デフォルト)、アップカウンタは動作可能でクロック出力も可能ですが、NMIまたはリセットは発生しません。

両方を1に設定すると、NMIとリセット信号が両方出力されます。ただし、優先順位の高いリセット処理が実行されます。

NMI信号とリセット信号は、どちらもシステムロックの32サイクル幅のパルスとして出力されます。

注: カウンタと比較レジスタの値によっては、ここでNMIまたはリセット機能をイネーブルにした後に（あるいはウォッチドッグタイマをスタートしていない場合でも）、NMIまたはリセットが発生する場合があります。NMIENまたはRESENに1を書き込む前に、必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

ウォッチドッグタイマレジスタの書き込み保護

不要な書き込みによるNMIやリセットの発生を防止するため、WD_EN、WD_CMP_LおよびWD_CMP_Hレジスタは書き込み保護されています。これらのレジスタを書き換えるには、WDPTC[15:0]/WD_WPレジスタに0x96を書き込んで、書き込み保護を解除する必要があります(16ビットアクセスのみ)。なお、レジスタの設定が終了後は、WDPTC[15:0]を0x96以外に設定して、書き込み保護を有効にしてください。

17.4.2 ウォッチドッグタイマのスタート/ストップ

ウォッチドッグタイマはRUNSTP/WD_ENレジスタに1を書き込むことでカウントを開始し、0を書き込むと停止します。

RUNSTPも書き込み保護されたWD_ENレジスタにありますので、内容を変更する前にWDPTC[15:0]/WD_WPレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。

17.4.3 ウォッチドッグタイマのリセット

ウォッチドッグタイマのNMI/リセット発生機能を使用する場合は、NMI/リセットが発生する前にウォッチドッグタイマをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは前述のNMI/リセット発生周期以内で処理されるようにしてください。

ウォッチドッグタイマはWDRESEN/WD_CTLレジスタに1を書き込むことでリセットされます。この時点でアップカウンタが0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。何らかの原因によってウォッチドッグタイマが設定周期以内でリセットされなかった場合、NMIまたはリセットによってCPUはトラップ処理に移行し、処理ルーチンを実行します。

リセットとNMIのベクタアドレスは、それぞれデフォルトで0x8000と0x8008に設定されます。なお、ベクタテーブルのベースアドレスはTTBRで変更することも可能です。

アップカウンタのカウント値は、CTRDT[29:0]/WD_CNT_L/H レジスタから任意のタイミングで読み出し可能です。

17.4.4 スタンバイモード時の動作

HALTモード時

HALTモード時はクロックが供給されるため、ウォッチドッグタイマは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。

HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にNMIEN/WD_ENレジスタまたはRESEN/WD_ENレジスタを0に設定するか、RUNSTP/WD_ENレジスタに0を書き込んでウォッチドッグタイマを停止させてください。

NMIENまたはRESENによりNMIまたはリセットの発生を禁止した場合、ウォッチドッグタイマはHALTモード時もカウントを継続します。HALTモードを解除後にNMIまたはリセットの発生を許可する際には、その前にウォッチドッグタイマをリセットしてください。

ウォッチドッグタイマを停止させてHALTモードに移行した場合も、動作を再開させる前にウォッチドッグタイマをリセットしてください。

SLEEPモード時

SLEEPモード時はCMUからのPCLK2クロックの供給が停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にウォッチドッグタイマをリセットしてください。また必要に応じてNMIENまたはRESENによりNMI/リセットの発生を禁止状態に設定してください。

17.4.5 ウォッチドッグタイマのクロック出力

ウォッチドッグタイマはNMI/リセット発生周期のクロックをIC外部に出力することができます。この出力を行うにはWDT_CLK端子を設定した上で、CLKEN/WD_ENレジスタを1に設定します。

CLKENも書き込み保護されたWDT_ENレジスタにありますので、内容を変更する前にWDPTC[15:0]/WD_WPレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。

ウォッチドッグタイマがソフトウェアでリセットされない場合、クロック出力はNMI発生周期でレベルが反転します。(リセットの発生を禁止している場合)

ソフトウェアでウォッチドッグタイマがリセットされると、クロック出力はその時点でLowレベルになります。

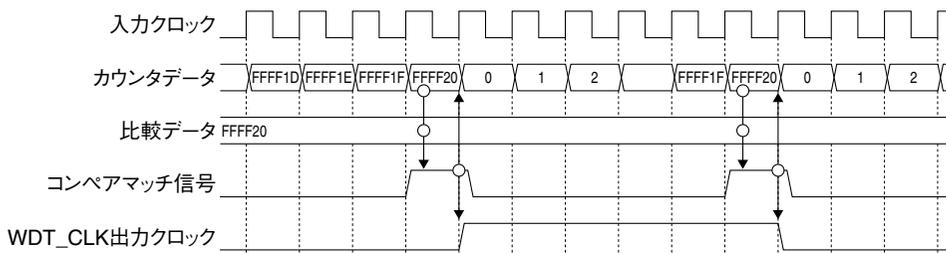


図17.4.5.1 ウォッチドッグタイマのクロック出力

17.4.6 NMI外部出力

ウォッチドッグタイマは生成したNMI信号をIC外部に出力することができます。出力には#WDT_NMI端子を使用しますが、NMIEN/WD_ENレジスタを1に設定すると、NMIの内部出力に加え外部出力も有効となります。ウォッチドッグタイマのカウンタが比較データの値になると、#WDT_NMI端子から32システムクロックサイクルのLowパルスが出力されます。

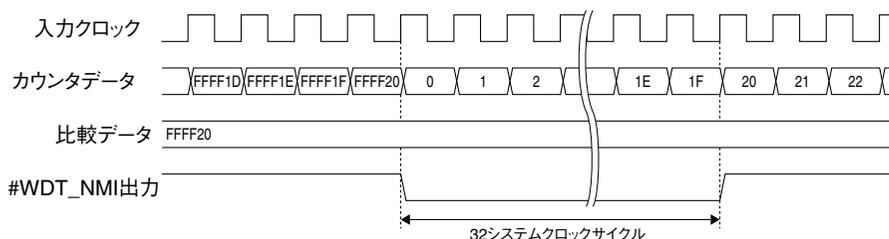


図17.4.6.1 NMI外部出力

17.5 制御レジスタ詳細

表17.5.1 WDTレジスタ一覧

アドレス	レジスタ名	機能
0x81060	WD_WP	WDT Write Protect Register
		WDT制御レジスタ書き込み保護の設定/解除
0x81062	WD_EN	WDT Enable and Setup Register
		ウォッチドッグタイマの設定とスタート
0x81064	WD_CMP_L	WDT Comparison Data L Register
		比較データ
0x81066	WD_CMP_H	WDT Comparison Data H Register
0x81068	WD_CNT_L	WDT Count Data L Register
		ウォッチドッグタイマカウンタデータ
0x8106a	WD_CNT_H	WDT Count Data H Register
0x8106c	WD_CTL	WDT Control Register
		ウォッチドッグタイマリセット

以下、ウォッチドッグタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- WD_WPレジスタ(0x81060)は16ビットアクセスのみが可能です。その他のレジスタ(0x81062～0x8106c)は8ビットアクセスも16ビットアクセスも可能です。

WDT Write Protect Register (WD_WP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Write Protect Register (WD_WP)	0x81060 (16 bits)	D15-0	WDPTC [15:0]	WDT register write protect flag	Writing 0x96 removes the write protection of the WD_EN, WD_CMP_L, and WD_CMP_H registers. Writing another value set the write protection.	X	W	0 when being read.

D[15:0] WDPTC[15:0]: WDT Register Write Protect Flag Bits

アドレス0x81062～0x81066の書き込み保護を設定/解除します。

0x96(W): 書き込み保護解除

0x96以外(W): 書き込み保護(デフォルト: 不定)

0x0(R): 読み出し時は常時0x0

WDT_EN、WDT_CMP_LまたはWDT_CMP_Hレジスタを変更する前に、WDPTC[15:0]に0x96を書き込んで、書き込み保護を解除してください。WDPTC[15:0]レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度WDPTC[15:0]レジスタに0x96を書き込んで書き込み保護が解除されると、WDPTC[15:0]をそれ以外の値に設定するまでは上記レジスタの書き換えが何度でも行えます。WDT_EN、WDT_CMP_LまたはWDT_CMP_Hを変更したときは、誤ってレジスタが書き換えられないようにWDPTC[15:0]に0x96以外の値を書き込んでください。

WDT Enable and Setup Register (WD_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Enable and Setup Register (WD_EN)	0x81062 (16 bits)	D15-7	–	reserved	–	–	–	0 when being read.
		D6	CLKSEL	WDT input clock select	1 External clk 0 Internal clk	0	R/W	Write-protected
		D5	CLKEN	WDT clock output control	1 On 0 Off	0	R/W	
		D4	RUNSTP	WDT Run/Stop control	1 Run 0 Stop	0	R/W	
		D3-2	–	reserved	–	–	–	0 when being read.
		D1	NMIEN	WDT NMI enable	1 Enable 0 Disable	0	R/W	Write-protected
		D0	RESEN	WDT RESET enable	1 Enable 0 Disable	0	R/W	

注: 不要な書き込みによるNMIやリセットの発生を防止するため、本レジスタは書き込み保護されています。このレジスタを書き換えるには、WDPTC[15:0]/WD_WPレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDPTC[15:0]を0x96以外に設定して、書き込み保護を有効にしてください。

D[15:7] Reserved

D6 CLKSEL: WDT Input Clock Select Bit

ウォッチドッグタイマのカウントクロックを選択します。

1(R/W): 外部クロック(EXCL0)

0(R/W): 内部クロック(PCLK2) (デフォルト)

本ビットが0(デフォルト)の場合は内部クロック(PCLK2)が、1に設定すると外部クロック(EXCL0)が選択されます。

D5 CLKEN: WDT Clock Output Control Bit

ウォッチドッグタイマのクロック出力を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

本ビットを1に設定すると、NMI/リセット発生周期のクロックが出力されます。

17 ウォッチドッグタイマ(WDT)

D4 RUNSTP: WDT Run/Stop Control Bit

ウォッチドッグタイマをスタート/ストップします。

1(R/W): スタート

0(R/W): ストップ(デフォルト)

NMIまたはリセット発生機能を有効にしている場合は、不要なNMIまたはリセットの発生を防ぐため、ウォッチドッグタイマをスタートする前に必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

D[3:2] Reserved

D1 NMIEN: WDT NMI Enable Bit

ウォッチドッグタイマによるNMI信号出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でNMI信号(システムクロックの32サイクル幅のパルス)をCMUと#WDT_NMI端子に出力します。本ビットを0に設定した場合、NMI信号は出力されません。

本ビットの設定にかかわらず、アップカウンタが比較データレジスタの設定値と一致するとアップカウンタは0にリセットされ、カウントを継続します。

D0 RESEN: WDT RESET Enable Bit

ウォッチドッグタイマによる内部リセット信号出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でリセット信号(システムクロックの32サイクル幅のパルス)をCMUに出力します。本ビットを0に設定した場合、リセット信号は出力されません。

WDT Comparison Data L Register (WD_CMP_L)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Comparison Data L Register (WD_CMP_L)	0x81064 (16 bits)	D15-0	CMPDT [15:0]	WDT comparison data CMPDT0 = LSB	0x0 to 0x3ffffff (low-order 16 bits)	0x0	R/W	Write-protected
WDT Comparison Data H Register (WD_CMP_H)	0x81066 (16 bits)	D15-14 D13-0	– CMPDT [29:16]	reserved WDT comparison data CMPDT29 = MSB	– 0x0 to 0x3ffffff (high-order 14 bits)	– 0x0	– R/W	0 when being read. Write-protected

注: 不要な書き込みによるNMIやリセットの発生を防止するため、本レジスタは書き込み保護されています。これらのレジスタを書き換えるには、WDPTC[15:0]/WD_WPレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDPTC[15:0]を0x96以外に設定して、書き込み保護を有効にしてください。

D[13:0]/0x81066, D[15:0]/0x81064

CMPDT[29:0]: WDT Comparison Data Bits

比較データを設定します。(デフォルト: 0x0)

NMI/リセット発生周期をこれらのレジスタで設定します。

NMIまたはリセットの発生が許可されていれば、アップカウンタがこれらのレジスタに設定した比較データに一致した時点でNMIまたはリセット信号が出力されます。

ウォッチドッグタイマからクロック出力を行う場合も、出力クロックの周期がこれらのレジスタで設定されます。

注: 比較データとして0x1f以下の値は設定しないでください。

WDT Count Data L/H Registers (WD_CNT_L, WD_CNT_H)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Count Data L Register (WD_CNT_L)	0x81068 (16 bits)	D15-0	CTRDT [15:0]	WDT counter data CTRDT0 = LSB	0x0 to 0x3ffffff (low-order 16 bits)	X	R	
WDT Count Data H Register (WD_CNT_H)	0x8106a (16 bits)	D15-14 D13-0	– CTRDT [29:16]	reserved WDT counter data CTRDT29 = MSB	– 0x0 to 0x3ffffff (high-order 14 bits)	– X	– R	0 when being read.

D[13:0]/0x8106a, D[15:0]/0x81068

CTRDT[29:0]: WDT Counter Data Bits

30ビットアップカウンタの現在のカウント値をこれらのレジスタから読み出すことができます。

(デフォルト: 不定)

WDT Control Register (WD_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Control Register (WD_CTL)	0x8106c (16 bits)	D15-1 D0	– WDRESEN	reserved WDT reset	– 1 Reset 0 ignored	– 0	– W	0 when being read.

D[15:1] Reserved

D0 WDRESEN: WDT Reset Bit

ウォッチドッグタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

NMIまたはリセット信号出力を許可している場合は、設定したNMI/リセット発生周期以内に本ビットに1を書き込み、ウォッチドッグタイマをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

18 UART

18.1 UARTモジュールの概要

S1C17803はUARTモジュールを内蔵しています。UARTは外部シリアルデバイスとの非同期データ転送を行います。

UARTモジュールの主な機能と特長を以下に示します。

- 転送レート: 150~460,800bps(IrDAモードでは150~115,200bps)
- 転送クロック: 内部クロック(CLG_T16FU0出力)または外部クロック入力(SCLK入力)を選択できます。
- データ長: 7または8ビット(LSB先頭)
- パリティモード: 偶数、奇数、パリティなし
- ストップビット: 1ビット、または2ビット
- スタートビット: 1ビット固定
- 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- 内蔵RZI変調/復調回路によりIrDA 1.0赤外線通信に対応
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能

図18.1.1に、UARTの構成を示します。

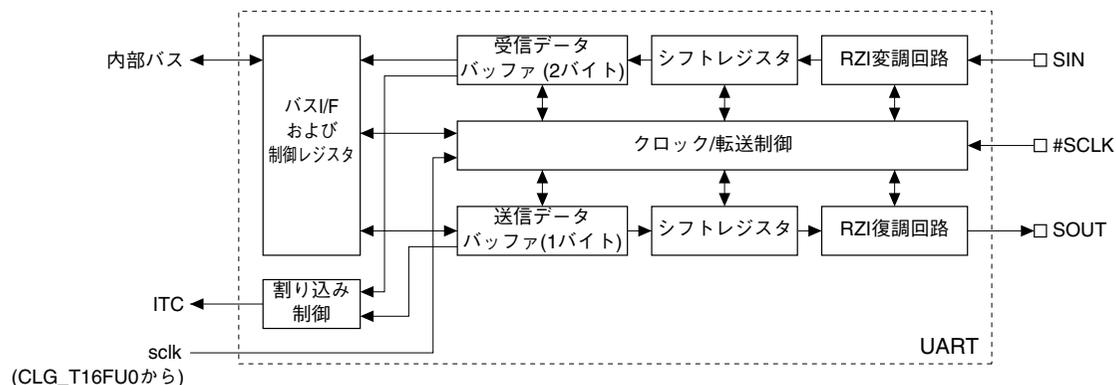


図18.1.1 UARTの構成

18.2 UART入出力端子

表18.2.1にUARTモジュールの入出力端子の一覧を示します。

表18.2.1 UART端子一覧

端子名	I/O	本数	機能
SIN	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
#SCLK	I	1	UARTクロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。

UARTの入出力端子(SIN、SOUT、SCLK)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、ポート機能選択ビットの設定により端子機能を切り換える必要があります。

端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

18.3 転送クロック

UARTの転送クロックは、SSCK/UART_MODレジスタを使用して内部クロックまたは外部クロックのいずれかを選択可能です。

注: SSCKの変更は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

内部クロック

SSCKを0に設定(デフォルト)すると内部クロックを選択します。UARTはCLG_T16FU0出力クロックを使用します。したがって転送速度に適したクロックを出力するようにCLG_T16FU0をプログラムする必要があります。CLG_T16FU0の制御については、“クロックジェネレータ(CLG)”の章を参照してください。

外部クロック

SSCKを1に設定すると外部クロックを選択します。この場合は、#SCLK端子に外部クロックを入力してください。

注: • UARTはCLG_T16FU0出力クロックまたは外部クロックを16分周してサンプリングクロックを生成します。転送速度を設定する際には注意してください。

- #SCLK端子から外部クロックを入力する場合、クロックの周波数はシステムクロックの1/2以下で、デューティ比は50%である必要があります。

18.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

データ長

データ長は、CHLN/UART_MODレジスタで選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

ストップビット

ストップビット長はSTPB/UART_MODレジスタで選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

パリティビット

パリティ機能を有効にするか否かについては、PREN/UART_MODレジスタで選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD/UART_MODレジスタでパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

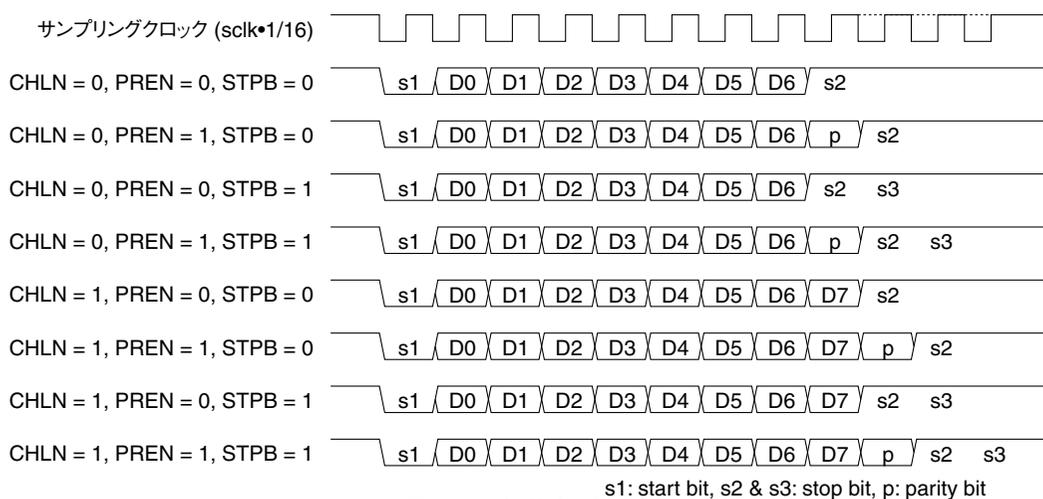


図18.4.1 転送データ形式

18.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 入力クロックを選択します。18.3節を参照してください。
内部クロックを使用する場合は、転送クロックを出力するようにCLG_T16FU0をプログラムします。
CLGの章を参照してください。
- (2) 転送データ形式を設定します。18.4節を参照してください。
- (3) IrDAインタフェースを使用する場合は、IrDAモードを設定します。18.8節を参照してください。
- (4) UART割り込みを使用する場合は、割り込み条件を設定します。18.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

データ送受信を許可

RXEN/UART_CTLレジスタを1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENを0に設定しないでください。

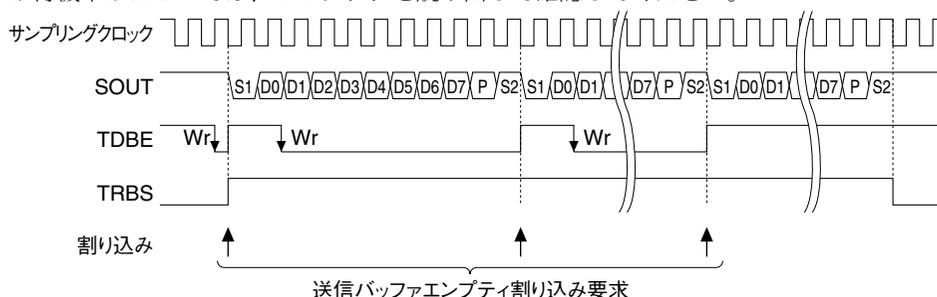
データ送信制御

データ送信を開始するには、TXD[7:0]/UART_TXDレジスタに送信データを書き込みます。データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE/UART_STレジスタとTRBS/UART_STレジスタの2つのステータスフラグがあります。

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができますので(18.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Wr: 送信データバッファへのデータ書き込み

図18.5.1 データ送信タイミングチャート

データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはRXD[7:0]/UART_RXDレジスタから読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

受信回路にはRDRY/UART_STレジスタとRD2B/UART_STレジスタの2つの受信バッファステータスフラグが用意されています。

RDRYフラグは受信データバッファ内に受信データが存在することを示します。RD2Bフラグは受信データバッファが満杯になっていることを示します。

(1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。

(2) RDRY = 1, RD2B = 0

1個の8ビットデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。

受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

(3) RDRY = 1, RD2B = 1

2個の8ビットデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを先に出力します。この読み出しにより、RD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。

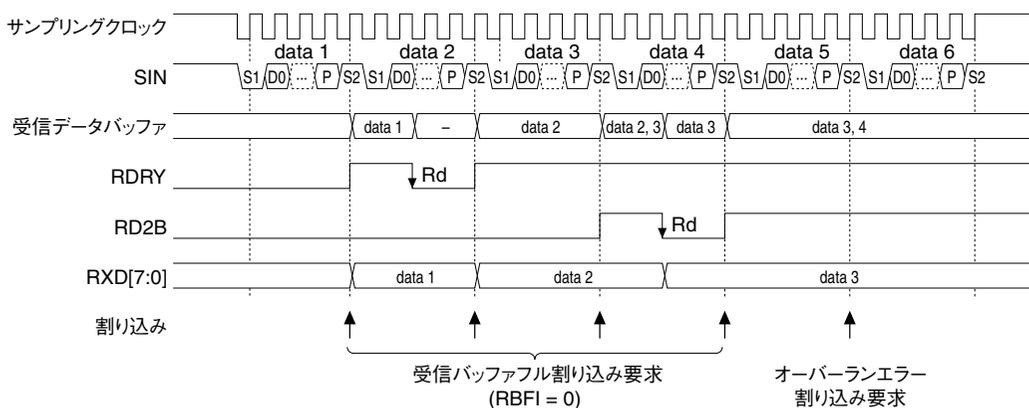
受信データバッファが満杯でも、シフトレジスタは8ビットデータをもう1つ受信開始することができます。

受信データバッファの読み出しが無く受信が終了した場合、オーバーランエラーが発生し最後の受信データは読み出す事ができません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、18.6節を参照してください。

これらのフラグを読み出すことで、受信データ数を確認することができます。

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、受信データバッファが1個の8ビットデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBF/UART_CTLレジスタを1に設定することで、受信データバッファが2個の8ビットデータを受信した時点で割り込みが発生するように変更できます。

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、18.6節を参照してください。



S1: スタートビット、S2: ストップビット、P: パリティビット、Rd: RXD[7:0]からのデータリード

図18.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

18.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。

受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、18.7節を参照してください。

パリティエラー

PREN/UART_MODレジスタが1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD/UART_MODレジスタの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER/UART_STレジスタが1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。なお、PERフラグは1を書き込むことによって0にリセットされます。

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。本エラーが発生すると、フレーミングエラーフラグFER/UART_STレジスタが1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。なお、FERフラグは1を書き込むことによって0にリセットされます。

オーバーランエラー

受信データバッファが満杯(2個の8ビットデータ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。オーバーランエラーが発生するとオーバーランエラーフラグOER/UART_STレジスタが1にセットされます。本エラーが発生した場合でも、受信動作は継続して行われます。なお、OERフラグは1を書き込むことによって0にリセットされます。

18.7 UART割り込み

UARTには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTは上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN/UART_CTLレジスタを1に設定します。TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、UARTはTDBE/UART_STレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(TIEN = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN/UART_CTLレジスタを1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBF1/UART_CTLレジスタが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STレジスタが1にセットされた)時点で割り込み要求が出力されます。RBF1が1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STレジスタが1にセットされた)時点で割り込み要求が出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN/UART_CTLレジスタを1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTはエラーフラグPER、FER、またはOER/UART_STレジスタを1にセットします。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

18.8 IrDAインタフェース

本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が3/16 sclkサイクルに変換された後にSOUT端子から出力されます。

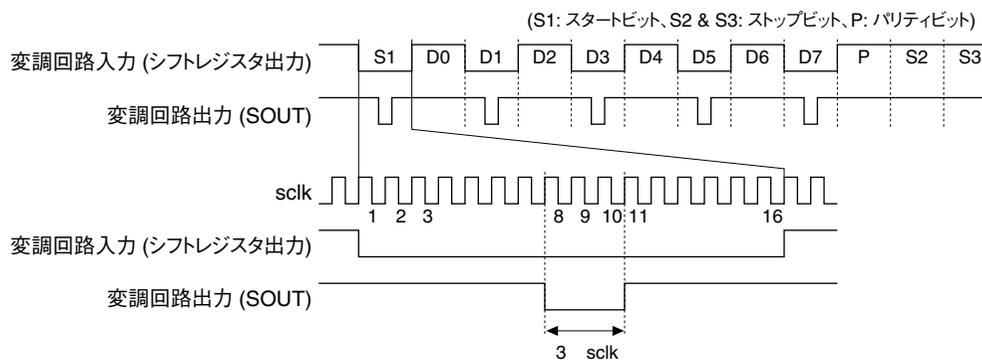


図18.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が16 sclkサイクルに変換された後に受信シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = 1.41 μ s/115200bps時)を検出するため、復調回路は転送クロックとは別に、プリスケアラ出力クロックから選択したパルス検出クロックを使用します。

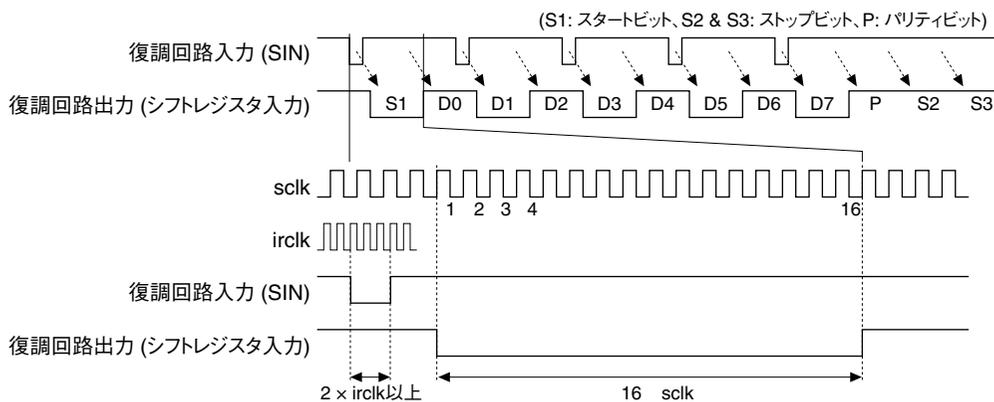


図18.8.2 受信信号波形

IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD/UART_EXPレジスタを1に設定します。これにより、RZI変調/復調回路が有効になります。

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

IrDA受信検出クロックの選択

入力パルス検出クロックは、IRCLK[2:0]/UART_EXPレジスタを使って、プリスケアラ出力クロック PCLK_SOC•1/1 ~ PCLK_SOC•1/128の中から選択します。

表18.8.1 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケアラ出力クロック
0x7	PCLK_SOC•1/128
0x6	PCLK_SOC•1/64
0x5	PCLK_SOC•1/32
0x4	PCLK_SOC•1/16
0x3	PCLK_SOC•1/8
0x2	PCLK_SOC•1/4
0x1	PCLK_SOC•1/2
0x0	PCLK_SOC•1/1

(デフォルト:0x0)

このクロックは、ファインモード16ビットタイムあるいは#SCLK端子から入力される転送クロック sclkより速いクロックとなるように選択する必要があります。

復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なし、16 sclkサイクル幅のLowパルスに変換します。最小1.41μs幅の入力パルスが検出できるように、プリスケアラ出力クロックを選択してください。

シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

18.9 制御レジスタ詳細

表18.9.1 UARTレジスタ一覧

Address	Register name		機能
0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
0x4101	UART_TXD	UART Transmit Data Register	送信データ
0x4102	UART_RXD	UART Receive Data Register	受信データ
0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
0x4104	UART_CTL	UART Control Register	データ転送の制御
0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定

以下、UARTのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

UART Status Registers (UART_ST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Status Register (UART_ST)	0x4100 (8 bits)	D7	—	reserved	—	—	—	0 when being read.	
		D6	FER	Framing error flag	1 Error	0 Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1 Error	0 Normal	0	R/W	
		D4	OER	Overrun error flag	1 Error	0 Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1 Ready	0 Empty	0	R	
		D2	TRBS	Transmit busy flag	1 Busy	0 Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1 Ready	0 Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1 Empty	0 Not empty	1	R	

D7 Reserved

D6 FER: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

- 1(R): エラー発生
- 0(R): エラーなし(デフォルト)
- 1(W): 0にリセット
- 0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。FERは1を書き込むか、あるいはRXEN/UART_CTLレジスタを0に設定することによりリセットされます。

D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

- 1(R): エラー発生
- 0(R): エラーなし(デフォルト)
- 1(W): 0にリセット
- 0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN/UART_MODレジスタが1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。PERは1を書き込むか、あるいはRXEN/UART_CTLレジスタを0に設定することによりリセットされます。

D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

- 1(R): エラー発生
- 0(R): エラーなし(デフォルト)
- 1(W): 0にリセット
- 0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、受信データバッファが満杯の状態、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むか、あるいはRXEN/UART_CTLレジスタを0に設定することによりリセットされます。

D3 RD2B: Second Byte Receive Flag Bit

受信データバッファに2個の受信データがあることを示します。

- 1(R): 2バイト目が読み出し可
- 0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag Bit

送信シフトレジスタの状態を示します。

- 1(R): 動作中
- 0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag Bit

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

UART Transmit Data Registers (UART_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Transmit Data Register (UART_TXD)	0x4101 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)

このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り送信まで待機します。送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。

7ビットモードでは、TXD7(MSB)が無効となります。

SOUT端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

UART Receive Data Registers (UART_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Receive Data Register (UART_RXD)	0x4102 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY/UART_STレジスタとRD2B/UART_STレジスタの2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF/UART_CTLレジスタで指定した数になると、受信バッファフル割り込みが発生します。

7ビットモードでは、RXD7に0がロードされます。

SIN端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

UART Mode Registers (UART_MOD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Mode Register (UART_MOD)	0x4103 (8 bits)	D7-5	–	reserved	–	–	–	0 when being read.	
		D4	CHLN	Character length select	1 8 bits	0 7 bits	0	R/W	
		D3	PREN	Parity enable	1 With parity	0 No parity	0	R/W	
		D2	PMD	Parity mode select	1 Odd	0 Even	0	R/W	
		D1	STPB	Stop bit select	1 2 bits	0 1 bit	0	R/W	
		D0	SSCK	Input clock select	1 External	0 Internal	0	R/W	

D[7:5] Reserved

D4 CHLN: Character Length Select Bit

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

D3 PREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 PMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPRENが1に設定されている場合にのみ有効で、PRENが0の場合、PMDの設定は無効となります。

D1 STPB: Stop Bit Select Bit

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D0 SSCK: Input Clock Select Bit

入力クロックを選択します。

1(R/W): 外部クロック(#SCLK)

0(R/W): 内部クロック(デフォルト)

内部クロック(ファインモード16ビットタイマ出力クロック)を使用するか、外部クロック(#SCLK端子から入力)を使用するかを選択します。SSCKに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。

UART Control Registers (UART_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Control Register (UART_CTL)	0x4104 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6	REIEN	Receive error int. enable	1 Enable	0 Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1 Enable	0 Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W	
		D3-2	–	reserved	–	–	–	–	0 when being read.
		D1	RBFIF	Receive buffer full int. condition setup	1 2 bytes	0 1 byte	0	R/W	
		D0	RXEN	UART enable	1 Enable	0 Disable	0	R/W	

D7 Reserved**D6 REIEN: Receive Error Interrupt Enable Bit**

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D5 RIEN: Receive Buffer Full Interrupt Enable Bit

受信データバッファの受信データ数がRBFIIの指定値になったことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

D[3:2] Reserved**D1 RBFII: Receive Buffer Full Interrupt Condition Setup Bit**

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

1(R/W): 2バイト

0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBFIIで指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBFIIが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STレジスタが1にセットされた)時点で割り込み要求が出力されます。RBFIIが1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STレジスタが1にセットされた)時点で割り込み要求が出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。

UART Expansion Registers (UART_EXP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Expansion Register (UART_EXP)	0x4105 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]	Clock	0x0	R/W	
					0x7	PCLK_SOC•1/128			
					0x6	PCLK_SOC•1/64			
					0x5	PCLK_SOC•1/32			
					0x4	PCLK_SOC•1/16			
					0x3	PCLK_SOC•1/8			
					0x2	PCLK_SOC•1/4			
					0x1	PCLK_SOC•1/2			
		0x0	PCLK_SOC•1/1						
D3-1	–	reserved	–	–	–	0 when being read.			
D0	IRMD	IrDA mode select	1	On	0	Off	0	R/W	

D7 Reserved

D[6:4] IRCLK[2:0]: IrDA Receive Detection Clock Select Bits

IrDA入力パルス検出クロックとして使用するプリスケアラ出力クロックを選択します。

表18.9.2 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケアラ出力クロック
0x7	PCLK_SOC•1/128
0x6	PCLK_SOC•1/64
0x5	PCLK_SOC•1/32
0x4	PCLK_SOC•1/16
0x3	PCLK_SOC•1/8
0x2	PCLK_SOC•1/4
0x1	PCLK_SOC•1/2
0x0	PCLK_SOC•1/1

(デフォルト: 0x0)

このクロックは、ファインモード16ビットタイマ出力クロックまたは#SCLK端子から入力される転送クロックsclkより速いクロックとなるように選択する必要があります。復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41μs幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックを選択してください。

D[3:1] Reserved

D0 IRMD: IrDA Mode Select Bit

IrDAインタフェース機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

19 ユニバーサルシリアルインタフェース(USI)

19.1 USIモジュールの概要

S1C17803は、2チャンネルのユニバーサルシリアルインタフェース(USI)モジュールを内蔵しており、各チャンネルは、ソフトウェアスイッチによって、UART、SPI、またはI²Cインタフェースユニットとして構成することができます。

USIの主な機能を以下に示します。

- 5つのインタフェースモード、すなわち、UART、SPIマスタ、SPIスレーブ、I²Cマスタ、およびI²Cスレーブの各モードに対応
- 2つのチャンネルを異なるインタフェースモードに構成可能
- 1バイトの受信データバッファと1バイトの送信バッファを内蔵
- MSB先頭とLSB先頭の両方のモードに対応
- UARTモード
 - データ長: 7または8ビット
 - パリティモード: 偶数、奇数、またはパリティなし
 - ストップビット: 1または2ビット
 - スタートビット: 1ビット固定
 - パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
 - 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能
 - DMA転送に対応
- SPIマスタ/スレーブモード
 - データ長: 8または9ビット(マスタモード)、または8ビット固定(スレーブモード)
 - ファストモードと通常モードの両方に対応(マスタモード)、または通常モードにのみ対応(スレーブモード)
 - データ転送タイミング(クロックの位相と極性)を4種類から選択可能
 - 受信バッファフル、送信バッファエンプティ、オーバーランエラー割り込み(マスタモード)を発生可能
 - DMA転送に対応
- I²Cマスタ/スレーブモード
 - 7ビットのアドレスサイズ(10ビットアドレスはソフトウェア制御で対応可能)
 - 単一のマスタ構成にのみ対応(マスタモード)
 - クロックストレッチ/ウェイト機能に対応
 - スタート/ストップ、データ転送、ACK/NAK転送、オーバーランエラー割り込みを発生可能

図19.1.1にUSIの構成を示します。

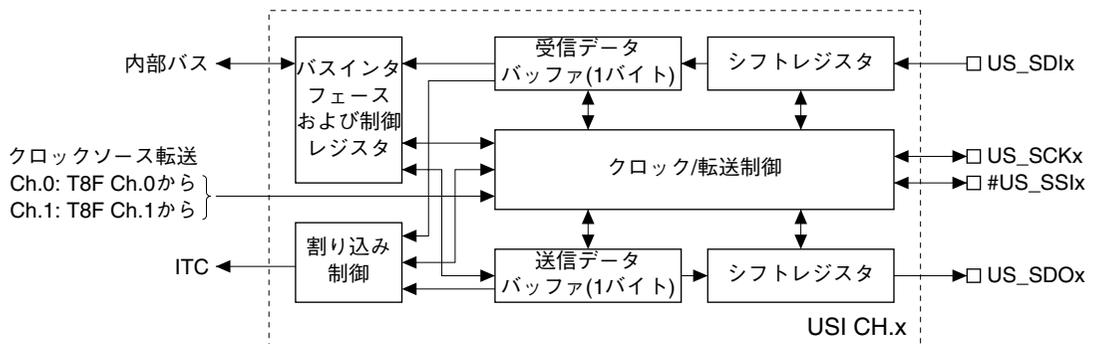


図19.1.1 USIの構成(1チャンネル)

注: USIモジュールの2つのチャネルは、制御レジスタのアドレス以外は同じ機能です。このため、この章での説明は、すべてのUSIチャネルに当てはまります。レジスタ名の‘x’は、チャネル番号(0または1)を示します。

例: USI_GCFGxレジスタ
Ch.0: USI_GCFG0レジスタ
Ch.1: USI_GCFG1レジスタ

19.2 USI端子

表19.2.1にUSIモジュールの入出力端子を示します。

表19.2.1 USI端子一覧

端子名	USIモード	信号名	I/O	機能
US_SDI0	UART	uart_rx	I	データ入力端子
US_SDI1	SPIマスタ	spi_sdi	I	外部シリアルデバイスから送られるシリアルデータを入力します。
	SPIスレーブ	spi_sdi	I	
	I ² Cマスタ	i2c_sda	I/O	データ入出力端子
	I ² Cスレーブ	i2c_sda	I/O	I ² Cバスに対してシリアルデータを入力または出力します(*1)。
US_SDO0	UART	uart_tx	O	データ出力端子
US_SDO1	SPIマスタ	spi_sdo	O	外部シリアルデバイスに送るシリアルデータを出力します。
	SPIスレーブ	spi_sdo	O	
	I ² Cマスタ	-	-	未使用
	I ² Cスレーブ	-	-	
US_SCK0	UART	-	-	未使用
US_SCK1	SPIマスタ	spi_sck	O	クロック出力端子 SPIクロックを出力します。
	SPIスレーブ	spi_sck	I	クロック入力端子 外部クロックを入力します。
	I ² Cマスタ	i2c_scl	I/O	SCL入出力端子 I ² CバスからSCLラインの状態を入力します。またI ² Cクロックを出力します。
	I ² Cスレーブ	i2c_scl	I/O	SCL入出力端子 I ² CバスからSCLラインの状態を入力します。またクロックストレッチの状態を出力します。
#US_SSI0	UART	-	-	未使用
#US_SSI1	SPIマスタ	-	-	
	SPIスレーブ	#spi_ss	I	SPIスレーブセレクト信号入力端子 この端子にLowレベルを入力すると、SPIスレーブデバイスとしてUSI Ch.x (SPIスレーブモード時)が選択されます。
	I ² Cマスタ	i2c_sda	I/O	データ入出力端子
	I ² Cスレーブ	i2c_sda	I/O	I ² Cバスに対してシリアルデータを入力または出力します(*1)。

*1: USI Ch.xをI²Cのマスタまたはスレーブモードに設定しているとき、US_SDIx端子または#US_SSIx端子をデータ入出力端子として使用することができます。ただし、US_SDIxと#US_SSIxの両方の端子を同時にデータ入出力端子として使用することはできません。

注: USI Ch.xをSPIマスタモードに設定しているときに、GPIOポートを使用してスレーブセレクト信号を出力してください。

USI入出力端子(US_SDIx、US_SDOx、US_SCKx、#US_SSIx)は、入出力ポートと共有であるため、最初は汎用入出力ポートの端子として設定されています。汎用入出力ポートの端子をUSIの入出力端子として使用するには、ポート機能選択ビットを使用して端子の機能を切り換える必要があります。端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

19.3 USIクロックソース

動作クロック

USI Ch.0とCh.1は、それぞれPCLK1とPCLK2を動作クロックとして使用します。したがって、CMUからPCLK1やPCLK2を供給してから、制御レジスタの設定も含めた、USIの起動を行う必要があります。PCLK1/PCLK2の供給の詳細については、“クロックマネージメントユニット(CMU)”の章を参照してください。

転送クロック

UART、SPIマスタ(通常モード)、またはI²CマスタデバイスとしてUSIを構成する場合、転送用のソースクロックは8ビットのプログラマブルタイマ(T8F)によって供給されます。転送レートに応じてT8Fをプログラムし、USIモジュールにソースクロックを供給できるようにします。USIモジュールはソースクロックを分周して転送クロック(サンプリングクロック)を生成します。USIの分周比はインタフェースのモードに依存することに注意してください。

SPIマスタ(ファストモード)デバイスとしてUSIを構成するときには、ソースクロックとしてPCLK1/PCLK2が使用されます。

SPIスレーブまたはI²CスレーブデバイスとしてUSIを構成するとき、転送クロックは外部マスタデバイスによって供給されます。ただし、SPIスレーブモードはPCLK1/PCLK2を使用して、またI²CスレーブモードはT8Fの出力クロックを使用して、サンプリング信号を生成します。

表19.3.1 USIクロック

クロック	インタフェースモード	USI Ch.0	USI Ch.1
動作クロック	UART	PCLK1	PCLK2
	SPIマスタ	PCLK1	PCLK2
	SPIスレーブ	PCLK1	PCLK2
	I ² Cマスタ	PCLK1	PCLK2
	I ² Cスレーブ	PCLK1	PCLK2
転送/サンプリングクロックソース(USIでの分周比)	UART	T8F Ch.0 (fSOURCE*1/8)	T8F Ch.1 (fSOURCE*1/8)
	SPIマスタ	通常モード: T8F Ch.0 (fSOURCE*1/2) ファストモード: PCLK1 (fPCLK1*1/1)	通常モード: T8F Ch.1 (fSOURCE*1/2) ファストモード: PCLK2 (fPCLK2*1/1)
	SPIスレーブ	PCLK1 (fPCLK1*1/4) (サンプリング用)	PCLK2 (fPCLK2*1/4) (サンプリング用)
	I ² Cマスタ	T8F Ch.0 (fSOURCE*1/8)	T8F Ch.1 (fSOURCE*1/8)
	I ² Cスレーブ	T8F Ch.0 (fSOURCE) (サンプリング用)	T8F Ch.1 (fSOURCE) (サンプリング用)

T8Fモジュールの制御および出力クロックの設定については、“8ビットプログラマブルタイマ(T8F)”の章を参照してください。

注: USIをI²Cスレーブモードに設定した場合、i2c_scl(I²Cクロック)が外部I²Cマスタから供給されます。T8F出力クロック周波数(fsource)はi2c_scl周波数の8倍の周波数になるように設定してください。なお、I²Cスレーブモードでは、動作の準備が整うまでi2c_sclにLowを出力して外部I²Cマスタをウェイトさせます。

一つの動作が終了してISIFが1になった(動作が完了)時点でi2c_sclよりLowを出力します。(ただし、ISIF=1のときのISSTA[2:0]が0x1(ストップコンディションを検出)のときはi2c_sclはHi-Zを維持します。)次の動作をするため、ISTGMOD[2:0]にモードを設定してISTGに1をライトしてトリガをかけた後、T8Fの2クロック後にI²Cスレーブはi2c_sclをHi-Zにします。

なお、データ送信やACK/NAK送信の場合は、ISTGに1をライトした後T8Fの1クロック後にデータを出力します。

19.4 USIモジュールの設定

USIモジュールを使用してデータ転送を開始する前に以下の設定を行ってください。

- (1) USIモジュールに必要なクロックを供給するようにクロックソースモジュールをプログラムする(19.3節を参照)
- (2) USIモジュールをリセットする
- (3) すべてのインタフェースモードに適用されるようにUSIインタフェースモードと一般条件(MSB先頭/LSB先頭)を設定する
- (4) インタフェースモードに応じて、USIで使用するように端子を構成する(19.2節を参照)
- (5) 選択されているインタフェースに合わせてデータフォーマットと動作条件を設定する
- (6) 必要に応じて割り込みとDMA転送条件を設定する(19.7節を参照)

USIは初期状態でLowを出力する設定になっています。

UART使用時は不要なスタートビット防止のため、USI設定後に端子設定を実施してください。

19.4.1 USIモジュールのソフトウェアリセット

USIMOD[2:0]/USI_GCFGxレジスタに0x0を書き込むと、USIモジュールの回路がリセットされます。必ずソフトウェアリセットを実行してからインタフェースモードを設定してください。

19.4.2 インタフェースモード

USIモジュールは、19.1節に示した5つのシリアルインタフェース機能を備えています。USIMOD[2:0]/USI_GCFGxレジスタを使用すると、そのうちの1つに各チャンネルを設定することができます。

表19.4.2.1 インタフェースモードの選択

USIMOD[2:0]	インタフェースモード
0x5	I ² Cスレーブ
0x4	I ² Cマスタ
0x3	SPIスレーブ
0x2	SPIマスタ
0x1	UART
0x0	ソフトウェアリセット

(デフォルト: 0x0)

注: 必ずソフトウェアリセットを実行してインタフェースモードを設定してから、他のUSI設定を変更してください。

19.4.3 すべてのインタフェースモードのための一般的な設定

MSB先頭/LSB先頭の選択

LSBFST/USI_GCFGxレジスタを使用して、データのMSB(またはLSB)が最初に入力/出力されるのかどうかを選択します。

LSBFSTを0に設定するとLSB先頭が選択されます(デフォルト)。LSBFSTを1に設定するとMSB先頭が選択されます。

19.4.4 UARTモードの設定

UARTモードでUSIを使用するときには、データ長、ストップビット、およびパリティビットを設定してください。スタートビットの長さは1ビットに固定されています。

データ長

UCHLN/USI_UCFGxレジスタを使用してデータ長を選択します。UCHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。UCHLNを1に設定すると、データ長は8ビットに設定されます。

ストップビット

USTPB/USI_UCFGxレジスタを使用してストップビット長を選択します。USTPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。USTPBを1に設定すると、ストップビット長は2ビットに設定されます。

パリティビット

UPREN/USI_UCFGxレジスタを使用してパリティ機能を有効にするかどうかを選択します。UPRENを0(デフォルト)に設定すると、パリティ機能が無効になります。この場合、転送データにパリティは付加されず、受信データのパリティはチェックされません。UPRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティが付加され、受信データのパリティがチェックされます。

パリティ機能を有効にしたら、UPMD/USI_UCFGxレジスタを使用してパリティモードを選択する必要があります。UPMDを0(デフォルト)に設定すると、パリティビットが付加されて奇数パリティがチェックされます。UPMDを1に設定すると、パリティビットが付加されて偶数パリティがチェックされます。

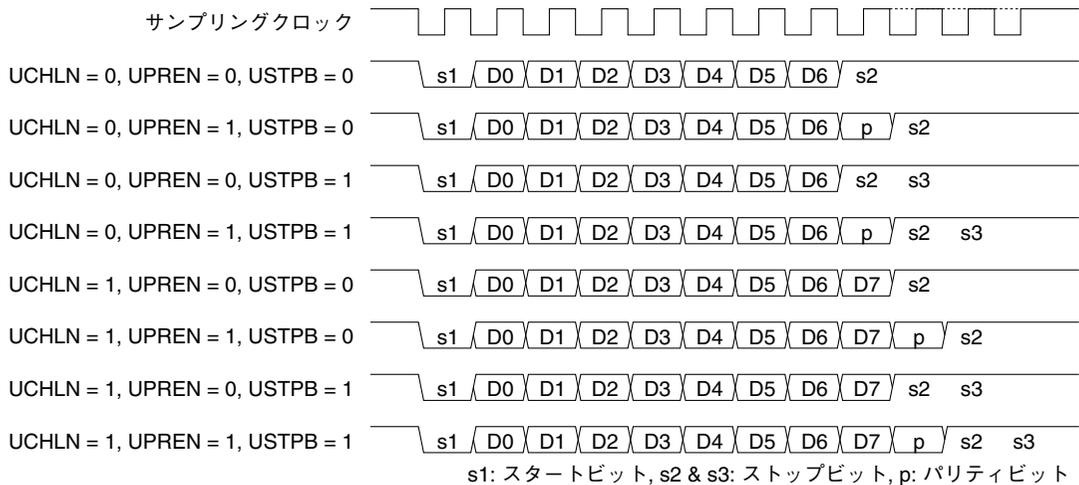


図19.4.4.1 UARTモードにおける転送データフォーマット (LSB先頭)

19.4.5 SPIモードの設定

SPIモード(マスタまたはスレーブ)でUSIを使用するときには、SPIクロックの極性/位相を設定し、受信データのマスク機能を有効/無効にします。SPIマスタモードでは、クロックモードとデータ長を選択する必要があります。SPIスレーブモードでのデータ長は8ビットに固定されています。

SPIクロックの極性と位相の設定(マスタモードとスレーブモード)

SCPOL/USI_SCFG_xレジスタを使用してSPIクロックの極性を選択します。SCPOLを1に設定すると、SPIクロックはアクティブLowとして扱われます。0(デフォルト)に設定すると、アクティブHighとして扱われます。

SPIクロックの位相は、SCPHA/USI_SCFG_xレジスタを使用して選択することができます。

これらの制御ビットは、図19.4.5.1に示すとおり、転送タイミングを設定します。

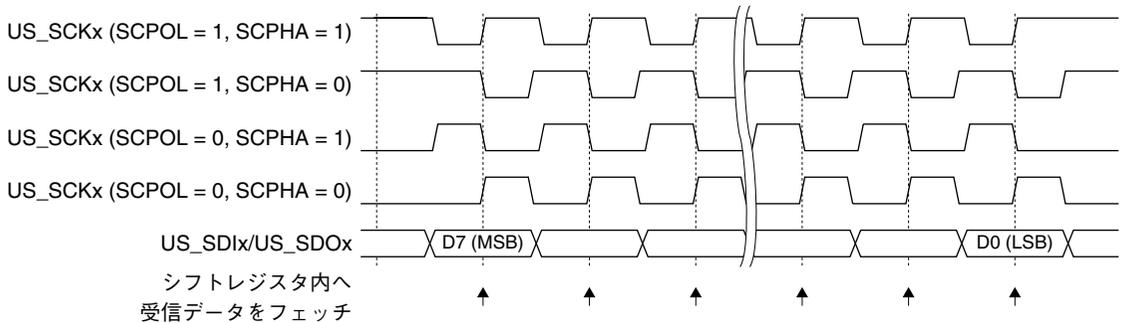


図19.4.5.1 クロックとデータの転送タイミング (MSB先頭)

C17803はUSI-SPI受信データのマスク機能に対応しません。

クロックモード(マスタモードのみ)

SPIマスタモードでは、SFSTMOD/USI_SCFG_xレジスタを使用して通常またはファストクロックモードのいずれかを選択することができます。SFSTMODを0(デフォルト)に設定すると、USIは通常モードになります。またUSIはT8F出力を2で除算することにより転送クロックを生成します。SFSTMODを1に設定すると、USIはファストモードになり、USIはCMUから供給されたPCLK2をそのまま転送クロックとして使用します。ファストモードではT8Fを使用しません。

SPIスレーブモードではT8F出力クロックを使用してサンプリングクロックを生成します。

データ長(マスタモードのみ)

SPIマスタモードでは、SCHLN/USI_SCFGxレジスタを使用してデータ長を選択することができます。SCHLNを0(デフォルト)に設定すると、データ長は8ビットに設定されます。SCHLNを1(デフォルト)に設定すると、データ長は9ビットに設定されます。9ビットモードでは、8ビットデータの前にコマンドビット(1ビット)が付加されます。コマンドビットは、USIに接続されたSPI LCDコントローラを制御するために使用されます。送信するコマンドビットの値は、SCMD/USI_SCFGxレジスタを使用して指定することができます。SCMDを1に設定すると、コマンドビットはHighに設定されます。SCMDを0に設定すると、コマンドビットはLowに設定されます。

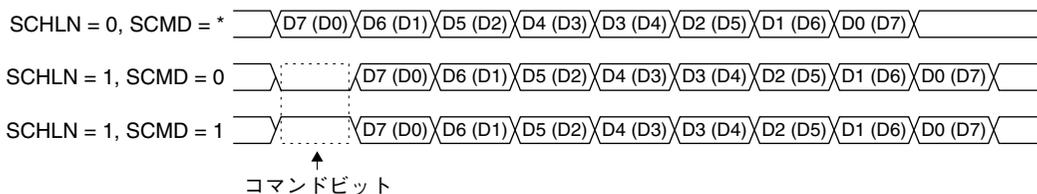


図19.4.5.2 SPIマスタモードにおける9ビットの転送データフォーマット

SPIスレーブモードでのデータ長は8ビットに固定されています。

19.4.6 I²Cモード用の設定

I²Cモードは、データフォーマットやその他の条件を設定する必要はありません。I²Cモードでのデータ長は8ビットに固定されています。

19.5 データ転送制御

この節では、データ転送の制御方法について説明します。以下の説明は、前述の設定と割り込み/DMAの設定がすでに終了していることを想定しています。

19.5.1 UARTモードにおけるデータ転送

データ送信

UARTモードでデータ送信を開始するには、送信データを送信データバッファ(TD[7:0]/USI_TDxレジスタ)に書き込みます。

バッファのデータは送信シフトレジスタに送られ、US_SDOx端子からスタートビットが出力されます。次に、シフトレジスタ内のデータが順に出力されます。8番目のデータビットの出力に続けて、パリティビット(パリティが有効の場合)とストップビットが出力されます。

トランスミッタ回路には2つのステータスフラグ(UTDIF/USI_UIF_xレジスタおよびUTBSY/USI_UIF_xレジスタ)が用意されています。

UTDIFフラグは、送信データバッファの状態を示します。このフラグが1にセットされると、送信データバッファに書き込まれたデータが送信シフトレジスタに送られたときに送信データバッファが空になったことを示します。UTDIFは割り込みフラグです。このフラグが1にセットされたときに割り込みまたはDMA要求を発生させることができます(19.7節を参照)。引き続き、送信データバッファにデータを書き込むと、この割り込みまたはDMAを使用してその後の送信が開始されます。送信データバッファのサイズは1バイトですが、これとは別にシフトレジスタが用意されており、データが送信されている間にこのレジスタに次のデータを書き込むことができます。送信の際に割り込みやDMAを使用しない場合は、送信データバッファが空であることを確認してから送信データを書き込んでください。UTDIFがセットされる前にデータを書き込むと、送信データバッファ内の送信データが上書きされてしまいます。UTDIFが1にセットされた後は、1を書き込むことで0にリセットできます。

UTBSYフラグは、シフトレジスタの状態を示します。このフラグは、送信データバッファからシフトレジスタに送信データがロードされたときに1に切り換わり、データが送信されると直ちに0に戻ります。このフラグを読み出して、トランスミッタ回路が動作中か待機中かをチェックします。

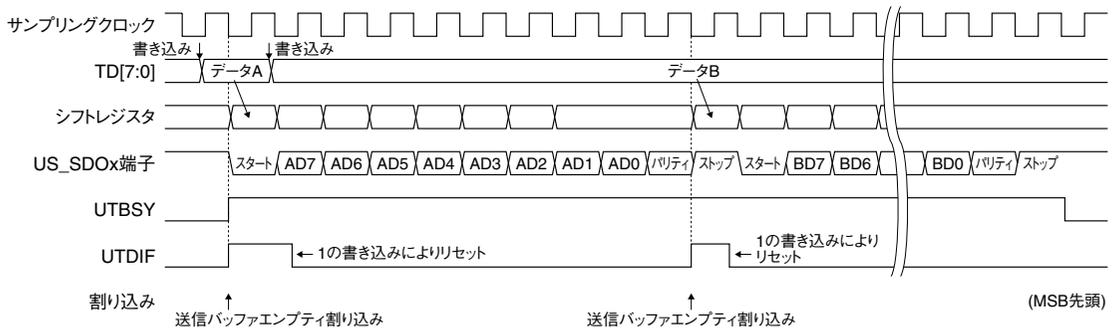


図19.5.1.1 データ送信タイミングチャート (UARTモード)

データ受信

外部シリアルデバイスがスタートビットを送信すると、レシーバ回路はそのLowレベルを検出して、その後のデータビットのサンプリングを開始します。シフトレジスタ内に8ビットのデータを受信すると、受信したデータは受信データバッファ (RD[7:0]/USI_RDxレジスタ)にロードされます。パリティチェックを有効にしている場合、レシーバ回路は、8番目のデータビットの直後に受信したパリティビットをチェックすることで、受信データを同時にチェックします。

レシーバ回路には2つのステータスフラグ(URDIF/USI_UIF_xレジスタおよびURBSY/USI_UIF_xレジスタ)が用意されています。

URDIFフラグは、受信データバッファの状態を示します。このフラグが1にセットされると、シフトレジスタ内の受信データが受信データバッファにロードされたときに受信データを読み出すことができます。URDIFは割り込みフラグです。このフラグが1にセットされたときに割り込みまたはDMA要求を発生させることができます(19.7節を参照)。この割り込みまたはDMAを使用して、受信データバッファから受信データを読み出します。受信データバッファのサイズは1バイトなので、その次のデータ受信が完了する前に受信データを読み出す必要があります。また、URDIFは1を書き込むことでリセットする必要があります。URDIFが1のときにその次の受信データが受信データバッファに書き込まれた場合、オーバーランエラーが発生します。

URBSYフラグは、シフトレジスタの状態を示します。このフラグは、データがシフトレジスタに受信されている間、1にセットされ、受信データが受信データバッファにロードされると直ちに0に戻ります。このフラグを読み出して、レシーバ回路が動作中か待機中かをチェックします。

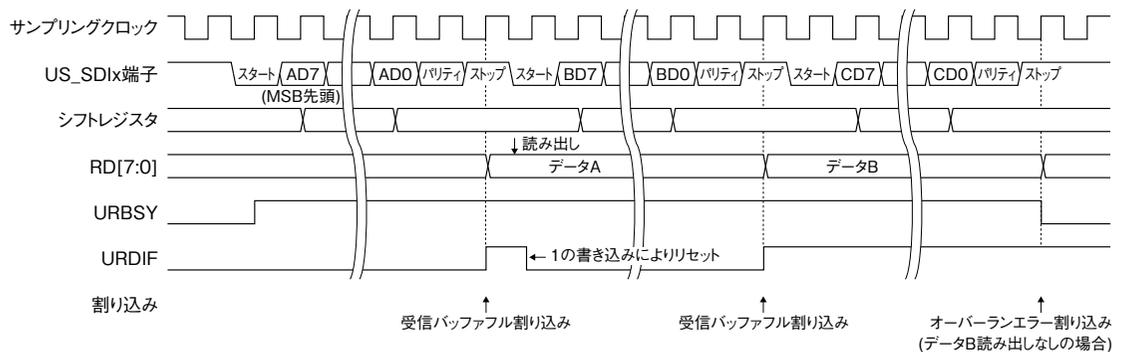


図19.5.1.2 データ受信タイミングチャート (UARTモード)

19.5.2 SPIモードにおけるデータ転送

データ送信

SPIモードでデータ送信を開始するには、送信データを送信データバッファ (TD[7:0]/USI_TD_xレジスタ)に書き込みます。

バッファのデータは送信シフトレジスタに送られます。SPIマスタモードでは、モジュールは、US_SCK_x端子からクロック出力を開始します。SPIスレーブモードでは、モジュールは、US_SCK_x端子からのクロック入力待ち受けます。シフトレジスタのデータは、クロックの立ち上がりエッジま

たは立ち下がりエッジで順にシフトされ(図19.4.5.1を参照)、US_SDOx端子から送出されます。

SPIコントローラには、転送制御のためのステータスフラグ(STDIF/USI_SIFxレジスタ)が用意されています。

STDIFフラグは、送信データバッファの状態を示します。STDIFが1にセットされると、送信データバッファに書き込まれたデータが送信シフトレジスタに送られたときに送信データバッファが空になったことを示します。STDIFは割り込みフラグです。このフラグが1にセットされたときに割り込みまたはDMA要求を発生させることができます(19.7節を参照)。引き続き、送信データバッファにデータを書き込むと、この割り込みまたはDMAを使用してその後の送信が開始されます。送信データバッファのサイズは1バイトですが、これとは別にシフトレジスタが用意されており、データが送信されている間にこのレジスタに次のデータを書き込むことができます。送信の際に割り込みやDMAを使用しない場合は、送信データバッファが空であることを確認してから送信データを書き込んでください。STDIFがセットされる前にデータを書き込むと、送信データバッファ内の送信データが上書きされてしまいます。

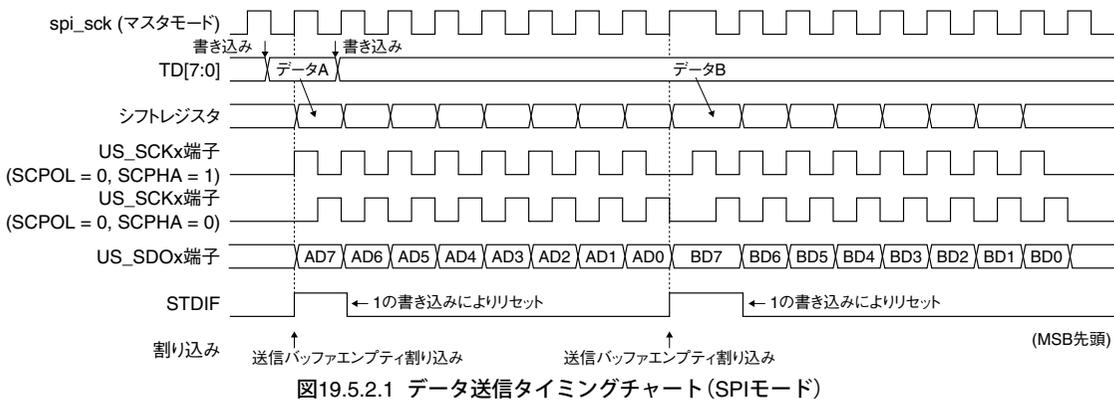


図19.5.2.1 データ送信タイミングチャート(SPIモード)

データ受信

SPIマスタモードでは、ダミーデータを送信データバッファに書き込みます。送信データバッファへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。これにより、US_SCKx端子からSPIのクロック出力を開始します。

SPIスレーブモードでは、モジュールは、US_SCKx端子からクロックが入力されるまで待機します。送信が不要の場合、送信データバッファに書き込む必要はありません。受信動作はマスタデバイスからのクロック入力により開始します。同時にデータを送信する場合は、クロックが入力される前に送信データを送信データバッファに書き込んでおきます。

データは、SPIクロックのエッジで順次シフトレジスタに受信されます(図19.4.5.1を参照)。8ビットのデータがシフトレジスタ内に受信されると、受信データは受信データバッファにロードされます。バッファ内の受信データは、RD[7:0]/USI_RDxレジスタから読み出すことができます。

SPIコントローラには、転送制御のためのステータスフラグ(SRDIF/USI_SIFxレジスタ)が用意されています。

SRDIFフラグは、受信データバッファの状態を示します。このフラグは、シフトレジスタ内の受信データが受信データバッファにロードされたときに1にセットされ、受信データの読み出しが可能であることを示します。SRDIFは割り込みフラグです。このフラグが1にセットされたときに割り込みまたはDMA要求を発生させることができます(19.7節を参照)。この割り込みまたはDMAを使用して、受信データバッファから受信データを読み出します。受信データバッファのサイズは1バイトなので、その次のデータ受信が完了する前に受信データを読み出す必要があります。また、SRDIFは1を書き込むことでリセットする必要があります。SRDIFが1のときにその次の受信データが受信データバッファに書き込まれた場合、オーバーランエラーが発生します。

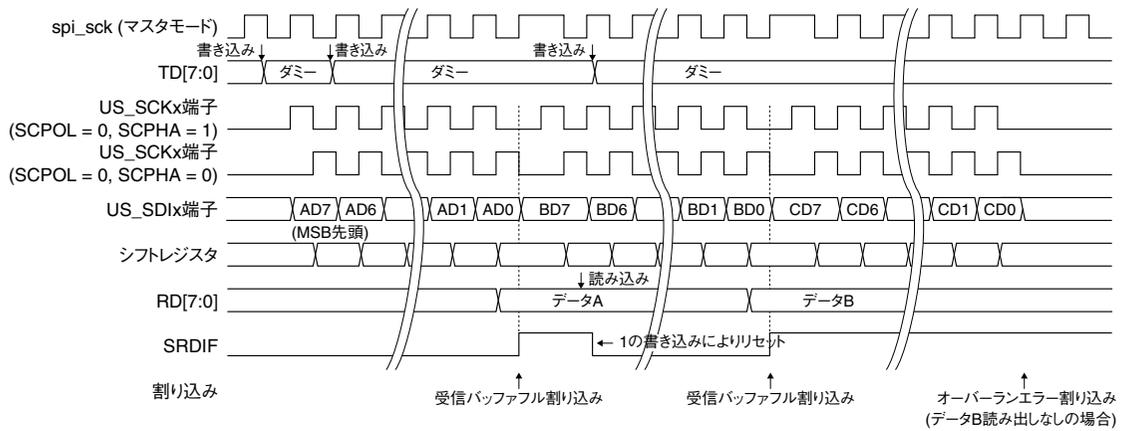


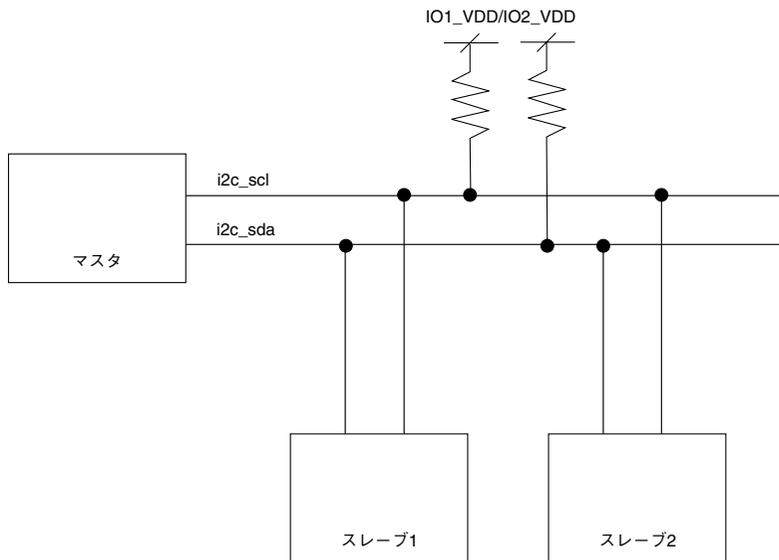
図19.5.2.2 データ受信タイミングチャート(SPIモード)

スレーブセレクト信号

SPIスレーブモードでは、データ送信/データ受信の動作は、#US_SSIx端子に入力されるマスタデバイスのスレーブセレクト信号がLowのときに有効になります。スレーブセレクト信号がHighのときは、マスタデバイスからUS_SCKx端子にクロックが入力されている場合でも、SPIコントローラはデータ転送を開始しません。

SPIマスタモードでスレーブセレクト信号を必要とする場合は、汎用入出力ポートを使用してソフトウェアでその出力を制御します。

19.5.3 I²Cモードでのデータ転送



USIをI²Cに設定した場合、i2c_sclとi2c_sdaはLow出力またはHi-Z状態となります。(Highレベルは出力しません。)

そのため、i2c_sclとi2c_sdaは外部でIO1_VDD/IO2_VDDレベルにプルアップしてください。

注: IO1_VDD/IO2_VDDより上のレベルにはプルアップしないでください。

図19.5.3.0 I²Cモードの接続例

I²Cマスタモードでの制御方法

I²Cマスタモードでのデータ転送は、IMTGMOD[2:0]/USI_IMTGxレジスタとIMTG/USI_IMTGxレジスタを使用して制御されます。IMTGMOD[2:0]を使用してI²Cマスタ動作を選択し、トリガとしてIMTGに1を書き込みます。I²Cコントローラは、I²Cバスを制御して指定の動作状態を生成します。

表19.5.3.1 I²Cマスタモードでのトリガー一覧

IMTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAKの受信
0x5	NAKの送信
0x4	ACKの送信
0x3	データ受信
0x2	データ送信
0x1	ストップコンディション
0x0	スタートコンディション

(デフォルト: 0x0)

IMTGに1を書き込むと、IMBSY/USI_IMIFxレジスタが1に設定され、I²Cコントローラがビジー（動作中）であることを示します。指定された動作が終了すると、IMBSYは0にリセットされます。同時に、割り込みフラグ(IMIF/USI_IMIFxレジスタ)も1にセットされます。割り込みが発生した後、ステータスビット(IMSTA[2:0]/USI_IMIFxレジスタ)を読み出して動作の完了をチェックします。次に1を書き込んでIMFをクリアします。IMSTA[2:0]は自動的に0x0にクリアされます。

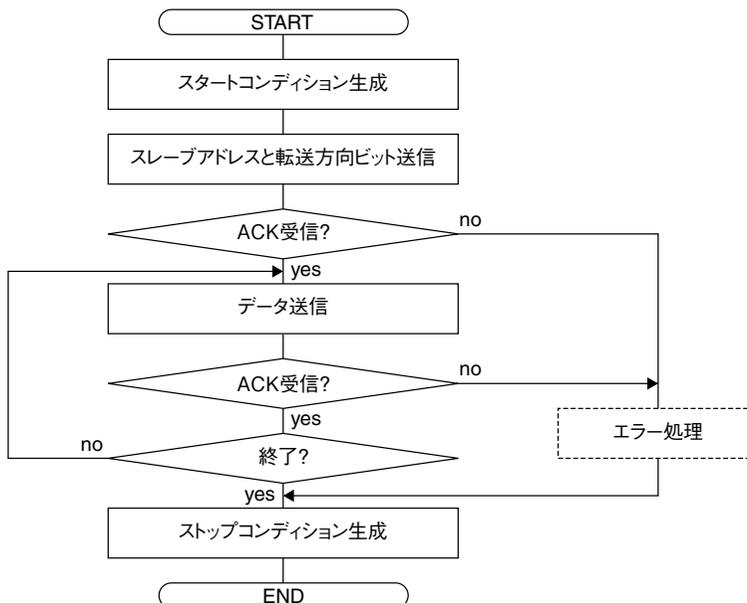
表19.5.3.2 I²Cマスタのステータスビット

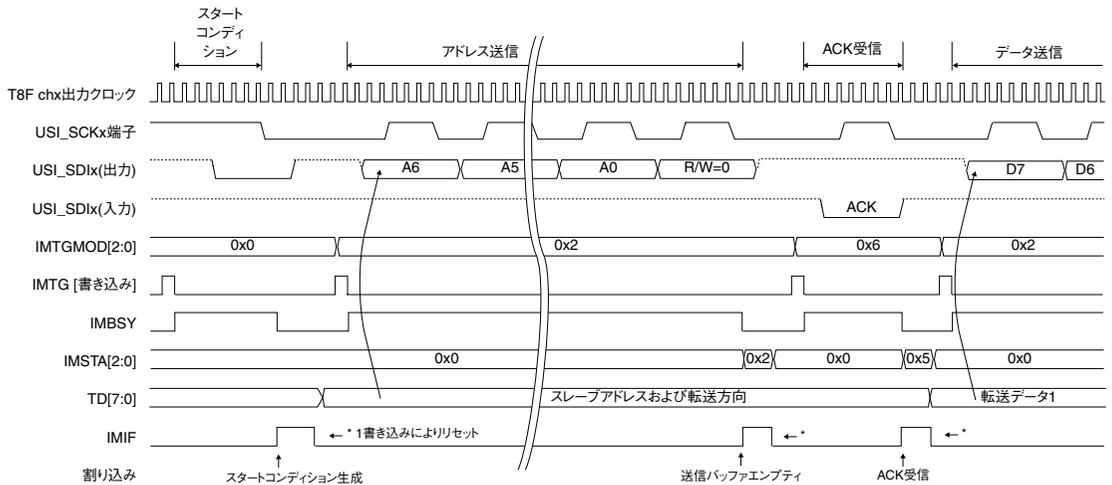
IMSTA[2:0]	状態
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファが満杯
0x2	送信データバッファが空
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

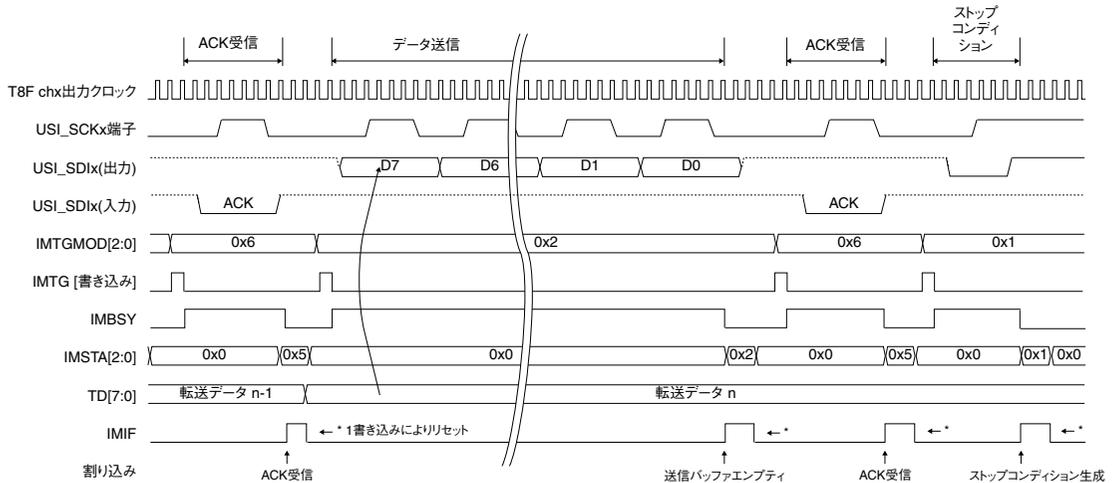
I²Cマスタモードでのデータ送信

以下に、I²Cマスタモードでのデータ送信手順について説明します。

図19.5.3.1 I²Cマスタのデータ送信フローチャート



(1) スタートコンディション → データ送信



(2) データ送信 → ストップコンディション

図19.5.3.2 I²Cマスタのデータ送信タイミングチャート

(1) スタートコンディションの生成

I²Cデータ転送は、I²Cマスタデバイスがスタートコンディションを生成すると開始されます。スタートコンディションは、SCLラインをHighに保ち、SDAラインをLowにプルダウンしたときに適用されます。

このI²Cマスタでスタートコンディションを生成するには、IMTGMOD[2:0]を0x0(デフォルト)に設定し、IMTGに1を書き込みます。

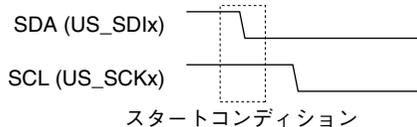


図19.5.3.3 スタートコンディション

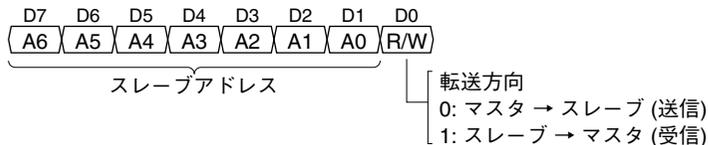
スタートコンディションの生成中、IMBSYは1にセットされます。スタートコンディションの生成が完了すると、IMBSYは0にリセットされてIMSTA[2:0]は0x0に設定されます。I²Cバスは、この時点からビジーになります。

注: スタートコンディションが生成される前に他の動作を開始することはできません。

(2) スレーブアドレスと転送方向ビットの送信

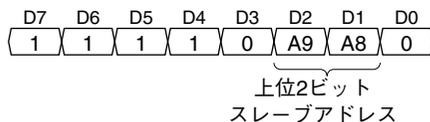
スタートコンディションの生成後、通信を行うスレーブデバイスのアドレスと転送方向ビットを送信します。I²Cスレーブアドレスは、7ビットまたは10ビットのいずれかです。このモジュールは8ビットの転送データバッファを使用してスレーブアドレスと転送方向ビットを送信するので、7ビットアドレスモードでのシングル転送が可能です。10ビットモードでは、ソフトウェア制御によってデータは2回送信されます。図19.5.3.4にアドレスデータの構成を示します。

7ビットアドレス

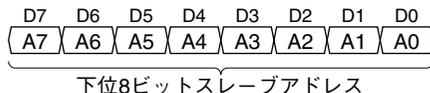


10ビットアドレス

1回目送信データ



2回目送信データ



マスタがデータ受信のときは、2回目の送信データ後、リピーテッドスタートを発行し、以下3回目のデータを送信してください。

3回目送信データ

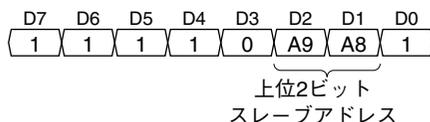


図19.5.3.4 スレーブアドレスと転送方向を指定した送信データ

転送方向ビットは、スレーブアドレスを送信した後、データの転送方向を示します。マスタからスレーブにデータを送信するとき、このビットを0に設定します。

スレーブアドレスを送信するには、そのアドレスと転送方向ビットを送信データバッファ(TD[7:0]/USI_TD_xレジスタ)に設定します。次に、IMTGMOD[2:0]を0x2に設定してIMTGに1を書き込みます。

10ビットアドレスを送信するには、図19.5.3.4に示すように、この手順を2回実行します。

IMTGに1を書き込むとIMBSYが1にセットされます。送信データバッファのデータが送信シフトレジスタに送信されたら、IMBSYは0に戻り、IMSTA[2:0]は0x2に設定されます。IMBSYを読み出して、あるいは割り込みを使用して、スレーブアドレス(各バイト)が送信されていることを確認してください。DMAを使用して送信データバッファにデータを書き込むこともできます。

スレーブアドレスが送信された後、選択されたスレーブデバイスがSCLラインをLowにプルダウンしてACKを返送します。SCLラインがHighのままであれば、NAKと見なされます。NAKの場合、I²Cコントローラは指定したスレーブデバイスと通信できません。

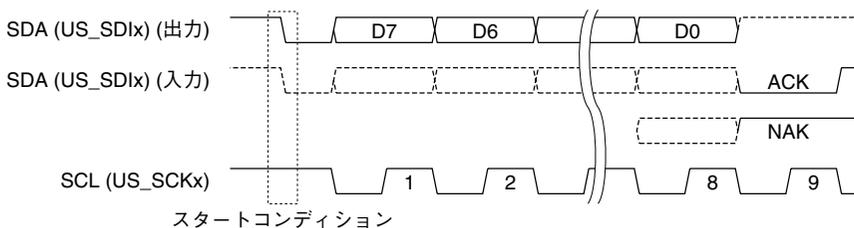


図19.5.3.5 ACKとNAK

データを送信する前にACKが受信されたことをチェックする必要があります。これをチェックするには、スレーブアドレスの送信後、IMTGMOD[2:0]を0x6に設定してIMTGに1を書き込みます。

ACK/NAKが検出されている間、IMBSYは1にセットされ、検出が完了すると、0に戻ります。ACKを受信すると、IMSTA[2:0]は0x5に設定され、NAKを受信すると0x6に設定されます。IMBSYを確認した後、あるいは割り込みを使用して、IMSTA[2:0]をチェックしてください。ACKを受信したら、データ送信を実行します。NAKを受信したら、エラー処理を実行します。

(3) データ送信

データ送信手順は、スレーブアドレス送信の手順と同じです。

1. 8ビット送信データを送信データバッファ(TD[7:0])に書き込みます。
2. IMTGMOD[2:0]を0x2に設定してIMTGに1を設定します。

このトリガにより、バッファのデータは送信シフトレジスタに転送されて送信が開始されます。モジュールは、US_SCKx端子からクロック出力を開始します。シフトレジスタ内のデータはクロックに合わせて順次シフトされ、US_SDOx端子から送信されます。

IMTGに1を書き込むとIMBSYが1にセットされます。送信データバッファのデータが送信シフトレジスタに送信されたら、IMBSYは0に戻り、IMSTA[2:0]は0x2に設定されます(送信データバッファエンプティ)。この時点で割り込み要求を生成することができます。引き続き、送信データバッファにデータを書き込むと、この割り込みを使用してその後の送信が開始されます。

ただし、スレーブアドレス送信の場合と同様、次の8ビットのデータ送信を開始する前にスレーブデバイスが(IMTGMOD[2:0]を0x6に設定してIMTGを1に設定することにより)ACKを返送していることをチェックしてください。

必要な回数だけ、8ビットデータの送信とACKの受信チェックを繰り返します。

(4) ストップコンディションの生成

すべてのデータを送信した後、PC通信を終了するには、PCマスタがストップコンディションを生成する必要があります。ストップコンディションは、SCLラインをHighに保ち、SDAラインをLowからHighにプルアップしたときに適用されます。このPCマスタでストップコンディションを生成するには、IMTGMOD[2:0]を0x1に設定し、IMTGに1を書き込みます。



図19.5.3.6 ストップコンディション

ストップコンディションの生成中、IMBSYは1にセットされます。ストップコンディションの生成が完了すると、IMBSYは0にリセットされてIMSTA[2:0]は0x1に設定されます。IMBSYを読み出すか、あるいは割り込みを使用して、ストップコンディションが生成されたことをチェックしてください。PCバスは、これ以降、フリー状態になります。

(5) リピーテッドスタートコンディションの生成

データ送信の完了後、別のデータ転送を続行できるようにするため、PCマスタはストップコンディションの生成を省略してリピーテッドスタートコンディションを生成することができます。リピーテッドスタートコンディションを生成するには、ステップ(1)で説明したスタートコンディションの生成手順を実行します。以降は、PCバスをビジー状態にしたまま、スレーブアドレスの送信が可能になります。

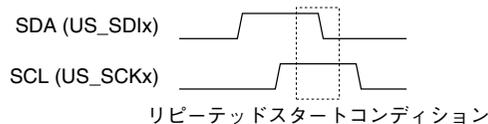


図19.5.3.7 リピーテッドスタートコンディション

I²Cマスタモードでのデータ受信

以下に、I²Cマスタモードでのデータ受信手順について説明します。

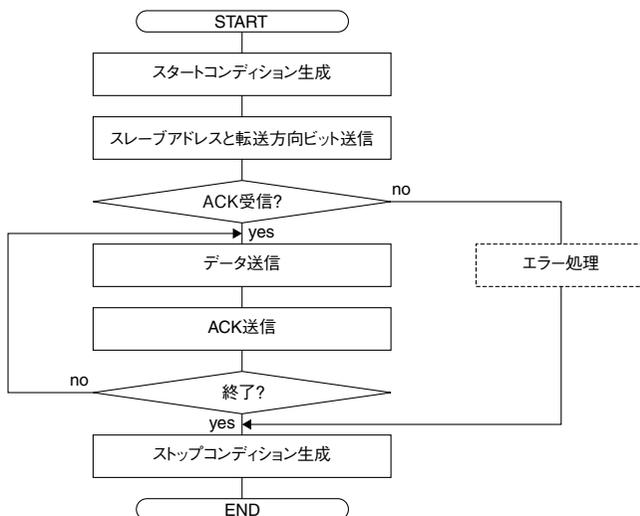
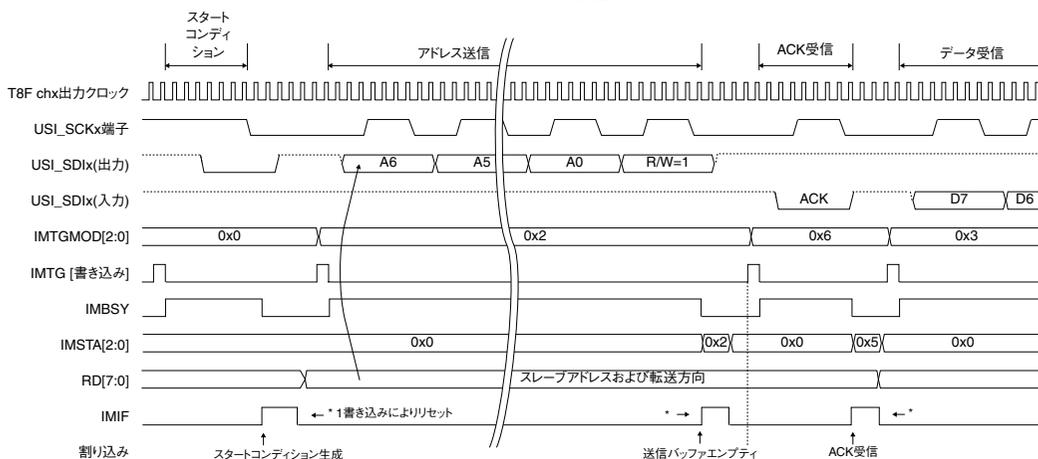
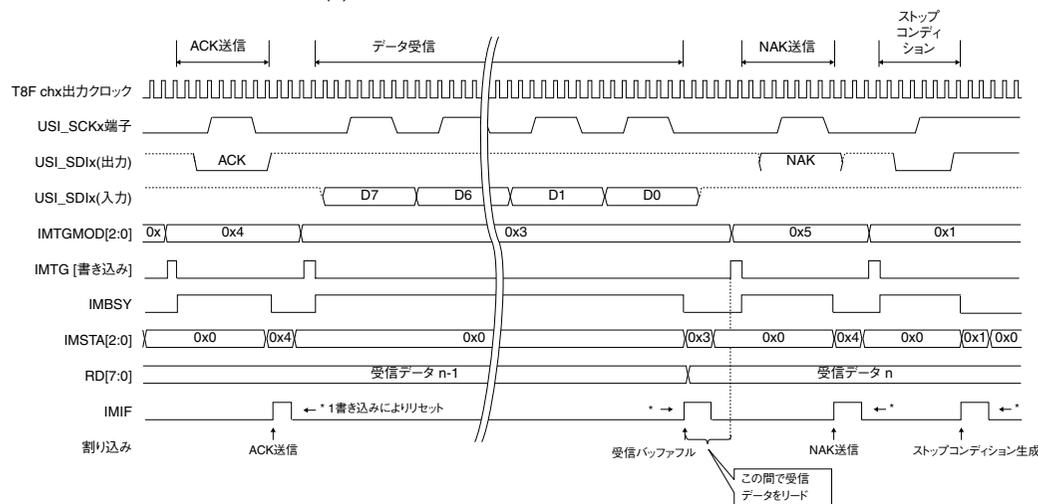


図19.5.3.8 I²Cマスタのデータ受信フローチャート



(1) スタートコンディション → データ受信



(2) データ受信 → ストップコンディション

図19.5.3.9 I²Cマスタのデータ受信タイミングチャート

注: 上のタイミングチャートは基本的な転送動作を示すもので、I²Cの実際の転送手順は示されていません。“19.9 注意事項”の“I²Cスレーブモードでの制御バイトの受信”を参照してください。

- (1) スタートコンディションの生成
この手順は、I²Cマスタモードでのデータ送信手順と同じです。
- (2) スレーブアドレスと転送方向ビットの送信
この手順は、I²Cマスタモードでのデータ送信手順と同じです。ただし、転送方向ビットを1に設定してスレーブアドレスを送信します。次に、スレーブデバイスがACKを返送することをチェックします。
- (3) データ受信
データ受信を開始するには、IMTGMOD[2:0]を0x3に設定してIMTGに1を書き込みます。
このトリガにより、US_SCKx端子から8クロックの出力を開始します。US_SDOx端子の状態がクロックに同期してサンプリングされ、シフトレジスタにロードされます。シフトレジスタ内に8ビットのデータを受信すると、受信したデータは受信データバッファ(RD[7:0]/USI_RDxレジスタ)にロードされます。
IMTGに1を書き込むとIMBSYが1にセットされます。受信データが受信データバッファにロードされたら、IMBSYは0に戻り、IMSTA[2:0]は0x3に設定されます(受信データバッファフル)。この時点で割り込み要求を生成することができます。この割り込みを使用して、受信データバッファから受信データを読み出します。
8ビットデータを受信した後、ACKまたはNAKをスレーブデバイスに返送する必要があります。(これは受信データリード後に行ってください。) ACKを返送するには、IMTGMOD[2:0]を0x4に設定してIMTGに1を書き込みます。NAKを返送するには、IMTGMOD[2:0]を0x5に設定してIMTGに1を書き込みます。
ACK/NAKが送信されている間、IMBSYは1にセットされ、送信が完了すると、0に戻ります。この時点で割り込み要求またはDMA要求を生成することができます。ACKまたはNAKが送信されると、IMSTA[2:0]が0x4に設定されます。
必要な回数だけ、8ビットデータの受信とACK(NAK)の送信を繰り返します。
- (4) ストップコンディションの生成
この手順は、I²Cマスタモードでのデータ送信手順と同じです。
- (5) リピーテッドスタートコンディションの生成
この手順は、I²Cマスタモードでのデータ送信手順と同じです。

クロックストレッチ機能

データの送信/受信時、スレーブデバイスは、次のデータの送信/受信の準備が完了するまで、SCLラインをLowにプルダウンすることで、マスタデバイスにウェイト要求を発行することができます。マスタデバイスは、ウェイト要求が取り消される(SCLラインがHighになる)までスタンバイ状態に移行します。

このI²Cコントローラは、このクロックストレッチ機能をサポートしています。スレーブアドレスまたはデータを送信/受信した後、クロックストレッチ条件を検出すると、このモジュールは待機状態に移行し、クロックストレッチ状態が取り消されるまで、データ転送のトリガを受け取った場合でも、動作を開始しません。待機状態を含むトリガ動作が完了するまで、IMBSYは1のまま保持されます。



図19.5.3.10 クロックストレッチ

I²Cスレーブモードでの制御方法

I²Cスレーブモードでのデータ転送は、ISTGMOD[2:0]/USI_ISTG_xレジスタとISTG/USI_ISTG_xレジスタを使用して制御されます。ISTGMOD[2:0]を使用してI²Cスレーブ動作を選択し、トリガとしてISTGに1を書き込みます。I²Cコントローラは、I²Cバスを制御して指定の動作状態を生成します。

表19.5.3.3 I²Cスレーブモードでのトリガー一覧

ISTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAKの受信
0x5	NAKの送信
0x4	ACKの送信
0x3	データ受信
0x2	データ送信
0x1	Reserved
0x0	スタートコンディション待ち

(デフォルト: 0x0)

ISTGに1を書き込むと、ISBSY/USI_ISIF_xレジスタが1に設定され、I²Cコントローラがビジー(動作中)であることを示します。指定された動作が終了すると、ISBSYは0にリセットされます。同時に、割り込みフラグ(ISIF/USI_ISIF_xレジスタ)も1にセットされます。割り込みが発生した後、ステータスビット(ISSTA[2:0]/USI_ISIF_xレジスタ)を読み出して動作の完了をチェックします。その後、ISIFに1を書き込んでクリアしてください。これによりISSTA[2:0]も自動的に0x0にクリアされます。

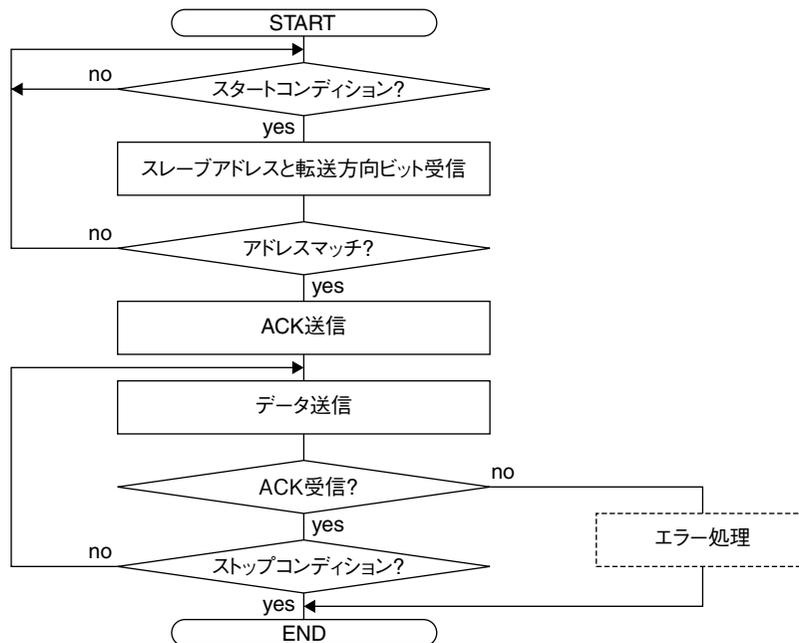
表19.5.3.4 I²Cスレーブのステータスビット

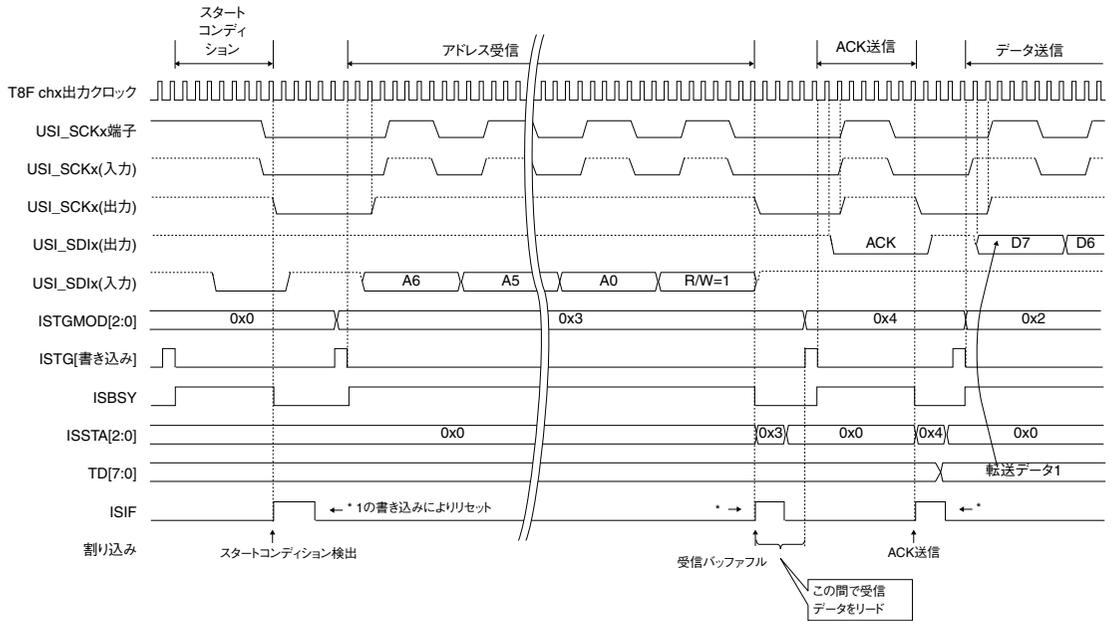
ISSTA[2:0]	状態
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファが満杯
0x2	送信データバッファが空
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

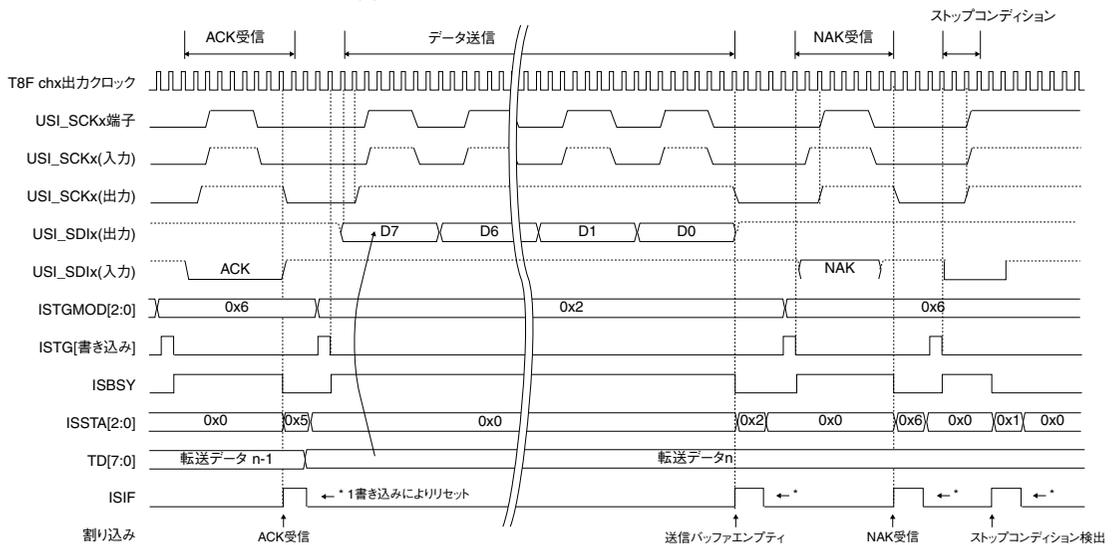
I²Cスレーブモードでのデータ送信

以下に、I²Cスレーブモードでのデータ送信手順について説明します。

図19.5.3.11 I²Cスレーブのデータ送信フローチャート



(1) スタートコンディション → データ送信



(2) データ送信 → ストップコンディション

図19.5.3.12 I²Cスレーブのデータ送信タイミングチャート

注: 上のタイミングチャートは基本的な転送動作を示すもので、I²Cの実際の転送手順は示されていません。“19.9 注意事項”の“I²Cスレーブモードでの制御バイトの受信”を参照してください。

(1) スタートコンディション待ち

I²Cデータ転送は、I²Cマスタデバイスがスタートコンディションを生成すると開始されます(図19.5.3.3を参照)。

ISTGMOD[2:0]を0x0(デフォルト)に設定し、ISTGに1を書き込みことにより、最初にこのI²Cスレーブがスタートコンディションを検出できるようにします。I²Cコントローラがスタートコンディションの検出を開始し、ISBSYを1にセットします。ISBSYは、スタートコンディションの検出中、1にセットされています。検出が完了すると、ISBSYは0に戻り、ISSTA[2:0]は0x0に設定されます。ISBSYを読み出して、あるいは割り込みを使用してスタートコンディションが生成されたかどうかをチェックします。

注: スタートコンディションが検出される前に他の動作を開始することはできません。

(2) スレーブアドレスと転送方向データビットの受信

PCマスタは、スタートコンディションを生成した後、通信を行うスレーブデバイスのアドレスと転送方向ビットを送信します(図19.5.3.4を参照)。このPCスレーブを受信状態に設定して、スレーブアドレスを受信します。受信を開始するには、ISTGMOD[2:0]を0x3に設定してISTGに1を書き込みます。

このトリガにより、US_SCK_x端子から入力されるクロックのサンプリングを開始します。クロックが入力されると、PCコントローラは、各クロックに同期させて、US_SDO_x端子の状態をシフトレジスタにロードします。シフトレジスタ内に8ビットのデータを受信すると、受信したデータは受信データバッファ(RD[7:0]/USI_RD_xレジスタ)にロードされます。

ISTGに1を書き込むとISBSYが1にセットされます。受信データが受信データバッファにロードされたら、ISBSYは0に戻り、ISSTA[2:0]は0x3に設定されます(受信データバッファフル)。この時点で割り込み要求を生成することができます。この割り込みを使用して、受信データバッファから受信データを読み出します。

7ビットアドレスを使用するときには、スレーブアドレスと転送方向ビットを1回の動作で得ることができます。10ビットアドレスを使用するときには、受信データバッファで受信した最初のデータをメモリに保存し、データ受信をもう一度実行して残りのアドレスビットを取得します。受信したアドレスがこのPCスレーブのアドレスに一致するかどうかをチェックします。一致したとき、IMTGMOD[2:0]を0x4に設定してISTGに1を書き込むことにより、PCマスタにACKを返送します。ACKが送信されている間、ISBSYは1にセットされ、送信が完了すると、0に戻ります。この時点で割り込み要求またはDMA要求を生成することができます。ACKが送信されると、ISSTA[2:0]が0x4に設定されます。

受信したアドレスがこのPCスレーブのアドレスでない場合、データ受信を中止し、ステップ(1)に戻って、次のスタートコンディションを待ち受けます。

(3) データ送信

ステップ(2)でスレーブアドレスとともに受信した転送方向ビットが1のとき、以下の手順でデータ送信を開始します。

1. 8ビット送信データを送信データバッファ(TD[7:0])に書き込みます。
2. ISTGMOD[2:0]を0x2に設定してISTGに1を設定します。

このトリガにより、バッファのデータは送信シフトレジスタに転送されて送信が開始されます。US_SCK_x端子からクロックが入力されると、シフトレジスタ内のデータは、このクロックに合わせて順次シフトされ、US_SDO_x端子から送信されます。

ISTGに1を書き込むとISBSYが1にセットされます。送信データバッファのデータが送信シフトレジスタに送信されたら、ISBSYは0に戻り、ISSTA[2:0]は0x2に設定されます(送信データバッファエンpty)。この時点で割り込み要求またはDMA要求を生成することができます。引き続き、送信データバッファにデータを書き込むと、この割り込みまたはDMAを使用してその後の送信が開始されます。

ただし、次の8ビットのデータ送信を開始する前にマスタデバイスが(ISTGMOD[2:0]を0x6に設定してISTGを1に設定することにより)ACKまたはNAKを返送していることをチェックしてください。

ACK/NAKが検出されている間、ISBSYは1にセットされ、検出が完了すると、0に戻ります。ACKを受信すると、ISSTA[2:0]は0x5に設定され、NAKを受信すると0x6に設定されます。ISBSYを確認した後、あるいは割り込みを使用して、ISSTA[2:0]をチェックしてください。ACKを受信したら、データ送信を実行します。NAKを受信したら、適切な処理を実行します。

(4) ストップコンディションを受信したとき

データ送信中に読み出したISSTA[2:0]の値が0x1の場合、I²Cマスタデバイスがストップコンディションを生成しています(図19.5.3.6を参照)。この場合、データ送信中を中止します。

なお、ストップコンディションの受信はISTGMOD[2:0]が以下の設定のときに受信可能です。

このモード設定でISTGに1をライトした後に、図19.5.3.6で示すストップコンディションの状態になると、I²Cスレーブはストップコンディションを検出します。

ISTGMOD[2:0] = 0x2(データ送信)
 0x3(データ受信)
 0x5(NAK送信)
 0x6(ACK/NAK受信)

I²Cスレーブモードでのデータ受信

以下に、I²Cスレーブモードでのデータ受信手順について説明します。

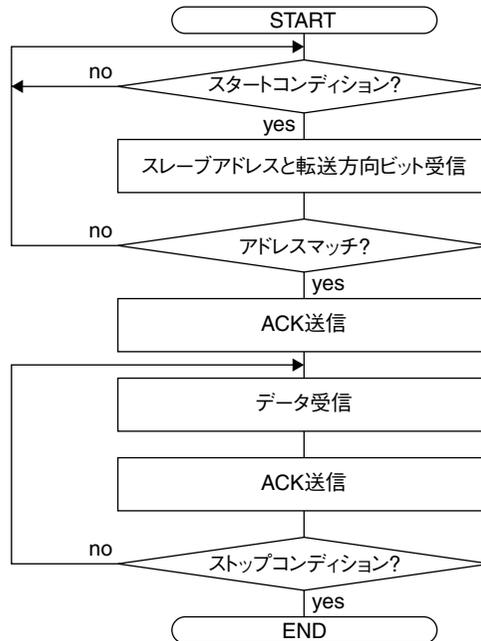
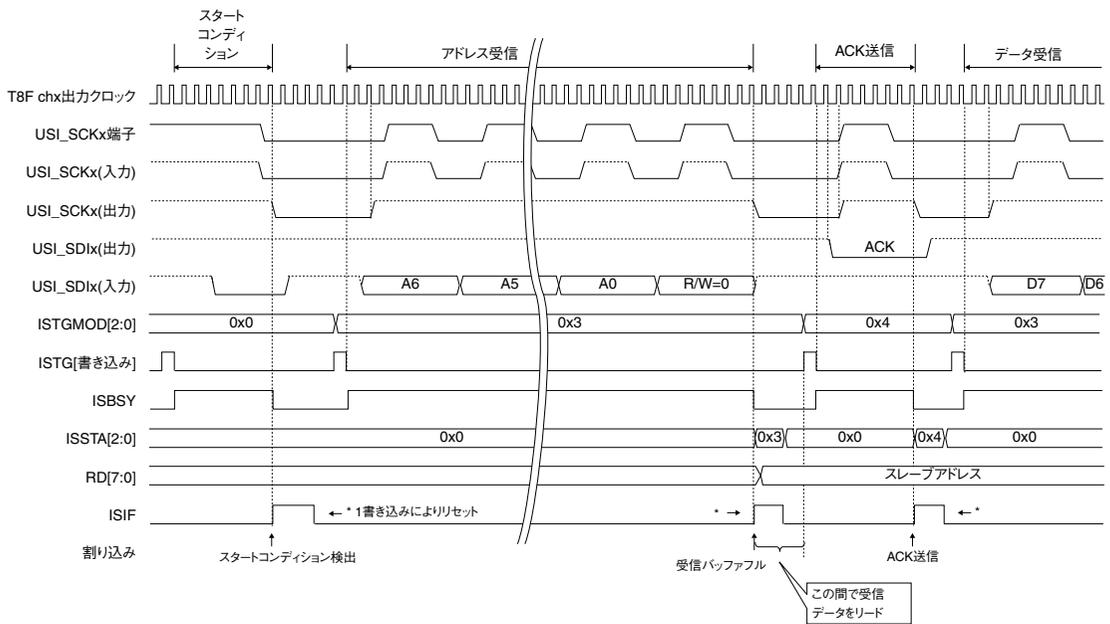
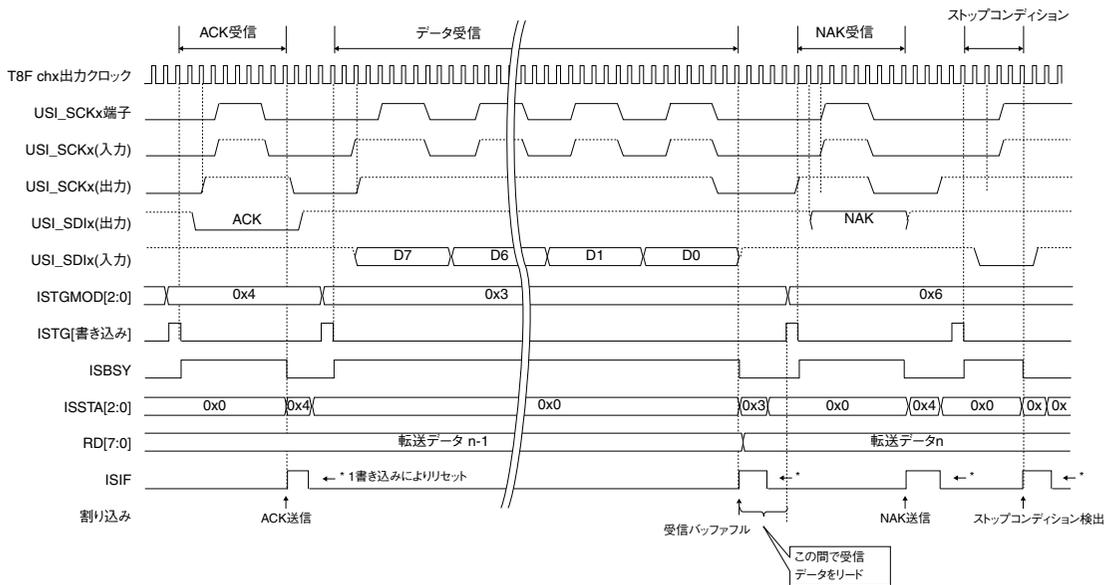


図19.5.3.13 I²Cスレーブのデータ受信フローチャート



(1) スタートコンディション → データ受信



(2) データ受信 → ストップコンディション

図19.5.3.14 ²Cスレーブのデータ受信タイミングチャート

注: 上のタイミングチャートは基本的な転送動作を示すもので、²Cの実際の転送手順は示されていません。“19.9 注意事項”の“²Cスレーブモードでの制御バイトの受信”を参照してください。

- (1) スタートコンディション待ち
この手順は、²Cスレーブモードでのデータ送信手順と同じです。
- (2) スレーブアドレスと転送方向データビットの受信
この手順は、²Cスレーブモードでのデータ送信手順と同じです。
- (3) データ受信
ステップ(2)でスレーブアドレスとともに受信した転送方向ビットが0のとき、ISTGMOD[2:0]を0x3に設定してISTGに1を書き込むことでデータ受信を開始します。
クロックが入力されると、²Cコントローラは、各クロックに同期させて、US_SDOx端子の状態をシフトレジスタにロードします。シフトレジスタ内に8ビットのデータを受信すると、受信し

たデータは受信データバッファ(RD[7:0]/USI_RDxレジスタ)にロードされます。

ISTGに1を書き込むとISBSYが1にセットされます。受信データが受信データバッファにロードされたら、ISBSYは0に戻り、ISSTA[2:0]は0x3に設定されます(受信データバッファフル)。この時点で割り込み要求またはDMA要求を生成することができます。この割り込みまたはDMAを使用して、受信データバッファから受信データを読み出します。

8ビットデータを受信した後、ACKまたはNAKをマスタデバイスに返送する必要があります。(これは受信データリード後に行ってください。)ACKを返送するには、ISTGMOD[2:0]を0x4に設定してISTGに1を書き込みます。NAKを返送するには、ISTGMOD[2:0]を0x5に設定してISTGに1を書き込みます。

ACK/NAKが送信されている間、ISBSYは1にセットされ、送信が完了すると、0に戻ります。この時点で割り込み要求またはDMA要求を生成することができます。ACKまたはNAKが送信されると、ISSTA[2:0]が0x4に設定されます。

必要な回数だけ、8ビットデータの受信とACK(NAK)の送信を繰り返します。

(4) ストップコンディションを受信したとき

データ受信中に読み出したISSTA[2:0]の値が0x1の場合、I²Cマスタデバイスがストップコンディションを生成しています(図19.5.3.6を参照)。この場合、データ受信を中止します。

なお、ストップコンディションの受信はISTGMOD[2:0]が以下の設定のときに受信可能です。

このモード設定でISTGに1をライトした後に、図19.5.3.6で示すストップコンディションの状態になると、PCスレーブはストップコンディションを検出します。

ISTGMOD[2:0] = 0x2(データ送信)
 0x3(データ受信)
 0x5(NAK送信)
 0x6(ACK/NAK受信)

クロックストレッチ機能

データの送信/受信時、このPCスレーブは、ACKを送信/受信した後、SCLラインをLowにプルダウンすることでクロックストレッチ状態を生成し、次のデータ転送が開始されるまでマスタデバイスにウェイト要求を行います。

19.6 受信エラー

UARTモードでは、データの受信時、3種類の受信エラー(オーバーランエラー、フレーミングエラー、およびパリティエラー)を検出できます。SPIマスタおよびI²Cモードでは、データの受信時、オーバーランエラーを検出できます。

受信エラーは割り込み要因であるため、割り込みを生成することで処理することができます。割り込み制御の詳細については、19.7節を参照してください。

オーバーランエラー(すべてのインタフェースモード)

以前に受信した受信データバッファのデータを読み出す前にデータを受信した場合、受信データバッファが上書きされてオーバーランエラーが発生します。オーバーランエラーが発生すると、現在のインタフェースモードのオーバーランエラーフラグが1にセットされます。

オーバーランエラーフラグ: UOEIF/USI_UIF_xレジスタ (UARTモード)
 SEIF/USI_SIF_xレジスタ (SPIマスタ)
 IMEIF/USI_IMIF_xレジスタ (I²Cマスタモード)
 ISEIF/USI_ISIF_xレジスタ (I²Cスレーブモード)

本エラーが発生した場合でも受信動作は継続して行われます。オーバーランエラーフラグは、1を書き込むことで0にリセットされます。

フレーミングエラー(UARTモードのみ)

UARTモードでストップビットを0として受信した場合、UARTコントローラは同期の消失と判断し、フレーミングエラーが発生します。ストップビットが2ビットで構成されている場合、最初のビットだけがチェックされます。

本エラーが発生した場合、フレーミングエラーフラグ(USEIF/USI_UIF_xレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送されますが、その後のデータ受信でフレーミングエラーが発生しなくてもそのデータは保証されません。フレーミングエラーフラグは、1を書き込むことで0にリセットされます。

パリティエラー(UARTモードのみ)

UPREN/USI_UCFG_xレジスタが1(パリティが有効)に設定されている場合、UARTモードで受信データのパリティがチェックされます。シフトレジスタ内の受信データが受信データバッファに送られるときにパリティがチェックされます。UPMD/USI_UCFG_xレジスタの設定(奇数または偶数パリティ)との整合がチェックされます。この結果が不整合の場合はパリティエラーが発行され、パリティエラーフラグ(UPEIF/USI_UIF_xレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、パリティエラーが発生している場合には、受信データは保証されません。UPEIFフラグは、1を書き込むことで0にリセットされます。

19.7 USI割り込みとDMA

この節では、各インタフェースモードで生成されるUSI割り込みとDMAの呼び出しについて説明します。割り込み処理とDMA転送の詳細については、それぞれ“割り込みコントローラ(ITC)”の章と“DMAコントローラ(DMAC)”の章を参照してください。

各USIチャンネルは、すべての割り込み要因が共有する単一の割り込み信号(2つのチャンネルに対して2つの信号)を割り込みコントローラ(ITC)に出力します。各モードで利用可能な割り込みフラグを検査して、発生した割り込み要因を確認します。

19.7.1 UARTモードでの割り込み

UARTモードには、以下の3種類の割り込みを生成する機能があります。

- ・送信バッファエンプティ割り込み
- ・受信バッファフル割り込み
- ・受信エラー割り込み

送信バッファエンプティ割り込み

この割り込みを使用するには、UTDIE/USI_UIE_xレジスタを1に設定します。UTDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、USIモジュールはUTDIF/USI_UIF_xレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(UTDIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでUTDIFフラグを検査することにより、USI(UARTモード)割り込みが送信バッファエンプティによるものかどうかについて確認することができます。UTDIFが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、URDIE/USI_UIE_xレジスタを1に設定します。URDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データが受信データバッファにロードされた場合、USIモジュールはURDIF/USI_UIF_xレジスタを1に設定します。受信バッファフル割り込みが許可されていれば(URDIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでURDIFフラグを検査することにより、USI(UARTモード)割り込みが受信バッファフルによるものかどうかについて確認することができます。URDIFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。ただし、受信エラーが発生していないかどうかを必ずチェックしてください。

受信エラー割り込み

この割り込みを使用するには、UEIE/USI_UIExレジスタを1に設定します。UEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データの受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、USIモジュールはエラーフラグ(UPEIF/USI_UIF_xレジスタ、USEIF/USI_UIF_xレジスタ、またはUOEIF/USI_UIF_x)を1にセットします。受信エラー割り込みが許可されていれば(UEIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでUPEIF、USEIF、およびUOEIFフラグを検査することにより、USI(UARTモード)割り込みが受信エラーによって生じたものかどうかを確認することができます。いずれかのエラーフラグの値が1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。オーバーランエラーをリセットするには、USIのソフトウェアリセット(USI_GCFG_x[D2-0]=0x0)を実施し、USIを初期化してください。

19.7.2 SPIモードでの割り込み

SPIのマスタ/スレーブモードには、以下の3種類の割り込みを生成する機能があります。

- ・送信バッファエンプティ割り込み
- ・受信バッファフル割り込み
- ・受信エラー割り込み(マスタモード)

送信バッファエンプティ割り込み

この割り込みを使用するには、STDIE/USI_SIE_xレジスタを1に設定します。STDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、USIモジュールはSTDIF/USI_SIF_xレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(STDIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでSTDIFフラグを検査することにより、USI(SPIのマスタ/スレーブモード)割り込みが送信バッファエンプティによるものかどうかについて確認することができます。STDIFが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SRDIE/USI_SIE_xレジスタを1に設定します。SRDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データが受信データバッファにロードされた場合、USIモジュールはSRDIF/USI_SIF_xレジスタを1に設定します。受信バッファフル割り込みが許可されていれば(SRDIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでSRDIFフラグを検査することにより、USI(SPIのマスタ/スレーブモード)割り込みが受信バッファフルによるものかどうかについて確認することができます。SRDIFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。ただし、受信エラーが発生していないかどうかを必ずチェックしてください。

受信エラー割り込み

この割り込みを使用するには、SEIE/USI_SIE_xレジスタを1に設定します。SEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データの受信時にオーバーランエラーが検出された場合、USIモジュールは、SEIF/USI_SIF_xレジスタを1に設定します。受信エラー割り込みが許可されていれば(SEIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでSEIFフラグを検査することにより、USI(SPIのマスタ)割り込みが受信エラーによって生じたものかどうかを確認することができます。SEIFが1の場合、割り込み処理ルーチンでエラーからの復旧処理を行います。オーバーランエラーをリセットするには、フラグをクリアした後、受信データバッファ(USI_RD_x)を2回リードしてください。

19.7.3 I²Cマスタモードでの割り込み

I²Cマスタモードには、以下の3種類の割り込みを生成する機能があります。

- ・動作完了割り込み
- ・受信エラー割り込み

動作完了割り込み

この割り込みを使用するには、IMIE/USI_IMIE_xレジスタを1に設定します。IMIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ソフトウェアトリガによって開始された動作が完了すると、USIモジュールは、IMIF/USI_IMIF_xレジスタを1に設定します。動作完了割り込みが許可されていれば(IMIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでIMSTA[2:0]/USI_IMIF_xレジスタを検査することにより、割り込みを発生させたI²C動作/状態を確認することができます。

表19.7.3.1 I²Cマスタのステータスピット

IMSTA[2:0]	状態
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファが満杯
0x2	送信データバッファが空
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

受信エラー割り込み

受信データをリードせず2バイト受信完了後、送信または受信のトリガをかけた時点でオーバーランエラーが発生します。オーバーランエラーが発生したら、IMEIF/ISEIFフラグをクリアと受信バッファの読み出しを2回実行してください。

この割り込みを使用するには、IMEIE/USI_IMEIE_xレジスタを1に設定します。IMEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データの受信時にオーバーランエラーが検出された場合、USIモジュールは、IMEIF/USI_IMIF_xレジスタを1に設定します。受信エラー割り込みが許可されていれば(IMEIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでIMEIFフラグを検査することにより、USI(I²Cマスタモード)割り込みが受信エラーによって生じたものかどうかを確認することができます。IMEIFが1の場合、割り込み処理ルーチンでエラーからの復旧処理を行います。

19.7.4 I²Cスレーブモードでの割り込み

I²Cスレーブモードには、以下の2種類の割り込みを生成する機能があります。

- ・動作完了割り込み
- ・受信エラー割り込み

動作完了割り込み

この割り込みを使用するには、ISIE/USI_ISIE_xレジスタを1に設定します。ISIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ソフトウェアトリガによって開始された動作が完了すると、USIモジュールは、ISIF/USI_ISIF_xレジスタを1に設定します。動作完了割り込みが許可されていれば(ISIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでISSTA[2:0]/USI_ISIF_xレジスタを検査することにより、割り込みを発生させたI²C動作/状態を確認することができます。

表19.7.4.1 I²Cスレーブのステータスビット

ISSTA[2:0]	状態
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファが満杯
0x2	送信データバッファが空
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

受信エラー割り込み

この割り込みを使用するには、ISEIE/USI_ISIE_xレジスタを1に設定します。ISEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データの受信時にオーバーランエラーが検出された場合、USIモジュールは、ISEIF/USI_ISIF_xレジスタを1に設定します。受信エラー割り込みが許可されていれば(ISEIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。割り込み処理ルーチンでISEIFフラグを検査することにより、USI(I²Cスレーブモード)割り込みが受信エラーによって生じたものかどうかを確認することができます。ISEIFが1の場合、割り込み処理ルーチンでエラーからの復旧処理を行います。

19.7.5 DMA転送

UARTとSPIのマスタ/スレーブモードでの受信バッファフルと送信バッファエンプティの割り込み要因は、DMAを呼び出すことができます。これにより、メモリと送信/受信データバッファとの間で、DMACを介した連続データ送信/受信が可能となります。これらの割り込み信号は、ITCとDMACの両方に出力されます。このため、DMA転送は、USI割り込みを生成することなく実行することができます。以下に、トリガとしてUSI割り込み要因を選択できるDMACチャンネルを示します。

USI Ch.0受信バッファフル: DMAC Ch.0
 USI Ch.0送信バッファエンプティ: DMAC Ch.1
 USI Ch.1受信バッファフル: DMAC Ch.2
 USI Ch.1送信バッファエンプティ: DMAC Ch.3

DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

注: USIモジュールは、I²CのマスタとスレーブのモードでDMAを呼び出すことはできません。

19.8 制御レジスタ詳細

表19.8.1 USIレジスタ一覧

アドレス	レジスタ名		機能
0x80500	USI_GCFG0	USI Ch.0 Global Configuration Register	インタフェースとMSB/LSBモードの設定
0x80501	USI_TD0	USI Ch.0 Transmit Data Buffer Register	送信データバッファ
0x80502	USI_RD0	USI Ch.0 Receive Data Buffer Register	受信データバッファ
0x80540	USI_UCFG0	USI Ch.0 UART Mode Configuration Register	UART転送条件の設定
0x80541	USI_UIE0	USI Ch.0 UART Mode Interrupt Enable Register	割り込みの許可
0x80542	USI_UIF0	USI Ch.0 UART Mode Interrupt Flag Register	割り込み発生状態の表示
0x80550	USI_SCFG0	USI Ch.0 SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
0x80551	USI_SIE0	USI Ch.0 SPI Master/Slave Mode Interrupt Enable Register	割り込みの許可
0x80552	USI_SIF0	USI Ch.0 SPI Master/Slave Mode Interrupt Flag Register	割り込み発生状態の表示
0x80560	USI_IMTG0	USI Ch.0 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
0x80561	USI_IMIE0	USI Ch.0 I ² C Master Mode Interrupt Enable Register	割り込みの許可
0x80562	USI_IMIF0	USI Ch.0 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
0x80570	USI_ISTG0	USI Ch.0 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
0x80571	USI_ISIE0	USI Ch.0 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
0x80572	USI_ISIF0	USI Ch.0 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示
0x80600	USI_GCFG1	USI Ch.1 Global Configuration Register	インタフェースとMSB/LSBモードの設定
0x80601	USI_TD1	USI Ch.1 Transmit Data Buffer Register	送信データバッファ
0x80602	USI_RD1	USI Ch.1 Receive Data Buffer Register	受信データバッファ
0x80640	USI_UCFG1	USI Ch.1 UART Mode Configuration Register	UART転送条件の設定
0x80641	USI_UIE1	USI Ch.1 UART Mode Interrupt Enable Register	割り込みの許可
0x80642	USI_UIF1	USI Ch.1 UART Mode Interrupt Flag Register	割り込み発生状態の表示
0x80650	USI_SCFG1	USI Ch.1 SPI Master/Slave Mode Configuration Register	SPI転送条件の設定
0x80651	USI_SIE1	USI Ch.1 SPI Master/Slave Mode Interrupt Enable Register	割り込みの許可
0x80652	USI_SIF1	USI Ch.1 SPI Master/Slave Mode Interrupt Flag Register	割り込み発生状態の表示
0x80660	USI_IMTG1	USI Ch.1 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
0x80661	USI_IMIE1	USI Ch.1 I ² C Master Mode Interrupt Enable Register	割り込みの許可
0x80662	USI_IMIF1	USI Ch.1 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
0x80670	USI_ISTG1	USI Ch.1 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
0x80671	USI_ISIE1	USI Ch.1 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
0x80672	USI_ISIF1	USI Ch.1 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示

USIの各レジスタは、以下で詳しく説明します。これらは8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

USI Ch.x Global Configuration Registers (USI_GCFGx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
USI Ch.x Global Configuration Register (USI_GCFGx)	0x80600 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.	
		D3	LSBFST	MSB/LSB first mode select	1 MSB first 0 LSB first	0	R/W		
		D2-0	USIMOD	Interface mode configuration	USIMOD[2:0] 0x7-0x6 0x5 0x4 0x3 0x2 0x1 0x0	I/F mode reserved I ² C slave I ² C master SPI slave SPI master UART Software reset	0x0	R/W	

注: このレジスタは、他のUSIレジスタを設定する前に構成する必要があります。

D[7:4] Reserved

D3 LSBFST: MSB/LSB First Mode Select Bit

シリアルデータをMSBまたはLSBから転送するのかどうかを選択します。

1(R/W): MSB先頭

0(R/W): LSB先頭(デフォルト)

この設定は、すべてのインタフェースモードに影響します。

D[2:0] USIMOD[2:0]: Interface Mode Configuration Bits

インタフェースモードを選択します。

表19.8.2 インタフェースモードの選択

USIMOD[2:0]	インタフェースモード
0x5	I ² Cスレーブ
0x4	I ² Cマスタ
0x3	SPIスレーブ
0x2	SPIマスタ
0x1	UART
0x0	ソフトウェアリセット

(デフォルト: 0x0)

必ずソフトウェアリセットを実行して(USIMOD[2:0]を0x0に設定)インタフェースモードを設定してから、他のUSI設定を変更してください。

USI Ch.x Transmit Data Buffer Registers (USI_TD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x Transmit Data Buffer Register (USI_TD _x)	0x80501 0x80601 (8 bits)	D7-0	TD[7:0]	USI transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff	0x0	R/W	

D[7:0] TD[7:0]: USI Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

UARTとSPIのマスタモードでは、このレジスタにデータを書き込んだ直後に送信が始まります。SPIスレーブモードでは、SPIマスタデバイスからクロックが入力されると送信が始まります。

I²Cのマスタ/スレーブのモードでは、データ送信用のソフトウェアトリガによって送信が始まります。

このレジスタに書き込まれたデータはシフトレジスタを経由してシリアルデータに変換され、US_SDO_x端子から出力されます。ビットはHighレベルが1に、Lowレベルが0に設定されます。送信バッファエンプティ割り込みは、このレジスタに書き込まれたデータがシフトレジスタに転送されたときに発生させることができます。以降の送信データは、データが送信中でも書き込むことができます。

USI Ch.x Receive Data Buffer Registers (USI_RD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x Receive Data Buffer Register (USI_RD _x)	0x80502 0x80602 (8 bits)	D7-0	RD[7:0]	USI receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff	0x0	R	

D[7:0] RD[7:0]: USI Receive Data Buffer Bits

受信データが格納されます。(デフォルト: 0x0)

US_SDL_x端子から入力されたシリアルデータはパラレルに変換され、Highレベルビットは1に、Lowレベルビットは0に設定されてからこのレジスタにロードされます。

シフトレジスタ内の受信データがこのレジスタにロードされたら、受信バッファフル割り込みを発生させることができます。データは、その後のデータが受信されるまでに読み出すことができます。レジスタから読み出す前にその後のデータ受信が完了すれば、新しく受信したデータによって内容が上書きされます。

このレジスタは読み出し専用です。

USI Ch.x UART Mode Configuration Registers (USI_UCFGx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USI Ch.x	0x80540	D7-4	–	reserved	–		–	–	0 when being read.
USI Ch.x UART Mode Configuration Register (USI_UCFGx)	0x80640 (8 bits)	D3	UCHLN	Character length select	1 8 bits	0 7 bits	0	R/W	
		D2	USTPB	Stop bit select	1 2 bits	0 1 bit	0	R/W	
		D1	UPMD	Parity mode select	1 Even	0 Odd	0	R/W	
		D0	UPREN	Parity enable	1 With parity	0 No parity	0	R/W	

注: このレジスタはUARTモードでのみ有効です。 USIチャンネルをUARTモードに設定してからこのレジスタを設定してください。

D[7:4] Reserved

D3 UCHLN: Character Length Select Bit

シリアル転送のデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

7ビットデータ長を選択すると、送信データバッファのD7は無視され、受信データバッファのD7は常に0に設定されます。

D2 USTPB: Stop Bit Select Bit

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

USTPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。 スタートビットは1ビットに固定されています。

D1 UPMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 偶数パリティ

0(R/W): 奇数パリティ(デフォルト)

パリティチェックおよびパリティビットの付加はUPRENが1に設定されている場合にのみ有効で、UPRENが0の場合、UPMDの設定は無効となります。

D0 UPREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。 UPRENを1に設定すると、受信データはパリティチェックが行われます。 送信データに対してはパリティビットが自動的に付加されます。 UPRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

USI Ch.x UART Mode Interrupt Enable Registers (USI_UIEx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USI Ch.x UART Mode Interrupt Enable Register (USI_UIEx)	0x80541	D7-3	–	reserved	–		–	–	0 when being read.
	0x80641 (8 bits)	D2	UEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	URDIE	Receive buffer full interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	UTDIE	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W	

注: このレジスタはUARTモードでのみ有効です。 USIチャンネルをUARTモードに設定した後、このレジスタを使用できます。

D[7:3] Reserved

D2 UEIE: Receive Error Interrupt Enable Bit

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D1 URDIE: Receive Buffer Full Interrupt Enable Bit

受信データが受信データバッファにロードされたときにITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D0 UTDIE: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファに書き込まれたデータがシフトレジスタに送られたとき(データ送信を開始したとき)にITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USI Ch.x UART Mode Interrupt Flag Registers (USI_UIFx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
USI Ch.x UART Mode Interrupt Flag Register (USI_UIFx)	0x80542 0x80642 (8 bits)	D7	—	reserved	—		—	—	0 when being read.	
		D6	URBSY	Receive busy flag	1	Busy	0	Idle	0	R
		D5	UTBSY	Transmit busy flag	1	Busy	0	Idle	0	R
		D4	UPEIF	Parity error flag	1	Error	0	Normal	0	R/W
		D3	USEIF	Framing error flag	1	Error	0	Normal	0	R/W
		D2	UOEIF	Overrun error flag	1	Error	0	Normal	0	R/W
		D1	URDIF	Receive buffer full flag	1	Full	0	Not full	0	R/W
		D0	UTDIF	Transmit buffer empty flag	1	Empty	0	Not empty	0	R/W

注: このレジスタはUARTモードでのみ有効です。USIチャンネルをUARTモードに設定した後、このレジスタを使用できます。

D7 Reserved**D6 URBSY: Receive Busy Flag Bit**

受信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

最初のスタートビットが検出されると(データ受信が始まると)、URBSYは1にセットされ、シフトレジスタ内の受信データが受信データバッファにロードされると、0にリセットされます。URBSYを検査して受信回路が動作中かスタンバイ中かどうかを確認します。

D5 UTBSY: Transmit Busy Flag Bit

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

UTBSYは、送信データバッファからシフトレジスタに送信データがロードされたときに1に切り換わり、データの転送が完了すると0にリセットされます。UTBSYを検査して送信回路が動作中かスタンバイ中かどうかを確認します。

D4 UPEIF: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

1(R): エラーが発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

UPEIFはパリティエラーが発生すると1にセットされます。 UEIE/USI_UIExレジスタが1であれば、同時に受信エラー割り込み要求がITCに送られます。 パリティチェックは、UPREN/USI_UCFGxレジスタが1に設定されたときにのみ有効になり、受信データがシフトレジスタから受信データバッファに転送されたときに実行されます。 UPEIFは1を書き込むことでリセットされます。

D3 USEIF: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

1(R): エラーが発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

USEIFはフレーミングエラーが発生すると1にセットされます。 UEIE/USI_UIExレジスタが1であれば、同時に受信エラー割り込み要求がITCに送られます。 フレーミングエラーは、ストップビットを0としたデータを受信した場合に発生します。 USEIFは1を書き込むことでリセットされます。

D2 UOEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラーが発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

UOEIFはオーバーランエラーが発生すると1にセットされます。 UEIE/USI_UIExレジスタが1であれば、同時に受信エラー割り込み要求がITCに送られます。 オーバーランエラーは、以前に受信した受信データバッファ内のデータが読み出される前に、新たに受信したデータで上書きされた場合に発生します。

UOEIFをリセットするには、USIのソフトウェアリセット(USIMCOD[2:0]=0x0)によりUSIを初期化してください。

D1 URDIF: Receive Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

1(W): 0にリセット

0(W): 無効

URDIFは、シフトレジスタ内の受信データが受信データバッファに送られたとき(受信が完了したとき)1にセットされ、受信データの読み出しが可能であることを示します。 URDIF/USI_UIExレジスタが1であれば、同時に受信バッファフル割り込み要求がITCに送られます。 URDIFは1を書き込むことでリセットされます。

D0 UTDIF: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

- 1(R): エンプティ(デフォルト)
- 0(R): データあり
- 1(W): 0にリセット
- 0(W): 無効

UTDIFは、送信データバッファに書き込まれた送信データがシフトレジスタに転送されると(送信が開始されると)1にセットされ、次の送信データの書き込みが可能であることを示します。UTDIE/USI_UIExレジスタが1であれば、同時に送信バッファエンプティ割り込み要求がITCに送られます。UTDIFは1を書き込むことでリセットされます。

USI Ch.x SPI Master/Slave Mode Configuration Registers (USI_SCFGx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
USI Ch.x SPI Master/Slave Mode Configuration Register (USI_SCFGx)	0x80550	D7-6	—	reserved	—			—	—	0 when being read.
	0x80650	D5	SCMD	Command bit (for 9-bit data)	1	High	0 Low	0	R/W	
	(8 bits)	D4	SCHLN	Character length select	1	9 bits	0 8 bits	0	R/W	
		D3	SCPHA	Clock phase select	1	Phase 1	0 Phase 0	0	R/W	
		D2	SCPOL	Clock polarity select	1	Active L	0 Active H	0	R/W	
		D0	SFSTMOD	Fast mode select	1	Fast	0 Normal	0	R/W	

注: このレジスタはSPIのマスタモードとスレーブモードでのみ有効です。USIチャンネルをSPIマスタ/スレーブモードに設定した後、このレジスタを使用できます。

D[7:6] Reserved**D5 SCMD: Command Bit (for 9-bit data in SPI master mode)**

9ビットデータ用のコマンドビット値を設定します(以下のSCHLNを参照)。

- 1(R/W): High
- 0(R/W): Low(デフォルト)

D4 SCHLN: Character Length Select Bit (for SPI master mode)

シリアル転送のデータ長を選択します。

- 1(R/W): 9ビット
- 0(R/W): 8ビット(デフォルト)

9ビットモードでは、8ビットデータの前にコマンドビット(1ビット)が付加されます。コマンドビットは、USIに接続されたSPI LCDコントローラを制御するために使用されます。送信するコマンドビットの値は、SCMDを使用して指定することができます。

SCHLN = 0, SCMD = *

SCHLN = 1, SCMD = 0

SCHLN = 1, SCMD = 1

↑
コマンドビット

図19.8.1 SPIマスタモードにおける9ビットの転送データフォーマット

このビットはSPIマスタモードでのみ有効です。SPIスレーブモードでのデータ長は8ビットに固定されています。

D3 SCPHA: Clock Phase Select Bit

SPIクロックの位相を選択します。

- 1(R/W): Phase 1
- 0(R/W): Phase 0(デフォルト)

SCPOLとともにデータの転送タイミングを設定します。(図19.8.2を参照)

D2 SCPOL: Clock Polarity Select Bit

SPIクロックの極性を選択します。
 1(R/W): アクティブLow
 0(R/W): アクティブHigh(デフォルト)

SCPHAとともにデータの転送タイミングを設定します。(図19.8.2を参照)

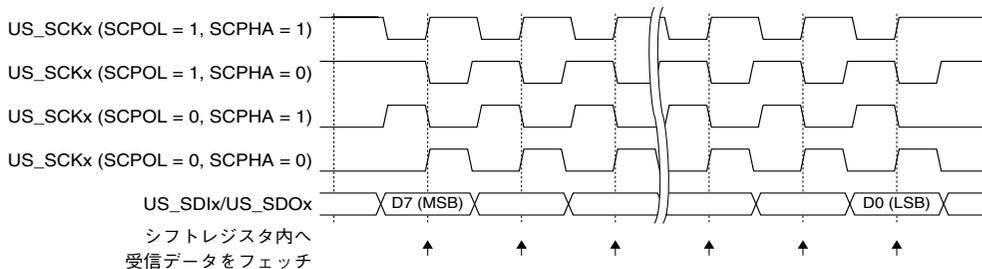


図19.8.2 クロックとデータの転送タイミング

D0 SFSTMOD: Fast Mode Select Bit (for SPI master mode)

ファストモードを選択します。
 1(R/W): ファストモード
 0(R/W): 通常モード(デフォルト)

SPIマスタモードでは、SFSTMODを使用して通常またはファストクロックモードのいずれかを選択することができます。SFSTMODを0(デフォルト)に設定すると、USIは通常モードになります。またUSIはT8F出力を2で除算することにより転送クロックを生成します。SFSTMODを1に設定すると、USIはファストモードになり、USIはCMUから供給されたPCLK2をそのまま転送クロックとして使用します。ファストモードはT8Fを使用しません。SPIスレーブモードはT8F出力クロックを使用してサンプリングクロックを生成します。

USI Ch.x SPI Master/Slave Mode Interrupt Enable Registers (USI_SIEx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
USI Ch.x SPI	0x80551	D7-3	-	reserved	-		-	-	0 when being read.	
Master/Slave Mode Interrupt Enable Register (USI_SIEx)	0x80651 (8 bits)	D2	SEIE	Receive error interrupt enable	1	Enable	0	Disable	0	R/W
		D1	SRDIE	Receive buffer full interrupt enable	1	Enable	0	Disable	0	R/W
		D0	STDIE	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W

注: このレジスタはSPIのマスタモードとスレーブモードでのみ有効です。USIチャンネルをSPIマスタ/スレーブモードに設定した後、このレジスタを使用できます。

D[7:3] Reserved

D2 SEIE: Receive Error Interrupt Enable Bit

オーバーランエラー発生時のITCへの割り込み要求を許可します。
 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D1 SRDIE: Receive Buffer Full Interrupt Enable Bit

受信データが受信データバッファにロードされたときにITCへの割り込み要求を許可します。
 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D0 STDIE: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファに書き込まれたデータがシフトレジスタに送られたとき(データ送信を開始したとき)にITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USI Ch.x SPI Master/Slave Mode Interrupt Flag Registers (USI_SIFx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
USI Ch.x SPI	0x80552	D7-4	—	reserved	—			—	—	0 when being read.	
Master/Slave Mode Interrupt Flag Register (USI_SIFx)	0x80652 (8 bits)	D2	SEIF	Overrun error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.
		D1	SRDIF	Receive buffer full flag	1	Full	0	Not full	0	R/W	
		D0	STDIF	Transmit buffer empty flag	1	Empty	0	Not empty	0	R/W	

注: このレジスタはSPIのマスタモードとスレーブモードでのみ有効です。USIチャンネルをSPIマスタ/スレーブモードに設定した後、このレジスタを使用できます。

D[7:4] Reserved**D2 SEIF: Overrun Error Flag Bit**

オーバーランエラーが発生しているか否かを示します。

1(R): エラーが発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

SEIFはオーバーランエラーが発生すると1にセットされます。SEIE/USI_SIE_xレジスタが1であれば、同時に受信エラー割り込み要求がITCに送られます。オーバーランエラーは、以前に受信した受信データバッファ内のデータが読み出される前に、新たに受信したデータで上書きされた場合に発生します。

1バイト受信するとReceive Data Buffer Registers(USI_RD_x)にロードされます。ロードされたデータをリードする前に2バイト目のデータを受信すると、2バイト目のデータはシフトレジスタに残ります。この状態で3バイト目のデータを受信すると、シフトレジスタにある2バイト目のデータが壊されるため、オーバーランエラーが発生します。(3バイト目の1ビット目のデータを受信した時点でオーバーランエラーが発生します。)

SEIFは1を書き込むことでリセットされます。

オーバーランエラーをリセットするには、SEIFに1を書き込んだ後、Receive Buffer Register(USI_RD_x)を2回リードします。

SEIFへの1書き込みとUSI_RD_xの2回リードの順番は逆でも構いません。

D1 SRDIF: Receive Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

1(W): 0にリセット

0(W): 無効

SRDIFは、シフトレジスタ内の受信データが受信データバッファに送られたとき(受信が完了したとき)1にセットされ、受信データの読み出しが可能であることを示します。SRDIE/USI_SIE_xレジスタが1であれば、同時に受信バッファフル割り込み要求がITCに送られます。

SRDIFは1を書き込むことでリセットされます。

D0 STDIF: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

1(W): 0にリセット

0(W): 無効

STDIFは、送信データバッファに書き込まれた送信データがシフトレジスタに転送されると(送信が開始されると)1にセットされ、次の送信データの書き込みが可能であることを示します。STDIE/USI_SIE_xレジスタが1であれば、同時に送信バッファエンプティ割り込み要求がITCに送られます。STDIFは1を書き込むことでリセットされます。

USI Ch.x I²C Master Mode Trigger Registers (USI_IMTG_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
USI Ch.x I ² C Master Mode Trigger Register (USI_IMTG _x)	0x80560 0x80660 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.	
		D4	IMTG	I ² C master operation trigger	1 Trigger 1 Waiting	0 Ignored 0 Finished	0	W R	
		D3	-	reserved	-	-	-	-	0 when being read.
		D2-0	IMTGMOD [2:0]	I ² C master trigger mode select	IMTGMOD[2:0] 0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data 0x2 Transmit data 0x1 Stop condition 0x0 Start condition	Trigger mode	0x0	R/W	

注: このレジスタはI²Cマスタモードでのみ有効です。USIチャンネルをI²Cマスタモードに設定した後、このレジスタを使用できます。

D[7:5] Reserved

D4 IMTG: I²C Master Operation Trigger Bit

I²Cマスタ動作の開始

1(W): トリガ

0(W): 無効

1(R): 動作の開始待ち

0(R): トリガの終了(デフォルト)

IMTGMOD[2:0]を使用してI²Cマスタ動作を選択し、トリガとしてIMTGに1を書き込みます。I²Cコントローラは、I²Cバスを制御して指定の動作ステータスを生成します。

D3 Reserved

D[2:0] IMTGMOD[2:0]: I²C Master Trigger Mode Select Bits

I²Cマスタ動作を選択します。

表19.8.3 I²Cマスタモードでのトリガー一覧

IMTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAKの受信
0x5	NAKの送信
0x4	ACKの送信
0x3	データ受信
0x2	データ送信
0x1	ストップコンディション
0x0	スタートコンディション

(デフォルト: 0x0)

USI Ch.x I²C Master Mode Interrupt Enable Registers (USI_IMIE_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x I ² C Master Mode Interrupt Enable Register (USI_IMIE _x)	0x80561	D7-2	–	reserved	–	–	–	0 when being read.
	0x80661 (8 bits)	D1	IMEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	IMIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはI²Cマスタモードでのみ有効です。USIチャンネルをI²Cマスタモードに設定した後、このレジスタを使用できます。

D[7:2] Reserved

D1 IMEIE: Receive Error Interrupt Enable Bit

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D0 IMIE: Operation Completion Interrupt Enable Bit

トリガ動作完了時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

トリガ動作が完了したかどうかを割り込みによって確認する場合は、このビットを1に設定してください。

USI Ch.x I²C Master Mode Interrupt Flag Registers (USI_IMIF_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
USI Ch.x I ² C Master Mode Interrupt Flag Register (USI_IMIF _x)	0x80562 0x80662 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.	
		D5	IMBSY	I ² C master busy flag	1 Busy 0 Standby	0	R		
		D4-2	IMSTA[2:0]	I ² C master status	IMSTA[2:0]	Status	0x0	R	
					0x7	reserved			
					0x6	NAK received			
					0x5	ACK received			
					0x4	ACK/NAK sent			
0x3	Rx buffer full								
0x2	Tx buffer empty								
0x1	Stop generated								
0x0	Start generated								
D1	IMEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.			
D0	IMIF	Operation completion flag	1 Completed 0 Not completed	0	R/W				

注: このレジスタはI²Cマスタモードでのみ有効です。USIチャンネルをI²Cマスタモードに設定した後、このレジスタを使用できます。

D[7:6] Reserved

D5 IMBSY: I²C Master Busy Flag Bit

I²Cマスタの動作状態を表示します。

1(R): ビジー

0(R): スタンバイ(デフォルト)

IMTG/USI_IMTG_xレジスタに1を書き込むと(I²Cマスタ動作の開始)、IMBSYが1に設定され、I²Cコントローラがビジー(動作中)であることを示します。指定した動作が終了すると、IMBSYが0にリセットされます。

D[4:2] IMSTA[2:0]: I²C Master Status Bits

I²Cマスタの状態を表示します。

表19.8.4 I²Cマスタのステータスビット

IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファが満杯
0x2	送信データバッファが空
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

動作完了割り込みが発生したら、IMSTA[2:0]を読み出して終了した動作を確認します。IMSTA[2:0]はIMIFに1を書き込むことで自動的に0x0になります。

D1 IMEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラーが発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

IMEIFはオーバーランエラーが発生すると1にセットされます。IMEIE/USI_IMIE_xレジスタが1であれば、同時に受信エラー割り込み要求がITCに送られます。受信データをリードせず2バイト受信完了後、送信または受信のトリガをかけた時点でオーバーランエラーが発生します。オーバーランエラーが発生したら、IMEIFフラグをクリアと受信バッファの読み出しを2回実行してください。

D0 IMIF: Operation Completion Flag Bit

トリガ動作が完了しているか否かを示します。

1(R): 完了

0(R): 未了(デフォルト)

1(W): 0にリセット

0(W): 無効

IMIFは、USI_IMTG_xレジスタを使用して指定およびトリガされた動作が完了したときに1にセットされます。IMIE/USI_IMIE_xレジスタが1であれば、同時に動作完了割り込み要求がITCに送られます。IMIFは1を書き込むことでリセットされます。

USI Ch.x I²C Slave Mode Trigger Registers (USI_ISTG_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x I ² C Slave Mode Trigger Register (USI_ISTG _x)	0x80570 0x80670 (8 bits)	D7-5	-	reserved	-	-	-	0 when being read.
		D4	ISTG	I ² C slave operation trigger	1 Trigger 1 Waiting 0 Ignored 0 Finished	0	W R	
		D3	-	reserved	-	-	-	0 when being read.
		D2-0	ISTGMOD [2:0]	I ² C slave trigger mode select	ISTGMOD[2:0] Trigger mode	0x0	R/W	
						0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data 0x2 Transmit data 0x1 reserved 0x0 Wait for start		

注: このレジスタはI²Cスレーブモードでのみ有効です。USIチャンネルをI²Cスレーブモードに設定した後、このレジスタを使用できます。

D[7:5] Reserved

D4 ISTG: I²C Slave Operation Trigger Bit

I²Cスレーブ動作を開始します。

1(W): トリガ

0(W): 無効

1(R): 動作の開始待ち

0(R): トリガの終了(デフォルト)

ISTGMOD[2:0]を使用してI²Cスレーブ動作を選択し、トリガとしてISTGに1を書き込みます。I²Cコントローラは、I²Cバスを制御して指定の動作ステータスを生成します。

D3 Reserved**D[2:0] ISTGMOD[2:0]: I²C Slave Trigger Mode Select Bits**

I²Cスレーブ動作を選択します。

表19.8.5 I²Cスレーブモードでのトリガー一覧

ISTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAKの受信
0x5	NAKの送信
0x4	ACKの送信
0x3	データ受信
0x2	データ送信
0x1	Reserved
0x0	スタートコンディション待ち

(デフォルト: 0x0)

USI Ch.x I²C Slave Mode Interrupt Enable Registers (USI_ISIE_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x I ² C Slave Mode Interrupt Enable Register (USI_ISIE _x)	0x80571 0x80671 (8 bits)	D7-2	–	reserved	–	–	–	0 when being read.
		D1	ISEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはI²Cスレーブモードでのみ有効です。USIチャンネルをI²Cスレーブモードに設定した後、このレジスタを使用できます。

D[7:2] Reserved**D1 ISEIE: Receive Error Interrupt Enable Bit**

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D0 ISIE: Operation Completion Interrupt Enable Bit

トリガ動作完了時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

トリガ動作が完了したのかどうかを割り込みによって確認する場合は、このビットを1に設定してください。

USI Ch.x I²C Slave Mode Interrupt Flag Registers (USI_ISIFx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
USI Ch.x I ² C Slave Mode Interrupt Flag Register (USI_ISIFx)	0x80572	D7-6	—	reserved	—	—	—	0 when being read.	
	0x80672	D5	ISBSY	I ² C slave busy flag	1 Busy	0 Standby	0	R	
	(8 bits)	D4-2	ISSTA[2:0]	I ² C slave status	ISSTA[2:0]	Status	0x0	R	
					0x7	reserved			
					0x6	NAK received			
					0x5	ACK received			
					0x4	ACK/NAK sent			
					0x3	Rx buffer full			
					0x2	Tx buffer empty			
					0x1	Stop detected			
					0x0	Start detected			
		D1	ISEIF	Overrun error flag	1 Error	0 Normal	0	R/W	Reset by writing 1.
		D0	ISIF	Operation completion flag	1 Completed	0 Not completed	0	R/W	

注: このレジスタはI²Cスレーブモードでのみ有効です。USIチャンネルをI²Cスレーブモードに設定した後、このレジスタを使用できます。

D[7:6] Reserved**D5 ISBSY: I²C Slave Busy Flag Bit**

I²Cスレーブの動作状態を表示します。

1(R): ビジー

0(R): スタンバイ(デフォルト)

ISTG/USI_ISTGxレジスタに1を書き込むと(I²Cスレーブ動作の開始)、ISBSYが1に設定され、I²Cコントローラがビジー(動作中)であることを示します。指定した動作が終了すると、ISBSYが0にリセットされます。

D[4:2] ISSTA[2:0]: I²C Slave Status Bits

I²Cスレーブの状態を表示します。

表19.8.6 I²Cスレーブのステータスビット

ISSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファが満杯
0x2	送信データバッファが空
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

動作完了割り込みが発生したら、ISSTA[2:0]を読み出して終了した動作を確認します。

ISSTA[2:0]はISIFに1を書き込むことで自動的に0x0になります。

D1 ISEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラーが発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

ISEIFはオーバーランエラーが発生すると1にセットされます。ISEIE/USI_ISIExレジスタが1であれば、同時に受信エラー割り込み要求がITCに送られます。受信データをリードせず2バイト受信完了後、送信または受信のトリガをかけた時点でオーバーランエラーが発生します。オーバーランエラーが発生したら、ISEIFフラグをクリアと受信バッファの読み出しを2回実行してください。

D0 ISIF: Operation Completion Flag Bit

トリガ動作が完了しているか否かを示します。

- 1(R): 完了
- 0(R): 未了(デフォルト)
- 1(W): 0にリセット
- 0(W): 無効

ISIFは、USI_ISTGxレジスタを使用して指定およびトリガされた動作が完了したときに1にセットされます。ISIE/USI_ISIExレジスタが1であれば、同時に動作完了割り込み要求がITCに送られます。ISIFは1を書き込むことでリセットされます。

19.9 注意事項

インタフェースモードの設定

必ずソフトウェアリセットを実行して(USIMOD[2:0]/USI_GCFGxレジスタ = 0x0)インタフェースモードを設定してから(USIMOD[2:0]/USI_GCFGxレジスタ = 0x1 ~ 0x5)、他のUSI設定を変更してください。

ビジーフラグ

以下に示すビジーフラグのセットは遅延を伴う場合があります。ビジーフラグをセットする動作を実行した後にビジーステータスを確認するときには、T8F出力クロックの少なくとも1サイクル待つてからフラグを読み出してください。待ち時間を挿入せずにフラグを読み出した場合、そのフラグは現在の状態を正しく示さない場合があります。

表19.9.1 ビジーフラグと遅延条件

インタフェースモード	ビジーフラグ	遅延の発生するタイミング
UARTモード	UTBSY/USI_UIFレジスタ	送信データが送信データバッファに書き込まれた後
SPIマスターモード	SSIF/USI_SIFxレジスタ	通常モードで送信データが送信データバッファに書き込まれた後(ファストモードでは遅延は発生しません)
SPIスレーブモード	なし	-
I ² Cマスターモード	IMBSY/USI_IMIFxレジスタ	トリガビットをセットした後
I ² Cスレーブモード	ISBSY/USI_ISIFxレジスタ	トリガビットをセットした後

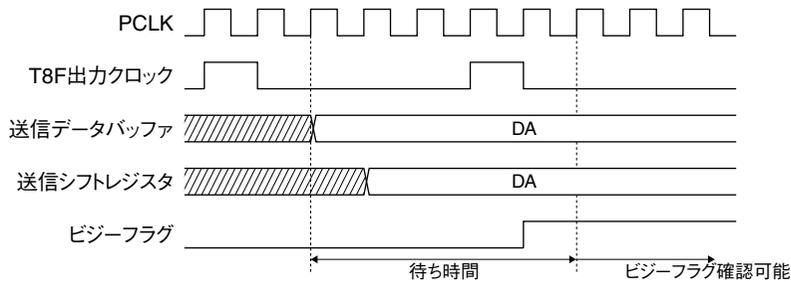


図19.9.1 ビジーフラグを読み出す前の待ち時間

SPIスレーブモードでのオーバーランエラーフラグ

オーバーランエラーフラグはSPIスレーブモードでは無効です。オーバーラン状態は、以下に示す手順で確認する必要があります。

1. 受信バッファフルフラグ(SRDIF/USI_SIFxレジスタ)を確認してからフラグをクリアします。
2. 受信データバッファを読み出します。
3. SRDIFをもう一度確認します。SRDIF = 1のときオーバーランエラーが発生しています。SRDIF = 0のとき、オーバーランエラーは発生していません。

(SRDIFが1にセットされていても、シフトレジスタへの次のデータ受信が終了するまで、バッファ内の受信データは有効です。ただし、これはオーバーランエラーとして取り扱う必要があります。実際のオーバーランエラーは受信データバッファを読み出す前に発生する場合があります。)オーバーランエラーをリセットするには、SRDIFに1を書き込んだ後、Receive Buffer Register(USI_RDx)を2回リードします。

I²Cスレーブモードでの制御バイトの受信

外部のI²Cマスタデバイスは、スレーブアドレスを送信した後にACKを受信したとき、I²Cスレーブデバイスに制御バイトを送信します。スレーブデバイスの次の動作は、その制御バイトによって決定されます。

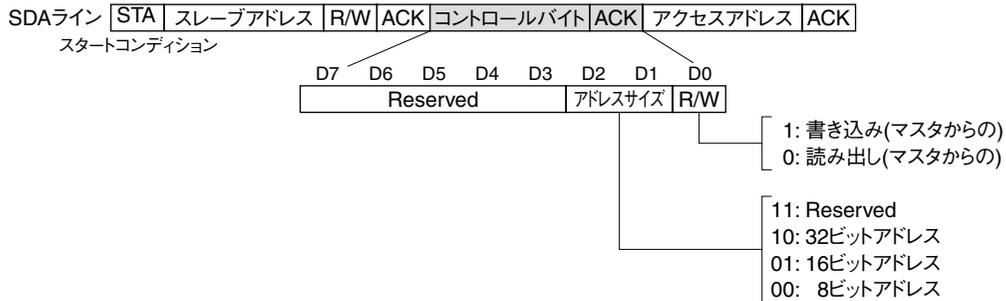


図19.9.2 I²Cマスタから送信される制御バイト

I²Cマスタ書き込み(マスタからのデータ受信)

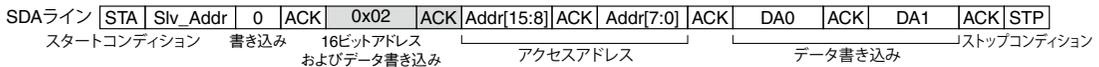


図19.9.3 I²Cマスタ書き込み(マスタからのデータ受信)

制御バイトによりアクセスアドレスのサイズと書き込み動作を指定します。制御バイトの後に続く受信データはアドレス、およびアクセスアドレスサイズに従って書き込むデータとして使用する必要があります。

I²Cマスタ読み出し(マスタへのデータ送信)



図19.9.4 I²Cマスタ読み出し(マスタへのデータ送信)

マスタは制御バイトに続いてアクセスアドレスを送信します。制御バイトとアドレスデータのデータ受信を実行して、送信データの読み出し先アドレスを決定します。Addr 0に対してACKを送信した後、ISTGMOD[2:0]/USI_ISTG_xレジスタを0x0に、およびISTG/USI_ISTG_xレジスタを1に設定し、スタートコンディションを待ちます。このスタートコンディションはデータを読み出せるよう(スレーブがデータを読み出して送信できるよう)マスタから送信されるものです。

20 I²Cマスタ (I2CM)

20.1 I2CMモジュールの概要

S1C17803は、高速同期シリアル通信用に、I²Cマスタ (I2CM)モジュールを内蔵しています。I2CMモジュールの主な機能と特長を以下に示します。

- I²Cバスマスタデバイスとして動作(シングルマスタとしてのみ使用可能)
- 標準(100kbps)モードおよびファストモード(400kbps)に対応
- 7ビットアドレスモード(10ビットアドレスもソフトウェア制御により対応可能)
- 1バイトの受信データバッファと1バイトの送信バッファを内蔵
- データ転送の信頼性を向上させるノイズ除去機能
- 受信バッファフル、送信バッファエンプティ割り込みを発生可能

図20.1.1にI2CMモジュールの構成を示します。

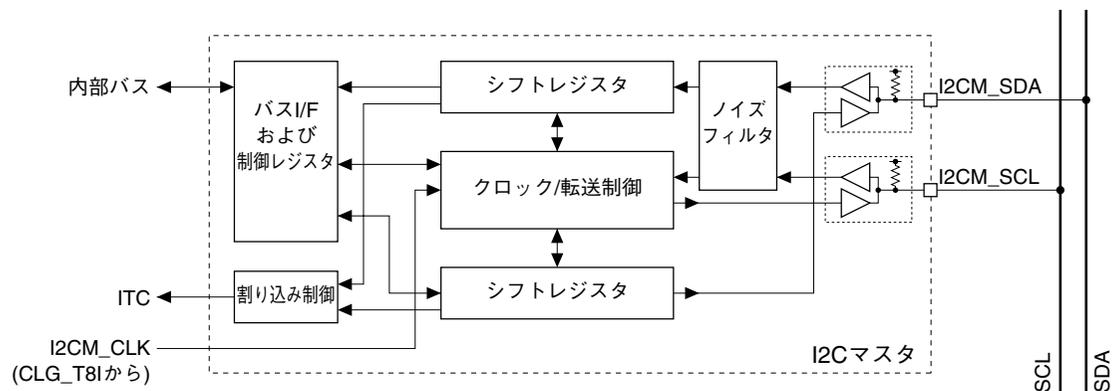


図20.1.1 I2CMの構成

20.2 I2CM入出力端子

表20.2.1にI2CM端子の一覧を示します。

表20.2.1 I2CM端子一覧

端子名	I/O	本数	機能
I2CM_SDA	I/O	1	I2CMデータ入出力端子 I ² Cバスからシリアルデータを入力します。また、シリアルデータをI ² Cバスに出力します。
I2CM_SCL	I/O	1	I2CM SCL入出力端子 SCLラインの状態を入力します。また、シリアルクロックを出力します。

I2CMの入出力端子(I2CM_SDA、I2CM_SCL)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI2CMの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能の切り換えの詳細については、“汎用入出力ポート (GPIO)”の章を参照してください。

20.3 I²Cマスタクロック

I2CMモジュールは、CLG_T8Iが使用するI2CM_CLKクロック出力を同期クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、I2CM_SCL端子からスレーブデバイスへ出力されます。CLG_T8Iから転送レートに合ったクロックが出力されるようにプログラムしてください。CLG_T8Iの制御については、“クロックジェネレータ (CLG)”の章を参照してください。

なお、クロックストレッチを行うスレーブデバイスと通信を行う場合、対応する転送レートは標準モード時に50 kbps、ファストモード時に200 kbps までになりますので、ご注意ください。

I2CMモジュールはスレーブデバイスとしては機能しません。I2CM_SCL入力端子はI²CバスのSCL信号の状態チェックに使用され、同期クロックの入力用には使用されません。

20.4 データ転送前の設定項目

I2CMモジュールには、アプリケーションプログラムから選択可能なノイズ除去のオプション機能があります。

ノイズ除去機能

I2CMモジュールには、I2CM_SDAおよびI2CM_SCL端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NSERM/I2CM_CTLレジスタを1に設定することにより有効となります。ただし、この機能を使用するには、I2CMクロック(CLG_T8I出力クロック)周波数をPCLK_SOCの1/6以下に設定する必要があります。

20.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I2CM_CLKクロックが出力されるようにCLG_T8Iを設定します。“CLG”の章を参照してください。
- (2) オプション機能を選択します。20.4節を参照してください。
- (3) I2CM割り込みを使用する場合は、割り込み条件を設定します。20.6節を参照してください。

注: 上記の設定は、必ずI2CMモジュールが停止中(I2CMEN/I2CM_ENレジスタ = 0)に行ってください。

データ送受信を許可

最初にI2CMEN/I2CM_ENレジスタを1に設定してI2CMの動作を許可します。これにより、I2CMが送受信可能な状態となり、クロックの入出力も許可されます。

注: I2CMモジュールが送受信中はI2CMENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、I²Cマスタ(本モジュール)がスタートコンディションを生成する必要があります。それに引き続いてスレーブアドレスを送信し、通信を確立します。

(1) スタートコンディションの生成

スタートコンディションは、SCLラインをHighに保ち、SDAラインをLowにプルダウンしたときに成立します。

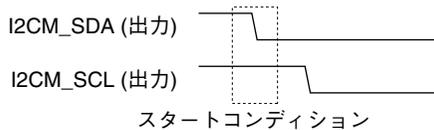


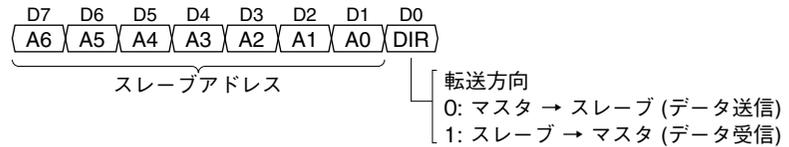
図20.5.1 スタートコンディション

このスタートコンディションは、STRT/I2CM_CTLレジスタを1に設定することで生成されます。スタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I²Cバスはビジー状態になります。

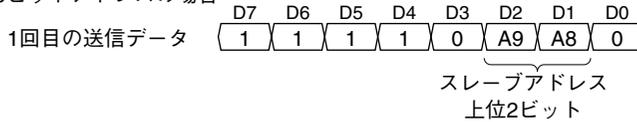
(2) スレーブアドレスの送信

スタートコンディションの生成後、I²Cマスタ(本モジュール)は通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I²Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データレジスタを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回の送信を行います。アドレスデータの構成を図20.5.2に示します。

7ビットアドレスの場合



10ビットアドレスの場合



(データ受信時)

2回目の送信データ後、リピーテッドスタート発行し、以下3回目のデータを送信。

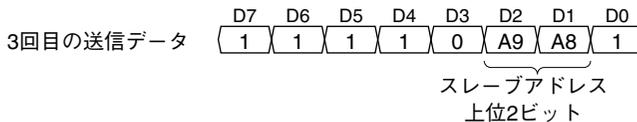


図20.5.2 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に、スレーブからのデータの受信時は1に設定します。スレーブアドレスを送信するには、アドレスと転送方向ビットをRTDT[7:0]/I2CM_DATレジスタに設定します。同時に、アドレスの送信を実行するTXE/I2CM_DATレジスタを1に設定します。スレーブアドレス出力後は、データの送信またはデータの受信を必要な回数行います。スレーブアドレスと共に設定した転送方向のとおり、データ送信またはデータ受信を行う必要があります。

データ送信制御

以下、データの送信方法を説明します。データの送信は、スレーブアドレスの送信と同様の手順で行います。

バイトデータを送信するには、送信データをRTDT[7:0]に設定します。同時に、1バイトの送信を実行するTXEを1に設定します。

TXEビットが1に設定されると、I2CMモジュールはクロックに同期してデータ送信を開始します。前のデータを送信中の場合は、その完了後に開始します。まず、I2CMモジュールは書き込まれたデータをシフトレジスタに転送し、I2CM_SCL端子からクロックの出力を開始します。この時点でTXEが0にリセットされると共に割り込み要因が発生しますので、この後、次の送信データとTXEの再設定を行うことができます。

シフトレジスタ内のデータビットはクロックの立ち下がりエッジで順次シフトされ、MSBを先頭にI2CM_SDA端子から出力されます。I2CMモジュールは1回のデータ送信に9個のクロックを出力します。9個目のクロックサイクルでは、SDAラインをハイインピーダンスにしてスレーブデバイスからのACKまたはNAKを受信します。

スレーブデバイスは、データを受信できた場合はマスタにACK(0)を返します。受信できなかったときはSDAラインがプルダウンされませんので、I2CMモジュールはこれをNAK(1)と見なします(送信失敗)。

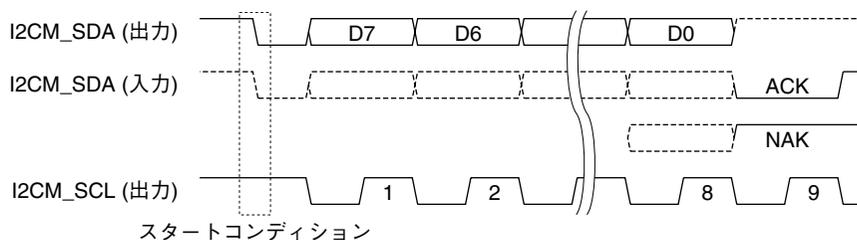


図20.5.3 ACKとNAK

I2CMモジュールには送信の制御用にTBUSY/I2CM_CTLレジスタとRTACK/I2CM_DATレジスタの2つのステータスビットが用意されています。

TBUSYフラグはデータ送信状態を示します。このフラグは送信(スレーブアドレスの送信も含む)を開始すると1になり、データ送信が終了すると0に戻ります。I2CMモジュールが送信動作中か待機中かについては、このフラグを読み出して確認してください。

RTACKビットは、前回の送信時にスレーブデバイスがACKを返したかどうかを示します。ACKが返っていればRTACKは0、ACKが返っていなければRTACKは1となります。

データ受信制御

以下、データの受信方法を説明します。データ受信の場合は、転送方向ビットを1としたスレーブアドレスを送信しておく必要があります。

データを受信するには、1バイトの受信を実行するRXE/I2CM_DATレジスタを1に設定します。スレーブアドレス送信時にTXE/I2CM_DATレジスタを1に設定しますが、そのとき同時にRXEを1に設定しておくことができます。TXEとRXEが両方共に1の場合はTXEが優先されます。

RXEビットが1に設定され、受信を開始できる状態になると、I2CMモジュールはSDAラインをハイインピーダンスにして、I2CM_SCL端子からクロックの出力を開始します。データはMSBを先頭に、クロックに同期して順次シフトレジスタに取り込まれます。

RXEはD7の取り込み時に0にリセットされます。

8ビットのデータをシフトレジスタに受信し終わると、受信データはRTDT[7:0]にロードされます。

I2CMモジュールには受信の制御用にRBRDY/I2CM_DATレジスタとRBUSY/I2CM_CTLレジスタの2つのステータスビットが用意されています。

RBRDYフラグは受信データの状態を示します。このフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます。

RBUSYフラグは受信動作状態を示します。このフラグは受信を開始すると1になり、データ受信が終了すると0に戻ります。I2CMモジュールが受信動作中か待機中かについては、このフラグを読み出して確認してください。

ポーリングで受信待ちをする場合はRBUSYフラグを使用し、下記の手順で行ってください。CPUへの割り込みを禁止する理由は、3と4の2つの状態遷移を確実にポーリングで確認するためです。

1. di命令でCPUを割り込み禁止状態にします。
2. RXEに1を書き込み、受信の準備をします。
3. RBUSYが1(受信開始)になるのを待ちます。
4. RBUSYが0(受信終了)になるのを待ちます。
5. RTDT(受信データ)を読み出します。
6. ei命令でCPUを割り込み許可状態に戻します。

I2CMモジュールは1回のデータ受信に9個のクロックを出力します。9個目のクロックサイクルでは、I2CM_SDA端子からスレーブに対してACKまたはNAKを送信します。送信するビットの状態はRTACK/I2CM_DATレジスタに設定可能です。ACKを送信するにはRTACKを0に設定します。NAKを送信するにはRTACKを1に設定します。

データ送受信の終了(ストップコンディションの生成)

全データの送受信が終了した後、データ転送を終了するには、I²Cマスタ(本モジュール)がストップコンディションを生成する必要があります。ストップコンディションは、SCLラインをHighに保ち、SDAラインをLowからHighにプルアップしたときに成立します。



図20.5.4 ストップコンディション

このストップコンディションは、STP/I2CM_CTLレジスタを1に設定して生成します。STPを1に設定すると、I2CMモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。STPの1への設定は、TBUSY = 1 またはRBUSY = 1から、TBUSY = RBUSY = 0 への遷移 (I2CMモジュールのデータ送受信動作の完了)を確認し、さらに、設定している PC のクロック周期の 1/4 より長い時間が経過した後に行ってください。また、クロックストレッチ機能を持つスレーブデバイスに対してストップコンディションを生成する場合は、データの送受信 (ACK/NAK送受信も含む)が終了し、さらにスレーブデバイスがクロックストレッチを終了するまでの時間が経過した後に、STPへ1を書き込んでください。

データ送受信の継続 (リピーテッドスタートコンディションの生成)

データの送受信が終了した後、さらに別の送受信を続けて行いたい場合などには、I²Cマスタ (本モジュール) でリピーテッドスタートコンディションを生成することが可能です。

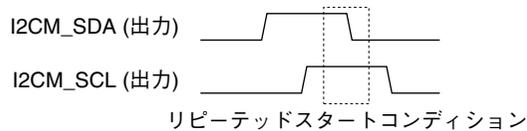


図20.5.5 リピーテッドスタートコンディション

リピーテッドスタートコンディションは、I²Cバスがビジー状態のときにSTRT/I2CM_CTLレジスタを1に設定することで生成されます。

リピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I²Cバスはビジー状態を保ったままスレーブアドレスの送信が可能な状態になります。

データ送受信を禁止

ストップコンディションを生成した後は、I2CENビットに0を書き込んでデータ送受信を禁止します。ストップコンディション生成の完了は、STPを1に設定したのちに、0へ自動的にクリアされたことをポーリングすることにより、確認できます。

I²Cバスがビジー状態のときにI2CMENを0に設定した場合、SCL0, SDA0の出力レベル、および転送中のデータは保証されません。

タイミングチャート

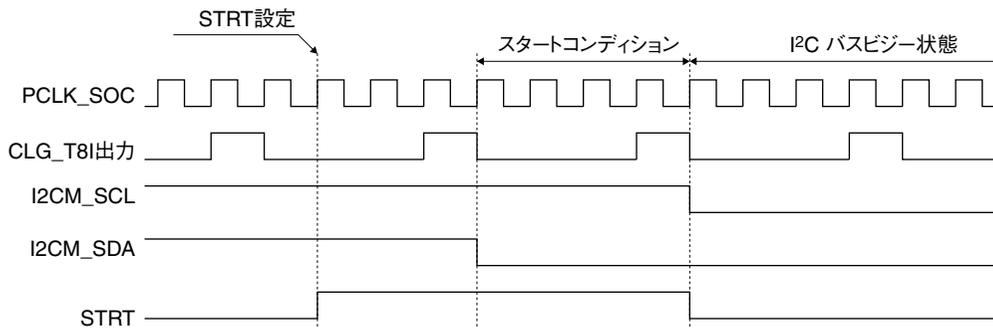


図20.5.6 スタートコンディション生成

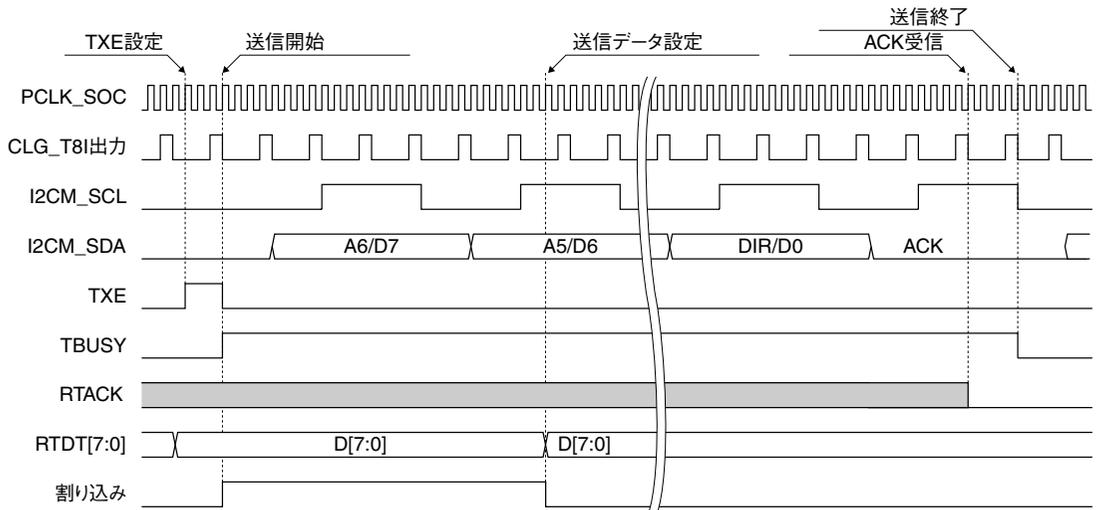


図20.5.7 スレーブアドレス送信/データ送信

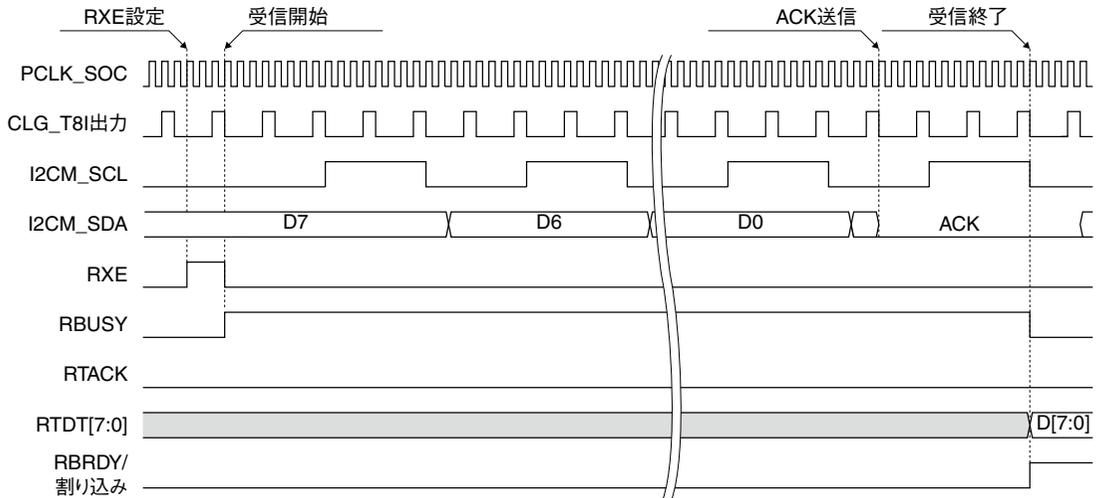


図20.5.8 データ受信

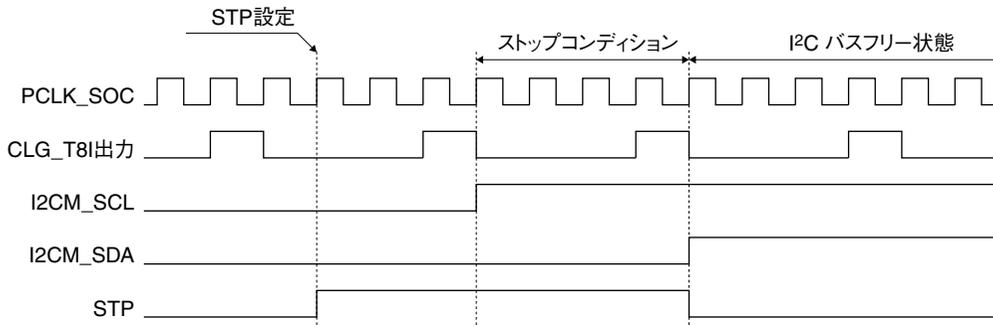


図20.5.9 ストップコンディション生成

20.6 I2CM割り込み

I2CMモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

I2CMモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。

送信バッファエンプティ割り込み

この割り込みを使用するには、TINTE/I2CM_ICTLレジスタを1に設定します。TINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信バッファエンプティ割り込みが許可されていれば (TINTE = 1)、RTDT[7:0]/I2CM_DATレジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

受信バッファフル割り込み

この割り込みを使用するには、RINTE/I2CM_ICTLレジスタを1に設定します。RINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されていれば (RINTE = 1)、シフトレジスタに受信したデータがRTDT[7:0]にロードされた時点で割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

割り込み処理の詳細については、“割り込みコントローラ (ITC)”の章を参照してください。

20.7 制御レジスタ詳細

表20.7.1 I2CMレジスタ一覧

アドレス	レジスタ名		機能
0x4340	I2CM_EN	I ² C Master Enable Register	I ² Cマスタモジュールイネーブル
0x4342	I2CM_CTL	I ² C Master Control Register	I ² Cマスタの制御と転送状態の表示
0x4344	I2CM_DAT	I ² C Master Data Register	送受信データ
0x4346	I2CM_ICTL	I ² C Master Interrupt Control Register	I ² Cマスタ割り込みの制御

以下、I2CMモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

I²C Master Enable Register (I2CM_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Enable Register (I2CM_EN)	0x4340 (16 bits)	D15-1	–	reserved	–	–	–	0 when being read.
		D0	I2CMEN	I ² C master enable	1 Enable 0 Disable	0	R/W	

D[15:1] Reserved

D0 I2CMEN: I²C Master Enable Bit

I2CMモジュールの動作を許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

I2CMENを1に設定するとI2CMモジュールが動作を開始し、データ転送が行える状態になります。I2CMENを0に設定すると、I2CMモジュールは動作を停止します。

I²C Master Control Register (I2CM_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
I ² C Master Control Register (I2CM_CTL)	0x4342 (16 bits)	D15-10	–	reserved		–	–	–	0 when being read.	
		D9	RBUSY	Receive busy flag	1	Busy	0	Idle	0	R
		D8	TBUSY	Transmit busy flag	1	Busy	0	Idle	0	R
		D7-5	–	reserved		–	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1	On	0	Off	0	R/W
		D3-2	–	reserved		–	–	–	–	0 when being read.
		D1	STP	Stop control	1	Stop	0	Ignored	0	R/W
		D0	STRT	Start control	1	Start	0	Ignored	0	R/W

D[15:10] Reserved

D9 **RBUSY: Receive Busy Flag Bit**

I2CMの受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

RBUSYはI2CMがデータ受信を開始すると1にセットされ、受信中は1を保持します。受信動作が終了すると、0にクリアされます。

D8 **TBUSY: Transmit Busy Flag Bit**

I2CMの送信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TBUSYはI2CMがデータ送信を開始すると1にセットされ、送信中は1を保持します。送信動作が終了すると、0にクリアされます。

D[7:5] Reserved

D4 **NSERM: Noise Remove On/Off Bit**

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I2CMモジュールには、I2CM_SDAおよびI2CM_SCL端子の入力信号からノイズを除去する機能が組み込まれています。ただし、この機能を使用するには、I2CM_CLKクロック(CLG_T8I出力クロック)周波数をPCLK_SOCの1/6以下に設定する必要があります。

D[3:2] Reserved

D1 **STP: Stop Control Bit**

ストップコンディションを生成します。

1(R/W): ストップコンディションを生成

0(R/W): 無効(デフォルト)

STPを1に設定すると、I2CMモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。ストップコンディションは、データ転送(ACKの転送も含む)終了時にSTPが1、TXE/I2CM_DATレジスタ、RXE/I2CM_DATレジスタ、およびSTRTが0に設定されている場合にのみ生成されます。ストップコンディションが生成されると、STPは自動的に0にリセットされます。

D0 **STRT: Start Control Bit**

スタートコンディションを生成します。

1(R/W): スタートコンディションを生成

0(R/W): 無効(デフォルト)

STRTを1に設定すると、I2CMモジュールはI²CバスのSCLラインをHighに保った状態で、SDAラインをLowにしてスタートコンディションを生成します。I²Cバスがビジー状態のときにSTRTを1に設定することにより、リピーテッドスタートコンディションを生成することもできます。

スタートコンディションまたはリピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降I2Cバスは、ビジー状態になります。

I2C Master Data Register (I2CM_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I2C Master Data Register (I2CM_DAT)	0x4344 (16 bits)	D15-12	—	reserved	—	—	—	0 when being read.
		D11	RBRDY	Receive buffer ready flag	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7-0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:12] Reserved

D11 **RBRDY: Receive Buffer Ready Flag Bit**

受信バッファの状態を示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

RBRDYフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできます。

注: ポーリングで受信待ちをする場合はRBUSYフラグを使用してください。RBRDYフラグでのポーリングによる受信待ちはできません。ポーリングによる受信待ち制御手順については、“20.5データ送受信の制御”内の“データ受信制御”を参照してください。

D10 **RXE: Receive Execution Bit**

1バイトのデータ受信を実行します。

1(R/W): データ受信開始

0(R/W): 無効(デフォルト)

RXEを1、TXEを0に設定することにより、1バイトのデータ受信を開始します。スレーブアドレスの送信中またはデータの受信中でも、次の受信のためにRXEを1に設定しておくことができます。RXEはD6がシフトレジスタに取り込まれた時点で0にリセットされます。

D9 **TXE: Transmit Execution Bit**

1バイトのデータ送信を実行します。

1(R/W): データ送信開始

0(R/W): 無効(デフォルト)

送信データをRTDT[7:0]に設定するとともにTXEに1を書き込んで送信を開始します。スレーブアドレスまたはデータの送信中であっても、次の送信のためにTXEを1に設定しておくことができます。TXEはRTDT[7:0]に設定したデータがシフトレジスタに転送された時点で0にリセットされます。

D8 **RTACK: Receive/Transmit ACK Bit**

データ送信時

応答ビットの状態を示します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

1バイトのデータを送信後、スレーブからACKが返るとRTACKは0になります。これは、スレーブがデータを正常に受信できたことを示します。RTACKが1の場合、スレーブデバイスが動作していないか、データが正常に受信できなかったことを示します。

データ受信時

スレーブに送信する応答ビットを設定します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

データ受信後にACKを返す場合は、I2CMモジュールが応答ビットを送る前にRTACKを0に設定してください。NAKを返す場合は、RTACKを1に設定します。

D[7:0] RTDT[7:0]: Receive/Transmit Data Bits

データ送信時

送信データを設定します。(デフォルト: 0x0)

データ送信は、TXEを1に設定することにより開始します。現在スレーブアドレスまたはデータを送信中の場合は、その終了後に新たな送信を開始します。I2CM_SDA端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信バッファエンプティ割り込み要因が発生します。それ以降であれば、次の送信データを書き込むことができます。

データ受信時

受信データが読み出せます。(デフォルト: 0x0)

データ受信はRXEを1に設定すると開始します。現在スレーブアドレス送信中またはデータ受信の場合は、その終了後に新たな受信を開始します。受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRBRDYフラグがセットされ、受信バッファフル割り込み要因が発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。I2CM_SDA端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

I2C Master Interrupt Control Register (I2CM_ICTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
I2C Master Interrupt Control Register (I2CM_ICTL)	0x4346 (16 bits)	D15-2	-	reserved				-	-	0 when being read.	
		D1	RINTE	Receive interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	TINTE	Transmit interrupt enable	1	Enable	0	Disable	0	R/W	

D[15:2] Reserved

D1 RINTE: Receive Interrupt Enable Bit

I2CMの受信バッファフル割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RINTEを1に設定すると、受信バッファフルによるI2CM割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがRTDT[7:0]/I2CM_DATレジスタに転送される(受信が完了する)ことにより発生します。

RINTEを0に設定すると、I2CM受信バッファフル割り込みは発生しません。

D0 TINTE: Transmit Interrupt Enable Bit

I2CMの送信バッファエンプティ割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TINTEを1に設定すると、送信バッファエンプティによるI2CM割り込み要求のITCへの出力を許可します。この割り込み要求は、RTDT[7:0]レジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TINTEを0に設定すると、I2CM送信バッファエンプティ割り込みは発生しません。

21 I²Cスレーブ (I2CS)

21.1 I2CSモジュールの概要

S1C17803は、高速同期シリアル通信用に、I²Cスレーブ (I2CS) モジュールを内蔵しています。I2CSモジュールの主な機能と特長を以下に示します。

- I²Cバススレーブデバイスとして動作
- 標準(100kbps)モードおよびファストモード(400kbps)に対応
- 7ビットアドレスモード
- クロックストレッチ機能に対応
- 1バイトの受信データバッファと1バイトの送信バッファを内蔵
- データ転送の信頼性を向上させるノイズ除去機能
- 受信バッファフル、送信バッファエンプティ、バスステータス割り込みを発生可能

図21.1.1にI2CSモジュールの構成を示します。

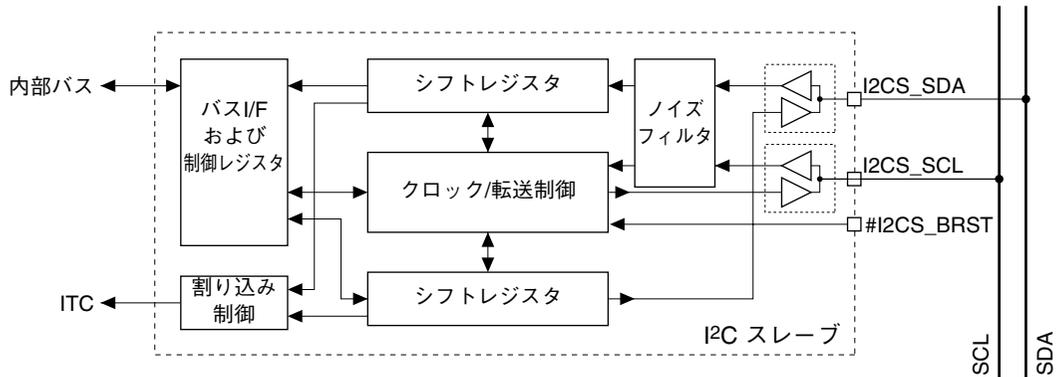


図21.1.1 I2CSの構成

注: 本I2CSモジュールはゼネラルコールアドレスおよび10ビットアドレスモードには対応していません。

21.2 I2CS入出力端子

表21.2.1にI2CSモジュール端子の一覧を示します。

表21.2.1 I2CS端子一覧

端子名	I/O	本数	機能
I2CS_SDA	I/O	1	I2CSデータ入出力端子 I ² Cバスからシリアルデータを入力します。また、シリアルデータをI ² Cバスに出力します。
I2CS_SCL	I/O	1	I2CSクロック入出力端子 SCLラインの状態を入力します。 また、クロックストレッチ動作時はLowレベルを出力します。
#I2CS_BRST	I	1	I2Cバス解放要求入力端子 Lowレベルの入力により、I ² Cバスの解放を要求します。ソフトウェアによって要求入力が許可されていれば、I2CSの通信プロセスが初期化され、I2CS_SDAおよびI2CS_SCL端子がハイインピーダンスになります。

I2CSモジュールの入出力端子 (I2CS_SDA、I2CS_SCL、#I2CS_BRST) は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI2CSモジュールの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子の機能の切り換えの詳細については、“汎用入出力ポート (GPIO)” の章を参照してください。

21.3 I²Cスレーブクロック

I2CSモジュールは、外部I²Cマスタが出力するクロックをI2CS_SCL端子から入力して動作します。I2CSモジュールの動作にはシステムクロック(PCLK_SOC)も使用されます。データ転送時はPCLK_SOCをI2CS_SCL入力クロック周波数の8倍以上に設定する必要があります。転送待機時は非同期アドレス検出機能によりPCLK_SOCを低く抑えることができます(消費電流を低減できます)。詳細については、“21.4.3 オプション機能”内の“非同期アドレス検出機能”を参照してください。

21.4 I2CSの初期設定

21.4.1 リセット

通信プロセスの初期化やI²Cバスを解放状態(ハイインピーダンス)にするため、I2CSモジュールをリセットする必要があります。モジュールをリセットする方法には、イニシャルリセットの他に以下の2種類があります。

(1) ソフトウェアリセット

SOFTRESET/I2CS_CTLレジスタの操作により、I2CSモジュールをリセットできます。

リセットするには、SOFTRESETに1を書き込んでI2CSモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。

この操作により、I2CSモジュールは、スタートコンディション検出に待機するため、I²Cの通信プロセスを初期化するとともに、I2CS_SDAおよびI2CS_SCL端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI2CS制御ビットを初期化します。

通信を開始する前の初期設定時に、このリセット処理を行ってください。

(2) #I2CS_BRST端子入力によるバス解放要求

I2CSモジュールは、#I2CS_BRST端子入力によるバス解放要求を受け付け可能です。本デバイスのデフォルト設定では、バス解放要求受け付け機能が無効です。機能を有効にするには、BFREQ_EN/I2CS_CTLレジスタを1に設定してください。

機能を有効にすると、#I2CS_BRST端子へのLowパルス入力(システムクロック(PCLK_OSC)1クロック以上のパルス幅が必要。2クロック以上を推奨。)によりBFREQ/I2CS_STATレジスタが1にセットされます。これにより、I²Cの通信プロセスが初期化され、I2CS_SDAおよびI2CS_SCL端子がハイインピーダンスになります。前述のソフトウェアリセットとは異なり、制御レジスタは初期化されません。

注: BFREQが1にセットされた場合(割り込みにて確認可能)はソフトウェアリセットを行い、再度各レジスタの設定を行ってください。

21.4.2 スレーブアドレスの設定

I²Cスレーブデバイスは、各デバイスを識別するために固有のスレーブアドレスを持ちます。

本I2CSモジュールは7ビットアドレスに対応しており(10ビットアドレスには未対応)、本デバイスのアドレスをSADRS[6:0]/I2CS_SADRSレジスタに設定しておきます。

21.4.3 オプション機能

I2CSモジュールには、アプリケーションプログラムから選択可能なクロックストレッチ、非同期アドレス検出、ノイズ除去のオプション機能があります。

クロックストレッチ機能

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。本デバイスのデフォルト設定では、クロックストレッチ機能が無効です。機能を有効にするには、送受信前にCLKSTR_EN/I2CS_CTLレジスタを1に設定してください。

なお、クロックストレッチ動作を行ったときのデータセットアップ時間(SDATA[7:0]のMSBをSDA1端子に出力してからSCL1端子のプルダウンを解除するまで)は、I²Cモジュールの動作クロック(PCLK_OSC)周波数に依存します。

非同期アドレス検出機能

データ通信時は、I²Cモジュールの動作クロック(PCLK_SOC)を転送速度の8倍以上の周波数に設定する必要があります。ただし、通信待機中に他の処理が不要の場合は、PCLK_SOCの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I²Cスレーブのアドレスを検出するための機能です。

本デバイスのデフォルト設定では、非同期アドレス検出機能が無効です。機能を有効にするには、ASDET_EN/I2CS_CTLレジスタを1に設定してください。

本機能を有効にした場合、マスタが送信したスレーブアドレスが本I²Cモジュールに設定されているスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にPCマスタに対してNAKを返し、スレーブアドレスの再送を要求します。

この割り込み処理ルーチン内でPCLK_SOCを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。マスタが生成するストップコンディションによりPCバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注:
- 非同期アドレス検出機能を有効にした場合、I²Cバス信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
 - 非同期アドレス検出機能を有効にすると、PCLK_SOCの周波数が転送速度の8倍以上であってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

ノイズ除去機能

I²Cモジュールには、I2CS_SDAおよびI2CS_SCL端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NF_EN/I2CS_CTLレジスタを1に設定することにより有効となります。

21.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I²Cモジュールの初期設定を行います。21.4節を参照してください。
- (2) I²C割り込みを使用する場合は、割り込み条件を設定します。21.6節を参照してください。

注: 上記の設定は、必ずI²Cモジュールが停止中(I2CSEN/I2CS_CTLレジスタ = 0)に行ってください。

データ送受信を許可

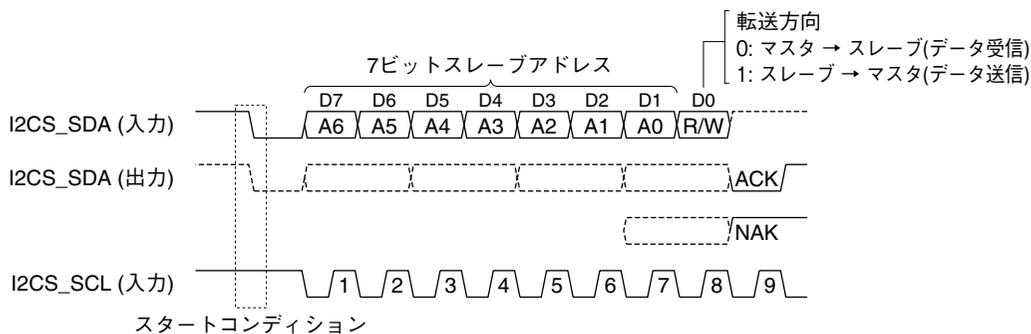
最初にI2CSEN/I2CS_CTLレジスタを1に設定してI²Cモジュールの動作を許可します。これにより、スタートコンディションの検出によって通信動作を開始できるようになります。

注: I²Cモジュールが送受信中はI2CSENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、COM_MODE/I2CS_CTLレジスタを1に設定して通信を許可します。スタートコンディションに続き、マスタから送られた本デバイスのスレーブアドレスを受信すると、I²CモジュールはマスタにACK(I2CS_SDA = Low)を返し、アドレスと共に受信した転送方向ビットによりデータ受信またはデータ送信動作を開始します。

COM_MODEが0(デフォルト)の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。



スタートコンディションを検出すると、BUSY/I2CS_ASTATレジスタが1にセットされ、I²Cバスがビジー状態になったことを示します。また、本デバイスのスレーブアドレスを受信するとSELECTED/I2CS_ASTATレジスタが1にセットされ、本モジュールがI²Cスレーブデバイスとして選択されたことを示します。BUSYレジスタは、ストップコンディションを検出するまで1を保持します。SELECTEDレジスタは、ストップコンディションかリピーテッドスタートコンディションを検出するまで1を保持します。

また、転送方向ビットの値がR/W/I2CS_ASTATレジスタにセットされますので、送信/受信処理の切り換えに利用してください。

非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDET/I2CS_STATレジスタが1にセットされます。本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、スレーブアドレスの再送を要求します。この割り込み処理ルーチン内でPCLK_SOCを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ASDETは1の書き込みでクリアされます。

データ送信

以下、データの送信方法を説明します。

前述のSELECTEDとR/Wビットがどちらも1になると、I2CSモジュールはデータ送信動作を開始します。TXEMP/I2CS_ASTATレジスタが1にセットされ、送信データの書き込みをアプリケーションに要求します。送信データは、SDATA[7:0]/I2CS_TRNSレジスタに書き込みます。

スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI2Cクロック(I2CS_SCL入力クロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF_CLR/I2CS_CTLレジスタを使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

最初の送信時以外は、TXEMPがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で送信データを書き込んでください。送信中にSDATA[7:0]に書き込んだ送信データがシフトレジスタに送られた場合も、TXEMPが1にセットされます。TXEMPは送信データのSDATA[7:0]への書き込みによりクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、1にセットされているTXEMPからI2Cクロック(I2CS_SCL入力クロック)の7サイクル以内にデータをI2CS_TRNSレジスタに書き込む必要があります。

この時間内に書き込みを行わないと、現在のレジスタ値(前の送信データ)が送信されてしまいます。この場合、TXUDF/I2CS_STATレジスタが1にセットされ、無効なデータが送られたことを示します。TXUDFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。TXUDFは1の書き込みでクリアされます。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、送信データがI2CS_TRNSレジスタに書き込まれるまでI2CSモジュールはI2CS_SCL端子をLowにプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

送信データはマスタから送られるI2CS_SCLカクロックに同期してI2CS_SDA端子からMSBを先頭に出力されます。8ビットの送信後、9ビット目のクロックサイクルにマスタからACKまたはNAKが返ります。

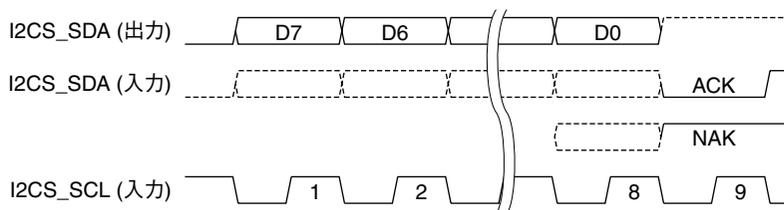


図21.5.2 ACKとNAK

ACKはマスタがデータを受信したことを示します。このACKは続くデータの送信要求でもありますので、次の送信データが書き込まれている必要があります。クロックストレッチ機能を有効にしている場合は、ACKの受信によりクロックストレッチ状態になりますので、ACK受信後にデータを書き込むこともできます。

マスタが正しく受信できなかった場合、あるいはマスタが受信を終了する場合はNAKが返ります。NAKが返った場合、クロックストレッチ機能を有効にしている場合でも、クロックストレッチ状態にはなりません。

ACKとNAKのどちらが返ったかについては、DA_NAK/I2CS_STATレジスタを読み出すことで確認できます。ACKが返るとDA_NAKは0に、NAKが返ると1に設定されます。DA_NAKが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理や送信終了処理を行うことができます。DA_NAKは1の書き込みでクリアされます。

データ送信中はSDAラインの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果はDMS/I2CS_STATレジスタにセットされます。正しく出力されている場合、DMSは0になります。SDAラインの状態が出力データと異なる場合、DMSは1にセットされます。この場合、プルアップ抵抗値が低い、ほかのI2CデバイスがSDAラインを制御している可能性があります。DMSが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理を行うことができます。DMSは1の書き込みでクリアされます。

注: 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I2CSがNAKを返信した場合、マスタは異なるスレーブアドレスを送信する前に33 μ s以上の待ち時間を取る必要があります(本I2CSのスレーブアドレスを送信する場合を除く)。

1. 通信レートを320kbps以上に設定している。
2. 非同期アドレス検出機能を有効にしている。
3. OSC1を動作クロック(PCLK)として、本I2CSが通信待機状態にある。

データ受信

以下、受信データの読み出し方法を説明します。

前述のSELECTEDビットが1、R/Wビットが0になると、I2CSモジュールはデータ受信動作を開始します。受信データは、マスタから送られるI2CS_SCL入力クロックに同期してI2CS_SDA端子から入力されます。8ビットのデータ(MSB先頭)がシフトレジスタに取り込まれると、受信データはRDATA[7:0]/I2CS_RECVレジスタにロードされます。

受信データがRDATA[7:0]にロードされると、RXRDY/I2CS_ASTATレジスタが1にセットされ、RDATA[7:0]の読み出しをアプリケーションに要求します。RXRDYがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で受信データを読み出してください。RXRDYは受信データの読み出しによってクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、1にセットされているRXRDYからI2Cクロック(I2CS_SCL入力クロック)の7サイクル以内にデータをI2CS_RECVレジスタから読み出す必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、受信データがI2CS_RECVレジスタから読み出されるまでI2CSモジュールはI2CS_SCL端子をLowにプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

データが読み出されずに次のデータを受信すると、RDATA[7:0]が上書きされてしまいます。この場合、RXOVF/I2CS_STATレジスタが1にセットされ、受信データが上書きされたことを示します。RXOVFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。RXOVFは1の書き込みでクリアされます。

データ受信時のNAK応答

データ受信時(マスタ送信時)は、8ビットの受信ごとにI2CSモジュールがマスタにACK(I2CS_SDA = Low)を返します(デフォルト設定)。これをNAK_ANS/I2CS_CTLレジスタの設定により、NAK(I2CS_SDA = Hi-Z)を返すように変更可能です。NAK_ANSが0の場合はACKが、1に設定するとNAKが返ります。

NAK_ANSの設定は、NAKを返す1つ前のデータ受信によるRXRDYのセットからI2Cクロック(I2CS_SCL入力クロック)の7サイクル以内に行ってください。

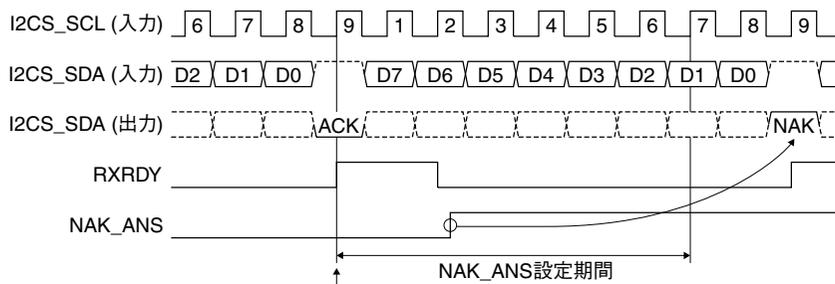


図21.5.3 NAK_ANSの設定とNAK応答タイミング

データ送受信の終了(ストップコンディションの検出)

データ転送はマスタがストップコンディションを生成することで終了します。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。



図21.5.4 ストップコンディション

本モジュールがスレーブとして選択されている状態 (SELECTED = 1) でストップコンディションを検出すると、I2CSモジュールはDA_STOP/I2CS_STATレジスタを1にセットします。同時にI2CS_SDAおよびI2CS_SCL端子をハイインピーダンスにするとともに、次のスタートコンディションに待機するため、I2Cの通信プロセスを初期化します。この時点でSELECTEDとBUSYが0にリセットされます。DA_STOPが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用して通信終了処理を行うことができます。DA_STOPは1の書き込みでクリアされます。

データ送受信を禁止

データ転送を終了後は、COM_MODE/I2CS_CTLレジスタに0を書き込んでデータ送受信を禁止します。

ただし、データ送受信を禁止する前に、BUSYとSELECTEDが0になっていることを確認してください。I2CSモジュールの動作を停止する場合は、I2CSEN/I2CS_CTLレジスタを0に設定します。

タイミングチャート

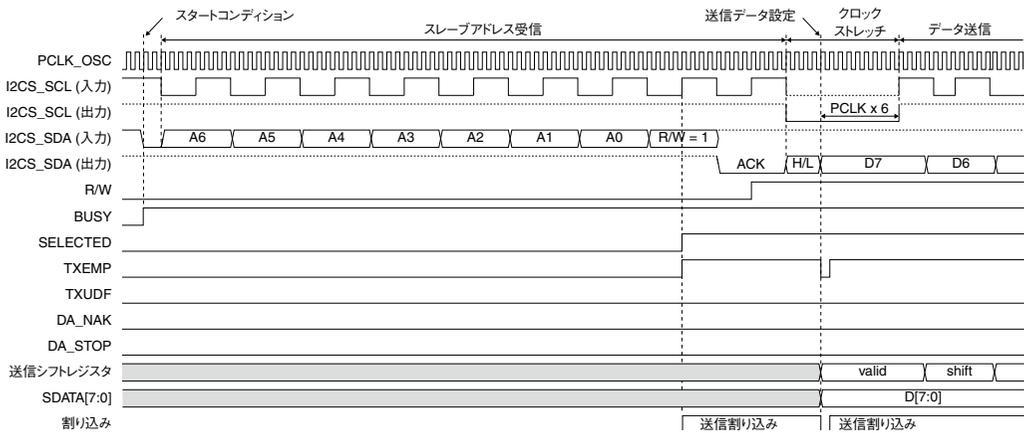


図21.5.5 I2CSタイミングチャート1(スタートコンディション→データ送信)

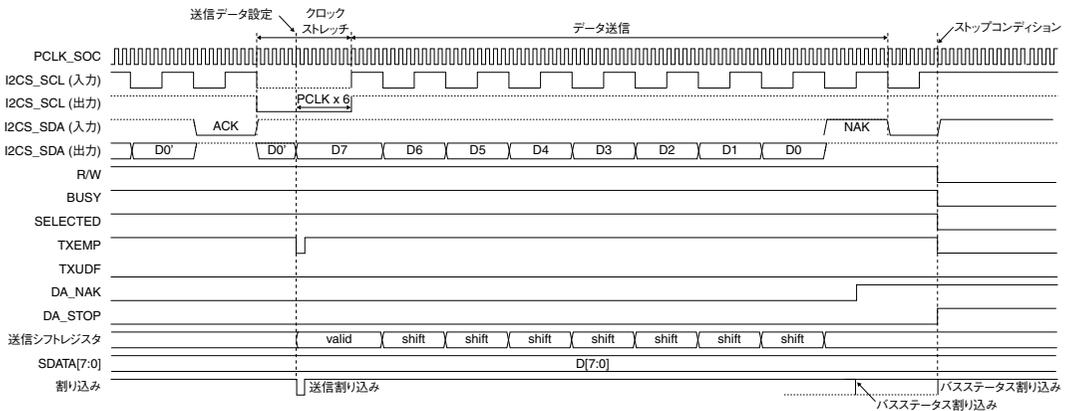


図21.5.6 I2CSタイミングチャート2(データ送信→ストップコンディション)

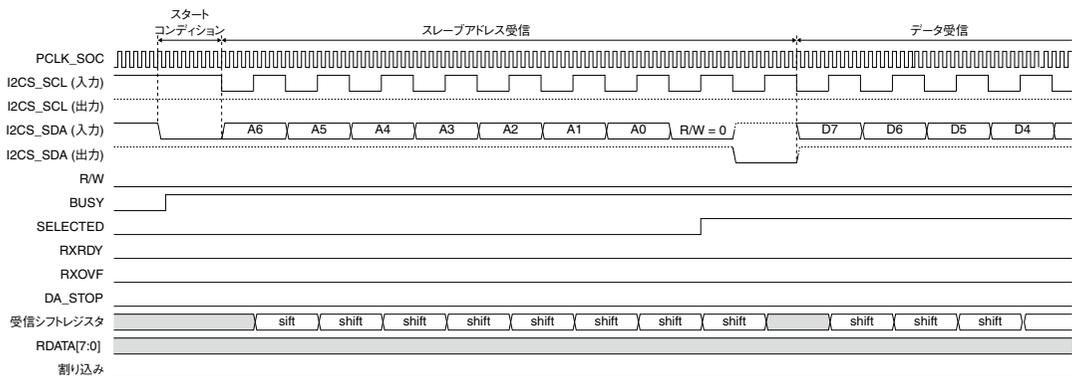


図21.5.7 I2CSタイミングチャート3(スタートコンディション→データ受信)

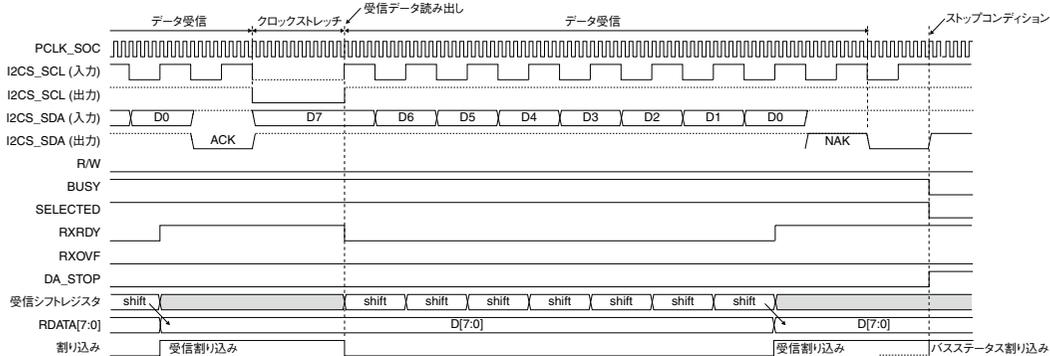


図21.5.8 I2CSタイミングチャート4(データ受信→ストップコンディション)

21.6 I2CS割り込み

I2CSモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 送信割り込み
- 受信割り込み
- バスステータス割り込み

I2CSモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。

送信割り込み

SDATA[7:0]/I2CS_TRNSレジスタに書き込んだ送信データがシフトレジスタに送られると、TXEMP/I2CS_ASTATレジスタが1にセットされ、割り込み信号がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。この割り込みを利用して、次の送信データをSDATA[7:0]に書き込むことができます。

この割り込みを使用するには、TXEMP_IEN/I2CS_ICTLレジスタを1に設定します。TXEMP_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信割り込み

受信データがRDATA[7:0]/I2CS_RECVレジスタにロードされると、RXRDY/I2CS_ASTATレジスタが1にセットされ、割り込み信号がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。この割り込みを利用して、受信データをRDATA[7:0]から読み出すことができます。

この割り込みを使用するには、RXRDY_IEN/I2CS_ICTLレジスタを1に設定します。RXRDY_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

バスステータス割り込み

I2CSモジュールには、送受信やI²Cバスの状態を示す以下のステータスビットが設けられています(機能の詳細は、21.5節を参照してください)。

1. ASDET/I2CS_STATレジスタ: スレーブアドレスが非同期アドレス検出機能により検出された時に1にセット
2. TXUDF/I2CS_STATレジスタ: 送信データ書き込み前に送信動作を開始した場合に1にセット (クロックストレッチが無効の場合)
3. DA_NAK/I2CS_STATレジスタ: 送信時にマスタデバイスからNAKが返った場合に1にセット
4. DMS/I2CS_STATレジスタ: 送信データとSDAラインの状態が異なる場合に1にセット
DMSは、他のスレーブデバイスが本I2CSスレーブアドレスに対してACK応答を行った場合も1にセットされます(ASDET_EN/I2CS_CTLレジスタ=0の場合)。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対してI2CSはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、I2CSによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。DMSが発生した場合でもSELECTED/I2CS_ASTATレジスタが0のときは、他のスレーブデバイスとACK/NAK応答が異なっても問題ありませんので無視してください。
この場合でも、非同期アドレス検出状態に設定されている場合DMSは発生しません。

5. RXOVF/I2CS_STATレジスタ: 受信データを読み出す前に次の受信が完了した(データが上書きされた)場合に1にセット(クロックストレッチが無効の場合)
6. BFREQ/I2CS_STATレジスタ: バス解放要求を受け付けた場合に1にセット
7. DA_STOP/I2CS_STATレジスタ: スレーブ選択状態でストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット

この中のいずれかのビットが1にセットされると、同時にBSTAT/I2CS_STATレジスタも1にセットされ、割り込み信号がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。この割り込みを利用して、エラー処理や終了処理が行えます。

この割り込みを使用するには、BSTAT_IEN/I2CS_ICTLレジスタを1に設定します。BSTAT_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

割り込み処理の詳細については、“割り込みコントローラ (ITC)”の章を参照してください。

21.7 制御レジスタ詳細

表21.7.1 I2CSレジスタ一覧

アドレス	レジスタ名		機能
0x4360	I2CS_TRNS	I2C Slave Transmit Data Register	I2CSスレーブ送信データ
0x4362	I2CS_RECV	I2C Slave Receive Data Register	I2CSスレーブ受信データ
0x4364	I2CS_SADRS	I2C Slave Address Setup Register	I2CSスレーブアドレスの設定
0x4366	I2CS_CTL	I2C Slave Control Register	I2CSスレーブの制御
0x4368	I2CS_STAT	I2C Slave Status Register	I2CSスレーブのバスステータスの表示
0x436a	I2CS_ASTAT	I2C Slave Access Status Register	I2CSスレーブのアクセスステータスの表示
0x436c	I2CS_ICTL	I2C Slave Interrupt Control Register	I2CSスレーブ割り込みの制御

以下、I2CSモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

I2C Slave Transmit Data Register (I2CS_TRNS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I2C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15-8 D7-0	reserved SDATA[7:0]	reserved I2C slave transmit data	- 0-0xff	- 0x0	- R/W	0 when being read.

D[15:8] Reserved

D[7:0] SDATA[7:0]: I2C Slave Transmit Data Bits

送信データを設定します。(デフォルト: 0x0)

I2CS_SDA端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信割り込みが発生します。それ以降であれば、次の送信データを書き込むことができます。

クロックストレッチ機能を無効にしている場合は、送信割り込み発生後、I2Cクロック (I2CS_SCL入力クロック)の7サイクル以内にデータを本レジスタに書き込む必要があります。

ただし、スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI2Cクロック (I2CS_SCL入力クロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF_CLR/I2CS_CTLレジスタを使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

I2C Slave Receive Data Register (I2CS_RECV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15-8 D7-0	RDATA[7:0]	reserved I2C slave receive data	– 0-0xff	– 0x0	– R	0 when being read.

D[15:8] Reserved**D[7:0] RDATA[7:0]: I2C Slave Receive Data Bits**

受信データが読み出せます。(デフォルト: 0x0)

I2CS_SDA端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRXRDY/I2CS_ASTATレジスタがセットされ、受信割り込みが発生します。これ以降、データの読み出しが可能です。

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI2Cクロック (I2CS_SCL入力クロック)の7サイクル以内にデータを本レジスタから読み出す必要があります。データが読み出されずに次のデータを受信すると、本レジスタは新たな受信データで上書きされてしまいます。

I2C Slave Address Setup Register (I2CS_SADRS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15-7 D6-0	SADRS[6:0]	reserved I2C slave address	– 0-0x7f	– 0x0	– R/W	0 when being read.

D[15:7] Reserved**D[6:0] SADRS[6:0]: I2C Slave Address Bits**

本モジュールのI2Cスレーブアドレスを設定します。(デフォルト: 0x0)

I2C Slave Control Register (I2CS_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state	0 Normal	0	R/W
		D7	I2CSEN	I2C slave enable	1 Enable	0 Disable	0	R/W
		D6	SOFTRE- SET	Software reset	1 Reset	0 Cancel	0	R/W
		D5	NAK_ANS	NAK answer	1 NAK	0 ACK	0	R/W
		D4	BFREQ_EN	Bus free request enable	1 Enable	0 Disable	0	R/W
		D3	CLKSTR_ EN	Clock stretch On/Off	1 On	0 Off	0	R/W
		D2	NF_EN	Noise filter On/Off	1 On	0 Off	0	R/W
		D1	ASDET_EN	Async.address detection On/Off	1 On	0 Off	0	R/W
D0	COM_ MODE	I2C slave communication mode	1 Active	0 Standby	0	R/W		

D[15:9] Reserved

D8 TBUF_CLR: I2CS_TRNS Register Clear Bit

I2CS_TRNSレジスタをクリアします。

1(R/W): クリア状態

0(R/W): 通常状態(クリア解除) (デフォルト)

TBUF_CLRに1を書き込むとI2CS_TRNSレジスタがクリア状態となり、その後0を書き込むとクリア状態が解除され通常の状態に戻ります。1と0の書き込みの間に待ち時間を挿入する必要はありません。

以前に終了した送信のデータがI2CS_TRNSレジスタに残っている状態で新たな送信を開始すると、TXEMP/I2CS_ASTATレジスタがセットされた時点でそのデータが送信されてしまいます。これを防ぐため、送信開始前(スレーブ選択の前)に本ビットによりI2CS_TRNSレジスタをクリアしてください。TXEMPのセット前に実際の送信データをI2CS_TRNSレジスタに書き込む場合、クリア操作は不要です。

I2CS_TRNSレジスタがクリア状態(TBUF_CLR = 1)でもI2CS_TRNSレジスタへのデータの書き込みは可能です。ただし、この書き込みによってTXEMPは0にリセットされません。また、その後TBUF_CLRを0に戻してもTXEMPは0にリセットされませんので、I2CS_TRNSレジスタへのデータの書き込みはTBUF_CLR = 0の状態で行ってください。

D7 I2CSEN: I2C Slave Enable Bit

I2CSモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CSENを1に設定するとI2CSモジュールが動作を開始し、データ転送が行える状態になります。I2CSENを0に設定すると、I2CSモジュールは動作を停止します。

D6 SOFTRESET: Software Reset Bit

I2CSモジュールをリセットします。

1(R/W): リセット

0(R/W): リセット解除(デフォルト)

I2CSモジュールをリセットするには、SOFTRESETに1を書き込んでモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。この操作により、I2CSモジュールは、スタートコンディション検出に待機するため、I2Cの通信プロセスを初期化するとともに、I2CS_SDA およびI2CS_SCL端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI2CS制御ビットを初期化します。通信を開始する前の初期設定時に、このリセット処理を行ってください。

D5 NAK_ANS: NAK Answer Bit

データ受信後の応答ビットを指定します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットデータの受信が完了後、I2CSモジュールはマスタにACK (I2CS_SDA = Low) または NAK (I2CS_SDA = Hi-Z) を返します。NAK_ANSでACKとNAKのどちらを返すか、1つ前のデータ受信によるRXRDYのセットからI2Cクロック (I2CS_SCL入力クロック) の7サイクル以内で指定しておきます。

D4 BFREQ_EN: Bus Free Request Enable Bit

#I2CS_BRST端子へのLowパルス入力によるI²Cバス解放要求を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I²Cバス解放要求を受け付ける場合に1に設定してください。バス解放要求を受け付けるとBFREQ/I2CS_STATレジスタが1にセットされます。これにより、I2CSモジュールはI2Cスレーブの通信プロセスを初期化し、I2CS_SDAおよびI2CS_SCL端子をハイインピーダンスにします。ソフトウェアリセットとは異なり、この処理で制御レジスタは初期化されません。

BFREQ_ENを0に設定すると、#I2CS_BRST端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 CLKSTR_EN: Clock Stretch On/Off Bit

クロックストレッチ機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される (SCLラインがHighになる) まで、送受信を中断して待機します。この機能を有効にするには、送受信前にCLKSTR_ENを1に設定してください。

D2 NF_EN: Noise Filter On/Off Bit

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I2CSモジュールには、I2CS_SDAおよびI2CS_SCL端子の入力信号からノイズを除去する機能が組み込まれています。NF_ENを1に設定することにより有効となります。

D1 ASDET_EN: Async. Address Detection On/Off Bit

非同期アドレス検出機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

データ通信時は、I2CSモジュールの動作クロック (PCLK_SOC) を転送速度の8倍以上の周波数に設定する必要があります。ただし、通信待機中に他の処理が不要の場合は、PCLK_SOCの周波数を下げて消費電流を抑えることができます。

非同期アドレス検出機能は、この場合でもマスタが送信するI2CSのスレーブアドレスを検出するための機能です。ASDET_ENを1に設定すると、この機能が有効になります。本機能を有効にした場合、マスタが送信したスレーブアドレスがI2CSに設定されているアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、スレーブアドレスの再送を要求します。この割り込み処理ルーチン内でPCLK_SOCを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。マスタが生成するストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

注: • 非同期アドレス検出機能を有効にした場合、I²Cバス信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。

• 非同期アドレス検出機能を有効にすると、PCLK_SOCの周波数が転送速度の8倍以上あってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

D0 COM_MODE: I2C Slave Communication Mode Bit

通信を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CSENを1に設定してI2CSモジュールの動作を許可した後、COM_MODEを1に設定して通信を許可します。COM_MODEが0の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

I2C Slave Status Register (I2CS_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I ² C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.	
		D7	BSTAT	Bus status transition	1 Changed	0 Unchanged	0	R	
		D6	–	reserved	–	–	–	–	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred	0 Not occurred	0	R/W	Reset by writing 1.
			RXOVF	Receive data overflow					
		D4	BFREQ	Bus free request	1 Occurred	0 Not occurred	0	R/W	
		D3	DMS	Output data mismatch	1 Error	0 Normal	0	R/W	
		D2	ASDET	Async. address detection status	1 Detected	0 Not detected	0	R/W	
		D1	DA_NAK	NAK receive status	1 NAK	0 ACK	0	R/W	
D0	DA_STOP	STOP condition detect	1 Detected	0 Not detected	0	R/W			

D[15:8] Reserved**D7 BSTAT: Bus Status Transition Bit**

バスの状態変化を示します。

1(R): 変化あり

0(R): 変化なし(デフォルト)

TXUDF/RXOVF、BFREQ、DMS、ASDET、DA_NAK、DA_STOPのいずれかのビットが1にセットされるとBSTATもセットされ、BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。TXUDF/RXOVF、BFREQ、DMS、ASDET、DA_NAK、DA_STOPのすべてのビットが0にリセットされることによりBSTATもリセットされます。

D6 Reserved**D5 TXUDF: Transmit Data Underflow Bit****RXOVF: Receive Data Overflow Bit**

送信/受信データレジスタの状態を示します。

1(R/W): データアンダーフロー/オーバーフローあり

0(R/W): データアンダーフロー/オーバーフローなし(デフォルト)

このビットはクロックストレッチ機能を無効にして送信/受信を行っている場合にのみ有効です。I2CS_TRNSレジスタに送信データを書き込む前に次の送信が始まった場合、送信データアンダーフローとしてTXUDFが1にセットされます。また、I2CS_RECVレジスタの受信データを読み出す前に次の受信が終了し、新たな受信データによってI2CS_RECVレジスタが上書きされると、データオーバーフローとしてRXOVFが1にセットされます。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたTXUDF/RXOVFは1の書き込みによりリセットできます。

D4 BFREQ: Bus Free Request Bit

I²Cバス解放要求の状態を示します。

1(R/W): 要求あり

0(R/W): 要求なし(デフォルト)

BFREQ_EN/I2CS_CTLレジスタが1(バス解放要求受け付け機能が有効)に設定されている場合、#I2CS_BRST端子からシステムクロック(PCLK_SOC)5クロック以上のパルス幅を持つLowパルスが入力されるとBFREQが1にセットされ、バス解放要求が受け付けられます。バス解放要求を受け付けると、I2CSモジュールはI²Cの通信プロセスを初期化し、I2CS_SDAおよび

びI2CS_SCL端子をハイインピーダンスにします。この処理でI2CSの制御レジスタは初期化されません。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、BFREQのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたBFREQは1の書き込みによりリセットできます。

BFREQ_ENが0に設定されていると、#I2CS_BRST端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 DMS: Output Data Mismatch Bit

出力データとSDAラインの状態の比較結果を示します。

1(R/W): エラーあり

0(R/W): エラーなし(デフォルト)

データ送信中はSDAラインの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果がDMSにセットされます。正しく出力されている場合、DMSは0になります。SDAラインの状態が出力データと異なる場合、DMSは1にセットされます。この場合、プルアップ抵抗値が低い、ほかのI2CデバイスがSDAラインを制御している可能性があります。BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、DMSのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDMSは1の書き込みによりリセットできます。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対してI2CSはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、I2CSによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。DMSが発生した場合でもSELECTED/I2CS_ASTATレジスタが0のときは、他のスレーブデバイスとACK/NAK応答が異なっても問題ありませんので無視してください。

この場合でも、非同期アドレス検出状態に設定されている場合DMSは発生しません。

D2 ASDET: Async. Address Detection Status Bit

非同期アドレス検出の状態を示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

データ通信時は、I2CSモジュールの動作クロック(PCLK_SOC)を転送速度の8倍以上の周波数に設定する必要があります。ただし、通信待機中に他の処理が不要の場合は、PCLK_SOCの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信するI2CSのスレーブアドレスを検出するための機能です。ASDET_EN/I2CS_CTLレジスタによって非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDETが1にセットされます。

本モジュールはI²Cマスタに対してNAKを返し、スレーブアドレスの再送を要求します。BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、ASDETのセットと同時に割り込み信号がITCに出力されます。この割り込み処理ルーチン内でPCLK_SOCを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のリデータ転送を再開できます。1にセットされたASDETは1の書き込みによりリセットできます。

D1 DA_NAK: NAK Receive Status Bit

マスタの応答ビットを示します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットのデータを送信後、マスタからACKが返るとDA_NAKは0になります。これは、マスタがデータを正常に受信できたことを示します。DA_NAKが1の場合、マスタが正しく受信できなかったか、あるいはマスタが受信を終了することを示します。BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、DA_NAKのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDA_NAKは1の書き込みによりリセットできます。

D0 DA_STOP: Stop Condition Detect Bit

ストップコンディション、またはリピーテッドスタートコンディションを検出したことを示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

本モジュールがスレーブとして選択されている状態(SELECTED/I2CS_ASTATレジスタ = 1)でストップコンディション、またはリピーテッドスタートコンディションを検出すると、I2CSモジュールはDA_STOPを1にセットします。同時にI²Cの通信プロセスを初期化します。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、DA_STOPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、終了処理が行えます。1にセットされたDA_STOPは1の書き込みによりリセットできます。

I2C Slave Access Status Register (I2CS_ASTAT)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
I ² C Slave	0x436a	D15-5	–	reserved	–			–	–	0 when being read.	
Access Status Register (I2CS_ASTAT)	(16 bits)	D4	RXRDY	Receive data ready	1	Ready	0	Not ready	0	R	
		D3	TXEMP	Transmit data empty	1	Empty	0	Not empty	0	R	
		D2	BUSY	I ² C bus status	1	Busy	0	Free	0	R	
		D1	SELECTED	I ² C slave select status	1	Selected	0	Not selected	0	R	
		D0	R/W	Read/write direction	1	Output	0	Input	0	R	

D[15:5] Reserved**D4 RXRDY: Receive Data Ready Bit**

受信データが読み出し可能であることを示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

受信データがI2CS_RECVレジスタにロードされるとRXRDYが1にセットされます。RXRDY_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、RXRDYのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、I2CS_RECVレジスタから受信データを読み出すことができます。

1にセットされたRXRDYは、I2CS_RECVレジスタの読み出しによってリセットされます。

D3 TXEMP: Transmit Data Empty Bit

送信データが書き込み可能であることを示します。

1(R): 送信データなし(データ書き込み可能)

0(R): 送信データあり(データ書き込み不可能)(デフォルト)

I2CS_TRNSレジスタのデータが送信されるとTXEMPが1にセットされます。TXEMP_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、TXEMPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、I2CS_TRNSレジスタに次の送信データを書き込むことができます。

1にセットされたTXEMPは、I2CS_TRNSレジスタへのデータ書き込みによってリセットされます。

D2 BUSY: I²C Bus Status Bit

I²Cバスの状態を示します。

1(R): 使用中

0(R): バスフリー状態(デフォルト)

スタートコンディションを検出、またはI2CS_SCLもしくはI2CS_SDA信号がLowレベルになったことを検出するとBUSYが1にセットされ、I²Cバスがビジー状態になったことを示します。本モジュールがスレーブデバイスとして選択されたか否かは、本ビットの状態には影響しません。1にセットされたBUSYはストップコンディションの検出によりリセットされます。

D1 SELECTED: I2C Slave Select Status Bit

本モジュールがI2Cスレーブデバイスとして選択されていることを示します。

1(R): 選択状態

0(R): 非選択状態(デフォルト)

本モジュールに設定したスレーブアドレスを受信するとSELECTEDが1にセットされ、本モジュールがI2Cスレーブデバイスとして選択されたことを示します。1にセットされたSELECTEDはストップコンディションもしくはリピーテッドスタートコンディションの検出によりリセットされます。

D0 R/W: Read/Write Direction Bit

転送方向ビットの値を示します。

1(R): 出力(マスタによるリード)

0(R): 入力(マスタによるライト) (デフォルト)

スレーブアドレスと共に受信した転送方向ビットの値がR/Wにセットされますので、送信/受信処理の切り換えに利用してください。

I2C Slave Interrupt Control Register (I2CS_ICTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
I ² C Slave	0x436c	D15-3	—	reserved	—			—	—	0 when being read.	
Interrupt Control Register (I2CS_ICTL)	(16 bits)	D2	BSTAT_IEN	Bus status interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	RXRDY_IEN	Receive interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	TXEMP_IEN	Transmit interrupt enable	1	Enable	0	Disable	0	R/W	

D[15:3] Reserved**D2 BSTAT_IEN: Bus Status Interrupt Enable Bit**

バスステータス割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

BSTAT_IENを1に設定すると、I²Cバスの状態変化によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、BSTAT/I2CS_STATレジスタが1にセットされることにより発生します。(BSTATの説明を参照してください。)

BSTAT_IENを0に設定すると、バスステータス割り込みは発生しません。

D1 RXRDY_IEN: Receive Interrupt Enable Bit

I2CSの受信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RXRDY_IENを1に設定すると、受信によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがI2CS_RECVレジスタに転送される(受信が完了する)ことにより発生します。RXRDY_IENを0に設定すると、受信割り込みは発生しません。

D0 TXEMP_IEN: Transmit Interrupt Enable Bit

I2CSの送信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TXEMP_IENを1に設定すると、送信によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、I2CS_TRNSレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。TXEMP_IENを0に設定すると、送信割り込みは発生しません。

22 I²S

22.1 I²Sモジュールの概要

S1C17803は、PCMデータをI²S(Inter-IC Sound)フォーマットで出力するI²Sモジュールを内蔵しています。このI²SバスにオーディオDACなどの外部デバイスを接続することで、容易にオーディオ出力回路を構成することができます。

本I²Sモジュールの特長を以下に示します。

- I²Sマスタデバイスとして動作
- ビットクロック、ワードセレクトクロック、マスタクロックを生成
- 16ビットPCMデータの分解能をサポート
- 16バイトの送信用FIFO(16ビット×2チャンネル×4)を内蔵
- ステレオ、モノ(左、右)、ミュート出力をソフトウェアで切り換え可能
- FIFOデータエンプティ (ハーフエンプティ、完全エンプティ、または1データエンプティ)により割り込み要求が可能
- FIFO 1データエンプティ割り込み要因によってDMAを呼び出し可能
- クロック極性をソフトウェアで設定可能
- データシフト方向(MSB先頭/LSB先頭)をソフトウェアで選択可能
- I²Sモード、左揃えモード、右揃えモードに対応

図22.1.1にI²Sモジュールの構成を示します。

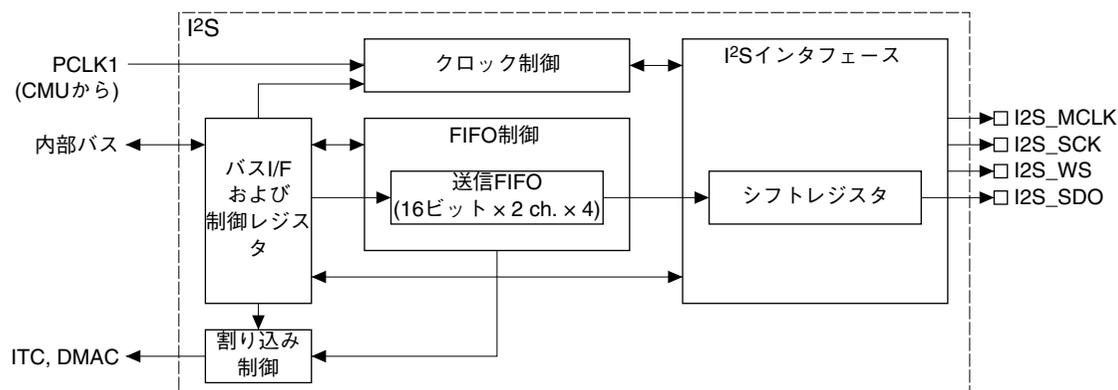


図22.1.1 I²Sモジュールの構成

22.2 I²S出力端子

表22.2.1にI²S端子の一覧を示します。

表22.2.1 I²S端子一覧

端子名	I/O	本数	Function
I2S_SDO	O	1	I ² Sデータ出力端子 シリアルPCMデータを出力します。
I2S_WS	O	1	I ² Sワードセレクト(LRCLK)信号出力端子 出力中のデータチャンネル(L、R)を示すワードセレクト信号を出力します。
I2S_SCK	O	1	I ² S同期クロック(ビットクロック)出力端子 シリアルデータ転送用の同期クロック(ビットクロック)を出力します。
I2S_MCLK	O	1	I ² Sマスタクロック出力端子 I ² Sマスタクロックを出力します。

I²Sの出力端子(I2S_SDO、I2S_WS、I2S_SCK、I2S_MCLK)は、入出力ポート端子と兼用であるため、最初は汎用入出力ポートの端子として設定されています。これらをI²Sの出力端子として使用するには、ポート機能選択ビットの設定により端子機能を切り換える必要があります。端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

22.3 I²Sモジュールの動作クロック

I²SモジュールはCMUから供給されるPCLK1(=システムクロック)で動作します。PCLK1の供給制御の詳細については、“クロックマネージメントユニット(CMU)”の章を参照してください。

22.4 I²Sモジュールの設定

I²Sバスを介してデータ転送を行うには、転送を開始する前に以下の設定が必要です。

1. 出力端子の設定
2. I²Sインタフェースクロックの設定
3. 出力データの形式とタイミングの設定
4. 割り込みまたはDMA条件の設定(22.6節を参照)

以下、各設定内容について説明します。

注: これらの設定は、必ずI²Sモジュールが動作停止中に(I2SSTART/I2S_STARTレジスタを0に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

出力端子の設定

I²Sで使用する出力端子をポート機能選択ビットで選択します。端子の機能と切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

I²Sインタフェースクロックの設定

I²Sモジュールは以下に示す3種類のクロックを出力します。

1. I2S_MCLK(マスタクロック)
2. I2S_SCK(ビットクロック)
3. I2S_WS(ワードセレクトクロック)

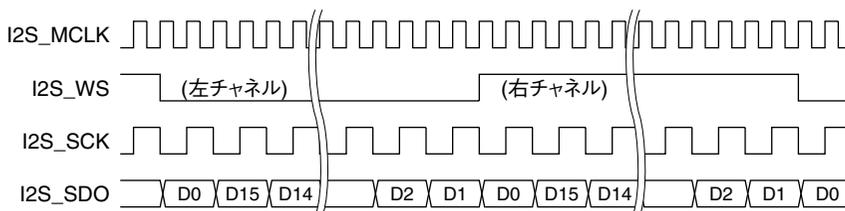


図22.4.1 I²Sインタフェースクロック

以下に設定可能なクロック条件と、制御ビットを示します。クロック設定の詳細については、22.8節の“I²Sクロックの設定”を参照してください。

I2S_MCLK(マスタクロック)の分周比

I²Sモジュールは、CMUが生成したPCLK1(システムクロック)を分周して、I2S_MCLK端子から出力するI2S_MCLKを生成します。この分周比をMCLKDIV[5:0]/I2S_DV_MCLKレジスタで指定します。

表22.4.1 I2S_MCLK(マスタクロック)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	PCLK1•1/64
0x3e	PCLK1•1/63
0x3d	PCLK1•1/62
:	:
0x2	PCLK1•1/3
0x1	PCLK1•1/2
0x0	PCLK1•1/1

(デフォルト: 0x0)

I2S_SCK(ビットクロック)の分周比

I²Sモジュールは、PCLK1を分周して、I2S_SCK端子から出力するビットクロックを生成します。この分周比をBCLKDIV[7:0]/I2S_DV_AUDIO_CLKレジスタで指定します。

表22.4.2 ビットクロックの設定

BCLKDIV[7:0]	ビットクロック(I2S_SCK)
0xff	PCLK1•1/512
0xfe	PCLK1•1/510
0xfd	PCLK1•1/508
:	:
0x2	PCLK1•1/6
0x1	PCLK1•1/4
0x0	PCLK1•1/2

(デフォルト: 0x0)

I²Sのビットクロック周波数は次の式で計算できます。

$$f_{i2s_sck} = \frac{f_{PCLK1}}{(BCLKDIV + 1) \times 2} \text{ [Hz]}$$

f_{i2s_sck} : I²Sビットクロック周波数[Hz]

f_{PCLK1} : PCLK1クロック周波数[Hz]

BCLKDIV: BCLKDIV[7:0]設定値(0x0~0xff)

サンプリングクロック(I2S_WS)の周期

I²SはBCLKDIV[7:0]で設定されたビットクロックをカウントして、I2S_WS端子から出力するサンプリングクロック(ワードセレクトクロック)を生成します。I2S_WSクロックの1/2サイクル(HighまたはLowレベル期間)に相当するビットクロックサイクル数をWSCLKCYC[4:0]/I2S_DV_AUDIO_CLKレジスタで指定します。

表22.4.3 サンプリングクロック周期の設定

WSCLKCYC[4:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0x1f~0x11	Reserved
0x10	32クロック
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

(デフォルト: 0x0)

サンプリングクロック周波数は、次の式で計算できます。

$$f_s = \frac{f_{i2S_SCK}}{n \times 2} \text{ [Hz]}$$

f_s : サンプリングクロック周波数[Hz]

f_{i2S_SCK} : ビットクロック周波数[Hz] (表22.4.2参照)

n : WSCLKCYC[4:0]で選択したビットクロック数(表22.4.3参照)

注: WSCLKCYC[4:0]に設定する値はオーディオデータのビット数ではなく、サンプリングクロック周期を調整するためのビットクロックサイクル数です。オーディオデータのビット数(16ビット)と同じか、それより大きい値である必要があります。

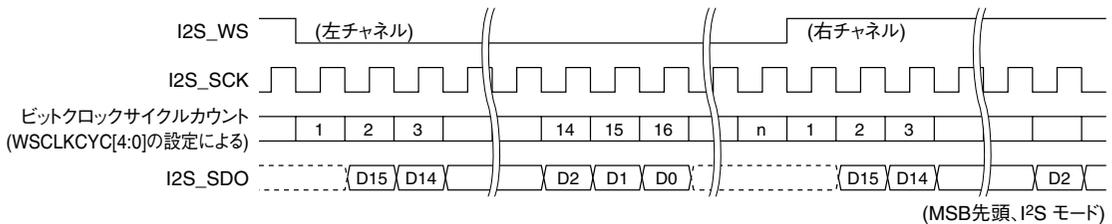


図22.4.2 サンプリングクロック周期

ワードクロックモードの選択

I2S_WS信号はそのレベル(HighまたはLow)で、現在の出力が左チャンネルのデータか右チャンネルのデータかを示します。

この信号レベルとL/Rチャンネルの対応をWCLKMD/I2S_CTLレジスタで設定します。

WCLKMD = 0 (デフォルト)



WCLKMD = 1

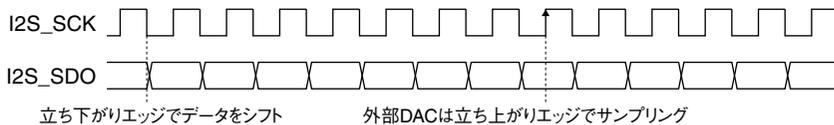


図22.4.3 ワードクロックモード

I2S_SCK(ビットクロック)の極性

ビットクロックの極性をBCLKPOL/I2S_CTLレジスタで選択します。

BCLKPOL = 0 (デフォルト)



BCLKPOL = 1

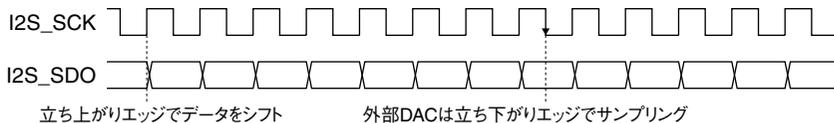


図22.4.4 ビットクロックの極性

出力データの形式とタイミングの設定

データ形式 (MSB先頭/LSB先頭)

データのMSBとLSBのどちらを先に出力するか、DTFORM/I2S_CTLレジスタで選択します。DTFORMが0(デフォルト)の場合はMSB先頭、1に設定するとLSB先頭になります。

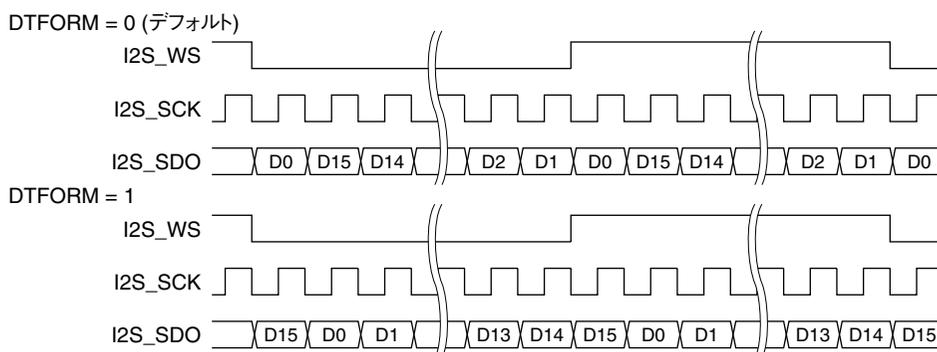


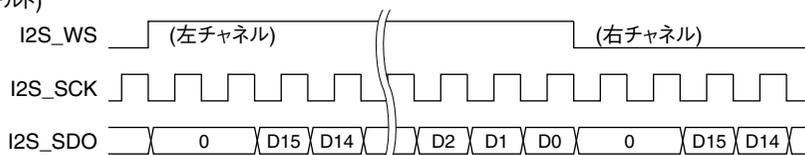
図22.4.5 出力データ形式

符号付き/符号なし形式

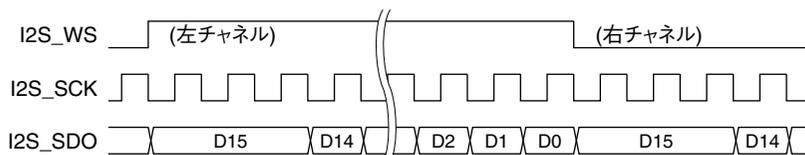
データ出力タイミング条件に右揃えモードを選択した場合は、DTSIGN/I2S_CTLレジスタで出力データを符号付きとするか符号なしとするか選択できます。

DTSIGNを0(デフォルト)に設定すると、符号なし形式が選択されます。データの有効サイズを超える上位のビットは0に設定されます。DTSIGNを1に設定すると、符号付き形式が選択されます。データの有効サイズを超える上位のビットは有効データの符号ビット(D15)に設定されます。

DTSIGN = 0 (デフォルト)



DTSIGN = 1



(MSB先頭、右揃えモード、ビットクロックサイクル数 = 18)

図22.4.6 符号なしと符号付き形式

この設定は右揃えモードにのみ有効です。別の出力タイミングモードを選択するときには、DTSIGNを0に設定してください。

データ出力タイミング

データ出力タイミングをDTTMG[1:0]/I2S_CTLレジスタで選択します。

表22.4.4 データ出力タイミング

DTTMG[1:0]	データ出力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I ² Sモード

(デフォルト:0x0)

DTTMG[1:0]を0x0(デフォルト)に設定するとI²Sモードが選択されます。このモードでは、各データの先頭ビットがI2S_WS信号のエッジからI2S_SCKの1クロック分遅れて出力されます。

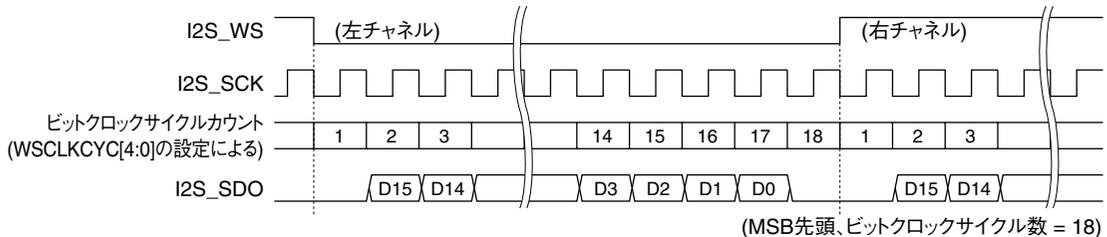


図22.4.7 データ出力タイミング1 (I²Sモード)

DTTMG[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WS信号のエッジで各データの出力を開始します。

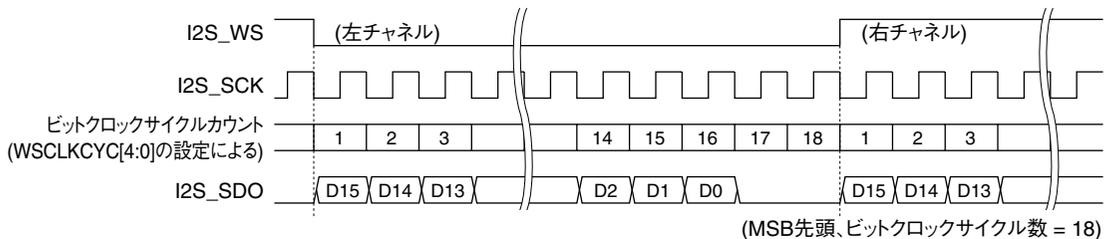


図22.4.8 データ出力タイミング2 (左揃えモード)

DTTMG[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、出力データがI2S_WS信号のエッジに右揃えになります。

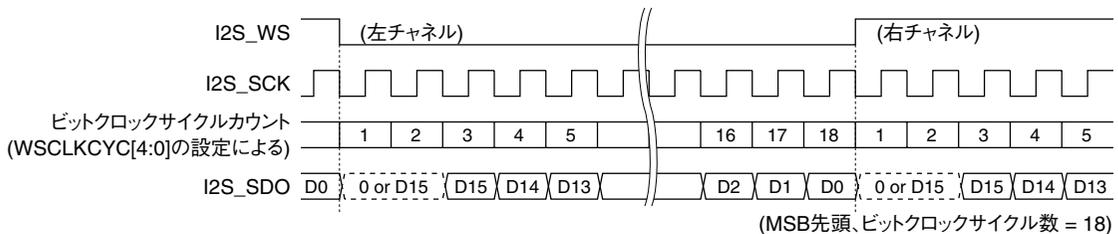


図22.4.9 データ出力タイミング3 (右揃えモード)

注: 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データビットサイズ + 2]以上に設定する必要があります。

22.5 データ出力の制御

以下、オーディオデータの出力方法を説明します。

1. 前節に示したとおり、I²Sの設定を行います。
2. 22.6節に示したとおり、割り込みまたはDMA条件の設定を行います。
3. 出力チャンネルモードをCHMD[1:0]/I2S_CTLレジスタで設定します。

表22.5.1 出力チャンネルモードの選択

CHMD[1:0]	出力チャンネルモード	左チャンネル	右チャンネル
0x3	ミュート	0	0
0x2	モノラル(L)	データ出力	0
0x1	モノラル(R)	0	データ出力
0x0	ステレオ	データ出力	データ出力

(デフォルト: 0x0)

この選択は、データ出力中でも可能です。その場合、現在のワードの出力を終了後にモードが切り換わります。

4. FIFOに最初のオーディオデータを書き込みます。
FIFOへの出力データの書き込みには、16ビットのレジスタI2S_FIFOを使用します。FIFOには最大4個のステレオデータ(16ビット×2チャンネル(L & R)×4)を書き込み可能です。オーディオデータの出力を開始する前に、最初の4個のステレオデータをFIFOに書き込んでください。
データの書き込みに16ビットメモリライト命令(1d [%rb], %rs)を使用してください。8ビットまたは24/32ビットメモリライト命令は使用できません。書き込みにDMACを使用するときには、16ビットまたは32ビットのアクセスを指定できます。

最初に左チャンネルのデータ、次に右チャンネルのデータを書き込みます。出力チャンネルモードが“モノラル”の場合でも、左右チャンネルのデータのペアを書き込む必要があります。

4個のステレオデータがFIFOに書き込まれるとFIFOは満杯になり、I2SFIFOFF/I2S_FIFO_STATレジスタが1にセットされます。この状態で更にI2S_FIFOへのデータ書き込みを行うと、FIFO内の最新データが上書きされます。

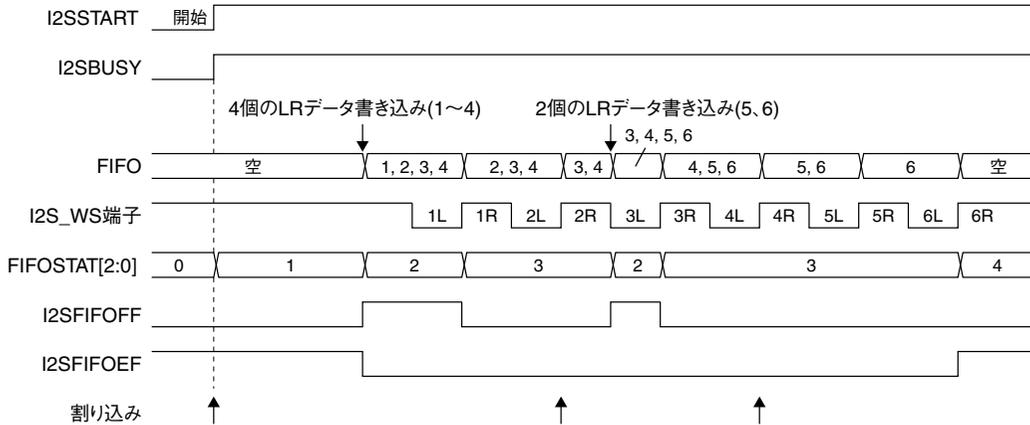
5. I2SOUTEN/I2S_CTLレジスタに1を書き込み、PS出力を許可します。
I2SOUTENが0の場合、I2S_MCLKとI2S_WS端子は0に固定されます。I2S_SDO端子は変化せずに前の状態を保ちます。I2S_SCK端子は0(BCLKPOL/I2S_CTLレジスタ = 0の場合)または1(BCLKPOL = 1の場合)に固定されます。
I2SOUTENを1に設定すると出力端子はすべてスタンバイ状態となります。
6. I2SSTART/I2S_STARTレジスタに1を書き込み、出力を開始させます。
I2SSTARTが0の場合、ビットクロックはLowの状態です。ワードセレクトクロックは、WCLKMD = 0の場合はHigh、WCLKMD = 1の場合はLowの状態です。
I2SSTARTを1に設定すると、FIFOから1個のデータ(L & R)がシフトレジスタにロードされ、I2S_WS信号に同期してシリアル出力を開始します。
左チャンネルのデータからI2S_SCKクロックのエッジで順次シフトし出力されます。1データ(L & R)の出力が終了すると、次のデータがFIFOから取り出され、同じ動作を繰り返します。

FIFOから割り込み条件に従った数のデータが送信のために読み出されると、割り込みが発生します。ハーフエンpty割り込みが許可されている場合、FIFOから2個のステレオデータが読み出されると割り込みが発生します。この場合、続く2個のステレオデータ(16ビット×2チャンネル(L & R)×2)をFIFOに書き込みます。

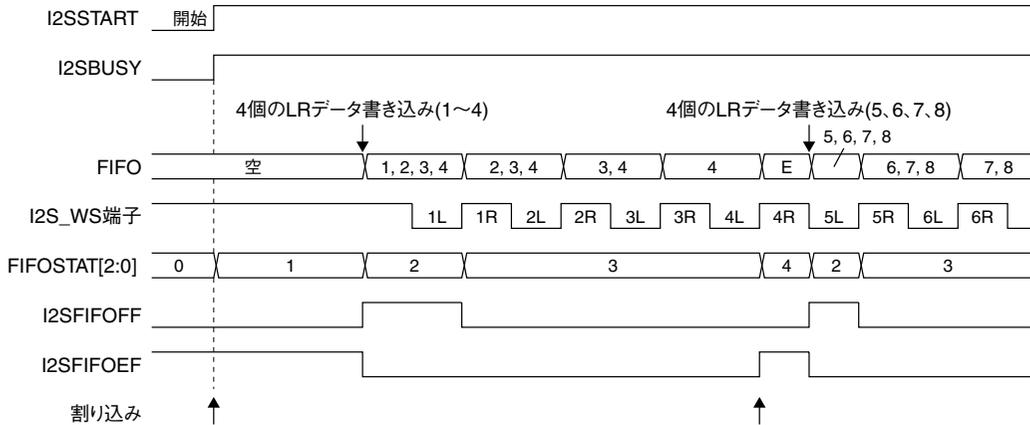
完全エンpty割り込みが許可されている場合、FIFOから全データ(4個のステレオデータ)が読み出されると割り込みが発生します。この場合、続く4個のステレオデータ(16ビット×2チャンネル(L & R)×4)をFIFOに書き込みます。

1データエンpty割り込みが許可されている場合、FIFOから1個のステレオデータが読み出されると割り込みが発生します。この場合、続く1個のステレオデータ(16ビット×2チャンネル(L & R)×1)をFIFOに書き込みます。この割り込みを利用して、DMA転送を呼び出すこともできます。

ハーフEMPTY割り込み



完全EMPTY割り込み



1データEMPTY割り込み

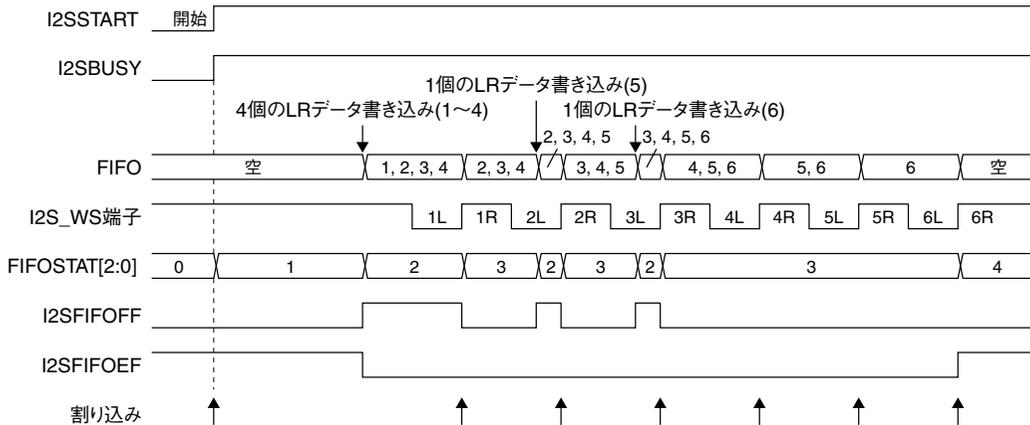


図22.5.1 FIFOデータと割り込み

FIFOが空になると、I2SFIFOEF/I2S_FIFO_STATレジスタが1にセットされます。FIFOにデータが書き込まれると、I2SFIFOEFは0にリセットされ、出力は続きます。また、I²SにはFIFOの状態を表すステータスビットFIFOSTAT[2:0]/I2S_FIFO_STATレジスタが用意されています。

表22.5.2 FIFOの状態モニタ

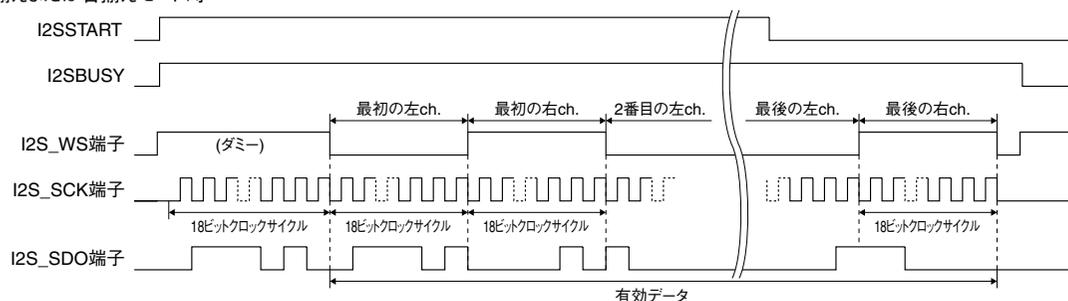
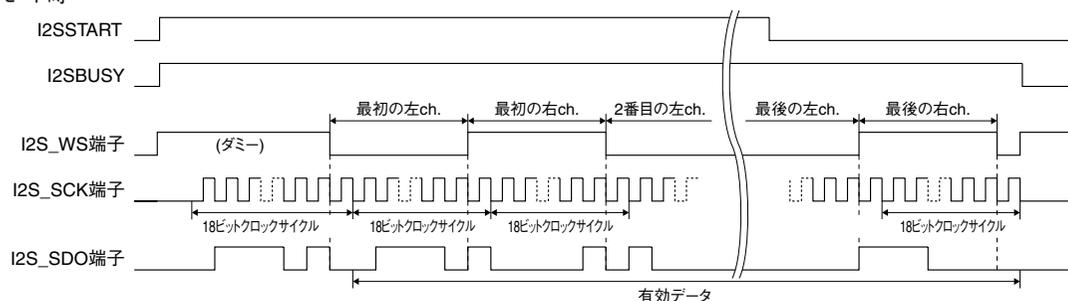
FIFOSTAT[2:0]	State
0x7-0x6	Reserved
0x5	FLUSH: FIFOが停止前に、残りのオーディオデータを消去中
0x4	EMPTY: FIFOは空の状態
0x3	LACK: FIFOは満杯でも空でもない状態
0x2	FULL: FIFOは満杯の状態
0x1	INIT: FIFOの4つのエンTRIESを初期化中
0x0	STOP: FIFOは待機中

(デフォルト: 0x0)

データ出力中はI2SBUSY/I2S_STARTレジスタが1にセットされます。このフラグの読み出しにより、出力状態を確認することができます。

- 出力をソフトウェアで停止させるには、I2SSTART/I2S_STARTレジスタに0を書き込みます。I2SSTARTを0に設定すると、I²SモジュールはFIFO内の残りのデータをすべて出力後に停止します。I²Sモジュールが停止すると、I2SBUSYが0にリセットされます。
- 出力を禁止するには、I2SSTARTに0を書き込んで現在の出力を停止させた後に、I2SOUTEN/I2S_CTLレジスタに0を書き込みます。

左揃えまたは右揃えモード時

I²Sモード時

条件: CHMD[1:0] = 0x0 (ステレオ)、WCLKMD = 0 (左ch. = Low)、BCLKPOL = 0 (立ち上がりエッジ)
WSCLKCYC[4:0] = 0x2 (18クロック)

図22.5.2 データ出力タイミングチャート

* ミュートまたはモノラルモード選択時の出力

CHMD[1:0]/I2S_CTLレジスタでミュートモードを選択した場合、FIFOとシフトレジスタはステレオモードと同様に動作し、3本のクロックも通常どおり出力されますが、I2S_SDO端子が0に固定されます。モノラルモード選択時も同様で、非選択側チャンネルの出力期間はI2S_SDO端子が0に固定されます。FIFOのデータは通常どおり読み出されるため、FIFOエンプティによる割り込みも発生します。出力中にCHMD[1:0]を変更した場合は、現在のL&Rデータの出力を終了後にモードが切り換わります。

22.6 I²S割り込みとDMA

この節では、I²Sの割り込みとDMA呼び出しについて説明します。

割り込み処理とDMA転送の詳細については、それぞれ“割り込みコントローラ(ITC)”の章と“DMAコントローラ(DMAC)”の章を参照してください。

22.6.1 割り込み

I²Sモジュールには、以下の3種類の割り込みを生成する機能があります。

- I²S FIFO完全エンプティ割り込み
- I²S FIFOハーフエンプティ割り込み
- I²S FIFO 1データエンプティ割り込み

I²Sモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。割り込みフラグを検査して、発生した割り込み要因を確認します。

I²S FIFO完全エンプティ割り込み

この割り込みを使用するには、WEIE/I2S_INTレジスタを1に設定します。WEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

FIFOから全データ(4個のステレオデータ)が出力のために読み出されると、I²SモジュールはWEIF/I2S_INTレジスタを1に設定し、FIFOが空であることを示します。完全エンプティ割り込みが許可されていれば(WEIE = 1)、これと同時に割り込み要求がITCに送られます。他の割り込み条件が満たされていれば、割り込みが発生します。WEIFが1の場合、アプリケーションプログラムは、4個のステレオデータ(16ビット×2チャンネル(L & R)×4)をFIFOに書き込むことができます。

I²S FIFOハーフエンプティ割り込み

この割り込みを使用するには、HEIE/I2S_INTレジスタを1に設定します。HEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

2個のステレオデータ用の空き領域がFIFOで利用可能な場合、I²Sモジュールは、HEIF/I2S_INTレジスタを1に設定します。ハーフエンプティ割り込みが許可されている場合(HEIE = 1)、これと同時に割り込み要求がITCに送られます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。HEIFが1の場合、アプリケーションプログラムは、2個のステレオデータ(16ビット×2チャンネル(L & R)×2)をFIFOに書き込むことができます。

I²S FIFO 1データエンプティ割り込み

この割り込みを使用するには、OEIE/I2S_INTレジスタを1に設定します。OEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

1個のステレオデータ用の空き領域がFIFOで利用可能な場合、I²Sモジュールは、OEIF/I2S_INTレジスタを1に設定します。1データエンプティ割り込みが許可されている場合(OEIE = 1)、これと同時に割り込み要求がITCに送られます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。OEIFが1の場合、アプリケーションプログラムは、1個のステレオデータ(16ビット×2チャンネル(L & R)×1)をFIFOに書き込むことができます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: I²Sからの転送開始時は(I2SSTARTを1に設定して出力を開始するときは)、割り込み条件にかかわらず、FIFOに4個のステレオデータ(16ビット×2チャンネル(L & R)×4)を書き込んでください。

- 割り込みを許可する前にFIFOに書き込む場合
FIFOに4個のステレオデータを書き込み後、割り込みを許可します。FIFOエンプティ割り込みが発生した場合は、使用した割り込みに合わせ、割り込み処理ルーチン内で1個、2個または4個のステレオデータをFIFOに書き込みます。
- 割り込みを許可した後にFIFOに書き込む場合
使用した割り込みに合わせて、FIFOに1個、2個、または4個のステレオデータを書き込みます。

22.6.2 DMA転送

データエンプティ割り込み要因によってDMAを呼び出すことができます。これにより、メモリとFIFOとの間で、DMA転送を介した連続データ出力が可能となります。この割り込み信号は、I²SとDMACの両方に出力されます。このため、DMA転送は、I²S割り込みを発生することなく実行することができます。以下に、トリガとしてI²Sの1データエンプティ割り込み要因を選択できるDMAチャンネルを示します。

DMAC Ch.0: 単一DMAを用いたLとRのデータ転送に使用、またはデュアルDMAを用いたLのデータ転送に使用

DMAC Ch.1: 単一DMAを用いたLとRのデータ転送に使用、またはデュアルDMAを用いたRのデータ転送に使用

DMAC Ch.3: 単一DMAを用いたLとRのデータ転送に使用

オーディオデータの格納方法に応じて1つまたは2つのDMACチャンネルを使用します。

左チャンネルと右チャンネルのオーディオデータをメモリ領域に連続して格納するときには、DMA要求ごとに、DMACチャンネルを使用して32ビットのデータ転送を実施し、左(下位16ビット)と右(上位16ビット)の両方のデータをFIFO(固定アドレス0x81510)に書き込みます。16ビットと8ビットのデータ転送を指定することはできません。

左チャンネルと右チャンネルのオーディオデータを異なる場所に格納するときには、DMAC Ch.0とCh.1を使用します。この場合、16ビットのデータ転送を実施し、DMAC Ch.0を使用して左チャンネルのデータをFIFO(固定アドレス0x81510)に書き込み、Ch.1を使用して右チャンネルのデータをFIFO(固定アドレス0x81512)に書き込みます。I²Sの1データエンプティDMA要求は、DMAC Ch.0とCh.1に同時に送られます。ただし、DMAC Ch.0の方がCh.1よりも優先度が高いため最初にDMA転送を開始します。したがって、左チャンネルのデータ転送にDMAC Ch.0を使用する必要があります。デュアルDMAチャンネルを使用するときは、8ビットと32ビットのデータ転送を指定することはできません。

DMA転送の詳細については、“DMAコントローラ(DMAC)”の章を参照してください。

22.7 制御レジスタ詳細

表22.7.1 I²Sレジスタ一覧

アドレス	レジスタ名		機能
0x81500	I2S_CTL	I ² S Control Register	I ² S出力条件の設定
0x81504	I2S_DV_MCLK	I ² S Master Clock Division ratio Register	マスタクロックの設定
0x81506	I2S_DV_AUDIO_CLK	I ² S Audio Clock Division ratio Register	オーディオクロックの設定
0x81508	I2S_START	I ² S Start/Stop Register	I ² S動作状態の制御と表示
0x8150a	I2S_FIFO_STAT	I ² S FIFO Status Register	FIFOステータスの表示
0x8150c	I2S_INT	I ² S Interrupt Control Register	I ² S割り込みの制御
0x81510	I2S_FIFO	I ² S FIFO Register	Lチャンネル出力データ
0x81512			Rチャンネル出力データ

以下、I²Sのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

I²S Control Register I2S_CTL

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Control Register I2S_CTL	0x81500 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.
		D8	DTSIGN	I ² S signed/unsigned data format select	1 Signed 0 Unsigned	0	R/W	
		D7	WCLKMD	I ² S output word clock mode select	1 L: High R: Low 0 L: Low R: High	0	R/W	
		D6	BCLKPOL	I ² S output bit clock polarity select	1 Negative 0 Positive	0	R/W	
		D5	DTFORM	I ² S output data format select	1 LSB first 0 MSB first	0	R/W	
		D4	I2SOUTEN	I ² S output enable	1 Enable 0 Disable	0	R/W	
		D3-2	DTTMG[1:0]	I ² S output data timing select	DTTMG[1:0] 0x3 reserved 0x2 Right justified 0x1 Left justified 0x0 I ² S	0x0	R/W	
		D1-0	CHMD[1:0]	I ² S output channel mode select	CHMD[1:0] 0x3 Mute 0x2 Mono left 0x1 Mono right 0x0 Stereo	0x0	R/W	

注: I2SSTART/I2S_STARTレジスタを設定してI²Sモジュールからのデータ出力を開始する前に、本レジスタによりすべてのデータ転送条件を設定してください。

D[15:9] Reserved

D8 **DTSIGN: I²S Signed/Unsigned Data Format Select Bit**

右揃えモード時のデータ形式を選択します。

1(R/W): 符号付き

0(R/W): 符号なし(デフォルト)

DTSIGNを0(デフォルト)に設定すると、符号なし形式が選択されます。データの有効サイズを超える上位のビットは0に設定されます。DTSIGNを1に設定すると、符号付き形式が選択されます。データの有効サイズを超える上位のビットは有効データの符号ビット(D15)に設定されます。

この設定は右揃えモードにのみ有効です。別の出力タイミングモードを選択するときには、DTSIGNを0に設定してください。

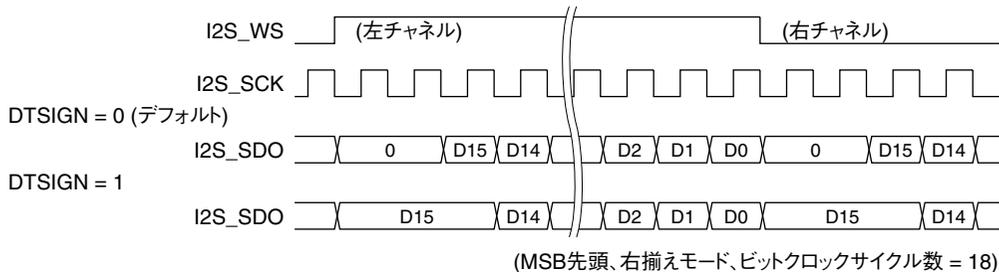


図22.7.1 符号なしと符号付き形式

D7 **WCLKMD: I²S Output Word Clock Mode Select Bit**

I2S_WS信号のレベルとチャンネルの対応を設定します。

1(R/W): High = 左チャンネル、Low = 右チャンネル

0(R/W): High = 右チャンネル、Low = 左チャンネル(デフォルト)

WCLKMD = 0 (デフォルト)



図22.7.2 ワードクロックモード

D6 BCLKPOL: I²S Output Bit Clock Polarity Select Bit

ビットクロックの極性を選択します。

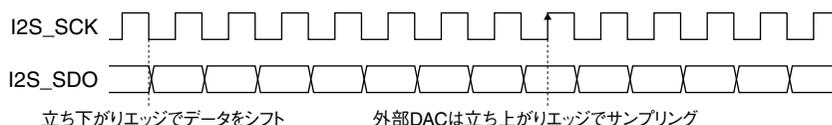
1(R/W): 負極性

0(R/W): 正極性(デフォルト)

BCLKPOLが0の場合、I2S_SDO出力はI2S_SCK(ビットクロック)の立ち下がりエッジで変化し、外部DACはデータビットをI2S_SCKの立ち上がりエッジでサンプリングできます。

BCLKPOLを1に設定すると、I2S_SDO出力はI2S_SCKの立ち上がりエッジで変化し、外部DACはデータビットをI2S_SCKの立ち下がりエッジでサンプリングできます。

BCLKPOL = 0 (デフォルト)



BCLKPOL = 1

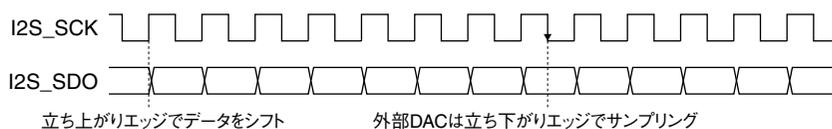


図22.7.3 ビットクロックの極性

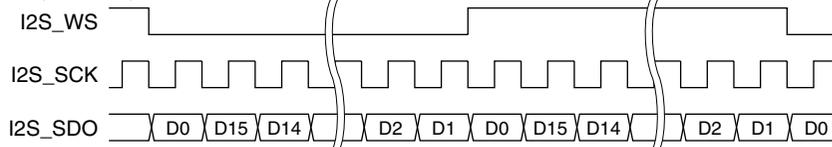
D5 DTFORM: I²S Output Data Format Select Bit

データのMSBとLSBのどちらを先に出力するか選択します。

1(R/W): LSB先頭

0(R/W): MSB先頭(デフォルト)

DTFORM = 0 (デフォルト)



DTFORM = 1

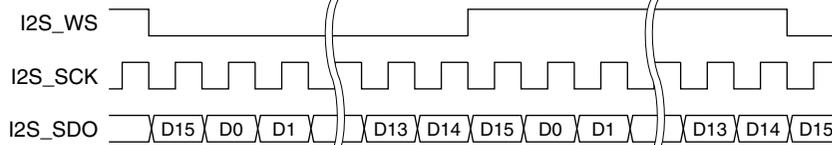


図22.7.4 出力データ形式

D4 I2SOUTEN: I²S Output Enable Bit

I²S信号の出力を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

I2SOUTENが0の場合、I2S_MCLKとI2S_WS端子は0に固定されます。I2S_SDO端子は変化せずに前の状態を保ちます。I2S_SCK端子は0(BCLKPOL/I2S_CTLレジスタ = 0の場合)または1(BCLKPOL = 1の場合)に固定されます。

I2SOUTENを1に設定すると出力端子はすべてスタンバイ状態となります。

D[3:2] DTTMG[1:0]: I²S Output Data Timing Select Bits

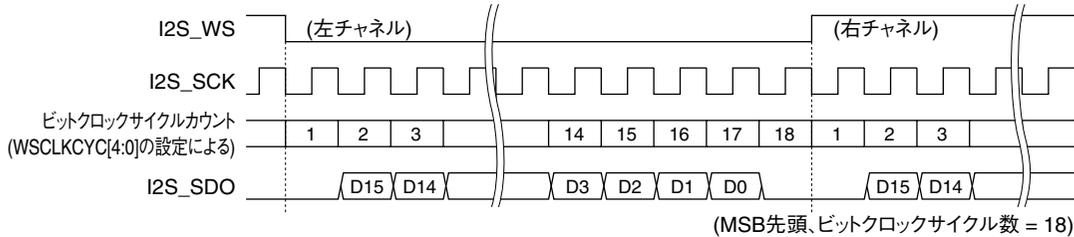
データビットの出力タイミングを選択します。

表22.7.2 データ出力タイミング

DTTMG[1:0]	データ出力タイミングモード
0x3	Reserved
0x2	右揃えモード
0x1	左揃えモード
0x0	I ² Sモード

(デフォルト: 0x0)

DTTMG[1:0]を0x0(デフォルト)に設定するとI²Sモードが選択されます。このモードでは、各データの先頭ビットがI2S_WS信号のエッジからI2S_SCKの1クロック分遅れて出力されます。

図22.7.5 データ出力タイミング1 (I²Sモード)

DTTMG[1:0]を0x1に設定すると左揃えモードが選択されます。このモードでは、I2S_WS信号のエッジから各データの出力を開始します。

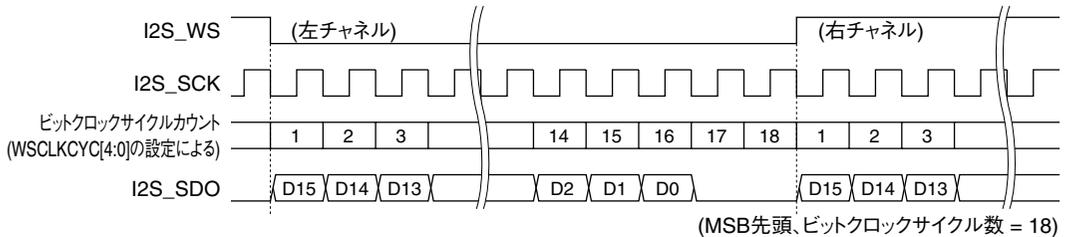


図22.7.6 データ出力タイミング2 (左揃えモード)

DTTMG[1:0]を0x2に設定すると右揃えモードが選択されます。このモードでは、各データがI2S_WS信号のエッジに右揃えになるように出力されます。

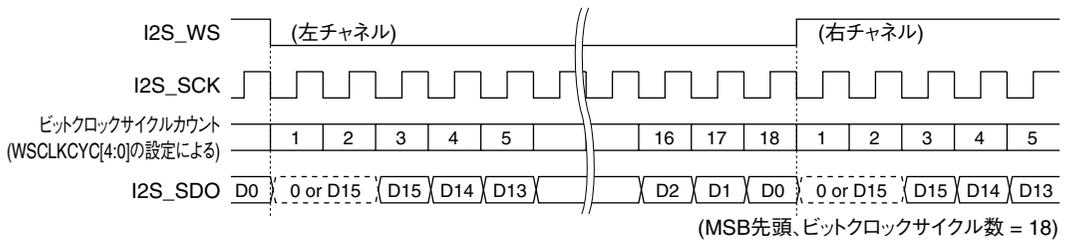


図22.7.7 データ出力タイミング3 (右揃えモード)

注: 右揃えモードで使用する場合、ビットクロックサイクル数(サンプリングクロック周期)は[データビットサイズ + 2]以上に設定する必要があります。

D[1:0] CHMD[1:0]: I²S Output Channel Mode Select Bits

I²Sの出力チャンネルモードを選択します。

表22.7.3 出力チャンネルモードの選択

CHMD[1:0]	出力チャンネルモード	左チャンネル	右チャンネル
0x3	ミュート	0	0
0x2	モノラル(L)	データ出力	0
0x1	モノラル(R)	0	データ出力
0x0	ステレオ	データ出力	データ出力

(デフォルト: 0x0)

この選択は、データ出力中でも可能です。その場合、現在のワードの出力を終了後にモードが切り換わります。

ミュートモードを選択した場合、FIFOとシフトレジスタはステレオモードと同様に動作し、3本のクロックも通常どおり出力されますが、I2S_SDO端子が0に固定されます。モノラルモード選択時も同様で、非選択側チャンネルの出力期間はI2S_SDO端子が0に固定されます。

FIFOのデータは通常どおり読み出されるため、割り込みも発生します。

I²S Master Clock Division Ratio Register (I2S_DV_MCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Master Clock	0x81504	D15-6	—	reserved	—	—	—	0 when being read.
Division Ratio Register (I2S_DV_MCLK)	(16 bits)	D5-0	MCLKDIV[5:0]	I2S_MCLK division ratio select	MCLKDIV[5:0] I2S_MCLK 0x3f PCLK1•1/64 0x3e PCLK1•1/63 0x3d PCLK1•1/62 : : 0x2 PCLK1•1/3 0x1 PCLK1•1/2 0x0 PCLK1•1/1	0x0	R/W	

D[15:6] Reserved**D[5:0] MCLKDIV[5:0]: I2S_MCLK Division Ratio Select Bits**

I2S_MCLK端子から出力するI²Sマスタクロック(I2S_MCLK)を設定します。

I²Sモジュールは動作クロック(CMUが生成したPCLK1)を分周して、I2S_MCLKを生成します。この分周比をMCLKDIV[5:0]で指定します。

表22.7.4. I2S_MCLK(マスタクロック)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	PCLK1•1/64
0x3e	PCLK1•1/63
0x3d	PCLK1•1/62
:	:
0x2	PCLK1•1/3
0x1	PCLK1•1/2
0x0	PCLK1•1/1

(デフォルト: 0x0)

I²S Audio Clock Division Ratio Register (I2S_DV_AUDIO_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I ² S Audio Clock Division Ratio Register (I2S_DV_AUDIO_CLK)	0x81506 (16 bits)	D15-13	–	reserved	–	–	–	0 when being read.	
		D12–8	WSCLKCYC[4:0]	I ² S WS clock cycle setup	WSCLKCYC[4:0]	Clock period	0x0	R/W	
		0x1f–0x11	reserved						
		0x10	32 clocks						
		0xf	31 clocks						
		0xe	30 clocks						
		0xd	29 clocks						
		0xc	28 clocks						
		0xb	27 clocks						
		0xa	26 clocks						
		0x9	25 clocks						
		0x8	24 clocks						
		0x7	23 clocks						
		0x6	22 clocks						
		0x5	21 clocks						
		0x4	20 clocks						
0x3	19 clocks								
0x2	18 clocks								
0x1	17 clocks								
0x0	16 clocks								
I ² S Audio Clock Division Ratio Register (I2S_DV_AUDIO_CLK)	0x81506 (16 bits)	D7-0	BCLKDIV[7:0]	I ² S bit clock division ratio select	BCLKDIV[7:0]	Bit clock	0x0	R/W	
		0xff	PCLK1•1/512						
		0xfe	PCLK1•1/510						
		0xfd	PCLK1•1/508						
		:	:						
		0x2	PCLK1•1/6						
		0x1	PCLK1•1/4						
		0x0	PCLK1•1/2						

D[15:13] Reserved

D[12:8] WSCLKCYC[4:0]: I²S WS Clock Cycle Setup Bits

サンプリングクロック (I2S_WS信号)の周期を指定します。

I²SはBCLKDIV[7:0]で設定されたビットクロックをカウントして、I2S_WS端子から出力するサンプリングクロックを生成します。I2S_WSクロックの1/2サイクル(HighまたはLowレベル期間)に相当するビットクロックサイクル数をWSCLKCYC[4:0]で指定します。

表22.7.5 サンプリングクロックの設定

WSCLKCYC[4:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0x1f–0x11	Reserved
0x10	32クロック
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

(デフォルト: 0x0)

サンプリングクロック周波数は、次の式で計算できます。

$$f_s = \frac{f_{I2S_SCK}}{n \times 2} \text{ [Hz]}$$

fs: サンプリングクロック周波数[Hz]
 f_{I2S_SCK}: ビットクロック周波数[Hz] (表22.7.6を参照)
 n: WSCLKCYC[4:0]で選択したビットクロック数(表22.7.5参照)

注: WSCLKCYC[4:0]に設定する値はオーディオデータのビット数ではなく、サンプリングクロック周期を調整するためのビットクロックサイクル数です。オーディオデータのビット数(16ビット)と同じか、それより大きい値である必要があります。

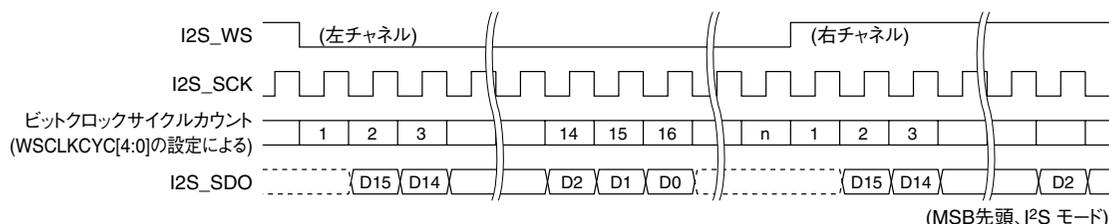


図22.7.8 サンプリングクロック周期

D[7:0] BCLKDIV[7:0]: I²S Bit Clock Division ratio Select Bits

出力するビットクロックを設定します。

I²Sモジュールは、PCLK1を分周して、I²SのI2S_SCK端子から出力するビットクロックを生成します。この分周比をBCLKDIV[7:0]で指定します。

表22.7.6 出力ビットクロックの設定

BCLKDIV[7:0]	ビットクロック (I2S_SCK)
0xff	PCLK1•1/512
0xfe	PCLK1•1/510
0xfd	PCLK1•1/508
:	:
0x2	PCLK1•1/6
0x1	PCLK1•1/4
0x0	PCLK1•1/2

(デフォルト: 0x0)

I²Sのビットクロック周波数は次の式で計算できます。

$$f_{I2S_SCK} = \frac{f_{PCLK1}}{(BCLKDIV + 1) \times 2} \text{ [Hz]}$$

f_{I2S_SCK}: I²Sビットクロック周波数[Hz]
 f_{PCLK1}: PCLK1クロック周波数 [Hz]
 BCLKDIV: BCLKDIV[7:0]設定値 (0x0~0xff)

I²S Start/Stop Register (I2S_START)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S Start/Stop Register I2S_START	0x81508 (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7	I2SBUSY	I ² S busy flag	1 Busy 0 Idle	0	R	
		D6-1	-	reserved	-	-	-	0 when being read.
		D0	I2SSTART	I ² S start/stop control	1 Start (run) 0 Stop	0	R/W	

D[15:8] Reserved

D7 I2SBUSY: I²S Busy Flag Bit

I²Sモジュールのデータ出力状態を示します。

1(R): 動作中
 0(R): 待機中(デフォルト)

I²Sがデータ出力を開始すると、I2SBUSYが1にセットされ、出力中は1を保持します。出力動作が終了すると、0にクリアされます。

D[6:1] Reserved

D0 I2SSTART: I²S Start/Stop Control Bit

I²Sのデータ出力を開始/停止します。

1(R/W): 開始

0(R/W): 停止(デフォルト)

I2SSTARTに1を書き込むと、I2S_SDO端子からのシリアルデータ送信を開始します。

I2SSTARTに0を書き込むと、データ転送が停止されます。ただし、現在、FIFOに格納されているデータは、FIFOが空になるまでI2S_SDO端子を通じて継続して送信されます。I2SSTARTを0に設定後は、FIFOに新たな転送データを書き込むことはできません。

注: I2SSTARTが1の場合は、I2S_DV_MCLKレジスタとI2S_DV_AUDIO_CLKレジスタを絶対に変更しないでください。

I²S FIFO Status Register (I2S_FIFO_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I ² S FIFO Status Register (I2S_FIFO_STAT)	0x8150a (16 bits)	D15-5	–	reserved	–	–	–	0 when being read.	
		D4–2	FIFOSTAT[2:0]	I ² S FIFO state machine	FIFOSTAT[2:0] State	0x0	R		
					0x7–0x6	reserved			
					0x5	FLUSH			
					0x4	EMPTY			
			0x3	LACK					
			0x2	FULL					
			0x1	INIT					
			0x0	STOP					
		D1	I2SFIFOFF	I ² S FIFO full flag	1 Full	0 Not full	0	R	
		D0	I2SFIFOEF	I ² S FIFO empty flag	1 Empty	0 Not empty	1	R	

D[15:5] Reserved**D[4:2] FIFOSTAT[2:0]: I²S FIFO State Machine Bits**

送信用FIFOの状態を示します。

表22.7.7 FIFOの状態モニタ

FIFOSTAT[2:0]	状態
0x7–0x6	Reserved
0x5	FLUSH: FIFOが停止前に、残りのオーディオデータを消去中
0x4	EMPTY: FIFOは空の状態
0x3	LACK: FIFOは満杯でも空でもない状態
0x2	FULL: FIFOは満杯の状態
0x1	INIT: FIFOの4つのエントリを初期化中
0x0	STOP: FIFOは待機中

(デフォルト: 0x0)

D1 I2SFIFOFF: I²S FIFO Full Flag Bit

送信用FIFOが満杯かどうかを示します。

1(R): 満杯

0(R): 空きあり(デフォルト)

FIFOが書き込みデータ(16ビット × 2チャンネル(L & R) × 4)で満杯になるとI2SFIFOFFが1にセットされ、これ以上データが書き込めないことを示します。

I2SFIFOFFはFIFO内のデータが送信のために読み出されると、0にリセットされます。

D0 I2SFIFOEF: I²S FIFO Empty Flag Bit

送信用FIFOが空かどうかを示します。

1(R): 空(デフォルト)

0(R): データあり

I2SFIFOEFはFIFOに送信データが書き込まれると0となり、FIFO内のすべてのデータが転送されると1になります。

I²S Interrupt Control Register (I2S_INT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I ² S Interrupt Control Register (I2S_INT)	0x8150c (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.	
		D10	WEIF	I ² S FIFO whole empty int. flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D9	HEIF	I ² S FIFO half empty interrupt flag	1	0	0	R/W	
		D8	OEIF	I ² S FIFO one empty interrupt flag	1	0	0	R/W	
		D7-3	–	reserved	–	–	–	–	
		D2	WEIE	I ² S FIFO whole empty int. enable	1	0	0	R/W	
		D1	HEIE	I ² S FIFO half empty int. enable	1	0	0	R/W	
		D0	OEIE	I ² S FIFO one empty int. enable	1	0	0	R/W	

D[15:11] Reserved

D10 **WEIF: I²S FIFO Whole Empty Interrupt Flag Bit**

I²S FIFO完全エンプティ割り込み要因が発生しているかどうかを示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

FIFOから全データ(4個のステレオデータ)が出力のために読み出されると、I²SモジュールはWEIFを1に設定し、FIFOが空であることを示します。I²S FIFO完全エンプティ割り込みが許可されていれば(WEIE = 1)、これと同時に割り込み要求がITCに送られます。WEIFが1の場合、アプリケーションプログラムは、4個のステレオデータ(16ビット × 2チャンネル(L & R) × 4)をFIFOに書き込むことができます。WEIFは1を書き込むことでリセットされます。

D9 **HEIF: I²S FIFO Half Empty Interrupt Flag Bit**

I²S FIFOハーフエンプティ割り込みの要因が発生しているかどうかを示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

2個のステレオデータ用の空き領域がFIFOで利用可能な場合、I²Sモジュールは、HEIFを1に設定します。I²S FIFOのハーフエンプティ割り込みが許可されている場合(HEIE = 1)、これと同時に割り込み要求がITCに送られます。HEIFが1の場合、アプリケーションプログラムは、2個のステレオデータ(16ビット × 2チャンネル(L & R) × 2)をFIFOに書き込むことができます。HEIFは1を書き込むことでリセットされます。

D8 **OEIF: I²S FIFO One Empty Interrupt Flag Bit**

I²S FIFO 1データエンプティ割り込みの要因が発生しているかどうかを示します。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

1個のステレオデータ用の空き領域がFIFOで利用可能な場合、I²Sモジュールは、OEIFを1に設定します。I²S FIFOの1データエンプティ割り込みが許可されている場合(OEIE = 1)、これと同時に割り込み要求がITCに送られます。OEIFが1の場合、アプリケーションプログラムは、1個のステレオデータ(16ビット × 2チャンネル(L & R) × 1)をFIFOに書き込むことができます。OEIFは1を書き込むことでリセットされます。

D[7:3] Reserved

D2 **WEIE: I²S FIFO Whole Empty Interrupt Enable Bit**

I²S FIFO完全エンプティ割り込みを許可または禁止します。

- 1(R/W): 割り込み許可
- 0(R/W): 割り込み禁止(デフォルト)

WEIE を1に設定すると、ITCへのI²S FIFO完全エンプティ割り込み要求が許可されます。これを0に設定すると割り込みが禁止されます。

D1 HEIE: I²S FIFO Half Empty Interrupt Enable Bit

I²S FIFOハーフエンプティ割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

HEIE を1に設定すると、ITCへのI²S FIFOハーフエンプティ割り込み要求が許可されます。これを0に設定すると割り込みが禁止されます。

D0 OEIE: I²S FIFO One Empty Interrupt Enable Bit

I²S FIFO 1データエンプティ割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

OEIE を1に設定すると、ITCへのI²S FIFO 1データエンプティ割り込み要求が許可されます。これを0に設定すると割り込みが禁止されます。

I²S FIFO Register (I2S_FIFO)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² S FIFO Register (I2S_FIFO)	0x81510 (16 bits)	D15-0	I2SFIFO [15:0]	I ² S FIFO (L-channel output data)	0 to 0xffff	0x0	W	0 when being read.
	0x81512 (16 bits)	D15-0		I ² S FIFO (R-channel output data)				

D[15:0] I2SFIFO[15:0]: I²S FIFO (Output Data) Bits

このアドレスを介して、FIFOに出力データを書き込みます。

FIFOには最大4個のステレオデータ(16ビット × 2チャンネル(L & R) × 4)を書き込み可能です。オーディオデータの出力を開始する前に、最初の4個のステレオデータをFIFOに書き込んでください。

割り込み処理ルーチンでデータを書き込むとき

割り込み処理ルーチンでデータを書き込むとき、データの書き込みに16ビットメモリライト命令(1d [%rb], %rs)を使用してください。8ビットまたは24/32ビットメモリライト命令は使用できません。

最初に左チャンネルのデータを0x81510に書き込み、次に右チャンネルのデータを0x81512に書き込みます。出力チャンネルモードが“モノラル”の場合でも、左右チャンネルのデータのペアを書き込む必要があります。

1～4番目のデータを同じアドレス(0x81510、0x81512)に変更せずに書き込みます。

DMAC経由でデータを書き込むとき

左チャンネルと右チャンネルのオーディオデータをメモリ領域に連続して格納するときには、DMA要求ごとに、DMACチャンネル(Ch.0、Ch.1、またはCh.3)を使用して32ビットのデータ転送を実施し、左(下位16ビット)と右(上位16ビット)の両方のデータを0x81510(固定アドレス)に書き込みます。16ビットと8ビットのデータ転送を指定することはできません。

左チャンネルと右チャンネルのオーディオデータを異なる場所に格納するときには、DMAC Ch.0とCh.1を使用します。この場合、16ビットのデータ転送を実施し、DMAC Ch.0を使用して左チャンネルのデータをアドレス0x81510(固定)に書き込み、Ch.1を使用して右チャンネルのデータをアドレス0x81512(固定)に書き込みます。I²Sの1データエンプティ DMA要求は、DMAC Ch.0とCh.1に同時に送られます。ただし、DMAC Ch.0の方がCh.1よりも優先度が高いため最初にDMA転送を開始します。したがって、左チャンネルのデータ転送にDMAC Ch.0を使用する必要があります。デュアルDMAチャンネルを使用するときは、8ビットと32ビットのデータ転送を指定することはできません。

22.8 I²Sクロックの設定

ここでは、I2S_MCLK、I2S_WS、およびI2S_SCKクロックの設定方法について説明します。以下に、サンプリングレートからクロック設定値を決定する方法を説明します。下記の例は、システムクロック周波数が33MHz、オーディオデータのサンプリングレートが44.1kHzの場合を想定しています。サンプリングクロック(I2S_WS)はマスタクロック(I2S_MCLK)に同期していますので、次の式が得られます。

$$\frac{f_{I2S_MCLK}}{f_{I2S_WS}} = \text{整数}$$

ここで、 f_{I2S_MCLK} は出力マスタクロック(I2S_MCLK)周波数、 f_{I2S_WS} はサンプリングクロック(I2S_WS)周波数です。

$$f_{I2S_MCLK} = \frac{33 \text{ MHz}}{\text{MCLKDIV}[5:0] + 1} \quad (\text{式1})$$

$$f_{I2S_WS} = \frac{33 \text{ MHz}}{(\text{BCLKDIV}[7:0] + 1) \times 2 \times (\text{WSCLKCYC}[4:0] + 16) \times 2} \quad (\text{式2})$$

$$\frac{(\text{BCLKDIV}[7:0] + 1) \times 2 \times (\text{WSCLKCYC}[4:0] + 16) \times 2}{\text{MCLKDIV}[5:0] + 1} = \text{整数} \quad (\text{式3})$$

表22.8.1. I2S_MCLK(マスタクロック)の設定

MCLKDIV[5:0]	I2S_MCLK
0x3f	PCLK1•1/64
0x3e	PCLK1•1/63
0x3d	PCLK1•1/62
:	:
0x2	PCLK1•1/3
0x1	PCLK1•1/2
0x0	PCLK1•1/1

表22.8.2 ビットクロックの設定

BCLKDIV[7:0]	ビットクロック (I2S_SCK)
0xff	PCLK1•1/512
0xfe	PCLK1•1/510
0xfd	PCLK1•1/508
:	:
0x2	PCLK1•1/6
0x1	PCLK1•1/4
0x0	PCLK1•1/2

表22.8.3 サンプリングクロック周期の設定

WSCLKCYC[4:0]	サンプリングクロック周期 (ビットクロックサイクル数)
0x1f-0x11	Reserved
0x10	32クロック
0xf	31クロック
0xe	30クロック
0xd	29クロック
0xc	28クロック
0xb	27クロック
0xa	26クロック
0x9	25クロック
0x8	24クロック
0x7	23クロック
0x6	22クロック
0x5	21クロック
0x4	20クロック
0x3	19クロック
0x2	18クロック
0x1	17クロック
0x0	16クロック

下表はExcelを使用して式2から作成したものです。

表22.8.4 サンプリングクロック周波数一覧

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S
1	SysClk	BCLKDIV																	
2	[kHz]	[7:0]	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
3	33000	0	515.63	485.29	458.33	434.21	412.50	392.86	375.00	358.70	343.75	330.00	317.31	305.56	294.64	284.48	275.00	266.13	257.81
4		1	257.81	242.65	229.17	217.11	206.25	196.43	187.50	179.35	171.88	165.00	158.65	152.78	147.32	142.24	137.50	133.06	128.91
5		2	171.88	161.76	152.78	144.74	137.50	130.95	125.00	119.57	114.58	110.00	105.77	101.85	98.21	94.83	91.67	88.71	85.94
6		3	128.91	121.32	114.58	108.55	103.13	98.21	93.75	89.67	85.94	82.50	79.33	76.39	73.66	71.12	68.75	66.53	64.45
7		4	103.13	97.06	91.67	86.84	82.50	78.57	75.00	71.74	68.75	66.00	63.46	61.11	58.93	56.90	55.00	53.23	51.56
8		5	85.94	80.88	76.39	72.37	68.75	65.48	62.50	59.78	57.29	55.00	52.88	50.93	49.11	47.41	45.83	44.35	42.97
9		6	73.66	69.33	65.48	62.03	58.93	56.12	53.57	51.24	49.11	47.14	45.33	43.65	42.09	40.64	39.29	38.02	36.83
10		7	64.45	60.66	57.29	54.28	51.56	49.11	46.88	44.84	42.97	41.25	39.66	38.19	36.83	35.56	34.38	33.27	32.23
11		8	57.29	53.92	50.93	48.25	45.83	43.65	41.67	39.86	38.19	36.67	35.26	33.95	32.74	31.61	30.56	29.57	28.65
12		9	51.56	48.53	45.83	43.42	41.25	39.29	37.50	35.87	34.38	33.00	31.73	30.56	29.46	28.45	27.50	26.61	25.78
13		10	46.88	44.12	41.67	39.47	37.50	35.71	34.09	32.61	31.25	30.00	28.85	27.78	26.79	25.86	25.00	24.19	23.44
14		11	42.97	40.44	38.19	36.18	34.38	32.74	31.25	29.89	28.65	27.50	26.44	25.46	24.55	23.71	22.92	22.18	21.48
15		12	39.66	37.33	35.26	33.40	31.73	30.22	28.85	27.59	26.44	25.38	24.41	23.50	22.66	21.88	21.15	20.47	19.83
16		13	36.83	34.66	32.74	31.02	29.46	28.06	26.79	25.62	24.55	23.57	22.66	21.83	21.05	20.32	19.64	19.01	18.42
17		14	34.38	32.35	30.56	28.95	27.50	26.19	25.00	23.91	22.92	22.00	21.15	20.37	19.64	18.97	18.33	17.74	17.19
18		15	32.23	30.33	28.65	27.14	25.78	24.55	23.44	22.42	21.48	20.63	19.83	19.10	18.42	17.78	17.19	16.63	16.11
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
257	254	2.02	1.90	1.80	1.70	1.62	1.54	1.47	1.41	1.35	1.29	1.24	1.20	1.16	1.12	1.08	1.04	1.01	
258	255	2.01	1.90	1.79	1.70	1.61	1.53	1.46	1.40	1.34	1.29	1.24	1.19	1.15	1.11	1.07	1.04	1.01	

- セル[A3]: システムクロック周波数 (33000kHz)
- セル[B3:B258]: BCLKDIV[7:0]設定値 (0 ~ 255)
- セル[C2:S2]: WSCLKCYC[4:0]設定値 (0 ~ 16)
- セル[C3:S258]: BCLKDIV[7:0]およびWSCLKCYC[4:0]の設定値に対応する、式2から求めたf_{fs}、w_s
 セル[C3] = \$A\$3/((B3+1)*2*(C\$2+16)*2) セル[S3] = \$A\$3/((B3+1)*2*(S\$2+16)*2)
 :
 :
 セル[C258] = \$A\$3/((B258+1)*2*(C\$2+16)*2) セル[S258] = \$A\$3/((B258+1)*2*(S\$2+16)*2)

システムクロック周波数が異なる場合、周波数(kHz)をセル[A3]に入力します。入力された値に応じて、セル[C3:S258]の値は正しい値に修正されます。

表から“44.1(kHz)”または近似値を探します。たとえば、セル[D13]に“44.12”があります。BCLKDIV[7:0]の値は10に、WSCLKCYC[4:0]の値は1になります。

これらの値を式3に代入すると、MCLKDIV[5:0]の値が求められます。

$$\frac{(10 + 1) \times 2 \times (1 + 16) \times 2}{MCLKDIV[5:0] + 1} = \text{整数}$$

下表はExcelを使用して式3から作成したものです。

表22.8.5 MCLKDIV[5:0]の有効な値

	U	V
1	BCLKDIV[7:0]	WSCLKCYC[4:0]
2	10	1
3		
4	MCLKDIV[5:0]	計算結果
5	0	Integer
6	1	Integer
7	2	-
8	3	Integer
9	4	-
:	:	-
15	10	Integer
:	:	-
21	16	Integer
:	:	-
26	21	Integer
:	:	-
38	33	Integer
:	:	-
48	43	Integer
:	:	-
68	63	-

セル[U2]: BCLKDIV[7:0]の値(10)
 セル[V2]: WSCLKCYC[4:0]の値(1)
 セル[V5:V68]: 式3の計算結果
 セル[V5] = IF(MOD((\$U\$2+1)*2*(V\$2+16)*2, (U5+1))=0, "Integer", "-")
 ⋮
 セル[V68] = IF(MOD((\$U\$2+1)*2*(V\$2+16)*2, (U68+1))=0, "Integer", "-")

選択したBCLKDIV[7:0]とWSCLKCYC[4:0]の値をセルU2とセルV2にそれぞれ入力します。
 設定可能なMCLKDIV[5:0]の値に対応するセルには“Integer”と表示されます。

MCLKDIV[5:0] = 0, 1, 3, 10, 16, 21, 33, 43

表22.8.6 マスタクロック周波数

MCLKDIV[5:0]	f _{12S_MCLK}	
0	33 MHz	(748 fs)
1	16.5 MHz	(374 fs)
3	8.25 MHz	(187 fs)
10	3 MHz	(68 fs)
16	1.941 MHz	(44 fs)
21	1.5 MHz	(34 fs)
33	970.588 kHz	(22 fs)
43	750 kHz	(17 fs)

上記表に記載されている値に対応する適切なMCLKDIV[5:0]値を選択します。

23 リモートコントローラ (REMC)

23.1 REMCモジュールの概要

S1C17803は赤外線リモコンの通信信号を生成するリモートコントローラ(REMC)モジュールを内蔵しています。

REMCモジュールの主な機能と特長を以下に示します。

- 赤外線リモコン信号を入出力可能
- プリスケアラ出力クロックを使用してキャリア信号を発生するキャリア発生回路を内蔵
- 転送データ長をカウントする8ビットダウンカウンタを内蔵
- 指定したキャリア長で送信データを生成する変調回路を内蔵
- 入力信号の立ち上がりエッジ/立ち下がりエッジを検出するエッジ検出回路を内蔵
- 指定データ長の送信終了を示すカウンタアンダーフロー割り込み、データ受信処理用の入力立ち上がりエッジ/立ち下がりエッジ検出割り込みを発生可能

図23.1.1にREMCモジュールの構成を示します。

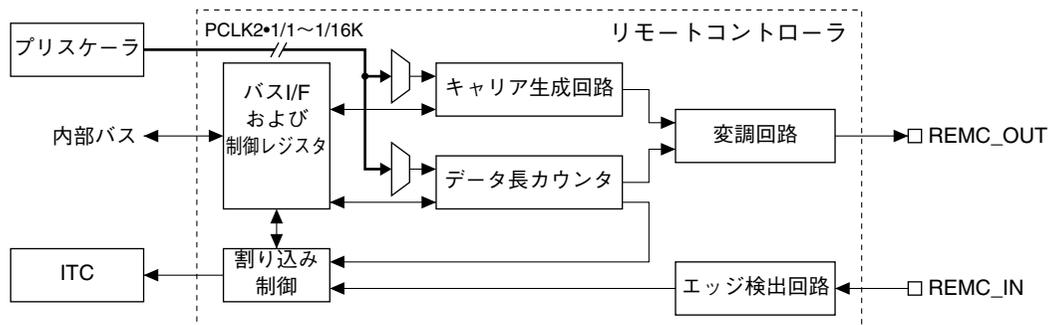


図23.1.1 REMCモジュールの構成

23.2 REMC入出力端子

表23.2.1にREMCの入出力端子を示します。

表23.2.1 REMC端子一覧

端子名	I/O	本数	機能
REMC_IN	I	1	リモコン受信データ入力端子 受信データを入力します。
REMC_OUT	O	1	リモコン送信データ出力端子 変調したリモコン送信データを出力します。

REMCモジュールの入出力端子(REMC_IN、REMC_OUT)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをREMCの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

23.3 キャリアの生成

REMCモジュールには、キャリア発生回路が組み込まれています。キャリア発生回路はソフトウェアで設定されたクロック、キャリアH区間長、キャリアL区間長に従い、送信用キャリア信号を生成します。キャリア信号の生成クロックとしてプリスケアラ(PSC Ch.2)出力クロックが使用されます。プリスケアラは、PCLK2クロックを1/1 ~ 1/16Kに分周して15種類のクロックを生成します。これらのクロックの1つがCGCLK[3:0]/REMC_CFGレジスタによって選択されます。

表23.3.1 キャリア生成用クロックの選択

CGCLK[3:0]	プリスケアラ出力クロック	CGCLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK2*1/128
0xe	PCLK2*1/16384	0x6	PCLK2*1/64
0xd	PCLK2*1/8192	0x5	PCLK2*1/32
0xc	PCLK2*1/4096	0x4	PCLK2*1/16
0xb	PCLK2*1/2048	0x3	PCLK2*1/8
0xa	PCLK2*1/1024	0x2	PCLK2*1/4
0x9	PCLK2*1/512	0x1	PCLK2*1/2
0x8	PCLK2*1/256	0x0	PCLK2*1/1

(デフォルト: 0x0)

プリスケアラ制御の詳細については、“プリスケアラ(PSC)”の章を参照してください。

注: REMCモジュールを動作させるには、その前にプリスケアラを動作させておく必要があります。

キャリアH区間長とキャリアL区間長は、それぞれREMCH[5:0]/REMC_CARレジスタとREMCL[5:0]/REMC_CARレジスタで設定します。これらのレジスタには、上記のとおり選択したクロックのサイクル数+1の値を設定します。

キャリアH区間長およびキャリアL区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{clk_in}} \text{ [s]}$$

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{clk_in}} \text{ [s]}$$

REMCH: キャリアH区間長データ値

REMCL: キャリアL区間長データ値

clk_in: プリスケアラ(PSC Ch.2)出力クロック周波数

これらの設定により、キャリア信号は図23.3.1のとおり生成されます。

例: CGCLK[3:0] = 0x2 (PCLK2*1/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

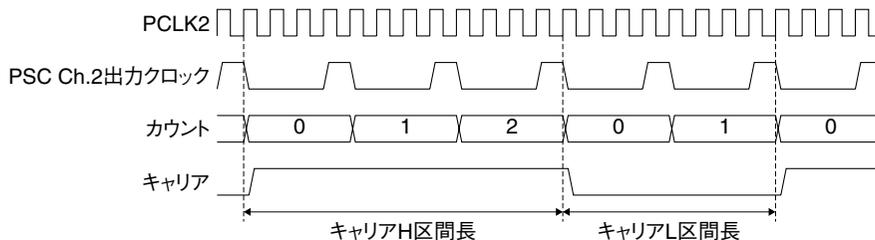


図23.3.1 キャリア信号の生成

23.4 データ長カウンタのクロック設定

データ長カウンタはデータ送信時にデータ長を設定するための8ビットカウンタです。

データ送信時にデータパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。この割り込みを利用して、次の送信データを設定します。

データ受信時にもこのカウンタを使用して、受信データ長を計測することができます。データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

このデータ長カウンタのカウントクロックにもプリスケアラ出力クロックが使用され、15種類から1つを選択することができます。プリスケアラ出力クロックは、キャリア生成用クロック選択ビットとは別に用意されているLCCLK[3:0]/REMC_CFGレジスタで選択します。

表23.4.1 データ長カウンタのクロックの選択

LCCLK[3:0]	プリスケアラ出カクロック	LCCLK[3:0]	プリスケアラ出カクロック
0xf	Reserved	0x7	PCLK2•1/128
0xe	PCLK2•1/16384	0x6	PCLK2•1/64
0xd	PCLK2•1/8192	0x5	PCLK2•1/32
0xc	PCLK2•1/4096	0x4	PCLK2•1/16
0xb	PCLK2•1/2048	0x3	PCLK2•1/8
0xa	PCLK2•1/1024	0x2	PCLK2•1/4
0x9	PCLK2•1/512	0x1	PCLK2•1/2
0x8	PCLK2•1/256	0x0	PCLK2•1/1

(デフォルト: 0x0)

データ長カウンタは最大256までカウント可能です。データ長がこの範囲に収まるようにカウントクロックを選択してください。

23.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) キャリア信号を設定します。23.3節を参照してください。
- (2) データ長カウンタのクロックを選択します。23.4節を参照してください。
- (3) 割り込み条件を設定します。23.6節を参照してください。

注: 上記の設定は必ずREMCモジュールが停止中 (REMEN/REMC_CFGレジスタ = 0) に行ってください。

データ送信制御

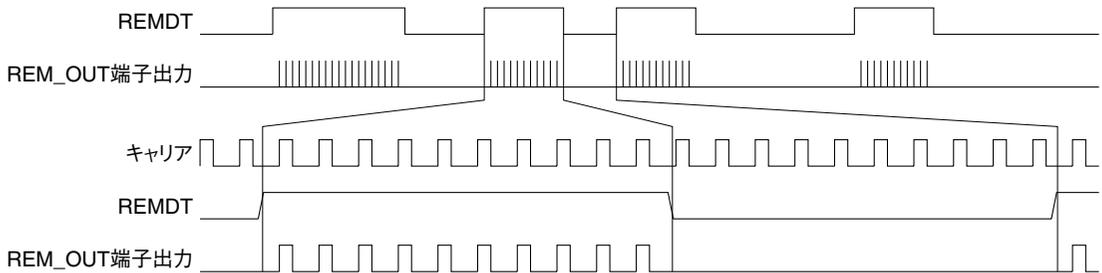


図23.5.1 データ送信

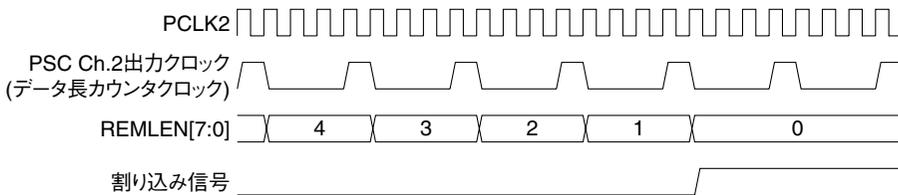


図23.5.2 アンダーフロー割り込み発生タイミング

(1) データ送信モードの設定

REMMMD/REMC_CFGレジスタに0を書き込み、REMCを送信モードに設定します。

(2) データ送信を許可

REMEN/REMC_CFGレジスタを1に設定してREMCの動作を許可します。これにより、REMCが送信動作を開始します。

不要なデータが送信されないように、REMENに1を書き込む前にREMDT/REMC_LCNTレジスタを0、REMLEN[7:0]/REMC_LCNTレジスタを0x0に設定してください。

(3) 送信データの設定

送信するデータ(HighまたはLow)をREMDT/REMC_LCNTレジスタに設定します。

REMDTを1に設定するとHigh、0に設定するとLow出力となり、キャリア信号で変調されたのち、REMC_OUT端子から出力されます。

(4) データパルス長の設定

送信を開始したデータのパルス長(High期間またはLow期間)に相当する値をREMLEN[7:0]/REMC_LCNTレジスタに書き込んで、データ長カウンタに設定します。

データ長カウンタに設定する値は次のとおりです。

設定値 = データパルス長(秒) × プリスケーラ出力クロック周波数(Hz)

データ長カウンタは書き込まれた値から、選択されているプリスケーラ出力クロックでカウントダウンを開始します。

データ長カウンタの値が0になるとアンダーフロー割り込み要因が発生し、割り込みが許可されている場合は割り込みコントローラ(ITC)にREMC割り込み要求を出力します。データ長カウンタは0の状態ではカウントを停止します。

(5) 割り込み処理

続くデータを送信する場合は、データ長カウンタのアンダーフローにより発生した割り込みの処理ルーチンの中で、次の送信データの設定(3)とデータパルス長の設定(4)を行います。

(6) データ送信の終了

データ送信を終了するには、最後のデータ送信が終了後(アンダーフロー割り込み発生後)、REMENに0を書き込んでください。

データ受信制御

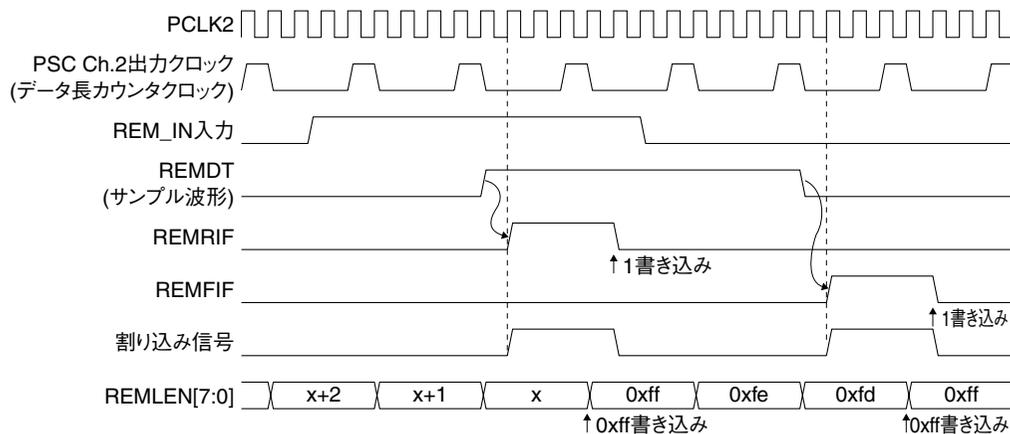


図23.5.3 データ受信

(1) データ受信モードの設定

REMMD/REMC_CFGレジスタに1を書き込み、REMCを受信モードに設定します。

(2) データ受信を許可

REMEN/REMC_CFGレジスタを1に設定してREMCの動作を許可します。これにより、REMCが受信動作(入力エッジ検出動作)を開始します。

REMCは、キャリア生成用に選択したプリスケーラ出力クロックで、REMC_IN端子からの入力信号をサンプリングして入力の変化(信号の立ち上がりエッジまたは立ち下がりエッジ)を検出します。信号のエッジが検出されると、立ち上がりエッジまたは立ち下がりエッジ割り込み要因が発生し、割り込みが許可されている場合はITCにREMC割り込み要求を出力します。立ち上がりエッジ割り込みと立ち下がりエッジ割り込みは個別に許可/禁止が可能です。

なお、入力に変化した後の信号レベルがサンプリングクロックの2サイクル以上連続して検出されない場合はノイズと見なされ、立ち上がりエッジまたは立ち下がりエッジ割り込みは発生しません。

(3) 割り込み処理

立ち上がりエッジまたは立ち下がりエッジ割り込みが発生した場合は、その割り込み処理ルーチンの中で、0xffをREMLEN[7:0]/REMC_LCNTレジスタに書き込んで、データ長カウンタに設定します。データ長カウンタは書き込まれた値から、選択されているプリスケアラ出力クロックでカウントダウンを開始します。

受信したデータはREMDT/REMC_LCNTレジスタから読み出すことができます。

データパルスが終了すると次の立ち下がりエッジまたは立ち上がりエッジ割り込みが発生しますので、そこでデータ長カウンタを読み出します。0xffと読み出し値の差分からデータ長が算出できます。続くデータを受信する場合は、データ長カウンタを再度0xffに設定し、次の割り込みを待ちます。

データ長カウンタを0xffに設定後、エッジ割り込みが発生せずにデータ長カウンタが0になった場合はデータの終了か、何らかの受信エラーが考えられます。受信時でもデータ長カウンタのアンダーフロー割り込みは発生しますので、終了/エラー処理に利用してください。

(4) データ受信の終了

データ受信を終了するには、最後のデータ受信が終了後、REMCに0を書き込んでください。

23.6 REMC割り込み

REMCモジュールには、以下の3種類の割り込みを発生させる機能があります。

- アンダーフロー割り込み
- 立ち上がりエッジ割り込み
- 立ち下がりエッジ割り込み

REMCモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。発生した割り込み要因を特定するには、REMCモジュール内の割り込みフラグを読み出してください。

アンダーフロー割り込み

この割り込み要因は、データ長カウンタがカウントダウンにより0になった時点で発生し、REMC内の割り込みフラグREMUIF/REMC_INTレジスタを1にセットします。

データ送信時は、設定したデータ長の送信が完了したことを示します。データ受信時は受信データが終了したか、受信エラーが発生したことを示します。

この割り込みを使用するには、REMUIE/REMC_INTレジスタを1に設定します。REMUIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMUIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みがデータ長カウンタのアンダーフローによるものかどうかについては、REMC割り込み処理ルーチンでREMUIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMUIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち上がりエッジ割り込み

この割り込み要因は、REMC_IN端子の入力信号がLowからHighに変化すると発生し、REMC内の割り込みフラグREMRIF/REMC_INTレジスタを1にセットします。

データ受信時、本割り込みと立ち下がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

この割り込みを使用するには、REMRIF/REMC_INTレジスタを1に設定します。REMRIFが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMRIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち上がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMRIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMRIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち下がリエッジ割り込み

この割り込み要因は、REMC_IN端子の入力信号がHighからLowに変化すると発生し、REMC内の割り込みフラグREMFIF/REMC_INTレジスタを1にセットします。

データ受信時、本割り込みと立ち上がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

この割り込みを使用するには、REMFIE/REMC_INTレジスタを1に設定します。REMFIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMFIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち下がリエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMFIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMFIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

割り込み処理の詳細については、“割り込みコントローラ (ITC)”の章を参照してください。

23.7 制御レジスタ詳細

表23.7.1 REMCレジスタ一覧

アドレス	レジスタ名		機能
0x81200	REMC_CFG	REMC Configuration Register	クロックと送受信の制御
0x81202	REMC_CAR	REMC Carrier Length Setup Register	キャリアのH/L区間長設定
0x81204	REMC_LCNT	REMC Length Counter Register	送受信ビットと送受信データ長の設定
0x81206	REMC_INT	REMC Interrupt Control Register	割り込みの制御

以下、REMCモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

REMC Configuration Register (REMC_CFG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
REMC Configuration Register (REMC_CFG)	0x81200 (16 bits)	D15-12	CGCLK[3:0]	Carrier generator clock select (Prescaler output clock)	CGCLK[3:0]	Clock	0x0	R/W		
					LCCLK[3:0]					
					0xf					reserved
					0xe					PCLK2*1/16384
					0xd					PCLK2*1/8192
					0xc					PCLK2*1/4096
					0xb					PCLK2*1/2048
					0xa					PCLK2*1/1024
					0x9					PCLK2*1/512
					0x8					PCLK2*1/256
		D11-8	LCCLK[3:0]	Length counter clock select (Prescaler output clock)	0x7	PCLK2*1/128				
					0x6	PCLK2*1/64				
					0x5	PCLK2*1/32				
					0x4	PCLK2*1/16				
D7-2	-	reserved	-	-	-	-	-	0 when being read.		
									D1	REMMD
		D0	REMEM	REMC enable	1 Enable	0 Disable	0	R/W		

D[15:12] CGCLK[3:0]: Carrier Generator Clock Select Bits

15種類のプリスケアラ (PSC Ch.2) 出力クロックからキャリア生成クロックを選択します。

表23.7.2 キャリア生成用クロックの選択

CGCLK[3:0]	プリスケアラ出力クロック	CGCLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK2*1/128
0xe	PCLK2*1/16384	0x6	PCLK2*1/64
0xd	PCLK2*1/8192	0x5	PCLK2*1/32
0xc	PCLK2*1/4096	0x4	PCLK2*1/16
0xb	PCLK2*1/2048	0x3	PCLK2*1/8
0xa	PCLK2*1/1024	0x2	PCLK2*1/4
0x9	PCLK2*1/512	0x1	PCLK2*1/2
0x8	PCLK2*1/256	0x0	PCLK2*1/1

(デフォルト: 0x0)

D[11:8] LCCLK[3:0]: Length Counter Clock Select Bits

15種類のプリスケアラ (PSC Ch.2) 出力クロックからデータ長カウンタクロックを選択します。

表23.7.3 データ長カウンタのクロックの選択

LCCLK[3:0]	プリスケアラ出力クロック	LCCLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK2*1/128
0xe	PCLK2*1/16384	0x6	PCLK2*1/64
0xd	PCLK2*1/8192	0x5	PCLK2*1/32
0xc	PCLK2*1/4096	0x4	PCLK2*1/16
0xb	PCLK2*1/2048	0x3	PCLK2*1/8
0xa	PCLK2*1/1024	0x2	PCLK2*1/4
0x9	PCLK2*1/512	0x1	PCLK2*1/2
0x8	PCLK2*1/256	0x0	PCLK2*1/1

(デフォルト: 0x0)

注: クロックの設定は、REMCモジュールが停止中 (REMCEN = 0) に行ってください。

D[7:2] Reserved**D1 REMMD: REMC Mode Select Bit**

送受信方向を選択します。

1 (R/W): 受信

0 (R/W): 送信 (デフォルト)

D0 REMEN: REMC Enable Bit

REMCモジュールの送受信を許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

REMCENを1に設定するとREMMDの設定に従って送信または受信の動作を開始します。

REMCENを0に設定すると、REMCモジュールは動作を停止します。

REMC Carrier Length Setup Register (REMC_CAR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Carrier Length Setup Register (REMC_CAR)	0x81202 (16 bits)	D15-14	–	reserved	–	–	–	0 when being read.
		D13–8	REMCCL[5:0]	Carrier L length setup	0x0 to 0x3f	0x0	R/W	
		D7-6	–	reserved	–	–	–	0 when being read.
		D5–0	REMCCH[5:0]	Carrier H length setup	0x0 to 0x3f	0x0	R/W	

D[15:14] Reserved

D[13:8] REMCL[5:0]: Carrier L Length Setup Bits

キャリア信号のL区間長を設定します。(デフォルト: 0x0)
 CGCLK[3:0]/REMC_CFGレジスタで選択したキャリア生成用クロックのサイクル数+1の値を指定します。キャリアL区間長は次のように計算できます。

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{clk_in}} \text{ [s]}$$

REMCL: REMCL[5:0]設定値
 clk_in: プリスケーラ (PSC Ch.2) 出力クロック周波数

REMCH[5:0]でH区間長を指定します。これらの設定により、キャリア信号は図23.7.1のとおり生成されます。

D[7:6] Reserved

D[5:0] REMCH[5:0]: Carrier H Length Setup Bits

キャリア信号のH区間長を設定します。(デフォルト: 0x0)
 CGCLK[3:0]/REMC_CFGレジスタで選択したキャリア生成用クロックのサイクル数+1の値を指定します。キャリアH区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{clk_in}} \text{ [s]}$$

REMCH: REMCH[5:0]設定値
 clk_in: プリスケーラ (PSC Ch.2) 出力クロック周波数

REMCL[5:0]でL区間長を指定します。これらの設定により、キャリア信号は図23.7.1のとおり生成されます。

例: CGCLK[3:0] = 0x2 (PCLK2•1/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

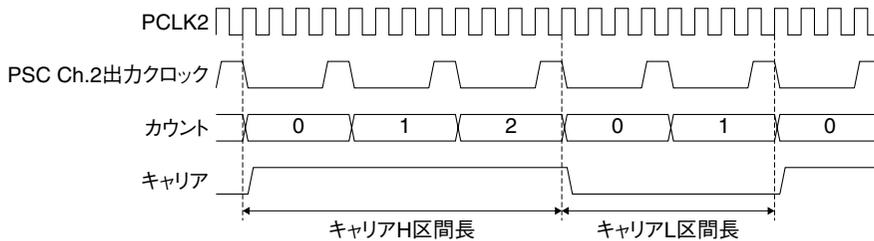


図23.7.1 キャリア信号の生成

REMC Length Counter Register (REMC_LCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Length Counter Register (REMC_LCNT)	0x81204 (16 bits)	D15-8	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W	
		D7-1	-	reserved	-	-	-	0 when being read.
		D0	REMDT	Transmit/receive data	1 1(H) 0 0(L)	0	R/W	

D[15:8] REMLEN[7:0]: Transmit/Receive Data Length Count Bits

データ長カウンタに値を設定しカウントを開始させます。(デフォルト: 0x0)
 カウンタは0になると停止し、アンダーフロー割り込み要因を発生します。

データ送信時

データ送信時は送信データ長を設定します。
 データパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。この割り込みを利用して、次の送信データを設定します。

データ受信時

データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。
 入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウンタ値を読み出すことで、その差分からデータパルス長が得られます。

D[7:1] Reserved**D0 REMDT: Transmit/Receive Data Bit**

データ送信時は送信データを設定します。データ受信時は受信データが読み出せます。

1(R/W): 1(H)

0(R/W): 0(L) (デフォルト)

REMEN/REMC_CFGレジスタが1に設定されている場合、データ送信時はREMDTの設定値がキャリア信号で変調され、REMC_OUT端子から出力されます。データ受信時は入力したデータパルスの信号レベルがこのビットにセットされます。

REMC Interrupt Control Register (REMC_INT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
REMC Interrupt Control Register (REMC_INT)	0x81206 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.		
		D10	REMFIF	Falling edge interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	
		D9	REMRIF	Rising edge interrupt flag			0	R/W		
		D8	REMUIF	Underflow interrupt flag			0	R/W		
		D7-3	–	reserved	–	–	–	–	0 when being read.	
		D2	REMFIE	Falling edge interrupt enable	1	Enable	0	Disable	0	R/W
		D1	REMRIE	Rising edge interrupt enable	1	Enable	0	Disable	0	R/W
		D0	REMUIE	Underflow interrupt enable	1	Enable	0	Disable	0	R/W

本レジスタは、データ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち上がりエッジ割り込みを制御します。割り込みフラグはデータ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジにより1にセットされます。割り込みイネーブルビットを1に設定しておくことで、同時にITCに対してREMC割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因を特定してください。割り込みイネーブルビットを0に設定すると割り込みが禁止されます。

注: • REMC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、REMCモジュール内の割り込みフラグをリセットする必要があります。

- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

D[15:11] Reserved**D10 REMFIF: Falling Edge Interrupt Flag Bit**

立ち下がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMFIFは入力信号の立ち下がりエッジで1にセットされます。REMFIFは1の書き込みにより0にリセットされます。

D9 REMRIF: Rising Edge Interrupt Flag Bit

立ち上がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMRIFは入力信号の立ち上がりエッジで1にセットされます。REMRIFは1の書き込みにより0にリセットされます。

D8 REMUIF: Underflow Interrupt Flag Bit

アンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMUIFはデータ長カウンタのアンダーフローによって1にセットされます。REMUIFは1の書き込みにより0にリセットされます。

D[7:3] Reserved

D2 REMFIE: Falling Edge Interrupt Enable Bit

入力信号の立ち下がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D1 REMRIE: Rising Edge Interrupt Enable Bit

入力信号の立ち上がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D0 REMUIE: Underflow Interrupt Enable Bit

データ長カウンタのアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

24 カードインタフェース (CARD)

24.1 CARDモジュールの概要

NAND Flashまたはスマートメディアカード接続用のカードインタフェース (CARD) モジュールです。CARDモジュールの特長を以下に示します。

- #SMRDと#SMWR信号を生成します。
(NAND Flashまたはスマートメディアカード固有の信号については、汎用入出力ポートを使用して制御してください。)
- 8ビットおよび16ビットのNAND Flashデバイスおよびスマートメディアカードに対応しています。
- NAND Flashまたはスマートメディアカードは、#CE2エリア(0x700000～0xefffff, 8MB)に接続できます。
- 各デバイスのデータとアドレス信号はSRAMCの外部バスに直結できます。

24.2 CARD出力端子

表24.2.1にカードインタフェースの出力端子の一覧を示します。

表24.2.1 カードインタフェース端子一覧

端子名	I/O	本数	機能
#SMRD	O	1	スマートメディアリード信号出力端子 NAND Flashとスマートメディアカード用のリード信号を出力します。
#SMWR	O	1	スマートメディアライト信号出力端子 NAND Flashとスマートメディアカード用のライト信号を出力します。

CARDの出力端子(#SMRDと#SMWR)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをCARDの出力端子として使用するには、ポート機能選択ビットの設定により端子機能を切り換える必要があります。端子の機能の切り換えの詳細については、“汎用入出力ポート (GPIO)”の章を参照してください。

24.3 カードインタフェース制御信号

図24.3.1にスマートメディアインタフェース信号を生成するロジックを示します。図24.3.2にS1C17803とスマートメディアカード (NAND Flash) の接続例を示します。

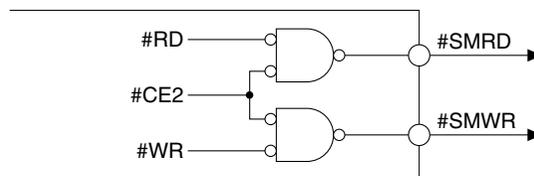


図24.3.1 スマートメディアインタフェース信号生成回路

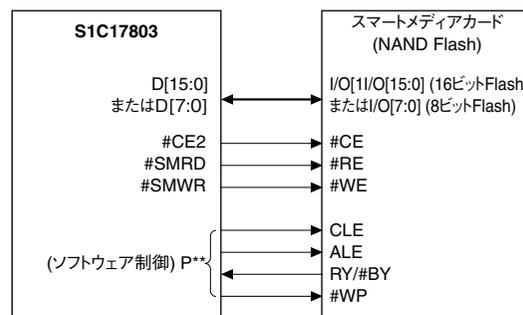


図24.3.2 スマートメディアカードの接続例

25 汎用入出力ポート

25.1 GPIOモジュールの概要

S1C17803は、ソフトウェアによって入出力方向の切り換えが可能な汎用入出力ポートを内蔵しています。それぞれ、内蔵周辺モジュールの入出力端子として兼用されており、周辺モジュールに使用しない端子は、すべて汎用入出力ポートとして使用できます。

GPIOモジュールの特長を以下に示します。

- 128pinパッケージでは、最大93本の入出力ポート(P1[7:0]、P2[7:0]、P3[7:0]、P4[5:0]、P5[7:0]、P6[7:0]、P7[7:0]、P8[6:0]、P9[7:0]、PA[7:0]、PB[7:0]、およびPC[7:0])と4本の入力ポート(P0[3:0])が使用可能です。

100pinパッケージでは、最大66本の入出力ポート(P2[5:0]、P3[7:6]、P3[3:0]、P4[4:0]、P5[7:4]、P5[2:0]、P6[7:0]、P7[7:0]、P8[4:0]、P9[7:0]、PA7、PA[5:4]、PA2、PA0およびPC[7:0])と3本の入力ポート(P0[2:0])が使用可能です。

- * GPIOポートは周辺機能端子(UART、PWMなど)と兼用されます。したがって、GPIOポートの数は使用する周辺機能により変化します。

- ソフトウェアにより選択されたP2/P8およびPA/P4ポートから入力割り込みを発生可能
- 割り込み入力信号の条件(レベル、エッジトリガ、および極性)を選択可能
- P2/P8およびPA/P4ポートにチャタリングフィルタを内蔵
- すべてのポートで端子機能(GPIOまたは周辺機能)の設定に、ポート機能選択ビットを使用可能

図25.1.1に入出力ポートの構成を示します。

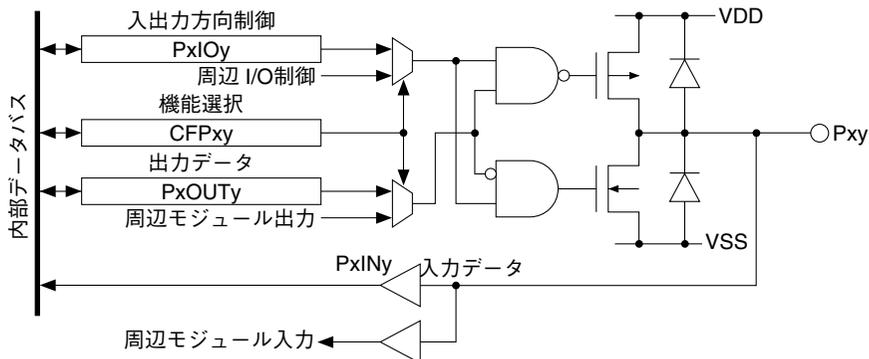


図25.1.1 入出力ポートの構成

注: • 入出力ポートにアクセスするには、CMUからのPCLK2クロック供給が必要です。また、P2/P8およびPA/P4でチャタリングフィルタを動作させるには、プリスケアラ(PSC Ch.2)の出力クロックが必要です。この機能を使用する場合はプリスケアラをOnにしてください。

- レジスタおよびビット名の“xy”は、ポート番号(Pxy、x = 0 ~ C、y = 0 ~ 7)を示します。

例: PxINy/Px_IN register
 P00: P0IN0/P0_IN register
 P17: P1IN7/P1_IN register

25.2 入出力端子機能の選択(MUXポート)

入出力ポート端子は、周辺モジュール用の入出力端子を兼ねており、入出力ポートとして使用するか、周辺モジュール機能用に使用するかを対応するポート機能選択ビットによって設定できるようになっています。周辺モジュール用に使用しない端子は、すべて汎用入出力ポートとして使用できます。

表25.2.1 入出力端子機能の選択

100pin パッケージ	端子機能1 CFPxx = 0x0 (デフォルト)	端子機能2 CFPxx = 0x1	端子機能3 CFPxx = 0x2	端子機能4 CFPxx = 0x3	I/Oグループ (電圧)	ポート機能選択ビット
○	AIN0	P00			アナログ (AVDD)	CFP00[1:0]/P0_03_CFP register
○	AIN1	P01			アナログ (AVDD)	CFP01[1:0]/P0_03_CFP register
○	AIN2	P02			アナログ (AVDD)	CFP02[1:0]/P0_03_CFP register
—	AIN3	P03			アナログ (AVDD)	CFP03[1:0]/P0_03_CFP register
—	P10	I2S_SDO			IO1 (IO1_VDD)	CFP10[1:0]/P1_03_CFP register
—	P11	I2S_WS			IO1 (IO1_VDD)	CFP11[1:0]/P1_03_CFP register
—	P12	I2S_SCK			IO1 (IO1_VDD)	CFP12[1:0]/P1_03_CFP register
—	P13	I2S_MCLK			IO1 (IO1_VDD)	CFP13[1:0]/P1_03_CFP register
—	P14	CMU_CLK			IO1 (IO1_VDD)	CFP14[1:0]/P1_47_CFP register
—	P15	#ADTRG			IO1 (IO1_VDD)	CFP15[1:0]/P1_47_CFP register
—	P16	REMC_IN			IO1 (IO1_VDD)	CFP16[1:0]/P1_47_CFP register
—	P17	REMC_OUT			IO1 (IO1_VDD)	CFP17[1:0]/P1_47_CFP register
○	P20	I2CM_SDA	US_SDI0	EXCL0	IO1 (IO1_VDD)	CFP20[1:0]/P2_03_CFP register
○	P21	I2CM_SCL	US_SDO0	TMH	IO1 (IO1_VDD)	CFP21[1:0]/P2_03_CFP register
○	P22	I2CS_SDA	US_SCK0	#SMRD	IO1 (IO1_VDD)	CFP22[1:0]/P2_03_CFP register
○	P23	I2CS_SCL	#US_SSI0	#SMWR	IO1 (IO1_VDD)	CFP23[1:0]/P2_03_CFP register
○	P24	ATMA	#ADTRG		IO1 (IO1_VDD)	CFP24[1:0]/P2_47_CFP register
○	P25	ATMB	#I2CS_BRST		IO1 (IO1_VDD)	CFP25[1:0]/P2_47_CFP register
—	P26	#SMRD			IO1 (IO1_VDD)	CFP26[1:0]/P2_47_CFP register
—	P27	#SMWR			IO1 (IO1_VDD)	CFP27[1:0]/P2_47_CFP register
○	P30	WDT_CLK	US_SDI1	EXCL1	IO1 (IO1_VDD)	CFP30[1:0]/P3_03_CFP register
○	P31	SIN	US_SDO1		IO1 (IO1_VDD)	CFP31[1:0]/P3_03_CFP register
○	P32	SOUT	US_SCK1		IO1 (IO1_VDD)	CFP32[1:0]/P3_03_CFP register
○	P33	#SCLK	#US_SSI1		IO1 (IO1_VDD)	CFP33[1:0]/P3_03_CFP register
—	P34	TMH			IO1 (IO1_VDD)	CFP34[1:0]/P3_47_CFP register
—	P35	TML			IO1 (IO1_VDD)	CFP35[1:0]/P3_47_CFP register
○	DSIO	P36			IO1 (IO1_VDD)	CFP36[1:0]/P3_47_CFP register
○	DST2	P37			IO1 (IO1_VDD)	CFP37[1:0]/P3_47_CFP register
○	P40	US_SDI0	I2S_SDO	I2CM_SDA	IO2 (IO2_VDD)	CFP40[1:0]/P4_03_CFP register
○	P41	US_SDO0	I2S_WS	I2CM_SCL	IO2 (IO2_VDD)	CFP41[1:0]/P4_03_CFP register
○	P42	US_SCK0	I2S_SCK	ATMA	IO2 (IO2_VDD)	CFP42[1:0]/P4_03_CFP register
○	P43	#US_SSI0	I2S_MCLK	TML	IO2 (IO2_VDD)	CFP43[1:0]/P4_03_CFP register
○	P44	EXCL1	TMH	I2CS_SDA	IO2 (IO2_VDD)	CFP44[1:0]/P4_45_CFP register
—	P45	ATMA	TML	#I2CS_BRST	IO2 (IO2_VDD)	CFP45[1:0]/P4_45_CFP register
○	P50	US_SDI1	CMU_CLK	REMC_IN	IO2 (IO2_VDD)	CFP50[1:0]/P5_03_CFP register
○	P51	US_SDO1	#WDT_NMI	REMC_OUT	IO2 (IO2_VDD)	CFP51[1:0]/P5_03_CFP register
○	P52	US_SCK1	WDT_CLK	I2CS_SCL	IO2 (IO2_VDD)	CFP52[1:0]/P5_03_CFP register
—	P53	#US_SSI1	#ADTRG	EXCL0	IO2 (IO2_VDD)	CFP53[1:0]/P5_03_CFP register
○	P54	#SMRD	FPFRAME		IO2 (IO2_VDD)	CFP54[1:0]/P5_47_CFP register
○	P55	#SMWR	FPLINE		IO2 (IO2_VDD)	CFP55[1:0]/P5_47_CFP register
○	P56	REMC_IN	FPSHIFT		IO2 (IO2_VDD)	CFP56[1:0]/P5_47_CFP register
○	P57	REMC_OUT	FPDRDY		IO2 (IO2_VDD)	CFP57[1:0]/P5_47_CFP register
○	P60	A0/#BSL			バス (BUSIO_VDD)	CFP60[1:0]/P6_03_CFP register
○	P61	A1			バス (BUSIO_VDD)	CFP61[1:0]/P6_03_CFP register
○	P62	A2			バス (BUSIO_VDD)	CFP62[1:0]/P6_03_CFP register
○	P63	A3			バス (BUSIO_VDD)	CFP63[1:0]/P6_03_CFP register
○	P64	A4			バス (BUSIO_VDD)	CFP64[1:0]/P6_47_CFP register
○	P65	A5			バス (BUSIO_VDD)	CFP65[1:0]/P6_47_CFP register
○	P66	A6			バス (BUSIO_VDD)	CFP66[1:0]/P6_47_CFP register
○	P67	A7			バス (BUSIO_VDD)	CFP67[1:0]/P6_47_CFP register
○	P70	A8			バス (BUSIO_VDD)	CFP70[1:0]/P7_03_CFP register
○	P71	A9			バス (BUSIO_VDD)	CFP71[1:0]/P7_03_CFP register
○	P72	A10			バス (BUSIO_VDD)	CFP72[1:0]/P7_03_CFP register
○	P73	A11			バス (BUSIO_VDD)	CFP73[1:0]/P7_03_CFP register
○	P74	A12			バス (BUSIO_VDD)	CFP74[1:0]/P7_47_CFP register
○	P75	A13			バス (BUSIO_VDD)	CFP75[1:0]/P7_47_CFP register
○	P76	A14			バス (BUSIO_VDD)	CFP76[1:0]/P7_47_CFP register
○	P77	A15			バス (BUSIO_VDD)	CFP77[1:0]/P7_47_CFP register
○	P80	A16			バス (BUSIO_VDD)	CFP80[1:0]/P8_03_CFP register
○	P81	A17			バス (BUSIO_VDD)	CFP81[1:0]/P8_03_CFP register
○	P82	A18			バス (BUSIO_VDD)	CFP82[1:0]/P8_03_CFP register

100pin パッケージ	端子機能1 CFPxx = 0x0 (デフォルト)	端子機能2 CFPxx = 0x1	端子機能3 CFPxx = 0x2	端子機能4 CFPxx = 0x3	I/Oグループ (電圧)	ポート機能選択ビット
○	P83	A19			バス (BUSIO_VDD)	CFP83[1:0]/P8_03_CFP register
○	P84	A20	#CE1		バス (BUSIO_VDD)	CFP84[1:0]/P8_46_CFP register
—	P85	A21			バス (BUSIO_VDD)	CFP85[1:0]/P8_46_CFP register
—	P86	A22			バス (BUSIO_VDD)	CFP86[1:0]/P8_46_CFP register
○	P90	D0			バス (BUSIO_VDD)	CFP90[1:0]/P9_03_CFP register
○	P91	D1			バス (BUSIO_VDD)	CFP91[1:0]/P9_03_CFP register
○	P92	D2			バス (BUSIO_VDD)	CFP92[1:0]/P9_03_CFP register
○	P93	D3			バス (BUSIO_VDD)	CFP93[1:0]/P9_03_CFP register
○	P94	D4			バス (BUSIO_VDD)	CFP94[1:0]/P9_47_CFP register
○	P95	D5			バス (BUSIO_VDD)	CFP95[1:0]/P9_47_CFP register
○	P96	D6			バス (BUSIO_VDD)	CFP96[1:0]/P9_47_CFP register
○	P97	D7			バス (BUSIO_VDD)	CFP97[1:0]/P9_47_CFP register
○	PA0	#CE0			バス (BUSIO_VDD)	CFPA0[1:0]/PA_03_CFP register
—	PA1	#CE1			バス (BUSIO_VDD)	CFPA1[1:0]/PA_03_CFP register
○	PA2	#CE2			バス (BUSIO_VDD)	CFPA2[1:0]/PA_03_CFP register
—	PA3	#CE3			バス (BUSIO_VDD)	CFPA3[1:0]/PA_03_CFP register
○	PA4	#RD			バス (BUSIO_VDD)	CFPA4[1:0]/PA_47_CFP register
○	PA5	#WRL			バス (BUSIO_VDD)	CFPA5[1:0]/PA_47_CFP register
—	PA6	#WRH/#BSH			バス (BUSIO_VDD)	CFPA6[1:0]/PA_47_CFP register
○	PA7	#WAIT			バス (BUSIO_VDD)	CFPA7[1:0]/PA_47_CFP register
—	PB0	D8			バス (BUSIO_VDD)	CFPB0[1:0]/PB_03_CFP register
—	PB1	D9			バス (BUSIO_VDD)	CFPB1[1:0]/PB_03_CFP register
—	PB2	D10			バス (BUSIO_VDD)	CFPB2[1:0]/PB_03_CFP register
—	PB3	D11			バス (BUSIO_VDD)	CFPB3[1:0]/PB_03_CFP register
—	PB4	D12			バス (BUSIO_VDD)	CFPB4[1:0]/PB_47_CFP register
—	PB5	D13			バス (BUSIO_VDD)	CFPB5[1:0]/PB_47_CFP register
—	PB6	D14			バス (BUSIO_VDD)	CFPB6[1:0]/PB_47_CFP register
—	PB7	D15			バス (BUSIO_VDD)	CFPB7[1:0]/PB_47_CFP register
○	PC0	I2S_SDO	FPDAT0		IO2 (IO2_VDD)	CFPC0[1:0]/PC_03_CFP register
○	PC1	I2S_WS	FPDAT1		IO2 (IO2_VDD)	CFPC1[1:0]/PC_03_CFP register
○	PC2	I2S_SCK	FPDAT2		IO2 (IO2_VDD)	CFPC2[1:0]/PC_03_CFP register
○	PC3	I2S_MCLK	FPDAT3		IO2 (IO2_VDD)	CFPC3[1:0]/PC_03_CFP register
○	PC4	TMH	FPDAT4		IO2 (IO2_VDD)	CFPC4[1:0]/PC_47_CFP register
○	PC5	TML	FPDAT5		IO2 (IO2_VDD)	CFPC5[1:0]/PC_47_CFP register
○	PC6	EXGLO	FPDAT6		IO2 (IO2_VDD)	CFPC6[1:0]/PC_47_CFP register
○	PC7	ATMB	FPDAT7		IO2 (IO2_VDD)	CFPC7[1:0]/PC_47_CFP register

イニシャルリセットにより、各入出力ポート端子(P_{xy})はデフォルトの機能(表25.2.1“端子機能1”)に初期化されます。

入出力ポート以外の機能の詳細については、“概要”の章の“端子説明”か、周辺モジュールの説明を参照してください。

以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

注: ポート機能選択レジスタ(P_x_03_CFPおよびP_x_47_CFP)は書き込み保護されています。これらのレジスタを書き換えるには、PFWEN[7:0]/PF_WRENレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はPFWEN[7:0]を0x96以外に設定してください。

25.3 データ入出力

データ入出力制御

入出力ポートではPxIOy/Px_IOレジスタにより、各ビットの入出力方向の切り換えが可能です。入力時はPxIOyを0(デフォルト)に設定し、出力時は、PxIOyを1に設定します。

周辺モジュール機能を選択時の入出力方向の切り換えは、周辺モジュール側で制御されます。PxIOyの設定は無効です。

データ入力

外部信号入力および値の読み出しには、PxIOyを0(入力モード、デフォルト)に設定してください。入力モードに設定された入出力ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モードでは、外部信号レベルはPxINy/Px_INレジスタから直接読み出しが可能です。読み出された値は入力端子がHighレベルのときに1、Lowレベルのときに0となります。

また、ポート端子状態は出力モード(PxIOy = 1)で読み出しが可能です。この場合、実際のポート出力値はPxINyから読み出すことができます。

データ出力

ポート端子からのデータ出力には、PxIOyを1(出力モード)に設定します。入出力ポートは出力ポートとして機能し、PxOUTy/Px_OUTレジスタに設定した値がポート端子から出力されます。PxOUTyが1の場合、そのポート端子はHighレベルになります。データが0の場合、ポート端子はLowレベルになります。入力モード時においても、端子の状態に影響を与えることなくPxOUTyに対して書き込みは行えます。

25.4 ポート割り込み

GPIOモジュールは2本の割り込み系列(ポート入力割り込み0～1)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。

割り込みトリガ条件についても、入力信号のエッジ(立ち上がりエッジまたは立ち下がりエッジ)で割り込みを発生させるか、レベル(HighレベルまたはLowレベル)によって発生させるか選択可能です。

図25.4.1にポート割り込み回路の構成を示します。

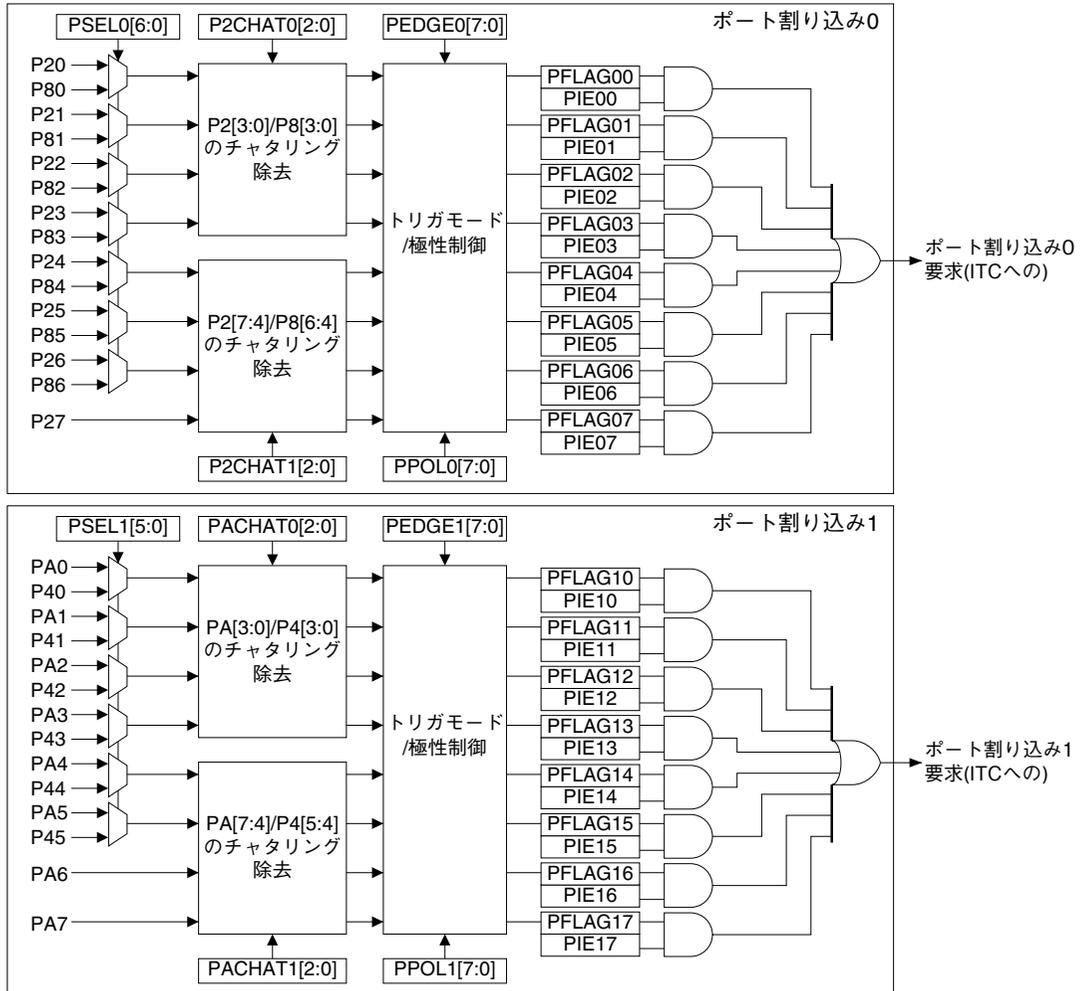


図25.4.1 ポート割り込み回路の構成

割り込みポートの選択

ポート割り込み0系列では、P2[7:0]～P8[6:0]から選択した8本のポートを使用して割り込みを発生させることができます。ポートの選択はPSEL0[6:0]/PP_SEL0レジスタにより行います。

表25.4.1 ポート割り込み0系列用ポートの選択

設定	0	1	2	3	4	5	6	7
	PSEL00	PSEL01	PSEL02	PSEL03	PSEL04	PSEL05	PSEL06	PSEL07
0(デフォルト)	P20	P21	P22	P23	P24	P25	P26	P27
1	P80	P81	P82	P83	P84	P85	P86	-(P27)

ポート割り込み1系列では、PA[7:0]～P4[5:0]から選択した8本のポートを使用して割り込みを発生させることができます。ポートの選択はPSEL1[5:0]/PP_SEL1レジスタにより行います。

表25.4.2 ポート割り込み1系列用ポートの選択

設定	0	1	2	3	4	5	6	7
	PSEL10	PSEL11	PSEL12	PSEL13	PSEL14	PSEL15	PSEL16	PSEL17
0(デフォルト)	PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7
1	P40	P41	P42	P43	P44	P45	-(PA6)	-(PA7)

P2/P8およびPA/P4ポートは、ソフトウェアで有効/無効を設定可能なチャタリングフィルタを内蔵しています。チャタリングフィルタは割り込み発生時に有効です。チャタリングフィルタについては25.5節を参照してください。

トリガモードと極性の選択

GPIOモジュールには割り込みフラグの設定用に2種類のトリガモード(エッジトリガモード、レベルトリガモード)が用意されています。各ポートのトリガモードは、ポート割り込み0ではPEDGE0[7:0]/PP_EDGE0レジスタ、ポート割り込み1ではPEDGE1[7:0]/PP_EDGE1レジスタによって選択できます。

PEDGEビットが0(デフォルト)に設定されている場合は、対応するポートがエッジトリガモードに設定されます。エッジトリガモードでは、入力信号のアクティブエッジで割り込みフラグがセットされ、ソフトウェアによってリセットされるまで1を保持します。

PEDGEビットが1に設定されている場合は、対応するポートがレベルトリガモードに設定されます。レベルトリガモードでは、入力信号がアクティブレベルになると割り込みフラグがセットされ、ソフトウェアによってリセットされるまで1を保持します。

SLEEPモードの場合、CMUがポート割り込み信号レベルを検出してSLEEPモードを解除します。したがって、SLEEPモードでは、エッジトリガモードが選択されている場合でもGPIOモジュールはCMUにレベル信号を送信します。

入力信号のアクティブレベル/エッジは、ポート割り込み0ではPPOL0[7:0]/PP_POL0レジスタ、ポート割り込み1ではPPOL1[7:0]/PP_POL1レジスタによって選択できます。

PPOLビットが0(デフォルト)に設定されている場合は、Highレベル(レベルトリガモード)または立ち上がりエッジ(エッジトリガモード)を選択します。

PPOLビットが1に設定されている場合は、Lowレベル(レベルトリガモード)または立ち下がりエッジ(エッジトリガモード)を選択します。

表25.4.3 ポート割り込み条件

PEDGE	PPOL	ポート入力割り込み条件
1	1	Lowレベル入力
1	0	Highレベル入力
0	1	立ち下がりエッジ入力
0	0	立ち上がりエッジ入力

割り込みフラグ

ポート割り込み0系列ではそれぞれの割り込み入力ポートに対応する8本の割り込みフラグ(PFLAG0[7:0]/PP_FLAG0レジスタ)が、ポート割り込み1系列では8本の割り込みフラグ(PFLAG1[7:0]/PP_FLAG1レジスタ)が用意されています。

レベルトリガモードの場合、割り込みフラグは入力信号レベルに従ってセットされます。

エッジトリガモードの場合、割り込みフラグは入力信号のアクティブエッジでセットされます。このモードでは、割り込みフラグは割り込み発生後に1の書き込みでリセットする必要があります。

割り込みイネーブルビット

ポート割り込み系列の各ポートは、対応する割り込みイネーブルビット (PIE0[7:0]/PP_IE0レジスタ、PIE1[7:0]/PP_IE1レジスタ)により割り込みの発生を許可/禁止に設定できます。

割り込みはPIEビットを1に設定すると許可され、0に設定すると禁止されます。

対応するPIEビットが1に設定されている場合にPFLAGビットを1に設定すると、割り込み要求信号がITCに出力されます。割り込みは、ITCとSIC17コアの割り込み条件を満たした場合に発生します。

割り込み処理についての詳細は、“割り込みコントローラ (ITC)”の章を参照してください。

25.5 チャタリングフィルタ (P2/P8、PA/P4ポート)

P2/P8およびPA/P4ポートはキー入力に対するチャタリングフィルタ回路を内蔵しており、4つのPx[3:0]およびPx[7:4]ポートそれぞれに指定したサンプリングクロックで、PxCHAT1[2:0]/Px_CHATレジスタおよびPxCHAT2[2:0]/Px_CHATレジスタを使用して個別に有効/無効を設定できます。(x = 2またはA)

チャタリングフィルタが有効な場合、以下の表に示したフィルタ時間より短いパルスはノイズとして除去されます。

表25.5.1 チャタリングフィルタの設定

PxCHAT1[2:0]/PxCHAT2[2:0]	フィルタ時間
0x7	64/fPCLK2
0x6	32/fPCLK2
0x5	16/fPCLK2
0x4	8/fPCLK2
0x3	4/fPCLK2
0x2	2/fPCLK2
0x1	1/fPCLK2
0x0	フィルタなし

(デフォルト:0x0)

- 注:
- フィルタクロックとしてプリスケータ (PSC Ch.2) 出力が使用されます。したがって、チャタリングフィルタ使用時にはプリスケータ (PSC Ch.2) を動作させる必要があります。
 - チャタリングフィルタがOnの状態ではCPUがSLEEPモードに移行した場合、入力割り込みは受け付けられません。slp命令の実行前に、チャタリングフィルタを無効 (フィルタなし) にする必要があります。
 - Px_CHATレジスタの設定前にポート割り込みを禁止する必要があります。割り込みが許可された状態でのレジスタの設定は、不要なポート割り込みを発生させる可能性があります。

25.6 入力ポートのノイズフィルタ

S1C17803には、以下のポートの入力信号からノイズを除去するノイズフィルタが用意されています。

UART: SIN, #SCLK

USI: US_SDIO, US_SDI1, US_SCK0, US_SCK1, #US_SSI0, #US_SSI1

SRAMC: #WAIT

I2CM: I2CM_SDA, I2CM_SCL

I2CS: I2CS_SDA, I2CS_SCL, #I2CS_BRST

REMC: REMC_IN

T16P: EXCL0

T16A: EXCL1, ATMA, ATMB

ADC10: #ADTRG

これらのノイズフィルタはANFEN/PP_NFCレジスタを1に設定して使用します。ANFENが0 (デフォルト) の場合、信号はノイズフィルタを通らずに入力されます。

- 注:
- これらのノイズフィルタは個別に有効にすることはできません。
 - これらのノイズフィルタは、上記のポートを汎用入力ポートとして使用する場合は無効です。

25.7 制御レジスタ詳細

表25.7.1 GPIOとMUXポートレジスタ一覧

アドレス	レジスタ名		機能
0x80100	P0_IN	P0 Port Input Data Register	P0ポート入力データ
0x80110	P1_IN	P1 Port Input Data Register	P1ポート入力データ
0x80111	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
0x80112	P1_IO	P1 Port I/O Direction Register	P1ポート入出力方向の制御
0x80120	P2_IN	P2 Port Input Data Register	P2ポート入力データ
0x80121	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
0x80122	P2_IO	P2 Port I/O Direction Register	P2ポート入出力方向の制御
0x80124	PP_EDGE0	Port Interrupt 0 Trigger Mode Select Register	ポート割り込み0トリガモードの選択
0x80125	PP_IE0	Port Interrupt 0 Enable Register	ポート割り込み0の許可
0x80126	PP_POL0	Port Interrupt 0 Polarity Control Register	ポート割り込み0信号の極性の選択
0x80127	PP_FLAG0	Port Interrupt 0 Flag Register	ポート割り込み0発生状態の表示/リセット
0x80128	P2_CHAT	P2 Port Chattering Filter Control Register	P2/P8ポートチャタリングフィルタの制御
0x80130	P3_IN	P3 Port Input Data Register	P3ポート入力データ
0x80131	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
0x80132	P3_IO	P3 Port I/O Direction Register	P3ポート入出力方向の制御
0x80140	P4_IN	P4 Port Input Data Register	P4ポート入力データ
0x80141	P4_OUT	P4 Port Output Data Register	P4ポート出力データ
0x80142	P4_IO	P4 Port I/O Direction Register	P4ポート入出力方向の制御
0x80145	PP_SEL1	Port Interrupt 1 Port Select Register	ポート割り込み1用ポートの選択
0x80150	P5_IN	P5 Port Input Data Register	P5ポート入力データ
0x80151	P5_OUT	P5 Port Output Data Register	P5ポート出力データ
0x80152	P5_IO	P5 Port I/O Direction Register	P5ポート入出力方向の制御
0x80160	P6_IN	P6 Port Input Data Register	P6ポート入力データ
0x80161	P6_OUT	P6 Port Output Data Register	P6ポート出力データ
0x80162	P6_IO	P6 Port I/O Direction Register	P6ポート入出力方向の制御
0x80170	P7_IN	P7 Port Input Data Register	P7ポート入力データ
0x80171	P7_OUT	P7 Port Output Data Register	P7ポート出力データ
0x80172	P7_IO	P7 Port I/O Direction Register	P7ポート入出力方向の制御
0x80180	P8_IN	P8 Port Input Data Register	P8ポート入力データ
0x80181	P8_OUT	P8 Port Output Data Register	P8ポート出力データ
0x80182	P8_IO	P8 Port I/O Direction Register	P8ポート入出力方向の制御
0x80185	PP_SEL0	Port Interrupt 0 Port Select Register	ポート割り込み0用ポートの選択
0x80190	P9_IN	P9 Port Input Data Register	P9ポート入力データ
0x80191	P9_OUT	P9 Port Output Data Register	P9ポート出力データ
0x80192	P9_IO	P9 Port I/O Direction Register	P9ポート入出力方向の制御
0x801a0	PA_IN	PA Port Input Data Register	PAポート入力データ
0x801a1	PA_OUT	PA Port Output Data Register	PAポート出力データ
0x801a2	PA_IO	PA Port I/O Direction Register	PAポート入出力方向の制御
0x801a4	PP_EDGE1	Port Interrupt 1 Trigger Mode Select Register	ポート割り込み1トリガモードの選択
0x801a5	PP_IE1	Port Interrupt 1 Enable Register	ポート割り込み1の許可
0x801a6	PP_POL1	Port Interrupt 1 Polarity Control Register	ポート割り込み1信号の極性の選択
0x801a7	PP_FLAG1	Port Interrupt 1 Flag Register	ポート割り込み1発生状態の表示/リセット
0x801a8	PA_CHAT	PA Port Chattering Filter Control Register	PA/P4ポートチャタリングフィルタの制御
0x801b0	PB_IN	PB Port Input Data Register	PBポート入力データ
0x801b1	PB_OUT	PB Port Output Data Register	PBポート出力データ
0x801b2	PB_IO	PB Port I/O Direction Register	PBポート入出力方向の制御
0x801c0	PC_IN	PC Port Input Data Register	PCポート入力データ
0x801c1	PC_OUT	PC Port Output Data Register	PCポート出力データ
0x801c2	PC_IO	PC Port I/O Direction Register	PCポート入出力方向の制御
0x80200	P0_03CFP	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
0x80202	P1_03CFP	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択
0x80203	P1_47CFP	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択
0x80204	P2_03CFP	P2[3:0] Port Function Select Register	P2[3:0]ポート機能の選択
0x80205	P2_47CFP	P2[7:4] Port Function Select Register	P2[7:4]ポート機能の選択
0x80206	P3_03CFP	P3[3:0] Port Function Select Register	P3[3:0]ポート機能の選択
0x80207	P3_47CFP	P3[7:4] Port Function Select Register	P3[7:4]ポート機能の選択
0x80208	P4_03_CFP	P4[3:0] Port Function Select Register	P4[3:0]ポート機能の選択
0x80209	P4_45CFP	P4[5:4] Port Function Select Register	P4[5:4]ポート機能の選択
0x8020a	P5_03CFP	P5[3:0] Port Function Select Register	P5[3:0]ポート機能の選択
0x8020b	P5_47CFP	P5[7:4] Port Function Select Register	P5[7:4]ポート機能の選択
0x8020c	P6_03CFP	P6[3:0] Port Function Select Register	P6[3:0]ポート機能の選択
0x8020d	P6_47CFP	P6[7:4] Port Function Select Register	P6[7:4]ポート機能の選択
0x8020e	P7_03CFP	P7[3:0] Port Function Select Register	P7[3:0]ポート機能の選択
0x8020f	P7_47CFP	P7[7:4] Port Function Select Register	P7[7:4]ポート機能の選択
0x80210	P8_03CFP	P8[3:0] Port Function Select Register	P8[3:0]ポート機能の選択
0x80211	P8_46CFP	P8[6:4] Port Function Select Register	P8[6:4]ポート機能の選択
0x80212	P9_03CFP	P9[3:0] Port Function Select Register	P9[3:0]ポート機能の選択
0x80213	P9_47CFP	P9[7:4] Port Function Select Register	P9[7:4]ポート機能の選択

アドレス	レジスタ名		機能
0x80214	PA_03CFP	PA[3:0] Port Function Select Register	PA[3:0]ポート機能の選択
0x80215	PA_47CFP	PA[7:4] Port Function Select Register	PA[7:4]ポート機能の選択
0x80216	PB_03CFP	PB[3:0] Port Function Select Register	PB[3:0]ポート機能の選択
0x80217	PB_47CFP	PB[7:4] Port Function Select Register	PB[7:4]ポート機能の選択
0x80218	PC_03CFP	PC[3:0] Port Function Select Register	PC[3:0]ポート機能の選択
0x80219	PC_47CFP	PC[7:4] Port Function Select Register	PC[7:4]ポート機能の選択
0x8023e	PP_NFC	P Port Noise Filter Control Register	Pポート用ノイズフィルタの制御
0x8023f	PF_WREN	Port Function Protect Register	ポート機能選択レジスタへの書き込みの許可

入出力ポートの各レジスタは、以下で詳しく説明します。これらは8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- ポート機能選択レジスタ (Px_03_CFPおよびPx_47_CFP)は書き込み保護されています。これらのレジスタを書き換えるには、PFWEN[7:0]/PF_WRENレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はPFWEN[7:0]を0x96以外に設定してください。

Px Port Input Data Registers (Px_IN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Px Port Input Data Register (Px_IN)	0x80100	D7-0	PxIN[7:0]	Px[7:0] port input data	1 1 (H)	0 0 (L)	×	R
	0x80110							
	0x801c0							
	(8 bits)							

注: P0IN[3:0]、P4IN[5:0]、およびP8IN[6:0]はP0、P4、およびP8ポートそれぞれにのみ対応しています。その他のビットは予約されており、常に0が読み出されます。

D[7:0] PxIN[7:0]:Px[7:0] Port Input Data Bits

ポート端子の状態が読み出せます。(デフォルト:外部端子状態)

1 (R): Highレベル

0 (R): Lowレベル

PxINyはPxy端子に直接対応しています。ポートが出力モード(PxIOy/Px_IOレジスタ = 1)に設定されていても、ポート端子の電圧レベルが読み出されます。端子電圧がHighレベルの場合は1、Lowレベルの場合は0がそれぞれ読み出されます。読み出し専用PxINyへの書き込みは無効です。

Px Port Output Data Registers (Px_OUT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Px Port Output Data Register (Px_OUT)	0x80111	D7-0	PxOUT[7:0]	Px[7:0] port output data	1 1 (H)	0 0 (L)	0	R/W
	0x80121							
	0x801c1							
	(8 bits)							

注: P4OUT[5:0]およびP8OUT[6:0]はP4およびP8ポートそれぞれにのみ対応しています。その他のビットは予約されており、常に0が読み出されます。P0ポートには出力データレジスタがありません。

D[7:0] PxOUT[7:0]:Px[7:0] Port Output Data Bits

ポート端子からのデータ出力を設定します。

1 (R/W): Highレベル

0 (R/W): Lowレベル(デフォルト)

PxOUTyはPxy端子に直接対応しています。ポートが出力モード(PxIOy/Px_IOレジスタ = 1)に設定されていても、ポート端子からは書き込みデータが変更されずに出力されます。データビットが1に設定された場合はポート端子はHighレベルとなり、0に設定された場合はLowレベルとなります。

また、ポートデータは入力モード(PxIOy = 0) (端子状態は変更なし)で書き込みが可能です。

Px Port I/O Direction Registers (Px_IO)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
Px Port I/O Direction Register (Px_OEN)	0x80112	D7-0	PxIO[7:0]	Px[7:0] port I/O direction control	1	Output	0	Input	0	R/W	
	0x80122										
	0x801c2 (8 bits)										

注: P4IO[5:0]およびP8IO[6:0]はP4およびP8ポートそれぞれにのみ対応しています。その他のビットは予約されており、常に0が読み出されます。P0ポートには入出力方向レジスタがありません。

D[7:0] PxIO[7:0]:Px[7:0] Port I/O Direction Control Bits

ポートを入力/出力モードに設定します。

1(R/W): 出力モード

0(R/W): 入力モード(デフォルト)

PxIO_yはPx_yポートに直接対応している入出力方向制御ビットです。1に設定すると出力が有効になり、PxOUT_yに設定されたデータがポート端子から出力されます。PxIO_yが0に設定されると出力は無効になり、ポート端子は外部信号入力に対してハイインピーダンス状態になります。ポートが周辺モジュール機能を使用する場合、周辺モジュールによって出力の有効/無効を確認します。

Port Interrupt 0 Port Select Register (PP_SEL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
Port Interrupt 0 Port Select Register (PP_SEL0)	0x80185 (8 bits)	D7	PSEL07	Port interrupt 07 port select	P27		0	R			
		D6	PSEL06	Port interrupt 06 port select	1	P86	0	P26		0	R/W
		D5	PSEL05	Port interrupt 05 port select	1	P85	0	P25		0	R/W
		D4	PSEL04	Port interrupt 04 port select	1	P84	0	P24		0	R/W
		D3	PSEL03	Port interrupt 03 port select	1	P83	0	P23		0	R/W
		D2	PSEL02	Port interrupt 02 port select	1	P82	0	P22		0	R/W
		D1	PSEL01	Port interrupt 01 port select	1	P81	0	P21		0	R/W
		D0	PSEL00	Port interrupt 00 port select	1	P80	0	P20		0	R/W

D[7:0] PSEL0[7:0]:Port Interrupt 0[7:0] Port Select Bits

ポート割り込み発生用のポートを選択します。

1(R/W): P8yポート

0(R/W): P2yポート(デフォルト)

PSEL07は0(常時P27を選択)に固定された、読み出し専用ビットです。

Port Interrupt 1 Port Select Register (PP_SEL1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks			
Port Interrupt 1 Port Select Register (PP_SEL1)	0x80145 (8 bits)	D7	PSEL17	Port interrupt 17 port select	PA7		0	R			
		D6	PSEL16	Port interrupt 16 port select	PA6		0	R			
		D5	PSEL15	Port interrupt 15 port select	1	P45	0	PA5		0	R/W
		D4	PSEL14	Port interrupt 14 port select	1	P44	0	PA4		0	R/W
		D3	PSEL13	Port interrupt 13 port select	1	P43	0	PA3		0	R/W
		D2	PSEL12	Port interrupt 12 port select	1	P42	0	PA2		0	R/W
		D1	PSEL11	Port interrupt 11 port select	1	P41	0	PA1		0	R/W
		D0	PSEL10	Port interrupt 10 port select	1	P40	0	PA0		0	R/W

D[7:0] PSEL1[7:0]:Port Interrupt 1[7:0] Port Select Bits

ポート割り込み発生用のポートを選択します。

1(R/W): P4yポート

0(R/W): PAyポート(デフォルト)

PSEL16、PSEL17は0(常時PA6、PA7を選択)に固定された、読み出し専用ビットです。

Port Interrupt 0 Trigger Mode Select Register (PP_EDGE0)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Port Interrupt 0 Trigger Mode Select Register (PP_EDGE0)	0x80124 (8 bits)	D7	PEDGE07	Port int.07 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D6	PEDGE06	Port int.06 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D5	PEDGE05	Port int.05 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D4	PEDGE04	Port int.04 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D3	PEDGE03	Port int.03 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D2	PEDGE02	Port int.02 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D1	PEDGE01	Port int.01 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D0	PEDGE00	Port int.00 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	

D[7:0] PEDGE0[7:0]:Port Interrupt 0[7:0] Trigger Mode Select Bits

ポート割り込み0用ポートのトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): エッジトリガモード(デフォルト)

PEDGEビットが0(デフォルト)に設定されている場合は、対応するポートがエッジトリガモードに設定されます。エッジトリガモードでは、入力信号のアクティブエッジに割り込みフラグがセットされ、ソフトウェアによってリセットされるまで1を保持します。

PEDGEビットが1に設定されている場合は、対応するポートがレベルトリガモードに設定されます。レベルトリガモードでは、入力信号がアクティブレベルに達すると割り込みフラグがセットされ、ソフトウェアによってリセットされるまで1を保持します。SLEEPモードの場合、CMUがポート割り込み信号レベルを検出してSLEEPモードを解除します。したがって、SLEEPモードでは、エッジトリガモードが選択されている場合でもGPIOモジュールはCMUにレベル信号を送信します。

Port Interrupt 1 Trigger Mode Select Register (PP_EDGE1)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Port Interrupt 1 Trigger Mode Select Register (PP_EDGE1)	0x801a4 (8 bits)	D7	PEDGE17	Port int.17 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D6	PEDGE16	Port int.16 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D5	PEDGE15	Port int.15 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D4	PEDGE14	Port int.14 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D3	PEDGE13	Port int.13 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D2	PEDGE12	Port int.12 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D1	PEDGE11	Port int.11 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	
		D0	PEDGE10	Port int.10 trigger mode select	1	Level trigger	0	Edge trigger	0	R/W	

D[7:0] PEDGE1[7:0]:Port Interrupt 1[7:0] Trigger Mode Select Bits

ポート割り込み1用ポートのトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): エッジトリガモード(デフォルト)

PEDGE0[7:0]/PP_EDGE0レジスタの説明を参照してください。

Port Interrupt 0 Enable Register (PP_IE0)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Port Interrupt 0 Enable Register (PP_IE0)	0x80125 (8 bits)	D7	PIE07	Port interrupt 07 enable	1	Enable	0	Disable	0	R/W	
		D6	PIE06	Port interrupt 06 enable	1	Enable	0	Disable	0	R/W	
		D5	PIE05	Port interrupt 05 enable	1	Enable	0	Disable	0	R/W	
		D4	PIE04	Port interrupt 04 enable	1	Enable	0	Disable	0	R/W	
		D3	PIE03	Port interrupt 03 enable	1	Enable	0	Disable	0	R/W	
		D2	PIE02	Port interrupt 02 enable	1	Enable	0	Disable	0	R/W	
		D1	PIE01	Port interrupt 01 enable	1	Enable	0	Disable	0	R/W	
		D0	PIE00	Port interrupt 00 enable	1	Enable	0	Disable	0	R/W	

D[7:0] PIE0[7:0]:Port Interrupt 0[7:0] Enable Bits

ポートを有効/無効に設定しポート割り込み0を発生させます。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

Port Interrupt 1 Enable Register (PP_IE1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Port Interrupt 1 Enable Register (PP_IE1)	0x801a5 (8 bits)	D7	PIE17	Port interrupt 17 enable	1	Enable	0	Disable	0	R/W
		D6	PIE16	Port interrupt 16 enable	1	Enable	0	Disable	0	R/W
		D5	PIE15	Port interrupt 15 enable	1	Enable	0	Disable	0	R/W
		D4	PIE14	Port interrupt 14 enable	1	Enable	0	Disable	0	R/W
		D3	PIE13	Port interrupt 13 enable	1	Enable	0	Disable	0	R/W
		D2	PIE12	Port interrupt 12 enable	1	Enable	0	Disable	0	R/W
		D1	PIE11	Port interrupt 11 enable	1	Enable	0	Disable	0	R/W
		D0	PIE10	Port interrupt 10 enable	1	Enable	0	Disable	0	R/W

D[7:0] PIE1[7:0]:Port Interrupt 1[7:0] Enable Bits

ポートを有効/無効に設定しポート割り込み1を発生させます。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

Port Interrupt 0 Polarity Control Register (PP_POL0)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Port Interrupt 0 Polarity Control Register (PP_POL0)	0x80126 (8 bits)	D7	PPOL07	Port int.07 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D6	PPOL06	Port int.06 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D5	PPOL05	Port int.05 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D4	PPOL04	Port int.04 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D3	PPOL03	Port int.03 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D2	PPOL02	Port int.02 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D1	PPOL01	Port int.01 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D0	PPOL00	Port int.00 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W

D[7:0] PPOL0[7:0]:Port Interrupt 0[7:0] Signal Polarity Select Bits

ポート割り込み0用ポートの割り込みトリガレベルまたはエッジを選択します。

1(R/W): Lowレベル/立ち下がりエッジ

0(R/W): Highレベル/立ち上がりエッジ(デフォルト)

対応するポートの割り込み発生条件として、Highレベル(レベルトリガモード)または立ち上がりエッジ(エッジトリガモード)を選択します。

PPOLビットが1に設定されている場合は、Lowレベル(レベルトリガモード)または立ち下がりエッジ(エッジトリガモード)を選択します。

Port Interrupt 1 Polarity Control Register (PP_POL1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Port Interrupt 1 Polarity Control Register (PP_POL1)	0x801a6 (8 bits)	D7	PPOL17	Port int.17 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D6	PPOL16	Port int.16 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D5	PPOL15	Port int.15 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D4	PPOL14	Port int.14 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D3	PPOL13	Port int.13 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D2	PPOL12	Port int.12 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D1	PPOL11	Port int.11 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W
		D0	PPOL10	Port int.10 signal polarity select	1	Low / ↓	0	High / ↑	0	R/W

D[7:0] PPOL1[7:0]:Port Interrupt 1[7:0] Signal Polarity Select Bits

ポート割り込み1用ポートの割り込みトリガレベルまたはエッジを選択します。

1(R/W): Lowレベル/立ち下がりエッジ

0(R/W): Highレベル/立ち上がりエッジ(デフォルト)

対応するポートの割り込み発生条件として、Highレベル(レベルトリガモード)または立ち上がりエッジ(エッジトリガモード)を選択します。

PPOLビットが1に設定されている場合は、Lowレベル(レベルトリガモード)または立ち下がりエッジ(エッジトリガモード)を選択します。

Port Interrupt 0 Flag Register (PP_FLAG0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Port Interrupt 0 Flag Register (PP_FLAG0)	0x80127 (8 bits)	D7	PFLAG07	Port interrupt 07 flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1 in edge trigger mode.
		D6	PFLAG06	Port interrupt 06 flag			0	R/W	
		D5	PFLAG05	Port interrupt 05 flag			0	R/W	
		D4	PFLAG04	Port interrupt 04 flag			0	R/W	
		D3	PFLAG03	Port interrupt 03 flag			0	R/W	
		D2	PFLAG02	Port interrupt 02 flag			0	R/W	
		D1	PFLAG01	Port interrupt 01 flag			0	R/W	
		D0	PFLAG00	Port interrupt 00 flag			0	R/W	

D[7:0] PFLAG0[7:0]:Port Interrupt 0[7:0] Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): リセットフラグ
- 0(W): 無効

PFLAGはポート割り込み用各ポートに対応する割り込みフラグで、入力信号の指定されたエッジ(立ち上がりまたは立ち下がりエッジ)またはレベル(HighまたはLow)で1にセットされます。対応するPIEビットが1に設定された場合、ポート割り込み0要求信号も同時にITCに出力されます。割り込みは、ITCとS1C17コアの割り込み条件を満たした場合に発生します。エッジトリガモードでは、PFLAGビットは1の書き込みによりリセットされます。レベルトリガモードでは、PFLAGビットは1の書き込みによりリセットされます。

Port Interrupt 1 Flag Register (PP_FLAG1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Port Interrupt 1 Flag Register (PP_FLAG1)	0x801a7 (8 bits)	D7	PFLAG17	Port interrupt 17 flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1 in edge trigger mode.
		D6	PFLAG16	Port interrupt 16 flag			0	R/W	
		D5	PFLAG15	Port interrupt 15 flag			0	R/W	
		D4	PFLAG14	Port interrupt 14 flag			0	R/W	
		D3	PFLAG13	Port interrupt 13 flag			0	R/W	
		D2	PFLAG12	Port interrupt 12 flag			0	R/W	
		D1	PFLAG11	Port interrupt 11 flag			0	R/W	
		D0	PFLAG10	Port interrupt 10 flag			0	R/W	

D[7:0] PFLAG1[7:0]:Port Interrupt 1[7:0] Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): リセットフラグ
- 0(W): 無効

PFLAGはポート割り込み用各ポートに対応する割り込みフラグで、入力信号の指定されたエッジ(立ち上がりまたは立ち下がりエッジ)またはレベル(HighまたはLow)で1にセットされます。対応するPIEビットが1に設定された場合、ポート割り込み1要求信号も同時にITCに出力されます。割り込みは、ITCとS1C17コアの割り込み条件を満たした場合に発生します。エッジトリガモードでは、PFLAGビットは1の書き込みによりリセットされます。レベルトリガモードでは、PFLAGビットは1の書き込みによりリセットされます。

P2 Port Chattering Filter Control Register (P2_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P2 Port Chattering Filter Control Register (P2_CHAT)	0x80128 (8 bits)	D7	—	reserved	—	—	—	0 when being read.	
		D6-4	P2CHAT1 [2:0]	P2[7:4]/P8[6:4] chattering filter time select	P2CHAT1[2:0]	Filter time	0x0	R/W	
					0x7	64/fPCLK2			
					0x6	32/fPCLK2			
					0x5	16/fPCLK2			
					0x4	8/fPCLK2			
					0x3	4/fPCLK2			
					0x2	2/fPCLK2			
					0x1	1/fPCLK2			
		0x0	None						
D3	—	reserved	—	—	—	—	0 when being read.		
D2-0	P2CHAT0 [2:0]	P2[3:0]/P8[3:0] chattering filter time select	P2CHAT0[2:0]	Filter time	0x0	R/W			
			0x7	64/fPCLK2					
			0x6	32/fPCLK2					
			0x5	16/fPCLK2					
			0x4	8/fPCLK2					
			0x3	4/fPCLK2					
			0x2	2/fPCLK2					
			0x1	1/fPCLK2					
0x0	None								

D7 Reserved

D[6:4] P2CHAT1[2:0]:P2[7:4]/P8[6:4] Chattering Filter Time Select Bits

P2[7:4]/P8[6:4]ポートにチャタリングフィルタ回路を設定します。

D3 Reserved

D[2:0] P2CHAT0[2:0]:P2[3:0]/P8[3:0] Chattering Filter Time Select Bits

P2[3:0]/P8[3:0]ポートにチャタリングフィルタ回路を設定します。

P2/P8およびPA/P4ポートはキー入力に対するチャタリングフィルタ回路を内蔵しており、4つのP2[3:0]/P8[3:0] (PA[3:0]/P4[3:0]) およびP2[7:4]/P8[6:4] (PA[7:4]/P4[5:4]) ポートそれぞれに指定したフィルタ時間で、P2CHAT0[2:0] (PACHAT0[2:0]) およびP2CHAT1[2:0] (PACHAT1[2:0]) を使用して個別に有効/無効を設定できます。

表25.7.2 チャタリングフィルタの設定

PxCHAT1[2:0]/PxCHAT0[2:0]	フィルタ時間
0x7	64/fPCLK2
0x6	32/fPCLK2
0x5	16/fPCLK2
0x4	8/fPCLK2
0x3	4/fPCLK2
0x2	2/fPCLK2
0x1	1/fPCLK2
0x0	フィルタなし

(デフォルト:0x0)

- 注:
- フィルタクロックとしてプリスケアラ (PSC Ch.2) 出力が使用されます。したがって、チャタリングフィルタ使用時にはプリスケアラ (PSC Ch.2) を動作させる必要があります。
 - チャタリングフィルタがOnの状態CPUがSLEEPモードに移行した場合、入力割り込みは受け付けられません。slp命令の実行前に、チャタリングフィルタを無効(フィルタなし)にする必要があります。
 - Px_CHATレジスタの設定前にポート割り込みを禁止する必要があります。割り込みが許可された状態でのレジスタの設定は、不要なポート割り込みを発生させる可能性があります。

PA Port Chattering Filter Control Register (PA_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PA Port Chattering Filter Control Register (PA_CHAT)	0x801a8 (8 bits)	D7	—	reserved	—	—	—	0 when being read.	
		D6-4	PACHAT1 [2:0]	PA[7:4]/P4[5:4] chattering filter time select	PACHAT1[2:0]	Filter time	0x0	R/W	
					0x7	64/fPCLK2			
					0x6	32/fPCLK2			
					0x5	16/fPCLK2			
					0x4	8/fPCLK2			
					0x3	4/fPCLK2			
					0x2	2/fPCLK2			
					0x1	1/fPCLK2			
		0x0	None						
D3	—	reserved	—	—	—	0 when being read.			
D2-0	PACHAT0 [2:0]	PA[3:0]/P4[3:0] chattering filter time select	PACHAT0[2:0]	Filter time	0x0	R/W			
			0x7	64/fPCLK2					
			0x6	32/fPCLK2					
			0x5	16/fPCLK2					
			0x4	8/fPCLK2					
			0x3	4/fPCLK2					
			0x2	2/fPCLK2					
			0x1	1/fPCLK2					
0x0	None								

D7 Reserved

D[6:4] PACHAT1[2:0]:PA[7:4]/P4[5:4] Chattering Filter Time Select Bits

PA[7:4]/P4[5:4]ポートにチャタリングフィルタ回路を設定します。

D3 Reserved

D[2:0] PACHAT0[2:0]:PA[3:0]/P4[3:0] Chattering Filter Time Select Bits

PA[3:0]/P4[3:0]ポートにチャタリングフィルタ回路を設定します。

P2CHAT0[2:0]/P2_CHATレジスタの説明を参照してください。

P0[3:0] Port Function Select Register (P0_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0[3:0] Port Function Select Register (P0_03_CFP)	0x80200 (8 bits)	D7-6	CFP03[1:0]	P03 port function select	CFP03[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	P03			
		0x0	AIN3						
		D5-4	CFP02[1:0]	P02 port function select	CFP02[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P02			
		0x0	AIN2						
		D3-2	CFP01[1:0]	P01 port function select	CFP01[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P01			
		0x0	AIN1						
		D1-0	CFP00[1:0]	P00 port function select	CFP00[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	P00								
0x0	AIN0								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP03[1:0]:P03 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): P03ポート (GPIO)

0x0 (R/W): AIN3(ADC) (デフォルト)

D[5:4] CFP02[1:0]:P02 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P02ポート (GPIO)
 0x0 (R/W): AIN2 (ADC) (デフォルト)

D[3:2] CFP01[1:0]:P01 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P01ポート (GPIO)
 0x0 (R/W): AIN1 (ADC) (デフォルト)

D[1:0] CFP00[1:0]:P00 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P00ポート (GPIO)
 0x0 (R/W): AIN0 (ADC) (デフォルト)

P1[3:0] Port Function Select Register (P1_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P1[3:0] Port Function Select Register (P1_03_CFP)	0x80202 (8 bits)	D7-6	CFP13[1:0]	P13 port function select	CFP13[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	I2S_MCLK			
		0x0	P13						
		D5-4	CFP12[1:0]	P12 port function select	CFP12[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	I2S_SCK			
		0x0	P12						
		D3-2	CFP11[1:0]	P11 port function select	CFP11[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	I2S_WS			
		0x0	P11						
		D1-0	CFP10[1:0]	P10 port function select	CFP10[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	I2S_SDO								
0x0	P10								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP13[1:0]:P13 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): I2S_MCLK (I2S)
 0x0 (R/W): P13ポート (GPIO) (デフォルト)

D[5:4] CFP12[1:0]:P12 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): I2S_SCK (I2S)
 0x0 (R/W): P12ポート (GPIO) (デフォルト)

D[3:2] CFP11[1:0]:P11 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): I2S_WS (I2S)
 0x0 (R/W): P11ポート (GPIO) (デフォルト)

D[1:0] CFP10[1:0]:P10 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): I2S_SDO (I2S)

0x0 (R/W): P10ポート (GPIO) (デフォルト)

P1[7:4] Port Function Select Register (P1_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P1[7:4] Port Function Select Register (P1_47_CFP)	0x80203 (8 bits)	D7-6	CFP17[1:0]	P17 port function select	CFP17[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	REMC_OUT P17			
		D5-4	CFP16[1:0]	P16 port function select	CFP16[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	REMC_IN P16			
		D3-2	CFP15[1:0]	P15 port function select	CFP15[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	#ADTRG P15			
		D1-0	CFP14[1:0]	P14 port function select	CFP14[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	CMU_CLK P14			
0x0	CMU_CLK P14								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP17[1:0]:P17 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): REMC_OUT (REMC)

0x0 (R/W): P17ポート (GPIO) (デフォルト)

D[5:4] CFP16[1:0]:P16 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): REMC_IN (REMC)

0x0 (R/W): P16ポート (GPIO) (デフォルト)

D[3:2] CFP15[1:0]:P15 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): #ADTRG (ADC)

0x0 (R/W): P15ポート (GPIO) (デフォルト)

D[1:0] CFP14[1:0]:P14 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): CMU_CLK (CMU)

0x0 (R/W): P14ポート (GPIO) (デフォルト)

P2[3:0] Port Function Select Register (P2_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P2[3:0] Port Function Select Register (P2_03_CFP)	0x80204 (8 bits)	D7-6	CFP23[1:0]	P23 port function select	CFP23[1:0]	Function	0x0	R/W	Write-protected
					0x3	#SMWR			
					0x2	#US_SSI0			
					0x1	I2CS_SCL			
		0x0	P23						
		D5-4	CFP22[1:0]	P22 port function select	CFP22[1:0]	Function	0x0	R/W	
					0x3	#SMRD			
					0x2	US_SCK0			
					0x1	I2CS_SDA			
		0x0	P22						
		D3-2	CFP21[1:0]	P21 port function select	CFP21[1:0]	Function	0x0	R/W	
					0x3	TMH			
					0x2	US_SDO0			
					0x1	I2CM_SCL			
		0x0	P21						
		D1-0	CFP20[1:0]	P20 port function select	CFP20[1:0]	Function	0x0	R/W	
0x3	EXCL0								
0x2	US_SDI0								
0x1	I2CM_SDA								
0x0	P20								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP23[1:0]:P23 Port Function Select Bits

- 0x3 (R/W): #SMWR (CARD)
- 0x2 (R/W): #US_SSI0 (USI Ch.0)
- 0x1 (R/W): I2CS_SCL (I2CS)
- 0x0 (R/W): P23ポート (GPIO) (デフォルト)

D[5:4] CFP22[1:0]:P22 Port Function Select Bits

- 0x3 (R/W): #SMRD (CARD)
- 0x2 (R/W): US_SCK0 (USI Ch.0)
- 0x1 (R/W): I2CS_SDA (I2CS)
- 0x0 (R/W): P22ポート (GPIO) (デフォルト)

D[3:2] CFP21[1:0]:P21 Port Function Select Bits

- 0x3 (R/W): TMH (T16P)
- 0x2 (R/W): US_SDO0 (USI Ch.0)
- 0x1 (R/W): I2CM_SCL (I2CM)
- 0x0 (R/W): P21ポート (GPIO) (デフォルト)

D[1:0] CFP20[1:0]:P20 Port Function Select Bits

- 0x3 (R/W): EXCL0 (T16P)
- 0x2 (R/W): US_SDI0 (USI Ch.0)
- 0x1 (R/W): I2CM_SDA (I2CM)
- 0x0 (R/W): P20ポート (GPIO) (デフォルト)

P2[7:4] Port Function Select Register (P2_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P2[7:4] Port Function Select Register (P2_47_CFP)	0x80205 (8 bits)	D7-6	CFP27[1:0]	P27 port function select	CFP27[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	#SMWR P27			
		D5-4	CFP26[1:0]	P26 port function select	CFP26[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	#SMRD P26			
		D3-2	CFP25[1:0]	P25 port function select	CFP25[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#I2CS_BRST			
					0x1	ATMB P25			
		D1-0	CFP24[1:0]	P24 port function select	CFP24[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#ADTRG			
					0x1	ATMA P24			
0x0									

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP27[1:0]:P27 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): #SMWR (CARD)
 0x0 (R/W): P27ポート (GPIO) (デフォルト)

D[5:4] CFP26[1:0]:P26 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): #SMRD (CARD)
 0x0 (R/W): P26ポート (GPIO) (デフォルト)

D[3:2] CFP25[1:0]:P25 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): #I2CS_BRST (I2CS)
 0x1 (R/W): ATMB (T16A)
 0x0 (R/W): P25ポート (GPIO) (デフォルト)

D[1:0] CFP24[1:0]:P24 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): #ADTRG (ADC)
 0x1 (R/W): ATMA (T16A)
 0x0 (R/W): P24ポート (GPIO) (デフォルト)

P3[3:0] Port Function Select Register (P3_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P3[3:0] Port Function Select Register (P3_03_CFP)	0x80206 (8 bits)	D7-6	CFP33[1:0]	P33 port function select	CFP33[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	#US_SSI1			
					0x1	#SCLK			
		D5-4	CFP32[1:0]	P32 port function select	CFP32[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	US_SCK1			
					0x1	SOUT			
		D3-2	CFP31[1:0]	P31 port function select	CFP31[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	US_SDO1			
					0x1	SIN			
		D1-0	CFP30[1:0]	P30 port function select	CFP30[1:0]	Function	0x0	R/W	
					0x3	EXCL1			
					0x2	US_SDI1			
					0x1	WDT_CLK			
					0x0				

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP33[1:0]:P33 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): #US_SSI1 (USI Ch.1)
- 0x1 (R/W): #SCLK (UART)
- 0x0 (R/W): P33ポート (GPIO) (デフォルト)

D[5:4] CFP32[1:0]:P32 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): US_SCK1 (USI Ch.1)
- 0x1 (R/W): SOUT (UART)
- 0x0 (R/W): P32ポート (GPIO) (デフォルト)

D[3:2] CFP31[1:0]:P31 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): US_SDO1 (USI Ch.1)
- 0x1 (R/W): SIN (UART)
- 0x0 (R/W): P31 port (GPIO) (default)

D[1:0] CFP30[1:0]:P30 Port Function Select Bits

- 0x3 (R/W): EXCL1 (T16A)
- 0x2 (R/W): US_SDI1 (USI Ch.1)
- 0x1 (R/W): WDT_CLK (WDT)
- 0x0 (R/W): P30ポート (GPIO) (デフォルト)

P3[7:4] Port Function Select Register (P3_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P3[7:4] Port Function Select Register (P3_47_CFP)	0x80207 (8 bits)	D7-6	CFP37[1:0]	P37 port function select	CFP37[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	P37			
		0x0	DST2						
		D5-4	CFP36[1:0]	P36 port function select	CFP36[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	P36			
		0x0	DSIO						
		D3-2	CFP35[1:0]	P35 port function select	CFP35[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	TML			
		0x0	P35						
		D1-0	CFP34[1:0]	P34 port function select	CFP34[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	TMH								
0x0	P34								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP37[1:0]:P37 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): P37ポート (GPIO)
- 0x0 (R/W): DST2(DBG) (デフォルト)

D[5:4] CFP36[1:0]:P36 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): P36ポート (GPIO)
- 0x0 (R/W): DSIO(DBG) (デフォルト)

D[3:2] CFP35[1:0]:P35 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): TML (T16P)
- 0x0 (R/W): P35ポート (GPIO) (デフォルト)

D[1:0] CFP34[1:0]:P34 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): TMH (T16P)
- 0x0 (R/W): P34ポート (GPIO) (デフォルト)

P4[3:0] Port Function Select Register (P4_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P4[3:0] Port Function Select Register (P4_03_CFP)	0x80208 (8 bits)	D7-6	CFP43[1:0]	P43 port function select	CFP43[1:0]	Function	0x0	R/W	Write-protected
					0x3	TML			
					0x2	I2S_MCLK			
					0x1	#US_SSI0			
		D5-4	CFP42[1:0]	P42 port function select	CFP42[1:0]	Function	0x0	R/W	
					0x3	ATMA			
					0x2	I2S_SCK			
					0x1	US_SCK0			
		D3-2	CFP41[1:0]	P41 port function select	CFP41[1:0]	Function	0x0	R/W	
					0x3	I2CM_SCL			
					0x2	I2S_WS			
					0x1	US_SDO0			
D1-0	CFP40[1:0]	P40 port function select	CFP40[1:0]	Function	0x0	R/W			
			0x3	I2CM_SDA					
			0x2	I2S_SDO					
			0x1	US_SDI0					
					0x0				

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP43[1:0]:P43 Port Function Select Bits

- 0x3 (R/W): TML (T16P)
- 0x2 (R/W): I2S_MCLK (I2S)
- 0x1 (R/W): #US_SSI0 (USI Ch.0)
- 0x0 (R/W): P43ポート (GPIO) (デフォルト)

D[5:4] CFP42[1:0]:P42 Port Function Select Bits

- 0x3 (R/W): ATMA (T16A)
- 0x2 (R/W): I2S_SCK (I2S)
- 0x1 (R/W): US_SCK0 (USI Ch.0)
- 0x0 (R/W): P42ポート (GPIO) (デフォルト)

D[3:2] CFP41[1:0]:P41 Port Function Select Bits

- 0x3 (R/W): I2CM_SCL (I2CM)
- 0x2 (R/W): I2S_WS (I2S)
- 0x1 (R/W): US_SDO0 (USI Ch.0)
- 0x0 (R/W): P41ポート (GPIO) (デフォルト)

D[1:0] CFP40[1:0]:P40 Port Function Select Bits

- 0x3 (R/W): I2CM_SDA (I2CM)
- 0x2 (R/W): I2S_SDO (I2S)
- 0x1 (R/W): US_SDI0 (USI Ch.0)
- 0x0 (R/W): P40ポート (GPIO) (デフォルト)

P4[5:4] Port Function Select Register (P4_45_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks				
P4[5:4] Port Function Select Register (P4_45_CFP)	0x80209 (8 bits)	D7-4	-	reserved	-	-	0x0	R/W	0 when being read. Write-protected			
					D3-2	CFP45[1:0]				P45 port function select	CFP45[1:0]	Function
											0x3	#I2CS_BRST
											0x2	TML
		0x1	ATMA									
		D1-0	CFP44[1:0]	P44 port function select	CFP44[1:0]	Function	0x0	R/W				
					0x3	I2CS_SDA						
					0x2	TMH						
					0x1	EXCL1						
							0x0					

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:4] Reserved

D[3:2] CFP45[1:0]:P45 Port Function Select Bits

0x3 (R/W): #I2CS_BRST (I2CS)
 0x2 (R/W): TML (T16P)
 0x1 (R/W): ATMA (T16A)
 0x0 (R/W): P45ポート (GPIO) (デフォルト)

D[1:0] CFP44[1:0]:P44 Port Function Select Bits

0x3 (R/W): I2CS_SDA (I2S)
 0x2 (R/W): TMH (T16P)
 0x1 (R/W): EXCL1 (T16A)
 0x0 (R/W): P44ポート (GPIO) (デフォルト)

P5[3:0] Port Function Select Register (P5_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P5[3:0] Port Function Select Register (P5_03_CFP)	0x8020a (8 bits)	D7-6	CFP53[1:0]	P53 port function select	CFP53[1:0] Function	0x0	R/W	Write-protected
					0x3 EXCL0			
					0x2 #ADTRG			
					0x1 #US_SSI1			
		0x0 P53						
		D5-4	CFP52[1:0]	P52 port function select	CFP52[1:0] Function	0x0	R/W	
					0x3 I2CS_SCL			
					0x2 WDT_CLK			
					0x1 US_SCK1			
		0x0 P52						
		D3-2	CFP51[1:0]	P51 port function select	CFP51[1:0] Function	0x0	R/W	
					0x3 REMC_OUT			
					0x2 #WDT_NMI			
					0x1 US_SDO1			
		0x0 P51						
		D1-0	CFP50[1:0]	P50 port function select	CFP50[1:0] Function	0x0	R/W	
0x3 REMC_IN								
0x2 CMU_CLK								
0x1 US_SDI1								
0x0 P50								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP53[1:0]:P53 Port Function Select Bits

0x3 (R/W): EXCL0 (T16P)
 0x2 (R/W): #ADTRG (ADC)
 0x1 (R/W): #US_SSI1 (USI Ch.1)
 0x0 (R/W): P53ポート (GPIO) (デフォルト)

D[5:4] CFP52[1:0]:P52 Port Function Select Bits

0x3 (R/W): I2CS_SCL (I2CS)
 0x2 (R/W): WDT_CLK (WDT)
 0x1 (R/W): US_SCK1 (USI Ch.1)
 0x0 (R/W): P52ポート (GPIO) (デフォルト)

D[3:2] CFP51[1:0]:P51 Port Function Select Bits

0x3 (R/W): REMC_OUT (REMC)
 0x2 (R/W): #WDT_NMI (WDT)
 0x1 (R/W): US_SDO1 (USI Ch.1)
 0x0 (R/W): P51ポート (GPIO) (デフォルト)

D[1:0] CFP50[1:0]:P50 Port Function Select Bits

0x3 (R/W): REMC_IN (REMC)
 0x2 (R/W): CMU_CLK (CMU)
 0x1 (R/W): US_SDI1 (USI Ch.1)
 0x0 (R/W): P50ポート (GPIO) (デフォルト)

P5[7:4] Port Function Select Register (P5_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P5[7:4] Port Function Select Register (P5_47_CFP)	0x8020b (8 bits)	D7-6	CFP57[1:0]	P57 port function select	CFP57[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	FPDRDY			
					0x1	REMC_OUT			
		0x0	P57						
		D5-4	CFP56[1:0]	P56 port function select	CFP56[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	FPSHIFT			
					0x1	REMC_IN			
		0x0	P56						
		D3-2	CFP55[1:0]	P55 port function select	CFP55[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	FPLINE			
					0x1	#SMWR			
		0x0	P55						
		D1-0	CFP54[1:0]	P54 port function select	CFP54[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	FPFRAME								
0x1	#SMRD								
0x0	P54								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP57[1:0]:P57 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): FPDRDY (LCDC)
- 0x1 (R/W): REMC_OUT (REMC)
- 0x0 (R/W): P57ポート (GPIO) (デフォルト)

D[5:4] CFP56[1:0]:P56 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): FPSHIFT (LCDC)
- 0x1 (R/W): REMC_IN (REMC)
- 0x0 (R/W): P56ポート (GPIO) (デフォルト)

D[3:2] CFP55[1:0]:P55 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): FPLINE (LCDC)
- 0x1 (R/W): #SMWR (CARD)
- 0x0 (R/W): P55ポート (GPIO) (デフォルト)

D[1:0] CFP54[1:0]:P54 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): FPFRAME (LCDC)
- 0x1 (R/W): #SMRD (CARD)
- 0x0 (R/W): P54ポート (GPIO) (デフォルト)

P6[3:0] Port Function Select Register (P6_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P6[3:0] Port Function Select Register (P6_03_CFP)	0x8020c (8 bits)	D7-6	CFP63[1:0]	P63 port function select	CFP63[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	A3			
		0x0	P63						
		D5-4	CFP62[1:0]	P62 port function select	CFP62[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A2			
		0x0	P62						
		D3-2	CFP61[1:0]	P61 port function select	CFP61[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A1			
		0x0	P61						
		D1-0	CFP60[1:0]	P60 port function select	CFP60[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	A0/#BSL								
0x0	P60								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP63[1:0]:P63 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A3 (SRAMC)
- 0x0 (R/W): P63ポート (GPIO) (デフォルト)

D[5:4] CFP62[1:0]:P62 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A2 (SRAMC)
- 0x0 (R/W): P62ポート (GPIO) (デフォルト)

D[3:2] CFP61[1:0]:P61 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A1 (SRAMC)
- 0x0 (R/W): P61ポート (GPIO) (デフォルト)

D[1:0] CFP60[1:0]:P60 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A0/#BSL (SRAMC)
- 0x0 (R/W): P60ポート (GPIO) (デフォルト)

P6[7:4] Port Function Select Register (P6_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P6[7:4] Port Function Select Register (P6_47_CFP)	0x8020d (8 bits)	D7-6	CFP67[1:0]	P67 port function select	CFP67[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	A7			
		0x0	P67						
		D5-4	CFP66[1:0]	P66 port function select	CFP66[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A6			
		0x0	P66						
		D3-2	CFP65[1:0]	P65 port function select	CFP65[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A5			
		0x0	P65						
		D1-0	CFP64[1:0]	P64 port function select	CFP64[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	A4								
0x0	P64								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP67[1:0]:P67 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A7 (SRAMC)
- 0x0 (R/W): P67ポート (GPIO) (デフォルト)

D[5:4] CFP66[1:0]:P66 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A6 (SRAMC)
- 0x0 (R/W): P66ポート (GPIO) (デフォルト)

D[3:2] CFP65[1:0]:P65 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A5 (SRAMC)
- 0x0 (R/W): P65ポート (GPIO) (デフォルト)

D[1:0] CFP64[1:0]:P64 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A4 (SRAMC)
- 0x0 (R/W): P64ポート (GPIO) (デフォルト)

P7[3:0] Port Function Select Register (P7_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P7[3:0] Port Function Select Register (P7_03_CFP)	0x8020e (8 bits)	D7-6	CFP73[1:0]	P73 port function select	CFP73[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	A11			
		0x0	P73						
		D5-4	CFP72[1:0]	P72 port function select	CFP72[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A10			
		0x0	P72						
		D3-2	CFP71[1:0]	P71 port function select	CFP71[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A9			
		0x0	P71						
		D1-0	CFP70[1:0]	P70 port function select	CFP70[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	A8								
0x0	P70								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP73[1:0]:P73 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A11 (SRAMC)
- 0x0 (R/W): P73ポート (GPIO) (デフォルト)

D[5:4] CFP72[1:0]:P72 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A10 (SRAMC)
- 0x0 (R/W): P72ポート (GPIO) (デフォルト)

D[3:2] CFP71[1:0]:P71 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A9 (SRAMC)
- 0x0 (R/W): P71ポート (GPIO) (デフォルト)

D[1:0] CFP70[1:0]:P70 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A8 (SRAMC)
- 0x0 (R/W): P70ポート (GPIO) (デフォルト)

P7[7:4] Port Function Select Register (P7_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P7[7:4] Port Function Select Register (P7_47_CFP)	0x8020f (8 bits)	D7-6	CFP77[1:0]	P77 port function select	CFP77[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	A15			
		0x0	P77						
		D5-4	CFP76[1:0]	P76 port function select	CFP76[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A14			
		0x0	P76						
		D3-2	CFP75[1:0]	P75 port function select	CFP75[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A13			
		0x0	P75						
		D1-0	CFP74[1:0]	P74 port function select	CFP74[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	A12								
0x0	P74								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP77[1:0]:P77 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A15 (SRAMC)
- 0x0 (R/W): P77ポート (GPIO) (デフォルト)

D[5:4] CFP76[1:0]:P76 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A14 (SRAMC)
- 0x0 (R/W): P76ポート (GPIO) (デフォルト)

D[3:2] CFP75[1:0]:P75 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A13 (SRAMC)
- 0x0 (R/W): P75ポート (GPIO) (デフォルト)

D[1:0] CFP74[1:0]:P74 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A12 (SRAMC)
- 0x0 (R/W): P74ポート (GPIO) (デフォルト)

P8[3:0] Port Function Select Register (P8_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P8[3:0] Port Function Select Register (P8_03_CFP)	0x80210 (8 bits)	D7-6	CFP83[1:0]	P83 port function select	CFP83[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	A19			
		D5-4	CFP82[1:0]	P82 port function select	CFP82[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A18			
		D3-2	CFP81[1:0]	P81 port function select	CFP81[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A17			
		D1-0	CFP80[1:0]	P80 port function select	CFP80[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A16			
					0x0				

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP83[1:0]:P83 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A19 (SRAMC)
- 0x0 (R/W): P83ポート (GPIO) (デフォルト)

D[5:4] CFP82[1:0]:P82 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A18 (SRAMC)
- 0x0 (R/W): P82ポート (GPIO) (デフォルト)

D[3:2] CFP81[1:0]:P81 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A17 (SRAMC)
- 0x0 (R/W): P81ポート (GPIO) (デフォルト)

D[1:0] CFP80[1:0]:P80 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): A16 (SRAMC)
- 0x0 (R/W): P80ポート (GPIO) (デフォルト)

P8[6:4] Port Function Select Register (P8_46_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P8[6:4] Port Function Select Register (P8_46_CFP)	0x80211 (8 bits)	D7-6	–	reserved	–	–	–	0 when being read.	
		D5-4	CFP86[1:0]	P86 port function select	CFP86[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	A22			
		0x0	P86						
		D3-2	CFP85[1:0]	P85 port function select	CFP85[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	A21			
		0x0	P85						
		D1-0	CFP84[1:0]	P84 port function select	CFP84[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	#CE1								
0x1	A20								
0x0	P84								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] Reserved

D[5:4] CFP86[1:0]:P86 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): A22 (SRAMC)

0x0 (R/W): P86ポート (GPIO) (デフォルト)

D[3:2] CFP85[1:0]:P85 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): A21 (SRAMC)

0x0 (R/W): P85ポート (GPIO) (デフォルト)

D[1:0] CFP84[1:0]:P84 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): #CE1 (SRAMC)

0x1 (R/W): A20 (SRAMC)

0x0 (R/W): P84ポート (GPIO) (デフォルト)

P9[3:0] Port Function Select Register (P9_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P9[3:0] Port Function Select Register (P9_03_CFP)	0x80212 (8 bits)	D7-6	CFP93[1:0]	P93 port function select	CFP93[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	D3			
		0x0	P93						
		D5-4	CFP92[1:0]	P92 port function select	CFP92[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	D2			
		0x0	P92						
		D3-2	CFP91[1:0]	P91 port function select	CFP91[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	D1			
		0x0	P91						
		D1-0	CFP90[1:0]	P90 port function select	CFP90[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	D0								
0x0	P90								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP93[1:0]:P93 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): D3 (SRAMC)
 0x0 (R/W): P93ポート (GPIO) (デフォルト)

D[5:4] CFP92[1:0]:P92 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): D2 (SRAMC)
 0x0 (R/W): P92ポート (GPIO) (デフォルト)

D[3:2] CFP91[1:0]:P91 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): D1 (SRAMC)
 0x0 (R/W): P91ポート (GPIO) (デフォルト)

D[1:0] CFP90[1:0]:P90 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): D0 (SRAMC)
 0x0 (R/W): P90ポート (GPIO) (デフォルト)

P9[7:4] Port Function Select Register (P9_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P9[7:4] Port Function Select Register (P9_47_CFP)	0x80213 (8 bits)	D7-6	CFP97[1:0]	P97 port function select	CFP97[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	D7			
		D5-4	CFP96[1:0]	P96 port function select	CFP96[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	D6			
		D3-2	CFP95[1:0]	P95 port function select	CFP95[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	D5			
		D1-0	CFP94[1:0]	P94 port function select	CFP94[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	D4			
					0x0				

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFP97[1:0]:P97 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): D7 (SRAMC)
 0x0 (R/W): P97ポート (GPIO) (デフォルト)

D[5:4] CFP96[1:0]:P96 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): D6 (SRAMC)
 0x0 (R/W): P96ポート (GPIO) (デフォルト)

D[3:2] CFP95[1:0]:P95 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): D5 (SRAMC)
 0x0 (R/W): P95ポート (GPIO) (デフォルト)

D[1:0] CFP94[1:0]:P94 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): D4 (SRAMC)
 0x0 (R/W): P94ポート (GPIO) (デフォルト)

PA[3:0] Port Function Select Register (PA_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PA[3:0] Port Function Select Register (PA_03_CFP)	0x80214 (8 bits)	D7-6	CFPA3[1:0]	PA3 port function select	CFPA3[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	#CE3			
		D5-4	CFPA2[1:0]	PA2 port function select	CFPA2[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	#CE2			
		D3-2	CFPA1[1:0]	PA1 port function select	CFPA1[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	#CE1			
		D1-0	CFPA0[1:0]	PA0 port function select	CFPA0[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	#CE0			
					0x0				
					PA0				

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFPA3[1:0]:PA3 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): #CE3 (SRAMC)
 0x0 (R/W): PA3ポート (GPIO) (デフォルト)

D[5:4] CFPA2[1:0]:PA2 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): #CE2 (SRAMC)
 0x0 (R/W): PA2ポート (GPIO) (デフォルト)

D[3:2] CFPA1[1:0]:PA1 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): #CE1 (SRAMC)
 0x0 (R/W): PA1ポート (GPIO) (デフォルト)

D[1:0] CFPA0[1:0]:PA0 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): #CE0 (SRAMC)
 0x0 (R/W): PA0ポート (GPIO) (デフォルト)

PA[7:4] Port Function Select Register (PA_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PA[7:4] Port Function Select Register (PA_47_CFP)	0x80215 (8 bits)	D7-6	CFPA7[1:0]	PA7 port function select	CFPA7[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	#WAIT PA7			
		D5-4	CFPA6[1:0]	PA6 port function select	CFPA6[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	#WRH/#BSH PA6			
		D3-2	CFPA5[1:0]	PA5 port function select	CFPA5[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	#WRL PA5			
		D1-0	CFPA4[1:0]	PA4 port function select	CFPA4[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	#RD PA4			

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFPA7[1:0]:PA7 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): #WAIT (SRAMC)
- 0x0 (R/W): PA7ポート (GPIO) (デフォルト)

D[5:4] CFPA6[1:0]:PA6 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): #WRH/#BSH (SRAMC)
- 0x0 (R/W): PA6ポート (GPIO) (デフォルト)

D[3:2] CFPA5[1:0]:PA5 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): #WRL (SRAMC)
- 0x0 (R/W): PA5ポート (GPIO) (デフォルト)

D[1:0] CFPA4[1:0]:PA4 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): #RD (SRAMC)
- 0x0 (R/W): PA4ポート (GPIO) (デフォルト)

PB[3:0] Port Function Select Register (PB_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PB[3:0] Port Function Select Register (PB_03_CFP)	0x80216 (8 bits)	D7-6	CFPB3[1:0]	PB3 port function select	CFPB3[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	D11			
		0x0	PB3						
		D5-4	CFPB2[1:0]	PB2 port function select	CFPB2[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	D10			
		0x0	PB2						
		D3-2	CFPB1[1:0]	PB1 port function select	CFPB1[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	D9			
		0x0	PB1						
		D1-0	CFPB0[1:0]	PB0 port function select	CFPB0[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	D8								
0x0	PB0								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFPB3[1:0]:PB3 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): D11 (SRAMC)
- 0x0 (R/W): PB3ポート (GPIO) (デフォルト)

D[5:4] CFPB2[1:0]:PB2 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): D10 (SRAMC)
- 0x0 (R/W): PB2ポート (GPIO) (デフォルト)

D[3:2] CFPB1[1:0]:PB1 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): D9 (SRAMC)
- 0x0 (R/W): PB1ポート (GPIO) (デフォルト)

D[1:0] CFPB0[1:0]:PB0 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): D8 (SRAMC)
- 0x0 (R/W): PB0ポート (GPIO) (デフォルト)

PB[7:4] Port Function Select Register (PB_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PB[7:4] Port Function Select Register (PB_47_CFP)	0x80217 (8 bits)	D7-6	CFPB7[1:0]	PB7 port function select	CFPB7[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	reserved			
					0x1	D15			
		0x0	PB7						
		D5-4	CFPB6[1:0]	PB6 port function select	CFPB6[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	D14			
		0x0	PB6						
		D3-2	CFPB5[1:0]	PB5 port function select	CFPB5[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	D13			
		0x0	PB5						
		D1-0	CFPB4[1:0]	PB4 port function select	CFPB4[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	D12								
0x0	PB4								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFPB7[1:0]:PB7 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): D15 (SRAMC)

0x0 (R/W): PB7ポート (GPIO) (デフォルト)

D[5:4] CFPB6[1:0]:PB6 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): D14 (SRAMC)

0x0 (R/W): PB6ポート (GPIO) (デフォルト)

D[3:2] CFPB5[1:0]:PB5 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): D13 (SRAMC)

0x0 (R/W): PB5ポート (GPIO) (デフォルト)

D[1:0] CFPB4[1:0]:PB4 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): D12 (SRAMC)

0x0 (R/W): PB4ポート (GPIO) (デフォルト)

PC[3:0] Port Function Select Register (PC_03_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PC[3:0] Port Function Select Register (PC_03_CFP)	0x80218 (8 bits)	D7-6	CFPC3[1:0]	PC3 port function select	CFPC3[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	FPDAT3			
					0x1	I2S_MCLK			
		0x0	PC3						
		D5-4	CFPC2[1:0]	PC2 port function select	CFPC2[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	FPDAT2			
					0x1	I2S_SCK			
		0x0	PC2						
		D3-2	CFPC1[1:0]	PC1 port function select	CFPC1[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	FPDAT1								
0x1	I2S_WS								
0x0	PC1								
D1-0	CFPC0[1:0]	PC0 port function select	CFPC0[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	FPDAT0					
			0x1	I2S_SDO					
0x0	PC0								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFPC3[1:0]:PC3 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): FPDAT3 (LCDC)
- 0x1 (R/W): I2S_MCLK (I2S)
- 0x0 (R/W): PC3ポート (GPIO) (デフォルト)

D[5:4] CFPC2[1:0]:PC2 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): FPDAT2 (LCDC)
- 0x1 (R/W): I2S_SCK (I2S)
- 0x0 (R/W): PC2ポート (GPIO) (デフォルト)

D[3:2] CFPC1[1:0]:PC1 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): FPDAT1 (LCDC)
- 0x1 (R/W): I2S_WS (I2S)
- 0x0 (R/W): PC1ポート (GPIO) (デフォルト)

D[1:0] CFPC0[1:0]:PC0 Port Function Select Bits

- 0x3 (R/W): Reserved
- 0x2 (R/W): FPDAT0 (LCDC)
- 0x1 (R/W): I2S_SDO (I2S)
- 0x0 (R/W): PC0ポート (GPIO) (デフォルト)

PC[7:4] Port Function Select Register (PC_47_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PC[7:4] Port Function Select Register (PC_47_CFP)	0x80219 (8 bits)	D7-6	CFPC7[1:0]	PC7 port function select	CFPC7[1:0]	Function	0x0	R/W	Write-protected
					0x3	reserved			
					0x2	FPDAT7			
					0x1	ATMB			
		0x0	PC7						
		D5-4	CFPC6[1:0]	PC6 port function select	CFPC6[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	FPDAT6			
					0x1	EXCL0			
		0x0	PC6						
		D3-2	CFPC5[1:0]	PC5 port function select	CFPC5[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	FPDAT5			
					0x1	TML			
		0x0	PC5						
		D1-0	CFPC4[1:0]	PC4 port function select	CFPC4[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	FPDAT4								
0x1	TMH								
0x0	PC4								

GPIO端子は、周辺回路端子と兼用されており、このレジスタは端子機能を選択する場合に使用します。

D[7:6] CFPC7[1:0]:PC7 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): FPDAT7 (LCDC)
 0x1 (R/W): ATMB (T16A)
 0x0 (R/W): PC7ポート (GPIO) (デフォルト)

D[5:4] CFPC6[1:0]:PC6 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): FPDAT6 (LCDC)
 0x1 (R/W): EXCL0 (T16P)
 0x0 (R/W): PC6ポート (GPIO) (デフォルト)

D[3:2] CFPC5[1:0]:PC5 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): FPDAT5 (LCDC)
 0x1 (R/W): TML (T16P)
 0x0 (R/W): PC5ポート (GPIO) (デフォルト)

D[1:0] CFPC4[1:0]:PC4 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): FPDAT4 (LCDC)
 0x1 (R/W): TMH (T16P)
 0x0 (R/W): PC4ポート (GPIO) (デフォルト)

P Port Noise Filter Control Register (PP_NFC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P Port Noise Filter Control Register (PP_NFC)	0x8023e (8 bits)	D7-1	—	reserved	—		—	—	0 when being read.
		D0	ANFEN	Input port noise filter enable	1	Enable	0	Disable	0

D[7:1] Reserved

D0 ANFEN:Input Port Noise Filter Enable Bit

周辺入力ポート用ノイズフィルタを有効/無効に設定します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

ANFENに1を設定することにより、ノイズフィルタを使って以下に示すポートの入力信号上のノイズを除去できます。

UART: SIN、#SCLK

USI: US_SDI0、US_SDI1、US_SCK0、US_SCK1、#US_SSI0、#US_SSI1

SRAMC: #WAIT

I2CM: I2CM_SDA、I2CM_SCL

I2CS: I2CS_SDA、I2CS_SCL、#I2CS_BRST

REMC: REMC_IN

T16P: EXCL0

T16A: EXCL1、ATMA、ATMB

ADC10: #ADTRG

ANFENが0(デフォルト)の場合、信号はノイズフィルタを通らずに入力されます。

注: • これらのノイズフィルタは個別に有効にすることはできません。

• これらのノイズフィルタは、上記のポートを汎用入力ポートとして使用する場合は無効です。

Port Function Protect Register (PF_WREN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Port Function Protect Register (PF_WREN)	0x8023f (8 bits)	D7-0	PFWEN [7:0]	Port function select register protect flag	Writing 10010110 (0x96) removes the write protection of the port function select registers (0x80200–0x80219). Writing another value set the write protection.	0x0	R/W	

D[7:0] PFWEN[7:0]:Port Function Select Register Protect Flag Bits

ポート機能選択レジスタ(0x80200～0x80219)の書き込み保護を設定/解除します。

0x96 (R/W): 書き込み保護解除

0x96以外(R/W): 書き込み保護(デフォルト: 0x0)

ポート機能選択レジスタを変更する前に、PFWEN[7:0]に0x96を書き込んで書き込み保護を解除してください。PFWEN[7:0]が0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度PFWEN[7:0]に0x96を書き込むと、それ以外の値に設定するまではポート機能選択レジスタの書き換えが何度でも行えます。ポート機能選択レジスタの書き換え後は、誤書き込み等を防止するため、PFWEN[7:0]を0x96以外に設定してください。

26 A/D変換器(ADC10)

26.1 ADCモジュールの概要

S1C17803は以下の特長を持つA/D変換器を内蔵しています。

- 変換方式: 逐次比較型
- 分解能: 10ビット
- 入力チャンネル: 最大4チャンネル
- A/D変換クロック: 最大2MHz
- サンプリングレート: 最大100ksps
- アナログ入力電圧範囲: $V_{SS} \sim AV_{DD}$
- サンプルホールド回路内蔵
- 2種類の変換モードに対応:
 - 1回変換モード
(単一チャンネルまたは複数のチャンネル)
 - 連続変換モード
(単一チャンネルまたは複数のチャンネル、ソフトウェア制御により終了)
- 3種類の変換開始トリガに対応:
 - ソフトウェアトリガ
 - 外部トリガ(#ADTRG端子からの入力)
 - 8ビットプログラマブルタイムCh.2アンダーフロートリガ
- 変換結果は、10ビットの変換データを左寄せまたは右寄せにした16ビットデータとして読み出し可能
- 2種類の割り込みを発生可能:
 - 変換終了割り込み
 - 変換データオーバーライトエラー割り込み

図26.1.1にA/D変換器の構成を示します。

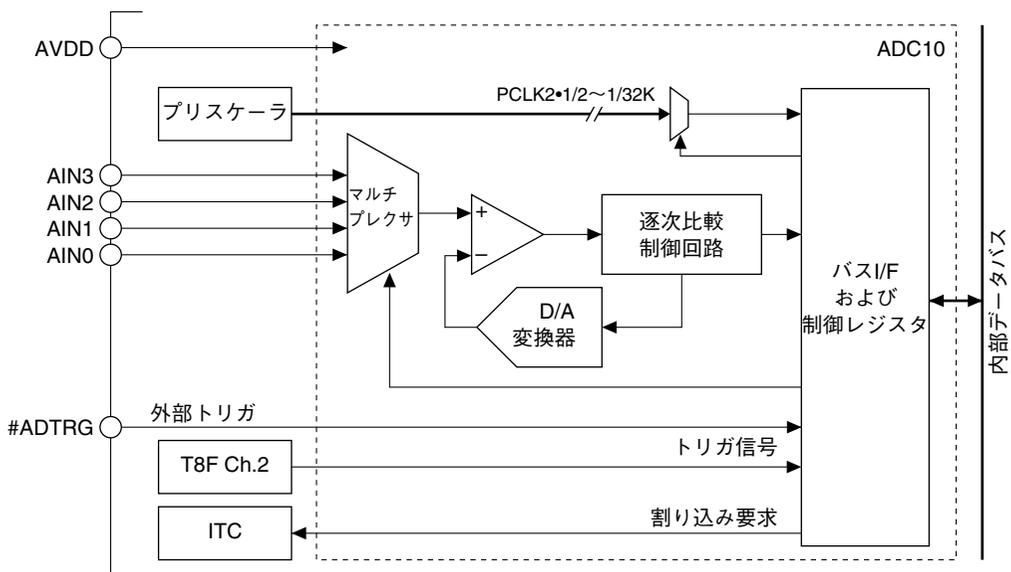


図26.1.1 A/D変換器の構成

26.2 ADC10入力端子

表26.2.1にA/D変換器の入出力端子を示します。

表26.2.1 A/D変換器入力端子一覧

端子名	I/O	本数	機能
AIN[3:0]	I	4	アナログ信号入力端子AIN0 (Ch.0) ~ AIN3 (Ch.3) A/D変換させるアナログ信号を入力する端子です。アナログ入力信号電圧AVINは $V_{SS} \leq AVIN \leq AV_{DD}$ の範囲です。
#ADTRG	I	1	外部トリガ入力端子 外部ソースからA/D変換を開始させる場合のトリガ信号を入力する端子です。
AV _{DD}	-	1	アナログ電源端子 A/D変換器を使用しないときでも常にIO1_V _{DD} またはIO2_V _{DD} 電圧を供給してください。

A/D変換器の入力端子(AIN[3:0], #ADTRG)は入出力ポートと共用であるため、最初は汎用入出力ポートの端子として設定されています。入出力ポートの端子をA/D変換器の入力端子として使用するには、ポート機能選択ビットを使用して端子の機能を切り換える必要があります。

端子の機能の切り換えの詳細については、“汎用入出力ポート (GPIO)”の章を参照してください。

26.3 A/D変換器の設定

A/D変換器を起動する前に以下の設定を行ってください。

- (1) アナログ入力端子を設定します。26.2節を参照してください。
- (2) A/D変換クロックを設定します。
- (3) A/D変換開始チャンネルと終了チャンネルを選択します。
- (4) A/D変換モードを選択します。
- (5) A/D変換トリガソースを選択します。
- (6) サンプリング時間を設定します。
- (7) 変換結果の格納モードを選択します。
- (8) A/D変換器割り込みを使用する場合の割り込み条件を設定します。26.5節を参照してください。

注: これらの設定は必ずA/D変換器をディセーブル状態 (ADEN/ADC10_CTLレジスタ = 0) にしてから行ってください。A/D変換器がイネーブル状態での設定変更は誤動作の原因となります。

26.3.1 A/D変換クロックの設定

A/D変換器を使用するには、A/D変換器で使用するクロックを供給する必要があります。このクロックは、クロックマネジメントユニット(CMU)からの周辺モジュールクロック(PCLK2)をプリスケアラ(PSC Ch.2)で分周したPCLK2分周クロック出力から選択します。クロック制御の詳細については、“クロックマネジメントユニット(CMU)”および“プリスケアラ(PSC)”の章を参照してください。

A/D変換クロックはプリスケアラから供給される15種類のPCLK2分周クロックから選択できます。この選択は表26.3.1.1に示すようにADDF[3:0]/ADC10_CLKを使って行います。

注: このA/D変換器に使用できるA/D変換クロック周波数の範囲については、“電気的特性”の章の“A/D変換器の特性”を参照してください。

- プリスケアラからA/D変換器へのクロック出力がOffの場合にA/D変換器を起動したり、A/D変換動作中にプリスケアラのクロック出力をOffにしないでください。A/D変換器の誤動作の原因となります。

表26.3.1.1 A/D変換クロックの選択

ADDF[3:0]	A/D変換クロック
0xf	Reserved
0xe	PCLK2*1/32768
0xd	PCLK2*1/16384
0xc	PCLK2*1/8192
0xb	PCLK2*1/4096
0xa	PCLK2*1/2048
0x9	PCLK2*1/1024
0x8	PCLK2*1/512
0x7	PCLK2*1/256
0x6	PCLK2*1/128
0x5	PCLK2*1/64
0x4	PCLK2*1/32
0x3	PCLK2*1/16
0x2	PCLK2*1/8
0x1	PCLK2*1/4
0x0	PCLK2*1/2

(デフォルト: 0x0)

26.3.2 A/D変換開始チャンネルと終了チャンネルの選択

アナログ入力に設定した端子(チャンネル)の中から、A/D変換を行うチャンネルを選択します。1回の変換操作で複数のチャンネルのA/D変換を連続的に行えるようにするため、ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタによって変換開始チャンネルと変換終了チャンネルをそれぞれ指定します。

表26.3.2.1 ADCS/ADCEと入力チャンネルの関係

ADCS[2:0]/ADCE[2:0]	選択したチャンネル
0x7-0x4	Reserved
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

例: 1回のA/D変換の動作

ADCS[2:0] = 0, ADCE[2:0] = 0

AIN0でのみ変換

ADCS[2:0] = 0, ADCE[2:0] = 3

以下の順序で変換: AIN0→AIN1→AIN2→AIN3

ADCS[2:0] = 2, ADCE[2:0] = 1

以下の順序で変換: AIN2→AIN3→(AIN4)→(AIN5)→(AIN6)→(AIN7)→AIN0→AIN1

注: A/D変換器の制御回路は将来の拡張のため8チャンネルまで対応しており、アナログ入力のない(AIN4-AIN7)の1つが指定された場合、A/D変換を行います。この場合、ADD[15:0]/ADC10_ADDレジスタに格納される結果は0x0です。入力のないチャンネルについてA/D変換を行わないようにするには、利用できるアナログ入力の範囲内でADCS[2:0]をADCE[2:0]以下に設定してください。

26.3.3 A/D変換モードの設定

A/D変換器には1回変換モードと連続変換モードの2つの変換モードが用意されており、ADMS/ADC10_TRGレジスタで選択できます。

1. 1回変換モード (ADMS = 0)

ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタで選択したチャンネル範囲のすべてのアナログ入力を1回A/D変換してから自動的に停止します。

2. 連続変換モード (ADMS = 1)

ソフトウェアで停止させるまで、ADCS[2:0]とADCE[2:0]で選択したチャンネル範囲のA/D変換を繰り返し行います。

初期リセット時には、A/D変換器は1回変換モードに設定されています。

26.3.4 トリガの選択

A/D変換を開始させるトリガソースを表26.3.4.1の3種類の中からADTS[1:0]/ADC10_TRGレジスタを使って選択します。

表26.3.4.1 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG)
0x2	Reserved
0x1	T8F Ch.2
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

1. 外部トリガ(#ADTRG)

#ADTRG端子への入力信号をトリガとして使用します。このトリガソースを使用するには、ポート機能選択ビット(“汎用入出力ポート(GPIO)”の章を参照)を使って入出力ポート端子を#ADTRG入力用に構成する必要があります。A/D変換は#ADTRG信号のLowレベルを検出すると開始します。

注: 外部トリガを使ってA/D変換を開始させるときは、#ADTRG端子へのトリガ入力信号のLowレベル期間をS1C17コア動作クロックの2サイクル以上保持してください。

2. T8F Ch.2

8ビットプログラマブルタイマ(T8F)Ch.2のアンダーフロー信号をトリガとして使用します。T8Fタイマのアンダーフロー周期はプログラムで自由に設定できるので、このトリガソースは周期的なA/D変換が必要な場合に有効です。タイマ設定の詳細については“8ビットプログラマブルタイマ(T8F)”の章を参照してください。

3. ソフトウェアトリガ

ソフトウェアでADCTL/ADC10_CTLレジスタに1を書き込むと、これがトリガとなってA/D変換を開始します。

26.3.5 サンプリング時間の設定

このA/D変換器ではアナログ入力信号のサンプリング時間は、ADST[2:0]/ADC10_TRGレジスタに0x7を書き込み、9サイクル(デフォルト)固定で使用してください。

表26.3.5.1 サンプリング時間の設定

ADST[2:0]	サンプリング時間 (変換クロックサイクル数)
0x7	9サイクル
0x6	8サイクル
0x5	7サイクル
0x4	6サイクル
0x3	5サイクル
0x2	4サイクル
0x1	3サイクル
0x0	2サイクル

(デフォルト: 0x7)

26.3.6 変換結果の格納モードの設定

A/D変換が完了したあと、10ビットの変換結果はADD[15:0]/ADC10_ADDレジスタ(16ビットレジスタ)に格納されます。このとき10ビットの変換結果は、STMD/ADC10_TRGレジスタにより設定された変換結果格納モードに従って、高位10ビット(左寄せモード)または下位10ビット(右寄せモード)として16ビットレジスタに配列されます。残りの6ビットはすべて0に設定されます。

ADDビット	15	...	10	9	...	6	5	...	0
左寄せモード(STMD = 1)	(MSB)		10ビット変換結果			(LSB)	0	...	0
右寄せモード(STMD = 0)	0	...	0	(MSB)	10ビット変換結果			(LSB)	

図26.3.6.1 変換データの配列

26.4 A/D変換の制御と動作

A/D変換器は以下の順序で制御します。

1. A/D変換器の起動
2. A/D変換の開始
3. A/D変換結果の読み出し
4. A/D変換の終了

26.4.1 A/D変換器の起動

26.3節で説明した設定を終了後、ADEN/ADC10_CTLレジスタに1を書き込んでA/D変換器をイネーブル状態に設定します。A/D変換器はこれによってA/D変換を開始するトリガを受け付けることができるようになります。A/D変換器を再度設定するとき、またはA/D変換器を使用しないときは、ADENを0に設定してください。

26.4.2 A/D変換の開始

A/D変換器はADENが1の状態ではトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、ADCTL/ADC10_CTLレジスタに1を書き込むことにより開始します。

A/D変換器はADTS[1:0]/ADC10_TRGレジスタで選択したトリガソースからのトリガのみ受け付けます。

トリガが入力されると、A/D変換器はアナログ入力信号のサンプリングを開始し、ADCS[2:0]/ADC10_TRGレジスタで選択した変換開始チャンネルから順にA/D変換を開始します。

ソフトウェアトリガビットADCTLはA/D変換ステータスビットの役目とし、A/D変換が進行中はそれが別のトリガソースによるものであっても1になります。変換が進行中のチャンネルはADICH[2:0]/ADC10_CTLレジスタを読み出すことにより知ることができます。

26.4.3 A/D変換結果の読み出し

開始したチャンネルについてA/D変換が終了すると、A/D変換器は変換結果をADD[15:0]/ADC10_ADDレジスタに格納し、ADCF/ADC10_CTLレジスタに変換終了フラグをセットします。ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタによって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

1つのチャンネルについて変換が終了するたびに、変換結果をADD[15:0]に格納します。同時に変換終了割

り込みを発生し、これにより変換したデータを読み出すことができます。変換終了割り込みを使用しない場合には、ADCFが1にセットされて変換終了を示していることを確認してから、ADD[15:0]から変換結果を読み出すことができます。ADD[15:0]が読み出されるとADCFは0にリセットされます。

単一チャンネルまたは複数のチャンネルを連続的に変換する場合は、変換結果を次の変換が終了する前にADD[15:0]から読み出す必要があります。ADCFが1にセットされている間に(前の変換結果が読み出される前に)現在のA/D変換が終了すると、ADD[15:0]は上書きされて、オーバーライトエラーフラグADOWE/ADC10_CTLが1にセットされます。このとき変換データオーバーライトエラー割り込みを発生させることができます。ADD[15:0]から変換結果を読み出したあと、ADOWEをチェックして、読み出したデータが有効かどうか確認してください。有効でない場合は変換データオーバーライトエラー割り込みをイネーブルにし、割り込みを使ってエラー処理を実行してください。ADOWEは一旦セットされると、ソフトウェアが1を書き込むまでリセットされません。ADCFもADOWEと同時にセットされているので、変換データを読み出してADCFをリセットしてください。

注: オーバーライトエラーが発生しても連続変換は止まりません。

26.4.4 A/D変換の終了

1回変換モード (ADMS = 0)

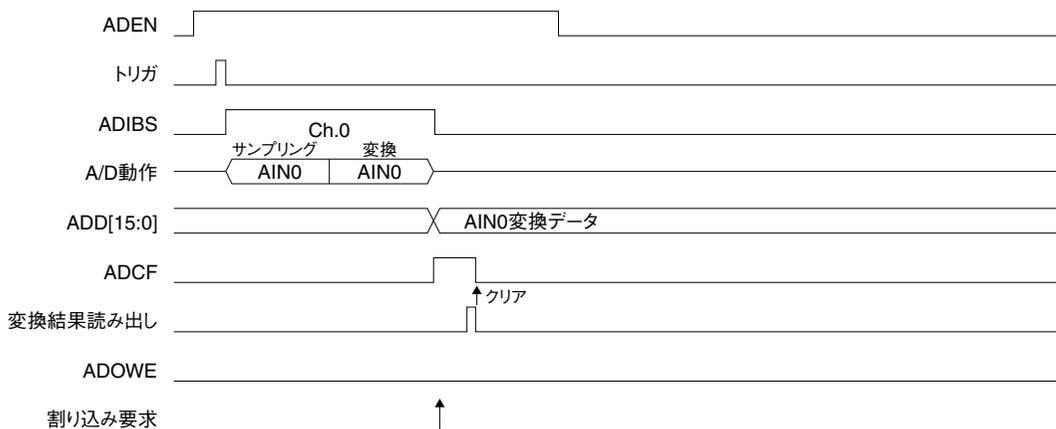
1回変換モードでは、A/D変換をADCS[2:0]/ADC10_TRGレジスタで指定した変換開始チャンネルから順に実行し、ADCE[2:0]/ADC10_TRGで指定した変換終了チャンネルについて実行したあと終了します。A/D変換を終了するとADCTL/ADC10_CTLレジスタは0にリセットされます。

連続変換モード (ADMS = 1)

連続変換モードでは、変換開始チャンネルから変換終了チャンネルまでのA/D変換を繰り返し実行します。ハードウェアはA/D変換を停止しません。A/D変換を停止するには、ADCTLに0を書き込みます。強制的に変換を中止すると、進行中の変換の結果は得られません。

26.4.5 タイミングチャート

図26.4.5.1はA/D変換器の動作を示します。



(1) 単一チャンネル(AIN0)1回変換モード (ADCS = 0, ADCE = 0, ADMS = 0)

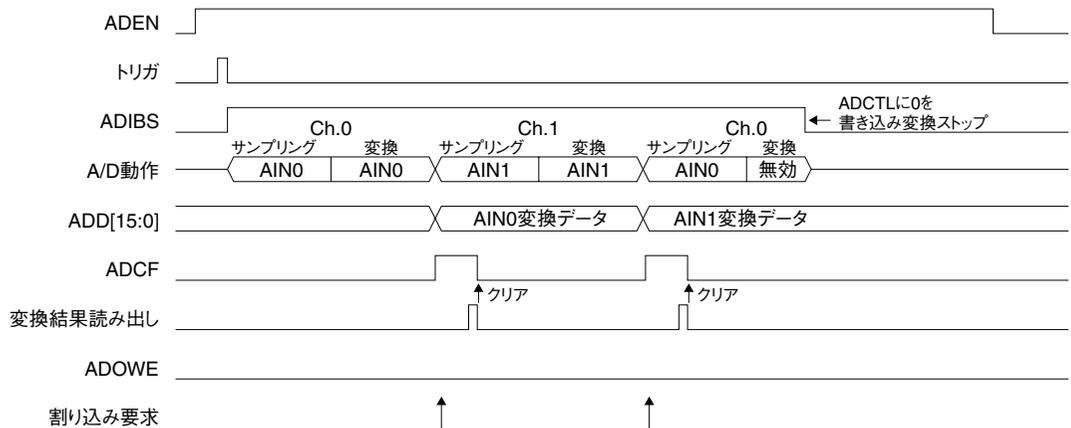
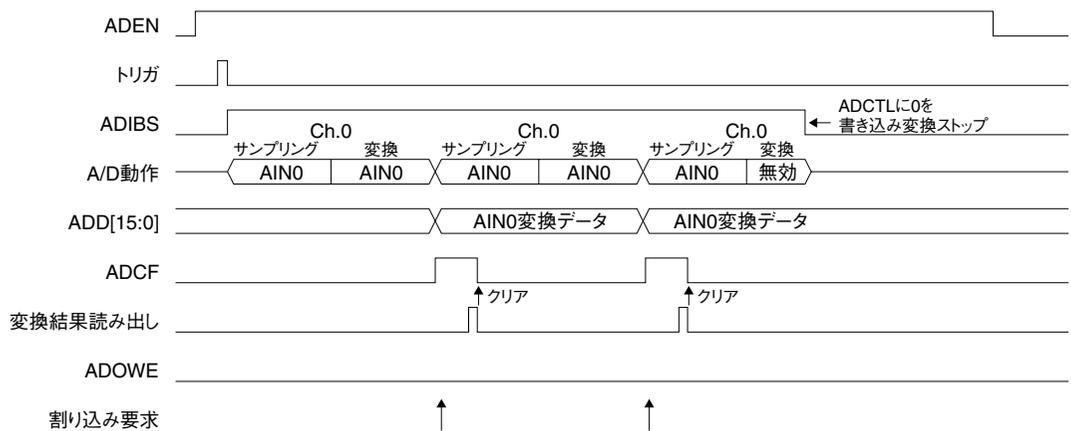
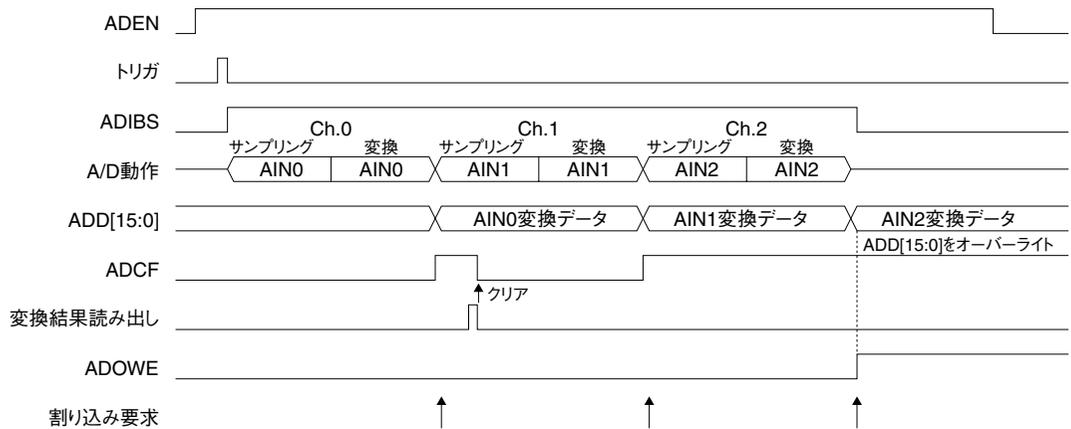


図26.4.5.1 A/D変換器の動作

26.5 A/D変換器割り込み

A/D変換器には、以下の2種類の割り込みを生成する機能があります。

- 変換終了割り込み
- 変換データオーバーライトエラー割り込み

A/D変換器は上記の2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。発生した割り込み要因を特定するにはステータスフラグを調べます。

変換終了割り込み

この割り込みを使用するには、ADCIE/ADC10_CTLレジスタを1に設定します。ADCIEが0(デフォルト)に設定されていると、この要因の割り込み要求はITCに送られません。

1つのチャンネルのA/D変換が終了すると、A/D変換器はADCF/ADC10_CTLレジスタを1にセットし、変換データが読み出し可能であることを示します。変換終了割り込みが許可されていれば(ADCIE = 1)、これと同時に割り込み要求がITCに送られます。

他の割り込み条件が満たされていれば、割り込みが発生します。

ADC10割り込み処理ルーチンでADCFをチェックすることによりADC10割り込みが変換終了によるものかどうかを調べることができます。ADCFが1の場合、変換したデータは割り込み処理ルーチンによりADD[15:0]/ADC10_ADDレジスタから読み出すことができます。ADD[15:0]を読み出すと割り込み要因ADCFは0にリセットされ、この割り込みは次の変換が終了するまで発生しません。

変換データオーバーライトエラー割り込み

この割り込みを使用するには、ADOIE/ADC10_CTLレジスタを1に設定します。ADCOEが0(デフォルト)に設定されていると、この要因の割り込み要求はITCに送られません。

ADD[15:0]が読み出されていないとき(ADCF = 1)に次のA/D変換が終了すると、A/D変換器はADOWE/ADC10_CTLレジスタを1にセットし、ADD[15:0]が上書きされたことを示します。変換データオーバーライトエラー割り込みが許可されていれば(ADOIE = 1)、これと同時に割り込み要求がITCに送られます。

他の割り込み条件が満たされていれば、割り込みが発生します。

ADC10割り込み処理ルーチンでADOWEをチェックすることによりADC10割り込みがオーバーライトエラーによるものかどうかを調べることができます。ADOWEが1の場合、割り込み処理ルーチンでエラー処理を行います。割り込み要因ADOWEは、1を書き込むことで0にリセットされます。

割り込み処理の詳細については、“割り込みコントローラ (ITC)”の章を参照してください。

26.6 制御レジスタ詳細

表26.6.1 A/D変換器レジスタ一覧

アドレス	レジスタ名		機能
0x81100	ADC10_ADD	A/D Conversion Result Register	A/D converted data
0x81102	ADC10_TRG	A/D Trigger/Channel Select Register	Sets start/end channels and conversion mode.
0x81104	ADC10_CTL	A/D Control/Status Register	Controls A/D converter and indicates conversion status.
0x81106	ADC10_CLK	A/D Clock Control Register	Controls A/D converter clock.

A/D変換器の各レジスタは、以下で詳しく説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

A/D Conversion Result Register (ADC10_ADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (ADC10_ADD)	0x81100 (16 bits)	D15-0	ADD[15:0]	A/D converted data ADD[9:0] are effective when STMD = 0 (ADD[15:10] = 0) ADD[15:6] are effective when STMD = 1 (ADD[5:0] = 0)	0x0 to 0x3ff	0x0	R	

D[15:0] ADD[15:0]: A/D Converted Data Bits

A/D変換結果が格納されます。(デフォルト: 0x0)

この16ビットレジスタでのデータ配列(変換結果格納モード)はSTMD/ADC10_TRGレジスタにより選択できます。

	ADDビット	15	...	10	9	...	6	5	...	0	
左寄せモード (STMD = 1)	(MSB)	10ビット変換結果						(LSB)	0	...	0
右寄せモード (STMD = 0)	0	...	0	(MSB)	10ビット変換結果						(LSB)

図26.6.1 変換データの配列

このレジスタは読み出し専用なので、書き込みは無視されます。

A/D Trigger/Channel Select Register (ADC10_TRG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
A/D Trigger/Channel Select Register (ADC10_TRG)	0x81102 (16 bits)	D15-14	–	reserved	–	–	–	0 when being read.	
		D13-11	ADCE[2:0]	End channel select	0x0 to 0x3	0x0	R/W		
		D10-8	ADCS[2:0]	Start channel select	0x0 to 0x3	0x0	R/W		
		D7	STMD	Conversion result storing mode	1 ADD[15:6] 0 ADD[9:0]	0	R/W		
		D6	ADMS	Conversion mode select	1 Continuous 0 Single	0	R/W		
		D5-4	ADTS[1:0]	Conversion trigger select	ADTS[1:0]	Trigger	0x0	R/W	
					0x3	#ADTRG pin			
					0x2	reserved			
					0x1	T8F Ch.2			
					0x0	Software			
	D3	–	reserved	–	–	–	–	0 when being read.	
	D2-0	ADST[2:0]	Sampling time setting	ADST[2:0]	Sampling time	0x7	R/W		
				0x7	9•ADCCLK				
				0x6	8•ADCCLK				
				0x5	7•ADCCLK				
				0x4	6•ADCCLK				
				0x3	5•ADCCLK				
				0x2	4•ADCCLK				
				0x1	3•ADCCLK				
				0x0	2•ADCCLK				

D[15:14] Reserved

D[13:11] ADCE[2:0]: End Channel Select Bits

チャンネル番号0～3について変換終了チャンネルを設定します。(デフォルト: 0x0 = AIN0)

アナログ入力1回のA/D変換でADCS[2:0]で設定したチャンネルからADCE[2:0]で設定したチャンネルまで連続的にA/D変換することができます。1つのチャンネルだけA/D変換する場合は、同じチャンネル番号をADCS[2:0]とADCE[2:0]に設定してください。

表26.6.2 ADCS/ADCEと入力チャネルの関係

ADCS[2:0]/ADCE[2:0]	選択したチャネル
0x7-0x4	Reserved
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

D[10:8] ADCS[2:0]: Start Channel Select Bits

チャネル番号0～3について変換開始チャネルを設定します。(デフォルト: 0x0 = AIN0)

D7 STMD: Conversion Result Storing Mode Bit

変換結果をADD[15:0]に格納するときのデータ配列を選択します。

1(R/W): 左寄せモード(10ビット変換結果→ ADD[15:6], ADD[5:0] = 0)

0(R/W): 右寄せモード(10ビット変換結果→ ADD[9:0], ADD[15:10] = 0) (デフォルト)

D6 ADMS: Conversion Mode Select Bit

A/D変換モードを選択します。

1(R/W): 連続変換モード

0(R/W): 1回変換モード(デフォルト)

ADMSに1を書き込むとA/D変換は連続変換モードに設定されます。このモードでは、ソフトウェアで停止するまでADCS[2:0]とADCE[2:0]で選択したチャネル範囲のA/D変換を連続して実行します。

ADMSが0のとき、A/D変換器は1回変換モードで動作します。このモードでは、ADCS[2:0]とADCE[2:0]で選択したチャネル範囲の全入力のア/D変換を1回実行したあと終了します。

D[5:4] ADTS[1:0]: Conversion Trigger Select Bits

A/D変換を開始するトリガを選択します。

表26.6.3 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG)
0x2	Reserved
0x1	T8F Ch.2
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

外部トリガを使用する場合、ポート機能選択ビット(“汎用入出力ポート(GPIO)”の章参照)を使用して#ADTRG端子を予め設定しておく必要があります。A/D変換は#ADTRG信号がLowになったとき開始します。T8F Ch.2を使用する場合、そのアンダーフロー信号がトリガになるので、タイマについてアンダーフロー周期その他の条件を設定します。

D3 Reserved**D[2:0] ADST[2:0]: Sampling Time Setting Bits**

アナログ入力のサンプリング時間を設定します。ADST[2:0]/ADC10_TRGレジスタに0x7を書き込み、9サイクル(デフォルト)に設定してご使用ください。

表26.6.4 サンプリング時間の設定

ADST[2:0]	サンプリング時間 (変換クロックサイクル数)
0x7	9サイクル
0x6	8サイクル
0x5	7サイクル
0x4	6サイクル
0x3	5サイクル
0x2	4サイクル
0x1	3サイクル
0x0	2サイクル

(デフォルト: 0x7)

A/D Control/Status Register (ADC10_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
A/D Control/ Status Register (ADC10_CTL)	0x81104 (16 bits)	D15	—	reserved		—	—	0 when being read.		
		D14–12	ADICH[2:0]	Conversion channel indicator		0x0 to 0x3	0x0	R		
		D11	—	reserved			—	—	0 when being read.	
		D10	ADIBS	ADC10 status	1 Busy	0 Idle		0	R	
		D9	ADOWE	Overwrite error flag	1 Error	0 Normal		0	R/W	Reset by writing 1.
		D8	ADCF	Conversion completion flag	1 Completed	0 Run/Standby		0	R	Reset when ADC10_ADD is read.
		D7–6	—	reserved				—	—	0 when being read.
		D5	ADOIE	Overwrite error interrupt enable	1 Enable	0 Disable		0	R/W	
		D4	ADCIE	Conversion completion int. enable	1 Enable	0 Disable		0	R/W	
		D3–2	—	reserved				—	—	0 when being read.
		D1	ADCTL	A/D conversion control	1 Start	0 Stop		0	R/W	
		D0	ADEN	ADC10 enable	1 Enable	0 Disable		0	R/W	

D15 Reserved**D[14:12] ADICH[2:0]: Conversion Channel Indicator Bits**

現在A/D変換を行っているチャンネル番号(0～3)を示します。(デフォルト: 0x0 = AIN0)

A/D変換を複数のチャンネルで行う場合、このビットを読み出すことによって現在変換中のチャンネルを確認できます。

D11 Reserved**D10 ADIBS: ADC10 Status Bit**

A/D変換器ステータスを示します。

1(R): 変換中

0(R): 変換終了/スタンバイ(デフォルト)

ADIBSは入力トリガ信号のエッジ(サンプリングの開始)で1にセットされ、変換終了時(ADCTLが0にセットされるとき)に0にリセットされます。

D9 ADOWE: Overwrite Error Flag Bit

ADD[15:0]/ADC10_ADDレジスタの変換結果が読み出される前に上書きされたことを示します。

1(R): オーバーライトエラー(割り込み要因が発生)

0(R): 正常(割り込み要因が発生していない)(デフォルト)

1(W): フラグをリセット

0(W): 無視

単一チャンネルまたは複数チャンネルが連続的に変換されているとき、ADCFが1にセットされている間に(前の変換結果が読み出される前に)現在進行中のA/D変換器が終了すると、ADD[15:0]が上書きされ、ADOWEが1にセットされます。ADD[15:0]から変換結果を読み出したあと、ADOWEをチェックして、読み出したデータが有効かどうか確認してください。

ADOWEはADC10割り込みの要因です。ADOWEが1にセットされると、ADOIEが1に設定されている(割り込み許可)場合には変換データオーバーライトエラー割り込み要求がITCに出力されます。割り込みは、ITCとS1C17コアの割り込み条件を満たした場合に発生します。

ADOWEは1の書き込みによりリセットされます。

D8 ADCF: Conversion Completion Flag Bit

A/D変換が終了したことを示します。

1(R): 変換終了(割り込み要因が発生)

0(R): 変換中/スタンバイ(割り込み要因が発生していない)(デフォルト)

A/D変換が終了するとADCFが1にセットされ、変換されたデータはADD[15:0]/ADC10_ADDレジスタに格納されます。

ADCFはADC10割り込みの要因です。ADCFが1にセットされると、ADCIEが1に設定されている(割り込み許可)場合には変換終了割り込み要求がITCに出力されます。割り込みは、ITCとS1C17コアの割り込み条件を満たした場合に発生します。ADD[15:0]を読み出すとADCFは0にリセットされます。

ADCFがセットされている間に(上記ADOWE参照)次のA/D変換が終了するとオーバーライトエラーが発生します。上書きが発生する前にADD[15:0]を読み出してADCFをリセットする必要があります。オーバーライトエラーが発生すると、変換が終了しているためADCFもセットされます。

D[7:6] Reserved**D5 ADOIE: Overwrite Error Interrupt Enable Bit**

変換データオーバーライトエラー発生による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

ADOIEを1に設定するとITCへの変換データオーバーライトエラー割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D4 ADCIE: Conversion Completion Interrupt Enable Bit

変換終了による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

ADCIEを1に設定するとITCへの変換データオーバーライトエラー割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[3:2] Reserved**D1 ADCTL: A/D Conversion Control Bit**

A/D変換の制御

1(W): ソフトウェアトリガ

0(W): A/D変換の停止

1(R): 変換中

0(R): 変換終了/スタンバイ(デフォルト)

ADCTLに1を書き込むとソフトウェアによりA/D変換が開始します。その他のトリガを使用した場合、ADCTLはハードウェアにより自動的に1にセットされます。

A/D変換が進行している間、ADCTLはセットされたままです。1回変換モードでは、指定チャンネルでのA/D変換が終了すると、ADCTLは0にリセットされ、A/D変換回路は動作を停止します。連続変換モードで動作中のA/D変換を停止するには、0を書き込んでADCTLをリセットします。

ADENが0の場合は、トリガは受け付けません。

D0 ADEN: ADC10 Enable Bit

A/D変換動作を許可または禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

ADENに1を書き込むとA/D変換が許可され、A/D変換開始の準備完了となります(つまりトリガを受け付けることができます)。

ADENが0のとき、A/D変換は禁止となり、トリガを受け付けることができません。

モード、開始/終了チャンネル、その他のA/D変換器条件を設定する前に、必ずADENを0にリセットしてA/D変換器の誤動作を防止してください。

A/D Clock Control Register (ADC10_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Clock Control Register (ADC10_CLK)	0x81106 (16 bits)	D15-4 D3-0	– ADDF[3:0]	reserved A/D converter clock division ratio select	– ADDF[3:0] 0xf reserved 0xe PCLK2•1/32768 0xd PCLK2•1/16384 0xc PCLK2•1/8192 0xb PCLK2•1/4096 0xa PCLK2•1/2048 0x9 PCLK2•1/1024 0x8 PCLK2•1/512 0x7 PCLK2•1/256 0x6 PCLK2•1/128 0x5 PCLK2•1/64 0x4 PCLK2•1/32 0x3 PCLK2•1/16 0x2 PCLK2•1/8 0x1 PCLK2•1/4 0x0 PCLK2•1/2	– 0x0	– R/W	0 when being read.

D[15:4] Reserved

D[3:0] ADDF[3:0]: A/D Converter Clock Division Ratio Select Bits

A/D変換器のクロックを選択します。

表26.6.5 A/D変換器クロックの選択

ADDF[3:0]	A/D変換クロック
0xf	Reserved
0xe	PCLK2•1/32768
0xd	PCLK2•1/16384
0xc	PCLK2•1/8192
0xb	PCLK2•1/4096
0xa	PCLK2•1/2048
0x9	PCLK2•1/1024
0x8	PCLK2•1/512
0x7	PCLK2•1/256
0x6	PCLK2•1/128
0x5	PCLK2•1/64
0x4	PCLK2•1/32
0x3	PCLK2•1/16
0x2	PCLK2•1/8
0x1	PCLK2•1/4
0x0	PCLK2•1/2

(デフォルト: 0x0)

注: A/D変換器はプリスケアラ出力をソースクロックとして使用しますので、事前にプリスケアラを動作させることが必要です。

27 LCDコントローラ(LCDC)

27.1 LCDCモジュールの概要

S1C17803は、白黒STN LCDパネルに対応したLCDコントローラ(LCDC)を内蔵しています。S1C17803は16KバイトのRAM(IVRAM)も内蔵していますので、320×240ドットのモノクロ表示(1bppモード)が可能です。また、バスマトリックス、SRAMコントローラを介して外部SRAMをVRAMとして使用することができますので、320×240ドット(QVGA)の16階調表示(4bpp)も可能です。

内部バスインタフェースとVRAM

- 16KバイトIVRAM(内蔵VRAM)を搭載
 - IVRAMは0xc0000～0xc3fff番地に配置されています。
 - 1bppモードで最大320×240ピクセルのLCDパネルへの表示が可能です。
 - IVRAMは汎用RAMとしても使用可能です。
- 外部SRAMをVRAMとして使用可能
 - 外部SRAMを使用することにより、表示サイズを4bpp(16階調表示)でQVGA(320×240)パネルまで、または1bpp(モノクロ)でVGA(640×480)パネルまで拡張可能です。
 - 16ビットおよび8ビットSRAMを外部VRAMとして使用可能です。
- UMA(Unified Memory Access)を実装しています。この機能は、CPUが内部回路(内蔵RAMなど)をアクセス中にLCDCによるSRAM(外部VRAM)へのアクセス、あるいはCPUが他の回路(外部SRAMなど)をアクセス中にLCDCによるIVRAM(内蔵VRAM)へのアクセスを可能とします。
- LCDCのI/Oレジスタは8ビットまたは16ビットアクセスが可能です。
- LCDCはフレーム割り込みを発生可能です。

対応ディスプレイ

- シングルパネル、シングルドライブパッシブディスプレイ
- 1/4/8ビットデータバス幅のモノクロ/グレースケールSTN LCDパネル

表示モード

- モノクロSTN LCDパネル用の1、2、および4bpp(bit-per-pixel)モードに対応
フレームレートモジュレーション(FRM)によりモノクロパッシブLCDパネルで最大16階調のグレースケール表示が可能
 - 1bppモードでの2階調表示
 - 2bppモードでの4階調表示
 - 4bppモードでの16階調表示
- LUT(ルックアップテーブル)不要
VRAM内の表示データはグレースケールインデックスモジュールを介し、4ビットグレースケール表示データとしてFRMモジュールへ送られます。
- 解像度の例
 - 320×240ピクセル(1bppグレースケール表示、IVRAM使用)
 - 320×240ピクセル(2bppグレースケール表示、要外部VRAM)
 - 320×240ピクセル(4bppグレースケール表示、要外部VRAM)
 - 640×480ピクセル(1bppグレースケール表示、要外部VRAM)

表示機能

- ソフトウェアにより反転表示が可能

パワーセーブ

- ソフトウェアパワーセーブモード
- 表示RAM内蔵標準STN LCDドライバに対応したDOZEモード(FR、LP、YD信号をアクティブにしたままシフトクロックとデータの出力を停止できます)。

対応シリアル/パラレルMPUインタフェースLCDパネル/ドライバ

S1C17803は、8/16ビットMPU(80系)パラレル/シリアルインタフェース内蔵LCDパネル/ドライバに対応しています。

- パラレルインタフェースLCDパネル/ドライバをSRAMCに接続および制御
- USI(SPIモード)によるシリアルインタフェースLCDパネル/ドライバの接続および制御
- DMACを使用したLCDドライバDMAに対応

シリアル/パラレルMPUインタフェースLCDパネル/ドライバへの対応の詳細については、27.9節を参照してください。

27.2 ブロック図

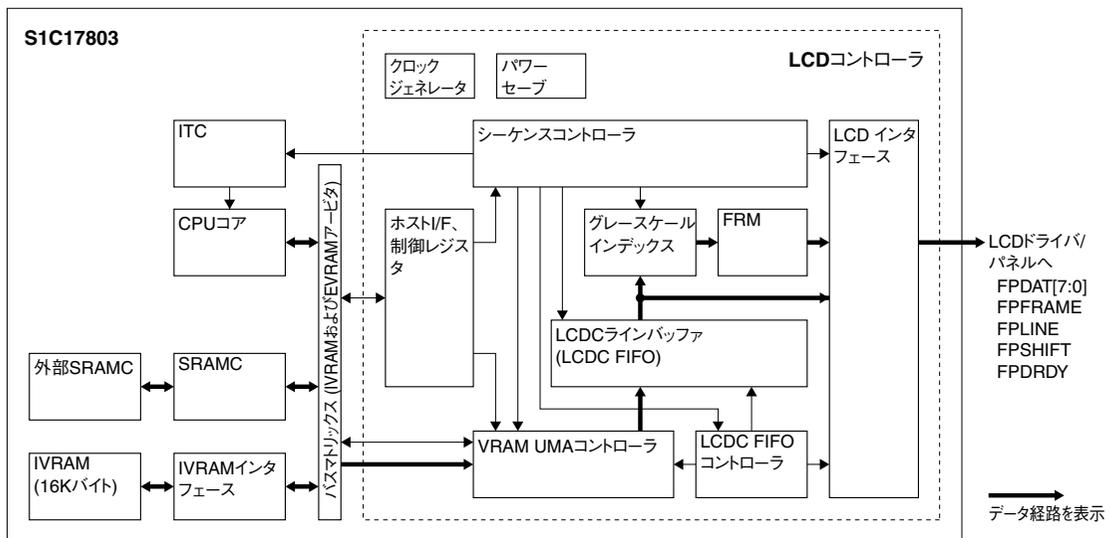


図27.2.1 LCDコントローラブロック図

ホストインタフェース

CPUコアはこのブロックを通してLCDC制御レジスタにアクセスします。

LCDCラインバッファブロック、FIFOコントローラ

LCDCラインバッファは2個の16ビットFIFOで構成され、表示データを外部LCDドライバパネルに連続して転送するための表示データキャッシュとして使用されます。FIFOコントローラはLCDCラインバッファに対する表示データの入出力を制御します。

シーケンスコントローラ

シーケンスコントローラは、制御レジスタの設定に従い、水平/垂直表示タイミングを生成します。

VRAM UMAコントローラ

VRAM UMAコントローラはVRAMからLCDインタフェースへのデータの流れを制御します。また、表示を更新するための表示データメモリアドレスも生成します。

グレースケールインデックスとFRM(フレームレート変調回路)

VRAMから読み出した表示データを、フレームレート変調によってパッシブLCDパネル用のグレースケールデータに変換します。

LCDインタフェース

各種のLCDパネルに対応した形式の表示データやタイミング制御信号を生成します。

クロックジェネレータ

CMUから入力したソースクロックを基にLCDCで必要となるクロックを生成します。

パワーセーブ回路

LCDCのパワーセーブモードを制御します。

27.3 LCDC出力端子

表27.3.1にLCDCの出力端子を、表27.3.2に使用するLCDパネルによる端子の構成を示します。

表27.3.1 LCDC出力端子

端子名	I/O	本数	機能
FPDAT[7:0]	O	8	LCD表示データ出力(入出力)
FPFRAME	O	1	LCDフレームクロック出力
FPLINE	O	1	LCDラインクロック出力
FPSHIFT	O	1	LCDシフトクロック出力
FPDRDY	O	1	LCD DRDY/MOD信号出力

LCDCの出力端子は汎用入出力ポート端子と兼用であるため、初期状態では汎用入出力ポート用端子に設定されています。汎用入出力ポートの端子をLCDCの出力端子として使用するには、ポート機能選択ビットの設定により端子機能を切り換える必要があります。端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

図27.3.2 使用LCDパネルによる端子構成

端子名	モノクロシングルパッシブパネル		
	1ビット	4ビット	8ビット
FPFRAME		FPFRAME (YD)	
FPLINE		FPLINE (LP)	
FPSHIFT		FPSHIFT (SCL)	
FPDRDY		MOD (FR)	
FPDAT0	Driven 0	Driven 0	D0
FPDAT1	Driven 0	Driven 0	D1
FPDAT2	Driven 0	Driven 0	D2
FPDAT3	Driven 0	Driven 0	D3
FPDAT4	Driven 0	D0	D4
FPDAT5	Driven 0	D1	D5
FPDAT6	Driven 0	D2	D6
FPDAT7	D0	D3	D7
GPIO/#FPDOFF	nDISPLAY_OFF		

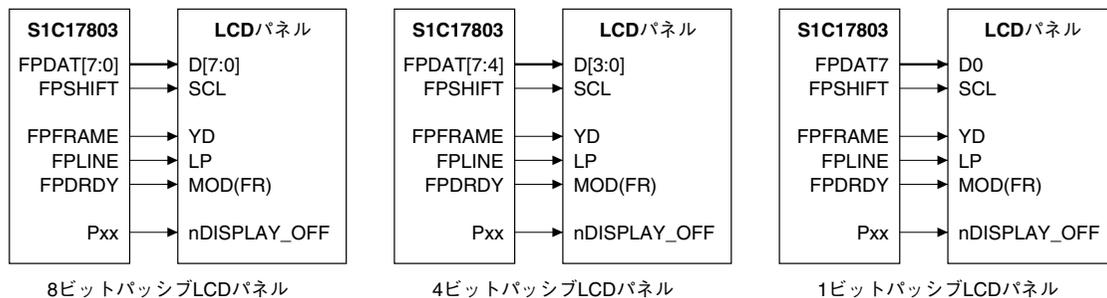


図27.3.1 LCDパネルの接続例

27.4 LCDCの動作クロック

LCDCは、CMUから供給されるBCLKおよびLCLKクロックで動作します。クロックの制御については、“クロックマネージメントユニット(CMU)”の章を参照してください。

BCLK

LCDCレジスタへのアクセスに必要なクロックです。BCLKは、BCLK_EN/CMU_CLKCTL制御レジスタを使用すると、HALTモードで停止させることができます。

LCLK

LCDCの動作クロックで、OSC3クロックを分周して生成されます。CMU分周回路はOSC3・1/1からOSC3・1/16まで16種類の分周クロックを出力可能で、LCLKDIV[3:0]/CMU_LCLKレジスタを使用して

その中から1つをフレームレートに合わせ選択します。

$$\text{フレームレート} = \frac{f_{\text{LCLK}}}{\text{HT} \times \text{VT}} \text{ [Hz]}$$

f_{LCLK} : LCLK周波数

HT: 水平トータル期間(水平パネルサイズ + 水平非表示期間)[ピクセル]

VT: 垂直トータル期間(垂直パネルサイズ + 垂直非表示期間)[ライン]

表27.4.1 LCDCクロック分周比

LCLKDIV[3:0]	LCLK
0xf	OSC3*1/16
0xe	OSC3*1/15
0xd	OSC3*1/14
0xc	OSC3*1/13
0xb	OSC3*1/12
0xa	OSC3*1/11
0x9	OSC3*1/10
0x8	OSC3*1/9
0x7	OSC3*1/8
0x6	OSC3*1/7
0x5	OSC3*1/6
0x4	OSC3*1/5
0x3	OSC3*1/4
0x2	OSC3*1/3
0x1	OSC3*1/2
0x0	OSC3*1/1

(デフォルト: 0x7)

クロック供給制御はLCLK_EN/CMU_LCLKレジスタで行います(デフォルト: Off)。LCDCを使用するにはLCLK_ENを1に設定してください。

注: LCLKDIV[3:0]を使用してクロック分周比を変更する場合、またはslp命令を実行する前に、LCDC供給を停止してください(LCLK_EN = 0)。

27.5 LCDパネルとインタフェース条件の設定

27.5.1 データ幅

本LCDコントローラは、1、4、8ビットのモノクロシングルパッシブパネルに対応しています。デュアルパネルには対応していません。

STN LCDパネルのデータ幅をDWD[2:0]/LCDC_DMD2レジスタで選択します。

表27.5.1.1 LCDパネルの選択

DWD[2:0]	LCDパネル
0x4	1ビットモノクロシングルパッシブLCDパネル
0x1	8ビットモノクロシングルパッシブLCDパネル
0x0	4ビットモノクロシングルパッシブLCDパネル
その他	Reserved

(デフォルト: 0x0)

27.5.2 解像度

LCDパネルの解像度と非表示期間を以下のように設定します。

水平解像度

HSIZE[6:0]/LCDC_HSIZEレジスタに次の値を設定します。

$$\text{HSIZE}[6:0] = \frac{\text{水平解像度(ピクセル数)}}{8} - 1$$

たとえば、水平解像度が320ドットのLCDパネルの場合、HSIZE[6:0]には39(= 0x27)を設定します。

水平非表示期間

HNDP[4:0]/LCDC_HNDPレジスタに次の値を設定します。

$$\text{HNDP}[4:0] = \frac{\text{水平非表示期間(ピクセル数)}}{8} - 4$$

垂直解像度

VSIZE[9:0]/LCDC_VSIZEレジスタに次の値を設定します。

VSIZE[9:0] = 垂直解像度(ライン数) - 1

たとえば、垂直解像度が240ラインのLCDパネルの場合、VSIZE[9:0]には239(= 0xef)を設定します。

垂直非表示期間

VNDP[5:0]/LCDC_VNDPレジスタに次の値を設定します。

VNDP[5:0] = 垂直非表示期間(ライン数)

27.5.3 表示モードとデータ形式

グレースケール表示の階調数は、各ピクセルを表現するビット数(bpp = bit per pixel)で決まります。この表示(bpp)モードをBPP[2:0]/LCDC_DMD1レジスタで設定します。

表27.5.3.1 表示モードの指定

BPP[2:0]	表示モード
0x7-0x3	Reserved
0x2	4bpp、16階調
0x1	2bpp、4階調
0x0	1bpp、2階調

(デフォルト: 0x0)

(1) 1bpp(2階調)モード

1ピクセルを1ビットで表現し、2階調の表示を行います。

ピクセルデータ(1ビット)はグレースケールインデックスモジュールによって4ビットに拡張され、階調を生成するFRMモジュールに送られます。

ピクセルデータ0b0 → 表示データ0b0000(白)

ピクセルデータ0b1 → 表示データ0b1111(黒)

表示メモリには、8個の連続したピクセルのデータを1バイトとして格納します。

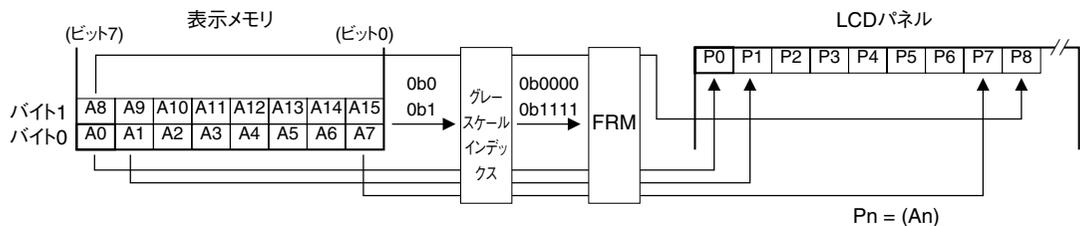


図27.5.3.1 1bppモードのデータフォーマット

(2) 2bpp(4階調)モード

1ピクセルを2ビットで表現し、4階調の表示を行います。

ピクセルデータ(2ビット)はグレースケールインデックスモジュールによって4ビットに拡張され、階調を生成するFRMモジュールに送られます。

ピクセルデータ0b00 → 表示データ0b0000(白)

ピクセルデータ0b01 → 表示データ0b0101(ライトグレー)

ピクセルデータ0b10 → 表示データ0b1010(ダークグレー)

ピクセルデータ0b11 → 表示データ0b1111(黒)

表示メモリには、4個の連続したピクセルのデータを1バイトとして格納します。

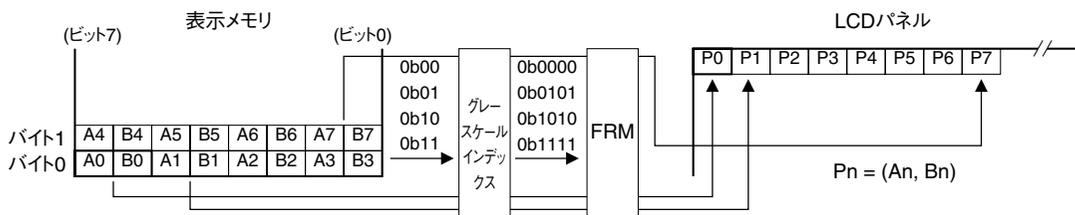


図27.5.3.2 2bppモードのデータフォーマット

(3)4bpp(16階調)モード

1ピクセルを4ビットで表現し、16階調の表示を行います。

ピクセルデータ(4ビット)はグレースケールインデックスモジュールをそのまま通過し、階調を生成するFRMモジュールに送られます。

ピクセルデータ0b0000 → 表示データ0b0000(白)

ピクセルデータ0b0001 → 表示データ0b0001(ライトグレー)

⋮

ピクセルデータ0b1110 → 表示データ0b1110(ダークグレー)

ピクセルデータ0b1111 → 表示データ0b1111(黒)

表示メモリには、2個の連続したピクセルのデータを1バイトとして格納します。

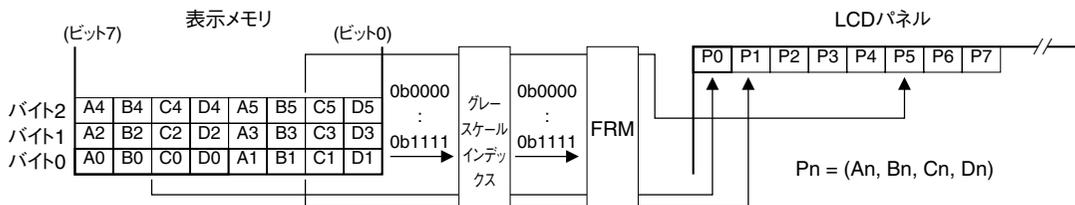


図27.5.3.3 4bppモードのデータフォーマット

27.5.4 その他の設定

FPSHIFTマスク

モノクロパッシブパネルの場合、デフォルト設定ではFPSHIFTクロックが水平非表示期間でも停止しません。水平非表示期間にFPSHIFTクロックを停止させるには、FPSMASK/LCDC_DMD2レジスタを1に設定します。

MODレート

MOD信号が切り換わる周期を、MOD[5:0]/LCDC_MODレジスタで設定することができます。

MOD = 0x0: MOD信号をPPFRAME信号の周期で切り換え(デフォルト)

MOD = 0x0以外: MOD+1個のFPLINEパルスの周期で切り換え

27.6 表示の制御

27.6.1 LCDパワーアップ/ダウン制御

LCDコントローラはCMUからLCDCクロックを供給することによって動作します。イニシャルリセット後、LCDコントローラはパワーセーブモードに設定されます。クロックが供給されても、すぐにパワーアップシーケンスを開始して表示を行うわけではありません。パワーセーブモードでは、LCD信号出力端子はすべてLowに固定されます。

パワーセーブモードを解除して通常モードにするには、PSAVE[1:0]/LCDC_PSレジスタを0x3に設定します。LCDコントローラはここからパワーアップシーケンスを開始し、LCD信号を出力します。逆に通常モードからパワーセーブモードに移行する場合、PSAVE[1:0]を0x0に設定するとLCDコントローラはここからパワーダウンシーケンスを開始し、LCD信号をLowにします。

パワーセーブモードでも、LCDC制御レジスタはアクセスできます。

表27.6.1.1 パワーセーブモードの設定

PSAVE[1:0]	モード
0x3	通常動作
0x2	DOZEモード
0x1	Reserved
0x0	パワーセーブモード

(デフォルト: 0x0)

パワーセーブモード

このモードに設定すると、LCD信号出力端子がすべてLowとなりLCDパネルをパワーダウンします。LCDコントローラは制御レジスタへのアクセスのみが可能となる他はすべて動作を停止します。

DOZEモード

DOZEモードはセルフリフレッシュタイプのLCDパネルに対応したパワーセーブモードです。これらのパネルは、同一画像の表示リフレッシュのためにデータを常に送る必要がありません。この間、本LCDコントローラをDOZEモードに設定することができます。DOZEモードではFPLINE、FPFRAME、DRDY信号のみが有効となり、FPDATとFPSHIFT信号はLowに固定されます。表示メモリへのアクセスも発生しません。パワーセーブモードほどの大きな省電力効果は得られませんが、表示を継続したまま、消費電流を低減できます。

パワーセーブモードの比較

表27.6.1.2にパワーセーブモードの相違点をまとめます。

表27.6.1.2 パワーセーブモードの相違点

項目	LCDCディセーブル	パワーセーブモード	DOZEモード	通常動作
LCDCレジスタへのアクセス	許可	許可	許可	許可
VRAMへのアクセス	許可	許可	許可	許可
表示	インアクティブ	インアクティブ	アクティブ	アクティブ
表示データフェッチ動作	インアクティブ	インアクティブ	インアクティブ	アクティブ
FPDAT[7:0]、FPSHIFT信号	Low	Low	Low	アクティブ
FPLINE、FPFRAME、DRDY信号	Low	Low	アクティブ	アクティブ

LCD信号が正しく出力されていない状態でLCDパネルの電源を投入/切断するとパネルを損傷する場合がありますので、本LCDコントローラがLCD信号の出力制御を開始してから、LCDパネルの電源を投入する必要があります。このLCDパネル電源の制御には、入出力ポートを使用してください。LCD信号が出力されていない場合は、入出力兼用ポートの出力をLCD電源がOffするように制御し、LCD信号が出力されてからポートの制御によりLCD電源をOnします。LCDインタフェース信号のFPDAT[7:0]、FPSHIFT、FPLINE、FPFRAME、DRDYはPSAVE[1:0]を0x3に設定してから1フレーム時間の遅延の後に出力/アサートされます。つまり、LCDコントローラはPSAVE[1:0]を0x3に設定した後の最初のフレームにこれらの信号を出力しません。2番目のフレームから出力します。したがって、入出力ポートでLCDの電源をOnする前に十分な待ち時間を取ってください。

電源投入時のLCD初期化手順の例を以下にまとめます。

1. クロックの設定を行います。(27.4節参照)
2. LCDパネルパラメータ、表示モードの設定を行います。(27.5節参照)
3. LCDC割り込みをイネーブルにします。
4. VRAMに表示データを書き込みます。
5. 表示開始アドレスを設定します。
6. LCDコントローラを通常モード(PSAVE[1:0] = 0x3)にします。
7. LCDコントローラは第2フレームからLCD信号の出力を開始します。
8. LCDパネル用電源に合わせ、待ち時間をとります。
9. 入出力ポートを制御して、LCDパネルに電源を供給します(nDISPLAY_OFF GPIOポートを制御)。

パワーダウンの操作は次のように行います。

1. 入出力ポートを制御して、LCDパネルの電源をOffします(nDISPLAY_OFF GPIOポートを制御)。
2. LCDパネル用電源に合わせ、待ち時間をとります。
3. LCDコントローラをパワーセーブモード(PSAVE[1:0] = 0x0)にします。
4. LCDコントローラはLCD信号をLowにします。

27.6.2 表示開始アドレスの設定

表示を開始する表示メモリアドレスは、SADDR[23:0]/LCDC_SADDR(1および2)レジスタで自由に変更できます。SADDR[23:0]レジスタに設定した開始アドレスがLCDパネルの左上端に対応します。このレジスタには、IVRAMまたは外部VRAM内の16ビット境界アドレス({A[23:1], A0 = 0})を指定する必要があります。A0に1を指定した場合でも、このレジスタのLSB(A0)は常に0になります。

27.6.3 表示データの書き込み

LCDコントローラは、各フレームのリフレッシュシーケンスを終了後、垂直非表示期間の最初に割り込みを発生します。また、垂直表示期間の状態を示すVNDPF/LCDC_PSレジスタが用意されており、垂直非表示期間中は1になります。

画面のちらつき等を防ぐため、表示データ変更は、この割り込みまたはVNDPFを使用して非表示期間に行うようにしてください。LCDC割り込みの詳細については“27.7 LCDC 割り込み”を参照してください。

27.6.4 表示の反転とブランク表示

VRAMの内容を書き換えることなく、表示を消す(画面全体を黒くまたは白くする)ことができます。BLANK/LCDC_DMD2レジスタを1に設定すると、FPDAT信号がLowまたはHighになり表示が消えます。0にすると通常の表示に戻ります。このとき、画面の色(黒または白)は、以下に説明するSWINV/LCDC_DMD2レジスタの設定により決まります。

また、ビットの操作のみで表示を反転させることができます。SWINVを1に設定すると表示が反転し、0にすると通常の表示に戻ります。この機能は、VRAMのピクセルデータではなく、グレースケールインデックスモジュールから出力された表示データを反転します。

これらの操作により、画面を点滅させることができます。切り換えは、垂直非表示期間内(VNDPF = 1)に行ってください。

27.7 LCDC割り込み

LCDCには、フレーム割り込みを発生させる機能があります。

フレーム割り込み

この割り込みを使用するには、FRMIE/LCDC_FRAMIEレジスタを1に設定します。FRMIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

フレームのリフレッシュサイクル(垂直表示期間)が終了して垂直非表示期間が始まると、VNDPF/LCDC_PSレジスタが1にセットされます。同時にFRMIF/LCDC_PSレジスタが1にセットされ、フレーム割り込みが許可されていれば(FRMIE = 1)、これと同時にLCDCは割り込み要求信号を割り込みコントローラ(ITC)に出力します。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

27.8 制御レジスタ詳細

表27.8.1 LCDCレジスタ一覧

アドレス	レジスタ名		機能
0x81900	LCDC_FRMIE	LCDC Frame Interrupt Enable Register	フレーム割り込みイネーブル
0x81902	LCDC_PS	Status and Power Save Configuration Register	LCDCステータスの表示、パワーセーブモードの設定
0x81904	LCDC_HNDP	Horizontal Non-Displayed Period Register	水平非表示期間の設定
0x81906	LCDC_HSIZE	Horizontal Panel Size Register	水平パネルサイズの設定
0x81908	LCDC_VNDP	Vertical Non-Displayed Period Register	垂直非表示期間の設定
0x8190a	LCDC_VSIZE	Vertical Panel Size Register	垂直パネルサイズの設定
0x8190c	LCDC_MOD	MOD Rate Counter Setup Register	MOD信号の設定
0x8190e	LCDC_DMD1	LCDC Display Mode 1 Register	bppモードの設定
0x81910	LCDC_DMD2	LCDC Display Mode 2 Register	LCDパネルの設定
0x81912	LCDC_SADDR1	Screen Display Start Address Low Register	表示開始アドレスの設定
0x81914	LCDC_SADDR2	Screen Display Start Address High Register	表示開始アドレスの設定、VRAMの選択

以下、LCDCのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

LCDC Frame Interrupt Enable Register (LCDC_FRMIE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCDC Frame Interrupt Enable Register (LCDC_FRMIE)	0x81900 (16 bits)	D15	FRMIE	Frame interrupt enable	1 Enable 0 Disable	0	R/W	0 when being read.
		D14-0	—	reserved	—	—	—	

D15 FRMIE: Frame Interrupt Enable Bit

LCDCフレームの割り込みを許可/禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

フレーム割り込みを使用する場合はFRMIEを1に設定します。これにより、ITCへの割り込み要求が出力されるようになります。このビットが0の場合、フレーム割り込みは発生しません。

D[14:0] Reserved

Status and Power Save Configuration Register (LCDC_PS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Status and Power Save Configuration Register (LCDC_PS)	0x81902 (16 bits)	D15	FRMIF	Frame interrupt flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.	
		D14-10	—	reserved	—	—	—	0 when being read.	
		D9	FIFOEF	LCDC FIFO empty flag	1 Empty 0 Not empty	0	R	0 when being read.	
		D8	—	reserved	—	—	—	—	0 when being read.
		D7	VNDPF	Vertical display status flag	1 VNDP 0 VDP	0	R	—	
		D6-2	—	reserved	—	—	—	—	0 when being read.
		D1-0	PSAVE[1:0]	Power save mode select	PSAVE[1:0] Mode	0x0	R/W		
					0x3 Normal				
					0x2 Doze				
					0x1 reserved				
					0x0 Power save				

D15 FRMIF: Frame Interrupt Flag Bit

フレーム割り込み要因の発生状態を示します。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

FRMIFは垂直非表示期間が始まると1にセットされます。FRMIE/LCDC_FRMIEレジスタが1に設定されている場合、同時にITCへの割り込み要求が出力されます。

D[14:10] Reserved

D9 FIFOEF: LCDC FIFO Empty Flag Bit

LCDC内のFIFOの状態を示します。

1(R): データなし

0(R): データあり(デフォルト)

FIFOEFはLCDCの16ビットFIFOに表示データが書き込まれると0にリセットされ、書き込まれたデータがLCDインタフェースに転送されてFIFOが空になると1にセットされます。

D8 Reserved

D7 VNDPF: Vertical Display Status Flag Bit

垂直非表示期間内かどうかを示します。

1(R): 垂直非表示期間

0(R): 垂直表示期間(デフォルト)

垂直非表示期間中にVNDPFは1になり、垂直表示期間は0になります。画面を乱さずに画像の切り換えを行う場合は、このビットを読み出すことによって垂直非表示期間内に切り換え操作が行えます。

D[6:2] Reserved

D[1:0] PSAVE[1:0]: Power Save Mode Select Bits

パワーセーブモードを選択します。

表27.8.2 パワーセーブモードの設定

PSAVE[1:0]	モード
0x3	通常動作
0x2	DOZEモード
0x1	Reserved
0x0	パワーセーブモード

(デフォルト:0x0)

PSAVE[1:0]を0x0に設定するとパワーセーブモードに設定されます。このモードではSTN LCDパネル用のLCD信号がすべてLowとなり、LCDコントローラは制御レジスタへのアクセスのみが可能となる他はすべて動作を停止します。PSAVE[1:0]を0x3に設定するとパワーセーブモードが解除されます。

DOZEモードはRAM内蔵タイプあるいはセルフリフレッシュタイプのSTN LCDパネルに対応したパワーセーブモードです。DOZEモードではFPDATとFPSHIFT信号がLowに固定され、表示メモリへのアクセスも発生しません。パワーセーブモードほどの大きな省電力効果は得られませんが、表示を継続したまま、消費電流を低減できます。

Horizontal Non-Display Period Register (LCDC_HNDP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Horizontal Non-Display Period Register (LCDC_HNDP)	0x81904 (16 bits)	D15-5	–	reserved	–	–	–	0 when being read.
		D4-0	HNDP[4:0]	Horizontal non-display period setup	0 to 31 (32 to 280 pixels)	0x0	R/W	

D[15:5] Reserved

D[4:0] HNDP[4:0]: Horizontal Non-Display Period Setup Bits

水平非表示期間を8ピクセル単位で設定します。(デフォルト:0x0)
次の値に設定してください。

$$\text{HNDP}[4:0] = \frac{\text{水平非表示期間(ピクセル数)}}{8} - 4$$

Horizontal Panel Size Register (LCDC_HSIZE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Horizontal Panel Size Register (LCDC_HSIZE)	0x81906 (16 bits)	D15-7	–	reserved	–	–	–	0 when being read.
		D6-0	HSIZE[6:0]	Horizontal resolution setup	1 to 127 (16 to 1024 pixels)	0x0	R/W	

D[15:7] Reserved

D[6:0] HSIZE[6:0]: Horizontal Resolution Setup Bits

LCDパネルの水平解像度を8ピクセル単位で設定します。(デフォルト:0x0)
次の値に設定してください。

$$\text{HSIZE}[6:0] = \frac{\text{水平解像度(ピクセル数)}}{8} - 1$$

たとえば、水平解像度が320ドットのLCDパネルの場合、HSIZE[6:0]には39(= 0x27)を設定します。

Vertical Non-Display Period Register (LCDC_VNDP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vertical Non-Display Period Register (LCDC_VNDP)	0x81908 (16 bits)	D15-6	–	reserved	–	–	–	0 when being read.
		D5-0	VNDP[5:0]	Vertical non-display period setup	0 to 63 (0 to 63 lines)	0x0	R/W	

D[15:6] Reserved

D[5:0] VNDP[5:0]: Vertical Non-Display Period Setup Bits

垂直非表示期間をライン数で設定します。(デフォルト: 0x0)
次の値に設定してください。

VNDP[5:0] = 垂直非表示期間(ライン数)

Vertical Panel Size Register (LCDC_VSIZE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vertical Panel Size Register (LCDC_VSIZE)	0x8190a (16 bits)	D15-10	–	reserved	–	–	–	0 when being read.
		D9-0	VSIZE[9:0]	Vertical resolution setup	0 to 1023 (1 to 1024 lines)	0x0	R/W	

D[15:10] Reserved

D[9:0] VSIZE[9:0]: Vertical Resolution Setup Bits

LCDパネルの垂直解像度をライン数で設定します。(デフォルト: 0x0)
次の値に設定してください。

VSIZE[9:0] = 垂直解像度(ライン数) - 1

たとえば、垂直解像度が240ラインのLCDパネルの場合、VSIZE[9:0]には239(= 0xef)を設定します。

MOD Rate Counter Setup Register (LCDC_MOD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MOD Rate Counter Setup Register (LCDC_MOD)	0x8190c (16 bits)	D15-6	–	reserved	–	–	–	0 when being read.
		D5-0	MOD[5:0]	LCD MOD rate setup	0 to 63	0x0	R/W	

D[15:6] Reserved

D[5:0] MOD[5:0]: LCD MOD Rate Setup Bits

STN LCDパネルのMOD信号を切り換える周期を設定します。(デフォルト: 0x0)
このレジスタが0x0の場合は、FPFRAME信号の周期でMOD信号が切り換わります。それ以外の周期に設定するには、FPLINEパルスのカウント値を設定します。

LCDC Display Mode 1 Register (LCDC_DMD1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCDC Display Mode 1 Register (LCDC_DMD1)	0x8190e (16 bits)	D15-3	–	reserved	–	–	–	0 when being read.	
		D2-0	BPP[2:0]	Bit-per-pixel mode select	BPP[2:0] Mode	0x0	R/W		
						0x7-0x3 reserved			
						0x2 4 bpp			
						0x1 2 bpp			
					0x0 1 bpp				

D[15:3] Reserved

D[2:0] BPP[2:0]: Bit-Per-Pixel Mode Select Bits

表示モード(bppモード)を選択します。選択内容を表27.8.3に示します。

表27.8.3 表示モードの指定

BPP[2:0]	表示モード
0x7-0x3	Reserved
0x2	4bpp、16階調
0x1	2bpp、4階調
0x0	1bpp、2階調

(デフォルト:0x0)

LCDC Display Mode 2 Register (LCDC_DMD2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCDC Display Mode 2 Register (LCDC_DMD2)	0x81910 (16 bits)	D15-14	—	reserved	—	—	—	0 when being read.	
		D13	FPSMASK	FPSHIFT mask enable	1 Enable	0 Disable	0	R/W	
		D12-10	DWD[2:0]	STN panel data width select	DWD[2:0]	Data width	0x0	R/W	
					0x7-0x5	reserved			
					0x4	1 bit			
					0x3-0x2	reserved			
					0x1	8 bits			
			0x0	4 bits					
	D9	SWINV	Software video invert	1 Invert	0 Normal	0	R/W		
	D8	BLANK	Display blank enable	1 Blank	0 Normal	0	R/W		
	D7-0	—	reserved	—	—	—	—	0 when being read.	

D[15:14] Reserved**D13 FPSMASK: FPSHIFT Mask Enable Bit**

FPSHIFTのマスクを設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

FPSMASKを1に設定すると、FPSHIFT信号が非表示期間にマスクされ、出力されません。0に設定すると、FPSHIFT信号は非表示期間も出力されます。

D[12:10] DWD[2:0]: STN Panel Data Width Select Bits

STN LCDパネルのデータ幅を選択します。

表27.8.4 LCDパネルの選択

DWD[2:0]	LCDパネル
0x4	1ビットモノクロシングルパッシブLCDパネル
0x1	8ビットモノクロシングルパッシブLCDパネル
0x0	4ビットモノクロシングルパッシブLCDパネル
その他	Reserved

(デフォルト:0x0)

D9 SWINV: Software Video Invert Bit

表示を反転します。

1(R/W): 反転表示

0(R/W): 通常表示(デフォルト)

SWINVを1に設定するとLCDパネル上の表示が白黒反転します。0に設定すると通常の表示を行います。反転操作はグレースケールインデックスモジュールの出力に対して行われます。表示メモリには影響を与えません。

D8 BLANK: Display Blank Enable Bit

表示をブランク状態にします。

1(R/W): ブランク

0(R/W): 通常表示(デフォルト)

BLANKを0に設定すると表示メモリのデータがLCDパネルに表示されます。1に設定するとFPDAT信号をすべてLow(SWINVが0の場合)またはHigh(SWINVが1の場合)にして表示を消します。表示メモリには影響を与えません。

D[7:0] Reserved

Screen Display Start Address Low Register (LCDC_SADDR1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Screen Display Start Address Low Register (LCDC_SADDR1)	0x81912 (16 bits)	D15-0	SADDR [15:0]	Screen display start address low-order 16 bits	0 to 0xffff	0x0	R/W	SADDR0 (D0) is fixed at 0.

D[15:0] SADDR[15:0]: Screen Display Start Address Bits

VRAM内の画面開始アドレスを設定します。(デフォルト: 0x0)

このレジスタのデータビット(D[15:0])はVRAMアドレスの下位16ビットに対応します。VRAMは16ビット単位にアクセスされるため、SADDR0(D0)は0に固定されます。アドレスの上位8ビット(A[23:16])はSADDR[23:16]/LCDC_SADDR2レジスタに設定します。

VRAMアドレス[23:0] = SADDR[23:16] + {SADDR[15:1], 0b0}

アドレスのLSB(SADDR0)に1を指定した場合も0に修正され、常に16ビット境界アドレスがアクセスされます。

Screen Display Start Address High Register (LCDC_SADDR2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Screen Display Start Address High Register (LCDC_SADDR2)	0x81914 (16 bits)	D15-8 D7-0	– SADDR [23:16]	reserved Screen display start address high-order 8 bits	– 0 to 0xff	– 0x0	– R/W	0 when being read.

D[15:8] Reserved

D[7:0] SADDR[23:16]: Screen Display Start Address Bits

VRAM内の画面開始アドレスを設定します。(デフォルト: 0x0)

このレジスタのD[7:0]がVRAMアドレスのA[23:16]に対応します。アドレスの下位16ビット(A[15:0])はSADDR[15:0]/LCDC_SADDR1レジスタに設定します。

VRAMアドレス[23:0] = SADDR[23:16] + {SADDR[15:1], 0b0}

27.9 シリアル/パラレルMPUインタフェースLCDパネル/ドライバ

LCDCはシリアル/パラレルMPUインタフェースLCDパネル/ドライバに対応していませんが、USIまたはSRAMCにより、S1C17803に接続し制御が可能です。

8ビット(4線)シリアルインタフェースLCDパネル/ドライバ

4線シリアルインタフェース付きRAM内蔵LCDパネル/ドライバはUSI上のSPI端子に直接接続することができます。

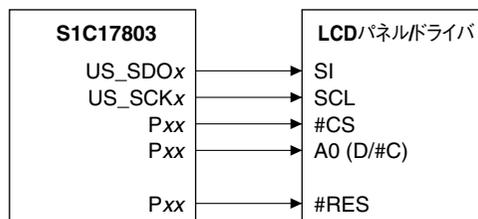


図27.9.1 LCDパネル/ドライバと4線シリアルインタフェースの接続

USIを次のように設定し、接続したLCDパネル/ドライバをSPIスレーブデバイスとして制御します。

- 使用するUSIチャンネル: Ch.0またはCh.1が使用可能
- USIインタフェースモード: SPIマスターモードに設定
- SPIクロック: LCDパネル/ドライバの仕様に合わせ、T8F Ch.0(USI Ch.0使用時)またはT8F Ch.1(USI Ch.1使用時)にプログラム
- データ長: 8ビットに設定
- MSB先頭/LSB先頭モード: LCDパネル/ドライバの仕様に合わせ、MSB先頭またはLSB先頭に設定
- クロックの極性と位相: LCDパネル/ドライバの仕様に合わせて設定

LCDパネル/ドライバのA0、#CS、#RES端子は、S1C17803のGPIOポートに接続してください。GPIOレジスタを使用してポートの出力を制御します。

USI制御およびデータ転送の詳細については、“ユニバーサルシリアルインタフェース(USI)”の章を参照してください。

9ビット(3線)シリアルインタフェースLCDパネル/ドライバ

3線シリアルインタフェース付きRAM内蔵LCDパネル/ドライバはUSI上のSPI端子に直接接続することができます。

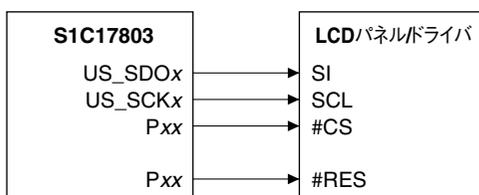


図27.9.2 LCDパネル/ドライバと3線シリアルインタフェースの接続

USIを次のように設定し、接続したLCDパネル/ドライバをSPIスレーブデバイスとして制御します。

- 使用するUSIチャンネル: Ch.0またはCh.1が使用可能
- USIインタフェースモード: SPIマスターモードに設定
- SPIクロック: LCDパネル/ドライバの仕様に合わせ、T8F Ch.0(USI Ch.0使用時)またはT8F Ch.1(USI Ch.1使用時)にプログラム
- データ長: 9ビットに設定
- MSB先頭/LSB先頭モード: LCDパネル/ドライバの仕様に合わせ、MSB先頭またはLSB先頭に設定
- クロックの極性と位相: LCDパネル/ドライバの仕様に合わせて設定

3線シリアルインタフェース付きLCDパネル/ドライバにはコマンド/データセレクト信号を入力するA0端子がありません。そのため、9ビットデータの1ビット目のデータは、送信データがコマンドであるかデータであるかを選別するために使用されます。この設定は、USI制御ビットで行います。

LCDパネル/ドライバの#CS、#RES端子は、S1C17803のGPIOポートに接続してください。GPIOレジスタを使用してポートの出力を制御します。

USI制御およびデータ転送の詳細については、“ユニバーサルシリアルインタフェース(USI)”の章を参照してください。

8ビットパラレルインタフェースLCDパネル/ドライバ

8ビットMPU(80系)パラレルインタフェース付きRAM内蔵LCDパネル/ドライバはSRAMCの外部バスに直接接続することができます。

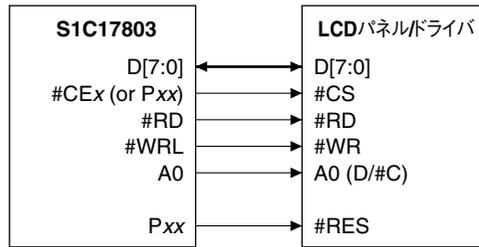


図27.9.3 LCDパネル/ドライバと8ビットパラレルインタフェースの接続

SRAMCを次のように設定し、接続したLCDパネル/ドライバをSRAMデバイスとして制御します。

- #CEエリア: #CE0から#CE3エリアまで使用可能
LCDパネル/ドライバのアクセス条件を満たすために低速バスクロック(BCLK・1/2-1/8)が必要な場合は#CE1エリアを使用
- デバイスタイプ: A0モードに設定
- デバイスサイズ: 8ビットに設定
- スタティックウェイトサイクル: LCDパネル/ドライバの仕様に合わせて設定

アドレスA0は出力データがコマンドデータであるか表示データであるかを決定します。たとえば、LCDパネル/ドライバが#CE1に接続されている場合、アドレス0x300000への書き込みによりコマンドを、アドレス0x300001への書き込みにより表示データを転送します(A0 = 0の場合はコマンド、A0 = 1の場合表示データ)。

SRAMCの制御の詳細については、“SRAMコントローラ(SRAMC)”の章を参照してください。

16ビットパラレルインタフェースLCDパネル/ドライバ

16ビットMPU(80系)パラレルインタフェース付きRAM内蔵LCDパネル/ドライバはSRAMCの外部バスに直接接続することができます。

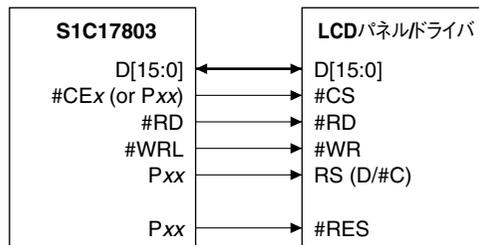


図27.9.4 LCDパネル/ドライバと16ビットパラレルインタフェースの接続

SRAMCを次のように設定し、接続したLCDパネル/ドライバをSRAMデバイスとして制御します。

- #CEエリア: #CE0から#CE3エリアまで使用可能
LCDパネル/ドライバのアクセス条件を満たすために低速バスクロック(BCLK・1/2-1/8)が必要な場合は#CE1エリアを使用
- デバイスタイプ: A0モードに設定
- デバイスサイズ: 16ビットに設定
- スタティックウェイトサイクル: LCDパネル/ドライバの仕様に合わせて設定

LCDパネル/ドライバのRS端子は、コマンド/データセレクト信号を入力するため、S1C17803のGPIOポートに接続してください。GPIOレジスタを使用してポートの出力を制御します。

SRAMCの制御の詳細については、“SRAMコントローラ(SRAMC)”の章を参照してください。

LCDドライバDMA機能の設定

LCDパネル/ドライバがLCDドライバDMA機能に対応している場合、コマンド/表示データはLCDパネル/ドライバにDMA転送できます。DMACを次のようにプログラムしてDMA転送をソフトウェアトリガで呼び出します。

シリアルインタフェースLCDパネル/ドライバ

- DMACチャンネル: フリーチャンネル
- 転送データサイズ: 8ビット
- 転送モード: シングル転送
- 転送アドレス制御: インクリメントまたは固定転送元アドレス
固定転送先アドレス
- 転送元アドレス: 転送される表示/コマンドデータを格納するメモリアドレス
- 転送先アドレス: 使用チャンネルのUSI転送データバッファレジスタアドレス
- トリガ: ソフトウェアトリガ
- その他制御情報: アプリケーションに依存

8ビットパラレルインタフェースLCDパネル/ドライバ

- DMACチャンネル: フリーチャンネル
- 転送データサイズ: 8ビット
- 転送モード: シングル転送
- 転送アドレス制御: インクリメントまたは固定転送元アドレス
固定転送先アドレス
- 転送元アドレス: 転送される表示/コマンドデータを格納するメモリアドレス
- 転送先アドレス: #CExスタートアドレスまたは次のアドレス
例: #CE1使用、A0 = 0を指定した場合
コマンド転送はアドレス0x300000
表示データ転送はアドレス0x300001
- トリガ: ソフトウェアトリガ
- その他制御情報: アプリケーションに依存

16ビットパラレルインタフェースLCDパネル/ドライバ

- DMACチャンネル: フリーチャンネル
- 転送データサイズ: 16ビット
- 転送モード: シングル転送
- 転送アドレス制御: インクリメントまたは固定転送元アドレス
固定転送先アドレス
- 転送元アドレス: 転送される表示/コマンドデータを格納するメモリアドレス
- 転送先アドレス: #CExスタートアドレス
- トリガ: ソフトウェアトリガ
- その他制御情報: アプリケーションに依存

28 オンチップデバッガ(DBG)

28.1 リソース要件とデバッグツール

デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。S1C17803ではRAM内のアドレス0xffffc0～0xfffff(アドレス0xc3fc0～0xc3fffのミラー領域)がデバッグ用ワークエリアに設定されています。デバッグ機能を使用する場合、この領域をユーザプログラムからは使用しないでください。このデバッグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

デバッグツール

デバッグは、S1C17803のデバッグ端子にICDmini(S5U1C17001H)を接続し、パソコン上のデバッガからデバッグコマンドを入力して行います。

このため、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger ICDmini (S5U1C17001H)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

デバッグ端子

ICDmini(S5U1C17001H)との接続に以下のデバッグ端子を使用します。

表28.1.1 デバッグ端子一覧

端子名	I/O	本数	機能
DCLK	O	1	オンチップデバッグクロック出力端子 ICDmini(S5U1C17001H)にクロックを出力します。
DSIO	I/O	1	オンチップデバッグデータ入出力端子 デバッグ用データの入出力およびブレーク信号の入力に使用します。
DST2	O	1	オンチップデバッグステータス信号出力端子 デバッグ中のプロセッサの状態を出力します。

オンチップデバッガの入出力端子(DCLK、DST2、DSIO)は汎用入出力ポート端子を兼用しており、初期状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、ポート機能選択ビットの設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。

端子の機能の切り換えの詳細については、“汎用入出力ポート(GPIO)”の章を参照してください。

DSIO入力用ノイズフィルタ

DSIO信号がノイズによりアクティブになると、S1C17コアはプログラムの実行を中断し、デバッグモードに入ります。これを防ぐため、S1C17803にはシステムクロックで動作するノイズフィルタが組み込まれており、この信号がS1C17コアに入力される前にノイズを除去できるようになっています。

このノイズフィルタを使用するには、DSINNF/CMU_NFレジスタを1に設定してください。DSINNFが0(デフォルト)に設定されている場合、DSIO信号はノイズフィルタを通りません。CMU_NFレジスタの詳細については、CMUの章内のレジスタの説明を参照してください。

28.2 デバッグブ레이크時の動作状態

brk命令の実行、またはDSIO端子へのブ레이크信号(Low)入力によりデバッグ割り込みが発生すると、S1C17コアはデバッグモードに入ります。この状態はretld命令が実行されるまで続きます。この間、ハードウェア割り込みおよびNMIは受け付けられません。

デフォルト設定では、周辺回路の動作は停止します。これをデバッグ中でも動作するように変更することができます。

LCDCはデバッグ割り込み発生時の状態を継続します。

プリスケアラ出力クロックで動作する周辺回路

• クロックジェネレータ (CLG)	PSC Ch.0クロック
• UART	PSC Ch.0クロック
• PCマスタ & PCスレーブ (I2CMとI2CS)	PSC Ch.0クロック
• 16ビットPWMタイマ (T16A)	PSC Ch.1クロック
• 16ビットオーディオPWMタイマ (T16P)	PSC Ch.1クロック
• 8ビットプログラマブルタイマ (T8F)	PSC Ch.1 & PSC Ch.2クロック
• ユニバーサルシリアルインターフェイス (USI)	PSC Ch.1 & PSC Ch.2クロック
• リモートコントローラ (REMC)	PSC Ch.2クロック
• A/D変換器 (ADC10)	PSC Ch.2クロック
• 汎用入出力ポート (GPIO)	PSC Ch.2クロック

デフォルト設定では、デバッグモード時にプリスケアラが停止します。そのため、プリスケアラ出力クロックを使用する上記の周辺回路も停止します。プリスケアラの中に、デバッグモード時のプリスケアラの動作を指定するPRUND/PSCx_CTLレジスタが用意されています。PRUNDを1に設定すると、プリスケアラはデバッグモード時も動作します。これにより、上記の周辺回路も動作可能となります。PRUNDが0(デフォルト)の場合、S1C17コアがデバッグモードになった時点でプリスケアラおよび上記の周辺回路は停止します。

28.3 追加デバッグ機能

S1C17コアが持つオンチップデバッグ機能に対し、S1C17803では以下の機能拡張を行っています。

デバッグモード時の分岐先

デバッグ割り込みが発生するとS1C17コアはデバッグモードに入り、デバッグ処理ルーチンに分岐します。このとき、S1C17コアは0xffffc00番地に分岐するように設計されています。S1C17803ではこの分岐先に加え、0x0番地(内蔵RAM先頭アドレス)をデバッグモード時の分岐先に指定することが可能です。どちらのアドレスに分岐させるかについては、DBADR/MISC_IRAMSZレジスタで選択します。DBADRが0(デフォルト)の場合は0xffffc00番地、1に設定すると0x0番地が選択されます。

命令ブ레이크本数の追加

S1C17コアは2本の命令ブ레이크(ハードウェアPCブ레이크)に対応しています。S1C17803ではこれを5本に増やしています。このため、以下の制御ビットとレジスタが追加されています。

- IBE2/DCRレジスタ: 命令ブ레이크#2を有効に設定
- IBE3/DCRレジスタ: 命令ブ레이크#3を有効に設定
- IBE4/DCRレジスタ: 命令ブ레이크#4を有効に設定
- IBAR2[23:0]/IBAR2レジスタ: 命令ブ레이크アドレス#2の設定
- IBAR3[23:0]/IBAR3レジスタ: 命令ブ레이크アドレス#3の設定
- IBAR4[23:0]/IBAR4レジスタ: 命令ブ레이크アドレス#4の設定

なお、5本のハードウェアPCブ레이크を使用するには、S5U1C17001C(Ver.1.2.1)以降に含まれるデバッグが必要で

28.4 制御レジスタ詳細

表28.4.1 デバッグ用レジスタ一覧

アドレス	レジスタ名		機能
0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
0xffffa0	DCR	Debug Control Register	デバッグ制御
0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

以下、デバッグ用のレジスタを個々に説明します。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- ここに記載されていないデバッグ用レジスタについては、“S1C17コアマニュアル”を参照してください。

Debug RAM Base Register (DBRAM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31-24	-	Unused (fixed at 0)	0x0	0x0	R	
		D23-0	DBRAM[23:0]	Debug RAM base address	0xfffc0	0xffffc0	R	

D[31:24] 0

D[23:0] DBRAM[23:0]: Debug RAM Base Address Bits

デバッグ用ワークエリア(64バイト)の先頭アドレスが格納されるリードオンリレジスタです。

Debug Control Register (DCR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1 Enable 0 Disable	0	R/W	
		D6	IBE3	Instruction break #3 enable	1 Enable 0 Disable	0	R/W	
		D5	IBE2	Instruction break #2 enable	1 Enable 0 Disable	0	R/W	
		D4	DR	Debug request flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D3	IBE1	Instruction break #1 enable	1 Enable 0 Disable	0	R/W	
		D2	IBE0	Instruction break #0 enable	1 Enable 0 Disable	0	R/W	
		D1	SE	Single step enable	1 Enable 0 Disable	0	R/W	
		D0	DM	Debug mode	1 Debug mode 0 User mode	0	R	

D7 IBE4: Instruction Break #4 Enable Bit

命令ブレーク#4を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR4レジスタの設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

D6 IBE3: Instruction Break #3 Enable Bit

命令ブレーク#3を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR3レジスタの設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

D5 IBE2: Instruction Break #2 Enable Bit

命令ブレイク#2を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR2レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D4 DR: Debug Request Flag Bit

外部からのデバグ要求の有無を示します。

1(R): 発生

0(R): なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

このフラグは、1の書き込みでクリア(0にリセット)されます。デバグ処理ルーチンをret命令で終了する前にクリアしておく必要があります。

D3 IBE1: Instruction Break #1 Enable Bit

命令ブレイク#1を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR1レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D2 IBE0: Instruction Break #0 Enable Bit

命令ブレイク#0を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR0レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D1 SE: Single Step Enable Bit

シングルステップ動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

D0 DM: Debug Mode Bit

プロセッサの動作モード(デバグモードまたはユーザモード)を示します。

1(R): デバグモード

0(R): ユーザモード(デフォルト)

Instruction Break Address Register 2 (IBAR2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31-24 D23-0	-- IBAR2[23:0]	reserved Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	-- 0x0 to 0xffff	-- 0x0	-- R/W	0 when being read.

D[31:24] Reserved

D[23:0] IBAR2[23:0]: Instruction Break Address #2 Bits

命令ブレイクアドレス#2を設定します。(デフォルト: 0x000000)

Instruction Break Address Register 3 (IBAR3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31-24 D23-0	-- IBAR3[23:0]	reserved Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	-- 0x0 to 0xffff	-- 0x0	-- R/W	0 when being read.

D[31:24] Reserved

D[23:0] IBAR3[23:0]: Instruction Break Address #3 Bits

命令ブレイクアドレス#3を設定します。(デフォルト: 0x000000)

Instruction Break Address Register 4 (IBAR4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31-24 D23-0	-- IBAR4[23:0]	reserved Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	-- 0x0 to 0xffff	-- 0x0	-- R/W	0 when being read.

D[31:24] Reserved

D[23:0] IBAR4[23:0]: Instruction Break Address #4 Bits

命令ブレイクアドレス#4を設定します。(デフォルト: 0x000000)

29 乗除算器

29.1 概要

S1C17803は、符号付き/符号なし16 x 16ビット乗算機能、符号付き/符号なし16 + 16ビット除算機能、オーバーフロー検出が可能な符号付き16 x 16ビット + 32ビット積和演算(MAC、multiplication and accumulation)機能を提供するコプロセッサを内蔵しています。

ここでは、これらの機能の使用方法について説明します。

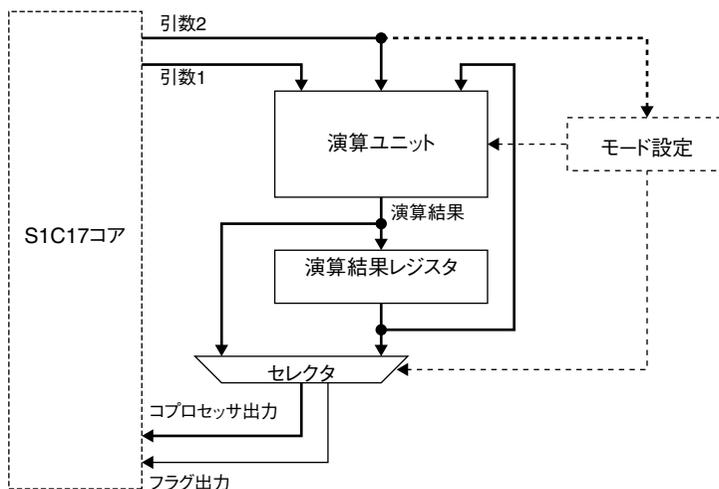


図29.1.1 乗除算器ブロック図

表29.1.1 演算サイクル数

演算	サイクル数
乗算	1 + wサイクル
積和演算 (MAC)	1 + wサイクル
除算	17 + wサイクル

*wは乗除算器にアクセスする際に挿入するウェイトサイクル数です。CMUモジュールのMACWAIT/MAC_WAITレジスタで設定可能です。

29.2 動作モードと出力モード

乗除算器はアプリケーションプログラムによって指定される動作モードに従って動作します。表29.2.1に示すとおり、乗除算器は9種類の動作に対応しています。

乗算、除算、積和演算(MAC)の演算結果は32ビットデータです。このため、S1C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、乗除算器から演算結果の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7ビットのデータを乗除算器内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw %rd,%rs    %rs[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
ld.cw %rd,imm7  imm7[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
```

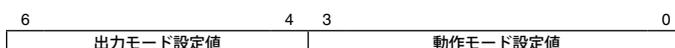


図29.2.1 モード設定レジスタ

表29.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード コプロセッサ出力として、演算結果の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタを0x0にクリアします。
0x1	上位16ビット出力モード コプロセッサ出力として、演算結果の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタの下位16ビットにロードします。
0x2~0x7	Reserved	0x2	初期化モード2 演算用の32ビット被加数を演算結果レジスタにロードします。
		0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタのデータを出力します。
		0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	Reserved
		0x7	符号付き積和演算 (MAC) モード 符号付き積和演算 (MAC) を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
		0xa~0xf	Reserved

29.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。乗算を実行するには、動作モードを0x4(符号なし乗算)または0x5(符号付き乗算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“1d.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに戻ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

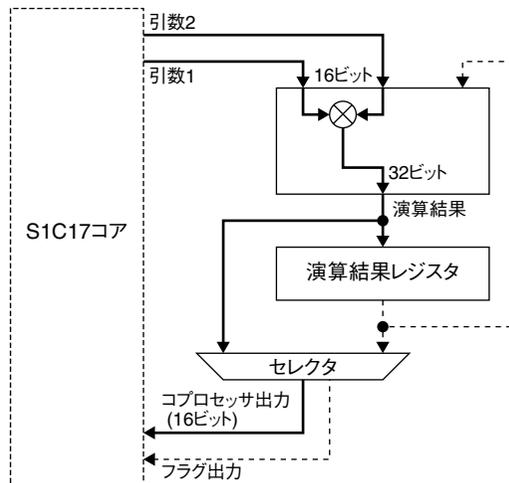


図29.3.1 乗算モードのデータ経路

表29.3.1 乗算モードの動作

モード設定値	命令	動作	フラグ	備考
0x04 または0x05	ld.ca %rd,%rs	res[31:0] ← %rd × %rs %rd ← res[15:0]	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 %rd ← res[15:0]		
0x14 または0x15	ld.ca %rd,%rs	res[31:0] ← %rd × %rs %rd ← res[31:16]		
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x4 ; モード設定(符号なし乗算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

29.4 除算

除算機能は、“ $A(16\text{ビット}) = B(16\text{ビット}) \div C(16\text{ビット})$ 、 $D(16\text{ビット}) = \text{余り}$ ”を実行します。除算を実行するには、動作モードを0x8(符号なし除算)または0x9(符号付き除算)に設定します。その後、16ビット被除数(B)と16ビット除数(C)を、“ld.ca”命令を使用して乗除算器に転送します。商が演算結果レジスタの下位16ビットに、余りが上位16ビットに入ります。演算が終了すると、出力モードで指定した商または余りの16ビットとフラグの状態がCPUレジスタに戻ります。演算結果の残りの16ビットは、乗除算器を演算結果読み出しモードに設定して読み出します。

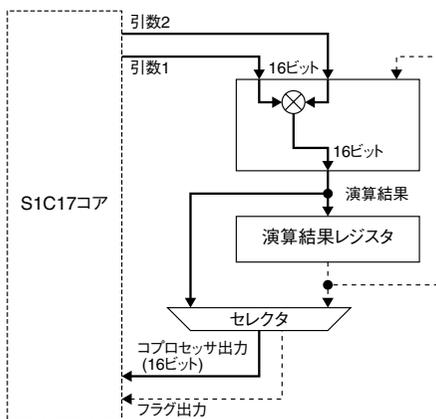


図29.4.1 除算モードのデータ経路

表29.4.1 除算モードの動作

モード設定値	命令	動作	フラグ	備考
0x08 または0x09	ld.ca %rd,%rs	res[31:0] ← %rd ÷ %rs %rd ← res[15:0](商)	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd ÷ imm7/16 %rd ← res[15:0](商)		
0x18 または0x19	ld.ca %rd,%rs	res[31:0] ← %rd ÷ %rs %rd ← res[31:16](余り)		
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd ÷ imm7/16 %rd ← res[31:16](余り)		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x8 ; モード設定(符号なし除算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 ÷ %r1”を実行し、結果の下位16ビット(商)を%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビット(余り)を%r1レジスタにロード
```

29.5 積和演算(MAC)

積和演算機能(MAC)は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット}) + A(32\text{ビット})$ ”を実行します。積和演算(MAC)を実行する前に初期値(A)を演算結果レジスタに設定しておく必要があります。演算結果レジスタをクリアするには(A = 0)、動作モードを0x0に設定します。別の命令で乗除算器に0x0を送る必要はありません。16ビット値または32ビット値を演算結果レジスタにロードするには、動作モードを0x1(16ビット)または0x2(32ビット)に設定します。その後、“ld.cf”命令で初期値を乗除算器に送ります。

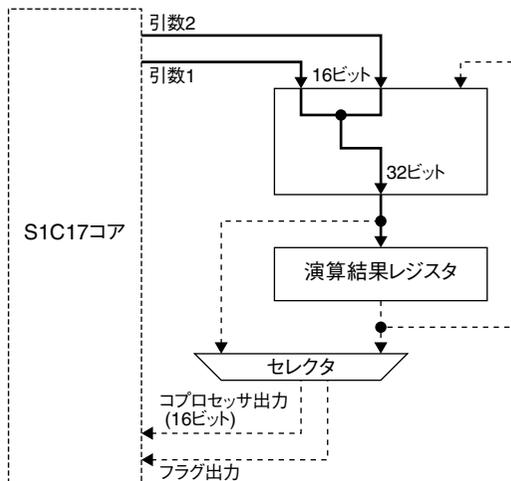


図29.5.1 初期化モード時のデータ経路

表29.5.1 演算結果レジスタの初期化

モード設定値	命令	動作	備考
0x0	-	res[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x1	ld.cf %rd,%rs	res[31:16] ← 0x0 res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← 0x0 res[15:0] ← imm7/16	
0x2	ld.cf %rd,%rs	res[31:16] ← %rd res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← %rd res[15:0] ← imm7/16	

res: 演算結果レジスタ

積和演算(MAC)を実行するには、動作モードを0x7(符号付き積和演算(MAC))に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに戻ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果により、PSRのオーバーフローフラグ(V)が1にセットされます。その他のフラグは0にクリアされます。演算結果読み出しモードに移行せずに積和演算を継続する場合は、被乗数と乗数を必要な回数分送ります。この場合、データ送信のたびに積和演算(MAC)モードに設定する必要はありません。

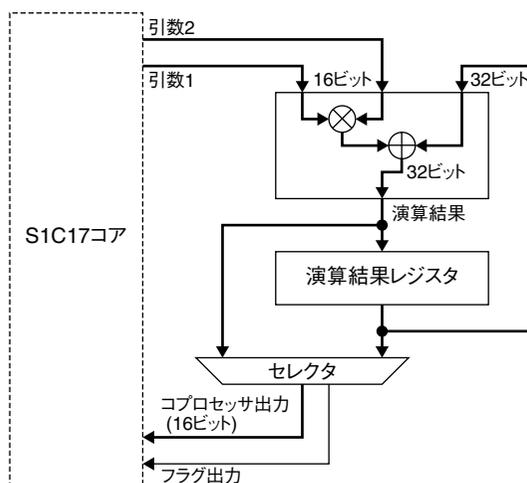


図29.5.2 積和演算 (MAC) モード時のデータ経路

表29.5.2 積和演算 (MAC) モードの動作

モード設定値	命令	動作	フラグ	備考
0x07	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[15:0]	オーバーフローが発生した場合 psr (CVZN) ← 0b0100	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[15:0]		
0x17	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[31:16]	それ以外 psr (CVZN) ← 0b0000	
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[31:16]		

res: 演算結果レジスタ

例:

- ld.cw %r0,0x7 ; モード設定(符号付き積和演算(MAC)モード & 下位16ビット出力モード)
- ld.ca %r0,%r1 ; “res = %r0 × %r1 + res”を実行し、結果の下位16ビットを%r0レジスタにロード
- ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
- ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード

オーバーフローフラグ(V)のセット条件

積和演算(MAC)で乗算結果の符号、演算結果レジスタの符号、および演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)フラグが1にセットされます。

表29.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	積和演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算(MAC)で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)フラグがクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)フラグは、積和演算(MAC)のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

29.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算と積和演算(MAC)は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

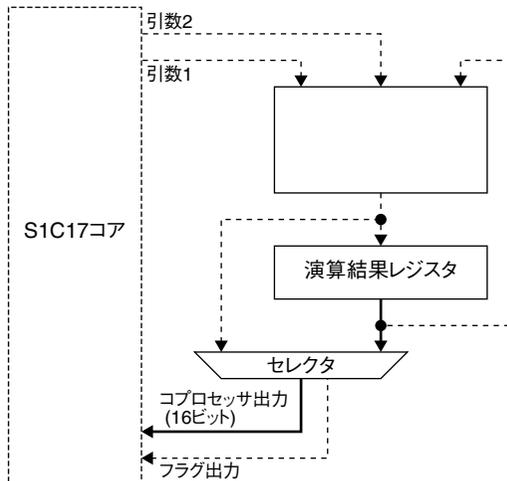


図29.6.1 演算結果読み出しモードのデータ経路

表29.6.1 演算結果読み出しモードの動作

モード設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd, %rs	%rd ← res[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタに影響を与えません。
	ld.ca %rd, imm7	%rd ← res[15:0]		
0x13	ld.ca %rd, %rs	%rd ← res[31:16]		
	ld.ca %rd, imm7	%rd ← res[31:16]		

res: 演算結果レジスタ

30 電気的特性

30.1 絶対最大定格

(V_{SS} = 0V)

項目	記号	条件	定格値	単位
コア電源電圧	LV _{DD}		-0.3 ~ 4.0	V
RTC 電源電圧	RTCV _{DD}		-0.3 ~ 4.0	V
入出力電源電圧	HV _{DD}	HV _{DD} = BUSIO_V _{DD} , IO1_V _{DD} , IO2_V _{DD}	-0.3 ~ 7.0	V
アナログ電源電圧	AV _{DD}		-0.3 ~ 7.0	V
レギュレータ電源電圧	REGU_V _{DD}	REGU_V _{SS} = 0V	-0.3 ~ 7.0	V
入力電圧	V _I		-0.3 ~ HV _{DD} + 0.3	V
出力電圧	V _O		-0.3 ~ HV _{DD} + 0.3	V
アナログ入力電圧	AV _{IN}		-0.3 ~ HV _{DD} + 0.3	V
高レベル出力電圧	IOH	1端子	-10	mA
		全端子合計	-40	mA
低レベル出力電圧	IOL	1端子	10	mA
		全端子合計	40	mA
動作温度	Topr	Flashリード時、LV _{DD} = 2.7 ~ 3.6V、 FLS_WAIT[2:0] = 0x0 (0 wait)	-40 ~ 70	°C
		Flashリード時、LV _{DD} = 3.0 ~ 3.6V FLS_WAIT[2:0] = 0x0 (0 wait)	-40 ~ 85	°C
		Flashリード時、LV _{DD} = 2.7 ~ 3.6V FLS_WAIT[2:0] ≥ 0x1 (1 wait以上)	-40 ~ 85	°C
		Flash消去/プログラミング時	-40 ~ 70	°C
保存温度	Tstg		-65 ~ 150	°C
半田付け温度・時間	Tsol		260°C, 10秒(リード部)	-

30.2 推奨動作条件

(Ta = -40 ~ 85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
コア電源電圧	LV _{DD}		2.7	3.0/3.3	3.6	V
入出力電源電圧	HV _{DD}	HV _{DD} = BUSIO_V _{DD} , IO1_V _{DD} , IO2_V _{DD}	2.7	-	5.5	V
アナログ電源電圧	AV _{DD}		2.7	-	5.5	V
RTC 電源電圧	RTCV _{DD}		2.7	3.3	3.6	V
レギュレータ電源電圧	REGU_V _{DD}	REGU_CE = H, REGU_V _{SS} = 0V	4.5	5.0	5.5	V
動作周波数	fosc3	水晶/セラミック発振	1	-	33	MHz
		外部クロック入力	-	-	33	MHz
	fosc1	水晶発振	-	32.768	-	kHz
		外部クロック入力	-	32.768	-	kHz
入力電圧	V _I		V _{SS}	-	HV _{DD}	V
入力立ち上がり時間(通常入力)	t _{ri}		-	-	50	ns
入力立ち下がり時間(通常入力)	t _{fi}		-	-	50	ns
入力立ち上がり時間(シュミット入力)	t _{ri}		-	-	5	ms
入力立ち下がり時間(シュミット入力)	t _{fi}		-	-	5	ms

30.3 DC特性

特記なき場合: LV_{DD} = RTCV_{DD} = 3.0 ~ 3.6V, HV_{DD} (BUSIO_V_{DD}, IO1_V_{DD}, IO2_V_{DD}) = AV_{DD} = 4.5 ~ 5.5V, V_{SS} = 0V, Ta = -40 ~ 85°C

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	I _{LI}		-1	-	1	μA
オフステートリーク電流	I _{OZ}		-1	-	1	μA
高レベル出力電流	V _{OH}	I _{OH} = -1mA (Type M), I _{OH} = -3mA (Type 1), HV _{DD} = Min.	HV _{DD} - 0.4	-	-	V
低レベル出力電流	V _{OL}	I _{OL} = 1mA (Type M), I _{OL} = 3mA (Type 1), HV _{DD} = Min.	-	-	0.4	V
高レベル出力電流	LV _{OH}	I _{OH} = -2mA (Type 1), RTCV _{DD} = Min.	RTCV _{DD} - 0.4	-	-	V
低レベル出力電流	LV _{OL}	I _{OL} = 2mA (Type 1), RTCV _{DD} = Min.	-	-	0.4	V
高レベル入力電圧	V _{IH}	LVTTLレベル, HV _{DD} = AV _{DD} = Max.	3.5	-	-	V
低レベル入力電圧	V _{IL}	LVTTLレベル, HV _{DD} = AV _{DD} = Min.	-	-	1.0	V
ポジティブトリガ入力電圧	V _{T1+}	LVTTLシュミット	2.0	-	4.0	V
ネガティブトリガ入力電圧	V _{T1-}	LVTTLシュミット	0.8	-	3.1	V
ヒステリシス電圧	V _{H1}	LVTTLシュミット	0.3	-	-	V
ポジティブトリガ入力電圧	V _{T2+}	LVTTLシュミットL	1.1	-	2.4	V
ネガティブトリガ入力電圧	V _{T2-}	LVTTLシュミットL	0.6	-	1.8	V
ヒステリシス電圧	V _{H2}	LVTTLシュミットL	0.1	-	-	V
ブルアップ抵抗	R _{PU}	Type 2, V _I = 0V	60	120	288	kΩ
ブルダウン抵抗	R _{PD}	Type 1, V _I = 0V	30	60	144	kΩ
入力端子容量	C _I	f = 1MHz, HV _{DD} = 0V	-	-	10	pF
出力端子容量	C _O	f = 1MHz, HV _{DD} = 0V	-	-	10	pF
入出力端子容量	C _{IO}	f = 1MHz, HV _{DD} = 0V	-	-	10	pF

特記なき場合: LV_{DD} = RTCV_{DD} = 2.7 ~ 3.3V, HV_{DD} (BUSIO_V_{DD}, IO1_V_{DD}, IO2_V_{DD}) = AV_{DD} = 4.5 ~ 5.5V, V_{SS} = 0V, Ta = -40 ~ 85°C

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	I _{LI}		-1	-	1	μA
オフステートリーク電流	I _{OZ}		-1	-	1	μA
高レベル出力電流	V _{OH}	I _{OH} = -1mA (Type M), I _{OH} = -3mA (Type 1), HV _{DD} = Min.	HV _{DD} - 0.4	-	-	V
低レベル出力電流	V _{OL}	I _{OL} = 1mA (Type M), I _{OL} = 3mA (Type 1), HV _{DD} = Min.	-	-	0.4	V
高レベル出力電流	LV _{OH}	I _{OH} = -1.8mA (Type 1), RTCV _{DD} = Min.	RTCV _{DD} - 0.4	-	-	V
低レベル出力電流	LV _{OL}	I _{OL} = 1.8mA (Type 1), RTCV _{DD} = Min.	-	-	0.4	V
高レベル入力電圧	V _{IH}	CMOSレベル, HV _{DD} = AV _{DD} = Max.	3.5	-	-	V
低レベル入力電圧	V _{IL}	CMOSレベル, HV _{DD} = AV _{DD} = Min.	-	-	1.0	V
ポジティブトリガ入力電圧	V _{T1+}	CMOSシュミット	2.0	-	4.0	V
ネガティブトリガ入力電圧	V _{T1-}	CMOSシュミット	0.8	-	3.1	V
ヒステリシス電圧	V _{H1}	CMOSシュミット	0.3	-	-	V
ポジティブトリガ入力電圧	V _{T2+}	CMOSシュミットL	1.0	-	2.3	V
ネガティブトリガ入力電圧	V _{T2-}	CMOSシュミットL	0.5	-	1.7	V
ヒステリシス電圧	V _{H2}	CMOSシュミットL	0.1	-	-	V
ブルアップ抵抗	R _{PU}	Type 2, V _I = 0V	60	120	288	kΩ
ブルダウン抵抗	R _{PD}	Type 1, V _I = 0V	30	60	144	kΩ
入力端子容量	C _I	f = 1MHz, HV _{DD} = 0V	-	-	10	pF
出力端子容量	C _O	f = 1MHz, HV _{DD} = 0V	-	-	10	pF
入出力端子容量	C _{IO}	f = 1MHz, HV _{DD} = 0V	-	-	10	pF

特記なき場合: LV_{DD} = RTCV_{DD} = 3.0 ~ 3.6V, HV_{DD} (BUSIO_V_{DD}, IO1_V_{DD}, IO2_V_{DD}) = AV_{DD} = 3.0 ~ 3.6V, V_{SS} = 0V, Ta = -40 ~ 85°C

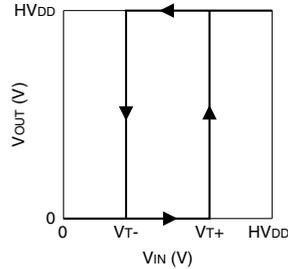
項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	I _{LI}		-1	-	1	μA
オフステートリーク電流	I _{OZ}		-1	-	1	μA
高レベル出力電流	V _{OH}	I _{OH} = -1mA (Type M), I _{OH} = -2mA (Type 1), HV _{DD} = Min.	HV _{DD} - 0.4	-	-	V
低レベル出力電流	V _{OL}	I _{OL} = 1mA (Type M), I _{OL} = 2mA (Type 1), HV _{DD} = Min.	-	-	0.4	V
高レベル出力電流	LV _{OH}	I _{OH} = -2mA (Type 1), RTCV _{DD} = Min.	RTCV _{DD} - 0.4	-	-	V
低レベル出力電流	LV _{OL}	I _{OL} = 2mA (Type 1), RTCV _{DD} = Min.	-	-	0.4	V
高レベル入力電圧	V _{IH}	LVTTLレベル, HV _{DD} = AV _{DD} = Max.	2.0	-	-	V
低レベル入力電圧	V _{IL}	LVTTLレベル, HV _{DD} = AV _{DD} = Min.	-	-	0.8	V
ポジティブトリガ入力電圧	V _{T1+}	LVTTLシュミット	1.1	-	2.4	V
ネガティブトリガ入力電圧	V _{T1-}	LVTTLシュミット	0.6	-	1.8	V
ヒステリシス電圧	V _{H1}	LVTTLシュミット	0.1	-	-	V
ポジティブトリガ入力電圧	V _{T2+}	LVTTLシュミットL	1.1	-	2.4	V
ネガティブトリガ入力電圧	V _{T2-}	LVTTLシュミットL	0.6	-	1.8	V
ヒステリシス電圧	V _{H2}	LVTTLシュミットL	0.1	-	-	V
プルアップ抵抗	R _{PU}	Type 2, V _I = 0V	40	100	240	kΩ
プルダウン抵抗	R _{PD}	Type 1, V _I = 0V	20	50	120	kΩ
入力端子容量	C _I	f = 1MHz, HV _{DD} = 0V	-	-	10	pF
出力端子容量	C _O	f = 1MHz, HV _{DD} = 0V	-	-	10	pF
入出力端子容量	C _{IO}	f = 1MHz, HV _{DD} = 0V	-	-	10	pF

特記なき場合: LV_{DD} = RTCV_{DD} = 2.7 ~ 3.3V, HV_{DD} (BUSIO_V_{DD}, IO1_V_{DD}, IO2_V_{DD}) = AV_{DD} = 2.7 ~ 3.3V, V_{SS} = 0V, Ta = -40 ~ 85°C

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	I _{LI}		-1	-	1	μA
オフステートリーク電流	I _{OZ}		-1	-	1	μA
高レベル出力電流	V _{OH}	I _{OH} = -1mA (Type M), I _{OH} = -1.8mA (Type 1), HV _{DD} = Min.	HV _{DD} - 0.4	-	-	V
低レベル出力電流	V _{OL}	I _{OL} = 1mA (Type M), I _{OL} = 1.8mA (Type 1), HV _{DD} = Min.	-	-	0.4	V
高レベル出力電流	LV _{OH}	I _{OH} = -1.8mA (Type 1), RTCV _{DD} = Min.	RTCV _{DD} - 0.4	-	-	V
低レベル出力電流	LV _{OL}	I _{OL} = 1.8mA (Type 1), RTCV _{DD} = Min.	-	-	0.4	V
高レベル入力電圧	V _{IH}	CMOSレベル, HV _{DD} = AV _{DD} = Max.	1.9	-	-	V
低レベル入力電圧	V _{IL}	CMOSレベル, HV _{DD} = AV _{DD} = Min.	-	-	0.8	V
ポジティブトリガ入力電圧	V _{T1+}	CMOSシュミット	1.0	-	2.3	V
ネガティブトリガ入力電圧	V _{T1-}	CMOSシュミット	0.5	-	1.7	V
ヒステリシス電圧	V _{H1}	CMOSシュミット	0.1	-	-	V
ポジティブトリガ入力電圧	V _{T2+}	CMOSシュミットL	1.0	-	2.3	V
ネガティブトリガ入力電圧	V _{T2-}	CMOSシュミットL	0.5	-	1.7	V
ヒステリシス電圧	V _{H2}	CMOSシュミットL	0.1	-	-	V
プルアップ抵抗	R _{PU}	Type 2, V _I = 0V	48	120	288	kΩ
プルダウン抵抗	R _{PD}	Type 1, V _I = 0V	24	60	144	kΩ
入力端子容量	C _I	f = 1MHz, HV _{DD} = 0V	-	-	10	pF
出力端子容量	C _O	f = 1MHz, HV _{DD} = 0V	-	-	10	pF
入出力端子容量	C _{IO}	f = 1MHz, HV _{DD} = 0V	-	-	10	pF

注: 端子の特性については、“端子機能”の“入出力セルと入出力特性”を参照してください。

シュミット入力電圧



30.4 消費電流

特記なき場合: LVDD = RTCVDD = 3.3V, HVDD (BUSIO_VDD, IO1_VDD, IO2_VDD) = AVDD = 5.0V, VSS = 0V, Ta = -40 ~ 85°C, 周辺モジュール: 停止

項目	記号	条件	Min.	Typ.	Max.	単位	電源
バッテリーバックアップ電流	I _{BB1}	OSC1: Off *4, RTC: 停止, LVDD/HVDD/AVDD: Off, STBY=Low	-	0.021	-	μA	RTCVDD
	I _{BB2}	OSC1: 32kHz, RTC: 動作, LVDD/HVDD/AVDD: Off, STBY=Low	-	4.9	-	μA	
SLEEP時消費電流	I _{SLEEP1}	OSC1: Off *4, OSC3: Off, RTC: 停止	-	1.3	-	μA	LVDD
	I _{SLEEP2}	OSC1: 32kHz, OSC3: Off, RTC: 動作	-	5	-	μA	
HALT時消費電流 (IRAM上で実行) *1	I _{HALT11}	OSC1: 32kHz, OSC3: Off, RTC: 動作	-	7	-	μA	
	I _{HALT12}	OSC1: 32kHz, OSC3: 16MHz, RTC: 動作	-	7	-	mA	
	I _{HALT13}	OSC1: 32kHz, OSC3: 24MHz, RTC: 動作	-	11	-	mA	
	I _{HALT14}	OSC1: 32kHz, OSC3: 33MHz, RTC: 動作	-	15	-	mA	
実行時消費電流 (IRAM上で実行) *2	I _{EXE11}	OSC1: 32kHz, OSC3: Off, RTC: 動作	-	28	-	μA	
	I _{EXE12}	OSC1: 32kHz, OSC3: 16MHz, RTC: 動作	-	8	-	mA	
	I _{EXE13}	OSC1: 32kHz, OSC3: 24MHz, RTC: 動作	-	12	-	mA	
	I _{EXE14}	OSC1: 32kHz, OSC3: 33MHz, RTC: 動作	-	16	-	mA	
実行時消費電流 (Flash上で実行) *3	I _{EXE21}	OSC1: 32kHz, OSC3: Off, RTC: 動作	-	5.9	-	mA	
	I _{EXE22}	OSC1: 32kHz, OSC3: 16MHz, RTC: 動作	-	14	-	mA	
	I _{EXE23}	OSC1: 32kHz, OSC3: 24MHz, RTC: 動作	-	16	-	mA	
	I _{EXE24}	OSC1: 32kHz, OSC3: 33MHz, RTC: 動作	-	19	-	mA	
LCDC動作時消費電流	I _{LCDC1}	OSC3: 33MHz, LCLK: 33MHz/6, フレーム周波数: 63.37Hz, 320×240ピクセル1bpp STN白黒LCDパネル, IVRAM使用	-	17	-	mA	
	I _{LCDC2}	OSC3: 33MHz, LCLK: 33MHz/6, フレーム周波数: 63.37Hz, 320×240ピクセル4bpp STN白黒LCDパネル, EVRAM使用	-	18	-	mA	
ADC10動作時消費電流	I _{ADC1}	ADC10イネーブル&待機時, システムクロック: OSC1, OSC1: 32kHz, OSC3: 33MHz, RTC: 停止, その他の周辺回路: 停止, ADC10のみ動作, 変換クロック周波数: 2MHz	-	18	-	mA	LVDD + AVDD
	I _{ADC2}	ADC10変換動作時, システムクロック: OSC1, OSC1: 32kHz, OSC3: 33MHz, RTC: 停止, その他の周辺回路: 停止, ADC10のみ動作, 変換クロック周波数: 2MHz	-	19	-	mA	
RTC消費電流	I _{RTC1}	OSC1: 32kHz, OSC3: 33MHz, RTC: 動作, STBY=Low	-	4.9	-	μA	RTCVDD
	I _{RTC2}	OSC1: 32kHz, OSC3: 16MHz, RTC: 動作, STBY=Hi	-	240	-	μA	
	I _{RTC3}	OSC1: 32kHz, OSC3: 24MHz, RTC: 動作, STBY=Hi	-	360	-	μA	
	I _{RTC4}	OSC1: 32kHz, OSC3: 33MHz, RTC: 動作, STBY=Hi	-	500	-	μA	
Flashチップ消去時消費電流	I _{FCERS}		-	43	-	mA	LVDD
Flashセクタ消去時消費電流	I _{FSERS}		-	44	-	mA	
Flashプログラミング時消費電流	I _{FPRG}		-	37	-	mA	

*1) halt命令をIRAM上で実行した場合

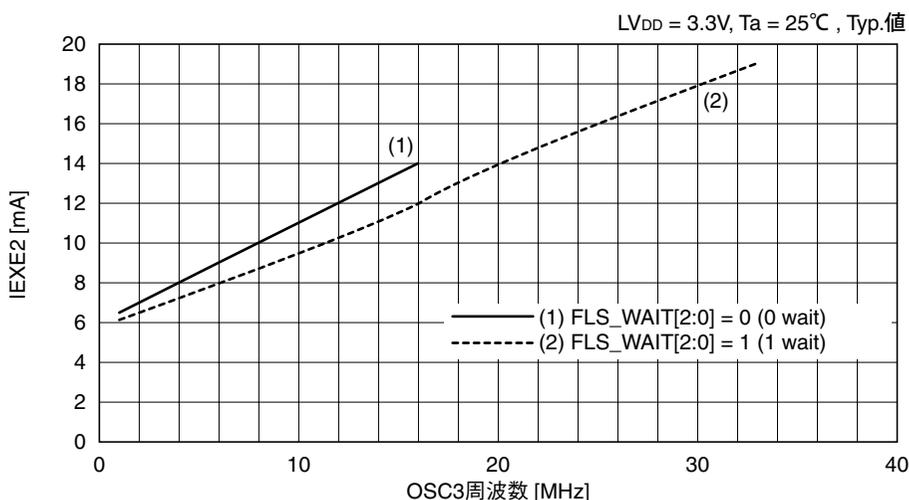
*2) IRAM上のプログラムを実行時

*3) Flash上のプログラムを実行時

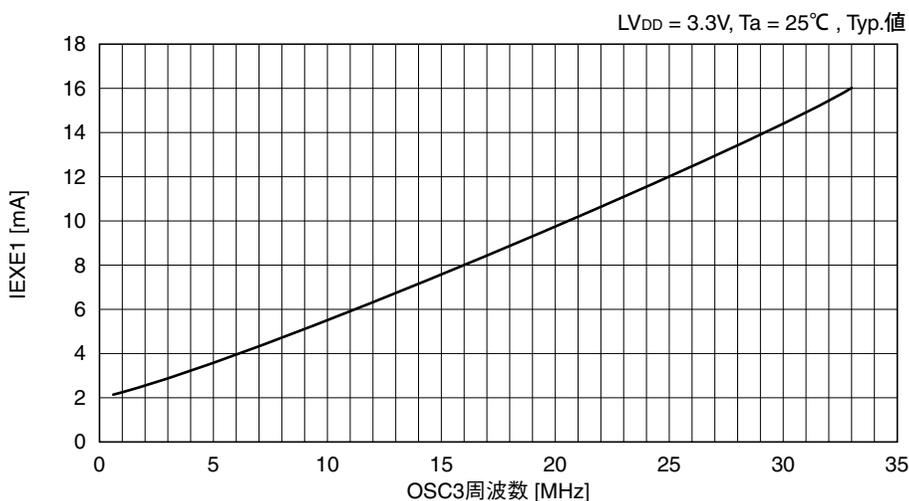
*4) 発振子を使用しない場合 (OSC1発振回路を停止する機能はありません。)

- 注: • Flashメモリ内にあるhalt命令を実行すると、S1C17803はFlashエリアのチップセレクト信号をアクティブにしたままHALTモードに移行します。この場合、FlashメモリがHALTモードの間アクティブのままとなりますので、消費電流が増加します。したがって、S1C17803をHALT状態にする場合は、halt命令をIRAM上で実行してください。
- 高速クロックを使用したプログラム実行時の消費電流がFlashメモリよりもIRAMの方が大きくなっていますが、これはIRAMの方がFlashメモリよりもプログラムの実行速度が高いためです。
 - 実行時消費電流は、ロード命令51%、演算命令21%、分岐命令10%、ext命令18%の試験プログラムを内蔵メモリ (IRAMまたはFlash) からフェッチしながら連続動作させた場合の値です。

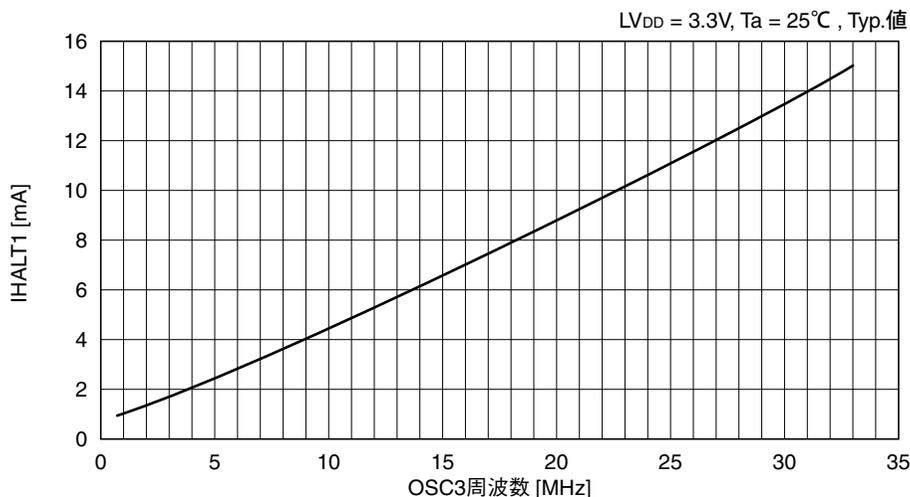
実行時消費電流 - 周波数特性 (Flash上で実行)



実行時消費電流 - 周波数特性 (IRAM上で実行)



HALT 時消費電流 - 周波数特性 (halt命令をIRAM上で実行)



30.5 A/D変換器特性

特記なき場合: LV_{DD} = 2.7 ~ 3.6V, HV_{DD} (BUSIO_V_{DD}, IO1_V_{DD}, IO2_V_{DD}) = AV_{DD} = 2.7 ~ 5.5V, V_{SS} = 0V, Ta = -20 ~ 70°C, ADST[2:0] = 0x7

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	-		-	10	-	ビット
A/D変換クロック	f _{ADCLK}		16	-	2000	kHz
サンプリング周波数*1	-		0.8	-	100	ksps
ゼロスケール誤差	E _{ZS}		-	-	±3	LSB
フルスケール誤差	E _{FS}		-	-	±3	LSB
積分直線性誤差 *2	E _{INL}		-	-	±1.5	LSB
微分直線性誤差	E _{DNL}		-	-	±1.0	LSB
アナログ入力抵抗	R _{AIN}		-	-	11	kΩ
アナログ入力容量	C _{AIN}		-	-	20	pF

*1 Max値はA/D変換器クロック入力=2MHzの場合、Min値はA/D変換器クロック入力=16kHzの場合。

*2 積分直線性誤差はエンドポイント・ラインで測定。

30.6 発振特性

発振特性は使用部品(振動子、R_f、R_d、C_G、C_D)や基板パターンなどの諸条件により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f、R_d)や容量(C_G、C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。

OSC1水晶発振

特記なき場合: LV_{DD} = RTCV_{DD} = 3.3V, V_{SS} = 0V, Ta = 25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t _{STA1}	* 1	-	-	3	s

OSC3水晶発振

注: OSC3水晶発振回路には、“基本波を使用した水晶振動子”を使用してください。

特記なき場合: LV_{DD} = 3.3V, V_{SS} = 0V, Ta = 25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t _{STA3}	*1	-	-	10	ms

OSC3セラミック発振

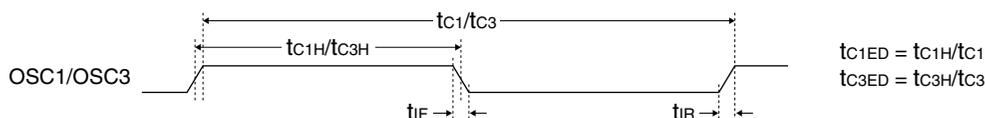
特記なき場合: $V_{DD} = 3.3V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	tSTA3	*1	-	-	5	ms

*1) "基本外部結線図"記載の推奨部品使用の場合

30.7 AC特性

30.7.1 外部クロック入力特性



OSC1外部クロック

特記なき場合: $V_{DD} = RTCV_{DD} = 2.7 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 0 \sim 70^\circ C$

項目	記号	Min.	Typ.	Max.	単位
OSC1外部クロックサイクル時間	tc1	-	30.51	-	μs
OSC1外部クロック入力デューティ	tc1ED	45	-	55	%
OSC1外部クロック入力立ち上がり時間	tIF	-	-	5	ns
OSC1外部クロック入力立ち下がり時間	tIR	-	-	5	ns

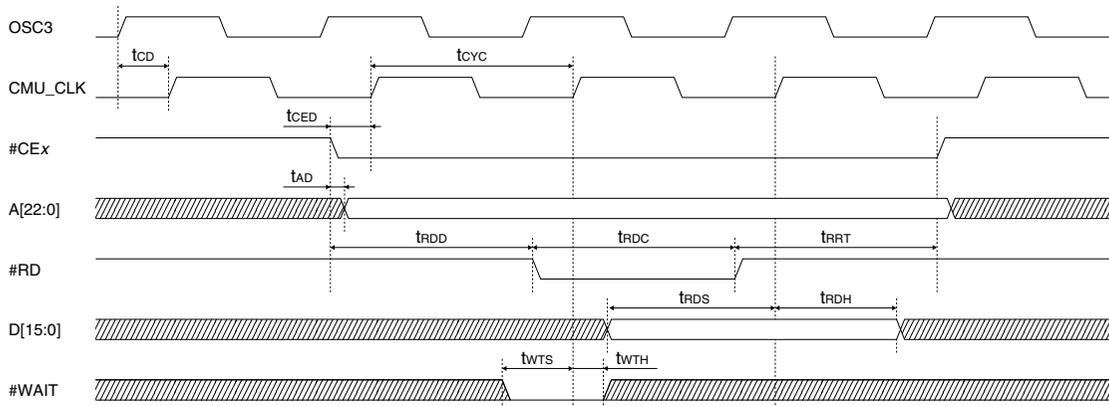
OSC3外部クロック

特記なき場合: $IO1_V_{DD} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 0 \sim 70^\circ C$

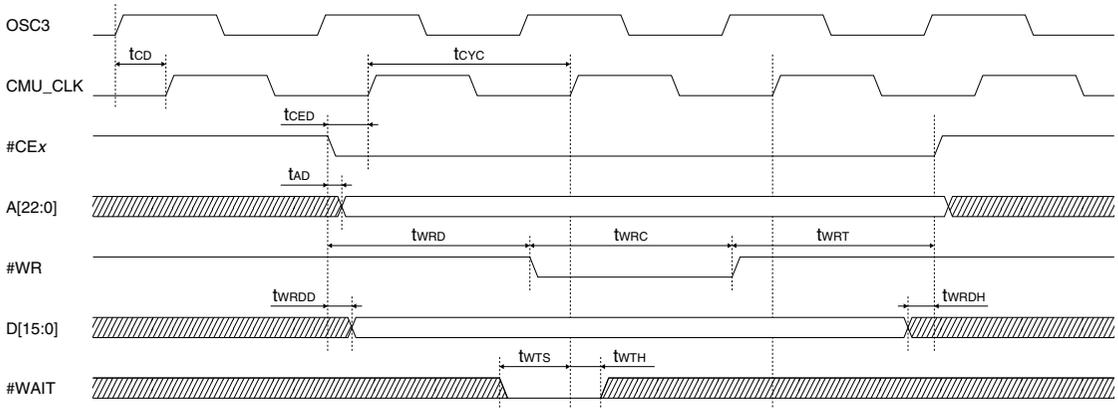
項目	記号	Min.	Typ.	Max.	単位
OSC3外部クロックサイクル時間	tc3	30.30	-	1000	ns
OSC3外部クロック入力デューティ	tc3ED	45	-	55	%
OSC3外部クロック入力立ち上がり時間	tIF	-	-	5	ns
OSC3外部クロック入力立ち下がり時間	tIR	-	-	5	ns

30.7.2 SRAMC AC特性

SRAMリードサイクル



SRAMライトサイクル



特記なき場合: LVDD = 2.7 ~ 3.6V, BUSIO_VDD = 4.5 ~ 5.5V, VSS = 0V

項目	記号	Min.	Typ.	Max.	単位
CMU_CLK出力遅延時間	tCD	-	-	60	ns
CMU_CLK立ち上がり→#CEx遅延時間	tCED	-	-	17	ns
アドレス遅延時間	tAD	-	-	5	ns
ライト遅延時間	tWRD	-	-	tCYC	ns
ライトパルス幅	tWRC	-	-	tw + tCYC	ns
ライト立ち上がり→#CEx立ち上がり時間	tWRT	-	-	tCYC	ns
ライトデータ遅延時間	tWRDD	-	-	0	ns
ライトデータホールド時間	tWRDH	5	-	-	ns
リード遅延時間	tRDD	-	-	tCYC	ns
リードパルス幅	tRDC	-	-	tw + tCYC	ns
リード立ち上がり→#CEx立ち上がり時間	tRRT	-	-	tCYC	ns
リードデータセットアップ時間	tRDS	45	-	-	ns
リードデータホールド時間	tRDH	0	-	-	ns
#WAITセットアップ時間	tWTS	90	-	-	ns
#WAITホールド時間	tWTH	0	-	-	ns

特記なき場合: LVDD = 2.7 ~ 3.6V, BUSIO_VDD = 2.7 ~ 3.6V, VSS = 0V

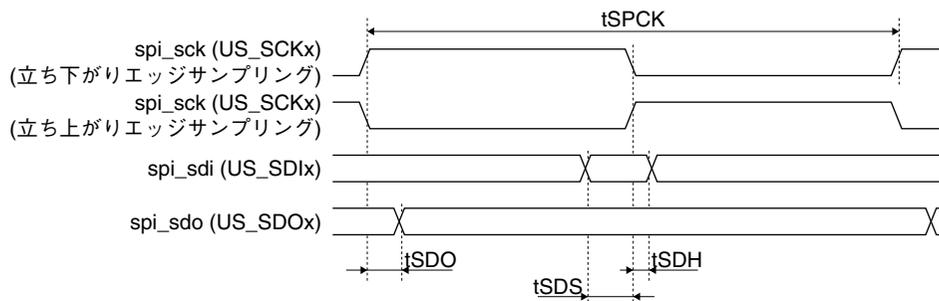
項目	記号	Min.	Typ.	Max.	単位
CMU_CLK出力遅延時間	tCD	-	-	65	ns
CMU_CLK立ち上がり→#CEx遅延時間	tCED	-	-	20	ns
アドレス遅延時間	tAD	-	-	7	ns
ライト遅延時間	tWRD	-	-	tCYC	ns
ライトパルス幅	tWRC	-	-	tw + tCYC	ns
ライト立ち上がり→#CEx立ち上がり時間	tWRT	-	-	tCYC	ns
ライトデータ遅延時間	tWRDD	-	-	0	ns
ライトデータホールド時間	tWRDH	5	-	-	ns
リード遅延時間	tRDD	-	-	tCYC	ns
リードパルス幅	tRDC	-	-	tw + tCYC	ns
リード立ち上がり→#CEx立ち上がり時間	tRRT	-	-	tCYC	ns
リードデータセットアップ時間	tRDS	55	-	-	ns
リードデータホールド時間	tRDH	0	-	-	ns
#WAITセットアップ時間	tWTS	95	-	-	ns
#WAITホールド時間	tWTH	0	-	-	ns

tw: ウェイトサイクル時間

tCYC: システムクロックサイクル時間

30.7.3 USI AC特性

SPI マスタ/スレーブモード



SPIマスタモード(8または9ビット、通常モード時)

特記なき場合: $V_{DD} = 2.7 \sim 3.6V$, $IO1_V_{DD}/IO2_V_{DD} = 4.5 \sim 5.5V$, $V_{SS} = 0V$

項目	記号	Min.	Typ.	Max.	単位
spi_sckサイクル時間	tSPCK	$85 + t_{PCLK}$	—	—	ns
spi_sdiセットアップ時間	tSDS	$85 + t_{PCLK}$	—	—	ns
spi_sdiホールド時間	tSDH	0	—	—	ns
spi_sdo出力遅延時間	tSDO	—	—	20	ns

特記なき場合: $V_{DD} = 2.7 \sim 3.6V$, $IO1_V_{DD}/IO2_V_{DD} = 2.7 \sim 3.6V$, $V_{SS} = 0V$

項目	記号	Min.	Typ.	Max.	単位
spi_sckサイクル時間	tSPCK	$85 + t_{PCLK}$	—	—	ns
spi_sdiセットアップ時間	tSDS	$85 + t_{PCLK}$	—	—	ns
spi_sdiホールド時間	tSDH	0	—	—	ns
spi_sdo出力遅延時間	tSDO	—	—	15	ns

SPI マスタモード(8または9ビット、高速モード時)

特記なき場合: $V_{DD} = 2.7 \sim 3.6V$, $IO1_V_{DD}/IO2_V_{DD} = 4.5 \sim 5.5V$, $V_{SS} = 0V$

項目	記号	Min.	Typ.	Max.	単位
spi_sckサイクル時間	tSPCK	85	—	—	ns
spi_sdiセットアップ時間	tSDS	85	—	—	ns
spi_sdiホールド時間	tSDH	0	—	—	ns
spi_sdo出力遅延時間	tSDO	—	—	10	ns

特記なき場合: $V_{DD} = 2.7 \sim 3.6V$, $IO1_V_{DD}/IO2_V_{DD} = 2.7 \sim 3.6V$, $V_{SS} = 0V$

項目	記号	Min.	Typ.	Max.	単位
spi_sckサイクル時間	tSPCK	85	—	—	ns
spi_sdiセットアップ時間	tSDS	85	—	—	ns
spi_sdiホールド時間	tSDH	0	—	—	ns
spi_sdo出力遅延時間	tSDO	—	—	10	ns

SPI スレーブモード

特記なき場合: $V_{DD} = 2.7 \sim 3.6V$, $IO1_V_{DD}/IO2_V_{DD} = 4.5 \sim 5.5V$, $V_{SS} = 0V$

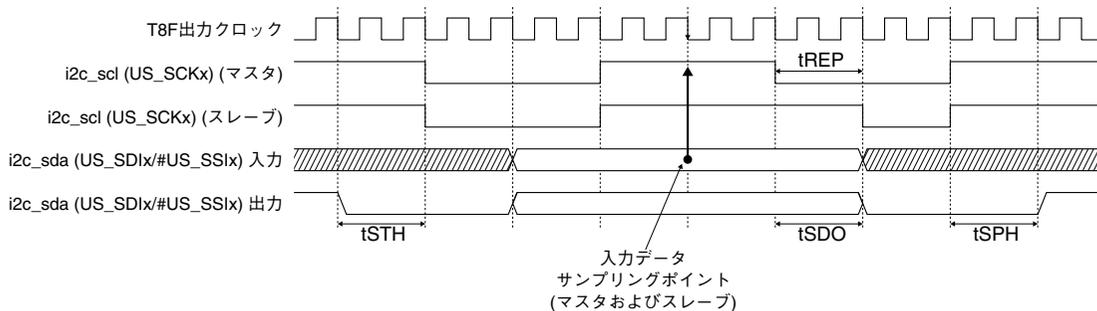
項目	記号	Min.	Typ.	Max.	単位
spi_sckサイクル時間	tSPCK	*2	—	—	ns
spi_sdiセットアップ時間	tSDS	$10 + t_{PCLK}$	—	—	ns
spi_sdiホールド時間	tSDH	10	—	—	ns
spi_sdo出力遅延時間	tSDO	—	—	80	ns

特記なき場合: $V_{DD} = 2.7 \sim 3.6V$, $IO1_V_{DD}/IO2_V_{DD} = 2.7 \sim 3.6V$, $V_{SS} = 0V$

項目	記号	Min.	Typ.	Max.	単位
spi_sckサイクル時間	tSPCK	*2	—	—	ns
spi_sdiセットアップ時間	tSDS	$10 + t_{PCLK}$	—	—	ns
spi_sdiホールド時間	tSDH	10	—	—	ns
spi_sdo出力遅延時間	tSDO	—	—	80	ns

*1) tPCLK: PCLK1またはPCLK2(CMUから供給される周辺モジュールクロック)クロックサイクル時間

*2) tSPCK(min.) = 80ns (tPCLK ≤ 60nsの場合)またはtSPCK(min.) = “20 + tPCLK” ns (tPCLK > 60nsの場合)

I²Cマスタ/スレーブモードI²Cマスタ/スレーブモード特記なき場合: LV_{DD} = 2.7 ~ 3.6V, IO1_V_{DD}/IO2_V_{DD} = 4.5 ~ 5.5V, V_{SS} = 0V

項目	記号	Min.	Typ.	Max.	単位
i2c_sclサイクル時間	tsCL	2500	—	—	ns
i2c_sda出力遅延時間	tSDO	—	—	2*tr8	ns
スタート条件ホールド時間	tSTH	4*tr8	—	—	ns
ストップ条件ホールド時間	tSPH	3*tr8	—	—	ns

特記なき場合: LV_{DD} = 2.7 ~ 3.6V, IO1_V_{DD}/IO2_V_{DD} = 2.7 ~ 3.6V, V_{SS} = 0V

項目	記号	Min.	Typ.	Max.	単位
i2c_sclサイクル時間	tsCL	2500	—	—	ns
i2c_sda出力遅延時間	tSDO	—	—	2*tr8	ns
スタート条件ホールド時間	tSTH	4*tr8	—	—	ns
ストップ条件ホールド時間	tSPH	3*tr8	—	—	ns

I²Cスレーブモード特記なき場合: LV_{DD} = 2.7 ~ 3.6V, IO1_V_{DD}/IO2_V_{DD} = 4.5 ~ 5.5V, V_{SS} = 0V

項目	記号	Min.	Typ.	Max.	単位
i2c_sclサイクル時間	tsCL	2500	—	—	ns
i2c_scl入力クロック応答遅延時間	tREP	—	—	4*tr8	ns
i2c_sda出力遅延時間	tSDO	—	—	2*tr8	ns
スタート条件ホールド時間	tSTH	7*tPCLK	—	—	ns
ストップ条件ホールド時間	tSPH	7*tPCLK	—	—	ns

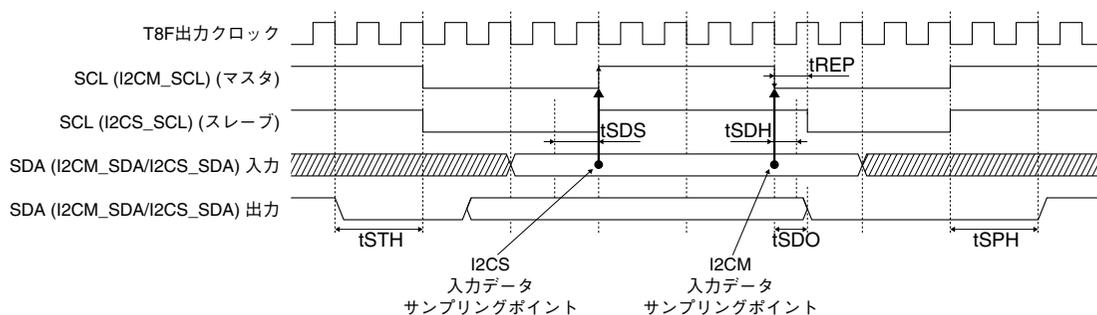
特記なき場合: LV_{DD} = 2.7 ~ 3.6V, IO1_V_{DD}/IO2_V_{DD} = 2.7 ~ 3.6V, V_{SS} = 0V

項目	記号	Min.	Typ.	Max.	単位
i2c_sclサイクル時間	tsCL	2500	—	—	ns
i2c_scl入力クロック応答遅延時間	tREP	—	—	4*tr8	ns
i2c_sda出力遅延時間	tSDO	—	—	2*tr8	ns
スタート条件ホールド時間	tSTH	7*tPCLK	—	—	ns
ストップ条件ホールド時間	tSPH	7*tPCLK	—	—	ns

tPCLK: PCLK1またはPCLK2(CMUから供給される周辺モジュールクロック)クロックサイクル時間

tr8 = T8F出力クロックサイクル時間

30.7.4 I2CM/I2CS AC特性



I2CM (ノイズフィルタON)

特記なき場合: LV_{DD} = 2.7 ~ 3.6V, IO1_V_{DD}/IO2_V_{DD} = 4.5 ~ 5.5V, V_{SS} = 0V

項目	記号	Min.	Typ.	Max.	単位
SCLクロックサイクル時間	t _{SCL}	2500	—	—	ns
SDA入力ホールド時間	t _{SDH}	10	—	—	ns
SDA出力遅延時間	t _{SDO}	—	—	t _{r8}	ns
スタート条件ホールド時間	t _{STH}	t _{r8}	—	—	ns
ストップ条件ホールド時間	t _{SPH}	t _{r8}	—	—	ns

特記なき場合: LV_{DD} = 2.7 ~ 3.6V, IO1_V_{DD}/IO2_V_{DD} = 2.7 ~ 3.6V, V_{SS} = 0V

項目	記号	Min.	Typ.	Max.	単位
SCLクロックサイクル時間	t _{SCL}	2500	—	—	ns
SDA入力ホールド時間	t _{SDH}	10	—	—	ns
SDA出力遅延時間	t _{SDO}	—	—	t _{r8}	ns
スタート条件ホールド時間	t _{STH}	t _{r8}	—	—	ns
ストップ条件ホールド時間	t _{SPH}	t _{r8}	—	—	ns

I2CM (ノイズフィルタOFF)

特記なき場合: LV_{DD} = 2.7 ~ 3.6V, IO1_V_{DD}/IO2_V_{DD} = 4.5 ~ 5.5V, V_{SS} = 0V

項目	記号	Min.	Typ.	Max.	単位
SCLクロックサイクル時間	t _{SCL}	2500	—	—	ns
SDA入力ホールド時間	t _{SDH}	10	—	—	ns
SDA出力遅延時間	t _{SDO}	—	—	t _{r8}	ns
スタート条件ホールド時間	t _{STH}	t _{r8}	—	—	ns
ストップ条件ホールド時間	t _{SPH}	t _{r8}	—	—	ns

特記なき場合: LV_{DD} = 2.7 ~ 3.6V, IO1_V_{DD}/IO2_V_{DD} = 2.7 ~ 3.6V, V_{SS} = 0V

項目	記号	Min.	Typ.	Max.	単位
SCLクロックサイクル時間	t _{SCL}	2500	—	—	ns
SDA入力ホールド時間	t _{SDH}	10	—	—	ns
SDA出力遅延時間	t _{SDO}	—	—	t _{r8}	ns
スタート条件ホールド時間	t _{STH}	t _{r8}	—	—	ns
ストップ条件ホールド時間	t _{SPH}	t _{r8}	—	—	ns

I2CS

特記なき場合: LVDD = 2.7 ~ 3.6V, IO1_VDD/IO2_VDD= 4.5 ~ 5.5V, VSS = 0V

項目	記号	Min.	Typ.	Max.	単位
SCLクロックサイクル時間	tsCL	2500	-	-	ns
SCL入力クロック応答遅延時間	tREP	80 + tPCLK	-	-	ns
SDA入力セットアップ時間	tSDS	30	-	-	ns
SDA出力遅延時間	tSDO	-	-	80	ns
スタート条件ホールド時間	tSTH	tPCLK	-	-	ns
ストップ条件ホールド時間	tSPH	tPCLK	-	-	ns

特記なき場合: LVDD = 2.7 ~ 3.6V, IO1_VDD/IO2_VDD= 2.7 ~ 3.6V, VSS = 0V

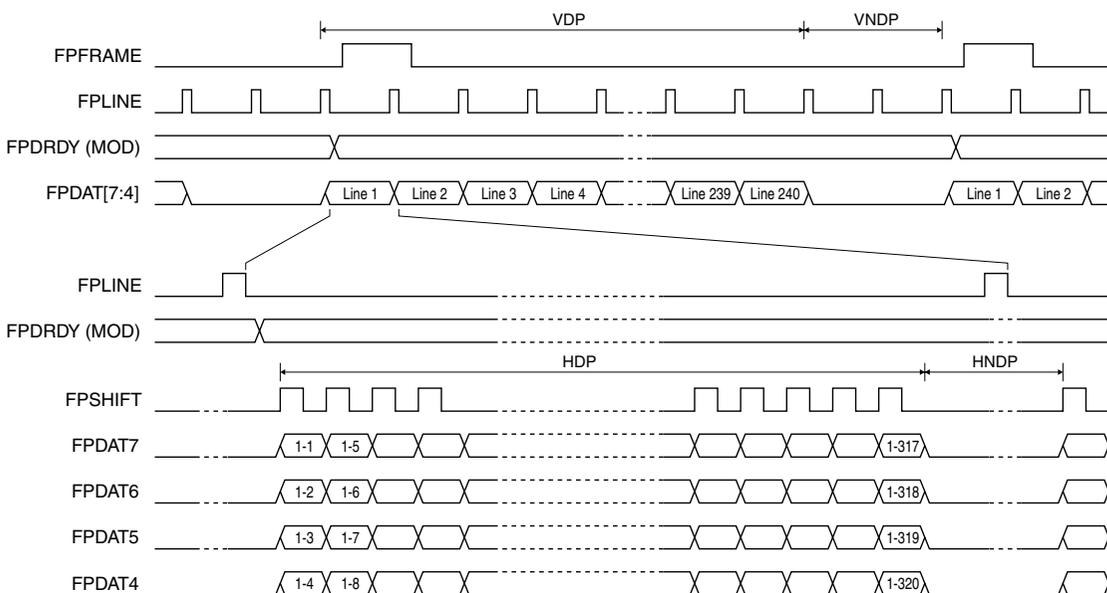
項目	記号	Min.	Typ.	Max.	単位
SCLクロックサイクル時間	tsCL	2500	-	-	ns
SCL入力クロック応答遅延時間	tREP	80 + tPCLK	-	-	ns
SDA入力セットアップ時間	tSDS	30	-	-	ns
SDA出力遅延時間	tSDO	-	-	80	ns
スタート条件ホールド時間	tSTH	tPCLK	-	-	ns
ストップ条件ホールド時間	tSPH	tPCLK	-	-	ns

tPCLK: PCLK_SOC (CMUから供給される周辺モジュールクロック) クロックサイクル時間

tt8 = T8F出カクロックサイクル時間

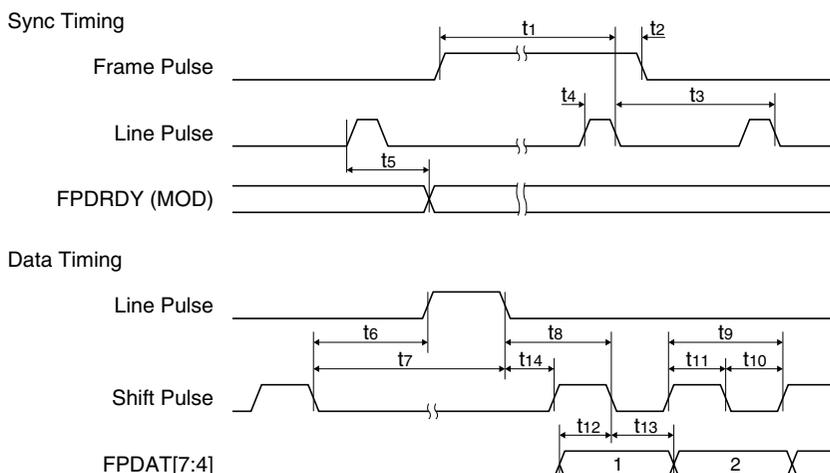
30.7.5 LCDC AC特性

4ビットシングルモノクロパネルタイミング



* 図は320 × 240/パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。
FPSMASKは1に設定されているものとします。

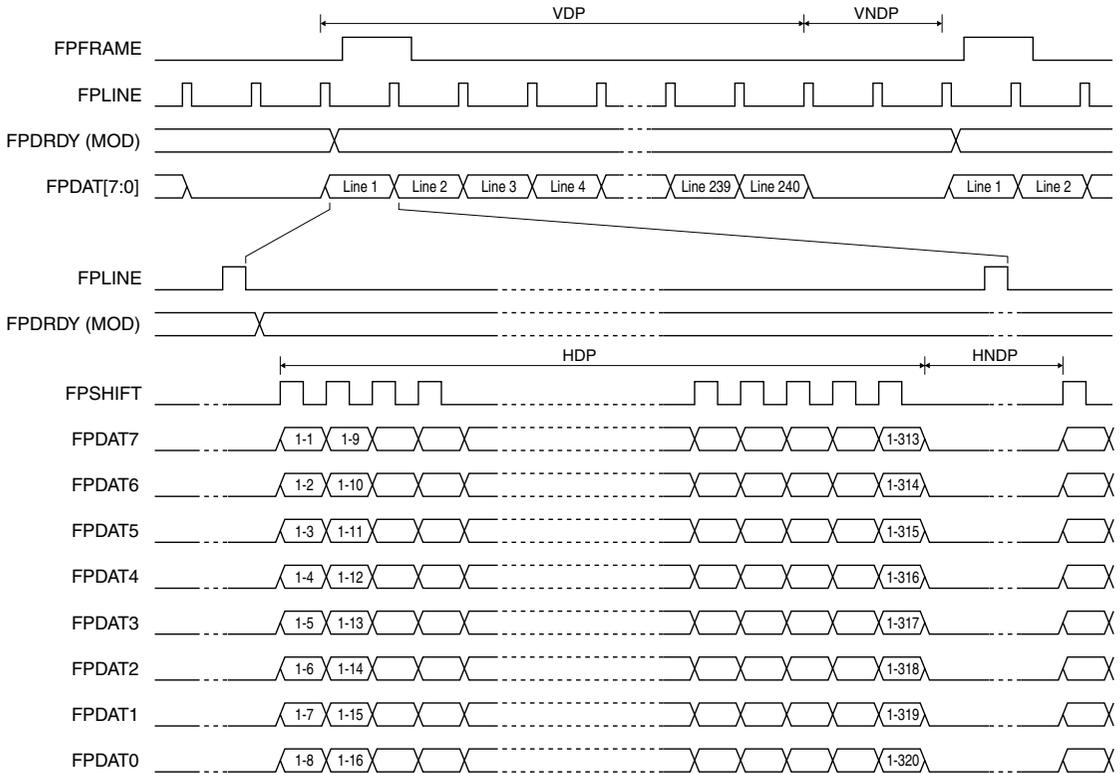
- HDP (水平表示期間) = (HSIZE[6:0] + 1) × 8 (Ts)
- HNDP (水平非表示期間) = (HNDP[4:0] + 4) × 8 (Ts)
- VDP (垂直表示期間) = VSIZE[9:0] + 1 (ライン)
- VNDP (垂直非表示期間) = VNDP[5:0] (ライン)



記号	項目	Min.	Typ.	Max.	単位
t ₁	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2			(注1)
t ₂	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9			Ts
t ₃	ラインパルス周期	注3			
t ₄	ラインパルス幅	9			Ts
t ₅	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t ₆	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4			
t ₇	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t ₈	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t ₁₄ + 2			Ts
t ₉	シフトパルス周期	4			Ts
t ₁₀	シフトパルスLowパルス幅	2			Ts
t ₁₁	シフトパルスHighパルス幅	2			Ts
t ₁₂	FPDAT[7:4]セットアップ→シフトパルス立ち下がりエッジ	2			Ts
t ₁₃	シフトパルス立ち下がりエッジ→FPDAT[7:4]ホールド時間	2			Ts
t ₁₄	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23			Ts

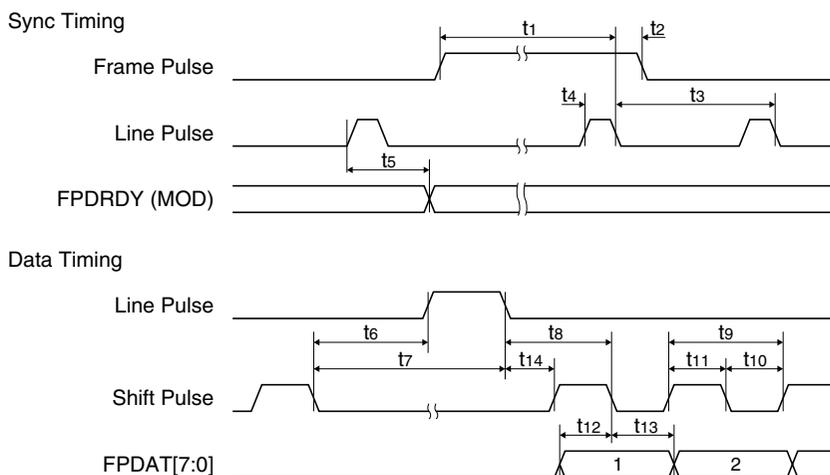
- 注) 1. Ts = ピクセルクロック周期
 2. t_{1min} = t_{3min} - 9 (Ts)
 3. t_{3min} = HDP + HNDP (Ts)
 4. t_{6min} = HNDP + 2 (Ts)
 5. t_{7min} = HNDP + 11 (Ts)

8ビットシングルモノクロパネルタイミング



* 図は320×240パネル、垂直非表示期間が2FPLINEの場合のタイミング例です。
FPSMASKは1に設定されているものとします。

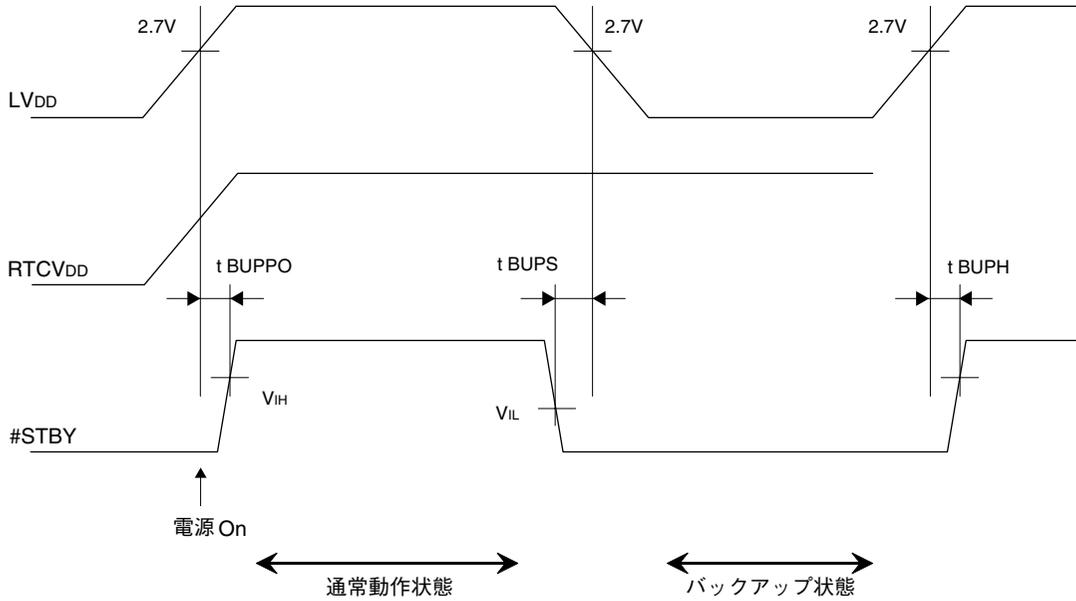
- HDP (水平表示期間) = (HSIZE[6:0] + 1) × 8 (Ts)
- HNDP (水平非表示期間) = (HNDP[4:0] + 4) × 8 (Ts)
- VDP (垂直表示期間) = VSIZE[9:0] + 1 (ライン)
- VNDP (垂直非表示期間) = VNDP[5:0] (ライン)



記号	項目	Min.	Typ.	Max.	単位
t ₁	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2			(注1)
t ₂	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9			Ts
t ₃	ラインパルス周期	注3			
t ₄	ラインパルス幅	9			Ts
t ₅	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t ₆	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4			
t ₇	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t ₈	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t ₁₄ + 4			Ts
t ₉	シフトパルス周期	8			Ts
t ₁₀	シフトパルスLowパルス幅	4			Ts
t ₁₁	シフトパルスHighパルス幅	4			Ts
t ₁₂	FPDAT[7:0]セットアップ→シフトパルス立ち下がりエッジ	4			Ts
t ₁₃	シフトパルス立ち下がりエッジ→FPDAT[7:0]ホールド時間	4			Ts
t ₁₄	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23			Ts

- 注) 1. Ts = ピクセルクロック周期
 2. t_{1min} = t_{3min} - 9 (Ts)
 3. t_{3min} = HDP + HNDP (Ts)
 4. t_{6min} = HNDP + 4 (Ts)
 5. t_{7min} = HNDP + 13 (Ts)

30.7.6 #STBY AC特性



特記なき場合：LVDD = 2.7 ~ 3.6V, IO1_VDD/ IO2_VDD=4.5 ~ 5.5V, VSS=0V

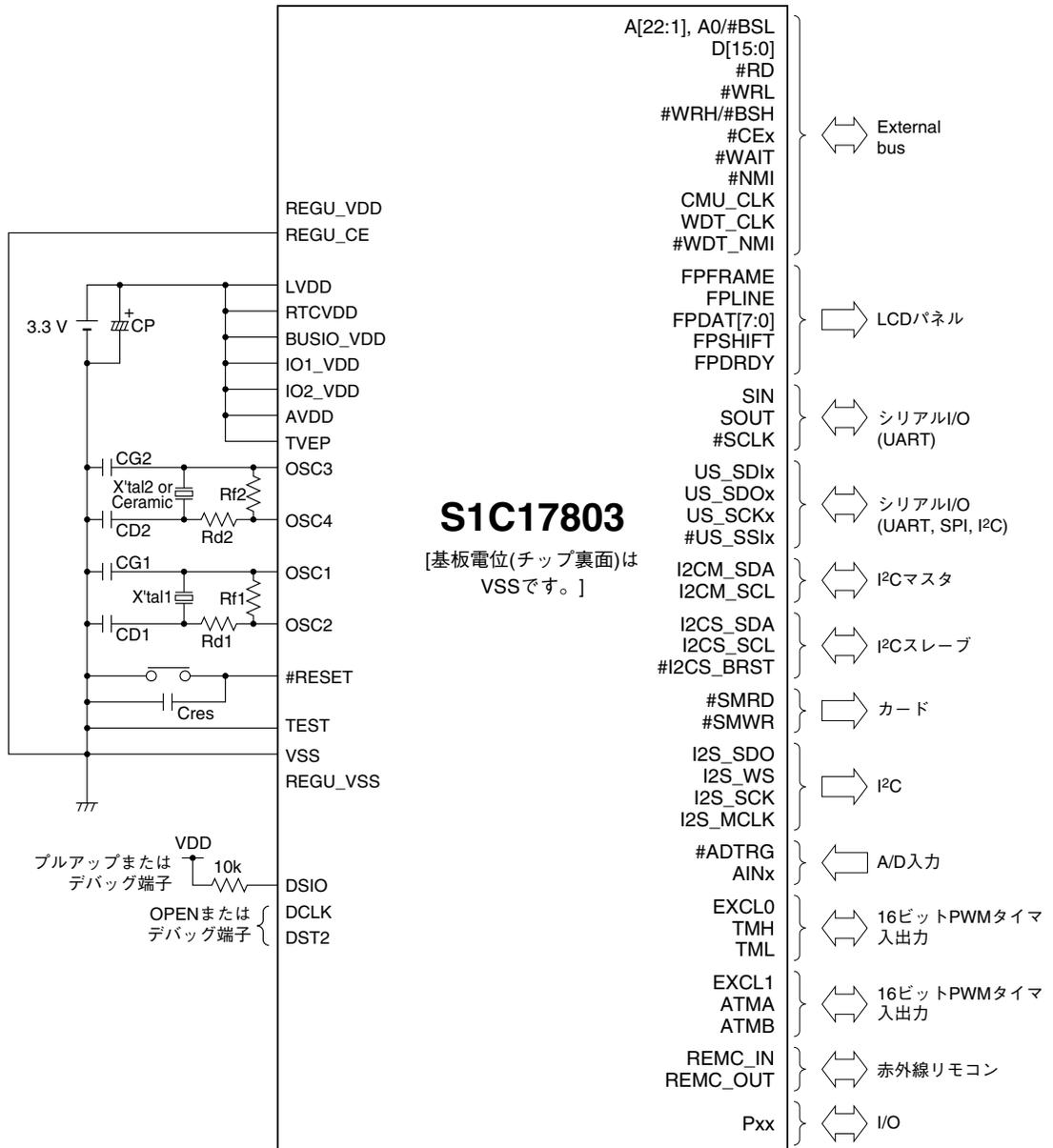
項目	記号	Min.	Typ.	Max.	単位	備考
バックアップ開始時電源遮断時間	tBUPS	100	-	-	us	*1
バックアップ復帰時電源安定時間	tBUPH	100	-	-	us	*2

*1) バックアップ状態に入るときは、LVDDが2.7Vを下回る前にAC特性を満足するように#STBY端子をLowにしてください。

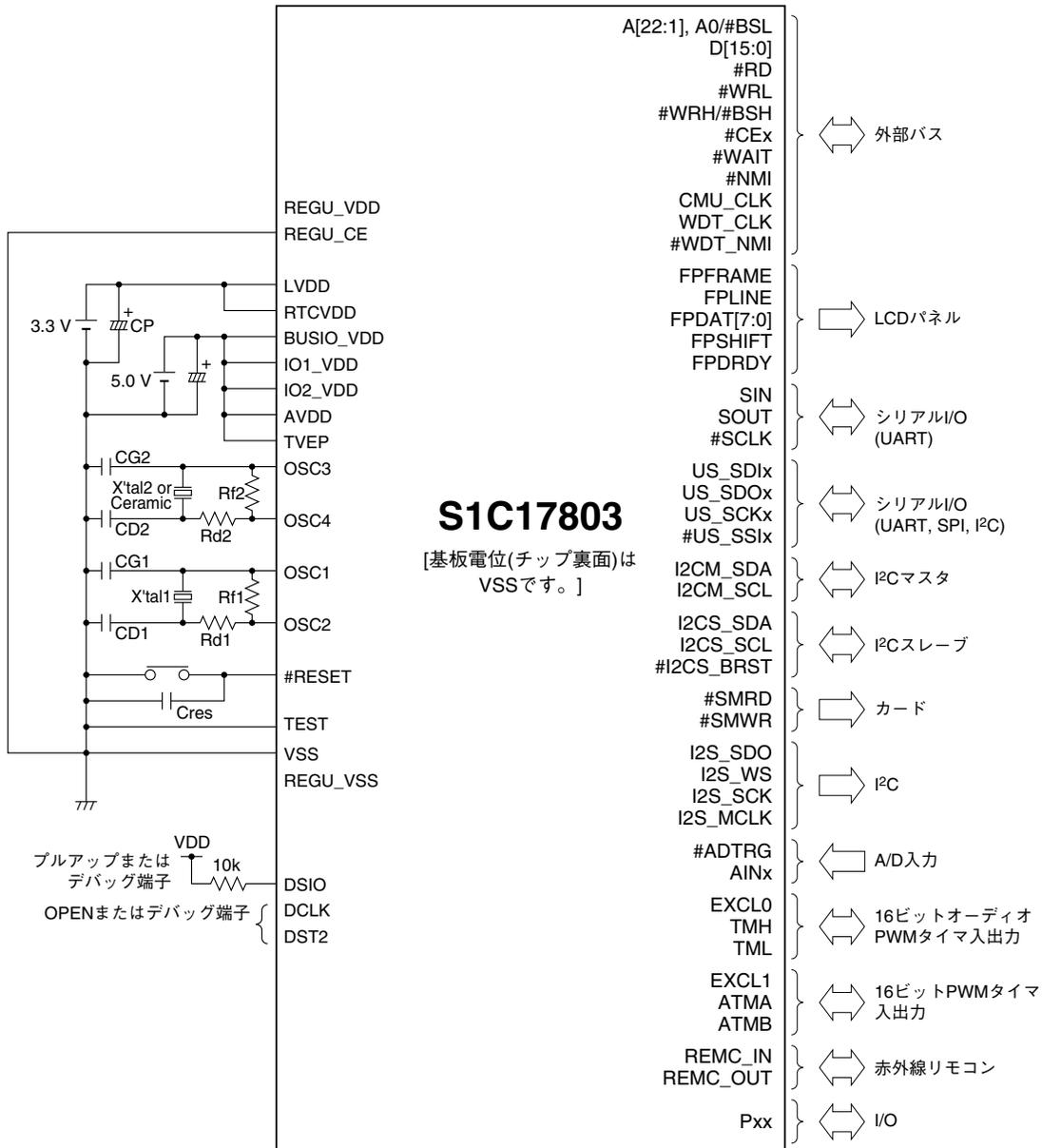
*2) バックアップ状態から抜けるときは、LVDDが2.7Vを上回ってからHighにしてください。

31 基本外部結線図

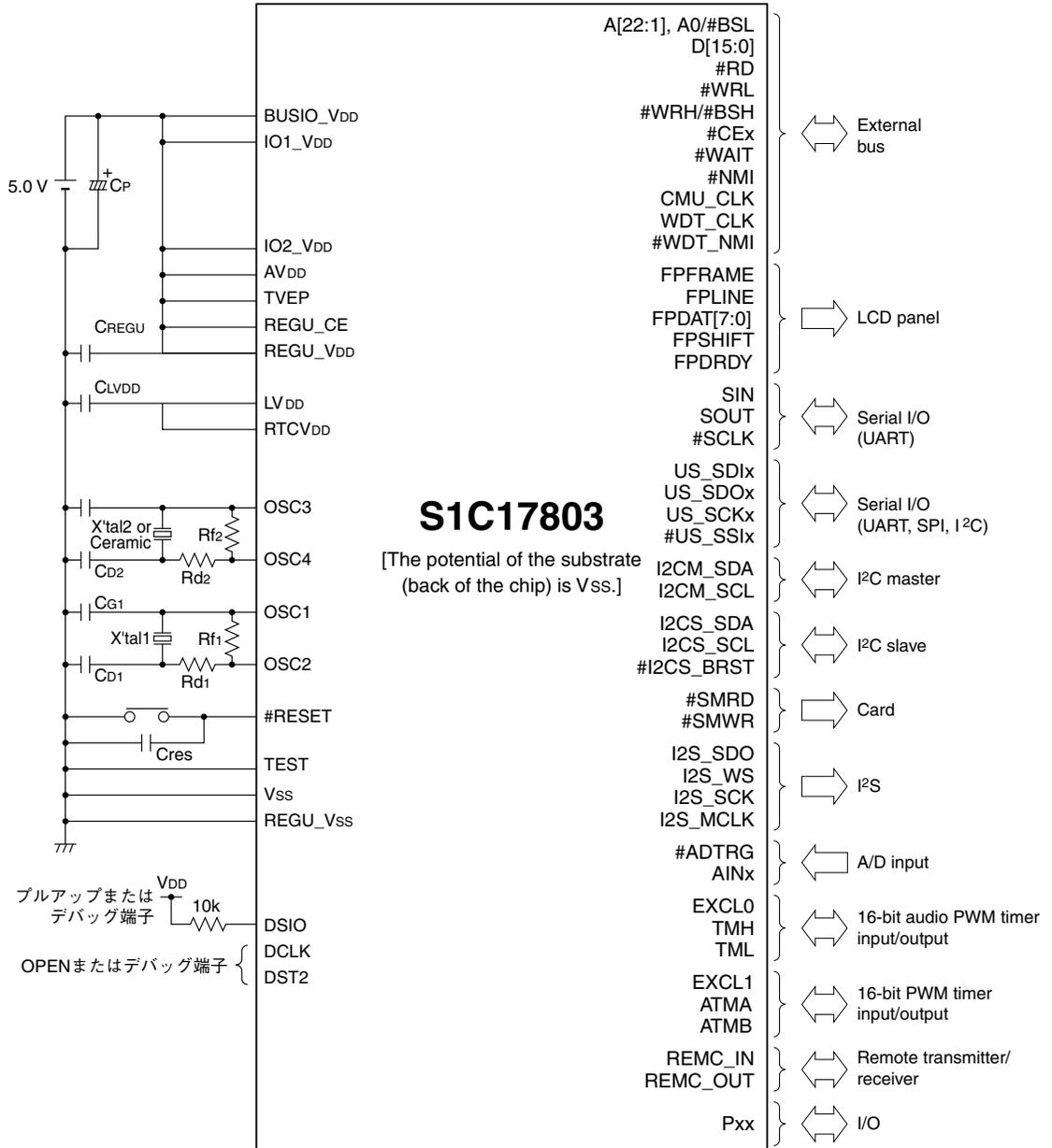
3Vの単一電源を使用したとき(内蔵レギュレータは使用しない)



5Vと3Vのデュアル電源を使用したとき(内蔵レギュレータは使用しない)



5Vの単一電源を使用したとき (内蔵レギュレータを使用する)



外付部品推奨値

OSC1発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数				推奨動作条件
					C _{D1} [pF]	C _{G1} [pF]	R _{r1} [Ω]	R _{d1} [Ω]	温度範囲 [°C]
X'tal1	水晶振動子	エプソントヨコム株式会社 (参考値)	32.768k 32.768k	*1 -	- 10	- 10	- 10M	- 0	- -40 ~ 85

*1 推奨メーカーにお問い合わせください。

OSC3発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数 *2				推奨動作条件
					C _{D2} [pF]	C _{G2} [pF]	R _{r2} [Ω]	R _{d2} [Ω]	温度範囲 [°C]
X'tal2	水晶振動子	エプソントヨコム株式会社 (参考値)	1M ~ 33M	*1	-	-	-	-	-
			1M ~ 33M	-	15	15	1M	0	-40 ~ 85
セラミック 発振子	セラミック発振子	株式会社村田製作所	1M	CSBFB1M00J58-R1 [SMD]	330	330	1M	680	-20 ~ 80
			1M	CSBLA1M00J58-B0 [リード]	330	330	1M	680	-20 ~ 80
			4M	CSTCR4M00G55-R0 [リード]	(39)	(39)	1M	470	-20 ~ 80
			4M	CSTLS4M00G56-B0 [リード]	(47)	(47)	1M	330	-20 ~ 80
			10M	CSTCE10M0G55-R0 [SMD]	(33)	(33)	1M	220	-20 ~ 80
			10M	CSTLS10M0G56-B0 [リード]	(47)	(47)	1M	220	-20 ~ 80
			20M	CSTCE20M0V53-R0 [SMD]	(15)	(15)	1M	0	-20 ~ 80
			20M	CSTCG20M0V53-R0 [小型SMD]	(15)	(15)	1M	0	-20 ~ 80

*1 推奨メーカーにお問い合わせください。

*2 ()内のC_{D2}およびC_{G2}の値は発振子に内蔵されている容量を表しています。

その他

シンボル	名称	推奨値
CP	電源キャパシタ	3.3μF
Cres	#RESET端子キャパシタ	0.47μF
CLVDD	LVDDキャパシタ	4.7 μF
CREGU	レギュレータキャパシタ	1.0 μF

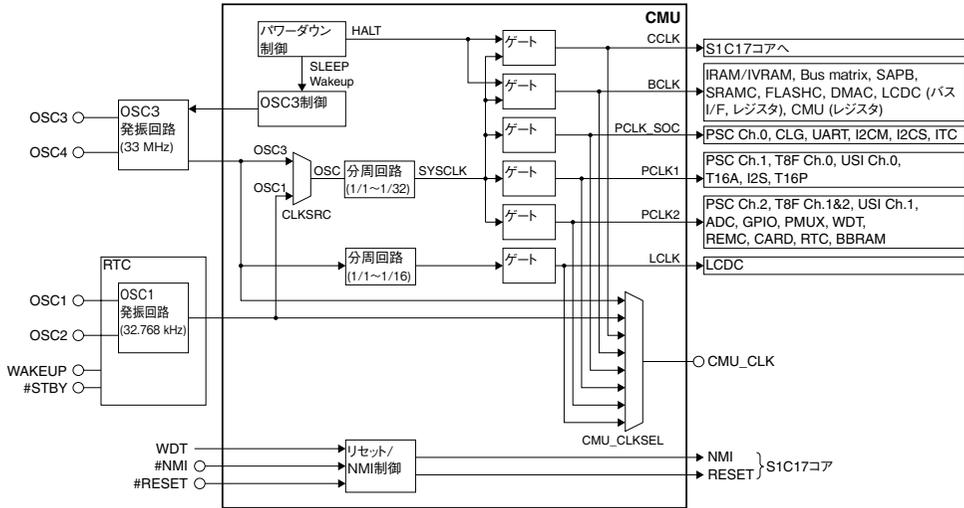
注: • ここに記載されている値は一例であり、特に動作を保証するものではありません。

- 水晶振動子やセラミック発振子は外部部品や基板による影響に敏感です。これらを使用する場合は、必ず使用条件などを製造会社にお問い合わせください。

Appendix A パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

図A.1にS1C17803のクロックシステムを示します。



図A.1 クロックシステム

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

システムのスリープ(全クロックの停止)

- slp命令の実行

システム全体を停止可能な場合は、slp命令を実行します。CPUは動作を停止し、CMUによる周辺回路へのクロック供給も停止します。これにより、OSC1発振回路とRTCを除き、周辺回路はすべて停止します。

SLEEPモードはイニシャルリセット、RTC割り込み(レベルトリガ)、#NMI信号、または外部割り込み(レベルトリガのポート入力割り込み)の発生によって解除されます。

システムクロック

- クロック源の選択(CMUモジュール)

システムクロック源をOSC3とするかOSC1とするか選択できます。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。

- OSC3発振回路の停止(CMUモジュール)

OSC1をシステムクロックとし、OSC3発振回路を停止することで、消費電流をより低減できます。

- 低速クロックギアを選択(CMUモジュール)

CMUモジュールは、クロックギアの設定により、システムクロックをOSC3クロックの1/1 ~ 1/32に減速することができます。アプリケーションに必要な最低限の速度でCPUを動作させることにより、消費電流を低減できます。

CPUクロック(CCLK)

- halt命令の実行

表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、halt命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路はhalt命令実行時の状態を維持します。このため、LCDコントローラや、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してからhalt命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。

周辺クロック

- 周辺クロックの停止(CMU、CLG、PSCモジュール)
周辺回路の動作が不要な場合は、以下の周辺クロックの供給を停止することができます。

表A.1 周辺回路と動作クロック

クロック	クロックイネーブルビット	周辺回路
PCLK_SOC	PCLKSOC_EN/ CMU_CLKCTLレジスタ	<ul style="list-style-type: none"> ブリスケーラCh.0 (PSC Ch.0) クロックジェネレータ (CLG) UART I²Cマスタ (I2CM) I²Cスレーブ (I2CS) 割り込みコントローラ (ITC)
PCLK1	PCLK1_EN/ CMU_CLKCTLレジスタ	<ul style="list-style-type: none"> ブリスケーラCh.1 (PSC Ch.1) 8ビットプログラマブルタイムCh.0 (T8F Ch.0) 16ビットPWMタイム (T16A) 16ビットオーディオPWMタイム (T16P) ユニバーサルシリアルインターフェイスCh.0 (USI Ch.0) I²S (I2S)
PCLK2	PCLK2_EN/ CMU_CLKCTLレジスタ	<ul style="list-style-type: none"> ブリスケーラCh.2 (PSC Ch.2) 8ビットプログラマブルタイムCh.1、Ch.2 (T8F Ch.1、Ch.2) ユニバーサルシリアルインターフェイスCh.1 (USI Ch.1) A/D変換器 (ADC) 入出力ポートとMUXポート (GPIO) ウォッチドッグタイム (WDT) リモートコントローラ (REMC) カードインタフェース (CARD) リアルタイムクロック (RTC) レジスタ BBRAM

クロック制御とCPUの起動/停止方法の一覧を表A.2に示します。

表A.2 クロック制御一覧

消費電流	OSC1	OSC3	CPU (CCLK)	周辺モジュール	CPU停止方法	CPU起動方法
↑ 低	発振	停止	停止	停止	slp命令	1
	発振	停止	停止	停止 (RTCのみ動作)	slp命令	1, 2
	発振 (システムクロック)	停止	停止	停止 (RTCのみ動作)	halt命令	1, 2
	発振 (システムクロック)	停止	停止	動作	halt命令	1, 2, 3
	発振 (システムクロック)	停止	動作	動作		
	発振	発振 (システムクロック)	停止	動作	halt命令	1, 2, 3
	発振	発振 (システムクロック)	動作 (低速クロック使用)	動作		
高 ↓	発振	発振 (システムクロック)	動作 (OSC3•1/1)	動作		

HALT、SLEEPモードの解除方法 (CPU起動方法)

- ポート入力割り込み、#RESET、#NMIによる起動
CPUは、ポート入力割り込み要因、#RESET、または#NMIにより起動します。
- RTCによる起動
CPUはRTCの割り込み要因により起動します。
- 周辺モジュールまたはデバッグ割り込み (ICD強制ブレーク発行) による起動
CPUは、割り込みが許可されている周辺モジュールの割り込み要因により起動します。 CPUのIEフラグが0の場合、CPUは割り込みを受け付けず、halt命令に続く命令を実行します。 IEフラグが1の場合、CPUは割り込み処理ルーチンに分岐します。

バッテリーバックアップモード

- システム電源(LVDD、BUSIO_VDD、IO1_VDD、IO2_VDD、AVDD)をOff
システム電源とRTC_{VDD}に別電源を用いているシステムでは、RTC_{VDD}系回路(RTC、OSCI、BBRAM)のみを動作させ、システム電源をOffにして消費電流を低減することができます。システム電源をOffにするため、SLEEPモードでは消費されるリーク電流も削減可能です。この制御にはRTCに用意されている#STBY端子とWAKEUP端子を使用します。制御方法の詳細については、“リアルタイムクロック(RTC)”章を参照してください。

注: バッテリーバックアップモードによる消費電流の低減は、外付け回路の部品点数が多い場合やVDD/AVDD系回路を長時間停止できる場合に効果があります。システムの構成によってはSLEEPモード等による省電力化の方が有効な場合もありますので、システム設計の際に検討してください。

Appendix B 実装上の注意事項

ここでは、基板の設計およびICを実装する際の注意事項について説明します。

発振回路

- 発振特性は使用部品(振動子、 R_f 、 C_G 、 C_D)や基板パターンなどの諸条件により変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子に必要なノイズ対策を記載します。なお、OSC3、OSC4端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

- OSC1(OSC3)、OSC2(OSC4)端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、高速スイッチング信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1～0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。配線する層は、右の図のように広めにシールドしてください。隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。

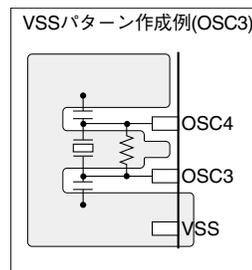
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング周波数の低い信号以外はできるだけ避けてください。

- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。CMU_CLK端子の出力をオシロスコープなどで確認します。

OSC3出力波形の品質は、CMU_CLK出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。

OSC1波形の品質もCMU_CLK出力で確認します。特にクロックの立ち上がり/立ち下りの両エッジの前後を拡大し、前後100ns程度の範囲にクロックノイズやスパイクノイズなどが乗っていないか注意して見てください。

(1)～(3)の対応が不十分な場合、OSC3出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するRTCや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。



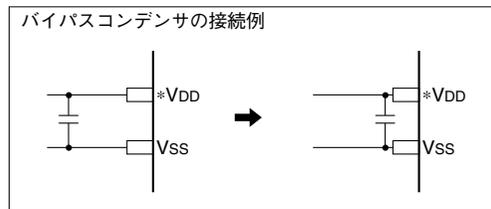
リセット回路

- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- 電源からV_{DD}(LV_{DD}、BUSIO_V_{DD}、IO1_V_{DD}、IO2_V_{DD}、AV_{DD})およびV_{SS}端子へはできるだけ短くかつ太いパターンで接続してください。特にAV_{DD}電源は、A/D変換器に用いるため変換精度に影響を与えます。
- V_{DD}-V_{SS}のバイパスコンデンサを接続する場合、*V_{DD}端子とV_{SS}端子をできるだけ最短で接続してください。

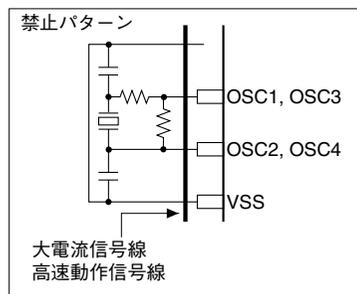


A/D変換器

- A/D変換器を使用しない場合でも、AV_{DD}をIO1_V_{DD}に接続してください。

信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を交差させて配置しないでください。



ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の5点について確認してみてください。

(1) TEST端子

この端子にHighレベルのノイズが入ると、IC全体がテストモードやハイインピーダンスになり、動作しなくなります。こうなった場合、端子がLowに戻っても元の状態には復帰しませんので、TEST端子は必ず基板上でGNDに接続してください。IC内にプルダウン抵抗が付いていますが、50～100kΩ程度と高インピーダンスなため、ノイズには強くありません。

(2) DSIO端子

この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。製品版では、DSIO端子をIO1_VDDに直結、もしくは10kΩ以下の抵抗でプルアップすることを推奨します。IC内にプルダウン抵抗が付いていますが、100～500kΩ程度と高インピーダンスなため、ノイズには強くありません。

(3) #RESET端子

この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なりセット動作が行えない場合があります。回路設計上、リセット入力が高状態でのインピーダンスが高いときに起こりやすくなります。

(4) #NMI端子

この端子にLowレベルのノイズが入るとNMIが発生します。回路設計上、#NMI端子が高状態でのインピーダンスが高いときに起こりやすくなります。#NMIが高の場合のインピーダンスを下げるか、誤動作しても問題ないようにソフトウェアで対応してください。

(5) VDD、VSS電源

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1kΩ以下)の抵抗で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実と考えられます。

上記のTEST、DSIO、#RESET、#NMI入力の回路は入力信号のエッジを検出しているため、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

(A) まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。

目安としては1kΩ以下、できれば0Ωとなるように電源やGNDに接続してください。また、接続する信号線長は5mm程度以下としてください。

(B) 基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

光に対する注意事項について(ベアチップ実装時)

半導体素子は、光が照射されると特性が変化します。光の照射により、ICの誤動作や不揮発性メモリのデータが壊れることがあります。

光の照射による誤動作を防ぐため、ICが実装される基板および製品について以下の点に考慮してください。

- (1) 実使用時にICの遮光が考慮された構造となるように設計および実装を行ってください。
- (2) 検査工程では、ICの遮光が考慮された環境設計を行ってください。
- (3) ICの遮光は、チップの表面、裏面、および側面について考慮してください。
- (4) 開封後一週間以内にICチップの実装を完成させて下さい。実装せずに保管する場合は、遮光対策を講じてください。
- (5) 本製品が実装時に通常のリフロー条件を超える熱ストレスにさらされた場合、不揮発性メモリのデータ保持特性評価に関しては、十分な考慮が必要です。

その他

本製品シリーズは0.35 μm 微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。

全発振回路入出力端子は、内部の0.35 μm トランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、以下の場合のような、緩やかな時間的変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

改訂履歴表

コード No.	ページ	改訂内容 (旧内容を含む) および改訂理由
411820700	全ページ	新規制定
411820701	1-11	「表 1.3.2.2 クロック端子一覧」内容修正
	4-3	「表 4.3.1 I/O グループと I/O インタフェース電圧」内容修正
	6-2	「図 6.3.1.1 OSC3 発振回路」差し替え 「OSC3 発振回路の構造」内容修正
	10-8	「表 10.4.1 リードアクセスウェイトサイクル数の設定」内容修正
	10-13	「表 10.6.4 リードアクセスウェイトサイクル数の設定」内容修正
	15-3	「コンペアバッファ」内容修正
	18-4	「データ受信制御」内容修正
	18-6	「オーバーランエラー」内容修正
	19-1	「19.1 USI モジュールの概要」内容修正
	19-3	「転送クロック」内容修正 「図 19.3.1 I2C スレープモードでの I2C クロック」削除
	19-4	「図 19.3.2 I2C クロックが遅延された例」削除 「19.4 USI モジュールの設定」内容修正
	19-6	「SPI クロックの極性と位相の設定 (マスタモードとスレープモード)」内容修正 「受信データのマスク機能 (マスタモードとスレープモード)」削除
	19-8	「図 19.5.1.2 データ受信タイミングチャート (UART モード)」差し替え 「データ送信」内容修正
	19-9	「データ送信」内容修正 「図 19.5.2.1 データ送信タイミングチャート (SPI モード)」差し替え 「データ受信」内容修正
	19-10	「図 19.5.2.2 データ受信タイミングチャート (SPI モード)」差し替え 「スレープセレクト信号」内容修正 「図 19.5.3.0 I2C モードの接続例」追加
	19-11, 19-12	「図 19.5.3.2 I2C マスタのデータ送信タイミングチャート」差し替え
	19-12	「図 19.5.3.4 スレープアドレスと転送方向を指定した送信データ」差し替え
	19-15	「図 19.5.3.9 I2C マスタのデータ受信タイミングチャート」差し替え
	19-16	「I2C マスタモードでのデータ受信」内容修正
	19-17	「I2C スレープモードでの制御方法」内容修正
	19-17, 19-18	「図 19.5.3.12 I2C スレープのデータ送信タイミングチャート」差し替え
	19-19	「I2C スレープモードでのデータ送信」内容修正
	19-20	「図 19.5.3.14 2C スレープのデータ受信タイミングチャート」内容修正 「I2C スレープモードでのデータ受信」内容修正
	19-21	「I2C スレープモードでのデータ受信」内容修正 「19.6 受信エラー」内容修正 「オーバーランエラー (すべてのインタフェースモード)」内容修正
	19-22	「受信エラー割り込み」内容修正
	19-23	「19.7.2 SPI モードでの割り込み」内容修正 「受信エラー割り込み」内容修正
	19-24	「受信エラー割り込み」内容修正
	19-25	「表 19.8.1 USI レジスタ一覧」内容修正
	19-29	「D2 UOEIF: Overrun Error Flag Bit」内容修正
	19-30	「USI Ch.x SPI Master/Slave Mode Configuration Registers (USI_SCFGx)」内容修正
	19-31	「D1 SMSKEN: Receive Data Mask Enable Bit」削除
	19-32	「USI Ch.x SPI Master/Slave Mode Interrupt Flag Registers (USI_SIFx)」内容修正
	19-33	「D3 SSIF: Transfer Busy Flag Bit (Master Mode)/ss Signal Low Flag Bit (Slave Mode)」削除 「D2 SEIF: Overrun Error Flag Bit」内容修正
	19-34	「USI Ch.x SPI Master/Slave Mode Receive Data Mask Registers (USI_SMSKx)」削除
	19-36	「D[4:2] IMSTA[2:0]: I2C Master Status Bits」内容修正 「D1 IMEIF: Overrun Error Flag Bit」内容修正
	19-38	「D[4:2] ISSTA[2:0]: I2C Slave Status Bits」内容修正
19-39	「D1 ISEIF: Overrun Error Flag Bit」内容修正	
19-40	「SPI スレープモードでのオーバーランエラーフラグ」内容修正	
20-1	「20.3 I2C マスタクロック」内容修正	
20-3	「図 20.5.2 スレープアドレスと転送方向を指定する送信データ」差し替え	

411820701	20-4	「データ受信制御」内容修正 「データ送受信の終了（ストップコンディションの生成）」内容修正
	20-5	「データ送受信を禁止」内容修正 「図 20.5.6 スタートコンディション生成」差し替え 「図 20.5.7 スレーブアドレス送信 / データ送信」差し替え
	20-6	「図 20.5.8 データ受信」差し替え 「図 20.5.9 ストップコンディション生成」差し替え
	20-8	「D1 STP: Stop Control Bit」内容修正
	21-1	「図 21.1.1 I2CS の構成」差し替え 「表 21.2.1 I2CS 端子一覧」内容修正
	21-2	「(2) #I2CS_BRST 端子入力によるバス解放要求」内容修正 「クロックストレッチ機能」内容修正
	21-4	「データ送受信の開始」内容修正
	21-5	「データ送信」内容修正
	21-7	「図 21.5.5 I2CS タイミングチャート 1（スタートコンディション→データ送信）」差し替え 「図 21.5.6 I2CS タイミングチャート 2（データ送信→ストップコンディション）」差し替え 「図 21.5.8 I2CS タイミングチャート 4（データ受信→ストップコンディション）」差し替え
	21-8	「バスステータス割り込み」内容修正
	21-15	「D0 DA_STOP: Stop Condition Detect Bit」内容修正
	21-16	「D1 SELECTED: I2C Slave Select Status Bit」内容修正
	26-4	「26.3.5 サンプリング時間の設定」内容修正
	26-5	「26.3.5 サンプリング時間の設定」内容修正 「図 26.3.5.1 アナログ入力部の等価回路」削除
	26-10	「D[2:0] ADST[2:0]: Sampling Time Setting Bits」内容修正
	26-12	「D1 ADCTL: A/D Conversion Control Bit」内容修正
	30-6	「OSC3 水晶発振」内容修正
	30-7	「OSC3 セラミック発振」内容修正
	31-3	「5V の単一電源を使用したとき（内蔵レギュレータは使用しない）」タイトル修正

セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード：411820701
2010年2月 作成 (V)
2011年4月 改訂 (V)