

**LCDコントローラ
S1D13748B00
テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はいくまでも参考情報であり、これらに起因する第三者の知的財産権および他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1. はじめに	1
1.1 適用	1
1.2 概要説明	1
1.3 略語の説明	2
2. 特長	3
2.1 メモリ	3
2.2 レジスタ	3
2.3 ホストインタフェース	3
2.4 入力フォーマット	3
2.5 LCDインタフェース	4
2.6 表示機能	5
2.7 その他	5
3. 代表的なシステム構成図	6
4. 機能ブロック図	8
5. 端子構成	9
5.1 端子配置図	9
5.2 端子説明	12
5.2.1 ホストインタフェース端子	13
5.2.2 LCDインタフェース端子	16
5.2.3 クロック入力端子	19
5.2.4 その他の端子	19
5.2.5 電源端子とグランド端子	20
5.3 コンフィギュレーションオプションの概要	21
5.4 ホストインタフェースの端子割り付け	22
5.5 LCDインタフェースの端子割り付け	23
5.6 LCDバイパスモードの端子割り付け	24
6. DC特性	26
6.1 絶対最大定格	26
6.2 推奨動作条件	27
6.3 電気的特性	29
7. AC特性	32
7.1 クロックタイミング	33
7.1.1 入力クロックのタイミング	33
7.1.2 PLLクロック	35
7.2 電源シーケンス	36
7.2.1 パワーオンシーケンス	36

7.2.2	パワーオフシーケンス	37
7.3	ホストバスインタフェースタイミング	38
7.3.1	インダイレクト80のタイミング	38
7.3.2	インダイレクト68のタイミング	42
7.4	LCDインタフェースタイミング	46
7.4.1	汎用TFTパネルのタイミング	46
7.4.2	LCD1 ND-TFDならびにLCD1用8ビットシリアルインタフェースのタイミング	48
7.4.3	LCD1 ND-TFDならびにLCD1/用9ビットシリアルインタフェースのタイミング	49
7.4.4	LCD1 uWireシリアルインタフェースのタイミング	50
7.4.5	LCD1用パラレルインタフェース (80)	51
7.4.6	LCD1用パラレルインタフェース (68)	53
7.4.7	LCDバイパスのタイミング	55
8.	メモリ	56
8.1	物理メモリ	56
8.2	メモリマップ例	57
9.	クロック	59
9.1	クロック図	59
9.2	内部クロックの説明	59
9.2.1	システムクロック	59
9.2.2	ピクセルクロック	59
9.2.3	シリアルクロック	59
9.3	PLL	60
10.	レジスタ	61
10.1	レジスタマッピング	61
10.2	レジスタセット	62
10.3	レジスタの制限	64
10.4	レジスタの説明	65
10.4.1	システム設定レジスタ	65
10.4.2	クロック設定レジスタ	67
10.4.3	LCDインタフェース設定レジスタ	74
10.4.4	LCD1設定レジスタ	81
10.4.5	拡張パネル設定レジスタ	88
10.4.6	ホストインタフェースレジスタ	90
10.4.7	表示設定レジスタ	101
10.4.8	PIP1ウインドウ設定レジスタ	121
10.4.9	PIP2ウインドウ設定レジスタ	134
10.4.10	GPIOレジスタ	148
10.4.11	LUTレジスタ	152
10.4.12	割り込み制御レジスタ	154

11. パワーセーブモード	156
11.1 パワーオン/パワーオフシーケンス	156
11.2 動作モード	157
11.2.1 パワーオン	157
11.2.2 リセット	158
11.2.3 スタンバイモード	158
11.2.4 パワーセーブモード	158
11.2.5 通常モード	158
11.2.6 パワーオフ	158
12. データフォーマット	159
12.1 ホストインタフェース入力フォーマット	159
12.1.1 YUV 4:2:2フォーマット1	159
12.1.2 YUV 4:2:2フォーマット2 (セパレートY、UV)	160
12.1.3 YUV 4:2:0フォーマット1	161
12.1.4 YUV 4:2:0フォーマット2 (セパレートY、UV)	162
12.1.5 RGB 5:6:5	163
12.2 フレームバッファのデータフォーマット	164
13. 表示機能	165
13.1 メインレイヤ	166
13.1.1 メインレイヤの制約	167
13.1.2 メインレイヤの入力フォーマット	168
13.1.3 メインレイヤのピクセルダブリング	168
13.2 PIPレイヤ	170
13.2.1 PIPウィンドウの制約	171
13.2.2 スケーラの使い方	172
13.2.3 データのRGB変換	176
13.2.4 PIP2のパノラマスケーリング	177
13.3 アルファブレンディング	184
13.3.1 レジスタ	185
13.3.2 PIP透過	186
13.4 スクロールバッファ	187
13.4.1 レジスタ	188
13.4.2 制約事項	188
14. ホストインタフェース	189
14.1 インダイレクトインタフェースの概要	189
14.1.1 間接アドレス指定のレジスタポート	190
14.2 レジスタへのアクセス	191
14.3 HWCを用いたメモリアクセス	195
14.3.1 回転 = 0° かつミラーがディセーブルされた書き込み	196
14.3.2 回転 = 90° かつミラーがディセーブルされた書き込み	197

14.3.3	回転 = 180° かつミラーがディセーブルされた書き込み	198
14.3.4	回転 = 270° かつミラーがディセーブルされた書き込み	199
14.3.5	回転 = 0° かつミラーがイネーブルされた書き込み	200
14.3.6	回転 = 90° かつミラーがイネーブルされた書き込み	201
14.3.7	回転 = 180° かつミラーがイネーブルされた書き込み	202
14.3.8	回転 = 270° かつミラーがイネーブルされた書き込み	203
14.3.9	HWCのメモリ書き込み手順	204
14.4	ダイレクトメモリアクセス	205
14.4.1	ライン型アドレスモード	205
14.4.2	矩形アドレスモード	206
14.5	ホストインタフェースのVSYNC出力	207
14.6	LCDバイパスモード	207
15.	LCDインタフェース	208
15.1	RGBインタフェースのデータフォーマット	209
15.2	パラレルインタフェースのデータフォーマット	210
15.2.1	8ビット、パラレル、RGB 3:3:2のデータフォーマット	210
15.2.2	8ビット、パラレル、RGB 4:4:4のデータフォーマット	211
15.2.3	8ビット、パラレル、RGB 5:6:5のデータフォーマット	211
15.2.4	8ビット、パラレル、RGB 8:8:8のデータフォーマット	212
15.2.5	16ビット、パラレル、RGB 4:4:4のデータフォーマット	213
15.2.6	16ビット、パラレル、RGB 5:6:5のデータフォーマット	214
15.2.7	16ビット、パラレル、RGB 8:8:8のデータフォーマット	215
15.2.8	18ビット、パラレル、RGB 6:6:6のデータフォーマット	216
15.2.9	24ビット、パラレル、RGB 8:8:8のデータフォーマット	217
15.3	パラレルインタフェースのコマンドおよびパラメータのフォーマット	218
15.4	LCDバイパスモード	219
16.	使用例	222
16.1	メインウィンドウとPIP1ウィンドウを用いた表示	222
16.2	メインウィンドウとPIP2ウィンドウを用いた表示	225
16.3	メイン、PIP1、PIP2のウィンドウを用いた表示	228
17.	メカニカルデータ	235
18.	参考資料	237

1. はじめに

1.1 適用

本書は、LCDコントローラS1D13748のハードウェア機能仕様書です。本書には、タイミング図、AC特性、DC特性、レジスタの説明、および電力管理の説明などが記載されています。本書は、ビデオサブシステム設計者とソフトウェア開発者を対象としています。

本書は適宜改訂されています。開発を開始する前に本書の最新版がないかどうか、Epson Research and Developmentウェブサイトwww.erd.epson.comをチェックしてください。

本書に関するご意見やご要望がございましたら、documentation@erd.epson.comまでお寄せください。

1.2 概要説明

S1D13748は低価格・低消費電力のLCD用グラフィックスコントローラです。WVGA対応のエンベデッド製品やモバイル製品に対してマルチLCDをサポートします。3層の表示レイヤをサポートするため、ホストプロセッサは複数の画像ソースを柔軟に扱うことができます。S1D13748はホストプロセッサによる高速書き込みと多様な液晶パネルに対応することから、さまざまな液晶用途において優れた性能を発揮します。

S1D13748のピクセルダブリング機能は、既存の画像データによってパネルサイズを容易に拡大できる機能です。S1D13748の機能には、これ以外にもPIPウインドウの画像データサイズを独立して変更する機能、表示レイヤごとのスクロール制御機能、さらにはガンマ補正やディザ処理（オプション）といったLCD出力操作機能があります。こうした機能により、ホストプロセッサにおける画像データの処理負荷が軽減できます。またLCDバイパスモードを使用すれば、パラレルまたはシリアルRAM内蔵LCDパネルをホストプロセッサが直接制御できます。

S1D13748は1024KBのSRAMを内蔵しています。これはLCD1の3レイヤ分の画像データの画像データの保存に使用されます。このような機能により、本品は携帯端末のようなWVGA対応のエンベデッド製品のニーズに対応した低価格・低消費電力のシングルチップソリューションを実現します。

1. はじめに

1.3 略語の説明

本書では以下の略語を使用しています。

記号を併記しない限り、数値は10進数です（bは2進数、hは16進数を表します）。

$K = 2^{10} = 1024$ （メモリ容量の表示に使用）

b = ビット

B = バイト

bpp = ビット/ピクセル

msb = 最上位ビット

lsb = 最下位ビット

IO = 入出力

LUT = ルックアップテーブル

NC = 非接続

YRC = YUVからRGBへのコンバータ

VDP = 垂直表示期間

VNDP = 垂直非表示期間

POUT = PLL出力

2. 特長

2.1 メモリ

- 内蔵SRAM (1024KB) の用途：
 - メインウインドウ用フレームバッファ
 - PIP1ウインドウ用フレームバッファ
 - PIP2ウインドウ用フレームバッファ

2.2 レジスタ

- レジスタはメモリマップ型です。
- 同期/非同期レジスタ (非同期レジスタはパワーセーブモード時にもアクセス可能です)

2.3 ホストインタフェース

- 16ビットのインダイレクトホストインタフェース
 - 高速書き込みが可能 (書き込みサイクルの1周期 = 内部システムクロック3周期分)
 - 内蔵ホストインタフェース書き込みコントローラ (HWC) は以下をサポートします。
 - 矩形書き込みモード
 - 回転書き込みモード
 - ミラー書き込みモード
 - LCDバイパスモード (ホストCPUによるLCD入力の直接制御)
 - LCD1とLCD2に使用可能
 - シリアルインタフェースおよびパラレルインタフェースのLCDパネルに対応

2.4 入力フォーマット

- ホストが入力可能な画像データは次のとおりです。
 - YUV 4:2:2
 - YUV 4:2:0
 - RGB 5:6:5

2. 特長

2.5 LCDインタフェース

- LCDインタフェースは以下のパネルタイプをサポートします。
 - 16/18/24ビットのRGBインタフェースパネル
 - 汎用TFTインタフェース
 - uWireインタフェースを備えたTFT
 - ND-TFDインタフェース
 - 8/16/18/24ビットのRAM内蔵パラレルインタフェースパネル
 - 8/16ビットのRAM内蔵シリアルインタフェースパネル (LCDバイパスモードのみ)
- LCD1において可能な構成：
 - RGBインタフェースパネル
 - RAM内蔵パラレルインタフェースパネル
- LCD2はLCDバイパスモード使用時にサポートされます。
 - RAM内蔵パラレルインタフェースパネル
 - RAM内蔵シリアルインタフェースパネル

2.6 表示機能

- 透過機能およびアルファブレンディング機能をサポートする3つの表示レイヤ：
 - メインレイヤ：
 - 画像データはRGB 5:6:5で保存可能
 - 表示画像の大きさを2倍にするピクセルダブリング機能（縦横独立）
 - PIP1レイヤ：
 - 画像データはRGB 5:6:5またはYUV 4:2:2で保存可能
 - バイキュービック式スケーラを搭載
 - エッジ強調をサポート
 - PIP2レイヤ：
 - 画像データはRGB 5:6:5またはYUV 4:2:2で保存可能
 - パノラマ機能付きのバイキュービック式スケーラを搭載
 - エッジ強調をサポート
 - LUT（ルックアップテーブル）の搭載によってPIP2ウインドウのガンマ補正が独立して実行可能
- レイヤごと（メイン、PIP1、PIP2）に独立した表示スクロール
- LUT（ルックアップテーブル）によるLCD出力のガンマ補正
- LCD出力のディザリング（オプション）

2.7 その他

- 内蔵PLLまたはデジタルクロック入力（CLKI）
- ソフトウェア起動によるパワーセーブモード
- 汎用IO端子
- PFBGA 121ピンパッケージ
 - 10mm長×10mm幅×1.2mm厚、0.8mmピッチ
- QFP20 144ピンパッケージ
 - 20mm長×20mm幅×1.4mm厚、0.5mmピッチ

3. 代表的なシステム構成図

3. 代表的なシステム構成図

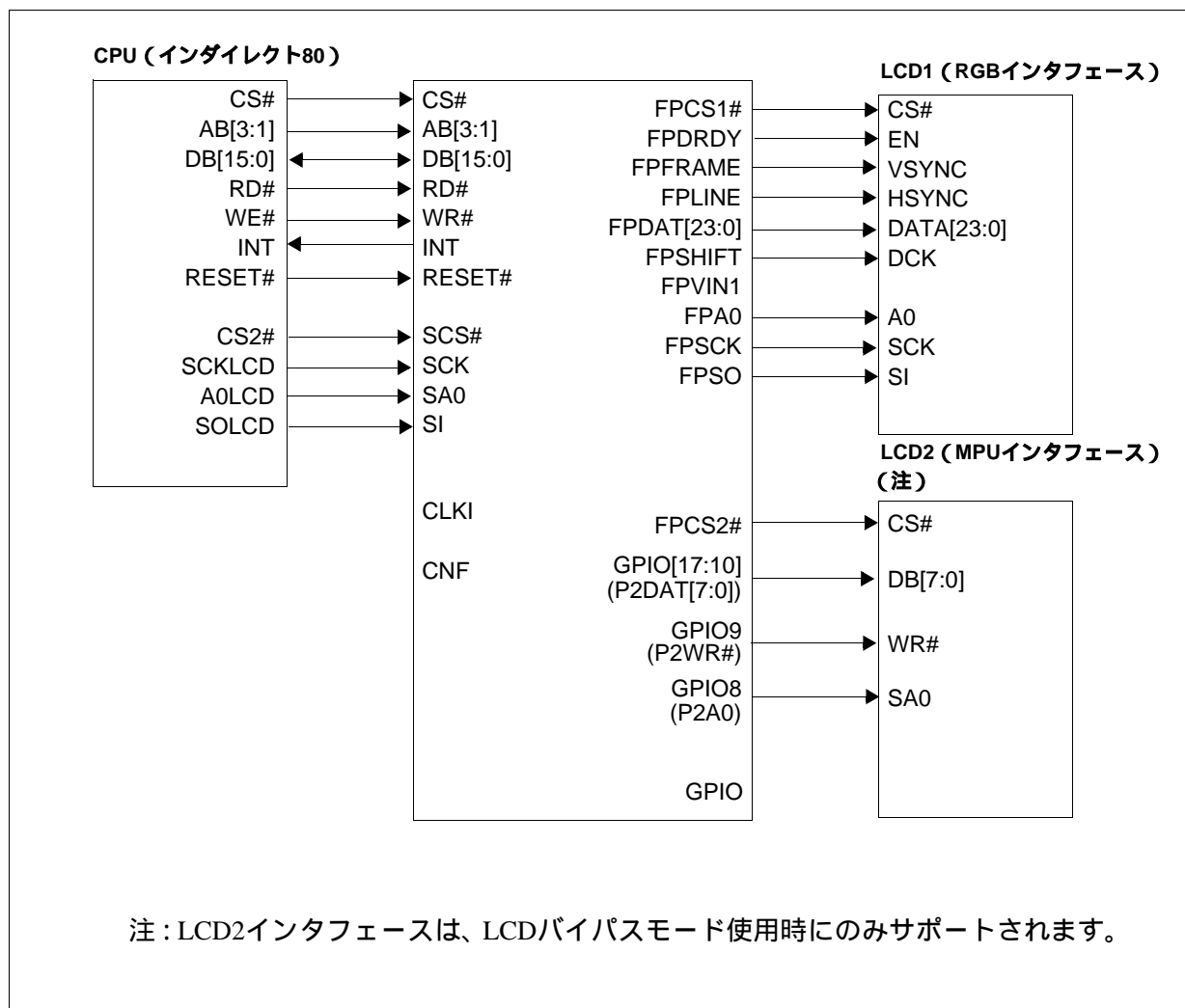


図3.1 システム構成図1

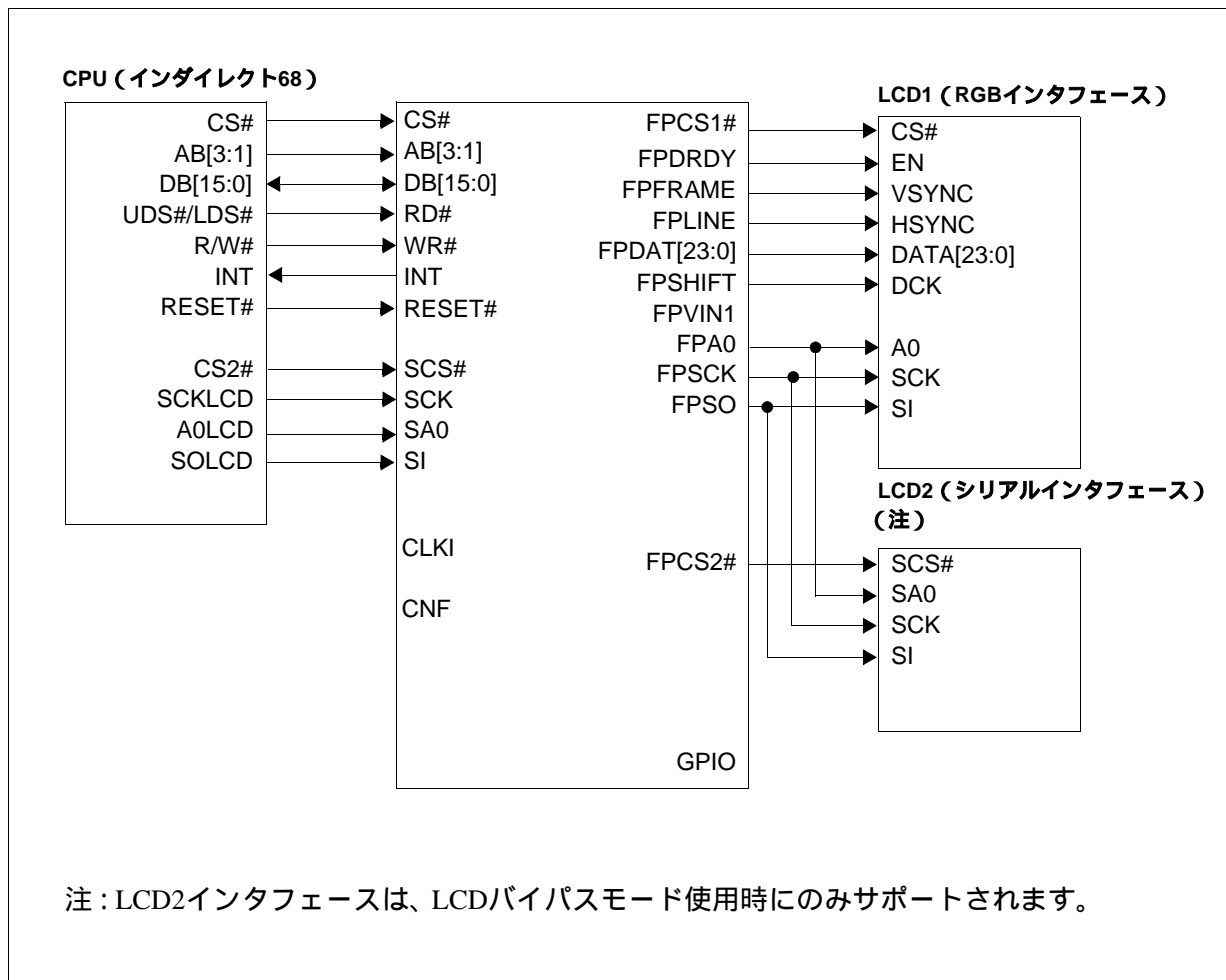


図3.2 システム構成図2

4. 機能ブロック図

4. 機能ブロック図

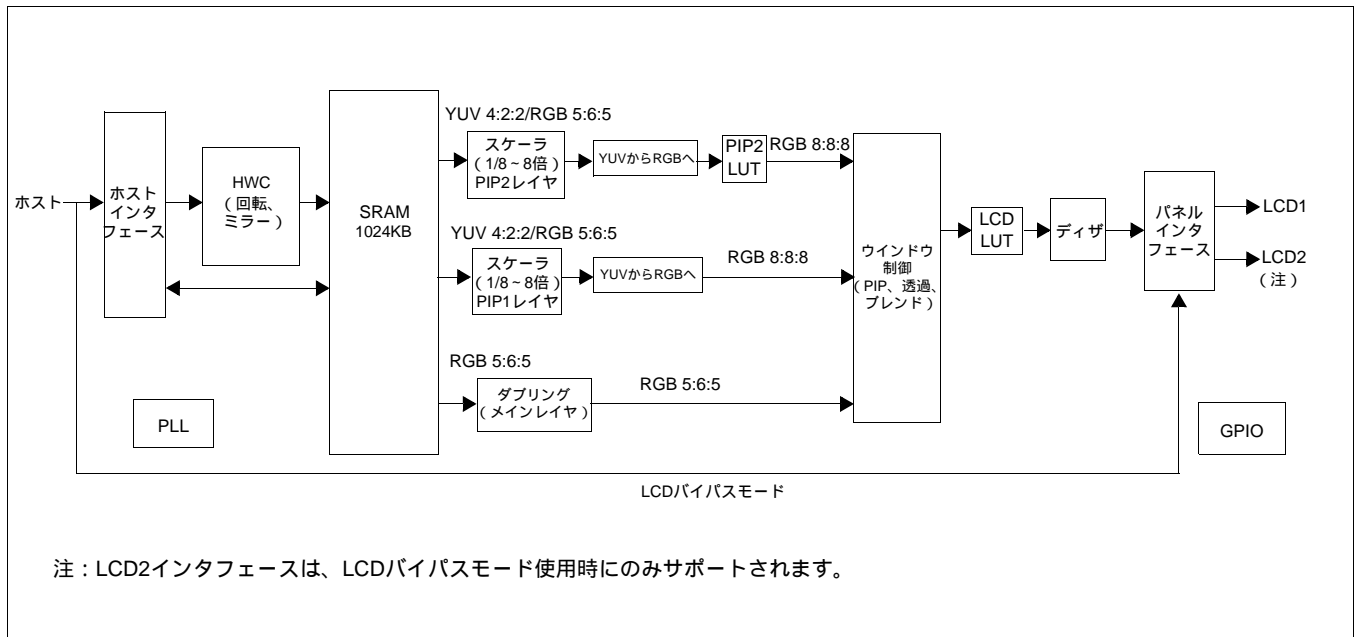


図4.1 S1D13748の機能ブロック図

5. 端子構成

5.1 端子配置図

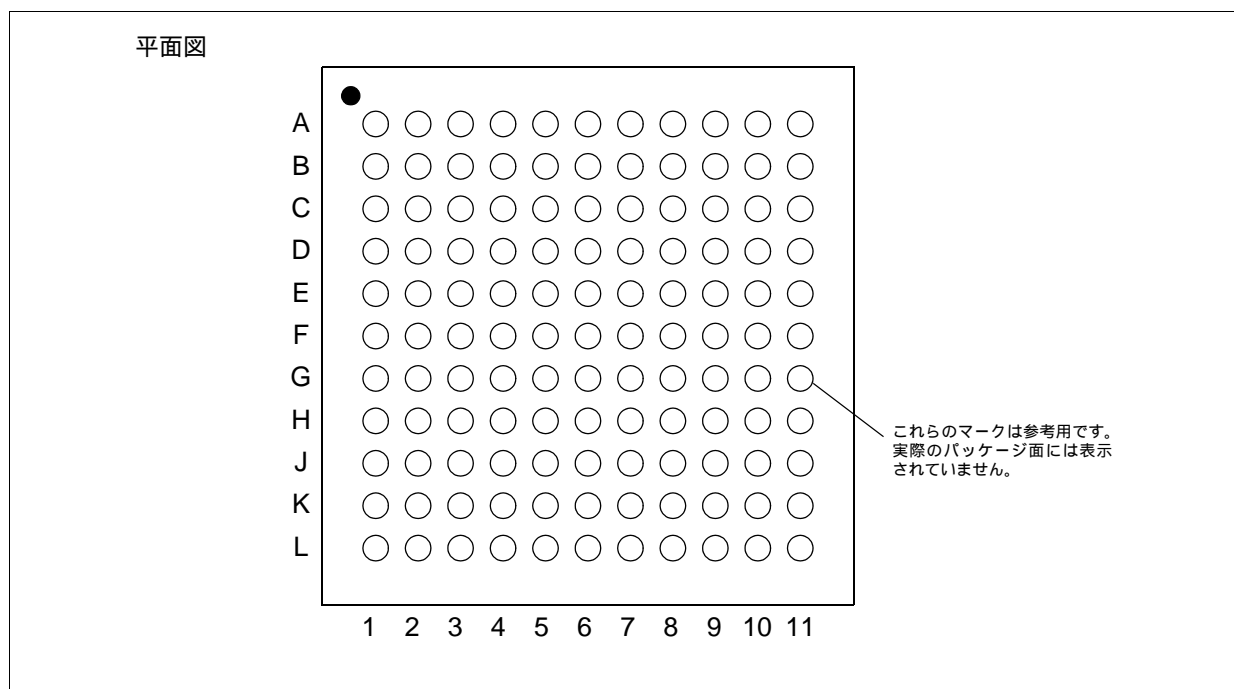


図5.1 S1D13748BにおけるPFBGA 121ピンの端子配置（平面図）

5. 端子構成

A	NC	VOUT	AB3	DB2	DB5	DB7	DB10	DB12	DB15	SCK	NC
B	VSS	CNF1	HIOVDD	AB1	DB3	DB8	DB11	SI	SA0	COREVDD	INT
C	CNF0	GPIO0	COREVDD	VSS	DB0	DB9	DB13	VSS	SCS#	RD#	WR#
D	GPIO1	GPIO2	CNF2	HIOVDD	AB2	DB6	DB14	HIOVDD	CS#	VSS	CLKI
E	GPIO7	GPIO3	GPIO5	GPIO4	DB1	VSS	COREVDD	PIOVDD	RESET#	PLLVD	VCP
F	GPIO6	VSS	GPIO8	PIOVDD	COREVDD	DB4	HIOVDD	VSS	SCANEN	PLLVSS	TESTEN
G	GPIO12	GPIO10	GPIO9	VSS	GIOVDD	GPIO21	FPDRDY	FPVIN1	FPCS1#	FPA0	FPSO
H	GPIO13	GPIO11	GPIO14	COREVDD	GPIO23	FPDAT3	PIOVDD	FPDAT14	COREVDD	FPLINE	FPSCK
J	GPIO16	GPIO15	GPIO17	PIOVDD	FPDAT0	FPDAT4	FPDAT7	FPDAT10	FPDAT17	FPFRAME	FPSHIFT
K	Reserved	COREVDD	GPIO18	GPIO20	FPDAT2	VSS	FPDAT8	FPDAT9	FPDAT13	FPDAT16	VSS
L	NC	FPCS2#	GPIO19	GPIO22	FPDAT1	FPDAT5	FPDAT6	FPDAT11	FPDAT12	FPDAT15	NC
	1	2	3	4	5	6	7	8	9	10	11

図5.2 S1D13748BにおけるPFPGA 121ピンの端子配置（平面図）

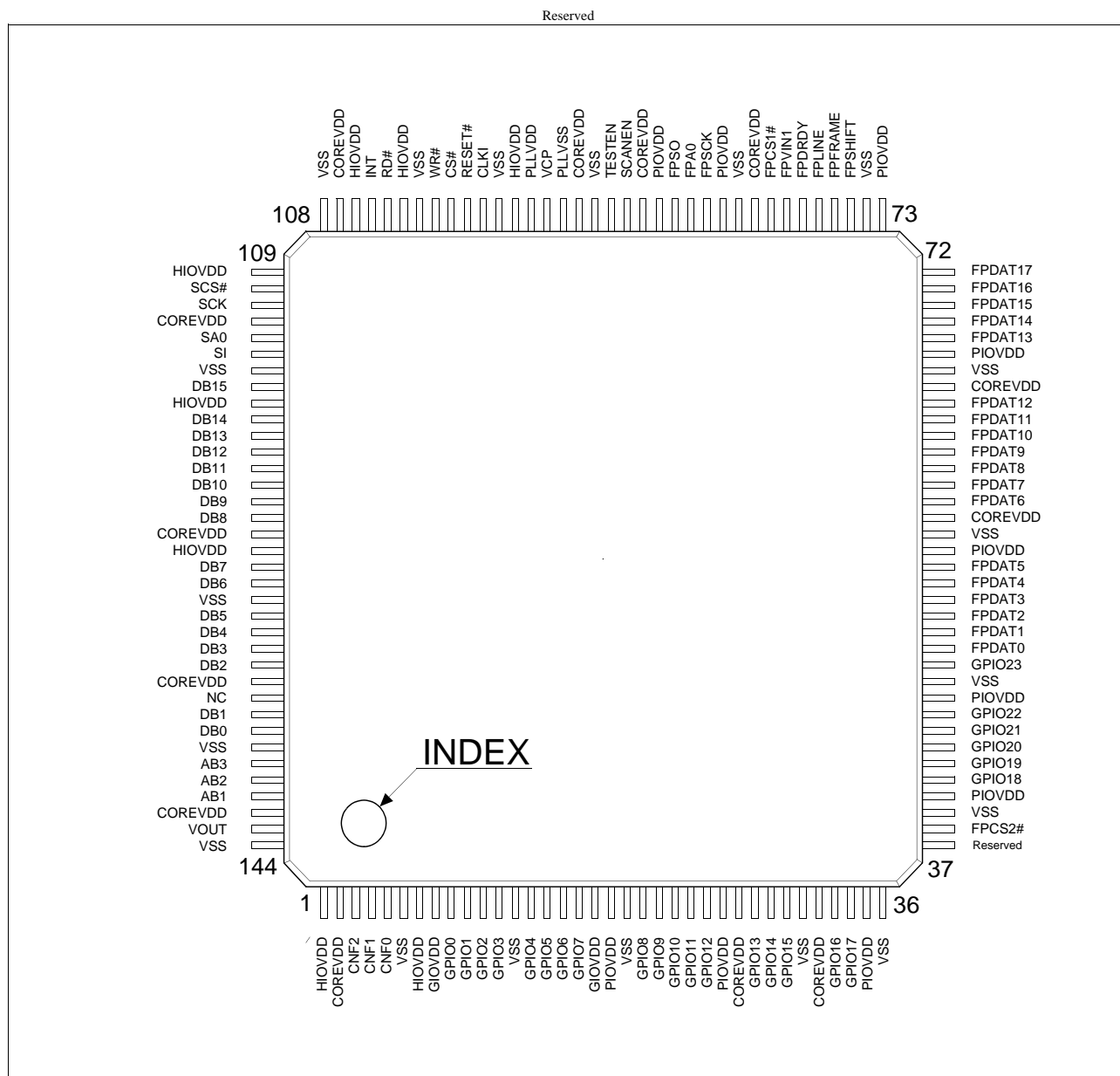


図5.3 S1D13748FにおけるQFP20 144ピンの端子配置 (平面図)

5. 端子構成

5.2 端子説明

略語の意味：

端子タイプ

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子

RESET#状態

H	=	高レベル出力
L	=	低レベル出力
Z	=	ハイインピーダンス（Hi-Z）
1	=	プルアップ抵抗の入力
0	=	プルダウン抵抗の入力
#	=	アクティブ低レベル

表5.1 セル説明

名称	説明
IC	CMOS入力
ICD	CMOS入力（プルダウン抵抗付き）
ICU	CMOS入力（プルアップ抵抗付き）
IS	シュミット入力
ISD2	シュミット入力（プルダウン抵抗付き）
ISG	シュミット入力（ゲート制御付き）
OB	出力バッファ
BC	CMOS入力双方向バッファ
BCD	CMOS入力双方向バッファ（プルダウン抵抗付き）
ITD	テストモード制御入力（プルダウン抵抗付き）
LIN	低電圧トランスペアレント入力

5.2.1 ホストインタフェース端子

一部のホストインタフェース端子はCNF1の設定によって機能が異なります。ホストインタフェースの端子割り付けについては22ページの表5.8「ホストインタフェースの端子割り付け」をご覧ください。

表5.2 ホストインタフェースの端子説明

端子名	タイプ	PFBGAの端子番号	QFPの端子番号	セル	電源	RESET#状態	説明
AB[3:1]	I	A3、D5、B4	139-141	IC	HIOVDD	—	ホストインタフェース用アドレスバス。 この入力端子は、インダイレクトインタフェース用レジスタポートのインデックス指定に使用されます(190ページの14.1.1「間接アドレス指定のレジスタポート」を参照)。
DB[15:0]	IO	A9、D7、C7、A8、B7、A7、C6、B6、A6、D6、A5、F6、B5、A4、E5、C5	116、118-124、127、128、130-133、136、137	BC	HIOVDD	Z	ホストインタフェース用データバス端子15~0。
CS#	I	D9	100	IC	HIOVDD	—	この入力端子はチップセレクト信号です。
RD#	I	C10	104	IC	HIOVDD	—	この入力端子は読み出しイネーブル信号です。 <ul style="list-style-type: none"> この端子は、インダイレクト80(CNF1=0)においてRD#です。 この端子は、インダイレクト68(CNF1=1)においてUDS#/LDS#です。
WR#	I	C11	101	IC	HIOVDD	—	この入力端子は書き込みイネーブル信号です。 <ul style="list-style-type: none"> この端子は、インダイレクト80(CNF1=0)においてWE#です。 この端子は、インダイレクト68(CNF1=1)においてR/W#です。
INT	O	B11	105	OB	HIOVDD	L	割り込み出力です。 この出力端子は内部割り込みが発生するとHighに変わります。ホストCPUが内部割り込みをクリアするとLowに戻ります。
RESET#	I	E9	99	IS	HIOVDD	—	このアクティブLow入力はすべての内部レジスタをデフォルト状態に設定し、かつすべての信号を強制的に非アクティブ状態にします。
VOUT	O	A2	143	OB	HIOVDD	L	この出力端子はホストインタフェースに対するFPFRAME(VSYNC)信号です。この端子の設定については99ページの「REG[0198h] VOUT Configuration Register」をご覧ください。

5. 端子構成

表5.2 ホストインタフェースの端子説明

端子名	タイプ	PFBGAの端子番号	QFPの端子番号	セル	電源	RESET#状態	説明
SCS#	I	C9	110	ICU	HIOVDD	—	<p>ホストCPUインタフェースに対するLCDシリアル/パラレルバイパスモードのチップ選択入力です。</p> <ul style="list-style-type: none"> バイパスモードがイネーブルされているとき、ホストCPUはLCD1(パラレル)またはLCD2(シリアル/パラレル)のインタフェースLCDを直接制御できます。 <p>この端子にはプルアップ抵抗が備わっています。これは、バイパス入力プルアップ/プルダウン制御ビット(REG[0014h]ビット4)によって制御できます。詳細は70ページの「REG[0014h] Miscellaneous Configuration Register」をご覧ください。</p>
SCK	I	A10	111	ICD	HIOVDD	—	<p>ホストCPUシリアルインタフェースに対するシリアルクロック入力です。</p> <ul style="list-style-type: none"> シリアルバイパスモードがイネーブルされているとき、ホストCPUはLCD2のシリアルインタフェースLCDを直接制御できます。 パラレルホストバスインタフェースについては内蔵プルダウン抵抗がイネーブルされるため、この端子は未接続にすることができます。 <p>この端子にはプルダウン抵抗が備わっています。これは、バイパス入力プルアップ/プルダウン制御ビット(REG[0014h]ビット4)によって制御できます。詳細は70ページの「REG[0014h] Miscellaneous Configuration Register」をご覧ください。</p>
SA0	I	B9	113	ICD	HIOVDD	—	<p>ホストCPUインタフェースに対するシリアル/パラレルA0コマンド入力です。</p> <ul style="list-style-type: none"> LCD バイパスモードがイネーブルされているとき、ホストCPUはLCD2のシリアル/パラレルインタフェースLCDを直接制御できます。 パラレルホストバスインタフェースについては内蔵プルダウン抵抗がイネーブルされるため、この端子は未接続にすることができます。 <p>この端子にはプルダウン抵抗が備わっています。これは、バイパス入力プルアップ/プルダウン制御ビット(REG[0014h]ビット4)によって制御できます。詳細は70ページの「REG[0014h] Miscellaneous Configuration Register」をご覧ください。</p>

表5.2 ホストインタフェースの端子説明

端子名	タイプ	PFBGAの 端子番号	QFPの 端子番号	セル	電源	RESET# 状態	説明
SI	I	B8	114	ICD	HIOVDD	—	<p>ホストCPUインタフェースに対するシリアルデータ入力です。</p> <ul style="list-style-type: none"> シリアルバイパスモードがイネーブルされているとき、ホストCPUはLCD2のシリアルインタフェースLCDを直接制御できます。 パラレルホストバスインタフェースについては内蔵プルダウン抵抗がイネーブルされるため、この端子は未接続にすることができます。 <p>この端子にはプルダウン抵抗が備わっています。これは、バイパス入力プルアップ/プルダウン制御ビット (REG[0014h]ビット4) によって制御できます。詳細は70ページの「REG[0014h] Miscellaneous Configuration Register」をご覧ください。</p>

5. 端子構成

5.2.2 LCDインタフェース端子

多くのLCDインタフェース端子は、パネルインタフェースモードの設定によって機能が異なります。各モードの端子構成については23ページの表5.9「LCDインタフェースの端子割り付け」をご覧ください。

パネルインタフェースモードは以下に示すものが使用できます。

- モード1：LCD1はRGB、LCD2はREG[0014h]ビット11～8によって決まります
- モード2：LCD1はパラレル、LCD2はREG[0014h]ビット11～8によって決まります。

パネルインタフェースモードの詳細については、REG[0032h]ビット1～0に関する説明をご覧ください。

表5.3 LCDインタフェースの端子説明

端子名	タイプ	PFBGAの端子番号	QFPの端子番号	セル	電源	RESET#状態	説明
GPIO[23:18]	IO	H5、L4、G6、K4、L3、K3	48、45、44、43、42、41	BCD	PIOVDD	0	これらの入出力端子には複数の機能があります。 <ul style="list-style-type: none"> • モード1の24ビットRGBインタフェースでは、この端子はLCD1のRGBデータ出力 (FPDAT[23:18]) です。 • モード2の24ビットパラレルインタフェースでは、この端子はLCD1パラレルインタフェースのデータ出力 (FPDAT[23:18]) です。 • 24ビット未満のLCDインタフェースでは、この端子は汎用IO端子です。
FPDAT[17:0]	IO	J9、K10、L10、H8、K9、L9、L8、J8、K8、K7、J7、L7、L6、J6、H6、K5、L5、J5	72、71、70、69、68、64、63、62、61、60、59、58、54、53、52、51、50、49	BCD	PIOVDD	L	これらの入出力端子はLCDインタフェースのデータ端子であり、複数の機能も持ちます。 <ul style="list-style-type: none"> • モード1のRGBインタフェースでは、これらの端子はLCD1のRGBデータ出力です。 • モード2のパラレルインタフェースでは、これらの端子はLCD1パラレルインタフェースのデータ出力です。 • パラレルバイパスモードでは、この端子はホストCPUデータを入力または出力します (24ページの表5.10「LCDバイパスモードの端子割り付け」を参照)。
FPFRAME	O	J10	76	OB	PIOVDD	L	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> • モード1のRGBインタフェースでは、この端子はLCD1のフレームパルス出力 (VSYNC) です。 • モード2のパラレルインタフェースでは、この端子はLCD1の書き込みコマンド出力 (WR#) です。 • パラレルバイパスモードでは、この端子はホストCPUのWR#信号を出力します。

表5.3 LCDインタフェースの端子説明

端子名	タイプ	PFBGAの 端子番号	QFPの 端子番号	セル	電源	RESET# 状態	説明
FPLINE	O	H10	77	OB	PIOVDD	L	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> モード1のRGBインタフェースでは、この端子は LCD1 のラインパルス出力 (HSYNC) です。 モード2の平行インタフェースでは、この端子はLCD1のコマンド出力 (A0) です。 平行バイパスモードでは、この端子はホストCPUのコマンド信号 (FPA0) を出力します。
FPSHIFT	O	J11	75	OB	PIOVDD	L	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> モード1では、この端子はLCD1のピクセルクロック出力 (DCK/CLK) です。 モード2では、この端子は使用されません。 平行バイパスモードでは、この端子は使用されません。
FPDRDY	O	G7	78	OB	PIOVDD	L	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> モード1では、この端子はLCD1のDRDY出力 (ENAB) です。 モード2では、この端子は使用されません。 平行バイパスモードでは、この端子はRD#信号を出力します。
FPVIN1	IO	G8	79	BCD	PIOVDD	—	この入出力端子には複数の機能があります。 <ul style="list-style-type: none"> モード1では、この端子は使用されません。 モード2では、この端子はLCDパネルとの間のLCD1平行インタフェース垂直同期入出力 (VIN1/VOUT1) です。
FPCS1#	O	G9	80	OB	PIOVDD	H	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> モード1では、この端子はLCD1シリアルインタフェースのチップ選択出力です。 モード2では、この端子はLCD1平行インタフェースのチップ選択出力です。 平行バイパスモードでは、この端子はホストCPUのCS#信号を出力します。
GPIO[17:10]	IO	J3、J1、J2、 H3、H1、 G1、H2、G2	34、33、30、 29、28、25、 24、23	BCD	PIOVDD	0	これらの入出力端子には複数の機能があります。 <ul style="list-style-type: none"> 平行バイパスモードI (REG[0014h]ビット11~8=1000) のとき、この端子はLCD2インタフェースのデータ端子 (P2DAT[7:0]) です。 それ以外のすべての場合、この端子は汎用IO端子です。
GPIO9	IO	G3	22	BCD	PIOVDD	0	この入出力端子には複数の機能があります。 <ul style="list-style-type: none"> 平行バイパスモード I (REG[0014h]ビット11~8=1000) のとき、この端子はLCD2インタフェースの端子P2WR#です。 それ以外のすべての場合、この端子は汎用IO端子です。

5. 端子構成

表5.3 LCDインタフェースの端子説明

端子名	タイプ	PFBGAの 端子番号	QFPの 端子番号	セル	電源	RESET# 状態	説明
GPIO8	IO	F3	21	BCD	PIOVDD	0	この入出力端子には複数の機能があります。 <ul style="list-style-type: none"> パラレルバイパスモード 1 (REG[0014h] ビット11~8=1000) のとき、この端子はLCD2インタフェースの端子P2A0です。 それ以外のすべての場合、この端子は汎用IO端子です。
Reserved	—	—	37	—	—	—	この端子は予約済みのため、未接続としてください。 <ul style="list-style-type: none">
FPCS2#	O	L2	38	OB	PIOVDD	H	シリアルまたはパラレルバイパスモードでは、この端子はホストCPUのCS#信号を出力します。
FPSCK	O	H11	84	OB	PIOVDD	H	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> モード1では、この端子はLCD1とLCD2用シリアルインタフェースのクロック出力です。 モード2では、この端子はLCD2シリアルインタフェースのクロック出力です。 シリアルバイパスモードがイネーブルされているとき、この端子はホストCPUのSCK信号を出力します。
FPA0	O	G10	85	OB	PIOVDD	L	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> モード1では、この端子はLCD1とLCD2用シリアルインタフェースのA0出力です。 モード2では、この端子はLCD2シリアルインタフェースのA0出力です。 シリアルバイパスモードがイネーブルされているとき、この端子はホストCPUのA0信号を出力します。
FPSO	O	G11	86	OB	PIOVDD	L	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> モード1では、この端子はLCD1とLCD2用シリアルインタフェースのデータ出力です。 モード2では、この端子はLCD2シリアルインタフェースのデータ出力です。 シリアルバイパスモードがイネーブルされているとき、この端子はホストCPUのSI信号を出力します。

5.2.3 クロック入力端子

表5.4 クロック入力の端子説明

端子名	タイプ	PFBGAの端子番号	QFPの端子番号	セル	電源	RESET#状態	説明
CLKI	I	D11	98	ISG	HIOVDD	—	<p>この入力クロックには複数の機能があります。</p> <ul style="list-style-type: none"> 内蔵PLLを使用するとき、この端子は内蔵PLLに対する入力基準クロックになります。 PLLをバイパスするとき、この端子はシステムクロックに対するデジタルクロック入力 (SYSCLK) になります。 <p>注：REG[0012h]ビット8=1のとき、CLKI入力はハイインピーダンスのまま維持することが可能です。</p>

5.2.4 その他の端子

表5.5 その他の端子説明

端子名	タイプ	PFBGAの端子番号	QFPの端子番号	セル	電源	RESET#状態	説明
GPIO[7:0]	IO	E1、F1、E3、E4、E2、D2、D1、C2	17、16、15、14、12、11、10、9	BCD	GIOVDD	0	この入出力端子は汎用IO端子です。
CNF[2:1]	I	D3、B2	3、4	IC	HIOVDD	—	この入力端子はS1D13748のコンフィギュレーションに使用します。この端子はHIOVDDまたはVSSのいずれかに接続してください。この端子の状態はRESET#においてラッチされます。詳しくは、21ページの表5.7「パワーオンコンフィギュレーションの概要」をご覧ください。
CNF0	I	C1	5	IC	HIOVDD	—	この設定端子は予約済みです。VSSに接続してください。
VCP	O	E11	94	LIN	PLLVD	—	製造テスト端子です。通常動作では未接続にしてください。
TESTEN	I	F11	90	ITD	COREVDD	—	製造テスト端子です。通常動作ではVSSに接続してください。
SCANEN	I	F9	89	ISD2	COREVDD	—	製造テスト端子です。通常動作ではVSSに接続してください。
NC	—	—	135	—	—	—	この端子は未接続にしてください。

5. 端子構成

5.2.5 電源端子とグランド端子

表5.6 電源端子とグランド端子の説明

端子名	タイプ	PFBGAの 端子番号	QFPの 端子番号	電源	RESET# 状態	説明
HIOVDD	P	B3、D4、D8、 F7	1、7、96、 103、106、 109、117、 126	P	—	ホストインタフェース用のIO電源
PIOVDD	P	E8、F4、H7、 J4	19、26、35、 40、46、55、 67、73、83、 87	P	—	パネルインタフェース用のIO電源
GIOVDD	P	G5	8、18	P	—	汎用IOインタフェース用のIO電源
COREVDD	P	B10、C3、 E7、F5、H4、 H9、K2	2、27、32、 57、65、81、 88、92、 107、112、 125、134、 142	P	—	コア電源
VSS	P	B1、C4、C8、 D10、E6、 F2、F8、G4、 K6、K11	6、13、20、 31、36、39、 47、56、66、 74、82、91、 97、102、 108、115、 129、138、 144	P	—	HIOVDD、PIOVDD、GIOVDD、COREVDD用のGND
PLLVD	P	E10	95	P	—	PLL電源
PLLVSS	P	F10	93	P	—	PLLVD用のGND

5.3 コンフィギュレーションオプションの概要

これらの端子は本品のコンフィギュレーションに使用します。HIOVDDまたはVSSに直接接続してください。CNF[2:0]の状態はRESET#の立ち上がりエッジにおいてラッチされます。それ以外のタイミングでの状態変更は無効です。

表5.7 パワーオンコンフィギュレーションの概要

CNF[2:0]入力	パワーオン/リセット状態	
	1 (HIOVDDに接続)	0 (VSSに接続)
CNF2	ビッグエンディアン	リトルエンディアン
CNF1	インダイレクト68	インダイレクト80
CNF0	Reserved。VSSに接続してください。	

5. 端子構成

5.4 ホストインタフェースの端子割り付け

ホストインタフェースはCNF1端子を使って指定します。CNF1 = 0ではインダイレクト80インタフェースが選択され、CNF1 = 1ではインダイレクト68インタフェースが選択されます。端子の詳細は13ページの5.2.1「ホストインタフェース端子」をご覧ください。

表5.8 ホストインタフェースの端子割り付け

端子名	インダイレクト80	インダイレクト68
AB[3:1]	AB[3:1]	AB[3:1]
DB[15:0]	DB[15:0]	DB[15:0]
CS#	CS#	CS#
RD#	RD#	UDS#/LDS#
WR#	WE#	R/W#
INT	割り込み信号	
RESET#	RESET#	
SCS#	—	—
SCK	—	—
SA0	—	—
SI	—	—

5.5 LCDインタフェースの端子割り付け

LCDパネルインタフェースモードは、パネルインタフェースのビット群 (REG[0032h]ビット1~0) を使って指定します。各パネルタイプおよびパネル幅に用いる具体的なデータフォーマットについては208ページの15.「LCDインタフェース」をご覧ください。

表5.9 LCDインタフェースの端子割り付け

端子名	モード1			LCD2	モード2	
	LCD1				LCD1	LCD2
	汎用TFT	ND-TFD	uWire付きTFT		パラレル/F	
FPFRAME	VSYNC	VSYNC	VSYNC	LCDバイパスモードを使用すればアクセス可能です。詳細は24ページの5.6「LCDバイパスモードの端子割り付け」をご覧ください。	WR#	LCDバイパスモードを使用すればアクセス可能です。詳細は24ページの5.6「LCDバイパスモードの端子割り付け」をご覧ください。
FPLINE	HSYNC	HSYNC	HSYNC		A0	
FPSHIFT	DCK	DCK	CLK		—	
FPDRDY	ENAB	ENAB	ENAB		—	
FPDAT0	R7	R7	R7		D0	
FPDAT1	R6	R6	R6		D1	
FPDAT2	R5	R5	R5		D2	
FPDAT3	G7	G7	G7		D3	
FPDAT4	G6	G6	G6		D4	
FPDAT5	G5	G5	G5		D5	
FPDAT6	B7	B7	B7		D6	
FPDAT7	B6	B6	B6		D7	
FPDAT8	B5	B5	B5		D8	
FPDAT9	R4	R4	R4		D9	
FPDAT10	R3	R3	R3		D10	
FPDAT11	R2	R2	R2		D11	
FPDAT12	G4	G4	G4		D12	
FPDAT13	G3	G3	G3		D13	
FPDAT14	G2	G2	G2		D14	
FPDAT15	B4	B4	B4		D15	
FPDAT16	B3	B3	B3		D16	
FPDAT17	B2	B2	B2		D17	
FPCS1#	—	CS#	LCDCS		NCS1	
FPCS2#	—	—	—		—	
FPCK	—	SCK	SCK		—	
FPA0	—	A0	—		—	
FPSO	—	SI	SDO		—	
FPVIN1	—	—	—		VIN1/ VOUT1	
GPIO18 (FPDAT18)	R1	R1	R1		D18	
GPIO19 (FPDAT19)	R0	R0	R0	D19		
GPIO20 (FPDAT20)	G1	G1	G1	D20		
GPIO21 (FPDAT21)	G0	G0	G0	D21		
GPIO22 (FPDAT22)	B1	B1	B1	D22		
GPIO23 (FPDAT23)	B0	B0	B0	D23		

5. 端子構成

5.6 LCDバイパスモードの端子割り付け

表5.10 LCDバイパスモードの端子割り付け

端子名	LCD2		LCD1			LCD2			
	シリアルインタフェース		パラレルインタフェース			パラレルインタフェース			
	モードA (注1)	モードB (注1)	モードC	モードD	モードE	モードF	モードG	モードH	モードI (注1)
FPFRAME	—	—	WR# / RD# (注2)	WR# / RD# (注2)	WR / RD# (注2)	WR# / RD# (注2)	WR# / RD# (注2)	WR# / RD# (注2)	—
FPLINE	—	—	SA0	SA0	SA0	SA0	SA0	SA0	—
FPSHIFT	—	—	-	-	-	-	-	-	—
FPDRDY	—	—	RD# / R/W# (注3)	RD# / R/W# (注3)	RD# / R/W# (注3)	RD# / R/W# (注3)	RD# / R/W# (注3)	RD# / R/W# (注3)	—
FPDAT0	—	—	DB0	Low/High (注4)	Low	DB0	Low/High (注4)	Low	—
FPDAT1	—	—	DB1	DB0	DB0	DB1	DB0	DB0	—
FPDAT2	—	—	DB2	DB1	DB1	DB2	DB1	DB1	—
FPDAT3	—	—	DB3	DB2	DB2	DB3	DB2	DB2	—
FPDAT4	—	—	DB4	DB3	DB3	DB4	DB3	DB3	—
FPDAT5	—	—	DB5	DB4	DB4	DB5	DB4	DB4	—
FPDAT6	—	—	DB6	DB5	DB5	DB6	DB5	DB5	—
FPDAT7	—	—	DB7	DB6	DB6	DB7	DB6	DB6	—
FPDAT8	—	—	DB8	DB7	DB7	DB8	DB7	DB7	—
FPDAT9	—	—	DB9	DB8	Low	DB9	DB8	Low	—
FPDAT10	—	—	DB10	DB9	DB8	DB10	DB9	DB8	—
FPDAT11	—	—	DB11	DB10	DB9	DB11	DB10	DB9	—
FPDAT12	—	—	DB12	Low/High (注5)	DB10	DB12	Low/High (注5)	DB10	—
FPDAT13	—	—	DB13	DB11	DB11	DB13	DB11	DB11	—
FPDAT14	—	—	DB14	DB12	DB12	DB14	DB12	DB12	—
FPDAT15	—	—	DB15	DB13	DB13	DB15	DB13	DB13	—
FPDAT16	—	—	Low	DB14	DB14	Low	DB14	DB14	—
FPDAT17	—	—	Low	DB15	DB15	Low	DB15	DB15	—
FPCS1#	High	SCS#	SCS#/CS# (注6)	SCS#/CS# (注6)	SCS#/CS# (注6)	High	High	High	High
FPCS2#	SCS#	High	High	High	High	SCS#/CS# (注6)	SCS#/CS# (注6)	SCS#/CS# (注6)	SCS#/CS# (注6)
FPSCK	SCK	SCK	—	—	—	—	—	—	—
FPA0	SA0	SA0	—	—	—	—	—	—	—
FPSO	SI	SI	—	—	—	—	—	—	—
FPVIN1	—	—	—	—	—	—	—	—	—
GPIO8(P2A0)	—	—	—	—	—	—	—	—	SA0
GPIO9(P2WR#)	—	—	—	—	—	—	—	—	WR# (注1)
GPIO10(P2DAT0)	—	—	—	—	—	—	—	—	DB0
GPIO11(P2DAT1)	—	—	—	—	—	—	—	—	DB1
GPIO12(P2DAT2)	—	—	—	—	—	—	—	—	DB2
GPIO13(P2DAT3)	—	—	—	—	—	—	—	—	DB3
GPIO14(P2DAT4)	—	—	—	—	—	—	—	—	DB4
GPIO15(P2DAT5)	—	—	—	—	—	—	—	—	DB5
GPIO16(P2DAT6)	—	—	—	—	—	—	—	—	DB6
GPIO17(P2DAT7)	—	—	—	—	—	—	—	—	DB7

注

1. シリアルバイパスモード（モードAとモードB）およびパラレルバイパスモードIは、パネルからの読み出しをサポートしていません。パラレルバイパス方向制御ビットを入力に設定する機能（REG[0014h]ビット13=1）はサポートされていません。
2. インダイレクト80のホストCPUを選択した場合（CNF1=0）、ホストからのWR#信号はLCDに「バイパス」されます。
またインダイレクト68のホストCPUを選択した場合（CNF1=1）、ホストからのRD#信号はLCDに「バイパス」されます。
3. インダイレクト80のホストCPUを選択した場合（CNF1=0）、ホストからのRD#信号はLCDに「バイパス」されます。
またインダイレクト68のホストCPUを選択した場合（CNF1=1）、ホストからのR/W#信号はLCDに「バイパス」されます。
4. 出力はDB[4:0]の論理ANDによって得られます。
5. 出力はDB[15:11]の論理ANDによって得られます。
6. パラレルバイパスチップ選択モードは、REG[0014h]ビット3によって制御されます。

6. DC特性

6. DC特性

6.1 絶対最大定格

表6.1 絶対最大定格 (VSS = 0V)

記号	パラメータ	定格	単位
HIOVDD (注1)	電源電圧	VSS - 0.3 ~ 4.0	V
PIOVDD (注2)		VSS - 0.3 ~ 4.0	V
GIOVDD (注3)		VSS - 0.3 ~ 4.0	V
COREVDD		VSS - 0.3 ~ 2.0	V
PLLVD		VSS - 0.3 ~ 2.0	V
HVI	入力電圧	VSS - 0.3 ~ HIOVDD + 0.5	V
		VSS - 0.3 ~ PIOVDD + 0.5	V
VSS - 0.3 ~ GIOVDD + 0.5		V	
LVI		VSS - 0.3 ~ COREVDD + 0.5	V
		VSS - 0.3 ~ PLLVD + 0.5	V
HVO	出力電圧	VSS - 0.3 ~ HIOVDD + 0.5	V
		VSS - 0.3 ~ PIOVDD + 0.5	V
VSS - 0.3 ~ GIOVDD + 0.5		V	
LVO		VSS - 0.3 ~ COREVDD + 0.5	V
		VSS - 0.3 ~ PLLVD + 0.5	V
IOUT	出力電流	± 10	mA
Tstg	保存温度	-65 ~ 150	°C

注

1. HIOVDD COREVDD / PLLVD
2. PIOVDD COREVDD / PLLVD
3. GIOVDD COREVDD / PLLVD

6.2 推奨動作条件

表6.2 推奨動作条件1

記号	パラメータ	条件	Min	Typ	Max	単位
HIOVDD	ホストIOの電源電圧	$V_{SS} = 0\text{ V}$	3.00	3.30	3.60	V
PIOVDD	パネルIOの電源電圧	$V_{SS} = 0\text{ V}$	3.00	3.30	3.60	V
GIOVDD	汎用IOの電源電圧	$V_{SS} = 0\text{ V}$	3.00	3.30	3.60	V
COREVDD	コア電源電圧	$V_{SS} = 0\text{ V}$	1.35	1.50	1.65	V
PLLVDD	PLL電源電圧	$V_{SS} = 0\text{ V}$	1.35	1.50	1.65	V
HVI	入力電圧	—	-0.3	—	HIOVDD + 0.3	V
			-0.3	—	PIOVDD + 0.3	V
			-0.3	—	GIOVDD + 0.3	V
LVI		—	-0.3	—	COREVDD + 0.3	V
			-0.3	—	PLLVDD + 0.3	V
Ta	動作温度	—	-40	25	85	°C
tr	CMOS入力の立ち上がり時間 (注1)	—	—	—	50	ns
tf	CMOS入力の立ち下がり時間 (注1)	—	—	—	50	ns
tr	シュミット入力の立ち上がり時間 (注1)	—	—	—	5	ms
tf	シュミット入力の立ち下がり時間 (注1)	—	—	—	5	ms

注

- VDDの10%から90%まで変化するのに要する時間です。

表6.3 推奨動作条件2

記号	パラメータ	条件	Min	Typ	Max	単位
HIOVDD	ホストIOの電源電圧	$V_{SS} = 0\text{ V}$	2.66	2.80	2.94	V
PIOVDD	パネルIOの電源電圧	$V_{SS} = 0\text{ V}$	2.66	2.80	2.94	V
GIOVDD	汎用IOの電源電圧	$V_{SS} = 0\text{ V}$	2.66	2.80	2.94	V
COREVDD	コア電源電圧	$V_{SS} = 0\text{ V}$	1.35	1.50	1.65	V
PLLVDD	PLL電源電圧	$V_{SS} = 0\text{ V}$	1.35	1.50	1.65	V
HVI	入力電圧	—	-0.3	—	HIOVDD + 0.3	V
			-0.3	—	PIOVDD + 0.3	V
			-0.3	—	GIOVDD + 0.3	V
LVI		—	-0.3	—	COREVDD + 0.3	V
			-0.3	—	PLLVDD + 0.3	V
Ta	動作温度	—	-40	25	85	°C
tr	CMOS入力の立ち上がり時間 (注1)	—	—	—	50	ns
tf	CMOS入力の立ち下がり時間 (注1)	—	—	—	50	ns
tr	シュミット入力の立ち上がり時間 (注1)	—	—	—	5	ms
tf	シュミット入力の立ち下がり時間 (注1)	—	—	—	5	ms

注

- VDDの10%から90%まで変化するのに要する時間です。

6. DC特性

表6.4 推奨動作条件3

記号	パラメータ	条件	Min	Typ	Max	単位
HIOVDD	ホストIOの電源電圧	$V_{SS} = 0\text{ V}$	1.62	1.80	1.98	V
PIOVDD	パネルIOの電源電圧	$V_{SS} = 0\text{ V}$	1.62	1.80	1.98	V
GIOVDD	汎用IOの電源電圧	$V_{SS} = 0\text{ V}$	1.62	1.80	1.98	V
COREVDD	コア電源電圧	$V_{SS} = 0\text{ V}$	1.35	1.50	1.65	V
HVI	入力電圧	—	-0.3	—	HIOVDD + 0.3	V
			-0.3	—	PIOVDD + 0.3	V
			-0.3	—	GIOVDD + 0.3	V
LVI		—	-0.3	—	COREVDD + 0.3	V
			-0.3	—	PLLVD + 0.3	V
Ta	動作温度	—	-40	25	85	°C
tr	CMOS入力の立ち上がり時間 (注1)	—	—	—	50	ns
tf	CMOS入力の立ち下がり時間 (注1)	—	—	—	50	ns
tr	シュミット入力の立ち上がり時間 (注1)	—	—	—	5	ms
tf	シュミット入力の立ち下がり時間 (注1)	—	—	—	5	ms

注

1. VDDの10%から90%まで変化するのに要する時間です。

6.3 電気的特性

以下に示す特性は次の条件での値です。

HIOVDD = PIOVDD = GIOVDD、VSS = 0V、Ta = -40 ~ 85、CNF1 = 0

下の表は、HIOVDD = PIOVDD = GIOVDD = 3.30Vの場合です。

表6.5 電気的特性1

記号	パラメータ	条件	Min	Typ	Max	単位
IL	入力リーク電流	—	-5	—	5	μA
IOZ	出力リーク電流	—	-5	—	5	μA
IQcore	COREVDDにおける静的消費電流	—	—	200	—	μA
IQpll	PLLVDVにおける静的消費電流	—	—	7	—	μA
IQio	HIOVDD、PIOVDD、GIOVDDにおける静的消費電流	—	—	34	—	μA
VIH1H	CMOS、高レベル入力電圧	HIOVDD, PIOVDD = Max	2.20	—	HIOVDD, PIOVDD + 0.3	V
VIL1H	CMOS、低レベル入力電圧	HIOVDD, PIOVDD = Min	-0.3	—	0.75	V
VT1+	シュミット、ポジティブトリガ電圧	HIOVDD, PIOVDD = Max	1.20	—	2.52	V
VT1-	シュミット、ネガティブトリガ電圧	HIOVDD, PIOVDD = Min	0.75	—	1.98	V
ΔV1	シュミット、ヒステリシス電圧	HIOVDD, PIOVDD = Min	0.30	—	—	V
VT2+	シュミット、ポジティブトリガ電圧	COREVDD = Max	0.54	—	1.15	V
VT2-	シュミット、ネガティブトリガ電圧	COREVDD = Min	0.41	—	0.99	V
ΔV2	シュミット、ヒステリシス電圧	COREVDD = Min	0.14	—	—	V
RPLU1H	プルアップ抵抗	VI = VSS	20	50	120	kΩ
RPLD1H	プルダウン抵抗	VI = HIOVDD, PIOVDD	20	50	120	kΩ
RPLD1L	プルダウン抵抗	VI = COREVDD	27	75	183	kΩ
VOH2H	高レベル出力電圧	HIOVDD, PIOVDD = min IOH = -1.8mA	HIOVDD, PIOVDD - 0.4	—	—	V
VOL2H	低レベル出力電圧	HIOVDD, PIOVDD = min IOH = 1.8mA	—	—	VSS + 0.4	V
VOH4H	高レベル出力電圧	HIOVDD, PIOVDD = min IOH = -5.4mA	HIOVDD, PIOVDD - 0.4	—	—	V
VOL4H	低レベル出力電圧	HIOVDD, PIOVDD = min IOH = 5.4mA	—	—	VSS + 0.4	V

6. DC特性

下の表は、HIOVDD = PIOVDD = GIOVDD = 2.80Vの場合です。

表6.6 電気的特性2

記号	パラメータ	条件	Min	Typ	Max	単位
IL	入力リーク電流	—	-5	—	5	μA
IOZ	出力リーク電流	—	-5	—	5	μA
IQcore	COREVDDにおける静的消費電流	—	—	200	—	μA
IQpll	PLLVDVにおける静的消費電流	—	—	7	—	μA
IQio	HIOVDD、PIOVDD、GIOVDDにおける静的消費電流	—	—	9.2	—	μA
VIH1H	CMOS、高レベル入力電圧	HIOVDD, PIOVDD = Max	1.85	—	HIOVDD, PIOVDD + 0.3	V
VIL1H	CMOS、低レベル入力電圧	HIOVDD, PIOVDD = Min	-0.3	—	0.75	V
VT1+	シュミット、ポジティブトリガ電圧	HIOVDD, PIOVDD = Max	0.94	—	1.91	V
VT1-	シュミット、ネガティブトリガ電圧	HIOVDD, PIOVDD = Min	0.67	—	1.61	V
ΔV1	シュミット、ヒステリシス電圧	HIOVDD, PIOVDD = Min	0.27	—	—	V
VT2+	シュミット、ポジティブトリガ電圧	COREVDD = Max	0.54	—	1.15	V
VT2-	シュミット、ネガティブトリガ電圧	COREVDD = Min	0.41	—	0.99	V
ΔV2	シュミット、ヒステリシス電圧	COREVDD = Min	0.14	—	—	V
RPLU1H	プルアップ抵抗	VI = VSS	22	55	132	kΩ
RPLD1H	プルダウン抵抗	VI = HIOVDD, PIOVDD	22	55	132	kΩ
RPLD1L	プルダウン抵抗	VI = COREVDD	27	75	183	kΩ
VOH2H	高レベル出力電圧	HIOVDD, PIOVDD = min IOH = -1.8mA	HIOVDD, PIOVDD - 0.4	—	—	V
VOL2H	低レベル出力電圧	HIOVDD, PIOVDD = min IOH = 1.8mA	—	—	VSS + 0.4	V
VOH4H	高レベル出力電圧	HIOVDD, PIOVDD = min IOH = -5.4mA	HIOVDD, PIOVDD - 0.4	—	—	V
VOL4H	低レベル出力電圧	HIOVDD, PIOVDD = min IOH = 5.4mA	—	—	VSS + 0.4	V

下の表は、HIOVDD = PIOVDD = GIOVDD = 1.80Vの場合です。

表6.7 電気的特性3

記号	パラメータ	条件	Min	Typ	Max	単位
IL	入力リーク電流	—	-5	—	5	μA
IOZ	出力リーク電流	—	-5	—	5	μA
IQcore	COREVDDにおける静的消費電流	—	—	200	—	μA
IQpll	PLLVDVにおける静的消費電流	—	—	7	—	μA
IQio	HIOVDD、PIOVDD、GIOVDDにおける静的消費電流	—	—	6.44	—	μA
VIH1H	CMOS、高レベル入力電圧	HIOVDD, PIOVDD = Max	1.29	—	HIOVDD, PIOVDD + 0.3	V
VIL1H	CMOS、低レベル入力電圧	HIOVDD, PIOVDD = Min	-0.3	—	0.56	V
VT1+	シュミット、ポジティブトリガ電圧	HIOVDD, PIOVDD = Max	0.65	—	1.38	V
VT1-	シュミット、ネガティブトリガ電圧	HIOVDD, PIOVDD = Min	0.49	—	1.18	V
ΔV1	シュミット、ヒステリシス電圧	HIOVDD, PIOVDD = Min	0.17	—	—	V
VT2+	シュミット、ポジティブトリガ電圧	COREVDD = Max	0.54	—	1.15	V
VT2-	シュミット、ネガティブトリガ電圧	COREVDD = Min	0.41	—	0.99	V
ΔV2	シュミット、ヒステリシス電圧	COREVDD = Min	0.14	—	—	V
RPLU1H	プルアップ抵抗	VI = VSS	36	100	244	kΩ
RPLD1H	プルダウン抵抗	VI = HIOVDD, PIOVDD	36	100	244	kΩ
RPLD1L	プルダウン抵抗	VI = COREVDD	27	75	183	kΩ
VOH2H	高レベル出力電圧	HIOVDD, PIOVDD = min IOH = -1.8mA	HIOVDD, PIOVDD - 0.4	—	—	V
VOL2H	低レベル出力電圧	HIOVDD, PIOVDD = min IOH = 1.8mA	—	—	VSS + 0.4	V
VOH4H	高レベル出力電圧	HIOVDD, PIOVDD = min IOH = -5.4mA	HIOVDD, PIOVDD - 0.4	—	—	V
VOL4H	低レベル出力電圧	HIOVDD, PIOVDD = min IOH = 5.4mA	—	—	VSS + 0.4	V

7. AC特性

7. AC特性

HIOVDD = PIOVDD = GIOVDD = 1.62 ~ 1.98Vのときの条件

- $T_A = -40 \sim 85$
- 出力ドライバ = 5.4mA (REG[0004h]ビット15 ~ 13 = 111)
- CLKIを除くすべての入力の T_{rise} と T_{fall} は50ns未満 (10% ~ 90%) であること
- $C_L = 30\text{pF}$ (ホストインタフェース)
- $C_L = 30\text{pF}$ (LCDインタフェース)
- $C_L = 30\text{pF}$ (GPIOインタフェース)

HIOVDD = PIOVDD = GIOVDD = 2.66 ~ 2.94Vのときの条件

- $T_A = -40 \sim 85$
- 出力ドライバ = 3.6mA (REG[0004h]ビット15 ~ 13 = 000)
- CLKIを除くすべての入力の T_{rise} と T_{fall} は50ns未満 (10% ~ 90%) であること
- $C_L = 30\text{pF}$ (ホストインタフェース)
- $C_L = 30\text{pF}$ (LCDインタフェース)
- $C_L = 30\text{pF}$ (GPIOインタフェース)

HIOVDD = PIOVDD = GIOVDD = 3.00 ~ 3.60Vのときの条件

- $T_A = -40 \sim 85$
- 出力ドライバ = 4.0mA (CNF0 = 1、またはREG[0004h]ビット15 ~ 13 = 000)
- CLKIを除くすべての入力の T_{rise} と T_{fall} は50ns未満 (10% ~ 90%) であること
- $C_L = 30\text{pF}$ (ホストインタフェース)
- $C_L = 30\text{pF}$ (LCDインタフェース)
- $C_L = 30\text{pF}$ (GPIOインタフェース)

7.1 クロックタイミング

7.1.1 入力クロックのタイミング

以下のタイミング仕様は、CLKI を PLL 基準クロックとして使用するとき (REG[0012h]ビット0=0) の入力要件です。PLLの設定については、67ページの10.4.2「クロック設定レジスタ」をご覧ください。またS1D13748のクロック構成については、59ページの9.1「クロック図」をご覧ください。

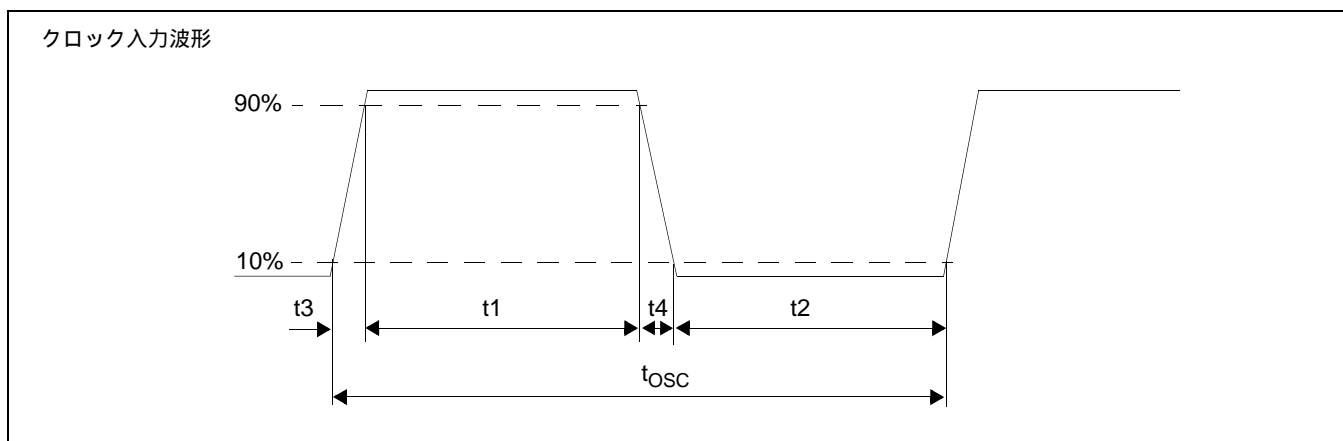


図7.1 クロック入力要件 (PLL使用時のCLKI)

表7.1 クロック入力要件 (PLL使用時のCLKI)

記号	パラメータ	Min	Typ	Max	単位
f_{OSCI}	入力クロック周波数 (CLKI)	1	—	33	MHz
T_{OSC}	入力クロック周期 (CLKI)	$1/f_{\text{OSC}}$	—	—	ns
t1	入力クロックHighパルス幅 (CLKI)	$0.4t_{\text{OSC}}$	—	$0.6t_{\text{OSC}}$	us
t2	入力クロックLowパルス幅 (CLKI)	$0.4t_{\text{OSC}}$	—	$0.6t_{\text{OSC}}$	us
t3	入力クロック立ち上がり時間 (10% ~ 90%)	—	—	10	ns
t4	入力クロック立ち下がり時間 (10% ~ 90%)	—	—	10	ns

7. AC特性

以下のタイミング仕様は、PLLをバイパスしてCLKIをシステムクロック(SYSCLK)ソースとして使用するとき (REG[0012h]ビット0=1) の入力要件です。S1D13748のクロック構成については、59ページの9.1「クロック図」をご覧ください。

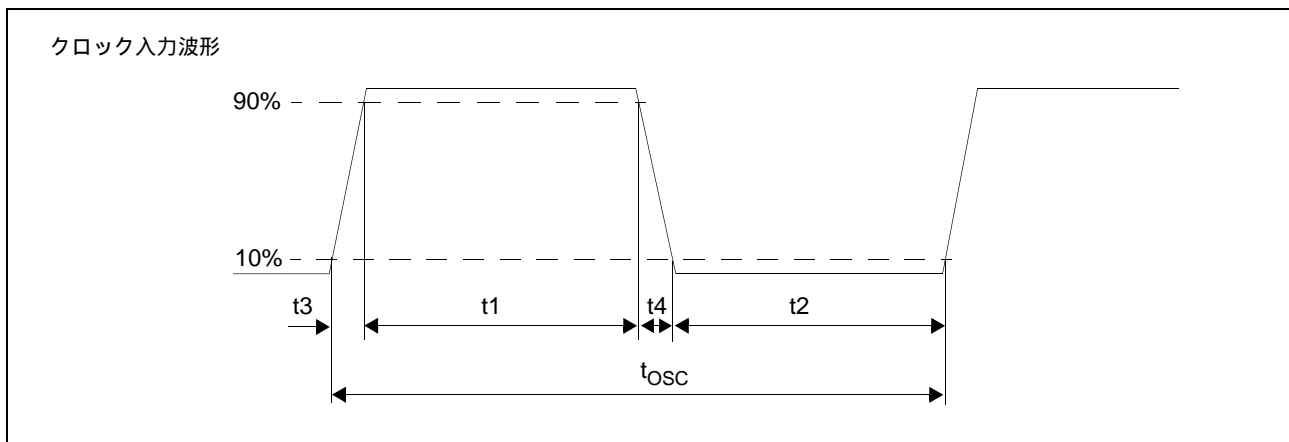


図7.2 クロック入力要件 (PLLバイパス時のCLKI)

表7.2 クロック入力要件 (PLLバイパス時のCLKI)

記号	パラメータ	Min	Typ	Max	単位
f_{OSCI}	入力クロック周波数 (CLKI)	—	—	58	MHz
T_{OSC}	入力クロック周期 (CLKI)	$1/f_{osc}$	—	—	ns
t_1	入力クロックHighパルス幅 (CLKI)	$0.4t_{osc}$	—	$0.6t_{osc}$	us
t_2	入力クロックLowパルス幅 (CLKI)	$0.4t_{osc}$	—	$0.6t_{osc}$	us
t_3	入力クロック立ち上がり時間 (10% ~ 90%)	—	—	10	ns
t_4	入力クロック立ち下がり時間 (10% ~ 90%)	—	—	10	ns

7.1.2 PLLクロック

PLL回路はアナログ回路であり、入力クロック波形や電源のノイズによって大きな影響を受けます。クロックまたは電源のノイズは、PLL回路の動作を不安定にしたり、ジッタを大きくしたりすることがあります。

このようなノイズの制約により、PLL用の電源トレースまたは電源プレーンを他の電源の電源トレース、電源プレーンから離しておいてください。さらに、電源のノイズをできるだけ少なくするために、フィルタリングも使用してください。入力クロック波形のジッタはできるだけ小さくしてください。

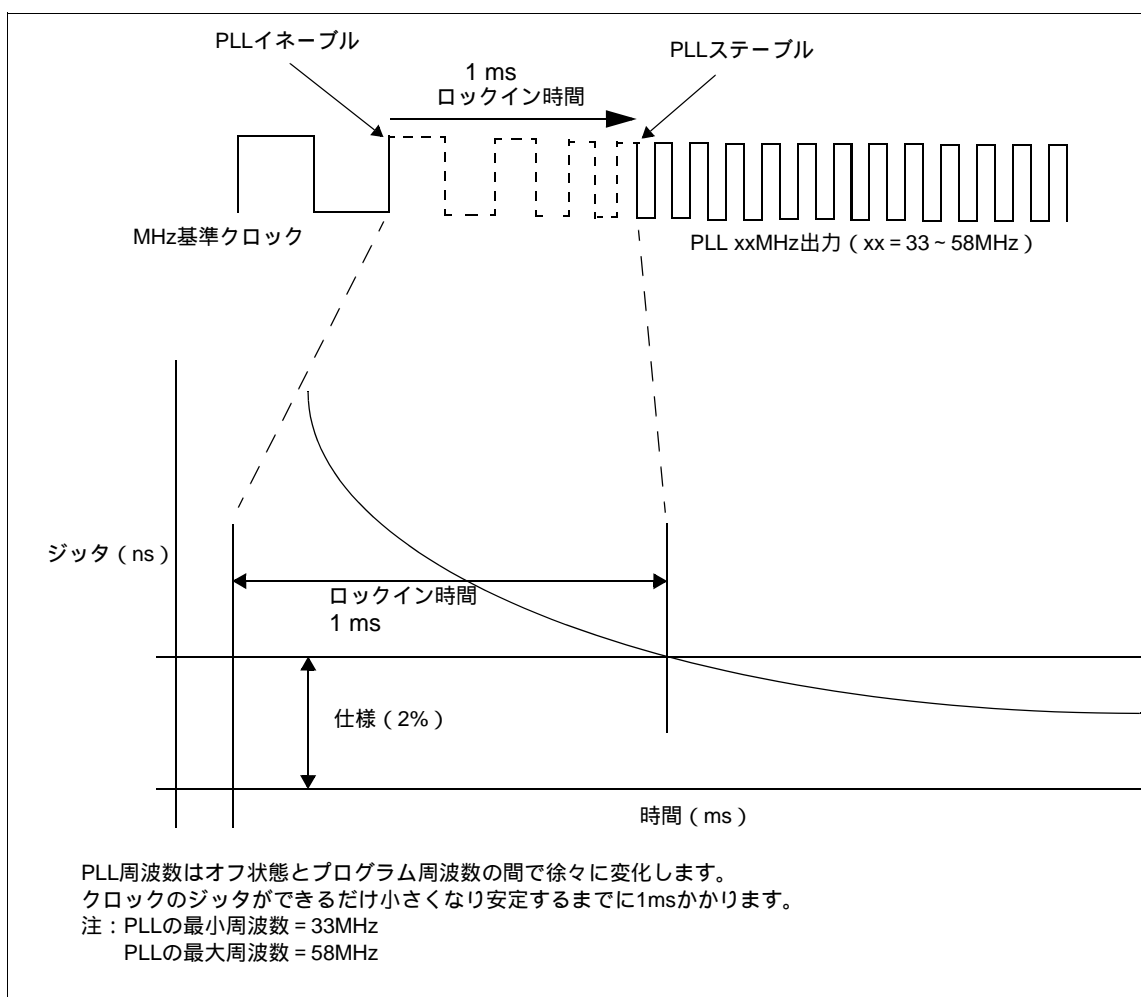


図7.3 PLL起動時間

7. AC特性

7.2 電源シーケンス

7.2.1 パワーオンシーケンス

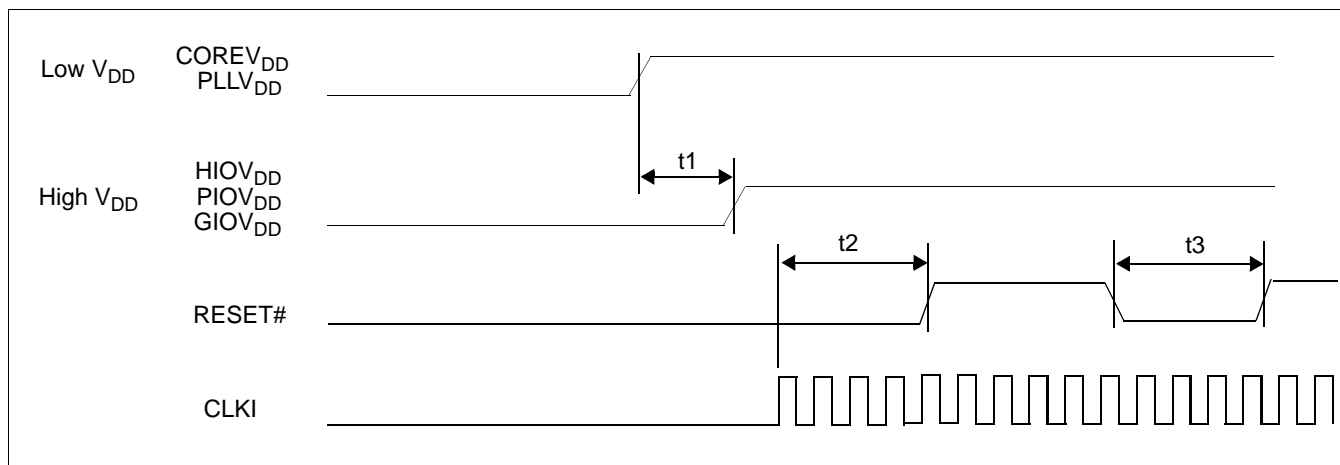


図7.4 パワーオンシーケンス

表7.3 パワーオンシーケンスタイミング

記号	パラメータ	Min	Max	単位
t1	Low V _{DD} がオンになってからHigh V _{DD} がオンになるまでの遅延	0	10	ms
t2	RESET#ホールド時間	2	—	Tck (注1)
t3	RESET#アクティブ幅	2	—	Tck

注

1. Tck = CLKIクロック周期

7.2.2 パワーオフシーケンス

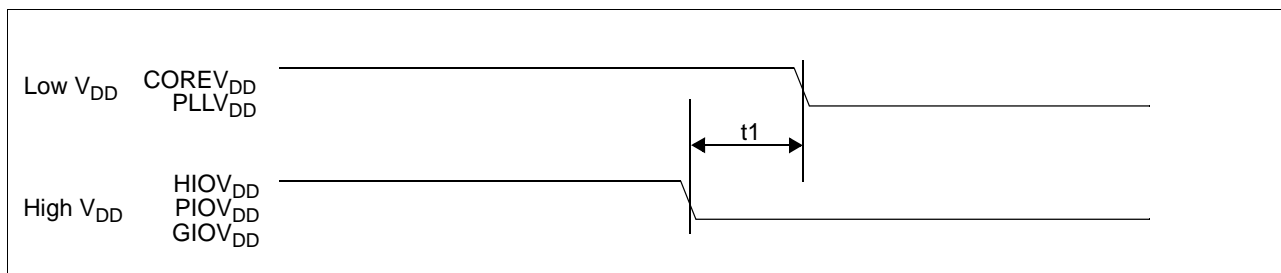


図7.5 パワーオフシーケンス

表7.4 パワーオフシーケンスタイミング

記号	パラメータ	Min	Max	単位
t1	High V _{DD} がオフになってからLow V _{DD} がオフになるまでの遅延	0	10	ms

7. AC特性

7.3 ホストバスインタフェースタイミング

7.3.1 インダイレクト80のタイミング

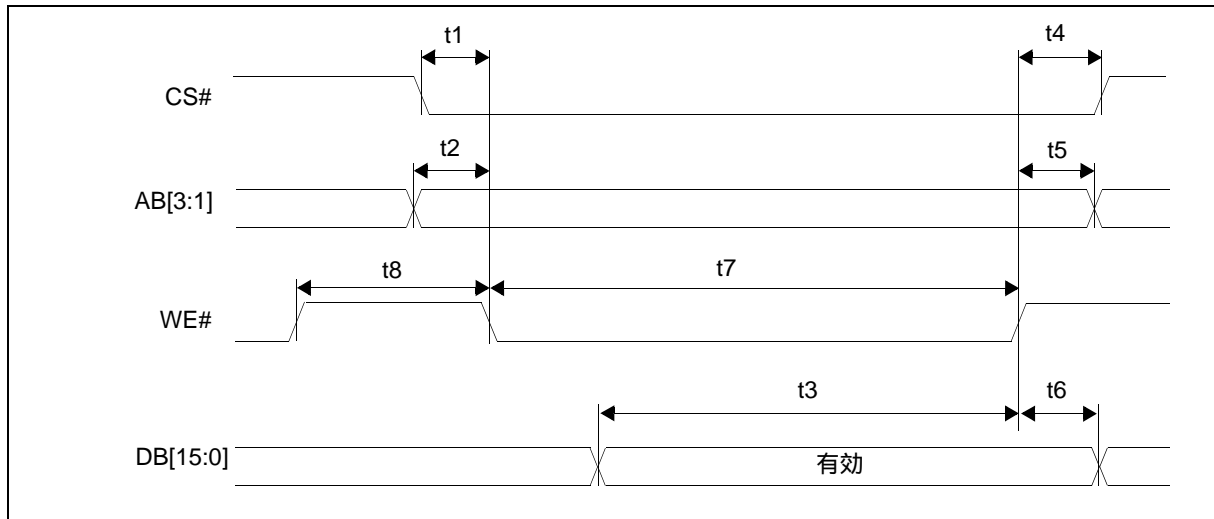


図7.6 インダイレクト80の書き込みサイクルにおけるシングルアクセスタイミング

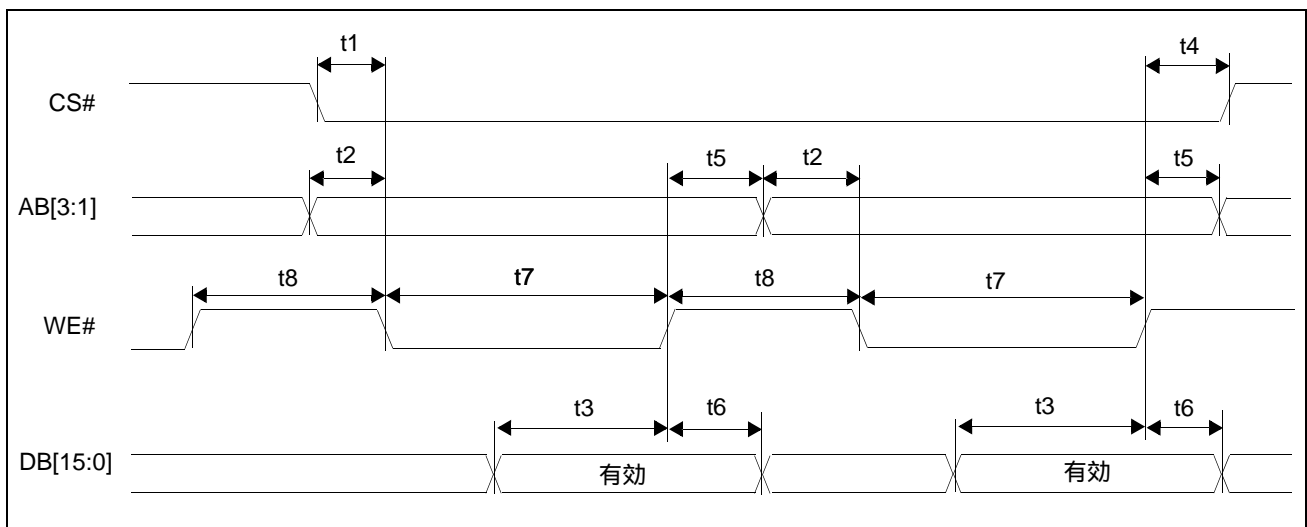


図7.7 インダイレクト80の書き込みサイクルにおけるバーストアクセスタイミング

注

本仕様書に記載するインダイレクト80インタフェースの書き込みサイクルタイミングは暫定的なものであり、今後変更される可能性があります。

表7.5 インダイレクト80書き込みサイクルタイミング

記号	パラメータ	HIOVDD = 1.8V		HIOVDD = 2.8V または3.3V		単位
		Min	Max	Min	Max	
t1	CS#セットアップ時間	5	—	5	—	ns
t2	AB[3:1]セットアップ時間	5	—	5	—	ns
t3	DB[15:0]セットアップ時間 (WE#立ち上がりエッジまで)	5	—	5	—	ns
t4	CS#のホールド時間 (WE#立ち上がりエッジから)	5	—	5	—	ns
t5	AB[3:1]ホールド時間 (WE#立ち上がりエッジから)	5	—	5	—	ns
t6	DB[15:0]のホールド時間 (WE#立ち上がりエッジから)	5	—	5	—	ns
t7	WE#パルスアクティブ時間	2	—	2	—	Ts (注1)
t8	WE#パルス非アクティブ時間	1	—	1	—	Ts

注

1. Ts = システムクロック周期

7. AC特性

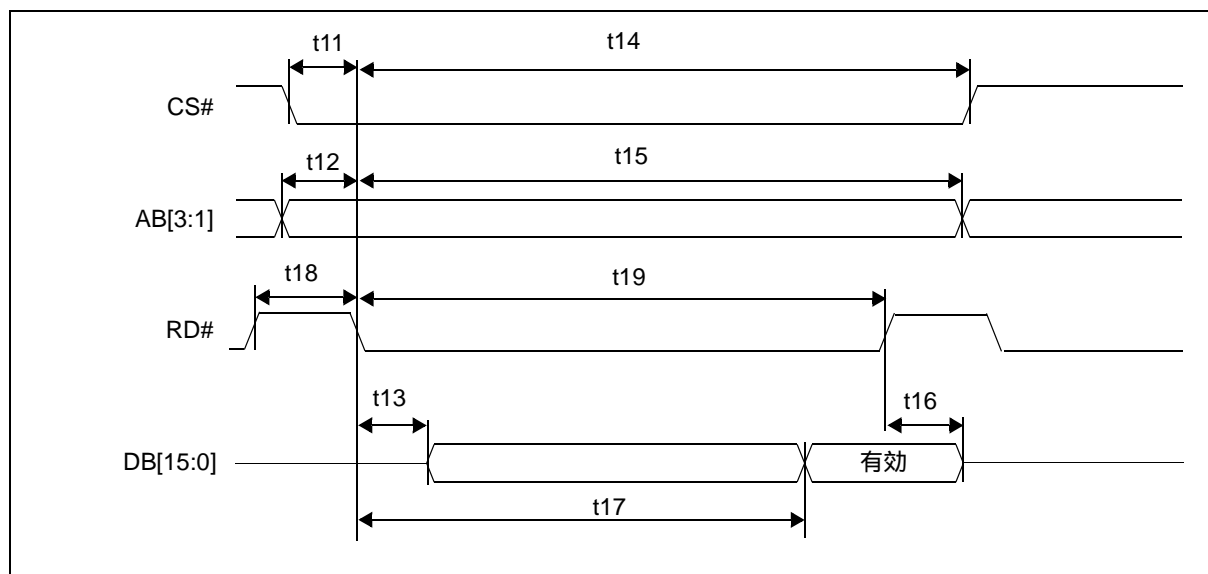


図7.8 インダイレクト80の読み出しサイクルにおけるシングルアクセスタイミング

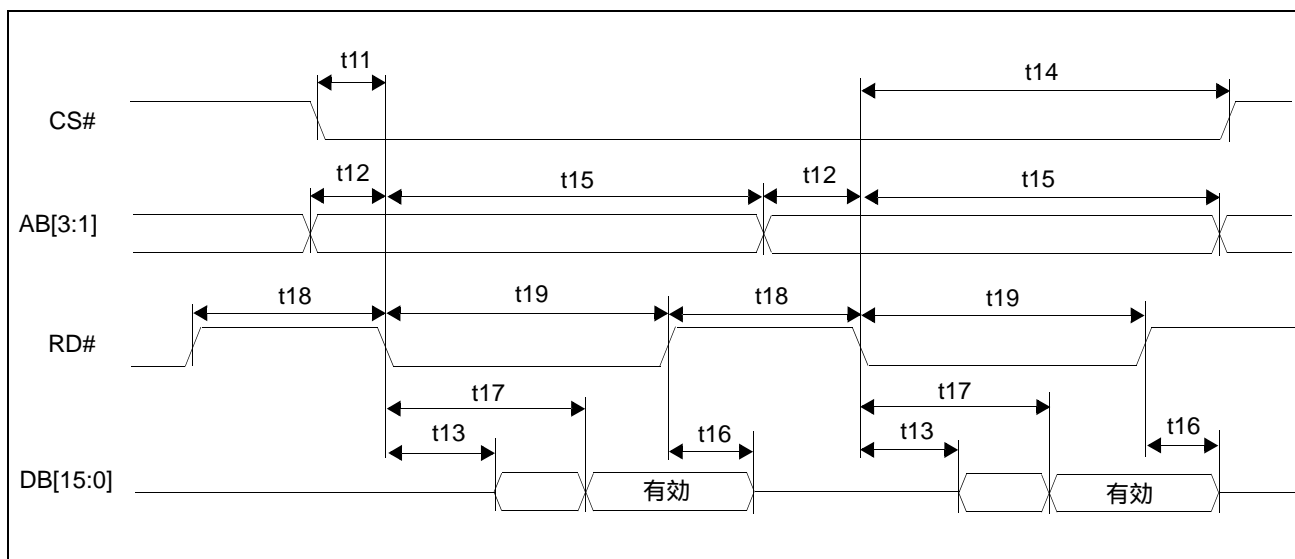


図7.9 インダイレクト80の読み出しサイクルにおけるバーストアクセスタイミング

注

本仕様書に記載するインダイレクト80インターフェースの読み出しサイクルタイミングは暫定的なものであり、今後変更される可能性があります。

表7.6 インダイレクト80読み出しサイクルタイミング

記号	パラメータ	HIOVDD = 1.8V		HIOVDD = 2.8V または3.3V		単位
		Min	Max	Min	Max	
t11	CS#セットアップ時間	5	—	5	—	ns
t12	AB[3:1]セットアップ時間	5	—	5	—	ns
t13	RD#立ち下がりエッジからDB[15:0]の駆動まで	4	—	3	—	ns
t14	CS#ホールド時間 (RD#の立ち下がりエッジから)	1	—	1	—	Ts (注1)
t15	AB[3:1]ホールド時間 (RD#の立ち下がりエッジから)	1	—	1	—	Ts
t16	DB[15:0]ホールド時間 (RD#の立ち上がりエッジから)	2	11	2	10	ns
t17	RD#立ち下がりエッジから有効データまで	—	27	—	22	ns
t18	RD#パルス非アクティブ時間	1	—	1	—	Ts
t19	RD#パルスアクティブ時間	2	—	2	—	Ts

注

1. Ts = システムクロック周期

7. AC特性

7.3.2 インダイレクト68のタイミング

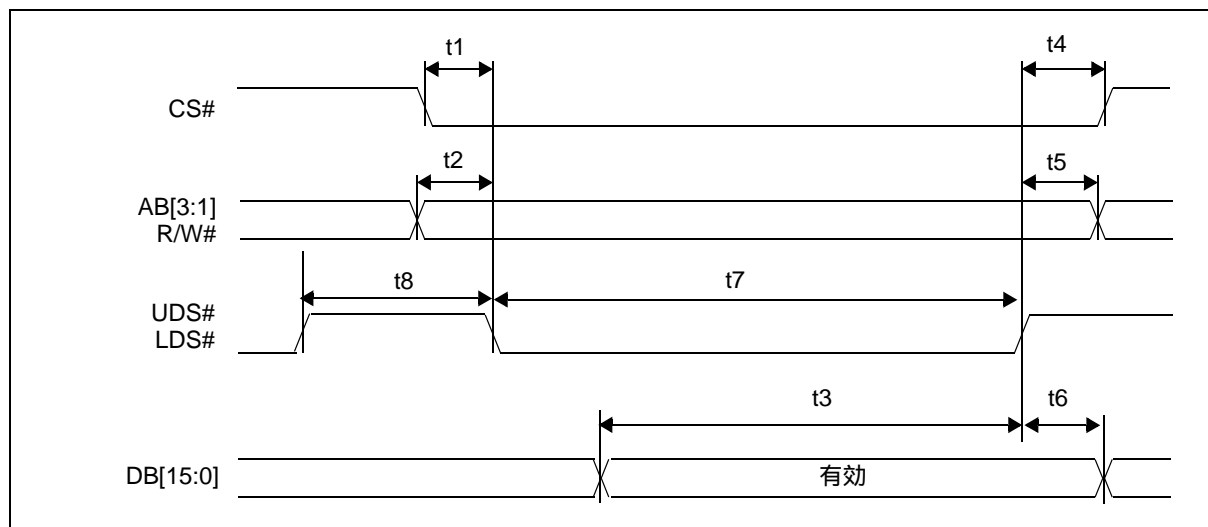


図7.10 インダイレクト68の書き込みサイクルにおけるシングルアクセスタイミング

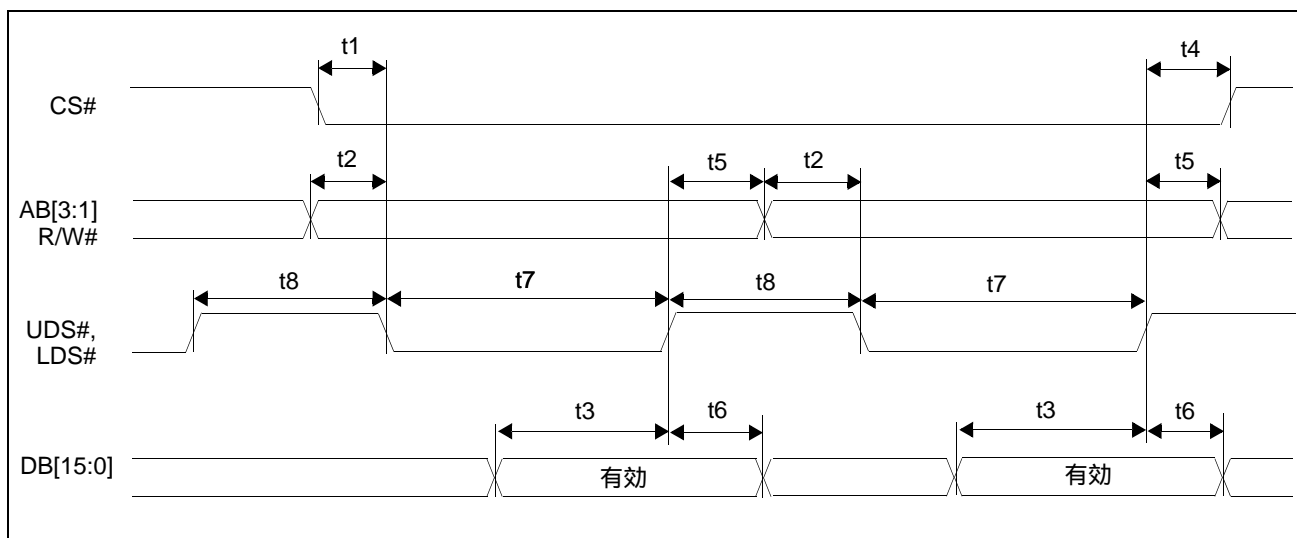


図7.11 インダイレクト68の書き込みサイクルにおけるバーストアクセスタイミング

注

本仕様書に記載するインダイレクト68インタフェースの書き込みサイクルタイミングは暫定的なものであり、今後変更される可能性があります。

表7.7 インダイレクト68書き込みサイクルタイミング

記号	パラメータ	HIOVDD = 1.8V		HIOVDD = 2.8V または3.3V		単位
		Min	Max	Min	Max	
t1	CS#セットアップ時間	5	—	5	—	ns
t2	AB[3:1],R/W#セットアップ時間	5	—	5	—	ns
t3	DB[15:0]セットアップ時間 (UDS#,LDS#立ち上がりエッジまで)	5	—	5	—	ns
t4	CS#ホールド時間(UDS#,LDS#立ち上がりエッジから)	5	—	5	—	ns
t5	AB[3:1],R/W#ホールド時間 (UDS#,LDS#立ち上がりエッジから)	5	—	5	—	ns
t6	DB[15:0]ホールド時間 (UDS#,LDS#立ち上がりエッジから)	5	—	5	—	ns
t7	UDS#,LDS#パルスアクティブ時間	2	—	2	—	Ts (注1)
t8	UDS#,LDS#パルス非アクティブ時間	1	—	1	—	Ts

注

1. Ts = システムクロック周期

7. AC特性

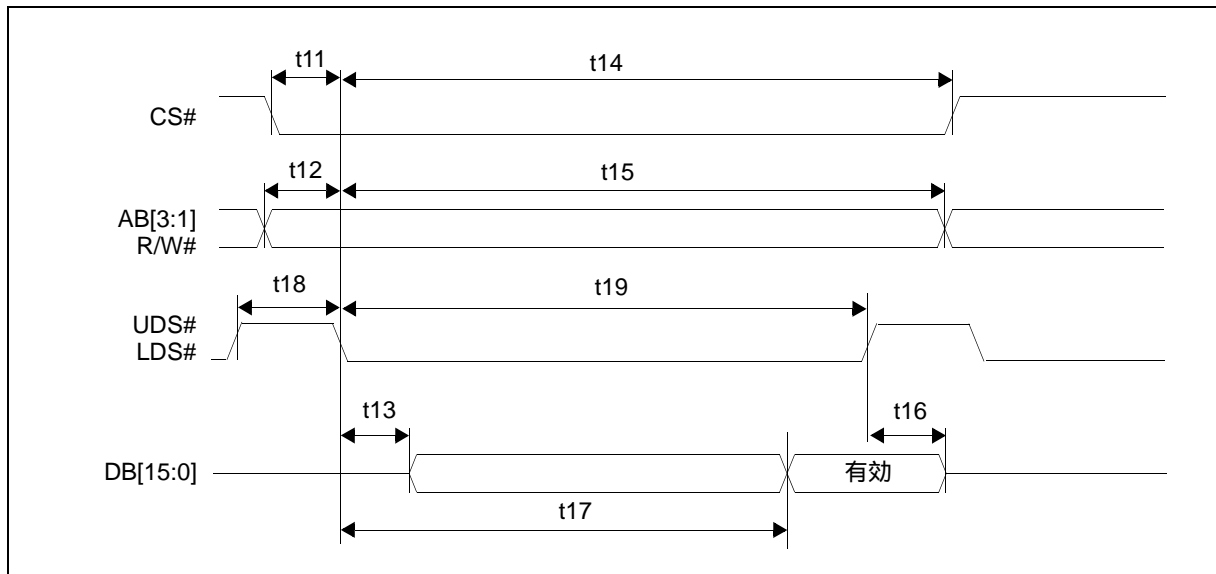


図7.12 インダイレクト68の読み出しサイクルにおけるシングルアクセスタイミング

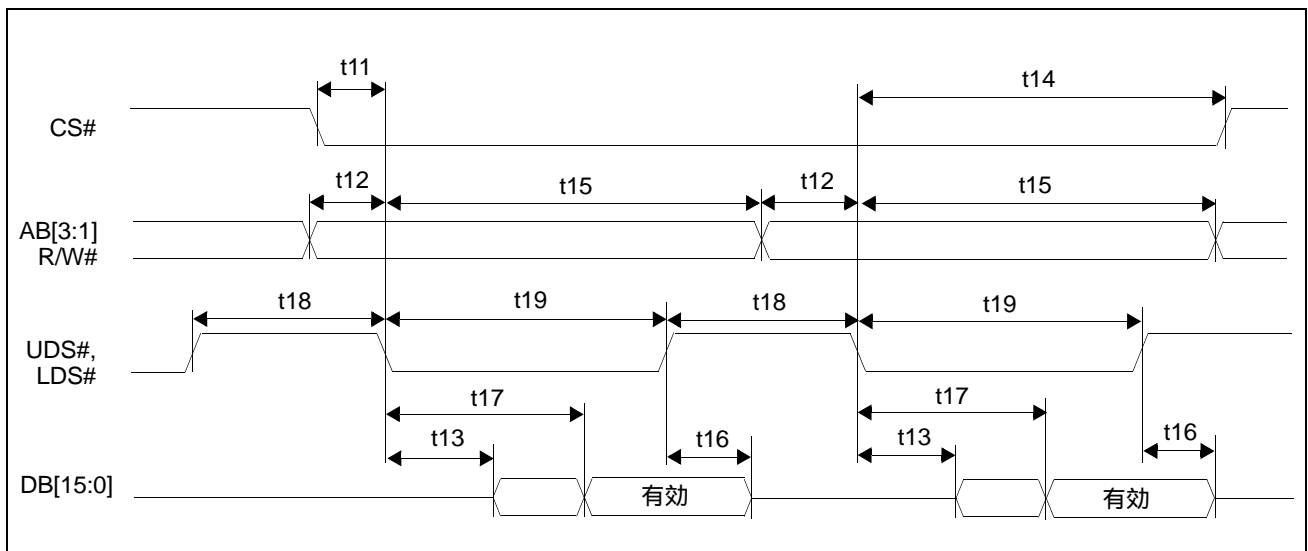


図7.13 インダイレクト68の読み出しサイクルにおけるバーストアクセスタイミング

注

本仕様書に記載するインダイレクト68インタフェースの読み出しサイクルタイミングは暫定的なものであり、今後変更される可能性があります。

表7.8 インダイレクト68読み出しサイクルタイミング

記号	パラメータ	HIOVDD = 1.8V		HIOVDD = 2.8V または3.3V		単位
		Min	Max	Min	Max	
t11	CS#のセットアップ時間	5	—	5	—	ns
t12	AB[3:1],R/W#セットアップ時間	5	—	5	—	ns
t13	UDS#,LDS#立ち下がりエッジからDB[15:0]の駆動まで	4	—	3	—	ns
t14	CS#ホールド時間(UDS#,LDS#立ち下がりエッジから)	1	—	1	—	Ts (注1)
t15	AB[3:1],R/W#ホールド時間 (UDS#,LDS#立ち下がりエッジから)	1	—	1	—	Ts
t16	DB[15:0]ホールド時間 (UDS#,LDS#立ち上がりエッジから)	2	11	2	10	ns
t17	UDS#,LDS#立ち下がりエッジから有効データまで	—	27	—	22	ns
t18	UDS#,LDS#パルス非アクティブ時間	1	—	1	—	Ts
t19	UDS#,LDS#パルスアクティブ時間	2	—	2	—	Ts

注

1. Ts = システムクロック周期

7. AC特性

7.4 LCDインタフェースタイミング

7.4.1 汎用TFTパネルのタイミング

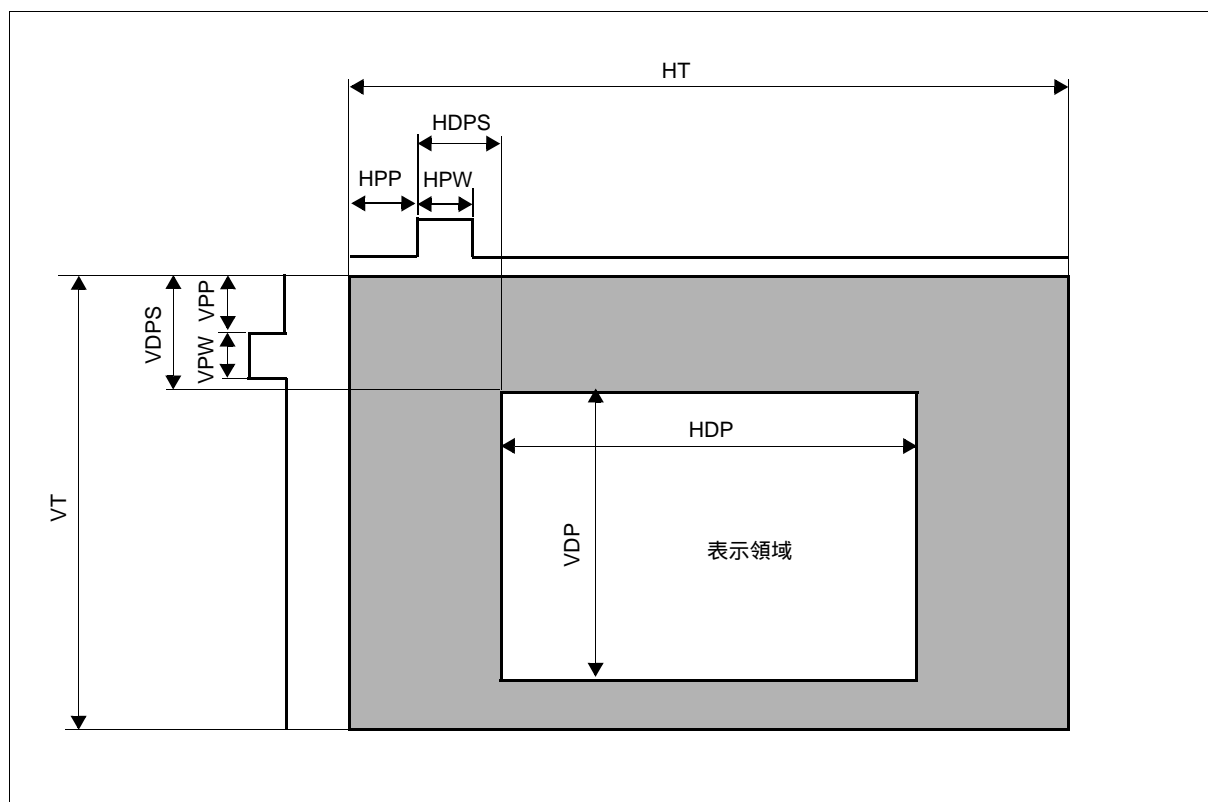


図7.14 汎用TFTパネルのタイミング

表7.9 汎用TFTパネルのタイミング

記号	説明	設定場所	単位
HT	全水平期間 (FPLINE期間)	((REG[0040h]ビット6~0)+1)×8	PCLK
HDP	水平表示期間	((REG[0042h]ビット8~0)+1)×2	
HDPS	水平表示期間開始位置	((REG[0044h]ビット9~0)+9)	
HPW	水平パルス (FPLINE) 幅	(REG[0046h]ビット6~0)+1	
HPP	水平パルス (FPLINE) 開始位置	(REG[0048h]ビット9~0)+1	
VT	全垂直期間 (FPFRAME期間)	(REG[004Ah]ビット9~0)+1	ライン
VDP	垂直表示期間	(REG[004Ch]ビット9~0)+1	
VDPS	垂直表示期間開始位置	REG[004Eh]ビット9~0	
VPW	垂直パルス (FPFRAME) 幅	(REG[0050h]ビット2~0)+1	
VPP	垂直パルス (FPFRAME) 開始位置	REG[0052h]ビット9~0	

注

- すべてのパネルタイミングに、以下の式が成り立たなければなりません。
 $HDPS + HDP < HT$
 $VDPS + VDP < VT$

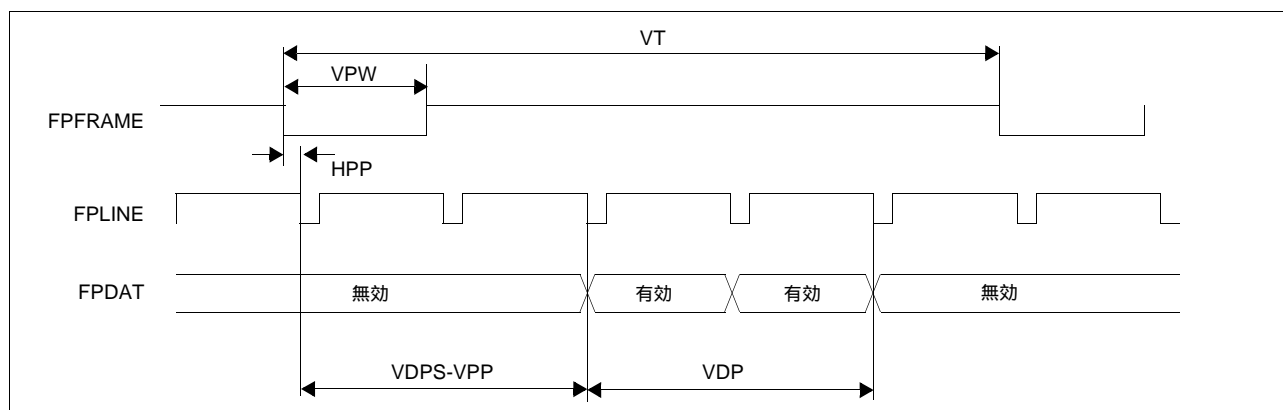


図7.15 汎用TFT垂直タイミング

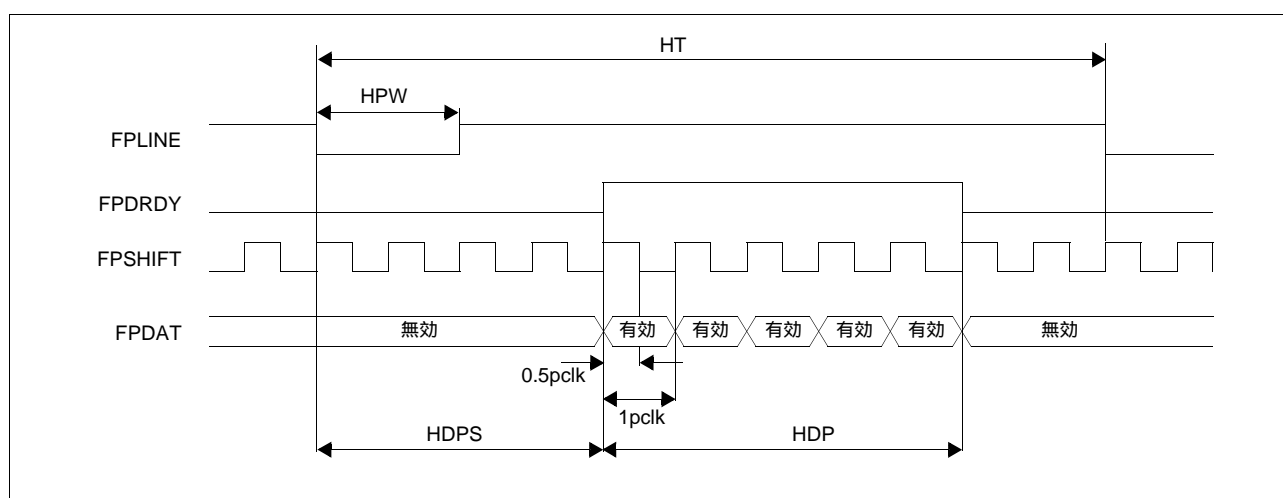


図7.16 汎用TFT水平タイミング

7. AC特性

7.4.2 LCD1 ND-TFDならびにLCD1用8ビットシリアルインタフェースのタイミング

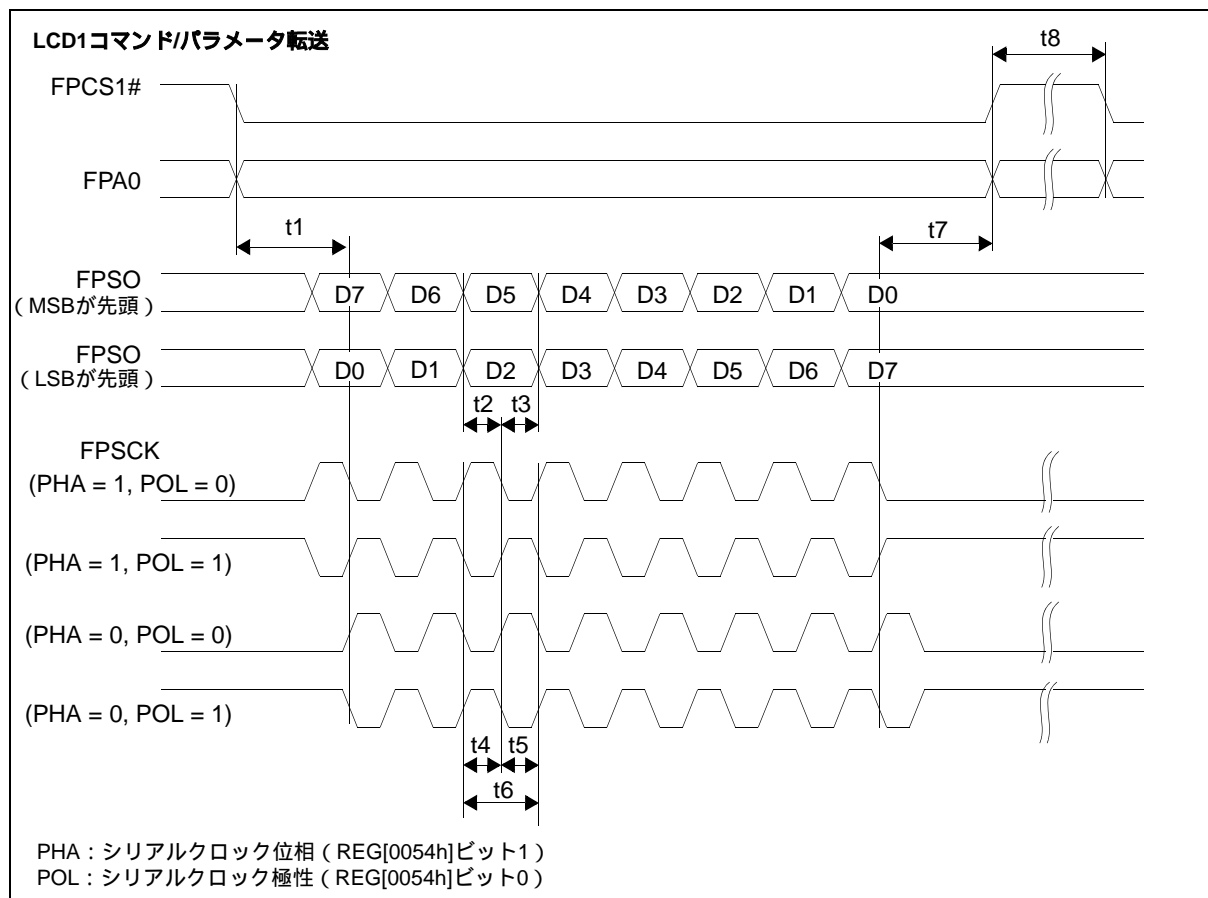


図7.17 LCD1 ND-TFDならびにLCD1/用8ビットシリアルインタのフェースタイミング

表7.10 LCD1 ND-TFDならびにLCD1/用8ビットシリアルインタフェースのタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1.5	—	Ts (注1)
t2	データセットアップ時間	—	0.5	—	Ts
t3	データホールド時間	—	0.5	—	Ts
t4	シリアルクロックLow (High) パルス幅	—	0.5	—	Ts
t5	シリアルクロックHigh (Low) パルス幅	—	0.5	—	Ts
t6	シリアルクロック周期	—	1.0	—	Ts
t7	コマンド/パラメータ転送のチップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	(注2)	—	Ts

注

1. Ts = シリアルクロック周期
2. この設定はソフトウェアに依存します。

7.4.3 LCD1 ND-TFDならびにLCD1/用9ビットシリアルインタフェースのタイミング

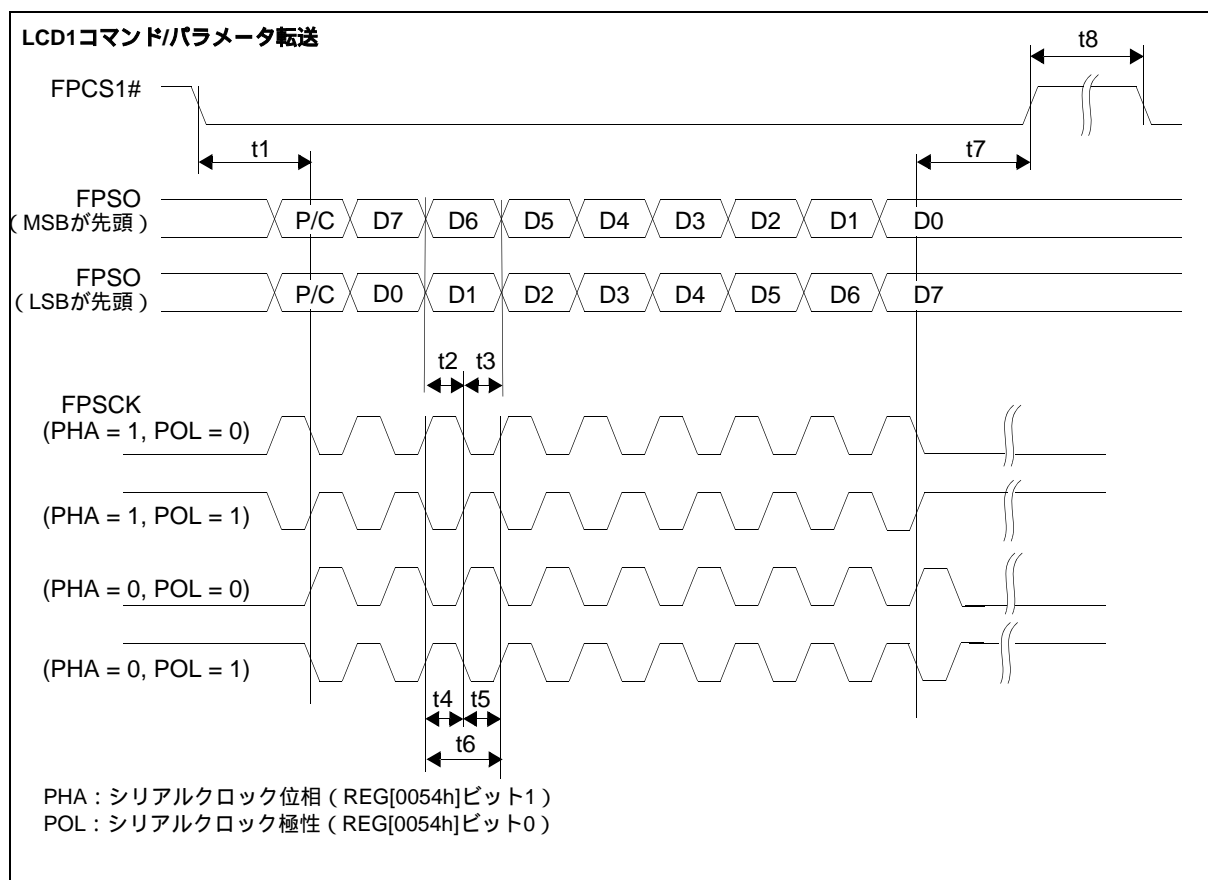


図7.18 LCD1 ND-TFDならびにLCD1/用9ビットシリアルインタフェースのタイミング

表7.11 LCD1 ND-TFDならびにLCD1/用9ビットシリアルインタフェースのタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1.5	—	Ts (注1)
t2	データセットアップ時間	—	0.5	—	Ts
t3	データホールド時間	—	0.5	—	Ts
t4	シリアルクロックLow (High) パルス幅	—	0.5	—	Ts
t5	シリアルクロックHigh (Low) パルス幅	—	0.5	—	Ts
t6	シリアルクロック周期	—	1	—	Ts
t7	チップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	(注2)	—	Ts

注

1. Ts = シリアルクロック周期
2. この設定はソフトウェアに依存します。

7. AC特性

7.4.4 LCD1 uWireシリアルインタフェースのタイミング

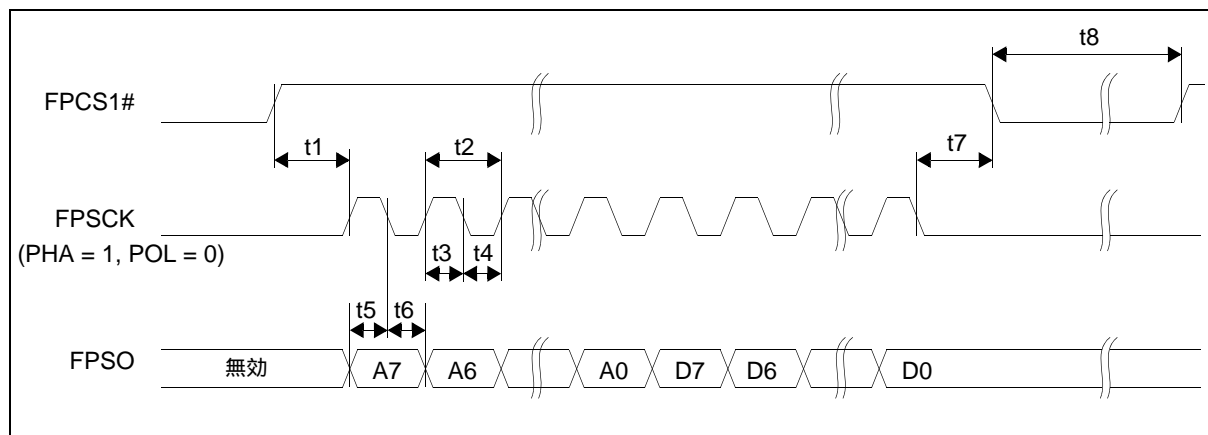


図7.19 LCD1 uWireシリアルインタフェースのタイミング

表7.12 LCD1 uWireシリアルインタフェースのタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1	—	Ts (注1)
t2	シリアルクロック周期	—	1	—	Ts
t3	シリアルクロックLowパルス幅	—	0.5	—	Ts
t4	シリアルクロックHighパルス幅	—	0.5	—	Ts
t5	データセットアップ時間	—	0.5	—	Ts
t6	データホールド時間	—	0.5	—	Ts
t7	チップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	(注2)	—	Ts

注

1. Ts = シリアルクロック周期
2. この設定はソフトウェアに依存します。

注

uWireパネルを選択している(REG[0054h]ビット7~5 = 10x)場合、最初のuWire転送が開始されるまでFPCS1#はアイドル状態においてHighとなります。最初の転送が行われたあと、FPCS1#はアイドル状態においてLowとなります。

7.4.5 LCD1用パラレルインタフェース (80)

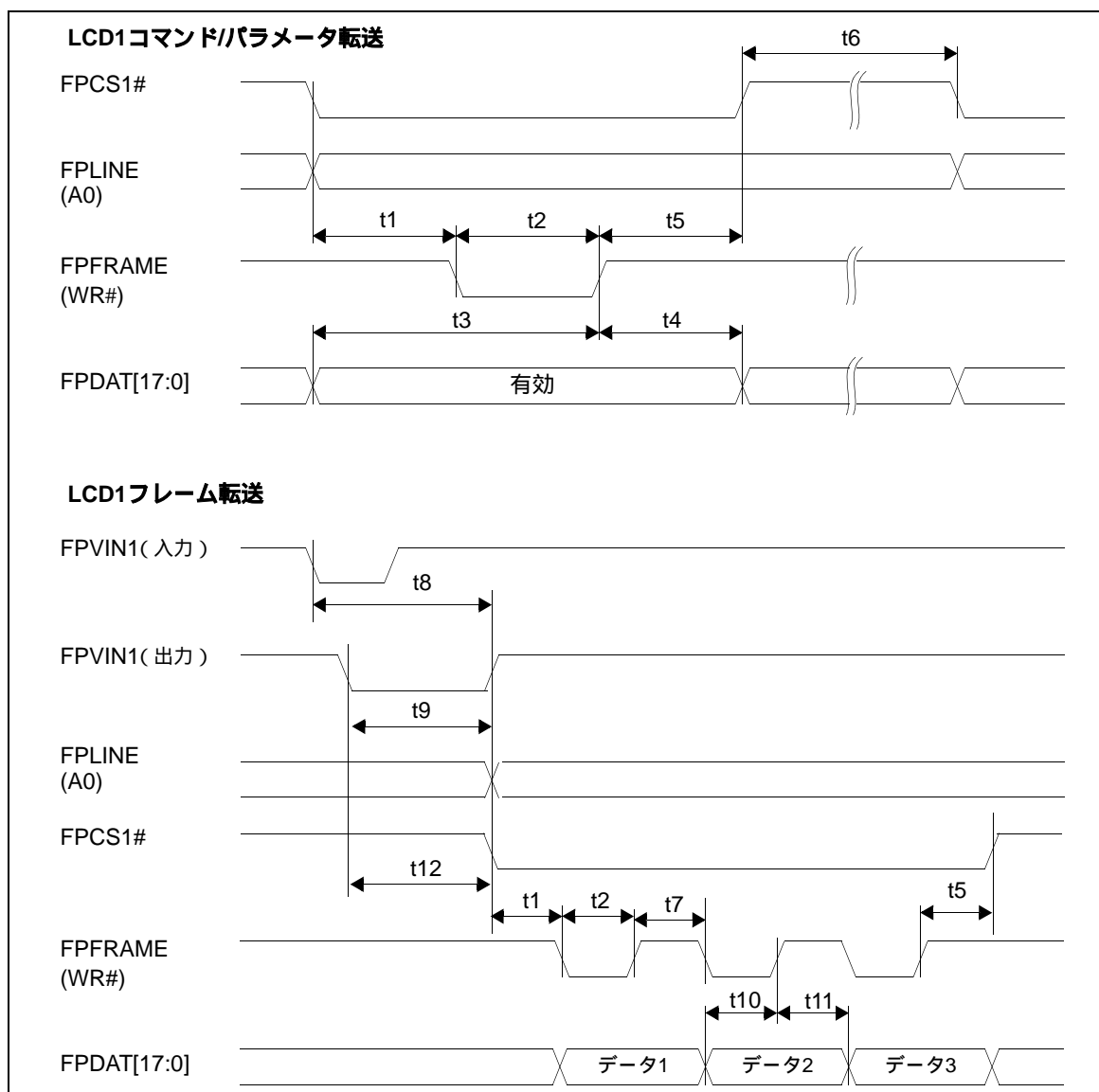


図7.20 LCD1用パラレルインタフェースのタイミング (80)

7. AC特性

表7.13 LCD1用パラレルインタフェースのタイミング (80)

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択立ち下がりエッジからFPFRAME立ち下がりエッジまで	—	1	—	Tp (注1)
t2	FPFRAMEのLow期間	—	1	—	Tp
t3	データセットアップ時間	—	2	—	Tp
t4	データホールド時間	—	1	—	Tp
t5	FPFRAME立ち上がりエッジからチップ選択立ち上がりエッジまで	—	1	—	Tp
t6	チップ選択ディアサートからリアサートまで	—	0	—	Tp
t7	バーストサイクルにおけるFPFRAMEのHigh期間	—	1	—	Tp
t8	FPVIN (入力) 立ち下がりエッジからチップ選択立ち下がりエッジまで	—	51	—	Tp
t9	FPVIN (出力) のLow期間	—	(注2)	—	Tp
t10	バーストサイクルにおけるデータセットアップ時間	—	1	—	Tp
t11	バーストサイクルにおけるデータホールド時間	—	1	—	Tp
t12	FPVIN (出力) 立ち下がりエッジからFPCS#立ち下がりエッジまで	—	(注3)	—	Tp

注

1. Tp = ピクセルクロック周期
2. t9typ = REG[0068h]ビット15~8×2 (LCD1のとき)
3. t12typ = REG[0068h]ビット7~0×2 (LCD1のとき)

7.4.6 LCD1用パラレルインタフェース (68)

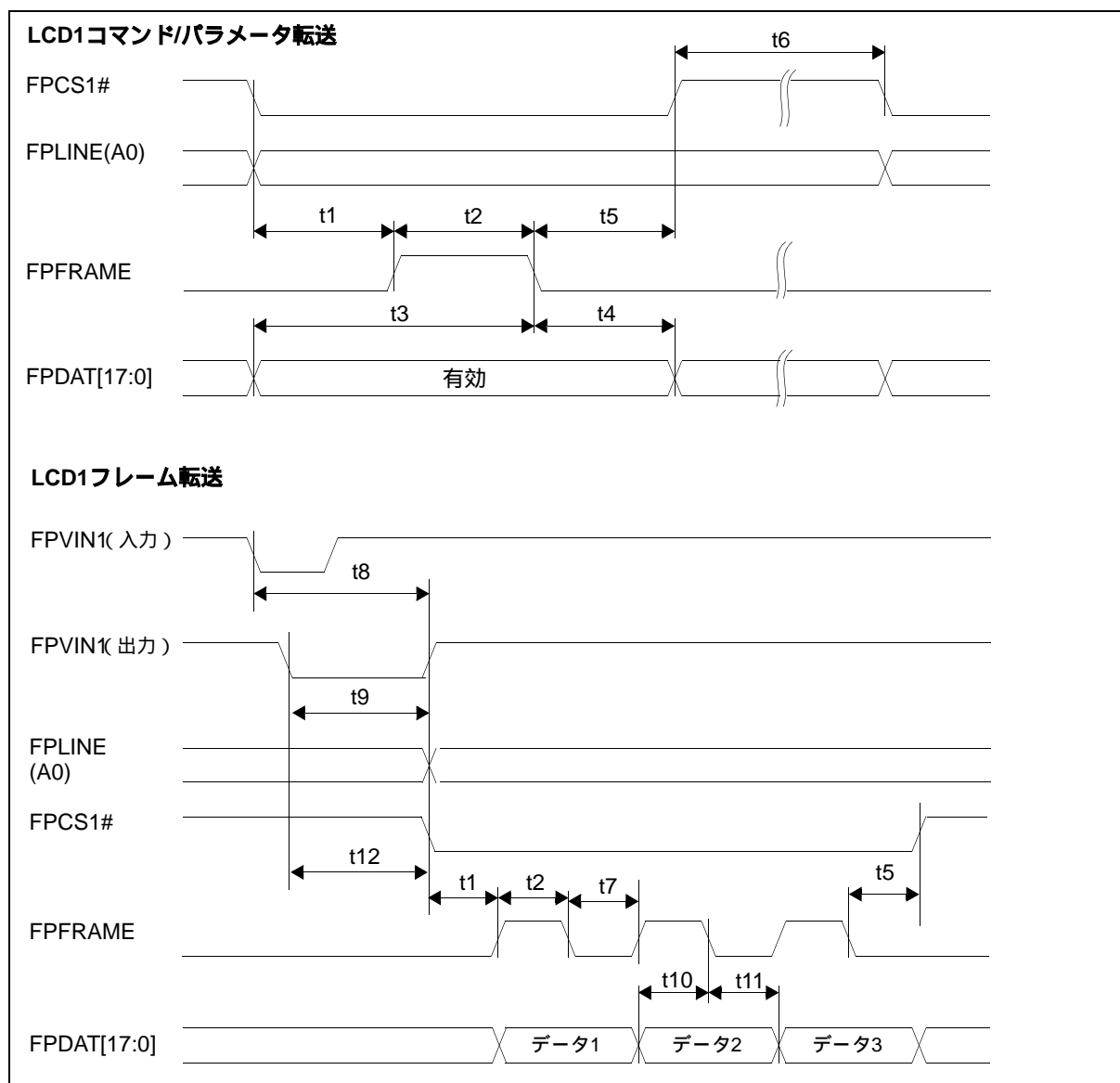


図7.21 LCD1用パラレルインタフェースのタイミング (68)

7. AC特性

表7.14 LCD1用パラレルインタフェースのタイミング (68)

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択立ち下がりエッジからFPFRAME立ち上がりエッジまで	—	1	—	Tp
t2	FPFRAMEのHigh期間	—	1	—	Tp
t3	データセットアップ時間	—	2	—	Tp
t4	データホールド時間	—	1	—	Tp
t5	FPFRAME立ち下がりエッジからチップ選択立ち上がりエッジまで	—	1	—	Tp
t6	チップ選択ディアサートからリアサートまで	—	0	—	Tp
t7	バーストサイクルにおけるイネーブル信号Low期間	—	1	—	Tp
t8	FPVIN (入力) 立ち下がりエッジからチップ選択立ち下がりエッジまで	—	51	—	Tp
t9	FPVIN (出力) のLow期間	—	(注2)	—	Tp
t10	バーストサイクルにおけるデータセットアップ時間	—	1	—	Tp
t11	バーストサイクルにおけるデータホールド時間	—	1	—	Tp
t12	FPVIN (出力) 立ち下がりエッジからFPCS#立ち下がりエッジまで	—	(注3)	—	Tp

注

1. Tp = ピクセルクロック周期
2. t9typ = REG[0068h]ビット15 ~ 8 × 2 (LCD1のとき)
3. t12typ = REG[0068h]ビット7 ~ 0 × 2 (LCD1のとき)

7.4.7 LCDバイパスのタイミング

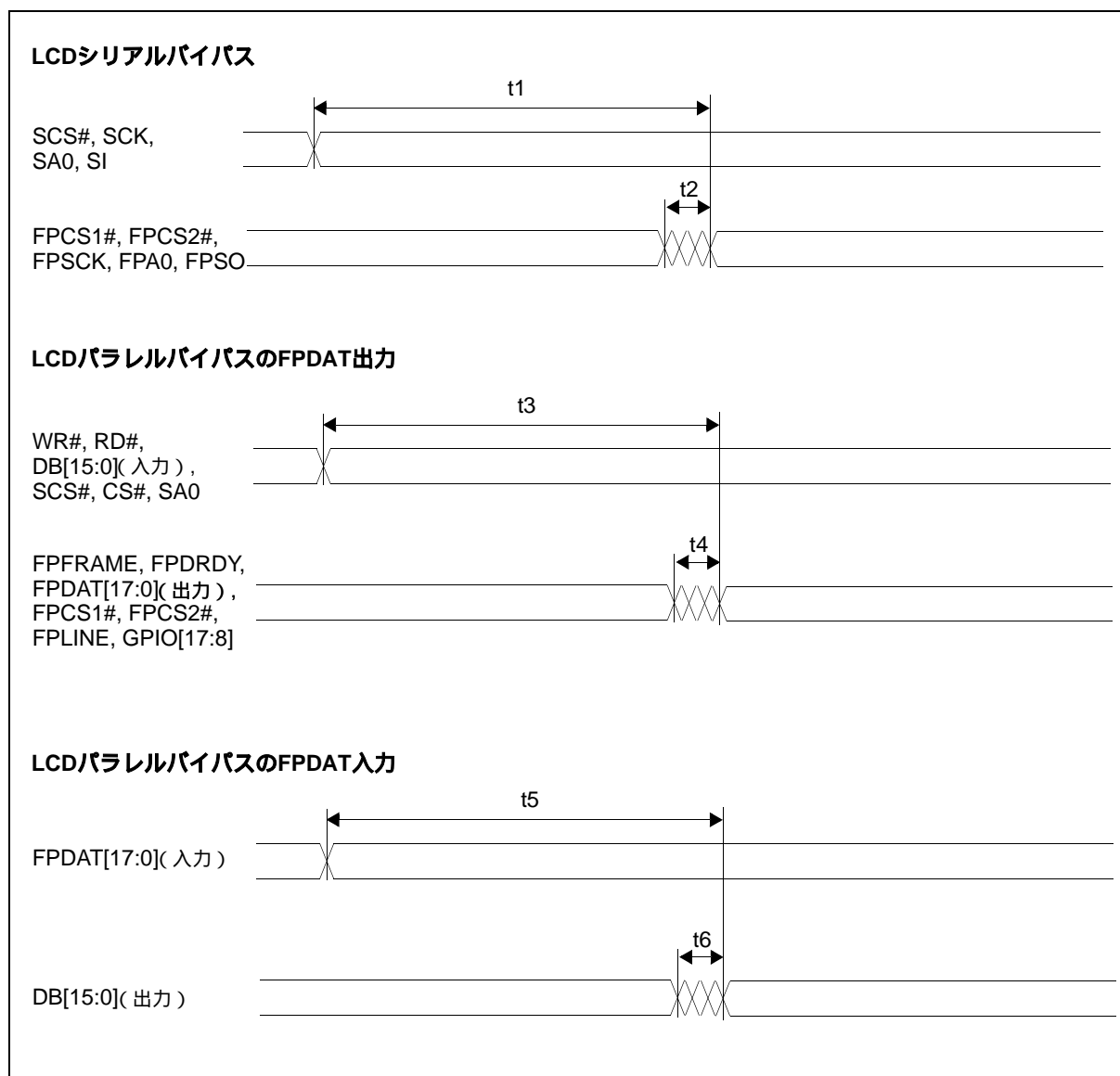


図7.22 LCDバイパスタイミング

表7.15 LCDバイパスタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	LCDシリアルバイパスにおける遅延時間	3	—	18	ns
t2	LCDシリアルバイパスにおける安定時間	—	—	7	ns
t3	LCDパラレル出力バイパスにおける遅延時間	3	—	19	ns
t4	LCDパラレル出力バイパスにおける安定時間	—	—	7	ns
t5	LCDパラレル入力バイパスにおける遅延時間	3	—	18	ns
t6	LCDパラレル入力バイパスにおける安定時間	—	—	7	ns

8. メモリ

8. メモリ

8.1 物理メモリ

S1D13748は1024KBのSRAMを内蔵しています。このSRAMは8つの128KBバンクで構成されます。各バンクには連続アドレスが対応します。

メモリは表示バッファに使用され、以下の画像データを保存できます。

- LCD1に用いるメイン1ウインドウの画像データ
- LCD1に用いるメイン2ウインドウの画像データ
- LCD1に用いるPIP1ウインドウの画像データ
- LCD1に用いるPIP2ウインドウの画像データ

S1D13748の物理メモリのアドレス割り当てを下の図に示します。

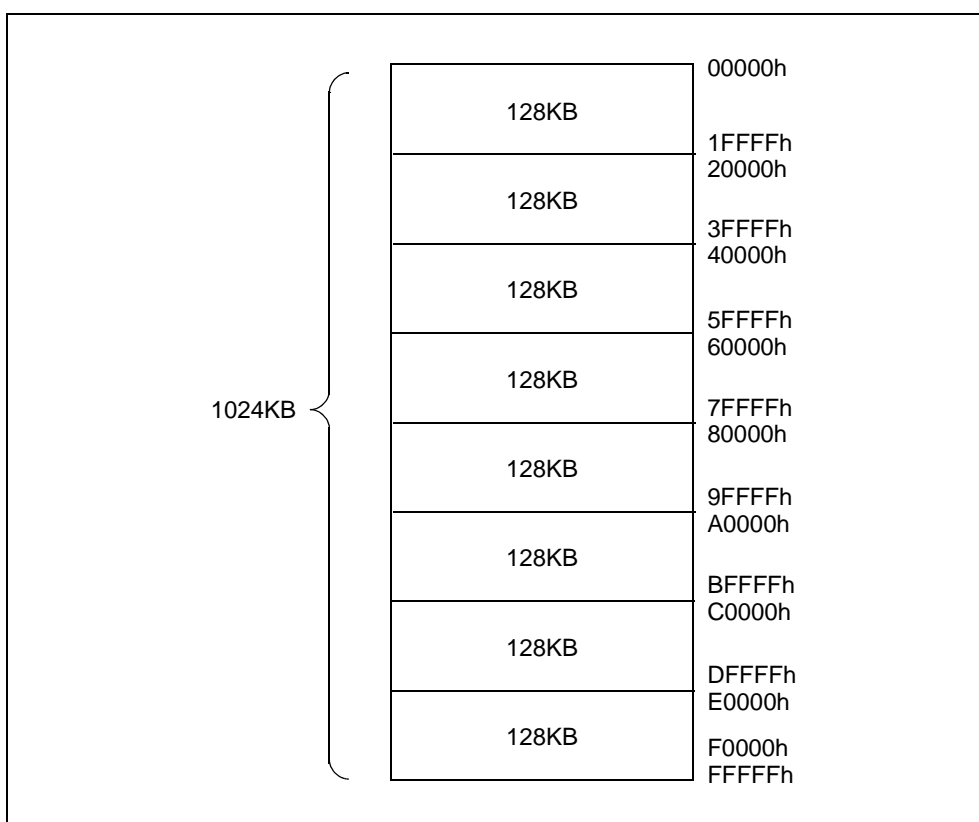


図8.1 物理メモリ

8.2 メモリマップ例

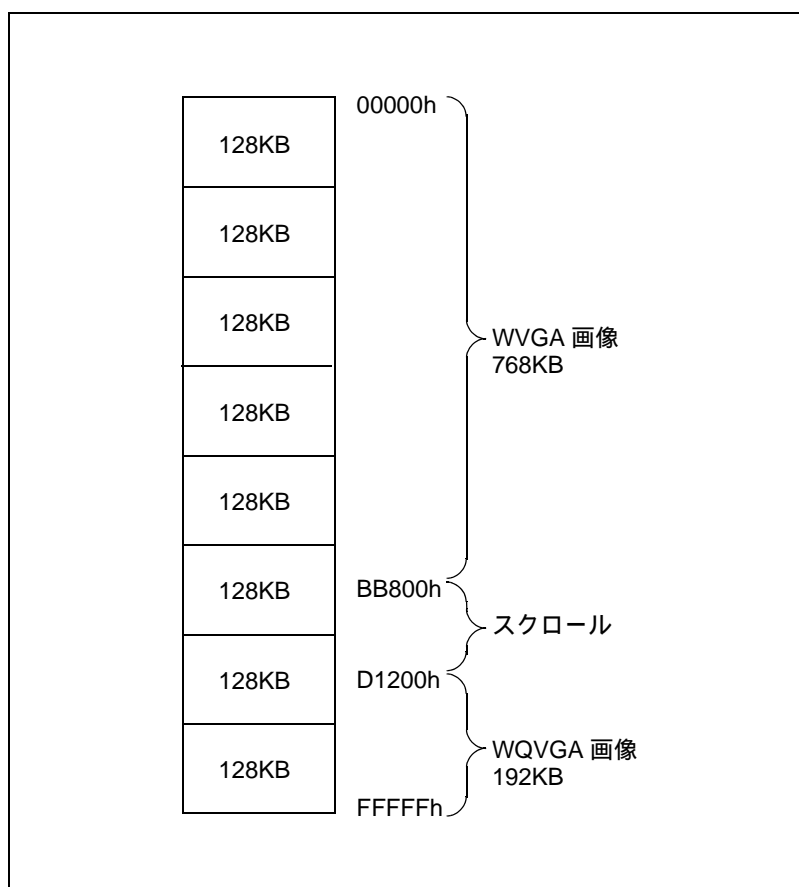


図8.2 WVGA表示のメモリマップ

8. メモリ

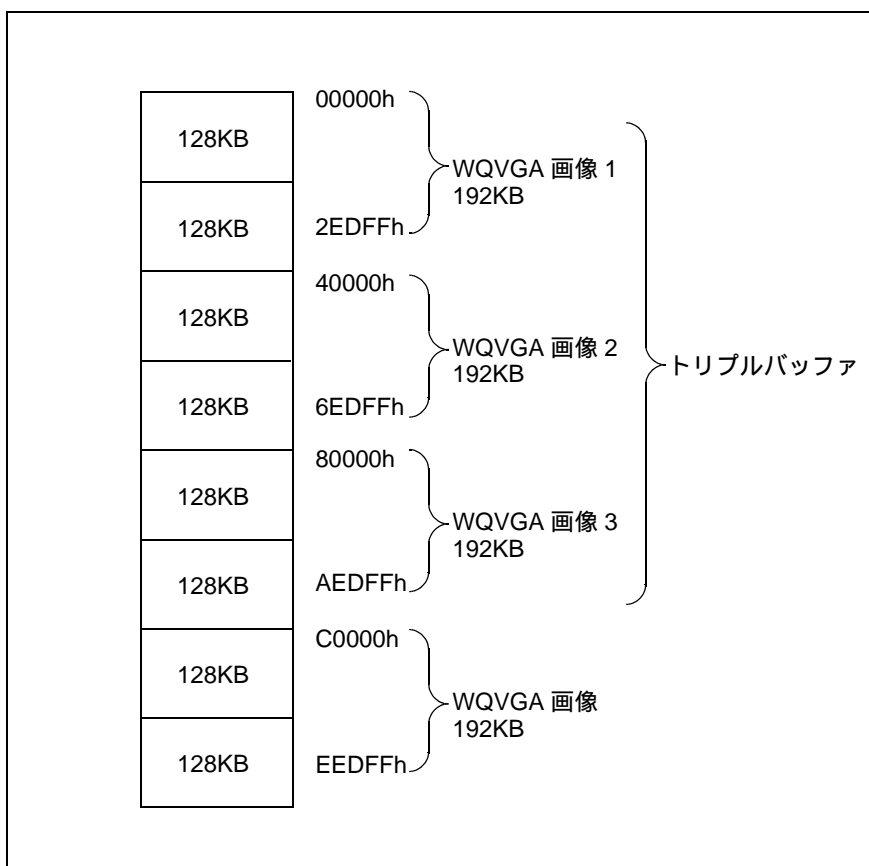


図8.3 トリプルバッファ構成のWQVGA表示に対応するメモリマップ

9. クロック

9.1 クロック図

S1D13748のクロックツリーを下図に示します。必要なすべての内部クロックはシステムクロック (SYSCLK) をもとに分周されます。

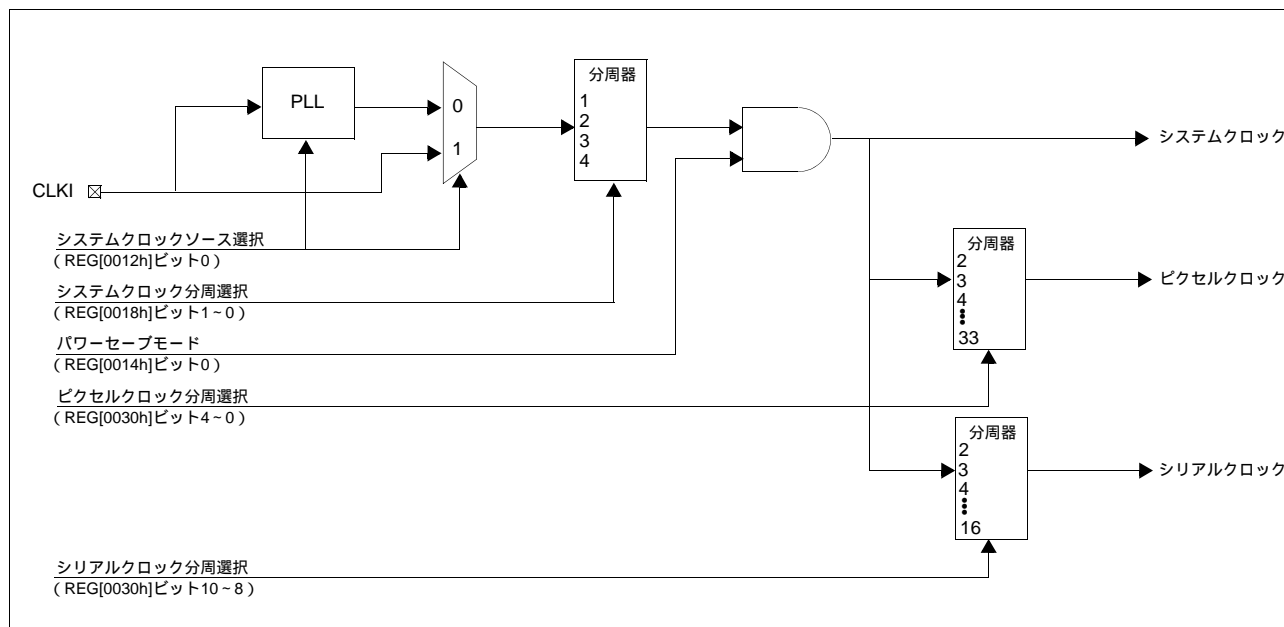


図9.1 クロックツリー図

9.2 内部クロックの説明

9.2.1 システムクロック

システムクロック (SYSCLK) は、S1D13748の内部メインクロックに使用されます。システムクロックソースは、REG[0012h]ビット0を使って内部PLLまたは外部クロック入力 (CLKI) から選択できます。システムクロックソースはシステムクロック分周選択のビット群 (REG[0018h]ビット1~0) を用いて分周できます。分周したシステムクロックは、ピクセルクロックとシリアルクロックのソースクロックになります。

9.2.2 ピクセルクロック

ピクセルクロック (PCLK) はLCD1用シフトクロックとして使用され、RGB型パネルおよびLCD1用パラレルインタフェースタイミングに用いられます。ピクセルクロックソースは常にシステムクロックです。これはピクセルクロック分周選択のビット群 (REG[0030h]ビット4~0) を用いて分周できます。

9.2.3 シリアルクロック

シリアルクロック (SCLK) は、LCD1用シリアルインタフェースに使用されます。シリアルクロックソースは常にシステムクロックです。これはシリアルクロック分周選択のビット群 (REG[0030h]ビット10~8) を用いて分周できます。

9. クロック

9.3 PLL

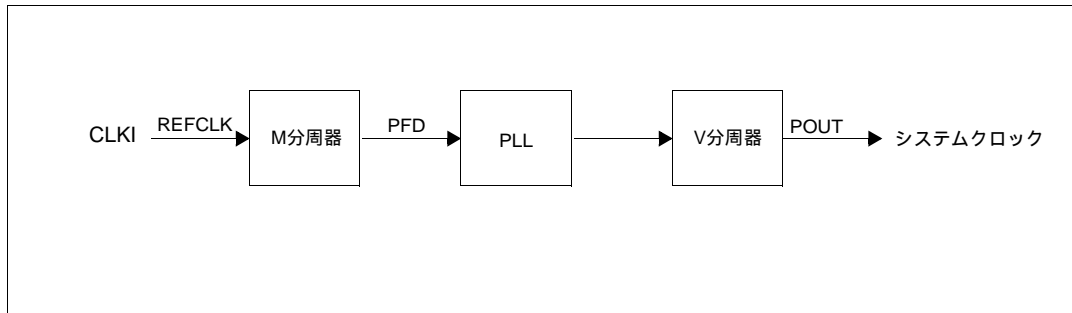


図9.2 PLLの機能ブロック図

REFCLK入力周波数	1 ~ 33MHz
PFD周波数	1 ~ 2MHz
POUT出力周波数	33 ~ 58MHz
周期ジッタ	± 2%
ロックイン時間	1ms
M分周器の分周比 (REG[000Ch]ビット5~0)	1 ~ 1/33
PLLの逡倍比 (REG[000Ch]ビット14~8)	17 ~ 33
V分周器の分周比 (REG[000Eh]ビット5~4)	1あるいは1/2

10. レジスタ

この章では、S1D13748のレジスタにアクセスする方法およびアクセスする場所について説明します。各レジスタのレイアウトと使用方法についても詳しく説明します。

10.1 レジスタマッピング

S1D13748のレジスタはメモリマップされています。非同期レジスタはいつでもアクセス可能です。同期レジスタは、パワーセーブモードがディセーブルされている場合にのみアクセスできます。これは、REG[0014h]ビット0=0の場合に対応します。

表10.1 S1D13748のレジスタマッピング

アドレス	タイプ	機能
0000h ~ 0006h	非同期	システム設定レジスタ
000Ch ~ 0018h	非同期	クロック設定レジスタ
0030h ~ 003Ch	同期	LCDインタフェース設定レジスタ
0040h ~ 0064h	同期	LCD1設定レジスタ
0068h ~ 00FEh	同期	拡張パネル設定レジスタ
0180h ~ 019Ah	同期	ホストインタフェースレジスタ
0200h ~ 0252h	同期	表示設定レジスタ
0260h ~ 0292h	同期	PIP1ウインドウ設定レジスタ
02A0h ~ 02E2h	同期	PIP2ウインドウ設定レジスタ
0300h ~ 031Ah	非同期	GPIOレジスタ
0400h ~ 0502h	同期	LUTレジスタ
0A00h ~ 0A04h	同期	割り込み制御レジスタ

10. レジスタ

10.2 レジスタセット

S1D13748レジスタを以下の表にまとめます。

表10.2 S1D13748レジスタセット

システム設定レジスタ			
REG[0000h] Product Information Register 0	65	REG[0002h] Product Information Register 1	65
REG[0004h] Configuration Pin Status Register	65	REG[0006h]は予約レジスタです。	66
クロック設定レジスタ			
REG[000Ch] PLL Setting Register 0	67	REG[000Eh] PLL Setting Register 1	68
REG[0010h] PLL Setting Register 2	68	REG[0012h] PLL Setting Register 3	69
REG[0014h] Miscellaneous Configuration Register	70	REG[0016h] Software Reset Register	72
REG[0018h] System Clock Setting Register	73		
LCDインタフェース設定レジスタ			
REG[0030h] LCD Interface Clock Setting Register	74	REG[0032h] LCD Interface Configuration Register	76
REG[0034h] LCD Interface Command Register	78	REG[0036h] LCD Interface Parameter Register	78
REG[0038h] LCD Interface Status Register	79	REG[003Ah] LCD Interface Frame Transfer Register	79
REG[003Ch] LCD Interface Transfer Setting Register	80		
LCD1設定レジスタ			
REG[0040h] LCD1 Horizontal Total Register	81	REG[0042h] LCD1 Horizontal Display Period Register	81
REG[0044h] LCD1 Horizontal Display Period Start Position Register	82	REG[0046h] LCD1 Horizontal Pulse Register	82
REG[0048h] LCD1 Horizontal Pulse Start Position Register	82	REG[004Ah] LCD1 Vertical Total Register	83
REG[004Ch] LCD1 Vertical Display Period Register	83	REG[004Eh] LCD1 Vertical Display Period Start Position Register	83
REG[0050h] LCD1 Vertical Pulse Register	84	REG[0052h] LCD1 Vertical Pulse Start Position Register	84
REG[0054h] LCD1 Serial Interface Setting Register	84	REG[0056h] LCD1 Parallel Interface Setting Register	85
拡張パネル設定レジスタ			
REG[0068h] LCD1 Vsync Output Register	88	REG[006Ah]は予約レジスタです。	
REG[0070h]からREG[0074h]までは予約レジスタです。		REG[00FEh]は予約レジスタです。	
ホストインタフェースレジスタ			
REG[0180h] Host Interface Configuration Register	90	REG[0182h] Memory Start Address Register 0	92
REG[0184h] Memory Start Address Register 1	92	REG[0186h] HWC Memory Rectangular Write Address Offset Register	93
REG[0188h] HWC Memory Rectangular Write Horizontal Size Register	93	REG[018Ah] HWC Memory Rectangular Write Vertical Size Register	93
REG[018Ch] Memory Access Port Register	94	REG[018Eh] HWC Raw Status Register	94
REG[0190h] HWC Interrupt Control Register	95	REG[0192h] HWC Status Register	97
REG[0194h] Memory Rectangular Write Address Offset Register	98	REG[0196h] Memory Rectangular Write Address Width Register	98
REG[0198h] VOUT Configuration Register	99	REG[019Ah]は予約レジスタです。	
表示設定レジスタ			
REG[0200h] Display Mode Setting Register 0	101	REG[0202h] Display Mode Setting Register 1	102
REG[0204h] Transparency and Alpha Blend Control Register	105	REG[0206h] Background Color Setting Register	106
REG[0208h] Alpha Blend Ratio Setting Register	107	REG[020Ch] PIP1 Window Transparency Key Color Register	109
REG[020Eh] PIP2 Window Transparency Key Color Register	109	REG[0210h] Alpha Blend 1 Key Color Register	110
REG[0212h] Alpha Blend 2 Key Color Register	110	REG[0214h] Alpha Blend 3 Key Color Register	111
REG[0216h] Alpha Blend 4 Key Color Register	111	REG[0218h] Main1 Window X Start Position Register	111
REG[021Ah] Main1 Window Y Start Position Register	112	REG[0220h] Main2 Window X Start Position Register	112
REG[0222h] Main2 Window Y Start Position Register	112	REG[0228h] PIP1 Window X Start Position Register	112
REG[022Ah] PIP1 Window Y Start Position Register	113	REG[022Ch] PIP1 Window X End Position Register	113
REG[022Eh] PIP1 Window Y End Position Register	113	REG[0230h] PIP2 Window X Start Position Register	114
REG[0232h] PIP2 Window Y Start Position Register	114	REG[0234h] PIP2 Window X End Position Register	114
REG[0236h] PIP2 Window Y End Position Register	115	REG[0238h] Main1 Window Scroll Start Address Register 0	115
REG[023Ah] Main1 Window Scroll Start Address Register 1	115	REG[023Ch] Main1 Window Scroll End Address Register 0	116
REG[023Eh] Main1 Window Scroll End Address Register 1	116	REG[0240h] Main1 Window Display Start Address Register 0	117

表10.2 S1D13748レジスタセット

REG[0242h] Main1 Window Display Start Address Register 1	117	REG[0244h] Main1 Window Line Address Offset Register	117
REG[0246h] Main1 Window Image Horizontal Size Register	118	REG[0248h] Main1 Window Image Vertical Size Register	118
REG[024Ah] Main2 Window Display Start Address Register 0	119	REG[024Ch] Main2 Window Display Start Address Register 1	119
REG[024Eh] Main2 Window Line Address Offset Register	119	REG[0250h] Main2 Window Image Horizontal Size Register	120
REG[0252h] Main2 Window Image Vertical Size Register	120		
PIP1ウインドウ設定レジスタ			
REG[0260h] PIP1 Scaling Mode Register	121	REG[0262h] PIP1 Scaler Horizontal Scale Register	122
REG[0264h] PIP1 Scaler Vertical Scale Register	123	REG[0266h] PIP1 Scaler Port Address Counter Register	125
REG[0268h] PIP1 Scaler Coefficient Table Access Port Register	126	REG[026Ah]からREG[026Ch]は予約レジスタです。	
REG[026Eh] PIP1 Scaler Control Register	127	REG[0270h] PIP1 Window Scroll Start Address Register 0	128
REG[0272h] PIP1 Window Scroll Start Address Register 1	128	REG[0274h] PIP1 Window Scroll End Address Register 0	129
REG[0276h] PIP1 Window Scroll End Address Register 1	129	REG[0278h] PIP1 Window Display Start Address Register 0	130
REG[027Ah] PIP1 Window Display Start Address Register 1	130	REG[027Ch] PIP1 Window Line Address Offset Register	130
REG[027Eh] PIP1 Source Image Horizontal Size Register	131	REG[0280h] PIP1 Source Image Vertical Size Register	131
REG[0282h] Pseudo Setting Register	132	REG[0290h]からREG[0292h]までは予約レジスタです。	
PIP2ウインドウ設定レジスタ			
REG[02A0h] PIP2 Scaling Mode Register	134	REG[02A2h] PIP2 Scaler Horizontal Scale Register	135
REG[02A4h] PIP2 Scaler Vertical Scale Register	136	REG[02A6h] PIP2 Scaler Port Address Counter Control Register	138
REG[02A8h] PIP2 Scaler Coefficient Table Access Port Register	139	REG[02AAh]からREG[02ACh]は予約レジスタです。	
REG[02AEh] PIP2 Scaler Control Register	140	REG[02B0h] PIP2 Window Scroll Start Address Register 0	140
REG[02B2h] PIP2 Window Scroll Start Address Register 1	140	REG[02B4h] PIP2 Window Scroll End Address Register 0	142
REG[02B6h] PIP2 Window Scroll End Address Register 1	142	REG[02B8h] PIP2 Window Display Start Address Register 0	143
REG[02BAh] PIP2 Window Display Start Address Register 1	143	REG[02BCh] PIP2 Window Line Address Offset Register	143
REG[02BEh] PIP2 Source Image Horizontal Size Register	144	REG[02C0h] PIP2 Source Image Vertical Size Register	144
REG[02C2h] PIP2 Panorama Area A Vertical Scale Register	144	REG[02C4h] PIP2 Panorama Area B Vertical Scale Register	145
REG[02C6h] PIP2 Panorama Area 1 Vertical Start Line Register	145	REG[02C8h] PIP2 Panorama Area 2 Vertical Start Line Register	145
REG[02CAh] PIP2 Panorama Area 3 Vertical Start Line Register	146	REG[02CCh] PIP2 Panorama Area 4 Vertical Start Line Register	146
REG[02CEh] PIP2 Linear Panorama Area Vertical Delta Register	146	REG[02E0h]からREG[02E2h]までは予約レジスタです。	
GPIOレジスタ			
REG[0300h] GPIO Configuration Register 0	148	REG[0302h] GPIO Configuration Register 1	148
REG[0304h] GPIO Input Enable Register 0	148	REG[0306h] GPIO Input Enable Register 1	148
REG[0308h] GPIO Pull-down Control Register 0	149	REG[030Ah] GPIO Pull-down Control Register 1	149
REG[030Ch] GPIO Status Register 0	149	REG[030Eh] GPIO Status Register 1	149
REG[0310h] GPIO Positive Edge Interrupt Trigger Register 0	150	REG[0312h] GPIO Positive Edge Interrupt Trigger Register 1	150
REG[0314h] GPIO Negative Edge Interrupt Trigger Register 0	150	REG[0316h] GPIO Negative Edge Interrupt Trigger Register 1	150
REG[0318h] GPIO Interrupt Status Register 0	151	REG[031Ah] GPIO Interrupt Status Register 1	151
LUTレジスタ			
REG[0400h] PIP2-LUT Address Counter Register	152	REG[0402h] PIP2-LUT Data Port Register	152
REG[0500h] LCD-LUT Address Counter Register	153	REG[0502h] LCD-LUT Data Port Register	153
割り込み制御レジスタ			
REG[0A00h] Interrupt Status Register	154	REG[0A02h] Interrupt Control Register 0	155
REG[0A04h] Interrupt Control Register 1	155		

10. レジスタ

10.3 レジスタの制限

すべての予約ビットはデフォルト値に設定してください。デフォルト値以外の値を予約ビットに書き込むと誤動作することがあります。n/aと示したビットはハードウェアに対して何ら影響を与えません。特に指定しない限り、レジスタのすべてのビットはパワーオンリセットにおいて0に設定されます。

予約レジスタには書き込まないでください。

ホストCPUは、メモリアクセスデータサポート (REG[018Ch]) を除いたすべてのレジスタアクセスに対してインデックスサイクルを発行する必要があります。これはマルチデータサイクルのバーストアクセスをサポートします。

一部のレジスタは、ある条件が整ったときにしかアクセスできません。アクセス不可タイプのレジスタに対する読み書き操作はすべて無効です。

以下のレジスタは非同期であり、いつでもアクセス可能です。

- システム設定レジスタ (REG[0000h] ~ REG[0004h])
- クロック設定レジスタ (REG[000Ch] ~ REG[0018h])
- GPIOレジスタ (REG[0300h] ~ REG[031Ah])

以下のレジスタは同期レジスタであり、パワーセーブモードがイネーブルされている間 (REG[0014h]ビット0 = 1) はアクセスできません。

- REG[0030h]からREG[0A04h]までのすべてのレジスタ(ただし、REG[0300h] ~ REG[031Ah]を除きます)

S1D13748のレジスタに対する読み書きアクセスの実行については、191ページの14.2「レジスタへのアクセス」をご覧ください。

注

レジスタのインデックス値は、読み出しサイクルごとに設定が必要です。

10.4 レジスタの説明

10.4.1 システム設定レジスタ

REG[0000h] Product Information Register 0							
Default = 0000h							
Read Only							
改訂コードビット7-0							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0

bits 15-8 改訂コードビット[7:0] (読み出し専用)
これらのビットは改訂コードを示します。
S1D13748の改訂コードは00hです。

bits 7-0 Reserved
S1D13748では、これらのビットは常に0000_0000b (00h) を返します。

REG[0002h] Product Information Register 1							
Default = 0040h							
Read Only							
製品コードビット15-8							
15	14	13	12	11	10	9	8
製品コードビット7-0							
7	6	5	4	3	2	1	0

bits 15-0 製品コードビット[15:0] (読み出し専用)
これらのビットは製品コードを示します。
S1D13748の製品コードは0040hです。

REG[0004h] Configuration Pin Status Register							
Default = 0000h							
Read/Write							
HIOVDD インタフェース 駆動レベル 15	PIOVDD インタフェース 駆動レベル 14	GIOVDD インタフェース 駆動レベル 13	n/a				
7	6	5	4	3	CNF[2:0]状態		
7	6	5	4	3	2	1	0

bit 15 HIOVDDインタフェース駆動レベル
このビットは、ホストインタフェースにおける入出力バッファの電圧レベル (HIOVDD) を指定します。
このビットが0のとき、HIOVDDは4.0mA/-4.0mA (3.3V) または3.6mA/-3.6mA (2.8V) または1.8mA/-1.8mA (1.8V) に適合します (デフォルト)。
このビットが1のとき、HIOVDDは12.0mA/-12.0mA (3.3V)、または10.8mA/-10.8mA (2.8V) または5.4mA/-5.4mA (1.8V) に適合します。

bit 14 PIOVDDインタフェース駆動レベル
このビットは、パネルインタフェースにおける入出力バッファの電圧レベル (PIOVDD) を指定します。
このビットが0のとき、PIOVDDは4.0mA/-4.0mA (3.3V)、または3.6mA/-3.6mA (2.8V) または1.8mA/-1.8mA (1.8V) に適合します (デフォルト)。
このビットが1のとき、PIOVDDは12.0mA/-12.0mA (3.3V)、または10.8mA/-10.8mA (2.8V) または5.4mA/-5.4mA (1.8V) に適合します。

10. レジスタ

- bit 13 GIOVDDインタフェース駆動レベル
このビットは、GPIOインタフェースにおける入出力バッファの電圧レベル（GIOVDD）を指定します。
このビットが0のとき、GIOVDDは4.0mA/-4.0mA（3.3V）、または3.6mA/-3.6mA（2.8V）、または1.8mA/-1.8mA（1.8V）に適合します（デフォルト）。
このビットが1のとき、GIOVDDは12.0mA/-12.0mA（3.3V）、または10.8mA/-10.8mA（2.8V）、または5.4mA/-5.4mA（1.8V）に適合します。
- bits 2-0 CNF[2:0]状態（読み出し専用）
これらのビットは、対応するS1D13748設定端子CNF[2:0]の状態を示します。この情報はRESET#の立ち上がりエッジにおいてラッチされます。各設定端子の機能の説明については、21ページの5.3「コンフィギュレーションオプションの概要」をご覧ください。

REG[0006h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

10.4.2 クロック設定レジスタ

REG[000Ch] PLL Setting Register 0								Read/Write
Default = 0000h								
n/a	Lカウンタビット6~0							
15	14	13	12	11	10	9	8	
n/a		M分周器ビット5~0						
7	6	5	4	3	2	1	0	

bits 14-8

Lカウンタビット[6:0]

これらのビットは、PLL出力（MHz）の設定に使用します。設定は以下の式に基づいて行います。

$$\begin{aligned} \text{PLL出力} &= (\text{Lカウンタ} + 1) \times \text{PLLCLK} \\ &= \text{LL} \times \text{PLLCLK} \end{aligned}$$

ただし、

PLL出力：所望のPLL出力周波数（MHz）

Lカウンタ：上記ビットの値（10進）

PLLCLK：PLLに対する内部入力クロック（MHz）

注

Lカウンタは以下の式が成り立つようにプログラムしてください。

$$10h \text{ Lカウンタ} \quad 41h$$

bits 5-0

M分周器ビット[5:0]

これらのビットは、CLKIと実際のPLLへの入力クロックとの分周比を決定します。PLLへの内部入力クロック（PLLCLK）が1MHzと2MHzの間になるようCLKIの周波数をもとに設定してください。

表10.3 M分周器の分周比

REG[000Ch]ビット5~0	M分周比
00h	1:1
01h	2:1
02h	3:1
03h	4:1
.	.
.	.
20h	33:1
21h~3Fh	Reserved

10. レジスタ

REG[000Eh] PLL Setting Register 1								Read/Write
Default = 0000h								
15	n/a	14	13	12	11	10	9	8
7	n/a	6	Vビット1~0		3	VCビット3~0		0

bits 12-8 HCPビット[4:0]
これらのビットは、PLLの設定に用いるHCP値を指定します。PLL出力が33～58MHzの場合、0_0000に設定してください。

bits 5-4 Vビット[1:0]
これらのビットは、PLLの設定に用いるV値を指定します。PLL出力が33～58MHzの場合、00に設定してください。

bits 3-0 VCビット[3:0]
これらのビットは、PLLの設定に用いるVC値を指定します。PLL出力が33～58MHzの場合、0010に設定してください。

REG[0010h] PLL Setting Register 2								Read/Write
Default = 0000h								
HLOCK	X2	HG	OSCS	11	RSビット3~0			8
15	14	13	12		10	9		
7	n/a	6	5	4	3	CPビット4~0		0

bit 15 HLOCK
このビットは、PLLの設定に用いるHLOCK値を指定します。PLL出力が33～58MHzの場合、0に設定してください。

bit 14 X2
このビットは、PLLの設定に用いるX2値を指定します。PLL出力が33～58MHzの場合、0に設定してください。

bit 13 HG
このビットは、PLLの設定に用いるHG値を指定します。PLL出力が33～58MHzの場合、0に設定してください。

bit 12 OSCS
このビットは、PLLの設定に用いるOSCS値を指定します。PLL出力が33～58MHzの場合、0に設定してください。

bits 11-8 RS bits [3:0]
これらのビットは、PLLの設定に用いるRS値を指定します。PLL出力が33～58MHzの場合、1000に設定してください。

bits 4-0 CP bits [4:0]
これらのビットは、PLLの設定に用いるCP値を指定します。PLL出力が33～58MHzの場合、1_0000に設定してください。

REG[0012h] PLL Setting Register 3							Read/Write
Default = 0001h							
15	14	13	12	11	10	9	CLKI入力制御 8
7	6	5	4	3	2	1	システムクロック ソース選択 0

注

上記ビットを設定する前にパワーセーブモードをイネーブルしてください (REG[0014h]ビット0 = 1)。

bit 8

CLKI入力制御

PLLがディセーブル (REG[0012h]ビット0 = 1) されている場合、このビットを使えば節電のためにCLKI入力を停止することができます。その場合、CLKIをハイインピーダンスのまま維持できます。

このビットが0かつPLLがディセーブルされているとき、CLKI入力はイネーブルされています。

このビットが1かつPLLがディセーブルされているとき、CLKI入力はディセーブルされています。

bit 0

システムクロックソース選択

このビットは内蔵PLLを制御し、システムクロック (SYSCLK) ソースを指定します。このビットをイネーブルするときは、PLL基準クロックを供給したうえで、PLL設定レジスタ (REG[000Ch] ~ REG[0010h]) を用いてPLLの設定をあらかじめ行ってください。クロック構成の詳細については59ページの9.「クロック」をご覧ください。

このビットが0のとき、PLLはイネーブルされ、CLKI入力をPLL基準クロックとして使用します。この場合、PLL出力がシステムクロック分周器の入力ソースになります。

このビットが1のとき、PLLはディセーブルされます (デフォルト)。この場合、外部クロック (CLKI) がシステムクロック分周器の入力ソースになります。

注

- このビットを変更するにはCLKIソース (外部CLKIまたはPLL基準クロック) が必要です。
- PLL 基準クロック (CLKI 入力) を停止するには、PLL をディセーブル (REG[0012h]ビット0 = 1) したあとで100 μ sの遅延を取ってください。
- PLL出力が安定化するまでに最大1msの遅延が必要なことがあります。その間はS1D13748にアクセスしないでください。

10. レジスタ

REG[0014h] Miscellaneous Configuration Register							Read/Write
Default = 04D1h							
Reserved	パラレルバイパス プルダウン制御	パラレルバイパス 方向制御	LCDバイパス イネーブル	LCDバイパスモード選択ビット3~0			
15	14	13	12	11	10	9	8
VNDP状態 (RO)	メモリパワーセーブ 状態 (RO)	n/a	バイパス入力 プルアップ/ダウン 制御	パラレルバイパス チップ選択モード	n/a		パワーセーブモード イネーブル
7	6	5	4	3	2	1	0

bit 15 Reserved

デフォルト値は0です。

bit 14

パラレルバイパスプルダウン制御

このビットは、パラレルバイパスモード (REG[0014h]ビット13を参照) においてFPDAT[17:0]が入力に設定されているときに、プルダウン抵抗を制御します。なお、GPIO[23:18]端子に対応するFPDAT[23:18] (23ページの5.5「LCDインタフェースの端子割り付け」を参照) は、このビットの影響を受けません。FPDAT[17:0]が出力に設定されているとき、このビットは何の効果も持たず、プルダウン抵抗はディセーブルされます。

このビットが0のとき、プルダウン抵抗はディセーブルされます (デフォルト)。このビットが1のとき、プルダウン抵抗はイネーブルされます。

注

LCDバイパスモードをイネーブル (REG[0014h]ビット12 = 1) にするときは、DB[15:0]入力は浮動状態またはHi-Zのままにしてください。

bit 13

パラレルバイパス方向制御

パラレルバイパスモードがイネーブル (REG[0014h]ビット11~8を参照) のとき、このビットはFPDAT[17:0]を入力か出力のいずれかに設定します。端子割り付けについては、23ページの5.5「LCDインタフェースの端子割り付け」をご覧ください。

このビットが0のとき、FPDAT[17:0]は出力です (デフォルト)。

このビットが1のとき、FPDAT[17:0]は入力です。

注

パラレルバイパスモードI (REG[0014h]ビット11~8 = 1000) は、パネルからの読み出しに対応していません。またパラレルバイパス方向制御ビットを入力に設定する (REG[0014h]ビット13 = 1) ことはサポートされていません。

bit 12

LCDバイパスイネーブル

このビットは、LCDバイパスモードの制御を行います。LCDバイパスモードをイネーブルにする前に、LCDバイパスに関するすべての設定を行ってください。このビットが0のとき、LCDバイパスモードはディセーブルされます (デフォルト)。

このビットが1のとき、LCDバイパスモードはイネーブルされます。

注

LCDインタフェースが使用中 (REG[0038h]ビット0 = 1) のときは、このビットをイネーブルにしないでください。

bits 11-8

LCDバイパスモード選択ビット[3:0]

これらのビットは、LCDバイパスモードの選択を下記の要領で行います。LCDバイパスモードに用いる端子の概要については、24ページの5.6「LCDバイパスモードの端子割り付け」をご覧ください。

注

24ビットの平行パネルにおいてLCDバイパスはサポートされていません。

表10.4 LCDバイパスモード選択

REG[0014h]ビット11~8	バイパスモード	LCDパネル	インタフェース	使用端子
0000	F	LCD2	平行	FPDAT[15:0]
0001	G	LCD2	平行	FPDAT[17:13][11:1]
0010	C	LCD1	平行	FPDAT[15:0]
0011	D	LCD1	平行	FPDAT[17:13][11:1]
0100 (デフォルト)	A	LCD2	シリアル	FPSO
0101	Reserved			
0110	B	LCD1	シリアル	FPSO
0111	Reserved			
1000	I	LCD2	平行	GPIO[17:10] (P2DAT[7:0])
1001	H	LCD2	平行	FPDAT[17:10][8:1]
1010	Reserved			
1011	E	LCD1	平行	FPDAT[17:10][8:1]
1100 ~ 1111	Reserved			

bit 7

垂直非表示期間状態 (読み出し専用)

LCD1 に対して RGB インタフェースパネルを選択している場合 (モード1、REG[0032h]ビット1~0を参照)、この状態ビットはパネルが垂直非表示期間内にあるかどうかを示します。モード2が選択されているとき、このビットは何ら影響を与えません。

このビットが0のとき、LCDパネル出力は垂直表示期間にあります。

このビットが1のとき、LCDパネル出力は垂直非表示期間にあります。

bit 6

メモリパワーセーブ状態 (読み出し専用)

このビットは、メモリコントローラの状態を示します。パワーセーブモード (REG[0014h]ビット0) をイネーブルするとき、またはPLL (REG[0012h]ビット0) をディセーブルにするときは、先にこのビットをチェックしてください。

このビットが0のとき、メモリコントローラには電源が供給されています。

このビットが1のとき、メモリコントローラはアイドル状態であり、システムクロックソースをディセーブルできます。

10. レジスタ

bit 4

バイパス入力プルアップ/ダウン制御

このビットは、ホストのシリアル/パラレル入力端子（SCS#、SCK、SA0、SI）に備わるアクティブプルアップ/プルダウン抵抗を制御します。シリアル/パラレル入力ポートが不使用（Hi-Z）の場合は、このビットを1に設定してください。このビットが0のとき、プルアップ/プルダウン抵抗は非アクティブです。このビットが1のとき、プルアップ/プルダウン抵抗はアクティブであり、端子は以下のようになります（デフォルト）。

表10.5 シリアル/パラレル入力端子のプルアップ/プルダウン抵抗

端子	タイプ
SCS#	プルアップ
SCK	プルダウン
SA0	プルダウン
SI	プルダウン

bit 3

パラレルバイパスチップ選択モード

このビットは、パラレルバイパスモードがイネーブルされている時（REG[0014h]ビット11～8を参照）に使用するチップ選択モードを制御します。

表10.6 パラレルバイパスチップ選択モード

REG[0014h]ビット3	チップ選択モード	SCS#	CS#
0	SCS#モード	LCD I/Fにバイパス	メモリ/レジスタ
1	CS#モード	1入力	メモリ/レジスタ
		0入力	LCD I/Fにバイパス

bit 0

パワーセーブモードイネーブル

このビットは、ソフトウェアによって起動されるパワーセーブモードの状態を制御します。パワーセーブモードをディセーブルすると、S1D13748は通常どおり動作します。パワーセーブモードをイネーブルすると、S1D13748はパワーセーブ状態になります。

このビットが0のとき、パワーセーブモードはディセーブルされます。

このビットが1のとき、パワーセーブモードはイネーブルされます（デフォルト）。

注

パワーセーブモードをイネーブルする前に、表示出力ポートをオフにする（REG[0202h]ビット12～10＝000）とともに、メモリコントローラアイドル状態ビット（REG[0014h]ビット6）が1を返してることが必要です。

REG[0016h] Software Reset Register							
Default = not applicable							Write Only
ソフトウェアリセットビット15～8							
15	14	13	12	11	10	9	8
ソフトウェアリセットビット7～0							
7	6	5	4	3	2	1	0

bits 15-0

ソフトウェアリセットビット[15:0]（書き込み専用）

これらのビットに何らかの値を書き込む場合、REG[0000h]～REG[0018h]およびREG[0300h]～REG[031Ah]を除くすべてのレジスタは各デフォルト値にリセットされます。また、これらのビットを使ったソフトウェアリセットでは、表示バッファはクリアされません。

REG[0018h] System Clock Setting Register								Read/Write	
Default = 0000h									
15	14	13	12	11	10	9	8	n/a	
7	6	5	4	3	2	1	0	システムクロック分周選択ビット1~0	

bits 1-0

システムクロック分周選択ビット[1:0]

これらのビットは、システムクロックの分周比を選択します。クロック構成の詳細については59ページの9.「クロック」をご覧ください。

表10.7 システムクロック分周比選択

REG[0018h]ビット1~0	システムクロック分周比
00	1:1
01	2:1
10	3:1
11	4:1

注

システムクロック分周比が1:1でない(REG[0018h]ビット1~0 00)場合、奇数のピクセルクロック分周比はサポートされません(REG[0030h]ビット4~0を参照)。たとえばシステムクロック分周比として2:1を選択すると、3:1のピクセルクロック分周比はサポートされません。

10. レジスタ

10.4.3 LCDインタフェース設定レジスタ

REG[0030h] LCD Interface Clock Setting Register								Read/Write
Default = 0000h								
15	14	n/a	12	11	シリアルクロック分周選択ビット2~0			
7	n/a	5	4	3	ピクセルクロック分周選択ビット4~0			
	6				10	9	8	
					2	1	0	

bits 10-8

シリアルクロック分周選択ビット[2:0]

これらのビットは、シリアルクロック分周比を指定します。シリアルクロックのクロックソースはシステムクロックです。LCD1がシリアルインタフェースタイプのLCDパネルでない (REG[0032h]ビット1~0を参照) か、またはシリアルポートバイパスがイネーブル (REG[0032h]ビット8=1) されている場合、これらのビットは無視されます。クロック構成の詳細については59ページの9.「クロック」をご覧ください。

表10.8 シリアルクロック分周比選択

REG[0030h]ビット10~8	シリアルクロック分周比	REG[0030h]ビット10~8	シリアルクロック分周比
000	2:1	100	10:1
001	4:1	101	12:1
010	6:1	110	14:1
011	8:1	111	16:1

bits 4-0

ピクセルクロック分周選択ビット[4:0]

これらのビットは、ピクセルクロック分周比を指定します。ピクセルクロックのクロックソースはシステムクロックです。LCD1がRGBタイプのパネルである (REG[0032h]ビット1~0=00) とき、ピクセルクロックはシフトクロックと同じになります。LCD1 がパラレルインタフェースタイプのパネルである (REG[0032h]ビット1~0=10) とき、ピクセルクロックはパラレルデータ出力のタイミングクロックに使用されます。クロック構成の詳細については59ページの9.「クロック」をご覧ください。

表10.9 ピクセルクロック分周比選択

REG[0030h]ビット4~0	ピクセルクロック分周比	REG[0030h]ビット4~0	ピクセルクロック分周比
00000	2:1	10000	18:1
00001	3:1	10001	19:1
00010	4:1	10010	20:1
00011	5:1	10011	21:1
00100	6:1	10100	22:1
00101	7:1	10101	23:1
00110	8:1	10110	24:1
00111	9:1	10111	25:1
01000	10:1	11000	26:1
01001	11:1	11001	27:1
01010	12:1	11010	28:1
01011	13:1	11011	29:1
01100	14:1	11100	30:1
01101	15:1	11101	31:1
01110	16:1	11110	32:1
01111	17:1	11111	33:1

注

システムクロック分周比が1:1でない (REG[0018h]ビット1~0=00) 場合、奇数のピクセルクロック分周比はサポートされません。たとえばシステムクロック分周比として2:1を選択すると、3:1のピクセルクロック分周比はサポートされません。

10. レジスタ

REG[0032h] LCD Interface Configuration Register							
Default = 0000h							
						Read/Write	
Reserved						FPDRDY極性選択	FPCS1#極性選択
15	14	13	12	11	10	9	8
FPSHIFT極性選択		RBGインタフェースパネルデータバス幅ビット2~0			n/a		パネルインタフェースビット1~0
7	6	5	4	3	2	1	0

- bits 15-10 Reserved
デフォルト値は00_0000です。
- bit 9 FPDRDY極性選択
このビットは、RGBタイプパネルに対するデータレディー（FPDRDY）信号の極性を設定します。
このビットが0のとき、FPDRDY信号は反転されません。
このビットが1のとき、FPDRDY信号は反転されます。
- bit 8 FPCS1#極性選択
このビットは、パラレルおよびシリアルタイプパネルのLCD1インタフェースのチップセレクト（FPCS1#）信号の極性を設定します。
このビットが0のとき、FPCS1#信号は反転されません。
このビットが1のとき、FPCS1#信号は反転されます。
- bit 7 FPSHIFT極性選択
このビットは、RGBタイプパネルのシフトクロック信号の極性（FPSHIFTの反転）を設定します。
このビットが0のとき、すべてのパネルインタフェース信号はFPSHIFTの立ち上がりエッジにおいて変化します。
このビットが1のとき、すべてのパネルインタフェース信号はFPSHIFTの立ち下がりエッジにおいて変化します。
- bits 6-4 RBGインタフェースパネルデータバス幅ビット[2:0]
これらのビットが意味をもつのは、RGBインタフェースパネルが選択されているとき（REG[0032h]ビット1~0=00）に限られます。これらのビットは、RGBインタフェースパネルのデータバスサイズを決定します。未使用端子はLowに設定されます。LCDインタフェースの端子割り付けについては、23ページの5.5「LCDインタフェースの端子割り付け」ならびに209ページの15.1「RGBインタフェースのデータフォーマット」をご覧ください。

表10.10 RGBインタフェースパネルデータバス幅選択

REG[0032h]ビット6~4	RGBインタフェースパネルデータバス幅 (LCD1)
000	9ビット
001	12ビット
010	16ビット
011	18ビット
100	24ビット
101 ~ 111	Reserved

- bits 1-0 パネルインタフェースビット[1:0]
これらのビットは、LCD1のインタフェースタイプを決定します。LCDインタフェースの端子割り付けについては、23ページの5.5「LCDインタフェースの端子割り付け」をご覧ください。

表10.11 パネルインタフェース選択

REG[0032h]ビット1~0	モード	LCD1パネルインタフェース	LCD2パネルインタフェース
------------------	-----	----------------	----------------

表10.11 パネルインタフェース選択

00	1	RGBインタフェース	LCDバイパスモードのみ
01	—	Reserved	
10	2	パラレルインタフェース (RAM内蔵)	
11	—	Reserved	

10. レジスタ

REG[0034h] LCD Interface Command Register							
Default = 0000h							Read/Write
LCDインタフェースコマンドビット15~8							
15	14	13	12	11	10	9	8
LCDインタフェースコマンドビット7~0							
7	6	5	4	3	2	1	0

bits 15-0

LCDインタフェースコマンドビット[15:0]

これらのビットは、LCD1の平行もしくはシリアルインタフェースに関するビットです。RGB (TFT) インタフェース信号 (REG[0032h]ビット1~0を参照) には何ら影響を与えません。これらのビットは、LCD1の平行もしくはシリアルインタフェースに関するコマンドレジスタとして機能します。8ビットの平行もしくはシリアルインタフェースに関しては下位バイトのみ使用されます。

LCDインタフェースがビジー状態 (REG[0038h]ビット0=1) のときは、これらのビットに書き込まないでください。

LCDインタフェースがビジー状態でない (REG[0038h]ビット0=0) ときにこれらのビットに書き込むと、コマンド転送が開始されます。コマンド転送が開始されると、FPA0端子がLowまたはHighに変わります。いずれになるかは、P/C極性反転イネーブルビット (REG[003Ch]ビット7) の値によって決まります。

注

LCD1シリアルデータタイプがuWire (REG[0054h]ビット7~5=10x) に設定されている場合、REG[0034h]の上位バイトがA[7:0]に、下位バイトがD[7:0]に使用されます。

REG[0036h] LCD Interface Parameter Register							
Default = 0000h							Read/Write
LCDインタフェースパラメータビット15~8							
15	14	13	12	11	10	9	8
LCDインタフェースパラメータビット7~0							
7	6	5	4	3	2	1	0

bits 15-0

LCDインタフェースパラメータビット[15:0]

これらのビットは、LCD1の平行もしくはシリアルインタフェースに関するビットです。RGB (TFT) インタフェース信号 (REG[0032h]ビット1~0を参照) には何ら影響を与えません。これらのビットは、LCD1の平行もしくはシリアルインタフェースに関するパラメータレジスタとして機能します。8ビットの平行もしくはシリアルインタフェースに関しては下位バイトのみ使用されます。

LCDインタフェースがビジー状態 (REG[0038h]ビット0=1) のときは、これらのビットに書き込まないでください。

LCDインタフェースがビジー状態でない (REG[0038h]ビット0=0) ときにこれらのビットに書き込むと、データ転送が開始されます。データ転送が開始されると、FPA0端子がHighまたはLowに変わります。いずれになるかは、P/C極性反転イネーブルビット (REG[003Ch]ビット7) の値によって決まります。

注

LCD1シリアルデータタイプがuWire (REG[0054h]ビット7~5=10x) に設定されている場合、REG[0036h]の上位バイトがA[7:0]に、下位バイトがD[7:0]に使用されます。

REG[0038h] LCD Interface Status Register								Read Only
Default = 0000h								
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	n/a LCDインタフェース 状態

bit 0 LCDインタフェース状態（読み出し専用）
 このビットは、LCD1の平行もしくはシリアルインタフェースに関する状態を示します。パネルへのデータ転送を行う際には、先にこのビットを読み出し、上記インタフェースがビジー状態でないかどうか確認してください。
 このビットが0のとき、LCD1の平行もしくはシリアルインタフェースはビジー状態ではありません（使用可能です）。
 このビットが1のとき、LCD1の平行もしくはシリアルインタフェースはビジー状態です。

REG[003Ah] LCD Interface Frame Transfer Register								Read/Write
Default = 0000h								
15	14	13	12	11	10	9	8	n/a
7	6	5	4	3	2	1	0	n/a LCDインタフェース フレーム転送トリガ

bit 0 LCDインタフェースフレーム転送トリガ
 これらのビットは、LCD1の平行にのみ関係するビットです。RGBタイプパネル（REG[0032h]ビット1～0を参照）には何ら影響を与えません。このビットは、LCDインタフェースに1フレームのデータを転送するためのトリガです。LCDインタフェースがビジー状態（REG[0038h]ビット0=1）のときにこのビットに1を書き込んでもフレーム転送要求は無視されます。LCDインタフェースがビジー状態でなくなるとこのビットはクリアされます。その際、データ転送は行われません。
 LCDインタフェースがビジー状態でない（REG[0038h]ビット0=0）ときにこのビットに1を書き込むと、1フレームのデータがLCDインタフェースに転送されます。データ転送が完了するとこのビットは自動的にクリアされます。

10. レジスタ

REG[003Ch] LCD Interface Transfer Setting Register								Read/Write		
Default = 0000h										
n/a						Reserved				
15	14	13	12	11	10	9	8			
P/C極性反転 イネーブル	n/a						Reserved			
7	6	5	4	3	2	1	0			

bits 9-8

Reserved
デフォルト値は00です。

bit 7

パラメータおよびコマンド極性反転イネーブル
これらのビットは、LCD1の平行もしくはシリアルインタフェースに関するビットです。RGB (TFT) インタフェース信号 (REG[0032h]ビット1~0を参照) には何ら影響を与えません。LCDインタフェースコマンド (REG[0034h]) またはLCDインタフェースパラメータ (REG[0036h]) の転送中は、FPA0がこのビットの設定値に従ってHighまたはLowに変わります。LCD1が9ビットのND-TFDパネルである (REG[0054h]ビット7~5 = 001) とき、このビットはFPSOの9ビットデータのMSBを決定します。

表10.12 パラメータおよびコマンド極性反転設定

REG[003Ch]ビット7	FPA0信号出力	
	コマンド	パラメータ
0	Low	High
1	High	Low

bit 0

Reserved
デフォルト値は0です。

10.4.4 LCD1設定レジスタ

REG[0040h] LCD1 Horizontal Total Register								Read/Write
Default = 0001h								
15	14	13	12	11	10	9	8	n/a
n/a	LCD1全水平期間ビット6~0							
7	6	5	4	3	2	1	0	

bits 6-0

LCD1全水平期間ビット[6:0]

これらのビットは、RGBインタフェースパネル (REG[0032h]ビット1~0=00) にのみ関係します。パラレルのインタフェースパネルを選択している場合は何の効果もありません。

これらのビットは、LCD1の全水平期間 (FPLINE期間) を、8ピクセルを1単位として指定します。全水平期間 (HT) は、水平表示期間 (HDP) と水平非表示期間 (HNDP) の合計です。これらのビットを0に設定しないでください。

$$\text{REG}[0040\text{h}] \text{ビット} 6 \sim 0 = (\text{全水平期間のピクセル} \div 8) - 1$$

注

これらのビットは以下の式が成り立つようにプログラムしてください。

$$\text{REG}[0040\text{h}] \text{ビット} 6 \sim 0 > 0$$

$$\text{HT} = \text{HDP} + \text{HNDP}$$

REG[0042h] LCD1 Horizontal Display Period Register								Read/Write
Default = 0000h								
15	14	13	12	11	10	9	8	n/a
LCD1水平表示期間ビット7~0							LCD1水平表示期間ビット8	
7	6	5	4	3	2	1	0	

bits 8-0

LCD1水平表示期間ビット[8:0]

これらのビットは、LCD1の水平表示期間 (HDP) を、2ピクセルを1単位として指定します。水平表示期間は、水平非表示期間 (HNDP) を十分にとれるように全水平期間 (HT) より短くしてください。

$$\text{REG}[0042\text{h}] \text{ビット} 8 \sim 0 = (\text{水平表示期間のピクセル} \div 2) - 1$$

注

- これらのビットは以下の式が成り立つようにプログラムしてください。

$$\text{HT} = \text{HDP} + \text{HNDP}$$
- パラレルインタフェースパネル (REG[0032h]ビット1~0を参照) については、以下の式が成り立たなければなりません。

$$\text{HDP} \times \text{VDP} = 40 \text{ピクセル}$$

10. レジスタ

REG[0044h] LCD1 Horizontal Display Period Start Position Register								Read/Write	
Default = 0000h									
n/a				LCD1水平表示期間ビット9~8					
15	14	13	12	11	10	9	8		
LCD1水平表示期間ビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

LCD1水平表示期間開始位置ビット[9:0]

これらのビットは、RGBインタフェースパネル (REG[0032h]ビット1~0=00) にのみ関係します。パラレルのインタフェースパネルを選択している場合は何の効果もありません。

これらのビットは、LCD1の水平表示期間の開始位置をピクセルで指定します。
REG[0044h]ビット9~0 = 水平表示期間の開始位置 (ピクセル) - 9

REG[0046h] LCD1 Horizontal Pulse Register								Read/Write		
Default = 0000h										
n/a				LCD1水平パルス幅ビット6~0						
15	14	13	12	11	10	9	8			
LCD1水平パルス極性	LCD1水平パルス幅ビット6~0									
7	6	5	4	3	2	1	0			

bit 7

LCD1水平パルス極性

このビットは、RGBインタフェースパネル (REG[0032h]ビット1~0=00) にのみ関係します。パラレルのインタフェースパネルを選択している場合は何の効果もありません。

このビットは、水平同期信号 (FPLINE) の極性を選択します。

このビットが0のとき、水平同期信号 (FPLINE) はアクティブLowです (デフォルト)。

このビットが1のとき、水平同期信号 (FPLINE) はアクティブHighです。

bits 6-0

LCD1水平パルス幅ビット[6:0]

これらのビットは、RGBインタフェースパネル (REG[0032h]ビット1~0=00) にのみ関係します。パラレルインタフェースパネルを選択している場合は何の効果もありません。

これらのビットは、LCD1の水平同期信号 (FPLINE) のパルス幅をピクセルで指定します。

REG[0046h]ビット6~0 = 水平パルス幅 (ピクセル) - 1

REG[0048h] LCD1 Horizontal Pulse Start Position Register								Read/Write	
Default = 0000h									
n/a				LCD1水平パルス開始位置ビット9~8					
15	14	13	12	11	10	9	8		
LCD1水平パルス開始位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

LCD1水平パルス開始位置ビット[9:0]

これらのビットは、RGBインタフェースパネル (REG[0032h]ビット1~0=00) にのみ関係します。パラレルのインタフェースパネルを選択している場合は何の効果もありません。

これらのビットは、LCD1の水平同期パルス (FPLINE) の開始位置をピクセルで指定します。

REG[0048h]ビット9~0 = FPFRAMEエッジからFPLINEエッジまで (ピクセル) - 1

REG[004Ah] LCD1 Vertical Total Register							Read/Write	
Default = 0000h								
n/a							LCD1全垂直期間ビット9~8	
15	14	13	12	11	10	9	8	
LCD1全垂直期間ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

LCD1全垂直期間ビット[9:0]

これらのビットは、RGBインタフェースパネル（REG[0032h]ビット1~0=00）にのみ関係します。パラレルのインタフェースパネルを選択している場合は何の効果もありません。

これらのビットは、LCD1の全垂直期間（FPFRAME期間）をラインで指定します。全垂直期間は、垂直表示期間と垂直非表示期間の合計です。

REG[004Ah]ビット9~0 = 全垂直期間（ライン） - 1

REG[004Ch] LCD1 Vertical Display Period Register							Read/Write	
Default = 0000h								
n/a							LCD1垂直表示期間ビット9~8	
15	14	13	12	11	10	9	8	
LCD1垂直表示期間ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

LCD1垂直表示期間ビット[9:0]

これらのビットは、LCD1の垂直表示期間をラインで指定します。垂直表示期間は、垂直非表示期間を十分にとれるように全垂直期間より短くしてください。

REG[004Ch]ビット9~0 = 垂直表示期間（ライン） - 1

注

パラレルインタフェースパネル（REG[0032h]ビット1~0を参照）については、以下の式が成り立たなければなりません。

$HDP \times VDP \leq 40$ ピクセル

REG[004Eh] LCD1 Vertical Display Period Start Position Register							Read/Write	
Default = 0000h								
n/a							LCD1垂直表示期間開始位置ビット9~8	
15	14	13	12	11	10	9	8	
LCD1垂直表示期間開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

LCD1垂直表示期間開始位置ビット[9:0]

これらのビットは、RGBインタフェースパネル（REG[0032h]ビット1~0=00）にのみ関係します。パラレルのインタフェースパネルを選択している場合は何の効果もありません。

これらのビットは、LCD1の垂直表示期間の開始位置をラインで指定します。

REG[004Eh]ビット9~0 = 垂直表示期間の開始位置（ライン）

10. レジスタ

REG[0050h] LCD1 Vertical Pulse Register							Read/Write
Default = 0000h							
n/a							
15	14	13	12	11	10	9	8
LCD1垂直パルス極性	n/a			Reserved	LCD1垂直パルス幅ビット2~0		
7	6	5	4	3	2	1	0

- bit 7 LCD1垂直パルス極性
 このビットは、RGBインタフェースパネル（REG[0032h]ビット1~0=00）にのみ関係します。パラレルのインタフェースパネルを選択している場合は何の効果もありません。
 このビットは垂直同期信号（FPFRAME）の極性を選択します。
 このビットが0のとき、垂直同期信号（FPFRAME）はアクティブLowです（デフォルト）。
 このビットが1のとき、垂直同期信号（FPFRAME）はアクティブHighです。
- bit 3 Reserved
 デフォルト値は0です。
- bits 2-0 LCD1垂直パルス幅ビット[2:0]
 これらのビットは、RGBインタフェースパネル（REG[0032h]のビット1~0=00）にのみ関係します。パラレルのインタフェースパネルを選択している場合は何の効果もありません。
 これらのビットは、垂直同期信号（FPFRAME）のパルス幅をラインで指定します。
 REG[0050h]ビット2~0 = 垂直パルス幅（ライン） - 1

REG[0052h] LCD1 Vertical Pulse Start Position Register							Read/Write	
Default = 0000h								
n/a							LCD1垂直パルス開始位置ビット9~8	
15	14	13	12	11	10	9	8	
LCD1垂直パルス開始位置ビット7~0								
7	6	5	4	3	2	1	0	

- bits 9-0 LCD1垂直パルス開始位置ビット[9:0]
 これらのビットは、RGBインタフェースパネル（REG[0032h]ビット1~0=00）にのみ関係します。パラレルのインタフェースパネルを選択している場合は何の効果もありません。
 これらのビットは、垂直同期パルス（FPFRAME）の開始位置をラインで指定します。
 REG[0052h]ビット9~0 = 垂直パルス開始位置（ライン） - 1

REG[0054h] LCD1 Serial Interface Setting Register							Read/Write	
Default = 0001h								
n/a							Reserved	
15	14	13	12	11	10	9	8	
LCD1シリアルデータタイプビット2~0			LCD1シリアルデータ方向	n/a		LCD1シリアルクロック位相	LCD1シリアルクロック極性	
7	6	5	4	3	2	1	0	

- bit 8 Reserved
 デフォルト値は0です。

bits 7-5

LCD1シリアルデータタイプビット[2:0]

これらのビットは、LCD1シリアルデータタイプを決定します。ACタイミングについては、48ページの7.4.2「LCD1 ND-TFDならびにLCD1用8ビットシリアルインタフェースのタイミング」、49ページの7.4.3「LCD1 ND-TFDならびにLCD1/用9ビットシリアルインタフェースのタイミング」、50ページの7.4.4「LCD1 uWireシリアルインタフェースのタイミング」をご覧ください。

表10.13 LCD1シリアルデータタイプ選択

REG[0054h]ビット7~5	LCD1シリアルデータタイプ
000 (デフォルト)	ND-TFD、4ピン (8ビットシリアル)
001	ND-TFD、3ピン (9ビットシリアル)
010 ~ 011	Reserved
10x	uWire (16ビットシリアル)
110 ~ 111	Reserved

注

モード2(REG[0032h]ビット1~0を参照)が設定されている場合、これらのビットは000に設定してください。

bit 4

LCD1シリアルデータ方向

このビットは、LCD1シリアルデータ方向を決定します。タイミングについては、46ページの7.4「LCDインタフェースタイミング」の適切なシリアルインタフェースを参照してください。

このビットが0のときはMSB (最上位ビット) が先頭です (デフォルト)。
このビットが1のときはLSB (最下位ビット) が先頭です。

bit 1

LCD1シリアルクロック位相

このビットは、シリアルクロック位相を指定します。シリアルクロック位相および極性の設定の概要については85ページの表10.14「LCD1のシリアルクロック極性と位相の選択」をご覧ください。またタイミングについては、46ページの7.4「LCDインタフェースタイミング」の適切なシリアルインタフェースを参照してください。

bit 0

LCD1シリアルクロック極性

このビットは、LCD1のシリアルクロック極性を指定します。シリアルクロック位相および極性の設定の概要については85ページの表10.14「LCD1のシリアルクロック極性と位相の選択」をご覧ください。またタイミングについては、46ページの7.4「LCDインタフェースタイミング」の適切なシリアルインタフェースを参照してください。

表10.14 LCD1のシリアルクロック極性と位相の選択

REG[0054h]ビット1	REG[0054h]ビット0	シリアルデータ出力の変化	クロックのアイドル状態
0	0	シリアルクロックの立ち下がりエッジ	Low
	1	シリアルクロックの立ち上がりエッジ	High
1	0	シリアルクロックの立ち上がりエッジ	Low
	1	シリアルクロックの立ち下がりエッジ	High

REG[0056h] LCD1 Parallel Interface Setting Register

Default = 0400h

Read/Write

FPVIN1端子タイプ 選択	FPVIN1極性	n/a			FPVIN1プルダウン 制御	Reserved	
15	14	13	12	11	10	9	8

10. レジスタ

LCD1 VSYNC入力 イネーブル 7	LCD1パラレル タイプ選択 6	LCD1パラレルコマンド/パラメータ端子 ビット1~0 5 4		LCD1パラレルデータフォーマットビット3~0 3 2 1 0			
----------------------------	------------------------	--	--	---	--	--	--

- bit 15 FPVIN1端子タイプ選択
このビットは、FPVIN1端子タイプを選択します。出力を選択するとFPVIN1から垂直同期信号が出力されます。
このビットが0のとき、FPVIN1は入力となります（デフォルト）。
このビットが1のとき、FPVIN1は出力となります。
- bit 14 FPVIN1極性
このビットは、入力垂直同期信号と出力垂直同期信号の両方（REG[0056h]ビット15）に関係します。このビットはFPVIN1の極性を指定します。
このビットが0のとき、FPVIN1はアクティブLowです（デフォルト）。
このビットが1のとき、FPVIN1はアクティブHighです。
- bit 10 FPVIN1プルダウン制御
FPVIN1が入力に設定されている（REG[0056h]ビット15=0）とき、このビットはFPVIN1の内蔵プルダウン抵抗を制御します。
このビットが0のとき、プルダウン抵抗はディセーブルされています（デフォルト）。
このビットが1のとき、プルダウン抵抗はイネーブルされています。
- bits 9-8 Reserved
デフォルト値は00です。
- bit 7 LCD1 VSYNC入力イネーブル
このビットはRGBタイプパネルには使用されません。このビットを使うことにより、1フレームのデータ転送を外部VSYNC入力（FPVIN1）と同期させることができます。
このビットが0のとき、LCD1のデータ出力は外部VSYNC入力から独立しています（デフォルト）。
このビットが1のとき、LCD1のデータ出力は外部VSYNC入力と同期しています。
- 注**
- FPVIN1の信号期間は1フレームのデータ転送時間よりも長くしてください。フレームをパネルに転送し終えるための所要時間よりもFPVIN1の信号期間のほうが短いと、FPVIN1の次の立ち下がりエッジが来るためにフレーム転送が中断します。
 - 手動によるフレーム転送を開始した（REG[003Ah]ビット0=1）場合、次のVSYNC信号が発生する前にLCD1 VSYNC入力イネーブルビットをディセーブルしないでください。ディセーブルするとLCDインタフェースが常時ビジー状態になり、後続の転送が行えなくなります。
- bit 6 LCD1パラレルタイプ選択
このビットは、LCD1パラレルインタフェースタイプを決定します。
このビットが0のとき、パラレルインタフェースはインダイレクト80タイプです。
このビットが1のとき、パラレルインタフェースはインダイレクト68タイプです。
- bits 5-4 LCD1パラレルコマンド/パラメータ端子ビット[1:0]
これらのビットは、パラレルパネルのコマンドないしパラメータに使用されるFPDAT[17:0]端子を決定します。

表10.15 LCD1パラレルコマンド/パラメータ端子割り当て

REG[0056h]ビット5~4	コマンド/パラメータ端子割り当て
00（デフォルト）	FPDAT[15:0]

表10.15 LCD1パラレルコマンド/パラメータ端子割り当て

01	FPDAT[17:10]、 [8:1]
10	FPDAT[17:13]、 [11:1]
11	Reserved

bits 3-0

LCD1パラレルデータフォーマットビット[3:0]

これらのビットは、RGBタイプパネル (REG[0032h]ビット1~0=00) には使用されません。これらのビットはLCD1パラレルデータフォーマットを決定します。使用できるパラレルデータフォーマットについては、210ページの15.2「パラレルインタフェースのデータフォーマット」をご覧ください。

表10.16 LCD1パラレルデータフォーマット選択

REG[0056h]ビット3~0	LCD1パラレルデータフォーマット	
	データバス幅	データフォーマット
0000 (デフォルト)	8ビット	RGB = 3:3:2 (1サイクル/ピクセル)
0001		RGB = 4:4:4 (3サイクル/ピクセル)
0010	16ビット	RGB = 8:8:8 (3サイクル/ピクセル)
0011	8ビット	RGB = 8:8:8 (3サイクル/ピクセル)
0100	24ビット	RGB = 8:8:8 (1サイクル/ピクセル)
0101	16ビット	RGB = 4:4:4 (1サイクル/ピクセル)
0110		RGB = 5:6:5 (1サイクル/ピクセル)
0111	18ビット	RGB = 6:6:6 (1サイクル/ピクセル)
1xxx	8ビット	RGB = 5:6:5 (2サイクル/ピクセル)

REG[0058h] ~ REG[0064h]は予約レジスタです。

これらは予約レジスタです。書き込まないでください。

10. レジスタ

10.4.5 拡張パネル設定レジスタ

REG[0068h] LCD1 Vsync Output Register							Read/Write
Default = 0000h							
15	14	13	LCD1 VSYNC幅ビット15~8		10	9	8
7	6	5	LCD1 VSYNC位置ビット7~0		2	1	0

bits 15-8 LCD1 VSYNC幅ビット[7:0]
これらのビットは、FPVIN1 (LCD1のVSYNC) が出力に設定されているとき (REG[0056h]ビット15 = 1) にのみ使用されます。LCD1におけるVSYNCの幅をPCLKで決定します。

$$\text{REG}[0068\text{h}] \text{ビット} 15 \sim 8 = \text{LCD1のVSYNC幅} \div 2$$

bits 7-0 LCD1 VSYNC位置ビット[7:0]
これらのビットは、FPVIN1 (LCD1のVSYNC) が出力に設定されているとき (REG[0056h]ビット15 = 1) にのみ使用されます。LCD1におけるVSYNCの位置をPCLKで決定します。

$$\text{REG}[0068\text{h}] \text{ビット} 7 \sim 0 = \text{LCD1のVSYNC位置} \div 2$$

REG[006Ah]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

REG[0070h]からREG[0074h]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

REG[00FEh]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

10. レジスタ

10.4.6 ホストインタフェースレジスタ

REG[0180h] Host Interface Configuration Register							Read/Write
Default = 0000h							
HWCソフトウェアリセット (WO)	n/a						
15	14	13	12	11	10	9	8
ホストインタフェースデータタイプ選択ビット2~0			HWCデータバススワップイネーブル	HWCミラーイネーブル	HWC回転モード選択ビット1~0		HWCモジュールイネーブル
7	6	5	4	3	2	1	0

bit 15 HWCソフトウェアリセット (書き込み専用)
 このビットは、ホストインタフェース書き込みコントローラ (HWC) モジュールのソフトウェアリセットを実行します。
 このビットに0を書き込んでもハードウェアに影響を及ぼしません。
 このビットに1を書き込むと、HWCモジュールのソフトウェアリセットが実行されます。

注

このビットを使ってHWCのソフトウェアリセットを行うと、HWCモジュールはディセーブル (REG[0180h]ビット0=0) されます。

bits 7-5 ホストインタフェースデータタイプ選択ビット[2:0]
 これらのビットが効果をもつのは、HWCモジュールがイネーブル (REG[0180h]ビット0=1) されているときに限られます。これらのビットは、ホストCPUからHWC (ホストインタフェース書き込みコントローラ) への入力のデータフォーマットを選択します。各データフォーマットの詳細については、159ページの12.1「ホストインタフェース入力フォーマット」をご覧ください。

表10.17 ホストインタフェースデータタイプ選択

REG[0180h]ビット7~5	データタイプ
000 (デフォルト)	YUV 4:2:2、フォーマット1
001	YUV 4:2:2、フォーマット2 (セパレートY、UV)
010	YUV 4:2:0、フォーマット1
011	YUV 4:2:0、フォーマット2 (セパレートY、UV)
100	RGB 5:6:5
101~111	Reserved

bit 4 HWCデータバススワップイネーブル
 このビットが効果をもつのは、HWCモジュールがイネーブル (REG[0180h]ビット0=1) されているときに限られます。このビットは、HWC (ホストインタフェース書き込みコントローラ) がホストCPUからデータを受信する方法を制御します。
 このビットが0のとき、ホストは順番どおりにデータをHWCに送出します。
 このビットが1のとき、ホストは上位バイトと下位バイトを入れ替えてからHWCに送出します。

表10.18 HWCデータバススワップ選択

REG[0180h]ビット4	HWCの受信データ
0	DB[15:0]
1	DB[7:0]、DB[15:8]

bit 3 HWCミラーイネーブル
 このビットが効果をもつのは、HWCモジュールがイネーブル(REG[0180h]ビット0=1) されているときに限られます。このビットは、HWC (ホストインタフェース書き込みコントローラ) によるホストインタフェースメモリの書き込みにおいて水平「ミラー」効果が行われるかどうかを決定します。詳細は195ページの14.3「HWCを用いたメモリアクセス」をご覧ください。
 このビットが0のとき、ホストインタフェースメモリの書き込みはミラー化されません。
 このビットが1のとき、ホストインタフェースメモリの書き込みはミラー化されます。

bits 2-1 HWC回転モード選択ビット[1:0]
 これらのビットが効果をもつのは、HWCモジュールがイネーブル(REG[0180h]ビット0=1) されているときに限られます。これらのビットは、HWC (ホストインタフェース書き込みコントローラ) によるホストインタフェースメモリの書き込みに適用される時計回り方向の回転を選択します。詳細は195ページの14.3「HWCを用いたメモリアクセス」をご覧ください。

表10.19 回転モード選択

REG[0180h]ビット2~1	回転モード
00 (デフォルト)	0° (回転なし)
01	90°
10	180°
11	270°

bit 0 HWCモジュールイネーブル
 このビットは、HWC (ホストインタフェース書き込みコントローラ) モジュールを制御します。HWCは矩形メモリエリアへの書き込みが可能のほか、回転 (REG[0180h]ビット2~1を参照) とミラー (REG[0180h]ビット3を参照) のオプション機能に対応しています。ホストインタフェースがメモリに直接アクセス可能にするには、このビットを0に設定してください。
 このビットが0のとき、HWCモジュールはディセーブルされ、メモリは直接アクセスされます。
 このビットが1のとき、HWCモジュールはイネーブルされ、ホストはこれを使ってメモリ書き込みを行います。

注

REG[0180h]ビット15を用いてHWCのソフトウェアリセットを行うと、HWCモジュールはディセーブル (REG[0180h]ビット0=0) されます。

10. レジスタ

REG[0182h] Memory Start Address Register 0							
Default = 0000h							
Read/Write							
メモリ開始アドレスビット15~8							
15	14	13	12	11	10	9	8
メモリ開始アドレスビット7~1							
7	6	5	4	3	2	1	読み書きサイクル 0

REG[0184h] Memory Start Address Register 1							
Default = 0000h							
Read/Write							
DMAモード 15	14	13	12	11	10	9	8
n/a				メモリ開始アドレスビット19~16			
7	6	5	4	3	2	1	0

REG[0182h] bit 15-1

REG[0184h] bit 3-0

メモリ開始アドレスビット[19:1]

これらのビットは、各メモリアクセスにおけるメモリ開始アドレスを決定します。メモリアクセスが完了すると、アドレスがオートインクリメントされます。

注

1. HWCがイネーブル (REG[0180h]ビット0 = 1) されている場合、メモリ開始アドレスは選択したミラー (REG[0180h]ビット3) および回転モード (REG[0180h]ビット2~1) の設定に応じて設定してください。組み合わせの事例が195ページの14.3「HWCを用いたメモリアクセス」に記載されています。
2. REG[0184h]の設定はREG[0182h]の前に行ってください。

REG[0182h] bit 0

読み書きサイクル

このビットは、メモリの読み出しと書き込みのどちらを行うかを決定します。このビットが0のとき、書き込み処理が行われます (デフォルト)。このビットが1のとき、読み出し処理が行われます。

REG[0184h] bit 15

DMA (ダイレクトメモリアクセス) モード

HWCがイネーブル (REG[0180h]ビット0 = 1) されているとき、このビットは無効です。

このビットは、ダイレクトメモリアクセスにおけるアドレスモードを選択します。

このビットが0のとき、ライン型メモリアドレスモードが選択されます。

このビットが1のとき、矩形メモリアドレスモードが選択されます

(REG[0194h]およびREG[0196h]を参照)

注

矩形メモリアドレスモードを選択するときは、メモリ矩形書き込みアドレスオフセット (REG[0194h]) およびメモリ矩形書き込みアドレス幅 (REG[0196h]) の設定を先に行ってください。

REG[0186h] HWC Memory Rectangular Write Address Offset Register								Read/Write
Default = 0000h								
15	14	n/a		11	10	9	8	
HWCメモリ矩形書き込みアドレスオフセットビット11~8								
7	6	HWCメモリ矩形書き込みアドレスオフセットビット7~1		3	2	1	0	n/a
								0

bits 11-1

HWCメモリ矩形書き込みアドレスオフセットビット[11:1]
 これらのビットが効果をもつのは、HWCモジュールがイネーブル(REG[0180h] ビット0=1) されているときに限られます。これらのビットは、HWC (ホストインタフェース書き込みコントローラ) モジュールが使用するメモリアドレスオフセットを決定します。

REG[0188h] HWC Memory Rectangular Write Horizontal Size Register								Read/Write
Default = 0000h								
15	14	n/a		11	10	9	8	
HWCメモリ矩形書き込み水平サイズビット9~8								
7	6	HWCメモリ矩形書き込み水平サイズビット7~1		3	2	1	0	n/a
								0

bits 9-1

HWCメモリ矩形書き込み水平サイズビット[9:1]
 これらのビットが効果をもつのは、HWCモジュールがイネーブル(REG[0180h] ビット0=1) されているときに限られます。これらのビットは、HWC (ホストインタフェース書き込みコントローラ) モジュールが使用する水平サイズをピクセルで決定します。
 REG[0188h]ビット9~1 = HWCメモリ矩形書き込み水平サイズ(ピクセル) - 2

REG[018Ah] HWC Memory Rectangular Write Vertical Size Register								Read/Write
Default = 0000h								
15	14	n/a		11	10	9	8	
HWCメモリ矩形書き込み垂直サイズビット9~8								
7	6	HWCメモリ矩形書き込み垂直サイズビット7~0		3	2	1	0	
								0

bits 9-0

HWCメモリ矩形書き込み垂直サイズビット[9:0]
 これらのビットが効果をもつのは、HWCモジュールがイネーブル(REG[0180h] ビット0=1) されているときに限られます。これらのビットは、HWC (ホストインタフェース書き込みコントローラ) モジュールが使用する垂直サイズをピクセルで指定します。
 REG[018Ah]ビット9~0 = HWCメモリ矩形書き込み垂直サイズ(ピクセル) - 1

注

HWCを90°または270°の書き込みモードに設定している(REG[0180h] ビット2~1 = 01または11) 場合、これらのビットは偶数値に設定してください。

10. レジスタ

REG[018Ch] Memory Access Port Register							
Default = not applicable							Read/Write
メモリアクセスポートビット15~8							
15	14	13	12	11	10	9	8
メモリアクセスポートビット7~0							
7	6	5	4	3	2	1	0

bits 15-0 メモリアクセスポートビット[15:0]
 これらのビットは、インダイレクトホストインタフェースに対するメモリ読み書きポートです。

REG[018Eh] HWC Raw Status Register							
Default = 0000h							Read Only
n/a							
15	14	13	12	11	10	9	8
n/a			メモリアクセス書き込みエラー未処理状態	メモリアクセス読み出しエラー未処理状態	HWC上書きエラー未処理状態	HWCアクセスタイムアウト未処理状態	HWCアクセス完了未処理状態
7	6	5	4	3	2	1	0

bit 4 メモリアクセス書き込みエラー未処理状態（読み出し専用）
 このビットは、メモリアクセス書き込みエラー割り込みの未処理状態を示します。メモリアクセス書き込みエラー割り込みイネーブルビット（REG[0190h]ビット4）によってマスクされません。
 このビットが0のとき、メモリアクセス書き込みエラー割り込みが発行されていません。
 このビットが1のとき、メモリアクセス書き込みエラー割り込みが発行されています。

このビットをクリアするには、REG[0192h]ビット4に1を書き込んでください。

bit 3 メモリアクセス読み出しエラー未処理状態（読み出し専用）
 このビットは、メモリアクセス読み出しエラー割り込みの未処理状態を示します。メモリアクセス読み出しエラー割り込みイネーブルビット（REG[0190h]ビット3）によってマスクされません。
 このビットが0のとき、メモリアクセス読み出しエラー割り込みが発行されていません。
 このビットが1のとき、メモリアクセス読み出しエラー割り込みが発行されています。

このビットをクリアするには、REG[0192h]ビット3に1を書き込んでください。

bit 2 HWC上書きエラー未処理状態（読み出し専用）
 HWC上書きエラー割り込みの未処理状態を示します。このビットはHWC上書きエラー割り込みイネーブルビット（REG[0190h]ビット2）によってマスクされません。
 このビットが0のとき、HWC上書きエラー割り込みが発行されていません。
 このビットが1のとき、HWC上書きエラー割り込みが発行されています。

このビットをクリアするには、REG[0192h]ビット2に1を書き込んでください。

bit 1 HWCアクセスタイムアウト未処理状態（読み出し専用）
 このビットは、HWCアクセスタイムアウト割り込みの未処理状態を示します。HWCアクセスタイムアウト割り込みイネーブルビット（REG[0190h]ビット1）によってマスクされません。
 このビットが0のとき、HWCアクセスタイムアウト割り込みが発行されていません。
 このビットが1のとき、HWCアクセスタイムアウト割り込みが発行されています。

このビットをクリアするには、REG[0192h]ビット1に1を書き込んでください。

bit 0 HWCアクセス完了未処理状態（読み出し専用）
 このビットは、HWCアクセス完了割り込みの未処理状態を示します。HWCアクセス完了割り込みイネーブルビット（REG[0190h]ビット0）によってマスクされません。
 このビットが0のとき、HWCアクセス完了割り込みが発行されていません。
 このビットが1のとき、HWCアクセス完了割り込みが発行されています。

このビットをクリアするには、REG[0192h]ビット0に1を書き込んでください。

REG[0190h] HWC Interrupt Control Register							
Default = 0000h							Read/Write
				n/a			
15	14	13	12	11	10	9	8
n/a			メモリアクセス書き込みエラー割り込みイネーブル	メモリアクセス読み出しエラー割り込みイネーブル	HWC上書きエラー割り込みイネーブル	HWCアクセスタイムアウト割り込みイネーブル	HWCアクセス完了割り込みイネーブル
7	6	5	4	3	2	1	0

bit 4 メモリアクセス書き込みエラー割り込みイネーブル
 このビットは、メモリアクセス書き込みエラーの割り込みを制御します。この割り込みの状態はメモリアクセス書き込みエラー状態ビット（REG[0192h]ビット4）によって示されます。
 このビットが0のとき、メモリアクセス書き込みエラー割り込みはディセーブルされます。
 このビットが1のとき、メモリアクセス書き込みエラー割り込みはイネーブルされます。

bit 3 メモリアクセス読み出しエラー割り込みイネーブル
 メモリアクセス読み出しエラーの割り込みを制御します。この割り込みの状態はメモリアクセス読み出しエラー状態ビット（REG[0192h]ビット3）によって示されます。
 このビットが0のとき、メモリアクセス読み出しエラー割り込みはディセーブルされます。
 このビットが1のとき、メモリアクセス読み出しエラー割り込みはイネーブルされます。

bit 2 HWC上書きエラー割り込みイネーブル
 このビットは、HWC上書きエラーの割り込みを制御します。この割り込みの状態はHWC上書きエラー状態ビット（REG[0192h]ビット2）によって示されます。
 このビットが0のとき、HWC上書きエラー割り込みはディセーブルされます。
 このビットが1のとき、HWC上書きエラー割り込みはイネーブルされます。

10. レジスタ

- bit 1 HWCアクセスタイムアウト割り込みイネーブル
このビットは、HWCアクセスタイムアウトの割り込みを制御します。この割り込みの状態はHWCアクセスタイムアウト状態ビット (REG[0192h]ビット1) によって示されます。
このビットが0のとき、HWCアクセスタイムアウト割り込みはディセーブルされます。
このビットが1のとき、HWCアクセスタイムアウト割り込みはイネーブルされます。
- bit 0 HWCアクセス完了割り込みイネーブル
このビットは、HWCアクセス完了の割り込みを制御します。この割り込みの状態はHWCアクセス完了状態ビット (REG[0192h]ビット0) によって示されます。
このビットが0のとき、HWCアクセス完了割り込みはディセーブルされます。
このビットが1のとき、HWCアクセス完了割り込みはイネーブルされます。

REG[0192h] HWC Status Register							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a			メモリアクセス 書き込みエラー状態	メモリアクセス 読み出しエラー状態	HWC上書きエラー 状態	HWCアクセス タイムアウト状態	HWCアクセス完了 状態
7	6	5	4	3	2	1	0

- bit 4 **メモリアクセス書き込みエラー状態**
 このビットは、メモリアクセス書き込みエラー割り込みの状態を示します。メモリアクセス書き込みエラー割り込みイネーブルビットによってマスクされるため、REG[0190h]ビット4 = 1のときにのみ有効です。
 このビットが0のとき、メモリアクセス書き込みエラー割り込みが発行されていません。
 このビットが1のとき、メモリアクセス書き込みエラー割り込みが発行されています。
- このビットをクリアするには、1を書き込んでください。
- bit 3 **メモリアクセス読み出しエラー状態**
 このビットは、メモリアクセス読み出しエラー割り込みの状態を示します。メモリアクセス読み出しエラー割り込みイネーブルビットによってマスクされるため、REG[0190h]ビット3 = 1のときにのみ有効です。
 このビットが0のとき、メモリアクセス読み出しエラー割り込みが発行されていません。
 このビットが1のとき、メモリアクセス読み出しエラー割り込みが発行されています。
- このビットをクリアするには、1を書き込んでください。
- bit 2 **HWC上書きエラー状態**
 このビットは、HWC上書きエラー割り込みの状態を示します。HWC上書きエラー割り込みイネーブルビットによってマスクされるため、REG[0190h]ビット2 = 1のときにのみ有効です。
 このビットが0のとき、HWC上書きエラー割り込みが発行されていません。
 このビットが1のとき、HWC上書きエラー割り込みが発行されています。
- このビットをクリアするには、1を書き込んでください。
- bit 1 **HWCアクセスタイムアウト状態**
 このビットは、HWCアクセスタイムアウト割り込みの状態を示します。HWCアクセスタイムアウト割り込みイネーブルビットによってマスクされるため、REG[0190h]ビット1 = 1のときにのみ有効です。
 このビットが0のとき、HWCアクセスタイムアウト割り込みが発行されていません。
 このビットが1のとき、HWCアクセスタイムアウト割り込みが発行されています。
- このビットをクリアするには、1を書き込んでください。

10. レジスタ

bit 0

HWCアクセス完了状態

このビットは、HWCアクセス完了割り込みの状態を示します。HWCアクセス完了割り込みイネーブルビットによってマスクされるため、REG[0190h]ビット0=1のときにのみ有効です。

このビットが0のとき、HWCアクセス完了割り込みが発行されていません。

このビットが1のとき、HWCアクセス完了割り込みが発行されています。

このビットをクリアするには、1を書き込んでください。

REG[0194h] Memory Rectangular Write Address Offset Register								Read/Write
Default = 0000h								
n/a				メモリ矩形書き込みアドレスオフセットビット11~8				
15	14	13	12	11	10	9	8	
メモリ矩形書き込みアドレスオフセットビット7~1							n/a	
7	6	5	4	3	2	1	0	

bits 11-1

メモリ矩形書き込みアドレスオフセットビット[11:1]

これらのビットは、HWCモジュールがディセーブルされているときに矩形メモリ書き込みを行う場合(REG[0180h]ビット0=0かつREG[0184h]ビット15=1)に使用するメモリアドレスオフセットをバイトで指定します。

REG[0194h]ビット11~1=メモリ矩形書き込みアドレスオフセット(バイト)-2

REG[0196h] Memory Rectangular Write Address Width Register								Read/Write
Default = 0000h								
n/a				メモリ矩形書き込みアドレス幅ビット11~8				
15	14	13	12	11	10	9	8	
メモリ矩形書き込みアドレス幅ビット7~1							n/a	
7	6	5	4	3	2	1	0	

bits 11-1

メモリ矩形書き込みアドレス幅ビット[11:1]

これらのビットは、HWCモジュールがイネーブルされているときに矩形メモリ書き込みを行う場合(REG[0180h]ビット0=0かつREG[0184h]ビット15=1)に使用するメモリアドレス幅をバイトで指定します。

REG[0196h]ビット11~1=メモリ矩形書き込みアドレス幅(バイト)-2

注

PIP1ウィンドウおよびPIP2ウィンドウに用いるソース画像の水平サイズは偶数(REG[0196h]ビット1=0)にしてください。

REG[0198h] VOUT Configuration Register							
Default = 0000h							Read/Write
VOUT出力頻度ビット3~0				n/a		VOUT遅延制御ビット9~8	
15	14	13	12	11	10	9	8
VOUT遅延制御ビット7~0							
7	6	5	4	3	2	1	0

bits 15-12

VOUT出力頻度ビット[3:0]

これらのビットが有効になるのは、LCD1に対してRGBインタフェースパネルが選択されているとき（REG[0032h]ビット1~0=00）のみです。またRAM内蔵パネルが選択されているとき、VOUTには出力がありません。

これらのビットはVOUTの頻度を制御します。VOUTは、ホストインタフェースに送られるLCD VSYNC信号（FPFRAME LCDインタフェース端子を使用）の状態を出力します。VOUTについては207ページの14.5「ホストインタフェースのVSYNC出力」をご覧ください。

表10.20 VOUT出力頻度選択

REG[0198h]ビット15~12	VOUT出力頻度
0000b (デフォルト)	出力なし
0001	VSYNCを毎回出力
0010	2個のLCD-VSYNCに対してVSYNCを1回出力
0011	3個のLCD-VSYNCに対してVSYNCを1回出力
0100	4個のLCD-VSYNCに対してVSYNCを1回出力
⋮	⋮
⋮	⋮
⋮	⋮
1111	15個のLCD-VSYNCに対してVSYNCを1回出力

注

VOUT極性はFPFRAME極性（REG[0050h]ビット7を参照）と同じです。

bits 9-0

VOUT遅延制御ビット[9:0]

これらのビットは、LCDインタフェースについてVSYNCから遅延するライン数を指定します。

表10.21 VOUT遅延選択

REG[0198h]ビット9~0	VOUT遅延
000h (デフォルト)	遅延なし
001h	1ライン
002h	2ライン
003h	3ライン
⋮	⋮
⋮	⋮
⋮	⋮
3FFh	1023ライン

10. レジスタ

REG[019Ah]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

10.4.7 表示設定レジスタ

REG[0200h] Display Mode Setting Register 0							Read/Write
Default = 0000h							
15	14	13	12	11	10	9	8
LCDソフトウェアリセット(WO)	n/a	LCD-LUTバイパスイネーブル	PIP2-LUTバイパスイネーブル	n/a		Reserved	Reserved
7	6	5	4	3	2	1	0

- bit 7 LCDソフトウェアリセット（書き込み専用）
このビットは、LCDモジュールのソフトウェアリセットを行います。
このビットに0を書き込んでもハードウェアに影響を及ぼしません。
このビットに1を書き込むと、LCDモジュールのソフトウェアリセットが実行されます。
- bit 5 LCD-LUTバイパスイネーブル
このビットは、LCD表示出力のガンマ補正にLCD-LUTを使用するかどうかを指定します。
このビットが0のとき、LCD-LUTは使用されます。
このビットが1のとき、LCD-LUTはバイパスされます。
- 注**
LCD-LUTにアクセスできるのは、LCD-LUTをバイパスしているときか、または表示がアクティブでない（REG[0202h]ビット15～13＝000）ときに限られます。
- bit 4 PIP2-LUTバイパスイネーブル
このビットは、PIP2ウインドウのガンマ補正にPIP2-LUTを使用するかどうかを指定します。
このビットが0のとき、PIP2-LUTは使用されます。
このビットが1のとき、PIP2-LUTはバイパスされます。
- bit 1 Reserved
デフォルト値は0です。
- bit 0 Reserved
デフォルト値は0です。

10. レジスタ

REG[0202h] Display Mode Setting Register 1							Read/Write
Default = 0000h							
アクティブLCDポート状態ビット2-0 (RO)			LCD出力ポート選択ビット2-0			ソフトウェアビデオ反転	表示ブランク
15	14	13	12	11	10	9	8
n/a	レイヤモード選択ビット1-0		メインレイヤ表示モード選択	n/a	PIP2ウィンドウ表示イネーブル	PIP1ウィンドウ表示イネーブル	メインウィンドウ表示イネーブル
7	6	5	4	3	2	1	0

bits 15-13

アクティブLCDポート状態ビット[2:0] (読み出し専用)
これらのビットは、アクティブ状態のポートを示します。コマンド、パラメータ、画像データをポートに送出する前に所望のポートがアクティブ状態であることを確認してください。

注

これらのビットは読み出し専用です。変更にはLCD出力ポート選択ビット (REG[0202h]ビット12~10) を使用する必要があります。

表10.22 アクティブLCDポート状態

REG[0202h]ビット15~13	アクティブLCDポート
000 (デフォルト)	すべてオフ
001	LCD1
010~111	Reserved

bits 12-10

LCD出力ポート選択ビット[2:0]
これらのビットは、有効な表示出力ポートを指定します。変更が反映されるのは、現在のフレームの処理が終了した後です。

表10.23 LCD出力ポート選択

REG[0202h]ビット12~10	LCD出力ポート
000 (デフォルト)	すべてオフ
001	LCD1
010~111	Reserved

bit 9

ソフトウェアビデオ反転
このビットは、RGBタイプのパネルデータ出力 (GPIO[23:18], FPDAT[17:0]) を反転するかそのまま (通常) かを指定します。表示がアクティブのときだけでなく、表示が消されている (REG[0202h]ビット8を参照) ときにもこのビットは有効です。全体のまとめを103ページの表10.24「LCDインタフェースデータ出力選択」に示します。

このビットが0のとき、パネルデータ出力は変更されません (通常)。
このビットが1のとき、パネルデータ出力は反転されます。

bit 8

表示ブランク

このビットは、表示領域をディセーブルし、すべてのデータ出力 (GPIO[23:18], FPDAT[17:0]) をLow (またはHigh) に変えることによってRGBタイプのパネルの表示を消します。

このビットが0のとき、表示はアクティブです。

このビットが1のとき、表示は消され、すべてのデータ出力が、ソフトウェアビデオ反転ビット (REG[0202h]ビット9) の設定に基づいてLowまたはHighに切り替わります。

表10.24 LCDインタフェースデータ出力選択

REG[0202h]ビット8	REG[0202h]ビット9	LCDインタフェースデータ出力
0	0	通常
	1	反転
1	0	強制Low
	1	強制High

注

対象となる端子については、23ページの表5.9「LCDインタフェースの端子割り付け」をご覧ください。

bits 6-5

レイヤモード選択ビット[1:0]

これらのビットは、表示領域におけるレイヤの表示順序を選択します。表示領域のうちメインウィンドウまたはPIPウィンドウでない部分については自動的に背景色 (REG[0206h]を参照) となります。選択できるレイヤの組み合わせは以下に示します。

表10.25 レイヤモード選択

REG[0202h]ビット6~5	00	01	10	11
ウィンドウのレイヤ構成				

注

メインレイヤ表示モード選択ビットが1 (REG[0202h]ビット4=1) に設定されているとき、メインレイヤにはもう1つのウィンドウがあります。ただし、2つのメインウィンドウは重なることができないなど、いくつかの制約があります。詳しくは、167ページの図13.3「メインレイヤの制約」をご覧ください。

10. レジスタ

bit 4 メインレイヤ表示モード選択
メインレイヤは、メイン1およびメイン2という2つのウインドウを持つことができます（166ページの13.1「メインレイヤ」を参照）。このビットはメインレイヤに表示されるウインドウ数を指定します。メインウインドウを2枚にした場合、2つのメインウインドウは重なることができないなど、いくつかの制約があります。詳しくは、167ページの図13.3「メインレイヤの制約」をご覧ください。このビットが0のとき、メインレイヤにはメイン1ウインドウしかありません。このビットが1のとき、メインレイヤにはメイン1ウインドウとメイン2ウインドウがあります。

bit 2 PIP2ウインドウ表示イネーブル
このビットは、PIP2ウインドウの表示の有無を指定します。このビットが0のとき、PIP2ウインドウはディセーブルされます。このビットが1のとき、PIP2ウインドウはイネーブルされます。

注

1. パラレルパネルインタフェースを選択している場合は、少なくとも1つのウインドウ（メイン、PIP1、またはPIP2）をイネーブルしてください。いずれもイネーブルされていないとフレーム転送が実行できません。
2. PIP2-LUT をプログラムできるのは、PIP2 ウインドウがディセーブル（REG[0202h]ビット2=0）されているか、またはLCD出力ポートが「すべてオフ」（REG[0202h]ビット12～10=000）に設定されているときに限られます。

bit 1 PIP1ウインドウ表示イネーブル
PIP1ウインドウの表示の有無を指定します。このビットが0のとき、PIP1ウインドウはディセーブルされます。このビットが1のとき、PIP1ウインドウはイネーブルされます。

注

パラレルパネルインタフェースを選択している場合は、少なくとも1つのウインドウ（メイン、PIP1、またはPIP2）をイネーブルしてください。いずれもイネーブルされていないとフレーム転送が実行できません。

bit 0 メインウインドウ表示イネーブル
メインウインドウの表示の有無を指定します。このビットが0のとき、メインウインドウはディセーブルされます。このビットが1のとき、メインウインドウはイネーブルされます。

注

パラレルパネルインタフェースを選択している場合は、少なくとも1つのウインドウ（メイン、PIP1、またはPIP2）をイネーブルしてください。いずれもイネーブルされていないとフレーム転送が実行できません。

REG[0204h] Transparency and Alpha Blend Control Register										
Default = 0000h										
Read/Write										
n/a					アルファブレン ド4キーカラ ーイネーブル	アルファブレン ド3キーカラ ーイネーブル	アルファブレン ド2キーカラ ーイネーブル	アルファブレン ド1キーカラ ーイネーブル		
15	14	13	12	11	10	9	8			
アルファブレン ドモード選 択	n/a					PIP2透過イネーブル	PIP1透過イネーブル	Reserved		
7	6	5	4	3	2	1	0			

- bit 11 アルファブレンド4キーカラーイネーブル
このビットは、アルファブレンド4のキーカラーを制御します。アルファブレンディングが使用できるのは、メインレイヤがPIPレイヤよりも前面にあるとき (REG[0202h]ビット6~5=00または10) に限られます。
このビットが0のとき、アルファブレンド4のキーカラーはディセーブルされます。
このビットが1のとき、アルファブレンド4のキーカラーはイネーブルされます。
- bit 10 アルファブレンド3キーカラーイネーブル
このビットは、アルファブレンド3のキーカラーを制御します。アルファブレンディングが使用できるのは、メインレイヤがPIPレイヤよりも前面にあるとき (REG[0202h]ビット6~5=00または10) に限られます。
このビットが0のとき、アルファブレンド3のキーカラーはディセーブルされます。
このビットが1のとき、アルファブレンド3のキーカラーはイネーブルされます。
- bit 9 アルファブレンド2キーカラーイネーブル
このビットは、アルファブレンド2のキーカラーを制御します。アルファブレンディングが使用できるのは、メインレイヤがPIPレイヤよりも前面にあるとき (REG[0202h]ビット6~5=00または10) に限られます。
このビットが0のとき、アルファブレンド2のキーカラーはディセーブルされます。
このビットが1のとき、アルファブレンド2のキーカラーはイネーブルされます。
- bit 8 アルファブレンド1キーカラーイネーブル
このビットは、アルファブレンド1のキーカラーを制御します。アルファブレンディングが使用できるのは、メインレイヤがPIPレイヤよりも前面にあるとき (REG[0202h]ビット6~5=00または10) に限られます。
このビットが0のとき、アルファブレンド1のキーカラーはディセーブルされます。
このビットが1のとき、アルファブレンド1のキーカラーはイネーブルされます。
- bit 7 アルファブレンドモード選択
このビットは、アルファブレンディングを行うウィンドウを選択します。
このビットが0のとき、アルファブレンディングはメインとPIPのウィンドウに対して実施されます。
このビットが1のとき、アルファブレンディングはPIP1とPIP2のウィンドウに対して実施されます。PIP1とPIP2のウィンドウに互いに重なる部分があり、かつ選択したアルファブレンドのキーカラーを含んだアクティブなメインウィンドウと重なる部分があるとき、PIP1とPIP2のウィンドウは指定のアルファブレンド設定を使ってアルファブレンディングが行われます。しかし、PIP1とPIP2のウィンドウに互いに重なる部分がないが、選択したアルファブレンドのキーカラーを含んだアクティブなメインウィンドウと重なる部分がある場合、PIP1またはPIP2のウィンドウではメインウィンドウにおけるアルファブレンドのキーカラーが透過され、透過機能に似た結果が得られます。

10. レジスタ

bit 2 PIP2透過イネーブル
このビットは、PIP2透過を制御します。
このビットが0のとき、PIP2透過はディセーブルされます。
このビットが1のとき、PIP2透過はイネーブルされます。

注

1. PIP2透過をイネーブルする場合、垂直および水平のスケーリングフィルタをディセーブル (REG[02A0h]ビット5=0かつビット1=0) してください。
2. PIP2透過の対象となるのは、PIP2ウインドウの下にあるウインドウレイヤのみです。背景色には影響を及ぼしません。たとえば、PIP2ウインドウの透過をイネーブルしたとき、キーカラーを選択したがその下に何も無い場合、背景色は透過されず、そのキーカラーは表示されます。

bit 1 PIP1透過イネーブル
このビットは、PIP1透過を制御します。
このビットが0のとき、PIP1透過はディセーブルされます。
このビットが1のとき、PIP1透過はイネーブルされます。

注

1. PIP1透過をイネーブルする場合、垂直および水平のスケーリングフィルタをディセーブル (REG[02A0h]ビット5=0かつビット1=0) してください。
2. PIP1透過の対象となるのは、PIP1ウインドウの下にあるウインドウレイヤのみです。背景色には影響を及ぼしません。たとえば、PIP1ウインドウの透過をイネーブルしたとき、キーカラーを選択したがその下に何も無い場合、背景色は透過されず、そのキーカラーは表示されます。

bit 0 Reserved
デフォルト値は0です。

REG[0206h] Background Color Setting Register							
Default = 0000h							Read/Write
背景色赤ビット4~0				背景色緑ビット5~3			
15	14	13	12	11	10	9	8
背景色緑ビット2~0					背景色青ビット4~0		
7	6	5	4	3	2	1	0

bits 15-11 背景色赤ビット[4:0]
これらのビットは、背景色の定義に用いる5ビットの赤色成分を指定します。

bits 10-5 背景色緑ビット[5:0]
これらのビットは、背景色の定義に用いる6ビットの緑色成分を指定します。

bits 4-0 背景色の青ビット[4:0]
これらのビットは、背景色の定義に用いる5ビットの青色成分を指定します。

REG[0208h] Alpha Blend Ratio Setting Register								Read/Write
Default = 8888h								
15	アルファブレンド4割合設定ビット3~0			12	11	アルファブレンド3割合設定ビット3~0		8
	14	13			10	9		
7	アルファブレンド2割合設定ビット3~0			4	3	アルファブレンド1割合設定ビット3~0		0
	6	5			2	1		

bits 15-12

アルファブレンド4割合設定ビット[3:0]
 これらのビットはアルファブレンド4キーカラーがイネーブル (REG[0204h] ビット11=1) されているときのみ有効です。アルファブレンド4キーカラーのアルファブレンド比を指定します。

表10.26 アルファブレンド4割合選択

REG[0208h]ビット15~12	アルファブレンド比
0000	0%
0001	12.5%
0010	25%
0011	37.5%
0100	50%
0101	62.5%
0110	75%
0111	87.5%
1000	100%
1001~1111	Reserved

bits 11-8

アルファブレンド3割合設定ビット[3:0]
 これらのビットはアルファブレンド3キーカラーがイネーブル (REG[0204h] ビット10=1) されているときのみ有効です。アルファブレンド3キーカラーのアルファブレンド比を指定します。

表10.27 アルファブレンド3割合選択

REG[0208h]ビット11~8	アルファブレンド比
0000	0%
0001	12.5%
0010	25%
0011	37.5%
0100	50%
0101	62.5%
0110	75%
0111	87.5%
1000	100%
1001~1111	Reserved

10. レジスタ

bits 7-4

アルファブレンド2割合設定ビット[3:0]
これらのビットはアルファブレンド2キーカラーがイネーブル (REG[0204h]
ビット9=1) されているときのみ有効です。アルファブレンド2キーカラーのアル
ファブレンド比を指定します。

表10.28 アルファブレンド2割合選択

REG[0208h]ビット7~4	アルファブレンド比
0000	0%
0001	12.5%
0010	25%
0011	37.5%
0100	50%
0101	62.5%
0110	75%
0111	87.5%
1000	100%
1001 ~ 1111	Reserved

bits 3-0

アルファブレンド1割合設定ビット[3:0]
これらのビットはアルファブレンド1キーカラーがイネーブル (REG[0204h]
ビット8=1) されているときのみ有効です。アルファブレンド1キーカラーのアル
ファブレンド比を指定します。

表10.29 アルファブレンド1割合選択

REG[0208h]ビット3~0	アルファブレンド比
0000	0%
0001	12.5%
0010	25%
0011	37.5%
0100	50%
0101	62.5%
0110	75%
0111	87.5%
1000	100%
1001 ~ 1111	Reserved

REG[020Ch] PIP1 Window Transparency Key Color Register							
Default = 0000h							Read/Write
PIP1ウインドウ透過キーカラー赤ビット4-0				PIP1ウインドウ透過キーカラー緑ビット5-3			
15	14	13	12	11	10	9	8
PIP1ウインドウ透過キーカラー緑ビット2-0				PIP1ウインドウ透過キーカラー青ビット4-0			
7	6	5	4	3	2	1	0

- bits 15-11 PIP1ウインドウ透過キーカラー赤ビット[4:0]
これらのビットは、PIP1の透過がイネーブル(REG[0204h]ビット1=1)されているときのみ有効です。PIP1ウインドウの透過キーカラーの定義に用いる5ビットの赤色成分を指定します。
- bits 10-5 PIP1ウインドウ透過キーカラー緑ビット[5:0]
これらのビットは、PIP1の透過がイネーブル(REG[0204h]ビット1=1)されているときのみ有効です。PIP1ウインドウの透過キーカラーの定義に用いる6ビットの緑色成分を指定します。
- bits 4-0 PIP1ウインドウ透過キーカラー青ビット[4:0]
これらのビットは、PIP1の透過がイネーブル(REG[0204h]ビット1=1)されているときのみ有効です。PIP1ウインドウの透過キーカラーの定義に用いる5ビットの青色成分を指定します。

REG[020Eh] PIP2 Window Transparency Key Color Register							
Default = 0000h							Read/Write
PIP2ウインドウ透過キーカラー赤ビット4-0				PIP2ウインドウ透過キーカラー緑ビット5-3			
15	14	13	12	11	10	9	8
PIP2ウインドウ透過キーカラー緑ビット2-0				PIP2ウインドウ透過キーカラー青ビット4-0			
7	6	5	4	3	2	1	0

- bits 15-11 PIP2ウインドウ透過キーカラー赤ビット[4:0]
これらのビットは、PIP2の透過がイネーブル(REG[0204h]ビット2=1)されているときのみ有効です。PIP2ウインドウの透過キーカラーの定義に用いる5ビットの赤色成分を指定します。
- bits 10-5 PIP2ウインドウ透過キーカラー緑ビット[5:0]
これらのビットは、PIP2の透過がイネーブル(REG[0204h]ビット2=1)されているときのみ有効です。PIP2ウインドウの透過キーカラーの定義に用いる6ビットの緑色成分を指定します。
- bits 4-0 PIP2ウインドウ透過キーカラー青ビット[4:0]
これらのビットは、PIP2の透過がイネーブル(REG[0204h]ビット2=1)されているときのみ有効です。PIP2ウインドウの透過キーカラーの定義に用いる5ビットの青色成分を指定します。

10. レジスタ

REG[0210h] Alpha Blend 1 Key Color Register								Read/Write
Default = 0000h								
アルファブレンド1キーカラー赤ビット4~0				アルファブレンド1キーカラー緑ビット5~3				
15	14	13	12	11	10	9	8	
アルファブレンド1キーカラー緑ビット2~0				アルファブレンド1キーカラー青ビット4~0				
7	6	5	4	3	2	1	0	

bits 15-11 アルファブレンド1キーカラー赤ビット[4:0]
 これらのビットは、アルファブレンド1キーカラーがイネーブル (REG[0204h] ビット8=1) されているときのみ有効です。アルファブレンド1キーカラーの定義に用いる5ビットの赤色成分を指定します。

bits 10-5 アルファブレンド1キーカラー緑ビット[5:0]
 これらのビットは、アルファブレンド1キーカラーがイネーブル (REG[0204h] ビット8=1) されているときのみ有効です。アルファブレンド1キーカラーの定義に用いる6ビットの緑色成分を指定します。

bits 4-0 アルファブレンド1キーカラー青ビット[4:0]
 これらのビットは、アルファブレンド1キーカラーがイネーブル (REG[0204h] ビット8=1) されているときのみ有効です。アルファブレンド1キーカラーの定義に用いる5ビットの青色成分を指定します。

REG[0212h] Alpha Blend 2 Key Color Register								Read/Write
Default = 0000h								
アルファブレンド2キーカラー赤ビット4~0				アルファブレンド2キーカラー緑ビット5~3				
15	14	13	12	11	10	9	8	
アルファブレンド2キーカラー緑ビット2~0				アルファブレンド2キーカラー青ビット4~0				
7	6	5	4	3	2	1	0	

bits 15-11 アルファブレンド2キーカラー赤ビット[4:0]
 これらのビットは、アルファブレンド2キーカラーがイネーブル (REG[0204h] ビット9=1) されているときのみ有効です。アルファブレンド2キーカラーの定義に用いる5ビットの赤色成分を指定します。

bits 10-5 アルファブレンド2キーカラー緑ビット[5:0]
 これらのビットは、アルファブレンド2キーカラーがイネーブル (REG[0204h] ビット9=1) されているときのみ有効です。アルファブレンド2キーカラーの定義に用いる6ビットの緑色成分を指定します。

bits 4-0 アルファブレンド2キーカラー青ビット[4:0]
 これらのビットは、アルファブレンド2キーカラーがイネーブル (REG[0204h] ビット9=1) されているときのみ有効です。アルファブレンド2キーカラーの定義に用いる5ビットの青色成分を指定します。

REG[0214h] Alpha Blend 3 Key Color Register							
Default = 0000h							Read/Write
アルファブレンド3キーカラー赤ビット4~0				アルファブレンド3キーカラー緑ビット5~3			
15	14	13	12	11	10	9	8
アルファブレンド3キーカラー緑ビット2~0			アルファブレンド3キーカラー青ビット4~0				
7	6	5	4	3	2	1	0

bits 15-11 アルファブレンド3キーカラー赤ビット[4:0]
 これらのビットは、アルファブレンド3キーカラーがイネーブル (REG[0204h] ビット10=1) されているときのみ有効です。アルファブレンド3キーカラーの定義に用いる5ビットの赤色成分を指定します。

bits 10-5 アルファブレンド3キーカラー緑ビット[5:0]
 これらのビットは、アルファブレンド3キーカラーがイネーブル (REG[0204h] ビット10=1) されているときのみ有効です。アルファブレンド3キーカラーの定義に用いる6ビットの緑色成分を指定します。

bits 4-0 アルファブレンド3キーカラー青ビット[4:0]
 これらのビットは、アルファブレンド3キーカラーがイネーブル (REG[0204h] ビット10=1) されているときのみ有効です。アルファブレンド3キーカラーの定義に用いる5ビットの青色成分を指定します。

REG[0216h] Alpha Blend 4 Key Color Register							
Default = 0000h							Read/Write
アルファブレンド4キーカラー赤ビット4~0				アルファブレンド4キーカラー緑ビット5~3			
15	14	13	12	11	10	9	8
アルファブレンド4キーカラー緑ビット2~0			アルファブレンド4キーカラー青ビット4~0				
7	6	5	4	3	2	1	0

bits 15-11 アルファブレンド4キーカラー赤ビット[4:0]
 これらのビットは、アルファブレンド4キーカラーがイネーブル (REG[0204h] ビット11=1) されているときのみ有効です。アルファブレンド4キーカラーの定義に用いる5ビットの赤色成分を指定します。

bits 10-5 アルファブレンド4キーカラー緑ビット[5:0]
 これらのビットは、アルファブレンド4キーカラーがイネーブル (REG[0204h] ビット11=1) されているときのみ有効です。アルファブレンド4キーカラーの定義に用いる6ビットの緑色成分を指定します。

bits 4-0 アルファブレンド4キーカラー青ビット[4:0]
 これらのビットは、アルファブレンド4キーカラーがイネーブル (REG[0204h] ビット11=1) されているときのみ有効です。アルファブレンド4キーカラーの定義に用いる5ビットの青色成分を指定します。

REG[0218h] Main1 Window X Start Position Register							
Default = 0000h							Read/Write
n/a					メイン1ウインドウX開始位置ビット9~8		
15	14	13	12	11	10	9	8
メイン1ウインドウX開始位置ビット7~0							
7	6	5	4	3	2	1	0

bits 9-0 メイン1ウインドウX開始位置ビット[9:0]
 これらのビットは、パネルの原点を基準としたメイン1ウインドウのX開始位置をピクセルで決定します。メインレイヤの構成については、166ページの13.1「メインレイヤ」をご覧ください。

10. レジスタ

REG[021Ah] Main1 Window Y Start Position Register							Read/Write	
Default = 0000h								
n/a							メイン1ウインドウY開始位置ビット9~8	
15	14	13	12	11	10	9	8	
メイン1ウインドウY開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

メイン1ウインドウY開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたメイン1ウインドウのY開始位置をピクセルで決定します。メインレイヤの構成については、166ページの13.1「メインレイヤ」をご覧ください。

REG[0220h] Main2 Window X Start Position Register							Read/Write	
Default = 0000h								
n/a							メイン2ウインドウX開始位置ビット9~8	
15	14	13	12	11	10	9	8	
メイン2ウインドウX開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

メイン2ウインドウX開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたメイン2ウインドウのX開始位置をピクセルで決定します。メインレイヤの構成については、166ページの13.1「メインレイヤ」をご覧ください。

REG[0222h] Main2 Window Y Start Position Register							Read/Write	
Default = 0000h								
n/a							メイン2ウインドウY開始位置ビット9~8	
15	14	13	12	11	10	9	8	
メイン2ウインドウY開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

メイン2ウインドウY開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたメイン2ウインドウのY開始位置をピクセルで決定します。メインレイヤの構成については、166ページの13.1「メインレイヤ」をご覧ください。

REG[0228h] PIP1 Window X Start Position Register							Read/Write	
Default = 0000h								
n/a							PIP1ウインドウX開始位置ビット9~8	
15	14	13	12	11	10	9	8	
PIP1ウインドウX開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

PIP1ウインドウX開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP1ウインドウのX開始位置をピクセルで決定します。PIPウインドウの構成については、170ページの13.2「PIPレイヤ」をご覧ください。

REG[022Ah] PIP1 Window Y Start Position Register								Read/Write	
Default = 0000h									
n/a						PIP1ウインドウ開始位置ビット9-8			
15	14	13	12	11	10	9	8		
PIP1ウインドウ開始位置ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0

PIP1ウインドウY開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP1ウインドウのY開始位置をピクセルで決定します。PIPウインドウの構成については、170ページの13.2「PIPレイヤ」をご覧ください。

REG[022Ch] PIP1 Window X End Position Register								Read/Write	
Default = 0000h									
n/a						PIP1ウインドウX終了位置ビット9-8			
15	14	13	12	11	10	9	8		
PIP1ウインドウX終了位置ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0

PIP1ウインドウX終了位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP1ウインドウのX終了位置をピクセルで決定します。PIPウインドウの構成については、170ページの13.2「PIPレイヤ」をご覧ください。

注

このレジスタは以下の式が成り立つようにプログラムしてください。

$$\text{REG}[022\text{Ch}] - \text{REG}[0228\text{h}] \quad 4$$

REG[022Eh] PIP1 Window Y End Position Register								Read/Write	
Default = 0000h									
n/a						PIP1ウインドウY終了位置ビット9-8			
15	14	13	12	11	10	9	8		
PIP1ウインドウY終了位置ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0

PIP1ウインドウY終了位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP1ウインドウのY終了位置をピクセルで決定します。PIPウインドウの構成については、170ページの13.2「PIPレイヤ」をご覧ください。

注

このレジスタは以下の式が成り立つようにプログラムしてください。

$$\text{REG}[022\text{Eh}] - \text{REG}[022\text{Ah}] \quad 4$$

10. レジスタ

REG[0230h] PIP2 Window X Start Position Register							Read/Write	
Default = 0000h								
n/a							PIP2ウインドウX開始位置ビット9~8	
15	14	13	12	11	10	9	8	
PIP2ウインドウX開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

PIP2ウインドウX開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP2ウインドウのX開始位置をピクセルで決定します。PIPウインドウの構成については、170ページの13.2「PIPレイヤ」をご覧ください。

REG[0232h] PIP2 Window Y Start Position Register							Read/Write	
Default = 0000h								
n/a							PIP2ウインドウY開始位置ビット9~8	
15	14	13	12	11	10	9	8	
PIP2ウインドウY開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

PIP2ウインドウY開始位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP2ウインドウのY開始位置をピクセルで決定します。PIPウインドウの構成については、170ページの13.2「PIPレイヤ」をご覧ください。

REG[0234h] PIP2 Window X End Position Register							Read/Write	
Default = 0000h								
n/a							PIP2ウインドウX終了位置ビット9~8	
15	14	13	12	11	10	9	8	
PIP2ウインドウX終了位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

PIP2ウインドウX終了位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP2ウインドウのX終了位置をピクセルで決定します。PIPウインドウの構成については、170ページの13.2「PIPレイヤ」をご覧ください。

注

このレジスタは以下の式が成り立つようにプログラムしてください。

$$\text{REG}[0234\text{h}] - \text{REG}[0230\text{h}] = 4$$

REG[0236h] PIP2 Window Y End Position Register								Read/Write	
Default = 0000h									
n/a				PIP2ウインドウY終了位置ビット9~8					
15	14	13	12	11	10	9	8		
PIP2ウインドウY終了位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

PIP2ウインドウY終了位置ビット[9:0]

これらのビットは、パネルの原点を基準としたPIP2ウインドウのY終了位置をピクセルで決定します。PIPウインドウの構成については、170ページの13.2「PIPレイヤ」をご覧ください。

注

このレジスタは以下の式が成り立つようにプログラムしてください。

$$\text{REG}[0236\text{h}] - \text{REG}[0232\text{h}] = 4$$

REG[0238h] Main1 Window Scroll Start Address Register 0								Read/Write	
Default = 0000h									
メイン1ウインドウスクロール開始アドレスビット15~8									
15	14	13	12	11	10	9	8		
メイン1ウインドウスクロール開始アドレスビット7~1							n/a		
7	6	5	4	3	2	1	0		

REG[023Ah] Main1 Window Scroll Start Address Register 1								Read/Write	
Default = 0000h									
n/a				メイン1ウインドウスクロール開始アドレスビット19~16					
15	14	13	12	11	10	9	8		
n/a		メイン1ウインドウスクロール開始アドレスビット19~16							
7	6	5	4	3	2	1	0		

REG[023Ah] bits 3-0

REG[0238h] bits 15-1

メイン1ウインドウスクロール開始アドレスビット[19:1]

これらのビットは、表示バッファにおけるメイン1ウインドウのスクロール開始アドレスを指定します。メイン1ウインドウのスクロールをディセーブルするには、メイン1ウインドウスクロール開始アドレス (REG[0238h] ~ REG[023Ah]) を0hに設定し、かつメイン1ウインドウスクロール終了アドレス (REG[023Ch] ~ REG[023Eh]) を最大値に設定します。スクロールについては、187ページの13.4「スクロールバッファ」をご覧ください。

注

- メイン1ウインドウスクロール開始アドレスはメイン1ウインドウスクロール終了アドレスより小さくしてください。
REG[0238h] ~ REG[023Ah] < REG[023Ch] ~ REG[023Eh]
- メイン1ウインドウ表示開始アドレスはメイン1ウインドウスクロール終了アドレスより小さくしてください。
REG[0240h] ~ REG[0242h] < REG[023Ch] ~ REG[023Eh]

10. レジスタ

REG[023Ch] Main1 Window Scroll End Address Register 0								Read/Write
Default = FFFEh								
メイン1ウインドウスクロール終了アドレスビット15~8								
15	14	13	12	11	10	9	8	
メイン1ウインドウスクロール終了アドレスビット7~1								n/a
7	6	5	4	3	2	1	0	

REG[023Eh] Main1 Window Scroll End Address Register 1								Read/Write
Default = 000Fh								
n/a								
15	14	13	12	11	10	9	8	
n/a				メイン1ウインドウスクロール終了アドレスビット19~16				
7	6	5	4	3	2	1	0	

REG[023Eh] bits 3-0

REG[023Ch] bits 15-1

メイン1ウインドウスクロール終了アドレスビット[19:1]

これらのビットは、表示バッファにおけるメイン1ウインドウのスクロール終了アドレスを指定します。メイン1ウインドウの表示アドレスがこのアドレスよりも大きい場合、表示アドレスはメイン1ウインドウのスクロール開始アドレスに戻ります。メイン1ウインドウのスクロールをディセーブルするには、メイン1ウインドウスクロール開始アドレス (REG[0238h] ~ REG[023Ah]) を0hに設定し、かつメイン 1 ウインドウスクロール終了アドレス (REG[023Ch] ~ REG[023Eh]) を最大値に設定します。スクロールについては、187ページの13.4「スクロールバッファ」をご覧ください。

注

1. メイン 1 ウインドウスクロール開始アドレスはメイン 1 ウインドウスクロール終了アドレスより小さくしてください。
REG[0238h] ~ REG[023Ah] < REG[023Ch] ~ REG[023Eh]
2. メイン 1 ウインドウ表示開始アドレスはメイン 1 ウインドウスクロール終了アドレスより小さくしてください。
REG[0240h] ~ REG[0242h] < REG[023Ch] ~ REG[023Eh]

REG[0240h] Main1 Window Display Start Address Register 0								Read/Write
Default = 0000h								
メイン1ウインドウ表示開始アドレスビット15~8								
15	14	13	12	11	10	9	8	
メイン1ウインドウ表示開始アドレスビット7~1								n/a
7	6	5	4	3	2	1	0	0

REG[0242h] Main1 Window Display Start Address Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				メイン1ウインドウ表示開始アドレスビット19~16				
7	6	5	4	3	2	1	0	0

REG[0242h] bits 3-1

REG[0240h] bits 15-1

メイン1ウインドウ表示開始アドレスビット[19:1]

これらのビットは、表示バッファにおけるメイン1ウインドウ画像の開始アドレスを指定します。

注

メイン1ウインドウ表示開始アドレスはメイン1ウインドウスクロール終了アドレスより小さくしてください。

REG[0240h] ~ REG[0242h] < REG[023Ch] ~ REG[023Eh]

REG[0244h] Main1 Window Line Address Offset Register								Read/Write
Default = 0000h								
n/a		メイン1ウインドウ 垂直ピクセル ダブリング イネーブル	メイン1ウインドウ 水平ピクセル ダブリング イネーブル	メイン1ウインドウラインアドレスオフセットビット11~8				
15	14	13	12	11	10	9	8	
メイン1ウインドウラインアドレスオフセットビット7~1								n/a
7	6	5	4	3	2	1	0	0

bit 13

メイン1ウインドウ垂直ピクセルダブリングイネーブル

このビットは、メイン1ウインドウの垂直寸法（高さ）に対するピクセルダブリング機能を制御します。

このビットが0のとき、ハードウェアに影響を及ぼしません。

このビットが1のとき、垂直寸法（高さ）のピクセルダブリングはイネーブルされます。

注

メイン1ウインドウ垂直ピクセルダブリングをイネーブル（REG[0244h]ビット13=1）した場合、得られるウインドウの下端値がパネルの下端値を超えてはなりません（パネルのVDP以下であることが必要です）。メイン1ウインドウのピクセルダブリングに関する制約事項については、167ページの13.1.1「メインレイヤの制約」および168ページの13.1.3「メインレイヤのピクセルダブリング」をご覧ください。

10. レジスタ

bit 12

メイン1ウインドウ水平ピクセルダブリングイネーブル
 このビットは、メイン1ウインドウの水平寸法（幅）に対するピクセルダブリング機能を制御します。
 このビットが0のとき、ハードウェアに影響を及ぼしません。
 このビットが1のとき、水平寸法（幅）のピクセルダブリングはイネーブルされます。

注

メイン1ウインドウ水平ピクセルダブリングをイネーブル（REG[0244h]ビット12=1）した場合、得られるウインドウの右端値がパネルの右端値を超えてはなりません（パネルのHDP以下であることが必要です）。メイン1ウインドウのピクセルダブリングに関する制約事項については、167ページの13.1.1「メインレイヤの制約」および192ページの168ページの13.1.3「メインレイヤのピクセルダブリング」をご覧ください。

bits 11-1

メイン1ウインドウラインアドレスオフセットビット[11:1]
 これらのビットは、メイン1ウインドウに使用されるメモリにおいてある表示ラインの先頭から次の表示ラインの先頭までのオフセットを指定します。ラインアドレスオフセットは次のように計算できます（ピクセルダブリングのイネーブル・ディセーブルに関係なく適応されます）。

$$\text{REG}[0244\text{h}] \text{ビット} 11 \sim 1 = \text{ライン幅 (ピクセル)} \times 16 \div 8$$

REG[0246h] Main1 Window Image Horizontal Size Register										Read/Write	
Default = 0000h											
n/a										メイン1ウインドウ画像水平サイズビット 9~8	
15	14	13	12	11	10	9	8				
メイン1ウインドウ画像水平サイズビット7~0											
7	6	5	4	3	2	1	0				

bits 9-0

メイン1ウインドウ画像水平サイズビット[9:0]
 これらのビットは、メイン1ウインドウ画像の水平サイズをピクセルで指定します。

$$\text{REG}[0246\text{h}] \text{ビット} 9 \sim 0 : \text{メイン1ウインドウ画像水平サイズ (ピクセル)} - 1$$

REG[0248h] Main1 Window Image Vertical Size Register										Read/Write	
Default = 0000h											
n/a										メイン1ウインドウ画像垂直サイズビット 9~8	
15	14	13	12	11	10	9	8				
メイン1ウインドウ画像垂直サイズビット7~0											
7	6	5	4	3	2	1	0				

bits 9-0

メイン1ウインドウ画像垂直サイズビット[9:0]
 これらのビットは、メイン1ウインドウ画像の垂直サイズをピクセルで指定します。

$$\text{REG}[0248\text{h}] \text{ビット} 9 \sim 0 : \text{メイン1ウインドウ画像垂直サイズ (ピクセル)} - 1$$

REG[024Ah] Main2 Window Display Start Address Register 0								Read/Write
Default = 0000h								
メイン2ウィンドウ表示開始アドレスビット15~8								
15	14	13	12	11	10	9	8	
メイン2ウィンドウ表示開始アドレスビット7~1								n/a
7	6	5	4	3	2	1	0	

REG[024Ch] Main2 Window Display Start Address Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				メイン2ウィンドウ表示開始アドレスビット19~16				
7	6	5	4	3	2	1	0	

REG[024Ch] bits 3-1

REG[024Ah] bits 15-1 メイン2ウィンドウ表示開始アドレスビット[19:1]
これらのビットは、表示バッファにおけるメイン2ウィンドウ画像の開始アドレスを指定します。

REG[024Eh] Main2 Window Line Address Offset Register								Read/Write
Default = 0000h								
n/a		メイン2ウィンドウ 垂直ピクセル ダブリング イネーブル	メイン2ウィンドウ 水平ピクセル ダブリング イネーブル	メイン2ウィンドウラインアドレスオフセットビット11~8				
15	14	13	12	11	10	9	8	
メイン2ウィンドウラインアドレスオフセットビット7~1								n/a
7	6	5	4	3	2	1	0	

bit 13

メイン2ウィンドウ垂直ピクセルダブリングイネーブル
このビットは、メイン2ウィンドウの垂直寸法（高さ）に対するピクセルダブリング機能を制御します。
このビットが0のとき、ハードウェアに影響を及ぼしません。
このビットが1のとき、垂直寸法（高さ）のピクセルダブリングはイネーブルされます。

注

メイン2ウィンドウ垂直ピクセルダブリングをイネーブル（REG[024Eh]ビット13=1）した場合、得られるウィンドウの下端値がパネルの下端値を超えてはなりません（パネルのVDP以下であることが必要です）。また、メイン1ウィンドウの下端値がメイン2ウィンドウの上端値を越えてはなりません。メイン2ウィンドウのピクセルダブリングに関する制約事項については、167ページの13.1.1「メインレイヤの制約」および168ページの13.1.3「メインレイヤのピクセルダブリング」をご覧ください。

bit 12

メイン2ウィンドウ水平ピクセルダブリングイネーブル
このビットは、メイン2ウィンドウの水平寸法（幅）に対するピクセルダブリング機能を制御します。
このビットが0のとき、ハードウェアに影響を及ぼしません。
このビットが1のとき、水平寸法（幅）のピクセルダブリングはイネーブルされます。

10. レジスタ

注

メイン2ウインドウ水平ピクセルダブリングをイネーブ（REG[024Eh]ビット12=1）した場合、得られるウインドウの右端値がパネルの右端値を超えてはなりません（パネルのHDP以下であることが必要です）。メイン2ウインドウのピクセルダブリングに関する制約事項については、167ページの13.1.1「メインレイヤの制約」および168ページの13.1.3「メインレイヤのピクセルダブリング」をご覧ください。

bits 11-1

メイン2ウインドウラインアドレスオフセットビット[11:1]

これらのビットは、メイン2ウインドウに使用されるメモリにおいてある表示ラインの先頭から次の表示ラインの先頭までのオフセットを指定します。ラインアドレスオフセットは次のように計算できます（ピクセルダブリングのイネーブ・ディセーブに関係なく適応されます）

$$\text{REG}[024\text{Eh}] \text{ビット} 11 \sim 1 = \text{ライン幅 (ピクセル)} \times 16 \div 8$$

REG[0250h] Main2 Window Image Horizontal Size Register								Read/Write	
Default = 0000h									
n/a						メイン2ウインドウ画像水平サイズビット 9~8			
15	14	13	12	11	10	9	8		
メイン2ウインドウ画像水平サイズビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

メイン2ウインドウ画像水平サイズビット[9:0]

これらのビットは、メイン2ウインドウ画像の水平サイズをピクセルで指定します。

$$\text{REG}[0250\text{h}] \text{ビット} 9 \sim 0 : \text{メイン2ウインドウ画像水平サイズ (ピクセル)} - 1$$

REG[0252h] Main2 Window Image Vertical Size Register								Read/Write	
Default = 0000h									
n/a						メイン2ウインドウ画像垂直サイズビット 9~8			
15	14	13	12	11	10	9	8		
メイン2ウインドウ画像垂直サイズビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

メイン2ウインドウ画像垂直サイズビット[9:0]

これらのビットは、メイン2ウインドウ画像の垂直サイズをピクセルで指定します。

$$\text{REG}[0252\text{h}] \text{ビット} 9 \sim 0 : \text{メイン2ウインドウ画像垂直サイズ (ピクセル)} - 1$$

10.4.8 PIP1ウインドウ設定レジスタ

REG[0260h] PIP1 Scaling Mode Register							
Default = 0000h							Read/Write
PIP1エッジ強調 イネーブル 15	n/a				PIP1エッジ強調エフェクトビット2-0		
	14	13	12	11	10	9	8
PIP1垂直 スケーリング イネーブル 7	n/a	PIP1垂直フィルタ モード選択	n/a	PIP1水平 スケーリング イネーブル	n/a	PIP1水平フィルタ モード選択	n/a
	6	5	4	3	2	1	0

bit 15 PIP1エッジ強調イネーブル
このビットは、PIP1ウインドウのエッジ強調エフェクトを制御します。
このビットが0のとき、PIP1ウインドウのエッジ強調エフェクトはディセーブル
されます。
このビットが1のとき、PIP1ウインドウのエッジ強調エフェクトはイネーブルさ
れます。

注

PIP1透過がイネーブル (REG[0204h]ビット1 = 1) されているとき、PIP1のエッ
ジ強調はディセーブル (REG[0260h]ビット15 = 0) してください。

bits 10-8 PIP1エッジ強調エフェクトビット[2:0]
これらのビットは、PIP1エッジ強調がイネーブル (REG[0260h]ビット15 = 1)
されているときにのみ効果を持ちます。これらのビットはエッジ強調エフェク
トの強さを指定します。値が001のときにエッジ強調が最も弱くなり、111のと
きに最も強くなります。値を000にするとエッジ強調は行われません。

bit 7 PIP1垂直スケーリングイネーブル
このビットは、PIP1ウインドウの垂直スケーリングを制御します。垂直スケー
リングの設定については、172ページの13.2.2「スケーラの使い方」をご覧くだ
さい。
このビットが0のとき、PIP1ウインドウの垂直スケーリングはディセーブルされ
ます。
このビットが1のとき、PIP1ウインドウの垂直スケーリングはイネーブルされま
す。

bit 5 PIP1垂直フィルタモード選択
このビットは、PIP1ウインドウの垂直スケーリングにおけるフィルタモードを
設定します。垂直スケーリングの設定については、172ページの13.2.2「スケー
ラの使い方」をご覧ください。
このビットが0のとき、垂直スケーリングフィルタはディセーブルされます。
このビットが1のとき、垂直スケーリングフィルタはイネーブルされます。

表10.30 垂直フィルタモード

REG[0260h]ビット5	垂直フィルタモード
0	ラインの複製または間引き
1	インパルス応答としてSINC補間法を使用

注

PIP1透過がイネーブル (REG[0204h]ビット1 = 1) されているとき、垂直スケー
リングフィルタはディセーブル (REG[0260h]ビット5 = 0) してください。

10. レジスタ

- bit 3 PIP1水平スケールゲインエーブル
このビットは、PIP1ウインドウの水平スケールリングを制御します。水平スケールリングの設定については、172ページの13.2.2「スケララの使い方」をご覧ください。
このビットが0のとき、PIP1ウインドウの水平スケールリングはディセーブルされます。
このビットが1のとき、PIP1ウインドウの水平スケールリングはイネーブルされます。
- bit 1 PIP1水平フィルタモード選択
このビットは、PIP1ウインドウの水平スケールリングにおけるフィルタモードを設定します。
このビットが0のとき、水平スケールリングフィルタはディセーブルされます。
このビットが1のとき、水平スケールリングフィルタはイネーブルされます。

表10.31 水平フィルタモード

REG[0260h]ビット1	水平フィルタモード
0	画素の複製または間引き
1	インパルス応答としてSINC補間法を使用

注

PIP1透過がイネーブル (REG[0204h]ビット1 = 1) されているとき、水平スケールリングフィルタはディセーブル (REG[0260h]ビット1 = 0) してください。

REG[0262h] PIP1 Scaler Horizontal Scale Register								Read/Write
Default = 0000h								
Reserved			PIP1水平倍率ビット12~8					
15	14	13	12	11	10	9	8	
			PIP1水平倍率ビット7~0					
7	6	5	4	3	2	1	0	

- bits 15-13 Reserved
デフォルト値は000です。
- bits 12-0 PIP1水平倍率ビット[12:0]
これらのビットは、PIP1スケララの水平倍率を決定します。この値は、以下の式が成り立つようにプログラムしてください。
$$\text{REG}[0262\text{h}] \text{ビット} 12 \sim 0 = 1024 \times (1 \div \text{倍率})$$

端数はビット10の右に格納されます。スケールリングモードが拡大の場合、REG[0262h]ビット12~10はゼロとなります。スケールリングモードが縮小の場合、REG[0262h]ビット12~10はゼロ以外となります。
例：倍率が3.51 (拡大) のとき、REG[0262h]ビット12~0は以下のようにプログラムされることとなります。
$$\begin{aligned} \text{REG}[0262\text{h}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 3.51) \\ &= 291 \text{ (端数は切り捨て)} \\ &= 123\text{h} \end{aligned}$$

注

縮小比は、PCLK (ピクセルクロック)、パネルサイズ、PIP1ウインドウのサイズなどによって変わります。水平倍率は以下の式に従わなければなりません。
水平倍率 PCLK分周比

例：水平倍率を1/2、かつPCLK分周比を1/2とすることはできますが、水平倍率を1/3、かつPCLK分周比を1/2とすることはできません。

REG[0264h] PIP1 Scaler Vertical Scale Register								Read/Write	
Default = 0000h									
15	Reserved		14	13	12	11	10	9	8
					PIP1垂直倍率ビット12~8				
7	6	5	4	3	2	1	0		
					PIP1垂直倍率ビット7~0				

bits 15-13

Reserved

デフォルト値は000です。

bits 12-0

PIP1垂直倍率ビット[12:0]

これらのビットは、PIP1スケーラの垂直倍率を決定します。この値は、以下の式が成り立つようにプログラムしてください。

$$\text{REG}[0264\text{h}] \text{ビット} 12 \sim 0 = 1024 \times (1 \div \text{倍率})$$

端数はビット10の右に格納されます。スケーリングモードが拡大の場合、REG[0264h]ビット12~10はゼロとなります。スケーリングモードが縮小の場合、REG[0264h]ビット12~10はゼロ以外となります。

例：倍率が3.51（拡大）のとき、REG[0264h]ビット12~0は以下のようにプログラムされることとなります。

$$\begin{aligned} \text{REG}[0264\text{h}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 3.51) \\ &= 291 \text{ (端数は切り捨て)} \\ &= 123\text{h} \end{aligned}$$

注

縮小比は、PCLK（ピクセルクロック）、パネルサイズ、PIP1ウインドウのサイズなどによって変わります。水平倍率とPCLK分周比の関係に応じて2種類の関係式に従わなければなりません。

PCLK分周比が水平倍率より小さく、かつ水平倍率が1以下である（PCLK < 水平倍率 × 1）とき、以下の関係式に従わなければなりません。

垂直倍率による場合分け：

$$1 \sim 1/2 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 1) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/2 \sim 1/3 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 2) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/3 \sim 1/4 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 3) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/4 \sim 1/5 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 4) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/5 \sim 1/6 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 5) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/6 \sim 1/7 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 6) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/7 \sim 1/8 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 7) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

10. レジスタ

ただし：

A = PIP1ウインドウの水平サイズ

B = 水平倍率

HT = パネルの全水平期間

一方、PCLK分周比が水平倍率に等しい (PCLK = 水平倍率) とき、以下の関係式に従わなければなりません。

垂直倍率による場合分け：

1 ~ 1/2 : $(A \times (1 \div B) \times 2 + 64 < HT \times (1 \div \text{PCLK分周比}))$

1/2 ~ 1/3 : $(A \times (1 \div B) \times 3 + 64 < HT \times (1 \div \text{PCLK分周比}))$

1/3 ~ 1/4 : $(A \times (1 \div B) \times 4 + 64 < HT \times (1 \div \text{PCLK分周比}))$

1/4 ~ 1/5 : $(A \times (1 \div B) \times 5 + 64 < HT \times (1 \div \text{PCLK分周比}))$

1/5 ~ 1/6 : $(A \times (1 \div B) \times 6 + 64 < HT \times (1 \div \text{PCLK分周比}))$

1/6 ~ 1/7 : $(A \times (1 \div B) \times 7 + 64 < HT \times (1 \div \text{PCLK分周比}))$

1/7 ~ 1/8 : $(A \times (1 \div B) \times 8 + 64 < HT \times (1 \div \text{PCLK分周比}))$

ただし：

A = PIP1ウインドウの水平サイズ

B = 水平倍率

HT = パネルの全水平期間

例：

水平倍率が1/2で垂直倍率が1/2、PIPウインドウの水平サイズが200、全水平期間が480、PCLK分周比が1/2のとき、以下の計算が成立します。

$200 \times (1 \div (1/2)) \times 2 + 64 < 480 \times (1 \div (1/2))$

$864 < 960$ (このケースは許容されます)

水平倍率が1/2で垂直倍率が1/2、PIPウインドウの水平サイズが300、全水平期間が480、PCLK分周比が1/2のとき、以下の計算が成立します。

$300 \times (1 \div (1/2)) \times 2 + 64 < 480 \times (1 \div (1/2))$

$1264 < 960$ (このケースは許容されません)

水平倍率が1で垂直倍率が1/8、PIPウインドウの水平サイズが192、全水平期間が920、PCLK分周比が1/2のとき、以下の計算が成立します。

$(A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 7) + 64 < HT \times (1 \div \text{PCLK分周比})$

$(192 \times 1 \times 2) + (192 \times 1 \times 7) + 64 < 920 \times 2$

$1792 < 1840$ (このケースは許容されます)

水平倍率が1で垂直倍率が1/8、PIPウインドウの水平サイズが200、全水平期間が920、PCLK分周比が1/2のとき、以下の計算が成立します。

$(A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 7) + 64 < HT \times (1 \div \text{PCLK分周比})$

$(200 \times 1 \times 2) + (200 \times 1 \times 7) + 64 < 920 \times 2$

$1864 < 1840$ (このケースは許容されません)

REG[0266h] PIP1 Scaler Port Address Counter Register							Read/Write
Default = 0000h							
15	14	13	12	11	10	9	8
n/a			PIP1スケーラポートアドレスカウンタビット4~0 (RO)				
n/a			フィルタ係数選択	n/a		Reserved	ポートアドレス カウンタリセット (WO)
7	6	5	4	3	2	1	0

bits 12-8

PIP1スケーラポートアドレスカウンタビット[4:0] (読み出し専用)
これらのビットは、PIP1スケーラフィルタ係数表に対するアドレス (またはインデックス値) を示します。係数表には水平フィルタと垂直フィルタのものが1つずつ、計2つあります。その選択はPIP1スケーラフィルタ係数選択ビット (REG[0266h]ビット4) を用いて行います。

PIP1スケーラフィルタ係数表アクセスポート (REG[0268h]ビット7~0) に対する書き込みが完了するたびに、このカウンタが1Fhの値までオートインクリメントされます。ポートアドレスカウンタの値が1Fhに達したら、手動操作によって00hにリセットする必要があります。PIP1スケーラフィルタ係数表アクセスポートの読み出し時には、カウンタはインクリメントされません。

bit 4

PIP1スケーラフィルタ係数選択
このビットは、PIP1スケーラフィルタ係数表アクセスポート (REG[0268h]ビット7~0) を使ってアクセスされるフィルタ係数表 (水平フィルタのものか垂直フィルタのものか) を選択します。
このビットが0のとき、PIP1スケーラの水平フィルタ係数表が選択されます。
このビットが1のとき、PIP1スケーラの垂直フィルタ係数表が選択されます。

bit 1

Reserved
デフォルト値は0です。

bit 0

ポートアドレスカウンタリセット (書き込み専用)
このビットは、PIP1スケーラポートアドレスカウンタ (REG[0266h]ビット12~8) をリセットします。
このビットに0を書き込んでもハードウェアに影響を及ぼしません。
このビットに1を書き込むと、PIP1スケーラポートアドレスカウンタがリセットされます。

10. レジスタ

REG[0268h] PIP1 Scaler Coefficient Table Access Port Register								Write Only
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
PIP1スケーラフィルタ係数表アクセスポートビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

PIP1スケーラフィルタ係数表アクセスポートビット[7:0]（書き込み専用）
 これらのビットは、PIP1スケーラの水平または垂直フィルタに関する係数表のアクセスポートです。アクセスする係数表が水平フィルタのものか垂直フィルタのものは、PIP1スケーラフィルタ係数選択ビットを用います（REG[0266h]ビット4を参照）。フィルタ係数はスケーラのフィルタ処理を開始する前に設定してください。

スケーラの水平フィルタおよび垂直フィルタの係数は、表10.32「PIP1フィルタ係数の例」に示す値に従って設定してください。縦の列は倍率に基づいて変わります。倍率は水平フィルタ（REG[0262h]）と垂直フィルタ（REG[0264h]）に対して別々に設定されます。

補間フィルタ係数の例を下にまとめます。
 各係数の精度は8ビットです。MSBは符号ビットで下位6ビットが端数部分、ビット6が整数部分です。

表10.32 PIP1フィルタ係数の例

ポートアドレス	0h	1h	2h	3h	4h	5h	6h	7h	8h	9h	Ah	Bh	Ch	Dh	Eh	Fh
3次式-1.0	00h	FDh	FBh	F8h	F7h	F7h	FAh	00h	08h	13h	1Dh	28h	31h	39h	3Eh	40h
3次式-0.5	00h	FFh	FEh	FCh	FCh	FCh	FEh	00h	05h	0Eh	18h	24h	2Eh	37h	3Dh	40h
Bスプライン	00h	00h	01h	02h	03h	05h	08h	0Bh	0Fh	14h	19h	1Eh	23h	27h	29h	2Ah
線形	00h	00h	00h	00h	00h	00h	00h	00h	08h	10h	18h	20h	28h	30h	38h	40h
平均	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	20h

REG[026Ah]からREG[026Ch]は予約レジスタです。

これらは予約レジスタです。書き込まないでください。

REG[026Eh] PIP1 Scaler Control Register							Read/Write
Default = 0000h							
PIP1スケーラ ソフトウェア リセット(WO) 15	n/a		Reserved	n/a			
	14	13	12	11	10	9	8
PIP1入力 フォーマット選択 7	n/a						
	6	5	4	3	2	1	0

- bit 15 PIP1スケーラソフトウェアリセット（書き込み専用）
このビットは、PIP1スケーラモジュールのソフトウェアリセットを行います。
このビットを使ったPIP1スケーラのソフトウェアリセットは、他のLCDC機能
に影響を与えません。
このビットに0を書き込んでもハードウェアに影響を及ぼしません。
このビットに1を書き込むと、PIP1スケーラモジュールのソフトウェアリセット
が実行されます。
- bit 12 Reserved
デフォルト値は0です。
- bit 7 PIP1入力フォーマット選択
このビットは、PIP1ウインドウに対する入力データフォーマットを選択します。
このビットが0のとき、入力データフォーマットはRGB 5:6:5です。
このビットが1のとき、入力データフォーマットはYUV 4:2:2です。

10. レジスタ

REG[0270h] PIP1 Window Scroll Start Address Register 0								Read/Write
Default = 0000h								
PIP1ウインドウスクロール開始アドレスビット15~8								
15	14	13	12	11	10	9	8	
PIP1ウインドウスクロール開始アドレスビット7~2								n/a
7	6	5	4	3	2	1	0	

REG[0272h] PIP1 Window Scroll Start Address Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				PIP1ウインドウスクロール開始アドレスビット19~16				
7	6	5	4	3	2	1	0	

REG[0272h] bits 3-0

REG[0270h] bits 15-2

PIP1ウインドウスクロール開始アドレスビット[19:2]

これらのビットは、表示バッファにおけるPIP1ウインドウのスクロール開始アドレスを指定します。PIP1ウインドウのスクロールをディセーブルするには、PIP1ウインドウスクロール開始アドレス (REG[0270h] ~ REG[0272h]) を0hに設定し、かつPIP1ウインドウスクロール終了アドレス (REG[0274h] ~ REG[0276h]) を最大値に設定します。スクロールについては、187ページの13.4「スクロールバッファ」をご覧ください。

注

1. PIP1 ウインドウスクロール開始アドレスは PIP1 ウインドウスクロール終了アドレスより小さくしてください。
REG[0270h] ~ REG[0272h] < REG[0274h] ~ REG[0276h]
2. PIP1 ウインドウ表示開始アドレスは PIP1 ウインドウスクロール終了アドレスより小さくしてください。
REG[0278h] ~ REG[027Ah] < REG[0274h] ~ REG[0276h]

REG[0274h] PIP1 Window Scroll End Address Register 0							
Default = FFFCh							
Read/Write							
PIP1ウインドウスクロール終了アドレスビット15-8							
15	14	13	12	11	10	9	8
PIP1ウインドウスクロール終了アドレスビット7-2						n/a	
7	6	5	4	3	2	1	0

REG[0276h] PIP1 Window Scroll End Address Register 1							
Default = 000Fh							
Read/Write							
n/a							
15	14	13	12	11	10	9	8
n/a				PIP1ウインドウスクロール終了アドレスビット19-16			
7	6	5	4	3	2	1	0

REG[0276h] bits 3-0

REG[0274h] bits 15-2

PIP1ウインドウスクロール終了アドレスビット[19:2]

これらのビットは、表示バッファにおけるPIP1ウインドウのスクロール終了アドレスを指定します。PIP1ウインドウの現在の表示メモリアドレスがこのアドレスよりも大きい場合、PIP1ウインドウ表示アドレスはPIP1ウインドウスクロール開始アドレスに戻ります。PIP1ウインドウのスクロールをディセーブルするには、PIP1ウインドウスクロール開始アドレス(REG[0270h] ~ REG[0272h]) を0hに設定し、かつPIP1ウインドウスクロール終了アドレス(REG[0274h] ~ REG[0276h]) を最大値に設定します。スクロールについては、187ページの13.4「スクロールバッファ」をご覧ください。

注

- PIP1 ウインドウスクロール開始アドレスは PIP1 ウインドウスクロール終了アドレスより小さくしてください。
REG[0270h] ~ REG[0272h] < REG[0274h] ~ REG[0276h]
- PIP1 ウインドウ表示開始アドレスは PIP1 ウインドウスクロール終了アドレスより小さくしてください。
REG[0278h] ~ REG[027Ah] < REG[0274h] ~ REG[0276h]

10. レジスタ

REG[0278h] PIP1 Window Display Start Address Register 0								Read/Write
Default = 0000h								
PIP1ウインドウ表示開始アドレスビット15~8								
15	14	13	12	11	10	9	8	
PIP1ウインドウ表示開始アドレスビット7~1								n/a
7	6	5	4	3	2	1	0	

REG[027Ah] PIP1 Window Display Start Address Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				PIP1ウインドウ表示開始アドレスビット19~16				
7	6	5	4	3	2	1	0	

REG[027Ah] bits 3-0

REG[0278h] bits 15-1 PIP1ウインドウ表示開始アドレスビット[19:1]
これらのビットは、表示バッファにおけるPIP1ウインドウ画像の開始アドレスを指定します。

注

- PIP1 ウインドウ表示開始アドレスは PIP1 ウインドウスクロール終了アドレスより小さくしてください。
REG[0278h] ~ REG[027Ah] < REG[0274h] ~ REG[0276h]
- これらのビットは、32ビットを単位とする値 (REG[0278h]ビット1 = 0) に設定してください。

REG[027Ch] PIP1 Window Line Address Offset Register								Read/Write
Default = 0000h								
n/a				PIP1ウインドウラインアドレスオフセットビット11~8				
15	14	13	12	11	10	9	8	
PIP1ウインドウラインアドレスオフセットビット7~1								n/a
7	6	5	4	3	2	1	0	

bits 11-1

PIP1ウインドウラインアドレスオフセットビット[11:1]
これらのビットは、PIP1ウインドウに使用されるメモリにおいて、ある表示ラインの先頭から次の表示ラインの先頭までのオフセットを指定します。ラインアドレスオフセットは次のように計算できます (ピクセルダブリングのイネーブル・ディセーブルに関係なく適応されます)
 $REG[027Ch] \text{ビット} 11 \sim 1 = \text{ライン幅 (ピクセル)} \times 16 \div 8$

注

これらのビットは、32ビットを単位とする値 (REG[027Ch]ビット1 = 0) に設定してください。

REG[027Eh] PIP1 Source Image Horizontal Size Register							Read/Write	
Default = 0000h								
n/a							PIP1ソース画像水平 サイズビット8	
15	14	13	12	11	10	9	8	
PIP1ソース画像水平サイズビット7~1							n/a	
7	6	5	4	3	2	1	0	

bits 8-1

PIP1ソース画像水平サイズビット[8:1]

これらのビットは、PIP1ソース画像の水平サイズ(幅)をピクセルで指定します。
REG[027Eh]ビット8~1 : PIP1ソース画像水平サイズ(ピクセル)

注

- これらのビットは偶数ピクセル数に設定してください。
- これらのビットは以下の式が成り立つように設定してください。
REG[027Eh]ビット8~1 4

REG[0280h] PIP1 Source Image Vertical Size Register							Read/Write	
Default = 0000h								
n/a							PIP1ソース画像垂直サイズビット9~8	
15	14	13	12	11	10	9	8	
PIP1ソース画像垂直サイズビット7~0							n/a	
7	6	5	4	3	2	1	0	

bits 9-0

PIP1ソース画像垂直サイズビット[9:0]

これらのビットは、PIP1ソース画像の垂直サイズ(高さ)をピクセルで指定します。

REG[0280h]ビット9~0 : PIP1ソース画像垂直サイズ(ピクセル)

注

- これらのビットは以下の式が成り立つように設定してください。
REG[0280h]ビット9~0 4

10. レジスタ

REG[0282h] Pseudo Setting Register								Read/Write
Default = 0020h								
15	14	13	12	11	10	9	8	
n/a		疑似RGB出力カラーフォーマットビット 1~0		n/a	疑似カラー出力モードビット2~0			
7	6	5	4	3	2	1	0	

bits 5-4

疑似RGB出力カラーフォーマットビット[1:0]
有効な疑似カラー出力モードを選択している場合 (REG[0282h]ビット2~0を参照) これらのビットは、LCDパネルインタフェースへの出力のRGBフォーマットを選択します。パネルのデータ幅に合った設定を行うことが推奨されます (たとえば18ビットパネルはRGB 6:6:6を使用します)。

表10.33 疑似出力カラーフォーマット

REG[0282h]ビット5~4	疑似出力カラーフォーマット
00	RGB 4:4:4
01	RGB 5:6:5
10 (デフォルト)	RGB 6:6:6
11	Reserved

bits 2-0

疑似カラー出力モードビット[2:0]
これらのビットは、LCDインタフェースに出力するためにRGB 8:8:8の内部画像データをRGB 4:4:4、RGB 5:6:5、RGB 6:6:6のデータに変換する方法を選択します。この機能はデータ幅が24ビット未満のパネルを対象に考案されたものです。出力カラーフォーマットは疑似 RGB 出力カラーフォーマットビット (REG[0282h]ビット5~4) を使って選択します。

以下の方法が使用できます。

表10.34 疑似カラー出力モード

REG[0282h]ビット2~0	疑似モード
000 (デフォルト)	ディセーブル (そのまま出力)
001	2×2ディザリングイネーブル
010	FRMイネーブル
011	Reserved
100	誤差拡散法イネーブル
101 ~ 111	Reserved

REG[0290h]からREG[0292h]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

10. レジスタ

10.4.9 PIP2ウインドウ設定レジスタ

REG[02A0h] PIP2 Scaling Mode Register							
Default = 0000h							Read/Write
PIP2エッジ強調 イネーブル 15	n/a				PIP2エッジ強調エフェクトビット2-0		
	14	13	12	11	10	9	8
PIP2垂直 スケーリング イネーブル 7	n/a	PIP2垂直フィルタ モード選択	n/a	PIP2水平 スケーリング イネーブル	n/a	PIP2水平フィルタ モード選択	n/a
	6	5	4	3	2	1	0

bit 15 PIP2エッジ強調イネーブル
このビットは、PIP2ウインドウのエッジ強調エフェクトを制御します。
このビットが0のとき、PIP2ウインドウのエッジ強調エフェクトはディセーブル
されます。
このビットが1のとき、PIP2ウインドウのエッジ強調エフェクトはイネーブルさ
れます。

注

PIP2透過がイネーブル (REG[0204h]ビット2 = 1) されているとき、PIP2のエッ
ジ強調はディセーブル (REG[02A0h]ビット15 = 0) してください。

bits 10-8 PIP2エッジ強調エフェクトビット[2:0]
これらのビットは、PIP2エッジ強調がイネーブル (REG[02A0h]ビット15 = 1)
されているときにのみ効果を持ちます。これらのビットはエッジ強調エフェク
トの強さを指定します。
値が001のときにエッジ強調が最も弱くなり、111のときに最も強くなります。
値を000にするとエッジ強調は行われません。

bit 7 PIP2垂直スケーリングイネーブル
このビットは、PIP2ウインドウの垂直スケーリングを制御します。垂直スケー
リングの設定については、172ページの13.2.2「スケーラの使用方」をご覧ください。
このビットが0のとき、PIP2ウインドウの垂直スケーリングはディセーブルされ
ます。
このビットが1のとき、PIP2ウインドウの垂直スケーリングはイネーブルされま
す。

bits 5 PIP2垂直フィルタモード選択
このビットは、PIP2ウインドウの垂直スケーリングにおけるフィルタモードを
設定します。垂直スケーリングの設定については、172ページの13.2.2「スケー
ラの使用方」をご覧ください。
このビットが0のとき、垂直スケーリングフィルタはディセーブルされます。
このビットが1のとき、垂直スケーリングフィルタはイネーブルされます。

表10.35 PIP2垂直フィルタモード

REG[02A0h]ビット5	PIP2垂直フィルタモード
0	ラインの複製または間引き
1	インパルス応答としてSINC補間法を使用

注

PIP2透過がイネーブル (REG[0204h]ビット2 = 1) されているとき、垂直スケー
リングフィルタはディセーブル (REG[02A0h]ビット5 = 0) してください。

- bit 3 PIP2水平スケールゲインエーブル
このビットは、PIP2ウインドウの水平スケールリングを制御します。水平スケールリングの設定については、172ページの13.2.2「スケーラの使い方」をご覧ください。
このビットが0のとき、PIP2ウインドウの水平スケールリングはディセーブルされます。
このビットが1のとき、PIP2ウインドウの水平スケールリングはイネーブルされます。
- bit 1 PIP2水平フィルタモード選択
このビットは、PIP2ウインドウの水平スケールリングにおけるフィルタモードを設定します。水平スケールリングの設定については、172ページの13.2.2「スケーラの使い方」をご覧ください。
このビットが0のとき、水平スケールリングフィルタはディセーブルされます。
このビットが1のとき、水平スケールリングフィルタはイネーブルされます。

表10.36 PIP2水平フィルタモード

REG[02A0h]ビット1	PIP2水平フィルタモード
0	ピクセルの複製または間引き
1	インパルス応答としてSINC補間法を使用

注

PIP2透過がイネーブル (REG[0204h]ビット2 = 1) されているとき、水平スケールリングフィルタはディセーブル (REG[02A0h]ビット1 = 0) してください。

REG[02A2h] PIP2 Scaler Horizontal Scale Register							
Default = 0000h							Read/Write
Reserved			PIP2水平倍率ビット12~8				
15	14	13	12	11	10	9	8
			PIP2水平倍率ビット7~0				
7	6	5	4	3	2	1	0

- bits 15-13 Reserved
デフォルト値は000です。
- bits 12-0 PIP2水平倍率ビット[12:0]
これらのビットは、PIP2スケーラの水平倍率を決定します。この値は、以下の式が成り立つようにプログラムしてください。
REG[02A2h]ビット12~0 = $1024 \times (1 \div \text{倍率})$
- 端数はビット10の右に格納されます。スケールリングモードが拡大の場合、REG[02A2h]ビット12~10はゼロとなります。スケールリングモードが縮小の場合、REG[02A2h]ビット12~10はゼロ以外となります。
- 例：倍率が3.51（拡大）のとき、REG[02A2h]ビット12~0は以下のようにプログラムされることとなります。
REG[02A2h]ビット12~0 = $1024 \times (1 \div \text{倍率})$
= $1024 \times (1 \div 3.51)$
= 291（端数は切り捨て）
= 123h

10. レジスタ

注

縮小比は、PCLK（ピクセルクロック）、パネルサイズ、PIP2ウインドウのサイズなどによって変わります。水平倍率は以下の式に従わなければなりません。
水平倍率 PCLK分周比

例：水平倍率を1/2、かつPCLK分周比を1/2とすることはできますが、水平倍率を1/3、かつPCLK分周比を1/2とすることはできません。

REG[02A4h] PIP2 Scaler Vertical Scale Register							Read/Write
Default = 0000h							
15	Reserved		12	11	PIP2垂直倍率ビット12~8		8
	14	13			10	9	
PIP2垂直倍率ビット7~0							
7	6	5	4	3	2	1	0

bits 15-13

Reserved

デフォルト値は000です。

bits 12-0

PIP2垂直倍率ビット[12:0]

これらのビットは、PIP2スケーラの垂直倍率を決定します。この値は、以下の式が成り立つようにプログラムしてください。

$$\text{REG}[02A4\text{h}] \text{ビット} 12 \sim 0 = 1024 \times (1 \div \text{倍率})$$

端数はビット10の右に格納されます。スケーリングモードが拡大の場合、REG[02A4h]ビット12~10はゼロとなります。スケーリングモードが縮小の場合、REG[02A4h]ビット12~10はゼロ以外となります。

例：倍率が3.51（拡大）のとき、REG[02A4h]ビット12~0は以下のようにプログラムされることとなります。

$$\begin{aligned} \text{REG}[02A4\text{h}] \text{ビット} 12 \sim 0 &= 1024 \times (1 \div \text{倍率}) \\ &= 1024 \times (1 \div 3.51) \\ &= 291 \text{（端数は切り捨て）} \\ &= 123\text{h} \end{aligned}$$

注

縮小比は、PCLK（ピクセルクロック）、パネルサイズ、PIP2ウインドウのサイズなどによって変わります。水平倍率とPCLK分周比の関係に応じて2種類の関係式に従わなければなりません。

PCLK分周比が水平倍率より小さく、かつ水平倍率が1以下である（PCLK < 水平倍率 - 1）とき、以下の関係式に従わなければなりません。

垂直倍率による場合分け：

$$1 \sim 1/2 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 1) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/2 \sim 1/3 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 2) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/3 \sim 1/4 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 3) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/4 \sim 1/5 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 4) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/5 \sim 1/6 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 5) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/6 \sim 1/7 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 6) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$1/7 \sim 1/8 : (A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 7) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

ただし：

A = PIP2ウインドウの水平サイズ

B = 水平倍率

HT = パネルの全水平期間

一方、PCLK分周比が水平倍率に等しい (PCLK = 水平倍率) とき、以下の関係式に従わなければなりません。

垂直倍率による場合分け：

$$1 \sim 1/2 : (A \times (1 \div B) \times 2 + 64 < \text{HT} \times (1 \div \text{PCLK分周比}))$$

$$1/2 \sim 1/3 : (A \times (1 \div B) \times 3 + 64 < \text{HT} \times (1 \div \text{PCLK分周比}))$$

$$1/3 \sim 1/4 : (A \times (1 \div B) \times 4 + 64 < \text{HT} \times (1 \div \text{PCLK分周比}))$$

$$1/4 \sim 1/5 : (A \times (1 \div B) \times 5 + 64 < \text{HT} \times (1 \div \text{PCLK分周比}))$$

$$1/5 \sim 1/6 : (A \times (1 \div B) \times 6 + 64 < \text{HT} \times (1 \div \text{PCLK分周比}))$$

$$1/6 \sim 1/7 : (A \times (1 \div B) \times 7 + 64 < \text{HT} \times (1 \div \text{PCLK分周比}))$$

$$1/7 \sim 1/8 : (A \times (1 \div B) \times 8 + 64 < \text{HT} \times (1 \div \text{PCLK分周比}))$$

ただし：

A = PIP2ウインドウの水平サイズ

B = 水平倍率

HT = パネルの全水平期間

例：

水平倍率が1/2で垂直倍率が1/2、PIPウインドウの水平サイズが200、全水平期間が480、PCLK分周比が1/2のとき、以下の計算が成立します。

$$200 \times (1 \div (1/2)) \times 2 + 64 < 480 \times (1 \div (1/2))$$

$$864 < 960 \text{ (このケースは許容されます)}$$

水平倍率が1/2で垂直倍率が1/2、PIPウインドウの水平サイズが300、全水平期間が480、PCLK分周比が1/2のとき、以下の計算が成立します。

$$300 \times (1 \div (1/2)) \times 2 + 64 < 480 \times (1 \div (1/2))$$

$$1264 < 960 \text{ (このケースは許容されません)}$$

水平倍率が1で垂直倍率が1/8、PIPウインドウの水平サイズが192、全水平期間が920、PCLK分周比が1/2のとき、以下の計算が成立します。

$$(A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 7) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$(192 \times 1 \times 2) + (192 \times 1 \times 7) + 64 < 920 \times 2$$

$$1792 < 1840 \text{ (このケースは許容されます)}$$

水平倍率が1で垂直倍率が1/8、PIPウインドウの水平サイズが200、全水平期間が920、PCLK分周比が1/2のとき、以下の計算が成立します。

$$(A \times (1 \div B) \times (1 \div \text{PCLK分周比})) + (A \times (1 \div B) \times 7) + 64 < \text{HT} \times (1 \div \text{PCLK分周比})$$

$$(200 \times 1 \times 2) + (200 \times 1 \times 7) + 64 < 920 \times 2$$

$$1864 < 1840 \text{ (このケースは許容されません)}$$

10. レジスタ

REG[02A6h] PIP2 Scaler Port Address Counter Control Register							Read/Write
Default = 0000h							
15	14	13	12	11	10	9	8
n/a			PIP2スケーラポートアドレスカウンタビット4~0 (RO)				
7	6	5	4	3	2	1	0
n/a			PIP2スケーラ フィルタ係数選択	n/a		Reserved	PIP2スケーラポート アドレスカウンタ リセット (WO)

bits 12-8

PIP2スケーラポートアドレスカウンタビット[4:0] (読み出し専用)
これらのビットは、PIP2スケーラフィルタ係数表に対するアドレス (またはインデックス値) を示します。係数表には水平フィルタと垂直フィルタのものが1つずつ、計2つあります。その選択はPIP2スケーラフィルタ係数選択ビット (REG[02A6h]ビット4) を用いて行います。

PIP2スケーラフィルタ係数表アクセスポート (REG[02A8h]ビット7~0) に対する書き込みが完了するたびに、このカウンタが1Fhの値までオートインクリメントされます。ポートアドレスカウンタの値が1Fhに達したら、手動操作によって00hにリセットする必要があります。PIP2スケーラフィルタ係数表アクセスポートの読み出し時には、カウンタはインクリメントされません。

bit 4

PIP2スケーラフィルタ係数選択
このビットは、PIP2スケーラフィルタ係数表アクセスポート (REG[02A8h]ビット7~0) を使ってアクセスされるフィルタ係数表 (水平フィルタのものか垂直フィルタのものか) を選択します。
このビットが0のとき、PIP2スケーラの水平フィルタ係数表が選択されます。
このビットが1のとき、PIP2スケーラの垂直フィルタ係数表が選択されます。

bit 1

Reserved
デフォルト値は0です。

bit 0

PIP2スケーラポートアドレスカウンタリセット (書き込み専用)
このビットは、PIP2スケーラポートアドレスカウンタ (REG[02A6h]ビット12~8) をリセットします。
このビットに0を書き込んでもハードウェアに影響を及ぼしません。
このビットに1を書き込むと、ポートアドレスカウンタがリセットされます。

REG[02A8h] PIP2 Scaler Coefficient Table Access Port Register								Write Only
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
PIP2スケーラフィルタ係数表アクセスポートビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

PIP2スケーラフィルタ係数表アクセスポートビット[7:0]（書き込み専用）
 これらのビットは、PIP2スケーラの水平または垂直フィルタに関する係数表のアクセスポートです。アクセスする係数表が水平フィルタのものが垂直フィルタのものは、PIP2スケーラフィルタ係数選択ビットを用います（REG[02A6h]ビット4を参照）。フィルタ係数はスケーラのフィルタ処理を開始する前に設定してください。

スケーラの水平フィルタおよび垂直フィルタの係数は、表10.37「PIP2フィルタ係数の例」に示す値に従って設定してください。縦の列は倍率に基づいて変わります。倍率は水平フィルタ（REG[02A2h]）と垂直フィルタ（REG[02A4h]）に対して別々に設定されます。

補間フィルタ係数の例を下にまとめます。
 各係数の精度は8ビットです。MSBは符号ビットで下位6ビットが端数部分、ビット6が整数部分です。

表10.37 PIP2フィルタ係数の例

ポートアドレス	0h	1h	2h	3h	4h	5h	6h	7h	8h	9h	Ah	Bh	Ch	Dh	Eh	Fh
3次式-1.0	00h	FDh	FBh	F8h	F7h	F7h	FAh	00h	08h	13h	1Dh	28h	31h	39h	3Eh	40h
3次式-0.5	00h	FFh	FEh	FCh	FCh	FCh	FEh	00h	05h	0Eh	18h	24h	2Eh	37h	3Dh	40h
Bスプライン	00h	00h	01h	02h	03h	05h	08h	0Bh	0Fh	14h	19h	1Eh	23h	27h	29h	2Ah
線形	00h	00h	00h	00h	00h	00h	00h	00h	08h	10h	18h	20h	28h	30h	38h	40h
平均	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	10h	20h

10. レジスタ

REG[02AAh]からREG[02ACh]は予約レジスタです。

これらは予約レジスタです。書き込まないでください。

REG[02AEh] PIP2 Scaler Control Register							Read/Write
Default = 0000h							
PIP2スケーラソフトウェアリセット(WO)	n/a		Reserved	n/a			
15	14	13	12	11	10	9	8
PIP2入力フォーマット選択	n/a	ワイドスケーリングモード選択ビット1~0		n/a			
7	6	5	4	3	2	1	0

- bit 15 PIP2スケーラソフトウェアリセット（書き込み専用）
このビットは、PIP2スケーラモジュールのソフトウェアリセットを行います。このビットを使ったPIP2スケーラのソフトウェアリセットは、他のLCDC機能に影響を与えません。このビットに0を書き込んでもハードウェアに影響を及ぼしません。このビットに1を書き込むと、スケーラモジュールのソフトウェアリセットが実行されます。
- bit 12 Reserved
デフォルト値は0です。
- bit 7 PIP2入力フォーマット選択
PIP2ウィンドウに対する入力データフォーマットを選択します。このビットが0のとき、入力データフォーマットはRGB 5:6:5です。このビットが1のとき、入力データフォーマットはYUV 4:2:2です。
- bits 5-4 ワイドスケーリングモード選択ビット[1:0]
これらのビットは、PIP2ウィンドウのスケーリングモードを選択します。部分パノラマモードについては177ページの「部分パノラマモード」を、線形パノラマモードについては181ページの「線形パノラマモード」をそれぞれご覧ください。

表10.38 ワイドスケーリングモード選択

REG[02AEh]ビット5~4	ワイドスケーリングモード	使用する垂直倍率レジスタ
00 (デフォルト)	標準スケーリング	REG[02A4h]
01	部分パノラマスケーリング	REG[02A4h]、REG[02C2h]、REG[02C4h]
10	線形パノラマスケーリング	REG[02A4h]、REG[02C2h]、REG[02CEh]
11	Reserved	—

REG[02B0h] PIP2 Window Scroll Start Address Register 0							Read/Write
Default = 0000h							
PIP2ウィンドウスクロール開始アドレスビット15~8							
15	14	13	12	11	10	9	8
PIP2ウィンドウスクロール開始アドレスビット7~2						n/a	
7	6	5	4	3	2	1	0

REG[02B2h] PIP2 Window Scroll Start Address Register 1							Read/Write	
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a			PIP2ウィンドウスクロール開始アドレスビット19~16					
7	6	5	4	3	2	1	0	

REG[02B2h] bits 3-0

REG[02B0h] bits 15-2 PIP2ウインドウスクロール開始アドレスビット[19:2]
これらのビットは、表示バッファにおけるPIP2ウインドウのスクロール開始アドレスを指定します。PIP2ウインドウのスクロールをディセーブルするには、PIP2ウインドウスクロール開始アドレス (REG[02B0h] ~ REG[02B2h]) を0hに設定し、かつ PIP2 ウインドウスクロール終了アドレス (REG[02B4h] ~ REG[02B6h]) を最大値に設定します。スクロールについては、187ページの13.4「スクロールバッファ」をご覧ください。

注

1. PIP2 ウインドウスクロール開始アドレスは PIP2 ウインドウスクロール終了アドレスより小さくしてください。
REG[02B0h] ~ REG[02B2h] < REG[02B4h] ~ REG[02B6h]
2. PIP2 ウインドウ表示開始アドレスは PIP2 ウインドウスクロール終了アドレスより小さくしてください。
REG[02B8h] ~ REG[02BAh] < REG[02B4h] ~ REG[02B6h]

10. レジスタ

REG[02B4h] PIP2 Window Scroll End Address Register 0							
Default = FFFCh							Read/Write
PIP2ウインドウスクロール終了アドレスビット15-8							
15	14	13	12	11	10	9	8
PIP2ウインドウスクロール終了アドレスビット7-2							n/a
7	6	5	4	3	2	1	0

REG[02B6h] PIP2 Window Scroll End Address Register 1							
Default = 000Fh							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a				PIP2ウインドウスクロール終了アドレスビット19-16			
7	6	5	4	3	2	1	0

REG[02B6h] bits 3-0

REG[02B4h] bits 15-2

PIP2ウインドウスクロール終了アドレスビット[19:2]

これらのビットは、表示バッファにおけるPIP2ウインドウのスクロール終了アドレスを指定します。PIP2ウインドウの現在の表示メモリアドレスがこのアドレスよりも大きい場合、PIP2ウインドウ表示アドレスはPIP2ウインドウスクロール開始アドレスに戻ります。PIP2ウインドウのスクロールをディセーブルするには、PIP2 ウインドウスクロール開始アドレス (REG[02B0h] ~ REG[02B2h]) を0hに設定し、かつPIP2ウインドウスクロール終了アドレス (REG[02B4h] ~ REG[02B6h]) を最大値に設定します。スクロールについては、187ページの13.4「スクロールバッファ」をご覧ください。

注

1. PIP2 ウインドウスクロール開始アドレスは PIP2 ウインドウスクロール終了アドレスより小さくしてください。
REG[02B0h] ~ REG[02B2h] < REG[02B4h] ~ REG[02B6h]
2. PIP2 ウインドウ表示開始アドレスは PIP2 ウインドウスクロール終了アドレスより小さくしてください。
REG[02B8h] ~ REG[02BAh] < REG[02B4h] ~ REG[02B6h]

REG[02B8h] PIP2 Window Display Start Address Register 0								Read/Write
Default = 0000h								
PIP2ウインドウ表示開始アドレスビット15~8								
15	14	13	12	11	10	9	8	
PIP2ウインドウ表示開始アドレスビット7~1								n/a
7	6	5	4	3	2	1	0	

REG[02BAh] PIP2 Window Display Start Address Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				PIP2ウインドウ表示開始アドレスビット19~16				
7	6	5	4	3	2	1	0	

REG[02BAh] bits 3-0

REG[02B8h] bits 15-1 PIP2ウインドウ表示開始アドレスビット[19:1]
これらのビットは、表示バッファにおけるPIP2ウインドウ画像の開始アドレスを指定します。

注

- PIP2 ウインドウ表示開始アドレスは PIP2 ウインドウスクロール終了アドレスより小さくしてください。
REG[02B8h] ~ REG[02BAh] < REG[02B4h] ~ REG[02B6h]
- これらのビットは、32ビットを単位とする値 (REG[02B8h]ビット1 = 0) に設定してください。

REG[02BCh] PIP2 Window Line Address Offset Register								Read/Write
Default = 0000h								
n/a				PIP2ウインドウラインアドレスオフセットビット11~8				
15	14	13	12	11	10	9	8	
PIP2ウインドウラインアドレスオフセットビット7~1								n/a
7	6	5	4	3	2	1	0	

bits 11-1

PIP2ウインドウラインアドレスオフセットビット[11:1]
これらのビットは、PIP2ウインドウに使用されるメモリにおいてある表示ラインの先頭から次の表示ラインの先頭までのオフセットを指定します。ラインアドレスオフセットは次のように計算できます (ピクセルダブリングのイネーブル・ディセーブルに関係なく適応されます)。
REG[02BCh]ビット11~1 = ライン幅 (ピクセル) × 16 ÷ 8

注

これらのビットは、32ビットを単位とする値 (REG[02BCh]ビット1 = 0) に設定してください。

10. レジスタ

REG[02BEh] PIP2 Source Image Horizontal Size Register							Read/Write
Default = 0000h							
n/a							PIP2ソース画像水平 サイズビット8
15	14	13	12	11	10	9	8
PIP2ソース画像水平サイズビット7~1							n/a
7	6	5	4	3	2	1	0

bits 8-1

PIP2ソース画像水平サイズビット[8:1]
これらのビットは、PIP2ソース画像の水平サイズ(幅)をピクセルで指定します。
REG[02BEh]ビット8~1: PIP2ソース画像水平サイズ(ピクセル)

注

- これらのビットは偶数ピクセル数に設定してください。
- これらのビットは以下の式が成り立つように設定してください。
REG[02BEh]ビット8~1 4

REG[02C0h] PIP2 Source Image Vertical Size Register							Read/Write
Default = 0000h							
n/a							PIP2ソース画像垂直サイズビット9~8
15	14	13	12	11	10	9	8
PIP2ソース画像垂直サイズビット7~0							
7	6	5	4	3	2	1	0

bits 9-0

PIP2ソース画像垂直サイズビット[9:0]
これらのビットは、PIP2ソース画像の垂直サイズ(高さ)をピクセルで指定します。
REG[02C0h]ビット9~0: PIP2ソース画像垂直サイズ(ピクセル)

注

これらのビットは以下の式が成り立つように設定してください。
REG[02C0h]ビット9~0 4

REG[02C2h] PIP2 Panorama Area A Vertical Scale Register							Read/Write
Default = 0000h							
n/a			PIP2パノラマ領域A垂直倍率ビット12~8				
15	14	13	12	11	10	9	8
PIP2パノラマ領域A垂直倍率ビット7~0							
7	6	5	4	3	2	1	0

bits 12-0

PIP2パノラマ領域A垂直倍率ビット[12:0]
これらのビットは、PIP2スケアラの垂直倍率を決定します。この値は、以下の式が成り立つようにプログラムしてください。
REG[02C2h]ビット12~0 = $1024 \times (1 \div \text{倍率})$

注

線形パノラマスケリングモードを選択している (REG[02AEh]の5~4 = 10) 場合、垂直初期倍率はこれらのビットで指定してください。

REG[02C4h] PIP2 Panorama Area B Vertical Scale Register								Read/Write
Default = 0000h								
n/a			PIP2パノラマ領域B垂直倍率ビット12~8					
15	14	13	12	11	10	9	8	
PIP2パノラマ領域B垂直倍率ビット7~0								
7	6	5	4	3	2	1	0	

bits 12-0

PIP2パノラマ領域B垂直倍率ビット[12:0]

これらのビットは、スケーラの垂直倍率を指定します。この値は、以下の式が成り立つようにプログラムしてください。

$$\text{REG}[02C4\text{h}] \text{ビット}12 \sim 0 = 1024 \times (1 \div \text{倍率})$$

注

線形パノラマスケーリングモードを選択している (REG[02AEh]ビット5~4=10) 場合、これらのビットは無効です。

REG[02C6h] PIP2 Panorama Area 1 Vertical Start Line Register								Read/Write
Default = 0000h								
n/a						PIP2パノラマ領域1垂直開始ラインビット9~8		
15	14	13	12	11	10	9	8	
PIP2パノラマ領域1垂直開始ラインビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

PIP2パノラマ領域1垂直開始ラインビット[9:0]

これらのビットは、PIP2パノラマ領域1垂直開始ラインをピクセルで指定します。

REG[02C6h]ビット9~0 : PIP2パノラマ領域1垂直開始ライン (ピクセル)

注

線形パノラマスケーリングモードを選択している (REG[02AEh]ビット5~4=10) 場合、通常スケーリング領域の垂直開始ラインはこれらのビットを使ってラインで指定してください。

REG[02C8h] PIP2 Panorama Area 2 Vertical Start Line Register								Read/Write
Default = 0000h								
n/a						PIP2パノラマ領域2垂直開始ラインビット9~8		
15	14	13	12	11	10	9	8	
PIP2パノラマ領域2垂直開始ラインビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

PIP2パノラマ領域2垂直開始ラインビット[9:0]

これらのビットは、PIP2パノラマ領域2垂直開始ラインをピクセルで指定します。

REG[02C8h]ビット9~0 : PIP2パノラマ領域2垂直開始ライン (ピクセル)

注

線形パノラマスケーリングモードを選択している (REG[02AEh]ビット5~4=10) 場合、第2パノラマ領域の垂直開始ラインはこれらのビットを使ってラインで指定してください。

10. レジスタ

REG[02CAh] PIP2 Panorama Area 3 Vertical Start Line Register								Read/Write	
Default = 0000h									
n/a						PIP2パノラマ領域3垂直開始ラインビット 9~8			
15	14	13	12	11	10	9	8		
PIP2パノラマ領域3垂直開始ラインビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

PIP2パノラマ領域3垂直開始ラインビット[9:0]
これらのビットは、PIP2パノラマ領域3垂直開始ラインをピクセルで指定します。

REG[02CAh]ビット9~0：PIP2パノラマ領域3垂直開始ライン（ピクセル）

注

線形パノラマスケーリングモードを選択している（REG[02AEh]ビット5~4 = 10）場合、これらのビットは無効です。

REG[02CCh] PIP2 Panorama Area 4 Vertical Start Line Register								Read/Write	
Default = 0000h									
n/a						PIP2パノラマ領域4垂直開始ラインビット 9~8			
15	14	13	12	11	10	9	8		
PIP2パノラマ領域4垂直開始ラインビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

PIP2パノラマ領域4垂直開始ラインビット[9:0]
これらのビットは、PIP2パノラマ領域4垂直開始ラインをピクセルで指定します。

REG[02CCh]ビット9~0：PIP2パノラマ領域4垂直開始ライン（ピクセル）

注

線形パノラマスケーリングモードを選択している（REG[02AEh]ビット5~4 = 10）場合、これらのビットは無効です。

REG[02CEh] PIP2 Linear Panorama Area Vertical Delta Register								Read/Write	
Default = 0000h									
n/a		PIP2線形パノラマ領域垂直デルタビット13~8							
15	14	13	12	11	10	9	8		
PIP2線形パノラマ領域垂直デルタビット7~0									
7	6	5	4	3	2	1	0		

bits 13-0

PIP2線形パノラマ領域垂直デルタビット[13:0]
これらのビットは、線形パノラマモードにおけるスケーラの垂直倍率比を決定します。この値は、以下の式が成り立つようにプログラムしてください。

REG[02CEh]ビット13~0 = 256 × 倍率

ただし：

倍率 = (REG[02A4h] - REG[02C2h]) ÷ (REG[02C6h] - 1)

注

これらのビットが有効になるのは、線形パノラマスケーリングモードが選択されている（REG[02AEh]ビット5~4 = 10）ときのみです。

REG[02E0h]からREG[02E2h]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

10. レジスタ

10.4.10 GPIOレジスタ

REG[0300h] GPIO Configuration Register 0							
Default = 0000h							Read/Write
GPIO15 設定 15	GPIO14 設定 14	GPIO13 設定 13	GPIO12 設定 12	GPIO11 設定 11	GPIO10 設定 10	GPIO9 設定 9	GPIO8 設定 8
GPIO7 設定 7	GPIO6 設定 6	GPIO5 設定 5	GPIO4 設定 4	GPIO3 設定 3	GPIO2 設定 2	GPIO1 設定 1	GPIO0 設定 0

REG[0302h] GPIO Configuration Register 1							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
GPIO23 設定 7	GPIO22 設定 6	GPIO21 設定 5	GPIO20 設定 4	GPIO19 設定 3	GPIO18 設定 2	GPIO17 設定 1	GPIO16 設定 0

REG[0302h] bits 7-0

REG[0300h] bits 15-0 GPIO[23:0]設定
 これらのビットは、各GPIO端子を入力または出力に設定します。
 各ビットが0のとき、対応するGPIO端子は入力端子に設定されます（デフォルト）。
 各ビットが1のとき、対応するGPIO端子は出力端子に設定されます。

REG[0304h] GPIO Input Enable Register 0							
Default = 0000h							Read/Write
GPIO15入力 イネーブル 15	GPIO14入力 イネーブル 14	GPIO13入力 イネーブル 13	GPIO12入力 イネーブル 12	GPIO11入力 イネーブル 11	GPIO10入力 イネーブル 10	GPIO9入力 イネーブル 9	GPIO8入力 イネーブル 8
GPIO7入力 イネーブル 7	GPIO6入力 イネーブル 6	GPIO5入力 イネーブル 5	GPIO4入力 イネーブル 4	GPIO3入力 イネーブル 3	GPIO2入力 イネーブル 2	GPIO1入力 イネーブル 1	GPIO0入力 イネーブル 0

REG[0306h] GPIO Input Enable Register 1							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
GPIO23入力 イネーブル 7	GPIO22入力 イネーブル 6	GPIO21入力 イネーブル 5	GPIO20入力 イネーブル 4	GPIO19入力 イネーブル 3	GPIO18入力 イネーブル 2	GPIO17入力 イネーブル 1	GPIO16入力 イネーブル 0

REG[0306h] bits 7-0

REG[0304h] bits 15-0 GPIO[23:0]入力イネーブル
 これらのビットは、各GPIO端子の入力機能をイネーブルします。パワーオン/
 リセット後には対応ビットを1とし、GPIO端子の入力機能をイネーブルする
 ことが必要です。
 各ビットが0のとき、対応するGPIO端子の入力機能はディセーブルされます（デ
 フォルト）。
 各ビットが1のとき、対応するGPIO端子の入力機能はイネーブルされます。

REG[0308h] GPIO Pull-down Control Register 0							
Default = FFFFh							Read/Write
GPIO15プルダウン 制御 15	GPIO14プルダウン 制御 14	GPIO13プルダウン 制御 13	GPIO12プルダウン 制御 12	GPIO11プルダウン 制御 11	GPIO10プルダウン 制御 10	GPIO9プルダウン 制御 9	GPIO8プルダウン 制御 8
GPIO7プルダウン 制御 7	GPIO6プルダウン 制御 6	GPIO5プルダウン 制御 5	GPIO4プルダウン 制御 4	GPIO3プルダウン 制御 3	GPIO2プルダウン 制御 2	GPIO1プルダウン 制御 1	GPIO0プルダウン 制御 0

REG[030Ah] GPIO Pull-down Control Register 1							
Default = 00FFh							Read/Write
n/a							
15	14	13	12	11	10	9	8
GPIO23プルダウン 制御 7	GPIO22プルダウン 制御 6	GPIO21プルダウン 制御 5	GPIO20プルダウン 制御 4	GPIO19プルダウン 制御 3	GPIO18プルダウン 制御 2	GPIO17プルダウン 制御 1	GPIO16プルダウン 制御 0

REG[030Ah] bits 7-0

REG[0308h] bits 15-0

GPIO[23:0]プルダウン制御

GPIO端子はすべてプルダウン抵抗を内蔵しています。これらのビットは、各GPIO端子のプルダウン抵抗の状態を制御します。

各ビットが0のとき、対応するGPIO端子のプルダウン抵抗は非アクティブです。各ビットが1のとき、対応するGPIO端子のプルダウン抵抗はアクティブです。

REG[030Ch] GPIO Status Register 0							
Default = 0000h							Read/Write
GPIO15状態 15	GPIO14状態 14	GPIO13状態 13	GPIO12状態 12	GPIO11状態 11	GPIO10状態 10	GPIO9状態 9	GPIO8状態 8
GPIO7状態 7	GPIO6状態 6	GPIO5状態 5	GPIO4状態 4	GPIO3状態 3	GPIO2状態 2	GPIO1状態 1	GPIO0状態 0

REG[030Eh] GPIO Status Register 1							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
GPIO23状態 7	GPIO22状態 6	GPIO21状態 5	GPIO20状態 4	GPIO19状態 3	GPIO18状態 2	GPIO17状態 1	GPIO16状態 0

REG[030Eh] bits 7-0

REG[030Ch] bits 15-0

GPIO[23:0]状態

GPIO_xが出力に設定されているとき (REG[0300h] ~ REG[0302h]を参照): これらのビットに1を書き込むと、GPIO_xはHighに変わります。逆に0を書き込むと、GPIO_xはLowに変わります。

GPIO_xが入力に設定されているとき (REG[0300h] ~ REG[0302h]を参照): これらのビットを読み出すとGPIO_xの状態が返されます。

10. レジスタ

REG[0310h] GPIO Positive Edge Interrupt Trigger Register 0							
Default = 0000h							Read/Write
GPIO15ポジティブ エッジトリガ	GPIO14ポジティブ エッジトリガ	GPIO13ポジティブ エッジトリガ	GPIO12ポジティブ エッジトリガ	GPIO11ポジティブ エッジトリガ	GPIO10ポジティブ エッジトリガ	GPIO9ポジティブ エッジトリガ	GPIO8ポジティブ エッジトリガ
15	14	13	12	11	10	9	8
GPIO7ポジティブ エッジトリガ	GPIO6ポジティブ エッジトリガ	GPIO5ポジティブ エッジトリガ	GPIO4ポジティブ エッジトリガ	GPIO3ポジティブ エッジトリガ	GPIO2ポジティブ エッジトリガ	GPIO1ポジティブ エッジトリガ	GPIO0ポジティブ エッジトリガ
7	6	5	4	3	2	1	0

REG[0312h] GPIO Positive Edge Interrupt Trigger Register 1							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
GPIO23ポジティブ エッジトリガ	GPIO22ポジティブ エッジトリガ	GPIO21ポジティブ エッジトリガ	GPIO20ポジティブ エッジトリガ	GPIO19ポジティブ エッジトリガ	GPIO18ポジティブ エッジトリガ	GPIO17ポジティブ エッジトリガ	GPIO16ポジティブ エッジトリガ
7	6	5	4	3	2	1	0

REG[0312h] bits 7-0

REG[0310h] bits 15-0

GPIO[23:0]ポジティブエッジトリガ

これらのビットは、対応するGPIO割り込み (REG[0318h] ~ REG[031Ah]を参照) が信号の立ち上がりにおいて (GPIOx端子が0から1に変化したときに) 動作するかどうかを決定します。

各ビットが0のとき、対応するGPIO割り込みは信号の立ち上がりでトリガされません。

各ビットが1のとき、対応するGPIO割り込みは信号の立ち上がりでトリガされます。

REG[0314h] GPIO Negative Edge Interrupt Trigger Register 0							
Default = 0000h							Read/Write
GPIO15ネガティブ エッジトリガ	GPIO14ネガティブ エッジトリガ	GPIO13ネガティブ エッジトリガ	GPIO12ネガティブ エッジトリガ	GPIO11ネガティブ エッジトリガ	GPIO10ネガティブ エッジトリガ	GPIO9ネガティブ エッジトリガ	GPIO8ネガティブ エッジトリガ
15	14	13	12	11	10	9	8
GPIO7ネガティブ エッジトリガ	GPIO6ネガティブ エッジトリガ	GPIO5ネガティブ エッジトリガ	GPIO4ネガティブ エッジトリガ	GPIO3ネガティブ エッジトリガ	GPIO2ネガティブ エッジトリガ	GPIO1ネガティブ エッジトリガ	GPIO0ネガティブ エッジトリガ
7	6	5	4	3	2	1	0

REG[0316h] GPIO Negative Edge Interrupt Trigger Register 1							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
GPIO23ネガティブ エッジトリガ	GPIO22ネガティブ エッジトリガ	GPIO21ネガティブ エッジトリガ	GPIO20ネガティブ エッジトリガ	GPIO19ネガティブ エッジトリガ	GPIO18ネガティブ エッジトリガ	GPIO17ネガティブ エッジトリガ	GPIO16ネガティブ エッジトリガ
7	6	5	4	3	2	1	0

REG[0316h] bits 7-0

REG[0314h] bits 15-0

GPIO[23:0]ネガティブエッジトリガ

これらのビットは、対応するGPIO割り込み (REG[0318h] ~ REG[031Ah]を参照) が信号の立ち下がりにおいて (GPIOx端子が1から0に変化したときに) 動作するかどうかを決定します。

各ビットが0のとき、対応するGPIO割り込みは信号の立ち下がりトリガされません。

各ビットが1のとき、対応するGPIO割り込みは信号の立ち下がりトリガされます。

REG[0318h] GPIO Interrupt Status Register 0							
Default = 0000h							Read/Write
GPIO15割り込み 状態 15	GPIO14割り込み 状態 14	GPIO13割り込み 状態 13	GPIO12割り込み 状態 12	GPIO11割り込み 状態 11	GPIO10割り込み 状態 10	GPIO9割り込み 状態 9	GPIO8割り込み 状態 8
GPIO7割り込み 状態 7	GPIO6割り込み 状態 6	GPIO5割り込み 状態 5	GPIO4割り込み 状態 4	GPIO3割り込み 状態 3	GPIO2割り込み 状態 2	GPIO1割り込み 状態 1	GPIO0割り込み 状態 0

REG[031Ah] GPIO Interrupt Status Register 1							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
GPIO23割り込み 状態 7	GPIO22割り込み 状態 6	GPIO21割り込み 状態 5	GPIO20割り込み 状態 4	GPIO19割り込み 状態 3	GPIO18割り込み 状態 2	GPIO17割り込み 状態 1	GPIO16割り込み 状態 0

REG[031Ah] bits 7-0

REG[0318h] bits 15-0

GPIO[23:0]割り込み状態

これらのビットは、対応するGPIOxの割り込みの状態を示します。
各ビットが0のとき、GPIOxの割り込みが発行されていません。
各ビットが1のとき、GPIOxの割り込みが発行されています。

GPIOxの割り込み状態ビットをクリアするには、そのビットに1を書き込んだあとに0を書き込んでください。

10. レジスタ

10.4.11 LUTレジスタ

REG[0400h] PIP2-LUT Address Counter Register							
Default = 0000h							Read/Write
15	14	13	12	11	10	9	8
n/a							
PIP2-LUTアドレスカウンタビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

PIP2-LUTアドレスカウンタビット[7:0]

これらのビットは、PIP2-LUTに対するアドレス（またはインデックス値）を指定します。PIP2-LUTはPIP2ウインドウのガンマ補正に使用でき、256個のRGB値が存在します。

RGB値はPIP2-LUTデータポート（REG[0402h]ビット15~0）を使ってPIP2-LUTに書き込まれます。値の対応の様子は152ページの表10.39「PIP2-LUTデータ対応表」に示すとおりです。各RGB値がPIP2-LUTデータポートに書き込まれると、カウンタはFFhの値までオートインクリメントされます。アドレスカウンタの値がFFhに達したら、アドレスカウンタは00hにリセットされます。

REG[0402h] PIP2-LUT Data Port Register							
Default = 0000h							Read/Write
PIP2-LUTデータポートビット15~8							
15	14	13	12	11	10	9	8
PIP2-LUTデータポートビット7~0							
7	6	5	4	3	2	1	0

bits 15-0

PIP2-LUTデータポートビット[15:0]

これらのビットは、PIP2-LUT RGBデータを設定するためのアクセスポートです。PIP2-LUT にアクセスできるのは、PIP2 ウインドウがディセーブル（REG[0202h]ビット2=0）されているか、またはLCD出力ポートが「すべてオフ」(REG[0202h]ビット12~10=000)に設定されているときに限られます。LUTデータは次のように設定してください。

表10.39 PIP2-LUTデータ対応表

サイクル	PIP2-LUTアドレス (REG[0400h]ビット7~0)	REG[0402h]ビット15~8	REG[0402h]ビット7~0
1	00h	緑0	赤0
2	00h	n/a	青0
3	01h	緑1	赤1
4	01h	n/a	青1
•	•	•	•
•	•	•	•
•	•	•	•
511	FFh	緑255	赤255
512	FFh	n/a	青255

REG[0500h] LCD-LUT Address Counter Register							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
LCD-LUTアドレスカウンタビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

LCD-LUTアドレスカウンタビット[7:0]

これらのビットは、LCD-LUTに対するアドレス（またはインデックス値）を指定します。LCD-LUTはLCD表示出力のガンマ補正に使用でき、256個のRGB値が存在します。

RGB値はLCD-LUTデータポート（REG[0502h]ビット15~0）を使ってLCD-LUTに書き込まれます。値の対応の様子は153ページの表10.40「LCD-LUTデータ対応表」に示すとおりです。各RGB値がLCD-LUTデータポートに書き込まれると、カウンタはFFhの値までオートインクリメントされます。アドレスカウンタの値がFFhに達したら、アドレスカウンタは00hにリセットされます。

REG[0502h] LCD-LUT Data Port Register							
Default = 0000h							Read/Write
LCD-LUTデータポートビット15~8							
15	14	13	12	11	10	9	8
LCD-LUTデータポートビット7~0							
7	6	5	4	3	2	1	0

bits 15-0

LCD-LUTデータポートビット[15:0]

これらのビットは、LCD-LUT RGBデータを設定するためのアクセスポートです。LCD-LUTにアクセスできるのは、LCD-LUTがバイパスされる（REG[0200h]ビット5 = 1）か、または表示が非アクティブ（REG[0202h]ビット15~13 = 000）であるときに限られます。LUTデータは次のように設定してください。

表10.40 LCD-LUTデータ対応表

サイクル	LCD-LUTアドレス (REG[0500h]ビット7~0)	REG[0502h]ビット15~8	REG[0502h]ビット7~0
1	00h	緑0	赤0
2	00h	n/a	青0
3	01h	緑1	赤1
4	01h	n/a	青1
•	•	•	•
•	•	•	•
•	•	•	•
511	FFh	緑255	赤255
512	FFh	n/a	青255

10. レジスタ

10.4.12 割り込み制御レジスタ

REG[0A00h] Interrupt Status Register							
Default = 0000h							Read Only
GPIOインタフェース割り込み状態 15	n/a						
	14	13	12	11	10	9	8
n/a			ホストインタフェース割り込み状態 4	n/a			Reserved
7	6	5		3	2	1	0

bit 15 GPIOインタフェース割り込み状態（読み出し専用）
このビットは、GPIOインタフェース割り込みの状態を示します。このビットはGPIOインタフェース割り込みイネーブルビットによってマスクされるため、REG[0A02h]ビット15 = 1のときにのみ有効です。
このビットが0のとき、GPIOインタフェースの割り込みが発行されていません。このビットが1のとき、GPIOインタフェースの割り込みが発行されています。割り込みの正確な状況を知るには、REG[0318h] ~ REG[031Ah]の状態ビットまたはREG[0A04h]ビット15の状態を参照します。

この状態ビットをクリアするには、REG[0318h] ~ REG[031Ah]の割り込み状態またはREG[0A04h]ビット15をクリアするか、あるいは割り込みをディセーブル（REG[0A02h]ビット15 = 0）します。

bit 4 ホストインタフェース割り込み状態（読み出し専用）
このビットは、ホストインタフェース割り込みの状態を示します。このビットはホストインタフェース割り込みイネーブルビットによってマスクされるため、REG[0A02h]ビット4 = 1のときにのみ有効です。
このビットが0のとき、ホストインタフェースの割り込みが発行されていません。このビットが1のとき、ホストインタフェースの割り込みが発行されています。割り込みの正確な状況を知るには、REG[0192h]の状態ビットまたはREG[0A04h]ビット4の状態を参照します。

この状態ビットをクリアするには、REG[0192h]の割り込み状態またはREG[0A04h]ビット4をクリアするか、あるいは割り込みをイネーブル（REG[0A02h]ビット4 = 0）します。

bit 0 Reserved
デフォルト値は0です。

REG[0A02h] Interrupt Control Register 0							Read/Write
Default = 0000h							
GPIOインタフェース割り込みイネーブル 15	14	13	12	11	10	9	8
n/a			ホストインタフェース割り込みイネーブル 4	n/a			Reserved 0
7	6	5	3	2	1		

- bit 15 GPIOインタフェース割り込みイネーブル
このビットは、GPIOインタフェースの割り込みを制御します。GPIOインタフェースの割り込みの状態は GPIO インタフェース割り込み状態ビット (REG[0A00h]ビット15) によって示されます。
このビットが0のとき、GPIOインタフェースの割り込みはディセーブルされます。
このビットが1のとき、GPIOインタフェースの割り込みはイネーブルされます。
- bit 4 ホストインタフェース割り込みイネーブル
このビットは、ホストインタフェースの割り込みを制御します。ホストインタフェースの割り込みの状態はホストインタフェース割り込み状態ビット (REG[0A00h]ビット4) によって示されます。
このビットが0のとき、ホストインタフェースの割り込みはディセーブルされます。
このビットが1のとき、ホストインタフェースの割り込みはイネーブルされます。
- bit 0 Reserved
デフォルト値は0です。

REG[0A04h] Interrupt Control Register 1							Read/Write
Default = 0000h							
GPIOインタフェース手動割り込み 15	14	13	12	11	10	9	8
n/a			ホストインタフェース手動割り込み 4	n/a			Reserved 0
7	6	5	3	2	1		

- bit 15 GPIOインタフェース手動割り込み
このビットは、GPIOインタフェースの割り込みの手動制御を可能にします。このビットを変更すると、GPIOインタフェース割り込み状態ビット (REG[0A00h]ビット15) が変わります。
このビットが0のとき、GPIOインタフェースの割り込みはクリアされます。
このビットが1のとき、GPIOインタフェースの割り込みがアサートされます。
- bit 4 ホストインタフェース手動割り込み
このビットは、ホストインタフェースの割り込みの手動制御を可能にします。このビットを変更すると、ホストインタフェース割り込み状態ビット (REG[0A00h]ビット4) が変わります。
このビットが0のとき、ホストインタフェースの割り込みはクリアされます。
このビットが1のとき、ホストインタフェースの割り込みがアサートされます。
- bit 0 Reserved
デフォルト値は0です。

11. パワーセーブモード

11. パワーセーブモード

11.1 パワーオン/パワーオフシーケンス

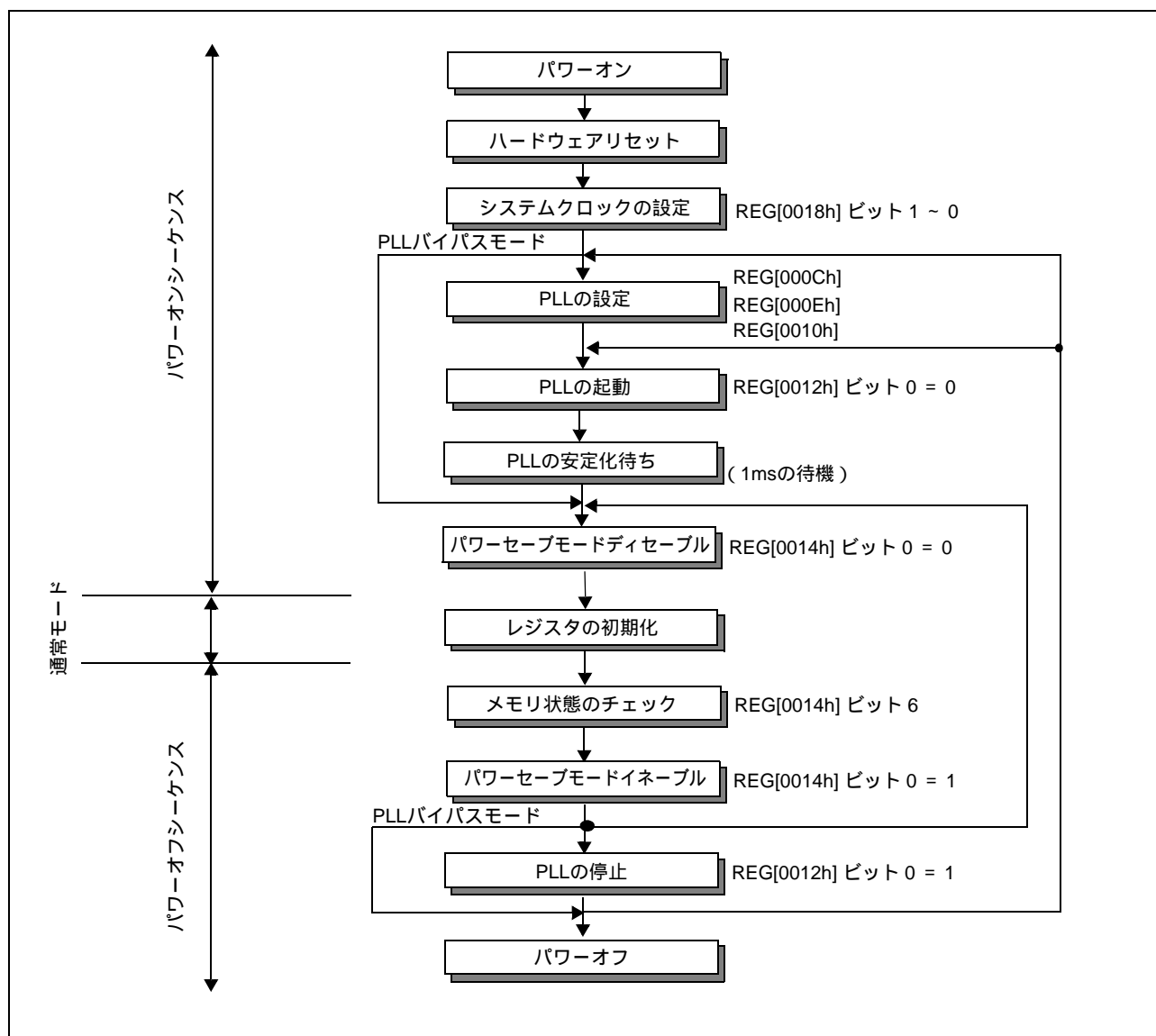


図11.1 パワーオン/パワーオフシーケンス

11.2 動作モード

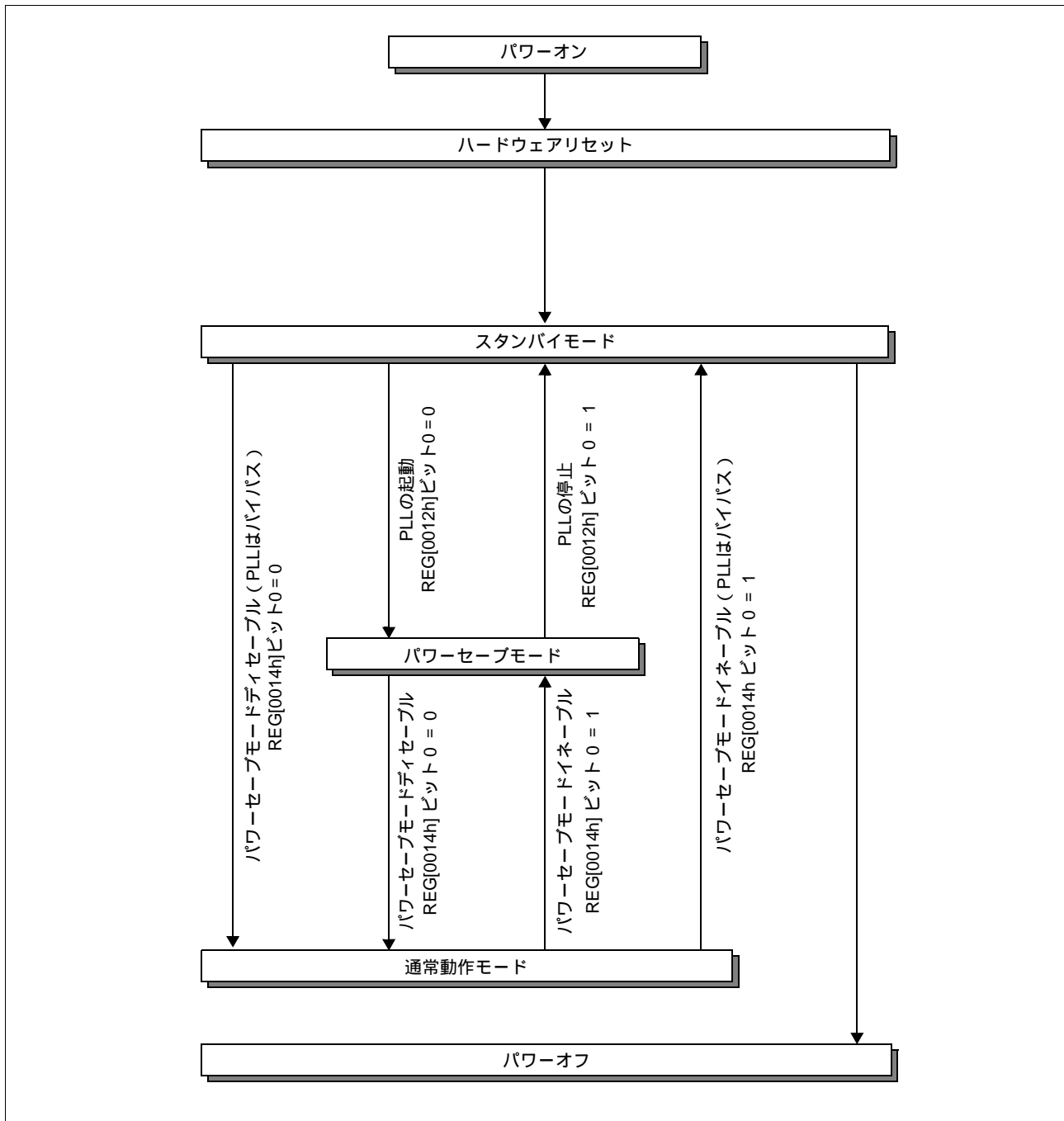


図11.2 パワー関連モード

11.2.1 パワーオン

S1D13748の電源を投入するときは、以下の手順に従ってください。

1. COREVDD、PLLVDDをオン
2. HIOVDD、PIOVDD、GIOVDDをオン

11. パワーセーブモード

11.2.2 リセット

電源投入後、アクティブLowのハードウェアリセットパルスを送るS1D13748 RESET#端子に入力してください。このパルスの長さは外部クロック (CLKI) 2周期分です。ハードウェアリセットによってクロック設定レジスタ (REG[000Eh] ~ REG[0018h]) を含むすべてのレジスタがリセットされます。クロック設定レジスタは、RESET#信号を解放した後すぐにアクセスできるようになります。

ソフトウェアリセットはREG[0016h]への書き込みによってイネーブルされ、非同期レジスタ (REG[0000h] ~ REG[0018h]とREG[0300h] ~ REG[031Ah])を除くすべてのレジスタがリセットされます。ソフトウェアリセットから外部クロック (CLKI) 4周期分が経過するまではこれらのレジスタにアクセスできません。

11.2.3 スタンバイモード

スタンバイモードでは、すべての内部クロックの供給が停止されPLLがディセーブされるため、電力消費は最小になります。電源を切る前またはPLLレジスタを設定する前にはこのモードにしてください。

スタンバイモードでは非同期レジスタ (REG[0000h] ~ REG[0018h]とREG[0300h] ~ REG[031Ah]) にアクセスできるほか、LCDバイパス機能も使用できます。

11.2.4 パワーセーブモード

パワーセーブモードではすべての内部クロック供給が停止します。システムクロック設定レジスタ (REG[0018h]) を設定する前にはこのモードにしてください。またPLLが起動されてから出力が安定化するまでに最大1 msの遅延を要することがあります。この期間中、S1D13748はパワーセーブモードにしてください。

パワーセーブモードでは非同期レジスタ (REG[0000h] ~ REG[0018h]とREG[0300h] ~ REG[031Ah]) にアクセスできるほか、LCDバイパス機能も使用できます。

11.2.5 通常モード

通常モードではすべての機能が使用できます。ただし、使用中でないモジュールへのクロックは動的に停止されます。通常モードからパワーセーブモードをイネーブル (REG[0014h] ビット0 = 1) する前に、メモリコントローラがアイドル状態 (REG[0014h] ビット6 = 1) であることを確認してください。

11.2.6 パワーオフ

S1D13748の電源を切るには以下の手順に従ってください。

1. HIOVDD、PIOVDD、GIOVDDをオフ
2. COREVDD、PLLVDDをオフ

12. データフォーマット

12.1 ホストインタフェース入力フォーマット

S1D13748は画像データを直接ホストから、あるいはHWC（ホストインタフェース書き込みコントローラ）経由で受信できます。HWCを用いれば矩形書き込み、回転書き込み、ミラー書き込みといった可変機能や、YUV 4:2:2およびYUV 4:2:0の追加フォーマットが使用できます。

HWCがイネーブル（REG[0180h]ビット0=1）されているとき、データはYUV 4:2:2（フォーマットは2種類）、YUV 4:2:0（フォーマットは2種類）およびRGB 5:6:5の形式で送出できます。以下に各データフォーマットについて説明します。

12.1.1 YUV 4:2:2フォーマット1

HWCがイネーブル（REG[0180h]ビット0=1）されているときにYUV 4:2:2フォーマット1を選択（REG[0180h]ビット7~5=000）すると、HWCはホストからの画像データ受信にあたって以下の形式を用います。

下表のピクセルデータは次の要領で示しています。たとえば、 $Y_{(0,0)}^7$ はX-Y位置(0,0)にあるピクセルのYデータにおける最上位ビットです。すべてのピクセル位置は、以下の配列に対応します。

ピクセル(0,0)	ピクセル(1,0)	ピクセル(2,0)	ピクセル(3,0)
ピクセル(0,1)	ピクセル(1,1)	ピクセル(2,1)	ピクセル(3,1)
ピクセル(0,2)	ピクセル(1,2)	ピクセル(2,2)	ピクセル(3,2)
ピクセル(0,3)	ピクセル(1,3)	ピクセル(2,3)	ピクセル(3,3)

表12.1 YUV 4:2:2データフォーマット1

	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	$Y_{(0,0)}^7$	$Y_{(0,0)}^6$	$Y_{(0,0)}^5$	$Y_{(0,0)}^4$	$Y_{(0,0)}^3$	$Y_{(0,0)}^2$	$Y_{(0,0)}^1$	$Y_{(0,0)}^0$	$U_{(0,0)}^7$	$U_{(0,0)}^6$	$U_{(0,0)}^5$	$U_{(0,0)}^4$	$U_{(0,0)}^3$	$U_{(0,0)}^2$	$U_{(0,0)}^1$	$U_{(0,0)}^0$
2	$Y_{(1,0)}^7$	$Y_{(1,0)}^6$	$Y_{(1,0)}^5$	$Y_{(1,0)}^4$	$Y_{(1,0)}^3$	$Y_{(1,0)}^2$	$Y_{(1,0)}^1$	$Y_{(1,0)}^0$	$V_{(0,0)}^7$	$V_{(0,0)}^6$	$V_{(0,0)}^5$	$V_{(0,0)}^4$	$V_{(0,0)}^3$	$V_{(0,0)}^2$	$V_{(0,0)}^1$	$V_{(0,0)}^0$
3	$Y_{(2,0)}^7$	$Y_{(2,0)}^6$	$Y_{(2,0)}^5$	$Y_{(2,0)}^4$	$Y_{(2,0)}^3$	$Y_{(2,0)}^2$	$Y_{(2,0)}^1$	$Y_{(2,0)}^0$	$U_{(2,0)}^7$	$U_{(2,0)}^6$	$U_{(2,0)}^5$	$U_{(2,0)}^4$	$U_{(2,0)}^3$	$U_{(2,0)}^2$	$U_{(2,0)}^1$	$U_{(2,0)}^0$
4	$Y_{(3,0)}^7$	$Y_{(3,0)}^6$	$Y_{(3,0)}^5$	$Y_{(3,0)}^4$	$Y_{(3,0)}^3$	$Y_{(3,0)}^2$	$Y_{(3,0)}^1$	$Y_{(3,0)}^0$	$V_{(2,0)}^7$	$V_{(2,0)}^6$	$V_{(2,0)}^5$	$V_{(2,0)}^4$	$V_{(2,0)}^3$	$V_{(2,0)}^2$	$V_{(2,0)}^1$	$V_{(2,0)}^0$
	$Y_{(0,1)}^7$	$Y_{(0,1)}^6$	$Y_{(0,1)}^5$	$Y_{(0,1)}^4$	$Y_{(0,1)}^3$	$Y_{(0,1)}^2$	$Y_{(0,1)}^1$	$Y_{(0,1)}^0$	$U_{(0,1)}^7$	$U_{(0,1)}^6$	$U_{(0,1)}^5$	$U_{(0,1)}^4$	$U_{(0,1)}^3$	$U_{(0,1)}^2$	$U_{(0,1)}^1$	$U_{(0,1)}^0$
	$Y_{(1,1)}^7$	$Y_{(1,1)}^6$	$Y_{(1,1)}^5$	$Y_{(1,1)}^4$	$Y_{(1,1)}^3$	$Y_{(1,1)}^2$	$Y_{(1,1)}^1$	$Y_{(1,1)}^0$	$V_{(0,1)}^7$	$V_{(0,1)}^6$	$V_{(0,1)}^5$	$V_{(0,1)}^4$	$V_{(0,1)}^3$	$V_{(0,1)}^2$	$V_{(0,1)}^1$	$V_{(0,1)}^0$
	$Y_{(2,1)}^7$	$Y_{(2,1)}^6$	$Y_{(2,1)}^5$	$Y_{(2,1)}^4$	$Y_{(2,1)}^3$	$Y_{(2,1)}^2$	$Y_{(2,1)}^1$	$Y_{(2,1)}^0$	$U_{(2,1)}^7$	$U_{(2,1)}^6$	$U_{(2,1)}^5$	$U_{(2,1)}^4$	$U_{(2,1)}^3$	$U_{(2,1)}^2$	$U_{(2,1)}^1$	$U_{(2,1)}^0$
	$Y_{(3,1)}^7$	$Y_{(3,1)}^6$	$Y_{(3,1)}^5$	$Y_{(3,1)}^4$	$Y_{(3,1)}^3$	$Y_{(3,1)}^2$	$Y_{(3,1)}^1$	$Y_{(3,1)}^0$	$V_{(2,1)}^7$	$V_{(2,1)}^6$	$V_{(2,1)}^5$	$V_{(2,1)}^4$	$V_{(2,1)}^3$	$V_{(2,1)}^2$	$V_{(2,1)}^1$	$V_{(2,1)}^0$

12. データフォーマット

12.1.2 YUV 4:2:2フォーマット2 (セパレートY、UV)

HWCがイネーブル (REG[0180h]ビット0 = 1) されているときにYUV 4:2:2フォーマット2を選択 (REG[0180h]ビット7~5 = 001) すると、HWCはホストからの画像データ受信にあたって以下の形式を用います。

注

HWCデータバススワップイネーブルビット (REG[0180h]ビット4) を用いれば、上位バイトと下位バイトを入れ替えることができます。

下表のピクセルデータは次の要領で示しています。たとえば、 $Y_{(0,0)}^7$ はX-Y位置 (0,0) にあるピクセルのYデータにおける最上位ビットです。すべてのピクセル位置は、以下の配列に対応します。

ピクセル(0,0)	ピクセル(1,0)	ピクセル(2,0)	ピクセル(3,0)
ピクセル(0,1)	ピクセル(1,1)	ピクセル(2,1)	ピクセル(3,1)
ピクセル(0,2)	ピクセル(1,2)	ピクセル(2,2)	ピクセル(3,2)
ピクセル(0,3)	ピクセル(1,3)	ピクセル(2,3)	ピクセル(3,3)

表12.2 YUV 4:2:2データフォーマット2

	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	$Y_{(1,0)}^7$	$Y_{(1,0)}^6$	$Y_{(1,0)}^5$	$Y_{(1,0)}^4$	$Y_{(1,0)}^3$	$Y_{(1,0)}^2$	$Y_{(1,0)}^1$	$Y_{(1,0)}^0$	$Y_{(0,0)}^7$	$Y_{(0,0)}^6$	$Y_{(0,0)}^5$	$Y_{(0,0)}^4$	$Y_{(0,0)}^3$	$Y_{(0,0)}^2$	$Y_{(0,0)}^1$	$Y_{(0,0)}^0$
2	$Y_{(3,0)}^7$	$Y_{(3,0)}^6$	$Y_{(3,0)}^5$	$Y_{(3,0)}^4$	$Y_{(3,0)}^3$	$Y_{(3,0)}^2$	$Y_{(3,0)}^1$	$Y_{(3,0)}^0$	$Y_{(2,0)}^7$	$Y_{(2,0)}^6$	$Y_{(2,0)}^5$	$Y_{(2,0)}^4$	$Y_{(2,0)}^3$	$Y_{(2,0)}^2$	$Y_{(2,0)}^1$	$Y_{(2,0)}^0$
	$Y_{(1,1)}^7$	$Y_{(1,1)}^6$	$Y_{(1,1)}^5$	$Y_{(1,1)}^4$	$Y_{(1,1)}^3$	$Y_{(1,1)}^2$	$Y_{(1,1)}^1$	$Y_{(1,1)}^0$	$Y_{(0,1)}^7$	$Y_{(0,1)}^6$	$Y_{(0,1)}^5$	$Y_{(0,1)}^4$	$Y_{(0,1)}^3$	$Y_{(0,1)}^2$	$Y_{(0,1)}^1$	$Y_{(0,1)}^0$
	$Y_{(3,1)}^7$	$Y_{(3,1)}^6$	$Y_{(3,1)}^5$	$Y_{(3,1)}^4$	$Y_{(3,1)}^3$	$Y_{(3,1)}^2$	$Y_{(3,1)}^1$	$Y_{(3,1)}^0$	$Y_{(2,1)}^7$	$Y_{(2,1)}^6$	$Y_{(2,1)}^5$	$Y_{(2,1)}^4$	$Y_{(2,1)}^3$	$Y_{(2,1)}^2$	$Y_{(2,1)}^1$	$Y_{(2,1)}^0$
	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	$V_{(0,0)}^7$	$V_{(0,0)}^6$	$V_{(0,0)}^5$	$V_{(0,0)}^4$	$V_{(0,0)}^3$	$V_{(0,0)}^2$	$V_{(0,0)}^1$	$V_{(0,0)}^0$	$U_{(0,0)}^7$	$U_{(0,0)}^6$	$U_{(0,0)}^5$	$U_{(0,0)}^4$	$U_{(0,0)}^3$	$U_{(0,0)}^2$	$U_{(0,0)}^1$	$U_{(0,0)}^0$
2	$V_{(2,0)}^7$	$V_{(2,0)}^6$	$V_{(2,0)}^5$	$V_{(2,0)}^4$	$V_{(2,0)}^3$	$V_{(2,0)}^2$	$V_{(2,0)}^1$	$V_{(2,0)}^0$	$U_{(2,0)}^7$	$U_{(2,0)}^6$	$U_{(2,0)}^5$	$U_{(2,0)}^4$	$U_{(2,0)}^3$	$U_{(2,0)}^2$	$U_{(2,0)}^1$	$U_{(2,0)}^0$
	$V_{(0,1)}^7$	$V_{(0,1)}^6$	$V_{(0,1)}^5$	$V_{(0,1)}^4$	$V_{(0,1)}^3$	$V_{(0,1)}^2$	$V_{(0,1)}^1$	$V_{(0,1)}^0$	$U_{(0,1)}^7$	$U_{(0,1)}^6$	$U_{(0,1)}^5$	$U_{(0,1)}^4$	$U_{(0,1)}^3$	$U_{(0,1)}^2$	$U_{(0,1)}^1$	$U_{(0,1)}^0$
	$V_{(2,1)}^7$	$V_{(2,1)}^6$	$V_{(2,1)}^5$	$V_{(2,1)}^4$	$V_{(2,1)}^3$	$V_{(2,1)}^2$	$V_{(2,1)}^1$	$V_{(2,1)}^0$	$U_{(2,1)}^7$	$U_{(2,1)}^6$	$U_{(2,1)}^5$	$U_{(2,1)}^4$	$U_{(2,1)}^3$	$U_{(2,1)}^2$	$U_{(2,1)}^1$	$U_{(2,1)}^0$

12.1.3 YUV 4:2:0フォーマット1

HWCがイネーブル (REG[0180h]ビット0 = 1) されているときにYUV 4:2:0フォーマット1を選択 (REG[0180h]ビット7~5 = 010) すると、HWCはホストからの画像データ受信にあたって以下の形式を用います。

下表のピクセルデータは次の要領で示しています。たとえば、 $Y_{(0,0)}^7$ はX-Y位置 (0,0) にあるピクセルのYデータにおける最上位ビットです。すべてのピクセル位置は、以下の配列に対応します。

ピクセル(0,0)	ピクセル(1,0)	ピクセル(2,0)	ピクセル(3,0)
ピクセル(0,1)	ピクセル(1,1)	ピクセル(2,1)	ピクセル(3,1)
ピクセル(0,2)	ピクセル(1,2)	ピクセル(2,2)	ピクセル(3,2)
ピクセル(0,3)	ピクセル(1,3)	ピクセル(2,3)	ピクセル(3,3)

表12.3 YUV 4:2:0データフォーマット1

	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	$Y_{(0,0)}^7$	$Y_{(0,0)}^6$	$Y_{(0,0)}^5$	$Y_{(0,0)}^4$	$Y_{(0,0)}^3$	$Y_{(0,0)}^2$	$Y_{(0,0)}^1$	$Y_{(0,0)}^0$	$U_{(0,0)}^7$	$U_{(0,0)}^6$	$U_{(0,0)}^5$	$U_{(0,0)}^4$	$U_{(0,0)}^3$	$U_{(0,0)}^2$	$U_{(0,0)}^1$	$U_{(0,0)}^0$
2	$Y_{(1,0)}^7$	$Y_{(1,0)}^6$	$Y_{(1,0)}^5$	$Y_{(1,0)}^4$	$Y_{(1,0)}^3$	$Y_{(1,0)}^2$	$Y_{(1,0)}^1$	$Y_{(1,0)}^0$	$V_{(0,0)}^7$	$V_{(0,0)}^6$	$V_{(0,0)}^5$	$V_{(0,0)}^4$	$V_{(0,0)}^3$	$V_{(0,0)}^2$	$V_{(0,0)}^1$	$V_{(0,0)}^0$
3	$Y_{(2,0)}^7$	$Y_{(2,0)}^6$	$Y_{(2,0)}^5$	$Y_{(2,0)}^4$	$Y_{(2,0)}^3$	$Y_{(2,0)}^2$	$Y_{(2,0)}^1$	$Y_{(2,0)}^0$	$U_{(2,0)}^7$	$U_{(2,0)}^6$	$U_{(2,0)}^5$	$U_{(2,0)}^4$	$U_{(2,0)}^3$	$U_{(2,0)}^2$	$U_{(2,0)}^1$	$U_{(2,0)}^0$
4	$Y_{(3,0)}^7$	$Y_{(3,0)}^6$	$Y_{(3,0)}^5$	$Y_{(3,0)}^4$	$Y_{(3,0)}^3$	$Y_{(3,0)}^2$	$Y_{(3,0)}^1$	$Y_{(3,0)}^0$	$V_{(2,0)}^7$	$V_{(2,0)}^6$	$V_{(2,0)}^5$	$V_{(2,0)}^4$	$V_{(2,0)}^3$	$V_{(2,0)}^2$	$V_{(2,0)}^1$	$V_{(2,0)}^0$
	$Y_{(1,1)}^7$	$Y_{(1,1)}^6$	$Y_{(1,1)}^5$	$Y_{(1,1)}^4$	$Y_{(1,1)}^3$	$Y_{(1,1)}^2$	$Y_{(1,1)}^1$	$Y_{(1,1)}^0$	$Y_{(0,1)}^7$	$Y_{(0,1)}^6$	$Y_{(0,1)}^5$	$Y_{(0,1)}^4$	$Y_{(0,1)}^3$	$Y_{(0,1)}^2$	$Y_{(0,1)}^1$	$Y_{(0,1)}^0$
	$Y_{(3,1)}^7$	$Y_{(3,1)}^6$	$Y_{(3,1)}^5$	$Y_{(3,1)}^4$	$Y_{(3,1)}^3$	$Y_{(3,1)}^2$	$Y_{(3,1)}^1$	$Y_{(3,1)}^0$	$Y_{(2,1)}^7$	$Y_{(2,1)}^6$	$Y_{(2,1)}^5$	$Y_{(2,1)}^4$	$Y_{(2,1)}^3$	$Y_{(2,1)}^2$	$Y_{(2,1)}^1$	$Y_{(2,1)}^0$

12. データフォーマット

12.1.4 YUV 4:2:0フォーマット2 (セパレートY、UV)

HWCがイネーブル (REG[0180h]ビット0 = 1) されているときにYUV 4:2:0フォーマット2を選択 (REG[0180h]ビット7~5 = 011) すると、HWCはホストからの画像データ受信にあたって以下の形式を用います。

注

HWCデータバススワップイネーブルビット (REG[0180h]ビット4) を用いれば、上位バイトと下位バイトを入れ替えることができます。

下表のピクセルデータは次の要領で示しています。たとえば、Y(0,0)7はX-Y位置(0,0)にあるピクセルのYデータにおける最上位ビットです。すべてのピクセル位置は、以下の配列に対応します。

ピクセル(0,0)	ピクセル(1,0)	ピクセル(2,0)	ピクセル(3,0)
ピクセル(0,1)	ピクセル(1,1)	ピクセル(2,1)	ピクセル(3,1)
ピクセル(0,2)	ピクセル(1,2)	ピクセル(2,2)	ピクセル(3,2)
ピクセル(0,3)	ピクセル(1,3)	ピクセル(2,3)	ピクセル(3,3)

表12.4 YUV 4:2:0データフォーマット2

	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	Y _(1,0) ⁷	Y _(1,0) ⁶	Y _(1,0) ⁵	Y _(1,0) ⁴	Y _(1,0) ³	Y _(1,0) ²	Y _(1,0) ¹	Y _(1,0) ⁰	Y _(0,0) ⁷	Y _(0,0) ⁶	Y _(0,0) ⁵	Y _(0,0) ⁴	Y _(0,0) ³	Y _(0,0) ²	Y _(0,0) ¹	Y _(0,0) ⁰
2	Y _(3,0) ⁷	Y _(3,0) ⁶	Y _(3,0) ⁵	Y _(3,0) ⁴	Y _(3,0) ³	Y _(3,0) ²	Y _(3,0) ¹	Y _(3,0) ⁰	Y _(2,0) ⁷	Y _(2,0) ⁶	Y _(2,0) ⁵	Y _(2,0) ⁴	Y _(2,0) ³	Y _(2,0) ²	Y _(2,0) ¹	Y _(2,0) ⁰
	Y _(1,1) ⁷	Y _(1,1) ⁶	Y _(1,1) ⁵	Y _(1,1) ⁴	Y _(1,1) ³	Y _(1,1) ²	Y _(1,1) ¹	Y _(1,1) ⁰	Y _(0,1) ⁷	Y _(0,1) ⁶	Y _(0,1) ⁵	Y _(0,1) ⁴	Y _(0,1) ³	Y _(0,1) ²	Y _(0,1) ¹	Y _(0,1) ⁰
	Y _(3,1) ⁷	Y _(3,1) ⁶	Y _(3,1) ⁵	Y _(3,1) ⁴	Y _(3,1) ³	Y _(3,1) ²	Y _(3,1) ¹	Y _(3,1) ⁰	Y _(2,1) ⁷	Y _(2,1) ⁶	Y _(2,1) ⁵	Y _(2,1) ⁴	Y _(2,1) ³	Y _(2,1) ²	Y _(2,1) ¹	Y _(2,1) ⁰

	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	V _(0,0) ⁷	V _(0,0) ⁶	V _(0,0) ⁵	V _(0,0) ⁴	V _(0,0) ³	V _(0,0) ²	V _(0,0) ¹	V _(0,0) ⁰	U _(0,0) ⁷	U _(0,0) ⁶	U _(0,0) ⁵	U _(0,0) ⁴	U _(0,0) ³	U _(0,0) ²	U _(0,0) ¹	U _(0,0) ⁰
2	V _(2,0) ⁷	V _(2,0) ⁶	V _(2,0) ⁵	V _(2,0) ⁴	V _(2,0) ³	V _(2,0) ²	V _(2,0) ¹	V _(2,0) ⁰	U _(2,0) ⁷	U _(2,0) ⁶	U _(2,0) ⁵	U _(2,0) ⁴	U _(2,0) ³	U _(2,0) ²	U _(2,0) ¹	U _(2,0) ⁰
	V _(0,2) ⁷	V _(0,2) ⁶	V _(0,2) ⁵	V _(0,2) ⁴	V _(0,2) ³	V _(0,2) ²	V _(0,2) ¹	V _(0,2) ⁰	U _(0,2) ⁷	U _(0,2) ⁶	U _(0,2) ⁵	U _(0,2) ⁴	U _(0,2) ³	U _(0,2) ²	U _(0,2) ¹	U _(0,2) ⁰
	V _(2,2) ⁷	V _(2,2) ⁶	V _(2,2) ⁵	V _(2,2) ⁴	V _(2,2) ³	V _(2,2) ²	V _(2,2) ¹	V _(2,2) ⁰	U _(2,2) ⁷	U _(2,2) ⁶	U _(2,2) ⁵	U _(2,2) ⁴	U _(2,2) ³	U _(2,2) ²	U _(2,2) ¹	U _(2,2) ⁰

12.1.5 RGB 5:6:5

HWCがイネーブル (REG[0180h]ビット0 = 1) されているときにRGB 5:6:5を選択 (REG[0180h]ビット7 ~ 5 = 100) すると、HWCはホストからの画像データ受信にあたって以下の形式を用います。

下表のピクセルデータは次の要領で示しています。たとえば、 $R_{(0,0)}^4$ はX-Y位置 (0,0) にあるピクセルのRデータにおける最上位ビットです。すべてのピクセル位置は、以下の配列に対応します。

ピクセル(0,0)	ピクセル(1,0)	ピクセル(2,0)	ピクセル(3,0)
ピクセル(0,1)	ピクセル(1,1)	ピクセル(2,1)	ピクセル(3,1)
ピクセル(0,2)	ピクセル(1,2)	ピクセル(2,2)	ピクセル(3,2)
ピクセル(0,3)	ピクセル(1,3)	ピクセル(2,3)	ピクセル(3,3)

表12.5 RGB 5:6:5データフォーマット

	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	$R_{(0,0)}^4$	$R_{(0,0)}^3$	$R_{(0,0)}^2$	$R_{(0,0)}^1$	$R_{(0,0)}^0$	$G_{(0,0)}^5$	$G_{(0,0)}^4$	$G_{(0,0)}^3$	$G_{(0,0)}^2$	$G_{(0,0)}^1$	$G_{(0,0)}^0$	$B_{(0,0)}^4$	$B_{(0,0)}^3$	$B_{(0,0)}^2$	$B_{(0,0)}^1$	$B_{(0,0)}^0$
2	$R_{(1,0)}^4$	$R_{(1,0)}^3$	$R_{(1,0)}^2$	$R_{(1,0)}^1$	$R_{(1,0)}^0$	$G_{(1,0)}^5$	$G_{(1,0)}^4$	$G_{(1,0)}^3$	$G_{(1,0)}^2$	$G_{(1,0)}^1$	$G_{(1,0)}^0$	$B_{(1,0)}^4$	$B_{(1,0)}^3$	$B_{(1,0)}^2$	$B_{(1,0)}^1$	$B_{(1,0)}^0$
3	$R_{(2,0)}^4$	$R_{(2,0)}^3$	$R_{(2,0)}^2$	$R_{(2,0)}^1$	$R_{(2,0)}^0$	$G_{(2,0)}^5$	$G_{(2,0)}^4$	$G_{(2,0)}^3$	$G_{(2,0)}^2$	$G_{(2,0)}^1$	$G_{(2,0)}^0$	$B_{(2,0)}^4$	$B_{(2,0)}^3$	$B_{(2,0)}^2$	$B_{(2,0)}^1$	$B_{(2,0)}^0$
4	$R_{(3,0)}^4$	$R_{(3,0)}^3$	$R_{(3,0)}^2$	$R_{(3,0)}^1$	$R_{(3,0)}^0$	$G_{(3,0)}^5$	$G_{(3,0)}^4$	$G_{(3,0)}^3$	$G_{(3,0)}^2$	$G_{(3,0)}^1$	$G_{(3,0)}^0$	$B_{(3,0)}^4$	$B_{(3,0)}^3$	$B_{(3,0)}^2$	$B_{(3,0)}^1$	$B_{(3,0)}^0$
	$R_{(0,1)}^4$	$R_{(0,1)}^3$	$R_{(0,1)}^2$	$R_{(0,1)}^1$	$R_{(0,1)}^0$	$G_{(0,1)}^5$	$G_{(0,1)}^4$	$G_{(0,1)}^3$	$G_{(0,1)}^2$	$G_{(0,1)}^1$	$G_{(0,1)}^0$	$B_{(0,1)}^4$	$B_{(0,1)}^3$	$B_{(0,1)}^2$	$B_{(0,1)}^1$	$B_{(0,1)}^0$
	$R_{(1,1)}^4$	$R_{(1,1)}^3$	$R_{(1,1)}^2$	$R_{(1,1)}^1$	$R_{(1,1)}^0$	$G_{(1,1)}^5$	$G_{(1,1)}^4$	$G_{(1,1)}^3$	$G_{(1,1)}^2$	$G_{(1,1)}^1$	$G_{(1,1)}^0$	$B_{(1,1)}^4$	$B_{(1,1)}^3$	$B_{(1,1)}^2$	$B_{(1,1)}^1$	$B_{(1,1)}^0$
	$R_{(2,1)}^4$	$R_{(2,1)}^3$	$R_{(2,1)}^2$	$R_{(2,1)}^1$	$R_{(2,1)}^0$	$G_{(2,1)}^5$	$G_{(2,1)}^4$	$G_{(2,1)}^3$	$G_{(2,1)}^2$	$G_{(2,1)}^1$	$G_{(2,1)}^0$	$B_{(2,1)}^4$	$B_{(2,1)}^3$	$B_{(2,1)}^2$	$B_{(2,1)}^1$	$B_{(2,1)}^0$
	$R_{(3,1)}^4$	$R_{(3,1)}^3$	$R_{(3,1)}^2$	$R_{(3,1)}^1$	$R_{(3,1)}^0$	$G_{(3,1)}^5$	$G_{(3,1)}^4$	$G_{(3,1)}^3$	$G_{(3,1)}^2$	$G_{(3,1)}^1$	$G_{(3,1)}^0$	$B_{(3,1)}^4$	$B_{(3,1)}^3$	$B_{(3,1)}^2$	$B_{(3,1)}^1$	$B_{(3,1)}^0$

12. データフォーマット

12.2 フレームバッファのデータフォーマット

画像データは以下の形式を使ってフレームバッファに格納されます。具体的な形式は、選択したホスト入力フォーマットによって決まります。入力フォーマットは、ホストインタフェースデータタイプ選択ビット (REG[0180h]ビット7~5) を用いて選択します。書き込み開始アドレスは、画像データの回転、ミラー反転、およびホストインタフェースからの画像入力時に画像データが以下のように格納される値を設定してください。

YUV 4:2:2の入力データは下記の形式で格納されます。YUV 4:2:0の入力データはYUV 4:2:2データに変換されてから下記の形式で格納されます。たとえば、 Y_0^7 はピクセル0のYデータにおける最上位ビットを表します。

表12.6 フレームバッファに格納されたYUVフォーマットデータ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	Y_0^7	Y_0^6	Y_0^5	Y_0^4	Y_0^3	Y_0^2	Y_0^1	Y_0^0	U_0^7	U_0^6	U_0^5	U_0^4	U_0^3	U_0^2	U_0^1	U_0^0
0002h	Y_1^7	Y_1^6	Y_1^5	Y_1^4	Y_1^3	Y_1^2	Y_1^1	Y_1^0	V_0^7	V_0^6	V_0^5	V_0^4	V_0^3	V_0^2	V_0^1	V_0^0
0004h	Y_2^7	Y_2^6	Y_2^5	Y_2^4	Y_2^3	Y_2^2	Y_2^1	Y_2^0	U_2^7	U_2^6	U_2^5	U_2^4	U_2^3	U_2^2	U_2^1	U_2^0
0006h	Y_3^7	Y_3^6	Y_3^5	Y_3^4	Y_3^3	Y_3^2	Y_3^1	Y_3^0	V_2^7	V_2^6	V_2^5	V_2^4	V_2^3	V_2^2	V_2^1	V_2^0

RGB 5:6:5の入力データは下記の形式で格納されます。たとえば、 R_0^4 はピクセル0のRデータにおける最上位ビットを表します。

表12.7 フレームバッファに格納されたRGBフォーマットデータ

アドレス	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0000h	R_0^4	R_0^3	R_0^2	R_0^1	R_0^0	G_0^5	G_0^4	G_0^3	G_0^2	G_0^1	G_0^0	B_0^4	B_0^3	B_0^2	B_0^1	B_0^0
0002h	R_1^4	R_1^3	R_1^2	R_1^1	R_1^0	G_1^5	G_1^4	G_1^3	G_1^2	G_1^1	G_1^0	B_1^4	B_1^3	B_1^2	B_1^1	B_1^0
0004h	R_2^4	R_2^3	R_2^2	R_2^1	R_2^0	G_2^5	G_2^4	G_2^3	G_2^2	G_2^1	G_2^0	B_2^4	B_2^3	B_2^2	B_2^1	B_2^0
0006h	R_3^4	R_3^3	R_3^2	R_3^1	R_3^0	G_3^5	G_3^4	G_3^3	G_3^2	G_3^1	G_3^0	B_3^4	B_3^3	B_3^2	B_3^1	B_3^0

13. 表示機能

S1D13748は下記の3層のレイヤが扱えます。これは透過およびアルファブレンディングの機能をサポートします。

- メインレイヤ
- PIP1レイヤ
- PIP2レイヤ

メインレイヤは互いに重ならない2つのウィンドウを持つことができます。画像データは常にRGB 5:6:5で格納されます。ピクセルダブリング機能を使えば出力画像を2倍のサイズに拡大することができます。

PIP1レイヤの画像データは、RGB 5:6:5またはYUV 4:2:2のいずれかで格納されます。バイキュービック式スケーラによって画像データのサイズを8倍から1/8倍の範囲で変更できます。またエッジ強調機能を備えます。

PIP2レイヤの画像データは、RGB 5:6:5またはYUV 4:2:2のいずれかで格納されます。バイキュービック式スケーラによって画像データのサイズを8倍から1/8倍の範囲で変更できます。このスケーラはパノラマスケーリング（垂直倍率が可変なスケーリング）が行えます。PIP2はエッジ強調機能およびLUTを備えます。LUTを使うことでPIP2ウィンドウのガンマ補正が独立して行えます。

どのレイヤにも属さない表示領域は背景色（設定可能、REG[0206h]を参照）に設定されます。

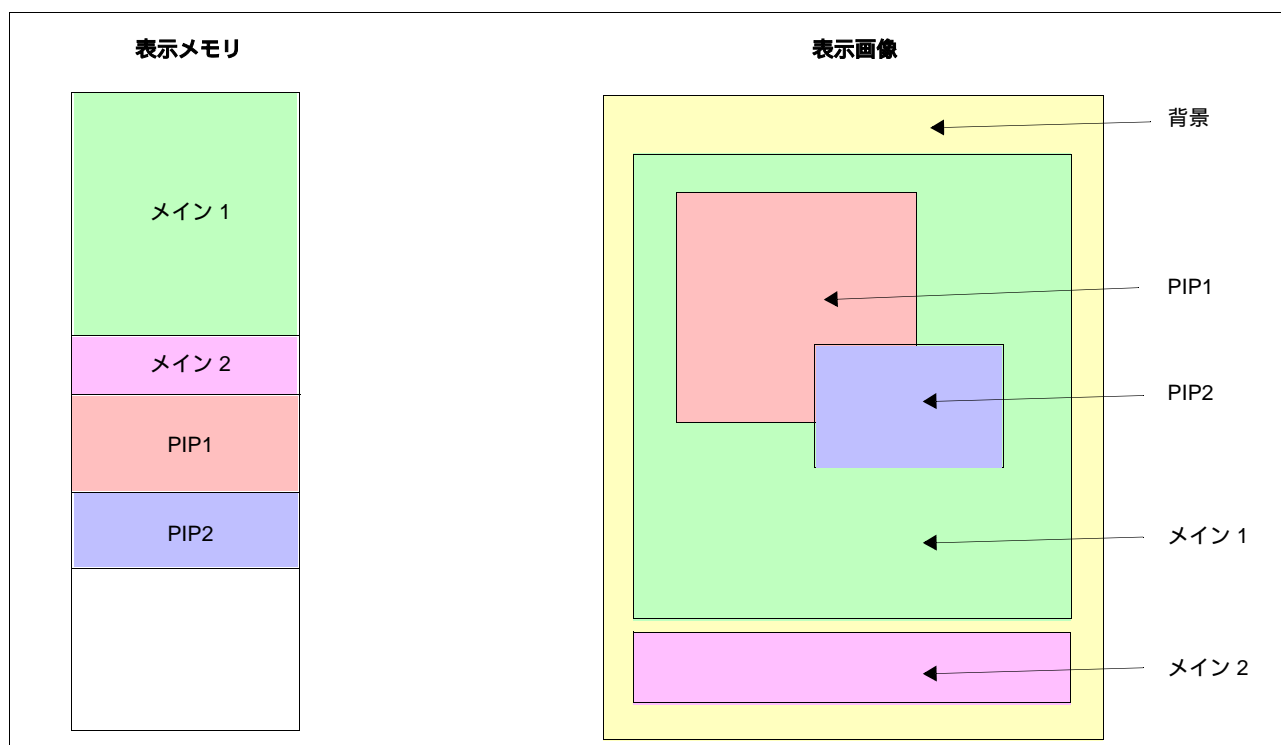


図13.1 表示レイヤ

13. 表示機能

13.1 メインレイヤ

メインレイヤは2つのウィンドウ（メイン1とメイン2）を持つことができます。2つのウィンドウは互いに重なることがありません。また、167ページの13.1.1「メインレイヤの制約」に示す制約を受けます。各ウィンドウのウィンドウ位置はパネルの左上の頂点（0, 0）を基準とするx, y座標によって、またサイズは高さと幅のレジスタによってそれぞれ独立して設定されます。

表示画像全体のサイズはHDP（水平表示期間）とVDP（垂直表示期間）の設定によって決まります。レイヤに属さない表示領域は背景色に設定されます。

メインウィンドウの画像データは、指定の表示開始アドレスを開始位置としてRGB 5:6:5形式で表示メモリに格納されます。メインウィンドウのx, y開始位置およびサイズの設定に使用されるレジスタを下図にまとめます。

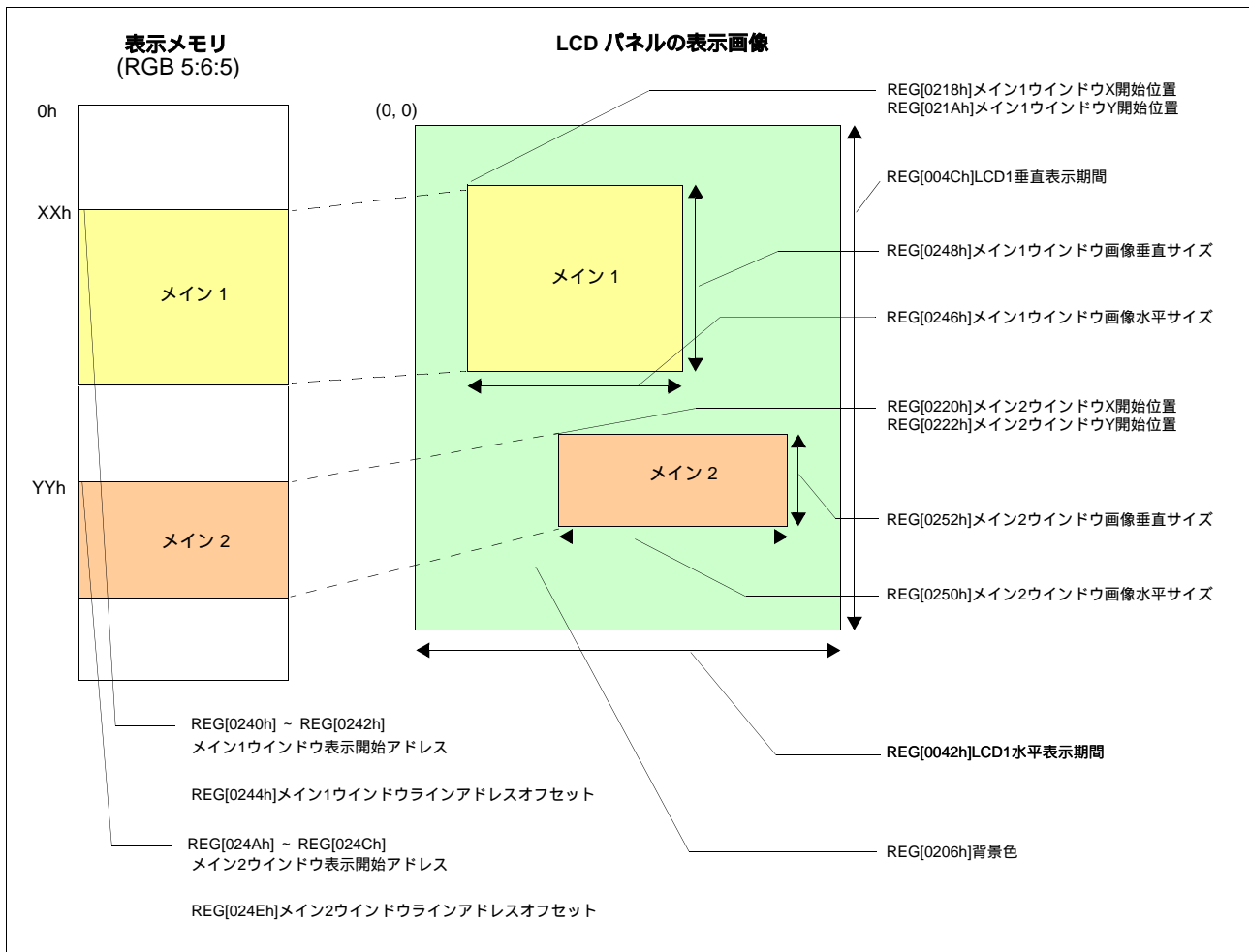


図13.2 メインウィンドウの設定

13.1.1 メインレイヤの制約

メインレイヤのウィンドウを設定するには以下の制約事項を考慮してください。

- メインウィンドウ(メイン1またはメイン2)の右端値は、表示パネルの幅(HDPのピクセル)を超えてはなりません。
- メインウィンドウ(メイン1またはメイン2)の下端値は、表示パネルの高さ(VDPのライン)を超えてはなりません。
- メイン1ウィンドウの下端値(ライン)は、メイン2ウィンドウの上端値(ライン)を超えてはなりません。

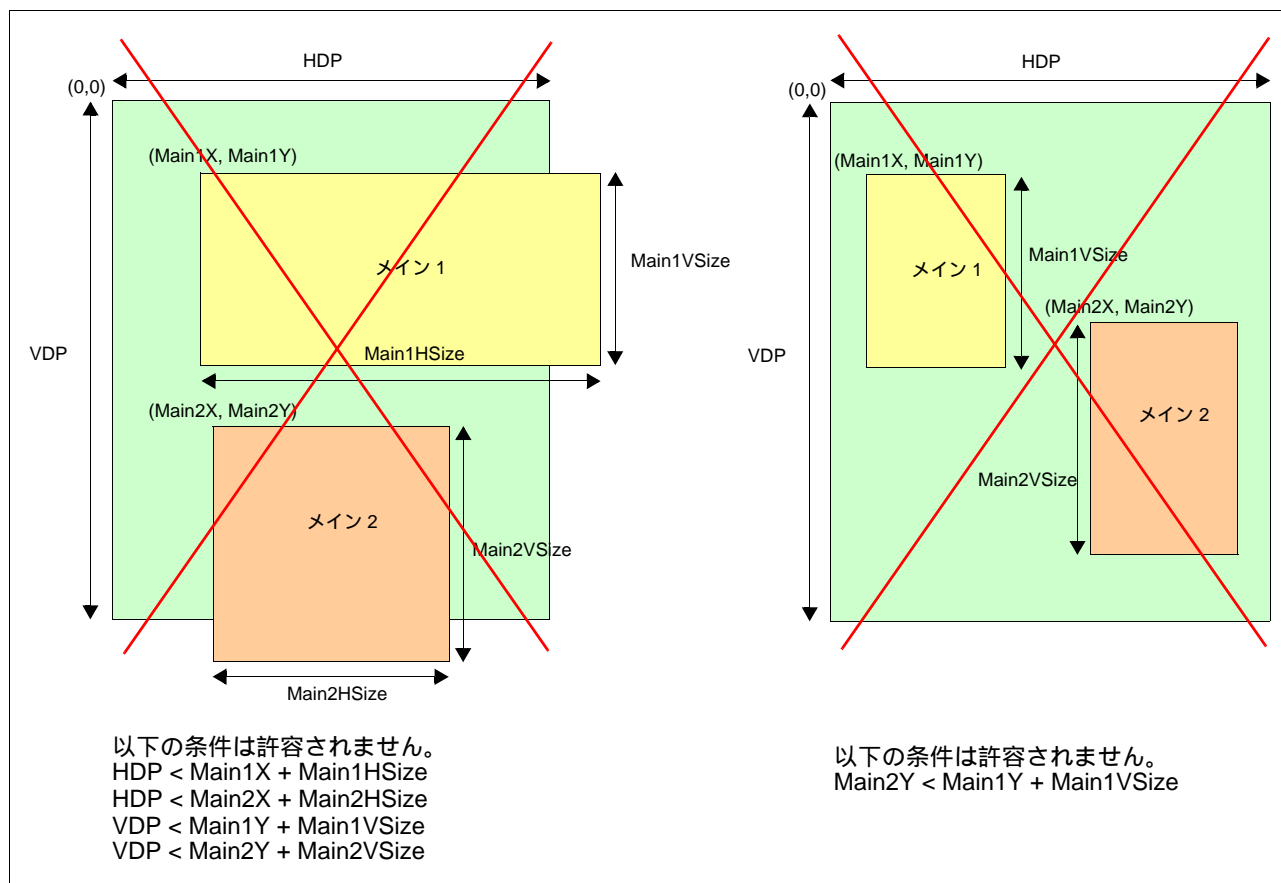


図13.3 メインレイヤの制約

13. 表示機能

13.1.2 メインレイヤの入力フォーマット

画像データをS1D13748に入力するときはRGB 5:6:5形式にしてください。画像データはこの形式で格納され、パネルに出力される前にRGB 8:8:8に変換されます。変換方法は以下のとおりです。

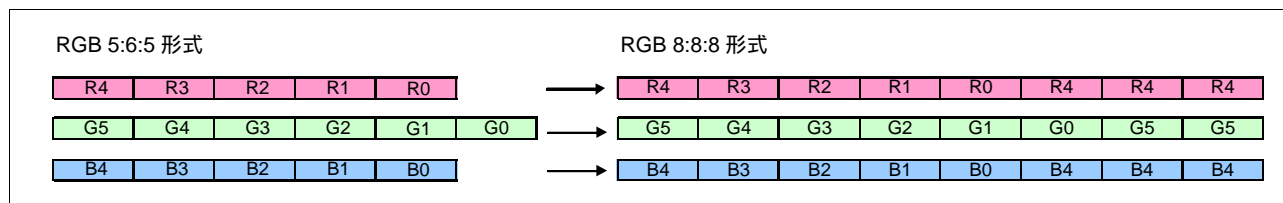


図13.4 RGB 5:6:5からRGB 8:8:8への変換

13.1.3 メインレイヤのピクセルダブリング

両メインウィンドウの画像データはピクセルダブリング機能を使って拡大できます。この機能を使えば、大きなパネルでの画像表示が既存の画像データを使って容易に行えます。メイン1ウィンドウに対してピクセルダブリングをイネーブルする例を以下の図に示します。

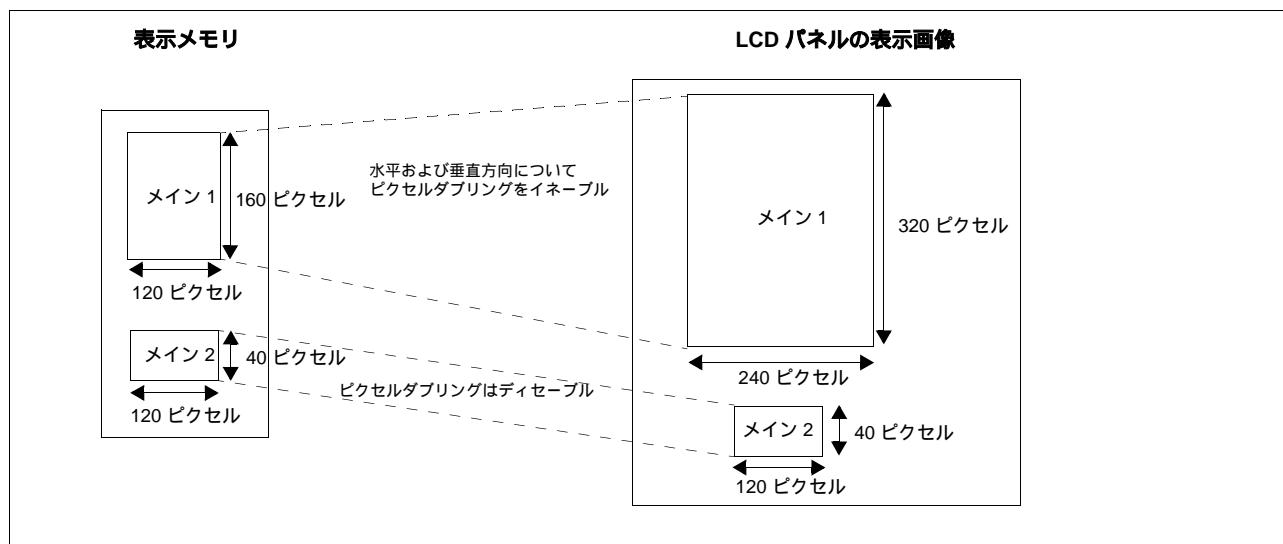


図13.5 メインウィンドウに対するピクセルダブリングの例

注

167ページの13.1.1「メインレイヤの制約」に記載したメインレイヤの制約事項は、「ピクセルダブリング処理後」の寸法に適用されます。たとえば水平ピクセルダブリングをイネーブルすることによってメイン1ウィンドウの右端値がHDPを超えることはできません。

ピクセルダブリング処理は各メインウィンドウの水平方向と垂直方向について別々に指定できます。具体的には以下に示すレジスタを使用します。各ビットの情報については、101ページの10.4.7「表示設定レジスタ」をご覧ください。

表13.1 メインレイヤのピクセルダブリングに関するレジスタ

メインウィンドウ	水平方向イネーブル	垂直方向イネーブル
メイン1	REG[0244h]ビット12	REG[0244h]ビット13
メイン2	REG[024Eh]ビット12	REG[024Eh]ビット13

13. 表示機能

13.2 PIPレイヤ

S1D13748は2つのPIPレイヤ (PIP1とPIP2) が扱えます。各レイヤにはウィンドウが1つあり、これは他方のPIPウィンドウおよびメインウィンドウと互いに重なることができます。PIPウィンドウは、171ページの13.2.1「PIPウィンドウの制約」に示す制約を受けます。各PIPウィンドウはパネルの左上の頂点 (0, 0) を基準とする開始・終了x, y座標によってそれぞれ独立して設定されます。

表示画像全体のサイズはHDP (水平表示期間) とVDP (垂直表示期間) の設定によって決まります。PIPレイヤおよびメインレイヤ (166ページの13.1「メインレイヤ」を参照) のいずれにも属さない表示領域は背景色に設定されます。

PIPウィンドウの画像データは、指定の表示開始アドレスを開始位置としてRGB 5:6:5形式またはYUV 4:2:2形式で表示メモリに格納されます。PIPウィンドウの設定に使用されるレジスタを下図にまとめます。

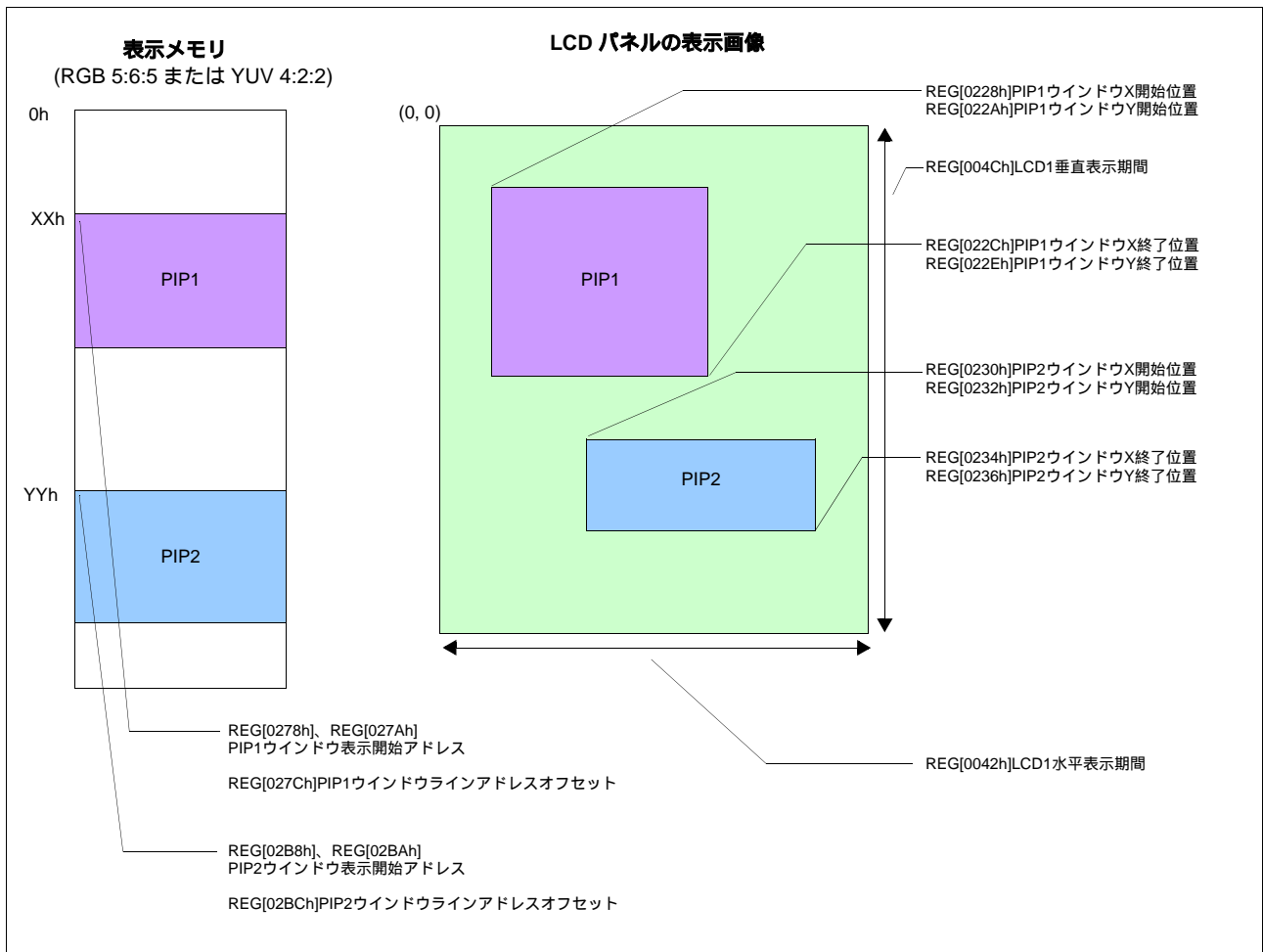


図13.6 PIPウィンドウの設定

13.2.1 PIPウィンドウの制約

PIPウィンドウの設定に際しては以下の制約事項を考慮してください。

- PIPウィンドウ（PIP1またはPIP2）の右端値は、表示パネル全体の幅（HDPのピクセル）を超えてはなりません。
- PIPウィンドウ（PIP1またはPIP2）の下端値は、表示パネル全体の高さ（VDPのライン）を超えてはなりません。

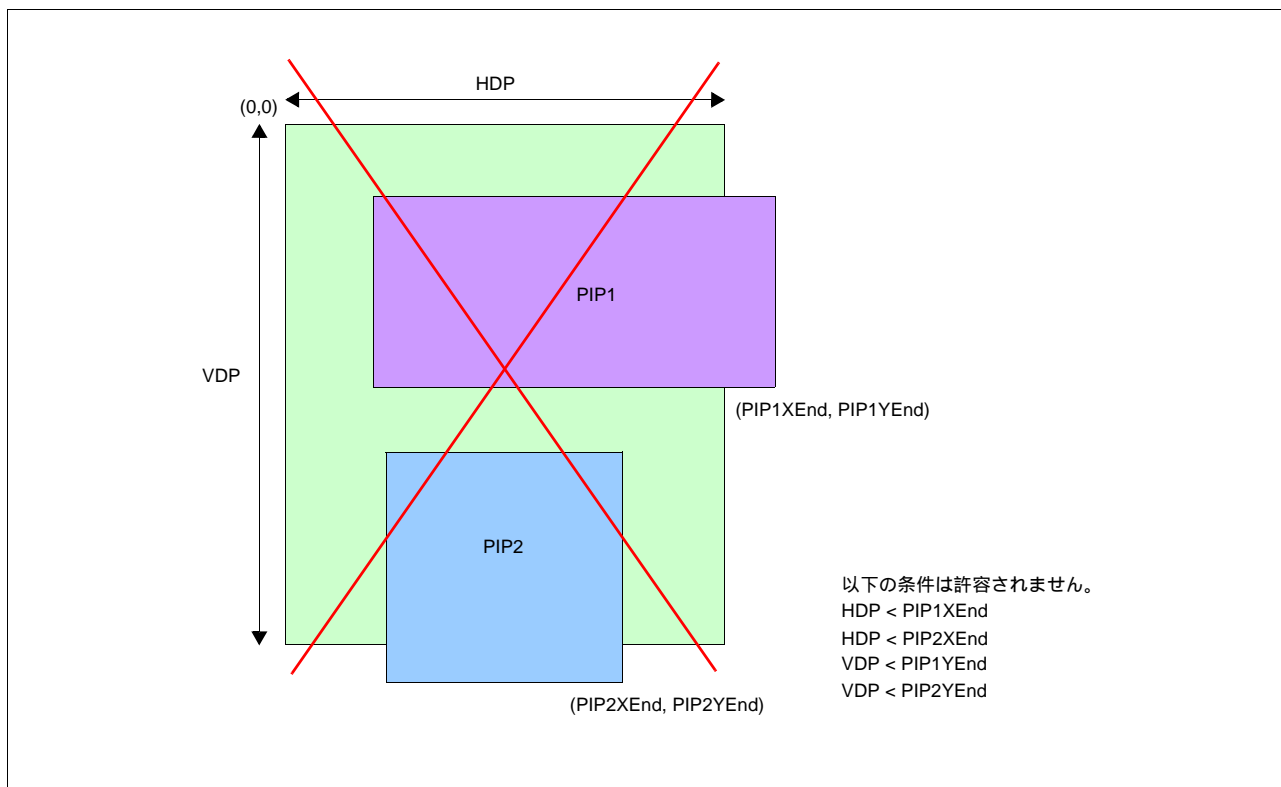


図13.7 PIPウィンドウの制約

13.2.2 スケーラの使い方

2つのPIPレイヤにはバイキュービック式スケーラが備わり、PIPウインドウのソース画像データを最大8倍に拡大したり、1/8倍に縮小したりすることができます。いずれのスケーラも可変の水平フィルタと垂直フィルタを備え、拡大によって生じるアーチファクトを低減します（PIPについてはREG[0260h]とREG[0268h]を、PIP2についてはREG[02A0h]とREG[02A8h]を参照）。PIP1およびPIP2スケーラの設定時には以下の制約に従ってください。

- 最小ソース画像サイズは4×4ピクセルです。
- 最大ソース画像サイズは510×1022ピクセルです。
- 最大縮小率は1/8です（この制約については、65ページの10.4「レジスタの説明」のREG[0262h]～REG[0264h]およびREG[02A2h]～REG[02A4h]の欄をご覧ください）。

注

PIP2ウインドウはパノラマスケーリング機能も備えています。この機能を使用すれば垂直方向の可変スケーリングが実現します。パノラマスケーリング機能については、177ページの13.2.4「PIP2のパノラマスケーリング」をご覧ください。

スケーラの使用時にはソース画像サイズ、生成画像サイズ、PIPウインドウサイズの3種類のサイズが重要になります。ソース画像に水平および垂直スケーリングを実施して得られる生成画像は、PIPウインドウに表示されます。生成画像のサイズとPIPウインドウのサイズの関係によって次の3とおりのケースがあります。

- ケース1：生成画像の水平サイズまたは垂直サイズが指定されるPIPウインドウのものよりも小さいケース。PIP画像はPIPウインドウの座標（0,0）に置かれ、画像データのないPIPウインドウの領域は黒のままとなります。以下のいずれかの式が成り立つときにこのケースとなります。

PIP画像水平サイズ < (PIPウインドウX終了位置 - PIPウインドウX開始位置)
PIP画像垂直サイズ < (PIPウインドウY終了位置 - PIPウインドウY開始位置)

- ケース2：生成画像のサイズが指定のPIPウインドウと同じケース。PIP画像はPIPウインドウの座標（0,0）に置かれ、PIPウインドウの全域がPIP画像によって占められます。以下の式がともに成り立つときにこのケースとなります。

PIP画像水平サイズ = (PIPウインドウX終了位置 - PIPウインドウX開始位置)
PIP画像垂直サイズ = (PIPウインドウY終了位置 - PIPウインドウY開始位置)

- ケース3：生成画像のサイズが指定のPIPウインドウよりも大きいケース。PIP画像はPIPウインドウの座標（0,0）に置かれますが、PIPウインドウのサイズにトリミングされます。PIPウインドウからはみ出た画像データが表示されません。以下のいずれかの式が成り立つときにこのケースとなります。

PIP画像水平サイズ > (PIPウインドウX終了位置 - PIPウインドウX開始位置)
PIP画像垂直サイズ > (PIPウインドウY終了位置 - PIPウインドウY開始位置)

各ケースの例を以下の図に示します。

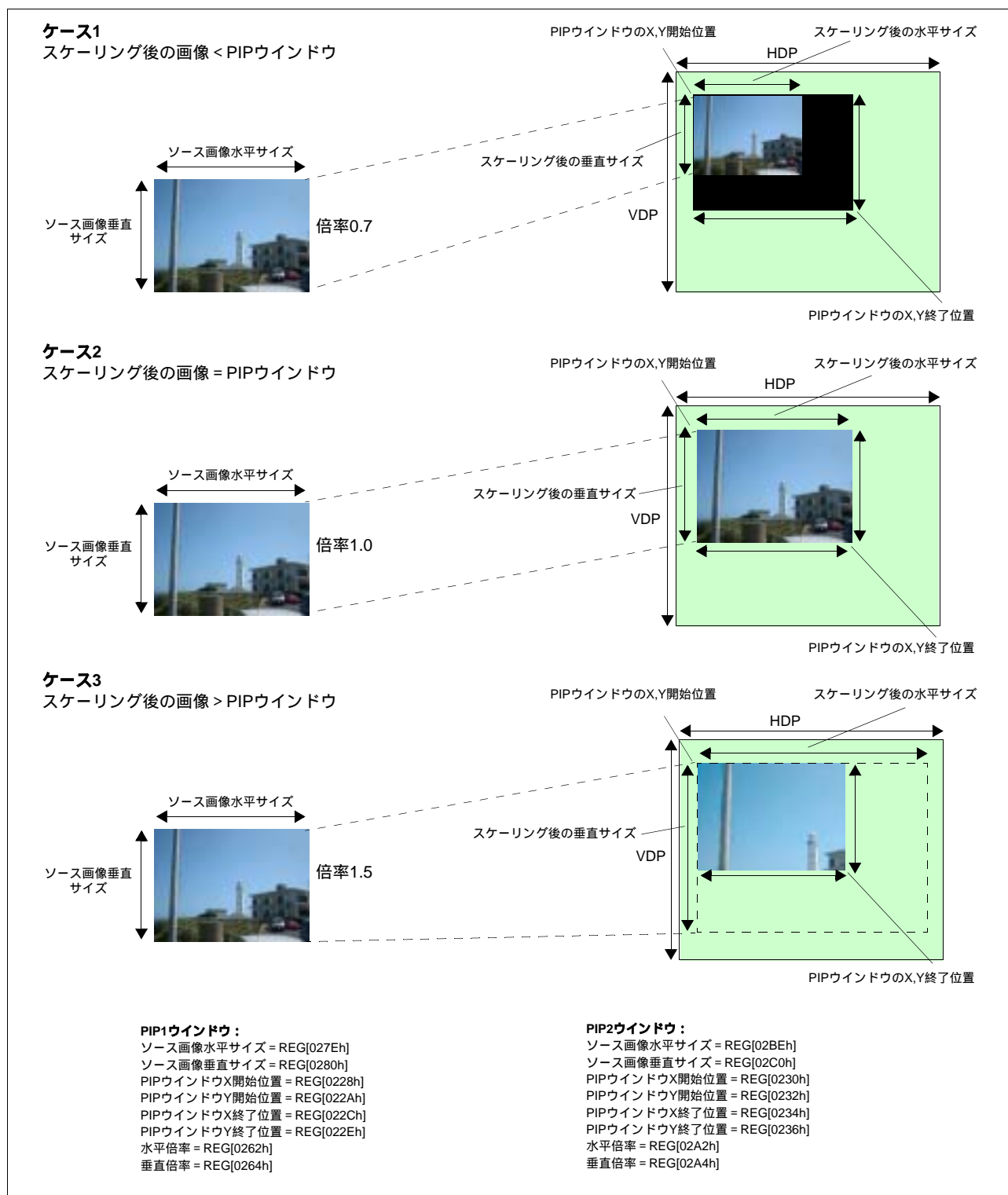


図13.8 PIPウィンドウにおけるスケーリング画像の表示

13. 表示機能

ソース画像をPIPウィンドウにおいてスケーリング（拡大縮小）するには以下の手順で行います。

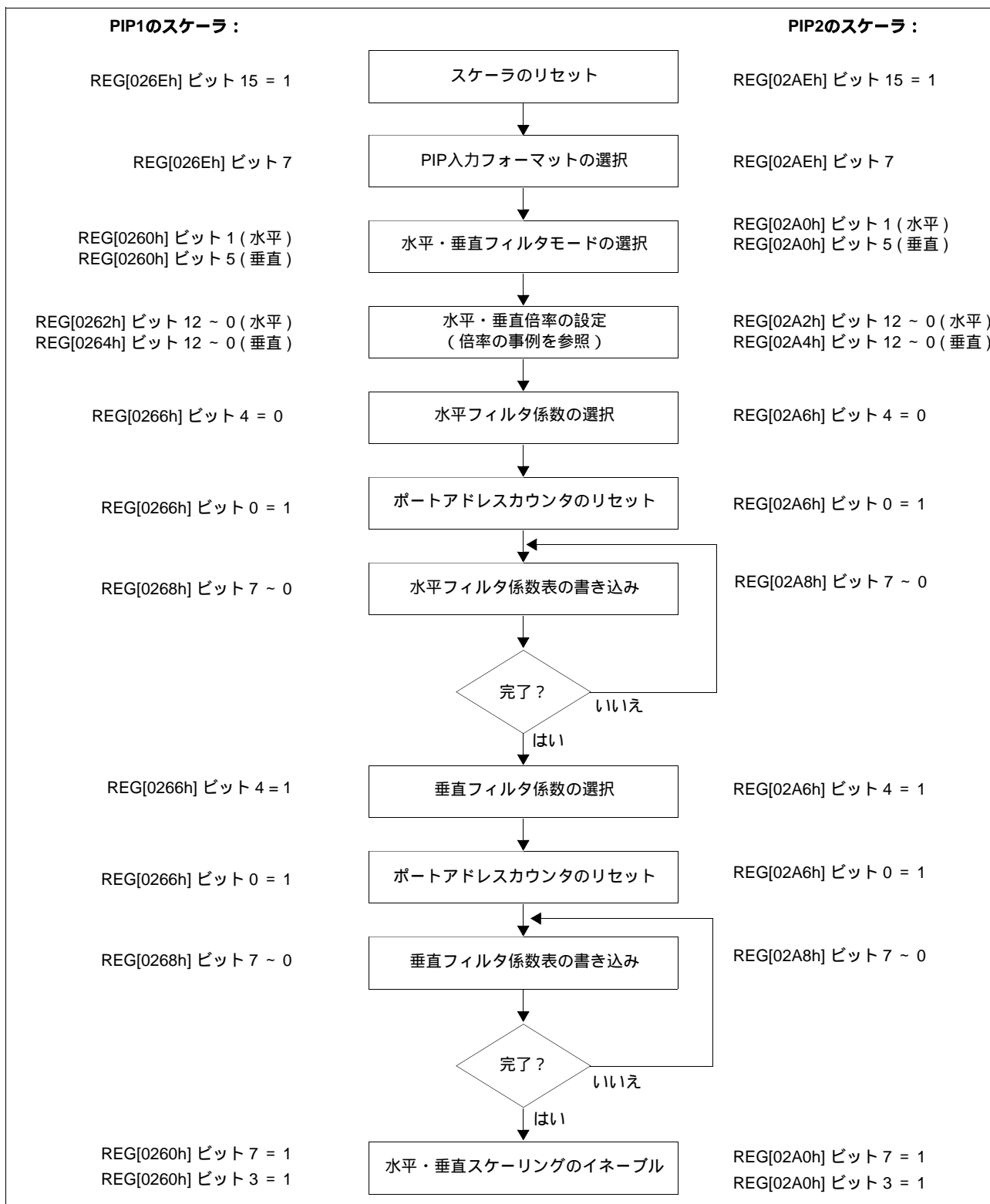


図13.9 スケーラのプログラミング手順

PIP1およびPIP2のスケーラは水平・垂直方向に対して独立した倍率が使用できます。拡大縮小操作の計算例を以下に示します。

水平倍率

ソース画像を倍率0.7で縮小するには、水平倍率レジスタ（PIP1はREG[0262h]、PIP2はREG[02A2h]）を次のようにプログラムしてください。

$$\begin{aligned}\text{水平倍率} &= 1024 \times (1 \div 0.7) \\ &= 1462 \\ &= 5B6h\end{aligned}$$

ソース画像を倍率1.5で拡大するには、水平倍率レジスタ（PIP1はREG[0262h]、PIP2はREG[02A2h]）を次のようにプログラムしてください。

$$\begin{aligned}\text{水平倍率} &= 1024 \times (1 \div 1.5) \\ &= 682 \\ &= 2AAh\end{aligned}$$

垂直倍率

ソース画像を倍率0.7で縮小するには、垂直倍率レジスタ（PIP1はREG[0264h]、PIP2はREG[02A4h]）を次のようにプログラムしてください。

$$\begin{aligned}\text{垂直倍率} &= 1024 \times (1 \div 0.7) \\ &= 1462 \\ &= 5B6h\end{aligned}$$

ソース画像を倍率1.5で拡大するには、垂直倍率レジスタ（PIP1はREG[0264h]、PIP2はREG[02A4h]）を次のようにプログラムしてください。

$$\begin{aligned}\text{垂直倍率} &= 1024 \times (1 \div 1.5) \\ &= 682 \\ &= 2AAh\end{aligned}$$

13. 表示機能

13.2.3 データのRGB変換

スケーリング(拡大縮小)が完了すると、PIPウィンドウの画像データはすべてRGB 8:8:8に変換されます。

入力フォーマットがRGB 5:6:5のときは次の方法を用いて変換されます。

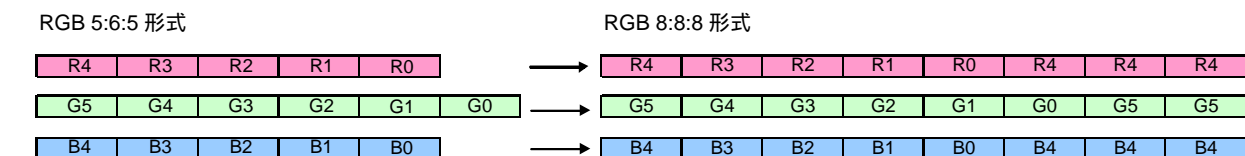


図13.10 RGB 5:6:5からRGB 8:8:8への変換

入力フォーマットがYUV 4:2:2のときは以下の式によって変換されます。

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} 1.000 & 0.000 & 1.402 \\ 1.000 & -0.344 & -0.714 \\ 1.000 & 1.722 & 0.00 \end{bmatrix} \begin{bmatrix} Y \\ U \\ V \end{bmatrix}$$

13.2.4 PIP2のパノラマスケーリング

部分パノラマモード

240×320ピクセルの画像を、部分パノラマモードを用いて480×800ピクセルに拡大する例を以下に示します。

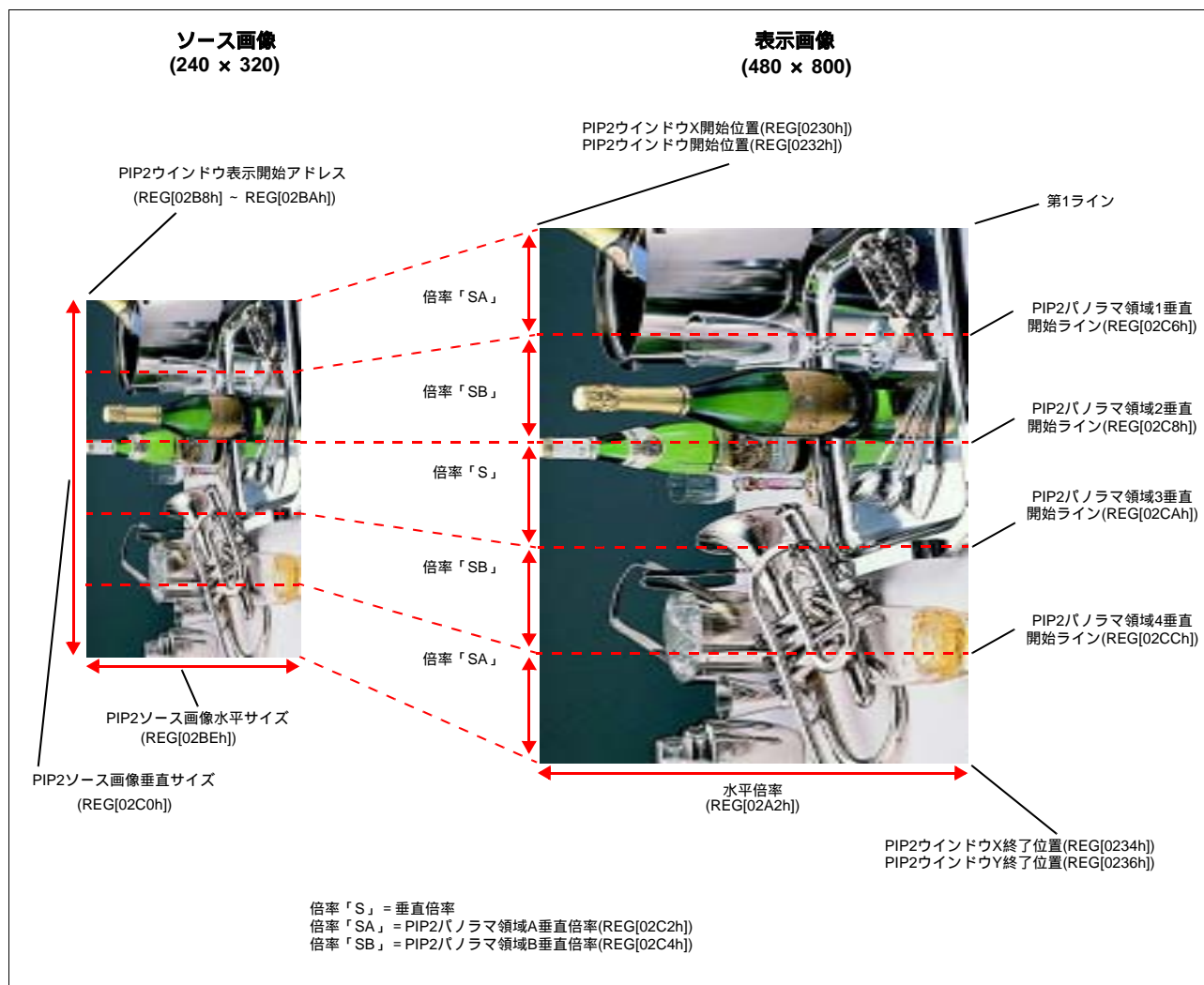


図13.11 部分パノラマモードの例

13. 表示機能

レジスタは下表に従って設定してください。

表13.2 部分パノラマモードのプログラミング例

ビットフィールド	値	説明
REG[0230h]ビット9~0		PIP2ウィンドウX開始位置
REG[0232h]ビット9~0		PIP2ウィンドウY開始位置
REG[0234h]ビット9~0		PIP2ウィンドウX終了位置
REG[0236h]ビット9~0		PIP2ウィンドウY終了位置
REG[02B8h]~REG[02BAh]ビット19~1		PIP2ウィンドウ表示開始アドレス
REG[02BCh]ビット11~1		PIP2ウィンドウラインアドレスオフセット
REG[02BEh]ビット8~1		PIP2ソース画像水平サイズ
REG[02C0h]ビット9~0		PIP2ソース画像垂直サイズ
REG[02AEh]ビット15		PIP2スケーラソフトウェアリセット
REG[02AEh]ビット7		PIP2スケーラ入力フォーマット選択
REG[02A0h]ビット10~8		PIP2エッジ強調エフェクト
REG[02A0h]ビット5	1	PIP2垂直フィルタモード
REG[02A0h]ビット1	1	PIP2水平フィルタモード
REG[02A2h]ビット12~0	200h	PIP2水平倍率
REG[02A4h]ビット12~0	200h	PIP2垂直倍率
REG[02C2h]ビット12~0	17Fh	PIP2パノラマ領域A垂直倍率
REG[02C4h]ビット12~0	299h	PIP2パノラマ領域B垂直倍率
REG[02C6h]ビット9~0	C9h	PIP2パノラマ領域1垂直開始ライン
REG[02C8h]ビット9~0	15Fh	PIP2パノラマ領域2垂直開始ライン
REG[02CAh]ビット9~0	1C3h	PIP2パノラマ領域3垂直開始ライン
REG[02CCh]ビット9~0	259h	PIP2パノラマ領域4垂直開始ライン
REG[02AEh]ビット5~4	1h	PIP2ワイドスケーリングモード選択
REG[02A6h]ビット0		PIP2ポートアドレスカウンタリセット
REG[02A6h]ビット4	0	PIP2フィルタ係数選択
REG[02A8h]ビット7~0		PIP2係数表アクセスポート
REG[02A6h]ビット0		PIP2ポートアドレスカウンタリセット
REG[02A6h]ビット4	1	PIP2フィルタ係数選択
REG[02A8h]ビット7~0		PIP2係数表アクセスポート
REG[02A0h]ビット15		PIP2エッジ強調イネーブル
REG[02A0h]ビット7	1	PIP2垂直スケーリングイネーブル
REG[02A0h]ビット3	1	PIP2水平スケーリングイネーブル

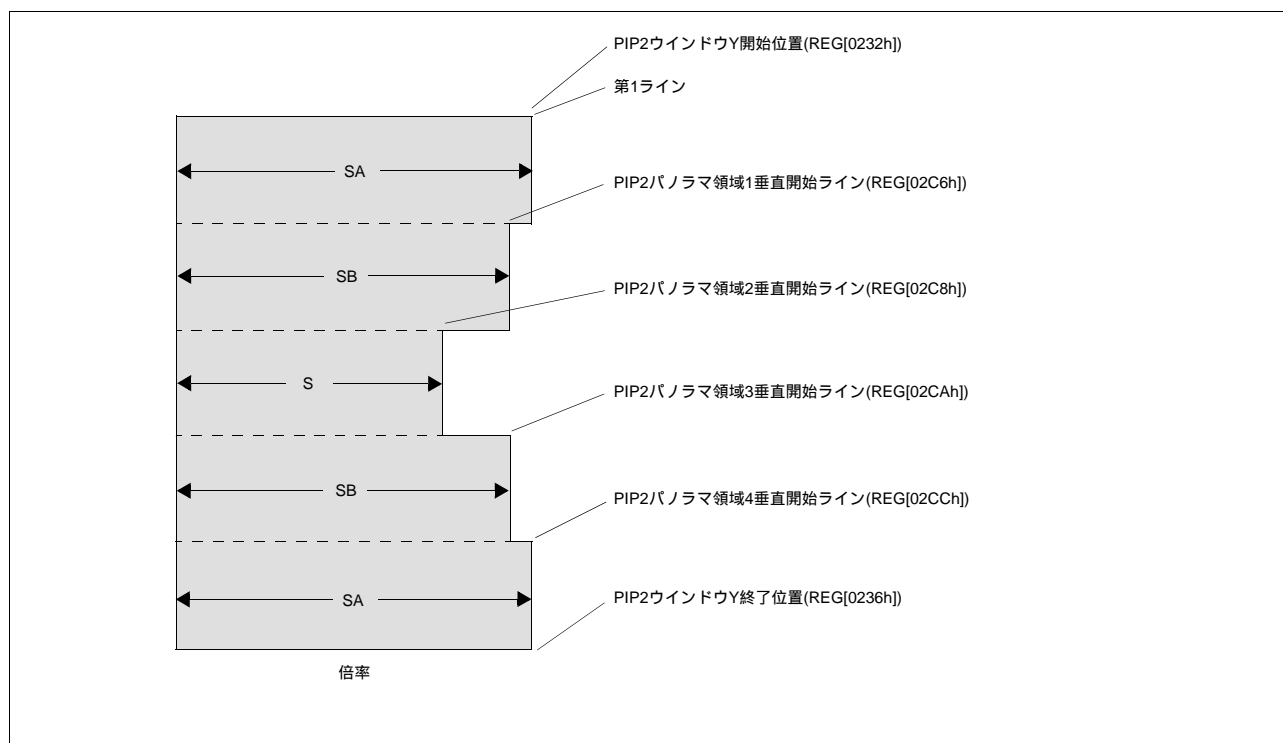


図13.12 部分パノラマモードにおける倍率

13. 表示機能

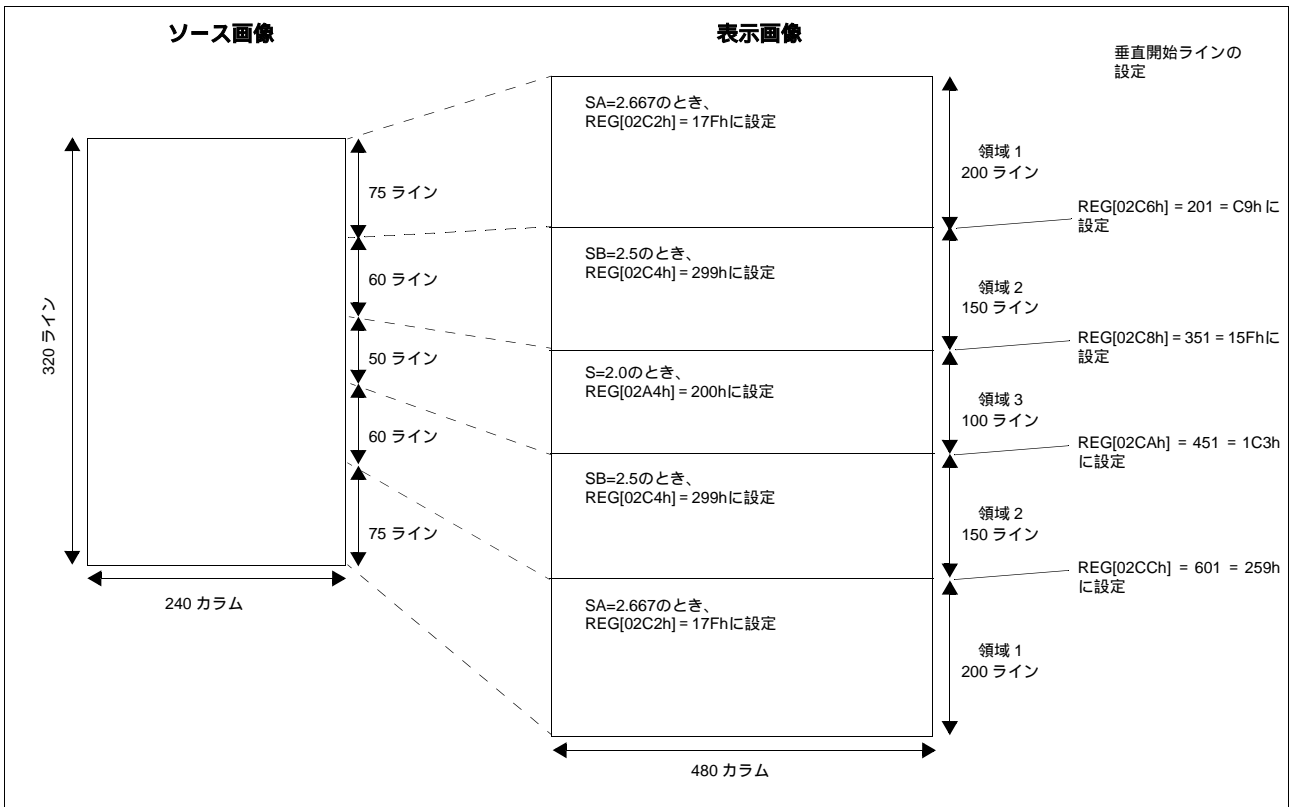


図13.13 部分パノラマモードの例

線形パノラマモード

240 × 320ピクセルの画像を、線形パノラマモードを用いて480 × 800ピクセルに拡大する例を以下に示します。

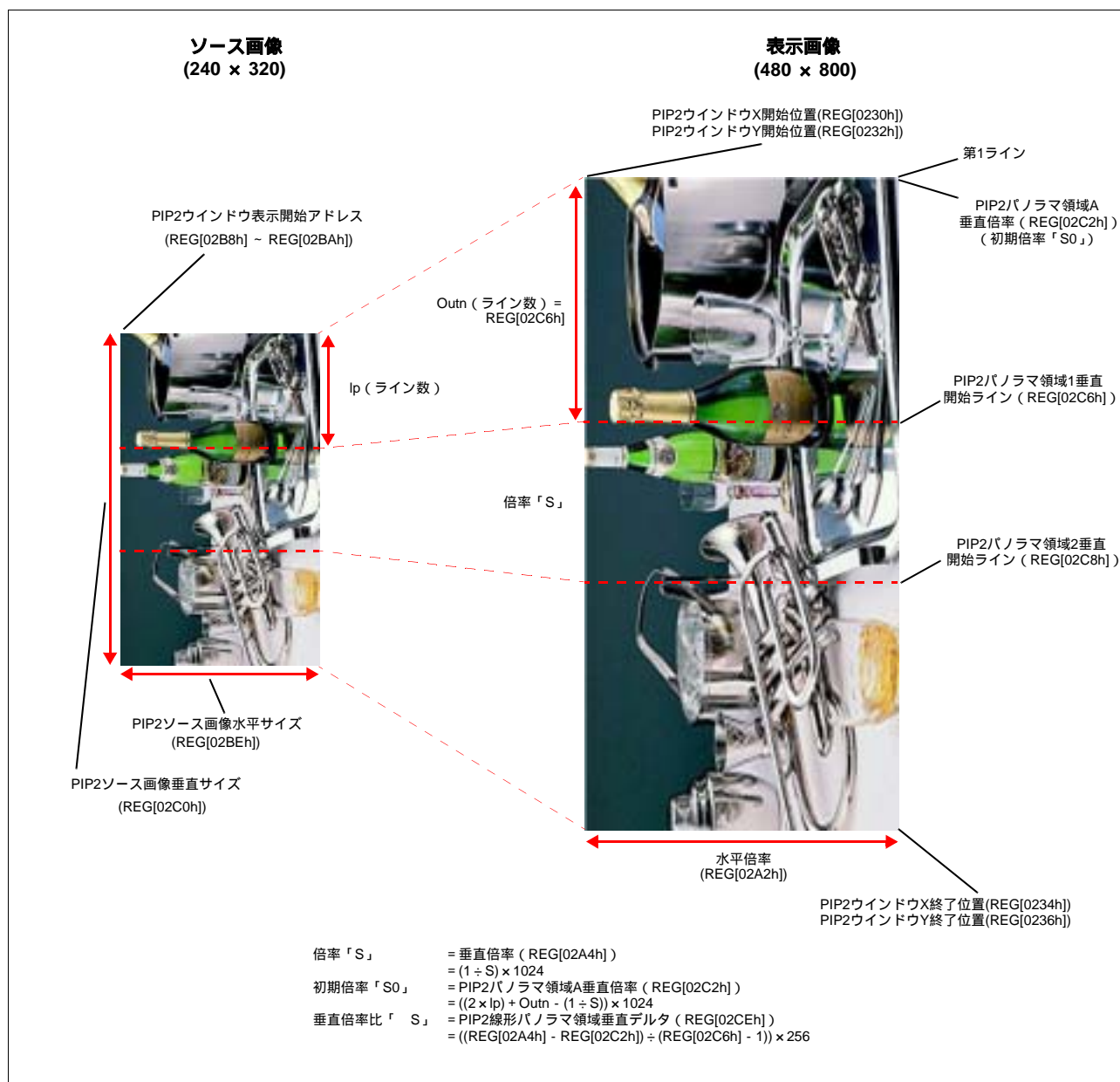


図13.14 線形パノラマモードの例

13. 表示機能

レジスタは下表に従って設定してください。

表13.3 線形パノラマモードのプログラミング例

ビットフィールド	値	説明
REG[0230h]ビット9~0		PIP2ウインドウX開始位置
REG[0232h]ビット9~0		PIP2ウインドウY開始位置
REG[0234h]ビット9~0		PIP2ウインドウX終了位置
REG[0236h]ビット9~0		PIP2ウインドウY終了位置
REG[02B8h]~REG[02BAh]ビット19~1		PIP2ウインドウ表示開始アドレス
REG[02BC]ビット11~1		PIP2ウインドウラインアドレスオフセット
REG[02BE]ビット8~1		PIP2ソース画像水平サイズ
REG[02C0]ビット9~0		PIP2ソース画像垂直サイズ
REG[02AE]ビット15		PIP2スケラソフトウェアリセット
REG[02AE]ビット7		PIP2スケラ入力フォーマット選択
REG[02A0]ビット10~8		PIP2エッジ強調エフェクト
REG[02A0]ビット5	1	PIP2垂直フィルタモード
REG[02A0]ビット1	1	PIP2水平フィルタモード
REG[02A2]ビット12~0	200h	PIP2水平倍率
REG[02A4]ビット12~0	200h	PIP2垂直倍率
REG[02C2]ビット12~0	AAh	PIP2パノラマ領域A垂直倍率
REG[02C6]ビット9~0	12Dh	PIP2パノラマ領域1垂直開始ライン
REG[02C8]ビット9~0	EEh	PIP2パノラマ領域2垂直開始ライン
REG[02CE]ビット13~0	E9h	PIP2線形パノラマ垂直倍率デルタ
REG[02AE]ビット5~4	2h	PIP2ワイドスケーリングモード選択
REG[02A6]ビット0		PIP2ポートアドレスカウンタリセット
REG[02A6]ビット4	0	PIP2フィルタ係数選択
REG[02A8]ビット7~0		PIP2係数表アクセスポート
REG[02A6]ビット0		PIP2ポートアドレスカウンタリセット
REG[02A6]ビット4	1	PIP2フィルタ係数選択
REG[02A8]ビット7~0		PIP2係数表アクセスポート
REG[02A0]ビット15		PIP2エッジ強調イネーブル
REG[02A0]ビット7	1	PIP2垂直スケーリングイネーブル
REG[02A0]ビット3	1	PIP2水平スケーリングイネーブル

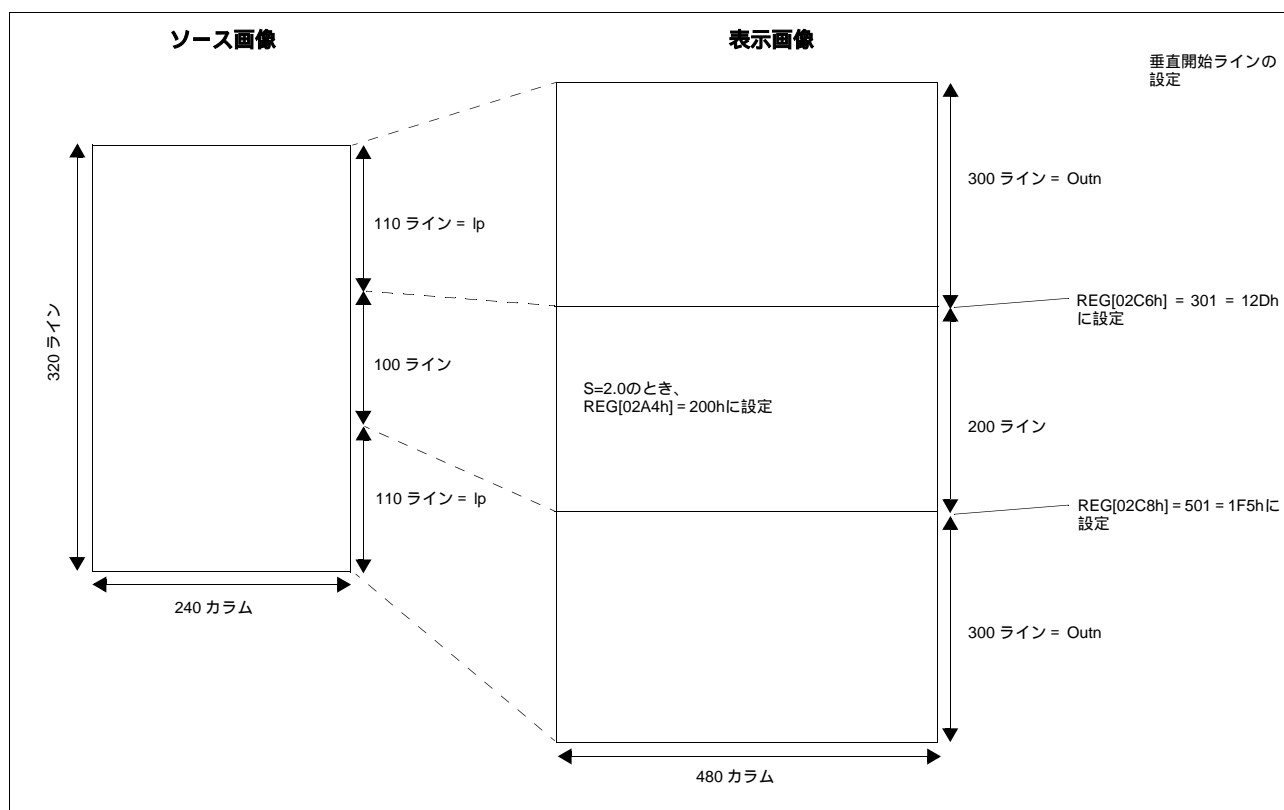
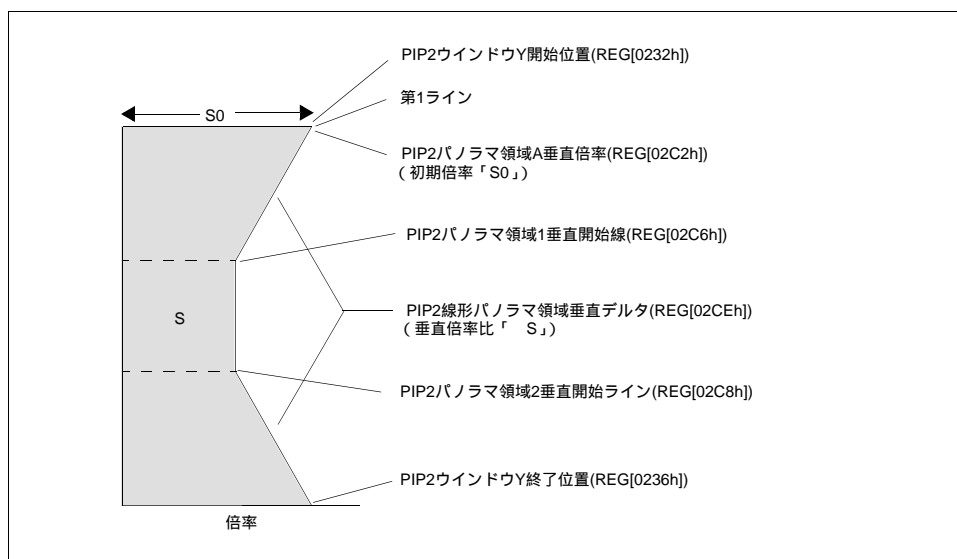


図13.15 線形パノラマモードの例

13. 表示機能

13.3 アルファブレンディング

メインレイヤがPIPレイヤの上にあるとき (REG[0202h]ビット6~5 = 00または10) S1D13748は選択したウィンドウのピクセルデータに対してアルファブレンディングを行うことができます。独立して使用できるキーカラーが4種類あり、いずれも0%~100%のブレンド比が12.5%刻みで指定できます。

アルファブレンディングを行うウィンドウはアルファブレンドモード選択ビット (REG[0204h]ビット7) によって指定します。メインウィンドウとPIPウィンドウの間でアルファブレンディングを行うことを選択する (REG[0204h]ビット7=0) と、メインウィンドウのキーカラーと重なるPIPウィンドウのピクセルデータが、メインウィンドウのピクセルデータと選択したアルファブレンド比でアルファブレンディングされます。このとき、もしも上側のPIPウィンドウに対してPIP透過がイネーブルされ、キーカラーが一致した場合、メインウィンドウのピクセルデータは上側のPIPウィンドウではなく下側のPIPウィンドウに対してアルファブレンディングされます。PIP透過については186ページの13.3.2「PIP透過」をご覧ください。

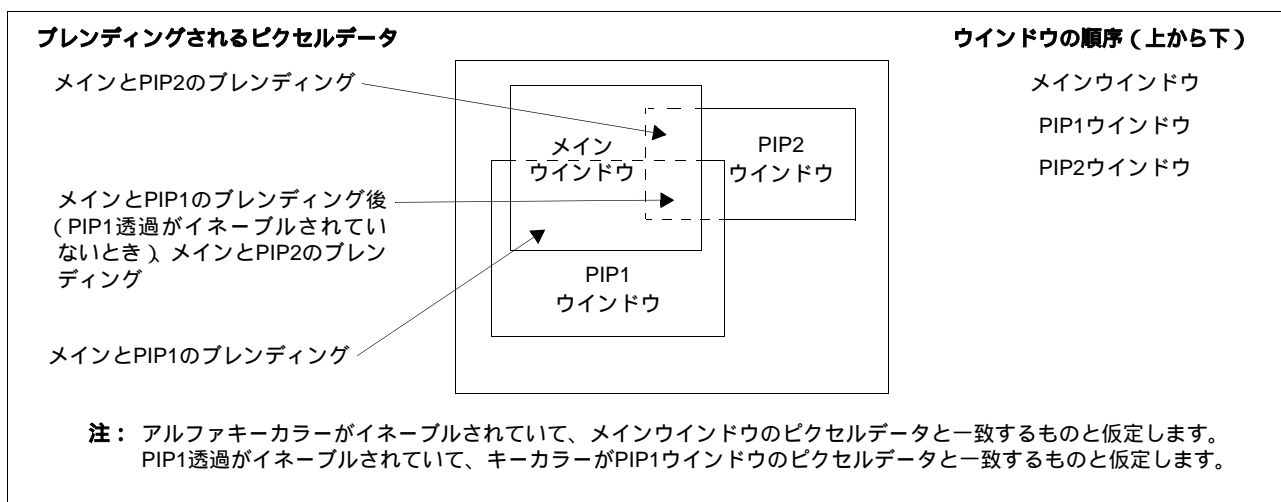


図13.16 メインウィンドウとPIPウィンドウのアルファブレンディングの例

PIPウィンドウ間でアルファブレンディングを行うことを選択する場合（REG[0204h]ビット7 = 1）、メインウィンドウのキーカラーと重なるPIPウィンドウのピクセルデータどうしが選択したアルファブレンド比でアルファブレンディングされます。このときPIPウィンドウ間に重なる部分があれば、PIP1またはPIP2のピクセルデータはメインウィンドウのキーカラーを透過し、透過と似た結果が得られます。

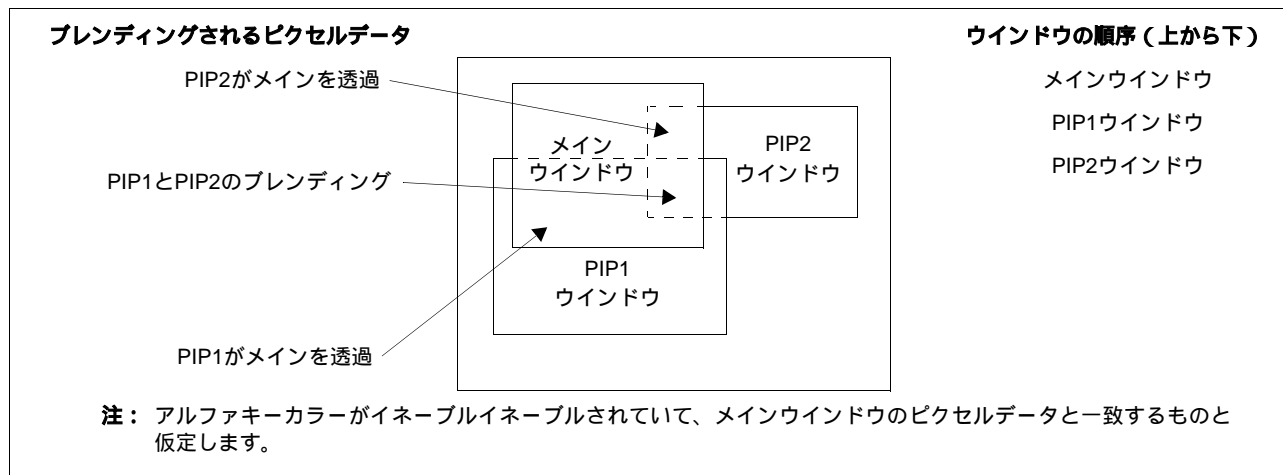


図13.17 メインウィンドウとPIPウィンドウのアルファブレンディングの例

メイン、PIP1、PIP2の全ウィンドウのアルファブレンディングならびに透過の例については、222ページの16.「使用例」をご覧ください。

13.3.1 レジスタ

アルファブレンドキーカラーの制御と設定には以下のレジスタが使用されます。

表13.4 アルファブレンディングに関するレジスタ一覧

アルファブレンド	イネーブル	ブレンド比	キーカラー
1	REG[0204h]ビット8	REG[0208h]ビット3～0	REG[0210h]ビット15～0
2	REG[0204h]ビット9	REG[0208h]ビット7～4	REG[0212h]ビット15～0
3	REG[0204h]ビット10	REG[0208h]ビット11～8	REG[0214h]ビット15～0
4	REG[0204h]ビット11	REG[0208h]ビット15～12	REG[0216h]ビット15～0

13. 表示機能

13.3.2 PIP透過

いずれのPIPウィンドウも透過機能をもちます。PIPウィンドウの透過機能をイネーブルすると、ピクセルデータがキーカラーと一致する場合にPIPウィンドウが透明になります。この機能を使えば、ピクセルデータがその上にあるPIPウィンドウを透過して見える状態になります。あるいは、メインウィンドウの上にPIPウィンドウがあるときはメインウィンドウのピクセルデータが透過して見えます。

PIPウィンドウ透過の制御と設定には以下のレジスタが使用されます。

表13.5 PIPウィンドウ透過に関するレジスタ一覧

PIPウィンドウ	イネーブル	キーカラー
PIP1 Window	REG[0204h]ビット1	REG[020Ch]ビット15~0
PIP2 Window	REG[0204h]ビット2	REG[020Eh]ビット15~0

アルファブレンディングがイネーブルされているときもPIPの透過機能を使用することができます。その場合、ピクセルデータは最下層のPIPウィンドウとブレンディングされます。

メイン、PIP1、PIP2の全ウィンドウのアルファブレンディングならびに透過の例については、222ページの16.「使用例」をご覧ください。

13.4 スクロールバッファ

S1D13748ではメイン1ウインドウ、PIP1ウインドウ、およびPIP2ウインドウに対してスクロールバッファ機能を使用できます。メイン2ウインドウはスクロールバッファ機能をサポートしていません。

スクロールバッファ機能を使えば画像データを非連続で保存できます。スクロールバッファを使用する場合、表示を行う画像データは表示開始アドレスから読み出しを開始します。スクロール終了アドレスに達したらスクロール開始アドレスに戻って読み出しを続けます。その様子を下の図に示します。

注

ホストからメモリへの画像データ書き込みにはスクロールバッファ機能は使用できません。

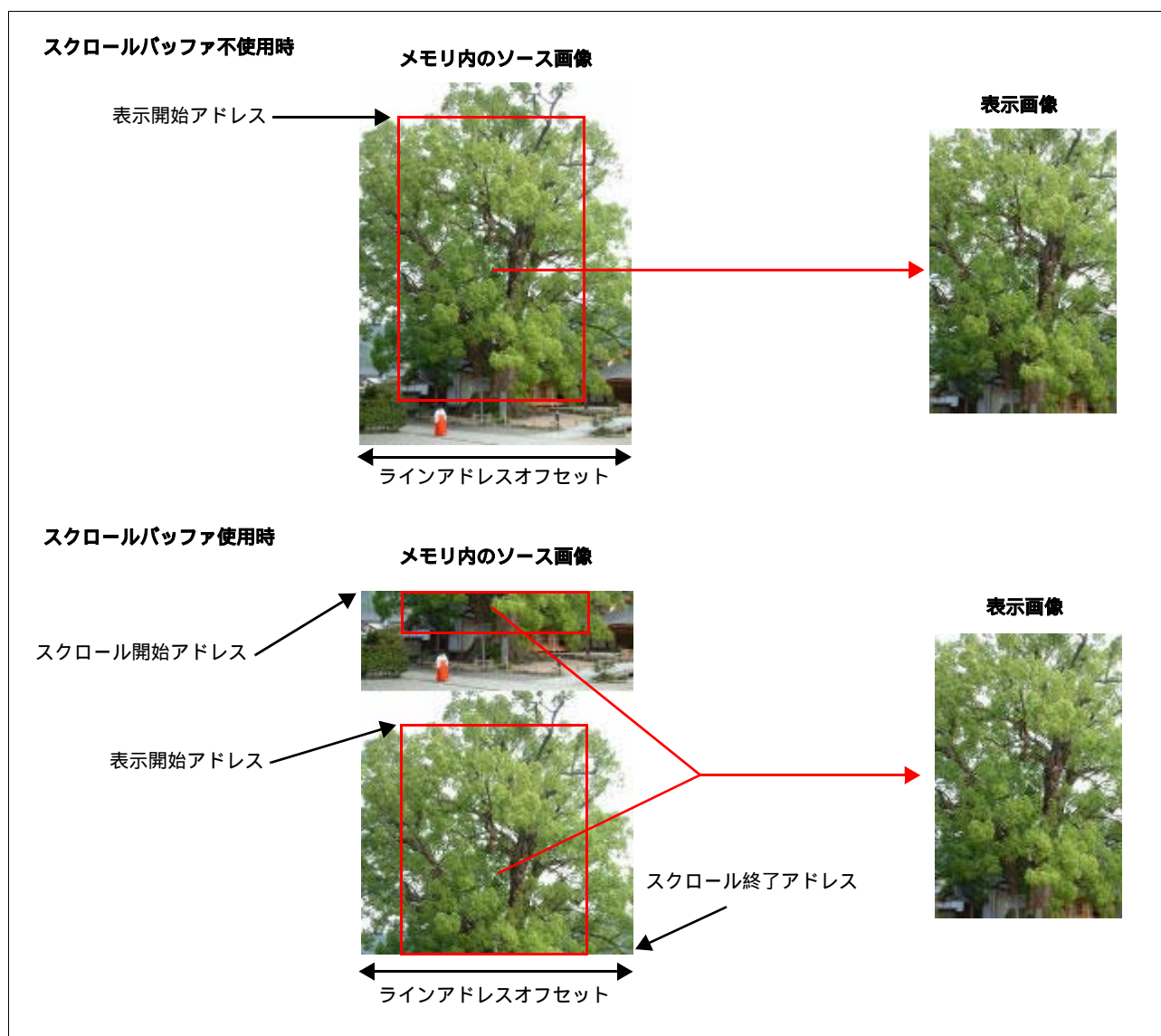


図13.18 スクロールバッファ機能の例

13. 表示機能

13.4.1 レジスタ

スクロールバッファ機能では、各ウインドウの表示開始アドレス、スクロール開始アドレス、およびスクロール終了アドレスの指定にあたって以下のレジスタを使用します。

表13.6 スクロールバッファに関するレジスタ

ウインドウ	スクロール開始アドレス	スクロール終了アドレス	表示開始アドレス
メイン1ウインドウ	REG[0238h] ~ REG[023Ah]	REG[023Ch] ~ REG[023Eh]	REG[0240h] ~ REG[0242h]
PIP1ウインドウ	REG[0270h] ~ REG[0272h]	REG[0274h] ~ REG[0276h]	REG[0278h] ~ REG[027Ah]
PIP2ウインドウ	REG[02B0h] ~ REG[02B2h]	REG[02B4h] ~ REG[02B6h]	REG[02B8h] ~ REG[02BAh]

注

選択したウインドウのスクロールをディセーブルするには、スクロール開始アドレスを0hに、またスクロール終了アドレスを最大値に設定します。

13.4.2 制約事項

各ウインドウに対してスクロールバッファを設定する際には以下の制約事項に従ってください。

- スクロール開始アドレスは、表示メモリ内における画像の第1ラインのアドレスを指定します。
- スクロール終了アドレスは、表示メモリ内における画像の最終ラインのアドレスを指定します。
- 各ウインドウのスクロール開始アドレスはスクロール終了アドレスより小さくします。

メイン1ウインドウ：REG[0238h] ~ REG[023Ah] < REG[023Ch] ~ REG[023Eh]

PIP1ウインドウ：REG[0270h] ~ REG[0272h] < REG[0274h] ~ REG[0276h]

PIP2ウインドウ：REG[02B0h] ~ REG[02B2h] < REG[02B4h] ~ REG[02B6h]

14. ホストインタフェース

S1D13748には16ビットのインダイレクトホストインタフェースが備わっています。これはレジスタの高速書き込みが可能です（書き込み1周期 = 内部システムクロック3周期分）。また内蔵されるホストインタフェース書き込みコントローラ（HWC）は時計回りの回転およびミラー機能を備えるほか、フレームバッファの矩形領域への書き込みが可能です。回転およびミラー機能が不要な場合にはHWCを使用せず、フレームバッファに書き込むことも可能です。

LCDバイパスモードがイネーブルされているときは、S1D13748に接続されたパラレルおよびシリアルインタフェースパネルへの入力をホストインタフェースが直接制御できます。

14.1 インダイレクトインタフェースの概要

ホストはインダイレクトインタフェースを介してS1D13748を制御します。S1D13748の内部レジスタへのアクセスにはインデックスレジスタとデータレジスタのポートを使用します。状態レジスタポートは、HWC（ホストインタフェース書き込みコントローラ）とメモリコントローラの状態を提供します。すべての内部レジスタポートは図14.1「インダイレクトインタフェースの概要」に示すようにAB[3:1]のアドレスラインを使ってアクセスされます。レジスタポートの説明は、190ページの14.1.1「間接アドレス指定のレジスタポート」をご覧ください。

このほか、AB[3:1]には選択したGPIOレジスタにアクセスするオプションもあります。なお、S1D13748にはGPIO[23:0]が備わっていますが、この方法で制御ないし読み出しできるのはGPIO[15:0]のみです。GPIOレジスタ全体（REG[0300h]～REG[031Ah]）にアクセスするには、インデックスレジスタとデータレジスタのポートを通して内部レジスタセットにアクセスします。GPIOレジスタの説明は、148ページの10.4.10「GPIOレジスタ」をご覧ください。

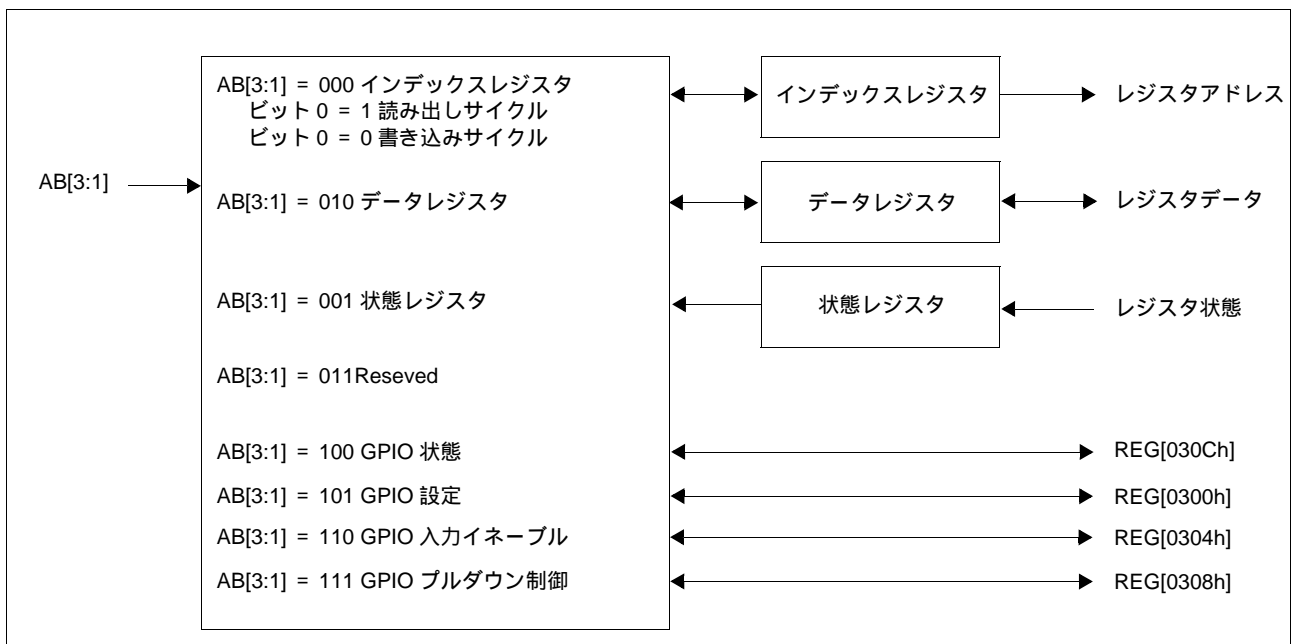


図14.1 インダイレクトインタフェースの概要

14. ホストインタフェース

14.1.1 間接アドレス指定のレジスタポート

AB[3:1] = 000b Indirect Interface Index Register														Read/Write	
Default = 0000h															
レジスタアドレスビット15~1														読み書き 選択	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 15-1 レジスタアドレスビット[15:1]
これらのビットは、インダイレクトインタフェースに関するレジスタアドレスを設定します。

bit 0 読み書き選択
このビットは、実行される処理が読み出しか書き込みかを選択します。
このビットが0のとき、書き込みが行われます。
このビットが1のとき、読み出しが行われます。

AB[3:1] = 010b Indirect Interface Data Register															Read/Write
Default = 0000h															
レジスタデータビット15~0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 15-0 レジスタデータビット[15:0]
これらのビットは、インダイレクトインタフェースに関するデータポートです。

AB[3:1] = 001b Indirect Interface Status Register														Read Only	
Default = 0000h															
n/a							HWC状態 (RO)	n/a							メモリ状態 (RO)
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bit 8 HWC状態（読み出し専用）
このビットは、HWC（ホストインタフェース書き込みコントローラ）ブロックの状態を示します。
このビットが0のとき、HWCは使用可能です（ビジーではありません）。
このビットが1のとき、HWCはビジーです。

bit 0 メモリ状態（読み出し専用）
このビットは、メモリコントローラの状態を示します。メモリにアクセスする前にこのビットの値をチェックしてください。ただし、連続的なメモリアクセスの場合は確認不要です。
このビットが0のとき、メモリコントローラは使用可能です（ビジーではありません）。
このビットが1のとき、メモリコントローラはビジーです。

14.2 レジスタへのアクセス

S1D13748の内部レジスタセットにアクセスするには間接アドレス指定のレジスタポート（190ページの14.1.1「間接アドレス指定のレジスタポート」を参照）が使用されます。その手順を下図に示します。内部レジスタセットの一覧については、62ページの10.2「レジスタセット」をご覧ください。

ホストインタフェースのアクセスサイクルが内部システムクロック（SYSCLK）の6周期以上である場合、内部レジスタは以下の手順でアクセスしてください。

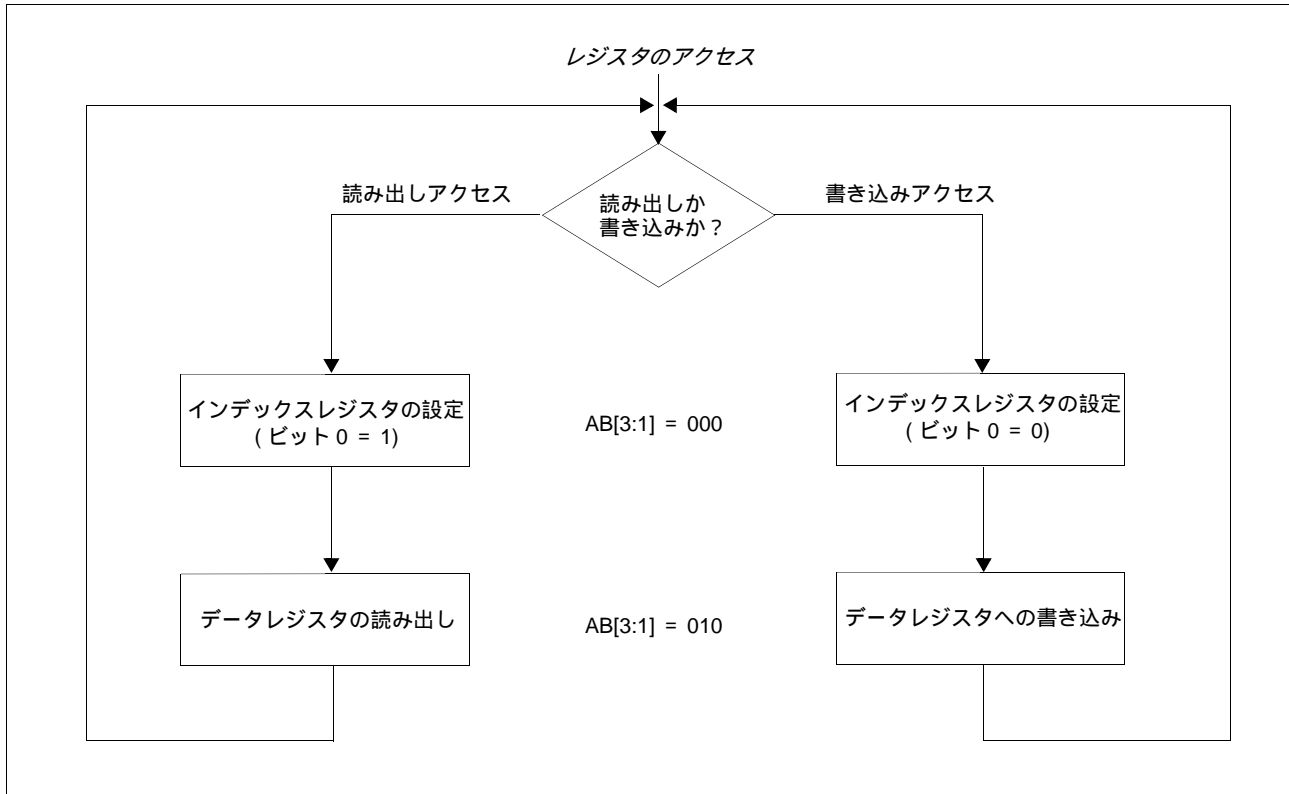


図14.2 レジスタのアクセス手順（アクセスサイクル 6 SYSCLKのとき）

注

レジスタのインデックス値は読み出しサイクルごとに設定してください。

14. ホストインタフェース

ホストインタフェースのアクセスサイクルが内部システムクロック (SYSCLK) の3~5周期分である場合、内部レジスタは以下の手順でアクセスしてください。

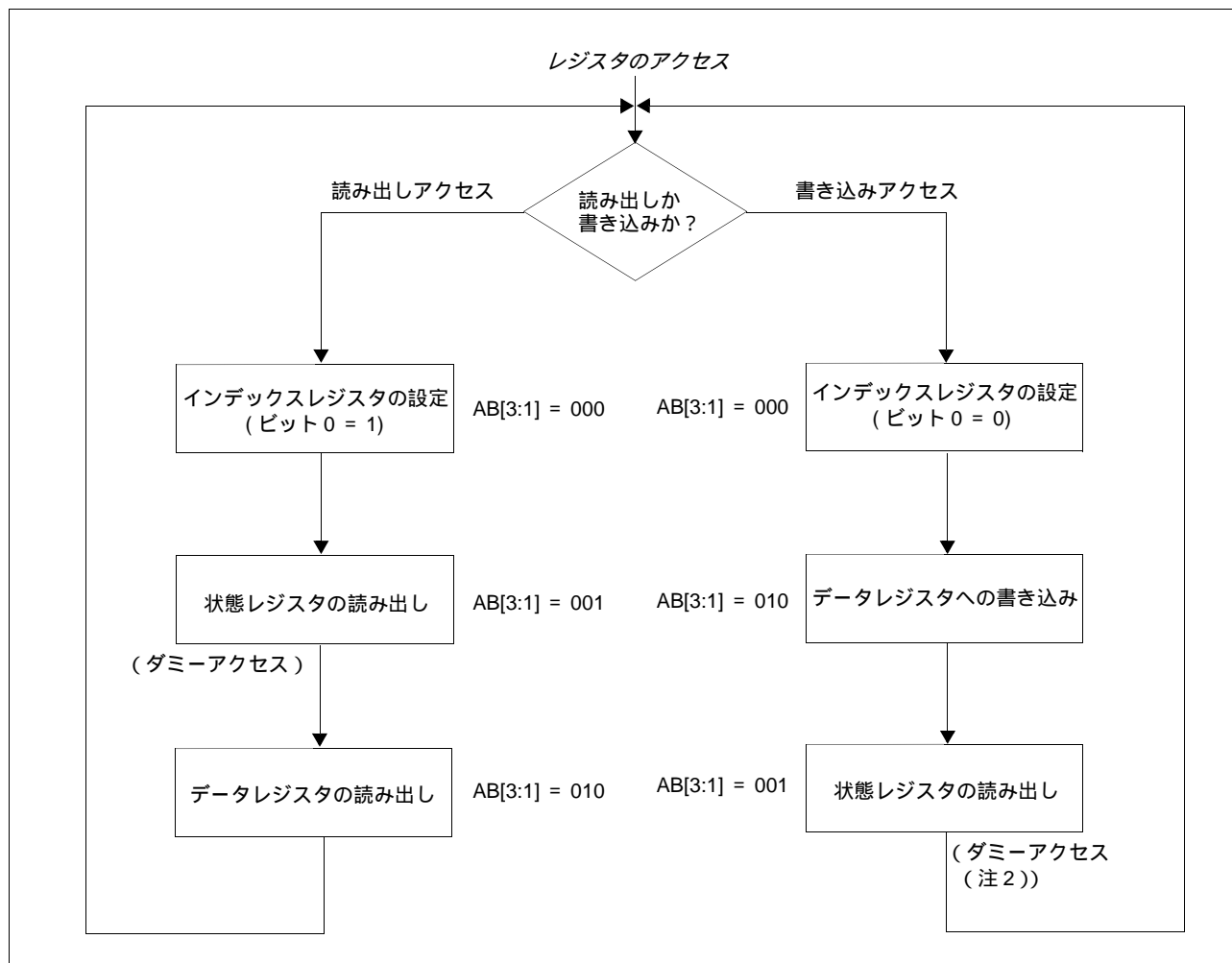


図14.3 レジスタのアクセス手順 (ホストのアクセスサイクル=3~5 SYSCLKのとき)

注

1. レジスタのインデックス値は読み出しサイクルごとに設定してください。
2. 書き込みアクセスルートにおける状態の読み出しはダミーアクセスです。前回の「データレジスタへの書き込み」から次の「インデックスレジスタの設定」までにSYSCLK 3周期分以上ある場合、このダミーアクセスは不要です。

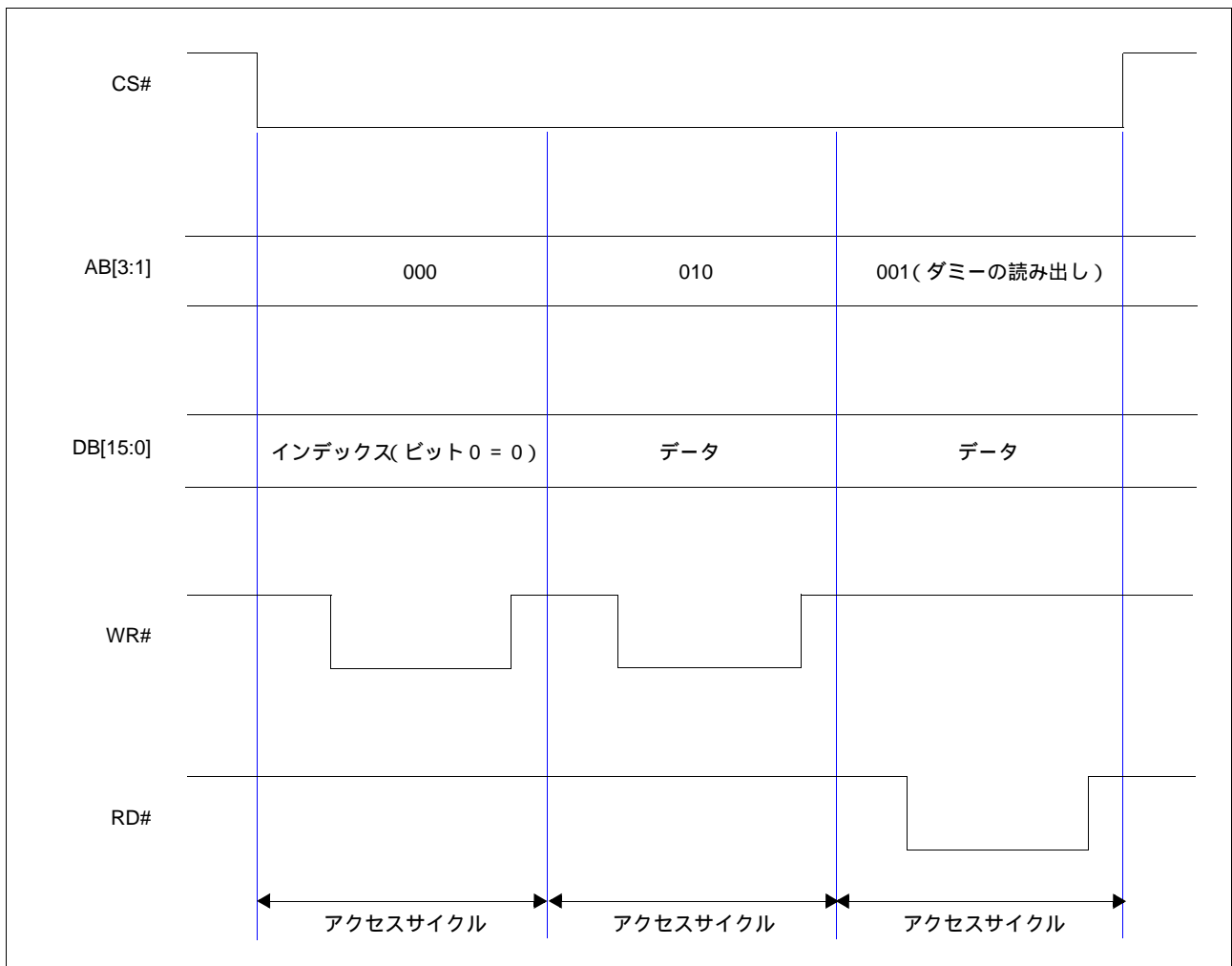


図14.4 レジスタ書き込みアクセスのタイミング (アクセスサイクル=3~5 SYSCLKのとき)

14. ホストインタフェース

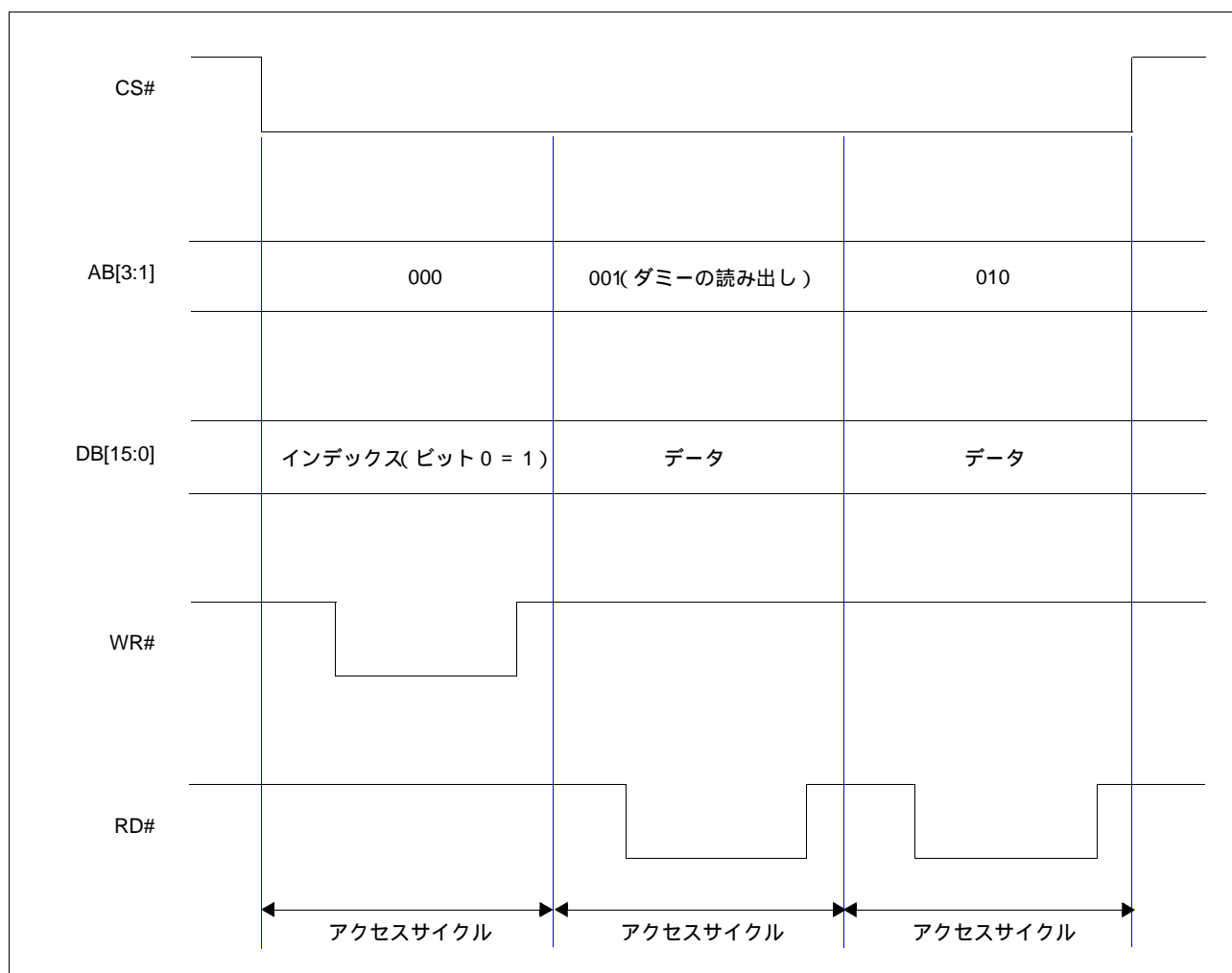


図14.5 レジスタ読み出しアクセスのタイミング (アクセスサイクル=3~5 SYSCLKのとき)

14.3 HWCを用いたメモリアクセス

HWC(ホストインタフェース書き込みコントローラ)を使えばホストの画像データをフレームバッファの矩形領域に書き込むことができます(REG[0180h]ビット0=1のとき)。HWCは以下の書き込みモードに対してそれぞれ独立に設定ができます。

- 回転：画像データに対する0°、90°、180°、270°の時計方向の回転
- ミラー：水平方向のミラー反転

HWCを使用するときは、フレームバッファへの書き込みを行う前にメモリアクセスポート(REG[018Ch])を使って下記のビットフィールドを設定してください。

REG[0180h]ビット7~5	ホストインタフェースデータタイプ選択
REG[0180h]ビット3	HWCミラーイネーブル
REG[0180h]ビット2~1	HWC回転モード選択
REG[0180h]ビット0	HWCモジュールイネーブル
REG[0184h]ビット3~0	メモリ開始アドレス奇数番地
REG[0182h]ビット15~1	メモリ開始アドレス偶数番地
REG[0186h]ビット11~1	HWCメモリ矩形書き込みアドレスオフセット
REG[0188h]ビット9~1	HWCメモリ矩形書き込み水平サイズ
REG[018Ah]ビット9~0	HWCメモリ矩形書き込み垂直サイズ

入力画像データは、HWCミラーイネーブルビット(REG[0180h]ビット3)とHWC回転モード選択ビット(REG[0180h]ビット2~1)の設定に従ってフレームバッファに書き込まれます。回転とミラーの組み合わせに応じて入力データの書き込み方向が変わるほか、開始アドレスを組み合わせごとにプログラミングし直す必要があります。垂直サイズと水平サイズはすべての組み合わせについて同じです。

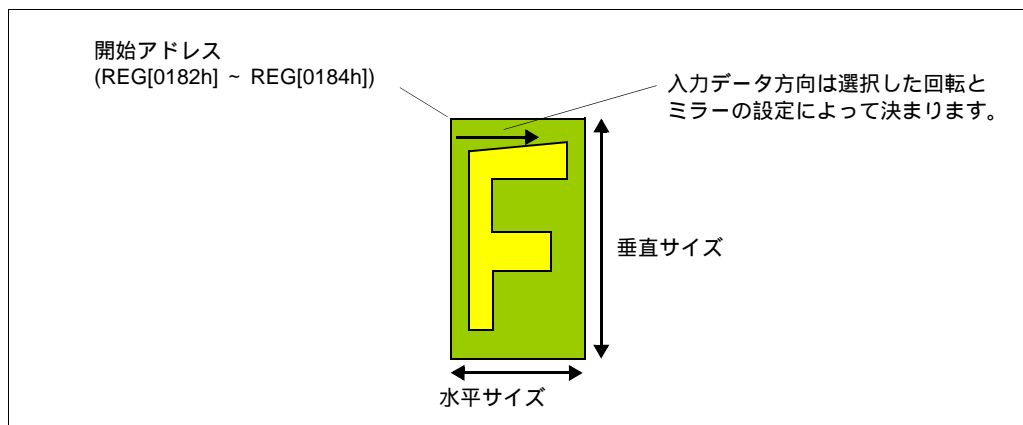


図14.6 入力画像の例

回転とミラーのそれぞれの組み合わせについて以下に例を示します。

14. ホストインタフェース

14.3.1 回転 = 0° かつミラーがディセーブルされた書き込み

REG[0180h]ビット2~1 = 00かつREG[0180h]ビット3 = 0のとき、メモリ開始アドレスのビット1は0に設定してください (REG[0182h]ビット1 = 0)

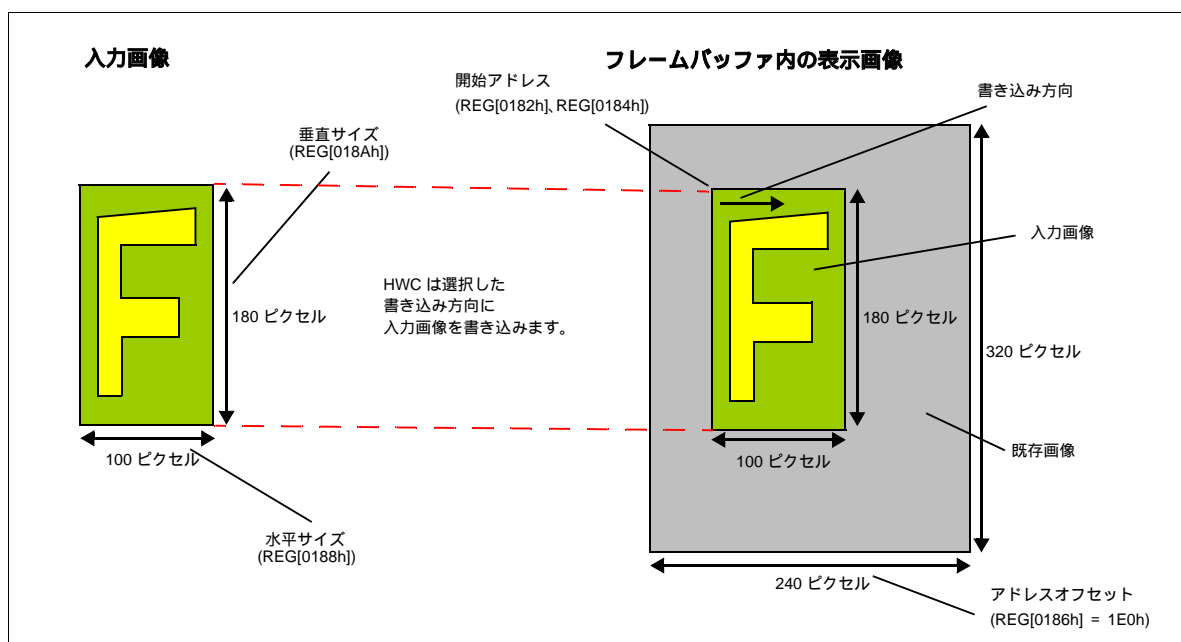


図14.7 回転 = 0° かつミラーがディセーブルされた書き込み例

上の例の場合、開始アドレスは以下の式によって計算されます。

$$\begin{aligned} & \text{REG}[0182\text{h}] \sim \text{REG}[0184\text{h}] \\ & = \text{メモリ開始アドレス} \\ & = 1000\text{h} \end{aligned}$$

14.3.2 回転 = 90° かつミラーがディセーブルされた書き込み

REG[0180h]ビット2~1 = 01かつREG[0180h]ビット3 = 0のとき、メモリ開始アドレスのビット1は1に設定してください (REG[0182h]ビット1 = 1)

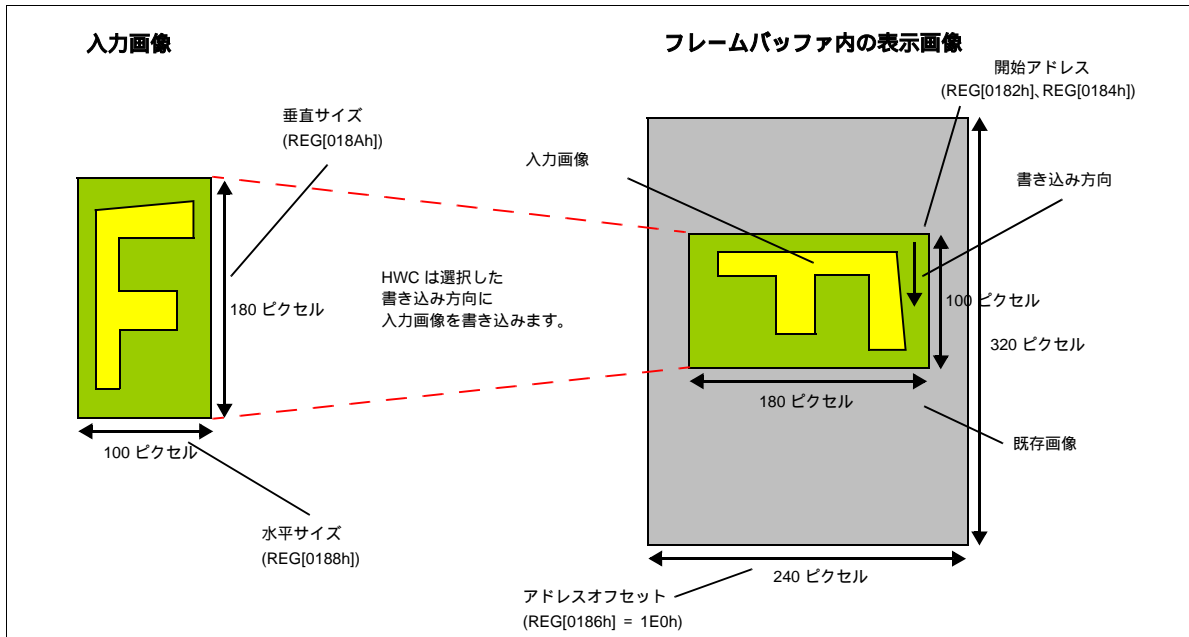


図14.8 回転 = 90° かつミラーがディセーブルされた書き込み例

上の例の場合、開始アドレスは以下の式によって計算されます。

$$\begin{aligned}
 & \text{REG}[0182\text{h}] \sim \text{REG}[0184\text{h}] \\
 & = \text{メモリ開始アドレス} + (\text{入力画像の垂直サイズ} \times 2) - 2 \\
 & = 1000\text{h} + (180\text{ピクセル} \times 2) - 2\text{h} \\
 & = 1000\text{h} + 168\text{h} - 2\text{h} \\
 & = 1166\text{h}
 \end{aligned}$$

14. ホストインタフェース

14.3.3 回転 = 180° かつミラーがディセーブルされた書き込み

REG[0180h]ビット2~1 = 10かつREG[0180h]ビット3 = 0のとき、メモリ開始アドレスのビット1は1に設定してください (REG[0182h]ビット1 = 1)

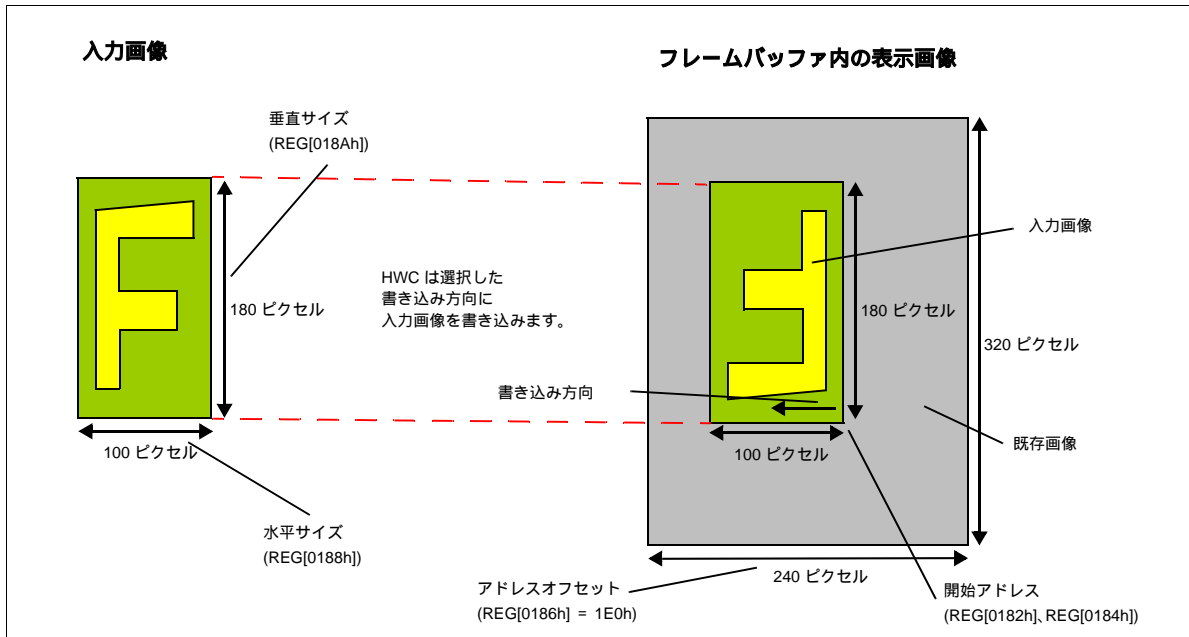


図14.9 回転 = 180° かつミラーがディセーブルされた書き込み例

上の例の場合、開始アドレスは以下の式によって計算されます。

$$\begin{aligned} & \text{REG}[0182\text{h}] \sim \text{REG}[0184\text{h}] \\ & = (\text{メモリ開始アドレス} + \text{入力画像のデータサイズ}) - 2 \\ & = (1000\text{h} + (180 \times 100 \times 2)) - 2\text{h} \\ & = (1000\text{h} + 8\text{CA}0\text{h}) - 2\text{h} \\ & = 9\text{CA}0\text{h} - 2\text{h} \\ & = 9\text{C}9\text{Eh} \end{aligned}$$

14.3.4 回転 = 270° かつミラーがディセーブルされた書き込み

REG[0180h]ビット2~1 = 11かつREG[0180h]ビット3 = 0のとき、メモリ開始アドレスのビット1は0に設定してください (REG[0182h]ビット1 = 0)

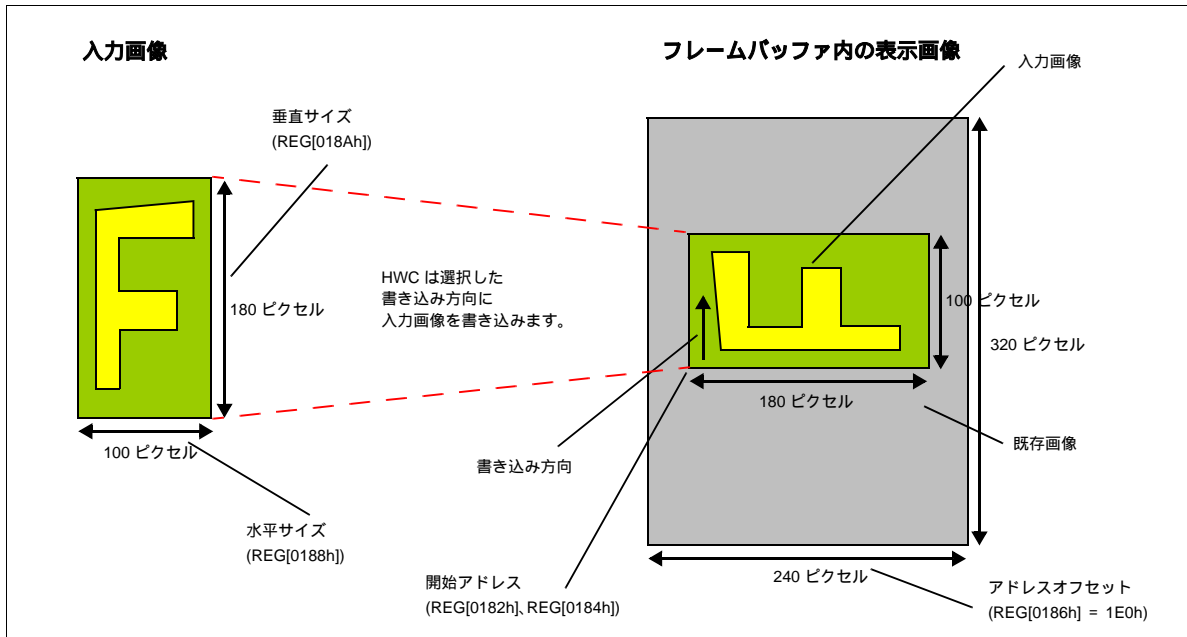


図14.10 回転 = 270° かつミラーがディセーブルされた書き込み例

上の例の場合、開始アドレスは以下の式によって計算されます。

$$\begin{aligned}
 & \text{REG}[0182\text{h}] \sim \text{REG}[0184\text{h}] \\
 & (\text{メモリ開始アドレス} + \text{入力画像のデータサイズ}) - (\text{入力画像の垂直サイズ} \times 2) \\
 & = (1000\text{h} + (180 \times 100 \times 2)) - (180 \text{ピクセル} \times 2) \\
 & = (1000\text{h} + 8\text{CA}0\text{h}) - 168\text{h} \\
 & = 9\text{CA}0\text{h} - \text{B}4\text{h} \\
 & = 9\text{B}38\text{h}
 \end{aligned}$$

14. ホストインタフェース

14.3.5 回転 = 0° かつミラーがイネーブルされた書き込み

REG[0180h]ビット2~1 = 00かつREG[0180h]ビット3 = 1のとき、メモリ開始アドレスのビット1は1に設定してください (REG[0182h]ビット1 = 1)。

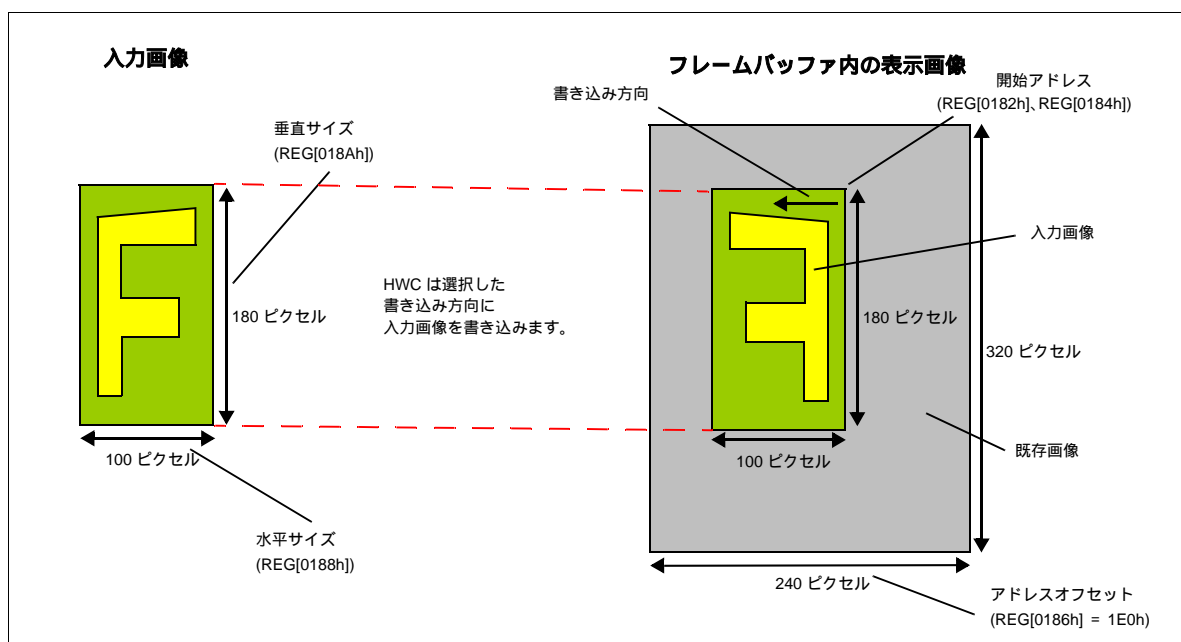


図14.11 回転 = 0° かつミラーがイネーブルされた書き込み例

上の例の場合、開始アドレスは以下の式によって計算されます。

$$\begin{aligned} & \text{REG}[0182\text{h}] \sim \text{REG}[0184\text{h}] \\ & = \text{メモリ開始アドレス} + (\text{入力画像の水平サイズ} \times 2) - 2 \\ & = 1000\text{h} + (100\text{ピクセル} \times 2) - 2\text{h} \\ & = 1000\text{h} + \text{C8h} - 2\text{h} \\ & = 10\text{C6h} \end{aligned}$$

14.3.6 回転 = 90° かつミラーがイネーブルされた書き込み

REG[0180h]ビット2~1 = 01かつREG[0180h]ビット3 = 0のとき、メモリ開始アドレスのビット1は0に設定してください (REG[0182h]ビット1 = 0)

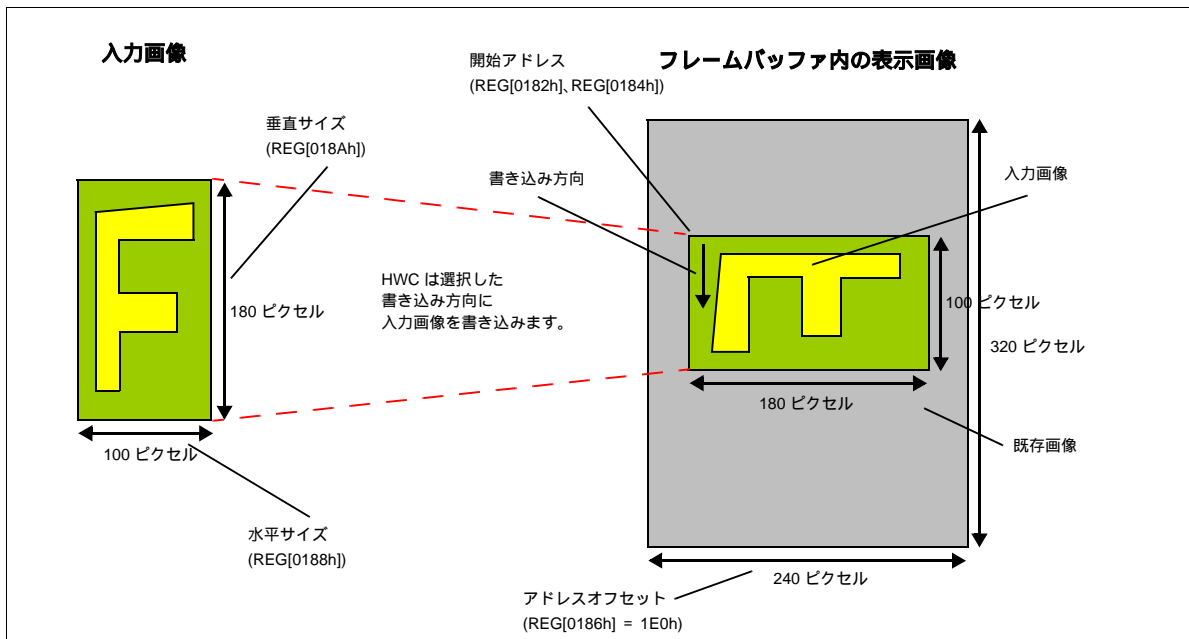


図14.12 回転 = 90° かつミラーがイネーブルされた書き込み例

上の例の場合、開始アドレスは以下の式によって計算されます。

$$\begin{aligned} & \text{REG}[0182\text{h}] \sim \text{REG}[0184\text{h}] \\ & = \text{メモリ開始アドレス} \\ & = 1000\text{h} \end{aligned}$$

14. ホストインタフェース

14.3.7 回転 = 180° かつミラーがイネーブルされた書き込み

REG[0180h]ビット2~1 = 10かつREG[0180h]ビット3 = 0のとき、メモリ開始アドレスのビット1は0に設定してください (REG[0182h]ビット1 = 0)

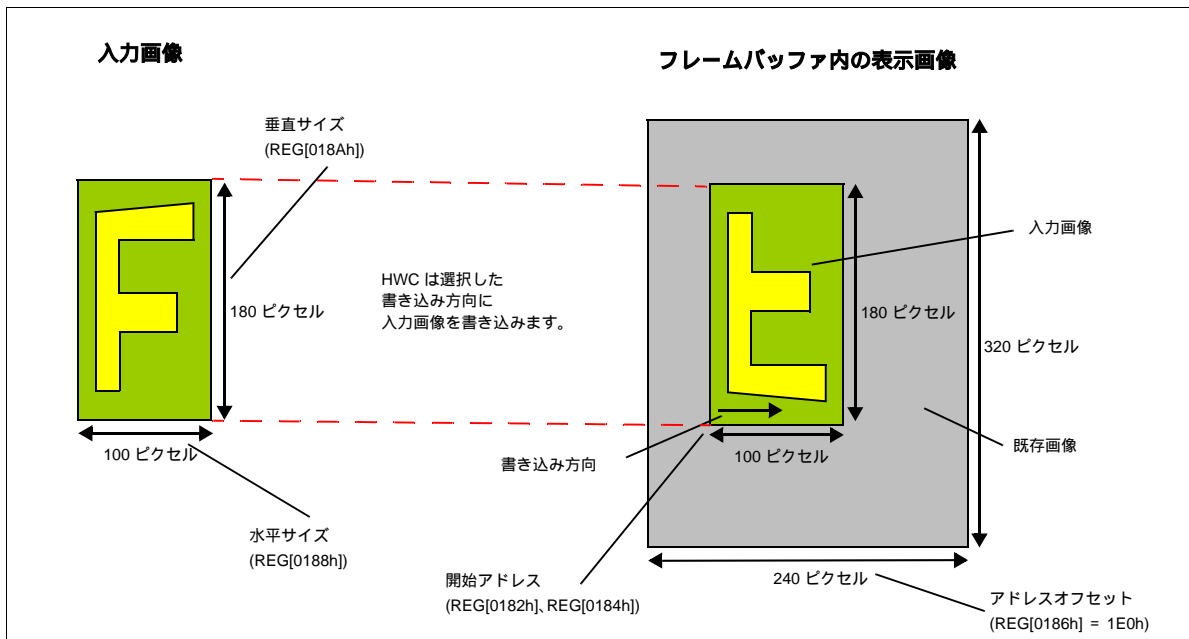


図14.13 回転 = 180° かつミラーがイネーブルされた書き込み例

上の例の場合、開始アドレスは以下の式によって計算されます。

$$\begin{aligned} & \text{REG}[0182\text{h}] \sim \text{REG}[0184\text{h}] \\ & = (\text{メモリ開始アドレス} + \text{入力画像のデータサイズ}) - (\text{入力画像の水平サイズ} \times 2) \\ & = (1000\text{h} + (180 \times 100 \times 2)) - (100 \text{ピクセル} \times 2) \\ & = 1000\text{h} + 8\text{CA}0\text{h} - \text{C}8\text{h} \\ & = 9\text{CA}0\text{h} - \text{C}8\text{h} \\ & = 9\text{BD}8\text{h} \end{aligned}$$

14.3.8 回転 = 270° かつミラーがイネーブルされた書き込み

REG[0180h]ビット2~1 = 11かつREG[0180h]ビット3 = 0のとき、メモリ開始アドレスのビット1は1に設定してください (REG[0182h]ビット1 = 1)

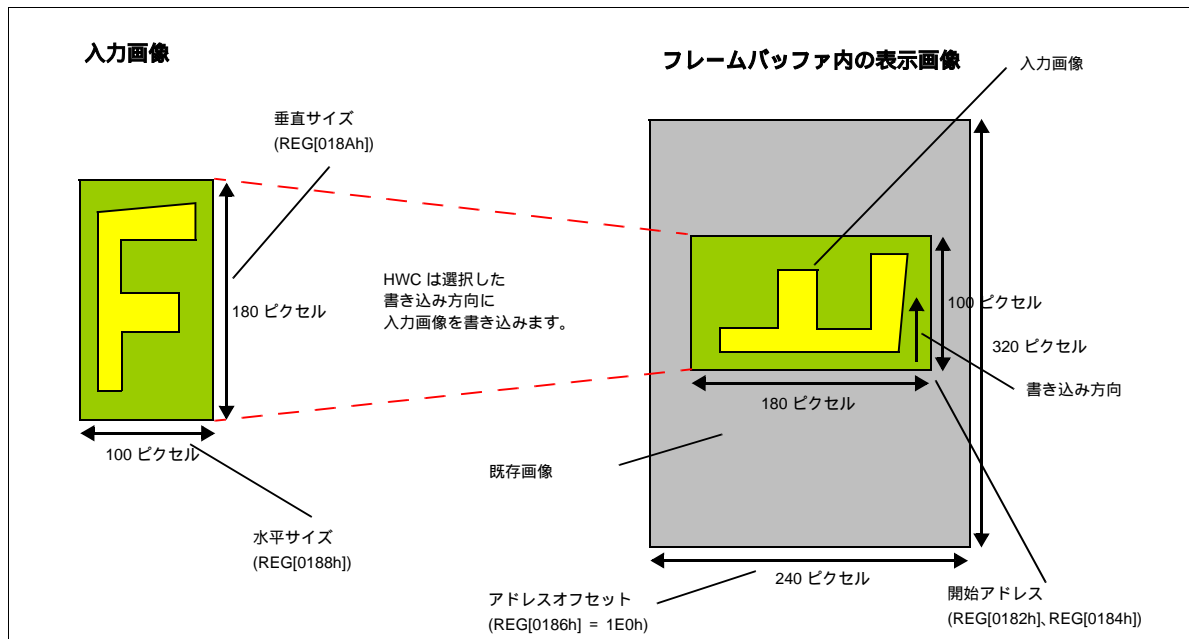


図14.14 回転 = 270° かつミラーがイネーブルされた書き込み例

上の例の場合、開始アドレスは以下の式によって計算されます。

$$\begin{aligned}
 & \text{REG}[0182\text{h}] \sim \text{REG}[0184\text{h}] \\
 & = (\text{メモリ開始アドレス} + \text{入力画像のデータサイズ}) - 2 \\
 & = (1000\text{h} + (180 \times 100 \times 2)) - 2\text{h} \\
 & = 1000\text{h} + 8\text{CA}0\text{h} - 2\text{h} \\
 & = 9\text{CA}0\text{h} - 2\text{h} \\
 & = 9\text{C}9\text{Eh}
 \end{aligned}$$

14. ホストインタフェース

14.3.9 HWCのメモリ書き込み手順

HWCを用いたすべてのメモリアクセスにはメモリアクセスポート (REG[018Ch]) を使用します。以下の手順を用いることで、インデックスをリセットしなくても連続書き込みが行えます。ホストインタフェースのアクセスに必要なクロック数にかかわらず、HWCを用いたすべてのアクセスに以下の手順が使用できます。

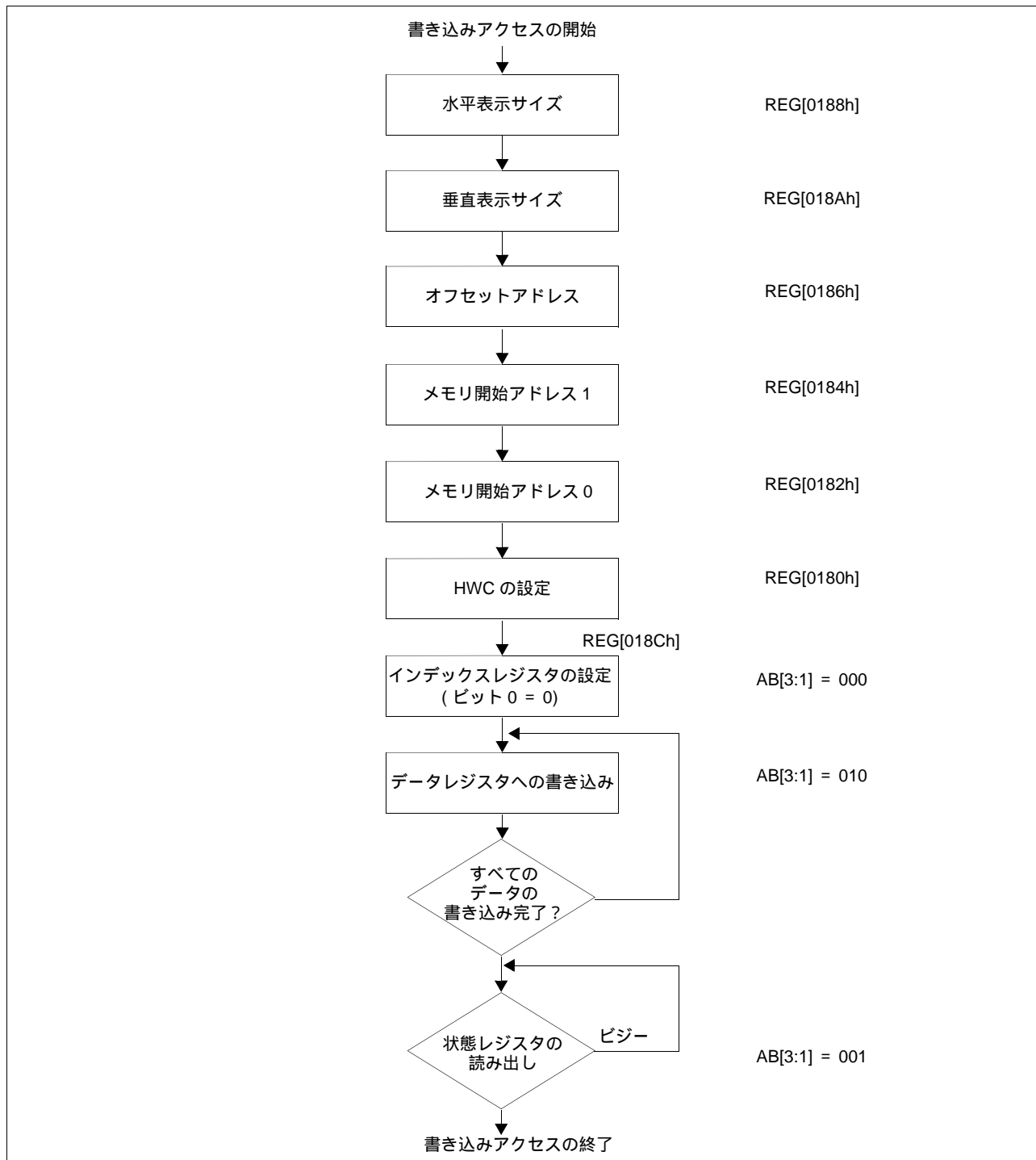


図14.15 HWCの書き込みアクセス手順 (REG[0180h]ビット0 = 1)

14.4 ダイレクトメモリアクセス

ホストは、HWCを使わなくてもS1D13748のフレームバッファメモリに直接アクセスすることができます。ダイレクトメモリアクセス (REG[0180h]ビット0=0) を用いれば、ライン型アドレスモードまたは矩形アドレスモード (REG[0184h]ビット15を参照) を使ってフレームバッファにアクセスできます。ただし、回転およびミラー機能はHWCの機能であるため、ダイレクトメモリアクセス (DMA) を選択した場合にはそれらの機能は使用できません。

14.4.1 ライン型アドレスモード

ライン型のアドレスモードを選択 (REG[0184h]ビット15=0) したとき、S1D13748のフレームバッファは以下の手順でダイレクトにアクセスできます。

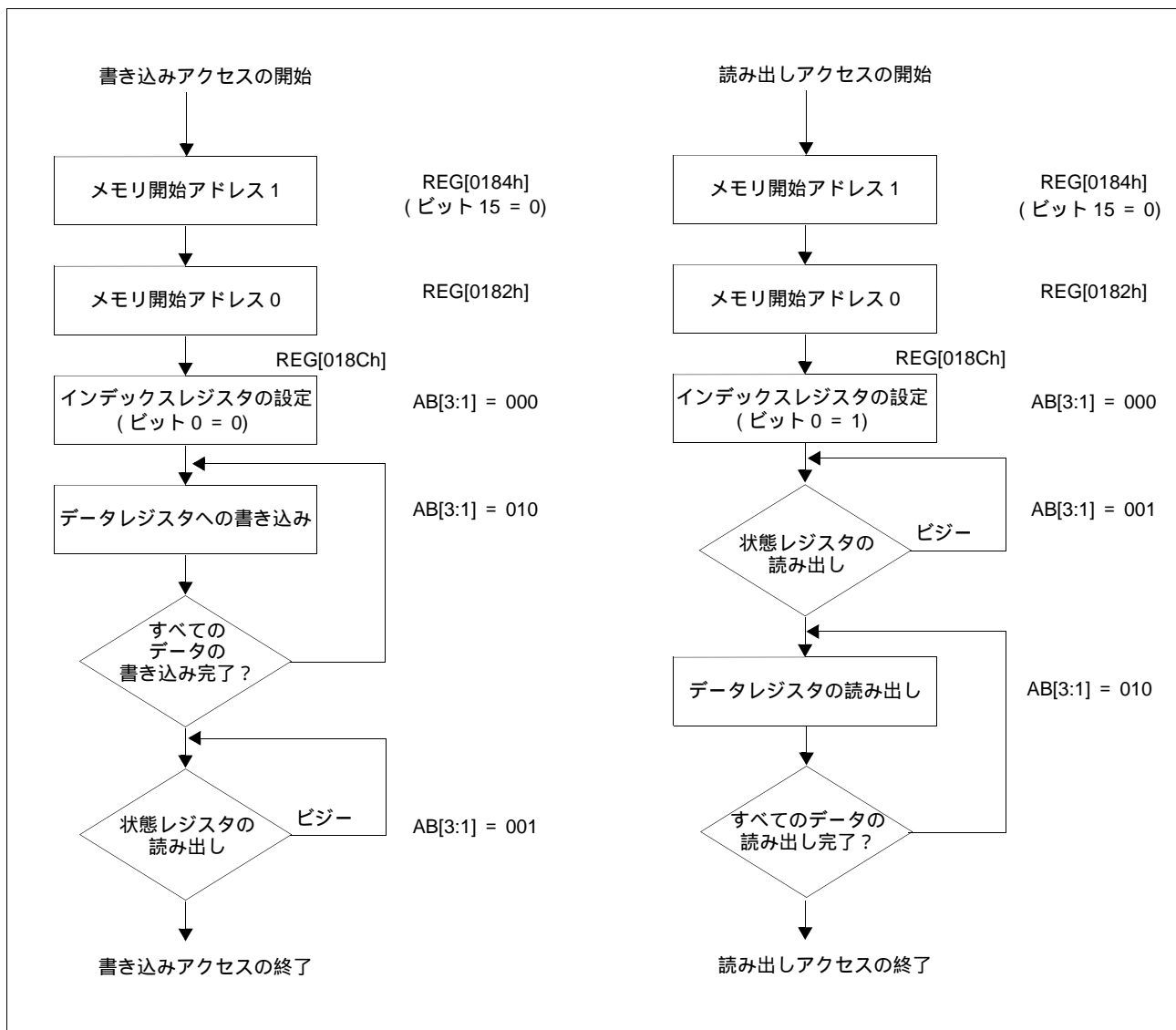


図14.16 ダイレクトメモリアクセス (REG[0180h]ビット0=0、REG[0184h]ビット15=0)

14. ホストインタフェース

14.4.2 矩形アドレスモード

矩形のアドレスモードを選択 (REG[0184h]ビット15 = 1) したとき、S1D13748のフレームバッファは以下の手順でダイレクトにアクセスできます。

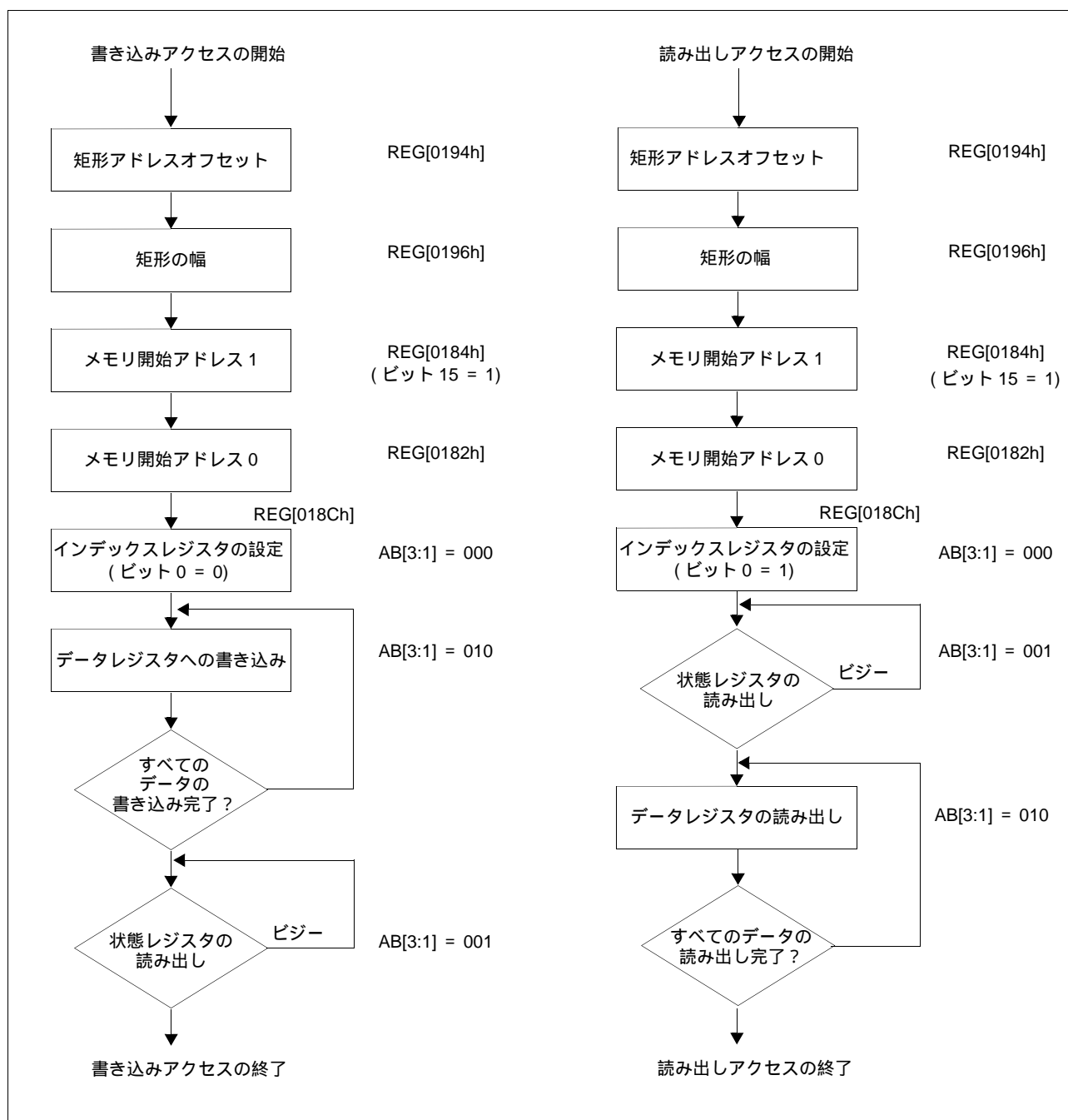


図14.17 矩形ダイレクトメモリアクセス (REG[0180h]ビット0 = 0、REG[0184h]ビット15 = 1)

14.5 ホストインタフェースのVSYNC出力

RGBインタフェースパネルを選択した場合 (REG[0032h]ビット1~0を参照)、LCD VSYNC信号(FPFRAME LCDインタフェース端子に対応)はVOUT端子においてホストインタフェースに出力されます。

VOUT出力の頻度は、VOUT出力頻度ビット (REG[0198h]ビット15~12) を使うことによって1つのLCD VSYNCに対して1回のVOUT出力から15個のLCD VSYNCに対して1回のVOUT出力まで変更できます。また、VOUT遅延制御ビット (REG[0198h]ビット9~0) を使うことによってVOUT出力をLCD VSYNCから最大1023ラインだけ遅らせることもできます。

14.6 LCDバイパスモード

S1D13748ではLCDバイパスモードが扱えます。このモードのとき、ホストはパラレルおよびシリアルLCDパネルへの入力(LCD1およびLCD2)が直接制御できます。詳しくは219ページの15.4「LCDバイパスモード」をご覧ください。

15. LCDインタフェース

15. LCDインタフェース

S1D13748は最大2つのLCDパネルに接続できます。ただし、LCD2はLCDバイパスモードの使用時のみサポートされます。

次に示すインタフェースモードが使用できます。RGBインタフェースパネル、RAM内蔵シリアルインタフェースパネル、RAM内蔵パラレルインタフェースパネルがサポートされます。

- LCD1において可能な構成：
 - RGBインタフェースパネル
 - RAM内蔵パラレルインタフェースパネル
- LCD2において可能な構成：
 - RAM内蔵パラレルインタフェースパネル
 - RAM内蔵シリアルインタフェースパネル

RGB 8:8:8形式の画像データはウインドウ制御部からLCDインタフェースに送られます。ウインドウ制御部は、透過やアルファブレンディングといったウインドウ表示機能を制御します。LCD-LUTは、LCD出力のガンマ補正を必要に応じて行います。ディザブロックは、RGB 8:8:8形式の内部データを各種データ幅のパネルへの出力に応じた方法で最適化します。

このほか、S1D13748はLCDバイパスモードに対応しています。このモードのとき、ホストはパラレルまたはシリアルのLCDパネルを直接制御できます。

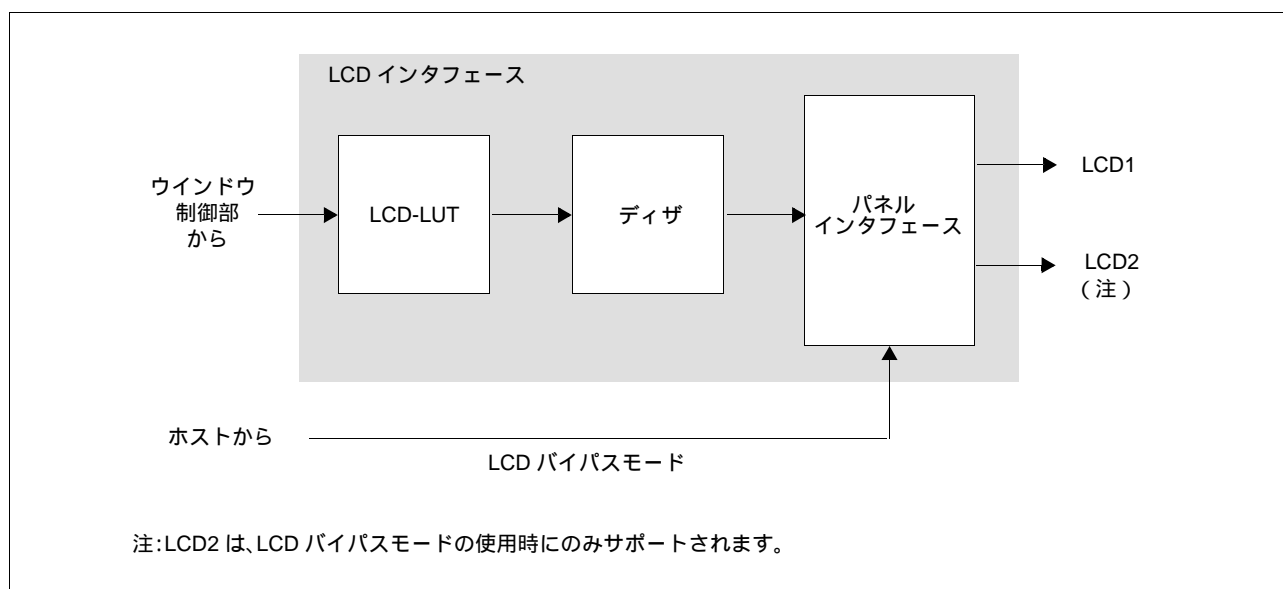


図15.1 LCDインタフェースの概要

15.1 RGBインタフェースのデータフォーマット

パネルインタフェースビットをモード1 (REG[0032h]ビット1~0=00)に設定すると、LCD1においてRGBインタフェースのLCDパネルが使用できます。パネルのデータフォーマットはデータバス幅によって決まります。これはRGBインタフェースパネルデータバス幅ビット (REG[0032h]ビット6~4)を用いて設定します。以下のデータフォーマットが使用できます。

REG[0032h]ビット6~4 = 000のとき、データ幅は9ビットです。
 REG[0032h]ビット6~4 = 001のとき、データ幅は12ビットです。
 REG[0032h]ビット6~4 = 010のとき、データ幅は16ビットです。
 REG[0032h]ビット6~4 = 011のとき、データ幅は18ビットです。
 REG[0032h]ビット6~4 = 100のとき、データ幅は24ビットです。

表15.1 9/12/16/18/24ビットのRGBインタフェースにおけるデータフォーマット

端子	9ビット	12ビット	16ビット	18ビット	24ビット
FPDAT0	R ⁷	R ⁷	R ⁷	R ⁷	R ⁷
FPDAT1	R ⁶	R ⁶	R ⁶	R ⁶	R ⁶
FPDAT2	R ⁵	R ⁵	R ⁵	R ⁵	R ⁵
FPDAT3	G ⁷	G ⁷	G ⁷	G ⁷	G ⁷
FPDAT4	G ⁶	G ⁶	G ⁶	G ⁶	G ⁶
FPDAT5	G ⁵	G ⁵	G ⁵	G ⁵	G ⁵
FPDAT6	B ⁷	B ⁷	B ⁷	B ⁷	B ⁷
FPDAT7	B ⁶	B ⁶	B ⁶	B ⁶	B ⁶
FPDAT8	B ⁵	B ⁵	B ⁵	B ⁵	B ⁵
FPDAT9	Low	R ⁴	R ⁴	R ⁴	R ⁴
FPDAT10	Low	Low	R ³	R ³	R ³
FPDAT11	Low	Low	Low	R ²	R ²
FPDAT12	Low	G ⁴	G ⁴	G ⁴	G ⁴
FPDAT13	Low	Low	G ³	G ³	G ³
FPDAT14	Low	Low	G ²	G ²	G ²
FPDAT15	Low	B ⁴	B ⁴	B ⁴	B ⁴
FPDAT16	Low	Low	B ³	B ³	B ³
FPDAT17	Low	Low	Low	B ²	B ²
FPDAT18	Low	Low	Low	Low	R ¹
FPDAT19	Low	Low	Low	Low	R ⁰
FPDAT20	Low	Low	Low	Low	G ¹
FPDAT21	Low	Low	Low	Low	G ⁰
FPDAT22	Low	Low	Low	Low	B ¹
FPDAT23	Low	Low	Low	Low	B ⁰

15. LCDインタフェース

15.2 パラレルインタフェースのデータフォーマット

パネルインタフェースビットをモード2 (REG[0032h]ビット1~0 = 10)に設定すると、LCD1においてパラレルインタフェースのLCDパネルが使用できます。パネルのデータフォーマットは、LCD1パラレルデータフォーマットビット (REG[0056h]ビット3~0)によって指定されます。使用できるデータフォーマットについて以下に説明します。

15.2.1 8ビット、パラレル、RGB 3:3:2のデータフォーマット

REG[0056h]ビット3~0 = 0000のとき、LCD1のパラレルパネルに対するデータフォーマットは8ビット、パラレル、RGB 3:3:2になります。

8ビット、パラレル、RGB 3:3:2のデータフォーマットは、1サイクルごとに1ピクセルを出力します。具体的には次のとおりです。

表15.2 8ビット、パラレル、RGB 3:3:2のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D7	R_0^7	R_1^7	R_2^7	...	R_n^7
D6	R_0^6	R_1^6	R_2^6	...	R_n^6
D5	R_0^5	R_1^5	R_2^5	...	R_n^5
D4	G_0^7	G_1^7	G_2^7	...	G_n^7
D3	G_0^6	G_1^6	G_2^6	...	G_n^6
D2	G_0^5	G_1^5	G_2^5	...	G_n^5
D1	B_0^7	B_1^7	B_2^7	...	B_n^7
D0	B_0^6	B_1^6	B_2^6	...	B_n^6

15.2.2 8ビット、パラレル、RGB 4:4:4のデータフォーマット

REG[0056h]ビット3~0 = 0001のとき、LCD1の平行パネルに対するデータフォーマットは8ビット、パラレル、RGB 4:4:4になります。

8ビット、パラレル、RGB 3:3:2のデータフォーマットは、3サイクルごとに2ピクセルを出力します。具体的には次のとおりです。

表15.3 8ビット、パラレル、RGB 4:4:4のデータフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D7	R_0^7	B_0^7	G_1^7	...	R_n^7	B_n^7	G_{n+1}^7
D6	R_0^6	B_0^6	G_1^6	...	R_n^6	B_n^6	G_{n+1}^6
D5	R_0^5	B_0^5	G_1^5	...	R_n^5	B_n^5	G_{n+1}^5
D4	R_0^4	B_0^4	G_1^4	...	R_n^4	B_n^4	G_{n+1}^4
D3	G_0^7	R_1^7	B_1^7	...	G_n^7	R_{n+1}^7	B_{n+1}^7
D2	G_0^6	R_1^6	B_1^6	...	G_n^6	R_{n+1}^6	B_{n+1}^6
D1	G_0^5	R_1^5	B_1^5	...	G_n^5	R_{n+1}^5	B_{n+1}^5
D0	G_0^4	R_1^4	B_1^4	...	G_n^4	R_{n+1}^4	B_{n+1}^4

15.2.3 8ビット、パラレル、RGB 5:6:5のデータフォーマット

REG[0056h]ビット3~0 = 1xxxのとき、LCD1の平行パネルに対するデータフォーマットは8ビット、パラレル、RGB 5:6:5になります。

8ビット、パラレル、RGB 5:6:5のデータフォーマットは、2サイクルごとに1ピクセルを出力します。具体的には次のとおりです。

表15.4 8ビット、パラレル、RGB 5:6:5のデータフォーマット

サイクルカウント	1	2	...	3n+1	3n+2
D7	R_0^7	G_0^4	...	R_n^7	G_n^4
D6	R_0^6	G_0^3	...	R_n^6	G_n^3
D5	R_0^5	G_0^2	...	R_n^5	G_n^2
D4	R_0^4	B_0^7	...	R_n^4	B_n^7
D3	R_0^3	B_0^6	...	R_n^3	B_n^6
D2	G_0^7	B_0^5	...	G_n^7	B_n^5
D1	G_0^6	B_0^4	...	G_n^6	B_n^4
D0	G_0^5	B_0^3	...	G_n^5	B_n^3

15. LCDインタフェース

15.2.4 8ビット、パラレル、RGB 8:8:8のデータフォーマット

REG[0056h]ビット3~0 = 0011のとき、LCD1のパラレルパネルに対するデータフォーマットは8ビット、パラレル、RGB 8:8:8になります。

8ビット、パラレル、RGB 8:8:8のデータフォーマットは、3サイクルごとに1ピクセルを出力します。具体的には次のとおりです。

表15.5 8ビット、パラレル、RGB 8:8:8のデータフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D7	R_0^7	G_0^7	B_0^7	...	R_n^7	G_n^7	B_n^7
D6	R_0^6	G_0^6	B_0^6	...	R_n^6	G_n^6	B_n^6
D5	R_0^5	G_0^5	B_0^5	...	R_n^5	G_n^5	B_n^5
D4	R_0^4	G_0^4	B_0^4	...	R_n^4	G_n^4	B_n^4
D3	R_0^3	G_0^3	B_0^3	...	R_n^3	G_n^3	B_n^3
D2	R_0^2	G_0^2	B_0^2	...	R_n^2	G_n^2	B_n^2
D1	R_0^1	G_0^1	B_0^1	...	R_n^1	G_n^1	B_n^1
D0	R_0^0	G_0^0	B_0^0	...	R_n^0	G_n^0	B_n^0

15.2.5 16ビット、パラレル、RGB 4:4:4のデータフォーマット

REG[0056h] ビット3~0 = 0101 のとき、LCD1のパラレルパネルに対するデータフォーマットは16ビット、パラレル、RGB 4:4:4になります。

16ビット、パラレル、RGB 4:4:4のデータフォーマットは、1サイクルごとに1ピクセルを出力します。具体的には次のとおりです。

表15.6 16ビット、パラレル、RGB 4:4:4のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D15	R_0^7	R_1^7	R_2^7	...	R_n^7
D14	R_0^6	R_1^6	R_2^6	...	R_n^6
D13	R_0^5	R_1^5	R_2^5	...	R_n^5
D12	R_0^4	R_1^4	R_2^4	...	R_n^4
D11	G_0^7	G_1^7	G_2^7	...	G_n^7
D10	G_0^6	G_1^6	G_2^6	...	G_n^6
D9	G_0^5	G_1^5	G_2^5	...	G_n^5
D8	G_0^4	G_1^4	G_2^4	...	G_n^4
D7	B_0^7	B_1^7	B_2^7	...	B_n^7
D6	B_0^6	B_1^6	B_2^6	...	B_n^6
D5	B_0^5	B_1^5	B_2^5	...	B_n^5
D4	B_0^4	B_1^4	B_2^4	...	B_n^4
D3	—	—	—	...	—
D2	—	—	—	...	—
D1	—	—	—	...	—
D0	—	—	—	...	—

15. LCDインタフェース

15.2.6 16ビット、パラレル、RGB 5:6:5のデータフォーマット

REG[0056h]ビット3~0 = 0110のとき、LCD1のパラレルパネルに対するデータフォーマットは16ビット、パラレル、RGB 5:6:5になります。

16ビット、パラレル、RGB 5:6:5のデータフォーマットは、1サイクルごとに1ピクセルを出力します。具体的には次のとおりです。

表15.7 16ビット、パラレル、RGB 5:6:5のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D15	R_0^7	R_1^7	R_2^7	...	R_n^7
D14	R_0^6	R_1^6	R_2^6	...	R_n^6
D13	R_0^5	R_1^5	R_2^5	...	R_n^5
D12	R_0^4	R_1^4	R_2^4	...	R_n^4
D11	R_0^3	R_1^3	R_2^3	...	R_n^3
D10	G_0^7	G_1^7	G_2^7	...	G_n^7
D9	G_0^6	G_1^6	G_2^6	...	G_n^6
D8	G_0^5	G_1^5	G_2^5	...	G_n^5
D7	G_0^4	G_1^4	G_2^4	...	G_n^4
D6	G_0^3	G_1^3	G_2^3	...	G_n^3
D5	G_0^2	G_1^2	G_2^2	...	G_n^2
D4	B_0^7	B_1^7	B_2^7	...	B_n^7
D3	B_0^6	B_1^6	B_2^6	...	B_n^6
D2	B_0^5	B_1^5	B_2^5	...	B_n^5
D1	B_0^4	B_1^4	B_2^4	...	B_n^4
D0	B_0^3	B_1^3	B_2^3	...	B_n^3

15.2.7 16ビット、パラレル、RGB 8:8:8のデータフォーマット

REG[0056h]ビット3~0 = 0010のとき、LCD1のパラレルパネルに対するデータフォーマットは16ビット、パラレル、RGB 8:8:8になります。

16ビット、パラレル、RGB 8:8:8のデータフォーマットは、3サイクルごとに2ピクセルを出力します。具体的には次のとおりです。

表15.8 16ビット、パラレル、RGB 8:8:8のデータフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D15	R_0^7	B_0^7	G_1^7	...	R_n^7	B_n^7	G_{n+1}^7
D14	R_0^6	B_0^6	G_1^6	...	R_n^6	B_n^6	G_{n+1}^6
D13	R_0^5	B_0^5	G_1^5	...	R_n^5	B_n^5	G_{n+1}^5
D12	R_0^4	B_0^4	G_1^4	...	R_n^4	B_n^4	G_{n+1}^4
D11	R_0^3	B_0^3	G_1^3	...	R_n^3	B_n^3	G_{n+1}^3
D10	R_0^2	B_0^2	G_1^2	...	R_n^2	B_n^2	G_{n+1}^2
D9	R_0^1	B_0^1	G_1^1	...	R_n^1	B_n^1	G_{n+1}^1
D8	R_0^0	B_0^0	G_1^0	...	R_n^0	B_n^0	G_{n+1}^0
D7	G_0^7	R_1^7	B_1^7	...	G_n^7	R_{n+1}^7	B_{n+1}^7
D6	G_0^6	R_1^6	B_1^6	...	G_n^6	R_{n+1}^6	B_{n+1}^6
D5	G_0^5	R_1^5	B_1^5	...	G_n^5	R_{n+1}^5	B_{n+1}^5
D4	G_0^4	R_1^4	B_1^4	...	G_n^4	R_{n+1}^4	B_{n+1}^4
D3	G_0^3	R_1^3	B_1^3	...	G_n^3	R_{n+1}^3	B_{n+1}^3
D2	G_0^2	R_1^2	B_1^2	...	G_n^2	R_{n+1}^2	B_{n+1}^2
D1	G_0^1	R_1^1	B_1^1	...	G_n^1	R_{n+1}^1	B_{n+1}^1
D0	G_0^0	R_1^0	B_1^0	...	G_n^0	R_{n+1}^0	B_{n+1}^0

15. LCDインタフェース

15.2.8 18ビット、パラレル、RGB 6:6:6のデータフォーマット

REG[0056h]ビット3~0 = 0111のとき、LCD1のパラレルパネルに対するデータフォーマットは18ビット、パラレル、RGB 6:6:6になります。

18ビット、パラレル、RGB 6:6:6のデータフォーマットは、1サイクルごとに1ピクセルを出力します。具体的には次のとおりです。

表15.9 18ビット、パラレル、RGB 6:6:6のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D17	R_0^7	R_1^7	R_2^7	...	R_n^7
D16	R_0^6	R_1^6	R_2^6	...	R_n^6
D15	R_0^5	R_1^5	R_2^5	...	R_n^5
D14	R_0^4	R_1^4	R_2^4	...	R_n^4
D13	R_0^3	R_1^3	R_2^3	...	R_n^3
D12	R_0^2	R_1^2	R_2^2	...	R_n^2
D11	G_0^7	G_1^7	G_2^7	...	G_n^7
D10	G_0^6	G_1^6	G_2^6	...	G_n^6
D9	G_0^5	G_1^5	G_2^5	...	G_n^5
D8	G_0^4	G_1^4	G_2^4	...	G_n^4
D7	G_0^3	G_1^3	G_2^3	...	G_n^3
D6	G_0^2	G_1^2	G_2^2	...	G_n^2
D5	B_0^7	B_1^7	B_2^7	...	B_n^7
D4	B_0^6	B_1^6	B_2^6	...	B_n^6
D3	B_0^5	B_1^5	B_2^5	...	B_n^5
D2	B_0^4	B_1^4	B_2^4	...	B_n^4
D1	B_0^3	B_1^3	B_2^3	...	B_n^3
D0	B_0^2	B_1^2	B_2^2	...	B_n^2

15.2.9 24ビット、パラレル、RGB 8:8:8のデータフォーマット

REG[0056h]ビット3~0 = 0100のとき、LCD1のパラレルパネルに対するデータフォーマットは24ビット、パラレル、RGB 8:8:8になります。

24ビット、パラレル、RGB 8:8:8のデータフォーマットは、1サイクルごとに1ピクセルを出力します。具体的には次のとおりです。

表15.10 24ビット、パラレル、RGB 8:8:8のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D23	R_0^7	R_1^7	R_2^7	...	R_n^7
D22	R_0^6	R_1^6	R_2^6	...	R_n^6
D21	R_0^5	R_1^5	R_2^5	...	R_n^5
D20	R_0^4	R_1^4	R_2^4	...	R_n^4
D19	R_0^3	R_1^3	R_2^3	...	R_n^3
D18	R_0^2	R_1^2	R_2^2	...	R_n^2
D17	R_0^1	R_1^1	R_2^1	...	R_n^1
D16	R_0^0	R_1^0	R_2^0	...	R_n^0
D15	G_0^7	G_1^7	G_2^7	...	G_n^7
D14	G_0^6	G_1^6	G_2^6	...	G_n^6
D13	G_0^5	G_1^5	G_2^5	...	G_n^5
D12	G_0^4	G_1^4	G_2^4	...	G_n^4
D11	G_0^3	G_1^3	G_2^3	...	G_n^3
D10	G_0^2	G_1^2	G_2^2	...	G_n^2
D9	G_0^1	G_1^1	G_2^1	...	G_n^1
D8	G_0^0	G_1^0	G_2^0	...	G_n^0
D7	B_0^7	B_1^7	B_2^7	...	B_n^7
D6	B_0^6	B_1^6	B_2^6	...	B_n^6
D5	B_0^5	B_1^5	B_2^5	...	B_n^5
D4	B_0^4	B_1^4	B_2^4	...	B_n^4
D3	B_0^3	B_1^3	B_2^3	...	B_n^3
D2	B_0^2	B_1^2	B_2^2	...	B_n^2
D1	B_0^1	B_1^1	B_2^1	...	B_n^1
D0	B_0^0	B_1^0	B_2^0	...	B_n^0

15. LCDインタフェース

15.3 パラレルインタフェースのコマンドおよびパラメータのフォーマット

LCD1をパラレルインタフェースのLCDパネルに設定したときのコマンドおよびパラメータの出力フォーマットを以下にまとめます。

表15.11 LCD1パラレルインタフェースのコマンドおよびパラメータのフォーマット

REG[0056h]	ビット5~4=00		ビット5~4=01		ビット5~4=10	
D17	—	—	Command[15]	Parameter[15]	Command[15]	Parameter[15]
D16	—	—	Command[14]	Parameter[14]	Command[14]	Parameter[14]
D15	Command[15]	Parameter[15]	Command[13]	Parameter[13]	Command[13]	Parameter[13]
D14	Command[14]	Parameter[14]	Command[12]	Parameter[12]	Command[12]	Parameter[12]
D13	Command[13]	Parameter[13]	Command[11]	Parameter[11]	Command[11]	Parameter[11]
D12	Command[12]	Parameter[12]	Command[10]	Parameter[10]	—	—
D11	Command[11]	Parameter[11]	Command[9]	Parameter[9]	Command[10]	Parameter[10]
D10	Command[10]	Parameter[10]	Command[8]	Parameter[8]	Command[9]	Parameter[9]
D9	Command[9]	Parameter[9]	—	—	Command[8]	Parameter[8]
D8	Command[8]	Parameter[8]	Command[7]	Parameter[7]	Command[7]	Parameter[7]
D7	Command[7]	Parameter[7]	Command[6]	Parameter[6]	Command[6]	Parameter[6]
D6	Command[6]	Parameter[6]	Command[5]	Parameter[5]	Command[5]	Parameter[5]
D5	Command[5]	Parameter[5]	Command[4]	Parameter[4]	Command[4]	Parameter[4]
D4	Command[4]	Parameter[4]	Command[3]	Parameter[3]	Command[3]	Parameter[3]
D3	Command[3]	Parameter[3]	Command[2]	Parameter[2]	Command[2]	Parameter[2]
D2	Command[2]	Parameter[2]	Command[1]	Parameter[1]	Command[1]	Parameter[1]
D1	Command[1]	Parameter[1]	Command[0]	Parameter[0]	Command[0]	Parameter[0]
D0	Command[0]	Parameter[0]	—	—	—	—

15.4 LCDバイパスモード

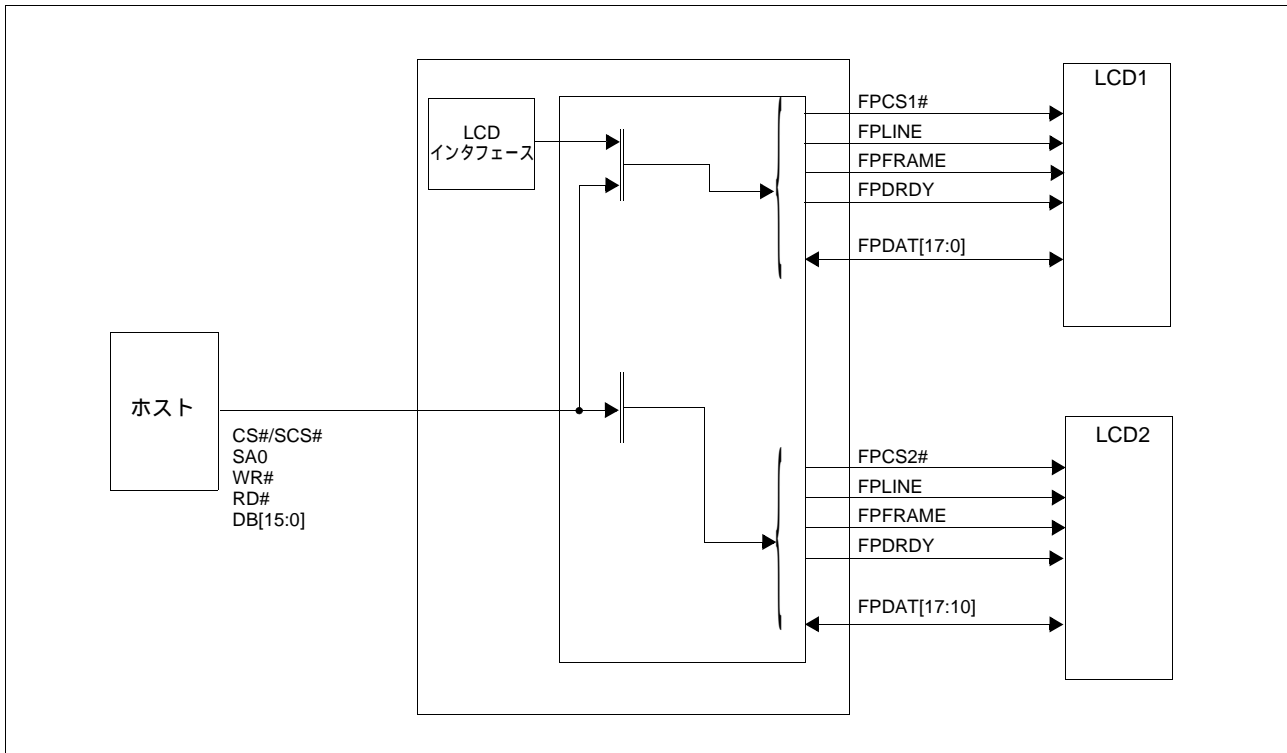


図15.2 パラレルバイパスモード (モードC~H)

15. LCDインターフェース

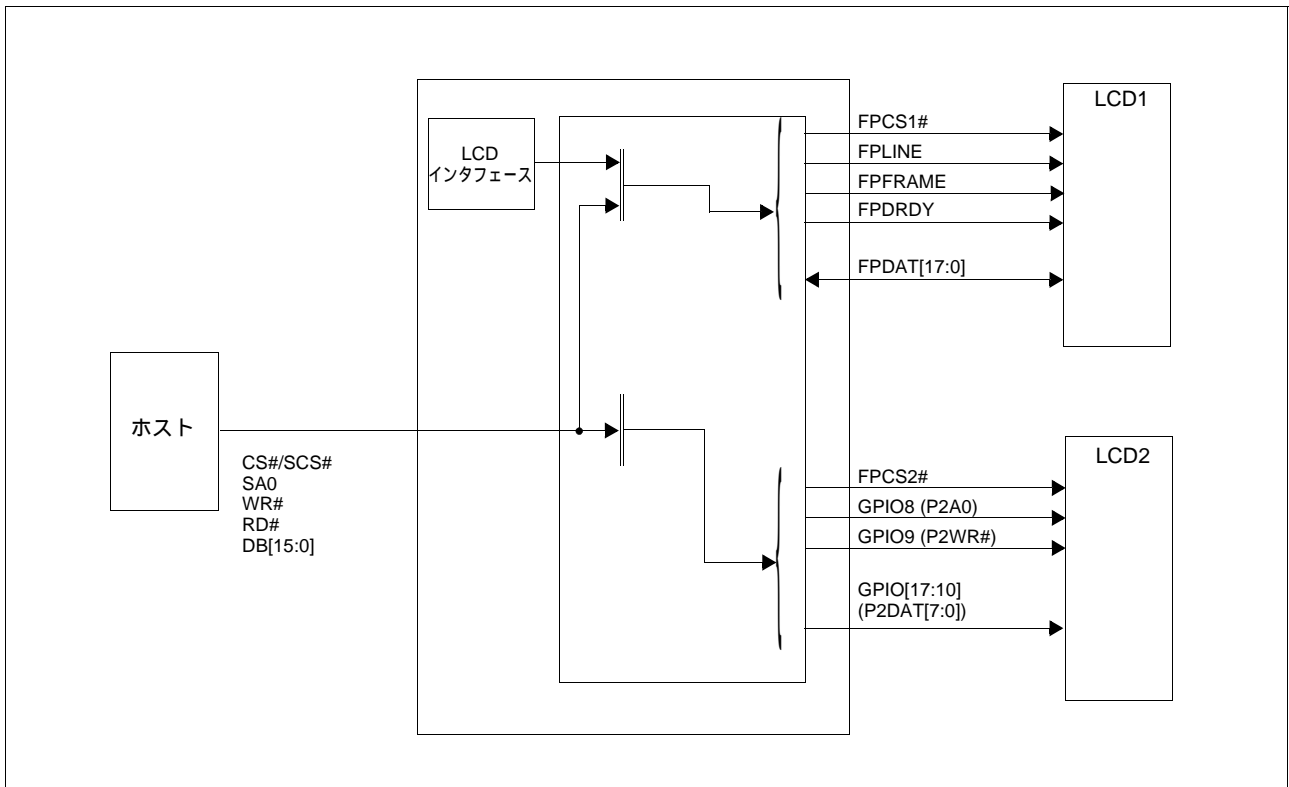


図15.3 パラレルバイパスモード (モードC~E, I)

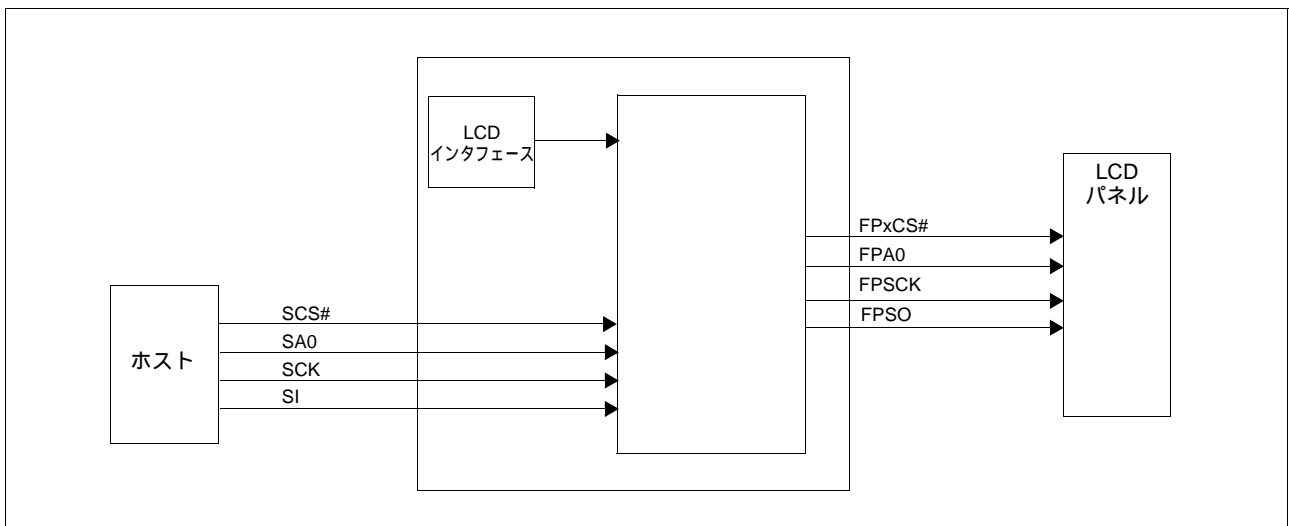


図15.4 シリアルバイパスモード (モードA~B)

表15.12 シリアルバイパスモード

REG[0014h]ビット11~8	モード	LCDインタフェース	SCS#	SCK	SA0	SI
0100	A	LCD2	FPCS2#	FPSCK	FPA0	FPSO
0110	B	LCD1	FPCS1#	FPSCK	FPA0	FPSO

表15.13 パラレルバイパスモード

REG[0014h]ビット11~8	モード	LCDインタフェース	SCS#/CS#	SA0	WR#	RD#	DB[15:0]
0010	C	LCD1	FPCS1#	FPLINE	FPFRAME	FPDRDY	FPDAT[15:0]
0011	D	LCD1	FPCS1#	FPLINE	FPFRAME	FPDRDY	FPDAT[17:13]、FPDAT[11:1]
1011	E	LCD1	FPCS1#	FPLINE	FPFRAME	FPDRDY	FPDAT[17:10]、FPDAT[8:1]
0000	F	LCD2	FPCS2#	FPLINE	FPFRAME	FPDRDY	FPDAT[15:0]
0001	G	LCD2	FPCS2#	FPLINE	FPFRAME	FPDRDY	FPDAT[17:13]、FPDAT[11:1]
1001	H	LCD2	FPCS2#	FPLINE	FPFRAME	FPDRDY	FPDAT[17:10]、FPDAT[8:1]
1000	I	LCD2	FPCS2#	GPIO8 (P2A0)	GPIO9 (P2WR#)	—	GPIO[17:10] (P2DAT[7:0])

表15.14 バイパスチップ選択モード

REG[0014h]ビット3	チップ選択モード	SCS#	CS#
0	SCS#	LCDインタフェースにバイパス	メモリ/レジスタ
1	CS#	1入力	メモリ/レジスタ
		0入力	LCDインタフェースにバイパス

SCS#モードのとき、SCS#入力はPCS##として出力されます。

CS#モードでSCS#が0のとき、CS#はPxCS#に出力されます。

CS#モードでSCS#が1のとき、PxCS#は出力されず、これはレジスタアクセスになります。

16. 使用例

16. 使用例

16.1 メインウインドウとPIP1ウインドウを用いた表示



図16.1 メインウインドウ（上層）とPIP1ウインドウ（下層）の表示例

表16.1 メインウィンドウ（上層）とPIP1ウィンドウ（下層）の表示例の設定

REG[0202h]ビット0	メインウィンドウ表示イネーブル	1：オン
REG[0202h]ビット1	PIP1ウィンドウ表示イネーブル	1：オン
REG[0202h]ビット2	PIP2ウィンドウ表示イネーブル	0：オフ
REG[0202h]ビット4	メインレイヤ表示モード選択	1：メイン1とメイン2
REG[0202h]ビット5	メインレイヤモード選択	0：PIPの上にメイン
REG[0202h]ビット6	PIPレイヤモード選択	-
REG[0204h]ビット1	PIP1透過イネーブル	0：オフ
REG[0204h]ビット2	PIP2透過イネーブル	0：オフ
REG[0204h]ビット7	アルファブレンドモード選択	0：メインとPIP
REG[0204h]ビット8	アルファブレンド1キーカラーイネーブル	0または1
REG[0204h]ビット9	アルファブレンド2キーカラーイネーブル	0：オフ
REG[0204h]ビット10	アルファブレンド3キーカラーイネーブル	0：オフ
REG[0204h]ビット11	アルファブレンド4キーカラーイネーブル	0：オフ
REG[0206h]ビット15～0	背景色	
REG[0208h]ビット3～0	アルファブレンド1割合	4h：50%
REG[0208h]ビット7～4	アルファブレンド2割合	-
REG[0208h]ビット11～8	アルファブレンド3割合	-
REG[0208h]ビット15～12	アルファブレンド4割合	-
REG[020Ch]ビット15～0	PIP1ウィンドウ透過キーカラー	-
REG[020Eh]ビット15～0	PIP2ウィンドウ透過キーカラー	-
REG[0210h]ビット15～0	アルファブレンド1キーカラー	
REG[0212h]ビット15～0	アルファブレンド2キーカラー	-
REG[0214h]ビット15～0	アルファブレンド3キーカラー	-
REG[0216h]ビット15～0	アルファブレンド4キーカラー	-

16. 使用例

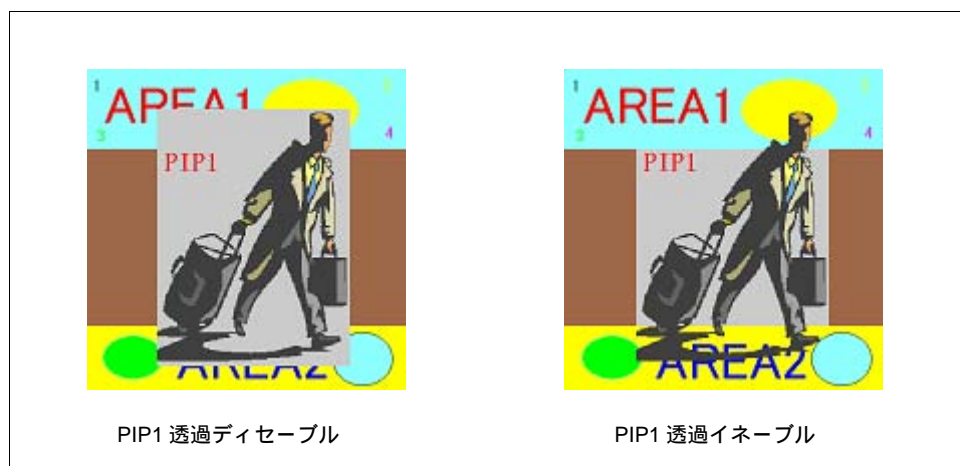


図16.2 PIP1ウインドウ（上層）とメインウインドウ（下層）の表示例

表16.2 PIP1ウインドウ（上層）とメインウインドウ（下層）の表示例の設定

REG[0202h]ビット0	メインウインドウ表示イネーブル	1：オン
REG[0202h]ビット1	PIP1ウインドウ表示イネーブル	1：オン
REG[0202h]ビット2	PIP2ウインドウ表示イネーブル	0：オフ
REG[0202h]ビット4	メインレイヤ表示モード選択	1：メイン1とメイン2
REG[0202h]ビット5	メインレイヤモード選択	1：メインの上にPIP
REG[0202h]ビット6	PIPレイヤモード選択	-
REG[0204h]ビット1	PIP1透過イネーブル	0または1
REG[0204h]ビット2	PIP2透過イネーブル	0：オフ
REG[0204h]ビット7	アルファブレンドモード選択	-
REG[0204h]ビット8	アルファブレンド1キーカラーイネーブル	0：オフ
REG[0204h]ビット9	アルファブレンド2キーカラーイネーブル	0：オフ
REG[0204h]ビット10	アルファブレンド3キーカラーイネーブル	0：オフ
REG[0204h]ビット11	アルファブレンド4キーカラーイネーブル	0：オフ
REG[0206h]ビット15～0	背景色	■
REG[0208h]ビット3～0	アルファブレンド1割合	-
REG[0208h]ビット7～4	アルファブレンド2割合	-
REG[0208h]ビット11～8	アルファブレンド3割合	-
REG[0208h]ビット15～12	アルファブレンド4割合	-
REG[020Ch]ビット15～0	PIP1ウインドウ透過キーカラー	■
REG[020Eh]ビット15～0	PIP2ウインドウ透過キーカラー	-
REG[0210h]ビット15～0	アルファブレンド1キーカラー	-
REG[0212h]ビット15～0	アルファブレンド2キーカラー	-
REG[0214h]ビット15～0	アルファブレンド3キーカラー	-
REG[0216h]ビット15～0	アルファブレンド4キーカラー	-

16.2 メインウィンドウとPIP2ウィンドウを用いた表示

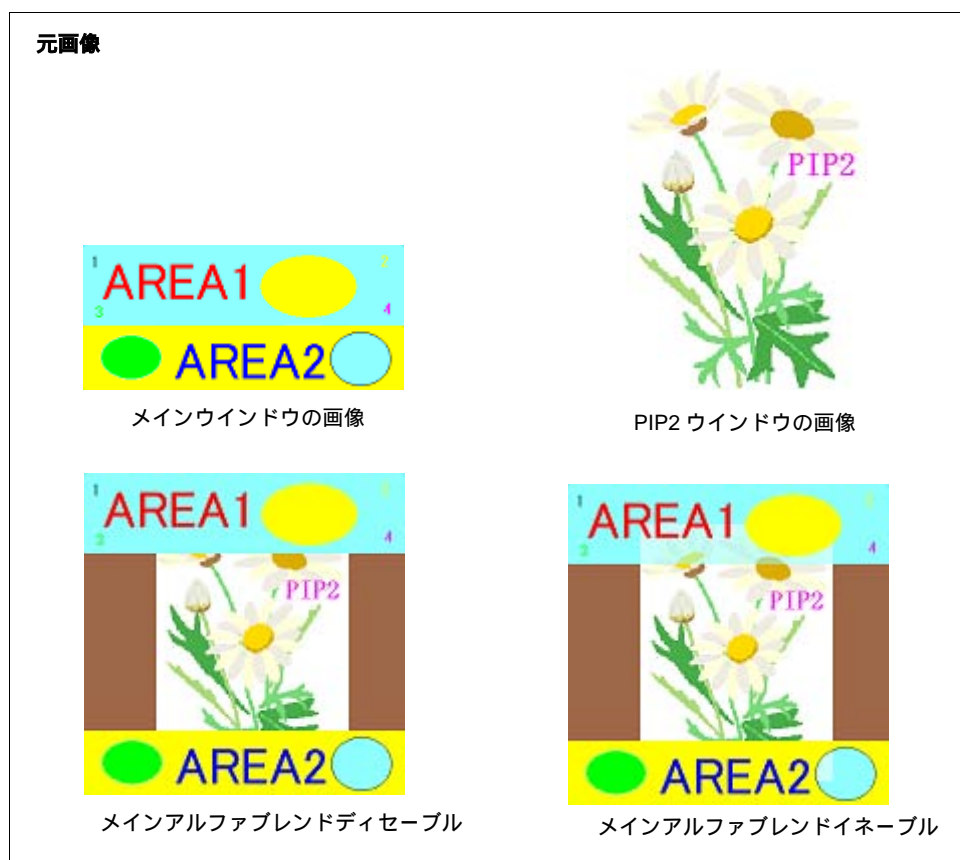


図16.3 メインウィンドウ（上層）とPIP2ウィンドウ（下層）の表示例

16. 使用例

表16.3 メインウィンドウ（上層）とPIP2ウィンドウ（下層）の表示例の設定


REG[0202h]ビット0	メインウィンドウ表示イネーブル	1：オン
REG[0202h]ビット1	PIP1ウィンドウ表示イネーブル	0：オフ
REG[0202h]ビット2	PIP2ウィンドウ表示イネーブル	1：オン
REG[0202h]ビット4	メインレイヤ表示モード選択	1：メイン1とメイン2
REG[0202h]ビット5	メインレイヤモード選択	0：PIPの上にメイン
REG[0202h]ビット6	PIPレイヤモード選択	-
REG[0204h]ビット1	PIP1透過イネーブル	0：オフ
REG[0204h]ビット2	PIP2透過イネーブル	0：オフ
REG[0204h]ビット7	アルファブレンドモード選択	0：メインとPIP
REG[0204h]ビット8	アルファブレンド1キーカラーイネーブル	0または1
REG[0204h]ビット9	アルファブレンド2キーカラーイネーブル	0：オフ
REG[0204h]ビット10	アルファブレンド3キーカラーイネーブル	0：オフ
REG[0204h]ビット11	アルファブレンド4キーカラーイネーブル	0：オフ
REG[0206h]ビット15～0	背景色	
REG[0208h]ビット3～0	アルファブレンド1割合	4h：50%
REG[0208h]ビット7～4	アルファブレンド2割合	-
REG[0208h]ビット11～8	アルファブレンド3割合	-
REG[0208h]ビット15～12	アルファブレンド4割合	-
REG[020Ch]ビット15～0	PIP1ウィンドウ透過キーカラー	-
REG[020Eh]ビット15～0	PIP2ウィンドウ透過キーカラー	-
REG[0210h]ビット15～0	アルファブレンド1キーカラー	
REG[0212h]ビット15～0	アルファブレンド2キーカラー	-
REG[0214h]ビット15～0	アルファブレンド3キーカラー	-
REG[0216h]ビット15～0	アルファブレンド4キーカラー	-



図16.4 PIP2ウィンドウ（上層）とメインウィンドウ（下層）の表示例

表16.4 PIP2ウィンドウ（上層）とメインウィンドウ（下層）の表示例の設定

REG[0202h]ビット0	メインウィンドウ表示イネーブル	1：オン
REG[0202h]ビット1	PIP1ウィンドウ表示イネーブル	0：オフ
REG[0202h]ビット2	PIP2ウィンドウ表示イネーブル	1：オン
REG[0202h]ビット4	メインレイヤ表示モード選択	1：メイン1とメイン2
REG[0202h]ビット5	メインレイヤモード選択	1：メインの上にPIP
REG[0202h]ビット6	PIPレイヤモード選択	-
REG[0204h]ビット1	PIP1透過イネーブル	0：オフ
REG[0204h]ビット2	PIP2透過イネーブル	0または1
REG[0204h]ビット7	アルファブレンドモード選択	-
REG[0204h]ビット8	アルファブレンド1キーカラーイネーブル	0：オフ
REG[0204h]ビット9	アルファブレンド2キーカラーイネーブル	0：オフ
REG[0204h]ビット10	アルファブレンド3キーカラーイネーブル	0：オフ
REG[0204h]ビット11	アルファブレンド4キーカラーイネーブル	0：オフ
REG[0206h]ビット15～0	背景色	■
REG[0208h]ビット3～0	アルファブレンド1割合	-
REG[0208h]ビット7～4	アルファブレンド2割合	-
REG[0208h]ビット11～8	アルファブレンド3割合	-
REG[0208h]ビット15～12	アルファブレンド4割合	-
REG[020Ch]ビット15～0	PIP1ウィンドウ透過キーカラー	-
REG[020Eh]ビット15～0	PIP2ウィンドウ透過キーカラー	-
REG[0210h]ビット15～0	アルファブレンド1キーカラー	-
REG[0212h]ビット15～0	アルファブレンド2キーカラー	-
REG[0214h]ビット15～0	アルファブレンド3キーカラー	-
REG[0216h]ビット15～0	アルファブレンド4キーカラー	-

16. 使用例

16.3 メイン、PIP1、PIP2のウィンドウを用いた表示

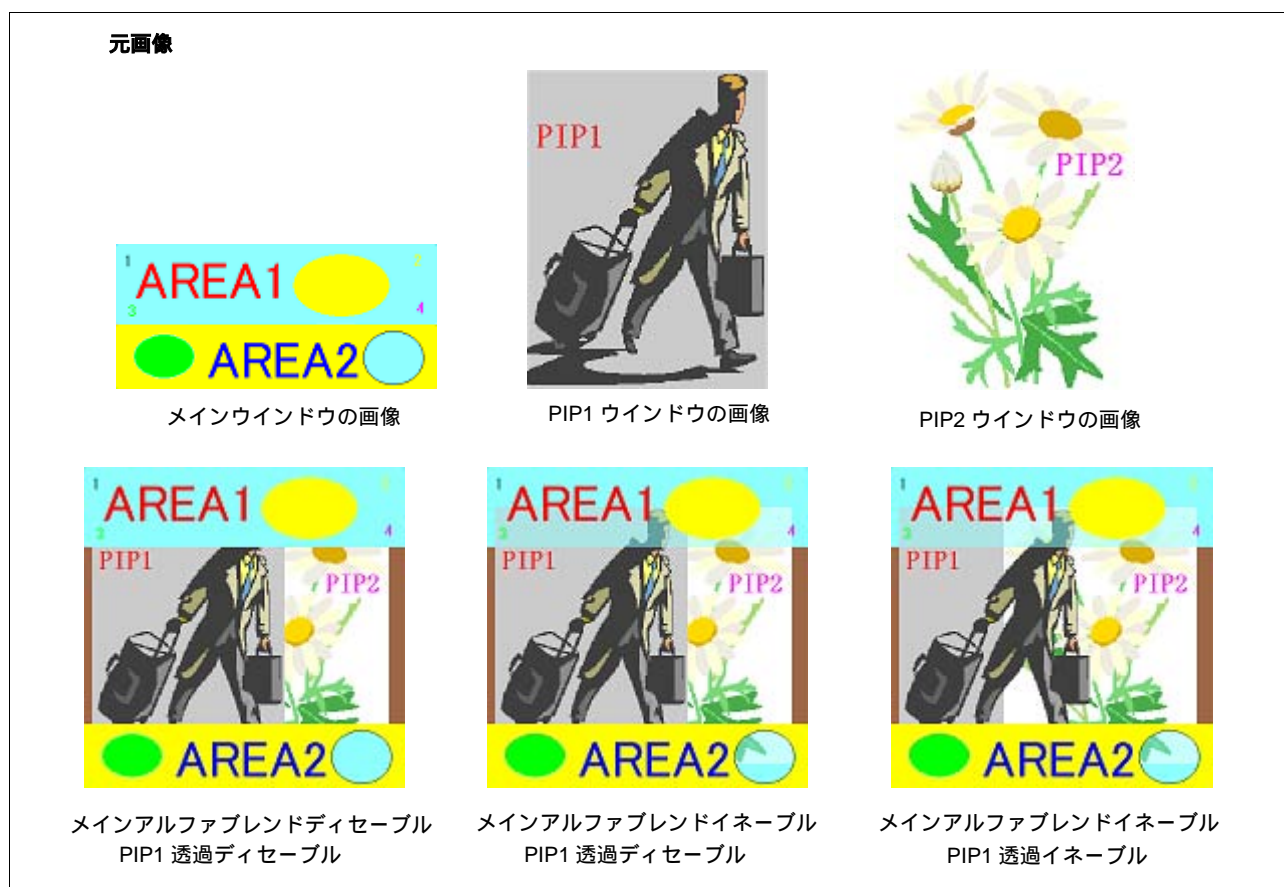


図16.5 メイン（上層）、PIP1（中央）、PIP2（下層）の表示例

表16.5 メイン（上層）、PIP1（中央）、PIP2（下層）の表示例の設定

REG[0202h]ビット0	メインウインドウ表示イネーブル	1：オン
REG[0202h]ビット1	PIP1ウインドウ表示イネーブル	1：オン
REG[0202h]ビット2	PIP2ウインドウ表示イネーブル	1：オン
REG[0202h]ビット4	メインレイヤ表示モード選択	1：メイン1とメイン2
REG[0202h]ビット5	メインレイヤモード選択	0：PIPの上にメイン
REG[0202h]ビット6	PIPレイヤモード選択	0：PIP2の上にPIP1
REG[0204h]ビット1	PIP1透過イネーブル	0または1
REG[0204h]ビット2	PIP2透過イネーブル	0：オフ
REG[0204h]ビット7	アルファブレンドモード選択	0：メインとPIP
REG[0204h]ビット8	アルファブレンド1キーカラーイネーブル	0または1
REG[0204h]ビット9	アルファブレンド2キーカラーイネーブル	0：オフ
REG[0204h]ビット10	アルファブレンド3キーカラーイネーブル	0：オフ
REG[0204h]ビット11	アルファブレンド4キーカラーイネーブル	0：オフ
REG[0206h]ビット15～0	背景色	
REG[0208h]ビット3～0	アルファブレンド1割合	4h：50%
REG[0208h]ビット7～4	アルファブレンド2割合	-
REG[0208h]ビット11～8	アルファブレンド3割合	-
REG[0208h]ビット15～12	アルファブレンド4割合	-
REG[020Ch]ビット15～0	PIP1ウインドウ透過キーカラー	
REG[020Eh]ビット15～0	PIP2ウインドウ透過キーカラー	-
REG[0210h]ビット15～0	アルファブレンド1キーカラー	
REG[0212h]ビット15～0	アルファブレンド2キーカラー	-
REG[0214h]ビット15～0	アルファブレンド3キーカラー	-
REG[0216h]ビット15～0	アルファブレンド4キーカラー	-

16. 使用例



図16.6 メイン（上層）、PIP2（中央）、PIP1（下層）の表示例

表16.6 メイン（上層）、PIP2（中央）、PIP1（下層）の表示例の設定

REG[0202h]ビット0	メインウインドウ表示イネーブル	1：オン
REG[0202h]ビット1	PIP1ウインドウ表示イネーブル	1：オン
REG[0202h]ビット2	PIP2ウインドウ表示イネーブル	1：オン
REG[0202h]ビット4	メインレイヤ表示モード選択	1：メイン1とメイン2
REG[0202h]ビット5	メインレイヤモード選択	0：PIPの上にメイン
REG[0202h]ビット6	PIPレイヤモード選択	1：PIP1の上にPIP2
REG[0204h]ビット1	PIP1透過イネーブル	0：オフ
REG[0204h]ビット2	PIP2透過イネーブル	0または1
REG[0204h]ビット7	アルファブレンドモード選択	0：メインとPIP
REG[0204h]ビット8	アルファブレンド1キーカラーイネーブル	0または1
REG[0204h]ビット9	アルファブレンド2キーカラーイネーブル	0：オフ
REG[0204h]ビット10	アルファブレンド3キーカラーイネーブル	0：オフ
REG[0204h]ビット11	アルファブレンド4キーカラーイネーブル	0：オフ
REG[0206h]ビット15～0	背景色	■
REG[0208h]ビット3～0	アルファブレンド1割合	4h：50%
REG[0208h]ビット7～4	アルファブレンド2割合	-
REG[0208h]ビット11～8	アルファブレンド3割合	-
REG[0208h]ビット15～12	アルファブレンド4割合	-
REG[020Ch]ビット15～0	PIP1ウインドウ透過キーカラー	-
REG[020Eh]ビット15～0	PIP2ウインドウ透過キーカラー	-
REG[0210h]ビット15～0	アルファブレンド1キーカラー	■
REG[0212h]ビット15～0	アルファブレンド2キーカラー	-
REG[0214h]ビット15～0	アルファブレンド3キーカラー	-
REG[0216h]ビット15～0	アルファブレンド4キーカラー	-



図16.7 PIP1（上層）、PIP2（中央）、メイン（下層）の表示例

表16.7 PIP1（上層）、PIP2（中央）、メイン（下層）の表示例の設定

REG[0202h]ビット0	メインウインドウ表示イネーブル	1：オン
REG[0202h]ビット1	PIP1ウインドウ表示イネーブル	1：オン
REG[0202h]ビット2	PIP2ウインドウ表示イネーブル	1：オン
REG[0202h]ビット4	メインレイヤ表示モード選択	1：メイン1とメイン2
REG[0202h]ビット5	メインレイヤモード選択	1：メインの上にPIP
REG[0202h]ビット6	PIPレイヤモード選択	0：PIP2の上にPIP1
REG[0204h]ビット1	PIP1透過イネーブル	0または1
REG[0204h]ビット2	PIP2透過イネーブル	0または1
REG[0204h]ビット7	アルファブレンドモード選択	-
REG[0204h]ビット8	アルファブレンド1キーカラーイネーブル	0：オフ
REG[0204h]ビット9	アルファブレンド2キーカラーイネーブル	0：オフ
REG[0204h]ビット10	アルファブレンド3キーカラーイネーブル	0：オフ
REG[0204h]ビット11	アルファブレンド4キーカラーイネーブル	0：オフ
REG[0206h]ビット15～0	背景色	■
REG[0208h]ビット3～0	アルファブレンド1割合	-
REG[0208h]ビット7～4	アルファブレンド2割合	-
REG[0208h]ビット11～8	アルファブレンド3割合	-
REG[0208h]ビット15～12	アルファブレンド4割合	-
REG[020Ch]ビット15～0	PIP1ウインドウ透過キーカラー	■
REG[020Eh]ビット15～0	PIP2ウインドウ透過キーカラー	
REG[0210h]ビット15～0	アルファブレンド1キーカラー	-
REG[0212h]ビット15～0	アルファブレンド2キーカラー	-
REG[0214h]ビット15～0	アルファブレンド3キーカラー	-
REG[0216h]ビット15～0	アルファブレンド4キーカラー	-

16. 使用例



図16.8 PIP2 (上層) PIP1 (中央) メイン (下層) の表示例

表16.8 PIP2 (上層) PIP1 (中央) メイン (下層) の表示例の設定

REG[0202h]ビット0	メインウインドウ表示イネーブル	1: オン
REG[0202h]ビット1	PIP1ウインドウ表示イネーブル	1: オン
REG[0202h]ビット2	PIP2ウインドウ表示イネーブル	1: オン
REG[0202h]ビット4	メインレイヤ表示モード選択	1: メイン1とメイン2
REG[0202h]ビット5	メインレイヤモード選択	1: メインの上にPIP
REG[0202h]ビット6	PIPレイヤモード選択	1: PIP1の上にPIP2
REG[0204h]ビット1	PIP1透過イネーブル	0または1
REG[0204h]ビット2	PIP2透過イネーブル	0または1
REG[0204h]ビット7	アルファブレンドモード選択	-
REG[0204h]ビット8	アルファブレンド1キーカラーイネーブル	0: オフ
REG[0204h]ビット9	アルファブレンド2キーカラーイネーブル	0: オフ
REG[0204h]ビット10	アルファブレンド3キーカラーイネーブル	0: オフ
REG[0204h]ビット11	アルファブレンド4キーカラーイネーブル	0: オフ
REG[0206h]ビット15~0	背景色	■
REG[0208h]ビット3~0	アルファブレンド1割合	-
REG[0208h]ビット7~4	アルファブレンド2割合	-
REG[0208h]ビット11~8	アルファブレンド3割合	-
REG[0208h]ビット15~12	アルファブレンド4割合	-
REG[020Ch]ビット15~0	PIP1ウインドウ透過キーカラー	■
REG[020Eh]ビット15~0	PIP2ウインドウ透過キーカラー	
REG[0210h]ビット15~0	アルファブレンド1キーカラー	-
REG[0212h]ビット15~0	アルファブレンド2キーカラー	-
REG[0214h]ビット15~0	アルファブレンド3キーカラー	-
REG[0216h]ビット15~0	アルファブレンド4キーカラー	-

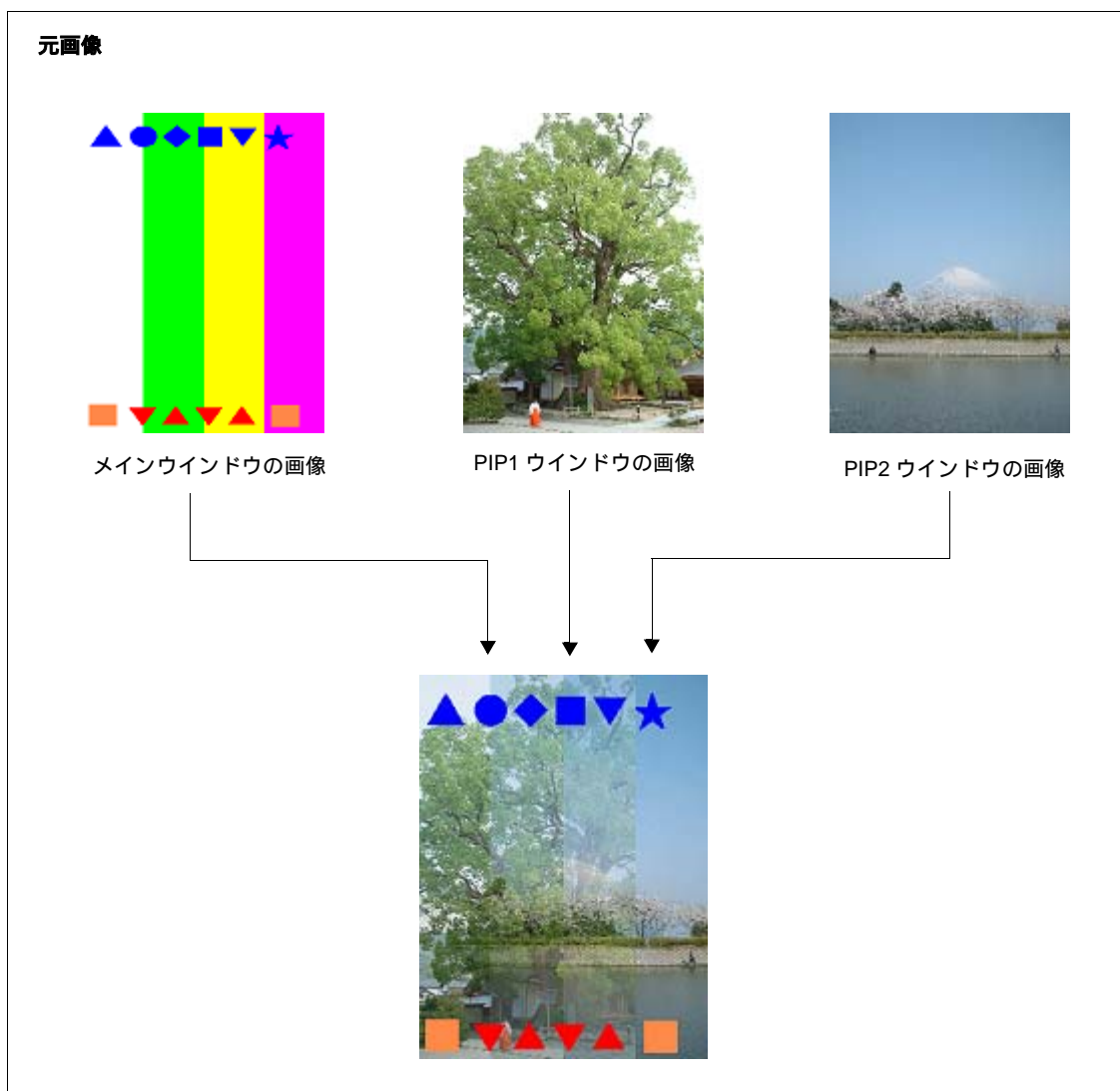


図16.9 メイン（上層） PIP1（中央） PIP2（下層）の表示例2

16. 使用例

表16.9 メイン（上層）、PIP1（中央）、PIP2（下層）の表示例2の設定

REG[0202h]ビット0	メインウインドウ表示イネーブル	1 : オン
REG[0202h]ビット1	PIP1ウインドウ表示イネーブル	1 : オン
REG[0202h]ビット2	PIP2ウインドウ表示イネーブル	1 : オン
REG[0202h]ビット4	メインレイヤ表示モード選択	0 : メイン1
REG[0202h]ビット5	メインレイヤモード選択	0 : PIPの上にメイン
REG[0202h]ビット6	PIPレイヤモード選択	0 : PIP2の上にPIP1
REG[0204h]ビット1	PIP1透過イネーブル	0 : オフ
REG[0204h]ビット2	PIP2透過イネーブル	0 : オフ
REG[0204h]ビット7	アルファブレンドモード選択	1 : PIP1とPIP2
REG[0204h]ビット8	アルファブレンド1キーカラーイネーブル	1
REG[0204h]ビット9	アルファブレンド2キーカラーイネーブル	1
REG[0204h]ビット10	アルファブレンド3キーカラーイネーブル	1
REG[0204h]ビット11	アルファブレンド4キーカラーイネーブル	1
REG[0206h]ビット15~0	背景色	-
REG[0208h]ビット3~0	アルファブレンド1割合	2h : 25%
REG[0208h]ビット7~4	アルファブレンド2割合	4h : 50%
REG[0208h]ビット11~8	アルファブレンド3割合	6h : 75%
REG[0208h]ビット15~12	アルファブレンド4割合	8h : 100%
REG[020Ch]ビット15~0	PIP1ウインドウ透過キーカラー	-
REG[020Eh]ビット15~0	PIP2ウインドウ透過キーカラー	-
REG[0210h]ビット15~0	アルファブレンド1キーカラー	
REG[0212h]ビット15~0	アルファブレンド2キーカラー	
REG[0214h]ビット15~0	アルファブレンド3キーカラー	
REG[0216h]ビット15~0	アルファブレンド4キーカラー	

17. メカニカルデータ

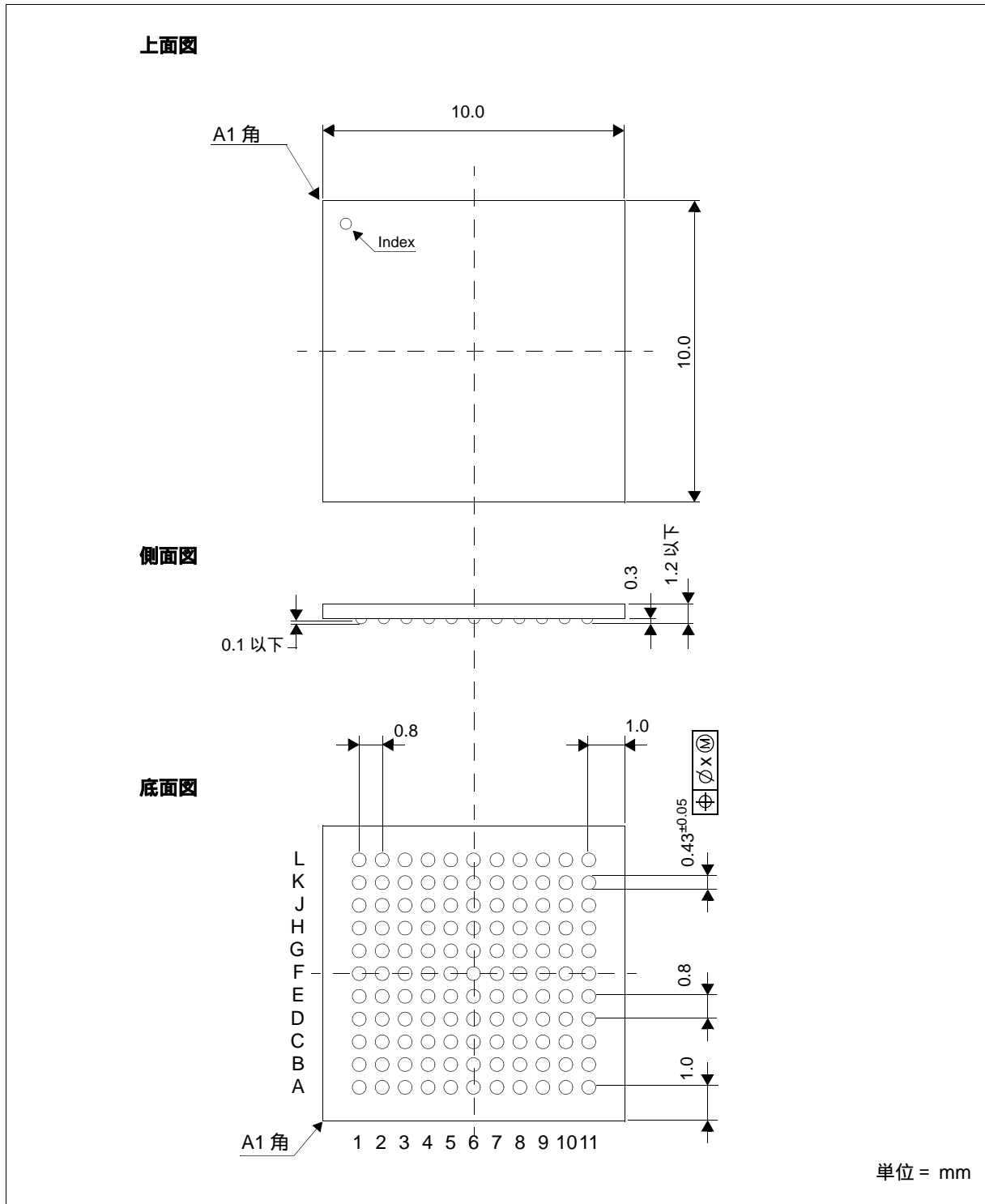


図17.1 S1D13748B PFBGA121ピンパッケージ

17. メカニカルデータ

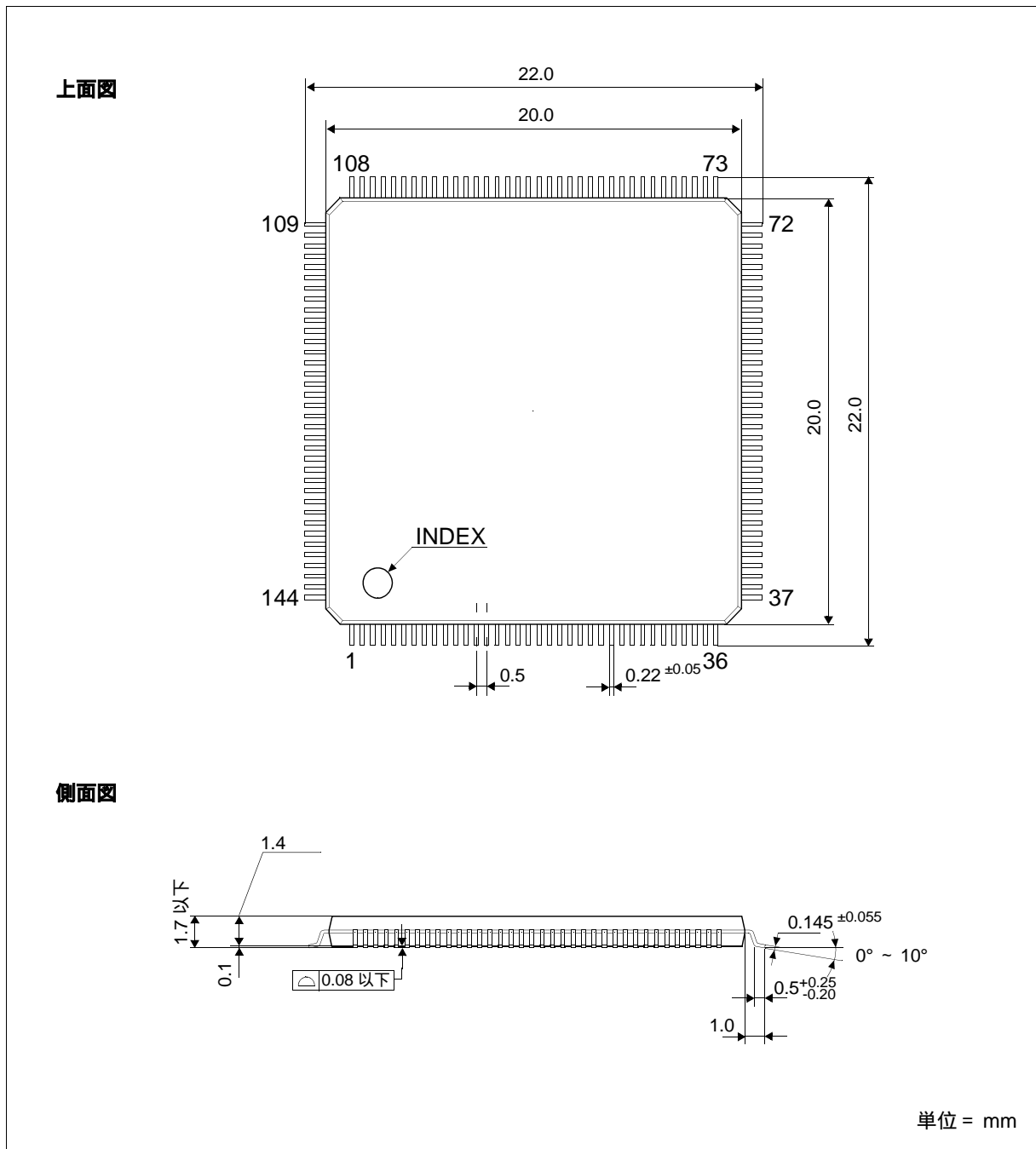


図17.2 S1D13748F QFP20 144ピンパッケージ

18. 参考資料

以下の文書には、S1D13748に関連する付加情報が記載されています。文書番号は、文書名の後の括弧内に記載しています。すべての文献はEpson Research and Developmentウェブサイト www.erd.epson.com でご覧いただけます。

- 『S1D13748 Product Brief (S1D13748の製品概要)』 (X80A-C-001-xx)

セイコーエプソン株式会社

マイクロデバイス事業部 IC 営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード：411317002
2007年 12月 作成
2012年 4月 改訂