

**LCD/USBコンパニオンチップ  
S1D13A05  
テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

---

本資料の内容については、予告無く変更することがあります。

- 1) 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
- 2) 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産およびその他の権利の実施権の許諾を行うものではありません。
- 3) 特性値の数値の大小は、数直線上の大小関係で表しています。
- 4) 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
- 5) 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
- 6) 本資料に掲載されている会社名、商品名は、各社の登録商標です。

---

# 目次

<b>1. はじめに</b> . . . . .	<b>1</b>
1.1 適用 . . . . .	1
1.2 概要説明 . . . . .	1
<b>2. 特長</b> . . . . .	<b>2</b>
2.1 統合フレームバッファ . . . . .	2
2.2 CPUインタフェース . . . . .	2
2.3 ディスプレイサポート . . . . .	2
2.4 表示モード . . . . .	2
2.5 表示機能 . . . . .	3
2.6 クロックソース . . . . .	3
2.7 USBデバイス . . . . .	3
2.8 2Dアクセラレータ . . . . .	3
2.9 その他 . . . . .	3
<b>3. システム構成図</b> . . . . .	<b>4</b>
3.1 代表的なシステム構成図 . . . . .	4
3.2 USBインタフェース . . . . .	8
<b>4. 端子構成</b> . . . . .	<b>9</b>
4.1 端子配置図 . . . . .	9
4.1.1 PFBGA 121ピン . . . . .	9
4.2 端子説明 . . . . .	10
4.2.1 ホストインタフェース . . . . .	10
4.2.2 LCDインタフェース . . . . .	14
4.2.3 クロック入力 . . . . .	18
4.2.4 その他 . . . . .	18
4.2.5 電源およびグラウンド . . . . .	19
4.3 コンフィギュレーションオプションの概要 . . . . .	20
4.4 ホストバスインタフェースの端子割り付け . . . . .	21
4.5 LCDインタフェースの端子割り付け . . . . .	22
<b>5. DC特性</b> . . . . .	<b>24</b>
<b>6. AC特性</b> . . . . .	<b>25</b>
6.1 クロックタイミング . . . . .	25
6.1.1 入力クロック . . . . .	25
6.1.2 内部クロック . . . . .	27
6.2 リセットタイミング . . . . .	27
6.3 CPUインタフェースのタイミング . . . . .	28
6.3.1 汎用#1インタフェースのタイミング . . . . .	28

6.3.2	汎用#2インタフェースのタイミング	30
6.3.3	日立SH-3インタフェースのタイミング	32
6.3.4	日立SH-4インタフェースのタイミング	34
6.3.5	モトローラMC68K #1インタフェースのタイミング	36
6.3.6	モトローラMC68K #2インタフェースのタイミング	38
6.3.7	モトローラREDCAP2インタフェースのタイミング	40
6.3.8	DTACK#付きモトローラDragonballインタフェースのタイミング	42
6.3.9	DTACK#なしモトローラDragonballインタフェースのタイミング	44
6.4	LCDパワーシーケンス	46
6.4.1	パッシブ/TFTパワーオンシーケンス	46
6.4.2	パッシブ/TFTパワーオフシーケンス	47
6.5	LCDインタフェース	48
6.5.1	汎用STNパネルのタイミング	49
6.5.2	シングルモノクロ4ビットパネルのタイミング	50
6.5.3	シングルモノクロ8ビットパネルのタイミング	52
6.5.4	シングルカラー 4ビットパネルのタイミング	54
6.5.5	シングルカラー 8ビットパネルのタイミング(フォーマット1)	56
6.5.6	シングルカラー 8ビットパネルのタイミング(フォーマット2)	58
6.5.7	シングルカラー 16ビットパネルのタイミング	60
6.5.8	汎用TFTパネルのタイミング	62
6.5.9	9/12/18ビットTFTパネルのタイミング	63
6.5.10	シャープHR-TFTパネルのタイミング	66
6.5.11	カシオTFTパネルのタイミング	68
6.5.12	TFTタイプ2パネルのタイミング	70
6.5.13	TFTタイプ3パネルのタイミング	72
6.5.14	TFTタイプ4パネルのタイミング	76
6.6	USBタイミング	79
<b>7.</b>	<b>クロック</b>	<b>82</b>
7.1	クロックの説明	82
7.1.1	BCLK	82
7.1.2	MCLK	82
7.1.3	PCLK	83
7.1.4	PWMCLK	84
7.2	クロック選択	85
7.3	クロックと機能	86
<b>8.</b>	<b>レジスタ</b>	<b>87</b>
8.1	レジスタマッピング	87
8.2	レジスタセット	88
8.3	LCDレジスタの説明(オフセット=0h)	90
8.3.1	読み出し専用設定レジスタ	90

---

8.3.2	クロック設定レジスタ	91
8.3.3	パネル設定レジスタ	93
8.3.4	ルックアップテーブルレジスタ	98
8.3.5	表示モードレジスタ	100
8.3.6	Picture-in-Picture Plus(PIP+)レジスタ	107
8.3.7	その他のレジスタ	112
8.3.8	拡張パネルレジスタ	124
8.4	USBレジスタ(オフセット=4000h)	135
8.5	2Dアクセラレータ(BitBLT)レジスタ(オフセット=8000h)	154
8.6	2Dアクセラレータ(BitBLT)データレジスタの説明	161
<b>9.</b>	<b>2Dアクセラレータ(BitBLT)エンジン</b>	<b>162</b>
9.1	概要	162
9.2	BitBLT操作	162
<b>10.</b>	<b>フレームレートの計算</b>	<b>163</b>
<b>11.</b>	<b>表示データフォーマット</b>	<b>164</b>
<b>12.</b>	<b>ルックアップテーブルアーキテクチャ</b>	<b>165</b>
12.1	モノクロモード	165
12.2	カラーモード	167
<b>13.</b>	<b>SwivelView™</b>	<b>171</b>
13.1	概念	171
13.2	90° SwivelView™	171
13.2.1	レジスタのプログラミング	172
13.3	180° SwivelView™	173
13.3.1	レジスタのプログラミング	173
13.4	270° SwivelView™	174
13.4.1	レジスタのプログラミング	175
<b>14.</b>	<b>Picture-in-Picture Plus(PIP+)</b>	<b>176</b>
14.1	概念	176
14.2	SwivelViewをイネーブルした場合	177
14.2.1	SwivelView 90°	177
14.2.2	SwivelView 180°	177
14.2.3	SwivelView 270°	178
<b>15.</b>	<b>パワーセーブモード</b>	<b>179</b>
<b>16.</b>	<b>USBについて</b>	<b>180</b>
16.1	USB発振器回路	180
<b>17.</b>	<b>メカニカルデータ</b>	<b>181</b>
<b>18.</b>	<b>参考資料</b>	<b>182</b>
•	改訂履歴表	183

---

## 1. はじめに

### 1.1 適用

本書は、LCD/USBコンパニオンチップS1D13A05のハードウェア機能仕様書です。本書には、タイミング図、ACおよびDC特性、レジスタの説明、および電力管理の説明などが記載されています。本書は、ビデオサブシステム設計書とソフトウェア開発者を対象としています。

### 1.2 概要説明

S1D13A05は、種々のマイクロプロセッサにシームレスに接続するように設計されたLCD/USBソリューションです。S1D13A05は、USBスレーブコントローラとLCDグラフィックスコントローラを埋め込み型256KB SRAM表示バッファと統合したものです。LCDコントローラは、すべての標準パネルタイプと複数のTFTタイプに対応しており、外部タイミング制御ICを不要にします。S1D13A05は、スクリーン描写機能を大幅に高めるハードウェアアクセラレータエンジンを備え、内蔵USBコントローラによって、USBクライアントを必要とするアプリケーションは改訂1.1仕様に適合します。このハイレベルな集積化によって、モバイル通信装置やパームサイズPCなどのUSBクライアントサポートを必要とする組み込み市場の要求に応える低コストで低消費電力のシングルチップソリューションを実現します。

S1D13A05は、確実なローレイテンシCPUアーキテクチャを活用して、READY/WAIT#ハンドシェイク信号を備えていないマイクロプロセッサをサポートします。32ビット内部データパス、書き込みバッファ、およびハードウェアアクセラレータエンジンは、表示メモリに高機能帯域幅を提供し、高速の画面更新を可能にしています。

さらに、回転表示を必要とする製品は、ソフトウェアアプリケーションにトランスペアレントな表示メモリのハードウェア回転を実現するSwivelView™機能を利用することができます。S1D13A05は、また「Picture-in-Picture Plus」(可変サイズオーバーレイウィンドウ)にも対応しています。

S1D13A05は、その一体型USBクライアントにより、Palm OS®ハンドヘルド機器の優れたサポートを提供します。また、S1D13A05は、CPUタイプにもオペレーティングシステムにも依存せず、各種アプリケーションに最適な表示ソリューションを実現します。

## 2. 特長

---

## 2. 特長

### 2.1 統合フレームバッファ

- 組み込み型256KB SRAM表示バッファ

### 2.2 CPUインタフェース

- 以下のダイレクトインタフェースをサポート：
  - 日立SH-4 / SH-3
  - モトローラM68xxx ( REDCAP2, DragonBall, ColdFire )
  - モトローラDragonBall SZ Support ( 66MHz )
  - モトローラ “ REDCAP2 ”- WAIT#信号なし
  - プログラム可能レディ付き汎用MPUバスインターフェース ( WAIT# )
- 「固定」ローレイテンシCPUアクセス時間
- レジスタはメモリ割り付けされており、M/R#入力はメモリとレジスタアドレス空間を選択します。
- 全面256KBの表示バッファは、18ビットアドレスバスによりダイレクトに連続使用可能です。

### 2.3 ディスプレイサポート

- シングルパネル、シングル駆動パッシブディスプレイ
  - 4/8ビットモノクロLCDインタフェース
  - 4/8/16ビットカラーLCDインタフェース
- アクティブマトリクスTFTインタフェース
  - 9/12/18ビットインタフェース
  - 拡張TFTインタフェース ( タイプ2、3、4 )
- 18ビットシャープHR-TFT LCD ( または互換インタフェース ) の「ダイレクト」サポート
- カシオTFT LCD ( または互換インタフェース ) の「ダイレクト」サポート

### 2.4 表示モード

- 1/2/4/8/16ビット/ピクセル ( bpp ) の階調をサポート
- モノクロパッシブLCDパネルで最大64階調
- パッシブパネルで最大64K色
- アクティブマトリクス型LCDパネルで最大64K色
- 解像度の例：
  - 色深度16 bppで320x320
  - 色深度16 bppで160x160 ( 2ページ )
  - 色深度16 bppで160x240

## 2.5 表示機能

- SwivelView™：反時計回り90°、180°、270°の表示画像のハードウェア回転
- Picture-in-Picture Plus (PIP+)：背景画像に重ねて可変サイズウィンドウを表示
- ピクセルダブリング：水平と垂直両方のピクセルダブリングの独立制御
  - 使用例：増設メモリなしに160x160 8 bppを320x320 8 bppに拡張可能
  - すべての色深度に対応
- ダブルバッファ / マルチページ：スムーズな動画と瞬時画面更新を実現

## 2.6 クロックソース

- 3つの独立クロック入力：CLKI、CLKI2およびUSBCLK
- フレキシブルなクロックソース選択：
  - CLKI、CLKI/2またはCLKI2から選択される内部バスクロック (BCLK)
  - BCLKまたはBCLK分周比 (REG[04h]) から選択された内部メモリクロック (MCLK)
  - CLKI、CLKI2、MCLK または BCLK から選択された内部ピクセルクロック (PCLK) PCLKをソースから分周可能
- USBサポートが不要な場合はシングルクロック入力が可能

## 2.7 USBデバイス

- USBクライアント、改訂1.1仕様に適合
- 専用クロック入力：USBCLK
- USBCLK用48MHz水晶発振器

## 2.8 2Dアクセラレータ

- 2D BitBLTエンジンには次のものがあります。

Write BitBLT	Transparent Write BitBLT
Move BitBLT	Transparent Move BitBLT
Solid Fill BitBLT	Read BitBLT
Pattern Fill BitBLT	Color Expansion BitBLT
Move BitBLT (色拡張機能付き)	

## 2.9 その他

- ソフトウェアによるビデオ反転
- ソフトウェアによるパワーセーブモードの開始
- 汎用入出力端子が使用可能
- IOが3.3V ± 10%で動作
- コアは2.0V ± 10%または2.5V ± 10%で動作
- 121ピンPFBGAパッケージ



### 3. システム構成図

### 3. システム構成図

#### 3.1 代表的なシステム構成図

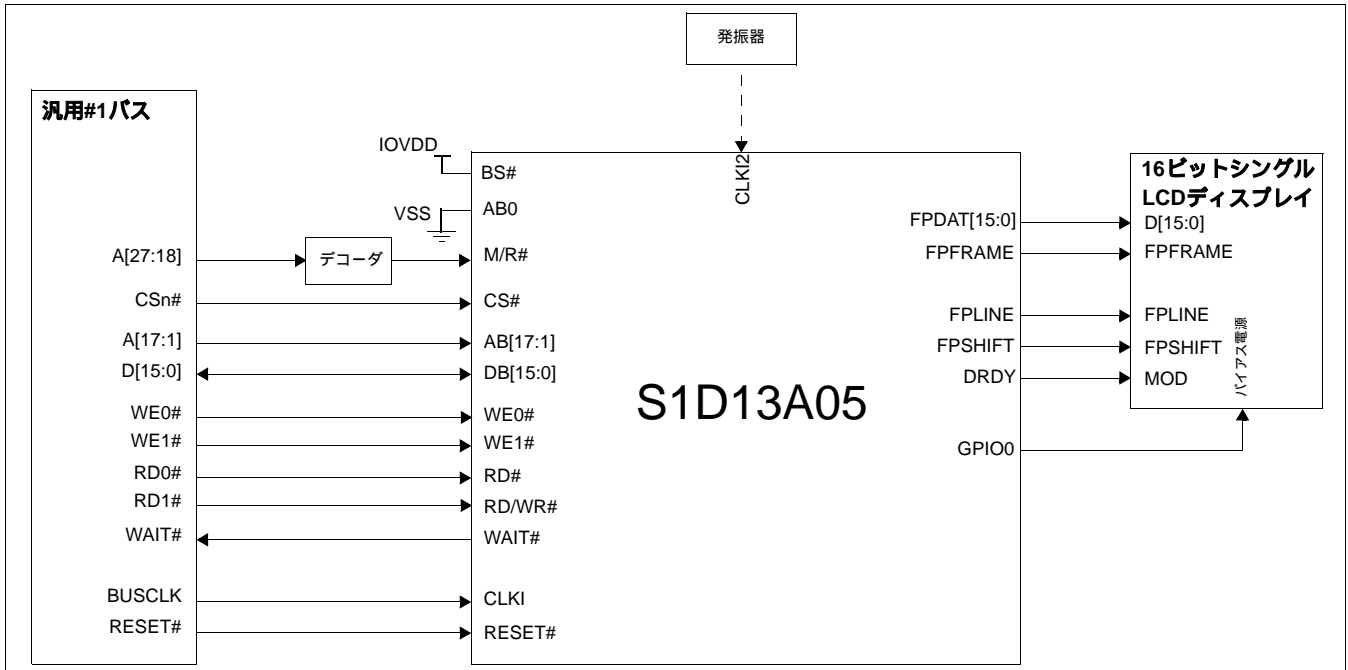


図3.1 システム構成図 (汎用#1バス)

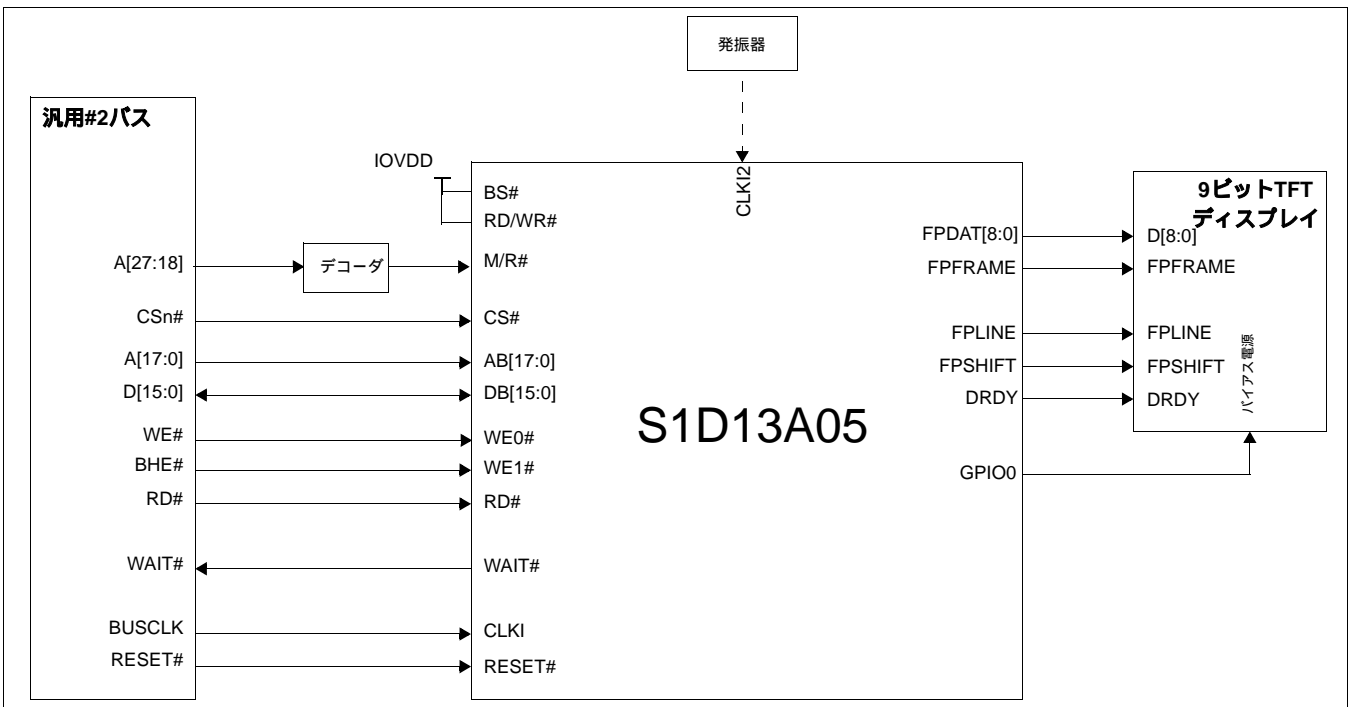


図3.2 システム構成図 (汎用#2バス)

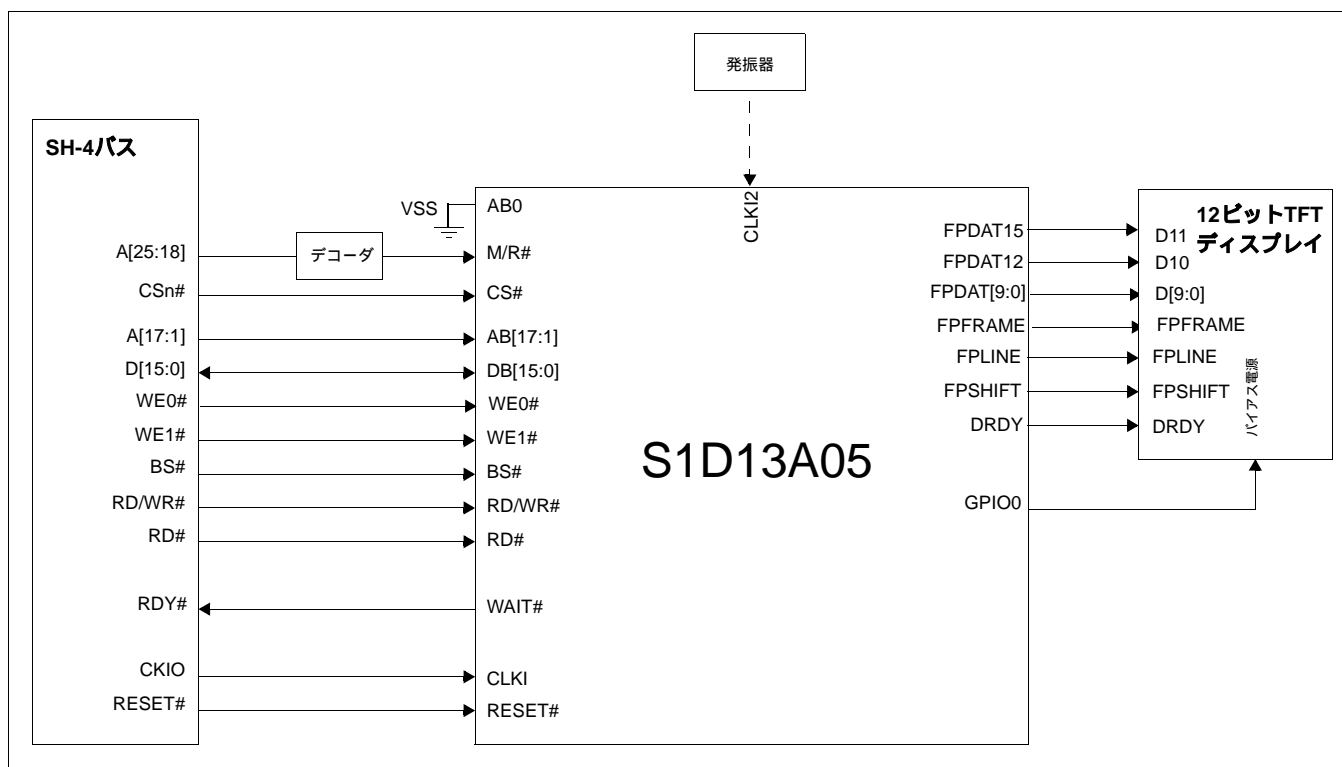


図3.3 システム構成図 (日立SH-4バス)

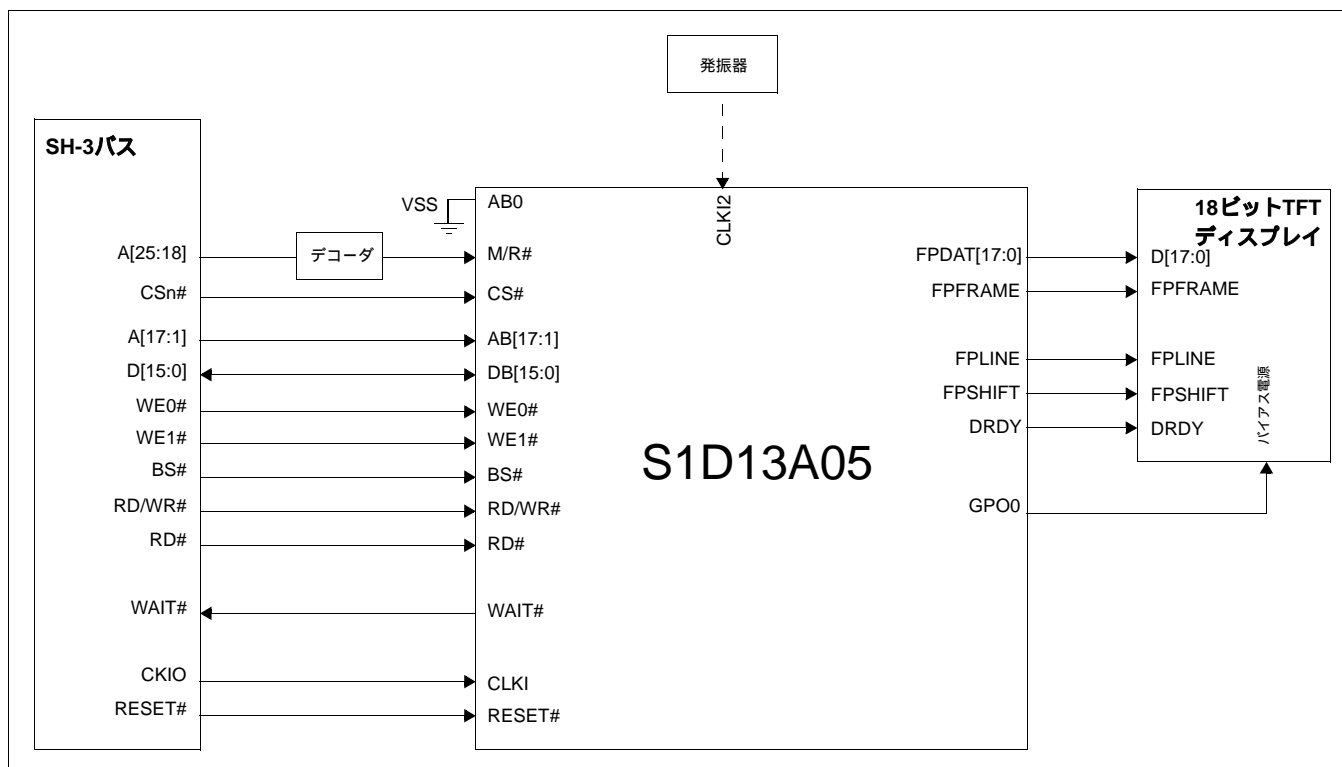


図3.4 システム構成図 (日立SH-3バス)

### 3. システム構成図

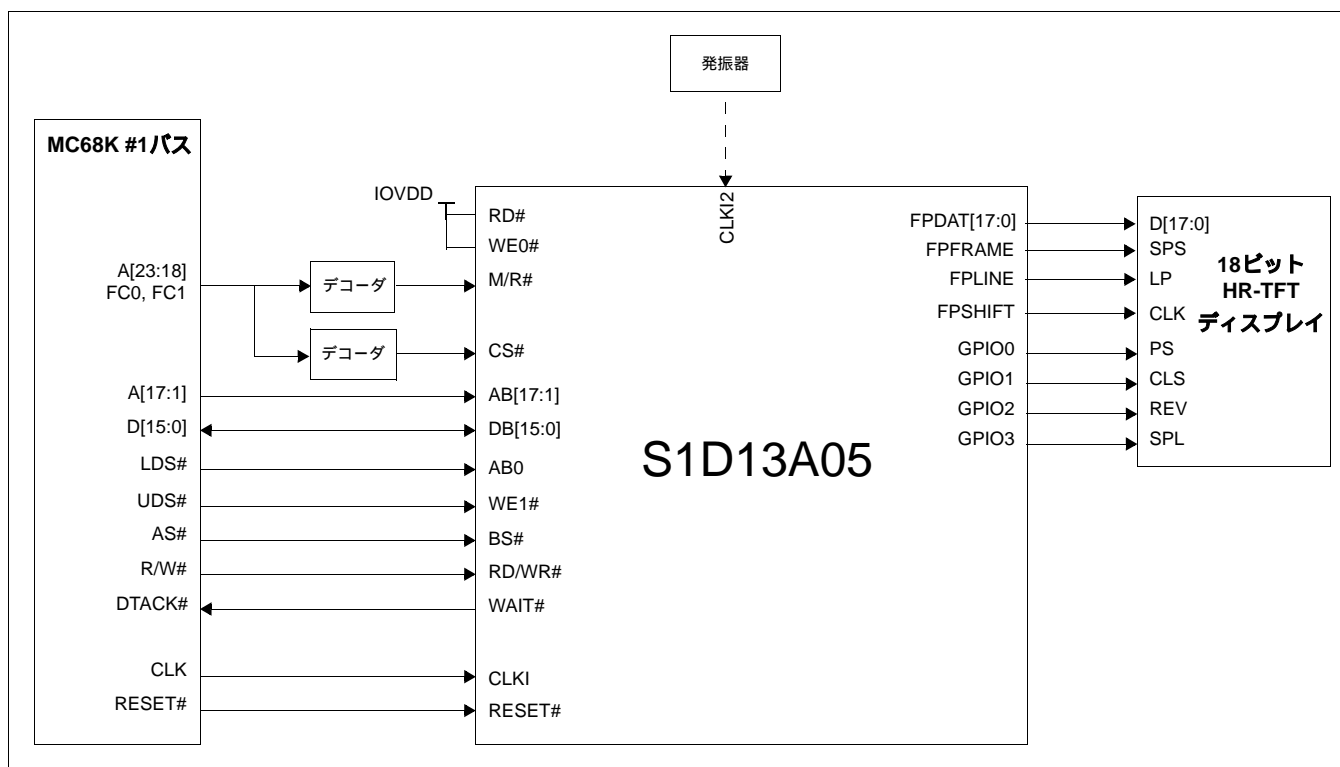


図3.5 システム構成図 (MC68K #1、モトローラ16ビット68000)

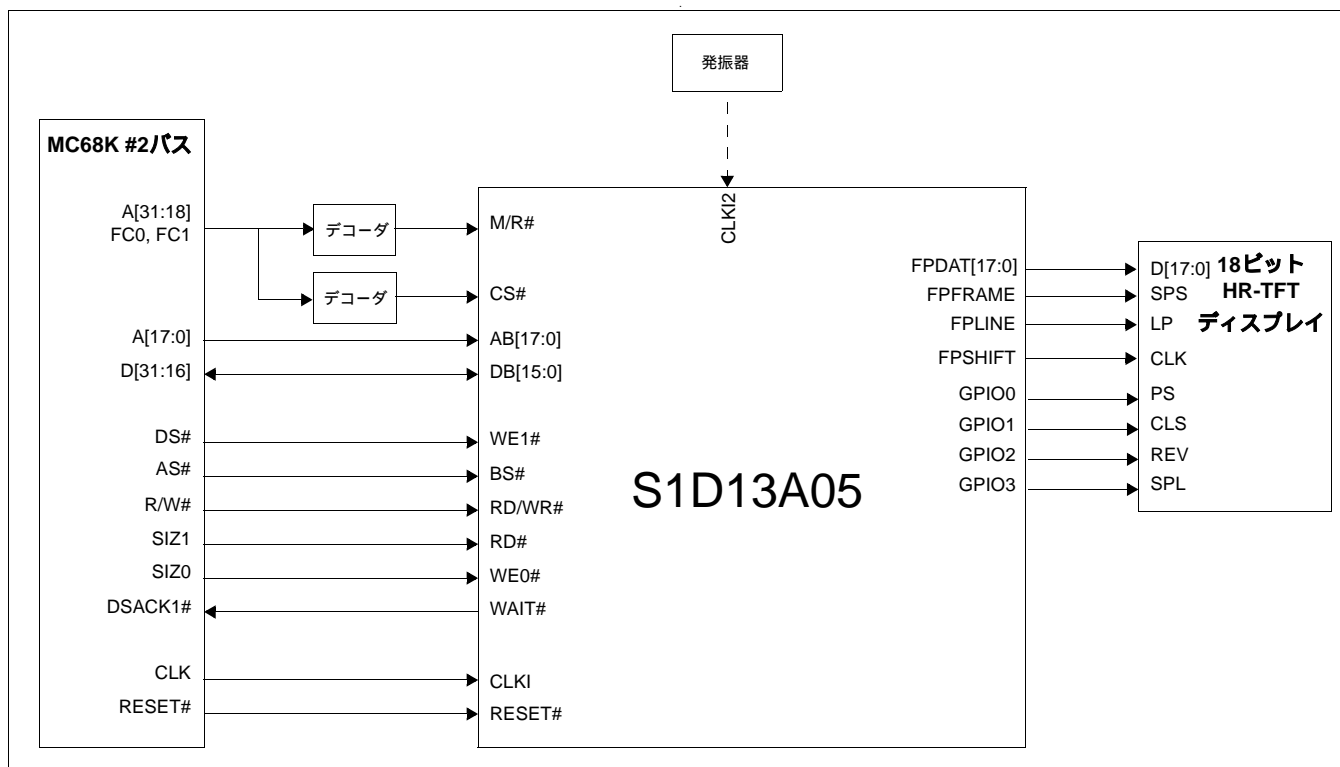


図3.6 システム構成図 (MC68K #2, モトローラ32ビット68030)

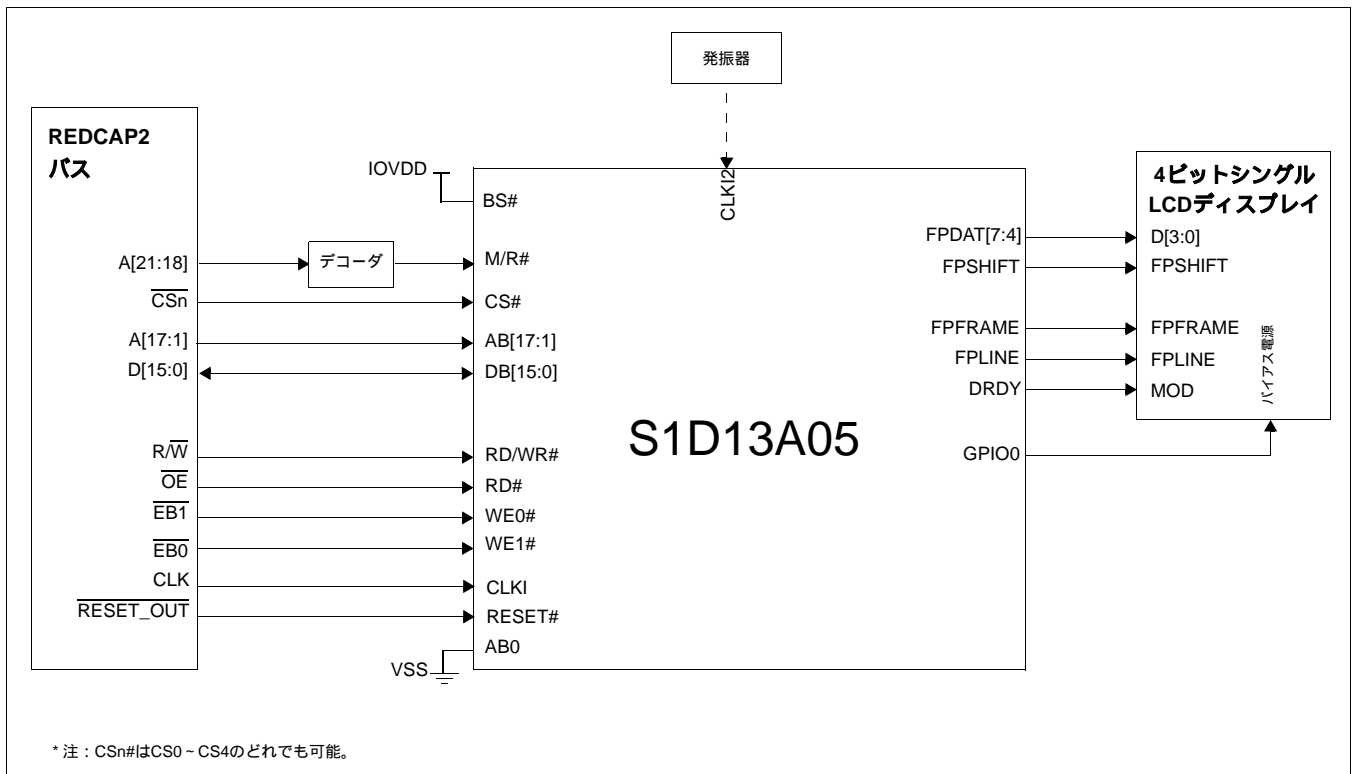


図3.7 システム構成図 (モトローラREDCAP2バス)

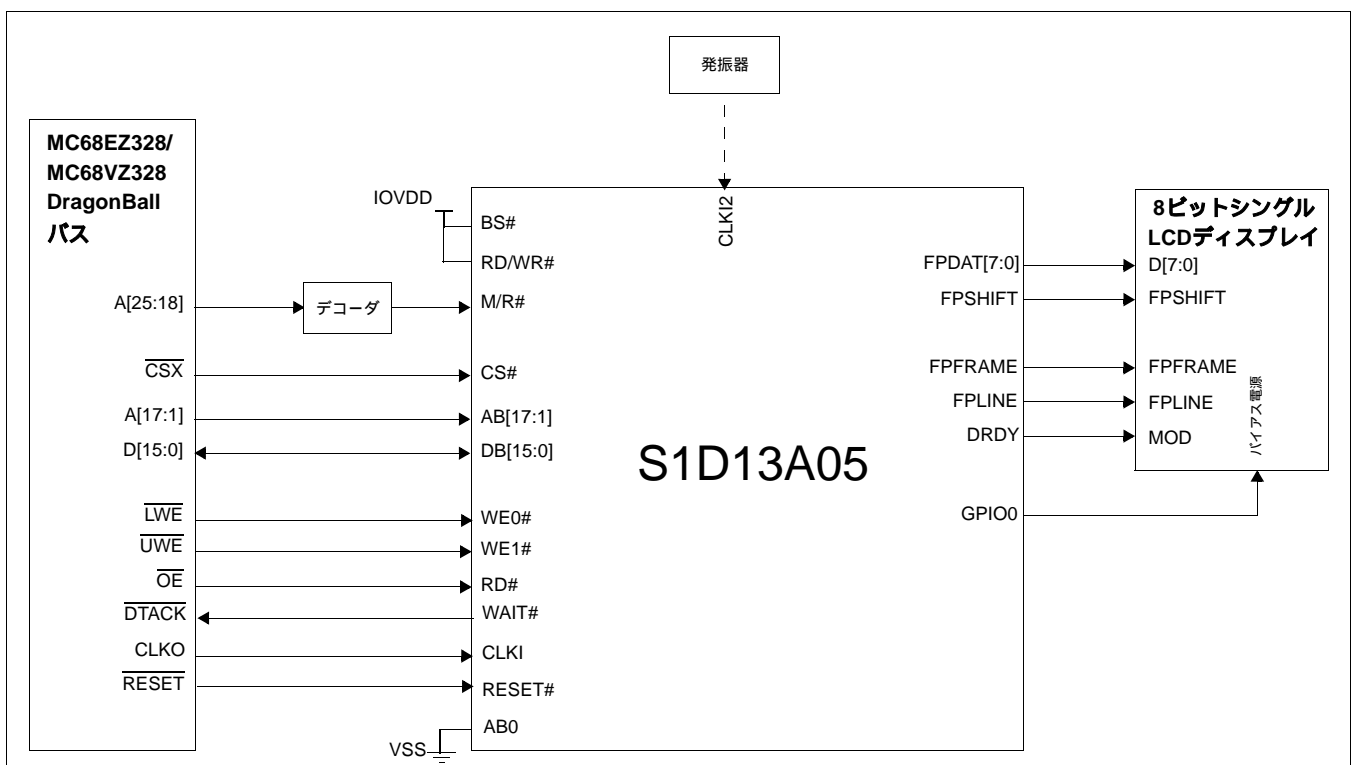


図3.8 システム構成図 (モトローラMC68EZ328/MC68VZ328 "DragonBall"バス)

### 3. システム構成図

#### 3.2 USBインタフェース

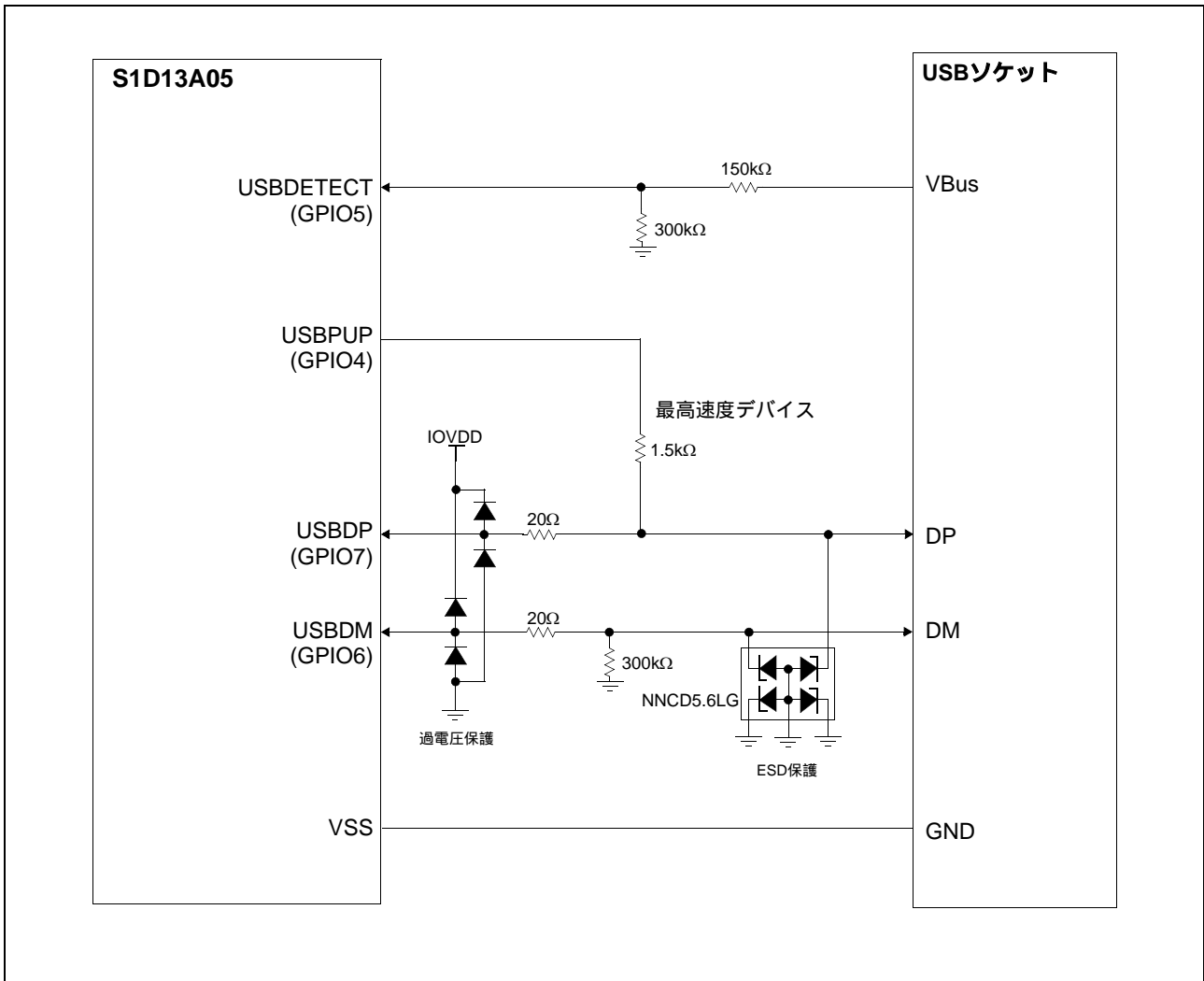


図3.9 代表的なUSB構成

## 4. 端子構成

## 4.1 端子配置図

## 4.1.1 PFBGA 121ピン

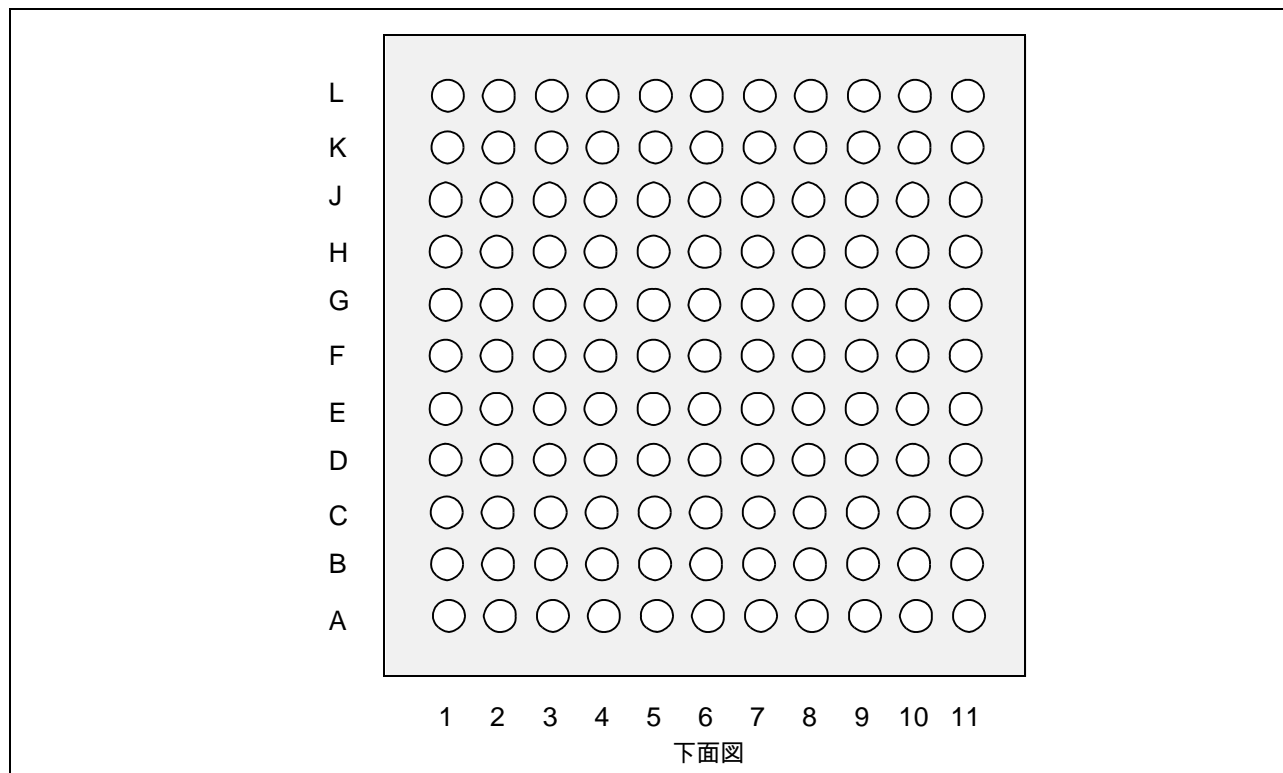


図4.1 端子配置図 - PFBGA 121ピン

表4.1 PFBGA 121ピン割り付け

L	NC	IOVDD	DB7	DB3	DB0	GPIO7	GPIO3	GPIO0	IOVDD	COREVDD	NC
K	GPO0	VSS	DB8	DB4	DB1	GPIO6	GPIO2	IRQ	DRDY	VSS	GPO6
J	GPO1	DB9	DB6	DB5	DB2	GPO3	GPIO1	USBCLK	FPFRAME	COREVDD	GPO7
H	DB12	DB11	DB10	DB13	GPO2	IOVDD	GPIO4	GPO5	FPLINE	FPSHIFT	FPDAT0
G	WAIT#	DB15	DB14	IOVDD	VSS	GPIO5	FPDAT5	FPDAT1	FPDAT2	FPDAT3	FPDAT4
F	RESET#	VSS	RD/WR#	WE1#	CLKI	GPO4	FPDAT8	FPDAT6	VSS	FPDAT7	IOVDD
E	RD#	BS#	M/R#	CS#	WE0#	AB13	TESTEN	FPDAT9	FPDAT12	FPDAT11	FPDAT10
D	AB0	AB1	AB2	AB8	AB12	AB17	CNF3	FPDAT13	FPDAT16	FPDAT15	FPDAT14
C	USBOSCO	COREVDD	AB3	AB6	AB9	AB16	CNF2	CNF5	CNF6	FPDAT17	GPO8
B	USBOSCI	VSS	AB5	GPO10	AB10	AB14	CNF1	CNF4	CLKI2	VSS	GPO9
A	NC	COREVDD	AB4	AB7	AB11	AB15	CNF0	NC	PWMOUT	IOVDD	NC
	1	2	3	4	5	6	7	8	9	10	11

## 4. 端子構成

### 4.2 端子説明

キー：

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子
CI	=	CMOS入力
LI	=	LVTTL <sup>a</sup> 入力
LB2A	=	LVTTL IOバッファ（6mA/-6mA@3.3V）
LB3P	=	低ノイズLVTTL IOバッファ（6mA/-6mA@3.3V）
LO3	=	低ノイズLVTTL出力バッファ（3mA/-3mA@3.3V）
LB3M	=	入力マスク低ノイズLVTTL IOバッファ（3mA/-3mA@3.3V）
T1	=	プルダウン抵抗付きテストモード制御入力（標準値50K @3.3V）
Z	=	ハイインピーダンス（Hi-Z）
CUS	=	カスタムセルタイプ

<sup>a</sup> LVTTLは低電圧TTL。

#### 4.2.1 ホストインタフェース

表4.2 ホストインタフェースの端子説明

端子名	ピン#	I/Oタイプ (前記キーを 参照)	RESET# 状態	説明
AB0	D1	LI	—	この入力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>汎用#1では、使用されません。VSSに接続してください。</li> <li>汎用#2では、システムアドレスビット0（A0）を入力します。</li> <li>SH-3/SH-4では、使用されません。VSSに接続してください。</li> <li>MC68K #1では、下位データストローブ（LDS#）を入力します。</li> <li>MC68K #2では、システムアドレスビット0（A0）を入力します。</li> <li>REDCAP2では、使用されません。VSSに接続してください。</li> <li>DragonBallでは、使用されません。VSSに接続してください。</li> </ul>
AB[17:1]	D6、C6、 A6、B6、 E6、D5、 A5、B5、 C5、D4、 A4、C4、 B3、A3、 C3、D3、 D2	CI	—	システムアドレスバスビット17-1

表4.2 ホストインタフェースの端子説明

端子名	ピン#	I/Oタイプ (前記キーを 参照)	RESET# 状態	説明
DB[15:0]	G2、G3、 H4、H1、 H2、H3、 J2、K3、 L3、J3、 J4、K4、 L4、J5、 K5、L5	LB2A	Z	システムデータバスからのデータを入力。 <ul style="list-style-type: none"> <li>汎用#1では、D[15:0]に接続されます。</li> <li>汎用#2では、D[15:0]に接続されます。</li> <li>SH-3/SH-4では、D[15:0]に接続されます。</li> <li>MC68K #1では、D[15:0]に接続されます。</li> <li>MC68K #2では、32ビットデバイス（例えば、MC68030）ではD[31:16]に、16ビットデバイス（例えば、MC68340）ではD[15:0]に接続されます。</li> <li>REDCAP2では、D[15:0]に接続されます。</li> <li>DragonBallでは、D[15:0]に接続されます。</li> </ul>
WE0#	E5	LI	—	この入力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>汎用#1では、下位データバイトの書き込みイネーブル信号(WE0#)を入力します。</li> <li>汎用#2では、書き込みイネーブル信号(WE#)を入力します。</li> <li>SH-3/SH-4では、データバイト0の書き込みイネーブル信号(WE0#)を入力します。</li> <li>MC68K #1では、IO V<sub>DD</sub>に接続してください。</li> <li>MC68K #2では、バスサイズビット0(SIZ0)を入力します。</li> <li>REDCAP2では、D[7:0] データバイトのバイトイネーブル信号(EB1#)を入力します。</li> <li>DragonBallでは、D[7:0] データバイトのバイトイネーブル信号(LWE#)を入力します。</li> </ul>
WE1#	F4	LI	—	この入力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>汎用#1では、上位データバイトの書き込みイネーブル信号(WE1#)を入力します。</li> <li>汎用#2では、上位データバイトのバイトイネーブル信号(BHE#)を入力します。</li> <li>SH-3/SH-4では、データバイト1の書き込みイネーブル信号(WE1#)を入力します。</li> <li>MC68K #1では、上位データストローブ(UDS#)を入力します。</li> <li>MC68K #2では、データストローブ(DS#)を入力します。</li> <li>REDCAP2では、D[15:8]データバイトのバイトイネーブル信号を入力します(EB0#)。</li> <li>DragonBallでは、D[15:8] データバイトのバイトイネーブル信号(UWE)#を入力します。</li> </ul>
CS#	E4	CI	—	チップ選択入力。
M/R#	E3	LI	—	この入力端子は、S1D13A05の表示バッファとレジスタアドレス空間を選択するために使用されます。M/R#は、表示バッファにアクセスするときにHighに設定され、レジスタにアクセスするときにLowに設定されます。



## 4. 端子構成

表4.2 ホストインタフェースの端子説明

端子名	ピン#	I/Oタイプ (前記キーを 参照)	RESET# 状態	説明
BS#	E2	LI	—	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>汎用#1では、IO V<sub>DD</sub>に接続してください。</li> <li>汎用#2では、IO V<sub>DD</sub>に接続してください。</li> <li>SH-3/SH-4では、バス開始信号 (BS#) を入力します。</li> <li>MC68K #1では、アドレスストローブ (AS#) を入力します。</li> <li>MC68K #2では、アドレスストローブ (AS#) を入力します。</li> <li>REDCAP2では、IO V<sub>DD</sub>に接続してください。</li> <li>DragonBallでは、IO V<sub>DD</sub>に接続してください。</li> </ul>
RD/WR#	F3	LI	—	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>汎用#1では、上位データバイトの読み出しコマンド (RD1#) を入力します。</li> <li>汎用#2では、IO V<sub>DD</sub>に接続してください。</li> <li>SH-3/SH-4では、RD/WR#信号を入力します。S1D13A05は、バスサイクルの初期デコードにこの信号を必要とします。</li> <li>MC68K #1では、R/W#信号を入力します。</li> <li>MC68K #2では、R/W#信号を入力します。</li> <li>REDCAP2では、R/W#信号を入力します。</li> <li>DragonBallでは、IO V<sub>DD</sub>に接続してください。</li> </ul>
RD#	E1	LI	—	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>汎用#1では、下位データバイトの読み出しコマンド (RD0#) を入力します。</li> <li>汎用#2では、読み出しコマンド (RD#) を入力します。</li> <li>SH-3/SH-4では、読み出し信号 (RD#) を入力します。</li> <li>MC68K #1では、IO V<sub>DD</sub>に接続してください。</li> <li>MC68K #2では、バスサイズビット1 (SIZ1) を入力します。</li> <li>REDCAP2では、出カインエーブル (OE#) を入力します。</li> <li>DragonBallでは、出カインエーブル (OE#) を入力します。</li> </ul>

表4.2 ホストインタフェースの端子説明

端子名	ピン#	I/Oタイプ (前記キーを 参照)	RESET# 状態	説明
WAIT#	G1	LB2A	Z	<p>データ転送中、この出力端子は、アクティブに駆動されシステムを強制的に待機状態にします。データ転送の完了を示すときはインアクティブに駆動されます。WAIT#は、データ転送が完了した後でハイインピーダンス状態に開放されます。アクティブ極性が設定可能です。</p> <ul style="list-style-type: none"> <li>汎用#1では、待機信号 (WAIT#) を出力します。</li> <li>汎用#2では、待機信号 (WAIT#) を出力します。</li> <li>SH-3モードでは、待機リクエスト信号 (WAIT#) を出力します。</li> <li>SH-4モードでは、デバイスレディ信号 (RDY#) を出力します。</li> <li>MC68K #1では、データ転送アクノリッジ信号 (DTACK#) を出力します。</li> <li>MC68K #2では、データ転送およびサイズアクノリッジビット1 (DSACK1#) を出力します。</li> <li>REDCAP2では、未使用です (Z)。</li> <li>DragonBallでは、データ転送アクノリッジ信号 (DTACK#) を出力します。</li> </ul> <p><b>注:</b> この端子は、プルアップ抵抗またはプルダウン抵抗を使って、CNF5によって選択されるインアクティブ電圧レベルに接続してください。CNF5=1の場合、WAIT#端子は、プルダウン抵抗を使ってLowに固定してください。CNF5=0の場合、WAIT#端子は、プルアップ抵抗を使ってHighに固定してください。WAIT#を使用しない場合、この端子は、プルアップ抵抗またはプルダウン抵抗を使ってHighまたはLowに固定します。</p>
RESET#	F1	LI	—	<p>アクティブLow入力は、すべての内部レジスタをデフォルト状態にし、すべての信号を強制的にインアクティブ状態にします。</p>

## 4. 端子構成

### 4.2.2 LCDインタフェース

表4.3 LCDインタフェースの端子説明

端子名	ピン#	I/Oタイプ (前記キー を参照)	RESET# 状態	説明
FPDAT[17:0]	C10、D9、 D10、D11、 D8、E9、 E10、E11、 E8、F7、 F10、F8、 G7、G11、 G10、G9、 G8、H11	LB3P	0	パネルデータビット17~0
FPFRAME	J9	LB3P	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>• フレームパルス</li> <li>• HR-TFTではSPS</li> <li>• カシオではGSRT</li> <li>• TFTタイプ2ではSTV</li> <li>• TFTタイプ3ではSTV</li> </ul>
FPLINE	H9	LB3P	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>• ラインパルス</li> <li>• HR-TFTではLP</li> <li>• カシオではGPCK</li> <li>• TFTタイプ2ではSTB</li> <li>• TFTタイプ3ではLP</li> </ul>
FPSHIFT	H10	LB3P	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>• シフトクロック</li> <li>• HR-TFTではDCLK</li> <li>• カシオではCLK</li> <li>• TFTタイプ2ではCLK</li> <li>• TFTタイプ3ではCPH</li> </ul>
DRDY	K9	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>• 他のすべてのLCDパネルではLCDバックプレーンバイアス信号 (MOD)</li> <li>• フォーマット1インタフェース付きパッシブLCDでは2ndシフトクロック (FPSHIFT2)</li> <li>• TFTパネルでは表示イネーブル (DRDY)</li> <li>• TFTタイプ2/3ではINV</li> <li>• TFTタイプ4ではDRDY</li> <li>• 汎用出力</li> </ul>
GPO0	K1	LO3	0	この端子は汎用出力です。
GPO1	J1	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>• TFTタイプ3モードではVCOMとして動作</li> <li>• 他の場合は汎用出力ビット</li> </ul>
GPO2	H5	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>• TFTタイプ3モードではXOEVとして動作</li> <li>• 他の場合は汎用出力ビット</li> </ul>

表4.3 LCDインタフェースの端子説明

端子名	ピン#	I/Oタイプ (前記キー を参照)	RESET# 状態	説明
GPO3	J6	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>TFTタイプ3モードでは、CMDとして動作します。</li> <li>他の場合は汎用出力ビット</li> </ul>
GPO4	F6	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>TFTタイプ3モードでは、PCLK1として動作します。</li> <li>他の場合は汎用出力ビット</li> </ul>
GPO5	H8	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>TFTタイプ3モードでは、PCLK2として動作します。</li> <li>他の場合は汎用出力ビット</li> </ul>
GPO6	K11	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>TFTタイプ3モードでは、XRESHとして動作します。</li> <li>他の場合は汎用出力ビット</li> </ul>
GPO7	J11	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>TFTタイプ3モードでは、XRESVとして動作します。</li> <li>他の場合は汎用出力ビット</li> </ul>
GPO8	C11	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>TFTタイプ3モードでは、XOHVとして動作します。</li> <li>他の場合は汎用出力ビット</li> </ul>
GPO9	B11	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>TFTタイプ3モードでは、XSTBYとして動作します。</li> <li>他の場合は汎用出力ビット</li> </ul>
GPO10	B4	LO3	0	この出力端子には複数の機能があります。 <ul style="list-style-type: none"> <li>TFTタイプ3モードでは、PMDEとして動作します。</li> <li>他の場合は汎用出力ビット</li> </ul>
GPIO0	L8	LB3M	—	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>HR-TFTではPS</li> <li>カシオではPOL</li> <li>TFTタイプ2ではVCLK</li> <li>TFTタイプ3ではCPV</li> <li>汎用IO端子0 (GPIO0)</li> </ul> <p>この端子を上記表示モードで使用するときは、リセット後に必ずREG[64h]を使って出力として設定してください。それ以外の場合は、リセット後に必ずデフォルトでHi-Z状態になります。 unnecessary電流が流れるのを防ぐために、この端子は出力として設定するか、外部からHighまたはLowに設定してください。</p>

## 4. 端子構成

表4.3 LCDインタフェースの端子説明

端子名	ピン#	I/Oタイプ (前記キー を参照)	RESET# 状態	説明
GPIO1	J7	LB3M	—	<p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>HR-TFTではCLS</li> <li>カシオではGRES</li> <li>TFTタイプ2ではAP</li> <li>TFTタイプ3ではOE</li> <li>汎用IO端子1 (GPIO1)</li> </ul> <p>この端子を上記表示モードで使用するときは、リセット後に必ずREG[64h]を使って出力として設定してください。それ以外の場合は、リセット後に必ずデフォルトでHi-Z状態になります。不要な電流が流れるのを防ぐために、出力として設定するか、外部からHighまたはLowに設定してください。</p>
GPIO2	K7	LB3M	—	<p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>HR-TFTではREV</li> <li>カシオではFRP</li> <li>TFTタイプ2/3ではPOL</li> <li>汎用IO端子2 (GPIO2)</li> </ul> <p>この端子を上記の表示モードで使用するときは、リセット後に必ずREG[64h]を使って出力として設定してください。それ以外の場合は、リセット後に必ずデフォルトでHi-Z状態になります。不要な電流が流れるのを防ぐために、出力として設定するか、外部からHighまたはLowに設定してください。</p>
GPIO3	L7	LB3M	—	<p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>HR-TFTではSPL</li> <li>カシオではSTH</li> <li>TFTタイプ2ではSTH</li> <li>TFTタイプ3ではEIO</li> <li>汎用IO端子3 (GPIO3)</li> </ul> <p>この端子を上記の表示モードで使用するときは、リセット後に必ずREG[64h]を使って出力として設定してください。それ以外の場合は、リセット後に必ずデフォルトでHi-Z状態になります。不要な電流が流れるのを防ぐために、出力として設定するか外部からHighまたはLowに設定してください。</p>
GPIO4	H7	LB3M	—	<p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>USBPUP</li> <li>汎用IO端子4 (GPIO4)</li> </ul> <p>この端子は、リセット後に必ずデフォルトでHi-Z状態になります。不要な電流が流れるのを防ぐために、REG[64h]を使って出力として設定するか、外部からHighまたはLowに設定してください。</p>
GPIO5	G6	LB3M	—	<p>この端子には複数の機能があります。</p> <ul style="list-style-type: none"> <li>USBDETECT</li> <li>汎用IO端子5 (GPIO5)</li> </ul> <p>この端子は、常にデフォルトで入力です。USBDETECT端子として使用しないときは、不要な電流が流れるのを防ぐために、REG[64h]を使って出力として設定するか、外部からHighまたはLowに設定してください。</p>

表4.3 LCDインタフェースの端子説明

端子名	ピン#	I/Oタイプ (前記キー を参照)	RESET# 状態	説明
GPIO6	K6	CUS	—	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>• USBDM</li> <li>• 汎用IO端子6 (GPIO6)</li> </ul> USB接続として使用しないとき、この端子は、リセット後にデフォルトでHi-Z状態になります。不要な電流が流れるのを防ぐために、REG[64h]を使って出力として設定するか、外部からHighまたはLowに設定してください。
GPIO7	L6	CUS	—	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>• USBDP</li> <li>• 汎用IO端子7 (GPIO7)</li> </ul> USB接続として使用しないときは、この端子はリセット後にデフォルトでHi-Z状態になります。不要な電流が流れるのを防ぐために、REG[64h]を使って出力として設定するか、外部からHighまたはLowに設定してください。
IRQ	K8	LO3	0	この出力端子は、USB用のIRQ端子です。IRQがアクティブになるとアクティブHighのパルスが生成され、ソフトウェアによってIRQがREG[404Ah]またはREG[404Ch]に提供されるまで、Highのままになります。
PWMOUT	A9	LO3	0	この端子には複数の機能があります。 <ul style="list-style-type: none"> <li>• PWMクロック出力</li> <li>• 汎用出力</li> </ul>

## 4. 端子構成

### 4.2.3 クロック入力

表4.4 クロック入力の端子説明

端子名	ピン#	I/Oタイプ (前記キーを参照)	RESET# 状態	説明
CLKI	F5	CI	—	通常はバスクロックとメモリクロックの入力クロックソースとして使用されます。
CLKI2	B9	CI	—	必要に応じてピクセルクロックの入力クロックソースとして使用されます。
USBCLK	J8	CI	—	入力クロックソースとしてUSBに使用されます。 <b>注：この端子を入力クロックソースに接続しない場合は、この端子をVSSに接続してください。</b>
USBOSCI	B1	I	—	クリスタルからのUSB水晶発振器フィードバック入力。 水晶発振器を実装した回路例は、180ページの16.1「USB発振器回路」を参照してください。 <b>注：この端子をUSB水晶発振器に接続しない場合はVSSに接続してください。</b>
USBOSCO	C1	O	—	クリスタルへのUSB水晶発振器出力。 水晶発振器を実装した回路例は、180ページの16.1「USB発振器回路」を参照してください。

### 4.2.4 その他

表4.5 その他の端子説明

端子名	ピン#	I/Oタイプ (前記キーを参照)	RESET# 状態	説明
CNF[6:0]	C9、C8、 B8、D7、 C7、B7、A7	CI	—	これらの入力は、S1D13A05を設定するために使用されます。 20ページの表4.7「電源投入/リセットオプション一覧」を参照してください。 <b>注：これらの端子は、S1D13A05の設定に使用されず、IO V<sub>DD</sub>またはV<sub>SS</sub>に直接接続してください。</b>
TESTEN	E7	T1	—	生産試験専用のテストイネーブル入力（標準値50K @3.3Vを有するタイプ1プルダウン抵抗を含む） <b>注：この端子は、接続しないでください。</b>

## 4.2.5 電源およびグラウンド

表4.6 電源およびグラウンドの端子説明

端子名	ピン#	I/Oタイプ (前記キー を参照)	RESET# 状態	説明
IOVDD	L2、G4、 H6、L9、 A10、F11	P	—	IO電源。
COREVDD	A2、C2、 L10、J10	P	—	コア電源。
VSS	B2、F2、 K2、G5、 F9、B10、 K10	P	—	IOVDDとCOREVDD用のGND。



## 4. 端子構成

### 4.3 コンフィギュレーションオプションの概要

これらの端子は、S1D13A05の設定に使用され、IOVDDまたはVSSに直接接続されなければなりません。CNF[6:0]の状態は、RESET#の立ち上がりエッジ。他のときの状態変更は無効です。

表4.7 電源投入/リセットオプション一覧

S1D13A05 コンフィグ レーション入力	電源投入/リセット状態				
	1 (IO V <sub>DD</sub> に接続)	0 (V <sub>SS</sub> に接続)			
CNF4,CNF[2:0]	ホストバスインタフェースを次のように選択します。				
		<b>ホストバス</b>			
	CNF4	CNF2	CNF1	CNF0	
	1	0	0	0	SH-4/SH-3インタフェース、ビッグエンディアン
	0	0	0	0	SH-4/SH-3インタフェース、リトルエンディアン
	1	0	0	1	MC68K #1、ビッグエンディアン
	0	0	0	1	Reserved
	1	0	1	0	MC68K #2、ビッグエンディアン
	0	0	1	0	Reserved
	1	0	1	1	汎用#1、ビッグエンディアン
	0	0	1	1	汎用#1、リトルエンディアン
	1	1	0	0	Reserved
	0	1	0	0	汎用#2、リトルエンディアン
	1	1	0	1	REDCAP2、ビッグエンディアン
0	1	0	1	Reserved	
1	1	1	0	DragonBall ( MC68EZ328/VZ328/SZ328 )、ビッグエンディアン	
0	1	1	0	Reserved	
X	1	1	1	Reserved	
CNF3	Reserved。1に設定してください。				
CNF5 (注)	WAIT#はアクティブHighです。	WAIT#はアクティブLowです。			
CNF6	CLKI : BCLKの分周比は2:1。	CLKI : BCLKの分周比は1:1。			

#### 注

CNF5=1の場合は、プルダウン抵抗を使ってWAIT#端子をLowに固定してください。CNF5=0の場合は、プルアップ抵抗を使ってWAIT#端子をHighに固定してください。WAIT#を使用しない場合、この端子は、プルアップ抵抗またはプルダウン抵抗を使ってHighまたはLowに固定してください。

## 4.4 ホストバスインタフェースの端子割り付け

表4.8 ホストバスインタフェースの端子割り付け

S1D13A05 端子名	汎用#1	汎用#2	日立 SH-3 / SH-4	モトローラ MC68K #1	モトローラ MC68K #2	モトローラ REDCAP2	モトローラ MC68EZ328/ MC68VZ328 DragonBall
AB[17:1]	A[17:1]	A[17:1]	A[17:1]	A[17:1]	A[17:1]	A[17:1]	A[17:1]
AB0	A0 (注1)	A0	A0 (注1)	LDS#	A0	A0 (注1)	A0 (注1)
DB[15:0]	D[15:0]	D[15:0]	D[15:0]	D[15:0]	D[15:0] (注2)	D[15:0]	D[15:0]
CS#	外部デコード		CSn#	外部デコード		CSn#	CSX#
M/R#	外部デコード						
CLKI	BUSCLK	BUSCLK	CKIO	CLK	CLK	CLK	CLKO
BS#	IOV <sub>DD</sub> に接続		BS#	AS#	AS#	IOV <sub>DD</sub> に接続	
RD/WR#	RD1#	IOV <sub>DD</sub> に接続	RD/WR#	R/W#	R/W#	R/W#	IOV <sub>DD</sub> に接続
RD#	RD0#	RD#	RD#	IOV <sub>DD</sub> に接続	SIZ1	OE#	OE#
WE0#	WE0#	WE#	WE0#	IOV <sub>DD</sub> に接続	SIZ0	EB1#	LWE#
WE1#	WE1#	BHE#	WE1#	UDS#	DS#	EB0#	UWE#
WAIT#	WAIT#	WAIT#	WAIT#/ RDY#	DTACK#	DSACK1#	N/A	DTACK#
RESET#	RESET#	RESET#	RESET#	RESET#	RESET#	RESET_OUT#	RESET#

## 注

- これらのバスのA0は、S1D13A05の内部に使用されません。V<sub>SS</sub>に接続してください。
- ターゲットMC68Kバスが32ビットの場合は、これらの信号をD[31:16]に接続してください。

## 4. 端子構成

### 4.5 LCDインタフェースの端子割り付け

表4.9 LCDインタフェースの端子割り付け

端子名	モノクロパッシブパネル		カラーパッシブパネル				カラー TFTパネル									USB	
	シングル		シングル				汎用TFT (TFTタイプ1)			シャープ HR-TFT (注1)	カシオ TFT (注1)	TFT タイプ2 (注1)	TFT タイプ3 (注1)	TFTタイプ4			
			4ビット	フォー マット1 8ビット	フォー マット2 8ビット	16ビット	9ビット	12ビット	18ビット	18ビット	18ビット	18ビット	18ビット (注3)				
	4ビット	8ビット															
FPFRAME	FPFRAME											SPS	GSRT	STV	STV	FPFRAME	—
FPLINE	FPLINE											LP	GPCK	STB	LP	FPLINE	—
FPSHIFT	FPSHIFT											DCLK	CLK	CLK	CPH	FPSHIFT	—
DRDY	MOD		FPSHIF T2	MOD		DRDY			L固定	NC	INV	INV	DRDY	—			
FPDAT0	L固定	D0	L固定	D0 (B5) (注2)	D0 (G3) (注2)	D0 (R6) (注2)	R2	R3	R5	R5	R5	R5	R5	R5	—		
FPDAT1	L固定	D1	L固定	D1 (R5) (注2)	D1 (R3) (注2)	D1 (G5) (注2)	R1	R2	R4	R4	R4	R4	R4	R4	—		
FPDAT2	L固定	D2	L固定	D2 (G4) (注2)	D2 (B2) (注2)	D2 (B4) (注2)	R0	R1	R3	R3	R3	R3	R3	R3	—		
FPDAT3	L固定	D3	L固定	D3 (B3) (注2)	D3 (G2) (注2)	D3 (R4) (注2)	G2	G3	G5	G5	G5	G5	G5	G5	—		
FPDAT4	D0	D4	D0 (R2) (注2)	D4 (R3) (注2)	D4 (R2) (注2)	D8 (B5) (注2)	G1	G2	G4	G4	G4	G4	G4	G4	—		
FPDAT5	D1	D5	D1 (B1) (注2)	D5 (G2) (注2)	D5 (B1) (注2)	D9 (R5) (注2)	G0	G1	G3	G3	G3	G3	G3	G3	—		
FPDAT6	D2	D6	D2 (G1) (注2)	D6 (B1) (注2)	D6 (G1) (注2)	D10 (G4) (注2)	B2	B3	B5	B5	B5	B5	B5	B5	—		
FPDAT7	D3	D7	D3 (R1) (注2)	D7 (R1) (注2)	D7 (R1) (注2)	D11 (B3) (注2)	B1	B2	B4	B4	B4	B4	B4	B4	—		
FPDAT8	L固定	L固定	L固定	L固定	L固定	D4 (G3) (注2)	B0	B1	B3	B3	B3	B3	B3	B3	—		
FPDAT9	L固定	L固定	L固定	L固定	L固定	D5 (B2) (注2)	L固定	R0	R2	R2	R2	R2	R2	R2	—		
FPDAT10	L固定	L固定	L固定	L固定	L固定	D6 (R2) (注2)	L固定	L固定	R1	R1	R1	R1	R1	R1	—		
FPDAT11	L固定	L固定	L固定	L固定	L固定	D7 (G1) (注2)	L固定	L固定	R0	R0	R0	R0	R0	R0	—		
FPDAT12	L固定	L固定	L固定	L固定	L固定	D12 (R3) (注2)	L固定	G0	G2	G2	G2	G2	G2	G2	—		
FPDAT13	L固定	L固定	L固定	L固定	L固定	D13 (G2) (注2)	L固定	L固定	G1	G1	G1	G1	G1	G1	—		
FPDAT14	L固定	L固定	L固定	L固定	L固定	D14 (B1) (注2)	L固定	L固定	G0	G0	G0	G0	G0	G0	—		
FPDAT15	L固定	L固定	L固定	L固定	L固定	D15 (R1) (注2)	L固定	B0	B2	B2	B2	B2	B2	B2	—		
FPDAT16	L固定	L固定	L固定	L固定	L固定	L固定	L固定	L固定	B1	B1	B1	B1	B1	B1	—		
FPDAT17	L固定	L固定	L固定	L固定	L固定	L固定	L固定	L固定	B0	B0	B0	B0	B0	B0	—		
GPI00	GPI00	GPI00	GPI00	GPI00	GPI00	GPI00	GPI00	GPI00	GPI00	PS	POL	VCLK	CPV	GPI00	—		
GPI01	GPI01	GPI01	GPI01	GPI01	GPI01	GPI01	GPI01	GPI01	GPI01	CLS	GRES	AP	OE	GPI01	—		
GPI02	GPI02	GPI02	GPI02	GPI02	GPI02	GPI02	GPI02	GPI02	GPI02	REV	FRP	POL	POL	GPI02	—		
GPI03	GPI03	GPI03	GPI03	GPI03	GPI03	GPI03	GPI03	GPI03	GPI03	SPL	STH	STH	EIO	GPI03	—		
GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	GPI04	USBPUP		
GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	GPI05	USBDETECT		
GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	GPI06	USBDM		
GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	GPI07	USBDP		
GPO0	GPO0 (汎用出力)														—		
GPO1												VCOM	GPO1	—			
GPO2												XOEV	GPO2	—			
GPO3												CMD	GPO3	—			
GPO4												PCLK1	GPO4	—			
GPO5												PCLK2	GPO5	—			
GPO6												XRESH	GPO6	—			
GPO7												XRESV	GPO7	—			
GPO8												XOHV	GPO8	—			
GPO9												XSTBY	GPO9	—			
GPO10												PMDE	GPO10	—			
PWMOUT	PWMOUT														—		

注

- HR-TFT、カシオ、TFTタイプ2およびTFTタイプ3インタフェースによって使用されるGPIO端子は、リセットまたは電源投入後に必ずREG[64h]ビット23～16を使って出力として設定してください。

- 2 これらの端子割り付けは、各パネルタイプに一般に使用される信号名を使用しますが、信号名は、パネルメーカーによって異なることがあります。カッコ内に示した値は、FPSHIFTの最初の有効エッジで対応するFPDAT<sub>xx</sub>信号に割り当てられた色成分を表します。FPDAT<sub>xx</sub>のLCDインタフェース割り付けの詳細は、48ページの6.5「LCDインタフェース」を参照してください。
- 3 S1D13A05は、9ビットと12ビットのタイプ4TFTパネルにも対応していません。

## 5. DC特性

### 5. DC特性

**注**

S1D13A05に電源電圧を印加するときは、コア $V_{DD}$ をIO  $V_{DD}$ よりも前かまたは同時にチップに印加してください。そうしないとチップが破損する恐れがあります。

**表5.1 絶対最大定格**

記号	パラメータ	定格	単位
CORE $V_{DD}$	コア電源電圧	$V_{SS} - 0.3 \sim 3.0$	V
IO $V_{DD}$	電源電圧	$V_{SS} - 0.3 \sim 4.0$	V
$V_{IN}$	入力電圧	$V_{SS} - 0.3 \sim IO V_{DD} + 0.5$	V
$V_{OUT}$	出力電圧	$V_{SS} - 0.3 \sim IO V_{DD} + 0.5$	V
$T_{STG}$	保存温度	-65 ~ 150	°C
$T_{SOL}$	はんだ温度 / 時間	最大260°C / 10sec (鉛)	°C

**表5.2 推奨動作条件**

記号	パラメータ	条件	Min	Typ	Max	単位
CORE $V_{DD}$	コア電源電圧	$V_{SS} = 0 V$	1.8 (注1)	2.0 (注1)	2.2 (注1)	V
		$V_{SS} = 0 V$	2.25	2.5	2.75	V
IO $V_{DD}$	電源電圧	$V_{SS} = 0 V$	3.0	3.3	3.6	V
$V_{IN}$	入力電圧		$V_{SS}$		IO $V_{DD}$	V
			$V_{SS}$		CORE $V_{DD}$	
$T_{OPR}$	動作温度		-40	25	85	°C

**注**

- CORE  $V_{DD}$ が $2.0V \pm 10\%$ のとき、MCLKは30MHz以下 (MCLK 30MHz) でなければなりません。

**表5.3 電気的特性 ( $V_{DD}=3.3V$ )**

記号	パラメータ	条件	Min	Typ	Max	単位
$I_{DDS}$	静的消費電流	静止状態			170	$\mu A$
$I_{IZ}$	入力リーク電流		-1		1	$\mu A$
$I_{OZ}$	出力リーク電流		-1		1	$\mu A$
$V_{OH}$	高レベル出力電圧	$V_{DD} = \min$ $I_{OH} = -3mA$ (タイプ1) $-6mA$ (タイプ2)	$V_{DD} - 0.4$			V
$V_{OL}$	低レベル出力電圧	$V_{DD} = \min$ $I_{OL} = 3mA$ (タイプ1) $6mA$ (タイプ2)			0.4	V
$V_{IH}$	高レベル入力電圧	LVTTL Level, $V_{DD} = \max$	2.0			V
$V_{IL}$	低レベル入力電圧	LVTTL Level, $V_{DD} = \min$			0.8	V
$R_{PD}$	ブルダウン抵抗	$V_{IN} = V_{DD}$	20	50	120	$k\Omega$
$C_I$	入力端子容量				10	pF
$C_O$	出力端子容量				10	pF
$C_{IO}$	双方向端子容量				10	pF

## 6. AC特性

条件：IO  $V_{DD}=3.3V \pm 10\%$

$T_A = -40 \sim 85$

すべての入力の $T_{rise}$ と $T_{fall}$ が5nsec以下であること（10%～90%）

$C_L=50pF$ （バス/MPUインタフェース）

$C_L=0pF$ （LCDパネルインタフェース）

### 6.1 クロックタイミング

#### 6.1.1 入力クロック

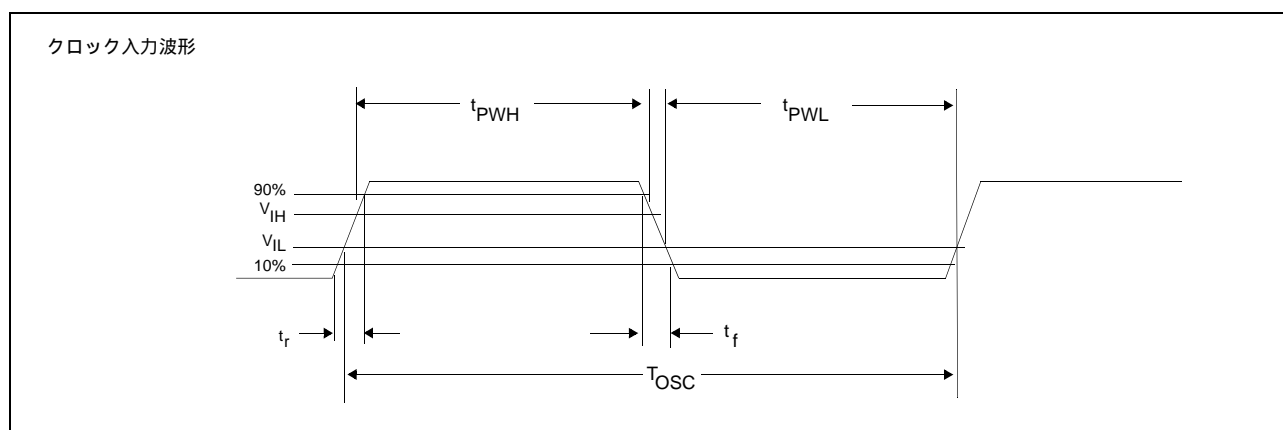


図6.1 クロック入力要件

表6.1 CLKIのクロック入力要件（CLKI:BCLKの分周比が1より大きいとき）

記号	パラメータ	Min	Max	単位
$f_{OSC}$	入力クロック周波数（CLKI）		100	MHz
$T_{OSC}$	入力クロック周期（CLKI）	$1/f_{OSC}$		ns
$t_{PWH}$	入力クロックのHIGHパルス幅（CLKI）	4.5		ns
$t_{PWL}$	入力クロックのLOWパルス幅（CLKI）	4.5		ns
$t_f$	入力クロック立ち下がり時間（10%～90%）		5	ns
$t_r$	入力クロック立ち上がり時間（10%～90%）		5	ns

#### 注

CLKIの周波数を決定するときは、CLKIから得たクロックの最大内部要件を考慮してください。内部クロック要件については、27ページの6.1.2「内部クロック」を参照してください。

## 6. AC特性

表6.2 CLKIのクロック入力要件 (CLKI:BCLKの分周比が1のとき)

記号	パラメータ	Min	Max	単位
$f_{OSC}$	入力クロック周波数 (CLKI)		66	MHz
$T_{OSC}$	入力クロック周期 (CLKI)	$1/f_{OSC}$		ns
$t_{PWH}$	入力クロックのHIGHパルス幅 (CLKI)	3		ns
$t_{PWL}$	入力クロックのLOWパルス幅 (CLKI)	3		ns
$t_f$	入力クロック立ち下がり時間 (10% ~ 90%)		5	ns
$t_r$	入力クロック立ち上がり時間 (10% ~ 90%)		5	ns

### 注

CLKIの周波数を決定するときは、CLKIに得たクロックの最大内部要件を考慮してください。内部クロック要件については、27ページの6.1.2「内部クロック」を参照してください。

表6.3 CLKI2のクロック入力要件

記号	パラメータ	Min	Max	単位
$f_{OSC}$	入力クロック周波数 (CLKI2)		66	MHz
$T_{OSC}$	入力クロック周期 (CLKI2)	$1/f_{OSC}$		ns
$t_{PWH}$	入力クロックのHIGHパルス幅 (CLKI2)	3		ns
$t_{PWL}$	入力クロックのLOWパルス幅 (CLKI2)	3		ns
$t_f$	入力クロック立ち下がり時間 (10% ~ 90%)		5	ns
$t_r$	入力クロック立ち上がり時間 (10% ~ 90%)		5	ns

### 注

CLKI2の周波数を決定するときは、CLKI2から得たクロックの最大内部要件を考慮してください。内部クロック要件については、27ページの6.1.2「内部クロック」を参照してください。

## 6.1.2 内部クロック

表6.4 内部クロック要件

記号	パラメータ	Min	Max	単位
$f_{\text{BCLK}}$	バスクロック周波数		66	MHz
$f_{\text{MCLK}}$	メモリクロック周波数（注1）	COREVDD = 2.0V	30	MHz
		COREVDD = 2.5V	50	MHz
$f_{\text{PCLK}}$	ピクセルクロック周波数		50	MHz
$f_{\text{PWMCLK}}$	PWMクロック周波数		66	MHz

## 注

- MCLKはBCLKから得られます。したがって、BCLKが50MHzより高いとき、REG[04h]ビット5～4を使ってMCLKを分周してください。

## 注

内部クロックのさらに詳しい情報は、82ページの7.「クロック」を参照してください。

## 6.2 リセットタイミング

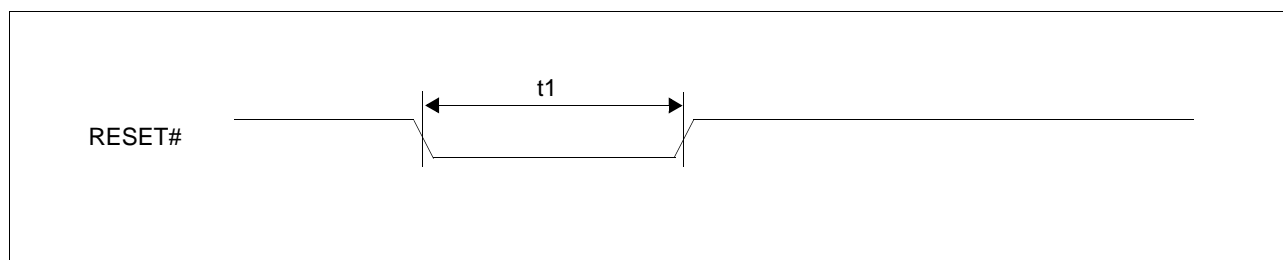


図6.2 S1D13A05 リセットタイミング

表6.5 S1D13A05 リセットタイミング

記号	パラメータ	Min	Max	単位
t1	アクティブリセットパルス幅	1	—	CLKI



## 6. AC特性

### 6.3 CPUインタフェースのタイミング

#### 6.3.1 汎用#1インタフェースのタイミング

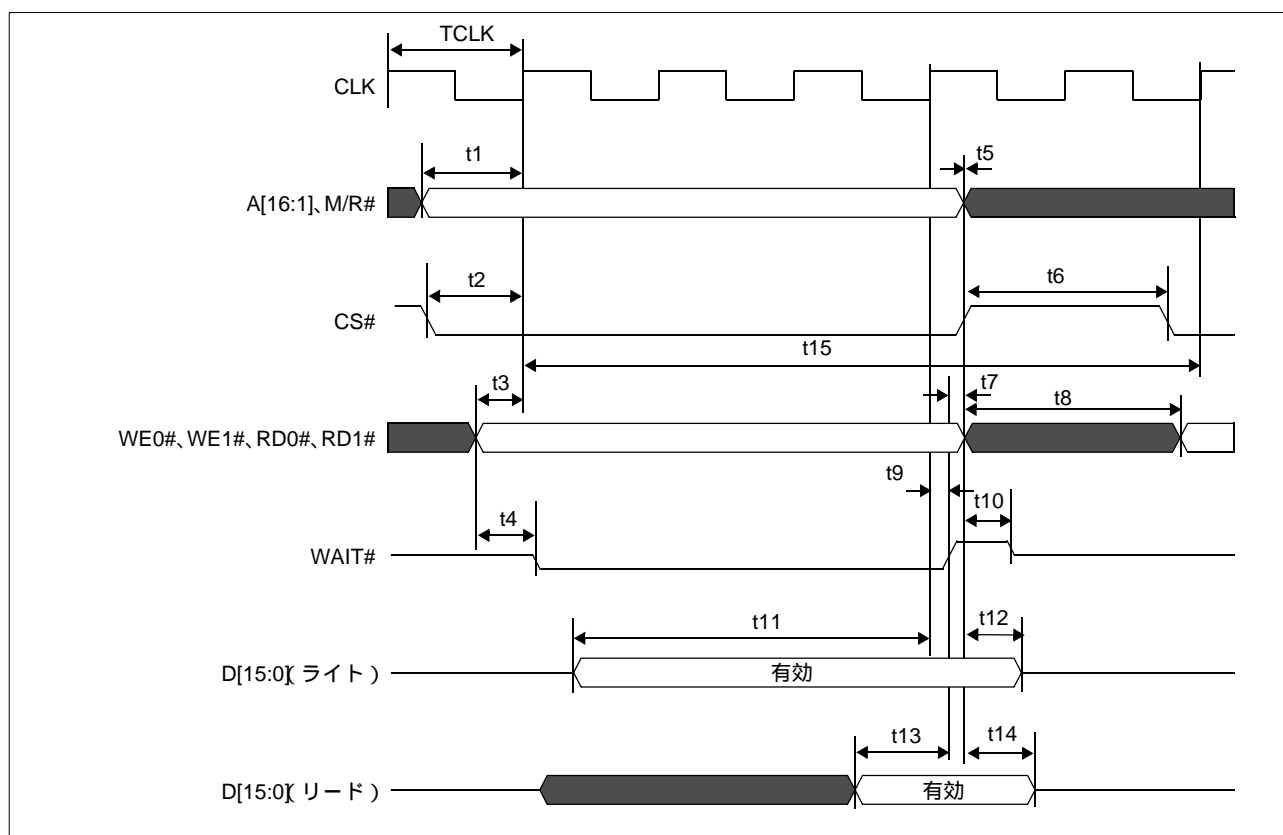


図6.3 汎用#1インタフェースのタイミング

表6.6 汎用#1インタフェースのタイミング

記号	パラメータ	Min	Max	単位
$f_{\text{CLK}}$	バスクロック周波数		50	MHz
$T_{\text{CLK}}$	バスクロック周期	$1/f_{\text{CLK}}$		ns
$t_1$	A[16:1], M/R# セットアップ CS#=0でRD0#, RD1#=0またはWE0#, WE1#=0の場合の最初のCLK立ち上がりエッジ	0		ns
$t_2$	CS# セットアップ CLK立ち上がりエッジ	0		ns
$t_3$	RD0#, RD1#, WE0#, WE1# セットアップ CLK立ち上がりエッジ	0		ns
$t_4$	RD0#, RD1# または WE0#, WE1# 状態変化 WAIT# が L 固定	3	8	ns
$t_5$	RD0#, RD1#, WE0#, WE1# 立ち上がりエッジからのA[16:1], M/R# およびCS# ホールド	0		ns
$t_6$	CS# ディアサート リアサート	0		ns
$t_7$	WAIT# 立ち上がりエッジ RD0#, RD1#, WE0#, WE1# 立ち上がりエッジ	0		ns
$t_8$	WE0#, WE1#, RD0#, RD1# ディアサート リアサート	1		$T_{\text{CLK}}$
$t_9$	CLK 立ち上がりエッジ WAIT# 立ち上がりエッジ	5	14	ns

表6.6 汎用#1インタフェースのタイミング

記号	パラメータ	Min	Max	単位
t10	RD0#、RD1#またはWE0#、WE1#の立ち上がりエッジ WAIT#ハイインピーダンス		5	ns
t11	D[15:0]セットアップ CS#=0とWE0#、WE1#=0の後の4番目の立ち上がりCLKエッジ	1		T <sub>CLK</sub>
t12	WE0#、WE1#立ち上がりエッジからのD[15:0]ホールド (書き込みサイクル)	0		ns
t13	D[15:0]有効 WAIT#立ち上がりエッジ (読み出しサイクル)	0.5		T <sub>CLK</sub>
t14	RD0#、RD1#立ち上がりエッジからのD[15:0]ホールド (読み出しサイクル)	2		ns
t15	サイクル長	6		T <sub>CLK</sub>

表6.7 リトルエンディアンの汎用#1インタフェースの真理値表

WE0#	WE1#	RD0#	RD1#	D[15:8]	D[7:0]	コメント
0	0	1	1	有効	有効	16ビット書き込み
0	1	1	1	-	有効	8ビット書き込み; 下位バイトのデータ (偶数バイトアドレス (注1))
1	0	1	1	有効	-	8ビット書き込み; 上位バイトのデータ (奇数バイトアドレス (注1))
1	1	0	0	有効	有効	16ビット読み出し
1	1	0	1	-	有効	8ビット読み出し; 下位バイトのデータ (偶数バイトアドレス (注1))
1	1	1	0	有効	-	8ビット読み出し; 上位バイトのデータ (奇数バイトアドレス (注1))

表6.8 ビッグエンディアンの汎用#1インタフェースの真理値表

WE0#	WE1#	RD0#	RD1#	D[15:8]	D[7:0]	コメント
0	0	1	1	有効	有効	16ビット書き込み
0	1	1	1	-	有効	8ビット書き込み; 下位バイトのデータ (奇数バイトアドレス (注1))
1	0	1	1	有効	-	8ビット書き込み; 上位バイトのデータ (偶数バイトアドレス (注1))
1	1	0	0	有効	有効	16ビット読み出し
1	1	0	1	-	有効	8ビット読み出し; 下位バイトのデータ (奇数バイトアドレス (注1))
1	1	1	0	有効	-	8ビット読み出し; 上位バイトのデータ (偶数バイトアドレス (注1))

## 注

1. A0は内部で使用されないため、S1D13A05はすべてのアドレスを偶数アドレスとして解釈します (偶数バイトアドレスに整合された16ビットワードアドレス)。

## 6. AC特性

### 6.3.2 汎用#2インタフェースのタイミング

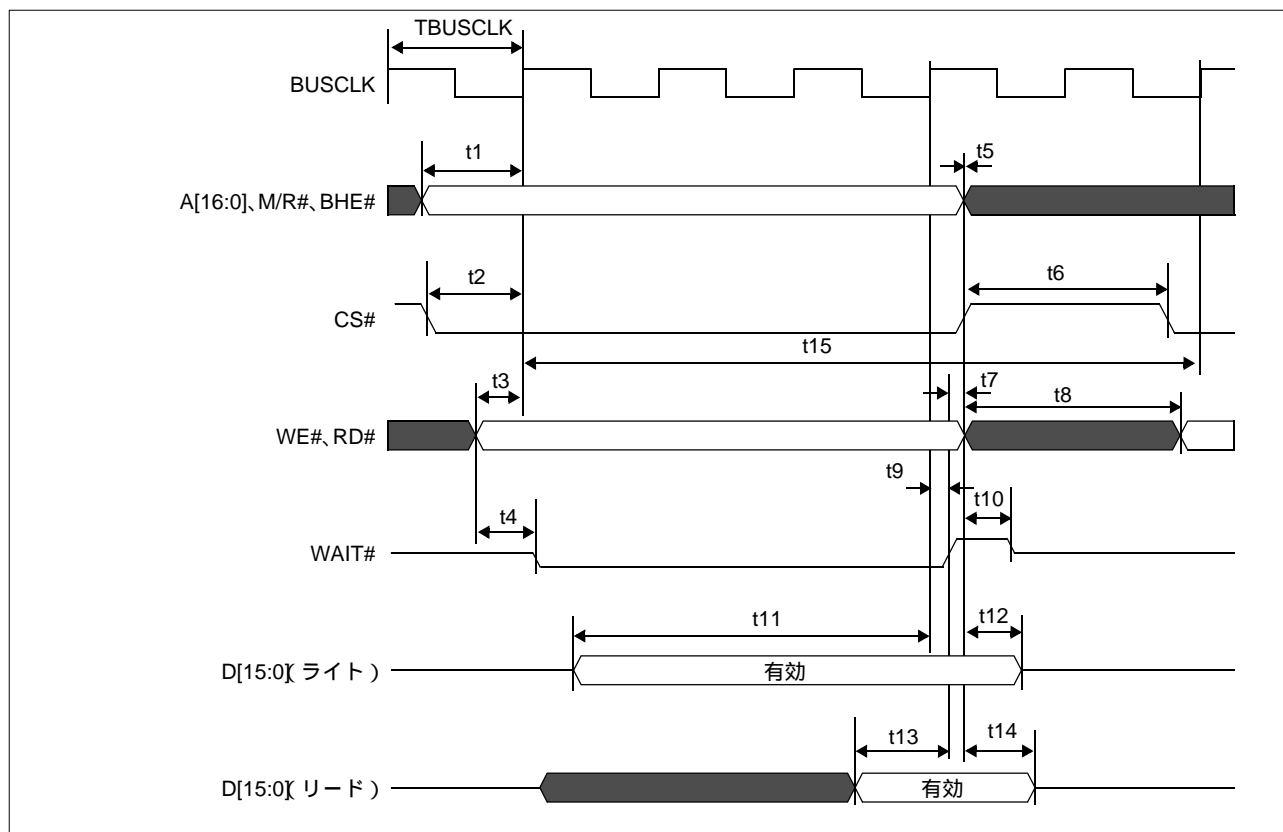


図6.4 汎用#2インタフェースのタイミング

表6.9 汎用#2インタフェースのタイミング

記号	パラメータ	Min	Max	単位
$f_{\text{BUSCLK}}$	バスクロック周波数		50	MHz
$T_{\text{BUSCLK}}$	バスクロック周期	$1/f_{\text{BUSCLK}}$		ns
t1	A[16:0]、M/R#、BHE#セットアップ CS#=0でRD#=0またはWE#=0の場合の最初のBUSCLK立ち上がりエッジ	0		ns
t2	CS#セットアップ BUSCLK立ち上がりエッジ	0		ns
t3	RD#、WE#セットアップ BUSCLK立ち上がりエッジ	0		ns
t4	RD#またはWE#状態変化 WAIT#がL固定	3	9	ns
t5	RD#、WE#立ち上がりエッジからのA[16:0]、M/R#、BHE#およびCS#ホールド	0		ns
t6	CS#ディアサート リアサート	0		ns
t7	WAIT#立ち上がりエッジ RD#、WE#立ち上がりエッジ	0		ns
t8	WE#、RD#ディアサート リアサート	1		$T_{\text{BUSCLK}}$
t9	BUSCLK立ち上がりエッジ後のWAIT#立ち上がりエッジ	5	14	ns
t10	RD#またはWE#の立ち上がりエッジ WAIT#ハイインピーダンス		7	ns
t11	D[15:0] セットアップ CS#=0 と WE#=0 の後の4番目の立ち上がりBUSCLKエッジ	1		$T_{\text{BUSCLK}}$

表6.9 汎用#2インタフェースのタイミング

記号	パラメータ	Min	Max	単位
t12	WE#立ち上がりエッジからのD[15:0]ホールド（書き込みサイクル）	0		ns
t13	D[15:0]有効 WAIT#立ち上がりエッジセットアップ（読み出しサイクル）	0.5		T <sub>BUSCLK</sub>
t14	RD#立ち上がりエッジからのD[15:0]ホールド（読み出しサイクル）	2		ns
t15	サイクル長	6		T <sub>BUSCLK</sub>

表6.10 リトルエンディアンの汎用#2インタフェースの真理値表

WE#	RD#	BHE#	A0	D[15:8]	D[7:0]	コメント
0	1	0	0	有効	有効	16ビット書き込み
0	1	1	0	-	有効	偶数アドレスに8ビット書き込み
0	1	0	1	有効	-	奇数アドレスに8ビット書き込み
1	0	0	0	有効	有効	16ビット読み出し
1	0	1	0	-	有効	偶数アドレスに8ビット読み出し
1	0	0	1	有効	-	奇数アドレスに8ビット読み出し

## 6. AC特性

### 6.3.3 日立SH-3インタフェースのタイミング

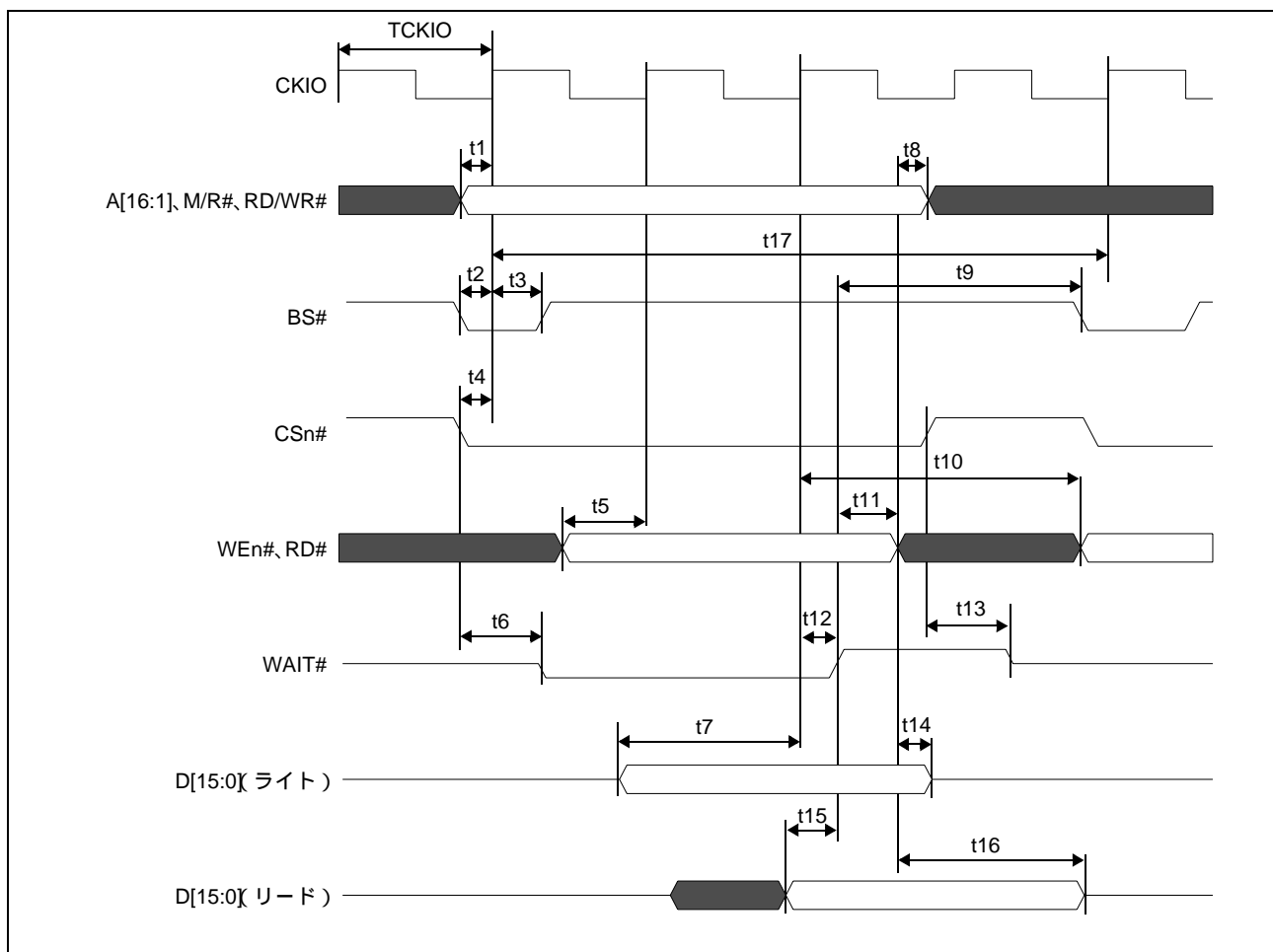


図6.5 日立SH-3インタフェースのタイミング

**注**

最低1つのソフトウェア待機状態が必要です。

表6.11 日立SH-3インタフェースのタイミング

記号	パラメータ	Min	Max	単位
$f_{CKIO}$	バスクロック周波数		66	MHz
$T_{CKIO}$	バスクロック周期	$1/f_{CKIO}$		ns
t1	A[16:1]、RD/WR#セットアップ CKIO	0		ns
t2	BS#セットアップ	0		ns
t3	BS#ホールド	9		ns
t4	CSn#セットアップ	0		ns
t5	WE#、RD#セットアップ BS# Lowの後の次のCKIO	0		ns
t6	立ち下がりエッジCSn# WAIT#がL固定	4	9	ns
t7	D[15:0]セットアップ BS#がディアサートされた後の3番目のCKIO立ち上がりエッジ (書き込みサイクル)	1		ns
t8	WE#、RD#ディアサート A[16:1]、M/R#およびRD/WR#ディアサート	0		ns
t9	WAIT#の立ち上がりエッジ BS#立ち下がり	$T_{CKIO} + 16$		ns
t10	WAIT#がディアサートされる前のCKIO立ち上がりエッジ 次のサイクルのアサートされたWE#、RD#	2		$T_{CKIO}$
t11	WAIT#のt11立ち上がりエッジ WE#、RD#ディアサート	0		ns
t12	CKIO立ち上がりエッジ後のWAIT#立ち上がりエッジ	5	14	ns
t13	CSn#の立ち上がりエッジ WAIT#ハイインピーダンス		6	ns
t14	ディアサートされたWE#からのD[15:0]ホールド (書き込みサイクル)	0		ns
t15	D[15:0]セットアップ WAIT#立ち上がりエッジ (読み出しサイクル)	0.5		$T_{CKIO}$
t16	RD#の立ち上がりエッジ D[15:0]ハイインピーダンス (読み出しサイクル)	3	7	ns
t17	サイクル長	5		$T_{CKIO}$

1. S1D13A05は2nsの書き込みデータホールド時間が必要です。

## 6. AC特性

### 6.3.4 日立SH-4インタフェースのタイミング

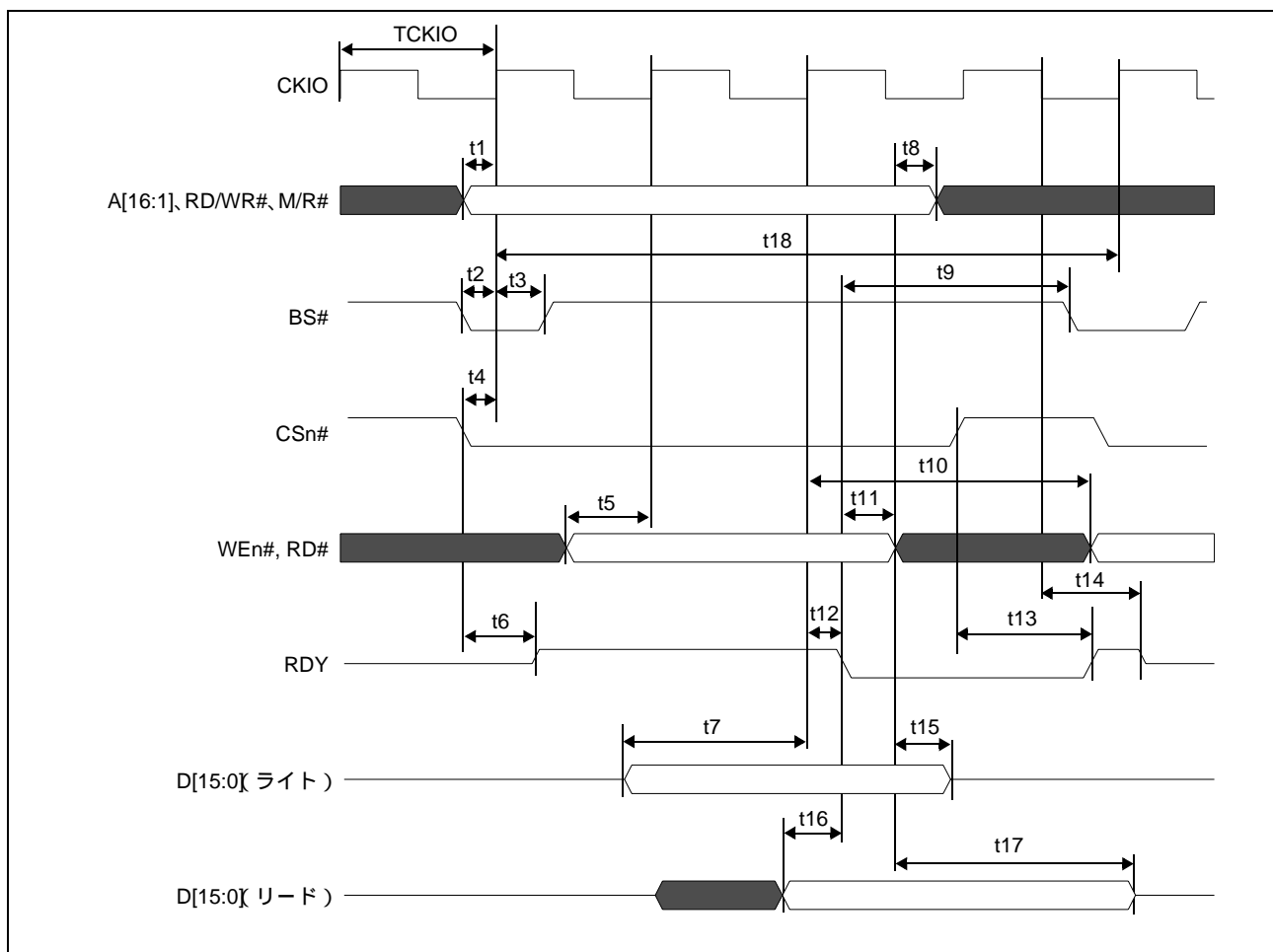


図6.6 日立SH-4インタフェースのタイミング

**注**

最低1つのソフトウェア待機状態が必要です。

表6.12 日立SH-4インタフェースのタイミング

記号	パラメータ	Min	Max	単位
$f_{CKIO}$	バスクロック周波数		66	MHz
$T_{CKIO}$	バスクロック周期	$1/f_{CKIO}$		ns
t1	A[16:1]、M/R#、RD/WR#セットアップ CKIO	0		ns
t2	BS#セットアップ	0		ns
t3	BS#ホールド	9		ns
t4	CSn#セットアップ	0		ns
t5	WE#、RD#セットアップ BS# Lowの後の最初のCKIO立ち上がりエッジ	0		ns
t6	立ち下がりエッジCSn# RDYがHighに駆動	3	7	ns
t7	D[15:0]セットアップ BS#がディアサートされた後の3番目のCKIO立ち上がりエッジ (書き込みサイクル)	1		ns
t8	WE#、RD#ディアサート A[16:1]、M/R#およびRD/WR#ディアサート	0		ns
t9	RDY立ち下がりエッジ BS#立ち下がり	$T_{CKIO} + 11$		ns
t10	RDYディアサート前のCKIO立ち上がりエッジ 次のサイクルのWE#、RD#アサート	2		$T_{CKIO}$
t11	RDY立ち下がりエッジ WE#、RD#ディアサート	0		ns
t12	CKIO立ち上がりエッジ後のRDY立ち下がりエッジ	5	14	ns
t13	立ち上がりエッジCSn# RDY立ち上がりエッジ	4	10	ns
t14	CKIO立ち下がりエッジ RDYトライステート	4	12	ns
t15	WE#ディアサートからのD[15:0]ホールド (書き込みサイクル)	0		ns
t16	D[15:0]有効セットアップ RDY立ち下がりエッジ (読み出しサイクル)	0.5		$T_{CKIO}$
t17	RD#の立ち上がりエッジ D[15:0]ハイインピーダンス (読み出しサイクル)	2	7	ns
t18	サイクル長	4		$T_{CKIO}$



## 6. AC特性

### 6.3.5 モトローラMC68K #1インタフェースのタイミング

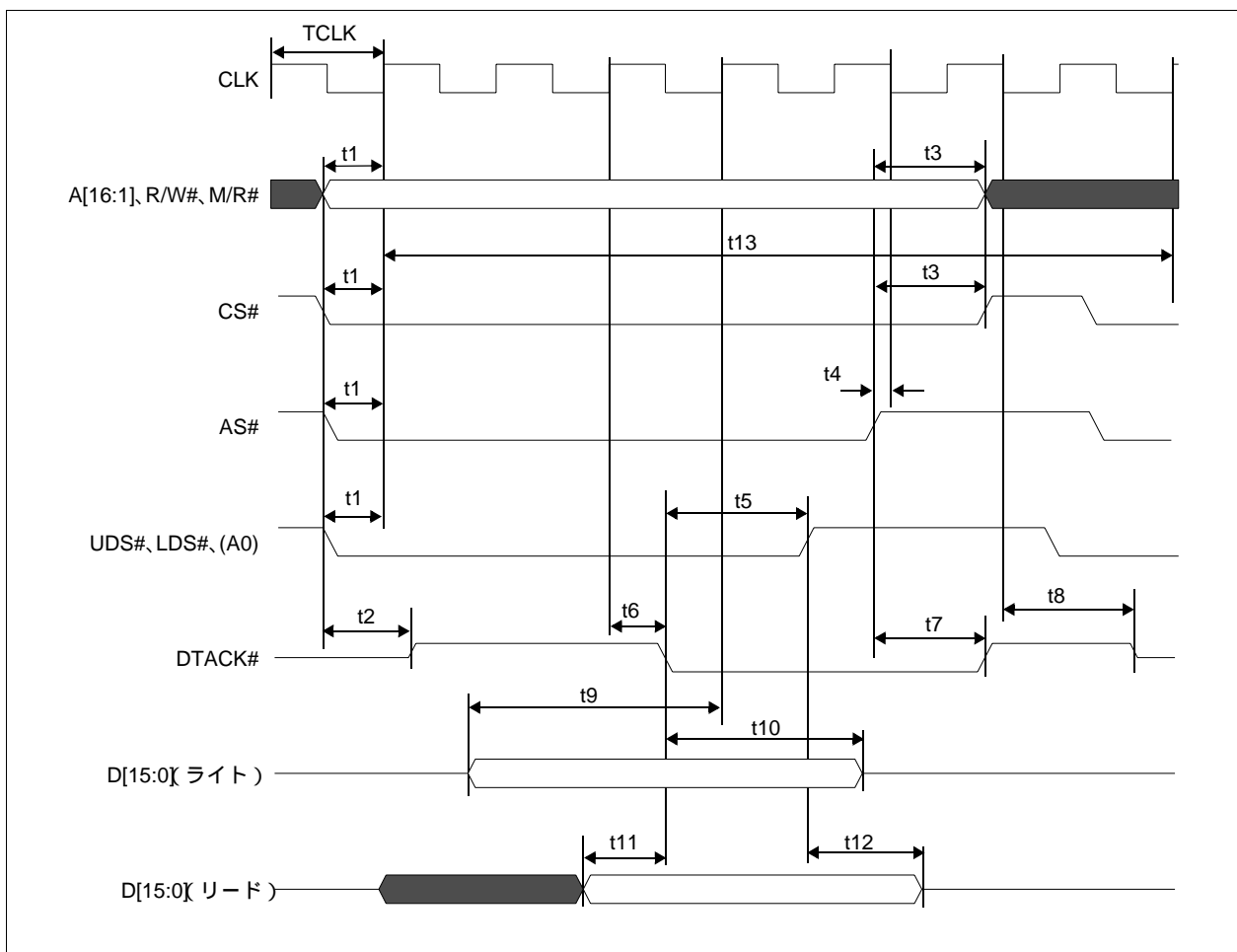


図6.7 モトローラMC68K #1インタフェースのタイミング

表6.13 モトローラMC68K #1インタフェースのタイミング

記号	パラメータ	Min	Max	単位
$f_{CLK}$	バスクロック周波数		50	MHz
$T_{CLK}$	バスクロック周期	$1/f_{CLK}$		ns
t1	A[16:1]、M/R#、R/W#およびCS#およびAS#およびUDS#、LDS#セットアップ 最初のCLK立ち上がりエッジ	1		ns
t2	CS#およびAS#アサート DTACK#の駆動	2	7	ns
t3	AS#立ち上がりエッジからのA[16:1]、M/R#、R/W#およびCS#ホールド	0		ns
t4	AS#立ち上がりエッジ CLK立ち下がりエッジ	1		ns
t5	DTACK#立ち下がりエッジ UDS#、LDS#立ち上がりエッジ	0		ns
t6	CLK立ち上がりエッジ DTACK#立ち下がりエッジ	5	14	ns
t7	AS#立ち上がりエッジ DTACK#立ち上がりエッジ	3	9	ns
t8	AS#アサート後の最初のCLK立ち下がりエッジ DTACK#ハイインピーダンス		$0.5 T_{CLK} + 12$	ns
t9	D[15:0]有効 CS#=0、AS#=0およびUDS#=0かLDS#=0の場合の4番目のCLK立ち上がりエッジ (書き込みサイクル)	1		$T_{CLK}$
t10	DTACK#立ち下がりエッジからのD[15:0]ホールド (書き込みサイクル)	0		ns
t11	D[15:0]有効セットアップ時間 DTACK#がLow (読み出しサイクル)	0.5		$T_{CLK}$
t12	UDS#、LDS#立ち上がりエッジ D[15:0]ハイインピーダンス (読み出しサイクル)	2		ns
t13	サイクル長	7		$T_{CLK}$

## 6. AC特性

### 6.3.6 モトローラMC68K #2インタフェースのタイミング

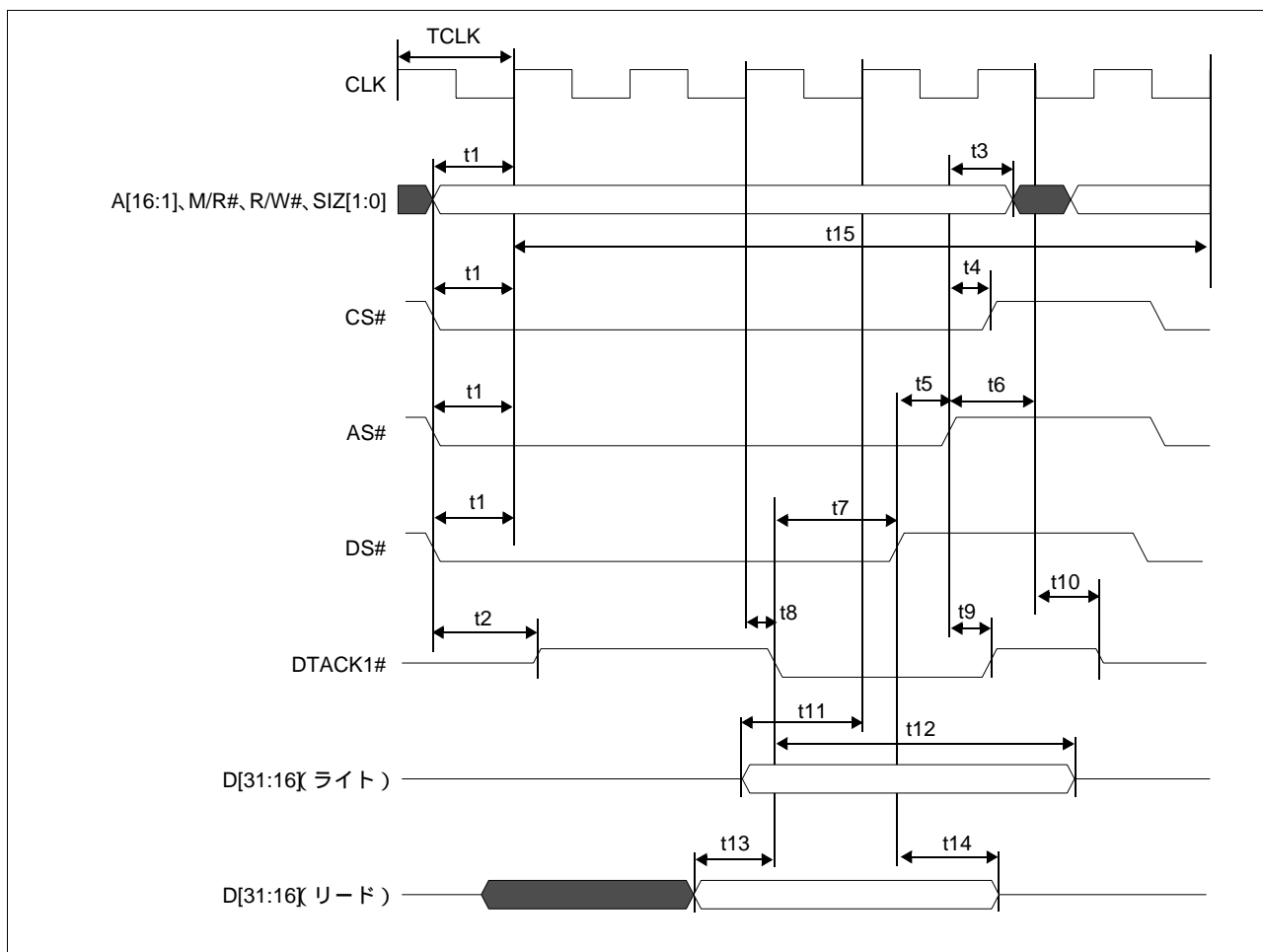


図6.8 モトローラMC68K #2インタフェースのタイミング

表6.14 モトローラMC68K #2インタフェースのタイミング

記号	パラメータ	Min	Max	単位
$f_{CLK}$	バスクロック周波数		50	MHz
$T_{CLK}$	バスクロック周期	$1/f_{CLK}$		ns
t1	A[16:0]、M/R#、R/W#、SIZ[1:0]およびCS#およびAS#およびDS#セットアップ 最初のCLK立ち上がりエッジ	0		ns
t2	LowでアサートされたCS#とAS# DTACK1#の駆動	2	7	ns
t3	AS#立ち上がりエッジからのA[16:1]、M/R#、R/W#、SIZ[1:0]ホールド	0		ns
t4	AS#立ち上がりエッジからのCS#ホールド	0		ns
t5	DS#立ち上がりエッジ AS#立ち上がりエッジ	0		ns
t6	AS#セットアップ CLK立ち下がりエッジ	1		ns
t7	DTACK1#立ち下がりエッジ DS#立ち上がりエッジ	0		ns
t8	CLK立ち上がりエッジ DTACK1#立ち下がりエッジ	5	14	ns
t9	AS#立ち上がりエッジ DTACK1#立ち上がりエッジ	3	9	ns
t10	AS#ディアサート後の最初のCLK立ち下がりエッジ DTACK1#ハイインピーダンス		$T_{CLK} + 3$	ns
t11	D[15:0]セットアップ CS#=0、AS#=0、DS#=0およびDTACK1#=0の後の4番目のCLK立ち上がりエッジ	1		$T_{CLK}$
t12	DTACK1#立ち下がりエッジからのD[15:0]ホールド	0		ns
t13	D[15:0]有効セットアップ DTACK1#立ち下がりエッジ(読み出しサイクル)	0.5		$T_{CLK}$
t14	DS#立ち上がりエッジ D[15:0]ハイインピーダンス(読み出しサイクル)	2	9	ns
t15	サイクル長	7		$T_{CLK}$

## 6. AC特性

### 6.3.7 モトローラREDCAP2インタフェースのタイミング

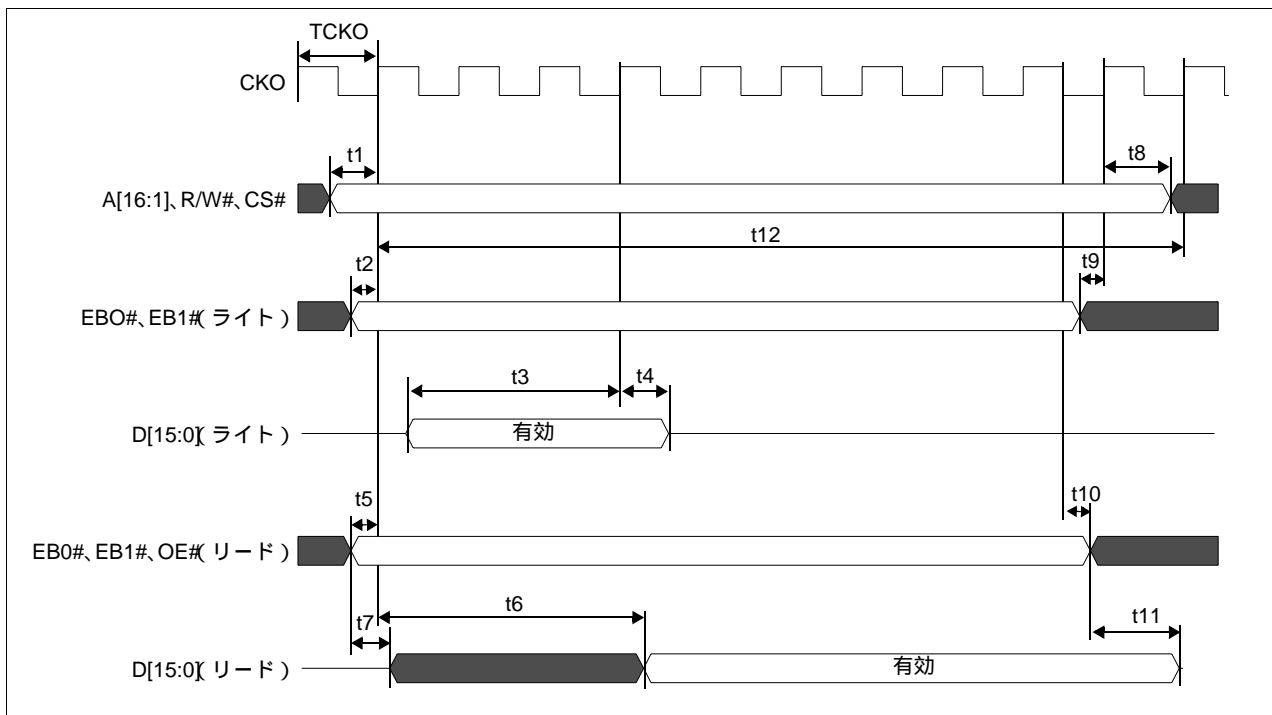


図6.9 モトローラRedcap2インタフェースのタイミング

表6.15 モトローラRedcap2インタフェースのタイミング

記号	パラメータ	Min	Max	単位
f <sub>CKO</sub>	バスクロック周波数		17	MHz
T <sub>CKO</sub>	バスクロック周期	1/f <sub>CKO</sub>		ns
t1	A[16:1]、R/W、CSn#セットアップ CKO立ち上がりエッジ	0		ns
t2	EB0#、EB1#セットアップ CKO立ち上がりエッジ (書き込み)	0		ns
t3	D[15:0]入力セットアップ CSn#とEB0#またはEB1#がLowでアサートされた後の4番目のCKO立ち上がりエッジ (書き込みサイクル)	1		T <sub>CKO</sub>
t4	CSn#とEB0#またはEB1#がLowでアサートされた後の4番目のCKO立ち上がりエッジからのD[15:0]入力ホールド (書き込みサイクル)	7		ns
t5	EB0#、EB1#、OE#セットアップ CKO立ち上がりエッジ (読み出しサイクル)	0		ns
t6a	CSn#、EB0またはEB1、OEがLowでアサートされた後の最初のCKO立ち上がりエッジ MCLK=BCLKの場合のD[15:0]有効 (読み出しサイクル)		6T <sub>CKO</sub> +17	ns
t6b	CSn#、EB0またはEB1、OEがLowでアサートされた後の最初のCKO立ち上がりエッジ MCLK=BCLK÷2の場合のD[15:0]有効 (読み出しサイクル)		9T <sub>CKO</sub> +17	ns
t6c	CSn#、EB0またはEB1、OEがLowでアサートされた後の最初のCKO立ち上がりエッジ MCLK=BCLK÷3の場合のD[15:0]有効 (読み出しサイクル)		12T <sub>CKO</sub> +17	ns
t6d	CSn#、EB0またはEB1、OEがLowでアサートされた後の最初のCKO立ち上がりエッジ MCLK=BCLK÷4の場合のD[15:0]有効 (読み出しサイクル)		15T <sub>CKO</sub> +17	ns
t7	EB0#、EB1#、OE#立ち下がりエッジ D[15:0]駆動 (読み出しサイクル)	2	9	ns
t8	CKO立ち上がりエッジからのA[16:1]、R/W、CSn#ホールド	0		ns
t9	EB0、EB1セットアップ CKO立ち上がりエッジ (書き込みサイクル)	1		ns
t10	CKO立ち下がりエッジ EB0、EB1、OEディアサート (読み出し)	0		ns
t11	OE、EB0、EB1ディアサート D[15:0]出力ハイインピーダンス (読み出し)	2	8	ns
t12	サイクル長 (注1)			T <sub>CKO</sub>

## 注

1. REDCAPインタフェースのサイクル長は10 T<sub>CKO</sub>に固定されます。
2. REDCAPインタフェースを使用するときはReadおよびWrite 2D BitBLT機能は使用できません。

## 6. AC特性

### 6.3.8 DTACK#付きモトローラDragonballインタフェースのタイミング

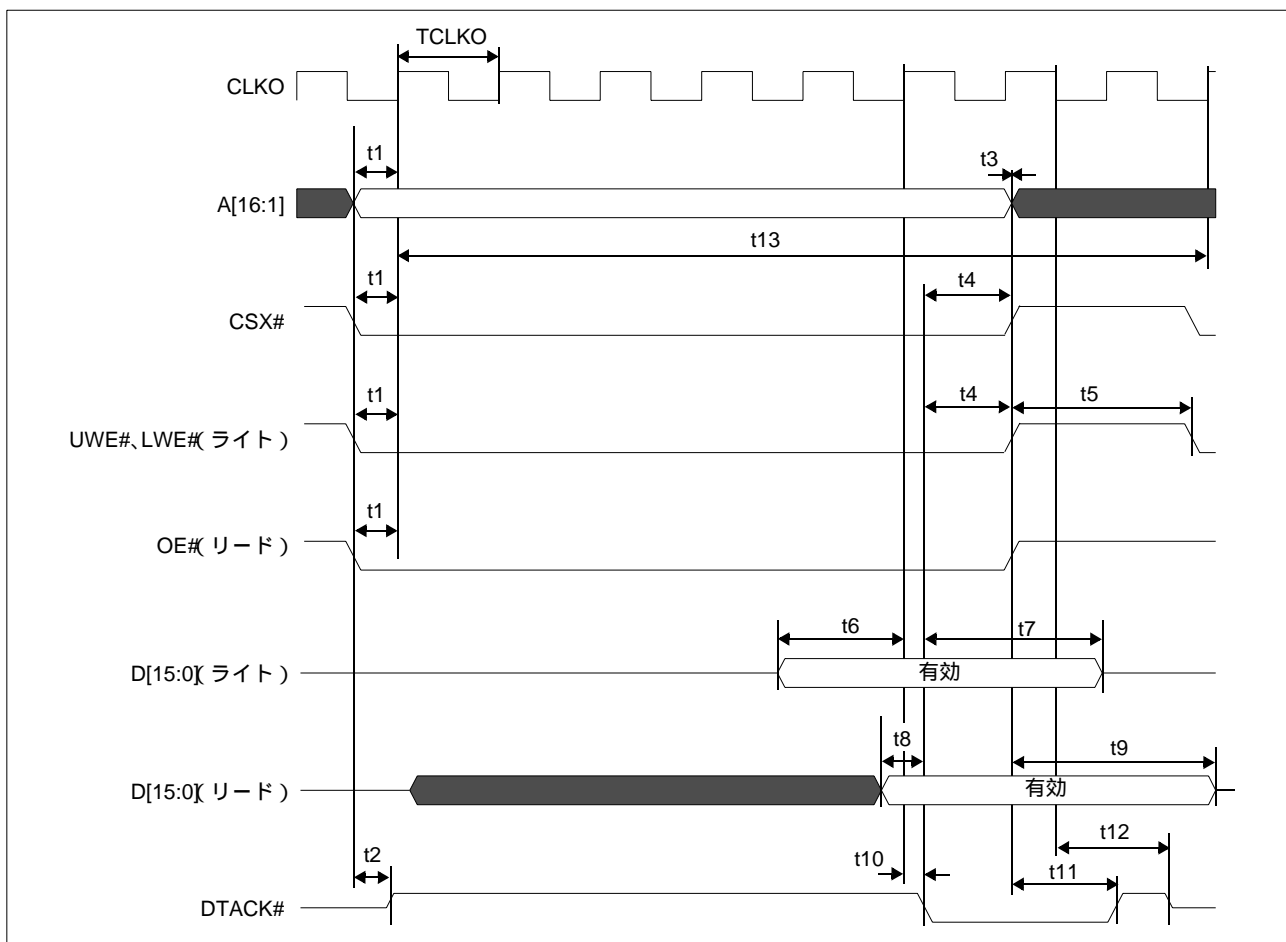


図6.10 DTACK#付きモトローラDragonballインタフェースのタイミング

表6.16 DTACK#付きモトローラDragonballインタフェースのタイミング

記号	パラメータ	Min	Max	単位
$f_{\text{CLKO}}$	クロック周波数		66 (注1)	MHz
$T_{\text{CLKO}}$	クロック周期	$1/f_{\text{CLKO}}$		ns
t1	A[16:1]、CSX#、UWE#、LWE#、OE#セットアップ CLKO立ち上がりエッジ	1		ns
t2	LowでアサートされたCSX# DTACK#駆動	2	7	ns
t3	CSX#立ち上がりエッジからのA[16:1]ホールド	0		ns
t4	DTACK#立ち下がりエッジ UWE#、LWE#およびCSX#立ち上がりエッジ	0		ns
t5	UWE#、LWE#ディアサート リアサート	1		$T_{\text{CLKO}}$
t6	D[15:0]有効 CSX#=0およびUWE#=0またはLWE#=0の場合の4番目のCLKO立ち上がりエッジ (書き込みサイクル)	1		$T_{\text{CLKO}}$
t7	DTACK#立ち下がりエッジからのD[15:0]ホールド (書き込みサイクル)	0		ns
t8	D[15:0]有効セットアップ DTACK#立ち下がりエッジ (読み出しサイクル)	0.5		$T_{\text{CLKO}}$
t9	CSX#立ち上がりエッジ D[15:0]ハイインピーダンス (読み出しサイクル)	2	6	ns
t10	CLKO立ち上がりエッジ DTACK#立ち下がりエッジ	5	14	ns
t11	CSX#立ち上がりエッジ DTACK#立ち上がりエッジ	3	9	ns
t12	CSX#のディアセーション後の最初のCLKO立ち下がりエッジ DTACKハイインピーダンス	$0.5T_{\text{CLKO}} + 4$	$0.5T_{\text{CLKO}} + 8$	ns
t13	サイクル長	8		$T_{\text{CLKO}}$

## 注

1. 最高クロック周波数66MHzのMC68SZ328に対応しています。  
最高クロック周波数33MHzのMC68VZ328に対応しています。  
最高クロック周波数16MHzのMC68EZ328に対応しています。



## 6. AC特性

### 6.3.9 DTACK#なしモトローラDragonballインタフェースのタイミング

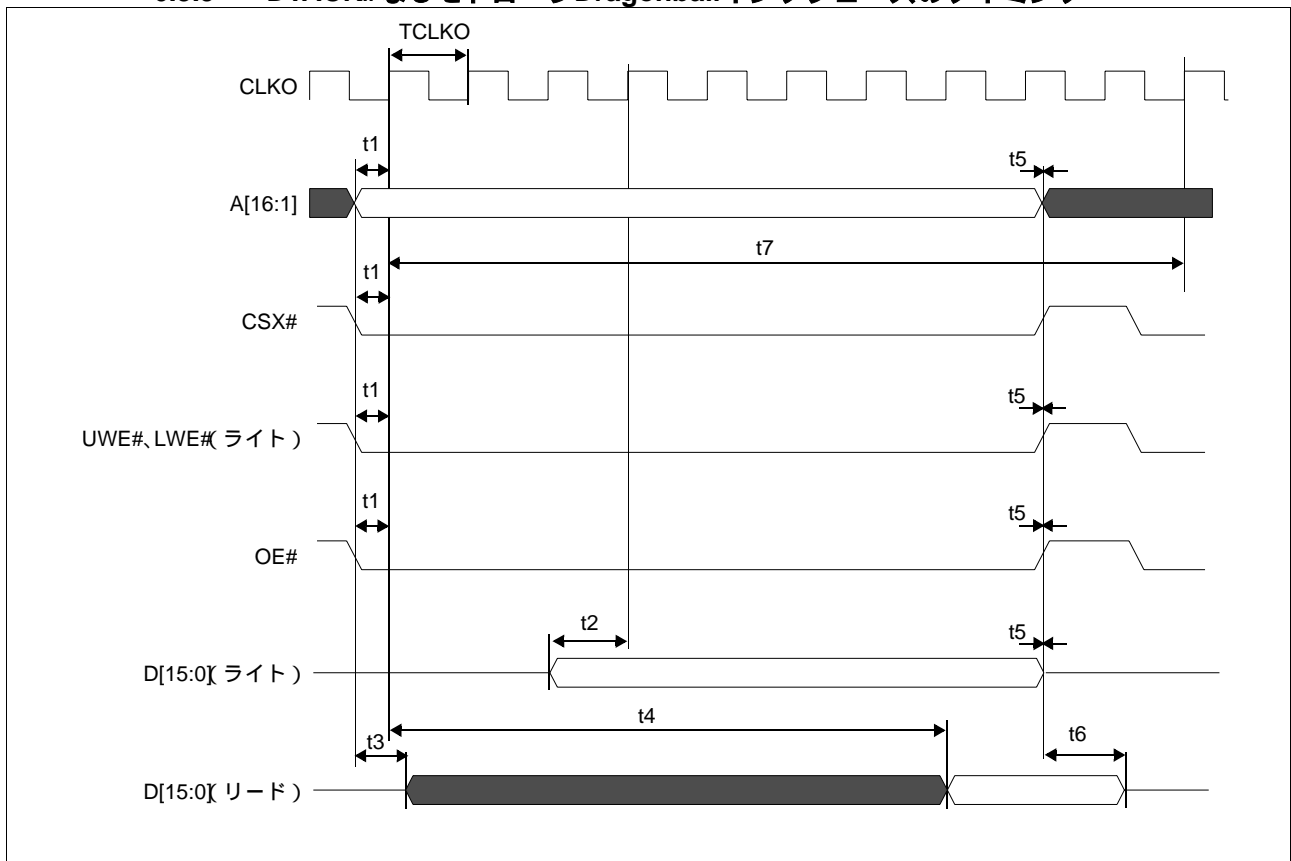


図6.11 DTACK#なしモトローラDragonballインタフェースのタイミング

表6.17 DTACK#なしモトローラDragonballインタフェースのタイミング

記号	パラメータ	Min	Max	単位
f <sub>CLKO</sub>	バスクロック周波数		33 (注1)	MHz
T <sub>CLKO</sub>	バスクロック周期	1/f <sub>CLKO</sub>		ns
t1	A[16:1]およびCSX#およびUWE#、LWE#およびOE#セットアップ CLKO立ち上がりエッジ	1		ns
t2	D[15:0]有効 CSX#=0およびUWE#=0またはLWE#=0の場合の4番目の CLK立ち上がりエッジ (書き込みサイクル)	1		T <sub>CLKO</sub>
t3	LowでアサートされたCSX#とOE# D[15:0]駆動 (読み出しサイクル)	2	8	ns
t4a	CSX# と OE# アサート後の最初の CLKO 立ち上がりエッジ MCLK=BCLKの場合のD[15:0]有効 (読み出しサイクル)		7	T <sub>CLKO</sub>
t4b	CSX# と OE# アサート後の最初の CLKO 立ち上がりエッジ MCLK=BCLK ÷ 2の場合のD[15:0]有効 (読み出しサイクル)		10	T <sub>CLKO</sub>
t4c	CSX# と OE# アサート後の最初の CLKO 立ち上がりエッジ MCLK=BCLK ÷ 3の場合のD[15:0]有効 (読み出しサイクル) (注2)		13	T <sub>CLKO</sub>
t5	CSX#立ち上がりエッジからのA[16:1]およびUWE#、LWE#およびOE# およびD[15:0] (書き込み) ホールド	0		ns
t6	CSX#立ち上がりエッジ D[15:0]ハイインピーダンス	2	8	ns
t7	サイクル長 (注3)			T <sub>CLKO</sub>

## 注

1. 最高クロック周波数33MHzのMC68VZ328に対応しています。  
最高クロック周波数16MHzのMC68EZ328に対応しています。
2. MC68EZ328は、オプションMCLK=BCLK ÷ 3とMCLK=BCLK ÷ 4に対応していません。  
MC68VZ328は、オプションMCLK=BCLK ÷ 4に対応していません。
3. DTACK#インタフェースなしDragonballのサイクル長は、10 T<sub>CLKO</sub>に固定されています。
4. DTACK#インタフェースなしDragonballを使用するときは、ReadおよびWrite 2D BitBLT機能を使用できません。

## 6. AC特性

### 6.4 LCDパワーシーケンス

#### 6.4.1 パッシブ/TFTパワーオンシーケンス

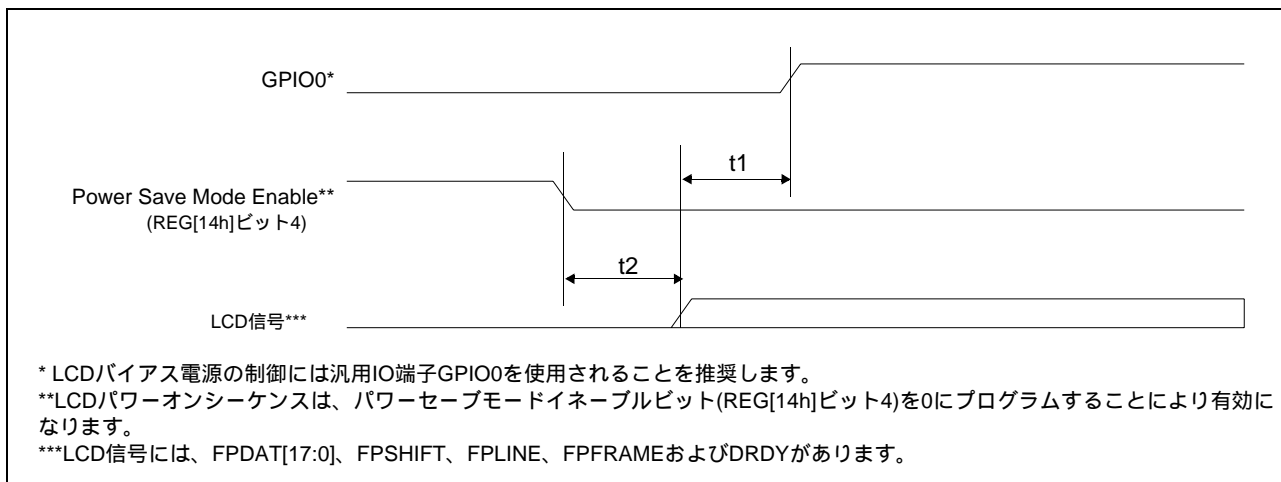


図6.12 パッシブ/TFTパワーオンシーケンスのタイミング

表6.18 パッシブ/TFTパワーオンシーケンスのタイミング

記号	パラメータ	Min	Max	単位
t1	LCD信号アクティブ LCDバイアスアクティブ	(注1)	(注1)	
t2	パワーセーブモードディセーブル LCD信号アクティブ	0	1	BCLK

#### 注

- t1は、ソフトウェアによって制御されます。接続されたパネルのバイアス電源遅延要件から決定してください。

## 6.4.2 パッシブ/TFTパワーオフシーケンス

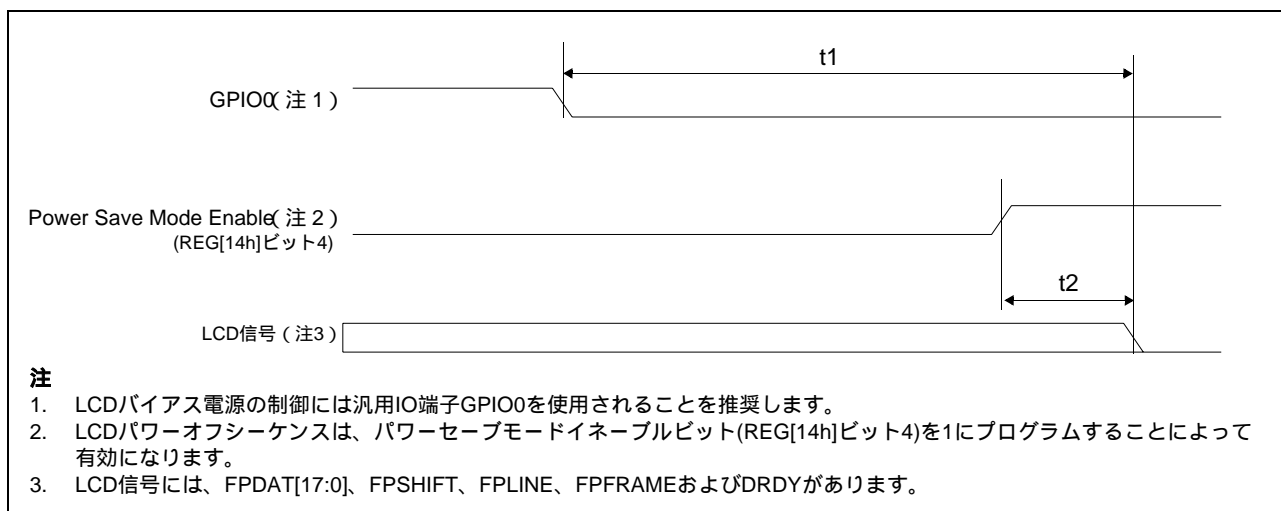


図6.13 パッシブ/TFTパワーオフシーケンスのタイミング

表6.19 パッシブ/TFTパワーオフシーケンスのタイミング

記号	パラメータ	Min	Max	単位
t1	LCDバイアス動作停止 LCDバイアス信号インアクティブ	(注1)	(注1)	
t2	パワーセーブモードイネーブル LCD信号Low	0	1	BCLK

**注**

1. t1は、ソフトウェアによって制御されます。接続されたパネルのバイアス電源供給遅延要件から決定してください。

## 6. AC特性

### 6.5 LCDインタフェース

フラットパネルディスプレイの駆動に必要なタイミングパラメータは次の通りです。サポートする各パネルタイプのタイミングについては、この項の残りの部分で説明します。

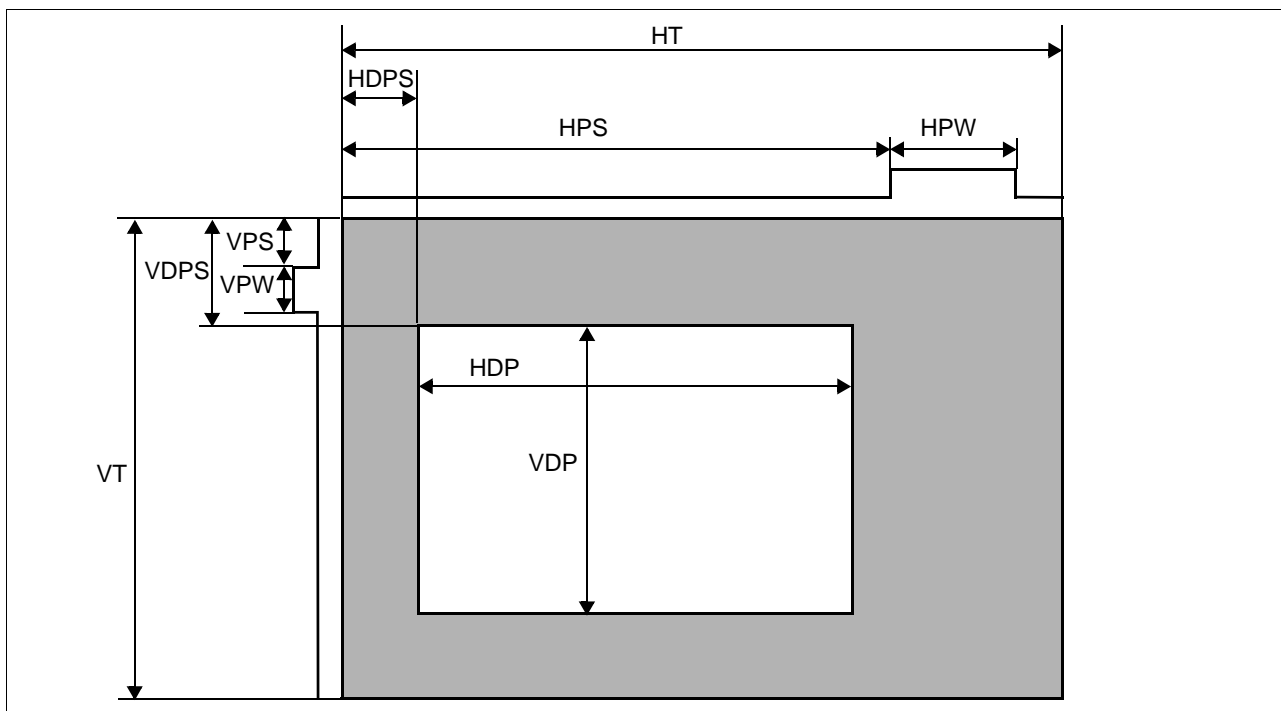


図6.14 パネルタイミングパラメータ

表6.20 パネルタイミングパラメータの定義とレジスタの概要

記号	説明	導出方法	単位
HT	全水平期間	$((\text{REG}[20\text{h}] \text{ビット}6 \sim 0) + 1) \times 8$	Ts
HDP (注1)	水平表示期間 (注1)	$((\text{REG}[24\text{h}] \text{ビット}6 \sim 0) + 1) \times 8$	
HDPS	水平表示期間開始位置	STNパネル : $((\text{REG}[28\text{h}] \text{ビット}9 \sim 0) + 22)$ TFTパネル : $((\text{REG}[28\text{h}] \text{ビット}9 \sim 0) + 5)$	
HPS	FPLINEパルス開始位置	$(\text{REG}[2\text{Ch}] \text{ビット}9 \sim 0) + 1$	
HPW	FPLINEパルス幅	$(\text{REG}[2\text{Ch}] \text{ビット}22 \sim 16) + 1$	
VT	全垂直期間	$(\text{REG}[30\text{h}] \text{ビット}9 \sim 0) + 1$	ライン(HT)
VDP	垂直表示期間	$(\text{REG}[34\text{h}] \text{ビット}9 \sim 0) + 1$	
VDPS	垂直表示期間開始位置	$\text{REG}[38\text{h}] \text{ビット}9 \sim 0$	
VPS	FPFRAMEパルス開始位置	$\text{REG}[3\text{Ch}] \text{ビット}9 \sim 0$	
VPW	FPFRAMEパルス幅	$(\text{REG}[3\text{Ch}] \text{ビット}18 \sim 16) + 1$	

#### 注

- パッシブパネルの場合、HDPは最低32ピクセルで、16の倍数でなければなりません。  
TFTパネルの場合、HDPは最低8ピクセルで、8の倍数でなければなりません。
- すべてのパネルタイミングに以下の式が有効でなければなりません。  

$$\text{HDPS} + \text{HDP} < \text{HT}$$

$$\text{VDPS} + \text{VDP} < \text{VT}$$

## 6.5.1 汎用STNパネルのタイミング

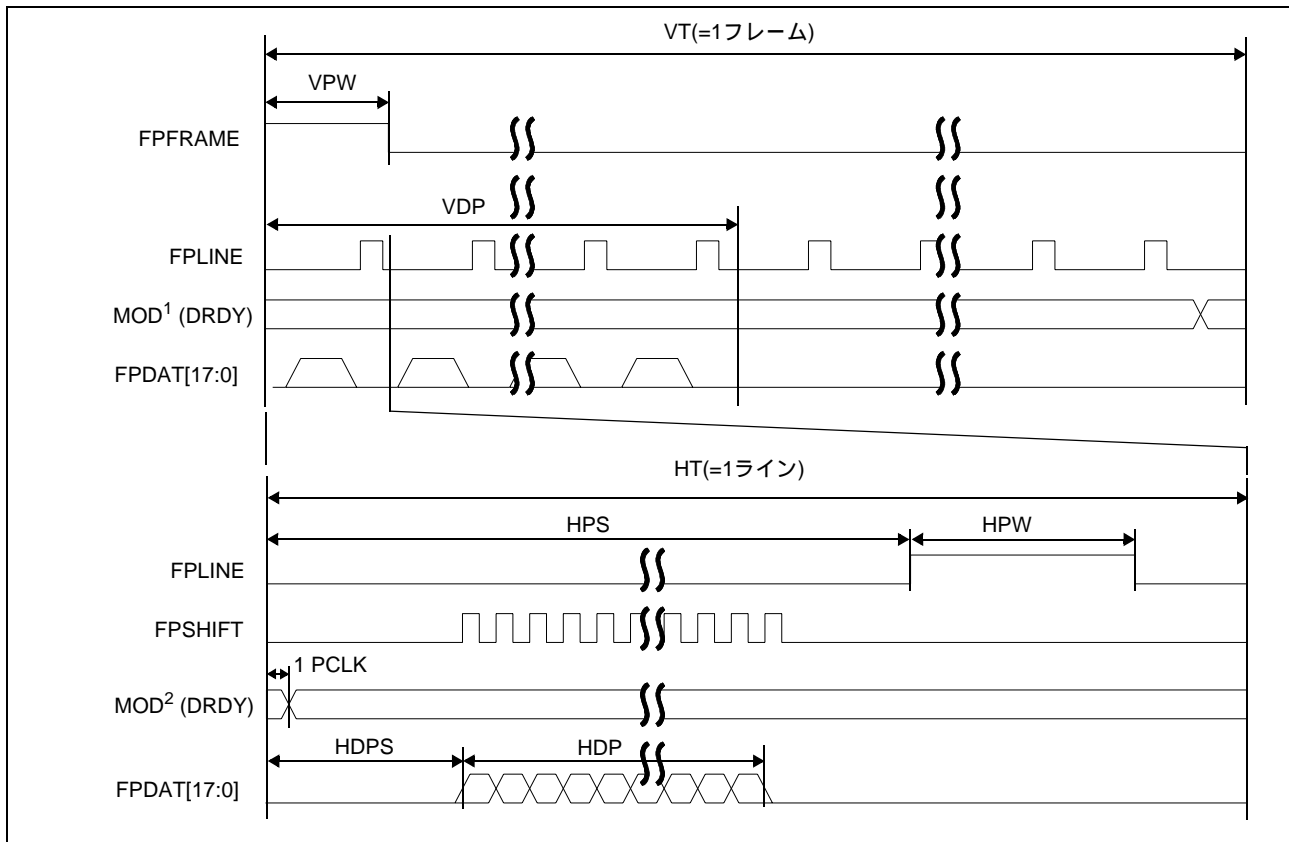


図6.15 汎用STNパネルのタイミング

VT	=全垂直期間	= (( REG[30h]ビット9~0) +1) ライン
VPS	=FPFRAMEパルス開始位置	= 0ライン ( REG[3Ch]ビット9~0=0であるため)
VPW	=FPFRAMEパルス幅	= (( REG[3Ch]ビット18~16) +1) ライン
VDPS	=垂直表示期間開始位置	= 0ライン ( REG[38h]ビット9~0=0であるため)
VDP	=垂直表示期間	= (( REG[34h]ビット9~0) +1) ライン
HT	=全水平期間	= ((( REG[20h]ビット6~0) +1) x8) ピクセル
HPS	=FPLINEパルス開始位置	= (( REG[2Ch]ビット9~0) +1) ピクセル
HPW	=FPLINEパルス幅	= (( REG[2Ch]ビット22~16) +1) ピクセル
HDPS	=水平表示期間開始位置	= 22ピクセル ( REG[28h]ビット9~0=0であるため)
HDP	=水平表示期間	= ((( REG[24h]ビット6~0) +1) x8) ピクセル

\* パッシブパネルの場合は、HDPは最低32ピクセルで、16の倍数でなければなりません。

\* HPSは以下の式に従わなければなりません。

$$HPS > HDP + 22$$

$$HPS + HPW < HT$$

\* パネルタイプビット ( REG[0Ch]ビット1~0) =00 ( STN )

\* FPFAMEパルス極性ビット ( REG[3Ch]ビット23) =1 ( アクティブHigh )

\* FPLINE極性ビット ( REG[2Ch]ビット23) =1 ( アクティブHigh )

\* MOD<sup>1</sup>は、REG[0Ch]ビット21~16=0のときのMOD信号です ( MODはFPFRAMEごとにトグルします )

\* MOD<sup>2</sup>は、REG[0Ch]ビット21~16=nのときのMOD信号です ( MODはn FPLINEごとにトグルします )

## 6. AC特性

### 6.5.2 シングルモノクロ4ビットパネルのタイミング

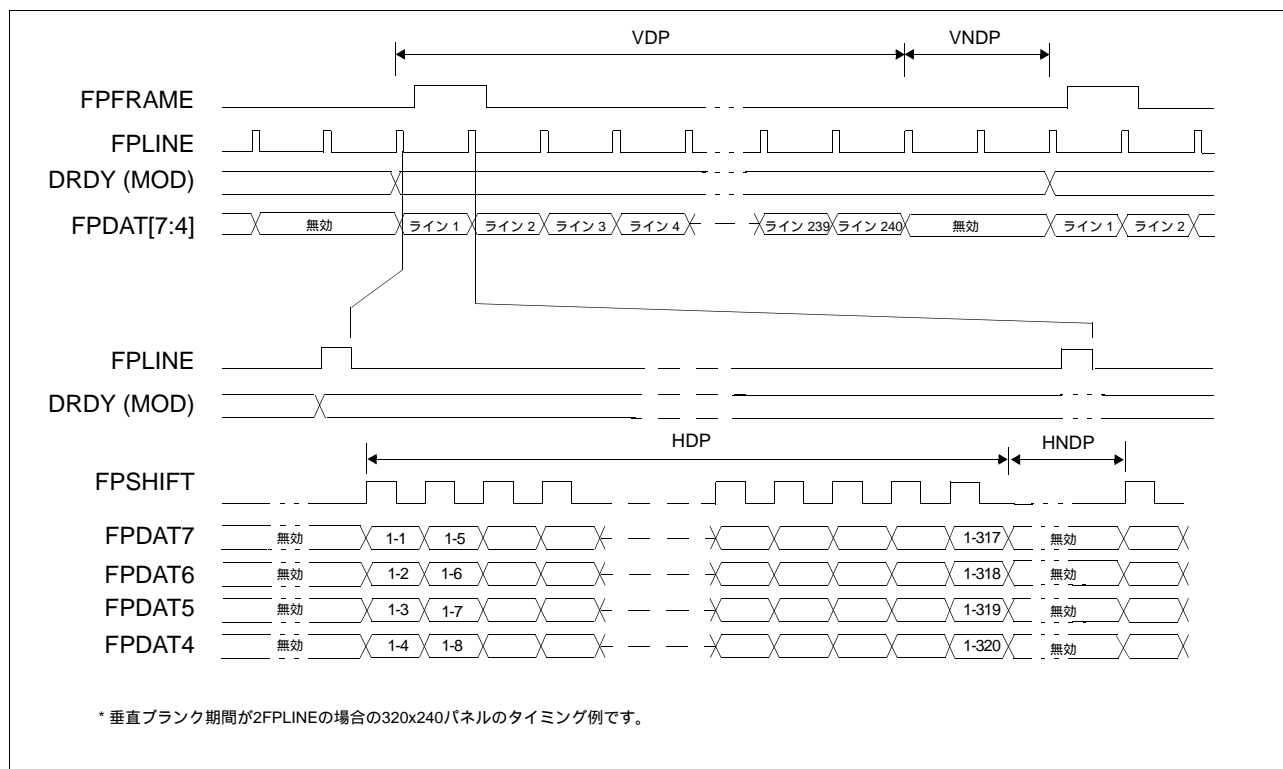


図6.16 シングルモノクロ4ビットパネルのタイミング

- VDP = 垂直表示期間  
 = (REG[34h]ビット9~0)+1ライン
- VNDP = 垂直非表示期間  
 = VT - VDP  
 = (REG[30h]ビット9~0)-(REG[34h]ビット9~0)ライン
- HDP = 水平表示期間  
 = ((REG[24h]ビット6~0)+1)x8Ts
- HNDP = 水平非表示期間  
 = HT - HDP  
 = (((REG[20h]ビット6~0)+1)x8Ts)-(((REG[24h]ビット6~0)+1)x8Ts)

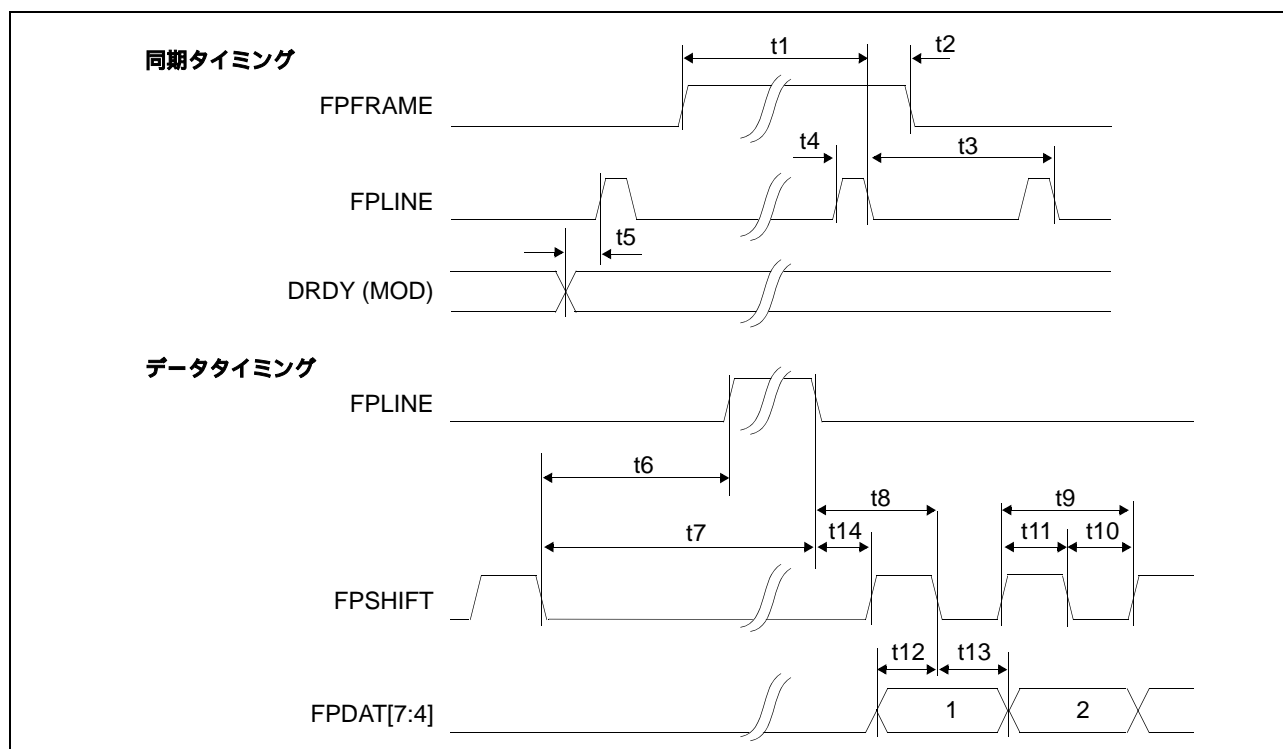


図6.17 シングルモノクロ4ビットパネルのACタイミング

表6.21 シングルモノクロ4ビットパネルのACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジからのFPFRAMEホールド	(注3)			Ts
t3	FPLINE期間	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD遷移 FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ FPLINE立ち下がりエッジ	t6 + t4			Ts
t8	FPLINE立ち下がりエッジ FPSHIFT立ち下がりエッジ	t14 + 2			Ts
t9	FPSHIFT期間	4			Ts
t10	FPSHIFT LOWパルス幅	2			Ts
t11	FPSHIFT HIGHパルス幅	2			Ts
t12	FPDAT[7:4]セットアップ FPSHIFT立ち下がりエッジ	1			Ts
t13	FPDAT[7:4]ホールド FPSHIFT立ち下がりエッジ	2			Ts
t14	FPLINE立ち下がりエッジ FPSHIFT立ち上がりエッジ	(注8)			Ts

## 注

1. Ts = ピクセルクロック周期
2.  $t1_{min} = HPS + t4_{min}$
3.  $t2_{min} = t3_{min} - (HPS + t4_{min})$
4.  $t3_{min} = HT$
5.  $t4_{min} = HPW$
6.  $t5_{min} = HPS - 1$
7.  $t6_{min} = HPS - (HDP + HDPS) + 2$ 、負の場合は $t3_{min}$ を追加
8.  $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加



## 6. AC特性

### 6.5.3 シングルモノクロ8ビットパネルのタイミング

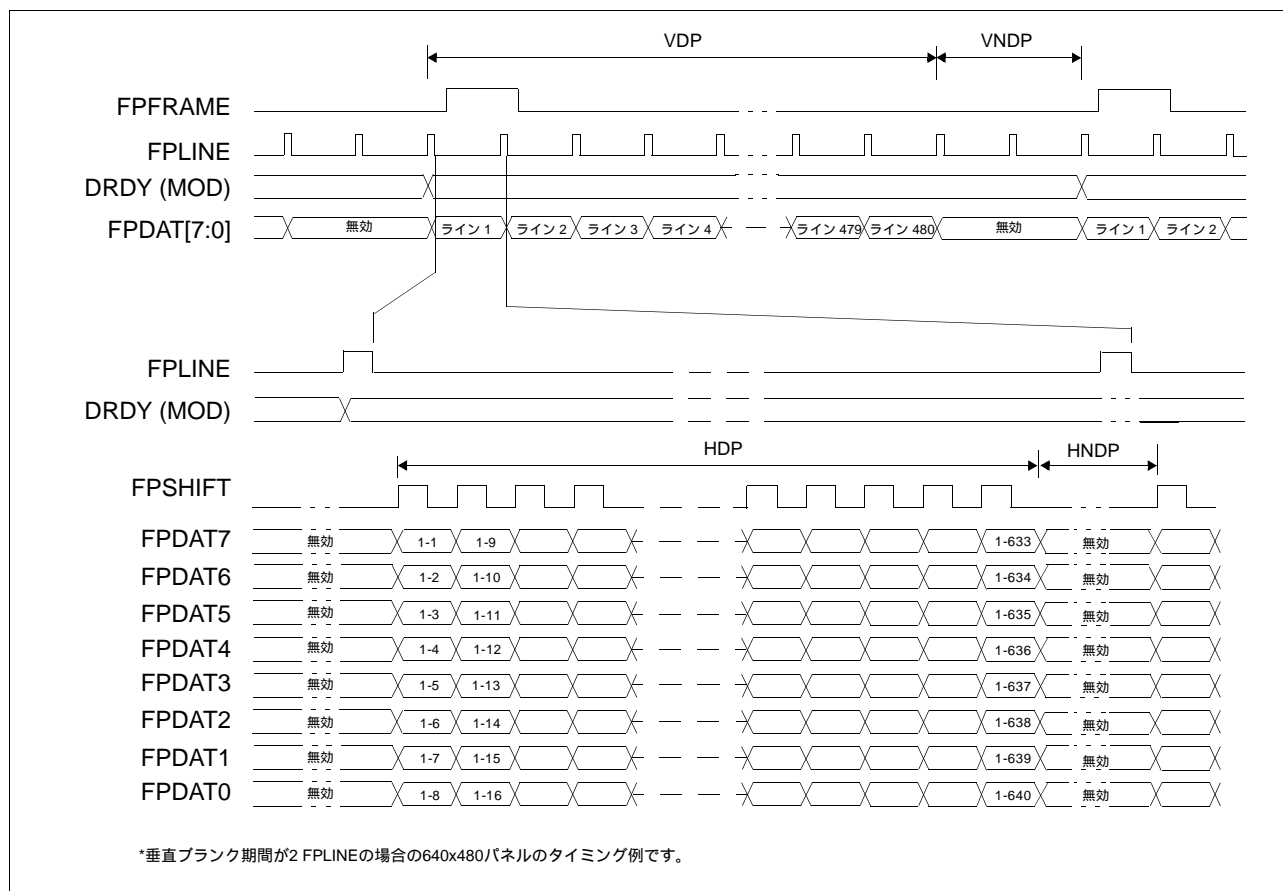


図6.18 シングルモノクロ8ビットパネルのタイミング

- VDP = 垂直表示期間  
 = (REG[34h]ビット9~0) + 1ライン
- VNDP = 垂直非表示期間  
 = VT - VDP  
 = (REG[30h]ビット9~0) - (REG[34h]ビット9~0)ライン
- HDP = 水平表示期間  
 = ((REG[24h]ビット6~0) + 1) x 8Ts
- HNDP = 水平非表示期間  
 = HT - HDP  
 = (((REG[20h]ビット6~0) + 1) x 8Ts) - (((REG[24h]ビット6~0) + 1) x 8Ts)

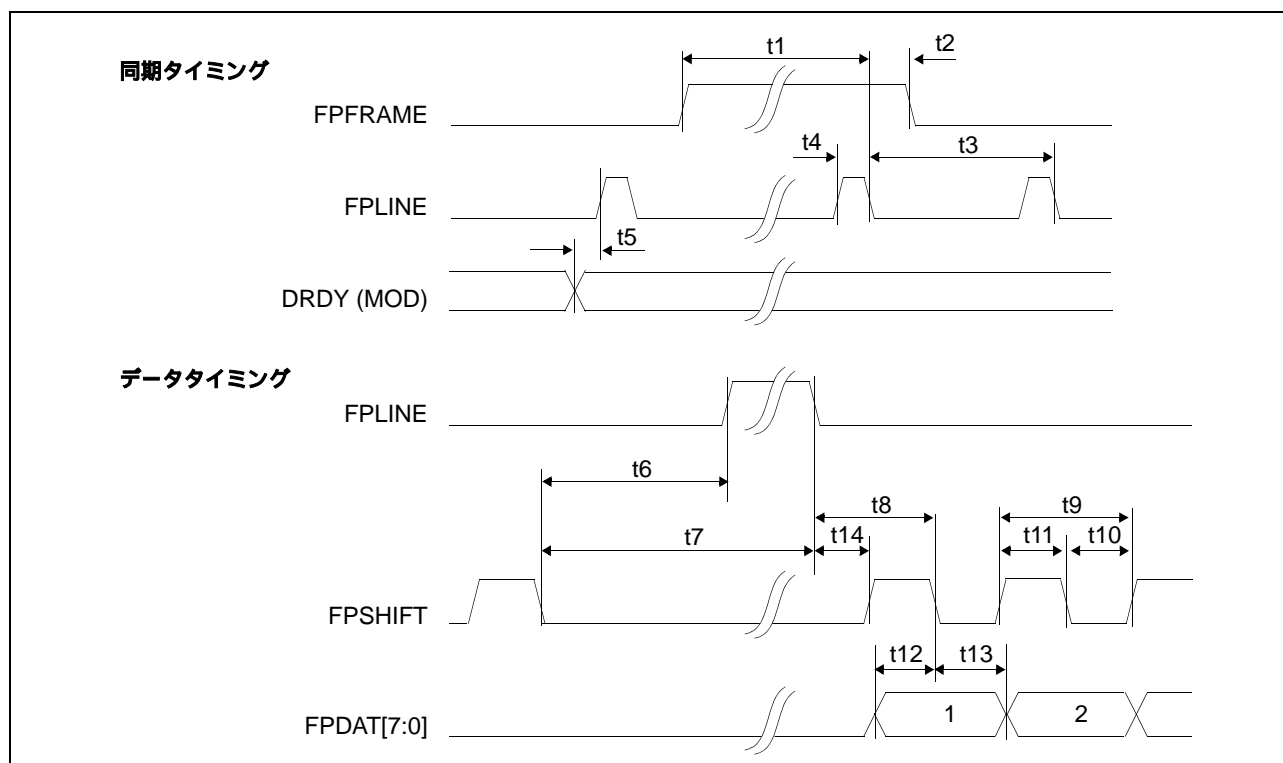


図6.19 シングルモノクロ8ビットパネルのACタイミング

表6.22 シングルモノクロ8ビットパネルのACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジからのFPFRAMEホールド	(注3)			Ts
t3	FPLINE期間	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD遷移 FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ FPLINE立ち下がりエッジ	t6 + t4			Ts
t8	FPLINE立ち下がりエッジ FPSHIFT立ち下がりエッジ	t14 + 4			Ts
t9	FPSHIFT期間	8			Ts
t10	FPSHIFT LOWパルス幅	4			Ts
t11	FPSHIFT HIGHパルス幅	4			Ts
t12	FPDAT[7:0]セットアップ FPSHIFT立ち下がりエッジ	4			Ts
t13	FPDAT[7:0]ホールドからFPSHIFT立ち下がりエッジ	4			Ts
t14	FPLINE立ち下がりエッジ FPSHIFT立ち上がりエッジ	(注8)			Ts

## 注

1. Ts = ピクセルクロック周期
2.  $t1_{min} = HPS + t4_{min}$
3.  $t2_{min} = t3_{min} - (HPS + t4_{min})$
4.  $t3_{min} = HT$
5.  $t4_{min} = HPW$
6.  $t5_{min} = HPS - 1$
7.  $t6_{min} = HPS - (HDP + HDPS) + 4$ 、負の場合は $t3_{min}$ を追加
8.  $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加

## 6. AC特性

### 6.5.4 シングルカラー 4ビットパネルのタイミング

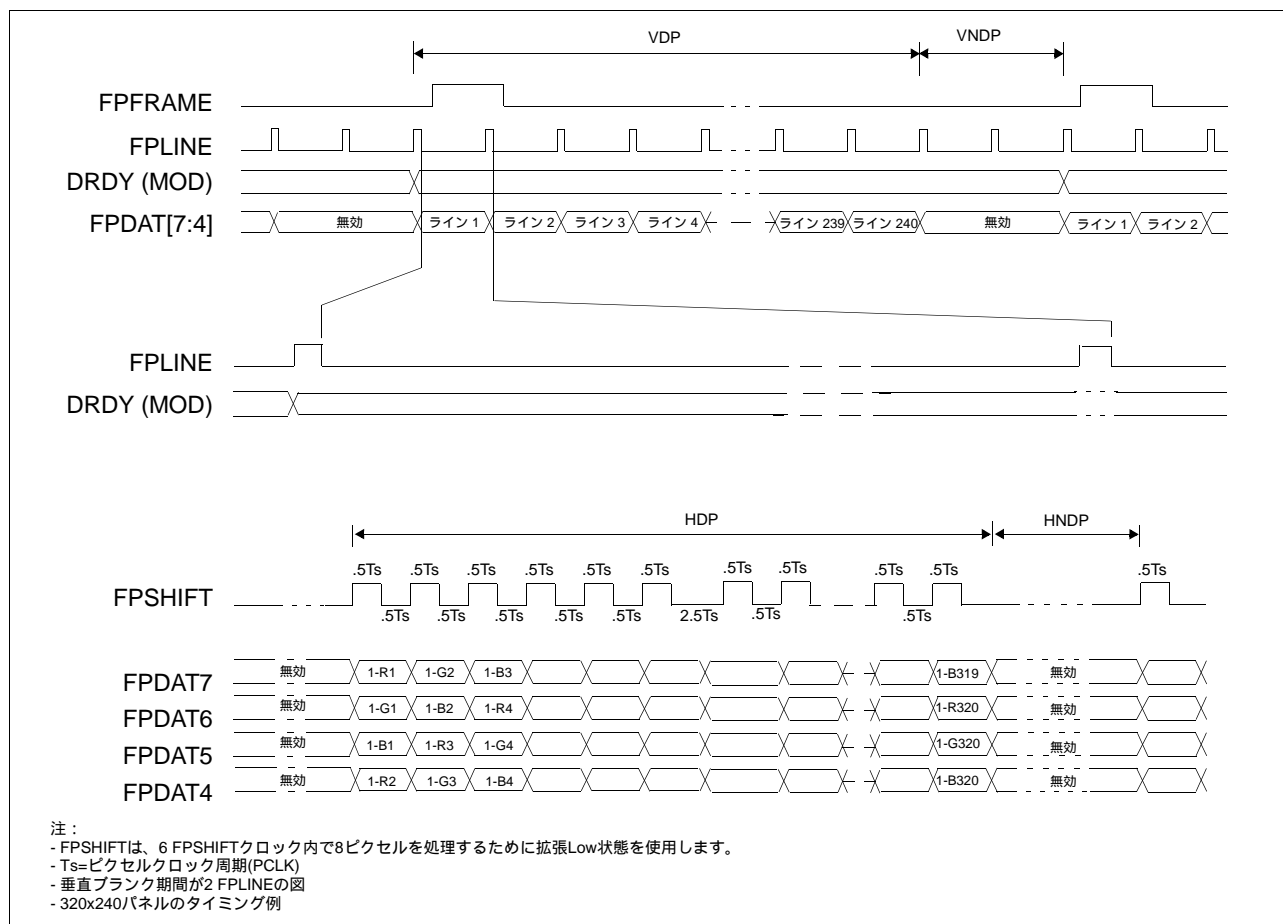


図6.20 シングルカラー 4ビットパネルのタイミング

- VDP = 垂直表示期間  
 = (REG[34h]ビット9~0) + 1ライン
- VNDP = 垂直非表示期間  
 = VT - VDP  
 = (REG[30h]ビット9~0) - (REG[34h]ビット9~0)ライン
- HDP = 水平表示期間  
 = ((REG[24h]ビット6~0) + 1) x 8Ts
- HNDP = 水平非表示期間  
 = HT - HDP  
 = (((REG[20h]ビット6~0) + 1) x 8Ts) - (((REG[24h]ビット6~0) + 1) x 8Ts)

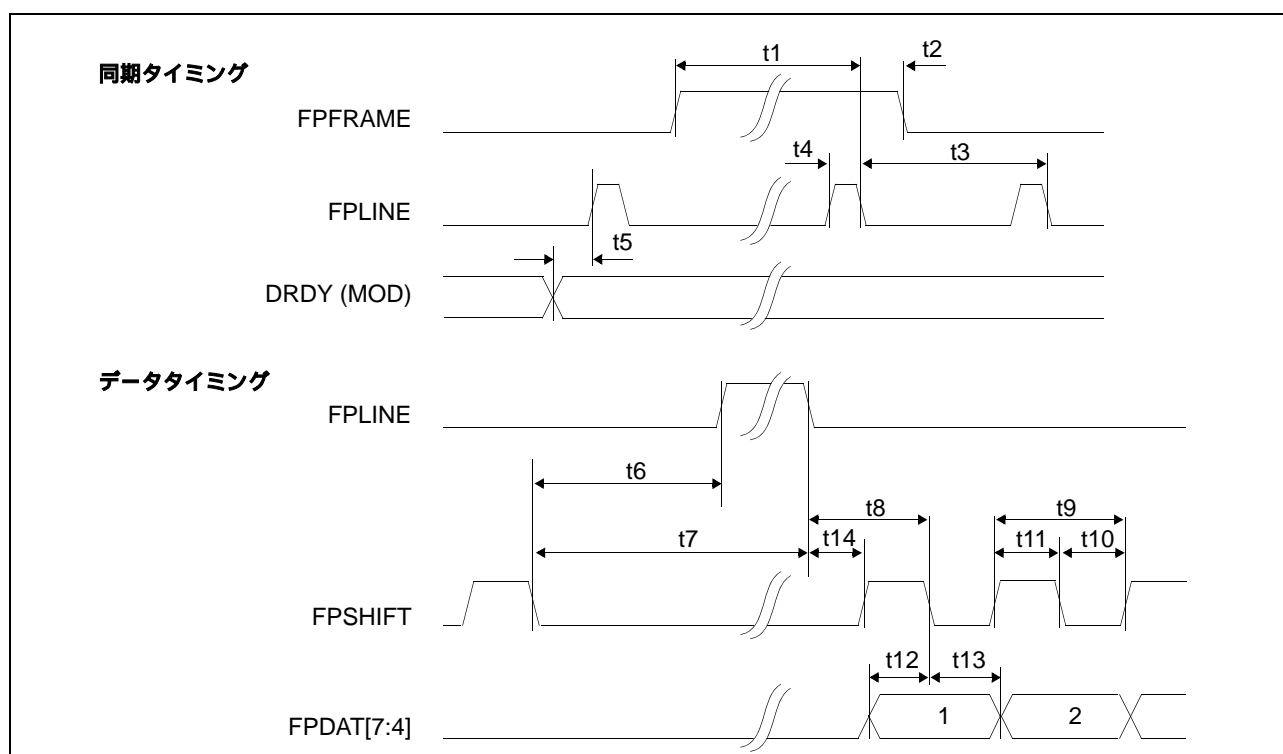


図6.21 シングルカラー 4ビットパネルのACタイミング

表6.23 シングルカラー 4ビットパネルのACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジからのFPFRAMEホールド	(注3)			Ts
t3	FPLINE期間	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD遷移 FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ FPLINE立ち下がりエッジ	t6 + t4			Ts
t8	FPLINE立ち下がりエッジ FPSHIFT立ち下がりエッジ	t14 + 0.5			Ts
t9	FPSHIFT期間	1			Ts
t10	FPSHIFT LOWパルス幅	0.5			Ts
t11	FPSHIFT HIGHパルス幅	0.5			Ts
t12	FPDAT[7:4]セットアップ FPSHIFT立ち下がりエッジ	0.5			Ts
t13	FPDAT[7:4]ホールド FPSHIFT立ち下がりエッジ	0.5			Ts
t14	FPLINE立ち下がりエッジ FPSHIFT立ち上がりエッジ	(注8)			Ts

## 注

1. Ts = ピクセルクロック周期
2.  $t1_{min} = HPS + t4_{min}$
3.  $t2_{min} = t3_{min} - (HPS + t4_{min})$
4.  $t3_{min} = HT$
5.  $t4_{min} = HPW$
6.  $t5_{min} = HPS - 1$
7.  $t6_{min} = HPS - (HDP + HDPS) + 1.5$ 、負の場合は $t3_{min}$ を追加
8.  $t14_{min} = HDPS - (HPS + t4_{min}) + 1$ 、負の場合は $t3_{min}$ を追加

## 6. AC特性

### 6.5.5 シングルカラー 8ビットパネルのタイミング(フォーマット1)

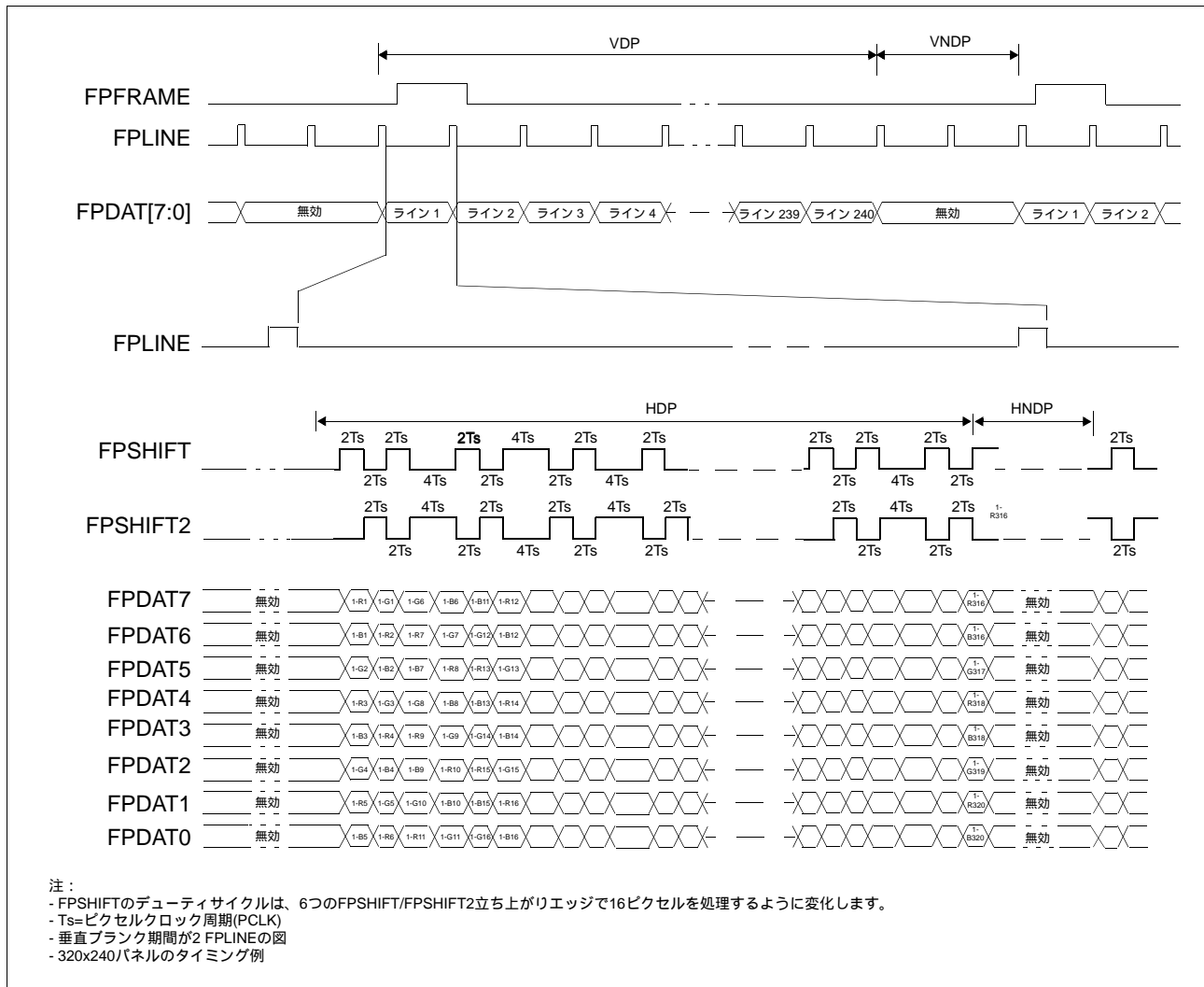


図6.22 シングルカラー 8ビットパネルのタイミング(フォーマット1)

- VDP = 垂直表示期間  
 = (REG[34h]ビット9~0) + 1ライン
- VNDP = 垂直非表示期間  
 = VT - VDP  
 = (REG[30h]ビット9~0) - (REG[34h]ビット9~0)ライン
- HDP = 水平表示期間  
 = ((REG[24h]ビット6~0) + 1) x 8Ts
- HNDP = 水平非表示期間  
 = HT - HDP  
 = (((REG[20h]ビット6~0) + 1) x 8Ts) - (((REG[24h]ビット6~0) + 1) x 8Ts)

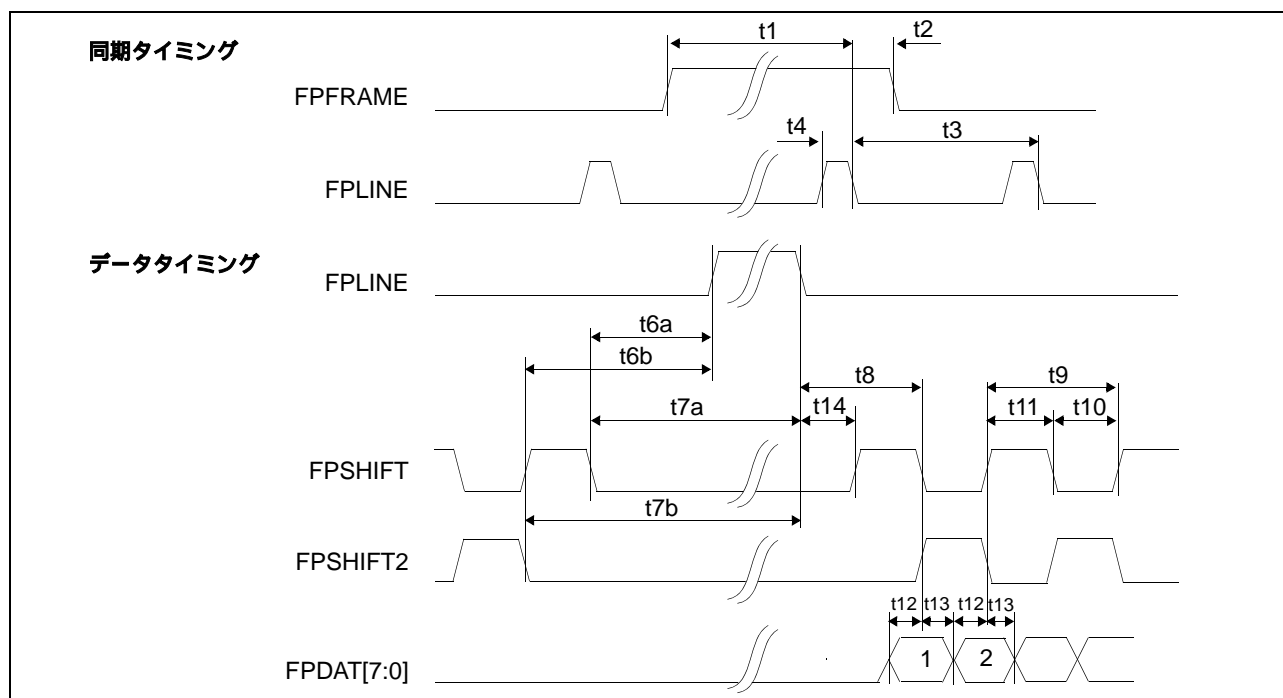


図6.23 シングルカラー 8ビットパネルのACタイミング (フォーマット1)

表6.24 シングルカラー 8ビットパネルのACタイミング (フォーマット1)

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジからのFPFRAMEホールド	(注3)			Ts
t3	FPLINE期間	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t6a	FPSHIFT立ち下がりエッジ FPLINE立ち上がりエッジ	(注6)			Ts
t6b	FPSHIFT2立ち下がりエッジ FPLINE立ち上がりエッジ	(注7)			Ts
t7a	FPSHIFT立ち下がりエッジ FPLINE立ち下がりエッジ	t6a + t4			Ts
t7b	FPSHIFT2立ち下がりエッジ FPLINE立ち下がりエッジ	t6b + t4			Ts
t8	FPLINE立ち下がりエッジ FPSHIFT立ち上がり、FPSHIFT2立ち下がりエッジ	t14 + 2			Ts
t9	FPSHIFT2、FPSHIFT期間	4		6	Ts
t10	FPSHIFT2、FPSHIFT LOWパルス幅	2			Ts
t11	FPSHIFT2、FPSHIFT HIGHパルス幅	2			Ts
t12	FPDAT[7:0]セットアップ FPSHIFT2、FPSHIFT立ち下がりエッジ	1			Ts
t13	FPSHIFT2、FPSHIFT立ち下がりエッジからのFPDAT[7:0]ホールド	1			Ts
t14	FPLINE立ち下がりエッジ FPSHIFT立ち上がりエッジ	(注8)			Ts

## 注

1. Ts = ピクセルクロック周期
2.  $t1_{min} = HPS + t4_{min}$
3.  $t2_{min} = t3_{min} - (HPS + t4_{min})$
4.  $t3_{min} = HT$
5.  $t4_{min} = HPW$
6.  $t6a_{min} = HPS - (HDP + HDPS)$ 、負の場合は $t3_{min}$ を追加
7.  $t6b_{min} = HPS - (HDP + HDPS) + 2$ 、負の場合は $t3_{min}$ を追加
8.  $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加

## 6. AC特性

### 6.5.6 シングルカラー 8ビットパネルのタイミング(フォーマット2)

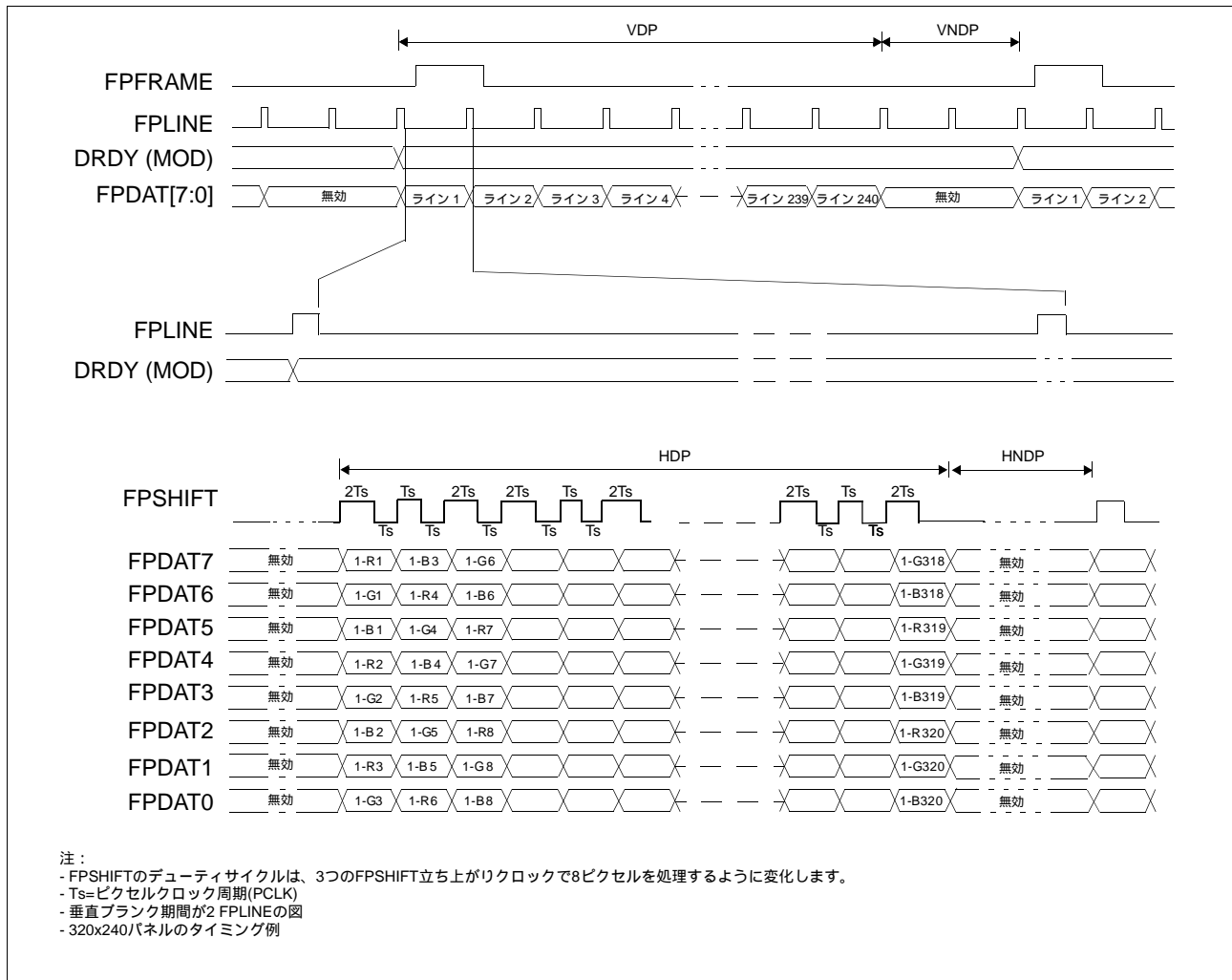


図6.24 シングルカラー 8ビットパネルのタイミング(フォーマット2)

- VDP = 垂直表示期間  
 = (REG[34h]ビット9~0) + 1ライン
- VNDP = 垂直非表示期間  
 = VT - VDP  
 = (REG[30h]ビット9~0) - (REG[34h]ビット9~0)ライン
- HDP = 水平表示期間  
 = ((REG[24h]ビット6~0) + 1) x 8Ts
- HNDP = 水平非表示期間  
 = HT - HDP  
 = (((REG[20h]ビット6~0) + 1) x 8Ts) - (((REG[24h]ビット6~0) + 1) x 8Ts)

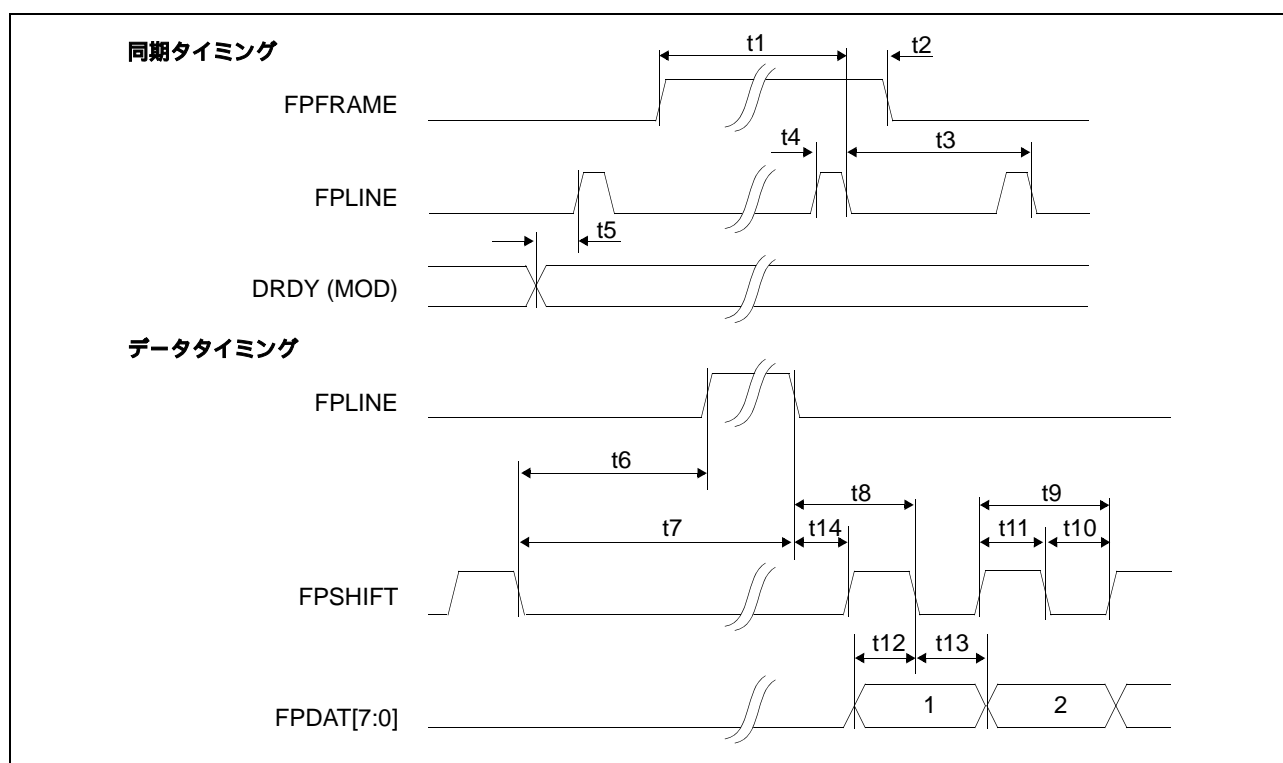


図6.25 シングルカラー 8ビットパネルのACタイミング (フォーマット2)

表6.25 シングルカラー 8ビットパネルのACタイミング (フォーマット2)

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジからのFPFRAMEホールド	(注3)			Ts
t3	FPLINE期間	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD遷移 FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ FPLINE立ち下がりエッジ	t6 + t4			Ts
t8	FPLINE立ち下がりエッジ FPSHIFT立ち下がりエッジ	t14 + 2			Ts
t9	FPSHIFT期間	2			Ts
t10	FPSHIFT LOWパルス幅	1			Ts
t11	FPSHIFT HIGHパルス幅	1			Ts
t12	FPDAT[7:0]セットアップ FPSHIFT立ち下がりエッジ	1			Ts
t13	FPDAT[7:0]ホールドからFPSHIFT立ち下がりエッジ	1			Ts
t14	FPLINE立ち下がりエッジ FPSHIFT立ち上がりエッジ	(注8)			Ts

## 注

1. Ts = ピクセルクロック周期
2.  $t1_{min} = HPS + t4_{min}$
3.  $t2_{min} = t3_{min} - (HPS + t4_{min})$
4.  $t3_{min} = HT$
5.  $t4_{min} = HPW$
6.  $t5_{min} = HPS - 1$
7.  $t6_{min} = HPS - (HDP + HDPS) + 1$ 、負の場合は $t3_{min}$ を追加
8.  $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加



## 6. AC特性

### 6.5.7 シングルカラー 16ビットパネルのタイミング

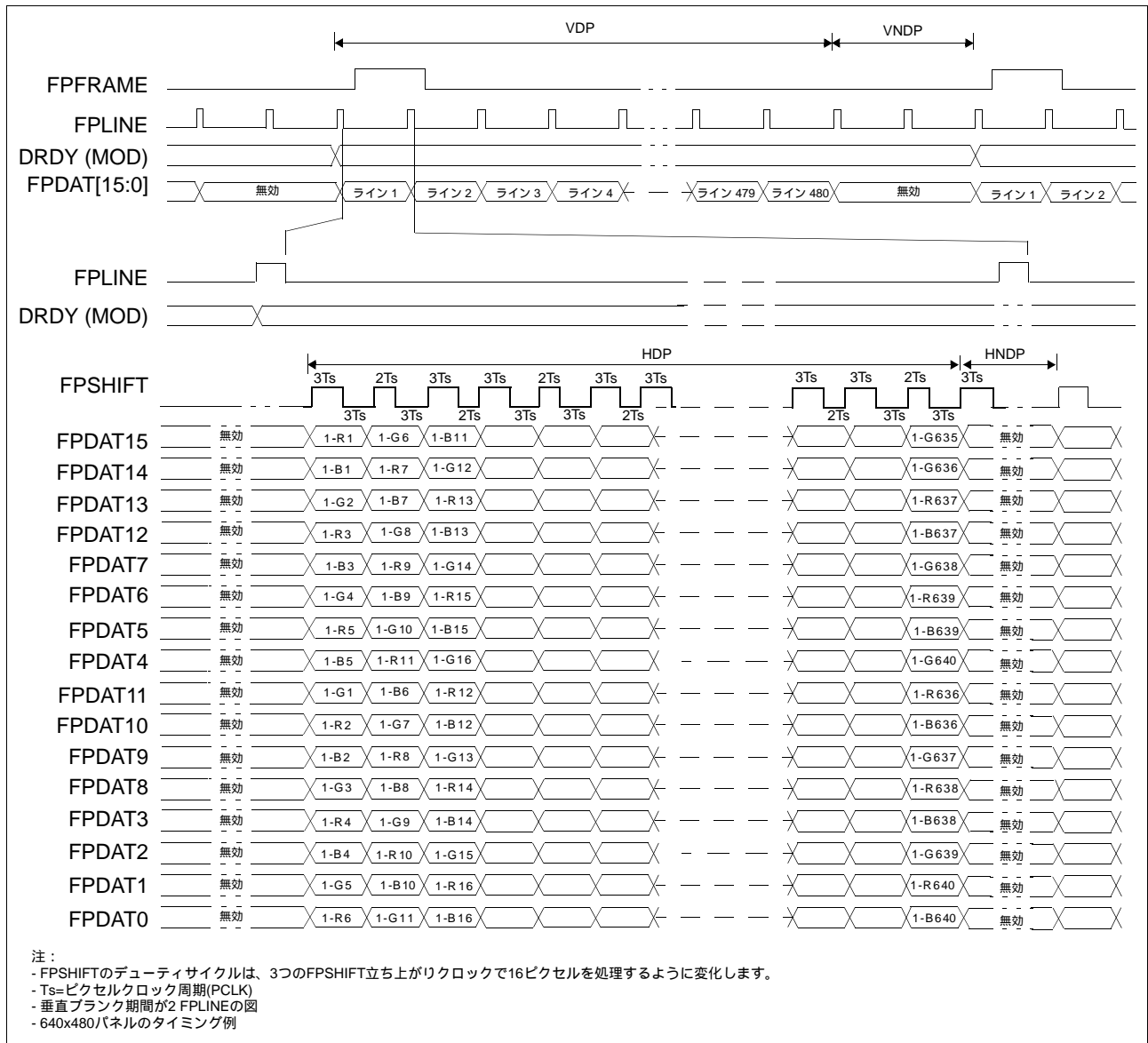


図6.26 シングルカラー 16ビットパネルのタイミング

- VDP = 垂直表示期間  
 = (REG[34h]ビット9~0) + 1ライン
- VNDP = 垂直非表示期間  
 = VT - VDP  
 = (REG[30h]ビット9~0) - (REG[34h]ビット9~0)ライン
- HDP = 水平表示期間  
 = ((REG[24h]ビット6~0) + 1) x 8Ts
- HNDP = 水平非表示期間  
 = HT - HDP  
 = (((REG[20h]ビット6~0) + 1) x 8Ts) - (((REG[24h]ビット6~0) + 1) x 8Ts)

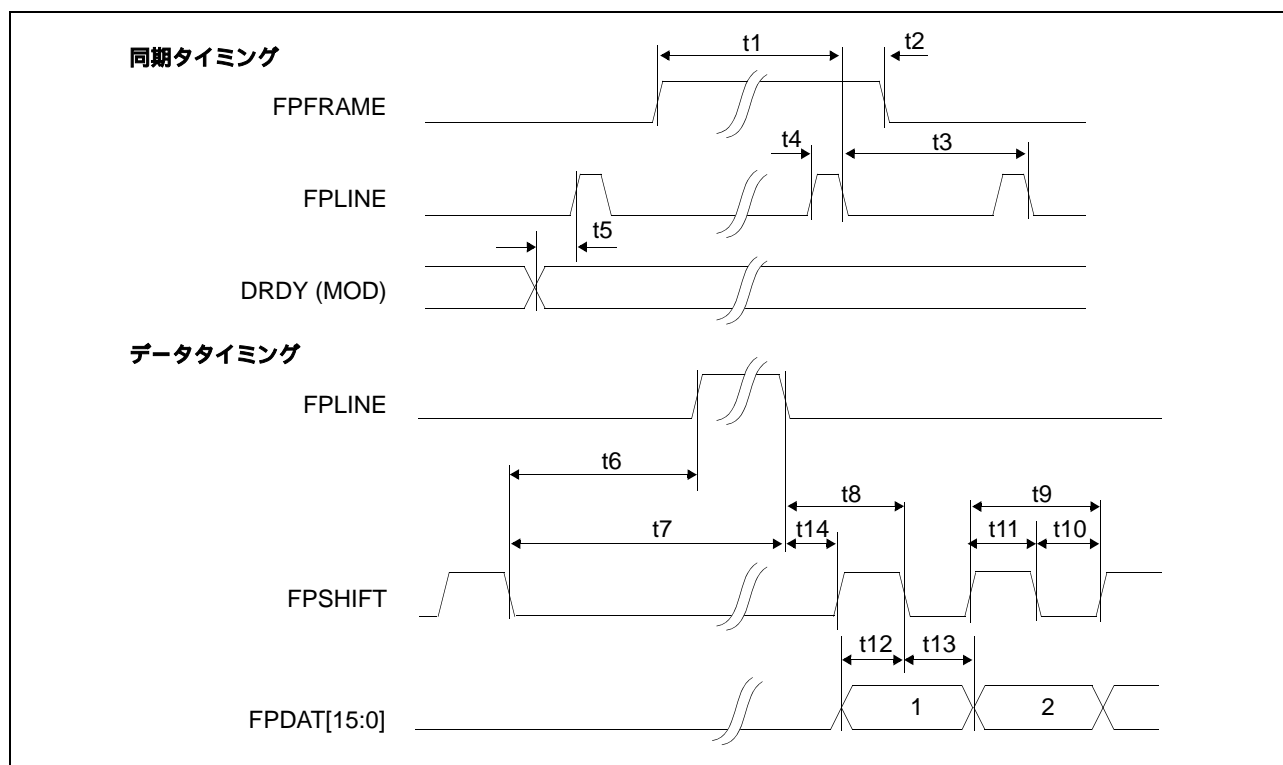


図6.27 シングルカラー 16ビットパネルのACタイミング

表6.26 シングルカラー 16ビットパネルのACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジからのFPFRAMEホールド	(注3)			Ts
t3	FPLINE期間	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD遷移 FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ FPLINE立ち下がりエッジ	t6 + t4			Ts
t8	FPLINE立ち下がりエッジ FPSHIFT立ち下がりエッジ	t14 + 3			Ts
t9	FPSHIFT期間	5			Ts
t10	FPSHIFT LOWパルス幅	2			Ts
t11	FPSHIFT HIGHパルス幅	2			Ts
t12	FPDAT[15:0]セットアップ FPSHIFT立ち上がりエッジ	2			Ts
t13	FPDAT[15:0]ホールド FPSHIFT立ち上がりエッジ	2			Ts
t14	FPLINE立ち下がりエッジ FPSHIFT立ち上がりエッジ	(注8)			Ts

## 注

1. Ts = ピクセルクロック周期
2.  $t1_{min} = HPS + t4_{min}$
3.  $t2_{min} = t3_{min} - (HPS + t4_{min})$
4.  $t3_{min} = HT$
5.  $t4_{min} = HPW$
6.  $t5_{min} = HPS - 1$
7.  $t6_{min} = HPS - (HDP + HDPS) + 2$ 、負の場合は $t3_{min}$ を追加
8.  $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加

## 6. AC特性

### 6.5.8 汎用TFTパネルのタイミング

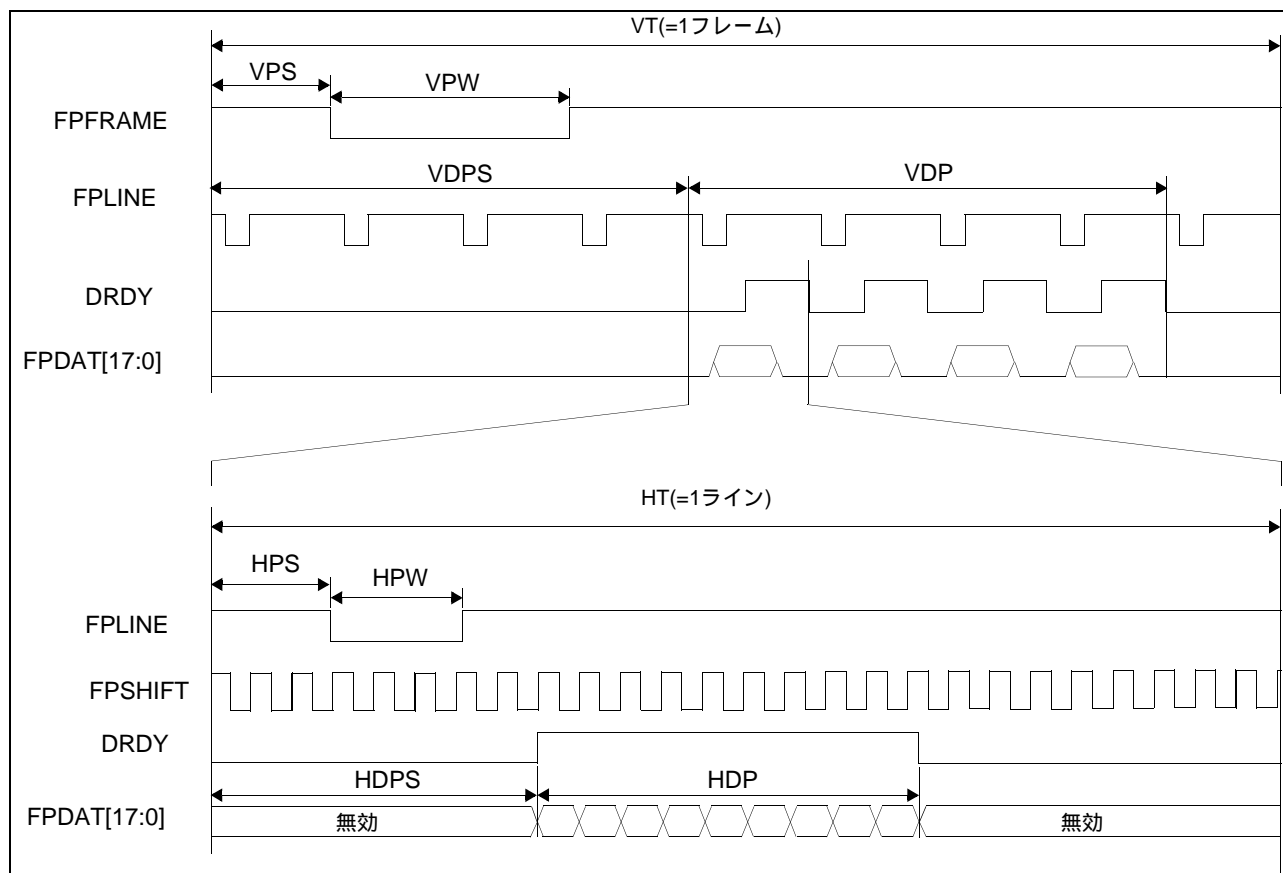


図6.28 汎用TFTパネルのタイミング

VT	= 全垂直期間	= ((REG[30h]ビット9~0)+1) ライン
VPS	= FPPFRAMEパルス開始位置	= (REG[3Ch]ビット9~0) ライン
VPW	= FPPFRAMEパルス幅	= ((REG[3Ch]ビット18~16)+1) ライン
VDPS	= 垂直表示期間開始位置	= (REG[38h]ビット9~0) ライン
VDP	= 垂直表示期間	= ((REG[34h]ビット9~0)+1) ライン
HT	= 全水平期間	= (((REG[20h]ビット6~0)+1)×8) ピクセル
HPS	= FPLINEパルス開始位置	= ((REG[2Ch]ビット9~0)+1) ピクセル
HPW	= FPLINEパルス幅	= ((REG[2Ch]ビット22~16)+1) ピクセル
HDPS	= 水平表示期間開始位置	= ((REG[28h]ビット9~0)+5) ピクセル
HDP	= 水平表示期間	= (((REG[24h]ビット6~0)+1)×8) ピクセル

\* TFTパネルの場合、HDPは最低8ピクセルで、8の倍数でなければなりません。

\* パネルタイプビット (REG[0Ch]ビット1~0) =01 (TFT)

\* FPLINEパルス極性ビット (REG[2Ch]ビット23) =0 (アクティブLow)

\* FPPFRAME極性ビット (REG[3Ch]ビット23) =0 (アクティブLow)

## 6.5.9 9/12/18ビットTFTパネルのタイミング

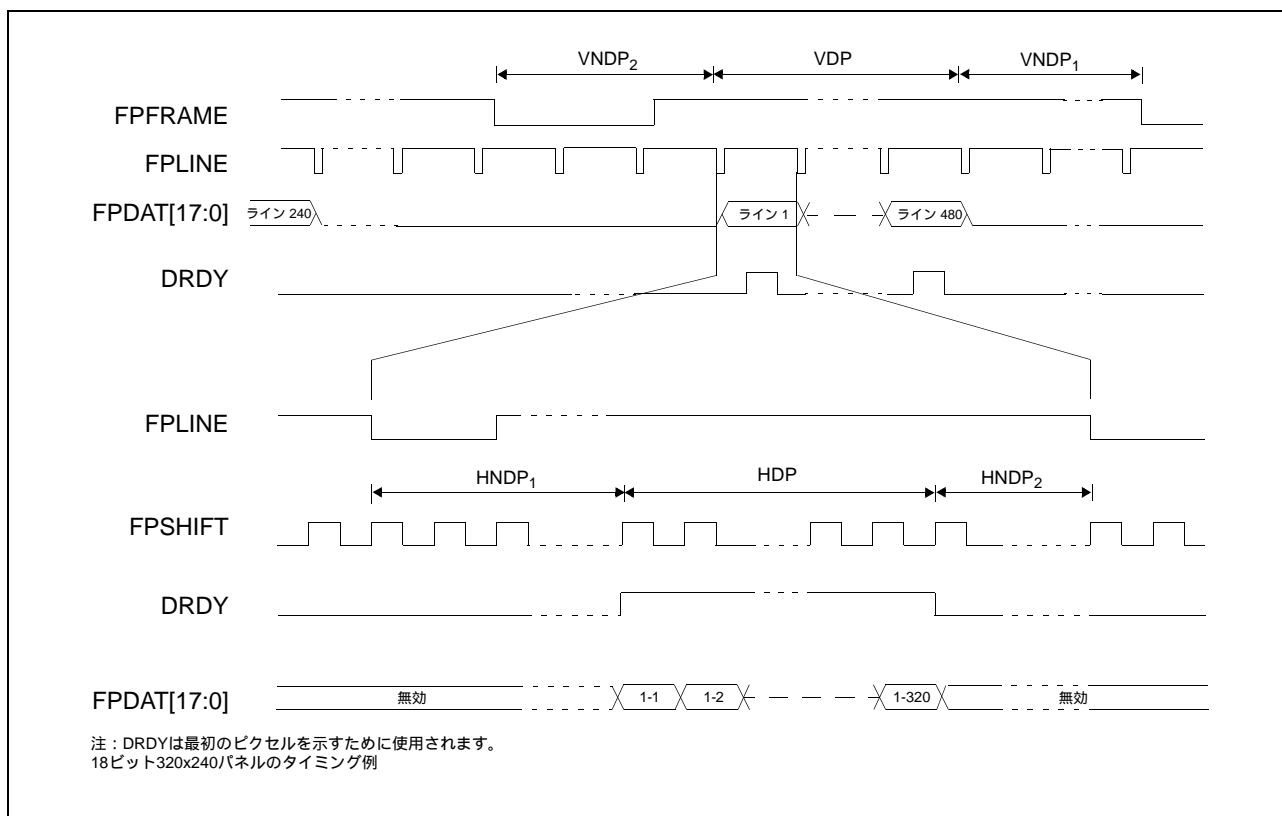


図6.29 18ビットTFTパネルのタイミング

- VDP = 垂直表示期間  
= VDPライン
- VNDP = 垂直非表示期間  
= VNDP1 + VNDP2  
= VT - VDPライン
- VNDP1 = 垂直非表示期間 1  
= VNDP - VNDP2ライン
- VNDP2 = 垂直非表示期間 2  
= VDPS - VPSライン、負の場合はVTを追加
- HDP = 水平表示期間  
= HDP Ts
- HNDP = 水平非表示期間  
= HNDP1 + HNDP2  
= HT - HDP Ts
- HNDP1 = 水平非表示期間 1  
= HDPS - HPS Ts、負の場合はHTを追加
- HNDP2 = 水平非表示期間 2  
= HPS - (HDP + HDPS) Ts、負の場合はHTを追加

## 6. AC特性

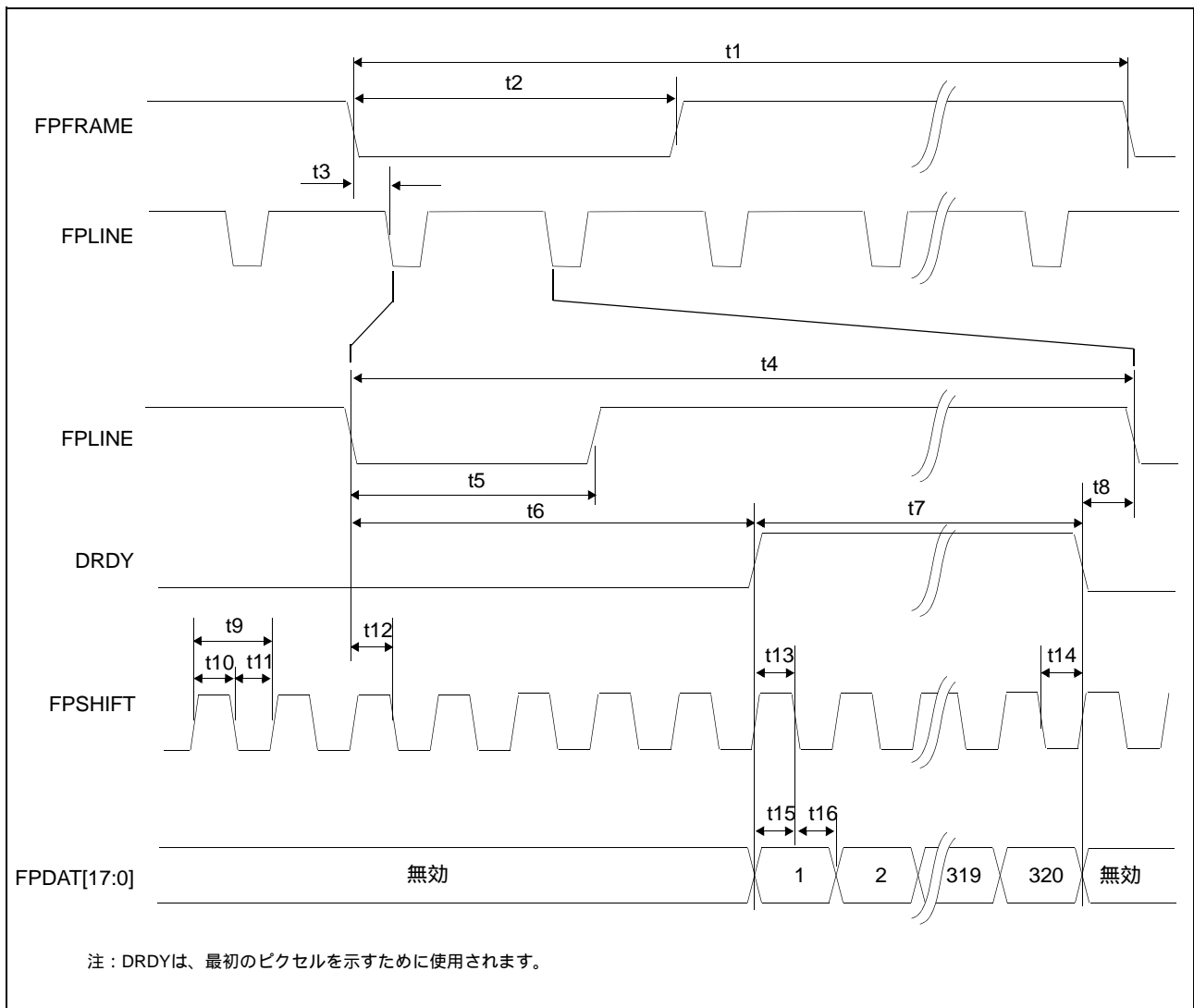


図6.30 TFTパネルのACタイミング

表6.27 TFTパネルのACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEサイクル時間	VT			ライン
t2	FPFRAME LOWパルス幅	VPW			ライン
t3	FPFRAME立ち下がりエッジ FPLINE立ち下がりエッジ位相差	HPS			Ts (注1)
t4	FPLINEサイクル時間	HT			Ts
t5	FPLINE LOWパルス幅	HPW			Ts
t6	FPLINE立ち下がりエッジ DRDYアクティブ	(注2)		250	Ts
t7	DRDYパルス幅	HDP			Ts
t8	DRDY立ち下がりエッジ FPLINE立ち下がりエッジ	(注3)			Ts
t9	FPSHIFT期間	1			Ts
t10	FPSHIFT HIGHパルス幅	0.5			Ts
t11	FPSHIFT LOWパルス幅	0.5			Ts
t12	FPLINEセットアップ FPSHIFT立ち下がりエッジ	0.5			Ts
t13	DRDY FPSHIFT立ち下がりエッジセットアップ時間	0.5			Ts
t14	FPSHIFT立ち下がりエッジからのDRDYホールド	0.5			Ts
t15	データセットアップ FPSHIFT立ち下がりエッジ	0.5			Ts
t16	FPSHIFT立ち下がりエッジからのデータホールド	0.5			Ts

**注**

1. Ts = ピクセルクロック周期
2. t6min = HDPS - HPS、負の場合はHTを追加
3. t8min = HPS - (HDP + HDPS)、負の場合はHTを追加

## 6. AC特性

### 6.5.10 シャープHR-TFTパネルのタイミング

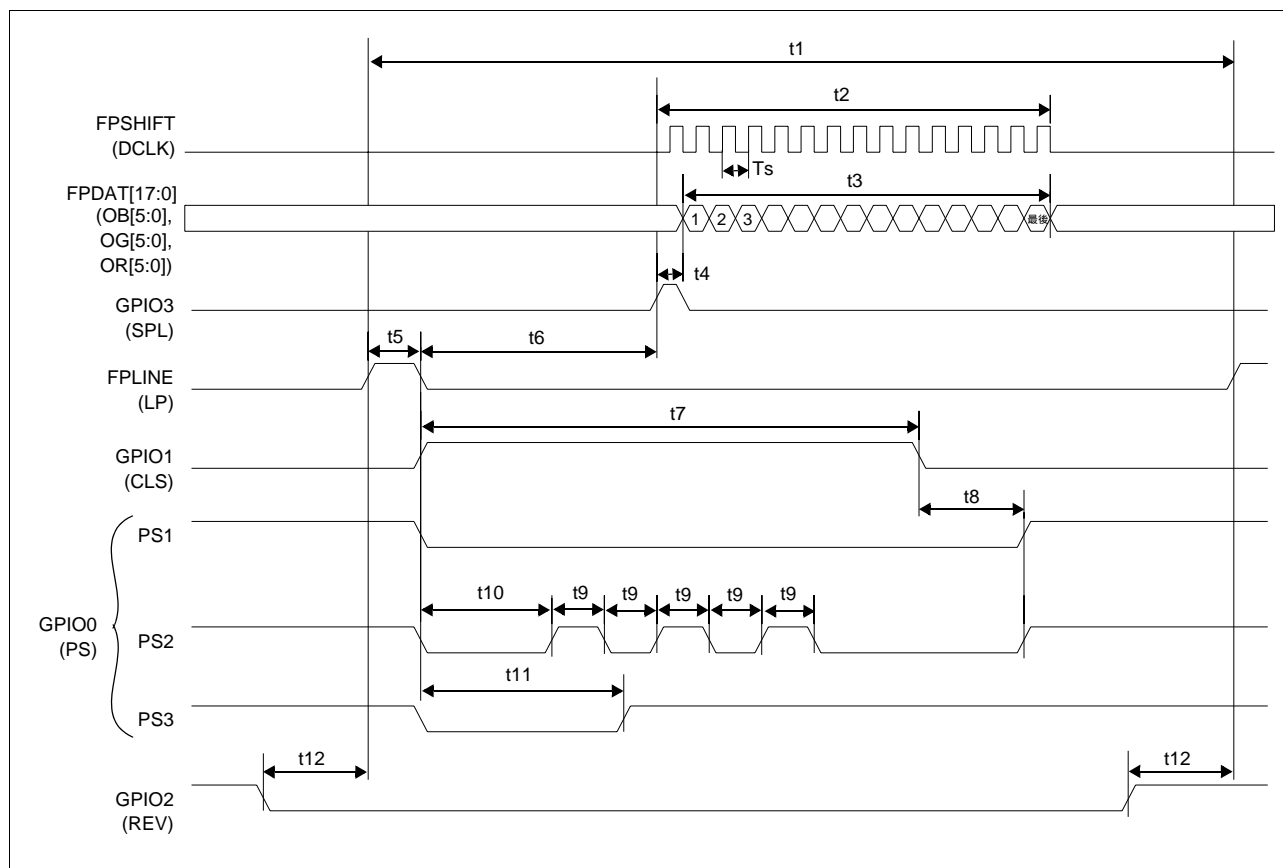


図6.31 シャープHR-TFTパネル水平タイミング

表6.28 シャープHR-TFTパネル水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全水平期間	8	(注2)	1024	$T_s$ (注1)
t2	FPSHIFT(DCLK)アクティブ	9	(注3)	1025	$T_s$
t3	水平表示期間	8	(注4)	1024	$T_s$
t4	GPIO3(SPL)パルス幅		1		$T_s$
t5	FPLINE(LP)パルス幅	1	(注5)	256	$T_s$
t6	FPLINE(LP)立ち下がりエッジ GPIO3(SPL)立ち上がりエッジ	2	(注6)	-	$T_s$
t7	GPIO1(CLS)パルス幅	0	(注7)	511	$T_s$
t8	GPIO1(CLS)立ち下がりエッジ GPIO0(PS1)立ち上がりエッジ	0	(注8)	63	$T_s$
t9	GPIO0(PS2)トグル幅	0	(注9)	127	$T_s$
t10	GPIO0(PS2)第1立ち下がりエッジ GPIO0(PS2)第1立ち上がりエッジ	0	(注10)	255	$T_s$
t11	GPIO0(PS3)パルス幅	0	(注11)	127	$T_s$
t12	GPIO2(REV)トグル位置 FPLINE(LP)立ち上がりエッジ	0	(注12)	31	$T_s$

#### 注

1.  $T_s$  = ピクセルクロック周期
2.  $t_{1typ}$  =  $((REG[20h]ビット6 \sim 0) + 1) \times 8$
3.  $t_{2typ}$  =  $((REG[24h]ビット6 \sim 0) + 1) \times 8 + 1$
4.  $t_{3typ}$  =  $((REG[24h]ビット6 \sim 0) + 1) \times 8$

5.  $t5_{typ} = (\text{REG}[2\text{Ch}] \text{ビット}22 \sim 16) + 1$
6.  $t6_{typ} = (\text{REG}[28\text{h}] \text{ビット}9 \sim 0) - (\text{REG}[2\text{Ch}] \text{ビット}22 \sim 16) + 2$
7.  $t7_{typ} = (\text{REG}[A0\text{h}] \text{ビット}8 \sim 0)$
8.  $t8_{typ} = (\text{REG}[A4\text{h}] \text{ビット}5 \sim 0)$
9.  $t9_{typ} = (\text{REG}[A\text{Ch}] \text{ビット}6 \sim 0)$
10.  $t10_{typ} = (\text{REG}[A8\text{h}] \text{ビット}7 \sim 0)$
11.  $t11_{typ} = (\text{REG}[B0\text{h}] \text{ビット}6 \sim 0)$
12.  $t12_{typ} = (\text{REG}[B4\text{h}] \text{ビット}4 \sim 0)$

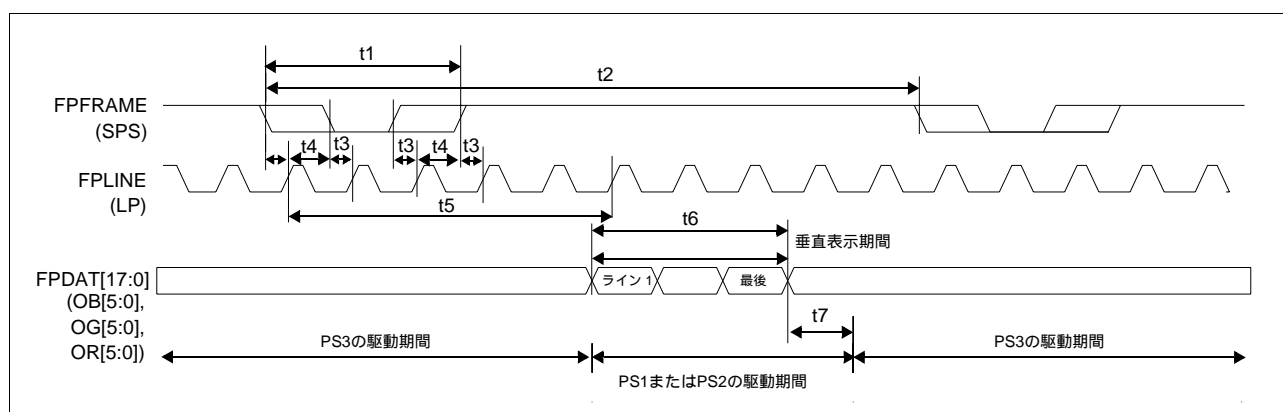


図6.32 シャープHR-TFTパネル垂直タイミング

表6.29 シャープHR-TFTパネル垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAME(SPS)パルス幅	1	(注3)	8	ライン (注1)
t2	全垂直期間	1	(注4)	1024	ライン
t3	FPFRAME(SPS)立ち上がり / 立ち下がりエッジ FPLINE(LP)立ち上がりエッジ		1 (注5)		Ts (注2)
t4	FPLINE(LP)立ち上がりエッジ FPFRAME(SPS)立ち上がり / 立ち下がりエッジ	0	(注5)	1023	Ts
t5	垂直表示開始位置	0	(注6)	1023	ライン
t6	垂直表示期間	1	(注7)	1024	ライン
t7	GPIO0(PS1/2)の追加駆動期間	0	(注8)	7	ライン

## 注

1. ライン = 1水平ライン
2. Ts = ピクセルクロック周期
3.  $t1_{typ} = (\text{REG}[3\text{Ch}] \text{ビット}18 \sim 16) + 1$
4.  $t2_{typ} = (\text{REG}[30\text{h}] \text{ビット}9 \sim 0) + 1$
5.  $t3_{typ}$  FPFRAME(SPS)立ち上がり / 立ち下がりエッジは、FPLINEパルス開始位置ビット(REG[2Ch]ビット9~0)に記憶された値により、FPLINE(LP)立ち上がりエッジの前または後に生じます。t3で示したケースのようにするには、FPLINEパルス開始位置ビットを0に設定してください。FPFRAME(SPS)立ち上がり / 立ち下がりエッジが、FPLINE(LP)立ち上がりエッジの1 Ts前に生じます。t4で示したケースのようにするには、FPLINEパルス開始位置ビットを1と全水平期間-1の間の値に設定してください。この場合、 $t4 = (\text{全水平期間} - 1) - (\text{REG}[2\text{Ch}] \text{ビット}9 \sim 0)$ です。
6.  $t5_{typ} = (\text{REG}[38\text{h}] \text{ビット}9 \sim 0)$
7.  $t6_{typ} = (\text{REG}[34\text{h}] \text{ビット}9 \sim 0) + 1$
8.  $t7_{typ} = (\text{REG}[B8\text{h}] \text{ビット}2 \sim 0)$



## 6. AC特性

### 6.5.11 カシオTFTパネルのタイミング

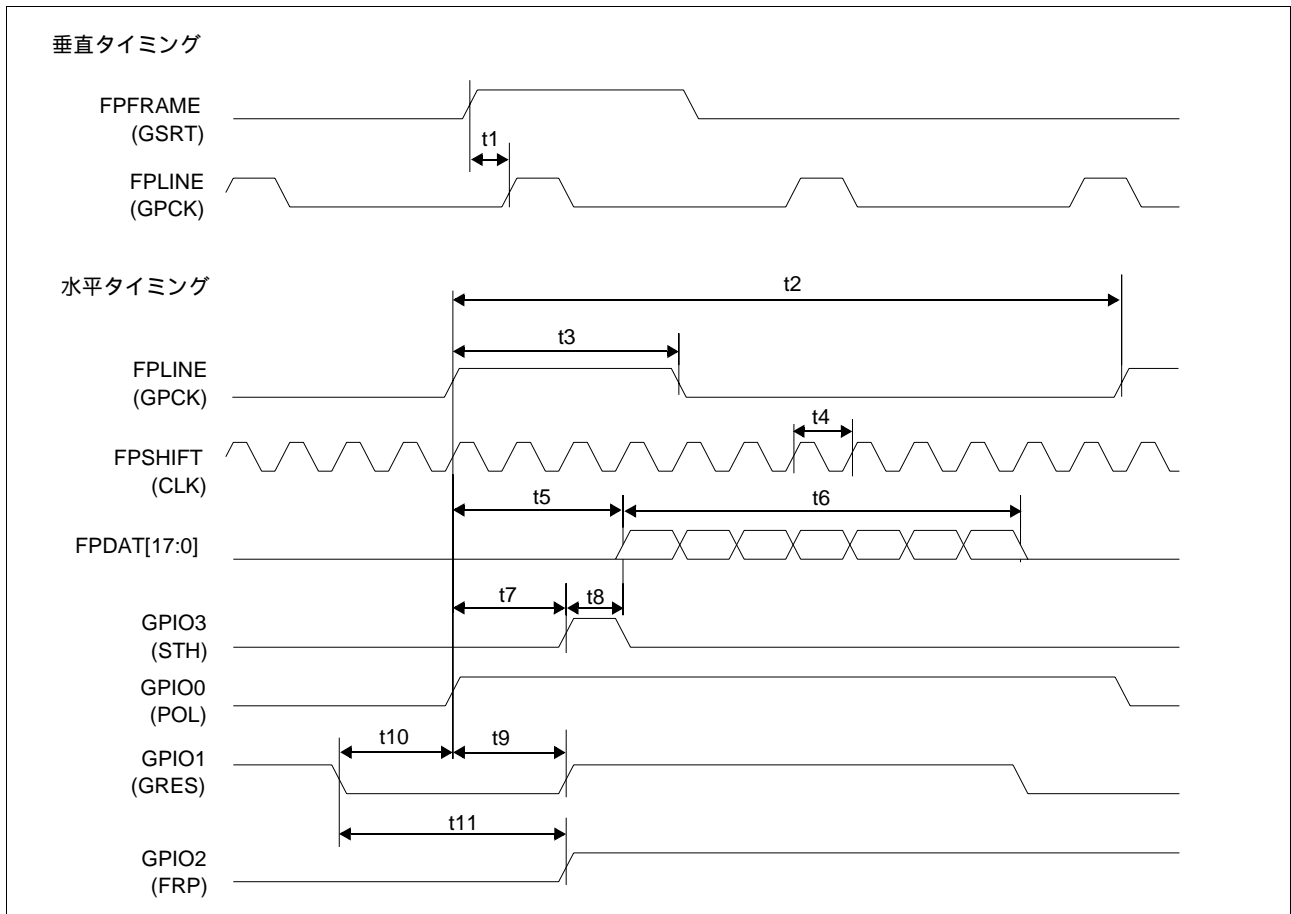


図6.33 カシオTFTパネルの水平タイミング

表6.30 カシオ TFTパネルの水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	水平パルス開始位置	1	(注2)	1024	Ts (注1)
t2	全水平期間	8	(注3)	1024	Ts
t3	水平パルス幅	1	(注4)	128	Ts
t4	ピクセルクロック周期		(注5)		Ts
t5	水平表示期間開始位置	4	(注6)	1027	Ts
t6	水平表示期間	8	(注7)	1024	Ts
t7	FPLINE(GPCK)立ち上がりエッジ GPIO3(STH)立ち上がりエッジ	0	(注8)	63	Ts
t8	GPIO3(STH)パルス幅		1		Ts
t9	FPLINE(GPCK)立ち上がりエッジ GPIO1(GRES)立ち下がりエッジ	0	(注9)	63	Ts
t10	GPIO1(GRES)立ち下がりエッジ FPLINE(GPCK)立ち上がりエッジ	1	(注10)	64	Ts
t11	FPLINE(GPCK)立ち上がりエッジ GPIO2(FRP)トグルポイント	0	(注11)	127	Ts

#### 注

1. Ts = ピクセルクロック周期
2.  $t_{1typ} = ((REG[2Ch] \text{ビット} 9 \sim 0) + 1)$
3.  $t_{2typ} = ((REG[20h] \text{ビット} 6 \sim 0) + 1) \times 8$
4.  $t_{3typ} = ((REG[2Ch] \text{ビット} 22 \sim 16) + 1)$

5.  $t4_{typ}$  = ピクセルクロック(PCLK)による
6.  $t5_{typ}$  = (REG[28h]ビット9~0) + 4
7.  $t6_{typ}$  = ((REG[24h]ビット6~0) + 1) × 8
8.  $t7_{typ}$  = (REG[C0h]ビット29~24)
9.  $t9_{typ}$  = (REG[C0h]ビット5~0)
10.  $t10_{typ}$  = (REG[C0h]ビット13~8) + 1
11.  $t11_{typ}$  = (REG[C0h]ビット22~16)

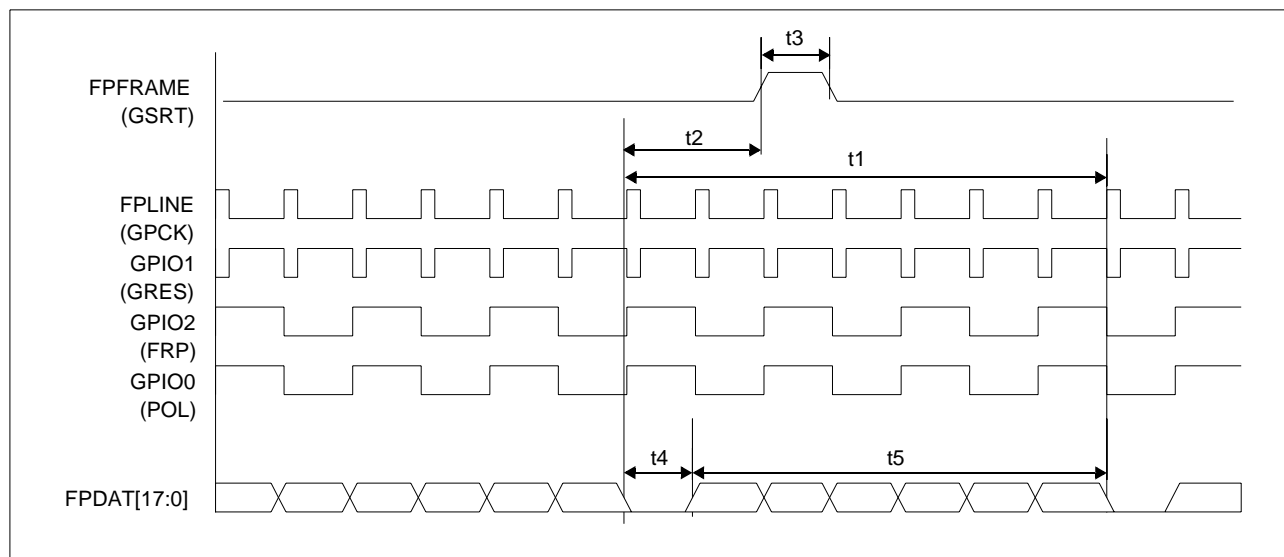


図6.34 カシオTFTパネルの垂直タイミング

表6.31 カシオTFTパネルの垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全垂直期間	1	(注2)	1024	ライン(注1)
t2	垂直パルススタート	0	(注3)	1023	ライン
t3	垂直パルス幅	1	(注4)	8	ライン
t4	垂直表示期間開始位置	1	(注5)	1024	ライン
t5	垂直表示期間	1	(注6)	1024	ライン

## 注

1. ライン = 1水平ライン
2.  $t1_{typ}$  = (REG[30h]ビット9~0) + 1
3.  $t2_{typ}$  = (REG[3Ch]ビット9~0)
4.  $t3_{typ}$  = (REG[3Ch]ビット18~16) + 1
5.  $t4_{typ}$  = (REG[38h]ビット9~0) + 1
6.  $t5_{typ}$  = (REG[34h]ビット9~0) + 1

## 6. AC特性

### 6.5.12 TFTタイプ2パネルのタイミング

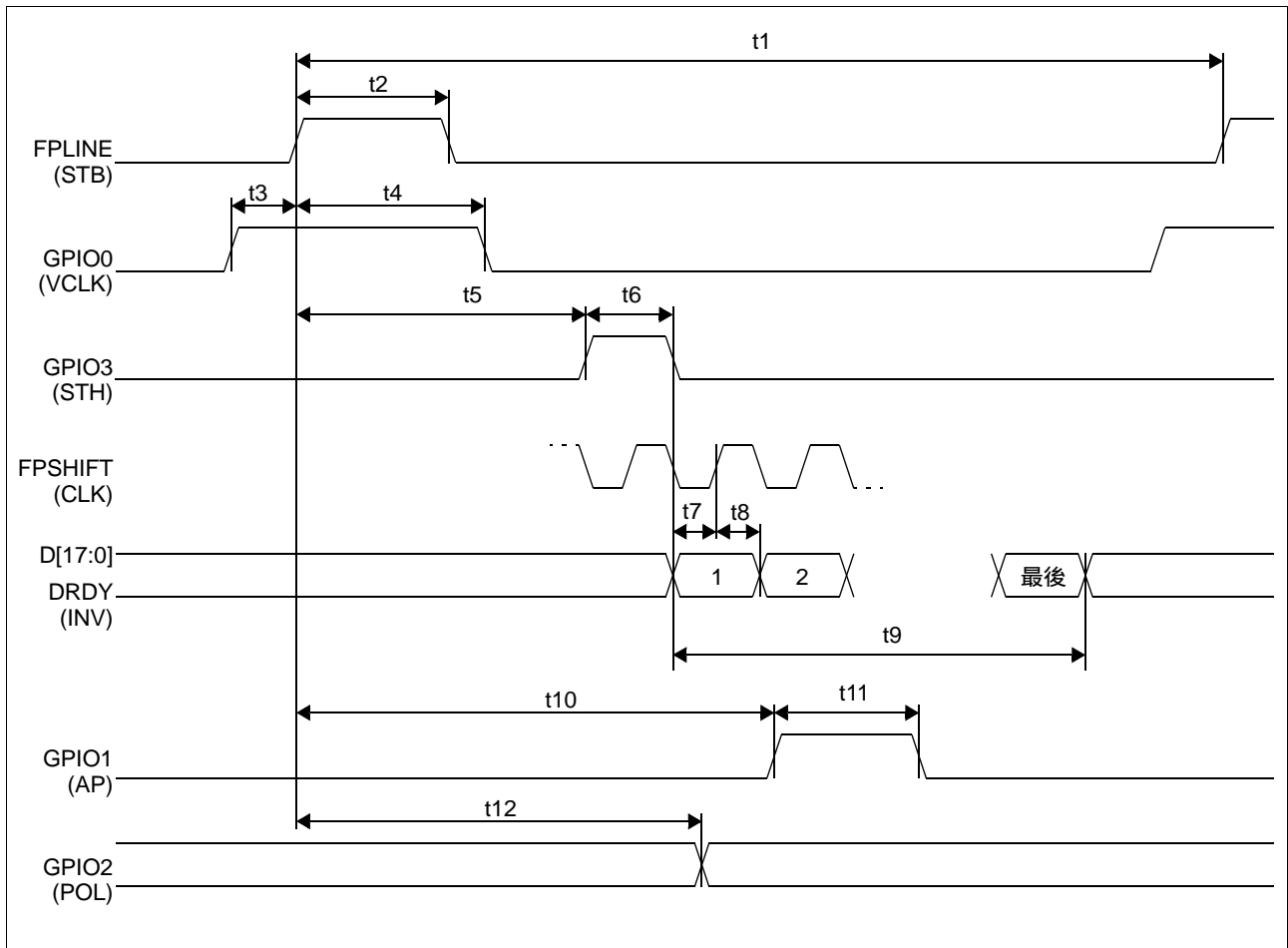


図6.35 TFTタイプ2パネルの水平タイミング

表6.32 TFTタイプ2パネルの水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全水平期間	1	(注2)	1024	Ts (注1)
t2	FPLINE(STB)パルス幅		5		Ts
t3	GPIO0(VCLK)立ち上がりエッジ FPLINE(STB)立ち上がりエッジ	7	(注3)	16	Ts
t4	FPLINE(STB)立ち上がりエッジ GPIO0(VCLK)立ち下がりエッジ	7	(注4)	16	Ts
t5	FPLINE(STB)立ち上がりエッジ GPIO3(STH)立ち上がりエッジ		(注5)		Ts
t6	GPIO3(STH)パルス幅		1		Ts
t7	データセットアップ時間	0.5			Ts
t8	データホールド時間	0.5			Ts
t9	水平表示期間	8	(注6)	1024	Ts
t10	FPLINE(STB)立ち上がりエッジ GPIO1(AP)立ち上がりエッジ	40	(注7)	90	Ts
t11	GPIO1(AP)パルス幅	20	(注8)	270	Ts
t12	FPLINE(STB)立ち上がりエッジ GPIO2(POL)トグル位置		10		Ts

注

1. Ts = ピクセルクロック周期
2. t1typ = ((REG[20h]ビット6~0) + 1) × 8

3.  $t_{3typ} = (\text{REG}[\text{BCh}] \text{ビット}1 \sim 0)$   
7、9、12または16 Tsから選択
4.  $t_{4typ} = (\text{REG}[\text{BCh}] \text{ビット}4 \sim 3)$   
7、9、12または16 Tsから選択
5.  $t_{5typ} = (\text{REG}[\text{28h}] \text{ビット}9 \sim 0) + 3 \text{ Ts}$
6.  $t_{9typ} = ((\text{REG}[\text{24h}] \text{ビット}6 \sim 0) + 1) \times 8$
7.  $t_{10typ} = (\text{REG}[\text{BCh}] \text{ビット}9 \sim 8)$   
40、52、68または90 Tsから選択
8.  $t_{11typ} = (\text{REG}[\text{BCh}] \text{ビット}13 \sim 11)$   
20、40、80、120、150、190、240または270 Tsから選択

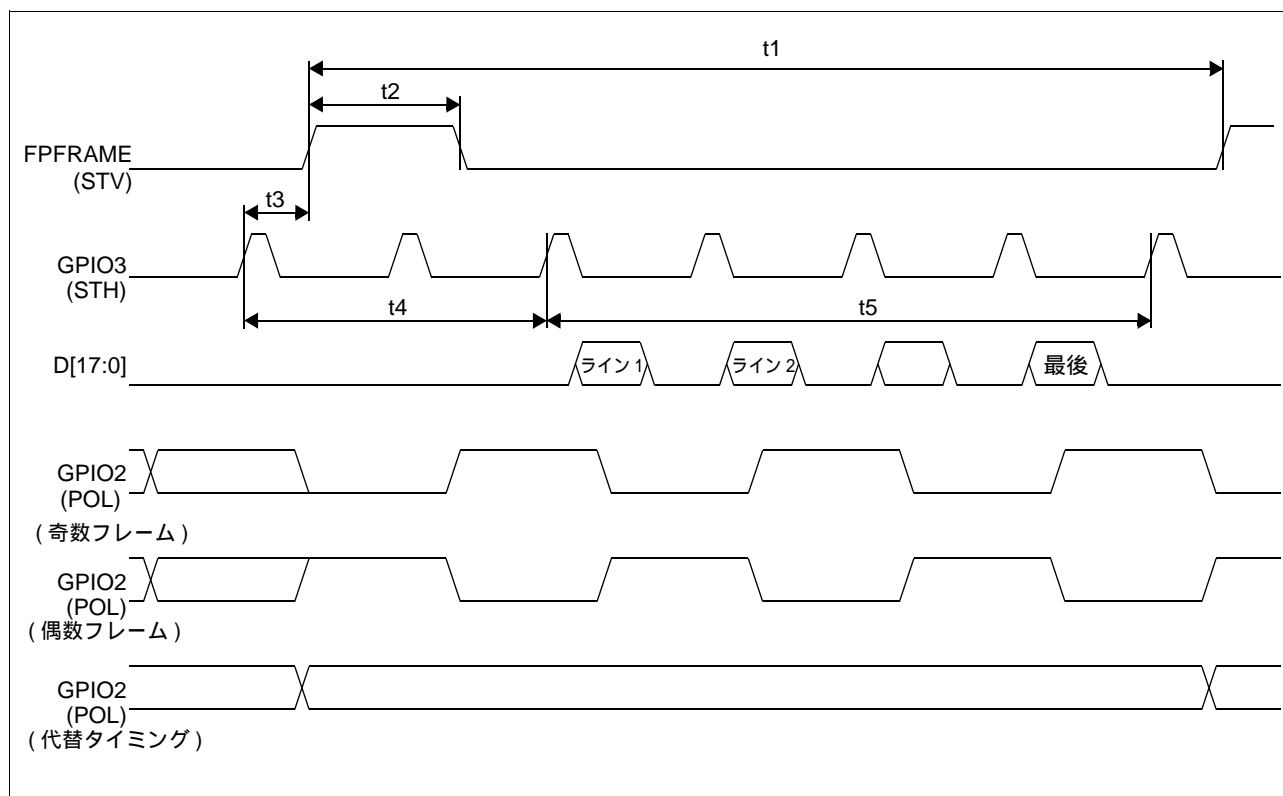


図6.36 TFTタイプ2パネルの垂直タイミング

表6.33 TFTタイプ2パネルの垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全垂直期間	8		1024	ライン
t2	FPFRAME(STV)パルス幅		1		ライン
t3	GPIO3(STH)立ち上がりエッジ FPFRAME(STV)立ち上がりエッジ		0		Ts (注1)
t4	垂直表示開始位置	0	(注3)	1024	ライン (注2)
t5	垂直表示期間	1	(注4)	1024	Ts

## 注

1. Ts = ピクセルクロック周期
2. ライン = 1水平ライン
3.  $t_{4typ} = (\text{REG}[\text{38h}] \text{ビット}9 \sim 0)$
4.  $t_{5typ} = (\text{REG}[\text{34h}] \text{ビット}9 \sim 0)$

## 6. AC特性

### 6.5.13 TFTタイプ3パネルのタイミング

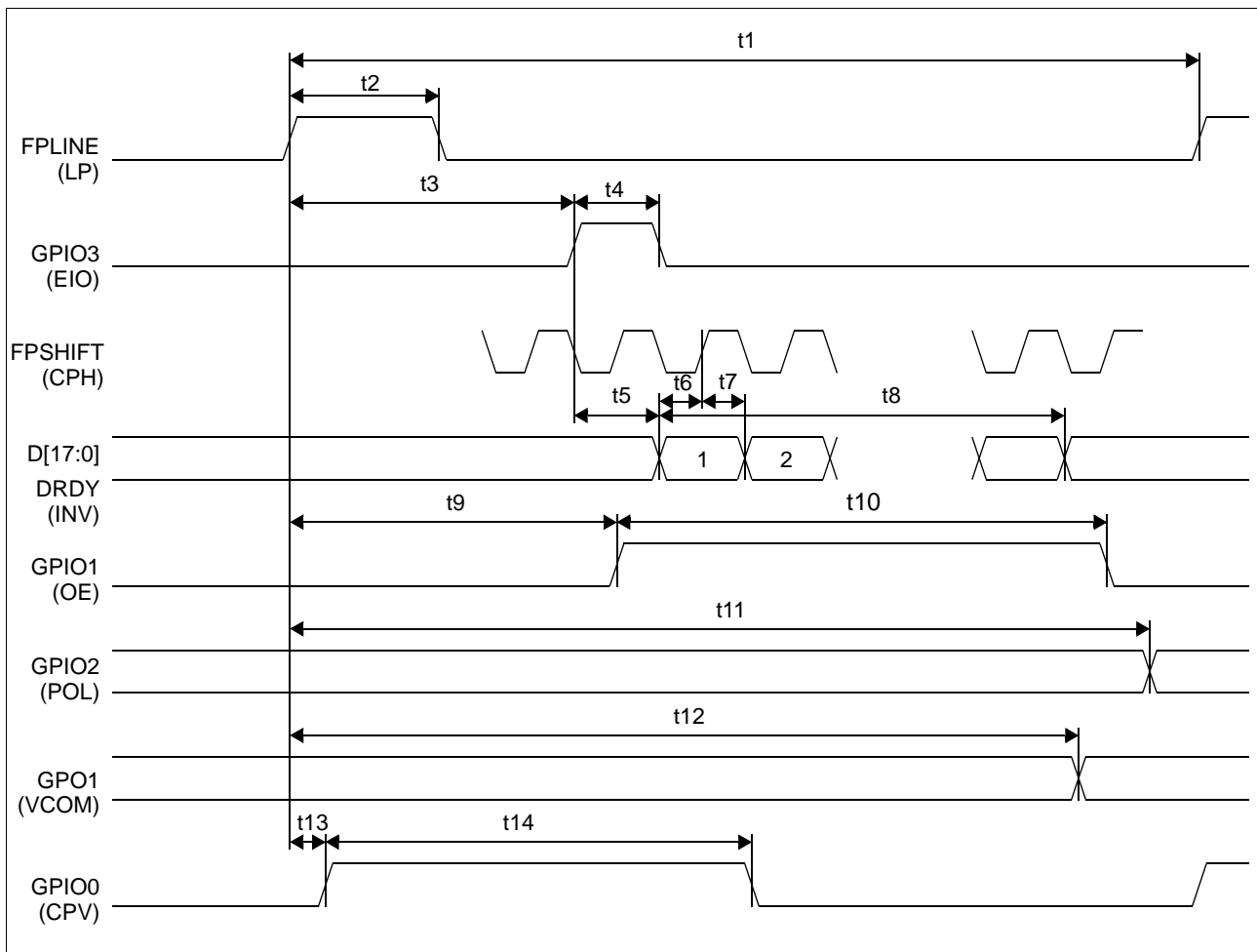


図6.37 TFTタイプ3パネルの水平タイミング

表6.34 TFTタイプ3パネルの水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全水平期間	8		1024	Ts (注1)
t2	FPLINE(LP)パルス幅	1		256	Ts
t3	FPLINE(LP)立ち上がりエッジ GPIO3(EIO)立ち上がりエッジ				Ts
t4	GPIO3(EIO)パルス幅		1		Ts
t5	GPIO3(EIO)立ち上がりエッジ 最初のデータ		1		Ts
t6	データセットアップ時間	0.5			Ts
t7	データホールド時間	0.5			Ts
t8	水平表示期間	8		1024	Ts
t9	FPLINE(LP)立ち上がりエッジ GPIO1(OE)立ち上がりエッジ	0		512	Ts
t10	GPIO1(OE)パルス幅	0		512	Ts
t11	FPLINE(LP)立ち上がりエッジ GPIO2(POL)トグル位置	0		512	Ts
t12	FPLINE(LP)立ち上がりエッジ GPO1(VCOM)トグル位置	0		512	Ts
t13	FPLINE(LP)立ち上がりエッジ GPIO0(CPV)立ち上がりエッジ		0		Ts
t14	GPIO0(CPV)パルス幅	0		512	Ts

## 注

1. Ts = ピクセルクロック周期
2. t1typ = ((REG[20h]ビット6~0) + 1) × 8
3. t2typ = (REG[2Ch]ビット22~16) + 1
4. t3typ = (REG[28h]ビット9~0) + 4 Ts
5. t4typ = 0、1、2 Tsから選択
6. t8typ = ((REG[24h]ビット6~0) + 1) × 8
7. t9typ = (REG[D8h]ビット15~8) × 2
8. t10typ = (REG[D8h]ビット23~16) × 2
9. t11typ = (REG[D8h]ビット31~24) × 2
10. t12typ = (REG[DCh]ビット7~0) × 2
11. t14typ = (REG[DCh]ビット15~8) × 2

## 6. AC特性

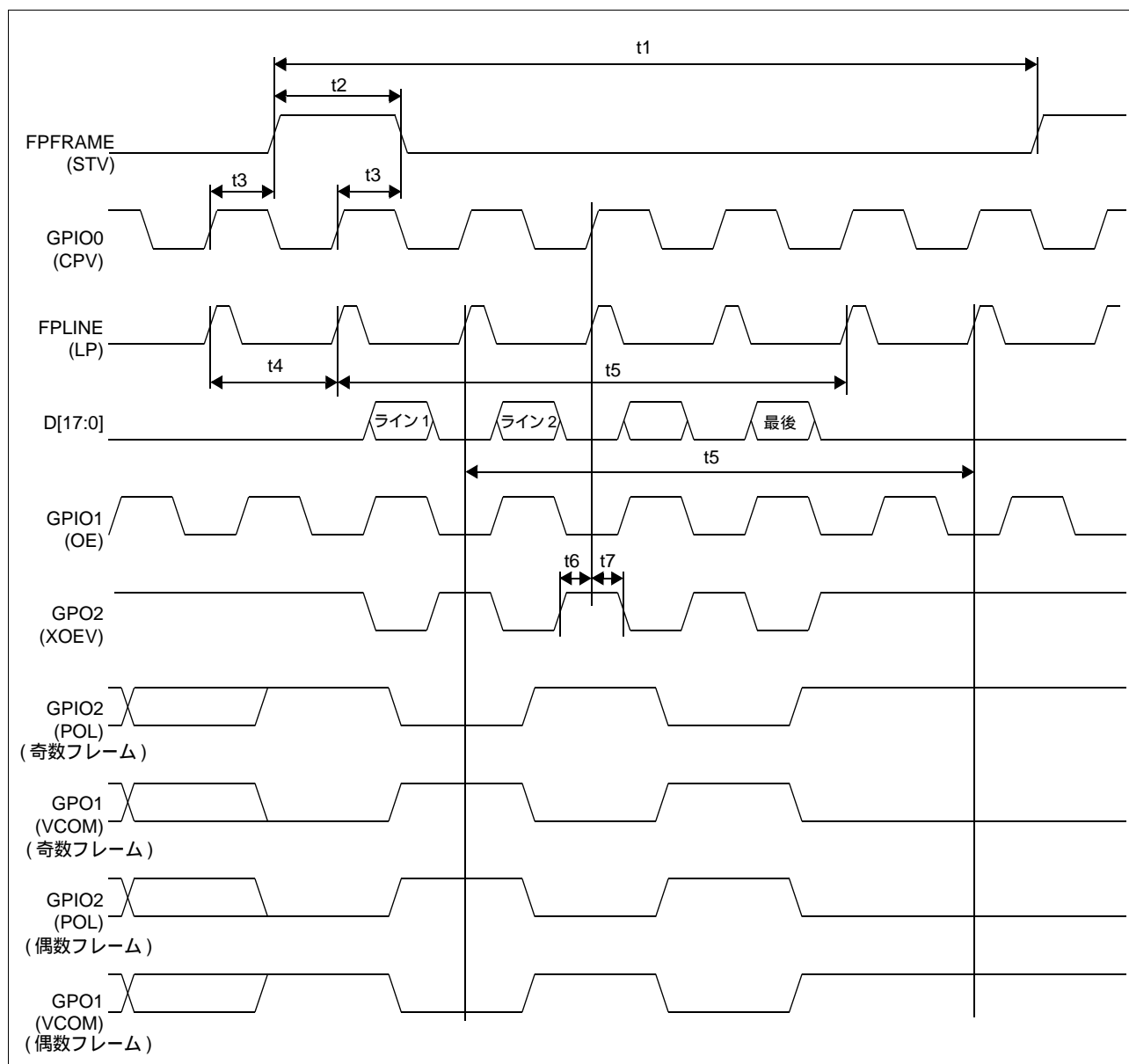


図6.38 TFTタイプ3パネルの垂直タイミング

表6.35 TFTタイプ3パネルの垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全垂直期間	1		1024	ライン
t2	FPFRAME(STV)パルス幅		1		ライン
t3	GPIO0(CPV)立ち上がりエッジ FPFRAME(STV)立ち上がり (立ち下がり)エッジ		0.5		ライン
t4	垂直表示開始位置	1			ライン
t5	垂直表示期間	1		1024	ライン
t6	GPO2(XOEV)立ち上がりエッジ GPIO0(CPV)立ち上がりエッジ	0		512	Ts
t7	GPIO0(CPV)立ち上がりエッジ GPO2(XOEV)立ち下がりエッジ	0		512	Ts

## 注

1. Ts = ピクセルクロック周期
2. t4typ = (REG[38h]ビット9~0)
3. t5typ = (REG[34h]ビット9~0) + 1
4. t6typ = (REG[DCh]ビット23~16) × 2
5. t7typ = (REG[DCh]ビット31~24) × 2



## 6. AC特性

### 6.5.14 TFTタイプ4パネルのタイミング

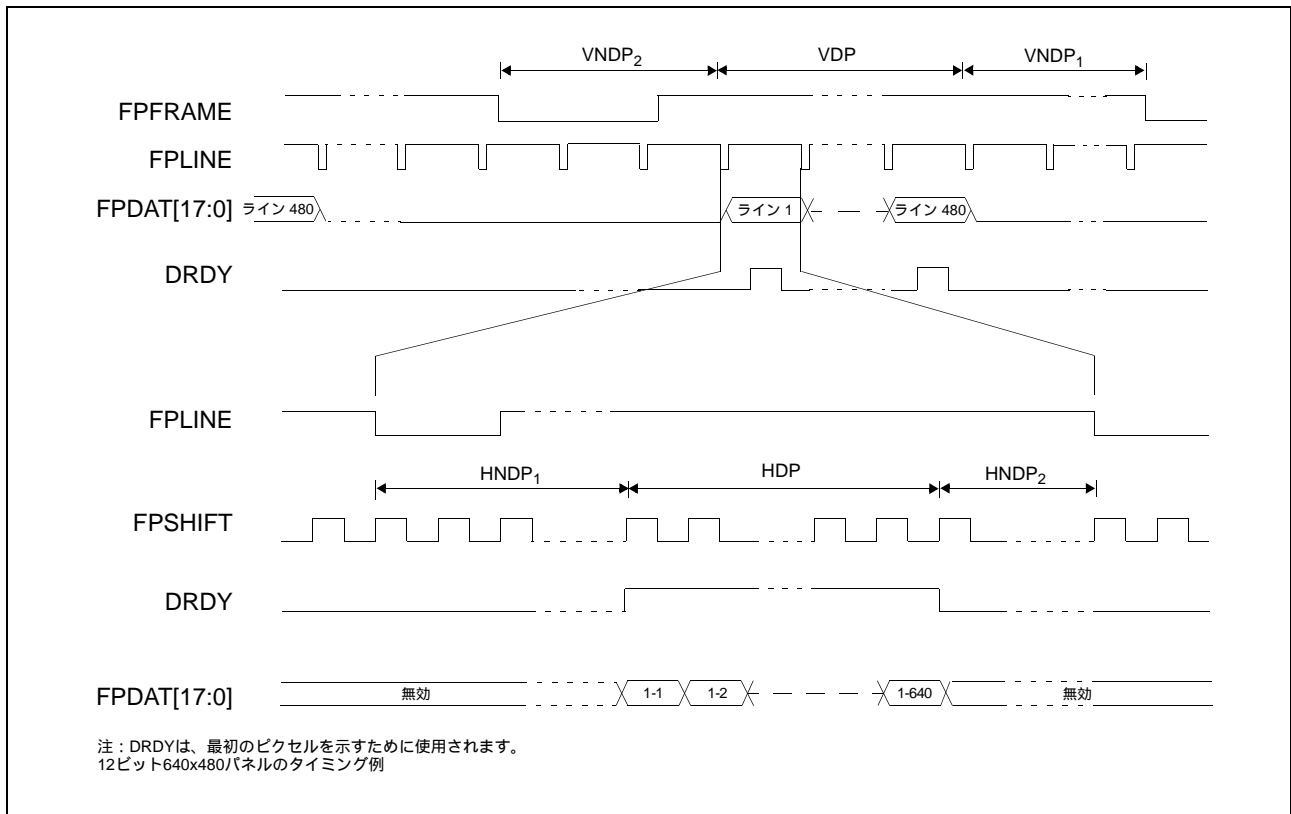


図6.39 TFTタイプ4パネルのタイミング

- VDP = 垂直表示期間  
= VDPライン
- VNDP = 垂直非表示期間  
= VNDP<sub>1</sub> + VNDP<sub>2</sub>  
= VT - VDPライン
- VNDP<sub>1</sub> = 垂直非表示期間 1  
= VNDP - VNDP<sub>2</sub> ライン
- VNDP<sub>2</sub> = 垂直非表示期間 2  
= VDPS - VPS ライン、負の場合はVTを追加
- HDP = 水平表示期間  
= HDP Ts
- HNDP = 水平非表示期間  
= HNDP<sub>1</sub> + HNDP<sub>2</sub>  
= HT - HDP Ts
- HNDP<sub>1</sub> = 水平非表示期間 1  
= HDPS - (HPS + 1) + 5 Ts、負の場合はHTを追加
- HNDP<sub>2</sub> = 水平非表示期間 2  
= (HPS + 1) - (HDP + HDPS + 5) Ts、負の場合はHTを追加

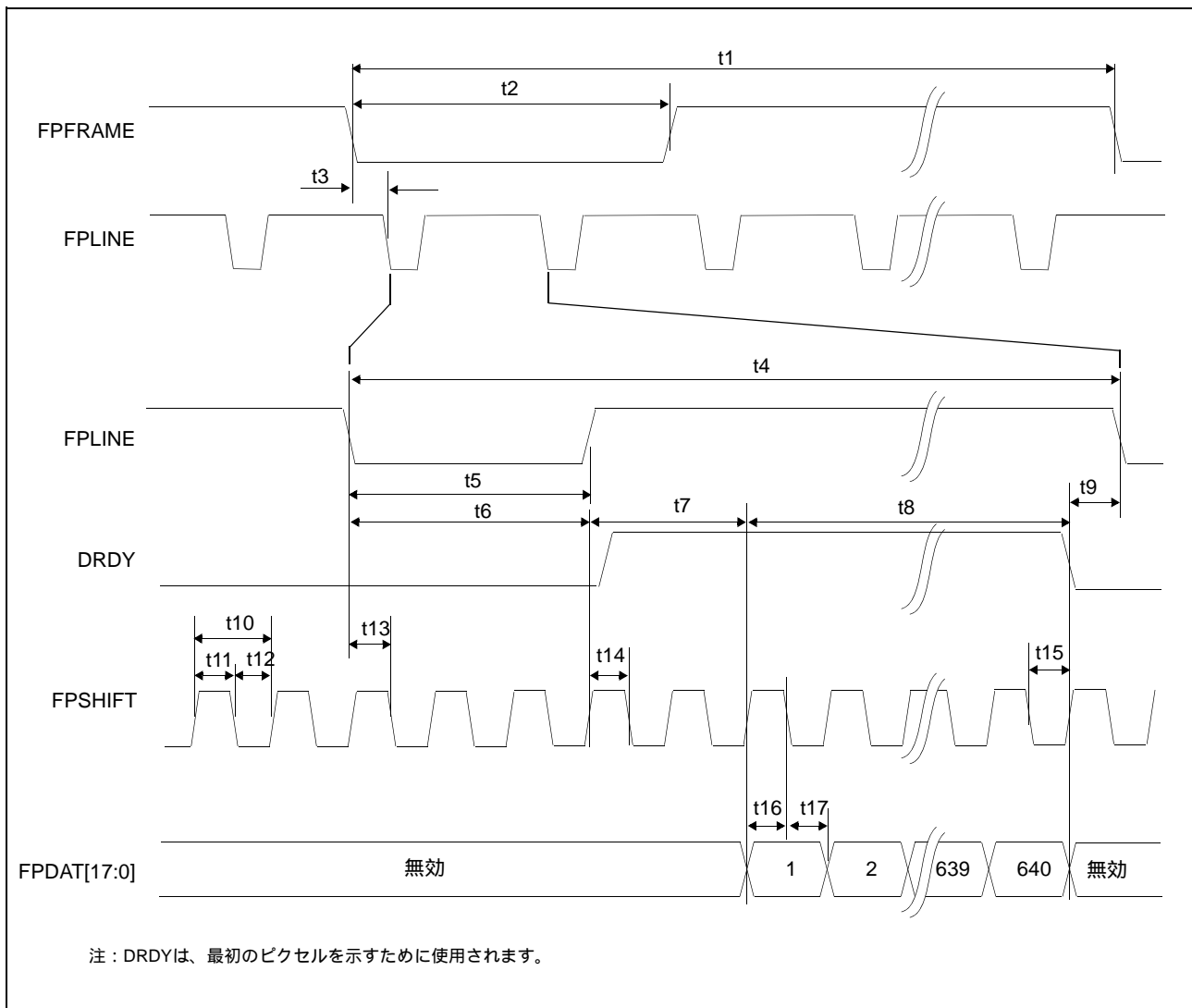


図6.40 TFTタイプ4パネルのACタイミング

## 6. AC特性

表6.36 TFTタイプ4 ACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEサイクル時間	VT			ライン
t2	FPFRAME LOWパルス幅	VPW			ライン
t3	FPFRAME立ち下がりエッジ FPLINE立ち下がりエッジ位相差	HPS + 1			Ts (注1)
t4	FPLINEサイクル時間	HT			Ts
t5	FPLINE LOWパルス幅	HPW			Ts
t6	FPLINE立ち下がりエッジ DRDYアクティブ	(注2)		250	Ts
t7	DRDYアクティブ データセットアップ		8		Ts
t8	DRDYパルス幅	HDP			Ts
t9	DRDY立ち下がりエッジ FPLINE立ち下がりエッジ	(注3)			Ts
t10	FPSHIFT期間	1			Ts
t11	FPSHIFT HIGHパルス幅	0.5			Ts
t12	FPSHIFT LOWパルス幅	0.5			Ts
t13	FPLINEセットアップ FPSHIFT立ち下がりエッジ	0.5			Ts
t14	DRDY FPSHIFT立ち下がりエッジセットアップ時間	0.5			Ts
t15	FPSHIFT立ち下がりエッジからのDRDYホールド	0.5			Ts
t16	データセットアップ FPSHIFT立ち下がりエッジ	0.5			Ts
t17	FPSHIFT立ち下がりエッジからのデータホールド	0.5			Ts

### 注

1. Ts = ピクセルクロック周期
2. t6min = HDPS - (HPS + 1) + 5、負の場合はHTを追加
3. t8min = (HPS + 1) - (HDP + HDPS + 5)、負の場合はHTを追加

6.6 USBタイミング

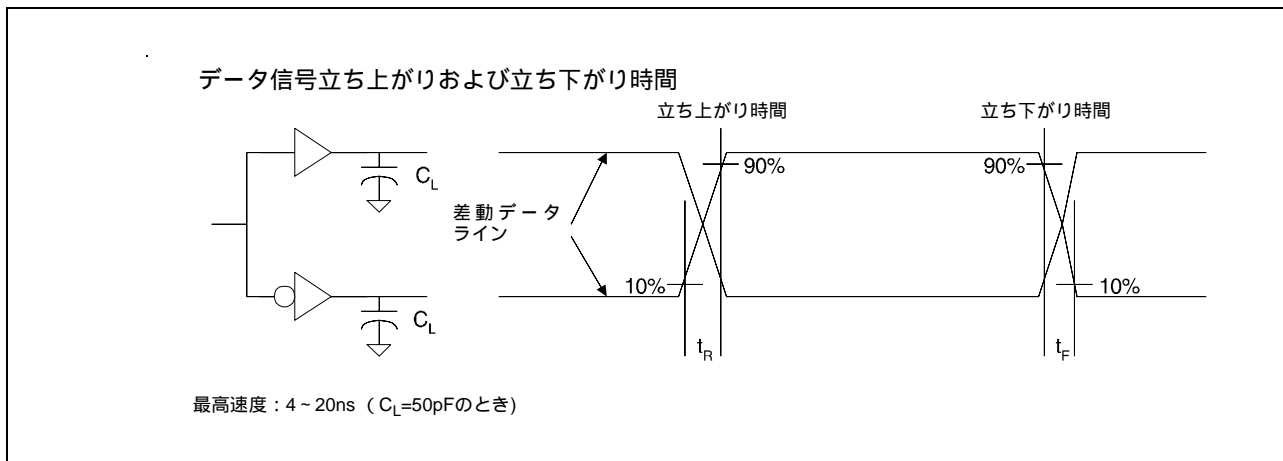


図6.41 データ信号立ち上がりおよび立ち下がり時間

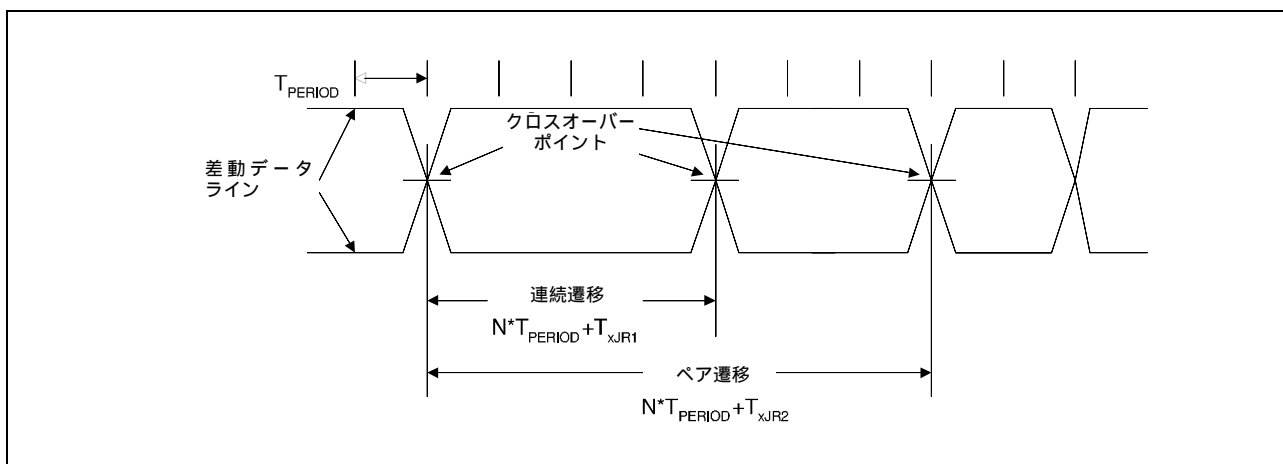


図6.42 差動データジッタ

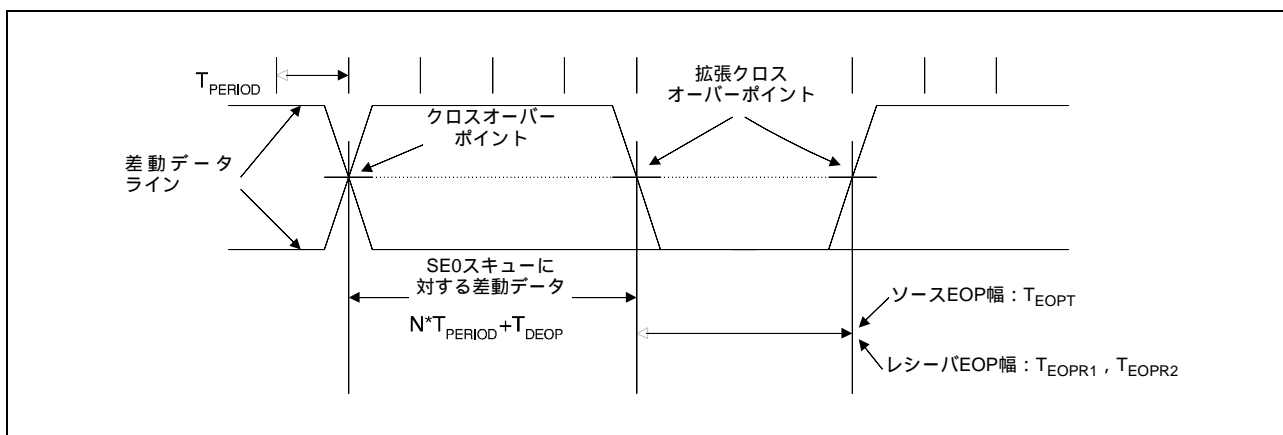


図6.43 EOP遷移スキューに対する差とEOP幅

## 6. AC特性

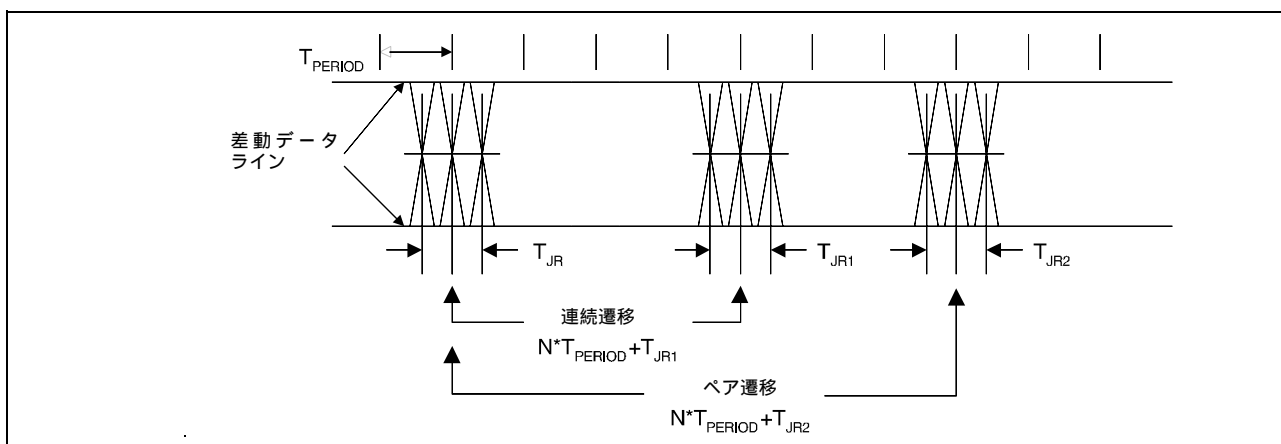


図6.44 レシーバジッタ許容値

表6.37 USBインタフェースのタイミング

記号	パラメータ	条件	波形	Min	Typ	Max	単位
$USB_{FREQ}$	USBクロック周波数				48		MHz
$T_{PERIOD}$	USBクロック周期		図6.41		$\frac{1}{USB_{FREQ}}$		
$T_R$	立ち上がり&立ち下がり時間	$C_L = 50 \text{ pF}$ (注1、2)	図6.41	4		20	ns
$T_F$				4		20	
$T_{RFM}$	立ち上がり / 立ち下がり時間 マッチング	$(T_R / T_F)$	図6.41	90		110	%
$V_{CRS}$	出力信号クロスオーバー電圧			1.3		2.0	V
$Z_{DRV}$	ドライバ出力抵抗	安定状態駆動		28 (注5)		44	$\Omega$
$T_{DRATE}$	データ転送速度			11.97	12	12.03	Mbs
$T_{DDJ1}$	次の遷移に対するソース差動 ドライバジッタ	(注3、4)	図6.42	-3.5	0	3.5	ns
$T_{DDJ2}$	ペア遷移のソース差動ドライ バジッタ	(注3、4)	図6.42	-4.0	0	4.0	ns
$T_{DEOP}$	EOP遷移スキューに 対する差	(注4)	図6.43	-2	0	5	ns
$T_{EOPT}$	ソースEOP幅	(注4)	図6.43	160	167	175	ns
$T_{JR1}$	次の遷移に対するレシーバ データジッタ許容値	(注4)	図6.44	-18.5	0	18.5	ns
$T_{JR2}$	ペア遷移のレシーバデータ ジッタ許容値	(注4)	図6.44	-9	0	9	ns
$T_{EOPR1}$	レシーバでのEOP幅; EOPで拒否すること	(注4)	図6.43	40			ns
$T_{EOPR2}$	レシーバでのEOP幅; EOPで受け入れること	(注4)	図6.43	80			ns

### 注

- 1 データ信号の10%~90%を測定。
- 2 立ち上がりエッジと立ち下がりエッジが滑らかに(単調)移行すること。
- 3 差動データ信号間のタイミング差。
- 4 差動データ信号のクロスオーバー点で測定。
- 5 このUSB仕様に対応するために20 を直列に挿入。実際のドライバ出力インピーダンスは15 。

## 7. クロック

## 7. クロック

### 7.1 クロックの説明

#### 7.1.1 BCLK

BCLKは、CLKIまたはCLKI2から得られる内部クロックです(REG[04h]ビット0を参照)。CLKIをソースとして選択した場合、BCLKは、CLKIを分割したものです( $\div 1$ 、 $\div 2$ )。CLKIは、一般に、ホストCPUバスクロックから得られます。

BCLKのソースクロックオプションは以下の表のように選択することができます。

表7.1 BCLKクロック選択

ソースクロックオプション	BCLK選択
CLKI	CNF6 = 0
CLKI $\div$ 2	CNF6 = 1

#### 注

同期バスインタフェース用には、BCLKをCPUバスクロックと同じに設定することを推奨します(CLKIを分割したものではない。例えば、SH-3、SH-4)。

#### 7.1.2 MCLK

MCLKは、埋め込みSRAMにアクセスするために必要な内部クロックを提供します。S1D13A05は、クロックの効率的な節電制御機能を備えています(クロックが使用されないときにオフにされます)。MCLKの周波数を低くしても節電されない場合があります。さらに、BCLK周波数に対してMCLK周波数を低くするとCPUサイクルレイテンシが高くなり、画面アップデート性能が低下します。節電性能と画面アップデート性能のバランスをとるには、MCLKを、十分な画面リフレッシュと許容可能なCPUサイクルレイテンシとなるような高い周波数に設定してください。

#### 注

MCLKの最高周波数は50MHzです(CORE VDDを2.0V  $\pm$  10%で印加する場合は30MHz)。MCLKはBCLKから得られるため、BCLKが50MHzより高いときは、REG[04h]ビット5~4を使ってMCLKを分割してください。

MCLKのソースクロックオプションを以下の表のように選択することができます。

表7.2 MCLKクロック選択

ソースクロックオプション	MCLK選択
BCLK	REG[04h]ビット5~4=00
BCLK $\div$ 2	REG[04h]ビット5~4=01
BCLK $\div$ 3	REG[04h]ビット5~4=10
BCLK $\div$ 4	REG[04h]ビット5~4=11

## 7.1.3 PCLK

PCLKは、パネルの制御に使用される内部クロックです。PCLKは、パネルの最適なフレームレートと一致するように選択してください。PCLKとフレームレートの関係の詳細は、163ページの10.「フレームレートの計算」を参照してください。

PCLKの選択にはある程度のフレキシビリティがあります。まず、一般に、パネルには許容可能なフレームレート範囲があります。次に、PCLK周波数を高く選択し、水平非表示期間を調整してフレームレートをその最適値まで下げることができます。

PCLKのソースクロックオプションは以下の表のように選択することができます。

表7.3 PCLKクロック選択

ソースクロックオプション	PCLK選択
MCLK	REG[08h]ビット7~0=00h
MCLK ÷2	REG[08h]ビット7~0=10h
MCLK ÷3	REG[08h]ビット7~0=20h
MCLK ÷4	REG[08h]ビット7~0=30h
MCLK ÷8	REG[08h]ビット7~0=40h
BCLK	REG[08h]ビット7~0=01h
BCLK ÷2	REG[08h]ビット7~0=11h
BCLK ÷3	REG[08h]ビット7~0=21h
BCLK ÷4	REG[08h]ビット7~0=31h
BCLK ÷8	REG[08h]ビット7~0=41h
CLKI	REG[08h]ビット7~0=02h
CLKI ÷2	REG[08h]ビット7~0=12h
CLKI ÷3	REG[08h]ビット7~0=22h
CLKI ÷4	REG[08h]ビット7~0=32h
CLKI ÷8	REG[08h]ビット7~0=42h
CLKI2	REG[08h]ビット7~0=03h
CLKI2 ÷2	REG[08h]ビット7~0=13h
CLKI2 ÷3	REG[08h]ビット7~0=23h
CLKI2 ÷4	REG[08h]ビット7~0=33h
CLKI2 ÷8	REG[08h]ビット7~0=43h

MCLKの周波数とPCLKの周波数の間には守らなければならない関係があります。

表7.4 MCLKとPCLKの関係

SwivelViewの向き	色深度 (bpp)	MCLKとPCLKの関係
SwivelView 0°と180	16	$f_{MCLK} = f_{PCLK}$
	8	$f_{MCLK} = f_{PCLK} \div 2$
	4	$f_{MCLK} = f_{PCLK} \div 4$
	2	$f_{MCLK} = f_{PCLK} \div 8$
	1	$f_{MCLK} = f_{PCLK} \div 16$
SwivelView 90°と270	16/8/4/2/1	$f_{MCLK} = 1.25f_{PCLK}$



## 7. クロック

---

### 7.1.4 PWMCLK

PWMCLKは、パネルへの出力のためにパルス幅変調器によって使用される内部クロックです。

PWMCLKのソースクロックオプションは、以下の表のように選択することができます。

**表7.5 PWMCLKクロック選択**

ソースクロックオプション	PWMCLK選択
CLKI	REG[70h]ビット2~1=00
CLKI2	REG[70h]ビット2~1=01
MCLK	REG[70h]ビット2~1=10
PCLK	REG[70h]ビット2~1=11

PWMCLKの制御に関する詳細は、120ページの「PWM Clock Configuration Register」を参照してくださいを参照してください。

## 7.2 クロック選択

以下の図は、LCDコントローラに使用されるS1D13A05内部クロックを論理的に表したものです。

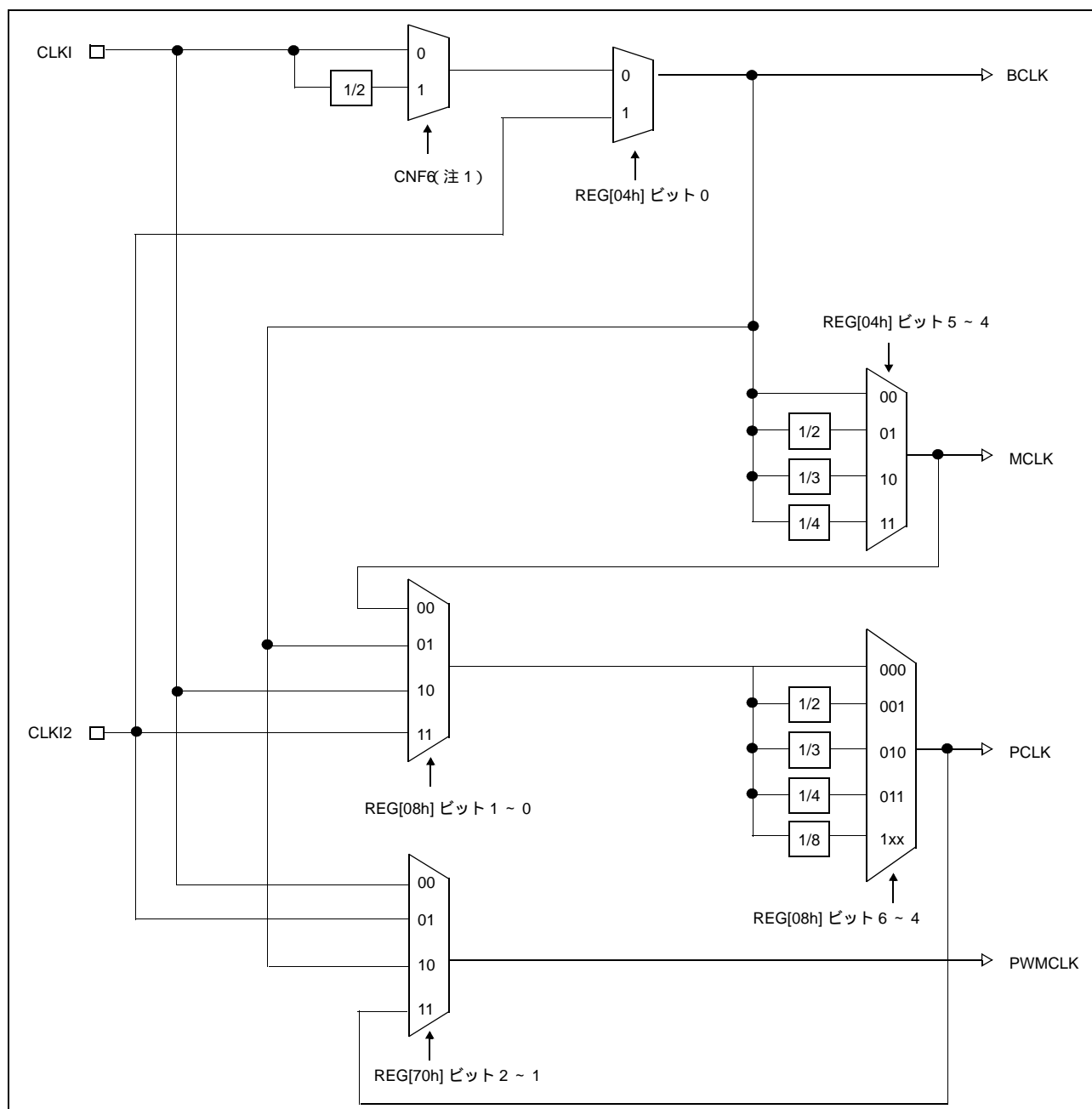


図7.1 クロック選択

## 注

1. CNF6はRESET#に設定してください。

## 7. クロック

### 7.3 クロックと機能

表7.6「S1D13A05内部クロック要件」は、次のS1D13A05機能に必要な内部クロックを示しています。

表7.6 S1D13A05内部クロック要件

機能	バスクロック (BCLK)	メモリクロック (MCLK)	ピクセルクロック (PCLK)	PWMクロック (PWMCLK)	USBクロック (USBCLK)
レジスタ読み書き	必要	不要	不要	不要(注1)	不要
メモリ読み書き	必要	必要	不要	不要(注1)	不要
ルックアップテーブル レジスタ読み書き	必要	必要	不要	不要(注1)	不要
ソフトウェアパワーセーブ	必要	不要	不要	不要(注1)	不要
LCD出力	必要	必要	必要	不要(注1)	不要
USBレジスタ読み書き	必要	不要	不要	不要	必要

#### 注

1. PWMCLKは、オプションクロックです(84ページの7.1.4「PWMCLK」を参照)。

## 8. レジスタ

この項では、S1D13A05レジスタにアクセスする方法とアクセスする場所について説明します。また、各レジスタのレイアウトと使用法を詳しく説明します。

### 8.1 レジスタマッピング

S1D13A05レジスタは、メモリマップされています。システムからの入力端子の状態がCS#=0でM/R#=0のときにレジスタがアクセスされます。レジスタ空間は、AB[17:0]によってデコードされ、以下のようにマッピングされます。

表8.1 S1D13A05レジスタマッピング

M/R#	アドレス	サイズ	機能
1	00000h ~ 40000h	256KB	SRAMメモリ
0	0000h ~ 00E3h	227バイト	コンフィギュレーションレジスタ
0	4000h ~ 4054h	84バイト	USBレジスタ
0	8000h ~ 8019h	25バイト	2Dアクセラレータレジスタ
0	10000h ~ 1FFFEh	65536バイト (64KB)	2Dアクセラレータデータポート

## 8. レジスタ

### 8.2 レジスタセット

S1D13A05レジスタセットは以下の通りです。

表8.2 S1D13A05レジスタセット

レジスタ	ページ	レジスタ	ページ
<b>LCDレジスタの説明(オフセット=0h)</b>			
<b>読み出し専用設定レジスタ</b>			
REG[00h] Product Information Register	90		
<b>クロック設定レジスタ</b>			
REG[04h] Memory Clock Configuration Register	91	REG[08h] Pixel Clock Configuration Register	92
<b>パネル設定レジスタ</b>			
REG[0Ch] Panel Type & MOD Rate Register	93	REG[10h] Display Settings Register	94
REG[14h] Power Save Configuration Register	97		
<b>ルックアップテーブルレジスタ</b>			
REG[18h] Look-Up Table Write Register	98	REG[1Ch] Look-Up Table Read Register	99
<b>表示モードレジスタ</b>			
REG[20h] Horizontal Total Register	100	REG[24h] Horizontal Display Period Register	100
REG[28h] Horizontal Display Period Start Position Register	101	REG[2Ch] FPLINE Register	101
REG[30h] Vertical Total Register	102	REG[34h] Vertical Display Period Register	103
REG[38h] Vertical Display Period Start Position Register	103	REG[3Ch] FPFRAME Register	104
REG[40h] Main Window Display Start Address Register	105	REG[44h] Main Window Line Address Offset Register	105
REG[48h] Extended Panel Type Register	106		
<b>Picture-in-Picture Plus (PIP+)レジスタ</b>			
REG[50h] PIP+ Window Display Start Address Register	107	REG[54h] PIP+ Window Line Address Offset Register	107
REG[58h] PIP+ Window X Positions Register	108	REG[5Ch] PIP+ Window Y Positions Register	110
<b>その他のレジスタ</b>			
REG[60h] Reserved	112	REG[64h] GPIO Status and Control Register	113
REG[68h] GPO Status and Control Register	117	REG[70h] PWM Clock Configuration Register	120
REG[74h] PWMOUT Duty Cycle Register	121	REG[80h] Scratch Pad A Register	122
REG[84h] Scratch Pad B Register	122	REG[88h] Scratch Pad C Register	123
<b>拡張パネルレジスタ</b>			
REG[A0h] HR-TFT CLS Width Register	124	REG[A4h] HR-TFT PS1 Rising Edge Register	124
REG[A8h] HR-TFT PS2 Rising Edge Register	124	REG[ACh] HR-TFT PS2 Toggle Width Register	125
REG[B0h] HR-TFT PS3 Signal Width Register	125	REG[B4h] HR-TFT REV Toggle Point Register	125
REG[B8h] HR-TFT PS1/2 End Register	126	REG[BCh] Type 2 TFT Configuration Register	126
REG[C0h] Casio TFT Timing Register	128	REG[D8h] Type 3 TFT Configuration 0 Register	128
REG[DCh] Type 3 TFT Configuration 1 Register	129	REG[E0h] Type 3 TFT PCLK Divide Register	130
REG[E4h] Type 3 TFT Partial Mode Display Control Register	131	REG[E8h] Type 3 TFT Partial Area 0 Positions Register	132
REG[ECh] Type 3 TFT Partial Area 1 Positions Register	132	REG[F0h] Type 3 TFT Partial Area 2 Positions Register	133
REG[F4h] Type 3 TFT Command Store Register	133	REG[F8h] Type 3 TFT Miscellaneous Register	134

表8.2 S1D13A05レジスタセット

レジスタ	ページ	レジスタ	ページ
<b>USBレジスタ(オフセット=4000h)</b>			
REG[4000h] Control Register	135	REG[4002h] Interrupt Enable Register 0	136
REG[4004h] Interrupt Status Register 0	138	REG[4006h] Interrupt Enable Register 1	139
REG[4008h] Interrupt Status Register 1	139	REG[4010h] Endpoint 1 Index Register	140
REG[4012h] Endpoint 1 Receive Mailbox Data Register	140	REG[4018h] Endpoint 2 Index Register	141
REG[401Ah] Endpoint 2 Transmit Mailbox Data Register	141	REG[401Ch] Endpoint 2 Interrupt Polling Interval Register	141
REG[4020h] Endpoint 3 Receive FIFO Data Register	141	REG[4022h] Endpoint 3 Receive FIFO Count Register	142
REG[4024h] Endpoint 3 Receive FIFO Status Register	142	REG[4026h] Endpoint 3 Maximum Packet Size Register	142
REG[4028h] Endpoint 4 Transmit FIFO Data Register	143	REG[402Ah] Endpoint 4 Transmit FIFO Count Register	143
REG[402Ch] Endpoint 4 Transmit FIFO Status Register	143	REG[402Eh] Endpoint 4 Maximum Packet Size Register	144
REG[4030h] Endpoint 4 Maximum Packet Size Register	144	REG[4032h] USB Status Register	144
REG[4034h] Frame Counter MSB Register	145	REG[4036h] Frame Counter LSB Register	145
REG[4038h] Extended Register Index	145	REG[403Ah] Extended Register Data	145
REG[403Ah], Index[00h] Vendor ID MSB	146	REG[403Ah], Index[01h] Vendor ID LSB	146
REG[403Ah], Index[02h] Product ID MSB	146	REG[403Ah], Index[03h] Product ID LSB	146
REG[403Ah], Index[04h] Release Number MSB	146	REG[403Ah], Index[05h] Release Number LSB	146
REG[403Ah], Index[06h] Receive FIFO Almost Full Threshold	147	REG[403Ah], Index[07h] Transmit FIFO Almost Empty Threshold	147
REG[403Ah], Index[08h] USB Control	147	REG[403Ah], Index[09h] Maximum Power Consumption	147
REG[403Ah], Index[0Ah] Packet Control	148	REG[403Ah], Index[0Bh] Reserved	148
REG[403Ah], Index[0Ch] FIFO Control	149	REG[4040h] USBFC Input Control Register	149
REG[4042h] Reserved	150	REG[4044h] Pin Input Status / Pin Output Data Register	150
REG[4046h] Interrupt Control Enable Register 0	151	REG[4048h] Interrupt Control Enable Register 1	151
REG[404Ah] Interrupt Control Status/Clear Register 0	151	REG[404Ch] Interrupt Control Status/Clear Register 1	152
REG[404Eh] Interrupt Control Masked Status Register 0	152	REG[4050h] Interrupt Control Masked Status Register 1	153
REG[4052h] USB Software Reset Register	153	REG[4054h] USB Wait State Register	153
<b>2Dアクセラレータ(BitBLT)レジスタ(オフセット=8000h)</b>			
REG[8000h] BitBLT Control Register	154	REG[8004h] BitBLT Status Register	155
REG[8008h] BitBLT Command Register	156	REG[800Ch] BitBLT Source Start Address Register	158
REG[8010h] BitBLT Destination Start Address Register	158	REG[8014h] BitBLT Memory Address Offset Register	159
REG[8018h] BitBLT Width Register	159	REG[801Ch] BitBLT Height Register	159
REG[8020h] BitBLT Background Color Register	160	REG[8024h] BitBLT Foreground Color Register	160
<b>2Dアクセラレータ(BitBLT)データレジスタ(オフセット=10000h)</b>			
AB16-AB0 = 10000h-1FFFEh, 2D Accelerator (BitBLT) Data Memory Mapped Region Register			161

## 8. レジスタ

### 8.3 LCDレジスタの説明(オフセット=0h)

特に指定がない限り、すべてのレジスタビットは電源投入時に0に設定されます。

#### 8.3.1 読み出し専用設定レジスタ

Product Information Register														Read Only	
REG[00h]														Default = 2Dxx402Dh	
製品コードビット5~0						改訂コードビット 1~0		n/a	CNF[6:0]状態						
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
表示バッファサイズビット7~0								製品コードビット5~0						改訂コードビット 1~0	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 31-26 製品コードビット[5:0]  
これらの読み出し専用ビットは製品コードを示します。製品コードは001011(0Bh)です。

bits 25-24 改訂コードビット[1:0]  
これらは、改訂コードを示す読み出し専用ビットです。改訂コードは01です。

bits 22-16 CNF[6:0]状態  
これらの読み出し専用状態ビットは、設定端子CNF[6:0]の状態を返します。CNF[6:0]は、RESET#の立ち上がりエッジでラッチされます(REG[60h]ビット23~16)。

#### 注

各設定ビット(CNF[6:0])の機能は、20ページの4.3「コンフィギュレーションオプションの概要」を参照してください。

bits 15-8 表示バッファサイズビット[7:0]  
これは、4KBインクリメントで測定されたSRAM表示バッファのサイズを示す読み出し専用レジスタです。S1D13A05表示バッファは256KBです。したがって、このレジスタは、64(40h)の値を返します。

このレジスタの値=表示バッファサイズ÷4KB  
=256KB÷4KB  
=64(40h)

bits 7-2 製品コードビット[5:0]  
これらの読み出し専用ビットは製品コードを示します。製品コードは001011(0Bh)です。

bits 1-0 改訂コードビット[1:0]  
これらは、改訂コードを示す読み出し専用ビットです。改訂コードは01です。

## 8.3.2 クロック設定レジスタ

Memory Clock Configuration Register																	
REG[04h]														Default = 00000000h		Read/Write	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
n/a										MCLK分周選択 ビット1~0		n/a			BCLK ソース 選択		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

bits 5-4

MCLK分周選択ビット[1:0]

これらのビットは、バスクロック(BCLK)からメモリクロック(MCLK)を生成するために使用される分周を決定します。

表8.3 MCLK分周選択

MCLK分周選択ビット	BCLK : MCLK周波数比
00	1:1
01	2:1
10	3:1
11	4:1

bit 0

BCLKソース選択

このビットが0のとき、バスクロック(BCLK)のソースは、入力端子CLKIかCLKIを分周したものです。CLKIは、CLKI : BCLK分周選択設定端子CNF6を使って分周することができます。

このビットが1のとき、バスクロック(BCLK)のソースは入力端子CLKI2です。

**注**

このビットを変更してBCLKソースをグリッチなしに切り替えることができます。



## 8. レジスタ

Pixel Clock Configuration Register														Read/Write	
REG[08h]														Default = 00000000h	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a									PCLK分周選択ビット2~0			n/a		PCLKソース選択ビット1~0	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 6-4

PCLK分周選択ビット[1:0]

これらのビットは、ピクセルクロックソースからピクセルクロック(PCLK)を生成するために使用される分周を決定します。

**表8.4 PCLK分周選択**

PCLK分周選択ビット	PCLKソース : PCLK周波数比
000	1:1
001	2:1
010	3:1
011	4:1
1XX	8:1

bits 1-0

PCLKソース選択ビット[1:0]

これらのビットは、ピクセルクロックのソース(PCLK)を決定します。

**表8.5 PCLKソース選択**

PCLKソース選択ビット	PCLKソース
00	MCLK
01	BCLK
10	CLKI
11	CLKI2

## 8.3.3 パネル設定レジスタ

Panel Type & MOD Rate Register															
REG[0Ch] Default = 00000000h															
Read/Write															
n/a							FPSHIFT 反転 24	n/a		MODレートビット5~0					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a							HR-TFT PS モード 8	パネル データ フォー マット 選択 7	カラー/ モノクロ パネル 選択 6	パネルデータ幅 ビット1~0		Reserved	n/a	パネルタイプビット 1~0	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bit 24      FPSHIFT反転  
このビットは、アクティブパネルによって使用されるFPSHIFT信号を反転します。パッシブパネルの場合はこのビットは無効です。このビットが0のとき、FPSHIFTは変化しません。このビットが1のとき、FPSHIFTは反転します。
- bits 21-16      MODレートビット[5:0]  
**これらのビットはパッシブLCDパネル専用です。**  
これらのビットがすべて0のとき、MOD出力信号(DRDY)はすべてのFPFRAMEをトグルします。  
値nが0以外の場合、MOD出力信号(DRDY)はn個ごとのFPLINEをトグルします。
- bit 8      HR-TFT PS モード  
**このビットは、HR-TFTパネル専用です。**  
このビットは、PS信号に使用されるタイミングを選択します。PSタイミング(PS1、PS2、PS3)を変更するとHR-TFTパネルの節電効果が向上します。このビットが0のとき、PS信号はPS1タイミングを使用します。このビットが1のとき、PS信号はPS2タイミングを使用します。
- bit 7      パネルデータフォーマット選択  
このビットが0のときは、8ビットシングルカラーパッシブLCDパネルデータフォーマット1が選択されます。ACタイミングについては、56ページの6.5.5「シングルカラー 8ビットパネルのタイミング(フォーマット1)」を参照してください。  
このビットが1のときは、8ビットシングルカラーパッシブLCDパネルデータフォーマット2が選択されます。ACタイミングについては、58ページの6.5.6「シングルカラー 8ビットパネルのタイミング(フォーマット2)」を参照してください。
- bit 6      カラー/モノクロパネル選択  
このビットが0のときは、モノクロLCDパネルが選択されます。このビットが1のときは、カラーLCDパネルが選択されます。
- bits 5-4      パネルデータ幅ビット[1:0]  
これらのビットは、LCDパネルのデータ幅サイズを選択します。

表8.6 パネルデータ幅選択

パネルデータ幅ビット[1:0]	パッシブパネルデータ幅サイズ	アクティブパネルデータ幅サイズ
00	4ビット	9ビット
01	8ビット	12ビット
10	16ビット	18ビット
11	Reserved	Reserved

## 8. レジスタ

- bit 3 Reserved  
このビットは0に設定してください。
- bits 1-0 パネルタイプビット[1:0]  
これらのビットはパネルタイプを選択します。

**表8.7 LCDパネルタイプ選択**

パネルタイプビット[1:0]	パネルタイプ
00	STN
01	TFT
10	Reserved
11	HR-TFT

Display Settings Register														Read/Write	
REG[10h]														Default = 00000000h	
n/a						ピクセル ダブ リング 垂直 イネーブル	ピクセル ダブ リング 水平 イネーブル	表示 ブランク	デザ リング ディセー ブル	表示 ブランク 極性	SW ビデオ 反転	PIP* ウィンドウ イネーブル	n/a	SwivelViewモード 選択ビット1~0	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a												ビット/ピクセル選択ビット4~0 (実際値:1、2、4、8または16 bpp)			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bit 25 **ピクセルダブリング垂直イネーブル**  
このビットは、パネルの垂直方向のピクセルダブリング機能を制御します(すなわち、高さ160ピクセルのデータが2倍にされ高さ320ピクセルのパネルの大きさになります)。  
このビットが1のとき、垂直方向(高さ)のピクセルダブリング機能がイネーブルされます。  
このビットが0のとき、ハードウェアに影響はありません。

**注**

ピクセルダブリングは、SwivelView 90°モードまたはSwivelView 270°モードでは使用できません。

- bit 24 **ピクセルダブリング水平イネーブル**  
このビットは、パネルの水平方向のピクセルダブリング機能を制御します(すなわち、幅160ピクセルのデータが2倍にされ幅320ピクセルのパネルになります)。  
このビットが1のとき、水平方向(幅)のピクセルダブリングがイネーブルされます。  
このビットが0のとき、ハードウェアに影響はありません。

**注**

ピクセルダブリングは、SwivelView 90°モードまたはSwivelView 270°モードでは使用できません。

- bit 23 **表示ブランク**  
このビットが0のとき、LCDディスプレイパイプラインがイネーブルされます。  
このビットが1のとき、すべての適用可能なLCDデータ出力(22ページの表4.9「LCDインタフェースの端子割り付け」を参照)はすべて強制的に0または1にされます。以下の表は、ビットの組み合わせごとのFPDAT[17:0]上の信号の変化の概要です。

表8.8 表示制御の概要

表示ブランク (REG[10h]ビット23)	表示ブランク極性 (REG[10h]ビット21)	ソフトウェアビデオ反転 (REG[10h]ビット20)	出力データライン (FPDAT[17:0])
0	X	0	通常
		1	反転
1	0	0	すべて0
		1	すべて1
	1	0	すべて1
		1	すべて0

bit 22      ディザリングディセーブル  
 このビットが0のとき、パッシブLCDパネル上のディザリングがイネーブルされ、1/2/4/8 bppモードで最大64K色 ( $2^{18}$ ) または64階調が可能になります。16bppモードでは、64K色 ( $2^{16}$ ) だけを実現することができます。  
 このビットが1のとき、パッシブLCDパネル上のディザリングがディセーブルされ、最大4096色 ( $2^{12}$ ) または16階調が可能になります。  
 ディザリングアルゴリズムは、各原色の階調を多くします。

**注**

各色深度のディザリングの一覧は、96ページの表8.10「LCD ビット / ピクセルの選択」を参照してください。

bit 21      表示ブランク極性  
 このビットが0のとき、表示ブランク機能は通常通り動作します。  
 このビットが1のとき、表示ブランク機能は極性を切り換えます。

このビットは、ビット23とビット20に関連して使用されます。表8.8「表示制御の概要」は、ビットの各組み合わせのFPDAT[17:0]上の信号への変化をまとめたものです。

bit 20      ソフトウェアビデオ反転  
 このビットが0のとき、ビデオデータは通常通りです。  
 このビットが1のとき、ビデオデータは反転します。

このビットは、ビット23とビット21で有効です。表8.8「表示制御の概要」は、ビットの各組み合わせのFPDAT[17:0]上の信号への変化をまとめたものです。

**注**

ビデオデータは、ルックアップテーブルの後で反転されます。

bit 19      PIP<sup>+</sup>ウィンドウイネーブル  
 このビットは、メインウィンドウ内のPIP<sup>+</sup>ウィンドウをイネーブルします。横長ウィンドウ内のPIP<sup>+</sup>ウィンドウの位置は、PIP<sup>+</sup> X位置レジスタ(REG[58h])とPIP<sup>+</sup> Y位置レジスタ(REG[5Ch])によって決定されます。PIP<sup>+</sup>ウィンドウには、表示開始アドレスレジスタ(REG[50h])とメモリアドレスオフセットレジスタ(REG[54h])があります。PIP<sup>+</sup>ウィンドウは、メインウィンドウと同じ色深度とSwivelView™の向きを共有します。

## 8. レジスタ

bit 17-16

SwivelViewモード選択ビット[1:0]

これらのビットは、次のような様々なSwivelView™の向きを選択します。

**表8.9 SwivelView™モード選択オプション**

SwivelViewモード選択ビット	SwivelViewの向き
00	0°(通常)
01	90°
10	180°
11	270°

bits 4-0

ビット/ピクセル選択ビット[4:0]

これらのビットは、メインウィンドウとPIP+ウィンドウ(アクティブな場合)の両方の表示データに色深度(ビット/ピクセル)を選択します。

1、2、4および8 bppモードは18ビットLUTを使用します。16bppモードはLUTを使用しません。LUTの詳細は、165ページの12.「ルックアップテーブルアーキテクチャ」を参照してください。

**表8.10 LCD ビット/ピクセルの選択**

ビット/ピクセル選択ビット[4:0]	色深度(bpp)	同時に表示される色/階調の最大数
00000		Reserved
00001	1 bpp	2/2
00010	2 bpp	4/4
00011		Reserved
00100	4 bpp	16/16
00101 ~ 00111		Reserved
01000	8 bpp	256/64
10000	16 bpp	64K/64
10001 ~ 11111		Reserved

Power Save Configuration Register															
REG[14h] Default = 00000010h														Read/Write	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a								VNDP 状態 (RO)	メモリ パワー セーブ 状態 (RO)	n/a	パワー セーブ イネーブル	n/a			Reserved
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bit 7 垂直非表示期間状態(読み出し専用)  
これは読み出し専用の状態ビットです。  
このビットが0のとき、LCDパネル出力は垂直表示期間です。  
このビットが1のとき、LCDパネル出力は垂直非表示期間です。
- bit 6 メモリコントローラパワーセーブ状態(読み出し専用)  
この読み出し専用状態ビットは、メモリコントローラのパワーセーブ状態を示します。  
このビットが0のとき、メモリコントローラに電力が供給されます。  
このビットが1のとき、メモリコントローラの電力が断たれ、MCLKソースをオフにすることができます。
- 注**  
S1D13A05は、表示バッファアクセスのメモリコントローラを動的にイネーブルするため、パワーセーブモード中のメモリの読み出し、書き込みは可能です。
- bit 4 パワーセーブイネーブル  
このビットが1のとき、ソフトウェアによるパワーセーブモードがイネーブルされます。  
このビットが0のとき、ソフトウェアによるパワーセーブモードがディセーブされます。  
リセット時、このビットは1に設定されます。パワーセーブモードの概要は、179ページの15.「パワーセーブモード」を参照してください。
- 注**  
S1D13A05は、表示バッファアクセスのメモリコントローラを動的にイネーブルするため、パワーセーブモード中のメモリの読み書きは可能です。
- bit 0 Reserved

## 8. レジスタ

### 8.3.4 ルックアップテーブルレジスタ

Look-Up Table Write Register														Write Only			
REG[18h]														Default = 00000000h			
LUT書き込みアドレスビット7~0								LUT赤書き込みデータビット5~0						n/a			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
LUT緑書き込みデータビット5~0								n/a		LUT青書き込みデータビット5~0						n/a	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

#### 注

S1D13A05には、3つの256位置、6ビット幅のLUTがあり、それぞれ赤、緑および青用です(165ページの12.「ルックアップテーブルアーキテクチャ」を参照)。

#### 注

このレジスタは書き込み専用レジスタで、読み出された場合は00hを返します。

bits 31-24

LUT書き込みアドレスビット[7:0]

これらのビットは、ルックアップテーブル(LUT)へのポインタを構成し、このポインタは、LUT赤データ、緑データおよび青データを書き込むために使用されます。S1D13A05が、リトルエンディアン(CNF4=0)を使ってホストバスインタフェースに設定されたとき、RGBデータは、これらのビットの書き込み完了時にLUTに更新されます。

#### 注

LUT書き込みアドレスビットに値が書き込まれるとき、同じ値がLUT読み出しアドレスビット(REG[1Ch]ビット31~24)に自動的に入れられます。

bits 23-18

LUT赤書き込みデータビット[5:0]

これらのビットは、ルックアップテーブルの赤要素に書き込まれるデータを含みます。LUT位置は、LUT書き込みアドレスビット(ビット31~24)によって制御されます。

bits 15-10

LUT緑書き込みデータビット[5:0]

これらのビットは、ルックアップテーブルの緑要素に書き込まれるデータを含みます。LUT位置は、LUT書き込みアドレスビット(ビット31~24)によって制御されます。

bits 7-2

LUT青書き込みデータビット[5:0]

これらのビットは、ルックアップテーブルの青要素に書き込まれるデータを含んでいます。LUT位置は、LUT書き込みアドレスビット(ビット31~24)によって制御されます。S1D13A05が、ビッグエンディアン(CNF4=1)を使ってホストバスインタフェースに設定されたとき、これらのビットに書き込みが完了するとRGBデータがLUTに更新されます。

Look-Up Table Read Register																	
REG[1Ch]								Default = 00000000h						Write Only (bits 31-24)/Read Only			
LUT読み出しアドレスビット7~0(書き込み専用)								LUT赤読み出しデータビット5~0(読み出し専用)						n/a			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
LUT緑読み出しデータビット5~0(読み出し専用)								n/a		LUT青読み出しデータビット5~0(読み出し専用)						n/a	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

**注**

S1D13A05は、3つの256位置、6ビット幅のLUTを備え、それぞれ赤、緑および青用です(165ページの12.「ルックアップテーブルアーキテクチャ」を参照。

bits 31-24

LUT読み出しアドレスビット[7:0](書き込み専用)

このレジスタは、LUTデータを読み出すために使用されるルックアップテーブル(LUT)へのポインタを構成します。赤データは、ビット23~18から読み出され、緑データはビット15~10から読み出され、青データはビット7~2から読み出されます。

**注**

LUT書き込みアドレスビット(REG[18h]ビット31~24)への書き込みが行われると、LUT読み出しアドレスビットが、同じ値で自動的に更新されます。

bits 23-18

LUT赤読み出しデータビット[5:0](読み出し専用)

これらのビットは、ルックアップテーブルの赤要素からのデータを指定します。LUT位置は、LUT読み出しアドレスビット(ビット31~24)によって制御されます。これは読み出し専用レジスタです。

bits 15-10

LUT緑読み出しデータビット[5:0](読み出し専用)

これらのビットは、ルックアップテーブルの緑要素からのデータを指定します。LUT位置は、LUT読み出しアドレスビット(ビット31~24)によって制御されます。これは読み出し専用レジスタです。

bits 7-2

LUT青読み出しデータビット[5:0](読み出し専用)

これらのビットは、ルックアップテーブルの青要素からのデータを指定します。LUT位置は、LUT読み出しアドレスビット(ビット31~24)によって制御されます。これは読み出し専用レジスタです。



## 8. レジスタ

### 8.3.5 表示モードレジスタ

Horizontal Total Register															
REG[20h]      Default = 00000000h      Read/Write															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a									全水平期間ビット6~0						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 6-0

全水平期間ビット[6:0]

これらのビットは、LCDパネル全水平期間を8ピクセル解像度で指定します。全水平期間は、水平表示期間と水平非表示期間の和です。最大全水平期間が1024ピクセルなので、サポートする最大パネル解像度は800x600です。

REG[20h]ビット6:0=(ピクセル数の全水平期間÷8)-1

#### 注

- すべてのパネルで、このレジスタを次のようにプログラムしてください。  
HDPS+HDP<HT  
HT-HDP 8MCLK
- パッシブパネルの場合は、このレジスタを次のようにプログラムしてください。  
HPS+HPW<HT
- 48ページの6.5「LCDインタフェース」を参照してください。

Horizontal Display Period Register															
REG[24h]      Default = 00000000h      Read/Write															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a									水平表示期間ビット6~0						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 6-0

水平表示期間ビット[6:0]

これらのビットは、LCDパネル水平表示期間を8ピクセル解像度で指定します。水平表示期間は、十分な水平非表示期間を許容する全水平期間より短くなければなりません。

REG[24h]ビット6:0=(ピクセル数の水平表示期間÷8)-1

#### 注

パッシブパネルの場合は、HDPは最低32ピクセルで、16の倍数でなければなりません。

TFTパネルの場合は、HDPは最低8ピクセルで、8の倍数でなければなりません。

#### 注

48ページの6.5「LCDインタフェース」を参照してください。

Horizontal Display Period Start Position Register														Read/Write			
REG[28h]														Default = 00000000h			
n/a																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
n/a						水平表示期間開始位置ビット9~0											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

bits 9-0

水平表示期間開始位置ビット[9:0]

これらのビットは、TFTパネルとHR-TFTパネルの水平表示期間開始位置(1ピクセル解像度)の計算に使用される値を指定します。

パッシブLCDパネルの場合は、これらのビットを00hに設定してください。したがってHDPS=22になります。

$$HDPS=(REG[28h]ビット9~0)+22$$

TFTパネルの場合は、HDPSは以下の式を使って計算されます。

$$HDPS=(REG[28h]ビット9~0)+5$$

**注**

このレジスタは、以下の式が成り立つようにプログラムしてください。

$$HDPS+HDP<HT$$

FPLINE Register														Read/Write			
REG[2Ch]														Default = 00000000h			
n/a														FPLINE 極性			
31	30	29	28	27	26	25	24	23	FPLINEパルス幅ビット6~0								
n/a						FPLINEパルス開始位置ビット9~0											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

bit 23

FPLINEパルス極性

このビットは、水平同期信号の極性を選択します。パッシブパネルの場合は、このビットを1に設定してください。アクティブパネルの場合は、このビットは、パネルの水平同期信号に応じて設定してください(一般にFPLINEがLP)。このビットは、TFTタイプ2パネルとTFTタイプ3パネルでは無効です。

このビットが0のとき、水平同期信号はアクティブLowです。

このビットが1のとき、水平同期信号はアクティブHighです。

bits 22-16

FPLINEパルス幅ビット[6:0]

これらのビットは、パネル水平同期信号の幅を1ピクセル解像度で指定します。水平同期信号は、一般に、パネルタイプによってFPLINEがLPです。

$$REG[2Ch]ビット22:16=ピクセル数のFPLINEパルス幅-1$$

**注**

パッシブパネルの場合は、これらのビットは、次の式が成り立つようにプログラムしてください。

$$HPW+HPS<HT$$

**注**

48ページの6.5「LCDインタフェース」を参照してください。

## 8. レジスタ

bits 9-0

FPLINEパルス開始位置ビット[9:0]

これらのビットは、水平同期信号の開始位置を1ピクセル解像度で指定します。

FPLINEパルス開始位置(ピクセル)=(REG[2Ch]ビット9~0)+1

### 注

パッシブパネルの場合は、これらのビットは、次の式が成り立つようにプログラムしてください。

$$HPW+HPS<HT$$

### 注

48ページの6.5「LCDインタフェース」を参照してください。

Vertical Total Register															
REG[30h]															Read/Write
Default = 00000000h															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a						全垂直期間ビット9~0									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 9-0

全垂直期間ビット[9:0]

これらのビットは、LCDパネル全垂直期間を1ライン解像度で指定します。全垂直期間は、垂直表示期間と垂直非表示期間の和です。最大全垂直期間は1024ラインです。

REG[30h]ビット9:0=ライン数の全垂直期間-1

### 注

- このレジスタは、次の式が成り立つようにプログラムしてください。  

$$VT>VDPS+VDP$$
- HR-TFT パネルを選択した場合は、以下の式にもあてはめなければなりません。  

$$VT>(\text{REG}[B8h]\text{ビット}2\sim 0)+VDP+VPS+1$$
- 48ページの6.5「LCDインタフェース」を参照してください。

Vertical Display Period Register															
REG[34h] Default = 00000000h															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a						n/a									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
n/a						垂直表示期間ビット9~0									

bits 9-0

垂直表示期間ビット[9:0]

これらのビットは、LCDパネル垂直表示期間を1ライン解像度で指定します。垂直表示期間は、十分な垂直非表示期間を許容するように全垂直期間より短くなければなりません。

REG[34h]ビット9:0=ライン数の垂直表示期間- 1

**注**

- 1 このレジスタは、以下の式が成り立つようにプログラムしてください。  
 $VT > VDPS + VDP$
- 2 HR-TFT パネルを選択した場合は、以下の式にもあてはめなければなりません。  
 $VT > (REG[B8h] \text{ビット} 2 \sim 0) + VDP + VPS + 1$
- 3 48ページの6.5「LCDインタフェース」を参照してください。

Vertical Display Period Start Position Register															
REG[38h] Default = 00000000h															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a						n/a									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
n/a						垂直表示期間開始位置ビット9~0									

bits 9-0

垂直表示期間開始位置ビット[9:0]

これらのビットは、TFTパネルとHR-TFTパネルの垂直表示期間開始位置を1ライン解像度で指定します。

パッシブLCDパネルの場合は、これらのビットは00hに設定してください。

TFTパネルの場合は、VDPSは以下の式を使って計算されます。

$$VDPS = \text{REG}[38h] \text{ビット} 9 \sim 0$$

**注**

- 1 このレジスタは、以下の式が成り立つようにプログラムしてください。  
 $VT > VDPS + VDP$
- 2 HR-TFT パネルを選択した場合は、以下の式にもあてはめなければなりません。  
 $VT > (REG[B8h] \text{ビット} 2 \sim 0) + VDP + VPS + 1$
- 3 48ページの6.5「LCDインタフェース」を参照してください。

## 8. レジスタ

FPFRAME Register														Read/Write		
REG[3Ch]														Default = 00000000h		
n/a						FPFRAME パルス極性		n/a				FPFRAMEパルス幅ビット 2-0				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
n/a						FPFRAMEパルス開始位置ビット9-0										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bit 23

FPFRAMEパルス極性

このビットは、垂直同期信号の極性を選択します。パッシブパネルの場合は、このビットは1に設定してください。TFTパネルの場合は、このビットは、パネルの水平同期信号に従って設定されます(一般に、FPFRAME、SPS)。このビットは、TFTタイプ2パネルでは無効です。

このビットが0のとき、垂直同期信号はアクティブLowです。

このビットが1のとき、垂直同期信号はアクティブHighです。

bits 18-16

FPFRAMEパルス幅ビット[2:0]

これらのビットは、パネル垂直同期信号の幅を1ライン解像度で指定します。垂直同期信号は、一般に、パネルタイプによりFPFRAMEかSPSです。

REG[3Ch]ビット2:0=ライン数のFPFRAMEパルス幅-1

### 注

48ページの6.5「LCDインタフェース」を参照してください。

bits 9-0

FPFRAMEパルス開始位置ビット[9:0]

これらのビットは、垂直同期信号の開始位置を1ライン解像度で指定します。

パッシブパネルの場合は、これらのビットは00hに設定してください。

TFTパネルの場合は、VDPSは以下の式を使って計算されます。

$$VPS = \text{REG}[3\text{Ch}] \text{ビット} 9 \sim 0$$

### 注

48ページの6.5「LCDインタフェース」を参照してください。

Main Window Display Start Address Register														Read/Write		
REG[40h]														Default = 00000000h		
n/a														bit 16		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
メインウィンドウ表示開始アドレスビット15~0																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 16-0

メインウィンドウ表示開始アドレスビット[16:0]

このレジスタは、メインウィンドウ用の表示バッファ内のLCD画像の開始アドレスをDWORDSで指定します。

これは、**ダブルワード(32ビット)アドレスであることに注意してください**。これらのレジスタへの00000hのエントリは、表示メモリの第1のダブルワードを表し、00001hのエントリは表示メモリの第2のダブルワードを表します。表示開始アドレスは次のように計算します。

REG[40h]ビット16:0=画像アドレス ÷ 4(SwivelView 0°にのみ有効)

**注**

SwivelViewの他の向きの場合のこのレジスタの設定方法は、171ページの13.「SwivelView™」を参照してください。

Main Window Line Address Offset Register														Read/Write		
REG[44h]														Default = 00000000h		
n/a														bit 16		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
メインウィンドウラインアドレスオフセットビット9~0																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 9-0

メインウィンドウラインアドレスオフセットビット[9:0]

このレジスタは、メインウィンドウ内のある表示ラインの始まりから次の表示ラインの始まりまでのオフセットをDWORDSで指定します。**これが32ビットアドレスインクリメントであることに注意してください**。ラインアドレスオフセットは次のように計算します。

REG[44h]ビット9:0=表示幅(ピクセル) ÷ (32 ÷ bpp)

**注**

このレジスタを式に必要な値より大きい値でプログラムすることによって、仮想表示を作成することができます。仮想表示を作成するとき、画像幅は表示幅より大きく、表示される画像はより大きい仮想画像のウィンドウになります。

## 8. レジスタ

Extended Panel Type Register														Read/Write		
REG[48h]														Default = 00000000h		
n/a																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
n/a							データ 比較反転 イネーブル	n/a				拡張パネルタイプビット3-0				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bit 8

### データ比較反転イネーブル

このビットを使って、TFTタイプ2インタフェースとTFTタイプ3インタフェースの消費電力を少なくすることができます。データ比較反転機能は、前のピクセルデータから変更されたビット数(1から0または0から1)を数えることによってトグルされるデータの量を少なくします。ビットの半分以上が変更される場合、データは反転され、それより少ない量のビットはトグルされます。他のすべてのパネルインタフェースでは、このビットは無効です。

このビットが0のとき、データ比較反転機能がディセーブルされます。

このビットが1のとき、データ比較反転機能がイネーブルされます。

bits 3-0

### 拡張パネルタイプビット[3:0]

これらのビットは、REG[0Ch]ビット1~0の設定より優先され、代替TFTパネルタイプの選択を可能にします。

表8.11 拡張パネルタイプ選択

REG[48h]ビット[3:0]	パネルタイプ
0000	REG[0Ch]ビット(1~0)からは無効
0001	TFTタイプ2
0010	TFTタイプ3
0011	TFTタイプ4
0100	カシオTFT
0101 - 1111	Reserved

## 8.3.6 Picture-in-Picture Plus(PIP+)レジスタ

PIP+ Display Start Address Register															
REG[50h]														Read/Write	
Default = 00000000h															
n/a														bit 16	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PIP+表示開始アドレスビット15-0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 16-0

PIP+表示開始アドレスビット[16:0]

これらのビットは、PIP+ウィンドウの開始ダブルワードの17ビットアドレスを構成します。

これは、ダブルワード(32ビット)アドレスであることに注意してください。これらのレジスタへの00000hのエントリは、表示メモリの第1のダブルワードを表し、00001hのエントリは、表示メモリの第2のダブルワードを表します。

**注**

これらのビットは、PIP+ウィンドウイネーブルビット(REG[10h]ビット19)が1に設定された場合だけ有効です。

PIP+ Line Address Offset Register															
REG[54h]														Read/Write	
Default = 00000000h															
n/a														bit 16	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a						PIP+ウィンドウラインアドレスオフセットビット9-0									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 9-0

PIP+ウィンドウラインアドレスオフセットビット[9:0]

これらのビットは、PIP+ウィンドウの場合、ライン“n”の開始ダブルワードからライン“n+1”の開始ダブルワードまでのLCDディスプレイの10ビットアドレスオフセットです。これが、32ビットアドレスインクリメントであることに注意してください。

**注**

これらのビットは、PIP+ウィンドウイネーブルビット(REG[10h]ビット19)が1に設定された場合だけ有効です。



## 8. レジスタ

PIP+ X Positions Register															
REG[58h] Default = 00000000h															
Read/Write															
n/a						PIP+ ウィンドウX終了位置ビット9-0									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a						PIP+ ウィンドウX開始位置ビット9-0									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

### 注

REG[58h] ~ REG[5Ch]は、REG[5Ch]が書き込まれた後の次の垂直非表示期間でのみ有効です。

bits 25-16

### PIP+ウィンドウX終了位置ビット[9:0]

これらのビットは、パネルの原点に対するPIP+ウィンドウのX終了位置を決定します。S1D13A05のSwivelView機能により、X終了位置は、水平位置の値ではない場合があります(0°および180°SwivelViewのみ)。X終了位置レジスタの値の定義方法の詳細は、176ページの14.「Picture-in-Picture Plus(PIP+)」を参照してください。

このレジスタも、SwivelViewの向きにより異なってインクリメントされます。0°および180°SwivelViewの場合、X終了位置は、現在の色深度に応じてxピクセルだけインクリメントされます。

**表8.12 色深度の32ビットアドレスインクリメント**

色深度	ピクセルインクリメント(x)
1 bpp	32
2 bpp	16
4 bpp	8
8 bpp	4
16 bpp	2

90°および270°SwivelViewの場合、X終了位置は1ラインずつインクリメントされます。

色深度に応じて、最大水平表示期間が1024ピクセルなので、このレジスタ内の上位のいくつかのビットは使用されません。

### 注

これらのビットは、PIP+ウィンドウイネーブルビット(REG[10h]ビット19)が1に設定された場合だけ有効です。

bits 9-0

## PIP+ウィンドウX開始位置ビット[9:0]

これらのビットは、パネルの原点に対するPIP+ウィンドウのX開始位置を決定します。S1D13A05のSwivelView機能により、X開始位置は、水平位置の値ではない場合があります(0°および180°SwivelViewのみ)。X開始位置レジスタの値を定義する方法の詳細は、176ページの14.「Picture-in-Picture Plus(PIP+)」を参照してください。

このレジスタは、また、SwivelViewの向きにより異なってインクリメントされます。0°および180°SwivelViewの場合、X開始位置は、現在の色深度に応じてxピクセルだけインクリメントされます。

表8.13 色深度の32ビットアドレスインクリメント

色深度	ピクセルインクリメント(x)
1 bpp	32
2 bpp	16
4 bpp	8
8 bpp	4
16 bpp	2

90°および270°SwivelViewの場合、X開始位置は1ラインずつインクリメントされず。

最大水平表示期間が1024ピクセルなので、色深度に応じてこのレジスタ内の上位いくつかのビットは使用されません。

**注**

これらのビットは、PIP+ウィンドウイネーブルビット(REG[10h]ビット19)が1に設定された場合だけ有効です。

## 8. レジスタ

PIP+ Y Positions Register															
REG[5Ch] Default = 00000000h															
Read/Write															
n/a						PIP+ ウィンドウY終了位置ビット9-0									
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a						PIP+ ウィンドウY開始位置ビット9-0									
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

### 注

- 1 REG[58h] ~ REG[5Ch]は、REG[5Ch]が書き込まれ後の次の垂直非表示期間でのみ有効です。
- 2 リトルエンディアン (CNF4=0) を使用するホストバスインタフェースの場合は、ビット31 ~ 24に書き込むことによってPIP+ウィンドウY終了位置が有効になります。  
ビッグエンディアン(CNF4=1)を使用するホストバスインタフェースの場合、ビット7 ~ 0に書き込むと、PIP+ウィンドウY終了位置が有効になりません。

bits 25-16

PIP+ウィンドウY終了位置ビット[9:0]

これらのビットは、パネルの原点に対するPIP+ウィンドウのY終了位置を決定します。S1D13A05のSwivelView機能により、Y終了位置は、垂直位置の値ではない場合があります(0°および180°SwivelViewのみ)。Y終了位置レジスタの値を定義する方法の詳細は、176ページの14.「Picture-in-Picture Plus(PIP+)」を参照してください。

このレジスタは、また、SwivelViewの向きにより異なってインクリメントされます。0°および180°SwivelViewの場合、Y終了位置は1ラインずつインクリメントされます。90°および270°SwivelViewの場合、Y終了位置は、現在の色深度に応じてyピクセルだけインクリメントされます。

表8.14 色深度の32ビットアドレスインクリメント

色深度	ピクセルインクリメント(y)
1 bpp	32
2 bpp	16
4 bpp	8
8 bpp	4
16 bpp	2

最大垂直表示期間が1024ピクセルなので、色深度に応じてこのレジスタ内の上位のいくつかのビットは使用されません。

### 注

これらのビットは、PIP+ウィンドウイネーブルビット(REG[10h]ビット19)が1に設定された場合だけ有効です。

bits 9-0

## PIP+ウィンドウY開始位置ビット[9:0]

これらのビットは、パネルの原点に対するPIP+ウィンドウのY開始位置を決定します。S1D13A05のSwivelView機能により、Y開始位置は、垂直位置の値ではない場合があります(0°および180°SwivelViewのみ)。Y開始位置レジスタの値の定義方法の詳細は、176ページの14.「Picture-in-Picture Plus(PIP+)」を参照してください。

このレジスタは、また、SwivelViewの向きにより異なってインクリメントされます。0°および180°SwivelViewの場合、Y開始位置は1ラインずつインクリメントされます。90°および270°SwivelViewの場合、Y開始位置は、現在の色深度に応じてyピクセルずつインクリメントされます。

表8.15 色深度の32ビットアドレスインクリメント

色深度	ピクセルインクリメント(y)
1 bpp	32
2 bpp	16
4 bpp	8
8 bpp	4
16 bpp	2

最大垂直表示期間が1024ピクセルなので、色深度に応じてこのレジスタ内の上位のいくつかのビットは使用されません。

## 注

これらのビットは、PIP+ウィンドウイネーブルビット(REG[10h]ビット19)が1に設定された場合だけ有効です。

## 8. レジスタ

### 8.3.7 その他のレジスタ

Reserved														Read/Write		
REG[60h]														Default = 00000000h		
n/a						Reserved						Reserved		Reserved		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
n/a						Reserved						n/a		Reserved	n/a	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

GPIO Status and Control Register																	
REG[64h]								Default = 20000000h								Read/Write	
GPIO7 入力 イネーブル	GPIO6 入力 イネーブル	GPIO5 入力 イネーブル	GPIO4 入力 イネーブル	GPIO3 入力 イネーブル	GPIO2 入力 イネーブル	GPIO1 入力 イネーブル	GPIO0 入力 イネーブル	GPIO7 設定	GPIO6 設定	GPIO5 設定	GPIO4 設定	GPIO3 設定	GPIO2 設定	GPIO1 設定	GPIO0 設定		
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
n/a								GPIO7 制御/ 状態	GPIO6 制御/ 状態	GPIO5 制御/ 状態	GPIO4 制御/ 状態	GPIO3 制御/ 状態	GPIO2 制御/ 状態	GPIO1 制御/ 状態	GPIO0 制御/ 状態		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

S1D13A05 GPIO端子はデフォルトで入力になりますが、GPIO[7:0]設定ビット(ビット23~16)を使って個々に出力または入力に設定することができます。GPIO端子を入力として設定する場合は、対応するGPIO[7:0]入力イネーブル端子を使って入力機能をイネーブルしてください(ビット31~24を参照)。GPIO端子を設定した後で、GPIO[7:0]制御/状態ビット(ビット7~0)を使ってGPIO端子を制御/読み出しすることができます。詳細は、個々のビットの説明を参照してください。

いくつかの拡張パネルタイプ(シャープHR-TFT、カシオTFTなど)で使用する場合は、リセット後に必ずいくつかのGPIOを出力に設定してください。各GPIO端子に関する具体的な情報は、22ページの表4.9「LCDインタフェースの端子割り付け」を参照してください。

bits 31-24

GPIO[7:0]入力イネーブルビット

これらのビットは、各GPIO端子(GPIO[7:0])の入力機能を個々にイネーブルします。電源投入/リセットの後で、各ビットを1に設定して各GPIO端子の入力機能をイネーブルしてください(デフォルトでは、1であるGPIO5以外は0)。GPIO端子が出力として設定されている場合、GPIO[7:0]入力イネーブルビットは無効です。

**注**

電源投入/リセット時、GPIO5入力イネーブルビット(ビット29)はデフォルトで1になります。

bits 23-16

GPIO[7:0]I/O設定

電源投入/リセット時、GPIO[7:0]端子はデフォルトで入力になります。これらのビットは、各GPIO端子を個々に出力か入力のどちらかとして設定します。これらのビットが0のとき、関連したGPIO端子は、入力として設定されます。これらのビットが1のとき、関連したGPIO端子は、出力として設定されます。これは、いくつかの拡張パネルタイプ(すなわち、シャープHR-TFT、カシオTFTなど)がUSBに必要な場合があります。各GPIO端子の具体的な情報は、32ページの22ページの表4.9「LCDインタフェースの端子割り付け」とビット7~0の個別のビットの説明を参照してください。

**注**

GPIO端子が入力として設定されている場合は、対応するGPIO<sub>x</sub>入力イネーブルビット(ビット31~24)を使ってGPIO端子の入力機能をイネーブルした後でなければ入力設定は有効になりません。

## 8. レジスタ

bit 7

GPIO7 IO制御 / 状態

以下の表は、GPIO7の複数の使用法を示します。

**表8.16 GPIO7使用法**

端子使用	機能		
	出力		入力
	書き込み0	書き込み1	読み出し
GPIO7	GPIO7 Low	GPIO7 High	GPIO7状態を返す
USB	使用不可(USB DPにより使用)	使用不可(USB DPにより使用)	使用不可(USB DPにより使用)

bit 6

GPIO6 IO制御 / 状態

以下の表は、GPIO6の複数の使用法を示します。

**表8.17 GPIO6使用法**

端子使用	機能		
	出力		入力
	書き込み0	書き込み1	読み出し
GPIO6	GPIO6 Low	GPIO6 High	GPIO6状態を返す
USB	使用不可(USB DMにより使用)	使用不可(USB DMにより使用)	使用不可(USB DMにより使用)

bit 5

GPIO5 IO制御 / 状態

以下の表は、GPIO5の複数の使用法を示します。

**表8.18 GPIO5使用法**

端子使用	機能		
	出力		入力
	書き込み0	書き込み1	読み出し
GPIO5	GPIO5 Low	GPIO5 High	GPIO5状態を返す
USB	使用不可 (USB DETECTにより使用)	使用不可 (USB DETECTにより使用)	使用不可 (USB DETECTにより使用)

bit 4

GPIO4 IO制御 / 状態

以下の表は、GPIO4の複数の使用法を示します。

**表8.19 GPIO4使用法**

端子使用	GPIO4使用法		
	出力		入力
	書き込み0	書き込み1	読み出し
GPIO4	GPIO4 Low	GPIO4 High	GPIO4状態を返す
USB	使用不可(USB PUP1により使用)	使用不可(USB PUP1により使用)	使用不可(USB PUP1により使用)

bit 3

GPIO3 IO制御 / 状態

以下の表は、GPIO3の複数の使用法を示します。

**表8.20 GPIO3使用法**

端子使用	機能		
	出力		入力
	書き込み0	書き込み1	読み出し
GPIO3	GPIO3 Low	GPIO3 High	GPIO3状態を返す

表8.20 GPIO3使用法

シャープHR-TFT	使用不可(SPLにより使用)	使用不可(SPLにより使用)	使用不可(SPLにより使用)
カシオTFT	使用不可(STHにより使用)	使用不可(STHにより使用)	使用不可(STHにより使用)
TFTタイプ2	使用不可(STHにより使用)	使用不可(STHにより使用)	使用不可(STHにより使用)
TFTタイプ3	使用不可(EIOにより使用)	使用不可(EIOにより使用)	使用不可(EIOにより使用)



## 8. レジスタ

bit 2

GPIO2 IO制御 / 状態

以下の表は、GPIO2の複数の使用法を示します。

**表8.21 GPIO2使用法**

端子使用	機能		
	出力		入力
	書き込み0	書き込み1	読み出し
GPIO2	GPIO2 Low	GPIO2 High	GPIO2状態を返す
シャープHR-TFT	使用不可(REVにより使用)	使用不可(REVにより使用)	使用不可(REVにより使用)
カシオTFT	使用不可(FRPにより使用)	使用不可(FRPにより使用)	使用不可(FRPにより使用)
TFTタイプ2	使用不可(POLにより使用)	使用不可(POLにより使用)	使用不可(POLにより使用)
TFTタイプ3	使用不可(POLにより使用)	使用不可(POLにより使用)	使用不可(POLにより使用)

bit 1

GPIO1 IO制御 / 状態

以下の表は、GPIO1の複数の使用法を示します。

**表8.22 GPIO1使用法**

端子使用	機能		
	出力		入力
	書き込み0	書き込み1	読み出し
GPIO1	GPIO1 Low	GPIO1 High	GPIO1状態を返す
シャープHR-TFT	使用不可(CLSにより使用)	使用不可(CLSにより使用)	使用不可(CLSにより使用)
カシオTFT	GRES Low	GRESイネーブル	GRES状態を返す
TFTタイプ2	使用不可(APIにより使用)	使用不可(APIにより使用)	使用不可(APIにより使用)
TFTタイプ3	OE Low	OEイネーブル	OE状態を返す

bit 0

GPIO0 IO制御 / 状態

以下の表は、GPIO0の複数の使用法を示します。

**表8.23 GPIO0使用法**

端子使用	機能		
	出力		入力
	書き込み0	書き込み1	読み出し
GPIO0	GPIO0 Low	GPIO0 High	GPIO0状態を返す
シャープHR-TFT	使用不可(PSにより使用)	使用不可(PSにより使用)	使用不可(PSにより使用)
カシオTFT	使用不可(POLにより使用)	使用不可(POLにより使用)	使用不可(POLにより使用)
TFTタイプ2	使用不可(VCLKにより使用)	使用不可(VCLKにより使用)	使用不可(VCLKにより使用)
TFTタイプ3	使用不可(CPVにより使用)	使用不可(CPVにより使用)	使用不可(CPVにより使用)

GPO Control Register																
REG[68h]													Default = 00000000h		Read/Write	
n/a																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
n/a					GPO10 制御	GPO9 制御	GPO8 制御	GPO7 制御	GPO6 制御	GPO5 制御	GPO4 制御	GPO3 制御	GPO2 制御	GPO1 制御	GPO0 制御	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

- bit 10      GPO10制御  
 タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO10がHighに駆動され、このビットに0を書き込むとGPO10がL固定されます。このビットからの読み出しは、GPO10の状態を返します。
- タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)、このビットに1を書き込むとPMDE=1が設定され、0を書き込むとPMDE=0が設定されます。
- bit 9      GPO9制御  
 タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO9がHighに駆動され、このビットに0を書き込むとGPO9がL固定されます。このビットからの読み出しは、GPO9の状態を返します。
- タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)、このビットに1を書き込むとXSTBY=1が設定され、0を書き込むとXSTBY=0が設定されます。
- bit 8      GPO8制御  
 タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO8がHighに駆動され、このビットに0を書き込むとGPO8がL固定されます。このビットからの読み出しは、GPO8の状態を返します。
- タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)、このビットに1を書き込むとXOHV=1が設定され、0を書き込むとXOHV=0が設定されます。
- bit 7      GPO7制御  
 タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO7がHighに駆動され、このビットに0を書き込むとGPO7がL固定されます。このビットからの読み出しは、GPO7の状態を返します。
- タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)、このビットに1を書き込むとXRESV=1が設定され、0を書き込むとXRESV=0が設定されます。

## 8. レジスタ

---

- bit 6  
GPO6制御  
タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO6がHighに駆動され、このビットに0を書き込むとGPO6がL固定されます。このビットからの読み出しは、GPO6の状態を返します。  
  
タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)、このビットに1を書き込むとXRESH=1が設定され、0を書き込むとXRESH=0が設定されます。
- bit 5  
GPO5制御  
タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO5がHighに駆動され、このビットに0を書き込むとGPO5がL固定されます。このビットからの読み出しは、GPO5の状態を返します。  
  
タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)とき、このビットに1を書き込むとPCLK2がイネーブルされ、0を書き込むとPCLK2がLowを出力します。
- bit 4  
GPO4制御  
タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO4がHighに駆動され、このビットに0を書き込むとGPO4がL固定されます。このビットからの読み出しは、GPO4の状態を返します。  
  
タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)、このビットに1を書き込むとPCLK1がイネーブルされ、0を書き込むとPCLK1がLowを出力します。
- bit 3  
GPO3制御  
タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO3がHighに駆動され、このビットに0を書き込むとGPO3がL固定されます。このビットからの読み出しは、GPO3の状態を返します。  
  
タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)、GPO3は使用不可です。
- bit 2  
GPO2制御  
タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO2がL固定され、このビットに0を書き込むとGPO2がHighに駆動されます。このビットからの読み出しは、GPO2の状態を返します。  
  
タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)、このビットに1を書き込むとXOEVがイネーブルされ、0を書き込むとXOEV=0と設定されます。

---

bit 1	<p>GPO1制御</p> <p>タイプ3 TFTLCDインタフェースが選択されていないとき(REG[48h]ビット3:0)、このビットに1を書き込むとGPO1がHighに駆動され、このビットに0を書き込むとGPO1がL固定されます。このビットからの読み出しは、GPO1の状態を返します。</p> <p>タイプ3 TFTLCDインタフェースが選択されているとき(REG[48h]ビット3:0=0010)、このビットに1を書き込むとVCOMがイネーブルされ、0を書き込むとVCOM=0と設定されます。</p>
bit 0	<p>GPO0制御</p> <p>このビットに1を書き込むとGPO0がHighに駆動され、このビットに0を書き込むとGPO0がL固定されます。このビットからの読み出しは、GPO0の状態を返します。</p>

## 8. レジスタ

PWM Clock Configuration Register														Read/Write	
REG[70h]														Default = 00000000h	
31	30	29	28	27	26	25	24	n/a				19	18	17	16
n/a								PWMクロック分周選択ビット3~0				PWM クロック High 出力	PWMCLKソース選択 ビット1~0		PWM クロック イネーブル
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

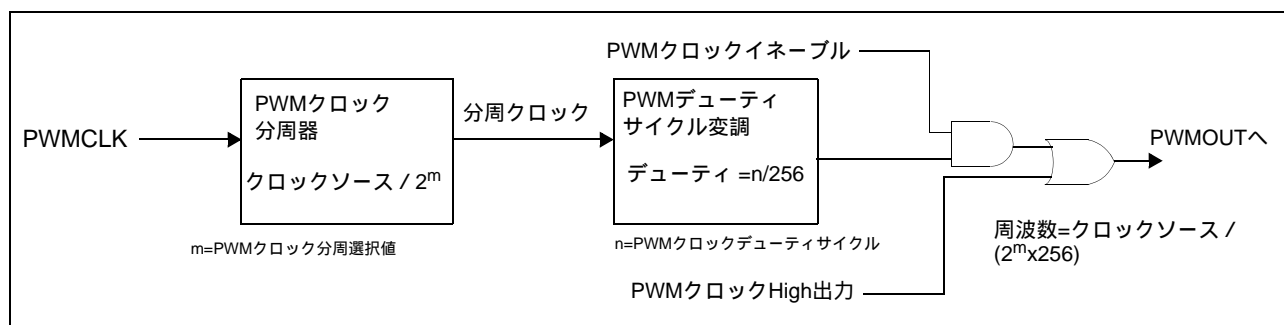


図8.1 PWMクロック機能ブロック図

### 注

PWMCLKの詳細は、84ページの7.1.4「PWMCLK」を参照してください。

bits 7-4

PWMクロック分周選択ビット[3:0]

これらのビットの値は、選択されたPWMクロックソースを割る2の累乗を表します。

表8.24 PWMクロック分周選択オプション

PWMクロック分周選択ビット[3:0]	PWMクロック分周量
0h	1
1h	2
2h	4
3h	8
4h	16
5h	32
6h	64
7h	128
8h	256
9h	512
Ah	1024
Bh	2048
Ch	4096
Dh	8192
Eh	16384
Fh	32768

### 注

この分周クロックは、PWMOUTで出力される前にさらに256で割られます。

bit 3 PWMクロックHigh出力  
このビットが0のとき、PWMOUT端子機能は、PWMクロックイネーブルビットによって制御されます。  
このビットが1のとき、PWMOUT端子は強制的にHighにされます。

bits 2-1 PWMCLKソース選択ビット[1:0]  
これらのビットは、PWMCLKのソースを決定します。

表8.25 PWMCLKソース選択

REG[70h]ビット2~1	PWMCLKソース
00	CLKI
01	CLKI2
10	BCLK
11	PCLK

**注**

PWMCLKソース選択の詳細は、85ページの7.2「クロック選択」を参照してください。

bit 0 PWMクロックイネーブル  
このビットが0のとき、PWMOUT出力は、REG[70h]のビット3によって制御可能な汎用出力端子の役割をします。  
このビットが1のとき、PWMクロック回路はイネーブルされます。

**注**

パワーセーブモードがイネーブルされると、PWMクロック回路はディセーブされます。

PWMOUT Duty Cycle Register															
REG[74h] Default = 00000000h															
Read/Write															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a								PWMOUTデューティサイクルビット7~0							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 7-0 PWMOUTデューティサイクルビット[7:0]  
このレジスタは、PWMOUT出力のデューティサイクルを決定します。

表8.26 PWMOUTデューティサイクル選択オプション

PWMOUTデューティサイクル[7:0]	PWMOUTデューティサイクル
00h	常時Low
01h	256クロック周期のうちの1クロック周期がHigh
02h	256クロック周期のうちの2クロック周期がHigh
...	...
FFh	256クロック周期のうちの255クロック周期がHigh

## 8. レジスタ

Scratch Pad A Register															
REG[80h]                      Default = not applicable                      Read/Write															
スクラッチパッドAビット31~24															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
スクラッチパッドAビット15~0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 31-0

スクラッチパッドAビット[31:0]

このレジスタは、汎用読み出し/書き込みビットを含んでいます。これらのビットはハードウェアに作用しません。

### 注

- 1 スクラッチパッドAレジスタの内容は、最初の電源投入後にデフォルトで未定義状態になります。S1D13A05がリセットされたとき、このレジスタに書き込まれたデータは、チップの電源が断たれない限り保全されます。

Scratch Pad B Register															
REG[84h]                      Default = not applicable                      Read/Write															
スクラッチパッドBビット31~24															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
スクラッチパッドBビット15~0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 31-0

スクラッチパッドBビット[31:0]

このレジスタは、汎用読み出し/書き込みビットを含んでいます。これらのビットは、ハードウェアに作用しません。

### 注

- 1 スクラッチパッドBレジスタの内容は、最初の電源投入後にデフォルトで未定義状態になります。S1D13A05がリセットされたとき、このレジスタに書き込まれたデータは、チップの電源が断たれない限り保全されます。

Scratch Pad C Register															
REG[88h]                      Default = not applicable                      Read/Write															
スクラッチパッドCビット31-24															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
スクラッチパッドCビット15-0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 31-0

スクラッチパッドCビット[31:0]

このレジスタは、汎用読み出し/書き込みビットを含んでいます。これらのビットは、ハードウェアに作用しません。

**注**

- 1 スクラッチパッドCレジスタの内容は、最初の電源投入後にデフォルトで未定義状態になります。S1D13A05がリセットされたとき、このレジスタに書き込まれたデータは、チップの電源が断たれない限り保全されます。



## 8. レジスタ

### 8.3.8 拡張パネルレジスタ

HR-TFT CLS Width Register															
REG[A0h]															Read/Write
Default = 0000012Ch															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a							CLSパルス幅ビット8~0								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 8-0

CLSパルス幅ビット[8:0]

このレジスタは、PCLK内のCLS信号の幅を決定します。

#### 注

このレジスタは、次の式が成り立つようにプログラムしてください。  
(REG[A0h]ビット8~0)>0

HR-TFT PS1 Rising Edge Register															
REG[A4h]															Read/Write
Default = 00000032h															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a							PS1立ち上がりエッジビット5~0								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 5-0

PS1立ち上がりエッジビット[5:0]

このレジスタは、CLS立ち下がりエッジとPS1立ち上がりエッジ間のPCLK数を決定します。

HR-TFT PS2 Rising Edge Register															
REG[A8h]															Read/Write
Default = 00000064h															
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a							PS2立ち上がりエッジビット7~0								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 7-0

PS2立ち上がりエッジビット[7:0]

このレジスタは、LP立ち下がりエッジと最初のPS2立ち上がりエッジ間のPCLK数を決定します。

#### 注

このレジスタは、次の式が成り立つようにプログラムしてください。  
(REG[A8h]ビット7~0)>0

HR-TFT PS2 Toggle Width Register																	
REG[ACh]														Default = 0000000Ah		Read/Write	
n/a																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
n/a																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

bits 6-0

PS2トグル幅ビット[6:0]

このレジスタは、トグル前のPS2信号の幅(PCLK数)を決定します。

**注**

このレジスタは、次の式が成り立つようにプログラムしてください。

(REG[ACh]ビット6~0)&gt;0

HR-TFT PS3 Signal Width Register																	
REG[B0h]														Default = 00000064h		Read/Write	
n/a																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
n/a																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

bits 6-0

PS3信号幅ビット[6:0]

このレジスタは、PCLK内のPS3信号の幅を決定します。

**注**

このレジスタは、次の式が成り立つようにプログラムしてください。

(REG[B0h]ビット6~0)&gt;0

HR-TFT REV Toggle Point Register																	
REG[B4h]														Default = 0000000Ah		Read/Write	
n/a																	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
n/a																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

bits 4-0

REV(回転)トグルビット[4:0]

このレジスタは、LP立ち上がりエッジ前にREV信号をトグルするPCLKの幅を決定します。

## 8. レジスタ

HR-TFT PS1/2 End Register																
REG[B8h]													Default = 00000007h		Read/Write	
n/a																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
n/a													PS1/2エンドビット2~0			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 2-0

PS1/2エンドビット[2:0]

このレジスタにより、PS信号が垂直非表示期間まで続きます(ライン)。

### 注

このレジスタは、次の式が成り立つようにプログラムしてください。

$$VT > (\text{REG}[B8h] \text{ビット} 2 \sim 0) + VDP + VPS + 1$$

Type 2 TFT Configuration Register																
REG[BCh]													Default = 00000000h		Read/Write	
n/a																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
POL タイプ	n/a	APパルス幅ビット2~0			n/a	AP立ち上がり位置 ビット1~0		n/a			VCLKホールド ビット1~0		n/a	VCLKセットアップ ビット1~0		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bit 15

POLタイプ

このビットは、POL信号をトグルする頻度を選択します。S1D13A05 GPIO2端子は、TFTタイプ2インタフェースに使用されるPOL信号を制御します。他のすべてのパネルインタフェースでは、このビットは無効です。

このビットが0のとき、POL信号はラインごとにトグルされます。

このビットが1のとき、POL信号はフレームごとにトグルされます。

bits 13-11

APパルス幅ビット[2:0]

これらのビットは、TFTタイプ2インタフェースに使用されるAPパルス幅を指定します。S1D13A05 GPIO1端子は、TFTタイプ2インタフェースのAP信号を制御します。他のすべてのパネルインタフェースでは、これらのビットは無効です。

表8.27 APパルス幅

REG[4Ch]ビット13~11	APパルス幅(PCLK)
000	20
001	40
010	80
011	120
100	150
101	190
110	240
111	270

bits 9-8

AP立ち上がり位置ビット[1:0]

これらのビットは、FPLINE(STB)の立ち上がりエッジからGPIO1の立ち上がりエッジ(AP)までのTFTタイプ2 ACタイミングパラメータを指定します。パラメータは、次のように選択されます。他のすべてのパネルインタフェースでは、これらのビットは無効です。

表8.28 AP立ち上がり位置

REG[4Ch]ビット9~8	AP立ち上がり位置(PCLK)
00	40
01	52
10	68
11	90

bits 4-3

VCLKホールドビット[1:0]

これらのビットは、FPLINE(STB)の立ち上がりエッジからGPIO0(VCLK)の立ち下がりエッジまでのTFTタイプ2 ACタイミングパラメータを指定します。パラメータは、次のように選択されます。他のすべてのパネルインタフェースでは、これらのビットは無効です。

表8.29 VCLKホールド

REG[4Ch]ビット4~3	VCLKホールド(PCLK)
00	7
01	9
10	12
11	16

bits 1-0

VCLKセットアップビット[1:0]

これらのビットは、GPIO0(VCLK)の立ち上がりエッジからFPLINE(STB)の立ち上がりエッジまでのTFTタイプ2 ACタイミングパラメータを指定します。パラメータは、次のように選択されます。他のすべてのパネルインタフェースでは、これらのビットは無効です。

表8.30 VCLKセットアップ

REG[4Ch]ビット1~0	VCLKセットアップ(PCLK)
00	7
01	9
10	12
11	16

## 8. レジスタ

Casio TFT Timing Register															
REG[C0h] Default = 09180E09h															
Read/Write															
n/a		GPCK立ち上がりエッジ STHパルスビット5-0						n/a		GRES立ち下がりエッジ FRPトグルポイントビット6-0					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a		GRES立ち下がりエッジ GPCK立ち上がりエッジビット5-0						n/a		GPCK立ち上がりエッジ GRES立ち上がりエッジビット5-0					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bits 29-24 GPCK立ち上がりエッジ STHパルスビット [5:0]  
これらのビットは、GPCK立ち上がりエッジからSTHパルスまでのPCLK数を決定します。
- bits 22-16 GRES立ち下がりエッジ FRPトグルポイントビット [6:0]  
これらのビットは、GRES立ち下がりエッジからFRPトグルポイントまでのPCLK数を決定します。
- bits 13-8 GRES立ち下がりエッジ GPCK立ち上がりエッジビット [5:0]  
これらのビットは、GRES立ち下がりエッジからGPCK立ち上がりエッジまでのPCLK数を決定します。
- bits 5-0 GPCK立ち上がりエッジ GRES立ち上がりエッジビット [5:0]  
これらのビットは、GPCK立ち上がりエッジからGRES立ち上がりエッジまでのPCLK数を決定します。

Type 3 TFT Configuration Register 0															
REG[D8h] Default = 00000000h															
Read/Write															
POLトグル位置ビット7-0							OEパルス幅ビット7-0								
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OE立ち上がりエッジ位置ビット7-0							n/a								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bits 31-24 POLトグル位置ビット[7:0]  
これらのビットは、POL信号のトグル位置を2ピクセル解像度で指定します。S1D13A05 GPIO2端子は、TFTタイプ3インタフェースに使用されるPOL信号を制御します。このレジスタは、他のすべてのパネルインタフェースには無効です。  
 $POLトグル位置(ピクセル) = (REG[D8h]ビット31 \sim 24) \times 2$
- bits 23-16 OEパルス幅ビット[7:0]  
これらのビットは、OE信号のパルス幅を2ピクセル解像度で指定します。S1D13A05 GPIO1端子は、TFTタイプ3インタフェースに使用されるOE信号を制御します。このレジスタは、他のすべてのパネルインタフェースには無効です。  
 $OEパルス幅(ピクセル) = (REG[D8h]ビット23 \sim 16) \times 2$
- bits 15-8 OE立ち上がりエッジ位置ビット[7:0]  
これらのビットは、OE信号の立ち上がりエッジ位置を2ピクセル解像度で指定します。S1D13A05 GPIO1端子は、TFTタイプ3インタフェースに使用されるOE信号を制御します。このレジスタは、他のすべてのパネルインタフェースには無効です。  
 $OE立ち上がりエッジ位置(ピクセル) = (REG[D8h]ビット15 \sim 8) \times 2$

Type 3 TFT Configuration Register 1															
REG[DCh] Default = 00000000h															
Read/Write															
XOEV終了位置ビット7~0								XOEV開始位置ビット7~0							
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CPVパルス幅ビット7~0								VCOMトグル位置ビット7~0							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 31-24

XOEV終了位置ビット[7:0]

これらのビットは、XOEV信号の立ち下がり / 立ち上がりエッジ位置を2ピクセル解像度で指定します(REG[3Ch]ビット23のFPFRAMEパルス極性ビットに応じて)。S1D13A05 GPO2端子は、TFTタイプ3インタフェースに使用されるXOEV信号を制御します。このレジスタは、他のすべてのパネルインタフェースには無効です。

$$\text{XOEV立ち下がりエッジ位置(ピクセル)} = (\text{REG[DCh]ビット31} \sim 24) \times 2$$
**注**

このレジスタが0に設定されると、パルスは生成されません。

bits 23-16

XOEV開始位置ビット[7:0]

これらのビットは、XOEV信号の立ち上がり / 立ち下がりエッジ位置を2ピクセル解像度で指定します(REG[3Ch]ビット23のFPFRAMEパルス極性ビットに応じて)。S1D13A05 GPO2端子は、TFTタイプ3インタフェースに使用されるXOEV信号を制御します。このレジスタは、他のすべてのパネルインタフェースには無効です。

$$\text{XOEV立ち上がりエッジ位置(ピクセル)} = (\text{REG[DCh]ビット23} \sim 16) \times 2$$
**注**

このレジスタが0に設定されると、パルスは生成されません。

bits 15-8

CPVパルス幅ビット[7:0]

これらのビットは、CPV信号のパルス幅を2ピクセル解像度で指定します。S1D13A05 GPIO0端子は、TFTタイプ3インタフェースに使用されるCPV信号を制御します。このレジスタは、他のすべてのパネルインタフェースには無効です。

$$\text{CPVパルス幅(ピクセル)} = (\text{REG[DCh]ビット15} \sim 8) \times 2$$

bits 7-0

VCOMトグル位置ビット[7:0]

これらのビットは、VCOM信号のトグル位置を2ピクセル解像度で指定します。S1D13A05 GPO1端子は、TFTタイプ3インタフェースに使用されるVCOM信号を制御します。このレジスタは、他のすべてのパネルインタフェースには無効です。

$$\text{VCOMトグル位置(ピクセル)} = (\text{REG[DCh]ビット7} \sim 0) \times 2$$

## 8. レジスタ

Type 3 TFT PCLK Divide Register														Read/Write	
REG[E0h]														Default = 00000000h	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a										PCLK2分周率 ビット1~0		PCLK1分周率ビット3~0			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bit 5-4

PCLK2分周率ビット[1:0]

これらのビットは、PCLK2の分周率を指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。

表8.31 PCLK2分周率

REG[C8h]ビット5~4	PCLK2分周率
00	64
01	128
10	256
11	512

bits 3-0

PCLK1分周率ビット[3:0]

これらのビットは、PCLK1の分周率を指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。

表8.32 PCLK1分周率

REG[C8h]ビット3~0	PCLK1分周率
0000	2
0001	4
0010	8
0011	16
0100	32
0101	64
0110	128
0111	256
1000	512
1001	1024
1010	2048
1011	4096
1100	8192
1101	16384
1110	32768
1111	65536

Type 3 TFT Partial Mode Display Area Control Register														Read/Write	
REG[E4h]														Default = 00000000h	
n/a															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a		部分モード表示リフレッシュサイクルビット5-0						n/a			部分 モード 表示 イネーブル	部分 モード 表示 タイプ 選択	領域2 表示 イネーブル	領域1 表示 イネーブル	領域0 表示 イネーブル
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bits 13-8 部分モード表示リフレッシュサイクルビット[5:0]  
これらのビットは、部分モード表示のリフレッシュサイクルを指定します。リフレッシュサイクルは0~63の間で設定可能です。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bit 4 部分モード表示イネーブル  
このビットは、TFTタイプ3の部分モード表示をイネーブル/ディセーブルし、他のすべてのパネルインタフェースには無効です。  
このビットが1のとき、部分モード表示がイネーブルされます。  
このビットが0のとき、部分モード表示がディセーブルされます。
- bit 3 部分モード表示タイプ選択  
このビットは、部分モード表示のタイプを選択します。  
このビットが0のとき、ストライプタイプの部分モード表示が選択されます。ストライプがイネーブルされた場合、部分表示の計算にY位置レジスタだけが使用されます。  
このビットが1のとき、ブロックタイプの部分モード表示が選択されます。ブロックがイネーブルされた場合、部分表示の計算にX位置レジスタとY位置レジスタの両方が使用されます。
- bit 2 領域2表示イネーブル  
このビットは、TFTタイプ3の部分モード表示の領域2をイネーブル/ディセーブルし、他のすべてのパネルインタフェースには無効です。  
このビットが1のとき、領域2がイネーブルされます。  
このビットが0のとき、領域2がディセーブルされます。
- bit 1 領域1表示イネーブル  
このビットは、TFTタイプ3の部分モード表示の領域1をイネーブル/ディセーブルし、他のすべてのパネルインタフェースには無効です。  
このビットが1のとき、領域1がイネーブルされます。  
このビットが0のとき、領域1がディセーブルされます。
- bit 0 領域0表示イネーブル  
このビットは、TFTタイプ3の部分モード表示の領域0をイネーブル/ディセーブルし、他のすべてのパネルインタフェースには無効です。  
このビットが1のとき、領域0がイネーブルされます。  
このビットが0のとき、領域0がディセーブルされます。



## 8. レジスタ

Type 3 TFT Partial Area 0 Positions Register														Read/Write	
REG[E8h]														Default = 00000000h	
n/a		部分領域0のY終了位置ビット5~0						n/a		部分領域0のX終了位置ビット5~0					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a		部分領域0のY開始位置ビット5~0						n/a		部分領域0のX開始位置ビット5~0					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bits 29-24      部分領域0のY終了位置ビット[5:0]  
 これらのビットは、部分領域0のY終了位置を8ライン解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bits 21-16      部分領域0のX終了位置ビット[5:0]  
 これらのビットは、部分領域0のX終了位置を8ピクセル解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bits 13-8      部分領域0のY開始位置ビット[5:0]  
 これらのビットは、部分領域0のY開始位置を8ライン解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bits 5-0      部分領域0のX開始位置ビット[5:0]  
 これらのビットは、部分領域0のX開始位置を8ピクセル解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。

Type 3 TFT Partial Area 1 Positions Register														Read/Write	
REG[ECh]														Default = 00000000h	
n/a		部分領域1のY終了位置ビット5~0						n/a		部分領域1のX終了位置ビット5~0					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a		部分領域1のY開始位置ビット5~0						n/a		部分領域1のX開始位置ビット5~0					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bits 29-24      部分領域1のY終了位置ビット[5:0]  
 これらのビットは、部分領域1のY終了位置を8ライン解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bits 21-16      部分領域1のX終了位置ビット[5:0]  
 これらのビットは、部分領域1のX終了位置を8ピクセル解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bits 13-8      部分領域1のY開始位置ビット[5:0]  
 これらのビットは、部分領域1のY開始位置を8ライン解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bits 5-0      部分領域1のX開始位置ビット[5:0]  
 これらのビットは、部分領域1のX開始位置を8ピクセル解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。

Type 3 TFT Partial Area 2 Positions Register														Read/Write	
REG[F0h]														Default = 00000000h	
n/a		部分領域2のY終了位置ビット5~0						n/a		部分領域2のX終了位置ビット5~0					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a		部分領域2のY開始位置ビット5~0						n/a		部分領域2のX開始位置ビット5~0					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bits 29-24 部分領域2のY終了位置ビット[5:0]  
これらのビットは、部分領域2のY終了位置を8ライン解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bits 21-16 部分領域2のX終了位置ビット[5:0]  
これらのビットは、部分領域2のX終了位置を8ピクセル解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bits 13-8 部分領域2のY開始位置ビット[5:0]  
これらのビットは、部分領域2のY開始位置を8ライン解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。
- bits 5-0 部分領域2のX開始位置ビット[5:0]  
これらのビットは、部分領域2のX開始位置を8ピクセル解像度で指定します。このレジスタは、TFTタイプ3インタフェースに使用され、他のすべてのパネルインタフェースには無効です。

Type 3 TFT Command Store Register														Read/Write	
REG[F4h]														Default = 00000000h	
n/a				コマンド1ストアビット11~0											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a				コマンド0ストアビット11~0											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

- bits 27-16 コマンド1ストアビット[11:0]  
これらのビットは、TFTタイプ3インタフェースのコマンド1を記憶します。このレジスタは、他のすべてのパネルインタフェースには無効です。
- bits 11-0 コマンド0ストアビット[11:0]  
これらのビットは、TFTタイプ3インタフェースのコマンド0を記憶します。このレジスタは、他のすべてのパネルインタフェースには無効です。

## 8. レジスタ

Type 3 TFT Miscellaneous Register															Read/Write
REG[F8h]															Default = 00000000h
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a						ソースドライバIC数ビット1~0		n/a						コマンド送信要求	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 9-8

ソースドライバIC数ビット[1:0]  
これらのビットは、ソースドライバICの数を含みます。

**表8.33 ソースドライバICの数**

REG[E0h]ビット1~0	ソースドライバIC
00	1
01	2
10	3
11	4

bit 0

コマンド送信要求  
CPUがこのビットを設定した後、S1D13A05は、コマンドを次の非表示期間内で送り、このビットを自動的にクリアします。このレジスタは、他のすべてのパネルインタフェースには無効です。

## 8.4 USBレジスタ(オフセット=4000h)

S1D13A05 USBデバイスは、ローカルホストインタフェース上のCPUがアクセス可能な48バイトローカルレジスタ空間を占有します。

USBレジスタにアクセスするためには、

1. 有効なUSBCLKが提供されなければなりません。
2. USBClkイネーブルビット(REG[4000h]ビット7)が1に設定され、USBセットアップビット(REG[4000h]ビット2)が1に設定されなければなりません。両方のビットが共に設定されていなければなりません。

以上の条件のいずれかが満たされない場合、USBレジスタにアクセスしないでください。

Control Register								
REG[4000h]							Default = 00h	Read/Write
n/a								
15	14	13	12	11	10	9	8	
USBClkイネーブル	ソフトウェアEOT	USBイネーブル	エンドポイント4 ストール	エンドポイント3 ストール	USBセットアップ	Reserved	Reserved	
7	6	5	4	3	2	1	0	

bit 7

### USBClkイネーブル

このビットでUSBClkをイネーブル/ディセーブルして、USBClkが必要ないときにS1D13A05が節電できるようにします。USBClkイネーブルビットは、パワーセーブモードイネーブルビット(REG[14h]ビット4)と関係なく働きます。例えば、S1D13A05のUSBセクションは、パワーセーブモードをイネーブルしてもディセーブルされません。このUSBセクションは、USBClkイネーブルビットを使用してディセーブルしてください。

このビットは、USBセットアップビットで最初に設定しなければなりません。但し、個々にディセーブル/リイネーブルすることができます。このビットが1のとき、USBClkはイネーブルされます。このビットが0のとき、USBClkはディセーブルされます。

### 注

このビットが0のときはUSBレジスタにアクセスしないでください。

bit 6

### ソフトウェアEOT

このビットは、送信FIFOが空のときにエンドポイント4へのIN要求に対する応答を決定します。このビットがアサートされた場合、S1D13A05は、FIFOが空の場合にエンドポイント4へのIN要求に対してACKとゼロレンクスケットを返します。このビットがアサートされない場合、S1D13A05は、FIFOが空の場合にエンドポイント4からのIN要求に対してNAKを返します。これは、さらに多くのデータの送信を期待していることを示しています。このビットは、FIFOが空のとき、S1D13A05がゼロレンクスケットをホストに返したときに自動的にクリアされます。

bit 5

### USBイネーブル

ホストからのデバイスディスクリプタまたはコンフィギュレーションディスクリプタの読み出しは、このビットが設定されるまでNAKでアクノリッジされます。これは、ホストがディスクリプタを読み出す前に、ローカルCPUが割り込みポーリングレジスタ、最大パケットサイズレジスタおよび他のコンフィギュレーションレジスタ(例えば、製品IDやベンダーID)を設定するための時間を許容します。

## 8. レジスタ

### 注

USBイネーブルビットが設定されるまでホストがデバイスディスクリプタとコンフィギュレーションディスクリプタを読み出すことができないので、デバイスエミュレーションプロセスは完了せず、デバイスはUSB上で認識されません。

- bit 4                    エンドポイント4ストール  
このビットが設定された場合、送信FIFOからのホストバルク読み出しは、SID13A05によるSTALLアクノリッジを生成します。データはUSBホストに戻されません。
- bit 3                    エンドポイント3ストール  
このビットが設定された場合、受信FIFOに対するホストバルク書き込みは、SID13A05によるSTALLアクノリッジを生成します。受信データは廃棄されません。
- bit 2                    USBセットアップ  
このビットは、多機能GPIO端子(GPIO[7:4])のGPIO機能とUSB機能を選択するためにソフトウェアによって使用されます。このビットは、USBClkイネーブルビットと同時に設定してください。  
このビットが1のとき、USB機能が選択されます。  
このビットが0のとき、GPIO機能が選択されます。

### 注

このビットが0のときはUSBレジスタにアクセスしないでください。

- bit 1                    Reserved  
このビットは0に設定してください。
- bit 0                    Reserved  
このビットは0に設定してください。

Interrupt Enable Register 0							
REG[4002h]		Default = 00h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
サスペンド要求 割り込みイネーブル	SOF割り込み イネーブル	Reserved	エンドポイント4 割り込みイネーブル	エンドポイント3 割り込みイネーブル	エンドポイント2 割り込みイネーブル	エンドポイント1 割り込みイネーブル	n/a
7	6	5	4	3	2	1	0

- bit 7                    サスペンド要求割り込みイネーブル  
このビットが、設定されたとき、USBホストがSID13A05 USBデバイスにサスペンドモードになることを要求しているときに割り込みを可能にします。
- bit 6                    SOF割り込みイネーブル  
このビットが、設定されたとき、SID13A05がフレームスタートパケットを受け取ったときに行われる割り込みを可能にします。
- bit 5                    Reserved  
このビットは0に設定してください。
- bit 4                    エンドポイント4割り込みイネーブル  
このビットが、設定されたとき、USBエンドポイント4データパケットがSID13A05から送られたときに行われる割り込みを可能にします。

bit 3	エンドポイント3割り込みイネーブル このビットが、設定されたとき、USBエンドポイント3データパケットをS1D13A05が受け取ったときに行われる割り込みを可能にします。
bit 2	エンドポイント2割り込みイネーブル このビットが、設定されたとき、USBエンドポイント2送信メールボックスレジスタがUSBホストによって読み出されたときに行われる割り込みを可能にします。
bit 1	エンドポイント1割り込みイネーブル このビットが、設定されたとき、USBエンドポイント1受信メールボックスレジスタがUSBホストによって書き込まれたときに行われる割り込みを可能にします。

## 8. レジスタ

Interrupt Status Register 0							Read/Write
REG[4004h]							Default = 00h
n/a							
15	14	13	12	11	10	9	8
サスペンド要求 割り込み状態	SOF割り込み状態	Reserved	エンドポイント4 割り込み状態	エンドポイント3 割り込み状態	エンドポイント2 割り込み状態	エンドポイント1 割り込み状態	上側割り込み アクティブ (読み出しのみ)
7	6	5	4	3	2	1	0

- bit 7                    **サスペンド要求割り込み状態**  
このビットは、S1D13A05がサスペンド要求を受け取ったことを示します。1を書き込むとこのビットはクリアされます。
- bit 6                    **SOF割り込み状態**  
このビットは、S1D13A05がフレームスタートパケットを受け取ったことを示します。1を書き込むとこのビットはクリアされます。
- bit 5                    **Reserved**  
このビットは0に設定してください。
- bit 4                    **エンドポイント4割り込み状態**  
このビットは、USBエンドポイント4データパケットがS1D13A05から送られたことを示します。1を書き込むとこのビットはクリアされます。
- bit 3                    **エンドポイント3割り込み状態(受信FIFO有効)**  
このビットは、USBエンドポイント3データパケットをS1D13A05が受け取ったことを示します。このビットがクリアされるまでエンドポイント3はパケットを受け入れません。1を書き込むとこのビットはクリアされます。
- bit 2                    **エンドポイント2割り込み状態**  
このビットは、USBエンドポイント2メールボックスレジスタがUSBホストによって読み出されたことを示します。1を書き込むとこのビットはクリアされます。
- bit 1                    **エンドポイント1割り込み状態(受信メールボックス有効)**  
このビットは、USBエンドポイント1メールボックスレジスタがUSBホストによって書き込まれたことを示します。1を書き込むとこのビットはクリアされます。
- bit 0                    **上側割り込みアクティブ(読み出しのみ)。**  
レジスタREG[4008h]には少なくとも1つの割り込み状態ビットが設定されます。

Interrupt Enable Register 1								Read/Write	
REG[4006h]								Default = 00h	
n/a									
15	14	13	12	11	10	9	8		
n/a								送信FIFOオール モストエンプティ 割り込みイネーブル 1	受信FIFOオール モストフル割り込み イネーブル 0
7	6	5	4	3	2				

bit 1 送信FIFOオールモストエンプティ割り込みイネーブル  
このビットが、設定されたとき、送信FIFOオールモストエンプティ状態ビットが設定されたときに生成される割り込みを可能にします。

**注**

割り込みさせるためにはFIFOカウントがしきい値より小さくなければならないので、送信FIFOオールモストエンプティしきい値はゼロより大きく設定してください。

bit 0 受信FIFOオールモストフル割り込みイネーブル  
このビットが、設定されたとき、受信FIFOオールモストフル状態ビットが設定されたときに生成される割り込みを可能にします。

**注**

割り込みさせるためにはFIFOカウントがしきい値より高くなければならないので、受信FIFOオールモストフルしきい値は64より小さく設定してください。

Interrupt Status Register 1								Read/Write	
REG[4008h]								Default = 00h	
n/a									
15	14	13	12	11	10	9	8		
n/a								送信FIFOオール モストエンプティ 状態 1	受信FIFOオール モストフル状態 0
7	6	5	4	3	2				

bit 1 送信FIFOオールモストエンプティ状態  
このビットは、送信FIFO内のバイトの数が送信FIFOオールモストエンプティしきい値と等しく、別のバイトがFIFOからUSBバスに送られたときに設定されます。1を書き込むとこのビットはクリアされます。

bit 0 受信FIFOオールモストフル状態  
このビットは、受信FIFO内のバイトの数が受信FIFOオールモストフルしきい値と等しく、別のバイトをUSBバスからFIFOに受け取ったときに設定されます。1を書き込むとこのビットはクリアされます。



## 8. レジスタ

Endpoint 1 Index Register							
REG[4010h]		Default = 00h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	エンドポイント1インデックスレジスタビット2~0(RO)		
					2	1	0

bits 2-0

エンドポイント1インデックスレジスタビット[2:0]

このレジスタは、エンドポイント1受信メールボックスデータレジスタが読み出されたときアクセスするエンドポイント1受信メールボックスを決定します。このレジスタは、エンドポイント1受信メールボックスデータレジスタが読み出された後でオートインクリメントされます。このインデックスレジスタは、最大カウント(7)に達するとゼロに戻ります。

Endpoint 1 Receive Mailbox Data Register							
REG[4012h]		Default = 00h				Read Only	
n/a							
15	14	13	12	11	10	9	8
エンドポイント1受信メールボックスデータビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

エンドポイント1受信メールボックスデータビット[7:0]

このレジスタは、受信メールボックスレジスタのうちの1つからデータを読み出すために使用されます。データは、エンドポイント1インデックスレジスタによって選択されたレジスタから戻されます。エンドポイント1へのUSBバルク転送によって8つの受信メールボックスレジスタが書き込まれます。この受信メールボックスレジスタを使って、USBホストからローカルCPUにメッセージを渡すことができます。メッセージの形式と内容はユーザによって定義されます。イネーブルされた場合は、このレジスタへのUSB書き込みで、割り込みを生成することができます。

Endpoint 2 Index Register							
REG[4018h]      Default = 00h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	エンドポイント2インデックスレジスタビット2~0		
					2	1	0

bits 2-0

エンドポイント2インデックスレジスタビット[2:0]

このレジスタは、エンドポイント2送信メールボックスデータレジスタを読み書きするときどのエンドポイント2送信メールボックスにアクセスするかを決定します。このレジスタは、エンドポイント2送信メールボックスデータポートが読み書きされた後でオートインクリメントされます。このインデックスレジスタは、最大カウント(7)に達すると0に戻ります。

Endpoint 2 Transmit Mailbox Data Register							
REG[401Ah]      Default = 00h							Read/Write
n/a							
15	14	13	12	11	10	9	8
エンドポイント2送信メールボックスデータビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

エンドポイント2送信メールボックスデータビット[7:0]

このレジスタは、送信メールボックスレジスタのうちの1つを読み書きするために使用されます。アクセスするレジスタは、エンドポイント2インデックスレジスタによって選択されます。8つの送信メールボックスレジスタが、ローカルCPUによって書き込まれ、エンドポイント2からのUSB転送によって読み出されます。メッセージの形式と内容はユーザによって定義されます。イネーブルされた場合は、このレジスタからのUSB読み出しが、割り込みを生成します。

Endpoint 2 Interrupt Polling Interval Register							
REG[401Ch]      Default = FFh							Read/Write
n/a							
15	14	13	12	11	10	9	8
割り込みポーリング間隔ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

割り込みポーリング間隔ビット[7:0]

このレジスタは、エンドポイント2割り込みポーリング間隔をミリ秒で指定します。ホストがエンドポイント2ディスクリプタによってこのレジスタを読み出すことができます。

Endpoint 3 Receive FIFO Data Register							
REG[4020h]      Default = 00h							Read Only
n/a							
15	14	13	12	11	10	9	8
エンドポイント3受信FIFOデータビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

エンドポイント3受信FIFOデータビット[7:0]

このレジスタは、ローカルCPUがUSB受信FIFOデータを読み出すために使用されます。FIFOデータは、エンドポイント3へのバルク転送または等時性転送によりUSBホストによって書き込まれます。

## 8. レジスタ

Endpoint 3 Receive FIFO Count Register							
REG[4022h]		Default = 00h				Read Only	
n/a							
15	14	13	12	11	10	9	8
受信FIFOカウントビット7~0							
7	6	5	4	3	2	1	0

bits 7-0                    受信FIFOカウントビット[7:0]  
 このレジスタは、有効なエントリを含む受信FIFOエントリの数を返します。この値は0(エンプティ)から64(フル)まで変化します。このレジスタは、受信FIFOデータレジスタ(REG[4020h])が読み出されるたびにオートデクリメントされません。

Endpoint 3 Receive FIFO Status Register							
REG[4024h]		Default = 01h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a		受信FIFO フラッシュ		受信FIFO オーバーフロー		受信FIFOフル (読み出し専用)	
n/a		受信FIFO フラッシュ		受信FIFO オーバーフロー		受信FIFOフル (読み出し専用)	
7	6	5	4	3	2	1	0

bit 4                    受信FIFOフラッシュ。  
 このビットに書き込むと受信FIFOがフラッシュされます。このビットを読み出すと必ず0を返します。

bit 3                    受信FIFOオーバーフロー  
 このビットが、設定された場合、受信FIFOがフルのときにUSBホストが受信FIFOに書き込もうとしたことを示します。1を書き込むとこのビットはクリアされます。

bit 2                    受信FIFOアンダーフロー  
 このビットが、設定された場合、受信FIFOがエンプティのときに受信FIFOを読み出そうとしたことを示します。1を書き込むとこのビットはクリアされます。

bit 1                    受信FIFOフル (読み出し専用)  
 このビットが、設定された場合、受信FIFOがフルであることを示します。

bit 0                    受信FIFOエンプティ (読み出し専用)  
 このビットが、設定された場合、受信FIFOがエンプティであることを示します。

Endpoint 3 Maximum Packet Size Register							
REG[4026h]		Default = 08h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
エンドポイント3最大パケットサイズビット7~0							
7	6	5	4	3	2	1	0

bits 7-0                    エンドポイント3最大パケットサイズビット[7:0]  
 このレジスタは、エンドポイント3の最大パケットサイズを8バイト(デフォルト=64バイト)単位で指定します。このレジスタは、エンドポイント3ディスクリプタによりホストが読み出すことができます。

Endpoint 4 Transmit FIFO Data Register							
REG[4028h]		Default = 00h				Write Only	
15	14	13	12	11	10	9	8
n/a							
送信FIFOデータビット7~0							
7	6	5	4	3	2	1	0

bits 7-0                    送信FIFOデータビット[7:0]  
 このレジスタは、送信FIFOにデータを書き込むためにローカルCPUによって使用されます。FIFOデータは、エンドポイント4からのバルク転送または等時性転送によってUSBホストにより読み出されます。

Endpoint 4 Transmit FIFO Count Register							
REG[402Ah]		Default = 00h				Read Only	
15	14	13	12	11	10	9	8
n/a							
送信FIFOカウントビット7~0							
7	6	5	4	3	2	1	0

bits 7-0                    送信FIFOカウントビット[7:0]  
 このレジスタは、有効なエントリを含む送信FIFOエントリの数を返します。値は0(エンプティ)から64(フル)まで変化します。

Endpoint 4 Transmit FIFO Status Register							
REG[402Ch]		Default = 01h				Read/Write	
15	14	13	12	11	10	9	8
n/a							
n/a		送信FIFO有効	送信FIFOフラッシュ	送信FIFOオーバーフロー	Reserved	送信FIFOフル(読み出し専用)	送信FIFOエンプティ(読み出し専用)
7	6	5	4	3	2	1	0

bit 5                        送信FIFO有効  
 このビットが、設定された場合、ホストからの次の読み出しで送信FIFO内のデータを読み出しできるようにします。このビットは、ホスト読み出しによって自動的にクリアされます。このビットは、USB[403Ah]インデックス[0Ch]内のビット0が設定された場合にだけ使用されます。

bit 4                        送信FIFOフラッシュ  
 このビットに書き込むと送信FIFOがフラッシュされます。このビットを読み出すと常に0を返します。

bit 3                        送信FIFOオーバーフロー  
 このビットが、設定された場合、送信FIFOがフルのときにローカルCPUが送信FIFOに書き込もうとしたことを示します。1を書き込むとこのビットはクリアされます。

bit 2                        Reserved

bit 1                        送信FIFOフル(読み出し専用)  
 このビットが、設定された場合、送信FIFOがフルであることを示します。

bit 0                        送信FIFOエンプティ(読み出し専用)  
 このビットが、設定された場合、送信FIFOがエンプティであることを示します。

## 8. レジスタ

Endpoint 4 Maximum Packet Size Register							
REG[402Eh]		Default = 08h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
エンドポイント4最大パケットサイズビット7~0							
7	6	5	4	3	2	1	0

bits 7-0                    エンドポイント4最大パケットサイズビット[7:0]  
 このレジスタは、エンドポイント4の最大パケットサイズを8バイト(デフォルト=64バイト)単位で指定します。このレジスタは、エンドポイント4ディスクリプタによってホストが読み出すことができます。

Revision Register							
REG[4030h]		Default = 01h				Read Only	
n/a							
15	14	13	12	11	10	9	8
チップレビジョンビット7~0							
7	6	5	4	3	2	1	0

bits 7-0                    チップレビジョンビット[7:0]  
 このレジスタは、USBクライアントの現在のシリコンレビジョン数を返します。

USB Status Register							
REG[4032h]		Default = 00h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
サスペンド制御	USBエンド ポイント4 STALL	USBエンド ポイント4 NAK	USBエンド ポイント4 ACK	USBエンド ポイント3 STALL	USBエンド ポイント3 NAK	USBエンド ポイント3 ACK	エンドポイント2 有効
7	6	5	4	3	2	1	0

bit 7                        サスペンド制御  
 このビットが、設定された場合、保留中のサスペンド要求があることを示します。1を書き込むとこのビットはクリアされ、SID13A05 USBデバイスがサスペンドモードになります。

bit 6                        USBエンドポイント4 STALL  
 最後のUSB INトークンが、エンドポイントがストールされた(REG[4000h]ビット4セット)ため提供されず、STALLでアクノレッジされました。1を書き込むとこのビットはクリアされます。

bit 5                        USBエンドポイント4 NAK  
 送信された最後のUSBパケット(INパケット)が、FIFOアンダーラン状態に遭遇し、NAKでアクノレッジされました。1を書き込むと、このビットはクリアされます。

bit 4                        USBエンドポイント4 ACK  
 送信された最後のUSBパケット(INパケット)が、USBホストから首尾よくACKでアクノレッジされました。1を書き込むと、このビットはクリアされます。

bit 3                        USBエンドポイント3 STALL  
 受信した最後のUSBパケット(OUTパケット)が、エンドポイントがストールされた(REG[4000h]ビット3セット)ため受け入れることができず、STALLでアクノレッジされました。1を書き込むと、このビットはクリアされます。

- bit 2 USBエンドポイント3 NAK  
受信した最後のUSBパケット(OUTパケット)が受け入れられず、NAKでアクノレージされました。1を書き込むと、このビットはクリアされます。
- bit 1 USBエンドポイント3 ACK  
受信した最後のUSBパケット(OUTパケット)は、首尾よくACKでアクノレージされました。1を書き込むと、このビットはクリアされます。
- bit 0 エンドポイント2有効  
このビットが設定されたときは、8バイトエンドポイント2メールボックスレジスタがローカルCPUによって書き込まれましたが、USBホストによってまだ読み出されていません。このビットが設定されている間、ローカルCPUはこのレジスタに書き込むことができません。

Frame Counter MSB Register							
REG[4034h]		Default = 00h				Read Only	
15	14	13	12	11	10	9	8
n/a				フレームカウンタビット10-8			
7	6	5	4	3	2	1	0

Frame Counter LSB Register							
REG[4036h]		Default = 00h				Read Only	
15	14	13	12	11	10	9	8
n/a				フレームカウンタビット7-0			
7	6	5	4	3	2	1	0

- bits 10-0 フレームカウンタビット[10:0]  
このレジスタは、最近のフレームスタートパケットからのフレームカウンタを含みます。

Extended Register Index							
REG[4038h]		Default = 00h				Read/Write	
15	14	13	12	11	10	9	8
n/a				拡張レジスタインデックスビット7-0			
7	6	5	4	3	2	1	0

- bits 7-0 拡張レジスタインデックスビット[7:0]  
このレジスタは、REG[403Ah]を読み書きするときにアクセスする拡張データレジスタを選択します。

Extended Register Data							
REG[403Ah]		Default = 04h				Read/Write	
15	14	13	12	11	10	9	8
n/a				拡張データビット7-0			
7	6	5	4	3	2	1	0

- bits 7-0 拡張データビット[7:0]  
このポートは、拡張データレジスタのうちの1つにアクセスします。現行のレジスタのインデックスがREG[4038h]に保持されます。

## 8. レジスタ

<b>Vendor ID MSB</b>							
REG[403Ah], Index[00h]				Default = 04h		Read/Write	
ベンダー IDビット15~8							
7	6	5	4	3	2	1	0

<b>Vendor ID LSB</b>							
REG[403Ah], Index[01h]				Default = B8h		Read/Write	
ベンダー IDビット7~0							
7	6	5	4	3	2	1	0

bits 15-0                      ベンダー IDビット[15:0]  
 これらのレジスタは、「デバイスディスクリプタ取得」要求で返されるベンダー IDを決定します。

<b>Product ID MSB</b>							
REG[403Ah], Index[02h]				Default = 88h		Read/Write	
プロダクトIDビット15~8							
7	6	5	4	3	2	1	0

<b>Product ID LSB</b>							
REG[403Ah], Index[03h]				Default = 21h		Read/Write	
プロダクトIDビット7~0							
7	6	5	4	3	2	1	0

bits 15-0                      プロダクトIDビット[15:0]  
 これらのレジスタは、「デバイスディスクリプタ取得」要求で返されるプロダクト IDを決定します。

<b>Release Number MSB</b>							
REG[403Ah], Index[04h]				Default = 01h		Read/Write	
リリース番号ビット15~8							
7	6	5	4	3	2	1	0

<b>Release Number LSB</b>							
REG[403Ah], Index[05h]				Default = 00h		Read/Write	
リリース番号ビット7~0							
7	6	5	4	3	2	1	0

bits 15-0                      リリース番号ビット[15:0]  
 これらのレジスタは、「デバイスディスクリプタ取得」要求で返されるデバイス リリース番号を決定します。

Receive FIFO Almost Full Threshold							Read/Write
REG[403Ah], Index[06h]							Default = 3Ch
n/a		受信FIFOオールモストフルしきい値ビット5~0					
7	6	5	4	3	2	1	0

bits 5-0

受信FIFOオールモストフルしきい値ビット[5:0]

このレジスタは、受信FIFOオールモストフル状態ビットが設定されるしきい値を決定します。

**注**

割り込みをさせるためにはFIFOカウントがしきい値を超えなければならないので、受信FIFOオールモストフルしきい値は64未満に設定してください。

Transmit FIFO Almost Empty Threshold							Read/Write
REG[403Ah], Index[07h]							Default = 04h
n/a		送信FIFOオールモストエンプティしきい値ビット5~0					
7	6	5	4	3	2	1	0

bits 5-0

送信FIFOオールモストエンプティしきい値ビット[5:0]

このレジスタは、送信FIFOオールモストエンプティ状態ビットが設定されるしきい値を決定します。

**注**

割り込みをさせるにはFIFOカウントがしきい値より低くなければならぬので、送信FIFOオールモストエンプティしきい値は0より大きく設定してください。

USB Control							Read/Write
REG[403Ah], Index[08h]							Default = 01h
n/a						USBストリングイネーブル	0
7	6	5	4	3	2	1	0

bit 0

USBストリングイネーブル

このビットが設定されたときは、デフォルトのベンダーおよびプロダクトIDストリングディスクリプタがホストに返されます。このビットがクリアされると、デバイスディスクリプタ内のストリングインデックス値が0に設定されます。

Maximum Power Consumption							Read/Write
REG[403Ah], Index[09h]							Default = FAh
最大電流ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

最大電流ビット[7:0]

周辺装置がUSBポートから取り出す電流の量を2mAインクリメントで指定します。S1D13A05は、この値をコンフィギュレーションディスクリプタでホストコントローラに報告します。デフォルトの最大値は500mA(FAh × 2mA)です。

USB仕様を満たすには、以下の式が成り立つようにしてください。

$$\text{REG}[403\text{Ah}]\text{インデックス}[09\text{h}] \text{ FAh}$$



## 8. レジスタ

Packet Control							Read/Write
REG[403Ah], Index[0Ah]				Default = 00h			
EP4データトグルビット	EP3データトグルビット	EP2データトグルビット	EP1データトグルビット	Reserved	Reserved	n/a	Reserved
7	6	5	4	3	2	1	0

bit 7 EP4データトグルビット  
USBホストからのエンドポイント4への次のINトークンに応じて送られるデータトグルビットの値を含みます。

**注**

このビットに書き込みを行うときは、最低12 USBCLKまで値をリードバックすることができません。

bit 6 EP3データトグルビット  
USBホストからのエンドポイント3への次のDATAパケットに予想されるデータトグルビットの値を含みます。

**注**

このビットに書き込みを行うときは、最低12 USBCLKまで値をリードバックすることができません。

bit 5 EP2データトグルビット  
USBホストからエンドポイント2への次のINトークンに応じて送られるデータトグルビットの値を含みます。

**注**

このビットに書き込みを行うときは、最低12 USBCLKまで値をリードバックすることができません。

bit 4 EP1データトグルビット  
USBホストからのエンドポイント1への次のDATAパケットに予想されるデータトグルビットの値を含みます。

**注**

このビットに書き込みを行うときは、最低12 USBCLKまで値をリードバックすることができません。

bit 3 Reserved  
このビットは0に設定してください。

bit 2 Reserved  
このビットは0に設定してください。

bit 0 Reserved  
このビットは0に設定してください。

Reserved							Read/Write
REG[403Ah], Index[0Bh]				Default = 00h			
			n/a				Reserved
7	6	5	4	3	2	1	0

bit 0 Reserved  
このビットは0に設定してください。

FIFO Control							Read/Write
REG[403Ah], Index[0Ch]						Default = 00h	
n/a							送信FIFO有効 モード
7	6	5	4	3	2	1	0

bit 0 送信FIFO有効モード  
このビットが、設定されたとき、FIFO有効ビット(レジスタEP4STAT内)がセットされない限り送信FIFO(EP4)からのホスト読み出し要求に対してNAKを返します。このビットがクリアされると、ホスト読み出し要求に応じて送信FIFO内に待機しているデータが送られ、FIFO有効ビットは無視されます。

USBFC Input Control Register								Read/Write
REG[4040h]							Default = 0Dh	
n/a								
15	14	13	12	11	10	9	8	
n/a	USCMPEN	Reserved	Reserved	ISO	WAKEUP	Reserved	Reserved	
7	6	5	4	3	2	1	0	

これらのビットは、USBモジュールへの入力を制御します。

bit 6 USCMPEN  
このビットは、USB差動入力レシーバを制御します。  
0=差動入力レシーバディセーブル  
1=差動入力レシーバイネーブル

bits 5 Reserved  
このビットは0に設定してください。

bits 4 Reserved  
このビットは0に設定してください。

bit 3 ISO  
このビットは、FIFOの等時性転送モードとバルク転送モードを選択します(エンドポイント3とエンドポイント4)。  
0=等時性転送モード  
1=バルク転送モード

bit 2 WAKEUP  
このアクティブLowビットは、USBリモートウェイクアップを開始します。  
0=USBリモートウェイクアップを開始します。  
1=アクションなし

bit 1 Reserved  
このビットは0に設定してください。

bit 0 Reserved  
このビットは0に設定してください。

## 8. レジスタ

Reserved REG[4042h]							
15	14	13	12	11	10	9	8
n/a							
7	6	5	4	3	2	1	0

Pin Input Status / Pin Output Data Register REG[4044h]      Default = depends on USB input pin state      Read/Write							
15	14	13	12	11	10	9	8
n/a							
n/a						USBDETECT 入力端子状態 (読み出し専用) 1	USBPUP 出力端子状態 0
7	6	5	4	3	2	1	0

これらのビットは割り込みを生成することができます。

bit 1

USBDETECT入力端子状態（読み出し専用）

この読み出し専用ビットは、定常状態期間0.5秒後のUSBDETECT入力端子の状態を示します。

bit 0

USBPUP出力端子状態

このビットは、USBPUP出力端子の状態を制御します。

USB インタフェースとUSBレジスタをイネーブルするときはこのビットを1に設定してください。このビットの詳細は、「*S1D13A05 Programming Notes and Examples*」文書番号X40A-G-003-xxを参照してください。

Interrupt Control Enable Register 0							
REG[4046h]		Default = 00h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a	USBホスト接続	Reserved	Reserved	Reserved	Reserved	USBRESET	Reserved
7	6	5	4	3	2	1	0

これらのビットは、割り込み制御状態/クリアレジスタ0の対応するビットからの割り込みをイネーブルします。

0=対応する割り込みビットディセーブル(マスク)

1=対応する割り込みビットイネーブル

Interrupt Control Enable Register 1							
REG[4048h]		Default = 00h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a	USBホスト切断	Reserved	デバイス設定	Reserved	Reserved	Reserved	INT
7	6	5	4	3	2	1	0

これらのビットは、割り込み制御状態/クリアレジスタ1の対応するビットからの割り込みをイネーブルします。

0=対応する割り込みビットディセーブル(マスク)

1=対応する割り込みビットイネーブル

Interrupt Control Status/Clear Register 0							
REG[404Ah]		Default = 00h				Read/Write	
n/a							
15	14	13	12	11	10	9	8
n/a	USBホスト接続	Reserved	Reserved	Reserved	Reserved	USBRESET	Reserved
7	6	5	4	3	2	1	0

読み出し時、これらのビットは、対応する信号のLowからHighへの遷移によって行われた割り込みの状態を表します。

0(読み出し)=対応する信号にLow-Highイベントが検出されません

1(読み出し)=対応する信号にLow-Highイベントが検出されました

書き込み時、これらのビットは対応する割り込み状態ビットをクリアします。

0(書き込み)=対応する割り込み状態ビットを変更しません

1(書き込み)=対応する割り込み状態ビットを0にクリアします

これらのビットは、必ずこのレジスタに書き込んでクリアした後で使用してください。これにより、システム初期化の際の入力端子の変化により間違った割り込みが行われるのを防ぎます。割り込みビットは以下のように使用されます。

bit 6

USBホスト接続

USBデバイスがUSBホストに接続されていることを示します。

bit 5

Reserved

0に設定してください。

## 8. レジスタ

bit 4	Reserved 0に設定してください。
bit 3	Reserved 0に設定してください。
bit 2	Reserved 0に設定してください。
bit 1	USBRESET USBデバイスがRESET#端子またはUSBポートリセットによりリセットされたことを示します。
bit 0	Reserved 0に設定してください。

Interrupt Control Status/Clear Register 1							
REG[404Ch] Default = 00h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a	USBホスト切断	Reserved	デバイス設定	Reserved	Reserved	Reserved	INT
7	6	5	4	3	2	1	0

読み出し時、これらのビットは、対応する信号のHigh-Low遷移によって行われた割り込みの状態を表します。

0(読み出し)=対応する信号でHigh-Lowイベントが検出されませんでした

1(読み出し)=対応する信号でHigh-Lowイベントが検出されました

書き込み時、これらのビットは、対応する割り込み状態ビットをクリアします。

0(書き込み)=対応する割り込み状態ビットは変更されません

1(書き込み)=対応する割り込み状態ビットが0にクリアされます

これらのビットは、必ずこのレジスタに書き込んでクリアした後で使用してください。これにより、システム初期化の際の入力端子の変化により間違った割り込みが行われるのを防ぎます。割り込みビットは次のように使用されます。

bit 6	USBホスト切断 USBデバイスがUSBホストから切り離されていることを示します。
bit 5	Reserved 0に設定してください。
bit 4	デバイス設定 USBデバイスがUSBホストによって設定されたことを示します。
bit 3	Reserved 0に設定してください。
bit 2	Reserved 0に設定してください。
bit 1	Reserved 0に設定してください。
bit 0	INT USBレジスタ(REG[4000h] ~ REG[403Ah])内で生じる割り込み要求を示します。

Interrupt Control Masked Status Register 0	
REG[404Eh] Default = 00h	Read Only
n/a	

Interrupt Control Masked Status Register 0							
REG[404Eh] Default = 00h							Read Only
15	14	13	12	11	10	9	8
n/a	USBホスト接続	Reserved	Reserved	Reserved	Reserved	USBRESET	Reserved
7	6	5	4	3	2	1	0

これらの読み出し専用ビットは、対応する割り込み制御状態 / クリアレジスタ0(REG[404Ah])と割り込み制御イネーブルレジスタ0(REG[4046h])の論理積を表します。

Interrupt Control Masked Status Register 1							
REG[4050h] Default = 00h							Read Only
n/a							
15	14	13	12	11	10	9	8
n/a	USBホスト切断	Reserved	デバイス設定	Reserved	Reserved	Reserved	INT
7	6	5	4	3	2	1	0

これらの読み出し専用ビットは、対応する割り込み制御状態 / クリアレジスタ1(REG[404Ch])と割り込み制御イネーブルレジスタ1(REG[4048h])の論理積を表します。

USB Software Reset Register							
REG[4052h] Default = 00h							Write Only
n/a							
15	14	13	12	11	10	9	8
USBソフトウェアリセット(コード=10100100)ビット7-0							
7	6	5	4	3	2	1	0

bits 7-0

USBソフトウェアリセットビット[7:0](書き込み専用)

これらのビットに特定コード10100100が書き込まれると、S1D13A05のUSBモジュールはリセットされます。このコードを使用すると、USBが間違ってリセットされるのを防止します。

USB Wait State Register							
REG[4054h] Default = 00h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a						USB待機状態ビット1-0	
7	6	5	4	3	2	1	0

bits 1-0

USB待機状態ビット[1:0]

このレジスタは、S1D13A05がその内部USBサポートに使用する待機状態の数を制御します。S1D13A05が対応しているすべてのバスインタフェースでは、これらのビットを01に設定してください。

## 8. レジスタ

### 8.5 2Dアクセラレータ(BitBLT)レジスタ(オフセット=8000h)

これらのレジスタは、S1D13A05 2Dアクセラレータエンジンを制御します。BitBLTプログラミングの詳細は、「S1D13A05 Programming Notes and Examples」、文書番号X40A-G-003-xxを参照してください。

BitBLT Control Register														Read/Write			
REG[8000h]														Default = 00000000h			
n/a														BitBLT カラー フォーマット 選択	BitBLT Destination 線形選択	BitBLT ソース 線形 選択	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
n/a																	BitBLT イネーブル (書き 込み 専用)
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		

- bit 18 BitBLTカラーフォーマット選択  
このビットは、2D演算に適用するカラーフォーマットを選択します。  
このビットが0のときは、8 bpp(256カラー)フォーマットが選択されます。  
このビットが1のときは、16 bpp(64Kカラー)フォーマットが選択されます。
- bit 17 BitBLT Destination線形選択  
このビットが1のとき、Destination BitBLTは、隣接するメモリ線形ブロックとして記憶されます。  
このビットが0のとき、Destination BitBLTは、長方形のメモリ領域として記憶されます。BitBLT Memory Address Offsetレジスタ(REG[8014h])は、あるラインの最初から次のラインまでのアドレスオフセットを決定します。
- bit 16 BitBLTソース線形選択  
このビットが1のとき、ソースBitBLTは隣接するメモリ線形ブロックとして記憶されます。このビットが0のとき、ソースBitBLTは長方形のメモリ領域として記憶されます。BitBLT Memory Address Offsetレジスタ(REG[8014h])は、あるラインの開始から次のラインまでのアドレスオフセットを決定します。
- bit 0 BitBLTイネーブル(書き込み専用)  
このビットは書き込み専用です。  
このビットを1に設定すると2D BitBLT操作が始まります。このビットは、BitBLT操作中は0に設定しないでください。

#### 注

BitBLT操作の状態を決定するためには、BitBLTビジー状態ビット(REG[8004h]ビット0)を使用してください。

BitBLT Status Register																
REG[8004h]      Default = 00000000h      Read Only																
n/a				使用FIFOエントリ数ビット4~0				n/a			空きFIFOエントリ数ビット4~0(0はフル)					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
n/a								BitBLT FIFO非 エンプティ	BitBLT FIFO ハーフ フル	BitBLT FIFO フル 状態	n/a					BitBLT ビジー 状態
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 28-24      使用FIFOエントリ数ビット[4:0]  
これらのビットは、現在使用中のFIFOエントリの最少数を示します(内部パイプラインステージでは値がもっと多い場合があります)。

bits 20-16      空きFIFOエントリ数ビット [4:0]  
これらのビットは、使用可能な空のFIFOエントリの数を示します。これらのビットが0に戻った場合、FIFOはフルです。

bit 6      BitBLT FIFO非エンプティ状態  
これは、読み出し専用状態ビットです。  
このビットが0のとき、BitBLT FIFOはエンプティです。  
このビットが1のとき、BitBLT FIFOに少なくとも1つのデータがあります。  
ソフトウェアは、BitBLT読み出しバースト操作前にこのビットを監視して、システムメモリ読み出しレイテンシを短くすることができます。  
次の表は、様々な状態におけるBitBLT FIFO内で使用可能なワードの数を示します。

表8.34 使用可能なBitBLT FIFOワード

BitBLT FIFOフル状態 (REG[8004h]ビット4)	BitBLT FIFOハーフ フル状態(REG[8004h] ビット5)	BitBLT FIFO 非エンプティ状態 (REG[8004h]ビット6)	BitBLT FIFOで 使用可能なワード数
0	0	0	0
0	0	1	1~6
0	1	1	7~14
1	1	1	15~16

bit 5      BitBLT FIFOハーフフル状態  
これは読み出し専用の状態ビットです。  
このビットが1のとき、BitBLT FIFOはハーフフル以上です。  
このビットが0のとき、BitBLT FIFOはハーフフル未満です。

bit 4      BitBLT FIFOフル状態  
これは読み出し専用の状態ビットです。  
このビットが1のとき、BitBLT FIFOはフルです。  
このビットが0のとき、BitBLT FIFOはフルではありません。

bit 0      BitBLTビジー状態  
このビットは読み出し専用の状態ビットです。  
このビットが1のとき、BitBLT操作が進行中です。  
このビットが0のとき、BitBLT操作が完了しました。



## 8. レジスタ

### 注

BitBLT読み出し操作中、BitBLTエンジンは、FIFOをフルにしようとはしません。FIFOがフルになると、データがFIFOから読み出されるのでBitBLT操作が一時的に停止します。BitBLTは、FIFO内に残っている値が14未満のときだけ再開します。

BitBLT Command Register													Read/Write			
REG[8008h]													Default = 00000000h			
n/a													BitBLT ROPコードビット3~0			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
n/a													BitBLT操作ビット3~0			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 19-16

BitBLTラスタ操作コード / 色拡張ビット[3:0]

Write BitBLTとMove BitBLTのROPコード。ビット2~0は、色拡張の開始ビット位置も指定します。

表8.35 BitBLT ROPコード / 色拡張機能の選択

BitBLT ROPコードビット [3:0]	Write BitBLTとMove BitBLTのブール関数	Pattern Fillのブール関数	色拡張の開始ビット位置
0000	0(黒)	0(黒)	ビット0
0001	$\sim S \cdot \sim D$ or $\sim(S + D)$	$\sim P \cdot \sim D$ or $\sim(P + D)$	ビット1
0010	$\sim S \cdot D$	$\sim P \cdot D$	ビット2
0011	$\sim S$	$\sim P$	ビット3
0100	$S \cdot \sim D$	$P \cdot \sim D$	ビット4
0101	$\sim D$	$\sim D$	ビット5
0110	$S \wedge D$	$P \wedge D$	ビット6
0111	$\sim S + \sim D$ or $\sim(S \cdot D)$	$\sim P + \sim D$ or $\sim(P \cdot D)$	ビット7
1000	$S \cdot D$	$P \cdot D$	ビット0
1001	$\sim(S \wedge D)$	$\sim(P \wedge D)$	ビット1
1010	D	D	ビット2
1011	$\sim S + D$	$\sim P + D$	ビット3
1100	S	P	ビット4
1101	$S + \sim D$	$P + \sim D$	ビット5
1110	$S + D$	$P + D$	ビット6
1111	1(白)	1(白)	ビット7

### 注

S=ソース、D=Destination、P=パターン)

$\sim$  = NOT、 $\cdot$  =論理積、 $+$  =論理OR、 $\wedge$  =論理排他的論理和XOR

bits 3-0

BitBLT操作ビット[3:0]  
以下の表に基づいて実行される2D操作を指定します。

表8.36 BitBLT操作の選択

BitBLT操作ビット[3:0]	BitBLT操作
0000	Write BitBLT(ROP 機能付き )
0001	Read BitBLT
0010	正方向の Move BitBLT(ROP 機能付き )
0011	負方向の Move BitBLT(ROP 機能付き )
0100	Transparent Write BitBLT
0101	正方向の Transparent Move BitBLT
0110	Pattern Fill(ROP 機能付き )
0111	Pattern Fill( 透過機能付き )
1000	Color Expansion
1001	Color Expansion( 透過機能付き )
1010	Move BitBLT( 色拡張機能付き )
1011	Move BitBLT( 色拡張および透過機能付き )
1100	Solid Fill
他の組み合わせ	Reserved

## 8. レジスタ

BitBLT Source Start Address Register															Read/Write	
REG[800Ch]															Default = 00000000h	
n/a											BitBLTソース開始アドレスビット20~16					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
BitBLTソース開始アドレスビット15~0																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 20-0

BitBLTソース開始アドレスビット[20:0]

BitBLT操作のソース開始アドレスを指定する21ビットレジスタ。  
データがCPUから送られる場合、ビット0は、16ビットワード内のバイトアライメントに使用され、他のアドレスビットは無視されます。パターンフィル操作の場合、BitBLTソース開始アドレスは以下の式で定義されます。

ソース開始アドレスレジスタにプログラムされる値=

パターンベースアドレス+パターンラインオフセット+ピクセルオフセット

色深度が8bppと16bppの場合のソース開始アドレスレジスタの定義は次の表のように行われます。

**表8.37 BitBLTソース開始アドレス選択**

カラーフォーマット	パターンベースアドレス[20:0]	パターンラインオフセット[2:0]	ピクセルオフセット [3:0]
8 bpp	BitBLTソース開始アドレス[20:6]	BitBLTソース開始アドレス[5:3]	BitBLTソース開始アドレス[2:0]
16 bpp	BitBLTソース開始アドレス[20:7]	BitBLTソース開始アドレス[6:4]	BitBLTソース開始アドレス[3:0]

### 注

BitBLTソース開始アドレスレジスタの詳細は、「*S1D13A05 Programming Notes and Examples*」, 文書番号X40A-G-003-xxを参照してください。

BitBLT Destination Start Address Register															Read/Write	
REG[8010h]															Default = 00000000h	
n/a											BitBLT Destination開始アドレスビット20~16					
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
BitBLT Destination開始アドレスビット15~0																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 20-0

BitBLT Destination開始アドレスビット[20:0]

BitBLT操作のDestination開始アドレスを指定する21ビットレジスタ。

BitBLT Memory Address Offset Register															
REG[8014h]      Default = 00000000h															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a															
BitBLTメモリアドレスオフセットビット10~0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 10-0

BitBLTメモリアドレスオフセットビット[10:0]

これらのビットは、ライン $n$ の開始ワードからライン $n+1$ の開始ワードまでの表示の11ビットアドレスオフセットです。これらのビットは、BitBLTが長方形のメモリ領域として設定されたときのアドレス計算にのみ使用されます。表示には使用されません。

BitBLT Width Register															
REG[8018h]      Default = 00000000h															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a															
BitBLT幅ビット9~0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 9-0

BitBLT幅ビット[9:0]

BitBLT幅(ピクセル)-1を指定する10ビットレジスタ。

BitBLT幅(ピクセル)=(REG[8018h]ビット9~0)+1

BitBLT Height Register															
REG[801Ch]      Default = 00000000h															
Read/Write															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
n/a															
BitBLT高さビット9~0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 9-0

BitBLT高さビット[9:0]

BitBLT高さ(ライン)-1を指定する10ビットレジスタ。

BitBLT高さ(ライン)=(REG[801Ch]ビット9~0)+1

## 8. レジスタ

BitBLT Background Color Register																
REG[8020h]											Default = 00000000h				Read/Write	
n/a																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
BitBLTバックグラウンドカラービット15~0																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 15-0

BitBLTバックグラウンドカラービット[15:0]

このレジスタは、Color ExpansionのBitBLTバックグラウンド色またはTransparent BitBLTの基本色を指定します。16bpp色深度(REG[8000h]ビット18=1)の場合は、ビット15~0が使用されます。8bpp色深度(REG[8000h]ビット18=0)の場合は、ビット7~0が使用されます。

BitBLT Foreground Color Register																
REG[8024h]											Default = 00000000h				Read/Write	
n/a																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
BitBLTフォアグランドカラービット15~0																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

bits 15-0

BitBLTフォアグランドカラービット[15:0]

このレジスタは、Color ExpansionまたはSolid FillのBitBLTフォアグランドカラーを指定します。16bpp色深度(REG[8000h]ビット18=1)の場合は、ビット15~0が使用されます。8bpp色深度(REG[8000h]ビット18=0)の場合は、ビット7~0が使用されます。

### 8.6 2Dアクセラレータ(BitBLT)データレジスタの説明

2Dアクセラレータ(BitBLT)データレジスタは、AB15～AB0をデコードし、AB16=1でなければなりません。BitBLTデータレジスタは32ビット幅です。BitBLTデータレジスタへのバイトアクセスはできません。

2D Accelerator (BitBLT) Data Memory Mapped Region Register														Read/Write	
AB16-AB0 = 10000h-1FFFEh, even addresses															
BitBLTデータビット31～16															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BitBLTデータビット15～0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

bits 15-0

BitBLTデータビット[15:0]

このレジスタはBitBLTデータを指定します。このレジスタは、10000hから1FFFEhまで柔軟にデコードされます。

### 9. 2Dアクセラレータ(BitBLT)エンジン

#### 9.1 概要

S1D13A05は、ビットブロック転送(BitBLT)の性能を高める内蔵2D BitBLTエンジンを備えています。色深度8および16ビット/ピクセルをサポートしています。

BitBLTエンジンは、負方向にも対応しているMove BitBLTを除くすべてのBitBLT操作の正方向のソースとDestinationの長方形と線形のアドレス指定モードに対応しています。

BitBLTは、すべてのタイプのバイトアライメントに対応しています。BitBLTエンジンには専用のBitBLT IOアクセス空間があります。このため、BitBLTエンジンはBitBLT操作とホスト側操作を同時にサポートすることができます。

#### 9.2 BitBLT操作

S1D13A05 2D BitBLTエンジンは、以下のBitBLTに対応しています。個々のBitBLT操作の使い方の詳細は、「*S1D13A05 Programming Notes and Examples*」、文書番号X40A-G-003-xxを参照してください。

- Write BitBLT
- Move BitBLT
- Solid Fill BitBLT
- Pattern Fill BitBLT
- Transparent Write BitBLT
- Transparent Move BitBLT
- Read BitBLT
- Color Expansion BitBLT
- Move BitBLT(色拡張機能付き)

#### 注

BitBLTレジスタの詳細は、154ページの8.5「2Dアクセラレータ(BitBLT)レジスタ(オフセット=8000h)」を参照してください。

---

## 10. フレームレートの計算

表示フレームレートを計算するには、以下の式を使用してください。

$$\text{フレームレート} = \frac{f_{\text{PCLK}}}{(\text{HT}) \times (\text{VT})}$$

ここで:

$f_{\text{PCLK}}$  =PCLK周波数(Hz)

HT =全水平期間  
=((REG[20h]ビット6~0)+1) × 8ピクセル

VT =全垂直期間  
=((REG[30h]ビット9~0)+1)ライン



# 11. 表示データフォーマット

## 11. 表示データフォーマット

下の図は、リトルエンディアンシステムの表示モードデータフォーマットを示しています。

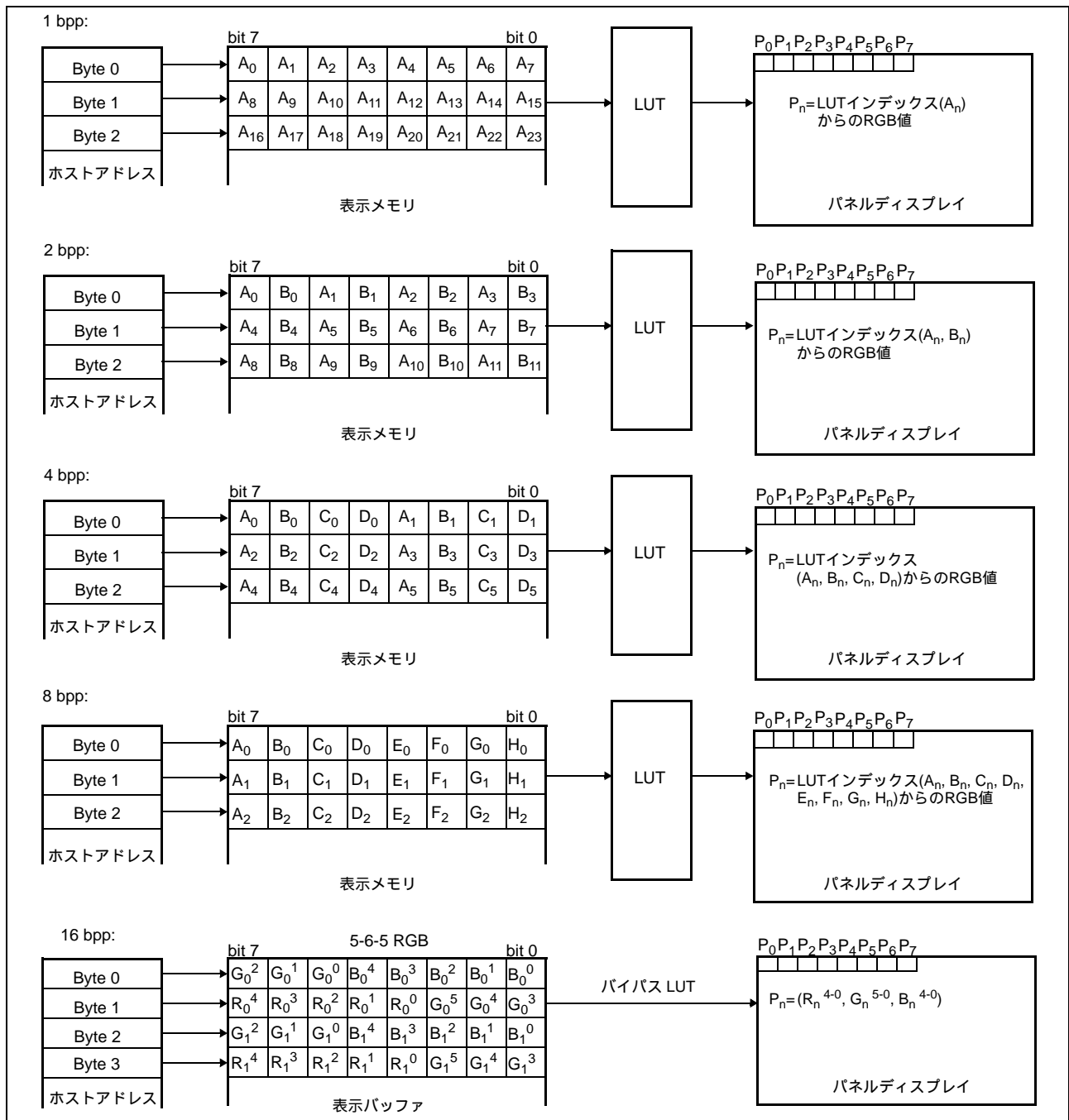


図11.1 4/8/16ビット/ピクセル表示データメモリの構成

**注**

- ここに示したホストアドレス / 表示メモリの対応は、リトルエンディアンシステム用です。
- 16bppフォーマットでは、R<sub>n</sub>、G<sub>n</sub>、B<sub>n</sub>は赤、緑、青の各色成分を表します。

## 12. ルックアップテーブルアーキテクチャ

以下の図は、表示データ出力経路だけを示しています。

### 注

ビデオデータ反転がイネーブルされたとき、ビデオデータはルックアップテーブルの後で反転されます。

### 12.1 モノクロモード

緑ルックアップテーブル(LUT)は、すべてのモノクロモードに使用されます。

#### 1ビット/ピクセルモノクロモード

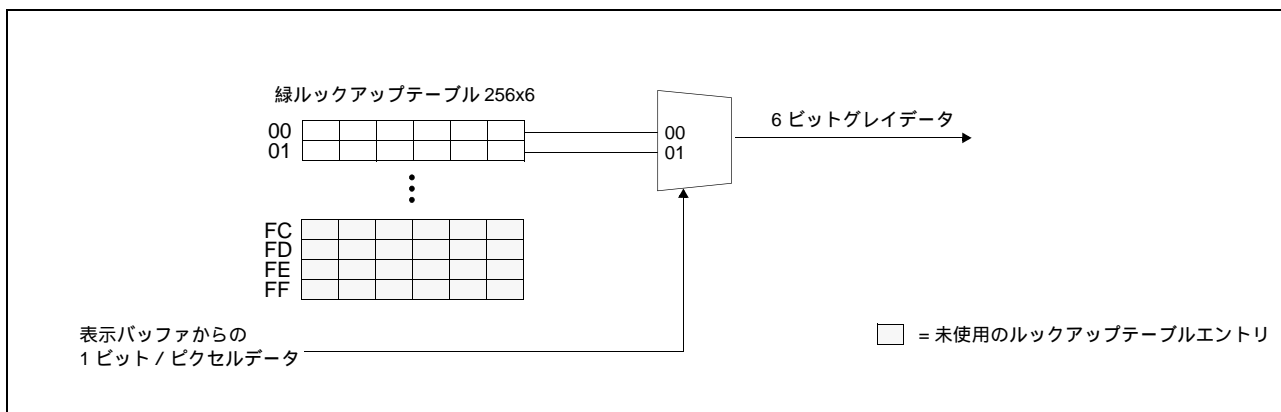


図12.1 1ビット/ピクセルモノクロモードデータ出力経路

#### 2ビット/ピクセルモノクロモード

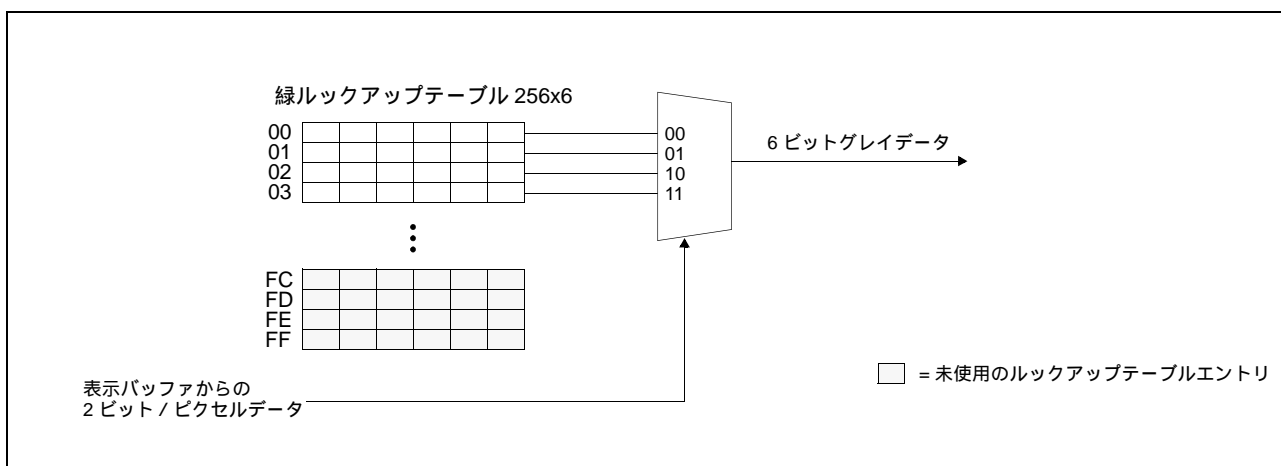


図12.2 2ビット/ピクセルモノクロモードデータ出力経路

## 12. ルックアップテーブルアーキテクチャ

### 4ビット/ピクセルモノクロモード

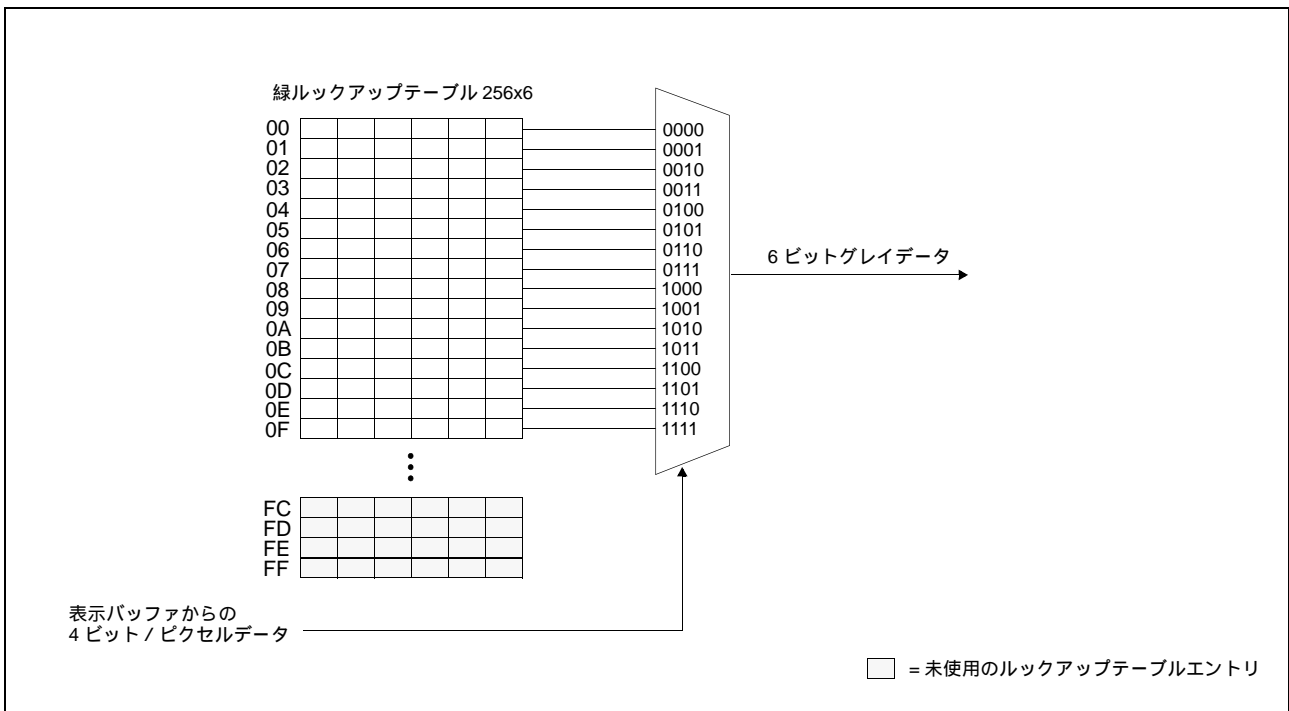


図12.3 4ビット/ピクセルモノクロモードデータ出力経路

### 8ビット/ピクセルモノクロモード

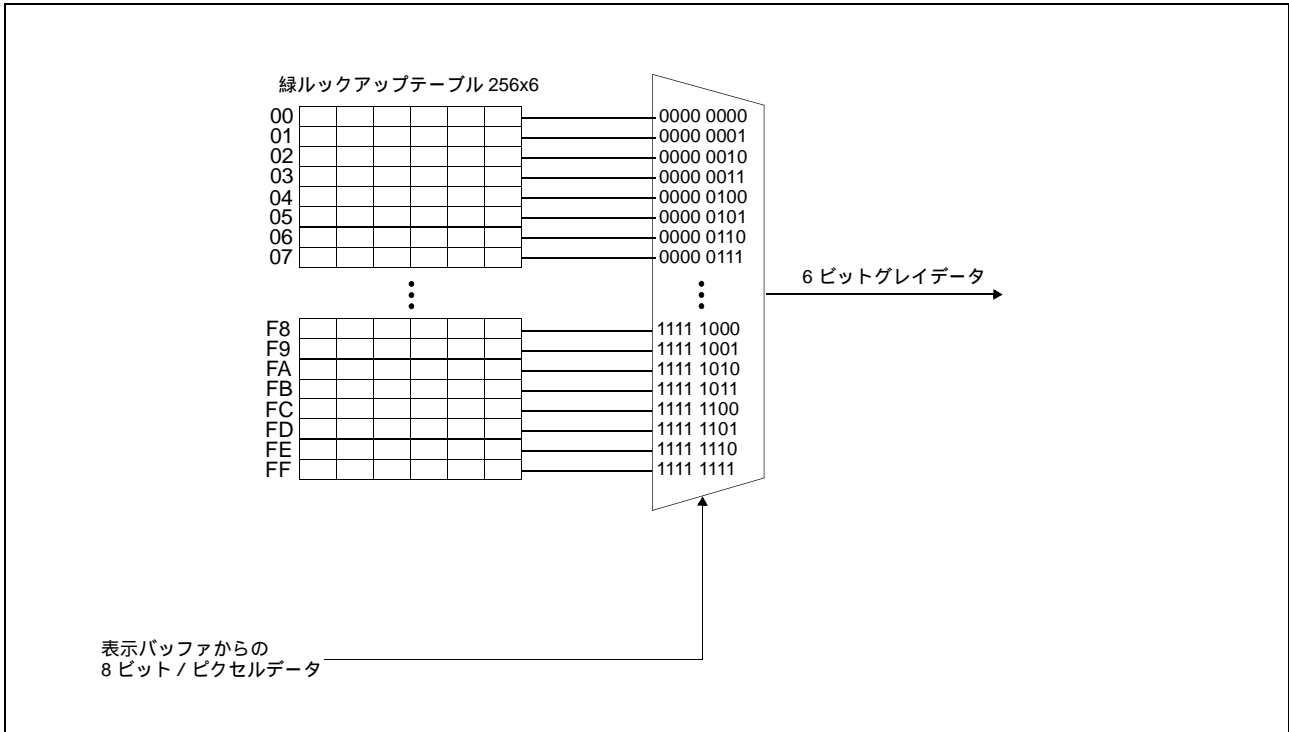


図12.4 8ビット/ピクセルモノクロモードデータ出力経路

16ビット/ピクセルモノクロモード

この色深度ではLUTは無視され、緑色データが直接マッピングされます。  
164ページの「表示データフォーマット」を参照。

12.2 カラーモード

1ビット/ピクセルカラー

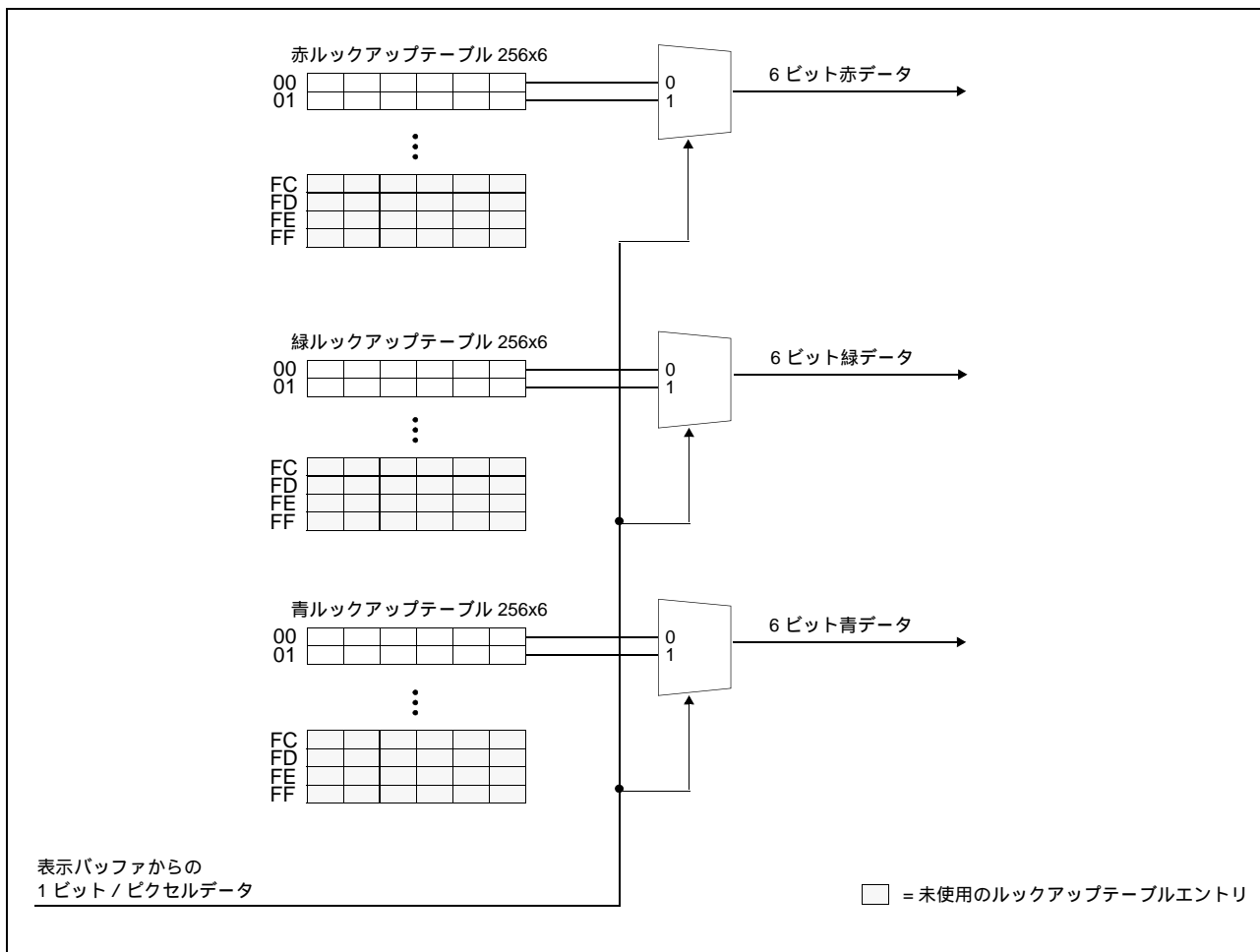


図12.5 1ビット/ピクセルカラーモードデータ出力経路

## 12. ルックアップテーブルアーキテクチャ

### 2ビット/ピクセルカラー

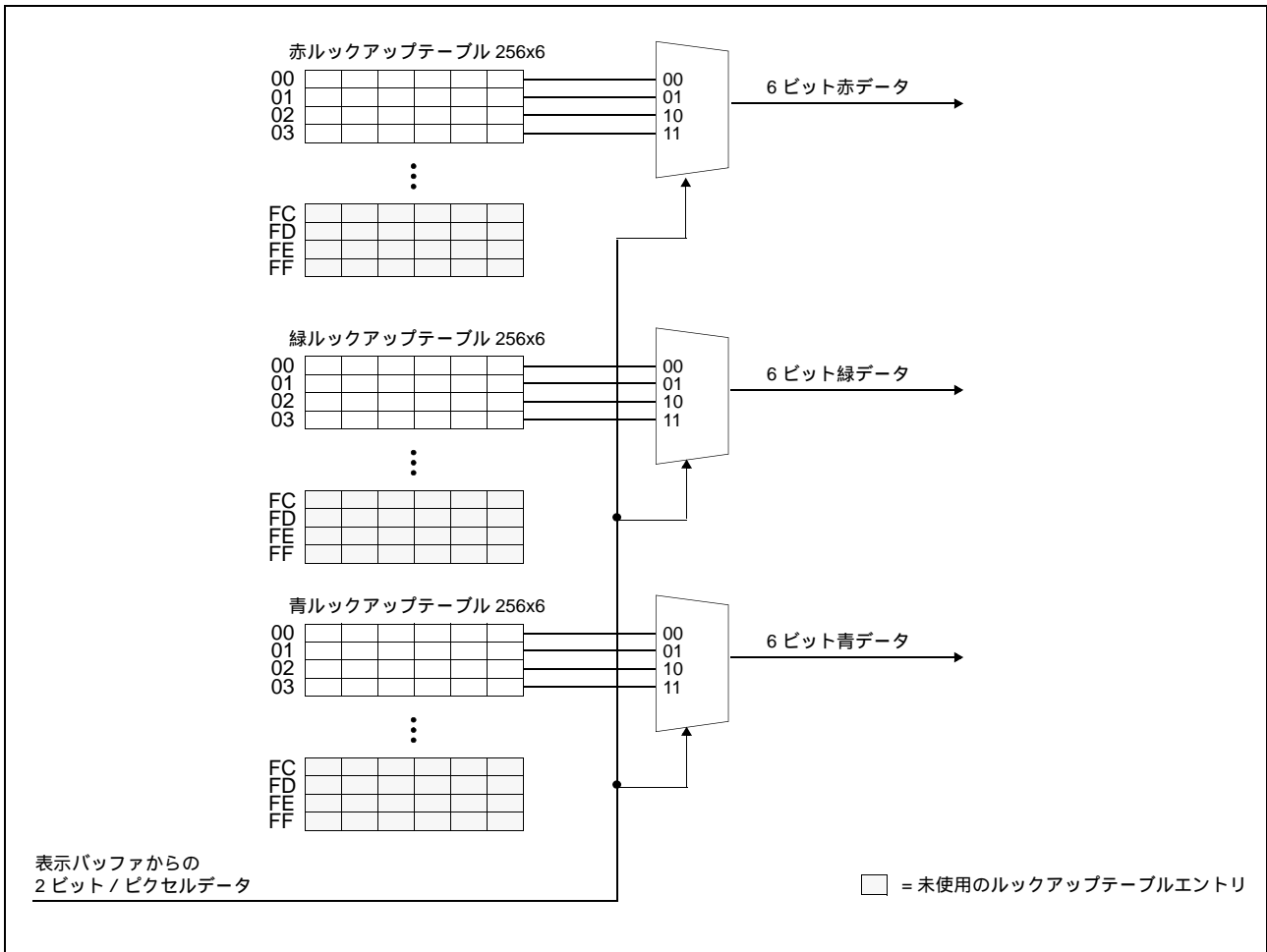


図12.6 2ビット/ピクセルカラーモードデータ出力経路

4ビット/ピクセルカラー

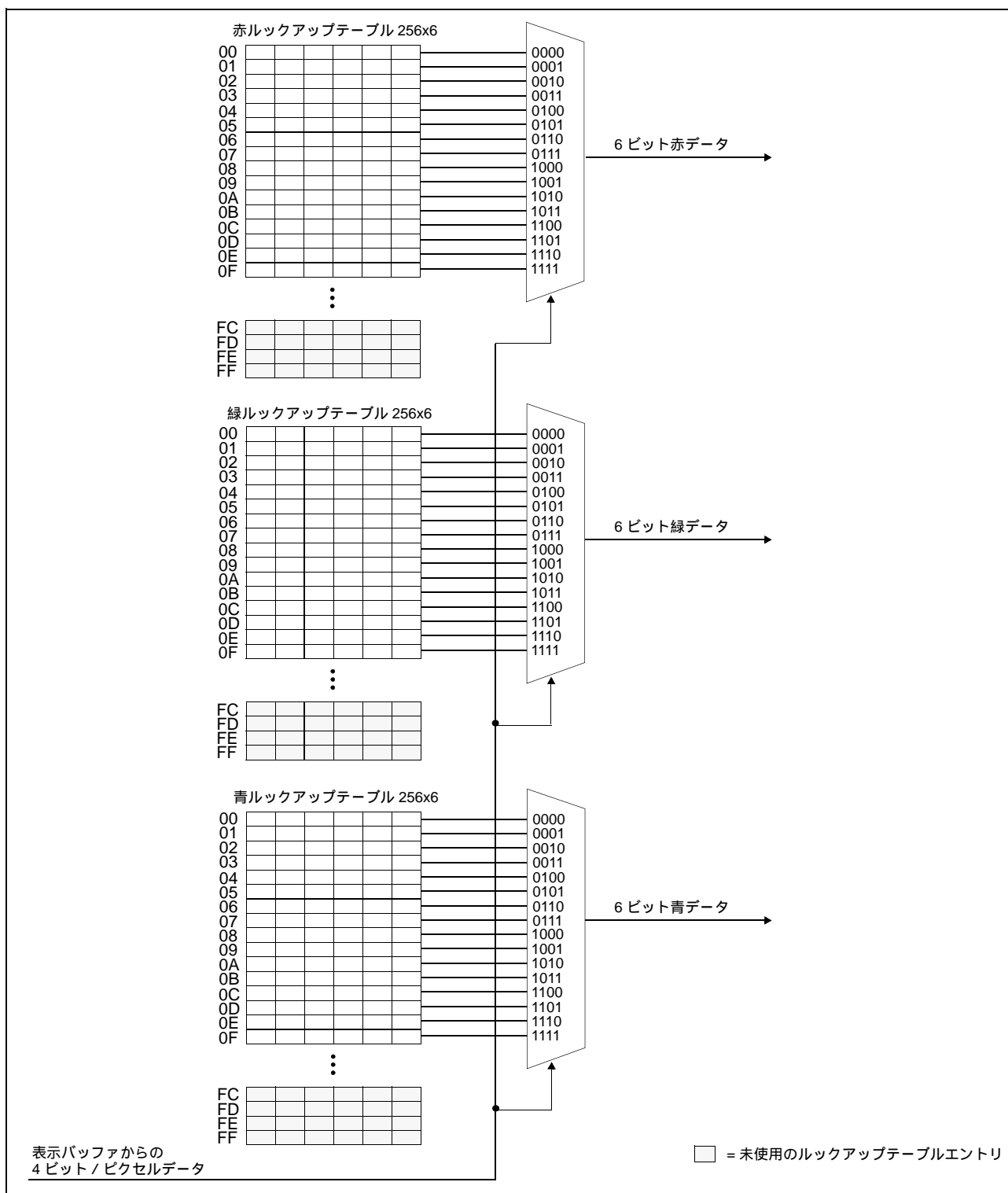


図12.7 4ビット/ピクセルカラーモードデータ出力経路

## 12. ルックアップテーブルアーキテクチャ

### 8ビット/ピクセルカラーモード

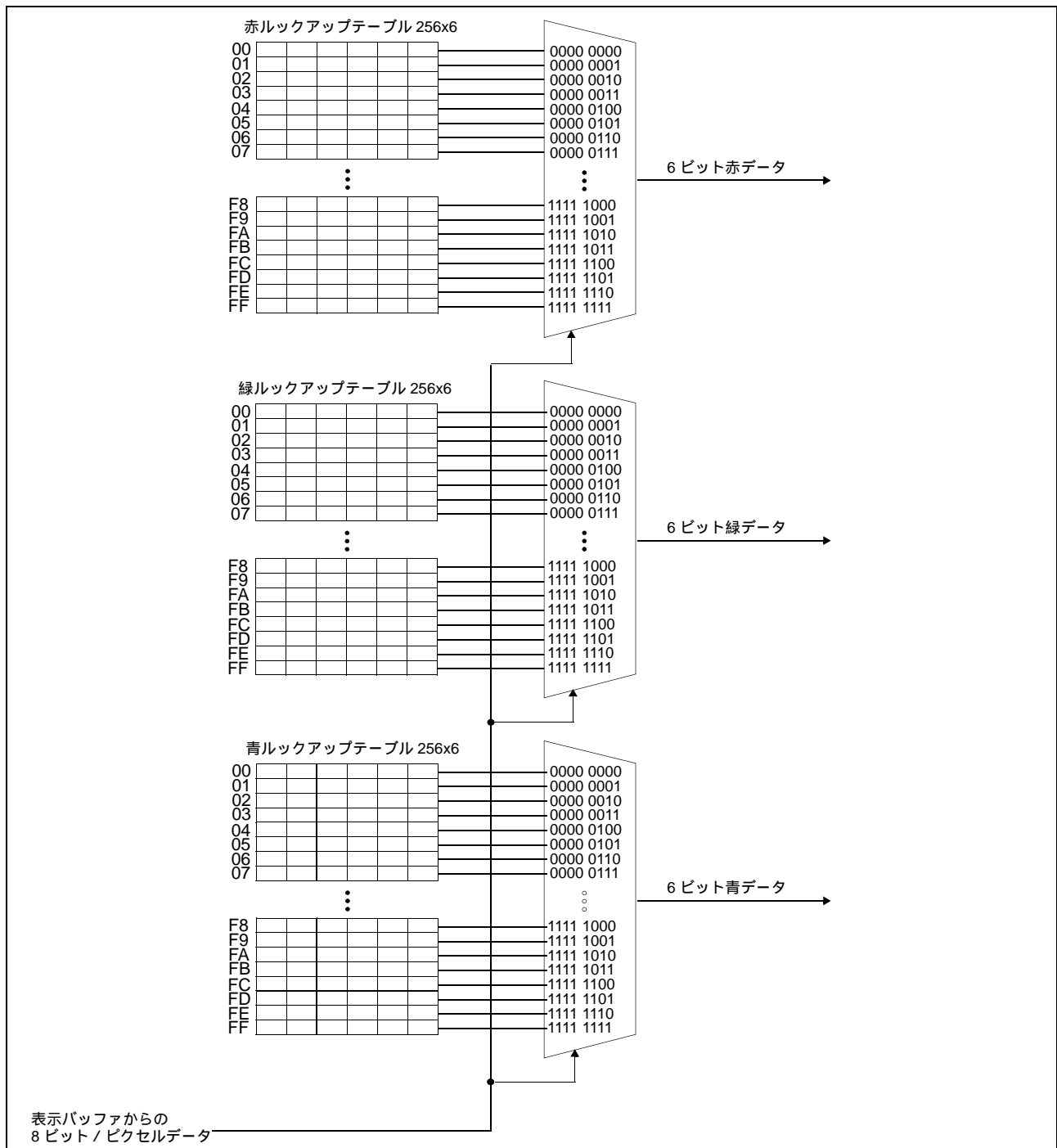


図12.8 8ビット/ピクセルカラーモードデータ出力経路

### 16ビット/ピクセルカラーモード

この色深度ではLUTはバイパスされ、カラーデータが直接マッピングされます。  
 164ページの「表示データフォーマット」を参照してください。

## 13. SwivelView™

### 13.1 概念

ほとんどのコンピュータディスプレイは、ランドスケープ方向、すなわち左から右、上から下にリフレッシュされます。コンピュータ画像は同じように記憶されます。SwivelView™は、LCD上の表示画像を反時計回り方向に90°、180°または270°回転させるように設計されています。この回転は、ハードウェアで行われ、表示バッファのすべての読み書きはユーザーに意識されることなく行われます。回転をハードウェアで処理するため、SwivelView™は、ソフトウェアで表示画像を回転させるよりも性能が優れています。

CPUの読み出し/書き込みの際にアドレス変換を必要としないため、画像は、実際に表示バッファ内で回転されません。画像は、表示リフレッシュ中に回転されます。

### 13.2 90° SwivelView™

90°SwivelView™では、メモリクロック(MCLK)がピクセルクロック(PCLK)周波数の少なくとも1.25倍でなければなりません(すなわち、MCLK 1.25PCLK)。

以下の図は、320x480ポートレートがプログラマにどのように見え、画像がどのように表示されるかを示しています。アプリケーション画像は、S1D13A05にA-B-C-Dの向きに書き込まれます。表示は、S1D13A05によってB-D-A-Cの向きにリフレッシュされます。

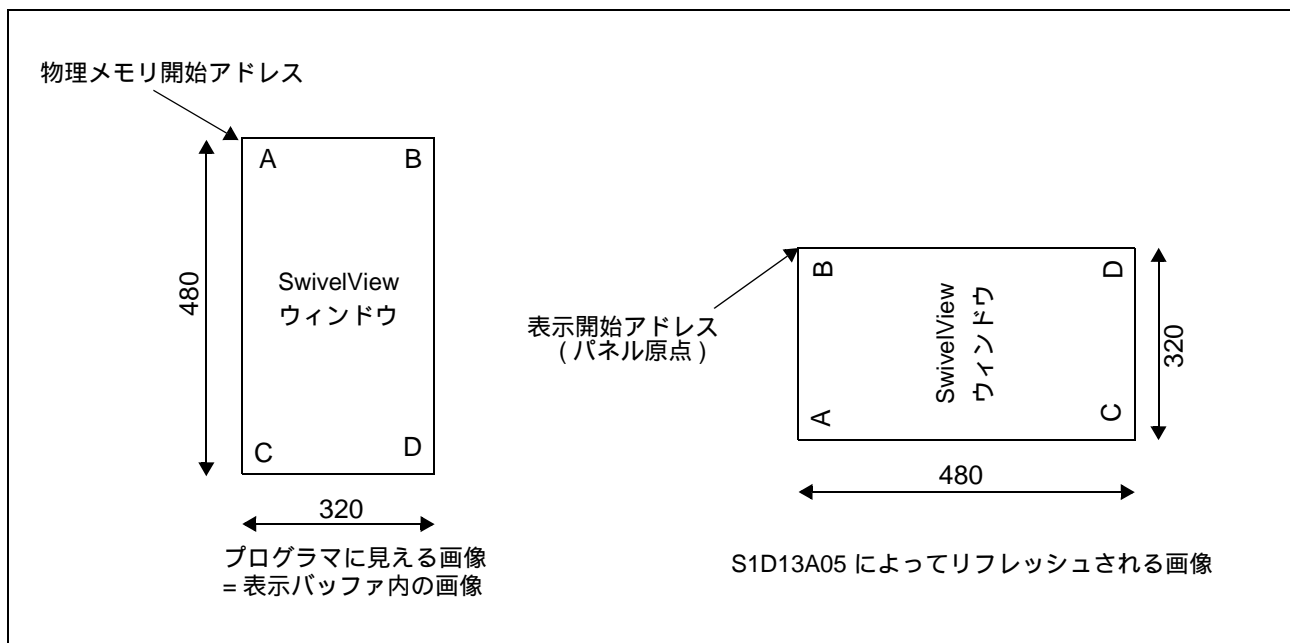


図13.1 表示画像と90°SwivelViewでリフレッシュされる画像の関係



### 13.2.1 レジスタのプログラミング

#### 90°SwivelView™モードのイネーブル

SwivelView™モード選択ビット(REG[10h]ビット17:16)を01に設定してください。

#### 表示開始アドレス

表示リフレッシュ回路はピクセル「B」から始まります。したがって、メインウィンドウ表示開始アドレスレジスタ(REG[40h])はピクセル「B」のアドレスでプログラムしてください。ピクセル「B」のアドレス値を計算するには、次の式を使用してください(色深度が8bppと仮定する)。

$$\begin{aligned} \text{REG}[40\text{h}] \text{ビット} 16:0 &= ((\text{画像アドレス} + (\text{パネル高さ} \times \text{bpp} \div 8)) \div 4) - 1 \\ &= (0 + (320 \text{ピクセル} \times 8 \text{bpp} \div 8)) \div 4 - 1 \\ &= 79(4\text{Fh}) \end{aligned}$$

#### ラインアドレスオフセット

メインウィンドウのラインアドレスオフセットレジスタ(REG[44h])は、表示幅に基づいて次の式を使ってプログラムされます。

$$\begin{aligned} \text{REG}[44\text{h}] \text{ビット} 9:0 &= \text{表示幅(ピクセル)} \div (32 \div \text{bpp}) \\ &= 320 \text{ピクセル} \div 32 \div 8 \text{bpp} \\ &= 80(50\text{h}) \end{aligned}$$

### 13.3 180° SwivelView™

以下の図は、480x320ランドスケープ画像がプログラマにどのように見え、画像がどのように表示されるかを示しています。アプリケーション画像は、S1D13A05にA-B-C-Dの向きに書き込まれ、表示は、S1D13A05によってD-C-B-Aの向きにリフレッシュされます。

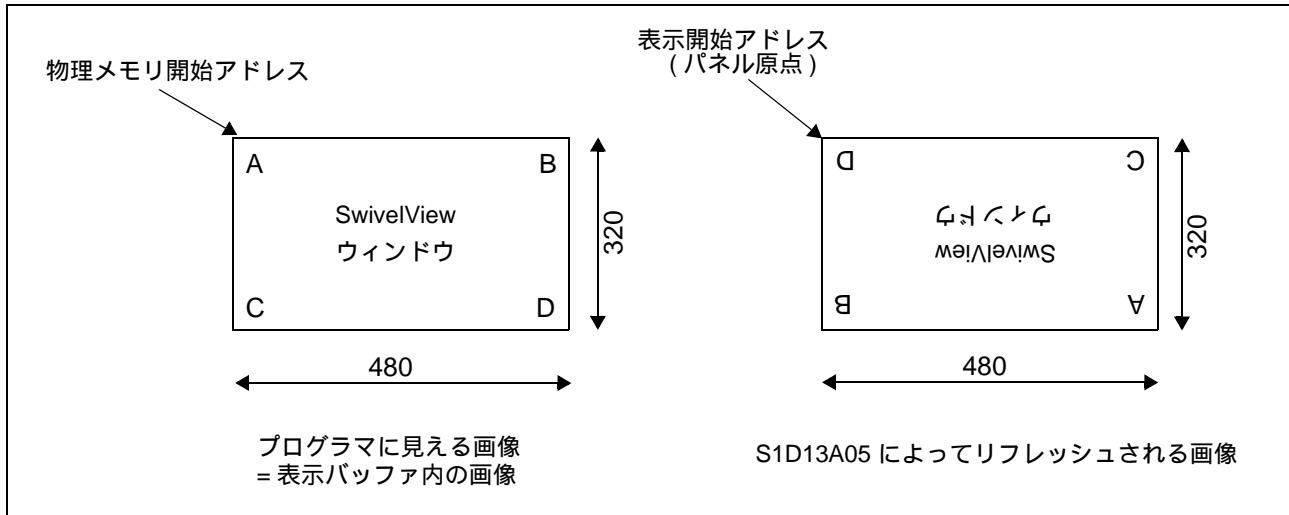


図13.2 表示画像と180°SwivelViewでリフレッシュされる画像の関係

#### 13.3.1 レジスタのプログラミング

##### 180°SwivelView™モードのイネーブル

SwivelView™モード選択ビット(REG[10h]ビット17:16)を10に設定してください。

##### 表示開始アドレス

表示リフレッシュ回路はピクセル「D」で始まります。したがって、メインウィンドウ表示開始アドレスレジスタ(REG[40h])はピクセル「D」のアドレスでプログラムしてください。ピクセル「D」のアドレス値を計算するには、次の式を使用してください(色深度が8bppと仮定する)。

$$\begin{aligned} \text{REG}[40\text{h}] \text{ビット} 16:0 &= ((\text{画像アドレス} + (\text{オフセット} \times (\text{パネル高さ} - 1) + \text{パネル幅}) \times \text{bpp} \div 8) \div 4) - 1 \\ &= ((0 + (480 \text{ピクセル} \times 319 \text{ピクセル} + 480 \text{ピクセル}) \times 8 \text{bpp} \div 8) \div 4) - 1 \\ &= 38399(95\text{FFh}) \end{aligned}$$

##### ラインアドレスオフセット

メインウィンドウのラインアドレスオフセットレジスタ(REG[44h])は、表示幅に基づいて、次の式を使ってプログラムされます。

$$\begin{aligned} \text{REG}[44\text{h}] \text{ビット} 9:0 &= \text{表示幅(ピクセル)} \div (32 \div \text{bpp}) \\ &= 480 \text{ピクセル} \div 32 \div 8 \text{bpp} \\ &= 120(78\text{h}) \end{aligned}$$

## 13. SwivelView™

### 13.4 270° SwivelView™

270°SwivelView™では、メモリクロック(MCLK)がピクセルクロック(PCLK)周波数の少なくとも1.25倍でなければなりません(すなわち、MCLK 1.25PCLK)。

以下の図は、320×480ポートレート画像がプログラマにどのように見え、画像がどのように表示されるかを示しています。アプリケーション画像は、S1D13A05にA-B-C-Dの向きに書き込まれ、表示は、S1D13A05によってC-A-D-Bの向きにリフレッシュされます。

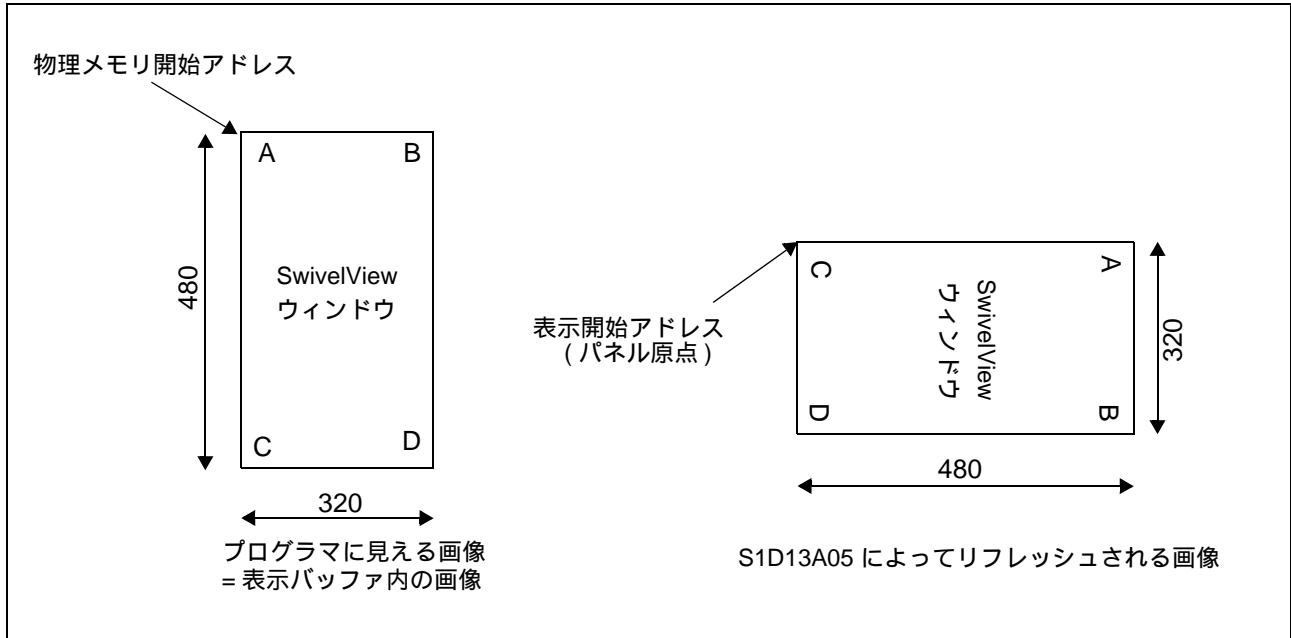


図13.3 表示画像と270°SwivelViewでリフレッシュされる画像の関係

### 13.4.1 レジスタのプログラミング

#### 270° SwivelView™モードのイネーブル

SwivelView™モード選択ビット(REG[10h]ビット17:16)を11に設定してください。

#### 表示開始アドレス

表示リフレッシュ回路はピクセル「C」から始まります。したがって、メインウィンドウ表示開始アドレスレジスタ(REG[40h])はピクセル「C」のアドレスでプログラムしてください。ピクセル「C」のアドレス値を計算するには、次の式を使用してください(色深度が8bppと仮定する)。

$$\begin{aligned}\text{REG}[40\text{h}] \text{ビット} 16:0 &= (\text{画像アドレス} + ((\text{パネル幅} - 1) \times \text{オフセット} \times \text{bpp} \div 8) \div 4) \\ &= (0 + ((480 \text{ピクセル} - 1) \times 320 \text{ピクセル} \times 8 \text{bpp} \div 8) \div 4) \\ &= 38320(95B0\text{h})\end{aligned}$$

#### ラインアドレスオフセット

メインウィンドウのラインアドレスオフセットレジスタ(REG[44h])は、表示幅に基づいて、次の式を使ってプログラムされます。

$$\begin{aligned}\text{REG}[44\text{h}] \text{ビット} 9:0 &= \text{表示幅(ピクセル)} \div (32 \div \text{bpp}) \\ &= 320 \text{ピクセル} \div 32 \div 8 \text{bpp} \\ &= 80(50\text{h})\end{aligned}$$

## 14. Picture-in-Picture Plus(PIP<sup>+</sup>)

### 14. Picture-in-Picture Plus(PIP<sup>+</sup>)

#### 14.1 概念

Picture-in-Picture Plus(PIP<sup>+</sup>)は、メイン表示ウィンドウ内で別のウィンドウ(すなわちPIP<sup>+</sup>ウィンドウ)を使用可能にします。PIP<sup>+</sup>ウィンドウは、仮想表示内のどこにでも位置決めすることができ、PIP<sup>+</sup>ウィンドウ制御レジスタ(REG[50h]~REG[5Ch])によって制御されます。PIP<sup>+</sup>ウィンドウの色深度とSwivelView方向はメインウィンドウと同じです。

以下の図は、メインウィンドウ内のPIP<sup>+</sup>ウィンドウとその位置決めで使用されるレジスタの例を示しています。

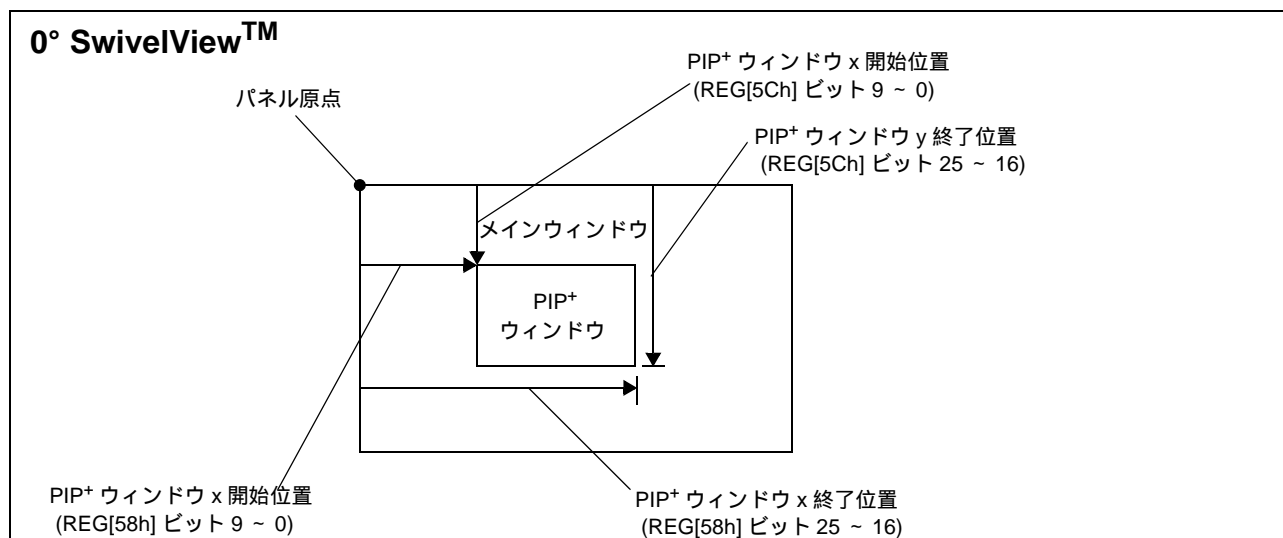


図14.1 SwivelViewがディセーブルされた場合のPicture-in-Picture Plus

## 14.2 SwivelViewをイネーブルした場合

## 14.2.1 SwivelView 90°

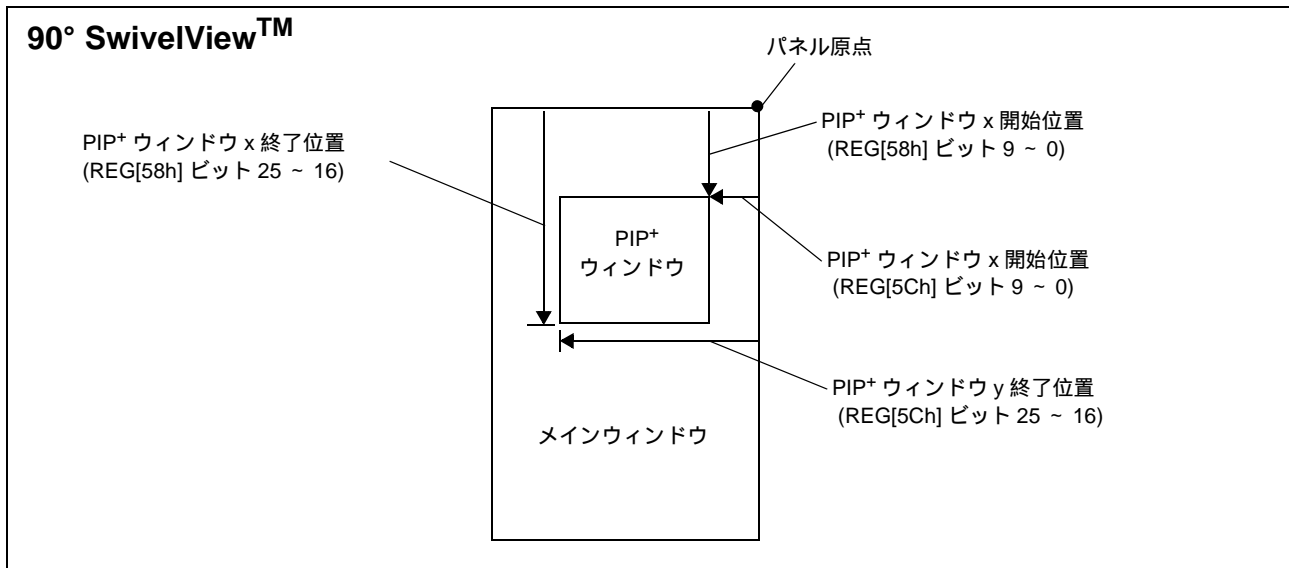


図14.2 SwivelView 90°がイネーブルされた場合のPicture-in-Picture Plus

## 14.2.2 SwivelView 180°

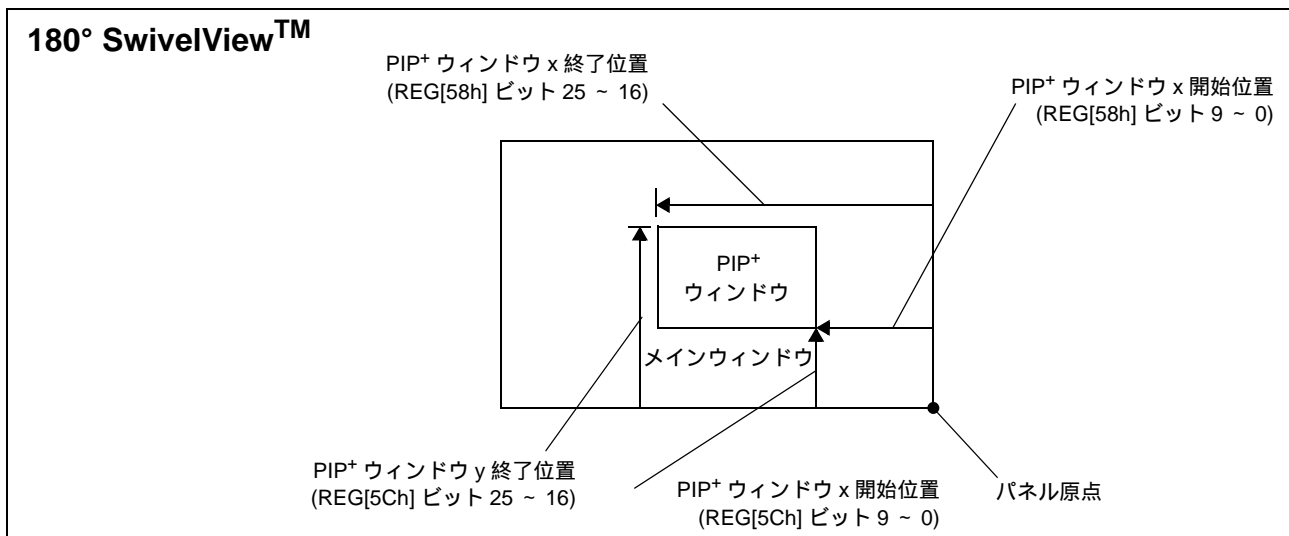


図14.3 SwivelView 180°がイネーブルされた場合のPicture-in-Picture Plus

## 14. Picture-in-Picture Plus(PIP<sup>+</sup>)

### 14.2.3 SwivelView 270°

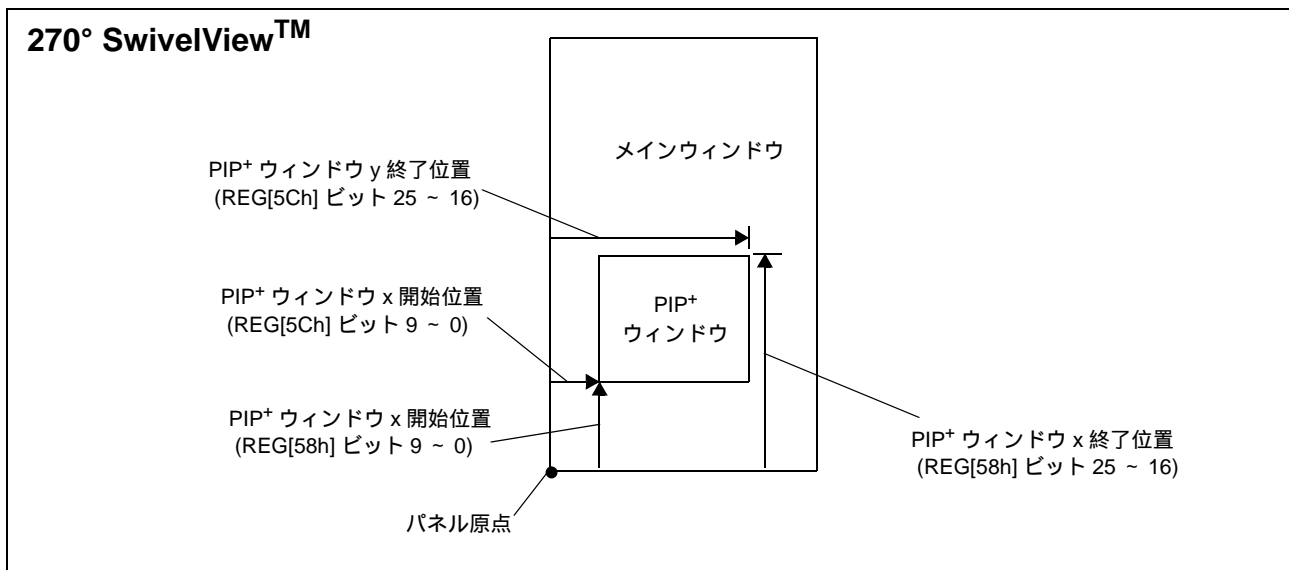


図14.4 SwivelView 270°がイネーブルされた場合のPicture-in-Picture Plus

## 15. パワーセーブモード

携帯端末市場での省電力要求に応えるために、S1D13A05は、ソフトウェアによるパワーセーブモードを備えています。このモードは、パワーセーブモードイネーブルビット(REG[14h]ビット4)によりイネーブルされます。

ソフトウェアパワーセーブモードは、制御信号を遮断し表示バッファへの表示リフレッシュアクセスを止めることによって節電します。クロックをディセーブルさせるプログラミング方法は、「S1D13A05 Programming Notes and Examples」, 文書番号X40A-G-003-xxを参照してください。

表15.1 パワーセーブモード機能一覧

	ソフトウェア パワーセーブ	通常
IOアクセスは可能か?	はい	はい
メモリアccessは可能か?	はい(注1)	はい
ルックアップテーブルレジスタアクセスは可能か?	はい	はい
表示はアクティブか?	いいえ	はい
LCD I/F出力	Low出力	アクティブ
PWMCLK	停止	アクティブ
HR-TFT用に設定されたGPIO端子	Low出力	アクティブ
GPIOとして設定されたGPIO端子: アクセスは可能か?	はい(注2)	はい
USB動作は?	はい(注3)	はい

### 注

- 1 パワーセーブモードがイネーブルされたときは、メモリコントローラの電源が遮断され、メモリコントローラパワーセーブ状態ビット(REG[14h]ビット6)によってメモリコントローラの状態が示されます。ただし、S1D13A05が、表示バッファアクセス用のメモリコントローラを動的にイネーブルするので、パワーセーブモード中のメモリの読み出し/書き込みは可能です。
- 2 GPIOにアクセスし、出力として設定されている場合は変更することができます。
- 3 USB部分の電源遮断状態は、USBClkイネーブルビット(REG[4000h]ビット7)によって制御されます。

リセット後はS1D13A05は常にパワーセーブモードになります。ソフトウェアがチップを初期化し(すなわち、すべてのレジスタをプログラムし)、次にパワーセーブモードイネーブルビットをクリアしなければなりません。



## 16. USBについて

### 16. USBについて

#### 16.1 USB発振器回路

以下の回路は、外部発振器を使ってUSBCLKを駆動する実装例です。

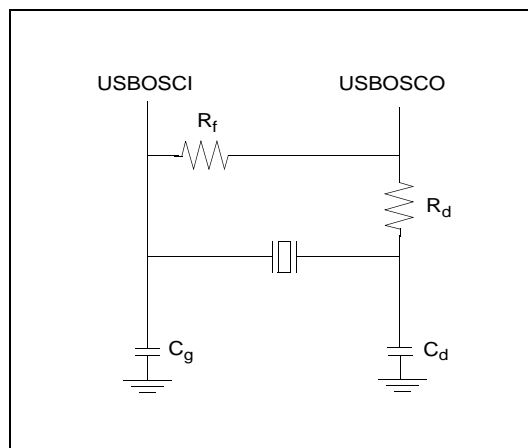


図16.1 USB発振器回路例

48MHz基本モード発振器の場合は次の値を推薦します。他の値の発振器を使用する場合は、これに応じて容量値と抵抗値を調整してください。

表16.1 回路例の抵抗値と容量値

記号	値
R <sub>f</sub>	1MΩ
R <sub>d</sub>	470Ω
C <sub>g</sub>	12pF
C <sub>d</sub>	12pF

17. メカニカルデータ

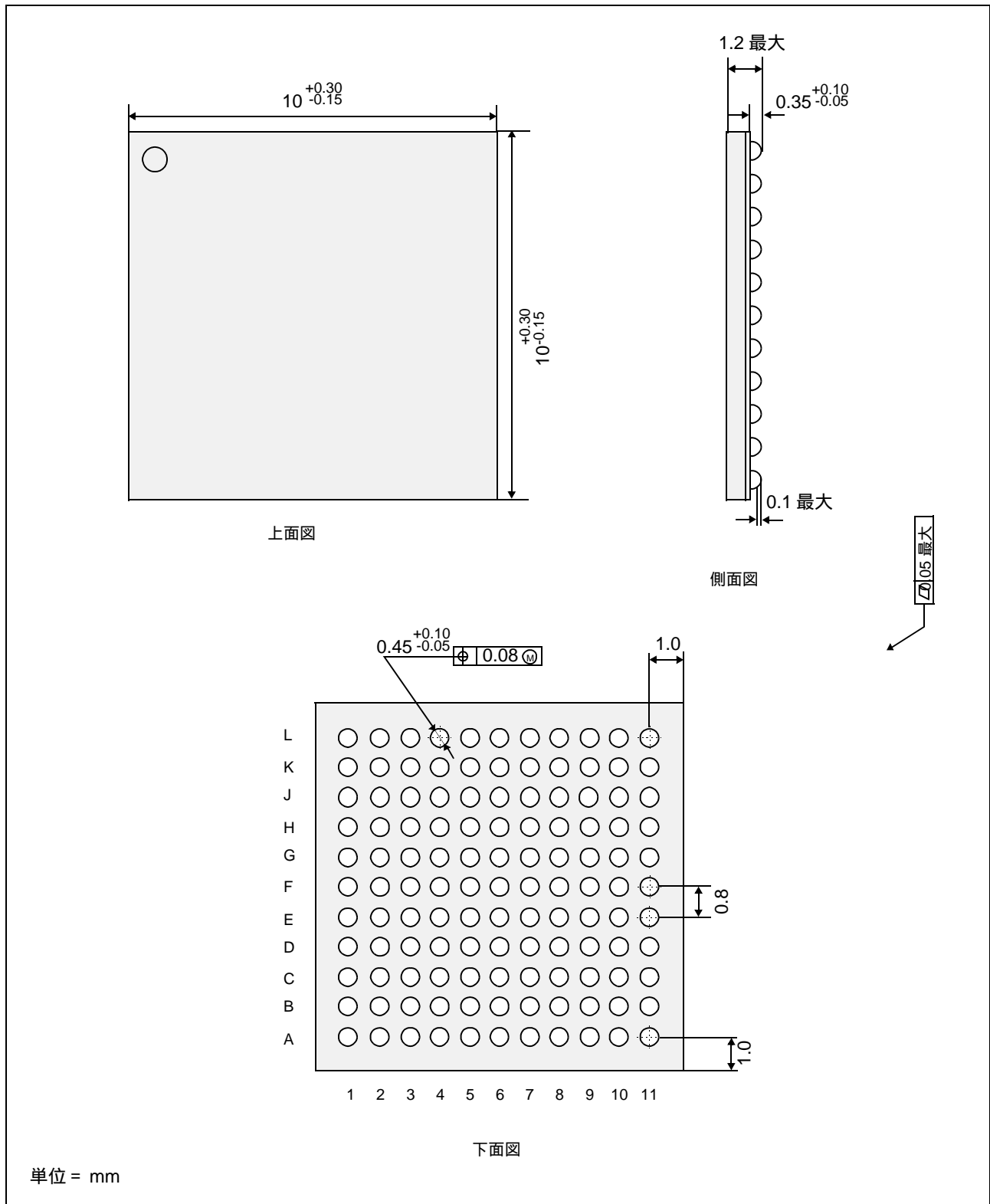


図17.1 PFBGA 121ピンパッケージのメカニカルデータ

## 18. 参考資料

---

### 18. 参考資料

S1D13A05に関する追加情報が以下の文書に記載されています。文書名の後のかっこ内に文書番号があります。すべての文書は、Epson Research and Developmentウェブサイト[www.erd.epson.com](http://www.erd.epson.com)でご覧頂けます。

- S1D13A05 Product Brief (X40A-C-001-xx)
- S1D13A05 Programming Notes And Examples (X40A-G-003-xx)
- S1D13A05 Register Summary (X40A-R-001-xx)
- Interfacing to the Toshiba TMPR3905/3912 Microprocessor (X40A-G-002-xx)
- Interfacing to the PC Card Bus (X40A-G-005-xx)
- S1D13A05 Power Consumption (X40A-G-006-xx)
- Interfacing to the Freescale MCF5307 "Coldfire" Microprocessor (X40A-G-010-xx)
- S1D13A05 Wind River WindML v2.0 Display Drivers (X40A-E-003-xx)
- S5U13A05B00C Rev. 1.0 Evaluation Board User Manual (X40A-G-004-xx)
- 13A05CFG Configuration Utility Users Manual (X40A-B-001-xx)
- 13A05PLAY Diagnostic Utility Users Manual (X40A-B-002-xx)
- 13A05VIEW Demonstration Utility Users Manual (X40A-B-003-xx)
- S5U13A05P00C100 Evaluation Board User Manual (X40A-G-014-xx)
- Errata No. X00Z-P-001 (X00Z-P-001-xx)

## 改訂履歴表

Rev. No.	日付	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev.7.6	2007/9/1	全ページ	新規	新規制定
Rev.7.7	2012/2/14	全ページ	削除	FCBGAパッケージを削除

## セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

---

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F

TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

---

ドキュメントコード : 411317201

2007年9月 作成

2012年2月 改訂