

S1C17 マニュアル 正誤表

項目 パッケージ			
対象マニュアル	発行 No.	項目	ページ
S1C17624/604/622/602/621 テクニカルマニュアル	411914803	1.1 特長 表 1.1.1 特長 出荷形態	1-2
		1.3.2 S1C17604 端子配置図	1-7
		1.3.4 S1C17602/621 端子配置図	1-13
		31 パッケージ	31-1
S1C17803 テクニカルマニュアル	411820701	1 概要 表 1.1 ラインアップ	1-1
		1.1 特長 出荷形態	1-6
		1.3.1 端子配置	1-8
		1.3.2 端子機能	1-10~15
		1.3.4 パッケージ	1-18
		4.1 電源端子	4-1

S1C17604/602/621

1-2 ページ 1.1 特長 表 1.1.1 特長 出荷形態 S1C17604/S1C17602/S1C17621

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-7 ページ 1.3.2 S1C17604 端子配置図

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-13 ページ 1.3.4 S1C17602/621 端子配置図

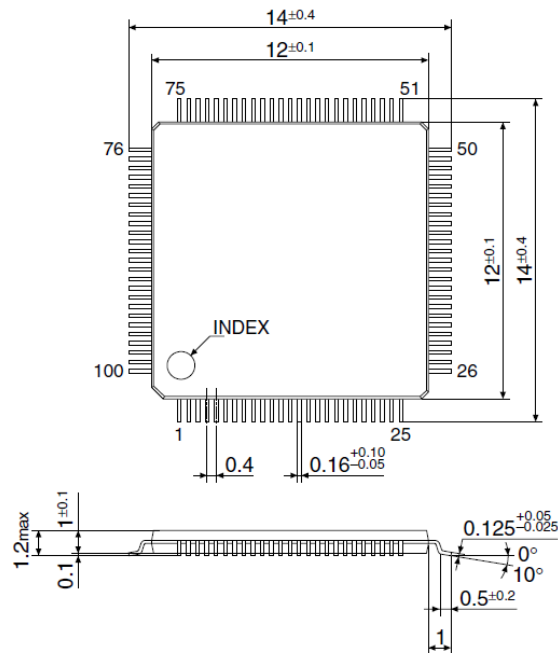
(誤) TQFP14-100 pin (正) QFP14-100 pin

31-1 ページ 31 パッケージ

(誤)

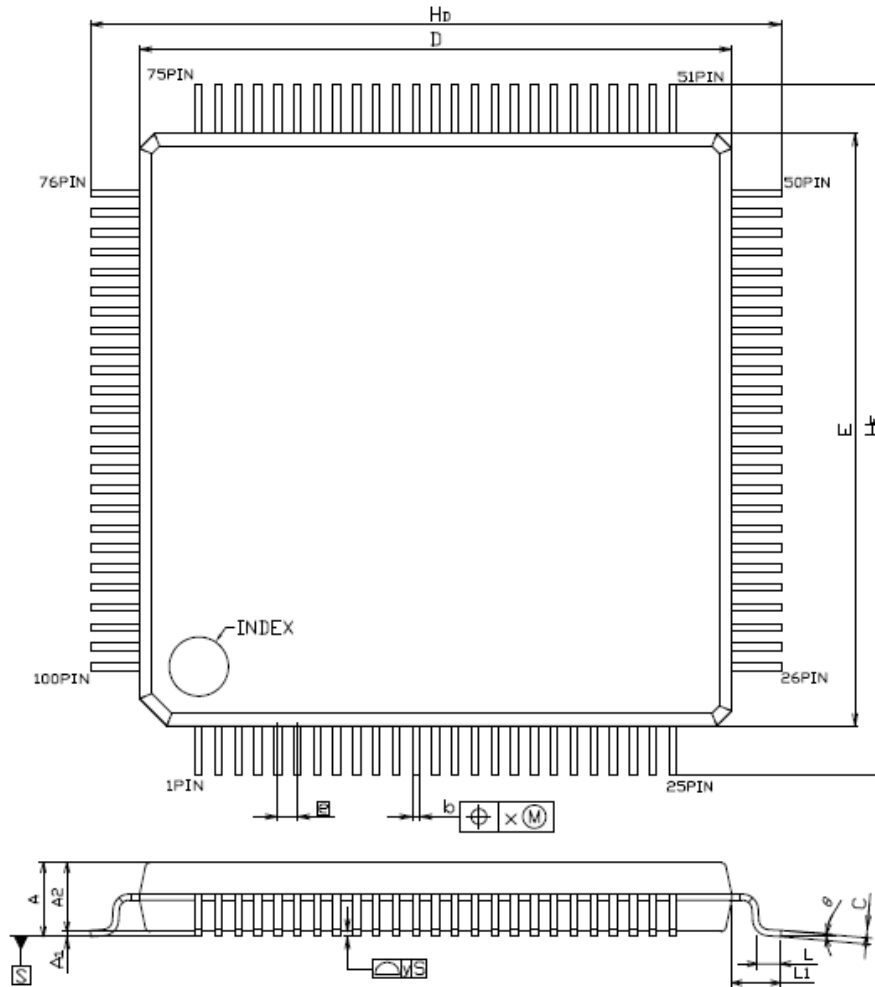
TQFP14-100pinパッケージ

(単位: mm)



(正)

QFP14-100pin パッケージ



Symbol	Dimension In Millimeters		
	Min	Nom	Max
D	11.90	12.00	12.10
E	11.90	12.00	12.10
A	-	-	1.70
A_1	0.00	0.10	0.20
A_2	1.30	1.40	1.50
\square	-	0.40	-
b	0.13	0.18	0.23
c	0.09	0.15	0.20
θ	0°	5°	10°
L	0.30	0.50	0.75
L_1	0.80	1.00	1.20
H_b	13.60	14.00	14.40
H_E	13.60	14.00	14.40
x	-	-	0.08
y	-	-	0.08

1 = 1mm

S1C17803

1-1 ページ 1 概要 表 1.1 ラインアップ

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-6 ページ 1.1 特長 出荷形態

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-8 ページ 1.3.1 端子配置

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-10~15 ページ 1.3.2 端子機能

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-18 ページ 1.3.4 パッケージ

(誤)

TQFP14-100pinパッケージ

(単位:mm)

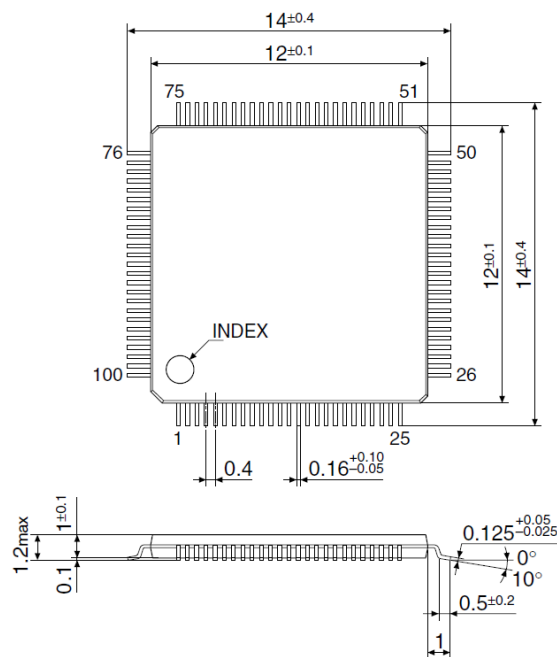
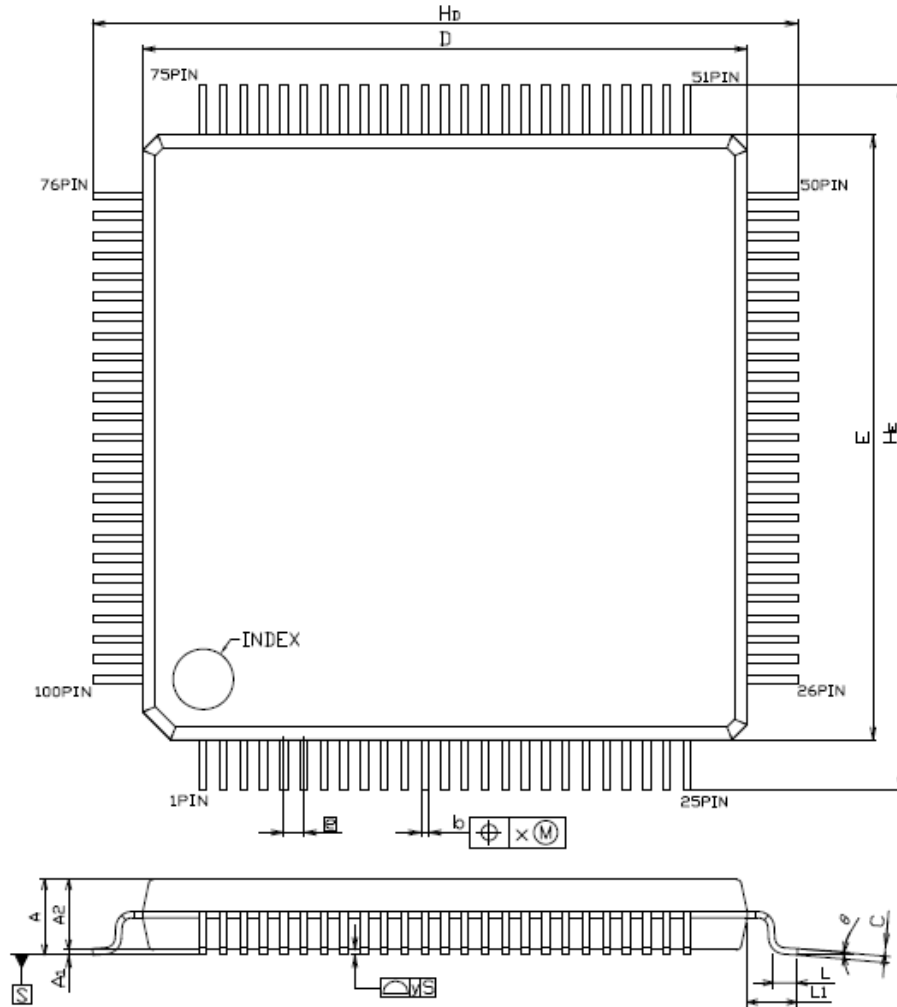


図1.3.4.1 TQFP14-100pinパッケージ寸法

(正)

QFP14-100pin パッケージ



Symbol	Dimension In Millimeters		
	Min	Nom	Max
D	11.90	12.00	12.10
E	11.90	12.00	12.10
A	-	-	1.70
A ₁	0.00	0.10	0.20
A ₂	1.30	1.40	1.50
\square	-	0.40	-
b	0.13	0.18	0.23
c	0.09	0.15	0.20
θ	0°	5°	10°
L	0.30	0.50	0.75
L ₁	0.80	1.00	1.20
H _D	13.60	14.00	14.40
H _E	13.60	14.00	14.40
x	-	-	0.08
y	-	-	0.08

1 = 1mm

4-1 ページ 4.1 電源端子

(誤) TQFP14-100 pin (正) QFP14-100 pin

S1C17 ファミリテクニカルマニュアル正誤表

項目 出荷形態の一部新規受付終了				
対象マニュアル	発行 No.	項目	ページ	
S1C17624/604/622/602/621 テクニカルマニュアル	411914803	出荷形態	1-2	
(誤)				
出荷形態				
1	TQFP15-128pin	TQFP14-100pin	TQFP15-128pin	TQFP14-100pin
2	チップ	チップ	チップ	チップ
3				VFBGA7H-144
サイズ/ピッチ	TQFP15-128pin (ボディサイズ: 14mm × 14mm, 端子ピッチ: 0.4mm) TQFP14-100pin (ボディサイズ: 12mm × 12mm, 端子ピッチ: 0.4mm) VFBGA7H-144 (ボディサイズ: 7mm × 7mm, ホール間ピッチ: 0.5mm) チップ (パッドピッチ: 100μm)			
(正)				
出荷形態				
1	TQFP15-128pin	TQFP14-100pin	TQFP15-128pin	TQFP14-100pin
2	チップ	チップ	チップ	チップ
3				VFBGA7H-144 #1
サイズ/ピッチ	TQFP15-128pin (ボディサイズ: 14mm × 14mm, 端子ピッチ: 0.4mm) TQFP14-100pin (ボディサイズ: 12mm × 12mm, 端子ピッチ: 0.4mm) VFBGA7H-144 (ボディサイズ: 7mm × 7mm, ホール間ピッチ: 0.5mm) #1 チップ (パッドピッチ: 100μm)			
# 1 : VFBGA7H-144 は新規受付終了(S1C17602/621)				

S1C17 ファミリテクニカルマニュアル正誤表

項目 OSC1 発振回路概要			
対象マニュアル	発行 No.	項目	ページ
S1C17624/604/622/602/621 テクニカルマニュアル	411914802	1.1 特長	1-1
(誤)			
クロックジェネレータ			
OSC1 発振回路	32.768kHz (typ.) 水晶発振回路 外部クロック入力にも対応		
(正)			
クロックジェネレータ			
OSC1 発振回路	32.768kHz (typ.) 水晶発振回路 外部クロック入力にも対応		

S1C17 ファミリテクニカルマニュアル正誤表

項目 T16E ファインモードについて			
対象マニュアル	発行 No.	項目	ページ
S1C17001 テクニカルマニュアル	411412003	13.6 クロック出力の制御	13-8
S1C17003 テクニカルマニュアル	411635002	13.6 クロック出力の制御	13-8
S1C17624/604/622/602/621 テクニカルマニュアル	411014802	12.7 クロック出力の制御	12-6
S1C17701 テクニカルマニュアル	411089704	13.6 クロック出力の制御	13-8
S1C17702 テクニカルマニュアル	411602402	13.6 クロック出力の制御	13-8
S1C17704 テクニカルマニュアル	411511804	13.6 クロック出力の制御	13-8
<p>150 ページ S1C17001 テクニカルマニュアル</p> <p>13-8 ページ S1C17003 テクニカルマニュアル</p> <p>13-8 ページ S1C17701 テクニカルマニュアル</p> <p>13-8 ページ S1C17702 テクニカルマニュアル</p> <p>13-8 ページ S1C17704 テクニカルマニュアル</p>			
<p>『クロック出力ファインモードの設定』の注意事項に、以下の記載を追加</p> <p>(3) ファインモードは、T16EDF = 0x0 (PCLK 1/1)のみで使用してください。</p>			
<p>12-6 ページ S1C17624/604/622/602/621 テクニカルマニュアル</p>			
<p>『クロック出力ファインモードの設定』の注意事項に、以下の記載を追加</p> <p>(4) ファインモードは、T16EDF = 0x0 (PCLK 1/1)のみで使用してください。</p>			

S1C17 ファミリテクニカルマニュアル正誤表

項目 内蔵 RAM エリア制限について			
対象マニュアル	発行 No.	項目	ページ
S1C17624/604/622/602/621 テクニカルマニュアル	411914802	3.3.1 内蔵 RAM	3-6
3-6 ページ S1C17624/604/622/602/621 テクニカルマニュアル			
(誤)			
3.3.1 内蔵 RAM エリア			
<p>S1C17624/604では使用するRAMのサイズを8KB、4KB、2KBに、S1C17602では4KB、2KBに制限することができます。たとえば、S1C17624/604/602をROM内蔵機種の開発用に使用する場合などに、RAMサイズをターゲット機種と同じに設定しておくことで、ターゲット機種のRAM領域外をアクセスするようなプログラムを作成してしまうことを回避できます。この選択はIRAMSZ[2:0]/MISC_IRAMSZレジスタで行います。</p>			
(正)			
3.3.1 内蔵 RAM エリア			
<p>S1C17624/604では使用するRAMのサイズを8KB、4KB、2KBに、S1C17622では4KB、2KBに制限することができます。たとえば、S1C17624/604/622をROM内蔵機種の開発用に使用する場合などに、RAMサイズをターゲット機種と同じに設定しておくことで、ターゲット機種のRAM領域外をアクセスするようなプログラムを作成してしまうことを回避できます。この選択はIRAMSZ[2:0]/MISC_IRAMSZレジスタで行います。</p>			

S1C17 ファミリテクニカルマニュアル正誤表

項目 Flash プロテクトビットについて			
対象マニュアル	発行 No.	項目	ページ
S1C17624/604/622/602/621 テクニカルマニュアル	411914802	3. メモリマップ 3.2.3 プロテクトビット	3-2, 3-5

3-2 ページ S1C17624/604/622/602/621 テクニカルマニュアル

(誤-1)

0xff ffff	コア/O予約エリア (1Kバイト, 1サイクル)	reserved
0xff fc00		
0xff fbff		
0x01 8000	Flashエリア (64Kバイト, 1~5サイクル) (デバイスサイズ :16ビット)	ベクタテーブル
0x01 7fff		
0x00 8000	reserved	ベクタテーブル
0x00 7fff		
0x00 6000	内蔵周辺回路エリア2 (4Kバイト, 1サイクル)	reserved
0x00 5fff		
0x00 5000	reserved	内蔵周辺回路エリア2 (4Kバイト, 1サイクル)
0x00 4fff		
0x00 4400	内蔵周辺回路エリア1 (1Kバイト, 1サイクル)	reserved
0x00 43ff		
0x00 4000	reserved	内蔵周辺回路エリア1 (1Kバイト, 1サイクル)
0x00 3fff		
0x00 1000	デバッグRAMエリア(64バイト)*1	reserved
0x00 0fff		
0x00 0fc0		
0x00 0000	内蔵RAMエリア (4Kバイト, 1サイクル) (デバイスサイズ :32ビット)	

図 3.2 S1C17622/602 メモリマップ

0xff ffff	コア/O予約エリア (1Kバイト, 1サイクル)	reserved
0xff fc00		
0xff fbff		
0x01 0000	Flashエリア (32Kバイト, 1~5サイクル) (デバイスサイズ :16ビット)	ベクタテーブル
0x01 ffff		
0x00 8000	reserved	ベクタテーブル
0x00 7fff		
0x00 6000	内蔵周辺回路エリア2 (4Kバイト, 1サイクル)	reserved
0x00 5fff		
0x00 5000	reserved	内蔵周辺回路エリア2 (4Kバイト, 1サイクル)
0x00 4fff		
0x00 4400	内蔵周辺回路エリア1 (1Kバイト, 1サイクル)	reserved
0x00 43ff		
0x00 4000	reserved	内蔵周辺回路エリア1 (1Kバイト, 1サイクル)
0x00 3fff		
0x00 0800	内蔵RAMエリア (2Kバイト, 1サイクル) (デバイスサイズ :32ビット)	reserved
0x00 07ff		
0x00 0000		

図 3.3 S1C17621 メモリマップ

(正-1)

0xff ffff	コア/O予約エリア (1Kバイト, 1サイクル)
0xff fc00	
0xff fbff	reserved
0x02 8000	
0x02 7fff	Flash Protectエリア *2
0x02 7ffc	
0x02 7ffb	reserved
0x01 8000	
0x01 7fff	Flashエリア (64Kバイト, 1~5サイクル) (デバイスサイズ :16ビット)
0x00 8000	ベクタテーブル
0x00 7fff	reserved
0x00 6000	
0x00 5fff	内蔵周辺回路エリア2 (4Kバイト, 1サイクル)
0x00 5000	
0x00 4fff	reserved
0x00 4400	
0x00 43ff	内蔵周辺回路エリア1 (1Kバイト, 1サイクル)
0x00 4000	
0x00 3fff	reserved
0x00 1000	
0x00 0fff	デバッグRAMエリア(64バイト)*1
0x00 0fc0	
0x00 0000	内蔵RAMエリア (4Kバイト, 1サイクル) (デバイスサイズ :32ビット)

図 3.2 S1C17622/602 メモリマップ

0xff ffff	コア/O予約エリア (1Kバイト, 1サイクル)
0xff fc00	
0xff fbff	reserved
0x01 8000	
0x01 7fff	
0x01 7ffc	Flash Protectエリア
0x01 7ffb	reserved
0x01 0000	
0x00 ffff	Flashエリア (32Kバイト, 1~5サイクル) (デバイスサイズ :16ビット)
0x00 8000	ベクタテーブル
0x00 7fff	reserved
0x00 6000	
0x00 5fff	内蔵周辺回路エリア2 (4Kバイト, 1サイクル)
0x00 5000	
0x00 4fff	reserved
0x00 4400	
0x00 43ff	内蔵周辺回路エリア1 (1Kバイト, 1サイクル)
0x00 4000	
0x00 3fff	reserved
0x00 0800	
0x00 07ff	内蔵RAMエリア (2Kバイト, 1サイクル) (デバイスサイズ :32ビット)
0x00 0000	

図 3.3 S1C17621 メモリマップ

*2 S1C17602 のアドレス範囲 0x27ffc ~ 0x27fff は、reserved となります。

3-5 ページ S1C17624/604/622/602/621 テクニカルマニュアル

(誤-2)

Flash Protect Bits (S1C17622/602)

Address	Bit	Function	Setting			Init.	R/W	Remarks
0x17ffc (16 bits)	D15-4	Reserved	-			-	-	
	D3	Flash write-protect bit for 0x14000-0x17fff	1	Writeable	0	Protected	1	R/W
	D2	Flash write-protect bit for 0x10000-0x13fff	1	Writeable	0	Protected	1	R/W
	D1	Flash write-protect bit for 0xc000-0xffff	1	Writeable	0	Protected	1	R/W
	D0	Flash write-protect bit for 0x8000-0xbfff	1	Writeable	0	Protected	1	R/W

Address	Bit	Function	Setting			Init.	R/W	Remarks
0x17ffe (16 bits)	D15-4	Reserved	-					
	D3	Flash data-read-protect bit for 0x14000-0x17fff	1	Readable	0	Protected	1	R/W
	D2	Flash data-read-protect bit for 0x10000-0x13fff	1	Readable	0	Protected	1	R/W
	D1	Flash data-read-protect bit for 0xc000-0xffff	1	Readable	0	Protected	1	R/W
	D0	reserved	1			1	R/W	Always set to 1.

Flash Protect Bits (S1C17621)

Address	Bit	Function	Setting			Init.	R/W	Remarks
0xffff (16 bits)	D15-2	Reserved	-			-	-	
	D1	Flash write-protect bit for 0xc000-0xffff	1	Writeable	0	Protected	1	R/W
	D0	Flash write-protect bit for 0x8000-0xbfff	1	Writeable	0	Protected	1	R/W

Address	Bit	Function	Setting			Init.	R/W	Remarks
0xffff (16 bits)	D15-2	Reserved	-			-	-	
	D1	Flash data-read-protect bit for 0xc000-0xffff	1	Writeable	0	Protected	1	R/W
	D0	reserved	1			1	R/W	Always set to 1.

注：データリードプロテクトを設定する領域を、.dataまたは.rodataセクションに配置しないでください。
0x27ffe(S1C16624/604)、0x17ffe(S1C17622/602)、0xffff(S1C17621)のD0は必ず1に設定して
ください。0に設定するとプログラムがブートできません。

(正-2)

Flash Protect Bits (S1C17622)

Address	Bit	Function	Setting		Init.	R/W	Remarks	
0x27ffc (16 bits)	D15-4	Reserved	-		-	-		
	D3	Flash write-protect bit for 0x14000-0x17fff	1	Writeable	0	Protected	1	R/W
	D2	Flash write-protect bit for 0x10000-0x13fff	1	Writeable	0	Protected	1	R/W
	D1	Flash write-protect bit for 0xc000-0xffff	1	Writeable	0	Protected	1	R/W
	D0	Flash write-protect bit for 0x8000-0xbfff	1	Writeable	0	Protected	1	R/W

Address	Bit	Function	Setting		Init.	R/W	Remarks	
0x27ffe (16 bits)	D15-4	Reserved	-					
	D3	Flash data-read-protect bit for 0x14000-0x17fff	1	Readable	0	Protected	1	R/W
	D2	Flash data-read-protect bit for 0x10000-0x13fff	1	Readable	0	Protected	1	R/W
	D1	Flash data-read-protect bit for 0xc000-0xffff	1	Readable	0	Protected	1	R/W
	D0	reserved	1		1	R/W	Always set to 1.	

Flash Protect Bits (S1C17602)

Address	Bit	Function	Setting		Init.	R/W	Remarks	
0x17ffc (16 bits)	D15-4	Reserved	-		-	-		
	D3	Flash write-protect bit for 0x14000-0x17fff	1	Writeable	0	Protected	1	R/W
	D2	Flash write-protect bit for 0x10000-0x13fff	1	Writeable	0	Protected	1	R/W
	D1	Flash write-protect bit for 0xc000-0xffff	1	Writeable	0	Protected	1	R/W
	D0	Flash write-protect bit for 0x8000-0xbfff	1	Writeable	0	Protected	1	R/W

Address	Bit	Function	Setting		Init.	R/W	Remarks	
0x17ffe (16 bits)	D15-4	Reserved	-					
	D3	Flash data-read-protect bit for 0x14000-0x17fff	1	Readable	0	Protected	1	R/W
	D2	Flash data-read-protect bit for 0x10000-0x13fff	1	Readable	0	Protected	1	R/W
	D1	Flash data-read-protect bit for 0xc000-0xffff	1	Readable	0	Protected	1	R/W
	D0	reserved	1		1	R/W	Always set to 1.	

Flash Protect Bits (S1C17621)

Address	Bit	Function	Setting		Init.	R/W	Remarks	
0x17ffc (16 bits)	D15-2	Reserved	-		-	-		
	D1	Flash write-protect bit for 0xc000-0xffff	1	Writeable	0	Protected	1	R/W
	D0	Flash write-protect bit for 0x8000-0xbfff	1	Writeable	0	Protected	1	R/W

Address	Bit	Function	Setting		Init.	R/W	Remarks	
0x17ffe (16 bits)	D15-2	Reserved	-		-	-		
	D1	Flash data-read-protect bit for 0xc000-0xffff	1	Writeable	0	Protected	1	R/W
	D0	reserved	1		1	R/W	Always set to 1.	

注：データリードプロテクトを設定する領域を、.dataまたは.rodataセクションに配置しないでください。

0x27ffe(S1C16624/604/622)、0x17ffe(S1C17602/621)のD0は必ず1に設定してください。0に設定するとプログラムがブートできません。

S1C17 シリーズテクニカルマニュアル正誤表

項目 T16A/T16A2 の CBUFEN レジスタについて			
対象マニュアル	発行 No.	項目	ページ
S1C17624/604/622/602/621 テクニカルマニュアル	411914802	13.8 制御レジスタ詳細	13-15
S1C17705/703 テクニカルマニュアル	411706502	10.8 制御レジスタ詳細	10-18
S1C17706 テクニカルマニュアル	412026301	10.8 制御レジスタ詳細	10-17
S1C17711 テクニカルマニュアル	411905502	10.8 制御レジスタ詳細	10-14
S1C17554/564 テクニカルマニュアル	411914302	11.8 制御レジスタ詳細	11-14
S1C17651 テクニカルマニュアル	412120500	12.8 制御レジスタ詳細	12-13
<p>13-15 ページ S1C17624/604/622/602/621 テクニカルマニュアル</p> <p>10-17 ページ S1C17706 テクニカルマニュアル</p> <p>12-13 ページ S1C17651 テクニカルマニュアル</p>			
<p>(誤)</p> <p>D3 CBUFEN: Compare Buffer Enable Bit</p> <p>コンペアバッファを有効/無効に設定します。</p> <p>1(R/W): 有効</p> <p>0(R/W): 無効(デフォルト)</p> <p>CBUFEN を 1 に設定するとコンペアバッファが有効になり、コンパレータはコンペア A、コンペア B レジスタの代わりにコンペア A、コンペア B バッファとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。ソフトウェアでコンペア A、コンペア B レジスタに書き込んだ比較値は、コンペア B 信号が発生した時点でコンペア A、コンペア B バッファにロードされます。</p> <p>CBUFEN を 0 に設定するとコンペアバッファが無効となり、コンパレータはコンペア A、コンペア B レジスタとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。</p> <p>注: CBUFEN の設定は、カウンタが停止中 (PRUN = 0) に行ってください。</p>			
<p>(正)</p> <p>D3 CBUFEN: Compare Buffer Enable Bit</p> <p>コンペアバッファを有効/無効に設定します。</p>			

1(R/W): 有効

0(R/W): 無効(デフォルト)

CBUFEN を 1 に設定するとコンペアバッファが有効になり、コンパレータはコンペア A、コンペア B レジスタの代わりにコンペア A、コンペア B バッファとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。ソフトウェアでコンペア A、コンペア B レジスタに書き込んだ比較値は、コンペア B 信号が発生した時点でコンペア A、コンペア B バッファにロードされます。

CBUFEN を 0 に設定するとコンペアバッファが無効となり、コンパレータはコンペア A、コンペア B レジスタとカウンタ値を比較してコンペア A、コンペア B 信号を生成します。

注: CBUFEN の設定は、カウンタが停止中 (CLKEN = 0) に行ってください。

10-18 ページ S1C17705/703 テクニカルマニュアル

10-14 ページ S1C17711 テクニカルマニュアル

11-14 ページ S1C17554/564 テクニカルマニュアル

(誤)

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFEN が 1 に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。バッファの内容は、コンペア B 信号が発生した時点でコンペア A およびコンペア B レジスタにロードされます。

CBUFEN が 0 に設定されている場合は、コンペアデータの書き込みがコンペア A およびコンペア B レジスタに対して直接行われます。

注: CBUFEN の設定は、カウンタが停止中 (PRUN = 0) に行ってください。

(正)

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFEN が 1 に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。バッファの内容は、コンペア B 信号が発生した時点でコンペア A およびコンペア B レジスタにロードされます。

CBUFEN が 0 に設定されている場合は、コンペアデータの書き込みがコンペア A およびコンペア B レジスタに対して直接行われます。

注: CBUFEN の設定は、カウンタが停止中 (CLKEN = 0) に行ってください。