

EMBEDDED ARRAY / STANDARD CELL

**S1X80000 シリーズ**  
**S1K80000 シリーズ**  
**デザインガイド**

本資料のご使用につきましては、次の点にご留意願います。

---

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

## 目次

<b>第1章 概要</b> .....	<b>1</b>
1.1 特長.....	1
1.2 S1X80000 および S1K80000 シリーズ構成・種類.....	2
1.2.1 内部構成.....	2
1.2.2 MSI の構成・種類.....	2
1.2.3 入出力バッファの構成・種類.....	2
1.3 電気的特性・規格.....	3
1.3.1 絶対最大定格.....	3
1.3.2 推奨動作条件.....	4
1.3.3 電気的特性.....	5
1.3.4 オーバershoot/アンダershoot.....	6
1.4 開発フロー.....	7
1.4.1 S1X80000 シリーズ（エンベデッドアレイ）開発フロー.....	7
1.4.2 S1K80000 シリーズ（スタンダードセル）開発フロー.....	8
1.4.3 論理合成・配置配線作業フロー（ゼロ-17°ソリソ作業）.....	9
1.4.4 仮（トライアル用）データの提出.....	13
1.4.5 試作流動 マスク発注～量産制定、製造手順フロー.....	14
<b>第2章 RTL 設計上の注意（Verilog-HDL）</b> .....	<b>15</b>
2.1 基本構成.....	15
2.1.1 論理合成可能な RTL データの提出.....	15
2.1.2 ライブラリ・セルの使用.....	15
2.1.3 ifdef と parameter.....	15
2.2 端子名の制約.....	15
2.2.1 外部端子名制約.....	15
2.2.2 内部端子名制約.....	16
2.2.3 Verilog 予約語.....	16
2.3 タイミング制約情報の提出.....	17
2.3.1 クロック情報.....	17
2.3.2 外部端子のタイミング制約.....	20
2.4 入出力バッファの挿入.....	25
2.5 RAM の記述.....	25
2.6 発振セルの記述.....	25
<b>第3章 テスト回路設計上の注意</b> .....	<b>26</b>
3.1 推奨 DC・AC テスト回路の挿入.....	26
3.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用.....	26
3.1.2 お客さま設計によりテスト回路挿入される場合.....	26
3.2 スキャン（SCAN）回路の挿入.....	27
3.2.1 スキャン（SCAN）回路.....	27
3.2.2 お客さま設計にてスキャン（SCAN）回路挿入される場合.....	27
3.3 バウンダリスキャン（JTAG）回路の挿入.....	28
3.3.1 インストラクション.....	28
3.3.2 ゲート数の見積り.....	28

3.3.3	お客さま設計にてバウンダリスキャン (JTAG) 回路挿入される場合	28
3.4	RAM のテスト回路の挿入 : メモリ BIST (Built in Self Test)	29
3.4.1	メモリ BIST 用テスト入出力端子	29
3.4.2	通常動作時の制約事項	30
3.4.3	メモリクロックのスキュー調整	30
3.4.4	その他	30
3.5	WLBI (ウェハー・レベル・バーイン) 用テスト端子	30
<b>第 4 章</b>	<b>テストパターン作成上の注意</b>	<b>31</b>
4.1	サインオフ・シミュレーション向けテストパターンの作成	31
4.1.1	テストパターンの形式	31
4.1.2	テストパターンの制限	33
4.1.3	外部双方向端子のイネーブル信号	34
4.2	製品出荷テスト向けのテストパターン作成	35
4.2.1	使用可能な入力波形	35
4.2.2	テストパターンの制限	35
4.2.3	DC・AC テストパターンの作成について	37
4.2.4	発振回路使用時の注意点	37
4.2.5	ハイ・インピーダンス状態の扱いに関する注意点	38
<b>第 5 章</b>	<b>回路設計上の注意</b>	<b>39</b>
5.1	発振回路	39
5.1.1	発振回路の構成	39
5.1.2	発振回路を使用する場合の注意	41
5.1.3	発振セルの RTL 記述について	41
5.1.4	発振回路使用時のテストパターンについて	42
5.2	内部バスの構成	43
5.3	外部バスとの競合防止	44
5.4	メタステーブル (Metastable)	45
<b>第 6 章</b>	<b>入出力バッファの種類と使用上の注意</b>	<b>46</b>
6.1	入出力バッファ命名ルール	46
6.2	入出力バッファ H 系セル一覧	47
6.3	入出力バッファの選択	48
6.3.1	$V_{DD}=3.3V$ 単一電源対応	48
6.3.2	2 電源対応 ( $HV_{DD}/LV_{DD}=3.3V/1.8V$ 対応)	48
6.4	プルアップ、プルダウン抵抗 規格値	49
6.5	出力バッファ駆動能力	49
6.6	アナログ入出力バッファ	50
6.6.1	スルー入力バッファ	50
6.6.2	スルー出力バッファ	50
6.7	2 電源使用時の注意	51
6.7.1	2 電源使用時の電源	51
6.7.2	2 電源の投入・切断順序	51
6.8	Fail-Safe バッファ	52
6.8.1	概要	52

6.8.2	特長	52
6.8.3	使用上の注意点	52
<b>第7章</b>	<b>端子配置の注意</b>	<b>53</b>
7.1	電源端子数の見積り	53
7.1.1	単一電源の場合	53
7.1.2	2電源の場合	53
7.1.3	電源端子数の計算例	54
7.2	端子配置上の注意	55
7.2.1	固定電源端子	55
7.2.2	端子配列上の注意事項	55
7.3	推奨端子配列例	62
<b>第8章</b>	<b>メモリマクロ (RAM) 仕様</b>	<b>63</b>
8.1	ゲートアレイ RAM	63
8.1.1	特長	63
8.1.2	RAMのワードビット構成とセル名の対応	64
8.1.3	RAMサイズ	65
8.1.4	機能説明	66
8.1.5	タイミングチャート	70
8.1.6	遅延パラメータ	72
8.2	エンベデッド 1ポートRAM	73
8.2.1	特長	73
8.2.2	RAMサイズ	73
8.2.3	入出力信号とブロック図	73
8.2.4	動作真理値表	74
8.2.5	タイミングチャート	76
8.2.6	電気的特性	77
8.2.7	消費電力	77
8.3	エンベデッド DualポートRAM	78
8.3.1	特長	78
8.3.2	RAMサイズ	78
8.3.3	入出力信号とブロック図	78
8.3.4	動作真理値表	82
8.3.5	タイミングチャート	84
8.3.6	電気的特性	86
8.3.7	消費電力	86
8.4	非存在アドレスへのアクセス禁止	87
<b>第9章</b>	<b>消費電力の見積り方法</b>	<b>88</b>
9.1	消費電力計算方法	88
9.2	内部領域の消費電力 ( $P_{int}$ )	88
9.2.1	ゲートアレイ部 ( $P_{BC}$ ) あるいはスタンダードセル部 ( $P_{CB}$ ) の消費電力	89
9.2.2	エンベデッドアレイタイプRAMの消費電力 ( $P_{CM}$ )	89
9.2.3	その他の回路ブロックの消費電力 ( $P_{IP}$ )	89
9.3	入出力バッファ領域の消費電力	89
9.3.1	入力回路 ( $P_i$ )	89
9.3.2	入出力バッファ 出力回路 ( $P_o$ )	90

## 目次

---

9.4 概略消費電力計算例 .....	91
9.5 消費電力制限 .....	92
付録 .....	93
A1 シミュレーション結果例 .....	93
A1.1 シミュレーション結果と期待値とのコンペアファイル例 .....	93
A1.2 タイミングエラー・リスト .....	95
A2 RTL 設計上の注意 VHDL .....	98
A2.1 論理合成可能な RTL の提出 .....	98
A2.2 階層設計図の提出 .....	98
A2.3 RAM の記述 .....	98
A2.4 入力ポートへの定数割り当て .....	98
A2.5 端子名の制約 .....	99
A2.6 ポートのデータ型 .....	100
A2.7 integer の使用について .....	100
A2.8 入出力バッファ .....	101
A2.9 プリミティブ・セルの使用 .....	102
A3 テスト回路挿入 .....	103
A3.1 スキャン (SCAN) 回路挿入 .....	103
A3.2 バウンダリスキャン (JTAG) 回路挿入 .....	109
A3.3 機能セルテスト回路挿入 .....	111
A4 DC・AC テストパターン .....	112
A4.1 DC テストパターン .....	112
A4.2 AC テストパターン .....	114
A5 入出力バッファ 各種特性値 .....	115
A5.1 入力バッファ特性 (Typical) .....	115
A5.2 出力ドライバ特性 (Typical) .....	116
A5.3 出力遅延時間対出力負荷容量 (C <sub>L</sub> ) .....	119
A5.4 出力バッファ立上り／立下り時間対出力負荷容量 (CL) .....	120
A5.5 出力動作周波数 vs 負荷容量 (CL) .....	121
A5.6 出力波形 .....	122
A5.7 プルアップ／プルダウン特性 .....	123
A5.8 シュミット入力バッファの電気的特性について .....	124
A6 同時動作と電源追加 .....	125
A6.1 同時動作による誤動作について .....	125
A6.2 同時動作の定義 .....	125
A6.3 同時動作する出力バッファの制限 .....	126
A6.4 計算例 .....	127
改訂履歴表 .....	129

## 第1章 概要

S1X80000 および S1K80000 は、150nm プロセスを採用したエンベデッドアレイシリーズおよびスタンダードセルシリーズです。S1X80000 エンベデッドアレイシリーズは論理部がゲートアレイで構成され、S1K80000 シリーズはスタンダードセルで構成されます。

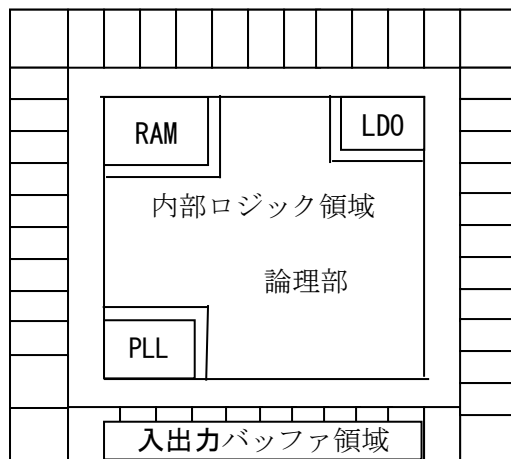
### 1.1 特長

- プロセス : 150nm -CMOS 4/5 層 配線
- 集積度 : 74K ゲート/mm<sup>2</sup> (ゲートアレイ S1X80000 シリーズ)  
154K ゲート/mm<sup>2</sup> (スタンダードセル S1K80000 シリーズ)
- 動作速度 : 内部ゲート 33ps (ゲートアレイ S1X80000 シリーズ)  
39ps (スタンダードセル S1K80000 シリーズ)  
(INV、F/O=1 Condition typ Input Slew Rate 15ps)  
バッファ入力時 430ps  
(F/O=1 Condition typ Input Slew Rate 15ps)  
バッファ出力時 2.63ns  
(Type1 CL=10pF Condition typ Input Slew Rate 15ps)
- I/F レベル : LVCMOS コンパチブル
- 入力モード : LVCMOS、LVCMOS シュミット  
プルアップ、プルダウン抵抗内蔵可能 (抵抗値各 2 種類)
- 出力モード : 双方向
- 駆動出力 : I<sub>OL</sub> = 2、4、8、12mA 選択可能 (V<sub>DD</sub> or HV<sub>DD</sub>=3.3V)
- メモリ (RAM) : ゲートアレイ 同期 1 ポート RAM (開発中)  
同期 2 ポート (1W/1R) RAM (開発中)  
エンベデッド 同期 1 ポート RAM  
同期 Dual ポート (2W/2R) RAM
- LDO 内蔵による単一電源動作対応 :  
3.3V 単一電源可能 ※内部ロジック領域は 1.8V 動作  
(LDO 搭載時 : LDO 専用制御端子 (CE) が必要)
- レベルシフタ内蔵による 2 電源動作対応 : 3.3V/1.8V 電源供給

### 1.2 S1X80000 および S1K80000 シリーズ構成・種類

#### 1.2.1 内部構成

S1X80000 および S1K80000 シリーズの構成は、下図に示すように内部ロジック領域、入出力バッファ領域から構成されます。



S1X80000 および S1K80000 シリーズの概略構成

内部ロジック領域では、仕様に応じて、LDO および PLL マクロやメモリマクロ等の機能セルを配置し、また論理部をゲートアレイまたはスタンダードセルを配置して、これらを相互に配線することで IC 仕様を実現します。

入出力バッファ領域では、入出力バッファセル、電源セルを配置します。

#### 1.2.2 MSI の構成・種類

S1X80000 シリーズでは、ゲートアレイで設計した MSI、S1K80000 シリーズではスタンダードセルで設計した MSI の 2 種類を用意しています。

お客様のニーズに合わせて、開発時期、回路変更容易性に適した S1X80000 シリーズか、高集積、低消費電力に適した S1K80000 シリーズを選択することが可能です。ただし、2 つの MSI を同時に使用することはできません。

メモリについては、ゲートアレイ RAM（同期 1 ポート（開発中）、同期 2 ポート（開発中））の他に、高集積なエンベデッド RAM（同期 1 ポート、同期 Dual ポート）を用意しており、こちらもお客様のニーズに合わせて選択することが可能です。メモリ仕様の詳細については「第 8 章 メモリマクロ (RAM) 仕様」を参照下さい。

#### 1.2.3 入出力バッファの構成・種類

入出力バッファの詳細については「第 6 章 入出力バッファの種類と使用上の注意」を参照下さい。



## 1.3 電気的特性・規格

### 1.3.1 絶対最大定格

表 1-1 絶対最大定格

(V<sub>SS</sub>=0V)

項目	記号	定格値	単位
電源電圧	HV <sub>DD</sub> *1	-0.3~4.0	V
	LV <sub>DD</sub> *1	-0.3~2.5	V
入力電圧	HV <sub>I</sub>	-0.3~HV <sub>DD</sub> +0.5*2	V
	LV <sub>I</sub>	-0.3~LV <sub>DD</sub> +0.5	V
出力電圧	HV <sub>O</sub>	-0.3~HV <sub>DD</sub> +0.5*2	V
	LV <sub>O</sub>	-0.3~LV <sub>DD</sub> +0.5	V
出力電流／端子	I <sub>OUT</sub>	±10	mA
保存温度	T <sub>stg</sub>	-65~150	°C

注) \*1 : HV<sub>DD</sub> ≥ LV<sub>DD</sub> としてください。

\*2 : Fail-Safe バッファについては、4.0V まで許容できます。

## 第1章 概要

### 1.3.2 推奨動作条件

(1)  $V_{DD}=3.3V$  単一電源の場合

表 1-2 推奨動作条件 (3.3V-LD0 内蔵)

( $V_{SS}=0V$ )

項目	記号	Min.	Typ.	Max.	単位
電源電圧	$V_{DD}$	3.0	3.3	3.6	V
入力電圧	$V_I$	-0.3	—	$V_{DD}+0.3^{*3}$	V
周囲温度	$T_a$	-40	25	$85^{*1}$	°C
入力立ち上がり時間 (ノーマル入力) <sup>*2</sup>	$t_{r1}$	—	—	50	ns
入力立ち下がり時間 (ノーマル入力) <sup>*2</sup>	$t_{f1}$	—	—	50	ns
入力立ち上がり時間 (シュミット入力) <sup>*2</sup>	$t_{r2}$	—	—	5	ms
入力立ち下がり時間 (シュミット入力) <sup>*2</sup>	$t_{f2}$	—	—	5	ms

注) \*1 : この温度範囲は、 $T_j=-40\sim 125$  [°C] を想定した推奨周囲温度です。

\*2 : この時間は、電源電圧の 10%~90% の変化時間です。

\*3 : Fall-Safe バッファについては、3.9V まで入力可能です。

(2)  $HV_{DD} / LV_{DD} = 3.3V/1.8V$  2電源の場合

表 1-3 推奨動作条件

( $V_{SS}=0V$ )

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	$HV_{DD}$	3.00	3.30	3.60	V
電源電圧 (低電圧)	$LV_{DD}$	1.65	1.80	1.95	V
入力電圧	$HV_I$	-0.3	—	$HV_{DD}+0.3^{*3}$	V
	$LV_I$	-0.3	—	$LV_{DD}+0.3$	V
周囲温度	$T_a$	-40	25	$85^{*1}$	°C
入力立ち上がり時間 (ノーマル入力) <sup>*2</sup>	$t_{r1}$	—	—	50	ns
入力立ち下がり時間 (ノーマル入力) <sup>*2</sup>	$t_{f1}$	—	—	50	ns
入力立ち上がり時間 (シュミット入力) <sup>*2</sup>	$t_{r2}$	—	—	5	ms
入力立ち下がり時間 (シュミット入力) <sup>*2</sup>	$t_{f2}$	—	—	5	ms

注) \*1 : この温度範囲は、 $T_j=-40\sim 125$  [°C] を想定した推奨周囲温度です。

\*2 : この時間は、電源電圧の 10%~90% の変化時間です。

\*3 : Fall-Safe バッファについては、3.9V まで入力可能です。

## 1.3.3 電気的特性

表 1-4 電気的特性

(V<sub>SS</sub>=0V、T<sub>a</sub>=-40~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I <sub>LI</sub>	—	-5	—	5	μA	
オフステートリーク電流	I <sub>OZ</sub>	—	-5	—	5	μA	
入力抵抗リーク電流	I <sub>OZR</sub>	—	—	—	30	μA	
高レベル出力電圧	V <sub>OH</sub>	I <sub>OH</sub> =-2mA (Type 1)、-4mA (Type 2) -8mA (Type 3)、-12mA (Type 4) HV <sub>DD</sub> =Min.	HV <sub>DD</sub> -0.4	—	—	V	
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> =2mA (Type 1)、4mA (Type 2) 8mA (Type 3)、12mA (Type 4) HV <sub>DD</sub> =Min.	—	—	0.4	V	
高レベル入力電圧	V <sub>IH1</sub>	LVC MOS レベル、HV <sub>DD</sub> =Max.	2.2	—	HV <sub>DD</sub> + 0.3	V	
低レベル入力電圧	V <sub>IL1</sub>	LVC MOS レベル、HV <sub>DD</sub> =Min.	-0.3	—	0.8	V	
高レベル入力電圧	V <sub>T1+</sub>	LVC MOS シュミット	1.2	—	2.52	V	
低レベル入力電圧	V <sub>T1-</sub>	LVC MOS シュミット	0.8	—	1.98	V	
ヒステリシス電圧	V <sub>H1</sub>	LVC MOS シュミット	0.3	—	—	V	
プルアップ抵抗	P <sub>PU</sub>	V <sub>I</sub> =0V	Type 1	20	50	120	kΩ
			Type 2	40	100	240	kΩ
プルダウン抵抗	P <sub>PD</sub>	V <sub>I</sub> =HV <sub>DD</sub>	Type 1	20	50	120	kΩ
			Type 2	40	100	240	kΩ
入力端子容量	C <sub>I</sub>	f=1MHz、HV <sub>DD</sub> =0V	—	—	8	pF	
出力端子容量	C <sub>O</sub>	f=1MHz、HV <sub>DD</sub> =0V	—	—	8	pF	
入出力端子容量	C <sub>I0</sub>	f=1MHz、HV <sub>DD</sub> =0V	—	—	8	pF	

### 1.3.4 オーバーシュート／アンダーシュート

入出力バッファへの入力波形に関して、用途によってオーバーシュート、アンダーシュートが表1-2、表1-3 の推奨動作条件の最大入力電圧を超える場合、下記のような時間内でのオーバーシュート／アンダーシュートを規定しています。

#### オーバーシュート／アンダーシュートを許容できる電圧と時間

オーバーシュート	最大ピーク電圧	: $V_{DD}+1.0V$
オーバーシュート	最大時間(*2)	: 50 ns
アンダーシュート	最小ピーク電圧	: $V_{SS}-1.0V$
アンダーシュート	最大時間(*)	: 50 ns

注)\*: 時間とは、入力電圧が $V_{DD}$ 上回っている時間、または、 $V_{SS}$ より下回っている時間を指します。  
ただし、上記\*1の場合は、3.6Vより上回っている時間になります。

(補足)

オーバーシュート、アンダーシュートの大きな波形では、反射波が入力の $V_{IH}/V_{IL}$ の規格を満足しているかどうかを確認して下さい。たとえ上記規格を満足していても、反射波が $V_{IH}/V_{IL}$ の規格を満足しない範囲まで到達していた場合は、誤動作を起こす危険性があります。(オシロスコープ等で、入力波形を直接確認することをお奨めします。)

## 1.4 開発フロー

IC 開発手順でのお客さまからの開発着手およびデータ提出、セイコーエプソンでの論理合成・配置配線作業フロー、試作から量産制定までのフローを説明します。

### 1.4.1 S1X80000 シリーズ（エンベデッドアレイ）開発フロー

図 1-1 は、S1X80000 シリーズのサインオフまでの開発手順フローです。RTL インタフェースが前提です。

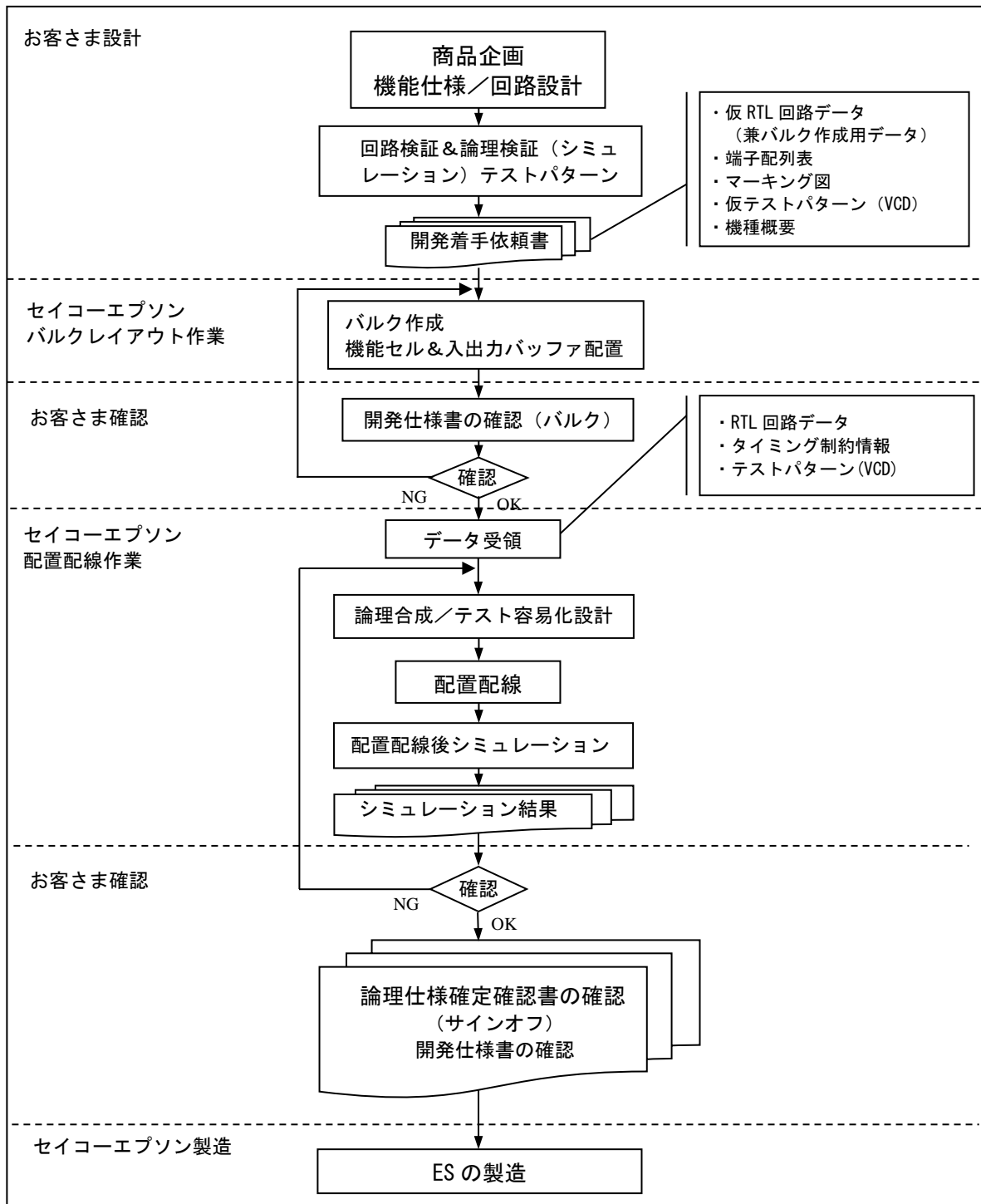


図 1-1 : S1X80000 シリーズ（エンベデッドアレイ）開発フロー

# 第1章 概要

## 1.4.2 S1K80000 シリーズ (スタンダードセル) 開発フロー

図1-2は、S1K80000シリーズのサインオフまでの開発手順フローです。RTL インタフェースが前提となっています。

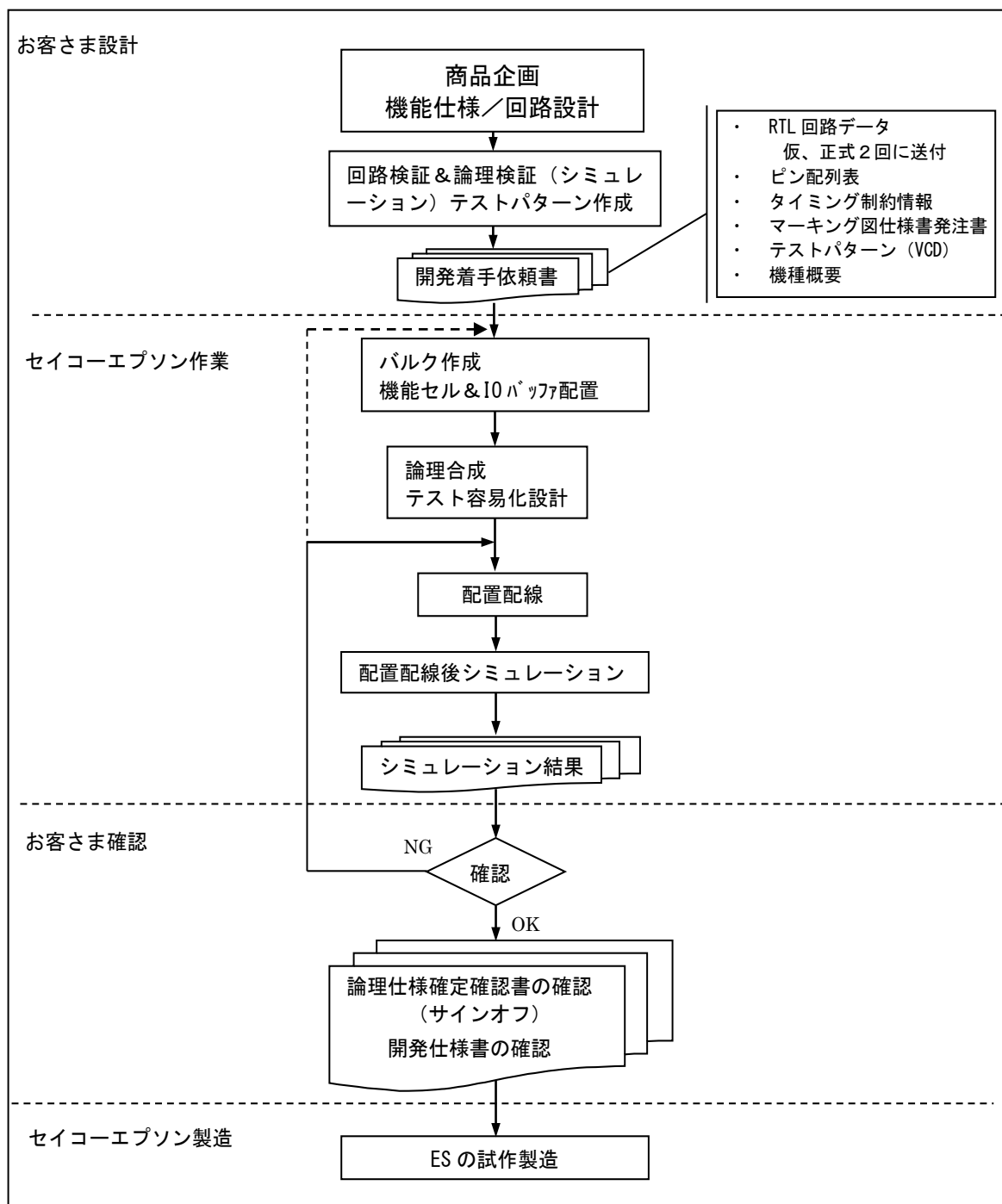


図1-2 : S1K80000 シリーズ (スタンダードセル) 開発フロー

1.4.3 論理合成・配置配線作業フロー（セイコーエプソン作業）

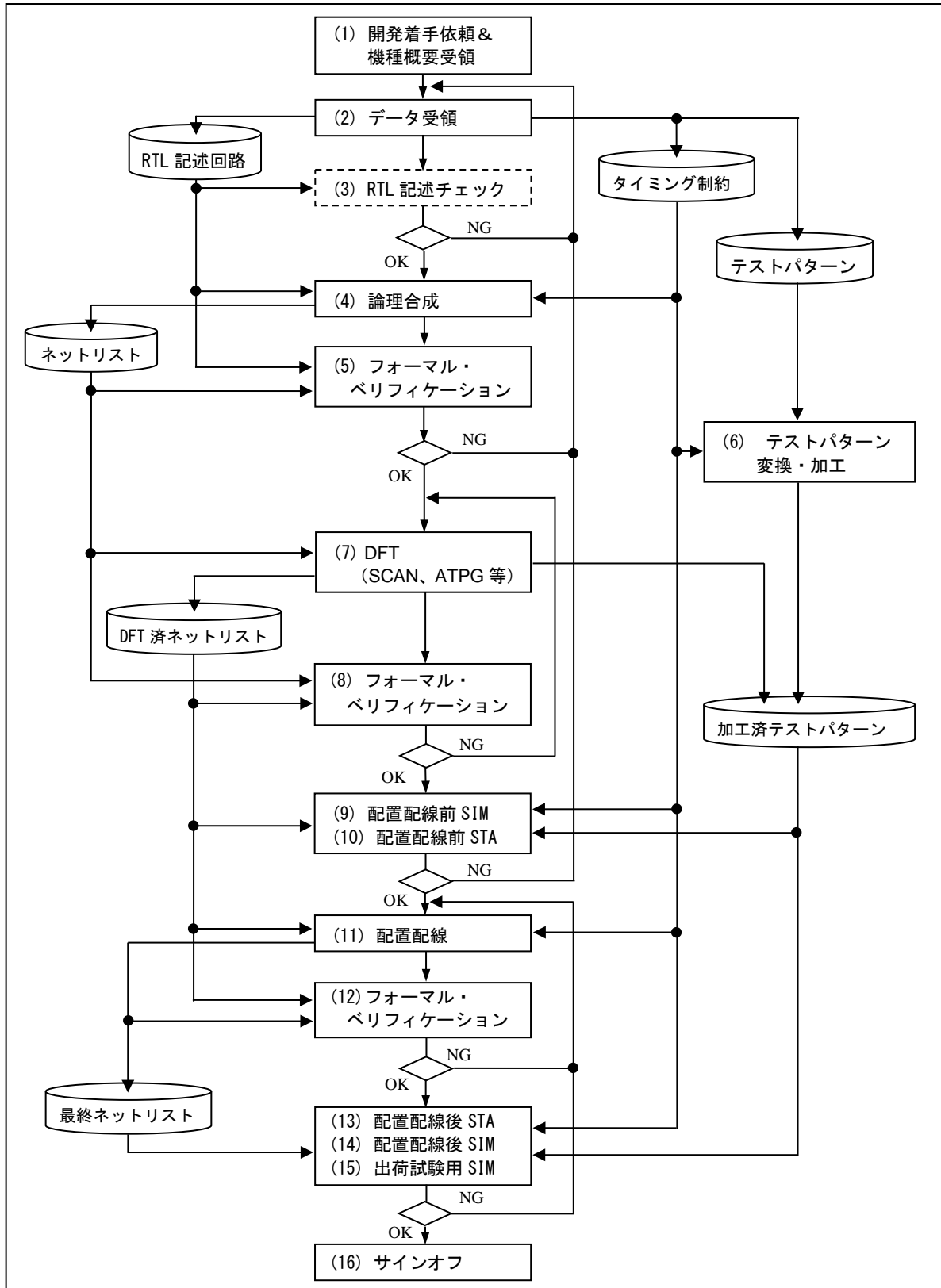


図 1-3 : セイコーエプソンでの論理合成・配置配線作業 工程フロー

## 第1章 概要

---

図 1-3 は、セイコーエプソンでのデータ受領から、サインオフまでの論理合成・配置配線作業フローを記述しています。各作業の概要を以下に説明します。

### (1) 開発着手依頼受領

お客さまからセイコーエプソン帳票「開発着手依頼書」を代理店またはセイコーエプソンに送付いただきます。受領後、セイコーエプソン内で設計作業の着手を行います。開発着手依頼書と一緒に、お客さまより送付いただくデータは以下の通りです。

#### ・エンベデッドアレイの場合

- ① 仮 RTL 回路データ。「1.4.4 仮(トライアル用)データの提出」を参照ください。
- ② 端子配列表
- ③ マーキング図(セイコーエプソン作成フォーマット帳票)
- ④ 仮テストパターン(VCD形式)
- ⑤ 機種概要

※ 仮 RTL データおよび端子配列表を基に、入出力バッファ、電源セル、機能セル及び論理領域の配置を行います。

※ 正式な RTL データ、タイミング制約情報、テストパターンについては、バルク製造終了、配置配線製造以前までに送付ください。

#### ・スタンダードセルの場合

- ① RTL 回路データ。データは仮、正式データの複数回に分けて送付いただきます。仮データについては事項「1.4.4 仮(トライアル用)データの提出」を参照ください。
- ② 端子配列表
- ③ タイミング制約情報
- ④ マーキング図(セイコーエプソン作成フォーマット帳票)
- ⑤ テストパターン(VCD形式)
- ⑥ 機種概要

### (2) データ受領

お客さまより送付いただくデータとしては以下の通りです。

- ① 正式 RTL 記述回路データ
- ② タイミング制約情報
- ③ テストパターン

### (3) RTL 記述チェック

必要に応じて、RTL チェッカーを使用して、文法エラーなどの確認を行います。

### (4) 論理合成

初期段階で、ゲート数の確認やクロックの解析などのために、最小限の制約による仮の論理合成を行います。問題がなければ、タイミング制約などを付けて、実際の論理合成を行います。

### (5) フォーマル・ベリフィケーション(等価性チェック)

お客さまの RTL 記述と、論理合成後のネットリストとの、フォーマル・ベリフィケーション(等価性チェック)を行います。



## (6) テストパターンの変換

お客さまから受領したテストパターン：VCD（Value Change Dump）ファイルを、セイコーエプソン独自フォーマット APF（Advanced Press Format）ファイル（サイクルベース、テーブル形式のテストパターン）に変換します。

## (7) DFT（スキャン挿入、ATPG など）

DFT（Design For Test：故障検出率を上げるためのテスト専用回路の追加）を実施し、スキャンテスト回路などを挿入します。また、ATPG（Auto Test Pattern Generate）によるテストパターン生成を行います。

なお、故障検出率の要望がある場合、開発着手時に連絡ください。

## (8) フォーマル・ベリフィケーション（等価性チェック）

DFT 前と DFT 後でのネットリストに対するフォーマル・ベリフィケーションを行います。

## (9) 配置配線前シミュレーション

ゲートレベルのネットリストにおいて、必要なファンクションが得られていることを確認するために、上記(6)(7)のテストパターンと、仮想遅延データによるシミュレーションを行います。結果に問題などがあった場合は、解析を実施します。

## (10) 配置配線前 STA

お客さまより受領したタイミング制約を元に、STA（静的タイミング解析）によるタイミング確認を行います。明らかに問題となるタイミング・エラーを発見した場合は、お客さまに連絡すると共に、再度の論理合成などの対応を行います。

## (11) 配置配線

上記(10)のデータを使い配置配線を実施します。その結果から、実配線後の遅延時間データを算出します。

## (12) フォーマル・ベリフィケーション（等価性チェック）

配置配線前と後でのネットリストに対するフォーマル・ベリフィケーションを行います。

## (13) 配置配線後 STA

配置配線後のデータについて、実配線後の遅延時間データを用いて、タイミングを確認します。明らかに問題となるタイミング・エラーを発見した場合は、ECO（局所レイアウト変更）などで、調整を行います。

## (14) 配置配線後シミュレーション（リアル・レート）

配置配線後のデータについて、IC を実際に使用する条件で、シミュレーションを行います。結果をお客さまに送付し内容をご確認いただきます。

## (15) 出荷試験用シミュレーション（テスト・レート）

テストパターンのタイミング条件を、出荷試験向けに変更させていただいて、配置配線後データのシミュレーションを行います。結果をお客さまに送付し内容をご確認いただきます。また、出荷試験の条件を満たしていることを確認いただきます。

### <シミュレーション結果の送付>

シミュレーションの結果は APF (Advanced Press Format セイコーエプソン独自フォーマット : \*.sammax, \*.sammin) 形式で送付します。要望に応じて VCD (Value Change Dump)、形式の波形ファイルを添付します。

### <シミュレーション結果とのコンペアの送付>

シミュレーション結果と期待値とのコンペアを行い、コンペアファイル (\*.exp\_max, \*.exp\_min) が出力されます。同様に、min 結果と max 結果のコンペアファイル (\*.min\_max) の出力を送付します。

出力例について、付録「A1.1 シミュレーション結果と期待値とのコンペアファイル例」を参照ください。

### <タイミングエラー・リストの送付>

シミュレーション中にタイミングエラーが発生した場合、リスト (\*.errmax, \*.errmin) 出力を送付します。

タイミングエラー・リストの見方については、付録「A1.2 タイミングエラー・リスト」を参照ください。

### (16) サインオフ

セイコーエプソン作成帳票 (論理仕様確定確認書) を送付します。内容をご確認いただき、問題なければ帳票への確認結果の記載および署名・捺印いただきセイコーエプソンに送付ください。帳票受領後、ES (エンジニアリング・サンプル) の製造を開始します。

#### 1.4.4 仮（トライアル用）データの提出

正式なRTLデータ提出前にあらかじめ、仮（トライアル用）RTLデータを送付していただくよう、お願いします。

##### (1) バルクの決定

エンベデッドアレイの場合、受領した仮データを用いて入出力バッファおよび電源を配置し、内部ロジック領域での機能セルおよび、ゲートアレイセルを仮配置し仮配線を行いバルク形状およびチップサイズを決定します。

##### (2) 事前確認（仮論理合成）

仮データを用いて、弊社内で正式なデータ受領後の作業をスムーズにするための準備を行います。なお、タイミング条件が厳しい場合、仮RTLデータ送付時にご連絡ください。

##### (3) ゲート規模の見積り

お客さまから受領した仮RTLデータから、概略のゲート規模を見積もることが可能です。

##### (4) 仮RTLデータのチェック

お客さまから受領した仮RTLデータに対して、論理合成を行います。文法上の問題や、合成後の問題を事前に知ることができます。チェックで問題のあった箇所を、お客様に報告いたします。

また、仮RTLデータと、論理合成後のネットリストとの、フォーマル・ベリフィケーション（等価性チェック）を行います。論理の不一致が現われた場合は、お客様に報告いたします。

##### (5) 論理合成における制約条件設定

最低限の制約条件を用いて、論理合成を行います。その際、タイミング制約情報を提出していただくことで、論理合成の制約条件をあらかじめ調整します。また、STA（静的タイミング検証）の制約条件を作成することも可能です。

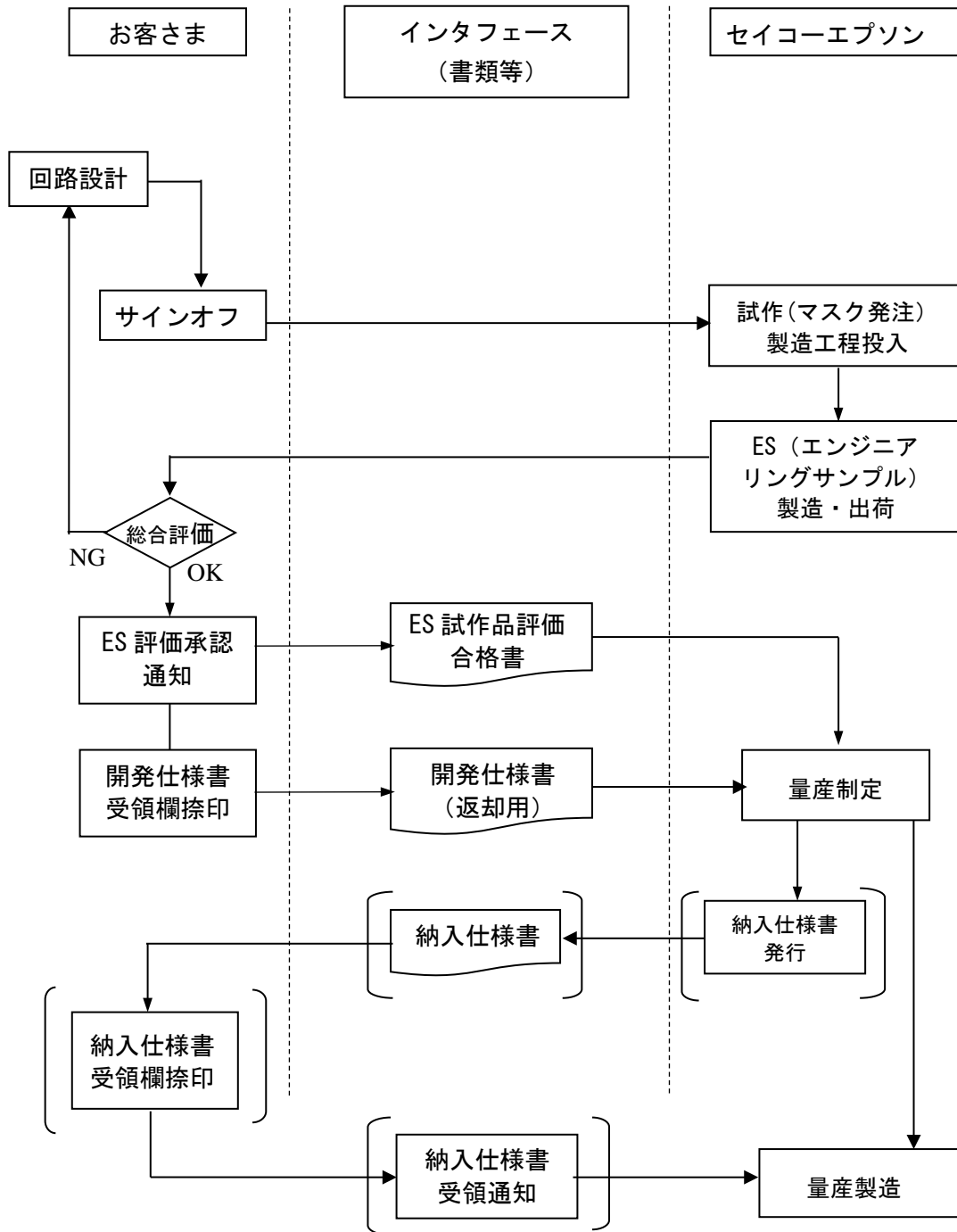
##### (6) ファンクションの確認

仮のテストパターンを提出していただくことで、APFパターンへの変換チェック、テストパターンの整合性チェック、およびゲートレベル・シミュレーションによるファンクションの確認が可能です。

# 第1章 概要

## 1.4.5 試作流動 マスク発注～量産制定、製造手順フロー

図1-4は、試作流動のマスク発注から量産制定までのフローです。



( ) 内はお客様からの要望がある場合行います。

図1-4：試作流動マスク発注から量産制定まで

---

## 第 2 章 RTL 設計上の注意 (Verilog-HDL)

セイコーエプソンにて論理合成を行うにあたり、お客さまでの RTL 設計における留意点について説明します。本章では言語を Verilog-HDL として説明しています。VHDL を使用されるお客さまは、付録「A2 RTL 設計上の注意 VHDL」を参照下さい。また、開発着手依頼時に VHDL で設計を行うことをご連絡下さい。

### 2.1 基本構成

#### 2.1.1 論理合成可能な RTL データの提出

提出する RTL データは、論理合成可能な記述のみにして下さい。ビヘイビア・レベルの記述が含まれていると、論理合成ができません。論理合成可能であれば、複数のファイルにわかれていても問題ありません。

#### 2.1.2 ライブラリ・セルの使用

RTL 内で、セイコーエプソンのライブラリ・セルを呼び出しているモジュール名と、ライブラリ・セル名を連絡下さい。ライブラリ・セルが論理合成時に消されないための設定を行います。

#### 2.1.3 ifdef と parameter

ifdef 文や parameter 文で、RTL の外部や別ファイルから値を設定する必要がある場合は、その旨を連絡下さい。

### 2.2 端子名の制約

外部端子、および内部端子の名前に制限・制約があります。制限・制約に沿っていただくことを推奨します。制限・制約の名前が使われている場合は、論理合成時にお客様の意図しない名前に付け替えられることがありますことを、ご了承下さい。

#### 2.2.1 外部端子名制約

外部端子名には、以下の制約がありますので、いただいた RTL のトップモジュールの端子名が、この制約を満たしていない場合は、修正させていただくことがあります。また、いただいた RTL のトップモジュールの上に、I/O セルなどが入った ASIC 用のトップモジュールを追加させていただいたり、トップモジュールを置き換えさせていただく場合も、この制約で端子を付けさせていただきます。

つきましては、RTL とゲートレベルのネットリストの端子名が異なると問題がある場合は、RTL のトップモジュールの端子名を、以下の制約で付けて下さい。

- (1) 全て大文字にて記述して下さい。
- (2) 使用可能文字は、英数字とアンダーバー ' \_ ' のみです。  
ただし、先頭文字は英字のみ使用可能です。
- (3) '[' と ']' は使用できませんので、バスの記述もできないことに注意下さい。
- (4) ' \_ ' が 2 つ連続してはいけません。
- (5) 文字数は、2~32 文字の範囲です。

## 第2章 RTL 設計上の注意 (Verilog-HDL)

### 2.2.2 内部端子名制約

- (1) 大文字・小文字の混合は可能です。ただし、大文字小文字混在の同一名は使用できません。  
例：“ABC”と”Abc”の混在は禁止。
- (2) 使用可能文字は、英数字、アンダーバー’\_’、バス記述用のかっこ’[‘,’]’です。
- (3) 文字数は、2~32文字の範囲です。

### 2.2.3 Verilog 予約語

以下の文字列は、Verilog の予約語ですので、ユーザー定義名として使用できません。

always	and	assign	begin	buf	bufif0	bufif1
case	casex	casez	cmos	deassign	default	defparam
disable	edge	else	end	endcase	endmodule	endfunction
endprimitive	endspecify	endtable	endtask	event	for	force
forever	fork	function	highz0	highz1	if	ifnone
initial	inout	input	integer	join	large	macromodule
medium	module	nand	negedge	nmos	nor	not
notif0	notif1	or	output	parameter	pmos	posedge
primitive	pull0	pull1	pullup	pulldown	rcmos	real
realtime	reg	release	repeat	rnmos	rpmos	rtranif0
rtranif1	scalared	small	specify	specparam	strong0	strong1
supply0	supply1	table	task	time	tran	tranif0
tranif1	tri	tri0	triand	trior	triereg	vectored
wait	wand	weak0	weak1	while	wire	wor
xnor	xor					

## 2.3 タイミング制約情報の提出

お客様から、クロックや入力遅延、外部遅延に関するタイミング制約情報を RTL データ送付時に一緒に送付していただきます。この情報をもとに、論理合成や STA におけるタイミング制約の作成などの挿入を行います。

### 2.3.1 クロック情報

#### (1) 外部クロック

すべての外部クロックについて、以下の事項を指定して下さい。

- ① 端子名
- ② クロックの基準周期
- ③ 基準周期の開始から、クロックの立上りエッジ・立下りエッジまでの遅延
- ④ Duty、Duty の誤差
- ⑤ クロックジッタの有無
- ⑥ スキュー調整必要の有無
- ⑦ 用途（メイン、テスト用など）

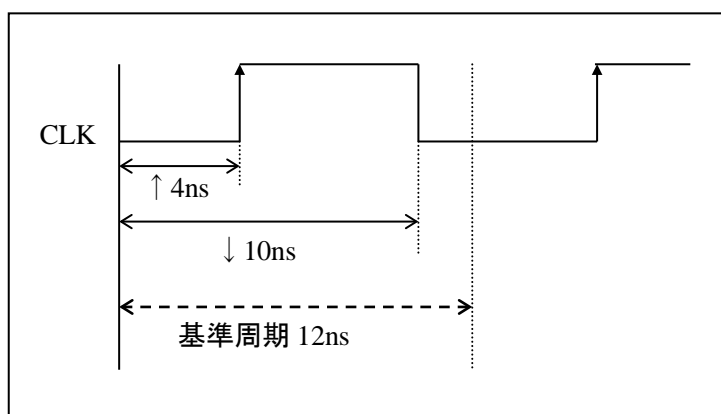


図 2-1 : 外部クロック波形図

例えば図 2-1 の場合、外部クロック端子名は CLK、クロック基準周期 12ns、立上りエッジ遅延 4ns、立下りエッジ遅延 10ns、Duty50±0%になります。

## 第2章 RTL 設計上の注意 (Verilog-HDL)

### (2) 内部生成クロック

PLL、分周などによって回路内部で生成されるクロックを指します。すべての内部生成クロックについて、以下の事項を指定して下さい。

- ① 内部生成クロックの信号名、及び生成されるモジュール名
- ② マスタークロックの信号名 (外部クロックなら、端子名)
- ③ マスタークロックとの関係 (分周数、または逡倍数)
- ④ スキュー調整必要の有無

図 2-2 は、マスタークロック CLK を D-FF で 2 分周して、内部クロック DCLK を生成する RTL 記述の例です。これを論理合成すると、図 2-3 のような回路となります。ここで、CLK と DCLK は、タイミングの異なるクロックとなることにご注意して下さい。これは、CLK から FF の出力端子までの伝播遅延分のスキューが生じるためです。図 2-4 を参照して下さい。

```
always @(posedge CLK or negedge RST)
begin
  if(!RST)
    Q <= 1'b0;
  else
    Q <= ~Q;
end

assign DCLK = Q;

always @(posedge DCLK or negedge RST)
  .
  .
```

図 2-2 : 分周による内部クロック生成の記述例

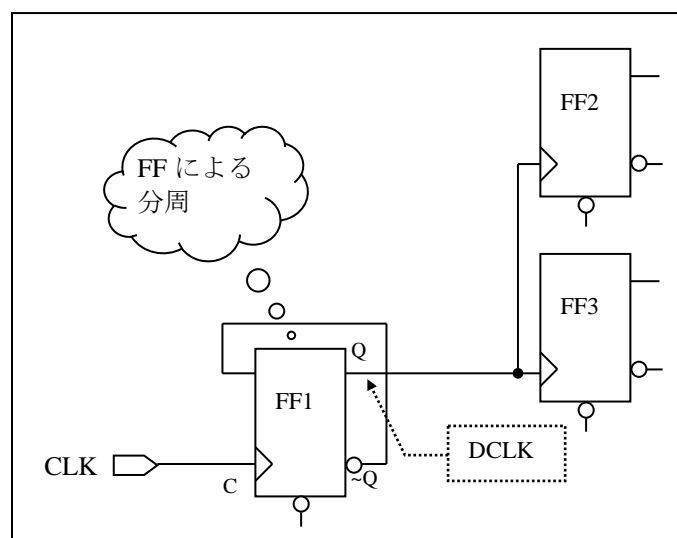


図 2-3 : 図 2-2 より合成される回路例



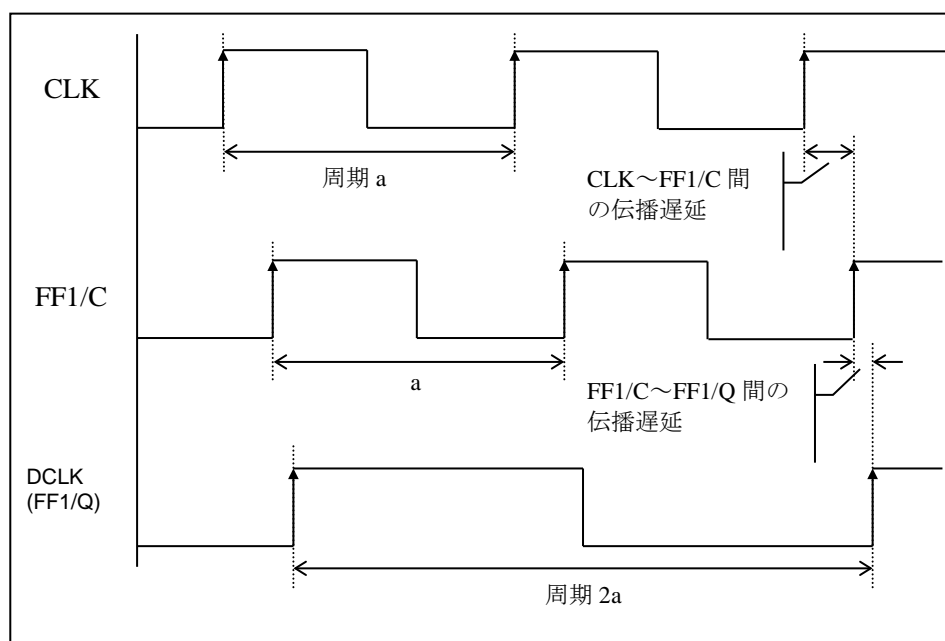


図 2-4 : 図 2-3 の回路の波形図

### (3) 複数クロックの組み合わせ

複数のクロックと組み合わせ回路から、パルスを作ることは避けて下さい。各クロックのスキューにより意図しないパルスとなる可能性があります。

### (4) 異なるクロックで動作するレジスタ間のデータパスについて

異なるクロックで動作するレジスタ間にデータパスがある場合、そのタイミングを保証することは困難ですので、非同期でデータの受け渡しができるような設計を行って下さい。また、同クロックであってもエッジが異なる場合は、異なるクロックとして扱ってよいかをご指示下さい。

## 第2章 RTL 設計上の注意 (Verilog-HDL)

### 2.3.2 外部端子のタイミング制約

#### (1) 外部入力タイミング

外部入力端子に、基準クロックに対するセットアップタイム、ホールドタイムを指定して下さい。

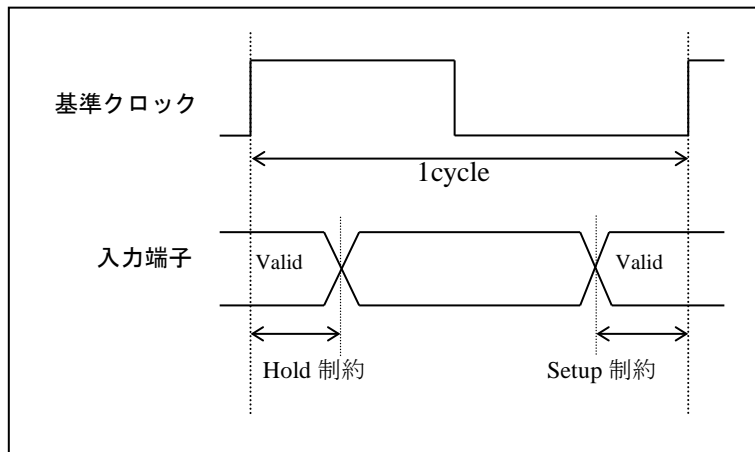


図 2-5 : 外部入力タイミング

#### (2) 外部出力タイミング

外部出力端子に、定義したクロックに対する出力遅延を設定します。基準クロックに対する遅延の最小値と最大値を指定して下さい。基準クロックが回路内に存在しないときは、仮想クロックの制約を指定して下さい。

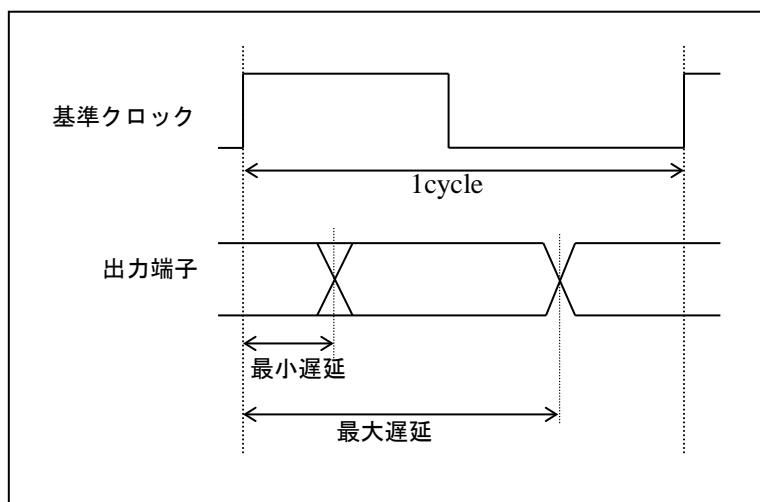


図 2-6 : 外部出力タイミング

(3) マルチサイクルパス

図 2-7 は、乗算器などの大規模回路を通るパスの例です。FF1/Q~FF2/D 間のタイミングに複数サイクルを必要とする（もしくは、必要としても構わない）場合は、FF1/Q~FF2/D 間のパスに対して、マルチサイクルパスを指定します。

データの受け渡しに複数サイクルが必要なパスと、サイクル数を指定して下さい。

例えば、FF1/Q~FF2/D 間のパスのデータ伝播に 2 サイクルを必要とする場合は、図 2-8 のように FF1/Q~FF2/D 間に 2 サイクルのマルチサイクルパスを指定して下さい。

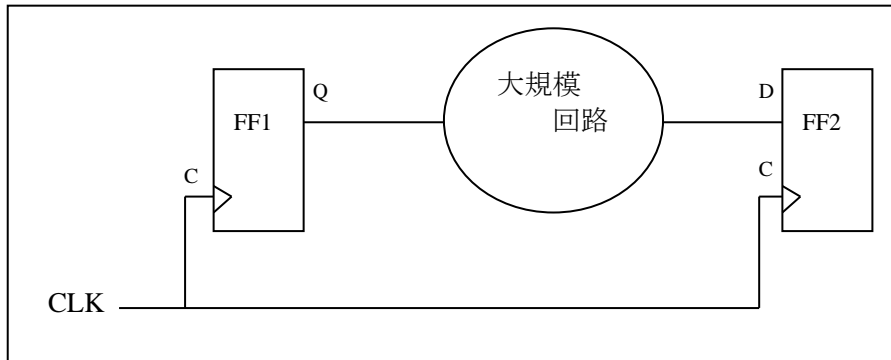


図 2-7 : 大規模回路を通るパスの例

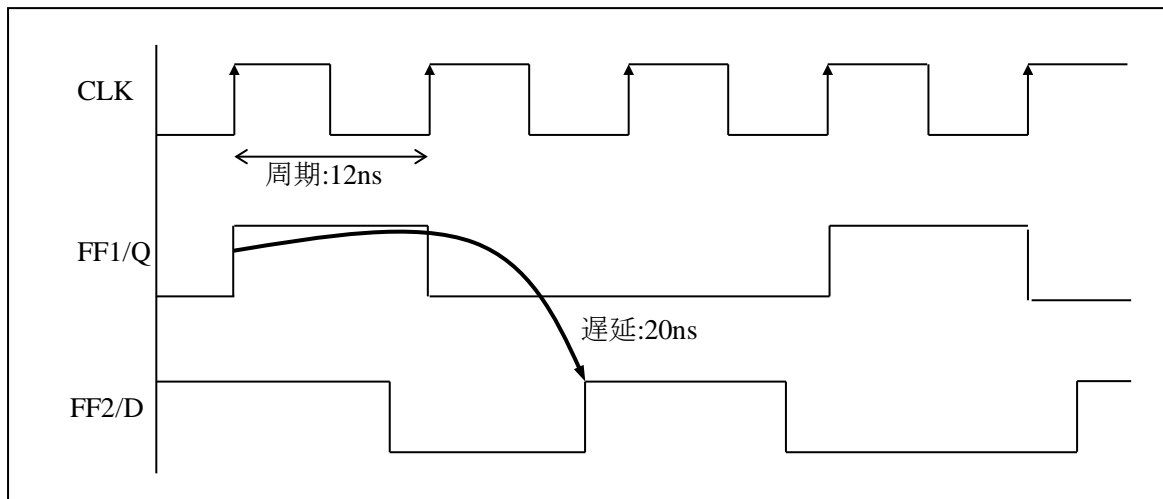


図 2-8 マルチサイクルパス

## 第2章 RTL 設計上の注意 (Verilog-HDL)

### (4) フォルスパス

論理的、仕様の的にありえないパスを、わかるかぎり指定して下さい。フォルスパスは、最適化の対象外となります。例えば、図 2-9 において、B~X 間のパスは論理的にありえないので、フォルスパスになります。

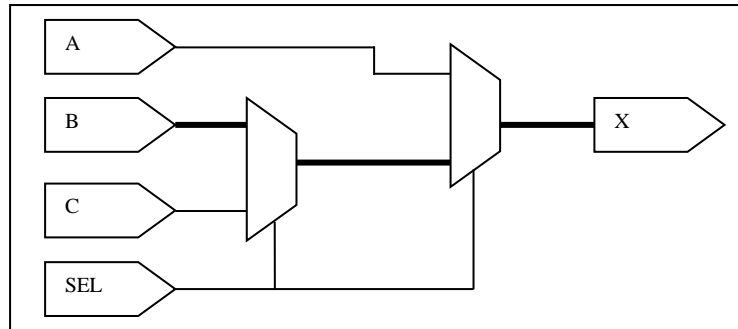


図 2-9 フォルスパス

### (5) クロック・ゲーティング

消費電力削減などのため、クロック・ゲーティングを行う場合は、できるだけ上位階層で行うようにして下さい。

クロックツリー構築時にスキュー調整が必要となる場合がありますので、クロック・ゲーティングを行った箇所を指定して下さい。また、ラッチベース方式のクロック・ゲーティング・セルを使用する場合は、あわせて指定して下さい。

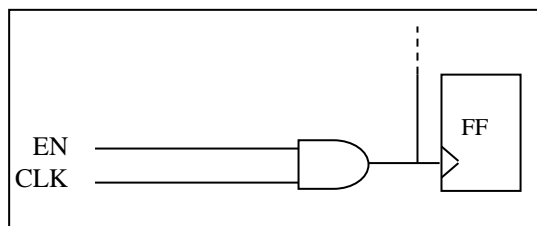


図 2-10 : クロック・ゲーティングの例

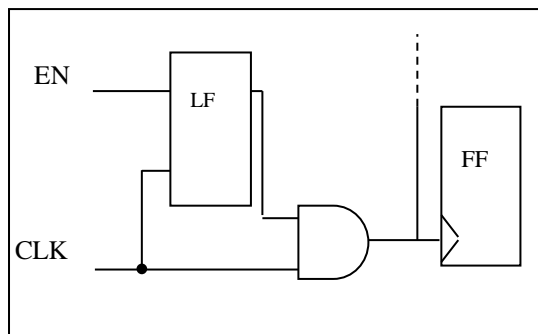


図 2-11 : ラッチベース方式のクロック・ゲーティングの例

(6) クロック・ゲーティングした RTL でのシミュレーション実施時の注意点

RTL シミュレーションにおいて、図 2-12 のようにゲーティングされたクロックは、元クロックとは非同期の扱いとなります。2 段の非同期 FF 両方にゼロ遅延でクロックが入った場合は、どちらが先に処理されるかは、シミュレータ依存となります。これを回避するには、RTL 中に遅延の記述を付加して、意図通りの順番で処理が行われるようにして下さい。RTL 中の遅延記述は、論理合成時には無視されます。

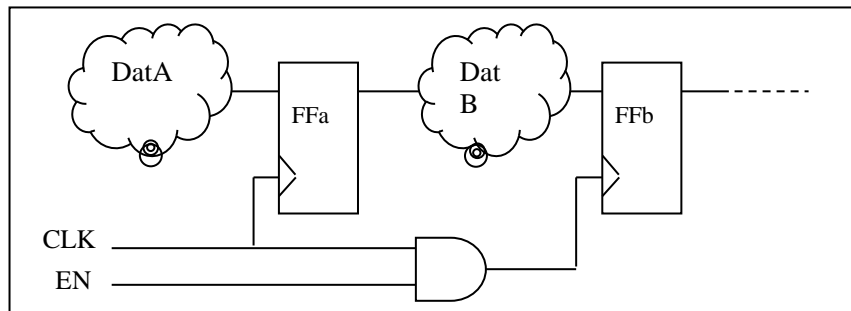


図 2-12 : ゲーティングされたクロックとの接続例

```
parameter DELAY = 10;
.....
always @(posedge CLK ) begin
    FFa <= #(DELAY) DatA;
end
assign ENCLK = CLK & EN;
always @(posedge ENCLK ) begin
    FFb <= DatB;
end
```

図 2-13 : 遅延記述の付加

## 第2章 RTL 設計上の注意 (Verilog-HDL)

### (7) 論理合成時のクロック・ゲーティング・セル自動挿入

セイコーエプソンでの論理合成時に、ラッチベース方式のクロック・ゲーティング・セルを自動挿入することが可能です。消費電力の削減と、ゲートサイズの削減が見込めます。

クロックスキューが増大するため、タイミング制約が厳しい場合は、調整に数日の日数が必要となる場合がありますのでご了解下さい。

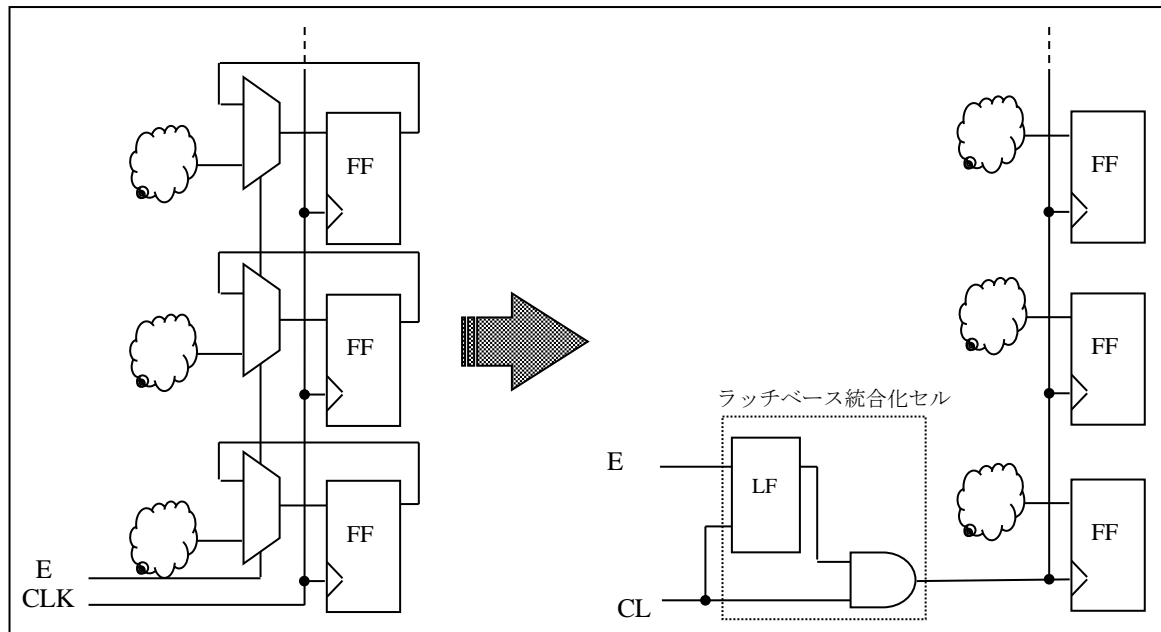


図 2-14 : クロック・ゲーティング・セル自動挿入の例

### (8) セット・リセット信号について

図 2-15 のような、非同期セットとリセットの両端子を持つフリップフロップの有無をお知らせ下さい。非同期セット・リセット両端子を持つフリップフロップのセット・リセット間のリカバリタイムやリムーバルタイムは解析できません。また、クロック端子を持たないセルのセット・リセットは解析できません。

```
always @(posedge CLK or negedge SET or negedge RST) begin
  if (!SET)
    Q <= 1' b1;
  else if (!RST)
    Q <= 1' b0;
  else
    Q <= D;
end
```

図 2-15 : セット・リセット両端子を持つフリップフロップの記述例

## 2.4 入出力バッファの挿入

- (1) 送付いただいた「端子配列表」でのバッファの種類にしたがって、セイコーエプソンにて、入出力バッファを挿入いたします。

バッファの種類および構成については、「第 6 章 入出力バッファの種類と使用上の注意」を参照して下さい。

- (2) 入出力バッファは、トップ モジュールを RTL 用からゲート用に置き換える方法が安全で簡単です。セイコーエプソンでゲート用のトップ モジュールを作成いたしますので、RTL 用のトップ モジュールには、入出力に関する記述のみとして下さい。具体的には、単方向ポートは、下位モジュールと 1 対 1 に接続するだけにして下さい。そして、双方向ポートの記述は、下位階層から入力信号ポートと出力信号ポートとイネーブル信号ポートを引き出して、トップ モジュール内で双方向信号を記述して下さい。

```

module TOP ( IN1, OUT1, BID1);
  input IN1 ;
  output OUT1 ;
  inout BID1 ;
  assign BID1 = (en) ? 1'bz : bid1_out ;
  CORE U_CORE( .in1(IN1),
    .out1(OUT1), .bid1_in(BID1),
    .bid1_out(bid1_out), .en(en) );
endmodule

```

図 2-16：トップモジュールの RTL 例

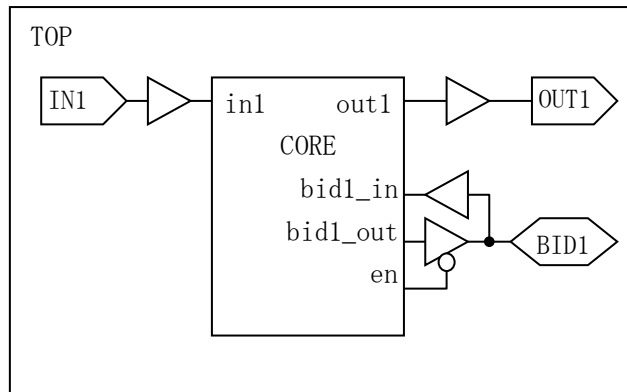


図 2-17：トップモジュール イメージ

## 2.5 RAM の記述

- (1) RAM を搭載される場合、RAM の仕様の確認をして下さい。仕様の詳細は「第 8 章 メモリマクロ (RAM) 仕様」を参照して下さい。
- (2) RAM のライブラリはセイコーエプソンにて提供いたします。必要な RAM のサイズおよび個数を開発着手依頼書へ記入して下さい。なお、RAM の (モデル) ライブラリ提供には日数が掛る場合がございます。 ご了承下さい。
- (3) お客様にて RAM を記述する場合は、そのモデルのモジュール名を連絡して下さい。

## 2.6 発振セルの記述

- (1) 発振セルを搭載される場合、発振セルの詳細「第 5 章 5.1 発振回路」を参照して下さい。
- (2) RTL 記述時には、発振セルはインスタンス化して記述して下さい。
- (3) 論理合成時に発振セルの外部端子接続ネットにバッファが挿入されない様、入力および出力ネットに対して、  
set\_dont\_touch コマンドで dont\_touch 属性を付けて下さい。

### 第3章 テスト回路設計上の注意

テスト回路設計については、セイコーエプソンにてテスト容易化設計、テスト回路挿入することを推奨いたします。挿入手順については「第1章 1.4 開発フロー」を参照して下さい。

#### 3.1 推奨 DC・AC テスト回路の挿入

セイコーエプソンで、DC および AC テスト等の出荷時の試験を効率良く行えるように、推奨のテスト回路を用意し、お客様の回路に挿入させていただきます。

##### 3.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用

セイコーエプソン推奨 DC および AC テスト回路については、送付いただいたお客様回路にセイコーエプソンにて挿入させていただきます。推奨テスト回路を構成する為に、テスト回路付き入出力バッファを選択いたします。

お客様にて、DC・AC テスト専用端子として入力端子を最低1本 用意していただくこととなります。

##### 3.1.2 お客様設計によりテスト回路挿入される場合

お客様にて、テスト回路を設計される場合、またお客様の回路設計の構成上の理由で、セイコーエプソン推奨のテスト回路をご使用いただけない場合、または、テスト機能付き出力バッファをご使用いただけない場合には、開発着手依頼時に連絡をして下さい。



## 3.2 スキャン (SCAN) 回路の挿入

スキャン回路の挿入の可否については、開発着手依頼時に連絡をお願いします。スキャン回路の挿入は、セイコーエプソンにて行ないます。

その際、スキャンテスト専用端子2本を回路の入出力端子として用意していただくことになります。

### 3.2.1 スキャン (SCAN) 回路

セイコーエプソンでのスキャン挿入は、設計されたデザインに存在するすべてのレジスタ (D-FF、JK-FF) をスキャンタイプレジスタに置換し、スキャンパスを構築します (フルスキャン設計)。このデザインを用いて ATPG (Auto Test Pattern Generation) を実施することにより高故障検出率のテストパターンを生成します。

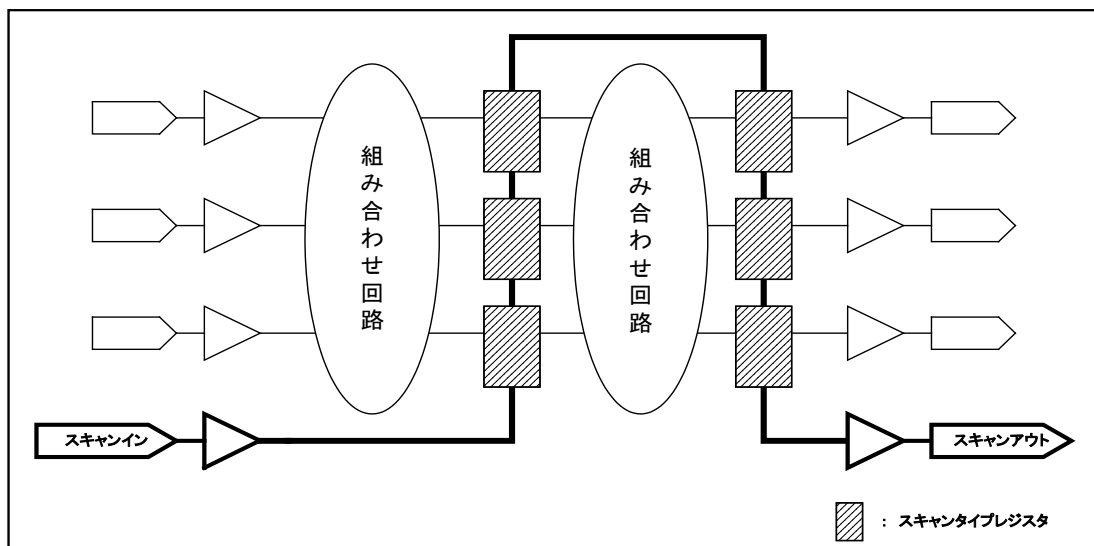


図 3-1 スキャン回路の例

[注意] ①ATPG (Auto Test Pattern Generation) が生成するテストパターンは仕様を確認するものではありません。

②トランスペアレントラッチはスキャンタイプレジスタに置換されません。

### 3.2.2 お客様設計にてスキャン (SCAN) 回路挿入される場合

お客様にてスキャン回路挿入もしくは、ATPG を実施される場合は、「付録 A3.1 スキャン (SCAN) 回路挿入」を参照いただき、回路設計をして下さい。

### 3.3 バウンダリスキャン (JTAG) 回路の挿入

バウンダリスキャン (JTAG) 回路の挿入の可否については、開発着手依頼時に連絡をお願いします。バウンダリスキャン (JTAG) 回路挿入は、セイコーエプソンにて行ないます。

バウンダリスキャン (JTAG) 回路挿入に際しては、論理回路の外周に、IEEE 1149.1 に準拠したバウンダリスキャン回路、および、その制御回路 (TAP コントローラ) の挿入を実施します。同時にその回路の情報を記した BSDL ファイルを提供します。

また、挿入したバウンダリスキャン用ファンクションパターンはセイコーエプソンにて作成しますので、お客さま側でのバウンダリスキャンに関するパターン作成は必要はありません。

#### 3.3.1 インストラクション

以下のバウンダリスキャンインストラクションに対応します。

表 3-1 対応可能なインストラクションコード一覧

インストラクション	コード
SAMPLE/PRELOAD	0...10
BYPASS	1...11
EXTEST	0...00
CLAMP	任意選択可能*1
HIGHZ	任意選択可能*1
IDCODE	0...01

注) \*1: 特に要求のない場合はセイコーエプソンでアサインします。また他コードとの重複はできません。また、インストラクションのビット幅は2~32ビットの範囲で選択可能です。特に要求のない場合は、セイコーエプソンにて決定します。

#### 3.3.2 ゲート数の見積り

バウンダリスキャン回路挿入によるゲート数の増加に関しては、対応するインストラクションやビット幅などにより前後します。ゲート数の見積りには以下の情報を用いて概算して下さい。

表 3-2 ゲート数見積り (BC: ベイシックセル換算)

バウンダリスキャンブロック	ゲート数
TAP コントローラ+雑ゲート	約 1000 (BC)
入力端子	ノーマルセル使用時: 約 30 (BC/端子) オプザーブ専用セル使用時: 約 15 (BC/端子)
2-state 出力端子	約 35 (BC/端子)
3-state 出力端子	約 65 (BC/端子)
双方向端子	約 95 (BC/端子)

#### 3.3.3 お客さま設計にてバウンダリスキャン (JTAG) 回路挿入される場合

お客さまにてバウンダリスキャン (JTAG) 回路の挿入される場合は、「付録 A3.2 バウンダリスキャン (JTAG) 回路挿入」を参照いただき、回路設計をして下さい。

### 3.4 RAMのテスト回路の挿入：メモリBIST (Built in Self Test)

セイコーエプソンでは内蔵メモリのテスト回路として自己診断回路であるメモリBIST (Built In Self Test) を用意しています。

メモリBIST挿入を希望されるお客さまは、開発着手依頼時に連絡をして下さい。

セイコーエプソンでは、お客さまより提出していただいたRTLまたはゲートレベルのネットリストに対してメモリBISTを挿入します。この設計を容易に進めるため、お客さまの回路設計時のご注意いただきたい内容について説明します。

#### 3.4.1 メモリBIST用テスト入出力端子

メモリBISTでは、BIST\_CLKには通常メモリクロックを割り当てます。したがってメモリBISTに必要なテスト入出力端子は基本的に以下の端子となります。

- (1) MBIST\_TM (モード設定信号) : 入力端子 … 専用端子化を推奨 (条件を満たせば兼用端子化も可能です。)
- (2) MBIST\_EN (BISTイネーブル信号) : 入力端子 … 兼用端子化可能です。
- (3) MBIST\_GO (テスト判定信号) : 出力端子 … 兼用端子化可能です。
- (4) MBIST\_DONE (テスト終了信号) : 出力端子 … 兼用端子化可能です。

また、バイパス回路対応時には以下の端子が必要となりますが、Chip全体へのSCAN化に当たり別途割り当てられている場合には必要ありません。

- (5) LV\_TM (SCANモード設定信号) : 入力端子 … Chip全体のSCANモード設定端子との兼用端子化可能です。

設計を容易に進めるために、MBIST\_TMは専用端子化することをお勧めします。MBIST\_TMを兼用化するには、お客さまの回路を含めて以下の初期化要件を満たすような回路構成が必要となります。

- (6) MBIST\_TM = 0 (通常動作モード) とし、BIST\_CLK (=メモリクロック) を2発以上与えることが可能として下さい。
- (7) 上記動作の後、MBIST\_TM = 1 (BISTモード) とし、BIST\_CLK (=メモリクロック) を与え続けることが可能として下さい。

注) : BIST回路単体ではBIST\_CLKが必要となりますが、初期化およびスキュー調整等の必要性から通常はメモリクロック等の内部信号を割り当てます。またBISTコントローラが複数の構成となる場合には、MBIST\_GO、MBIST\_DONEをBISTコントローラの数分割り当てる必要があります。なお、MBIST\_TMは1本で構いません。

### 3.4.2 通常動作時の制約事項

メモリ BIST を適用した場合メモリ周辺に回路が付加されますが、この周辺回路は BIST モードだけでなく通常動作においても初期化が必要となります。（初期化を行わないと simulation 上、メモリへのアクセスが不可能となります。）したがってお客さまの回路を含めて以下の初期化要件を満たすような回路構成が必要となります。

- MBIST\_TM =0（通常動作モード）とし、BIST\_CLK（＝メモリクロック）を 2 発以上与えることが可能として下さい。

### 3.4.3 メモリクロックのスキュー調整

メモリ BIST 回路（カラー、コントローラ）は複数の順序回路で構成されるため、メモリのクロック信号と BIST 回路（カラー、コントローラ）内部の FF へのクロック信号間でスキュー調整を行う必要があります。さらに詳細な設計内容に関しては以下の事例を参照して下さい。

- (1) メモリ動作に関連するメモリクロックが複数存在する場合には、各クロック毎に 1 個の BIST コントローラを割り当て（全体的に見れば、BIST コントローラは複数）、スキュー調整するのが一般的です。この場合には、各メモリクロック毎にスキュー調整が可能な回路構成にして下さい。
- (2) メモリ動作に関連するメモリクロックが複数存在する場合でも、BIST モードにおいてクロックを一本化することが可能な場合には、BIST コントローラ 1 個でメモリ BIST 回路を構成することが可能です。この場合には BIST モードにおいて全てのメモリへのクロックスキューが調整可能な回路構成にして下さい。
- (3) マルチポートメモリにおいて各ポートへのクロックが異なる場合には、マルチプレクサを挿入して、クロックを共通化する必要があります。この場合には、選択したクロック以外のクロックに対してマルチプレクサを挿入して下さい。

### 3.4.4 その他

メモリ BIST を適用するに当たり、階層設計に関する制約はありません。お客さまの回路において、メモリは任意の階層に存在して構いません。

お客さまの回路内にメモリ BIST を適用するメモリと適用しないメモリがあっても構いません。

## 3.5 WLBI（ウェハー・レベル・バーイン）用テスト端子

S1X80000 および S1K80000 シリーズは、品質保証の為 WLBI：ウェハー・レベル・バーイン（Wafer Level Burn-in Test）を実施します。

WLBI 専用テスト端子 1 本を用意していただくことになります。

## 第4章 テストパターン作成上の注意

テストパターン作成における留意点について説明します。

### 4.1 サインオフ・シミュレーション向けテストパターンの作成

#### 4.1.1 テストパターンの形式

RTL シミュレーションにて、結果が得られましたら、その ASIC のプライマリ入出力信号の波形を VCD (Value Change Dump) フォーマットで提出していただきます。外部双方向端子を使用する場合は、イネーブル信号の波形を合わせて出力して下さい。ただし、セイコーエプソンのサインオフ・シミュレーションでは、HDL で記述されたテストベンチを使うことはできません。

セイコーエプソンでは、VCD を APF (Advanced Press Format : セイコーエプソン独自テストパターン形式) に変換して、シミュレーションを行います。図 4-1 は、VCD から APF への変換イメージです。各波形を基準となるサイクルタイム毎にサンプリングした信号値に置き換えます。APF のサンプルを図 4-2 に示します。

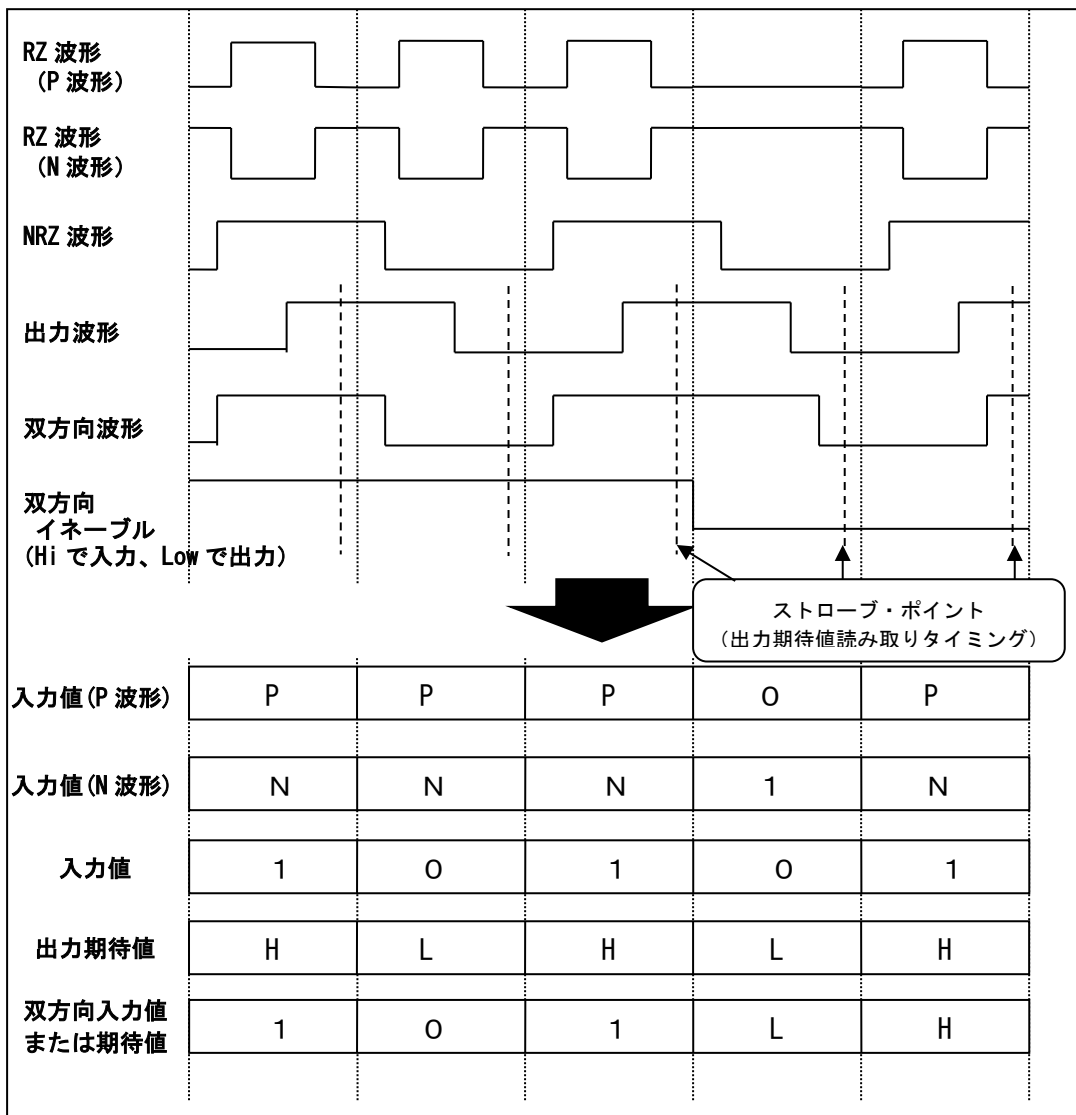


図 4-1 : 波形から APF への変換イメージ

## 第4章 テストパターン作成上の注意

```

# Create by Netlist Rule Check Utility at Fri Oct 6 11:42:55
$DESIGN SAMPLE

$RATE          100000 ← レート (サイクル) 100ns
$RESOLUTION    0.001ns
$STOROBE       85000 ← ストローブ・ポイント 85ns

#$HEX
#$ENDHEX

$IIOCONT
inst01.ZO      E0      BID1
inst02.ZO      E0      BID2 ← 双方向信号をコントロールしている内部ノード
$ENDIIOCONT

$NODE
RST           I    10000 ← 入力遅延 10ns の入力端子
CLK           P    50000  90000 ← 入力遅延 50ns、幅 40ns のRZ波形 (P波形) 入力端子
XCLK          N    50000  90000 ← 入力遅延 50ns、幅 40ns のRZ波形 (N波形) 入力端子
INPUTB        IU   0
INPUTC        IU   0 ← 入力遅延 0ns のプルアップ付き入力端子
#
OUTA           0 ← 出力端子
OUTB           0
#
BID1          B    0 ← 入力遅延 0ns の双方向端子
BID2          B    30000
#
$ENDNODE

$PATTERN
#           RCXII00BB
#           SLCNNUUII
#           TKLPPTDD ← 入力/出力信号名 (コメント行)
#           KUKAB12
#           TT
#           BC
#
#           IPNII0BB ← イベント番号 (パターンの周期番号)
#
#           0 ← 信号値
#           1
#           2
#           3
#           4
#           1PN11XZ1L
#           1PN01XZ0L
#           1PN11XH1L
#           10101LHL1
#           1PN11LHH0
$ENDPATTERN

```

注：信号中に使える文字

O : 入力 Low	1 : 入力 High	P : P型RZ波形入力	N : N型RZ波形入力
L : 出力 Low	H : 出力 High	Z : 出力ハイ・インピーダンス	X : Unknown

図 4-2： APF のサンプル

## 4.1.2 テストパターンの制限

セイコーエプソンでは、サイクルベースでのシミュレーションを行っています。つきましては、以下の制限を満足するようにして下さい。入力信号および出力信号のタイミングを厳密にチェックしたいときは、STAによる解析が必要となります。

- (1) 同一VCD内では、クロックの周期やパルス幅を変化させないで下さい。
- (2) 同一VCD内では、クロック間のスキューや、クロックと入力信号の関係を変化させないで下さい。サイクル単位における入力遅延を一定にして下さい。
- (3) 同一VCD内に、周期の異なるクロックが存在する場合、もっとも早いクロックの周期を基準サイクルタイムとし、他クロックの周期は基準サイクルタイムの倍数となるようにして下さい。
- (4) P波形クロックを止めるときは0入力状態にして下さい。
- (5) N波形クロックを止めるときは1入力状態にして下さい。
- (6) 不定(X)や、ハイインピーダンス状態(Z)を入力することはできません。

図4-3に使用できない入力波形の例を示します。

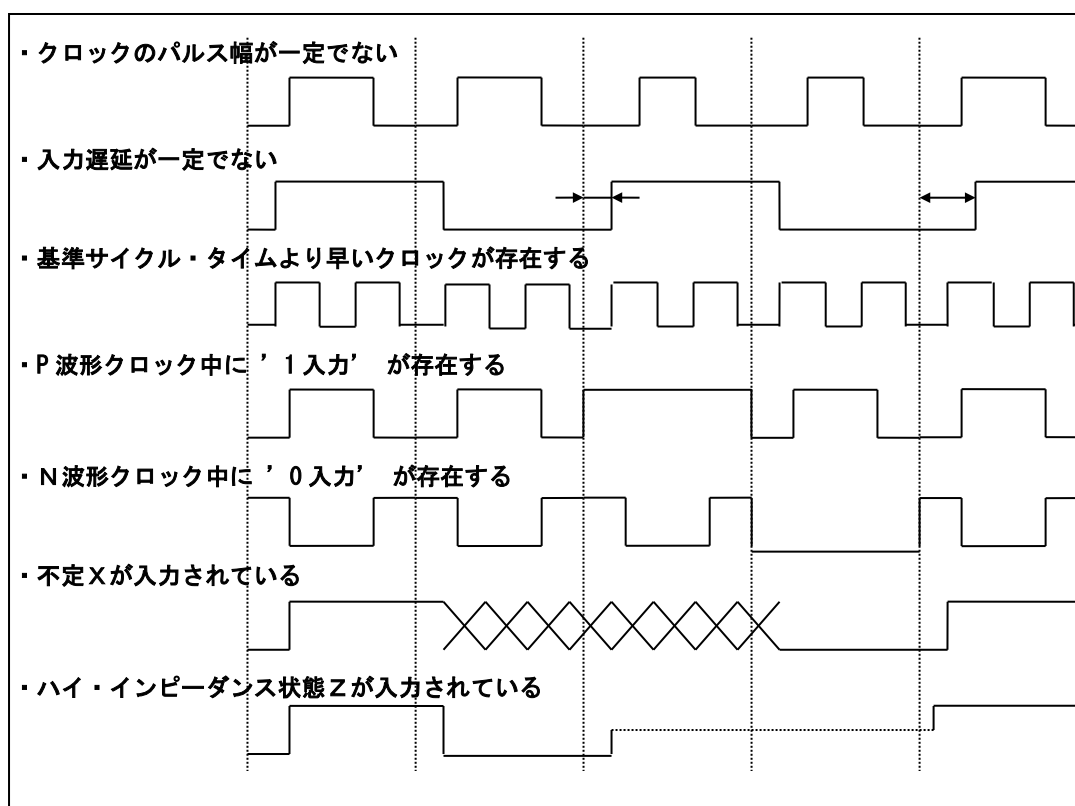


図4-3： 使用できない入力波形の例

### 4.1.3 外部双方向端子のイネーブル信号

外部双方向端子を使用する場合は、イネーブル信号の波形を合わせて出力して下さい。その際、一つの外部双方向端子は、必ず一つのイネーブル信号で動作するようにして下さい。RTL内の双方向イネーブル信号が複数信号の論理で構成されている場合は、一つの信号に置き換えて下さい。

図4-4は複数信号の論理で構成された双方向イネーブル信号の例です。

図4-5は一つの信号に置き換えた例です。

```
inout data;
wire data, cs, rd;
.....
assign data = (cs & rd) ? outdata : 1'bz;
```

図4-4：複数信号の論理で構成された双方向イネーブルの例

```
inout data;
wire data, cs, rd, dataen;
.....
assign dataen = cs & rd;
assign data = dataen ? outdata : 1'bz;
```

図4-5：一つの信号に置き換えた例



## 4.2 製品出荷テスト向けのテストパターン作成

お客さまより受領したテストパターンを基に、セイコーエプソンにて製品の出荷テスト用のテストパターンを作成します。IC テスタの能力などによって制限があり、IC の仕様確認用のテストパターンを以下の制限に合うよう、変更して作成いたします。この際、テストパターンが非常に長い場合や、テストパターンの本数が非常に多い場合など、IC テスタへの適用が困難な場合には、テストパターンの調整を行うことがありますのでご了承ください。

製品出荷テスト向けに変換する必要が無いテストパターンや、製品出荷テスト専用のテストパターンがある場合は、弊社営業担当までご連絡下さい。

### 4.2.1 使用可能な入力波形

テストパターンは、通常 0/1 の集まりですが、シミュレーション実行時や IC テスタでのテスト時においては、入力波形に遅延を与えたり、パルスを作成したりすることができます。テストパターン作成時に使用できる波形には次の 2 つがあります。

#### (1) NRZ (Non Return to Zero)

通常はクロック以外の信号に使用します。1 レート内で 1 回変化することができ、遅延を与えることができます。

#### (2) RZ (Return to Zero)

クロック信号などに使用します。1 レート内で正または負のパルスを発生することができるので、効率よくクロック信号を作ることができます。NRZ 同様、遅延を与えることができます。

### 4.2.2 テストパターンの制限

テストパターン作成の制限を説明するため、図 4-6 にテストレート、入力ディレイ、パルス幅について示します。

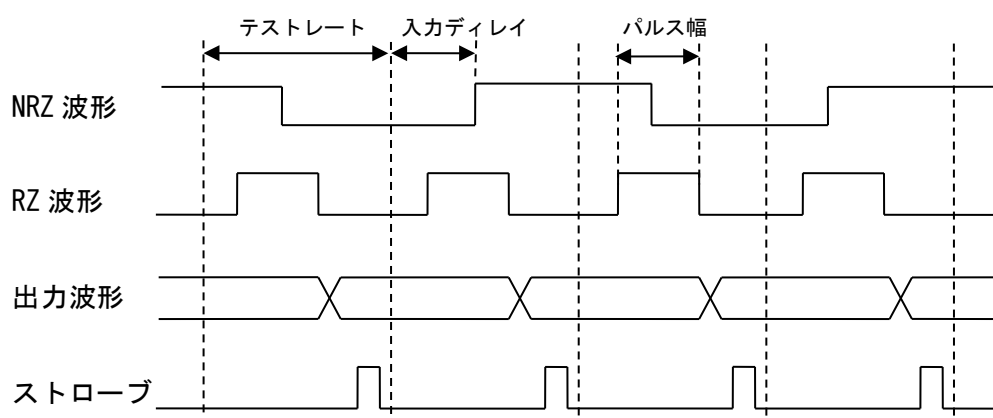


図 4-6 テスタパターンにおけるタイミング

## 第4章 テストパターン作成上の注意

---

テストパターン作成での各種制限を、以下の(1)～(5)に示します。

### (1) テストレートおよびイベント数の制限

テストレート	: 100nsec 以上、1nsec 単位 (標準 : 200nsec)
テストパターン1本あたりのイベント数	: 256K イベント以内
テストパターンの本数	: 30 本以内
テストパターンの総イベント数	: 1M イベント以内

### (2) 入力ディレイの制限

#### ① 入力ディレイの範囲

入力ディレイの値は、以下の範囲で与えて下さい。また、ストロブポイントの制限については(5) ストロブの制限を参照して下さい。

$0\text{nsec} \leq \text{入力ディレイ値} < \text{ストロブポイント}$

#### ② 入力ディレイの位相差

入力ディレイに位相差を設ける場合は、3nsec 以上の差をつけて下さい。

#### ③ 入力ディレイの種類

入力ディレイの値は、ひとつのテストパターンで、8 種類以内にして下さい。ここで、0nsec 遅延も1種類と数えます。また、ディレイ値が同じでも、波形 (RZ と NRZ) やパルス幅が異なれば、異なる種類として数えます。

### (3) パルス幅の制限

RZ 波形のパルス幅は、15nsec 以上として下さい。

### (4) 入力波形フォーマットの制限

入力波形は、0、1、P、N の値を取ることができます。ここで、P と N は、RZ 波形におけるパルスの入力を表しています。また、P と N の値はひとつのテストパターン内で、同一の端子に対して 0 と P または、1 と N の組み合わせ以外を扱うことができません。

さらに、双方向端子におきましては、ひとつのテストパターン内で、出力状態が存在しない場合のみ、RZ 波形を入力することができます。

### (5) ストロブの制限

- ① ストロブはテストパターンごとに1種類のみ定義可能です。
- ② ストロブの最小値は、すべてのイベントにおいて、与えられた入力信号によってすべての出力信号が変化し終わってから、30nsec 以上後にして下さい。
- ③ ストロブの最大値は、(テストレート-15nsec) よりも小さくして下さい。
- ④ ストロブは、1nsec 単位で設定して下さい。

## 4.2.3 DC・AC テストパターンの作成について

DC および AC テストについては、挿入させていただいたセイコーエプソン推奨テスト回路に対して DC および AC テストパターン作成を、セイコーエプソンにて行います。

お客さまにて DC・AC テスト回路挿入される場合は、「付録 A4. DC・AC テストパターン」を参照いただき、テストパターン作成をお願いします。

## 4.2.4 発振回路使用時の注意点

図 4-7 のような発振回路を使用している場合は、発振インバータのドライブ能力が小さく、かつ、発振回路の出力波形が測定環境の負荷の影響を受けてしまうので、発振回路の次段のゲートへ正確に波形が伝わりません。

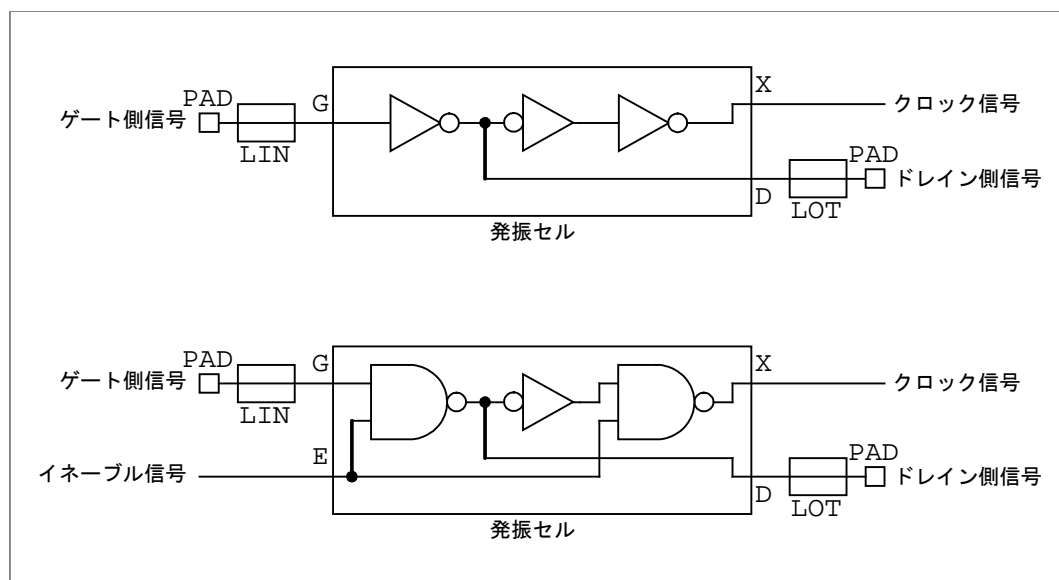


図 4-7 発振回路例

そこで、シミュレーションの状態を IC テスタで再現するために、逆ドライブ（ドレインに出力される信号と同じ位相の波形をドレイン端子に入力する）という処置を行っています。

発振インバータがインバータで構成されている場合は、ドレインから入力する信号はゲートに与えられている信号の逆位相を単純に入力すれば逆ドライブの信号を作り出せますが、NAND ゲートで構成されている場合（間欠発振または Gated-OSC と呼びます）は、ゲートの信号だけでは単純に判断できず、ドレイン端子の期待値をみて逆ドライブする波形を決定しています。

この方法では、入力波形が NRZ 波形で、ストロブがテストレートの最後であれば、ドレイン端子の期待値をそのまま入力波形にして、逆ドライブの波形を作り出せます。ところが、RZ 波形の場合はドレイン端子の期待値は発振状態も、発振停止状態も「H」または「L」に固定されてしまうので、ドレイン端子の期待値を見て逆ドライブの波形を決定することができません。

そこで、間欠発振を用いた回路の場合は、以下のことに注意して下さい。

1. 入力信号に RZ 波形の使用を禁止します。
2. イネーブル信号の変化でクロック信号を変化させないで下さい。

## 第4章 テストパターン作成上の注意

### 4.2.5 ハイ・インピーダンス状態の扱いに関する注意点

入力端子のハイ・インピーダンス状態は、動作を保証できないため、シミュレーション時に禁止事項としています。

また、ハイ・インピーダンスに関する対策としまして、プルアップ／プルダウン抵抗付きの I/O セルを用意しています。ただし、下記の理由からシミュレーションにおいてプルアップ／プルダウン抵抗については伝播遅延を考慮していません。したがって、正確な動作をシミュレーションできないことから、プルアップ／プルダウン抵抗付きの双方向端子の入力モードにおける未入力状態も、シミュレーション時に禁止事項としています。

プルアップ／プルダウン抵抗の伝播遅延を考慮していない理由について

- (1) 外部負荷容量により遅延が大きく変動するため
- (2) プルアップ／プルダウン抵抗は、ハイ・インピーダンス状態によるフローティングゲートを回避することのみを目的としているため

上記内容を、シミュレーション前にツールによりテストパターンのチェックを行います。ハイ・インピーダンス状態を表す“Z”が検出された場合には、テストパターンの修正が必要です。

この時、前記理由からプルアップ／プルダウン抵抗付きの双方向端子での“Z”も警告しています。また、オープンドレインの双方向端子も同様です。

<対策>

テストパターンのチェックで双方向端子のすべての“Z”をエラーで警告します。(3-state、オープンドレイン等の出力端子で表現される“Z”は除きます)

このエラーを回避する手段として、前記双方向端子の“Z”はプルアップ抵抗付きであれば“1”を、プルダウン抵抗付きであれば“0”に置き換えるユーティリティプログラムをご用意しています。

双方向端子において、“X”が表現されている時間に入力モードとなった場合は、プルアップ／プルダウン抵抗の有無に関わらず、シミュレーションでは“X”を入力信号として伝播し、シミュレーション結果には“?”を表示します。この“?”は修正いただき、改めてシミュレーションを行います。

表 4-1 シミュレーションにおける双方向端子の信号の扱いについて

入力パターン	入出力モード	シミュレーション	シミュレーション結果 (出力パターン)
“X”	入力モード	“X”	“?”
“1”、“H”	入力モード	“1”	“1”
“0”、“L”	入力モード	“0”	“0”

## 第 5 章 回路設計上の注意

発振回路、外部バスとの競合防止、メタステーブル対策での留意点について説明します。

### 5.1 発振回路

#### 5.1.1 発振回路の構成

S1X80000 シリーズおよび S1K80000 シリーズでは、発振回路を構成するための発振専用セルに、水晶発振用と CR 発振用を用意しています。水晶発振用には常時発振タイプと間欠発振タイプがあり、それぞれ内部セル領域に配置されるものと I/O セル領域に配置されるものがあります。発振回路構成は使用する発振セルにより以下ようになります。

待機時消費電流の観点より、間欠発振を推奨しています。

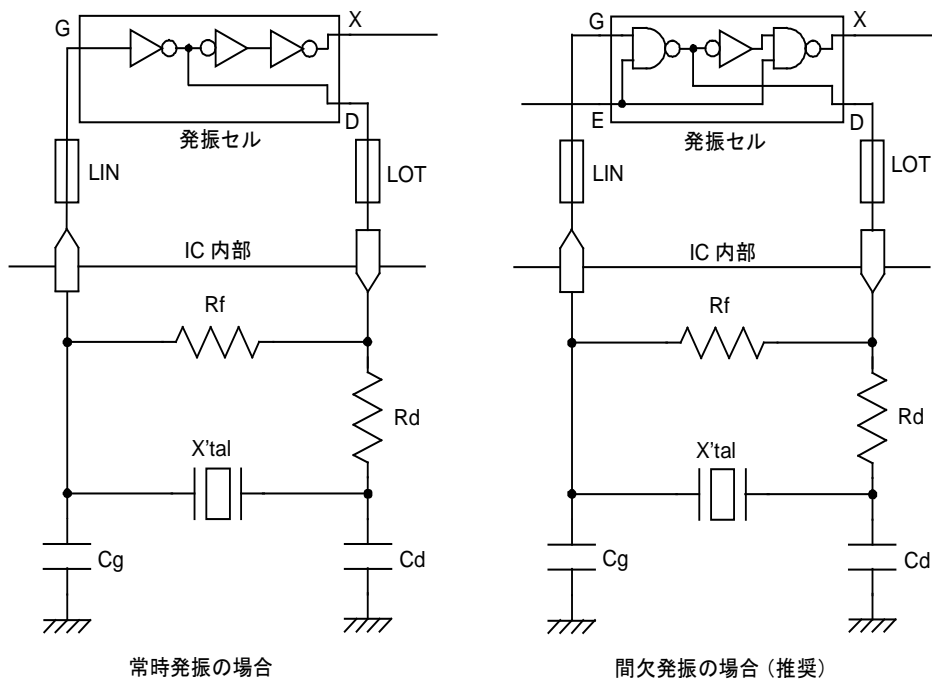


図 5-1 水晶発振回路（内部セルタイプ）

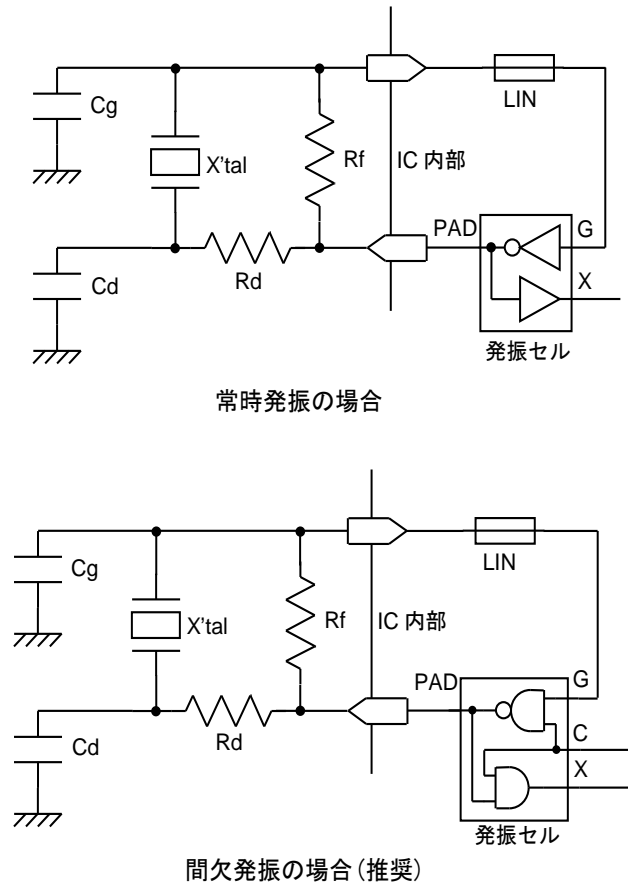
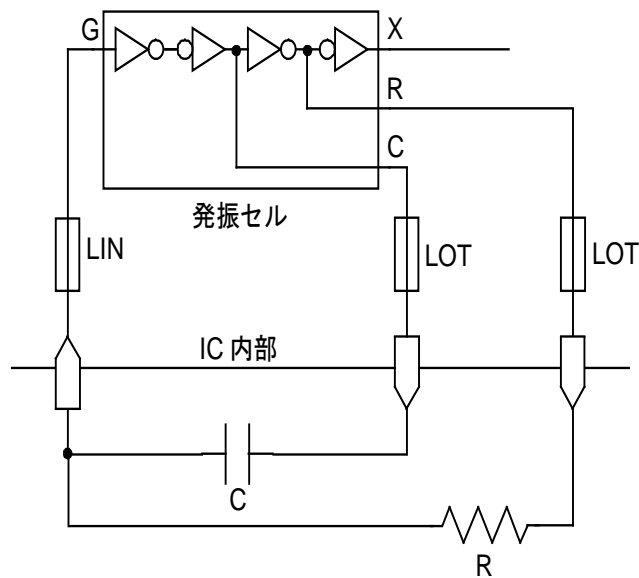


図 5-2 水晶発振回路 (I/O セルタイプ)



### 5.1.2 発振回路を使用する場合の注意

#### (1) 端子配列

- ① 発振回路の入出力端子は隣接させて配置し、その両側を電源端子 ( $V_{DD}$ 、 $V_{SS}$ ) を挟んで下さい。
- ② 発振回路の入出力端子は、他の出力端子から離して配置して下さい。特に、発振波形と同相あるいは逆相の出力からは離して配置して下さい。このような出力はパッケージの対辺に配置するようにして下さい。
- ③ 発振回路の入出力端子は、クロックなど高速で動作する入力端子から離して配置して下さい。
- ④ 発振回路の入出力端子はできるだけパッケージの辺の中心に配置して下さい。
- ⑤ 発振回路を複数搭載する場合は、干渉を避けるために発振回路は離して配置して下さい。
- ⑥ BGA 等エリアアレイパッケージを使用する場合の端子配列は弊社営業担当までお問い合わせ下さい。

#### (2) 発振セル選択の目安

発振可能周波数は、およそ数十 kHz～数十 MHz 程度です。詳細は弊社営業担当までお問い合わせ下さい。

#### (3) 外付け抵抗、コンデンサ値の設定

発振特性は、その回路の構成要素 (IC、 $X'$  tal、 $R_f$ 、 $R_d$ 、 $C_g$ 、 $C_d$ 、基板) に依存します。したがって、外付けの  $R_f$ 、 $R_d$  や  $C_g$ 、 $C_d$  の値は、実際の基盤上に各部品を実装させた状態で十分な評価を行い最適なものを選んで下さい。

#### (4) 保証のレベル

発振特性は、その回路の構成要素 (IC、 $X'$  tal、 $R_f$ 、 $R_d$ 、 $C_g$ 、 $C_d$ 、基板) に依存します。したがって、発振動作・特性についてはセイコーエプソンでは保証できません。発振特性についてはお客さまにおいて ES サンプルで十分な評価を行って確認していただく必要があります。

#### (5) IC 内部回路へのクロック信号について

生成されるクロック信号 (発振セル  $X$  の信号) の波形を予め特定することは困難であるため、クロックの周波数以外は論理シミュレータで正確に扱うことができません。例えば、実際の IC でのクロックデューティはシミュレーション結果と異なります。

よって、生成されたクロック信号の立上りと立下りの両方を利用した回路を使用することは避けて下さい。シミュレータでの検証結果と一致しないような不具合を持った回路ができる可能性があります。生成されたクロック信号の立上りあるいは立下りのいずれか一方を利用した回路を使用して下さい。

### 5.1.3 発振セルの RTL 記述について

発振セルの RTL 記述については、「第 2 章 2.6 発振セルの記述」を参照して下さい。

5.1.4 発振回路使用時のテストパターンについて

図 5-4 のような発振回路を使用している場合は、発振インバータのドライブ能力が小さく、かつ、発振回路の出力波形が測定環境の負荷の影響を受けてしまうので、発振回路の次段のゲートへ正確に波形が伝わりません。

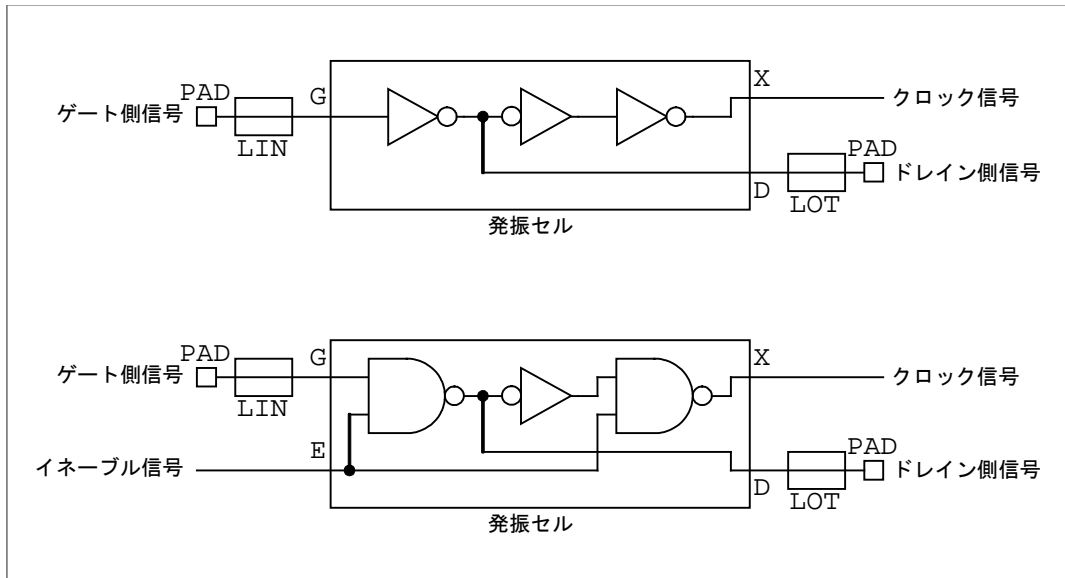


図 5-4 発振回路例

そこで、シミュレーションの状態を IC テスタで再現するために、逆ドライブ（ドレインに出力される信号と同じ位相の波形をドレイン端子に入力する）という処置を行っています。

発振インバータがインバータで構成されている場合は、ドレインから入力する信号はゲートに与えられている信号の逆位相を単純に入力すれば逆ドライブの信号を作り出せますが、NAND ゲートで構成されている場合（間欠発振または Gated-OSC と呼びます）は、ゲートの信号だけでは単純に判断できず、ドレイン端子の期待値をみて逆ドライブする波形を決定しています。

この方法では、入力波形が NRZ 波形で、ストロブがテストレートの最後にあれば、ドレイン端子の期待値をそのまま入力波形にして、逆ドライブの波形を作り出せます。ところが、RZ 波形の場合はドレイン端子の期待値は発振状態も、発振停止状態も「H」または「L」に固定されてしまうので、ドレイン端子の期待値を見て逆ドライブの波形を決定することができません。

そこで、間欠発振を用いた回路の場合は、以下のことに注意して下さい。

1. 入力信号に RZ 波形の使用を禁止します。
2. イネーブル信号の変化でクロック信号を変化させないで下さい。



## 5.2 内部バスの構成

バス回路は 3-state 論理回路で構成され、バスの制御信号を操作することによって、バスに接続されている出力の 1 つをアクティブ状態にして（他の出力はハイ・インピーダンス状態）、1 本の伝送信号線を時間ごとに分割して共有するものです。

ここでは、内部トライステートバッファを使用し、構築する内部バス回路の注意点について記します。

- (1) バスセルはバス回路以外に使用できません。（バスセルは表 5-1 を参照して下さい）
- (2) バス回路を構成する場合は、バスラッチセル BLT\* をバスに付加して下さい。
- (3) 1 本のバスに接続されるバスセルの中で、アクティブ状態（0 または 1）にできるものは 1 出力だけで他のバスセルの出力は必ずハイ・インピーダンス状態（Z）でなければなりません。<sup>\*1</sup>
- (4) 1 本のバスに接続できるバスセルは Fan-Out 制限値以内として下さい。<sup>\*2</sup>
- (5) バス回路は Fan-Out の関係からも伝播遅延時間が大きくなる傾向にあり、高速動作には不向きとなります。<sup>\*2</sup>
- (6) バスラッチセルにより保持されるデータは、フローティング防止のみとし、論理信号として使用しないで下さい。<sup>\*3</sup>
- (7) テストパターン作成時においてバスの初期状態が容易に定まるように作成して下さい。<sup>\*4</sup>
- (8) 1 サイクル内で、バスの制御信号切り換えは 1 回のみとして下さい。

注) \*1：1 本のバスに接続されるバスセルの中で、同時に複数のバスセルがアクティブ状態（0 または 1）になる状態では、出力の電位が不安定な状態になるとともに、 $V_{DD}$ ～GND 間に定常的に貫通電流が流れてしまいますので、この制限事項を必ず守って下さい。

\*2：内部バス上の負荷が過大すぎますと配線長の増大、接続先の増加により、信号の立ち上がり、立ち下がり時間が増加し、論理シミュレーションでの遅延時間と実デバイスの遅延時間に差が生じやすくなります。

\*3：1 本のバスに接続されるバスセルが、すべてハイインピーダンス状態（Z）となっても、バスラッチセルによりデータは保持されますが、動作時に影響を与えぬように保持能力は抑えてあります。保持されているデータ出力を有効なデータとして使用しないで下さい。

\*4：バスの制御性が高まるようテスト端子を付加するなどし、テスト性を向上するように構成して下さい。

表 5-1 バスセル一覧

セルタイプ	セル名	
	1BIT	4BIT
Bus latche	CTX_BLT1	CTX_BLT4
Bus driver	CTX_TSBX2、CTX_TSBX4、CTX_TSBPX2	—
Inverting bus driver	CTX_TSVX2、CTX_TSVX4、CTX_TSVPX2	—

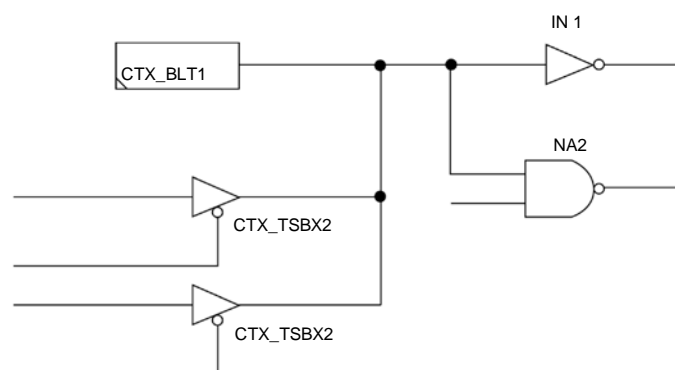


図 5-5 バスセル回路構成例

### 5.3 外部バスとの競合防止

S1X80000 および S1K80000 シリーズと他の IC を使用するシステム上で、それらがバス構成により接続される場合は、内部バスの構成の項に記載の注意事項の他に、プルアップ／プルダウン抵抗の設置などの対策を講じて下さい。なお、外部バスのフローティングを防止するために、プルアップ／プルダウン抵抗付き入出力バッファを使用することもできます。（「第 6 章 入出力バッファの種類と仕様上の注意」参照）

未対策で使用されますと、場合によっては入力レベルが定まらないために、ファンクション不良や入力リーク電流増加の原因になりますのでご注意ください。

## 5.4 メタステーブル (Metastable)

FF やラッチセルの入力信号において、クロックとデータのセットアップ、ホールド時間、クロックとセットあるいはリセットのリリース、リムーバル時間のタイミング規格に違反している場合、FF やラッチセルの出力信号は、ある一定の時間、発振または、“HIGH” レベルでも “LOW” レベルでもない中間電位になる可能性があります。このような出力信号の不安定な状態をメタステーブル (Metastable) と呼びます。

メタステーブル状態は、ある時間経過後に終了し、出力は “HIGH” あるいは “LOW” レベルの状態に確定します。しかし、確定したレベルはデータの入力のレベルには依存しませんので、出力は不定状態となります。

セットアップ／ホールド、リリース／リムーバルのタイミングの規格が満足できない場合は、回路全体にこのような不安定な状態が伝播しないような回路上の対策をとって下さい。

セットアップ／ホールド、リリース／リムーバル時間の規格値を満足できなかった場合のメタステーブル時間の目安値を、次のように定義しています。

$$\text{メタステーブル時間} = T_{pd} \times 6$$

$T_{pd}$  : FF、ラッチセルのクロック、セット、リセット信号のアクティブエッジから出力変化までの遅延時間

なお、論理シミュレーションではこのようなメタステーブル状態での遅延値は考慮されませんので、必ずタイミング規格を満足した設計をして下さい。

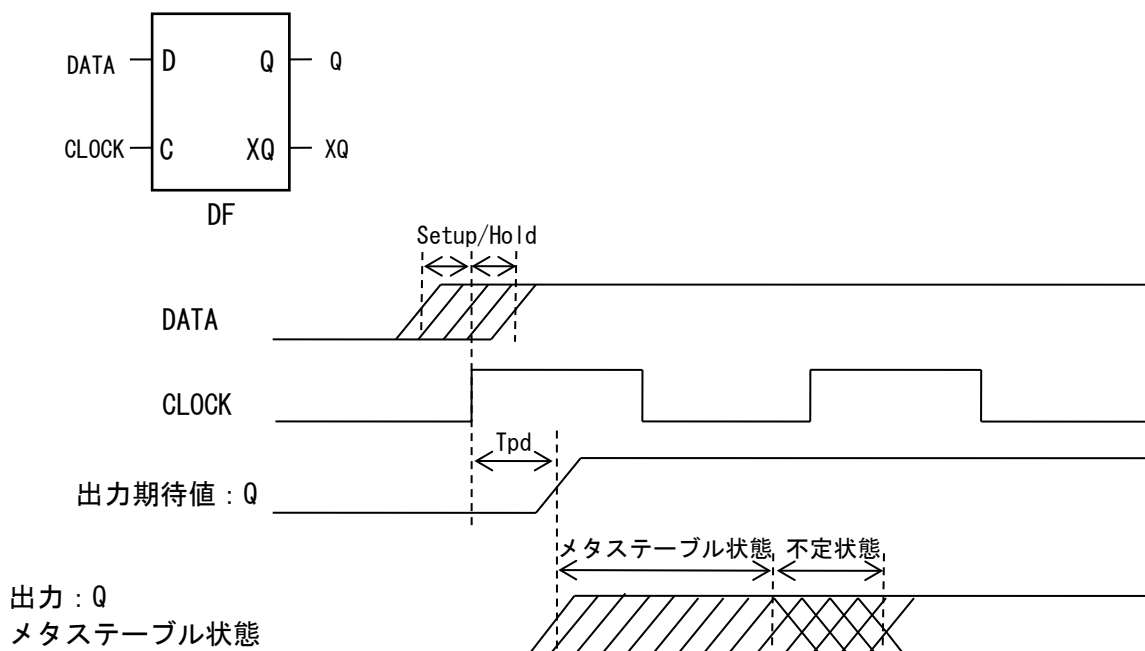


図 5-6 DF のメタステーブル状態

## 第6章 入出力バッファの種類と使用上の注意

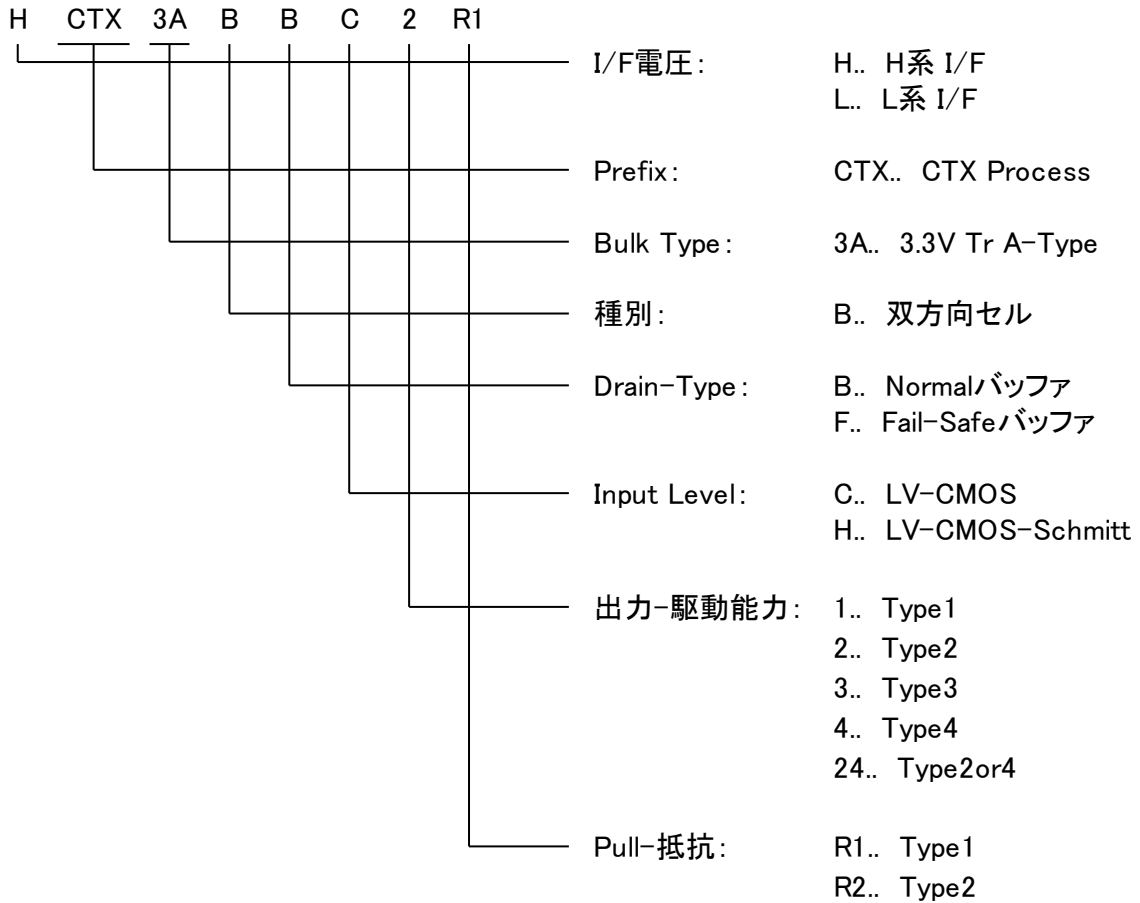
### 第6章 入出力バッファの種類と使用上の注意

S1X80000 および S1K80000 シリーズは、電源電圧および入出力電圧に依り入出力バッファを選択して頂くことになります。

電源配置および電源数については「第7章 端子配置の注意」を参照下さい。

電源位置については開発着手時に端子配列表として連絡を下さい。1.4 開発フローを参照下さい。

#### 6.1 入出力バッファ命名ルール



6.2 入出力バッファ H系セル一覧

表 6-1 入出力バッファ H系セル一覧

Power-Supply	Drain-Type	Pull-Up/Down Resi.	Input-Level	駆動能力	Cell Name
HVDD系	Normal	Type1	LVCMOS	Type1	HCTX3A_BBC1R1
				Type2	HCTX3A_BBC2R1
				Type3	HCTX3A_BBC3R1
			Type4	HCTX3A_BBC4R1	
			Type2-4	HCTX3A_BBC24R1	
			Type1	HCTX3A_BBH1R1	
		LVCMOS-Schmitt	Type2	HCTX3A_BBH2R1	
			Type3	HCTX3A_BBH3R1	
			Type4	HCTX3A_BBH4R1	
		Type2-4	HCTX3A_BBH24R1		
		Type2	LVCMOS	Type1	HCTX3A_BBC1R2
				Type2	HCTX3A_BBC2R2
	Type3			HCTX3A_BBC3R2	
	Type4		HCTX3A_BBC4R2		
	Type2-4		HCTX3A_BBC24R2		
	LVCMOS-Schmitt		Type1	HCTX3A_BBH1R2	
		Type2	HCTX3A_BBH2R2		
		Type3	HCTX3A_BBH3R2		
	Type4	HCTX3A_BBH4R2			
	Type2-4	HCTX3A_BBH24R2			
	Fail-Safe	Type1	LVCMOS	Type1	HCTX3A_BFC1R1
				Type2	HCTX3A_BFC2R1
				Type3	HCTX3A_BFC3R1
			Type4	HCTX3A_BFC4R1	
Type2-4			HCTX3A_BFC24R1		
LVCMOS-Schmitt			Type1	HCTX3A_BFH1R1	
		Type2	HCTX3A_BFH2R1		
		Type3	HCTX3A_BFH3R1		
Type4		HCTX3A_BFH4R1			
Type2-4		HCTX3A_BFH24R1			
Type2		LVCMOS	Type1	HCTX3A_BFC1R2	
			Type2	HCTX3A_BFC2R2	
	Type3		HCTX3A_BFC3R2		
	Type4	HCTX3A_BFC4R2			
	Type2-4	HCTX3A_BFC24R2			
	LVCMOS-Schmitt	Type1	HCTX3A_BFH1R2		
Type2		HCTX3A_BFH2R2			
Type3		HCTX3A_BFH3R2			
Type4	HCTX3A_BFH4R2				
Type2-4	HCTX3A_BFH24R2				

- ・ プルアップ/プルダウン規格 Type1、Type2 の値は「表 6-2」を参照してください。
- ・ LVCMOS、LVCMOS-Schmitt 電気的特性は「第 1 章 表 1-4」を参照してください。
- ・ 駆動能力 Type1、Type2、Type3、Type4、Type2-4 の値は「表 6-3」を参照してください。

### ※ L系セル (LV<sub>DD</sub>=1.8V) 入出力バッファを使用されるお客さま

入出力バッファとして LV<sub>DD</sub>=1.8V系を使用されたい場合、「入出力バッファ L系セル」を選択していただくこととなります。LV<sub>DD</sub>系の入出力バッファには1.8Vの信号を入力し、1.8V振幅の信号を出力することのできる双方向バッファ仕様を指しています。

入出力バッファ LV<sub>DD</sub>=1.8V入出力バッファを使用されるお客さまは、弊社営業まで連絡下さい。

## 6.3 入出力バッファの選択

### 6.3.1 V<sub>DD</sub>=3.3V 単一電源対応

V<sub>DD</sub>=3.3V 単一電源仕様とされるお客さまは、「表 6-1 入出力バッファ H系セル一覧」より選択してください。

### 6.3.2 2電源対応 (HV<sub>DD</sub>/LV<sub>DD</sub>=3.3V/1.8V 対応)

HV<sub>DD</sub>/LV<sub>DD</sub>=3.3V/1.8Vの2電源仕様とされるお客さまは、「表 6-1 入出力バッファ H系セル一覧」より選択してください。

※ 内部領域でアナログマクロを搭載し、入出力信号のバッファについては「6.6 アナログ入出力バッファ」を参照下さい。

## 6.4 プルアップ、プルダウン抵抗 規格値

H 系セルにおける、プルアップ、プルダウン抵抗の規格値を表 6-2 に示します。  
特性値については 付録 A5.7 「プルアップ／プルダウン特性」を参照ください。

表 6-2 プルアップ、プルダウン抵抗 規格値

( $HV_{DD}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim 85^{\circ}C$ )

プルアップ／プルダウン 抵抗の種類	規格値			単位
	Min.	Typ.	Max.	
Type 1	20	50	120	kΩ
Type 2	40	100	240	kΩ

注) \*1 プルアップ抵抗 条件 :  $V_i=0V$   
\*2 プルダウン抵抗 条件 :  $V_i=HV_{DD}$

## 6.5 出力バッファ駆動能力

H 系セルにおける、高レベル出力電圧  $I_{OH}$ 、低レベル出力電圧  $I_{OL}$  の規格値を表 6-3 に示します。  
特性値については、付録 A5.2 「出力ドライバ特性」を参照ください。

表 6-3  $I_{OH}$ 、 $I_{OL}$  の各電圧における規格値

( $HV_{DD}=\text{Min.}$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim 85^{\circ}C$ )

出力電流の種類	$I_{OH}^{*1}/I_{OL}^{*2}$ 規格値	単位
Type 1	-2/2	mA
Type 2	-4/4	mA
Type 3	-8/8	mA
Type 4	-12/12	mA
Type2-4* <sup>3</sup>	-4/4 or -12/12	mA

注) \*1  $I_{OH}$  条件 :  $V_{OH}=HV_{DD}-0.4V$   
\*2  $I_{OL}$  条件 :  $V_{OL}=0.4V$   
\*3 Type2 または Type4 を選択可

### 6.6 アナログ入出力バッファ

アナログマクロを搭載する場合、入出力バッファとして「スルー入力バッファ」および「スルー出力バッファ」を選択します。

#### 6.6.1 スルー入力バッファ

表 6-4 アナログ入出力バッファ スルー入力 セル一覧

Power-Supply	Cell Name	ESD 保護素子	ESD 保護抵抗
HVDD 系	HCTX3A_LIN	GCD	167Ω
LVDD 系	LCTX3A_LIN	SCR+GCD	167Ω

#### 6.6.2 スルー出力バッファ

表 6-5 アナログ入出力バッファ スルー出力 セル一覧

Power-Supply	Cell Name	ESD 保護素子	ESD 保護抵抗
HVDD 系	HCTX3A_LOT	GCD	167Ω
LVDD 系	LCTX3A_LOT	SCR+GCD	167Ω



## 6.7 2 電源使用時の注意

S1X80000 および S1K80000 シリーズで2電源 (HV<sub>DD</sub>/LV<sub>DD</sub>=3.3V/1.8V) を供給することにより、入出力バッファ 3.3V の信号とのインタフェースを可能にしています。いずれのシリーズも内部セル/内部ロジック領域は1.8Vの電源で動作します。

### 6.7.1 2 電源使用時の電源

異なる2種類の電源を与える場合には、HV<sub>DD</sub>とLV<sub>DD</sub>の2つの電源セルを用います。HV<sub>DD</sub>はHV<sub>DD</sub>系の入出力バッファの電源として使い、LV<sub>DD</sub>はLV<sub>DD</sub>系入出力バッファと内部領域内セル用に使用します。電源電圧は常に次式を満たすことが必要です。

$$HV_{DD} \geq LV_{DD}$$

HV<sub>DD</sub><LV<sub>DD</sub>となる場合の動作保証はできませんので注意してください。動作条件として次の仕様条件となります。

\* HV<sub>DD</sub>=3.3V、LV<sub>DD</sub>=1.8V

### 6.7.2 2 電源の投入・切断順序

2電源仕様の場合は、下記の順序で電源投入・切断を行ってください。

電源投入時：LV<sub>DD</sub>（内部領域）オン→HV<sub>DD</sub>（入出力バッファ）オン→入力信号オン

電源切断時：入力信号オフ→HV<sub>DD</sub>（内部領域）オフ→LV<sub>DD</sub>（内部領域）オフ

注1) LV<sub>DD</sub>が切断されている状態でHV<sub>DD</sub>のみを継続的（1sec以上）に印加することは、ICの信頼性上の問題が生じますので避けてください。また、1sec以内であっても、下記のような問題を引き起こす事があります。

- (1) この期間は端子状態が不定となり、動作を保証することができません。そのため、その端子に接続された外部デバイスとの出力ショートや外部デバイスの誤動作を起こす原因となりますので、ご注意ください。
- (2) この期間はHV<sub>DD</sub>系の回路が不定状態となり、HV<sub>DD</sub>系に定義できない貫通電流が流れる事があります。そのため、外部電源の電流容量不足によって起動できない原因となる場合がありますのでご注意ください。

注2) HV<sub>DD</sub>をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず回路の初期化を行ってください。

### 6.8 Fail-Safe バッファ

#### 6.8.1 概要

S1X80000/S1K80000 シリーズの Fail-Safe バッファは、電源電圧以上の信号を、インタフェースすることが可能です。また、電源がカットオフされた状態のまま信号をインタフェースしても Fail-Safe バッファでのリーク電流以外の大きな電流は流れません。

#### 6.8.2 特長

- ① 電源が印加されている状態で、電源電圧以上の入力信号が印加されても、Fail-Safe バッファでの入力リーク電流以外の大きな電流は流れません。
- ② プルアップ抵抗が Active 状態では、回路の構成上、30 $\mu$ A (3V-I/O) 程度の電流が発生します。
- ③ プルアップ抵抗が Disable 時は、入力リーク電流以上の大きな電流は流れません。
- ④ 電源 Cut-off した状態で、外部から入力信号が印加されても、Fail-Safe バッファでの入力リーク電流以外の大きな電流は流れません。

#### 6.8.3 使用上の注意点

- ① 入力モードの状態であれば、電源電圧が印加された状態で、電源電圧以上の入力信号が入力されても入力リーク電流以外の大きな電流は流れません。
- ② High 出力時に電源電圧以上の信号が入力された場合は、通常の入出力バッファと同様に比較的大きな電流が流れます。これは外部に電源電圧以上のプルアップ抵抗が存在している場合も同様ですので、注意してください。
- ③ IC 動作電圧以上の電圧レベルの信号を受けることができますが、Fail-Safe バッファに印加できる信号電圧は、絶対最大定格を超えることはできませんので注意してください。

## 第7章 端子配置の注意

端子配置の注意点および電源追加について説明します。

### 7.1 電源端子数の見積り

電源端子数は IC の消費電力、入出力バッファでの出力バッファ動作数によって、必要な本数を見積る必要があります。特に出力バッファ駆動回路で、そのスイッチング時に大きな過渡電流が流れます。この過渡電流は、出力バッファの駆動能力が大きいタイプのものほど大きくなります。

ICに必要な電源端子の数を消費電流との関係で見積ると以下ようになります。

#### 7.1.1 単一電源の場合

消費電流を  $I_{DD}$  [mA] とすると、この消費電流との関係で電源端子数を見積ると、以下のようになります。

$$N_{IDD} \geq I_{DD} \div 30 \text{ (対)} : V_{DD} \text{ 端子と } V_{SS} \text{ 端子を 1 対として、1 対あたり 30mA の供給が可能}$$

注) 1 : 電源端子対は最低でも各辺 1 対の 4 対以上は挿入してください。

$I_{DD}$  …「第9章 消費電力の見積り」を基に得られた消費電力を動作電圧で割った値となります。

2 : 入出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。

#### 7.1.2 2電源の場合

2電源仕様の場合も電源 (HV<sub>DD</sub>系、LV<sub>DD</sub>系の電源両方) 1対あたりに流せる許容電流の大きさは単一電源の場合と同様です。必要な電源対の数はHV<sub>DD</sub>系とLV<sub>DD</sub>系で分けて求めてください。

##### (1) HV<sub>DD</sub>電源端子数

HV<sub>DD</sub>系の消費電流を  $I_{DD}(\text{HV}_{DD})$  [mA] とすると、この消費電流  $I_{DD}(\text{HV}_{DD})$  のための電源端子数  $N_{IDD}(\text{HV}_{DD})$  は、

$$N_{IDD}(\text{HV}_{DD}) \geq I_{DD}(\text{HV}_{DD}) / 30 : 1 \text{ 端子あたり 30mA の供給が可能}$$

##### (2) LV<sub>DD</sub>電源端子数

LV<sub>DD</sub>系の消費電流を  $I_{DD}(\text{LV}_{DD})$  [mA] とすると、この消費電流  $I_{DD}(\text{LV}_{DD})$  のための電源端子数  $N_{IDD}(\text{LV}_{DD})$  は、

$$N_{IDD}(\text{LV}_{DD}) \geq I_{DD}(\text{LV}_{DD}) / 30 : 1 \text{ 端子あたり 30mA の供給が可能}$$

##### (3) V<sub>SS</sub>電源端子数

$$N_{IDD}(V_{SS}) \geq [I_{DD}(\text{HV}_{DD}) + I_{DD}(\text{LV}_{DD})] / 30 : 1 \text{ 端子あたり 30mA の供給が可能}$$

注) 1 : 電源端子 HV<sub>DD</sub>、LV<sub>DD</sub>、V<sub>SS</sub>はいずれも、最低でも各辺 1 端子の 4 端子以上は挿入してください。

$I_{DD}$ …「第9章 消費電力見積り」を基に得られた消費電力を動作電圧で割った値となります。

## 第7章 端子配置の注意

---

2: 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせください。

3: 出力の同時変化に対する電源追加は HV<sub>DD</sub> 系出力バッファと LV<sub>DD</sub> 系出力バッファとで区別し、各々の電源系に対し HV<sub>DD</sub>、LV<sub>DD</sub>、V<sub>SS</sub> 端子の追加を行ってください。

### 7.1.3 電源端子数の計算例

第9章を基に得られた消費電力で、下記の値の IC で電源端子数の見積りを行います。

- 電源電圧 : HV<sub>DD</sub> / LV<sub>DD</sub> = 3.3V / 1.8V
- 消費電力 : P (HV<sub>DD</sub>) = 333 [mW]  
P (LV<sub>DD</sub>) = 696 [mW]

#### (1) HV<sub>DD</sub> 電源端子数の見積り

HV<sub>DD</sub> 電源端子数を N<sub>I<sub>DD</sub></sub> (HV<sub>DD</sub>) とすると

$$\begin{aligned} N_{I_{DD}} (HV_{DD}) &= 333 \text{ [mW]} \div 3.3 \text{ [V]} \div 30 \text{ [mA]} \\ &= 3.36 \text{ [本]} \end{aligned}$$

電源端子は最低でも各辺1端子の挿入になりますので、HV<sub>DD</sub> 電源端子の本数は4本となります。

#### (2) LV<sub>DD</sub> 電源端子数の見積り

LV<sub>DD</sub> 電源端子数を N<sub>I<sub>DD</sub></sub> (LV<sub>DD</sub>) とすると

$$\begin{aligned} N_{I_{DD}} (LV_{DD}) &= 696 \text{ [mW]} \div 1.8 \text{ [V]} \div 30 \text{ [mA]} \\ &= 12.88 \text{ [本]} \end{aligned}$$

したがって、LV<sub>DD</sub> 電源端子の本数は13本となります。

#### (3) V<sub>SS</sub> 電源端子数の見積り

V<sub>SS</sub> 電源端子数を N<sub>I<sub>DD</sub></sub> (V<sub>SS</sub>) とすると

$$\begin{aligned} N_{I_{DD}} (V_{SS}) &= \{ 333 \text{ [mW]} \div 3.3 \text{ [V]} + 696 \text{ [mW]} \div 1.8 \text{ [V]} \} \div 30 \text{ [mA]} \\ &= 16.22 \text{ [本]} \end{aligned}$$

したがって、V<sub>SS</sub> 電源端子の本数は17本となります。

(ただし、V<sub>SS</sub> については、HV<sub>DD</sub> 電源端子、LV<sub>DD</sub> 電源端子と対に配置することを推奨いたします。)

最終的な、それぞれの端子数は、

HV <sub>DD</sub> 電源端子	: 4本
LV <sub>DD</sub> 電源端子	: 13本
V <sub>SS</sub> 電源端子	: 17本

となります。

## 7.2 端子配置上の注意

端子配置については、開発着手依頼書と一緒に、端子配列を記述した“端子配列表”（フォーマットはフリー）をセイコーエプソンに提出して下さい。弊社でお客さまより受領した“端子配列表”にしたがって配置配線を行います。

端子配置についての注意事項を以下に説明します。

### 7.2.1 固定電源端子

パッケージの組み合わせにより、電源にしか使用できない端子があります。端子の固定方法も  $V_{DD}$  固定、 $V_{SS}$  固定があります。使用するパッケージが決まりましたら、弊社営業担当までご確認下さい。

### 7.2.2 端子配列上の注意事項

端子配列は IC の論理機能や電気的特性に影響をおよぼすことがあります。更に IC の組立上あるいはマクロやバルクの構成上等によって、端子の配置に制約がある場合があります。そこで端子配列を検討する上で注意を必要とする電源電流、入力バッファ機能用としてのバッファ、出力バッファ機能用としてのバッファの分離、クリティカル信号、プルアップ／プルダウン抵抗入力、出力同時動作、大電流ドライバなどの項目について説明します。

#### (1) 電源電流 ( $I_{DD}$ 、 $I_{SS}$ )

電源電流 ( $I_{DD}$ 、 $I_{SS}$ ) は、動作状態において電源端子に流れる電源の許容値を規定しています。この許容値を超えた電流が流れると、IC 内部の電源配線の電流密度が高くなりすぎ、IC の信頼性の低下や破壊を起こす場合があります。また、IC 内部の電圧が電流と配線抵抗により、発生する電圧分だけ上昇または下降してしまいます。これによりファンクションの誤動作を招いたり、DC、AC 特性の悪影響をおよぼします。

これらの問題を避けるために電流密度や電源配線のインピーダンスを下げる必要があります。そのためには、回路を設計する際に消費電力を見積り、各電源端子に流れる電流が許容値を超えないような電源端子数を確保する必要があります。電源端子については、「第 7 章 7.1 電源端子数の見積り」を参照して下さい。また、この電源端子は一箇所に集中させず、分散させて配置して下さい。

ただし、最終的な電源端子数は上記による電源端子に加えて、ノイズ対策等のための追加電源端子数を合わせた電源端子数が必要となることもあります。

## 第7章 端子配置の注意

### (2) 出力バッファ回路の動作によって発生するノイズ

出力バッファ回路の動作によって発生するノイズは大きく分けて以下の二つに分類されます。これらのノイズを低減させるには、できるだけ多くの電源を設けることが対策となります。

#### ① 電源ラインに発生するノイズ

電源ラインに発生するノイズは出力が多数動作した場合に問題となり、ICの入カスレッシュホールドレベルの変化を起こし、誤動作の原因となります。この電源ラインのノイズは、出力バッファ回路の同時動作によって大きな電流が電源ラインに流れることによって発生します。

電源ノイズは特にインダクタンス成分が影響します。したがって、ICの等価回路は図7-1のように表すことができます。この回路図で出力が High → Low に変化したときには出力端子から電流がIC内部に流れ込み、ICのパッケージ等による等価インダクタンス  $L2$  を通じて電流が流れます。このとき、等価インダクタンス  $L2$  によってIC内部の  $V_{SS}$  電源ラインの電圧が変化します。この  $V_{SS}$  電源ラインの電圧変動が電源ラインに発生するノイズです。この電源ラインに発生するノイズは、主に等価インダクタンス  $L2$  によって発生するので、電源電流が急激であるほど大きなノイズが発生します。

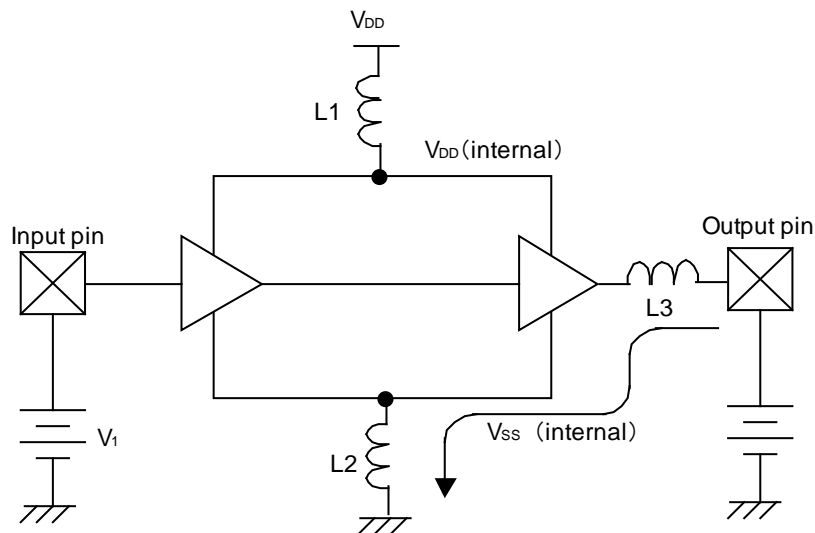


図 7-1 ICの等価回路

#### ② オーバーシュート、アンダーシュートおよびリングング

オーバーシュート、アンダーシュートおよびリングングといったノイズは出力端子についている等価インダクタンスによって発生します。図7-1の  $L3$  がこの等価インダクタンスです。インダクタンスはエネルギーを蓄える性質があるため、出力が Low または High になっても蓄えられたエネルギーによってオーバーシュート、アンダーシュートは流れる電流の大きさ、および電流の変化率に比例します。

オーバーシュート、アンダーシュートを小さくするには駆動能力の小さい出力セルを使用するのが最も効果的で、負荷容量が大きくなるとオーバーシュート、アンダーシュートは小さくなる傾向にあります。したがって、特に駆動能力の大きいセルを使用するときには注意が必要です。

## (3) 入力端子、出力端子の分離

端子配列上で入力状態端子のグループと出力状態端子のグループから分離することは、ノイズの影響を軽減させることが可能です。

入力バッファ回路はノイズの影響を受けやすいので、できる限り出力状態と混在させず、入力状態端子群 (Input pins)、出力状態端子群 (Output pins) それぞれを電源端子 ( $V_{DD}$ 、 $V_{SS}$ ) で分けて配置してください。

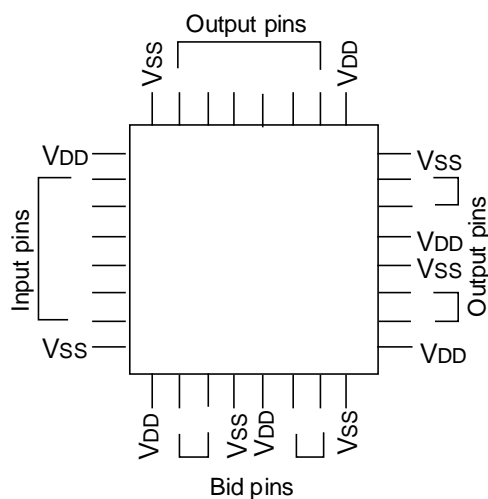


図 7-2 入力状態端子、出力状態端子の分離例

## 第7章 端子配置の注意

### (4) クリティカル信号

クロックの入力状態端子や高速で動作する出力状態端子などのクリティカル信号については、以下の点に注意して端子の配置を行ってください。

- クロック系、リセット系などのノイズの影響を小さくする必要のある端子は、出力状態端子から離し電源端子の近くに配置してください。（図 7-3）
- 発振回路の入出力端子（OSCIN、OSCOUT）はお互い近くに配置し、電源端子（ $V_{DD}$ 、 $V_{SS}$ ）で挟んでください。また、発振回路と同期する出力状態端子を近くに配置しないでください。（図 7-4）
- 高速で動作する入力、出力バッファはチップ（パッケージ）辺中央付近に配置してください。（図 7-3）
- 特定の入力バッファから出力バッファまでの遅延値がお客さまの仕様に対し余裕がない場合には、これらの端子を近傍に配置してください。（図 7-3）

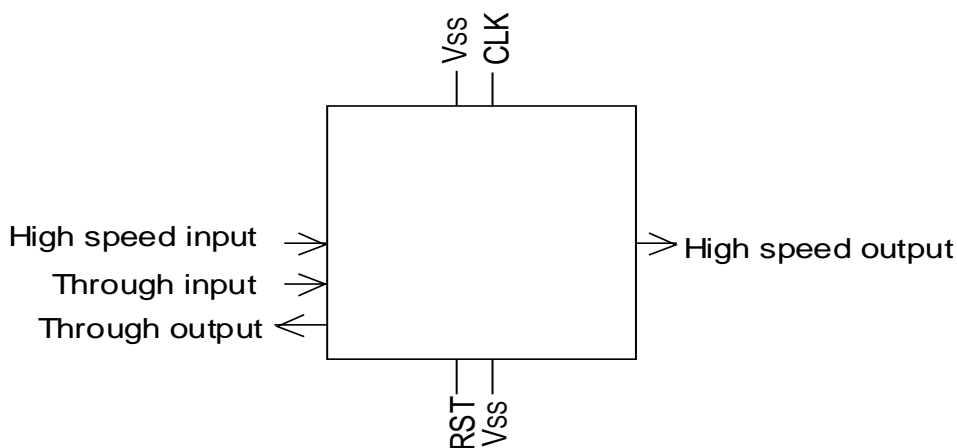


図 7-3 クリティカル信号配置例 1

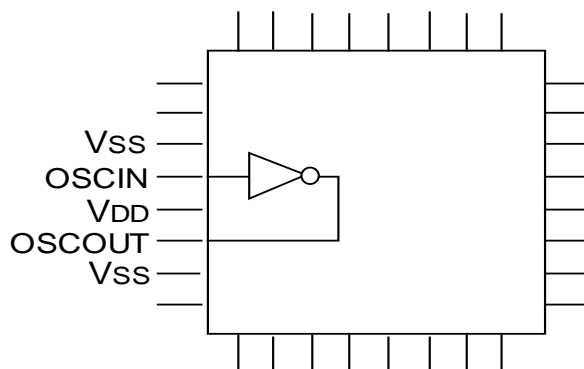


図 7-4 クリティカル信号配置例 2



(5) プルアップ／プルダウン抵抗入力

プルアップ／プルダウン抵抗値は、約数十 k $\Omega$ ～数百 k $\Omega$ と比較的大きく、その構造上電源電圧に依存性があります。

したがって、テスト端子としての使用目的等で解放状態で使用する場合には、電源ノイズ等の影響を受けやすくなり、誤動作の原因の1つとなる場合がありますので、次の点に注意してください。

- ① 高速入力信号端子（クロック入力端子等）からなるべく離して配置してください。（図 7-5）
- ② 出力信号端子（特に大電流出力端子）から離して配置してください。（図 7-6）

なお、配置上の注意以前に、次の点に関しても併せてご検討ください。

- 可能な限り基板（PCB）上でプルアップ／プルダウンの処理を行ってください。
- なるべく抵抗値の小さいものを選択してください。

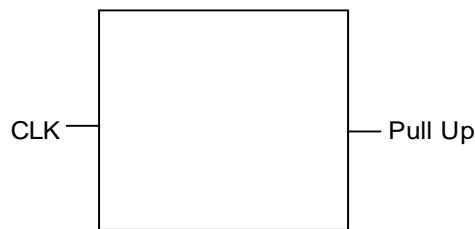


図 7-5 プルアップ、プルダウン配置例 1

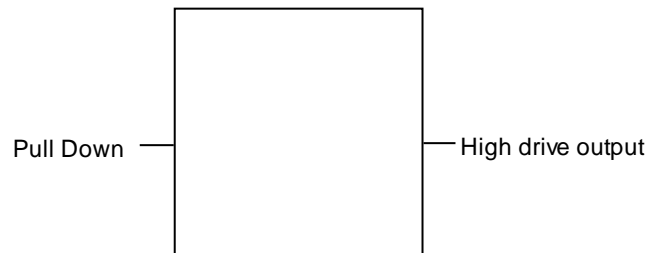


図 7-6 プルアップ、プルダウン配置例 2

## 第7章 端子配置の注意

### (6) 出力同時動作

複数の出力端子が同時変化するさいにノイズが発生し、IC が誤動作を起こすことがあります。出力端子を同時に多数動作させる場合には、このノイズによる誤動作を防ぐために同時変化する出力端子群に電源端子を追加してください。(図 7-7)

出力バッファ同時動作と電源追加の計算例については、付録 A6「同時動作と電源追加」を参照ください。

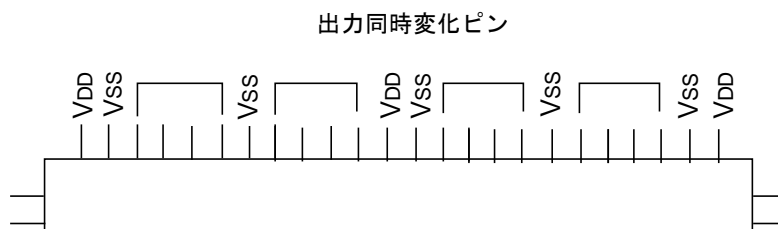


図 7-7 電源端子の追加例

ノイズを低減するために、一方の出力セル群の前段にディレイ用のセルを追加することにより、出力セルの同時変化を減らすことができノイズも低減できます。(図 7-8)

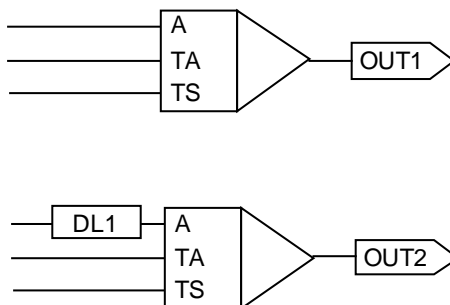


図 7-8 電源端子の追加例

## (7) 大電流ドライバ

大電流ドライバ ( $I_{OL}=12\text{mA}$ ) の出力を使用するさいには、以下の制約を守り端子の配置を行ってください。

## • 電源強化の制約

大電流ドライバはドライブ能力が大きいため、出力バッファの動作時に発生するノイズの量も大きくなります。このノイズにより IC が誤動作することがあります。

大電流ドライバを使用する場合には、その端子付近に電源端子を配置し、大電流ドライバ用の電源を確保してください。(図 7-9)

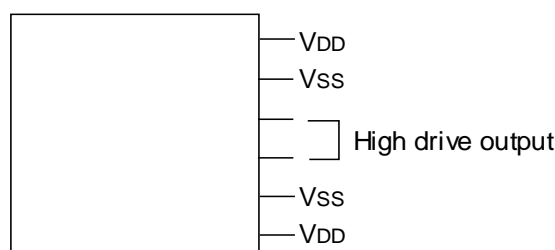


図 7-9 電源強化例

## (8) その他の注意事項

端子の配置を決定していただく際の注意点

## ① NC 端子 (non-connection)

通常、NC 端子については、基板上ではオープンにしておいてください。なお、プリント基板に実装する場合などで、NC 端子に接続を行う場合は、必ず  $V_{SS}$  (GND) に接続を行ってください。

NC 端子を信号配線あるいは  $V_{DD}$  ( $HV_{DD}$  あるいは  $LV_{DD}$ ) に接続した場合、チップ内でリーク電流が発生してしまう場合があります。

## ② TAB 吊り端子

TAB 吊り端子とは、パッケージの端子が直接 IC の基盤に接続されている端子のことです。この端子は、前記の理由から外部から電源を与えなくても  $V_{SS}$  (GND) のレベルになっています。通常この端子については、基板上でオープンにしておいてください。

### 7.3 推奨端子配列例

端子配列は、IC を正常に動作させるうえで重要となります。以下に、この章で説明した内容を総合的に考慮した端子配列の図を 図 7-10 示します。参考端子配列例としてください。

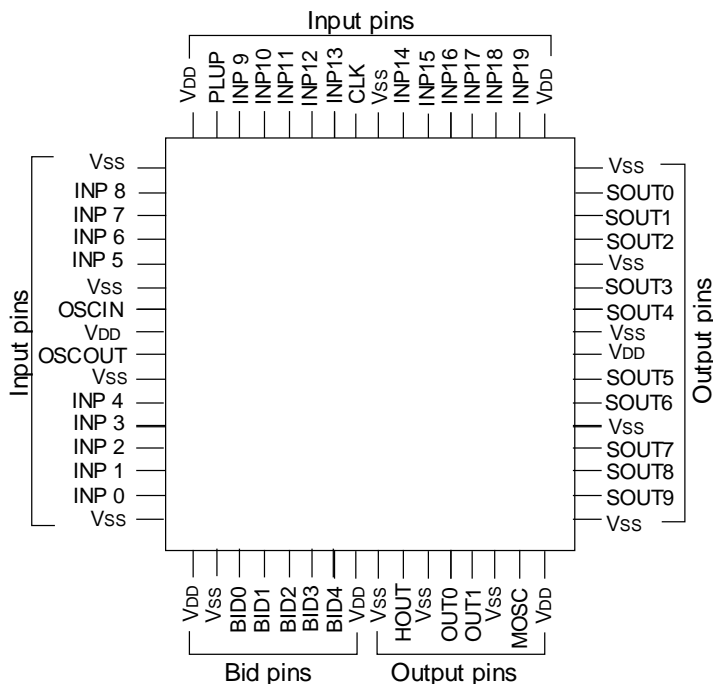


図 7-10 推奨端子配列例

パッケージの上辺、左辺には入力端子、右辺には同時変化をする出力端子、下辺には双方向端子およびその他の出力端子を配置してあります。

表 7-1 端子配列例の説明

配置	端子名	端子名の説明	各端子配置の詳細説明
上辺	PLUP	プルアップ用入力端子	ノイズの影響の少ない位置に配置
	CLK	クロック用入力端子	パッケージ中央付近、電源端子の近くに配置
左辺	OSCIN	発振用端子	パッケージ中央付近、電源端子の近くに配置
	OSCOUT		パッケージ中央付近、電源端子の近くに配置
	INP0~19	入力端子	電源端子で他端子と分離して配置
右辺	SOUT0~9	同時変化出力端子	電源端子で他端子と分離し、電源端子を追加
下辺	BID0~4	双方向端子	電源端子で他端子と分離して配置
	MOSC	発振モニタ用出力端子	発信用端子から離し、電源端子の近くに配置
	HOUT	高駆動出力端子	電源端子を近くに配置
	OUT01	出力端子	電源端子で他端子と分離して配置
全体	V <sub>DD</sub>	V <sub>DD</sub> 電源端子	
	V <sub>SS</sub>	V <sub>SS</sub> (GND) 電源端子	

---

## 第 8 章 メモリマクロ (RAM) 仕様

メモリとして、以下 RAM を用意しています。

- ゲートアレイ 同期 1 ポート RAM (開発中)  
同期 2 ポート (1R/1W) RAM (開発中)
- エンベデッド 同期 1 ポート RAM  
同期 Dual ポート (2R/2W) RAM

### 8.1 ゲートアレイ RAM

ゲートアレイ RAM は、クロック同期 1 ポート RAM およびクロック同期 2 ポート RAM をサポートしています。チップ選択、ライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した動作が可能です。

#### 8.1.1 特長

- (1) クロック同期 1 ポート RAM および 2 ポート RAM を用意しています。
- (2) チップ選択、ライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した動作が可能です。
- (3) データの入力ポートと出力ポートは分離されています。
- (4) データ出力部にラッチ回路を備えており、読み出したデータは次の読み出しサイクルまで継続出力されます。
- (5) ワード数は 4 ワード刻みで 16 ワードから 256 ワード、ビット数は 1 ビット刻みで 1 ビットから 32 ビットの範囲で構成が可能です。
- (6) 最大構成 : 8k ビット/module です。

## 第8章 メモリマクロ (RAM) 仕様

### 8.1.2 RAMのワードビット構成とセル名の対応

クロック同期型 RAM の遅延パラメータは、ワード／ビット構成により変化します。したがって、ワード／ビット構成に対応したセルを個別に用意しております。クロック同期型 RAM をご使用されるさいは、ご使用いただく RAM の 1 ポート／2 ポート、ワード／ビット構成を開発着手依頼書に記載いただくか、弊社営業担当までお知らせください。

1 ポート RAM および 2 ポート RAM の代表的なワード／ビット構成に対応するセル名をそれぞれ表 8-1、表 8-2 に示します。RAM のセル名はワード／ビット構成に応じてネーミングされています。

ワード／ビットの構成可能範囲を超える RAM が必要な場合は、複数個の RAM を組み合わせて構成してください。

1 ポート RAM “F1S XXX YY”

2 ポート RAM “F2S XXX YY” XXX:ワード数 (16 進数)、YY:ビット数 (16 進数)

表 8-1 1 ポート RAM のワード／ビット構成によるセル名対応表例

	64 ワード	128 ワード	192 ワード	256 ワード
8 ビット	F1S04008	F1S08008	F1S0C008	F1S10008
16 ビット	F1S04010	F1S08010	F1S0C010	F1S10010
24 ビット	F1S04018	F1S08018	F1S0C018	F1S10018
32 ビット	F1S04020	F1S08020	F1S0C020	F1S10020

表 8-2 2 ポート RAM のワード／ビット構成によるセル名対応表例

	64 ワード	128 ワード	192 ワード	256 ワード
8 ビット	F2S04008	F2S08008	F2S0C008	F2S10008
16 ビット	F2S04010	F2S08010	F2S0C010	F2S10010
24 ビット	F2S04018	F2S08018	F2S0C018	F2S10018
32 ビット	F2S04020	F2S08020	F2S0C020	F2S10020

### 8.1.3 RAM サイズ

RAM の X 方向サイズ、Y 方向サイズおよび使用するベーシックセル (ゲートアレイ基本セル) 数は次の各々の式で計算します。

(1) 1 ポート RAM

X 方向サイズ :  $RX = (\text{ワード数} \div 4) \times 7 + 35$

Y 方向サイズ :  $RY = \text{ビット数} \times 2 + 9 + \alpha$

ベーシックセル数 :  $RAMBCS = RX \times RY$

$\alpha$  は  $16 \leq \text{ワード数} \leq 32$  の場合 : 3、 $36 \leq \text{ワード数} \leq 256$  の場合 : 4

表 8-3 1 ポート RAM の構成例とベーシックセル (ゲートアレイ基本セル) 数

	64 ワード	128 ワード	192 ワード	256 ワード
8 ビット	4,263 (147×29)	7,511 (259×29)	10,759 (371×29)	14,007 (483×29)
16 ビット	6,615 (147×45)	11,655 (259×45)	16,695 (371×45)	21,735 (483×45)
24 ビット	8,967 (147×61)	15,799 (259×61)	22,631 (371×61)	29,463 (483×61)
32 ビット	11,319 (147×77)	19,943 (259×77)	28,567 (371×77)	37,191 (483×77)

(2) 2 ポート RAM

X 方向サイズ :  $RX = (\text{ワード数} \div 4) \times 7 + 32$

Y 方向サイズ :  $RY = \text{ビット数} \times 2 + 9 + \alpha$

ベーシックセル数 :  $RAMBCS = RX \times RY$

$\alpha$  は  $16 \leq \text{ワード数} \leq 32$  の場合 : 4、 $36 \leq \text{ワード数} \leq 256$  の場合 : 6

表 8-4 2 ポート RAM の構成例とベーシックセル数

	64 ワード	128 ワード	192 ワード	256 ワード
8 ビット	4,464 (144×31)	7,936 (256×31)	11,408 (368×31)	14,880 (480×31)
16 ビット	6,768 (144×47)	12,032 (256×47)	17,296 (368×47)	22,560 (480×47)
24 ビット	9,072 (144×63)	16,128 (256×63)	23,184 (368×63)	30,240 (480×63)
32 ビット	11,376 (144×79)	20,224 (256×79)	29,072 (368×79)	37,920 (480×79)

## 第8章 メモリマクロ (RAM) 仕様

### 8.1.4 機能説明

#### (1) 1ポートRAM

##### ① 入出力信号とブロック図

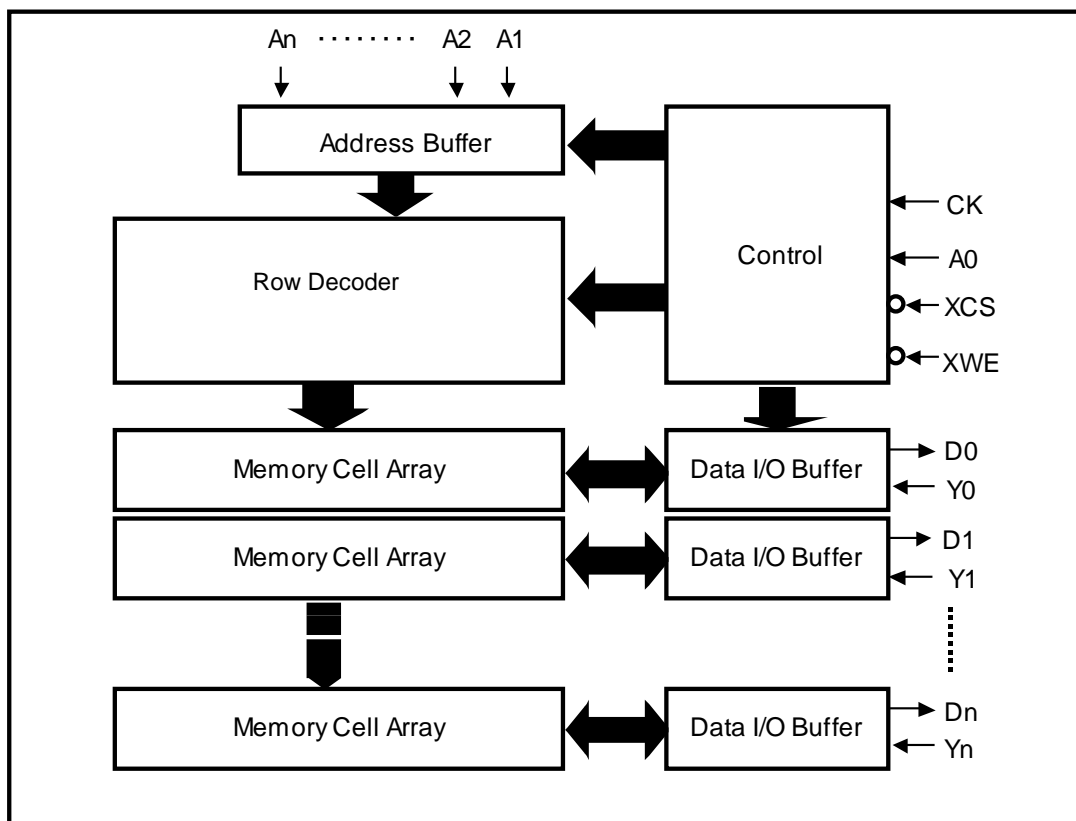


図 8-1 1ポートRAMのブロック図



表 8-5 1 ポート RAM の信号説明

入出力信号		機能説明
記号	名前	
CK	クロック入力	クロック入力 (CK) の立ち上がりエッジ (L → H) でチップ選択 (XCS)、ライトイネーブル (XWE)、アドレス入力 (A0~An)、データ入力 (D0~Dn) をラッチし、RAM 内部にとりこみます。
XCS	チップ選択	クロック入力 (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時に動作を開始します。
XWE	ライトイネーブル	クロック入力 (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行います。
A0~An	アドレス入力	クロック入力 (CK) の立ち上がりエッジでラッチされます。
D0~Dn	データ入力	クロック入力 (CK) の立ち上がりエッジでラッチされます。ライトイネーブル (XWE) が L の時メモリセルに書き込まれます。
Y0~Yn	データ出力	読み出し時にはクロック入力 (CK) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。書き込み時には書き込みデータが CK に同期してこの端子に出力されます。したがって、書き込み時には先にリードされたデータが保持されていないことにご注意ください。

② 動作説明

書き込みはクロック入力 (CK) が立ち上げる前に、チップ選択 (XCS)、ライトイネーブル (XWE) をイネーブル (L) にし、アドレス入力 (A0~An) とデータ入力 (D0~Dn) をセットします。クロック入力の立ち上がりでチップ選択、ライトイネーブル、アドレス入力、データ入力の全ての信号がラッチされ書き込み動作を開始します。クロック入力の次の立ち上がりまではデータ出力端子 (Y0~Yn) から書き込みデータが出力されます。

読み出しはクロック入力 (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) に、ライトイネーブル (XWE) をディセーブル (H) にし、アドレス入力 (A0~An) をセットします。クロックの立ち上がりでチップ選択、ライトイネーブル、アドレス入力の全ての信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータが出力端子 (Y0~Yn) から出力されます。

表 8-6 1 ポート RAM の動作真理値表

CK	XCS	XWE	出力の状態	動作モード
L → H	L	H	Read Data	読み出し
L → H	L	L	Write Data	書き込み
L → H	H	L or H	Data Hold	スタンバイ

## 第8章 メモリマクロ (RAM) 仕様

### (2) 2ポートRAM

#### ① 出力信号とブロック図

第1ポートは書き込み、第2ポートは読み出し専用です。ポート毎にクロック入力端子が備わっており、各々を独立した周波数とタイミングで動作させることができます。

なお、同じメモリセルを2つのポートから同時にアクセスすることはできません。

第1ポートのライトイネーブル (XWA)、第2ポートのリードイネーブル (XRB) が共に“High”レベルをラッチしている時はスタンバイ状態になります。

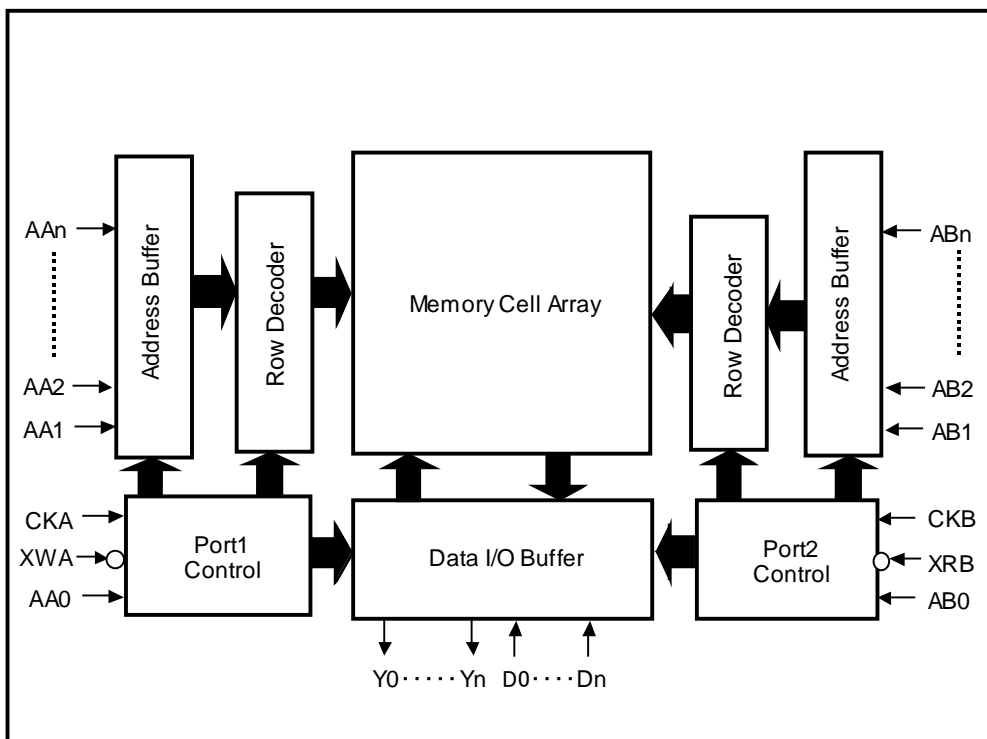


図 8-2 2ポートRAMのブロック図

表 8-7-1 2ポートRAMの信号説明

第1ポート用信号 (書き込み専用)

入出力信号		機能説明
記号	名前	
CKA	クロック入力	クロック入力 (CKA) の立ち上がりエッジ (L→H) でライトイネーブル (XWA)、アドレス入力 (AA0~AAn)、データ入力 (D0~Dn) をラッチし、RAM 内部にとりこみます。
XWA	ライトイネーブル	クロック入力 (CKA) の立ち上がりエッジでラッチされます。ラッチされた値がLの時は書き込み動作を行います。
AA0~AAn	アドレス入力	クロック入力 (CKA) の立ち上がりエッジでラッチされます。
D0~Dn	データ入力	クロック入力 (CKA) の立ち上がりエッジでラッチされます。ライトイネーブル (XWA) がLの時メモリセルに書き込まれます。

表 8-7-2 2 ポート RAM の信号説明

第 2 ポート RAM 用信号 (読み出し専用)

入出力信号		機能説明
記号	名前	
CKB	クロック入力	クロック入力 (CKB) の立ち上がりエッジ (L→H) でリードイネーブル (XRB)、アドレス入力 (AB0~ABn) をラッチし、RAM 内部にとりこみます。
XRB	リードイネーブル	クロック入力 (CKB) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は読み出し動作を行います。
AB0~ABn	アドレス入力	クロック入力 (CKB) の立ち上がりエッジでラッチされます。
Y0~Yn	データ出力	クロック入力 (CKB) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。

② 動作説明

書き込みはクロック入力 (CKA) が立ち上がる前に、ライトイネーブル (XWA) をイネーブル (L) にし、アドレス入力 (AA0~AAn) とデータ入力 (D0~Dn) をセットします。クロック入力 (CKA) の立ち上がりで、ライトイネーブル (XWA)、アドレス入力 (AA0~AAn)、データ入力 (D0~Dn) の全ての信号がラッチされ書き込み動作を開始します。

読み出しはクロック入力 (CKB) が立ち上がる前に、リードイネーブル (XRB) をイネーブル (L) にし、アドレス入力 (AB0~ABn) をセットします。クロック入力 (CKB) の立ち上がりで、リードイネーブル (XRB)、アドレス入力 (AB0~ABn) の全ての信号がラッチされ読み出し動作を開始します。この期間中はクロック入力 (CKB) の立ち上がりからアクセスタイム経過した後にデータが出力端子 (Y0~Yn) から出力されます。

表 8-8-1 2 ポート RAM の動作真理地表面 (書き込み専用)

CKA	XWA	動作モード
L → H	H	スタンバイ
L → H	L	書き込み

表 8-8-2 2 ポート RAM の動作真理地表面 (読み出し専用)

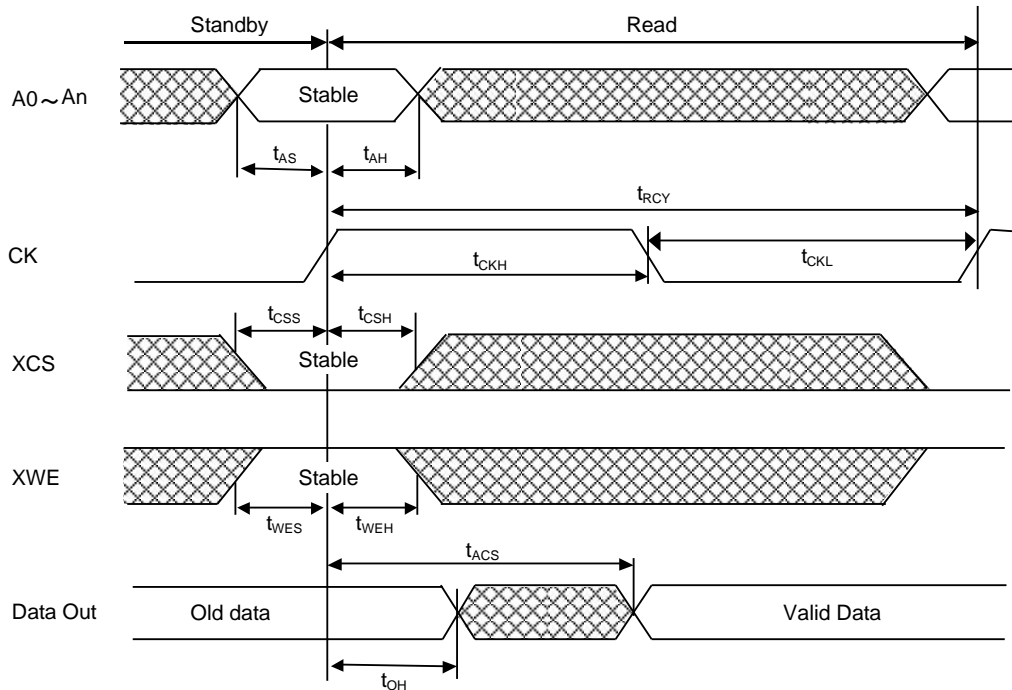
CKB	XRB	出力の状態	動作モード
L → H	H	Data Hold	スタンバイ
L → H	L	Read Data	読み出し

## 第8章 メモリマクロ (RAM) 仕様

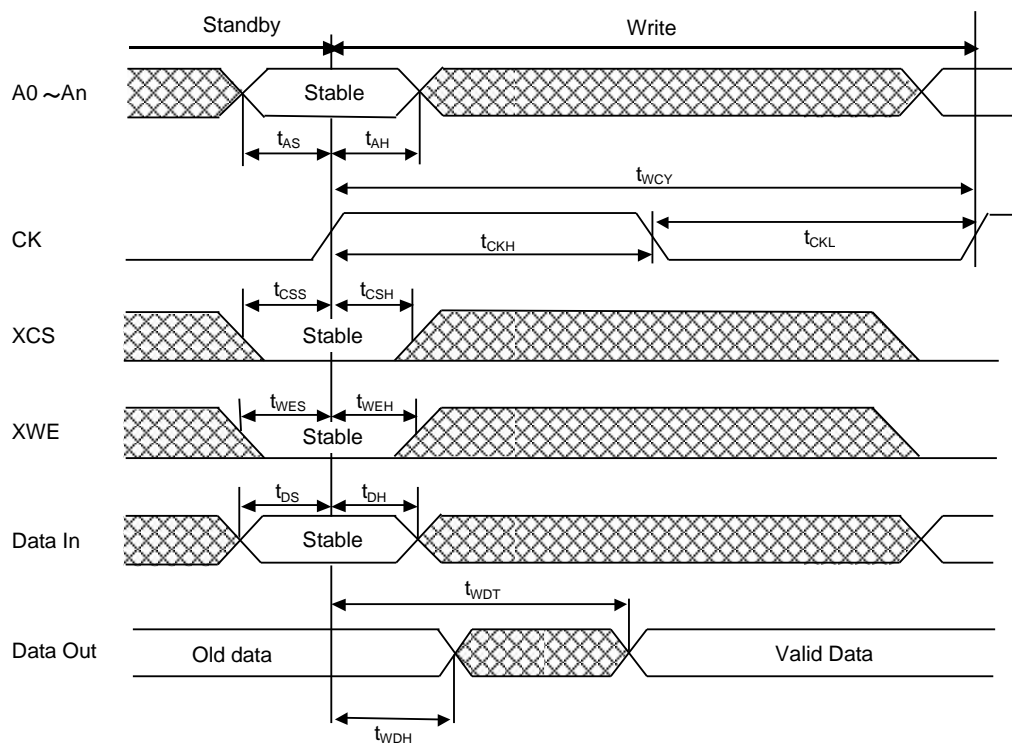
### 8.1.5 タイミングチャート

#### (1) 1ポートRAM

- 読み出し時

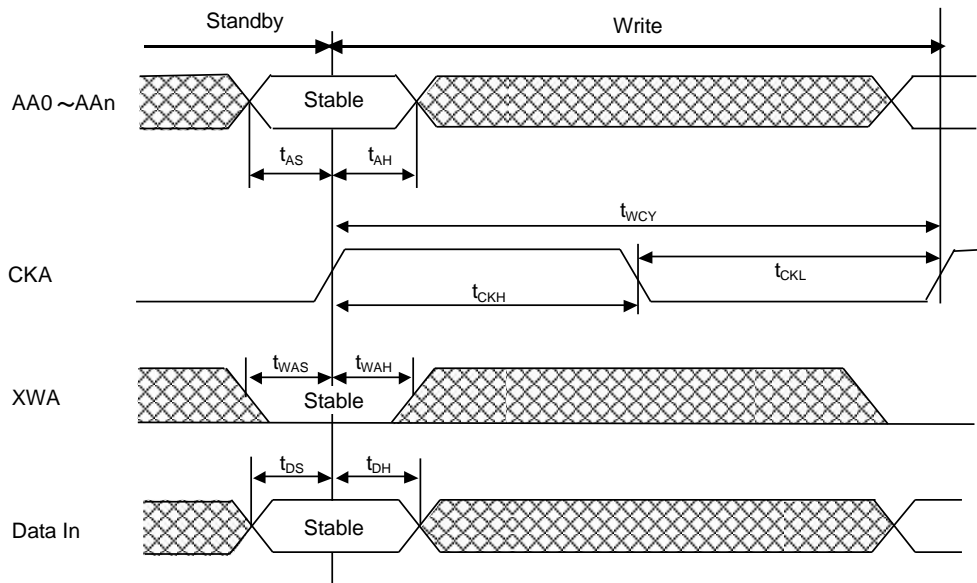


- 書き込み時

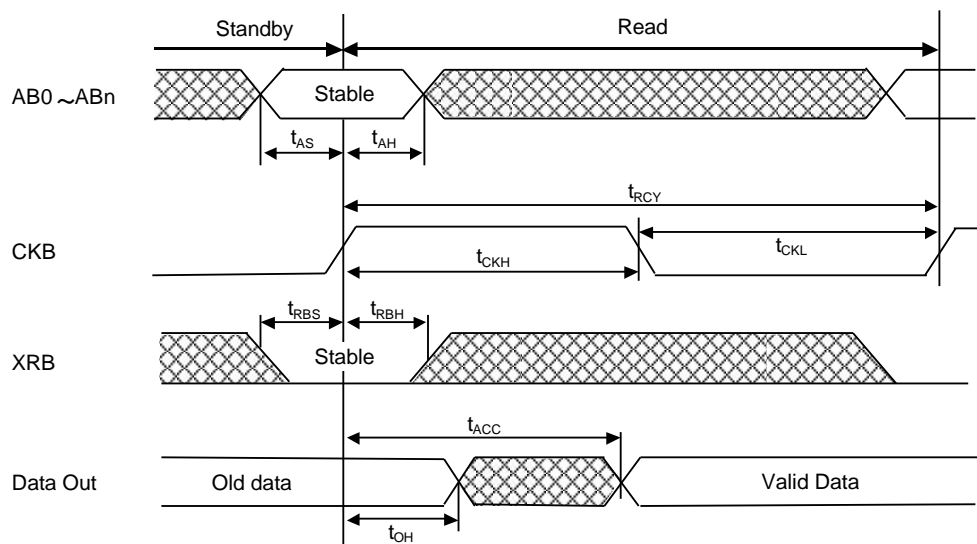


(2) 2ポート RAM

• 第 1 ポート



• 第 2 ポート



## 第8章 メモリマクロ (RAM) 仕様

### 8.1.6 遅延パラメータ

LV<sub>DD</sub>=1.8V±0.15V、T<sub>a</sub>=-40~85°C

表 8-9-1 1ポートRAM/2ポートRAM リードサイクル

パラメータ	記号	64word x 32bit F1S/F2S04020		128word x 32bit F1S/F2S08020		192word x 32bit F1S/F2S0C020		256word x 32bit F1S/F2S10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t <sub>ACS</sub> , t <sub>ACC</sub>	-	7.2	-	9.4	-	11.7	-	14.0	ns
リードサイクルタイム	t <sub>RCY</sub>	7.2	-	9.4	-	11.7	-	14.0	-	
クロックハイパルス幅	t <sub>CKH</sub>	0.7	-	0.7	-	0.7	-	0.7	-	
クロックローパルス幅	t <sub>CKL</sub>	0.7	-	0.7	-	0.7	-	0.7	-	
XCS セットアップタイム	t <sub>CSS</sub>	1.8	-	1.8	-	1.8	-	1.8	-	
XCS ホールドタイム	t <sub>CSH</sub>	0.0	-	0.0	-	0.0	-	0.0	-	
XWE セットアップタイム	t <sub>WES</sub>	1.8	-	1.8	-	1.8	-	1.8	-	
XWE ホールドタイム	t <sub>WEH</sub>	0.0	-	0.0	-	0.0	-	0.0	-	
XRB セットアップタイム	t <sub>RBS</sub>	1.8	-	1.8	-	1.8	-	1.8	-	
XRB ホールドタイム	t <sub>RBH</sub>	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスセットアップタイム	t <sub>AS</sub>	1.8	-	1.8	-	1.8	-	1.8	-	
アドレスホールドタイム	t <sub>AH</sub>	0.0	-	0.0	-	0.0	-	0.0	-	
アウトプットホールドタイム	t <sub>OH</sub>	0.5	-	0.5	-	0.5	-	0.5	-	

表 8-9-2 1ポートRAM/2ポートRAM ライトサイクル

パラメータ	記号	64word x 32bit F1S/F2S04020		128word x 32bit F1S/F2S08020		192word x 32bit F1S/F2S0C020		256word x 32bit F1S/F2S10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t <sub>WCY</sub>	6.3	-	6.4	-	6.5	-	6.6	-	ns
クロックハイパルス幅	t <sub>CKH</sub>	0.7	-	0.7	-	0.7	-	0.7	-	
クロックローパルス幅	t <sub>CKL</sub>	0.7	-	0.7	-	0.7	-	0.7	-	
XCS セットアップタイム	t <sub>CSS</sub>	1.8	-	1.8	-	1.8	-	1.8	-	
XCS ホールドタイム	t <sub>CSH</sub>	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスセットアップタイム	t <sub>AS</sub>	1.8	-	1.8	-	1.8	-	1.8	-	
XWE セットアップタイム	t <sub>WES</sub>	1.8	-	1.8	-	1.8	-	1.8	-	
XWE ホールドタイム	t <sub>WEH</sub>	0.0	-	0.0	-	0.0	-	0.0	-	
XWA セットアップタイム	t <sub>WAS</sub>	1.8	-	1.8	-	1.8	-	1.8	-	
XWA ホールドタイム	t <sub>WAH</sub>	0.0	-	0.0	-	0.0	-	0.0	-	
アドレスホールドタイム	t <sub>AH</sub>	0.0	-	0.0	-	0.0	-	0.0	-	
データホールドタイム	t <sub>DH</sub>	0.0	-	0.0	-	0.0	-	0.0	-	
データセットアップタイム	t <sub>DS</sub>	1.8	-	1.8	-	1.8	-	1.8	-	
ライトデータホールドタイム	t <sub>WDH</sub>	0.9	-	0.9	-	1.0	-	1.0	-	
ライトデータスルータイム	t <sub>WDT</sub>	-	6.3	-	6.4	-	6.5	-	6.6	

## 8.2 エンベデッド 1ポート RAM

### 8.2.1 特長

- (1) 1ポート RAM として専用設計することで占有面積を縮小しています。
- (2) メモリ容量の構成可能範囲が広く (128~64K ビット)、レイアウト形状の縦横比もフレキシブルに選択可能です。大容量のメモリが必要な場合は複数個のメモリマクロを使用します。
- (3) 最大動作周波数は、 125MHz です。
- (4) チップ選択、ライトイネーブル、バイトライトイネーブル、アドレス、データ入出力部にラッチ回路を備えており、クロックに同期した動作です。
- (5) データの入力ポートと出力ポートは分離されています。
- (6) バイトライト機能を備えており、書き込みを行うデータビットをバイト単位で選択可能です。
- (7) データ出力部にラッチ回路を備えており、読み出したデータは次のサイクルまで継続出力されます。

### 8.2.2 RAM サイズ

エンベデッド RAM を搭載する場合 RAM のワード/ビット構成を開発着手依頼時にご連絡ください。

### 8.2.3 入出力信号とブロック図

- (1) ブロック図

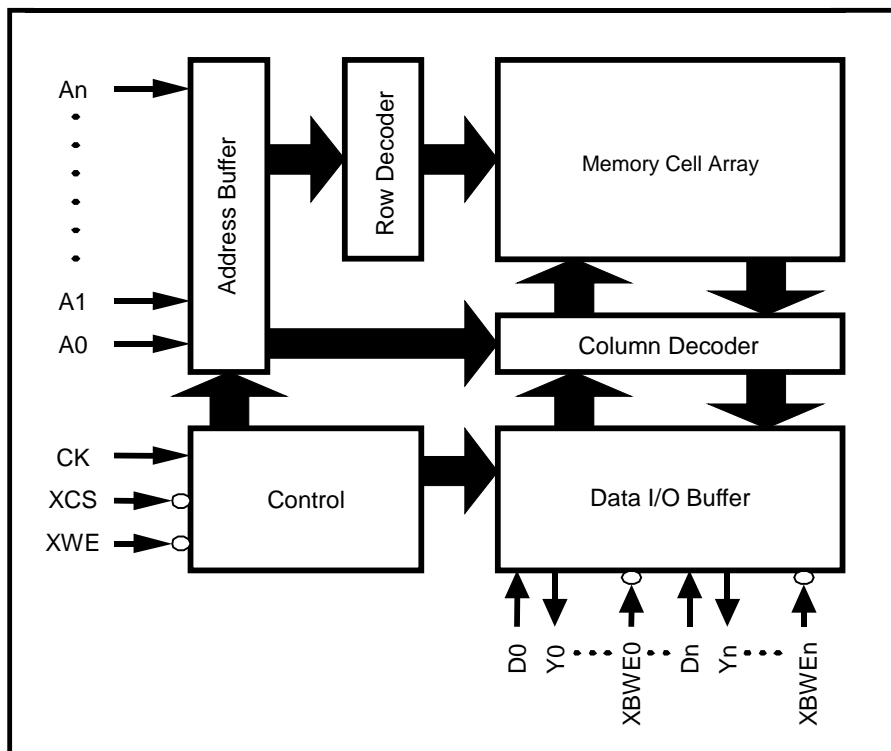


図 8-3 1ポート RAM のブロック図

## 第8章 メモリマクロ (RAM) 仕様

### (2) 1ポートRAMの信号説明

表 8-10 1ポートRAMの信号説明

入出力信号		機能説明
記号	名前	
CK	クロック入力	立ち上がりエッジ (L→H) でチップ選択 (XCS)、ライトイネーブル (XWE)、バイトライトイネーブル (XBWEn)、アドレス入力 (A0~An)、データ入力 (D0~Dn) をラッチし、ラッチした Chip 選択信号が L の時に動作を開始します。動作期間中は、ラッチしたライトイネーブルが L の時に書き込みを、H の時に読み出し動作を行います。次の立ち下がりエッジで動作を終了します。
XCS	チップ選択	クロック入力 (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時にメモリは動作を開始します。
XWE	ライトイネーブル	クロック入力 (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行います。
XBWEn	バイトライトイネーブル	クロック入力 (CK) の立ち上がりエッジでラッチされます。データの 1 バイト毎に 1 つのバイトライトイネーブル信号が割り当てられます。ライトイネーブル (XWE) が L の時、バイトライトイネーブル (XBWEn) が L であるバイトのみデータの書き込みが行われます。 XBWE0 — D0~D7 XBWE1 — D8~D15 XBWE2 — D16~D23 XBWE3 — D24~D31
A0~An	アドレス入力	クロック入力 (CK) の立ち上がりエッジでラッチされます。
D0~Dn	データ入力	書き込みデータはクロック入力 (CK) の立ち上がりエッジでラッチされメモリセルに書き込まれます。
Y0~Yn	データ出力	読み出し時にはクロック入力 (CK) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

#### 8.2.4 動作真理値表

書き込みはクロック入力 (CK) が立ち上がる前に、チップ選択 (XCS)、ライトイネーブル (XWE)、バイトライトイネーブル (XBWE0~XBWE3) をイネーブル (L) にし、アドレス入力 (A0~An) とデータ入力 (D0~Dn) をセットします。クロック入力の立ち上がりでチップ選択、ライトイネーブル、バイトライトイネーブル、アドレス入力、データ入力の全ての信号がラッチされ書き込み動作を開始します。この期間中はデータ出力端子 (Y0~Yn) から書き込み中のデータが出力されます。クロックの立ち下がりで書き込み動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。

読み出しはクロック入力 (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) に、ライトイネーブル (XWE) をディセーブル (H) にし、アドレス入力 (A0~An) をセットします。クロックの立ち上がりでチップ選択、ライトイネーブル、アドレス入力、データ入力の信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータがデータ出力端子 (Y0~Yn) から出力されます。クロックの立ち下がりで読み出し動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。書き込み/読み出しいずれの場合も、動作が終了しメモリがスタンバイになった後もデータ出力端子からデータが継続して出力されます。



表 8-11 1 ポート RAM の動作真理値表

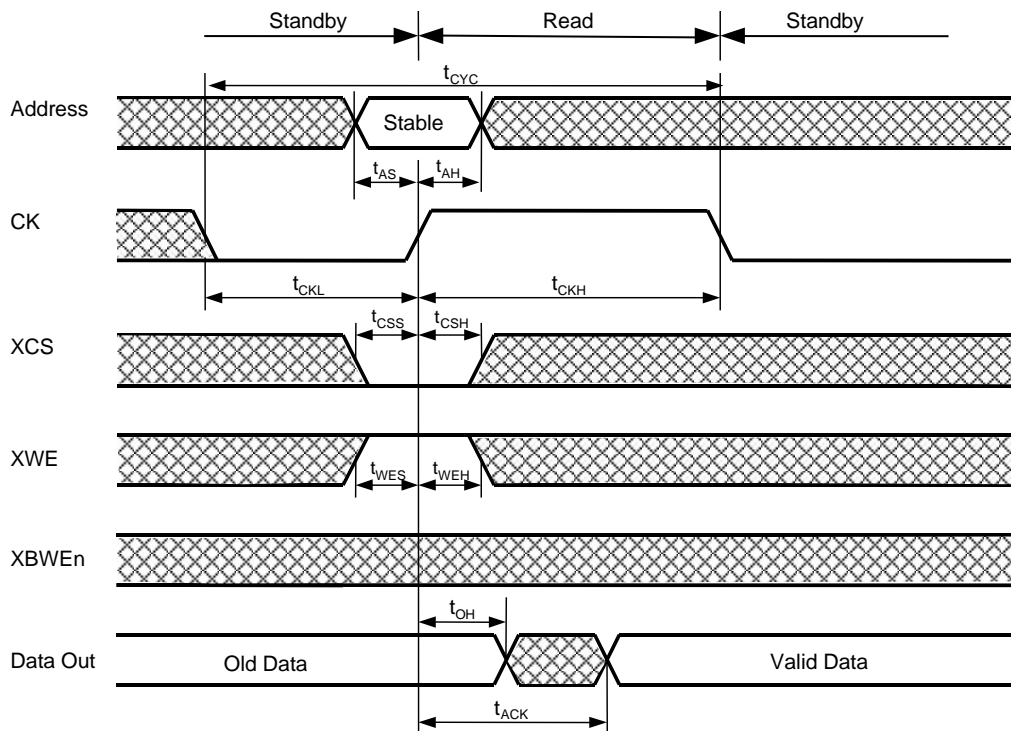
CK	XCS	XWE	XBWE0	XBWE1	XBWE2	XBWE3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	Data Hold	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	D0-D31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	D0-D7	Write Data <sup>(*)</sup>	1st バイト書き込み
L→H	L	L	H	L	H	H	D8-D15	Write Data <sup>(*)</sup>	2nd バイト書き込み
L→H	L	L	H	H	L	H	D16-D23	Write Data <sup>(*)</sup>	3rd バイト書き込み
L→H	L	L	H	H	H	L	D24-D31	Write Data <sup>(*)</sup>	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data <sup>(*)</sup>	書き込み不能
L→H	H	X	X	X	X	X	—	Data Hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data Hold	スタンバイ

注) \*1 : データ出力 (Y0~Yn) の状態は、データ入力 (D0~Dn) に入力された値が出力されます。ただし、メモリ内部へのデータの書き込みは、バイトライトイネーブル (XBWE0~XBWE3) で選択されたバイト部分のみとなります。バイトライトイネーブルが非選択のバイト部分については、データの書き込みは行われません。

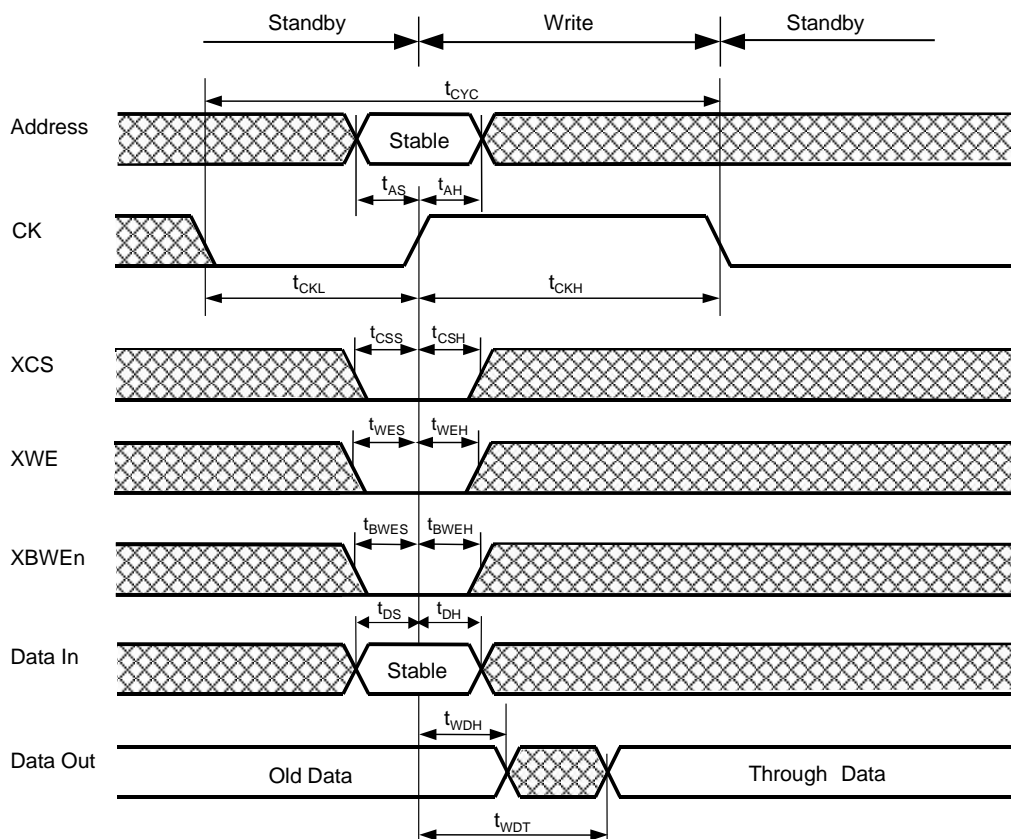
## 第8章 メモリマクロ (RAM) 仕様

### 8.2.5 タイミングチャート

#### (1) 読み出し時



#### (2) 書き込み時



8.2.6 電気的特性

AC 特性

表 8-12 電気的特性

( $V_{DD}=1.8V\pm 0.15V$ 、 $T_a=-40\sim 85^{\circ}C$ )

パラメータ	記号	Min.	Typ.	Max.	単位
クロック周波数	f <sub>C</sub>	—	—	125	MHz
CK アクセスタイム	t <sub>ACK</sub>	—	3.0	5.3	ns
CK ハイパルス幅	t <sub>CKH</sub>	4.0	—	—	ns
CK ローパルス幅	t <sub>CKL</sub>	2.8	—	—	ns
サイクルタイム	t <sub>CYC</sub>	8.0	—	—	ns
CS セットアップタイム	t <sub>CSS</sub>	2.8	—	—	ns
CS ホールドタイム	t <sub>CSH</sub>	0	—	—	ns
アドレスセットアップタイム	t <sub>AS</sub>	2.8	—	—	ns
アドレスホールドタイム	t <sub>AH</sub>	0	—	—	ns
WE セットアップタイム	t <sub>WES</sub>	2.8	—	—	ns
WE ホールドタイム	t <sub>WEH</sub>	0	—	—	ns
BWE セットアップタイム	t <sub>BWES</sub>	2.8	—	—	ns
BWE ホールドタイム	t <sub>BWEH</sub>	0	—	—	ns
出力ホールドタイム	t <sub>OH</sub>	0.6	—	—	ns
データセットアップ	t <sub>DS</sub>	2.8	—	—	ns
データホールドタイム	t <sub>DH</sub>	0	—	—	ns
書き込みデータホールドタイム	t <sub>NDH</sub>	0.2	—	—	ns
書き込みデータスルータイム	t <sub>NDT</sub>	—	—	2.5	ns

注) AC 特性に記載された動作許容範囲を満たさない異常パルスがクロックに印加された場合、読み出し動作時であってもメモリセルに記憶されているデータが書き換わる可能性が有ります。また、その他の誤動作の原因となる恐れがあるため、必ず上表の許容動作範囲内で使用して下さい。

8.2.7 消費電力

消費電力については、弊社営業担当にお問い合わせください。その際、ワード/ビット構成を連絡ください。

### 8.3 エンベデッド Dual ポート RAM

#### 8.3.1 特長

- (1) Dual ポート RAM として専用設計することにより占有面積を縮小しています。
- (2) メモリ容量の構成可能範囲が広く (1K~32K ビット)、レイアウト形状の縦横比もフレキシブルに選択可能です。さらに大容量のメモリが必要な場合は複数個のメモリマクロを使用します。
- (3) 最大動作周波数は、 116MHz です。
- (4) チップ選択、ライトイネーブル、バイトライトイネーブル、アドレス、データ入出力部にラッチ回路を備えており、クロックに同期した動作です。
- (5) データの入力ポートと出力ポートは分離されています。
- (6) バイトライト機能を備えており、書き込みを行うデータビットをバイト単位で選択可能。
- (7) データ出力部にラッチ回路を備えており読み出しデータは次のサイクルまで継続出力されません。

#### 8.3.2 RAM サイズ

エンベデッド RAM を搭載する場合 RAM のワード/ビット構成を開発着手依頼時にご連絡ください。

#### 8.3.3 入出力信号とブロック図

第 1 ポートと第 2 ポートはそれぞれ読み出し/書き込みが可能です。ポート毎にクロック入力端子が備わっており、各々を独立した周波数とタイミングで動作させることができます。

なお、同じメモリセルを 2 つのポートから同時にアクセスすることはできません。これに対する調停機能、ビジー信号等が必要な場合はマクロ外のゲートアレイ部で回路を構成する必要があります。(同時にアクセスした場合はそのサイクルの動作、および該当メモリセルのデータが不定になります。)

(1) ブロック図

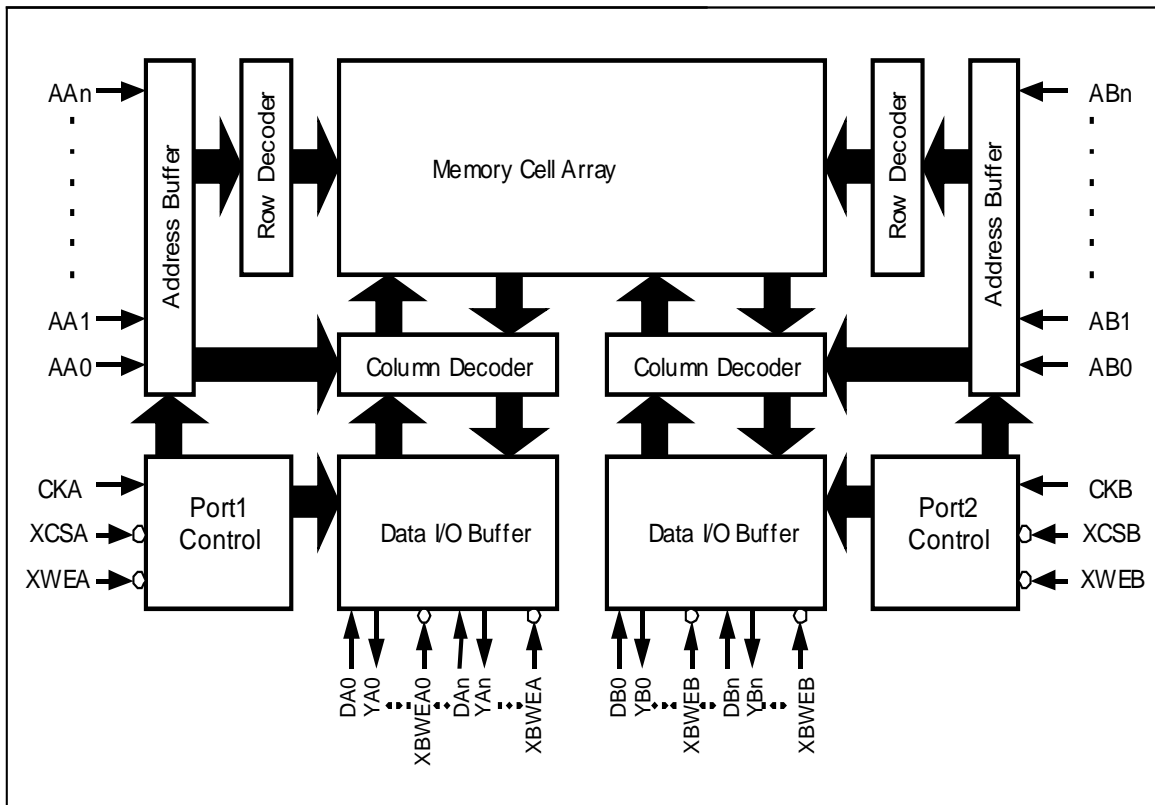


図 8-4 Dual ポート RAM のブロック図

## 第 8 章 メモリマクロ (RAM) 仕様

### (2) 第 1 ポート用信号 (読み出し/書き込み)

表 8-13-1 Dual ポート RAM の信号説明

入出力信号		機能説明
記号	名前	
CKA	クロック入力	立ち上がりエッジ (L→H) でチップ選択 (XCSA)、ライトイネーブル (XWEA)、バイトライトイネーブル (XBWEAn)、アドレス入力 (AA0~AA <sub>n</sub> )、データ入力 (DA0~DA <sub>n</sub> ) をラッチし、ラッチしたチップ選択信号が L の時に動作を開始します。動作期間中は、ラッチしたライトイネーブルが L の時に書き込みを、H の時に読み出し動作を行います。次の立ち下がりエッジで動作を終了します。
XCSA	チップ選択	クロック入力 (CKA) の立ち上がりエッジでラッチされます。ラッチされた値が L の時にメモリは動作を開始します。
XWEA	ライトイネーブル	クロック入力 (CKA) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行います。
XBWEAn	バイトライトイネーブル	クロック入力 (CKA) の立ち上がりエッジでラッチされます。データの 1 バイト毎に 1 つのバイトライトイネーブル信号が割り当てられます。ライトイネーブル (XWEA) が L の時、バイトライトイネーブル (XBWEAn) が L であるバイトのみデータの書き込みが行われます。 XBWEA0 — DA0~DA7 XBWEA1 — DA8~DA15 XBWEA2 — DA16~DA23 XBWEA3 — DA24~DA31
AA0~AA <sub>n</sub>	アドレス入力	クロック入力 (CKA) の立ち上がりエッジでラッチされます。
DA0~DA <sub>n</sub>	データ入力	書き込みデータはクロック入力 (CKA) の立ち上がりエッジでラッチされメモリセルに書き込まれます。
YA0~YA <sub>n</sub>	データ出力	読み出し時にはクロック入力 (CKA) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

(3) 第 2 ポート用信号 (読み出し/書き込み)

表 8-13-2 Dual ポート RAM の信号説明

入出力信号		機能説明
記号	名前	
CKB	クロック入力	立ち上がりエッジ (L→H) でチップ選択 (XCSB)、ライトイネーブル (XWEB)、バイトライトイネーブル (XBWEBn)、アドレス入力 (AB0~ABn)、データ入力 (DB0~DBn) をラッチし、ラッチしたチップ選択信号が L の時に動作を開始します。動作期間中は、ラッチしたライトイネーブルが L の時に書き込みを、H の時に読み出し動作を行います。次の立ち下がりエッジで動作を終了します。
XCSB	チップ選択	クロック入力 (CKB) の立ち上がりエッジでラッチされます。ラッチされた値が L の時にメモリは動作を開始します。
XWEB	ライトイネーブル	クロック入力 (CKB) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行います。
XBWEBn	バイトライトイネーブル	クロック入力 (CKB) の立ち上がりエッジでラッチされます。データの 1 バイト毎に 1 つのバイトライトイネーブル信号が割り当てられます。ライトイネーブル (XWEB) が L の時、バイトライトイネーブル (XBWEBn) が L であるバイトのみデータの書き込みが行われます。 XBWEB0 — DB0~DB7 XBWEB1 — DB8~DB15 XBWEB2 — DB16~DB23 XBWEB3 — DB24~DB31
AB0~ABn	アドレス入力	クロック入力 (CKB) の立ち上がりエッジでラッチされます。
DB0~DBn	データ入力	書き込みデータはクロック入力 (CKB) の立ち上がりエッジでラッチされメモリセルに書き込まれます。
YB0~YBn	データ出力	読み出し時にはクロック入力 (CKB) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。書き込み時にはラッチされたライトデータが出力されます。

### 8.3.4 動作真理値表

書き込みはクロック入力 (CKA および CKB) が立ち上がる前に、チップ選択 (XCSA および XCSB)、ライトイネーブル (XWEA および XWEB)、バイトライトイネーブル (XBWEA0~XBWEA3 および XBWEB0~XBWEB3) をイネーブル (L) にし、アドレス入力 (AA0~AA<sub>n</sub> および AB0~AB<sub>n</sub>) とデータ入力 (DA0~DA<sub>n</sub> および DB0~DB<sub>n</sub>) をセットします。クロック入力の立ち上がりでチップ選択、ライトイネーブル、バイトライトイネーブル、アドレス入力、データ入力の全ての信号がラッチされ書き込み動作を開始します。この期間中はデータ出力端子 (YA0~YA<sub>n</sub> および YB0~YB<sub>n</sub>) から書き込み中のデータが出力されます。クロックの立ち下がりで書き込み動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。

読み出しはクロック入力 (CKA および CKB) が立ち上がる前に、チップ選択 (XCSA および XCSB) をイネーブル (L) に、ライトイネーブル (XWEA および XWEB) をディセーブル (H) にし、アドレス入力 (AA0~AA<sub>n</sub> および AB0~AB<sub>n</sub>) をセットします。クロックの立ち上がりでチップ選択、ライトイネーブル、アドレス入力の信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータがデータ出力端子 (YA0~YA<sub>n</sub> および YB0~YB<sub>n</sub>) から出力されます。クロックの立ち下がりで読み出し動作は終了し、入力信号のラッチは解除されると共にメモリはスタンバイ状態になります。書き込み/読み出しいずれの場合も、動作が終了しメモリがスタンバイになった後もデータ出力端子からデータが継続して出力されます。



(1) 第 1 ポート 動作真理値表

表 8-14-1 Dual Port RAM の動作真理値表

CKA	XCSA	XWEA	XBWEA0	XBWEA1	XBWEA2	XBWEA3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	Data Hold	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	DA0-DA31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	DA0-DA7	Write Data (*1)	1st バイト書き込み
L→H	L	L	H	L	H	H	DA8-DA15	Write Data (*1)	2nd バイト書き込み
L→H	L	L	H	H	L	H	DA16-DA23	Write Data (*1)	3rd バイト書き込み
L→H	L	L	H	H	H	L	DA24-DA31	Write Data (*1)	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data (*1)	書き込み不能
L→H	H	X	X	X	X	X	—	Data Hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data Hold	スタンバイ

(2) 第 2 ポート 動作真理値表

表 8-14-2 Dual Port RAM の動作真理値表

CKB	XCSB	XWEB	XBWEB0	XBWEB1	XBWEB2	XBWEB3	書き込み	出力の状態	動作モード
L	X	X	X	X	X	X	—	Data Hold	スタンバイ
L→H	L	H	X	X	X	X	—	Read Data	読み出し
L→H	L	L	L	L	L	L	DB0-DB31	Write Data	全バイト書き込み
L→H	L	L	L	H	H	H	DB0-DB7	Write Data (*1)	1st バイト書き込み
L→H	L	L	H	L	H	H	DB8-DB15	Write Data (*1)	2nd バイト書き込み
L→H	L	L	H	H	L	H	DB16-DB23	Write Data (*1)	3rd バイト書き込み
L→H	L	L	H	H	H	L	DB24-DB31	Write Data (*1)	4th バイト書き込み
L→H	L	L	H	H	H	H	—	Write Data (*1)	書き込み不能
L→H	H	X	X	X	X	X	—	Data Hold	スタンバイ
H→L	X	X	X	X	X	X	—	Data Hold	スタンバイ

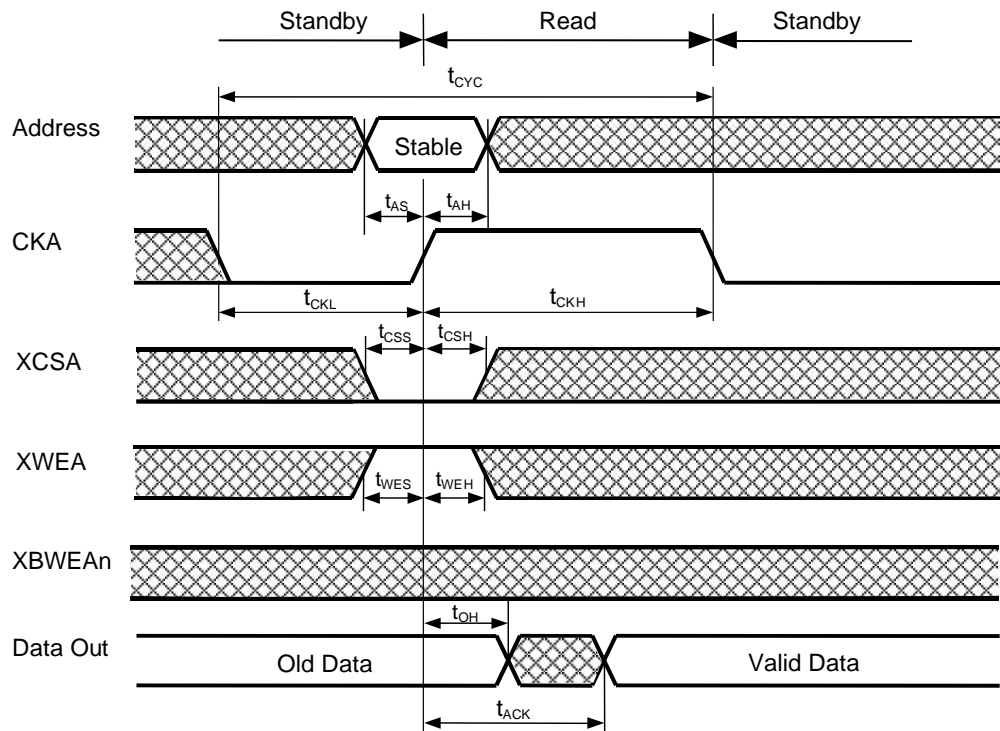
注) \*1 : データ出力 (YA0~YAn および YB0~YBn) の状態は、データ入力 (DA0~DAn および DB0~DBn) に入力された値が出力されます。

ただし、メモリ内部へのデータの書き込みは、バイトライトイネーブル (XBWEA0~XBWEA3 および XBWEB0~XBWEB3) で選択されたバイト部分のみとなります。バイトライトイネーブルが非選択のバイト部分については、データの書き込みは行われません。

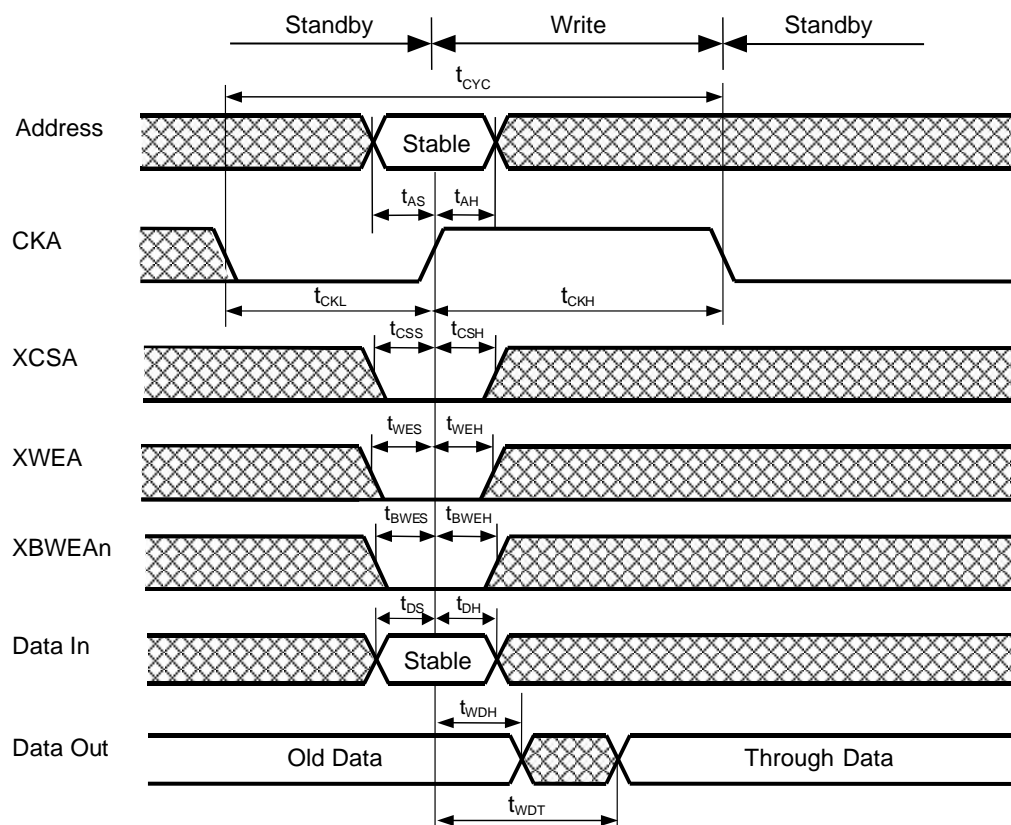
## 第8章 メモリマクロ (RAM) 仕様

### 8.3.5 タイミングチャート

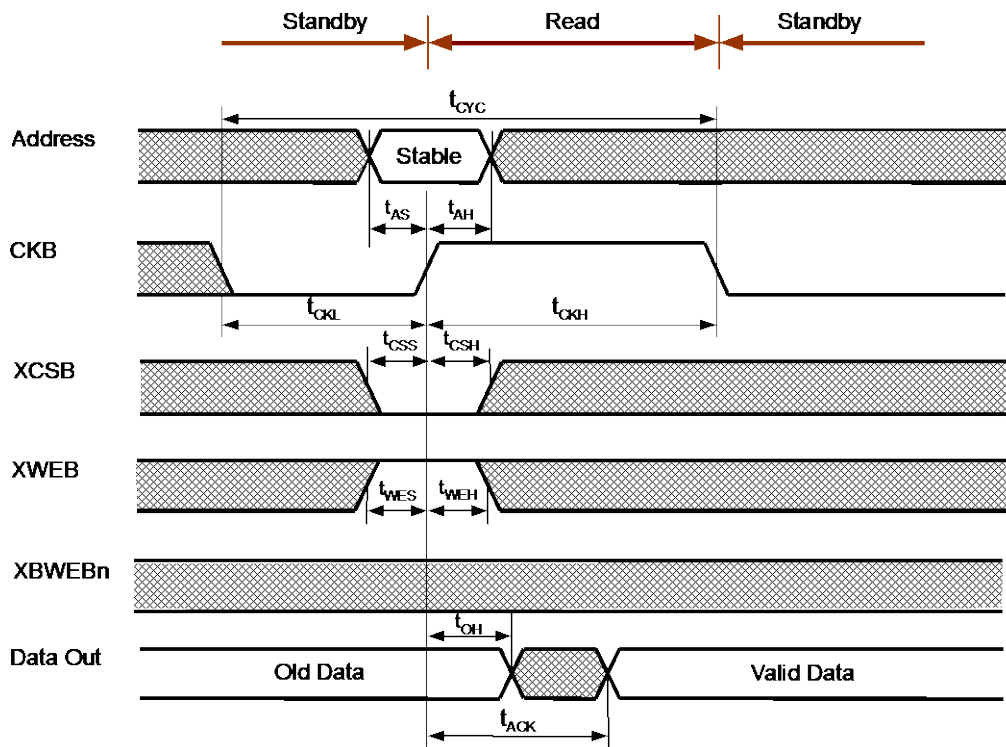
#### (1) 第1ポート 読み出し時



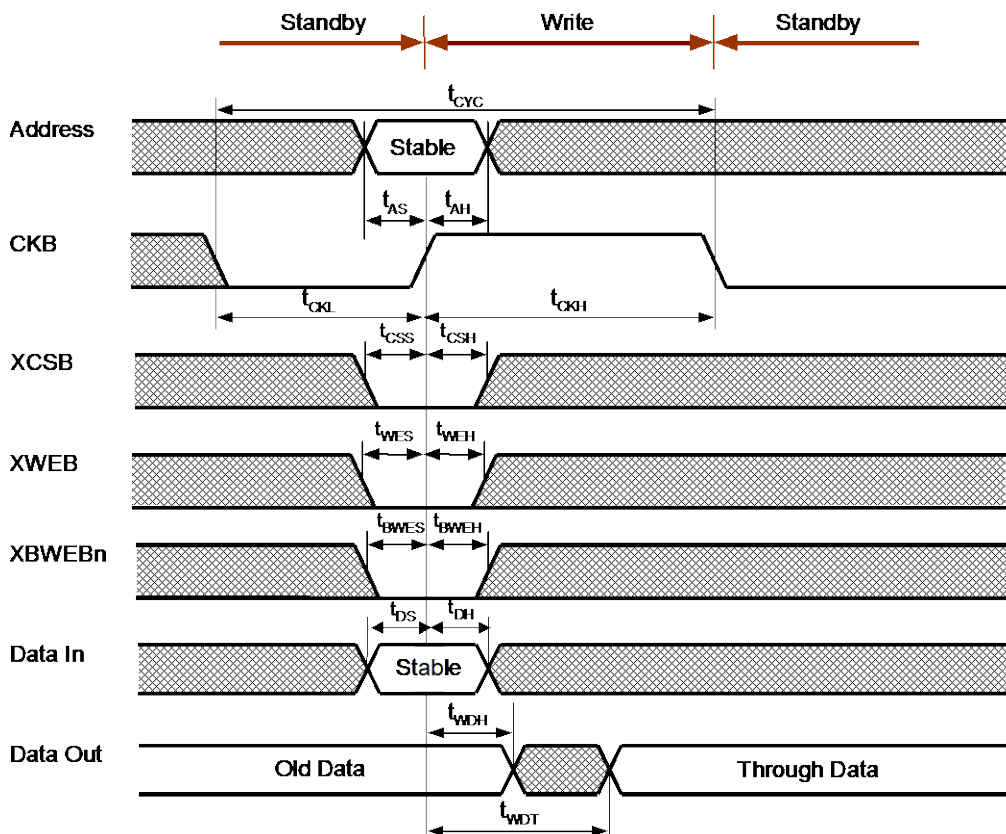
#### • 第1ポート 書き込み時



(2) 第 2 ポート 読み出し時



• 第 2 ポート 書き込み時



## 第8章 メモリマクロ (RAM) 仕様

### 8.3.6 電気的特性

#### AC 特性

表 8-15 電気的特性

( $V_{DD}=1.8V\pm 0.15V$ 、 $T_a=-40\sim 85^{\circ}C$ )

パラメータ	記号	Min.	Typ.	Max.	単位
クロック周波数	$f_C$	—	—	116	MHz
CK アクセスタイム	$t_{ACK}$	—	3.5	5.7	ns
CK ハイパルス幅	$t_{CKH}$	4.3	—	—	ns
CK ロウパルス幅	$t_{CKL}$	3.0	—	—	ns
サイクルタイム	$t_{CYC}$	8.6	—	—	ns
CS セットアップタイム	$t_{CSS}$	2.7	—	—	ns
CS ホールドタイム	$t_{CSH}$	0	—	—	ns
アドレスセットアップタイム	$t_{AS}$	2.7	—	—	ns
アドレスホールドタイム	$t_{AH}$	0	—	—	ns
WE セットアップタイム	$t_{WES}$	2.7	—	—	ns
WE ホールドタイム	$t_{WEH}$	0	—	—	ns
BWE セットアップタイム	$t_{BWES}$	2.7	—	—	ns
BWE ホールドタイム	$t_{BWEH}$	0	—	—	ns
出力ホールドタイム	$t_{OH}$	1.0	—	—	ns
データセットアップ	$t_{DS}$	2.7	—	—	ns
データホールドタイム	$t_{DH}$	0	—	—	ns
書き込みデータホールドタイム	$t_{WDH}$	0.2	—	—	ns
書き込みデータスルータイム	$t_{WDT}$	—	—	2.3	ns

注) AC 特性に記載された動作許容範囲を満たさない異常パルスがクロックに印加された場合、読み出し動作時であってもメモリセルに記憶されているデータが書き換わる可能性が有ります。また、その他の誤動作の原因となる恐れがあるため、必ず上表の許容動作範囲内で使用して下さい。

### 8.3.7 消費電力

消費電力については、弊社営業担当にお問い合わせください。その際、ワード/ビット構成を連絡ください。

## 8.4 非存在アドレスへのアクセス禁止

RAM の構成において、48 ワード、88 ワードといった中間ワード構成の RAM を使用する場合、非存在アドレスへのアクセスの可能性が考えられます。

実際の IC では、非存在アドレスに Read 動作を行なった場合は、対象となるワード線が存在せず、全てのワード線が OFF 状態になってしまうため、全ビット線がフローティング状態になってしまいます。そのため、

- (1) 全てのビット線がフローティング状態のまま Read 動作が行われてしまうため、RAM の出力が全ビット “不定” となってしまう。
- (2) 全てのビット線がフローティング状態のまま Read 動作が行われてしまうため、回路の一部で電流が流れる経路が発生してしまう。この電流値は RAM の構成・規模によって異なりますが、IC 全体の動作電流・静止時電流にバラツキを発生させてしまう。

等の状態が起こります。したがって、非存在アドレスへのアクセスに関しては禁止します。

論理シミュレーションにおいては、Read/Write オペレーション時のクロックの立ち上がりタイミングで、非存在アドレスチェックを行い、非存在アドレスのアクセス時にタイミングエラーを出力します。

### 第9章 消費電力の見積り方法

動作時消費電力の見積りについて記述しています。動作時消費電力については、参考値でありお客様の IC の動作状況、環境により異なりますので参考値としての取り扱いとなります。

チップ全体の消費電力計算方法について説明します。

#### 9.1 消費電力計算方法

消費電力は、一般的にその動作周波数、負荷容量、電源電圧に依存します。（アナログ回路等で定常電流が流れる特殊なものは除きます。）

チップ全体の消費電力の算出にあたっては、まず内部回路のそれぞれブロック毎の消費電力を求め、その総和を求めます。次に入出力バッファの消費電力を求め、それらを合計したものが求める総消費電力となります。

求める総消費電力  $P_{total}$  は、以下の式で見積ります。

$$P_{total} = P_{int} + P_{io}$$

$P_{int}$  : 内部領域の消費電力

$P_{io}$  : 入出力バッファの消費電力

#### 9.2 内部領域の消費電力 ( $P_{int}$ )

内部領域の消費電力を一度に計算することは困難なため、ここではブロック毎に計算をおこない、最後にその総和を内部領域の消費電力  $P_{int}$  と定義します。

$$P_{int} = P_{BC} + P_{CB} + P_{BM} + P_{CM} + P_{IP}$$

$P_{BC}$  : ゲートアレイタイプ領域の消費電力

$P_{CB}$  : スタンダードセルタイプ領域の消費電力

$P_{BM}$  : ゲートアレイタイプ RAM の消費電力

$P_{CM}$  : エンベデッドアレイタイプメモリセルの消費電力

$P_{IP}$  : その他の回路ブロックの消費電力

9.2.1 ゲートアレイ部 (P<sub>BC</sub>) あるいはスタンダードセル部 (P<sub>CB</sub>) の消費電力

ゲートアレイ部またはスタンダードセル部の消費電力は以下の式で求めます。

$$P_{GA} \text{ (あるいは } P_{SC}) = \sum_{i=1}^K (Nb \times f_i \times Spi \times Kpint) \quad [\mu W]$$

Nb : f<sub>i</sub> [MHz] で動作する回路の総 BC (ベーシックセル) 数

f<sub>i</sub> : 動作周波数 [MHz]

Spi : Nb の中で同時期に f<sub>i</sub> [MHz] で動作する BC の割合

(例) 全ての回路が同時期に f<sub>i</sub> [MHz] で動作する場合は Spi = 1.0

ブロック分割等で 50% の回路が f<sub>i</sub> [MHz] で動作する場合は Spi = 0.5 となります。

Kpint : 1BC あたりの消費電力

1BC あたりの消費電力 (Kpint) の値を表 9-1 に示します。

表 9-1 1BC あたりの消費電力 (Kpint)

(VDD=1.8V)

	ゲートアレイタイプ	スタンダードセルタイプ	単位
1BC 当りの消費電力	0.063	0.039	μW/MHz

9.2.2 エンベデッドアレイタイプ RAM の消費電力 (P<sub>CM</sub>)

エンベデッドアレイ RAM の消費電力値につきましては、弊社営業担当までお問い合わせください。

9.2.3 その他の回路ブロックの消費電力 (P<sub>IP</sub>)

その他の回路ブロックを使用される場合、各回路ブロックの消費電力値につきましては、弊社営業担当までお問い合わせください。

9.3 入出力バッファ領域の消費電力

入出バッファ領域の消費電力 (P<sub>io</sub>) は入力回路 (P<sub>i</sub>) と出力回路 (P<sub>o</sub>) の合計したものになります。

$$P_{io} = P_i + P_o$$

9.3.1 入力回路 (P<sub>i</sub>)

入力回路に消費電力は各バッファに入力される信号の周波数 f [MHz] に Kpi [μW/MHz] を乗じたものの総和になります。

$$P_i = \sum_{i=1}^K (Kpi \times f_i) \quad [\mu W]$$

f<sub>i</sub> : 動作周波数 [MHz]

Kpi : 入力バッファの電圧係数 3.03 [μW/MHz]

## 第9章 消費電力の見積り方法

### 9.3.2 入出力バッファ 出力回路 (Po)

出力回路の消費電力は、直流負荷の場合（抵抗性の負荷、接続先が TTL デバイスの場合など）と、交流負荷の場合（容量性の負荷、接続先が CMOS デバイスの場合など）で異なります。

直流消費電力を  $P_{DC}$ 、交流消費電力を  $P_{AC}$  とすると、求める出力バッファの消費電力  $P_o$  は次の式で表されます。

$$P_o = P_{AC} + P_{DC}$$

#### (1) 交流消費電力 ( $P_{AC}$ )

交流負荷での消費電力は、以下の式で概略値を求めることができます。

$$P_{AC} = \sum_{i=1}^K \{f_i \times C_L \times (V_{DD})^2\}$$

$f_i$  : 出力バッファの動作周波数 [Hz]

$C_L$  : 出力負荷容量 [F]

$V_{DD}$  : 電源電圧 [V]

#### (2) 直流消費電力 ( $P_{DC}$ )

直流消費電力は、次の式で概略値を求めます。

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$P_{DCH} = |I_{OH}| \times (V_{DD}^* - V_{OH})$$

$$P_{DCL} = I_{OL} \times V_{OL}$$

このとき、 $P_{DCH}$  と  $P_{DCL}$  の日は出力信号の Duty 比で決まります。

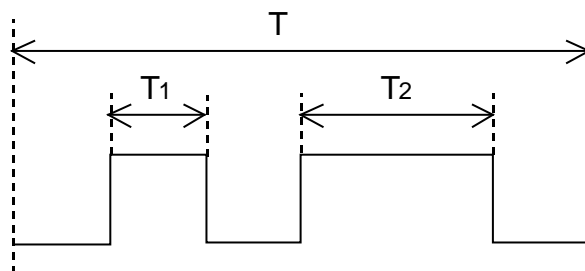


図 9-1 Duty Cycle の例

図 9-1 を例にとると、

$$\text{Duty H} = (T_1 + T_2) \div T$$

$$\text{Duty L} = (T - T_1 - T_2) \div T$$

となります。これにより、

$$\begin{aligned} P_{DC} &= P_{DCH} + P_{DCL} \\ &= \sum_{i=1}^K \{ (V_{DD}^* - V_{OH_i}) \times I_{OH_i} \times \text{Duty H} \} + \sum_{i=1}^K [V_{OL_i} \times I_{OL_i} \times \text{Duty L}] \end{aligned}$$

\* 2 電源の場合は  $HV_{DD}$  あるいは  $LV_{DD}$



## 9.4 概略消費電力計算例

以下の条件の概略消費電力値を求めます。

- 電源電圧：HV<sub>DD</sub>/LV<sub>DD</sub>=3.3V/1.8V
- 入出力バッファ（接続先は全てCMOS）
  - HVDD系入出力バッファ（双方向） 入力セル換算数 : 50 … 66MHz動作
  - HVDD系入出力バッファ（双方向） 出力セル換算数 : 60 … 33MHz動作、C<sub>L</sub>15=pF
- ゲートアレイ（ベイシックセル：BC）数 : 640k
  - 300k … 66MHz動作、回路動作率 30%
  - 340k … 50MHz動作、回路動作率 30%

最初にHV<sub>DD</sub>系での消費電力を求めます。

この回路例の場合、HVDD系での消費電力は全て入出力バッファで消費されている電力となります。

まず、入力回路での消費電流を求めます。

9.3 入出力バッファ 入力回路より K<sub>pi</sub>=3.03 [μW/MHz] になるので、

$$P_i = 3.03 \text{ [}\mu\text{W/MHz]} \times 66 \text{ [MHz]} \times 50$$

$$= 9999 \text{ [}\mu\text{W]} = 9.999 \text{ [mW]} \quad \dots \text{ ①}$$

次に入出力バッファ 出力回路の消費電流を求めます。

$$P_o = 33 \times 10^6 \text{ [Hz]} \times 15 \times 10^{-12} \text{ [F]} \times 3.3^2 \text{ [V}^2\text{]} \times 60$$

$$= 0.3234 \text{ [W]} = 323.4 \text{ [mW]} \quad \dots \text{ ②}$$

したがって、HVDD系での概略消費電力 P<sub>(HVDD)</sub> は、

$$P_{(HVDD)} = P_i + P_o = \text{①} + \text{②} = 9.999 + 323.4 = 333.399 \approx 333 \text{ [mW]}$$

となります。

次にLV<sub>DD</sub>系での消費電力を求めます。

この回路例の場合、LVDD系での消費電力はゲートアレイで消費されている電力となります。

300kゲートの領域が66MHz、340kゲートの領域が50MHzで動作し、その回路動作率が30%であるので、求めるゲートアレイ領域の消費電力P<sub>BC</sub>は以下の値になります。

ゲートアレイのK<sub>pin</sub>は、表9-1より 0.063 [μW/MHz]

$$P_{GA} = \sum_{i=1}^K (N_b \times f_i \times S_{pi} \times K_{pin}) \text{ [}\mu\text{W]}$$

$$= (300000 \times 66 \times 0.3 \times 0.063) + (340000 \times 50 \times 0.3 \times 0.063) \text{ [}\mu\text{W]}$$

$$= 374.22 \text{ [mW]} + 321.30 \text{ [mW]} = 695.52 \text{ [mW]}$$

したがって、LVDD系での概略消費電力 P<sub>(LVDD)</sub> は、

$$P_{(LVDD)} = 695.52 \approx 696 \text{ [mW]}$$

この結果、このICも概略消費電力は以下の値となります。

$$P_{(HVDD)} \text{ 系 } 333 \text{ [mW]} \text{、} P_{(LVDD)} \text{ 系 } 696 \text{ [mW]}$$

### 9.5 消費電力制限

消費電力の量により IC のチップ温度 ( $T_j$ ) は変化し、IC の特性に影響します。そのため IC を使用する条件で消費電力を求め、チップ温度 ( $T_j$ ) が  $-40\sim 125$  [ $^{\circ}\text{C}$ ] の範囲になることをご確認ください。(\*1)

チップ温度 ( $T_j$ ) は、消費電力 (PD)、周囲温度 ( $T_a$ )、パッケージの熱抵抗 ( $\theta_{j-a}$ ) から以下の式で求めることができます。

$$\text{チップ温度}(T_j) = T_a + (PD \times \theta_{j-a}) \quad [^{\circ}\text{C}]$$

パッケージの熱抵抗値は、以下 Web “LSI チップ温度について” を参照ください。

Web : [www.epson.jp/prod/semicon/products/asic/package\\_list.htm#ac06](http://www.epson.jp/prod/semicon/products/asic/package_list.htm#ac06)

(\*1) 一般的に IC の仕様は周囲温度 ( $T_a$ ) で規定されますが、本シリーズでは

周囲温度 ( $T_a$ ) =  $-40\sim 85$  [ $^{\circ}\text{C}$ ] を推奨周囲温度とした

チップ温度 ( $T_j$ ) =  $-40\sim 125$  [ $^{\circ}\text{C}$ ] で特性の保証をしています。

## 付録

## A1 シミュレーション結果例

## A1.1 シミュレーション結果と期待値とのコンペアファイル例

```

# APF file comparison program (apfcomp)
# version 2.70 Copyright (c) 1995-2003. SEIKO EPSON CORPORATION
# EXPECT      : samp.apf          ← 比較する期待値ファイル名
# COMPARE     : samp.samax       ← 比較するAPFファイル名
# RESULT      : samp.expmax      ← 比較結果ファイル
# RUN DATE    : Wed Feb 13 15:03:14 2008 ← プログラム実行 日付/時間
# DON'T CARE  :                  ← オプション-noxcareが指定された場合'X'、-nodotcareが指定された場合'.'
# IGNORE RZ   : NO              ← オプション-norzcareが指定された場合 YES
#
$DESIGN sample

$RATE 100000
$STROBE 98000
$RESOLUTION 0.001ns

$IIOCONT
I_14.E EO DATA3
I_15.E EO DATA2
I_16.E EO DATA1
$ENDIIOCONT

$NODE
SEL I 0
CK N 0 50000
RESET I 0
DATA1 BU 0
DATA2 BU 0
DATA3 BU 0
$ENDNODE
# Compared .....

$PATTERN
# SCRDDD
# EKEAAA
# L STTT
# EAAA
# T123
#
# INIBBB
# UUU
#
# 3 ONLLLL
#Mismatch H ← ミスマッチ行およびミスマッチの値
# 10 ON1LLH ← ミスマッチ行およびミスマッチの値
#Mismatch HX ← ミスマッチ行およびミスマッチの値
# 12 ON1LHL ← ミスマッチ行およびミスマッチの値
#Mismatch H ?
$ENDPATTERN

# 3 Mismatch lines found. 93.2% Matched ← パターン中の一致しなかった行数、および割合
# End event of EXPECT_file = 43 ← 期待値ファイルの最終イベント
# End event of COMPARE_file = 43 ← APFファイルの最終イベント
# MISMATCH SIGNAL Actual / Total number of mismatches at each node.
# * Actual = Total number of mismatches at each node minus(-) number of "?".
# << DATA1 >> COUNT = 3/3 ← 一致しなかった信号名とミスマッチ件数
# << DATA2 >> COUNT = 1/1 ← COUNT = ?を除いたミスマッチ数/ミスマッチ数
# << DATA3 >> COUNT = 0/1

```

コンペアファイルにミスマッチがある場合、以下の原因が考えられます。

- (1) フリップフロップのタイミングエラー  
セットアップタイムやホールドタイムの制約を超えていると、タイミングエラー・リストに現れないことに注意してください。
- (2) 出力遅延によるストロブ・ポイント超え  
1つの出力端子からの出力結果が、出力期待値より常に1サイクル分遅れて変化しているように見えるときに考えられます。L出力のみ、またはH出力のみ遅れている場合もあります。
- (3) 出力最終段の組み合わせ回路のハザード  
組み合わせ回路で生じたハザード（ヒゲパルス）が外部に出る場合があります。タイミングエラー・リストのNARROWレポートで確認できます。これを回避するためには、組み合わせ回路からの信号を一度フリップフロップで受けたものを出力するようにしてください。
- (4) 不定値(X)の伝播  
初期化前のRAM、フリップフロップの出力は不定です。  
クロックライン上に組み合わせ回路がある場合、入力同時変化で生じたハザードがフリップフロップのクロック端子に入力されると、そのフリップフロップの出力は不定になります。  
また、PowerCompiler等でクロック・ゲーティング用の複合セル（例えば、CLPSAD2X4）を挿入した場合、イネーブル端子に不定が入力されていると、出力クロックが不定になります。

## A1.2 タイミングエラー・リスト

シミュレーション中にタイミングエラーが発生した場合、図 A1-1 のようなリスト (\*. errmax, \*. errmin) が出力されます。ここでは、そのタイミングエラー・リストの見方について、図 A1-2 のタイミング図を交えて説明いたします。

図 A1-1 (a) ~ (g) は、タイミング図 A1-2 (a) ~ (g) に対応。

```

*
*OUTPUT NAME VALUE OFFSET/EVENT NUMBER
**-----
I=top.ffreg1_reg (a) (D ->posedge C &&& (VM6 != 0) (b) ==SETUP TIME ERROR (c) ... SPEC =325 (d) )
323 (e) 471 (f) / 3 35 120 185 (g)
**-----SUB_TOT 4 (h)
I=top.ffreg5_reg (posedge C ->D ==HOLD TIME ERROR ... SPEC =106 )
93 474/ 3
**-----SUB_TOT 1
I=top.sub1.flag_a_0 (negedge R ->posedge C &&& (D !=0) ==SETUP TIME ERROR ... SPEC =334 )
320 482/ 3 276
309 482/ 405
309 419/ 797 961 1221 1477 1649 3017
309 447/ 2722
**-----SUB_TOT 10
*-----TOTAL 15 (i)

```

図 A1-1 : タイミングエラー・リストの例

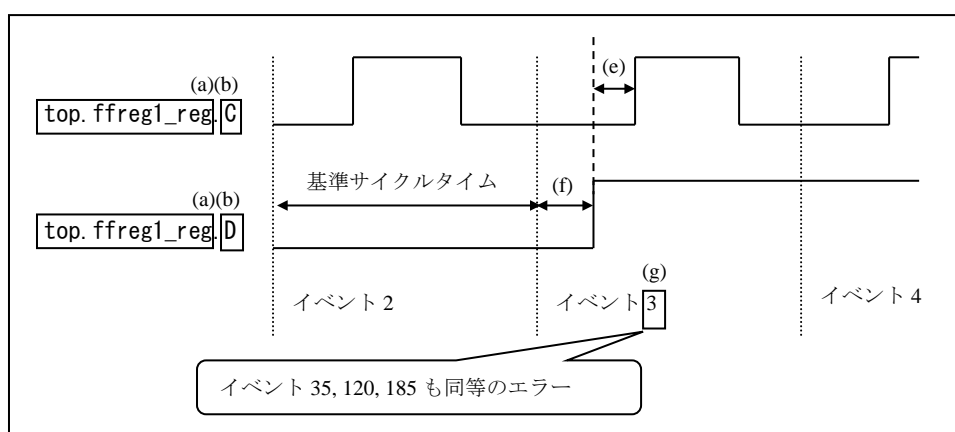


図 A1-2 : 波形でのイメージ

例 図A1の (a) ~ (i) 説明

(a) タイミング・エラー発生インスタンス名

タイミング・エラーが発生しているインスタンス名をフルパスで表しています。

図A1-1の場合、FFである「top.ffreg1\_reg」がエラー発生インスタンス名です。インスタンス名から、タイミング・エラーが問題となる箇所かどうかを判断してください。なお、論理合成時にインスタンス名が変わることがあります。

(b) タイミング・エラー検出条件

タイミング・エラーが発生する際の具体的な条件です。

「A →B&&&(C)」と表示されている場合、「条件Cにおいて、Aが変化した後にBが変化すること」を表します。

図A1-1の場合、「フラグVM6が0以外の状態において、D端子の信号が変化した後に、C端子に立ち上がり信号が入る」という条件を示しています。「VM\*」はセル（この場合はFF）のシミュレーションモデル内における、タイミング・エラー検出フラグを表しています。条件文が「VM\*」となっている場合は無視してください。この例では、D端子とC端子の関係にのみ注目して確認してください。

また、「NARROW\*」が表示されている場合は、下記(c)の「MINIMUM PULSE WIDTH」以下をご参照ください。

(c) タイミング制約種別

エラーとなった、タイミング制約の種別です。

主な制約として、以下のものがあります。

SETUP TIME            . . . セットアップ・タイム制約  
HOLD TIME             . . . ホールド・タイム制約  
MINIMUM PULSE WIDTH . . . 最小パルス幅制約

(b) 部に「NARROW\*」が表示されていることがあります。これは、シミュレーションの結果を、サンプリングしたデータ (apf) にてご確認いただく場合、出力波形の詳細確認が困難であることから、レート（基準サイクルタイム）の75%以下の長さであるパルスを表示しているものです。「NARROW\*」が表示されている場合、このエラーを必ずしも改善する必要はありません。回路仕様上、問題が無いかをご確認ください。

(d) タイミング・エラー検出規格（単位:ps）

エラーが発生しない最小の値です。

図A1-1の場合、SETUPエラーを発生させないためには、「D」の変化から「posedge C」まで、325ps以上の間隔を空ける必要があります。

(e) 実際のタイミング値（単位:ps）

図A1-1の場合、SETUP制約に2ps (=325ps-323ps) 不足していたこととなります。

---

(f) タイミング・エラー発生オフセット (単位:ps)

イベント開始から、エラー発生までの時間です。

図A1-1の場合、イベント開始から471ps後にタイミング・エラーが発生したことを示します。

(g) タイミング・エラー発生イベント (サイクル) 番号

タイミング・エラーが発生しているイベント番号を列挙しています。

図A1-1の場合、3、35、120、185、の各イベントでエラーが発生しています。シミュレーション結果と合わせて、回路仕様上問題が無いかをご確認ください。

(h) タイミング・エラー小計

インスタンス名、エラー検出条件、タイミング制約が同値であるタイミング・エラーの個数です。

(i) タイミング・エラー合計

タイミング・エラーの総数です。

## A2 RTL 設計上の注意 VHDL

「第1章 1.4.4 仮（トライアル用）データの提出」で説明した通り、仮の回路データを提出していただくことで、RTL 記述上の問題を事前に検出することが可能ですが、記述によっては、お客様の意図していない箇所で異常が検出される可能性もございます。そのような問題を防ぐため、RTL 設計の一般的なスタイルガイドに沿った設計を行ってください。

### A2.1 論理合成可能な RTL の提出

送付いただく RTL は、論理合成可能な記述のみにしてください。ビヘイビア・レベルの記述が含まれていると、論理合成ができません。論理合成可能であれば、複数個のファイルにわかれていても問題ありません。

### A2.2 階層設計図の提出

モジュールが階層設計であっても問題ありません。階層設計を行った場合は、階層構造図（ツリー図）もしくは、モジュールの親子関係を示す資料の送付をお願いいたします。

### A2.3 RAM の記述

弊社にて、RAM の VITAL モデルを提供することが可能です。必要な RAM のサイズ及び個数を指定してください。なお、RAM の VITAL モデル提供には日数がかかる場合がございます。

お客様にて RAM のモデルを記述する場合は、デザインガイド「第8章 メモリマクロ (RAM) 仕様」記載の仕様に従ってください。また、そのモデルのモジュール名をお知らせください。

### A2.4 入力ポートへの定数割り当て

port\_map 文において、入力ポートに定数を直接割り当てることはできません。また同様に、“open” を割り当てたり、記述を省略したりすることもできません。これらは、論理合成時にエラーとなります。これを回避するためには、定数値を持つ signal をマッピングしてください。

```
Architecture BEHAVIOR of example3_4
signal dummy0 std_logic;
signal dummy1 std_logic;
begin
  dummy0 <= 0;
  dummy1 <= 1;
  port map abcx ( a => dummy0, b=> dummy1, c=> data_in, x => data_out )
end BEHAVIOR;
```

図 A2-1 定数値を持つ signal をマッピングする



## A2.5 端子名の制約

外部端子、および内部端子の名前は、デザインガイド記載の制限・制約にそっていただくことを推奨します。もし、制限・制約外の名前が使われている場合は、論理合成時にお客様の意図しない名前に付け替えられることがありますことを、ご了承ください。

### (1) 外部端子名制約

- ① 全て大文字にて記述してください。
- ② 使用可能文字 英数字とアンダーバー'\_'のみ使用できます。  
ただし、先頭文字は英字のみ、末端文字は英数字のみ使用可能です。
- ③ '\_' が2つ連続してはいけません。
- ④ 文字数は、2～32文字の範囲です。
- ⑤ read、write は予約語ではありませんが、使用できません。(システム使用のため)

### (2) 内部端子名制約

- ① 大文字・小文字の混合は可能です。ただし、大文字小文字混在の同一名は使用できません。  
例："ABC" と"Abc" の混在は禁止
- ② 使用可能文字は、英数字とアンダーバー'\_'、バス記述用のかっこ'('、')'です。
- ③ 文字数は、2～32文字の範囲です。

### (3) VHDL 予約語

以下の文字列はユーザ一定義名として使用できません。

abs	access	after	alias	all	and	architecture
array	assert	attribute	begin	block	body	buffer
bus	case	component	configuration	constant	disconnect	downto
else	elsif	end	entity	exit	file	for
function	generate	generic	guarded	if	in	inout
is	label	library	linkage	loop	map	mod
nand	new	next	nor	not	null	of
on	open	or	others	out	package	port
procedure	process	range	record	register	rem	report
return	select	severity	signal	subtype	then	to
transport	type	units	until	use	variable	wait
when	while	with	xor			

(4) Verilog-HDL 予約語

セイコーエプソンでの作業において、使用ツールの関係上、VHDL-RTL を Verilog ネットリストに変換する必要があります。

そのため、以下の文字列はユーザー定義名として使用できません。

always	and	assign	begin	buf	bufif0	bufif1
case	casex	casez	cmos	deassign	default	defparam
disable	edge	else	end	endcase	endmodule	endfunction
endprimitive	endspecify	endtable	endtask	event	for	force
forever	fork	function	highz0	highz1	if	ifnone
initial	inout	input	integer	join	large	macromodule
medium	module	nand	negedge	nmos	nor	not
notif0	notif1	or	output	parameter	pmos	posedge
primitive	pull0	pull1	pullup	pulldown	rcmos	real
realtime	reg	release	repeat	rnmos	rpmos	rtranif0
rtranif1	scalared	small	specify	specparam	strong0	strong1
supply0	supply1	table	task	time	tran	tranif0
tranif1	tri	tri0	triand	trior	triereg	vectored
wait	wand	weak0	weak1	while	wire	wor
xnor	xor					

### A2.6 ポートのデータ型

最上位モジュールのポートに使用できるデータ型は、std\_logic のみです。バス記述は禁止しています。それ以外のモジュールのポートは、std\_logic、std\_logic\_vector を使用してください。弊社にて論理合成時に、バス記述を展開することがあります。

### A2.7 integer の使用について

integer の使用時は、ビット幅に注意してください。signal 宣言は std\_logic\_vector で行い、演算の際に conv\_integer で型変換する方法を推奨します。

## A2.8 入出力バッファ

セイコーエプソンで、入出力バッファを付加いたします。バッファの種類および、出力負荷容量を指定した端子配列表を提出してください。タイミング条件が厳しい場合、または Fail-Safe バッファなどの特殊バッファを使用する場合は、仮データ提出時に指定してください。

入出力バッファは、トップ モジュールを RTL 用からゲート用に置き換える方法が安全で簡単です。弊社でゲート用のトップ モジュールを作成いたしますので、RTL 用のトップ モジュールには、入出力に関する記述のみをお願いします。具体的には、単方向ポートは、下位モジュールと 1 対 1 に接続するだけにしてください。そして、双方向ポートの記述は、下位階層から入力信号ポートと出力信号ポートとイネーブル信号ポートを引き出して、トップ モジュール内で双方向信号を記述してください。

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity TOP is
    port( IN1 : in std_logic;  OUT1 : out std_logic;  BID1 : inout std_logic);
end TOP;

architecture rtl of TOP is
    signal en, bid1_out : std_logic;

    component CORE
        port( in1, bid1_in      : in  std_logic ;
              out1, bid1_out, en : out std_logic );
    end component;

begin
    U_CORE : CORE port map( in1 => IN1, out1 => OUT1, bid1_in => BID1,
                           bid1_out => bid1_out, en => en);
    BID1 <= 'Z' when en = '1' else bid1_out ;
end rtl;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity CORE is
    port( in1, bid1_in      : in  std_logic ;
          out1, bid1_out, en : out std_logic );
end CORE;

architecture rtl of CORE is
begin
end rtl;
```

図 A2-2 : トップモジュールの RTL 例

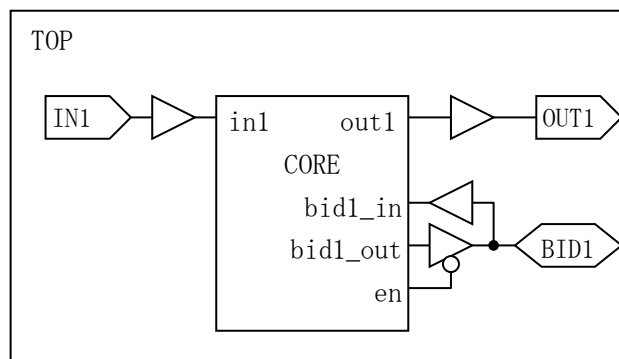


図 A2-3 : トップモジュール イメージ

### A2.9 プリミティブ・セルの使用

RTL 内で、セイコーエプソンのプリミティブ・セルを呼び出しているモジュール名と、プリミティブ・セル名をお知らせください。プリミティブ・セルが論理合成時に消されないための設定を行います。また、シミュレーションの際に記述した、セイコーエプソンのライブラリに関する宣言を、削除してください。非同期 RAM モデルのライブラリ宣言も削除してください。

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

---- comment out ----
-- library S1L50000_TYP,S1L50000_RAM;
-- use S1L50000_TYP.all;
-- use S1L50000_TYP.all;
---- comment out ----
    
```

図 A2-4 : セイコーエプソンのライブラリ宣言をコメントアウト

## A3 テスト回路挿入

### A3.1 スキャン (SCAN) 回路挿入

お客さまにてスキャン回路挿入もしくは、ATPG を実施される場合、以下設計ルールを考慮いただくようお願いいたします。

#### (1) スキャン外部端子

スキャン回路挿入する場合は、次に示す外部端子が必要となります。

#### ① ATPG イネーブル入力端子 (ATPGEN) 【専用端子】

ATPG の走行モードをアクティブにする外部入力端子です。状態を固定しておかなければならないデザインが存在する場合や、内部論理が不安定になるブロック (シミュレーション時にブラックボックスとなるブロックを含む)、機能マクロ、および RAM セルの出力は、この端子で値を固定 (確定) させる必要があります。

#### ② スキャンイネーブル入力端子 (SCANEN) 【専用端子】

通常のパラレル動作 (データパス) とシフト動作 (スキャンパス) を切り替える外部入力専用端子です。通常機能やその他のモード機能との共用はできません。外部専用端子として入力セルと外部端子をデザイン内に準備してください。内部の接続はセイコーエプソンにて行います。

#### ③ スキャンクロック入力端子【通常クロックと同一、もしくは専用端子】

ATPG により生成されたテストパターンにおけるクロック入力端子です。セイコーエプソンでは、スキャンセルは MUX スキャンタイプを採用しておりますので、通常時に使用されるシステムクロックと同一である事が一般的ですが、内部生成クロックが存在する場合には、スキャン専用クロック端子が必要となる場合があります。詳しくは、「同章の(2) クロックの設計」を参照してください。

#### ④ スキャンデータ入力端子【共用可能】

スキャン設計により置換されたスキャンレジスタにデータをセットするための外部入力端子です。スキャンレジスタの数に応じて複数本必要となります。目安としては、300~500 スキャンレジスタ当たり 1 本換算で準備してください。また、スキャンデータ出力端子と同数必要です。

この端子は通常時に使用する外部入力端子との共用が可能です。ただし、クロック端子、非同期セット/リセット端子、アナログ信号入力端子は使用できません。また、共用する事でそのネットの Fan-Out が増加します。クリティカルパスへの共用は避けてください。

スキャンデータ入力端子は、スキャン設計作業時に弊社にて接続を行います。接続可能な外部入力端子名をご指定ください。ご指定のない場合は弊社担当者が割り当てを行います。

#### ⑤ スキャンデータ出力端子【共用可能】

スキャン設計により置換されたスキャンレジスタから観測データを出力するための外部出力端子です。スキャンレジスタの数に応じて複数本必要になります。目安としては、300~500 スキャンレジスタ当たり 1 本換算で準備してください。また、スキャンデータ入力端子と同数必要です。

この端子は通常時に使用する外部出力端子との共用が可能です。(2-state タイプの出力端子を推奨します)。ただし、アナログ信号出力端子は使用できません。また、共用する事でそのネット

トのセル段数が増加します。クリティカルパスへの共用は避けてください。スキャンデータ出力端子は、スキャン化作業時にセイコーエプソンにて接続を行います。接続可能な外部出力端子名をご指定ください。ご指定のない場合は弊社設計担当者が割り当てを行います。

(2) クロックの設計

スキャン化を行うためにはクロック設計が非常に重要です。クロック設計が繁雑であると故障検出率の低下を招くだけでなく生成したテストパターンが不安定になり、スキャン/ATPG 本来の目的が達成されませんので、同期回路を基本とします。次に示すルールにしたがった設計を行ってください。

① 外部から直接制御可能な構造にする【必須】

スキャンクロックは外部入力端子からクロック波形が崩れることなくレジスタに到達しなければなりません。通常動作時に内部生成クロックが存在しても構いませんが、ATPG を走行するモードでは、論理的に内部生成クロックが存在しないような構造が必要です。図 A3-1～A3-4 に例を示します。

7) 理想的なクロック

図 A3-1 は、理想的なクロック設計の例です。このように設計初期より、すべてのレジスタが外部入力端子から供給されるように設計されていると、GTS (Clock Tree Synthesis) の処理を施すのみでスキャン設計のためのクロックライン修正は必要がありません。クロックラインの修正は回路全体のタイミングに影響することから、設計当初からスキャン設計を意識することが重要です。

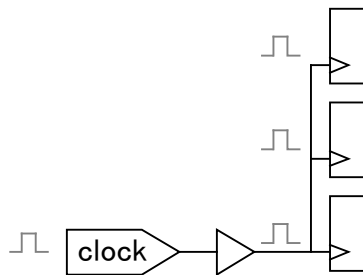


図 A3-1 理想的なクロック

4) 内部生成クロックの処理 1

内部生成クロックが使用されている場合は、図 A3-2 のようにクロック生成部分をバイパスする回路を設け、かつ、ATPG 走行モードに対して GTS 処理を施すデザインを追加してください。ただし、この処理ではクロックラインに MUX セルが追加されますので、他システムのクロックとのタイミング調整に支障が出る場合があります、採用には注意が必要です。

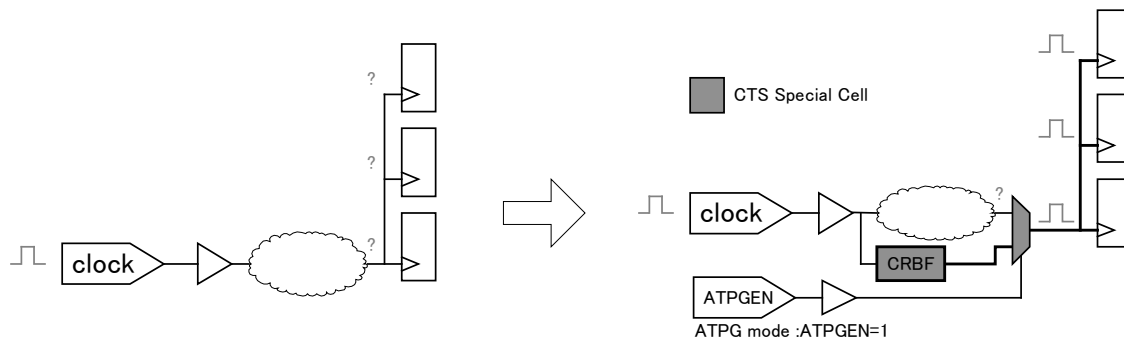


図 A3-2 内部生成クロックの処理

ウ) 内部生成クロックの処理 2 (クロックゲーティングの処置)

内部生成クロックにおいて、クロックライン上にセルを追加しないためには、クロック信号をゲートしているイネーブルライン側をコントロールする方法があります。

図 A3-3 は、その例です。この方法を採用すると、図 A3-4 のように MUX をクロックライン上に配置する必要がなくなり、比較的クロックスキューの小さなデザインが構築できる有効な手段です。

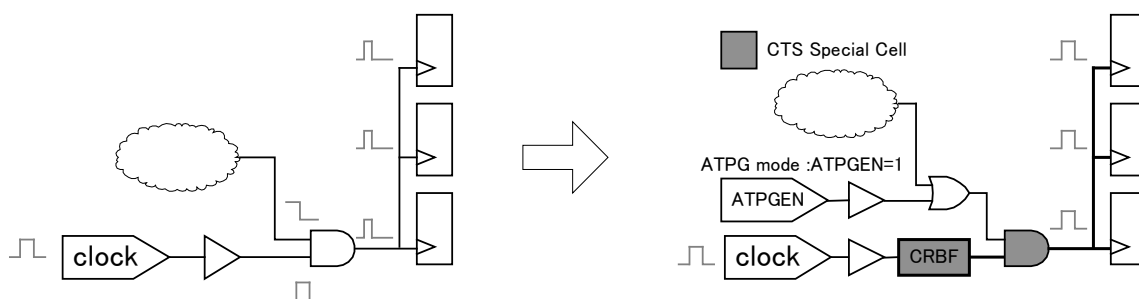


図 A3-3 クロックゲーティングの処置

エ) 複数クロックグループの関連

内部生成クロックを含め、複数のクロックを持つデザインでは、それらの関係により処置方法が限定される場合があります。異なるクロックを使用するブロック間に物理的に接続関係がない場合には問題ありませんが、もしデザイン仕様上、フォールスパス（物理的な結線はあるが通常動作時には論理的に通信がない場合、もしくは論理合成時にタイミングを考慮していない場合）や、マルチサイクルパス（非同期通信として数回のラッチミスを許容した仕様の場合）としている場合には、十分注意が必要です。

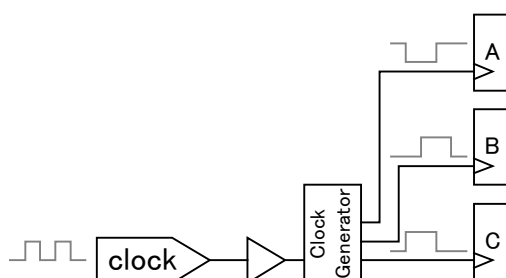


図 A3-4 (a) 複数の内部生成クロックを持つ例

図 A3-4 (b) は、ブロック A、B、C 間に物理的な結線が存在しない場合の対策例です。物理的な結線が存在しないので、クロックを一括で処理しても各グループでのスキューを CTS で解決すれば ATPG 走行時のタイミングは安定します。

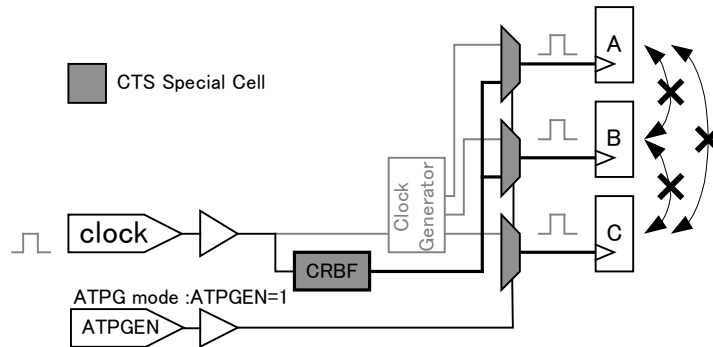


図 A3-4 (b) 複数の内部生成クロック対策例 1  
(ブロック同士の結線が存在しない場合)

\* この例では、3つのクロックを一括に CTS 対策を施す事でスキャンチェーン構築を効率的に行うことを想定した方法です。

しかし、物理的な接続がある場合は、たとえ仕様上問題がないとしても ATPG のためには対策が必要です。図 A3-4 (c) はその場合の処置例です。ATPG はランダムにパターンを発生させるため、仕様上ありえないフォルスパスを経由する動作も引き起こします。この場合、A、B、C 間のデータパスに関するタイミングは保証できません。そこで、内部生成クロックごとにタイミングを制御できるよう、これらクロックを各々外部にバイパスさせます。また、これらのバイパスクロック端子は専用端子とすることを推奨します。どうしても共通端子とする場合には、その共通端子から入力されるクロック信号がレジスタ以外に伝播しないようゲートしなければなりません(図 A3-4 (d) 参照)。また、この時そのネットの値は固定されるので故障検出率は低下します。

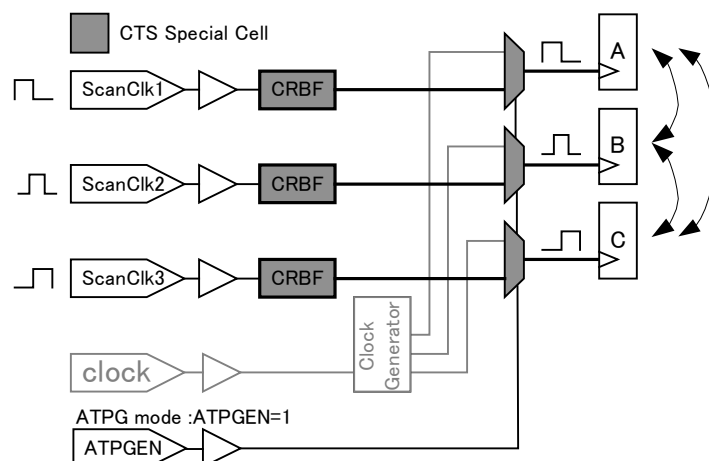


図 A3-4 (c) 複数の内部生成クロック対策例 2  
(ブロック同士の結線が存在する場合)



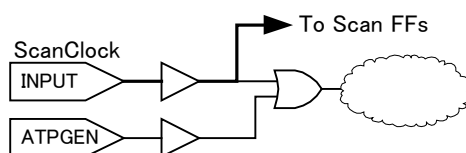


図 A3-4 (d) 共通端子によるスキャンクロック処理例

② クロックの本数はできるだけ少なく【推奨】

上記のようにクロックが複数存在すると、デザインの変更／追加やタイミングの再検証項目の増加など、お客さまの作業が増加します。また、テストパターン長の増加や故障検出率低下の要因となります。できる限りクロック系統を削減したデザインを構築しておくことで、より一層効率的になります。

③ Rise エッジと Fall エッジの混在はできるだけ少なく【推奨】

各クロックにおいて、Rise/Fall 両エッジを使用していると、スキャン作業、ATPG 走行が非効率的になる場合があります。場合によっては検出率の低下を招きます。スキャンクロックはできるだけ片エッジのみを使用して設計することを推奨します。

④ スキャンクロック信号とデータ信号は完全に分離する【推奨】

スキャンクロック信号とデータ信号は完全に分離してください。スキャンクロック信号がデータラインに影響を及ぼす場合、クロック信号とデータ信号が別々にコントロールできないため故障が検出できません。

(3) レジスタの非同期セット／リセット信号【必須】

FF およびトランスペアレントラッチセルの非同期セット／リセットは、すべて外部から直接制御されるような回路を推奨します。もし、デザイン内部で生成された信号を用いる場合は、次の点を考慮してください。

① 少なくともスキャンイネーブル中はアクティブにならない。

② 内部生成された非同期セット／リセット信号を用いる場合、ミニマムパルスが発生しないよう FF の出力から組み合わせ論理を介さず直接使用する。もし組み合わせ論理を介した信号を使用する場合は、グレイコードを用いる等の対策をする。

\* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

(4) トランスペアレントラッチの取り扱い【推奨】

トランスペアレントラッチはスキャンセルへの置換は行いません。故障検出率向上には非効率的なためできるだけ使用しないようにしてください。

使用する場合には、次の点を考慮してください。

① クロック信号は「b. クロックの設計」に準じたクロック対策を実施する。

② 同一クロックラインに接続されている他のレジスタと OffState のレベルを一致させる。

例: FF が Rise 動作 (ReturnToZero) の場合、“LOW” レベルでスルー。FF が Fall 動作 (ReturnToOne) の場合、“HIGH” レベルでスルーになるようにします。

ただし、スキャンクロックが両エッジ使用されていたり複数存在する場合は、デザイン構成によって改善されない場合があります。この場合、次の対策を施してください。

③ 前述2点が考慮できない場合は、ATPGを走行するモードではスルー状態に固定する。この時フィードバックループが発生しないよう注意する。

\* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

### (5) 使用できないセルやデザイン【必須】

スキャン設計では、次のセルの使用を禁止します。

＜使用禁止セル＞

- RS ラッチセル
- 非同期セット／リセット両機能を持つFF
- マルチビットFFセル
- スキャンタイプFF

＜使用禁止回路＞

- コンビネーションナルフィードバックループ（外部双方向端子を経由するものを含む）
- 微分回路（パルスジェネレータ）
- 自己リセット回路
- 順序制御によるATPGモード（ATPGイネーブル入力端子で制御してください。）

\* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

### (6) 内部バス【推奨】

内部3-stateセルを用いたバス回路は使用せず、セレクトア論理で設計することをお勧めします。使用する場合には、ATPGの走行モードでは、切り替えが行われないう1ラインのみがアクティブになるように固定してください。（使用した場合、バス回路は値が固定されるため故障検出率が低下します。）

### (7) 各種コントロール付き外部セル【必須】

S1X80000 および S1K80000 シリーズの双方向セルには、各種のコントロール端子を持つタイプが存在します。これらの端子は、ATPGイネーブル入力端子を用いて固定する必要があります。下記にしたがい処理を行ってください。

- ゲーティング信号（C端子）

ATPGイネーブル入力端子(ATPGEN)を用いてスルー状態に固定してください。(ATPGEN=Active時、C=1)

## A3.2 バウンダリスキャン (JTAG) 回路挿入

お客さまにて JTAG 回路挿入する場合、以下の設計ルールを考慮いただくようお願いします。

### (1) DC テスト・AC テスト容易回路との共存禁止

セイコーエプソン推奨のテスト容易回路との共存はできません。バウンダリスキャンに対応する場合には、推奨 DC テスト・AC テスト回路の挿入はできません。

外部端子に使用できる文字列

外部端子名は、BSDL フォーマットのルールにより、以下の制約があります。

- ① 使用可能なキャラクタは、英数字 (a~z, A~Z, 0~9) と “\_” (アンダスコア) のみ。
- ② 大文字と小文字の区別はされない。(CLK と clk は同一と見なされます)
- ③ 先頭文字は英字にする。(悪い例 OCLK、\_CLK)
- ④ アンダスコアは続けて使用しない。(悪い例 SYS\_CLK)
- ⑤ 文字列がアンダスコアで終了しない。(悪い例 CLK\_)

### (2) 専用外部端子の準備

バウンダリスキャン回路には、必ず 5 本の専用外部端子が必須です。以下のルールに基づいた外部端子挿入を行ってください。

#### ① クロック (TCK)

バウンダリスキャン回路用のクロック用端子。入力セルを用意し、その出力ポートは、どこにも接続しない。

#### ② モードセレクト (TMS)

バウンダリスキャン回路用のモードセレクト用端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

#### ③ データ入力 (TDI)

バウンダリスキャン回路用のスキャンデータ入力端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

#### ④ データ出力 (TDO)

バウンダリスキャン回路用のスキャンデータ出力端子。3-state 出力セルを使用し、その入力ポートは、プルダウンしておく。

#### ⑤ リセット (TRST)

バウンダリスキャン回路用の非同期リセット用端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

```
IBC U1 (.PAD(TCK));           // IBC: ノーマル入力セル
IBCP1 U2 (.PAD(TMS));        // IBCP1: プルアップ付き入力セル
IBCP1 U3 (.PAD(TDI));
IBCP1 U4 (.PAD(TRST));
TB1 U5 (.PAD(TDO), .A(1'b0), .E(1'b0)); // TB1: 3-state 出力セル
```

図 A3-5 専用端子記述の例 (verilog 記述)

(3) 階層ブロックについて

ネットリストの階層ブロックは、以下のような構成としてください。また、バウンダリスキャン挿入後は TAP コントローラ等の階層ブロックが追加されます。

- I/O セルはトップブロックに配置してください。
- その他の論理は、できるだけ一階層下のサブブロックに納めてください。

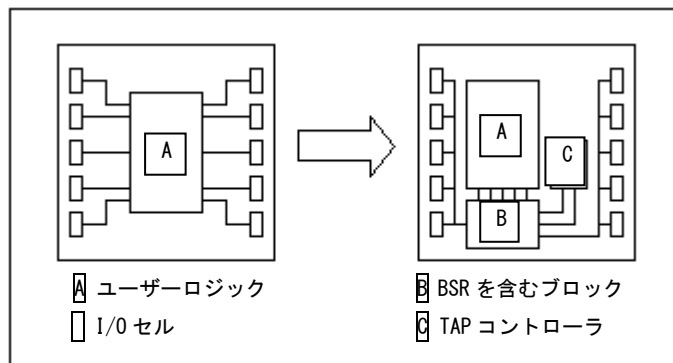


図 A3-6 階層ブロック構成イメージ

(4) I/O セル種について

下記 I/O セル種を使用している場合、対応できません。

- テストモード付き I/O セル
- Gated 入力セル
- オープンドレイン出力セル

(5) アナログ信号を扱う外部端子

発振回路用入出力端子やアナログ信号を扱う外部端子にはバウンダリスキャンセルを挿入しません。

(6) マルチボンディング、マルチパッド

マルチボンディング、マルチパッドを使用した場合は対応できません。

### A3.3 機能セルテスト回路挿入

#### (1) お客さまにて機能セルテスト回路挿入時の注意

お客さまにて機能セルのテスト回路の設計される場合には、以下の点に注意してください。

- ① 各々の機能セルが、ユーザー回路と分離でき、ブロックごとに測定できるようにテスト回路を追加して機能セルの端子を外部端子に出してください。
- ② 機能セルの入力を  $V_{SS}$  や  $V_{DD}$  に固定する場合でも、テスト回路を設けてテスト入力ができるようにしてください。
- ③ 機能セルの出力端子を使用しない場合でも、テスト回路を設けて、機能セルの全出力を外部端子から観測できるようにしてください。
- ④ 機能セルの複数の出力端子または入力端子をまとめて一つのテスト兼用端子として使用しないでください。
- ⑤ 機能セルをテストするためのテスト回路に順序回路を使用しないでください。
- ⑥ テスト入力端子からの入力信号を反転させて機能セルに入力しないでください。同様に、機能セルの出力信号を、反転させてテスト出力端子に出力しないでください。
- ⑦ 機能セルの入力端子、および出力端子が直接 IC の端子として出されている場合、テスト回路を設ける必要はありません。

#### (2) お客さまにてテスト回路挿入時のテストパターン

テストパターンは大きく分けて 3 種類あります。

- ① ユーザー回路のみをテストするテストパターン
- ② 回路全体をテストするテストパターン
- ③ 機能セルのみをテストするテストパターン

お客さまに作成していただくテストパターンは、1、2 項目のテストパターンです。3 項目のテストパターンは、作成する必要はありません。弊社作成機能セルを使用する場合は弊社作成の既存のテストパターンを使用します。

#### (3) テスト回路情報

シミュレーション時および出荷検査時に機能セルをテストするために必要となりますので、テスト回路について次の情報を提出してください。

- ① テストモードにおいて機能セルの端子が IC のどの端子に接続されているかを明記してください。
- ② 一つのテスト端子に複数の機能セルがテストできるようにテスト回路が構成されている場合、テストモードと、選択される機能セル名との対応付けを明記してください。
- ③ 特に同じ機能セルを複数使用した場合、図面上の機能セル名に通し番号を付け、どの機能セルのテスト端子かを明記してください。
- ④ テストモードへの切り替え方法を明記してください。

---

## A4 DC・AC テストパターン

### A4.1 DC テストパターン

DC テスト回路をお客さまにて作成される場合、以下のテスト項目を考慮いただくようお願いいたします。

DC テストは IC の DC パラメータを検証するために行うテストです。DC テストは測定イベントの終端で測定されます。このため、被測定端子は測定イベントにおいてストロブ以後状態が変化してはいけません。

測定する DC パラメータは以下の項目です。

#### (1) 出力特性テスト ( $V_{OH}$ 、 $V_{OL}$ )

出力バッファの電流駆動能力を測定します。被測定端子を測定対象となる出力レベルになるように動作させて、仕様上の電流負荷を与えたときの電圧降下の値を測定します。

出力特性テストを行うためには、テストパターン中に対象となる端子が動作し得るすべての状態が存在しなければなりません。また、その状態は、測定するイベントにおいてテストレートを無限に延ばしても変化がないようなものでなければなりません。

#### (2) 静的消費電流テスト ( $I_{DDs}$ )

静的消費電流とは、入力が定常状態にあるときの IC の電源に流れるリーク電流です。この電流は一般的に非常に小さい値であるために、このリーク電流以外に他の電流が流れないような状態で測定しなければなりません。このためには、以下に挙げる条件がすべて満たされていることが必要になります。また、静的消費電流が測定可能なイベントは少なくとも 2 箇所以上必要です。

- ① 入力端子がすべて定常状態であること。
- ② 双方向端子に“HIGH”レベルまたは“LOW”レベルが与えられているかまたは出力されていること。
- ③ 回路の中で発振等、動作部分がないこと。
- ④ 内部 3-state バッファ (内部バス) がフローティングまたはコンテンションしていないこと。
- ⑤ RAM 等、機能セルが電流の流れる状態になっていないこと。
- ⑥ プルアップ抵抗付き入力端子に“HIGH”レベルが与えられていること。
- ⑦ プルアップ抵抗付き双方向端子に“HIGH”レベルが与えられているかまたは“HIGH”レベルを出力していること。
- ⑧ プルダウン抵抗付き双方向端子が入力状態であるかまたは“LOW”レベルを出力していること。

#### (3) 入力電流テスト

入力バッファの入力に関する測定を行います。この測定項目には、入力リーク電流、プルアップ/プルダウン電流測定が含まれます。この測定項目のテストは、被測定端子に  $V_{DD}$  レベルまたは  $V_{SS}$  レベルの電圧を印加して、そのときに流れる電流値を測定することによって行われます。つまり、測定時に“HIGH”レベルまたは“LOW”レベルの電圧が被測定端子に与えられていることとなります。

たとえば、被測定端子が“LOW”レベルを与えられている状態で、 $V_{DD}$ レベル（“HIGH”レベル）を与えてこのテストを行うと、被測定端子には“LOW”から“HIGH”への状態変化が起こり、ICが意図しない動作を起こしてしまう可能性があります。

入力電流テストを測定するためには、テストパターンにおいて被測定端子に“HIGH”が入力されているイベントで  $V_{DD}$  レベルを印加するテストを行い、“LOW”が印加されているイベントで  $V_{SS}$  レベルを印加するテストを行います。したがって、テストパターン中に被測定端子にこれらの状態がないとこのテストを行うことができません。

入力電流テストはさらに以下のように分類されます。

#### (4) 入力リーク電流テスト ( $I_{IH}$ 、 $I_{IL}$ )

プルアップ／プルダウン抵抗が付いていない入力バッファの入力電流に関する測定を行います。

入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を  $I_{IH}$  と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“HIGH”レベルを入力していなければなりません。

入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を  $I_{IL}$  と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“LOW”レベルを入力していなければなりません。

#### (5) プルアップ電流テスト ( $I_{PU}$ )

プルアップ抵抗付き入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“LOW”レベルを入力していなければなりません。

#### (6) プルダウン電流テスト ( $I_{PD}$ )

プルダウン抵抗付き入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“HIGH”レベルを入力していなければなりません。

#### (7) オフステートリーク電流 ( $I_{OZ}$ )

オープンドレインおよび 3-state 出力バッファにおいて、出力の状態がハイインピーダンスのときに流れるリーク電流を測定します。実際の測定は、ハイインピーダンス状態の被測定端子に  $V_{DD}$  レベルの電圧を与えたとき、 $V_{SS}$  レベルの電圧を与えたとき各々の電流値を測定します。したがって、テストパターンの中に被測定端子がハイインピーダンス状態になるイベントがなければなりません。

---

## A4.2 AC テストパターン

AC テストは、入力端子の変化が起こってからそれが出力端子に伝播するまでの時間を測定します。AC テスト回路をお客さまにて作成される場合、AC テストの測定パスはお客さまに選択していただきます。

### (1) 測定イベントに関する制約

このテストは通常バイナリサーチ法と呼ばれるテスト方法で行われますので、測定イベント内での被測定端子（変化のあった出力端子）の変化点は一箇所だけである必要があります。（RZ 波形が出力されている端子での測定はできません。また測定イベントでハザードが出力されている場合も測定できません）また、測定する信号の状態変化は、“HIGH” → “LOW” または “LOW” → “HIGH” でなければいけません。（Z が関係する変化は測定できません）

その他注意事項として、測定イベントで多数の出力端子の同時変化や、双方向端子と LSI テスタとの信号のコンテンションがないようなイベントを選択する必要があります。これは、同時変化や信号のコンテンションがあると、LSI の電源が振られて被測定端子の出力波形に影響が出てしまい正確な測定を行うことができなくなるからです。

### (2) AC テストの測定箇所に関する制約

AC テストの測定箇所は、4 種類以内にしてください。

### (3) 測定するパスの遅延に関する制約

AC 測定パスは遅延の大きいパスを測定するほど測定精度が上がります。測定パスの遅延時間はテストシミュレーションの Max 条件で 30nsec 以上かつストローブポイント以下に設定してください。

### (4) その他の制約

- ① 発振回路からのパスは、指定しないでください。
- ② 内部 3-state の回路（内部バス）を通らないパスを指定してください。
- ③ 測定パスの入力バッファから出力バッファの間に他の双方向セルを通るパスを指定しないでください。
- ④ 使用電圧範囲が 2 種類以上ある場合、AC テストの測定電圧は 1 種類に統一してください。

### (5) 双方向端子のテストパターン制限

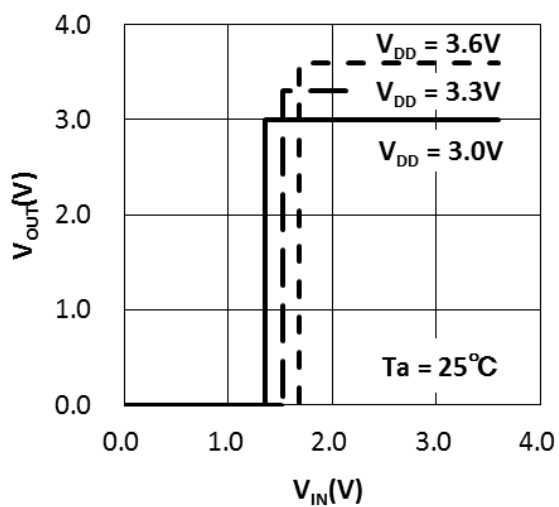
双方向端子はテスタの制限によって 1 イベント内では入力モードと出力モードの切り替えを複数回（2 回以上）行うことができません。したがって双方向セルの入出力モードの切り替え制御に RZ 波形が使われないようにテストパターンの作成をしてください。



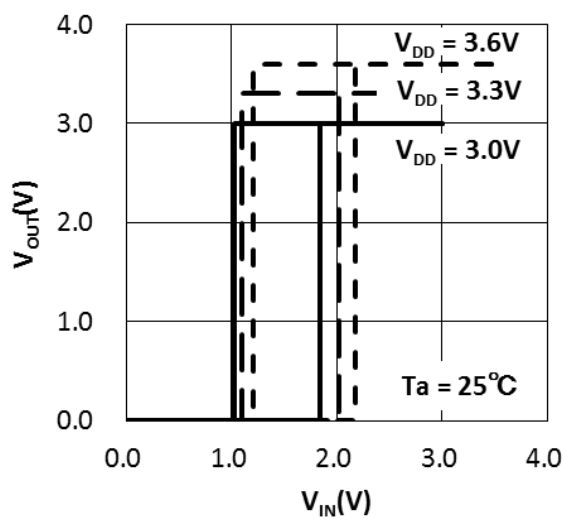
## A5 入出力バッファ 各種特性値

### A5.1 入力バッファ特性 (Typical)

#### A5.1.1 入力特性



入力特性 (LVC MOS)



入力特性 (LVC MOS Schmitt)

A5.2 出力ドライバ特性 (Typical)

A5.2.1 出力電流規格

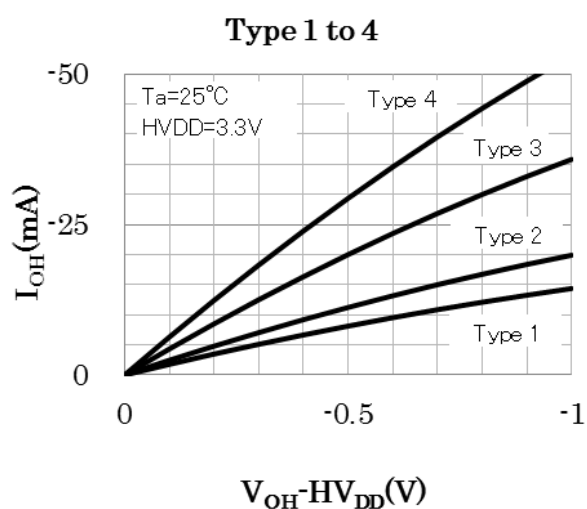
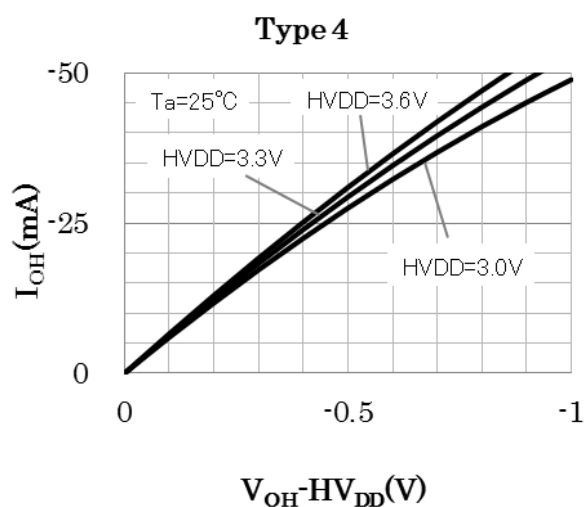
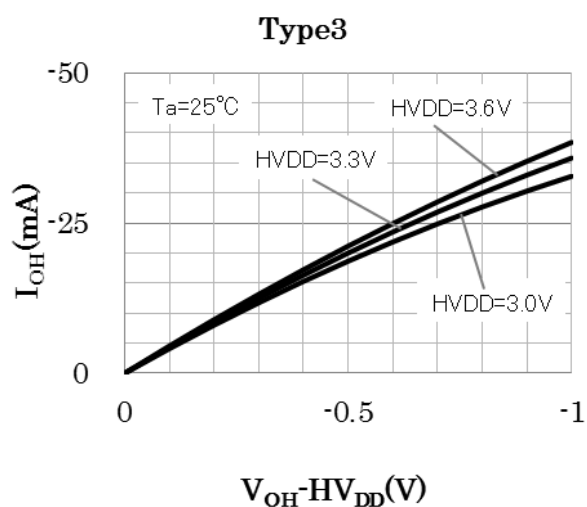
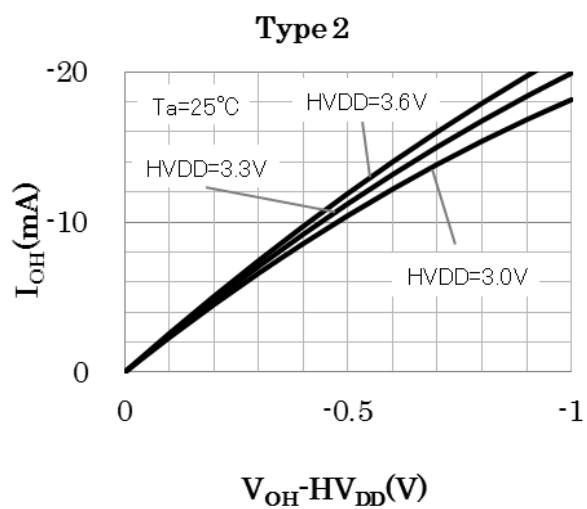
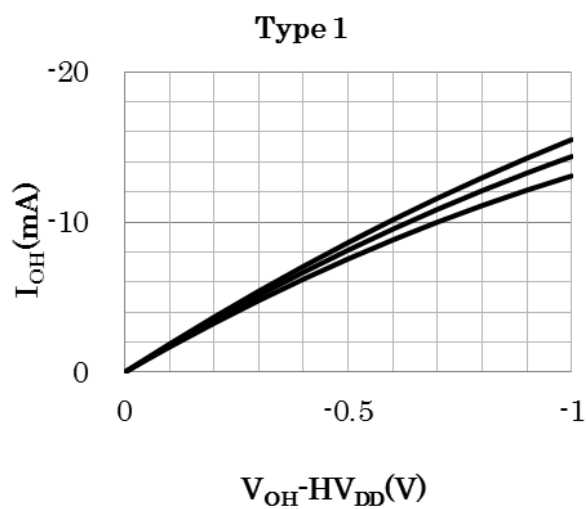
( $HV_{DD} = \text{Min.}$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$ )

出力電流の種類	$I_{OH}^{*1}/I_{OL}^{*2}$ 規格値	単位
Type 1	-2/2	mA
Type 2	-4/4	mA
Type 3	-8/8	mA
Type 4	-12/12	mA

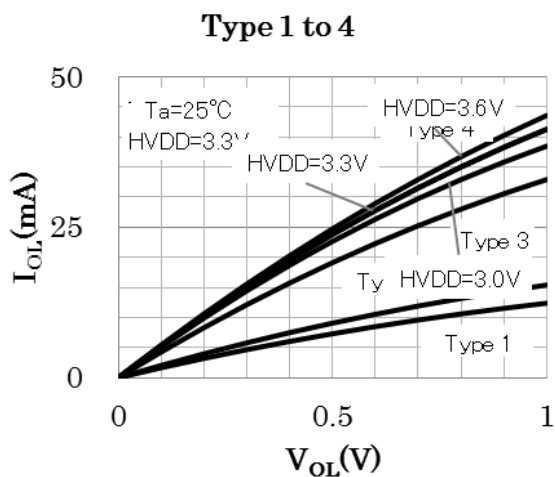
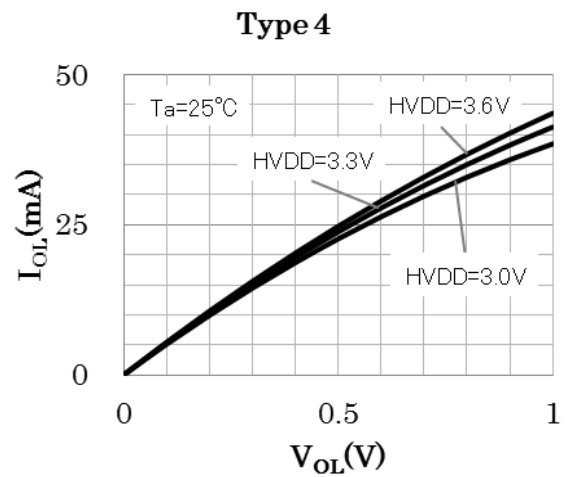
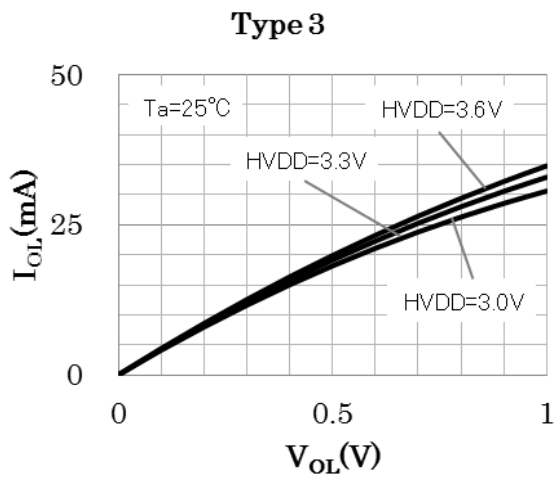
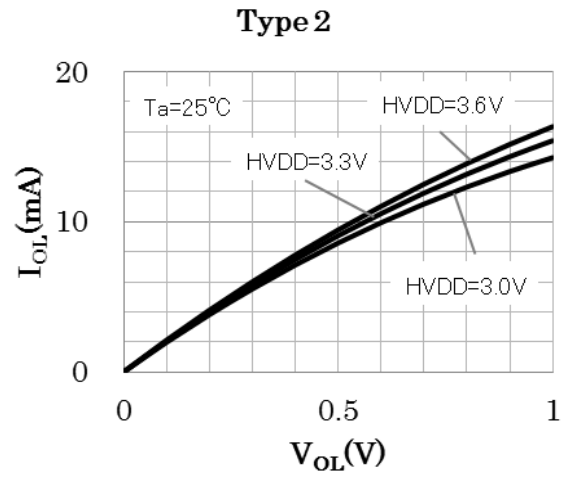
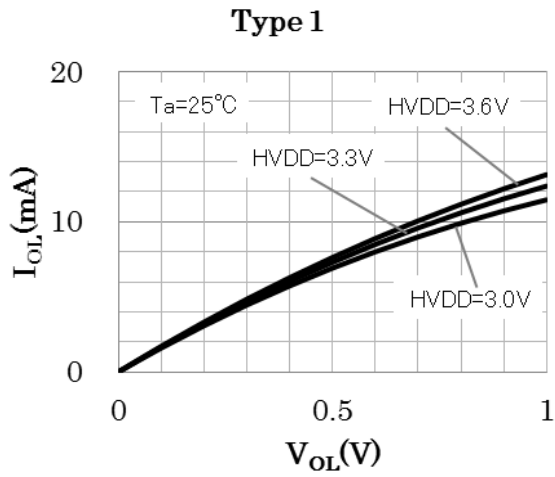
注) \*1  $I_{OH}$  条件:  $V_{OH} = HV_{DD} - 0.4V$

\*2  $I_{OL}$  条件:  $V_{OL} = 0.4V$

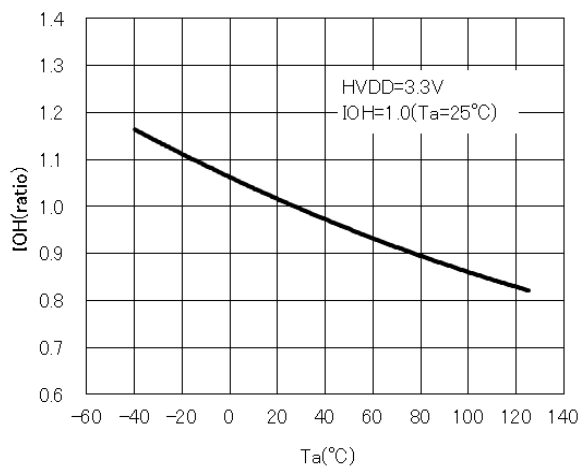
A5.2.2 高レベル出力電流 (Ta=25°C)



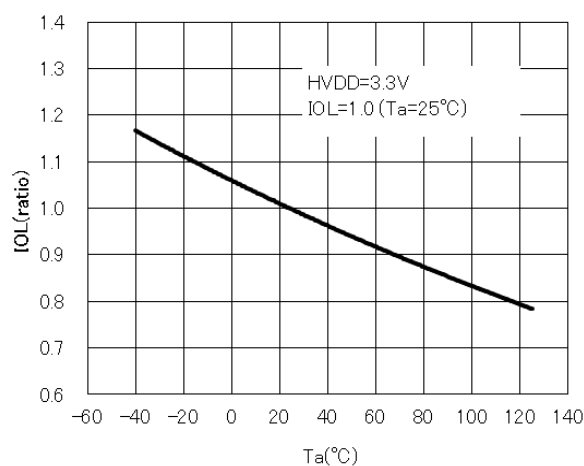
A5.2.3 低レベル出力電流 (Ta=25°C)



A5.2.4 出力電流温度特性

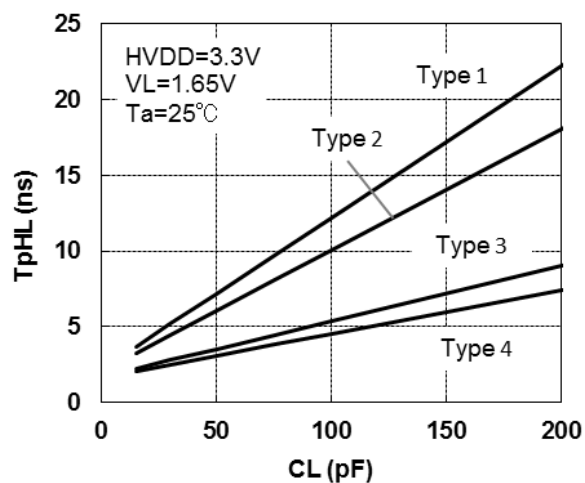
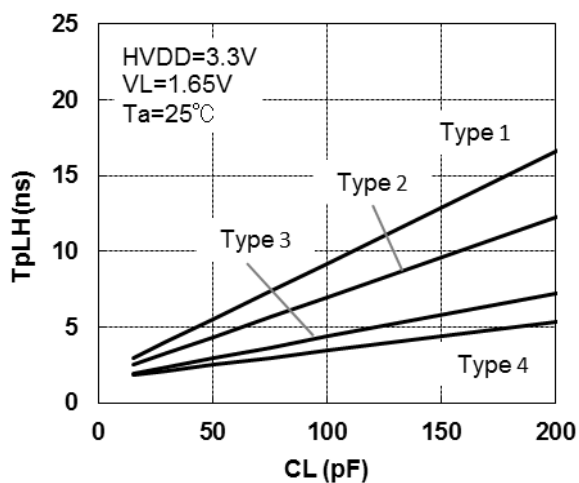


高レベル出力電流

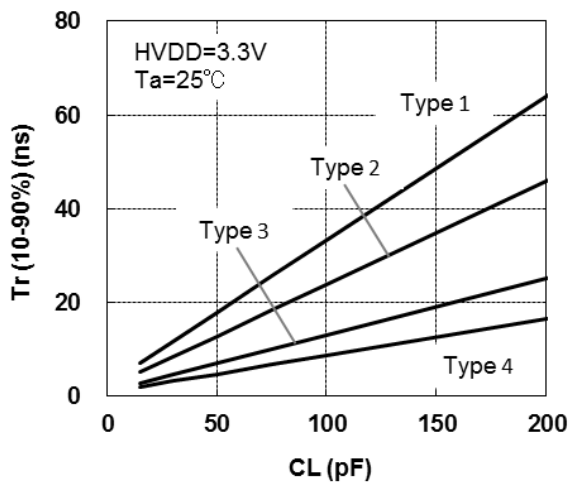


低レベル出力電流

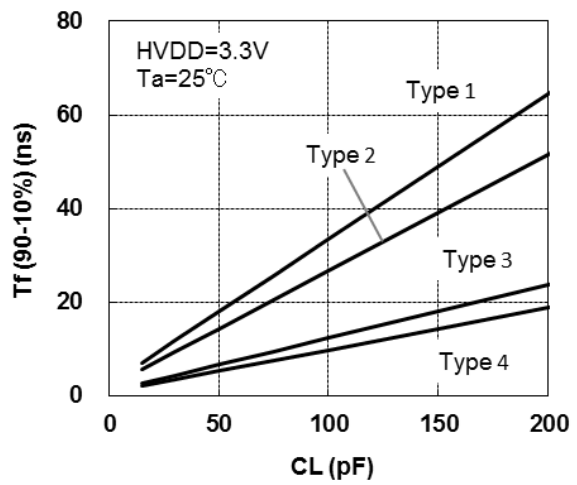
A5.3 出力遅延時間対出力負荷容量 (CL)



A5.4 出力バッファ立上り／立下り時間対出力負荷容量 (CL)

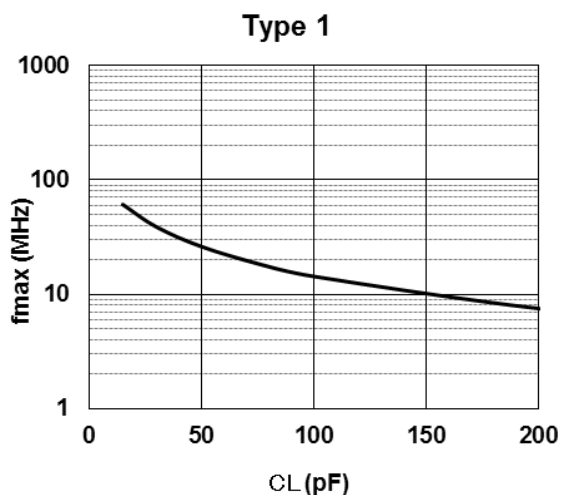


出力バッファ立上り時間 (Tr)  
Vs 出力負荷特性 (CL)

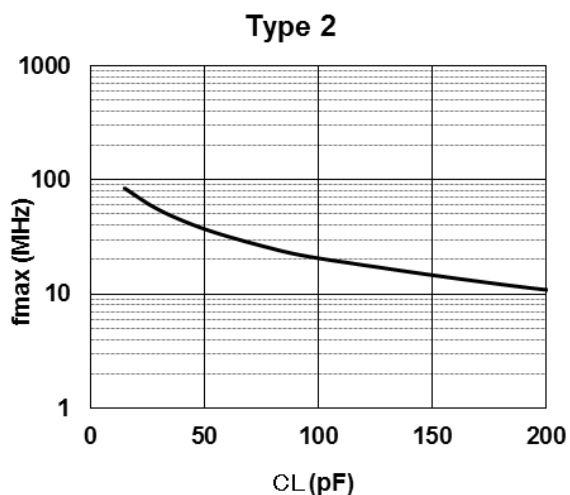


出力バッファ立下り時間 (Tf)  
vs 出力負荷特性 (CL)

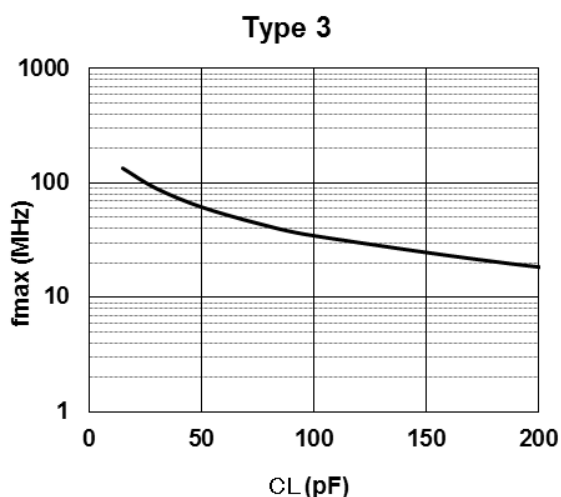
A5.5 出力動作周波数 vs 負荷容量 (CL)



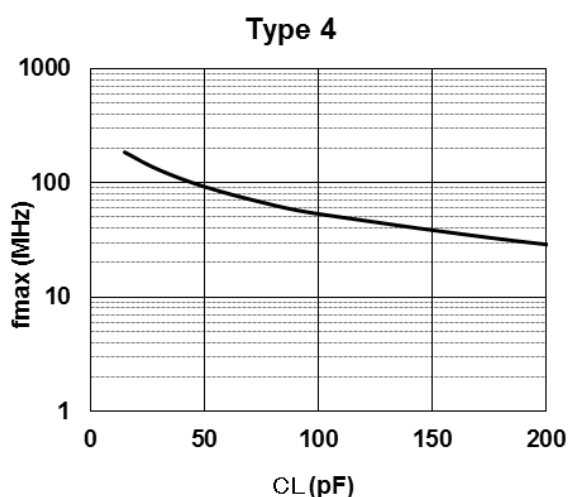
出力動作周波数 (fmax)  
Vs 負荷容量 (CL)



出力動作周波数 (fmax)  
Vs 負荷容量 (CL)



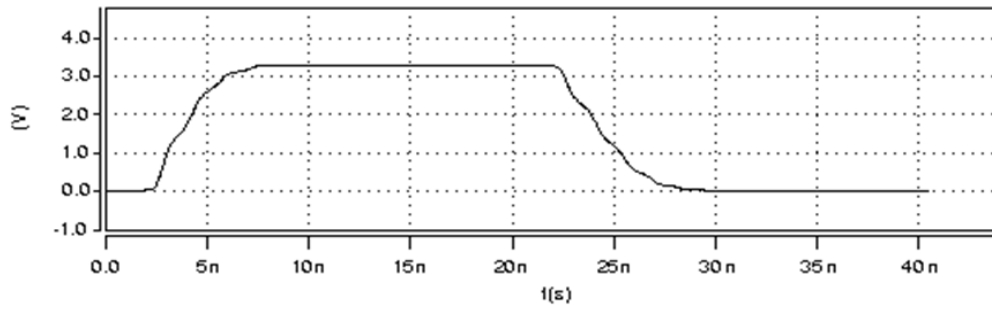
出力動作周波数 (fmax)  
Vs 負荷容量 (CL)



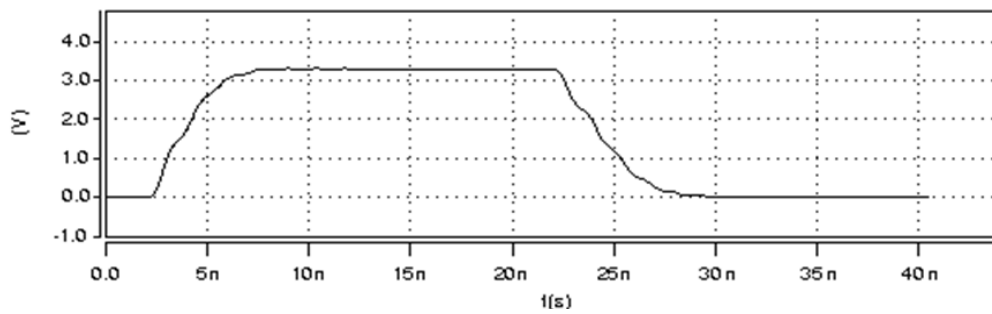
出力動作周波数 (fmax)  
Vs 負荷容量 (CL)

A5.6 出力波形

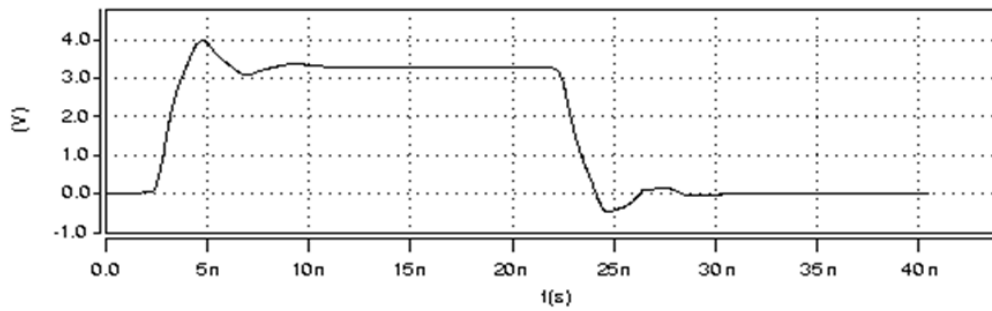
HVDD/LVDD=3.3V/1.8V, Ta=25°C, CL=15pF



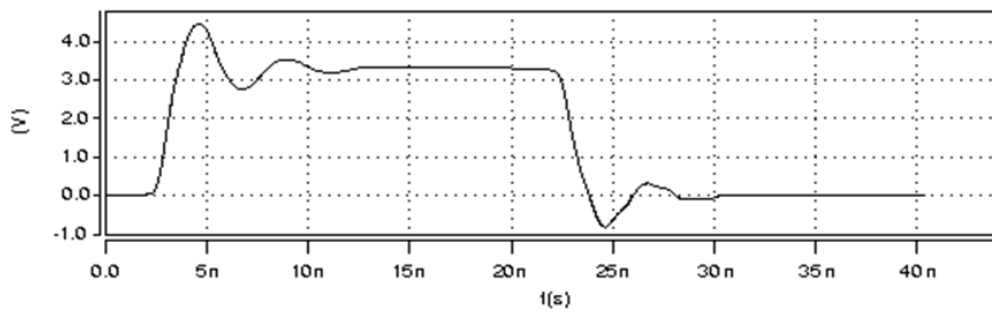
出力波形 (Type 1)



出力波形 (Type 2)



出力波形 (Type 3)



出力波形 (Type 4)



## A5.7 プルアップ/プルダウン特性

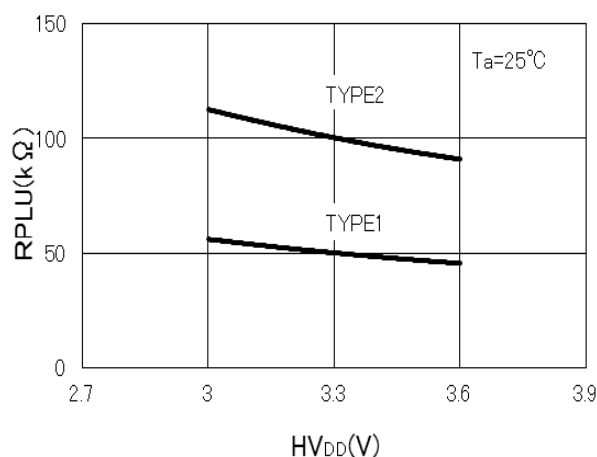
### A5.7.1 プルアップ抵抗、プルダウン抵抗 規格値

( $HV_{DD}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=-40 \sim 85^\circ C$ )

プルアップ/プルダウン 抵抗の種類	規格値			単位
	Min.	Typ.	Max.	
Type 1	20	50	120	k $\Omega$
Type 2	40	100	240	k $\Omega$

注) \*1 プルアップ抵抗 条件:  $V_I=0V$   
 \*2 プルダウン抵抗 条件:  $V_I=HV_{DD}$

### A5.7.2 プルアップ抵抗電圧特性



Pull-Up抵抗 $HV_{DD}$ 依存性

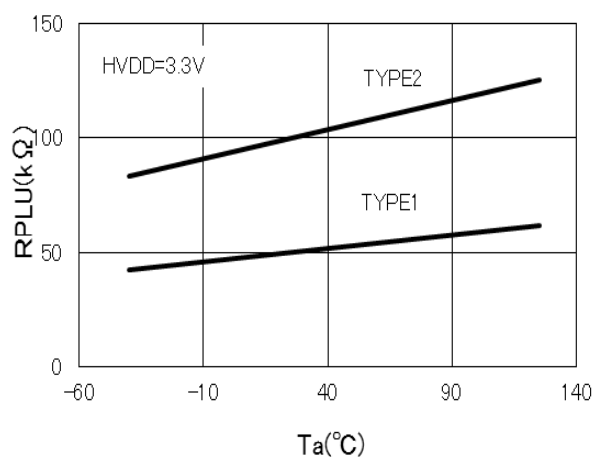
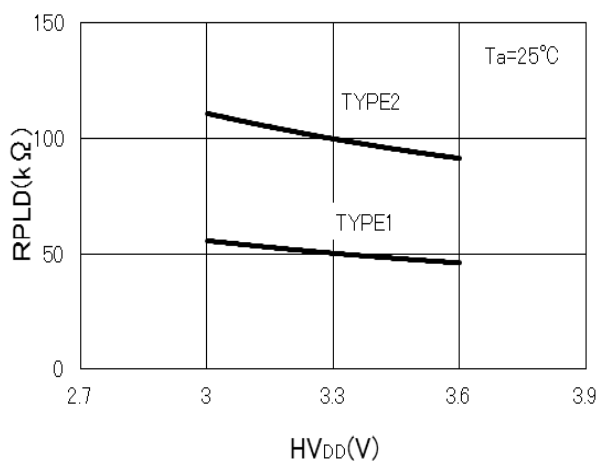
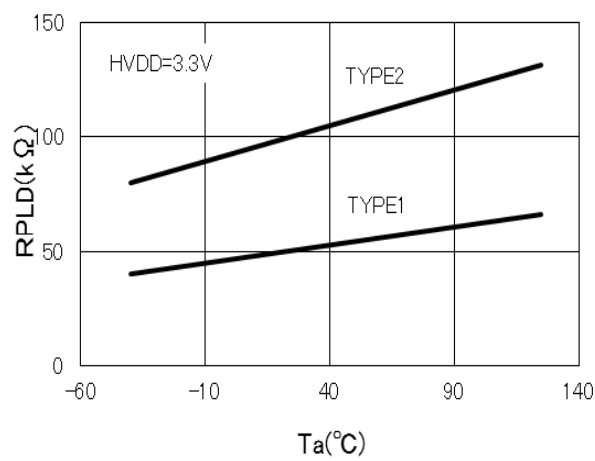


図 Pull-Up抵抗周囲温度依存性

### A5.7.3 プルダウン抵抗電圧特性



Pull-Down抵抗 $HV_{DD}$ 依存性



Pull-Down抵抗周囲温度依存性

### A5.8 シュミット入力バッファの電气的特性について

図 A5-8 は、シュミット入力バッファの電气的特性を表したものです。VT+と VT-は、それぞれの min. と max. の規格内にあり、個体や環境条件によって異なります。また、その差は、VH の min. 以上あります。

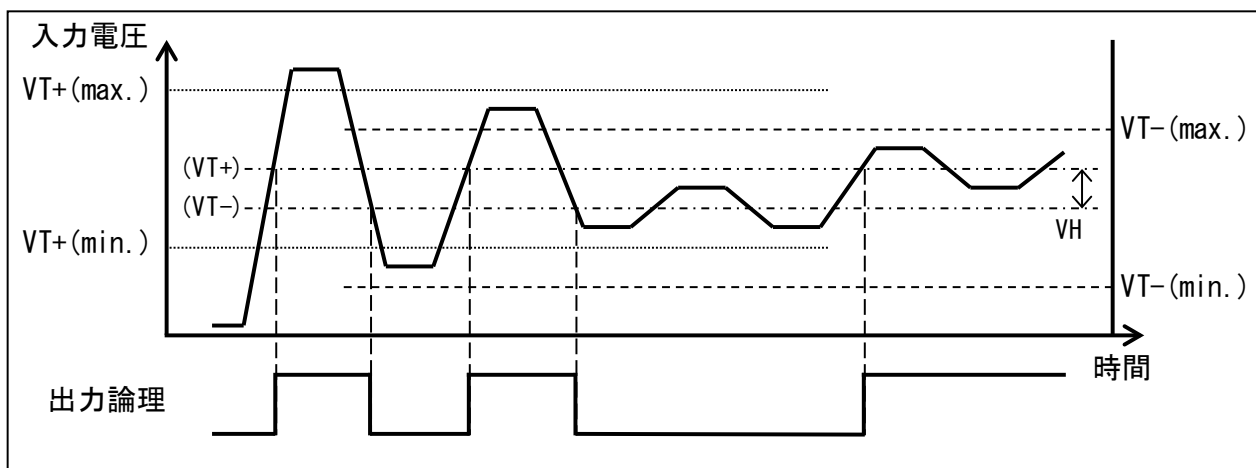


図 A5-8 シュミット入力バッファの入力電圧と論理値の関係

- VT+ : 入力信号が Low から High へ変化する場合に High と判断する電圧
- VT- : 入力信号が High から Low へ変化する場合に Low と判断する電圧
- VH : High (または Low) と判断された入力信号が次に Low (または High) と判断されるために必要な電圧差

## A6 同時動作と電源追加

### A6.1 同時動作による誤動作について

多数の出力バッファ回路がそれぞれ同時に変化するとき、負荷容量による過渡的な充放電がシステムの基盤、およびパッケージのリードフレームやボンディングワイヤのインダクタンスに作用し、ノイズが発生します。

発生するノイズは以下の式で表されます。

$$V_n = L \times \frac{di}{dt} \quad \dots \text{式①}$$

$V_n$  : ノイズ電圧  
 $L$  : インダクタンス成分  
 $\frac{di}{dt}$  : 過渡電流

ここで、過渡電流は同時動作の本数、電流駆動力、負荷容量に比例して大きくなる傾向にあるため、ノイズ電源の発生電圧は以下の要素によって変化します。

- (1) 電源の本数
- (2) 同時動作する出力バッファの本数
- (3) 同時動作する出力バッファの駆動能力
- (4) 同時動作する出力バッファの負荷容量

### A6.2 同時動作の定義

出力の同時動作とは、複数の出力バッファ回路が一定時間内（4ns 以内）に、同一方向に変化することです。出力同時動作は各電源間の閉ループごと、それぞれ独立して適用されます。

出力同時動作の同一方向は次のようなグループとなります。

- (1) H → L、HZ → L、X → L、H → X の出力信号動作
- (2) L → H、HZ → H、X → H、L → X の出力信号動作

HZ : ハイ・インピーダンス

X : 不定

双方向端子の場合は、入力から出力へ切り替え時に起こる動作も考慮してください。

### A6.3 同時動作する出力バッファの制限

出力バッファ回路の充放電電流が流れる、閉ループのインダクタンスの大きさが、発生するノイズの大きさを決定します。この閉ループのインダクタンスは、ICの端子配置やICが実装される基板によって変わります。同時動作によるノイズを抑えるためには、端子配置に注意してください。

ここでの閉ループとは、両側が電源端子に囲まれた端子配置となります。

同時動作の判定は、各電源間の閉ループにより独立しておこなってください。

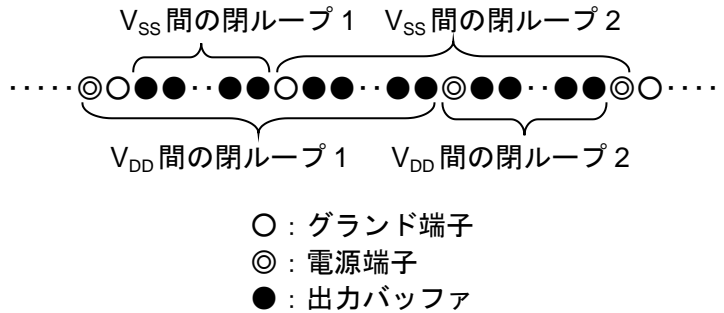


図 A6-1 閉ループ

上記のように配置された出力バッファ回路が同時変化する場合において、発生するノイズによる誤動作を防ぐため、それぞれの閉ループ間の出力バッファ回路の数、負荷容量により、表 A6-1 の係数を使用して下記式によるノイズ判定をおこなってください。

$$\sum_k m_k \leq 1 \quad \dots \text{式②}$$

$m_k$  : 各出力バッファの係数

2 電源仕様の場合、 $HV_{DD}$ 間では各閉ループ内の H 系出力バッファに対して、 $LV_{DD}$ 間では各閉ループ内の L 系出力バッファに対して、 $V_{SS}$ 間では各閉ループ内のすべての出力バッファに対して判定の対象としてください。

表 A6-1 H 系出力セル係数  $HV_{DD}=3.3V \pm 0.3V$

TYPE	負荷容量				
	30pf	50pf	100pf	150pf	200pf
1	0.033	0.036	0.040	0.041	0.044
2	0.063	0.072	0.082	0.082	0.095
3	0.100	0.119	0.127	0.143	0.154

## A6.4 計算例

以下のような条件、PIN 配置で同時動作が起こる場合の判定をおこないます。

- 電源電圧仕様： 3.3V/1.8V
- 入力インタフェース： H系 LVCMOS

PIN No.	使用セル	出力負荷容量 (pF)
①	V <sub>SS</sub>	
②	HV <sub>DD</sub>	
③	LV <sub>DD</sub>	
④	H系 TYPE 3	75
⑤	H系 TYPE 3	100
⑥	H系 TYPE 3	125
⑦	H系 TYPE 2	50
⑧	HV <sub>DD</sub>	
⑨	H系 TYPE 3	150
⑩	H系 TYPE 3	150
⑪	H系 TYPE 3	200
⑫	H系 TYPE 3	200
⑬	LV <sub>DD</sub>	
⑭	V <sub>SS</sub>	

まず、表 A6-1 を用いるため、出力負荷容量を切り上げます。

- ④ 75pF → 100pF
- ⑤ 100pF → 100pF
- ⑥ 125pF → 150pF
- ⑦ 50pF → 50pF

(1) HV<sub>DD</sub>間 (②~⑧) の判定をおこないます。

HV<sub>DD</sub>間の閉ループ内にある H系出力バッファは、④、⑤、⑥、⑦となります。

入力インタフェース、電源電圧から表 A6-1 の係数を使用して判定をおこないます。

$$\sum_k m_k = 0.127 + 0.127 + 0.143 + 0.119 = 0.516 \leq 1$$

この結果により、HV<sub>DD</sub>間における閉ループは判定基準 式② を満足しています。

(2)  $V_{SS}$ 間 (①~⑬) の判定をおこないます。

$V_{SS}$ 間の閉ループ内にある出力セルは、④、⑤、⑥、⑦、⑨、⑩、⑪、⑫となります。

表 A6-1 の係数を使用して判定を行うと

$$\sum_k m_k = 0.127 + 0.127 + 0.143 + 0.119 + 0.143 + 0.143 + 0.154 + 0.154 = 1.11 \geq 1$$

この結果により、同時動作によるノイズ制限判定基準 式② を満足していません。

そこで、⑭ $V_{SS}$ を⑧と⑨の間に移動し閉ループ間のセルを④、⑤、⑥、⑦となるようにPIN配置を変更します。

PIN No.	使用セル	出力負荷容量 (pF)
①	$V_{SS}$	
②	$HV_{DD}$	
③	$LV_{DD}$	
④	H系 TYPE 3	75
⑤	H系 TYPE 3	100
⑥	H系 TYPE 3	125
⑦	H系 TYPE 2	50
⑧	$HV_{DD}$	
⑭	$V_{SS}$ ←	
⑨	H系 TYPE 3	150
⑩	H系 TYPE 3	150
⑪	H系 TYPE 3	200
⑫	H系 TYPE 3	200
⑬	$LV_{DD}$	

$V_{SS}$ を移動

上記のPIN配置で $V_{SS}$ 間の判定をおこないます。

$$\sum_k m_k = 0.127 + 0.127 + 0.143 + 0.119 = 0.516 \leq 1$$

以上により、この $V_{SS}$ 間の閉ループは式②の判定基準を満足するようになります。

ただし、 $V_{SS}$ を移動したことにより、⑨から下の $V_{SS}$ 間の閉ループに注意してください。

## 改訂履歴表

付-1

Rev. No.	日付	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev. 1.0	2016/04	全ページ	新規	新規制定
Rev.1.1	2016/05	第7章 付録 6.5	改訂	構成変更。7.2 同時動作と電源追加削除し、付録 A6 として内容改訂し追加 表 6-3 Type2-4 説明 追記
Rev.1.2	2018/01	第1章 1.3	改訂	表 1-1, 1-2,1-3 に Fail-Safe バッファに関する注釈を追加
		第6章 6.1 6.8	改訂	6.1 入出力バッファ命名ルールの表現を訂正 6.8 Fail-Safe バッファの説明を追加
		第8章 8.1	改訂	8.1 ゲートアレイ RAM の開発中を削除 8.1.6 遅延パラメータ を追記
Rev.1.3	2018/03	付録 A5	削除	A5.1.2 入力レベル電圧 (VIH/VIL) -電源電圧特性 (Ta=25°C) を削除 A5.1.3 入力レベル電圧 (VIH/VIL) -温度特性 を削除
Rev.1.4	2021/03	P.92	改訂	9.5 消費電力制限の修正

## セイコーエプソン株式会社

営業本部 デバイス営業部

---

東京 〒160-8801 東京都新宿区新宿 4-1-6 JR 新宿ミライナタワー29F

大阪 〒530-6122 大阪市北区中之島 3-3-23 中之島ダイビル 22F

---

ドキュメントコード : 413253004

2016年4月 作成

2021年3月 改訂