

S2R72A0x/4x シリーズ アプリケーションノート

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

適用範囲

本ドキュメントは、以下の USB2.0 準拠 HUB コントローラ LSI に適用されます。

- S2R72A04 / S2R72A44
- S2R72A03 / S2R72A43
- S2R72A02 / S2R72A42

目次

1.概要	1
2. MODE の説明	2
2.1 MODE[4-3] : ダウンストリームポートの有効化設定	2
2.2 MODE[2-1] : VBUS 供給モードの設定	3
2.3 MODE[0] : アップストリームポートの USB スピード設定	7
3. PCB 設計ガイド	8
3.1 電源構成	8
3.2 電源供給とリセット	9
3.3 DP/DM 信号ライン	12
3.3.1 基板配線	12
3.3.2 付加部品	12
3.3.3 その他	14
3.4 U0_VBUS 端子保護回路 (アップストリームポート側)	15
3.5 VBUS 供給回路 (ダウンストリームポート側)	16
3.6 発振回路	19
3.7 その他の注意事項	20
4. 各ポートの USB 接続スピードについて	21
5. Appendix	23
5.1 DP/DM 基板配線例	23
5.2 アップストリームポート接続時の例	24
5.3 ダウンストリームポート過電流検出時の例	26
5.4 USB デバイス異常時の処理	28
改訂履歴	29

1.概要

本ドキュメントは、下記の USB2.0 準拠 HUB コントローラ LSI 共通のアプリケーションノートです。

S2R72A04 / S2R72A44 (ダウンストリームポートを 4 ポート装備)

S2R72A03 / S2R72A43 (同上、3 ポート)

S2R72A02 / S2R72A42 (同上、2 ポート)

本ドキュメントでは、MODE 設定、システム構成、回路例、PCB 設計上の注意などを説明します。本 LSI のハードウェア情報に関してはデータシートを参照下さい。

2. MODE の説明

2. MODE の説明

本 LSI は MODE[4-0]端子を備えており、HUB のシステム構成に応じた動作モードを設定できます。

2.1 MODE[4-3] : ダウンストリームポートの有効化設定

どのダウンストリームポートを有効にするかを設定します。各コントローラ LSI の型番毎に可能、不可能な設定があるのでご注意ください。また、動的な設定変更はできません。

MODE4	MODE3	ダウンストリームポート				各LSI設定可否		
		D1	D2	D3	D4	S2R72A44 S2R72A04	S2R72A43 S2R72A03	S2R72A42 S2R72A02
L	L	有効	有効	無効	無効	可	可	可
L	H	有効	有効	有効	無効	可	可	禁止
H	H	有効	有効	有効	有効	可	禁止	禁止
H	L	無効				禁止		

表 2-1 MODE[4-3]の設定

なお、無効としたポートの以下の端子処理はオープンとして下さい。

- Dn_DP
- Dn_DM
- Dn_VBUSEN
- Dn_VBUSFLG

(MODE[4-3]=00b の時は n=3,4 MODE[4-3]=01b の時は n=4)

2.2 MODE[2-1] : VBUS 供給モードの設定

ダウンストリームポートへ供給する VBUS 電源は、VBUS スイッチ IC 等を用いて ON/OFF 制御する事が可能です。これによってダウンストリームに規定値以上の過電流を検出した場合などに VBUS 供給を OFF し、システムを保護することができます。この機能は、VBUS スイッチ IC と本 LSI の Dn_VBUSEN 端子、Dn_VBUSFLG 端子を接続して実現する事ができます。本 LSI ではこの制御方法に次のモードを選択できます。

MODE2	MODE1	VBUS供給モード
H	H	Individual モード
L	H	Gang モード
H/L	L	非制御モード

表 2-2 MODE[2-1]の設定

なお、Individual、Gang いずれのモードでも、各端子の論理は以下の通りです。

Dn_VBUSEN 端子 : 正論理 (H で VBUS 出力 ON)

Dn_VBUSFLG 端子 : 負論理 (L で過電流検出)

Dn_VBUSFLG 端子が Low 入力されると、本 LSI はそれを過電流検出として扱い、Dn_VBUSEN 端子はそれから 6msec 以内に Low 出力し、VBUS 供給を停止するように動作します。同時に HUB ステータスの HUB_OVER_CURRENT ステータスビット(Gang モード)か、または、ポートステータスの PORT_OVER_CURRENT ステータスビット(Individual モード)をセットします。これらのステータスは、GetHubStatus()リクエストか、または、GetPortStatus()リクエストへの応答により、ホストに通知されます。また、これらのステータスの変化はインタラプトパイプを通してホストに通知されます。

2. MODE の説明

Individual モード

このモードでは、各ダウンストリームポート毎に過電流検出と VBUS 供給 ON/OFF 制御をする事ができます。ポート数分の VBUS スイッチ IC が必要となりますが、1つのポートで検出された過電流が他のポートの VBUS 供給に影響を与えません。

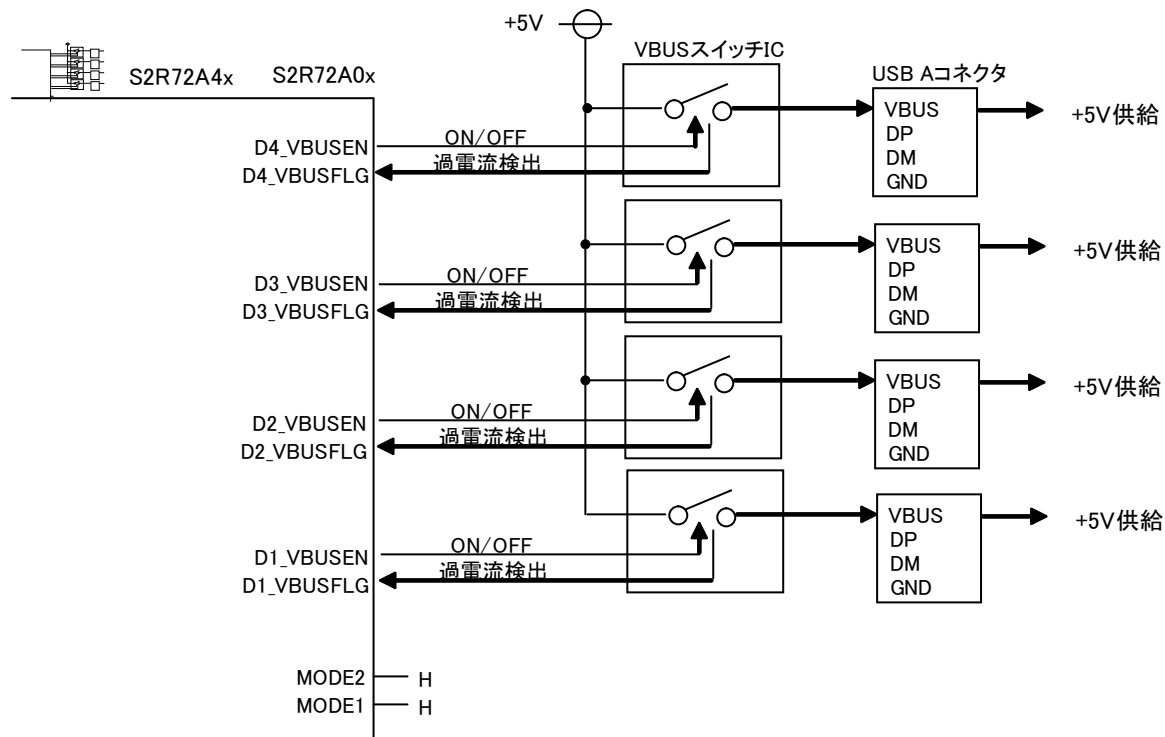


図 2-1 Individual モード

Gang モード

このモードでは、ポート 1 の端子 (D1_VBUSEN 端子、D1_VBUSFLG 端子) が全ダウンストリームポートの過電流検出と VBUS 供給 ON/OFF 制御をまとめて行います。スイッチ素子が 1 つで済みますが、過電流検出された場合は、全ポートの VBUS 供給に影響します。

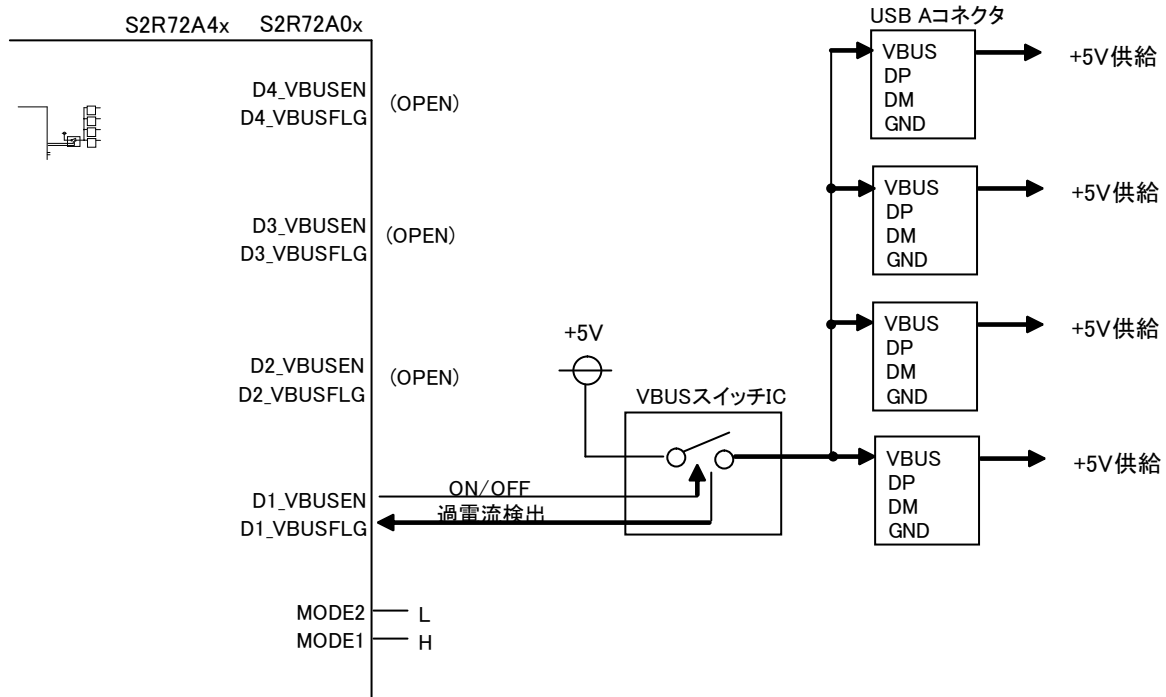


図 2-2 Gang モード

2. MODE の説明

非制御モード

このモードでは、本 LSI が VBUS 供給に関与しません。すなわち、ダウンストリームへの VBUS 供給電源の過電流検出ステータスを USB ホストへレポートする事ができません。また、安全上の観点から何らかの保護素子などを適切な場所に配置することが望まれます。なおこのモードでは、Dn_VBUSEN、Dn_VBUSFLG の端子はオープンとして下さい。

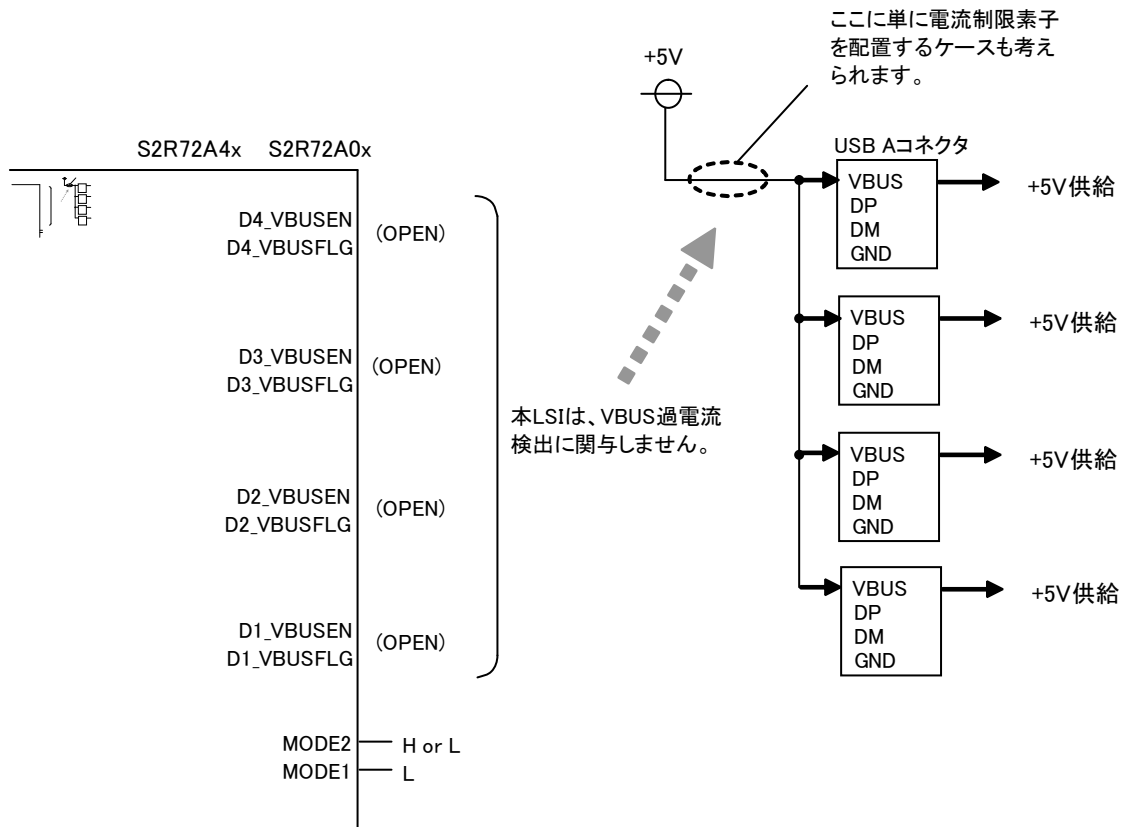


図 2-3 非制御モード

2.3 MODE[0] : アップストリームポートの USB スピード設定

アップストリームポートの USB スピードを設定します。

MODE0	アップストリームポートのスピード設定
L	HS/FS自動検出(USB2.0)
H	FS固定(USB1.1)

表 2-3 MODE[0]の設定

3. PCB 設計ガイド

3.1 電源構成

HUB 機器の電源構成としては、一般的に以下の 2 つがありますが、本 LSI では Bus-Powered 方式をサポートしていません。Self-Powered 方式でご検討下さい。

Self-Powered 方式

HUB 機器が自らローカルな電源を備えて動作する方式です。各ダウンストリームポートへの電源供給は、それぞれのポート毎に 500mA までの能力が求められます。

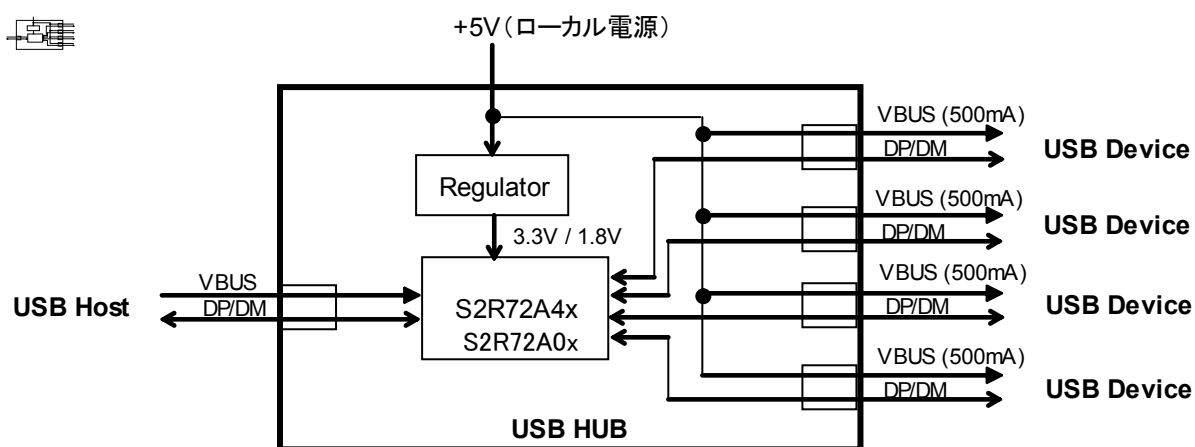


図 3-1 Self-Powered 方式

Bus-Powered 方式 (非サポート)

HUB 機器は、アップストリームポートの VBUS から電源供給を受けて動作する方式です。各ダウンストリームポートへの電源供給は、それぞれのポート毎に 100mA までの能力が求められます。但し、本 LSI がホストへ返すコンフィグレーションディスクリプタの bmAttributes 値が Self Poered を表明し、また、bMaxPower 値が 0x32 (最大 100mA) であるため、本 LSI では、この電源方式をサポートしません。

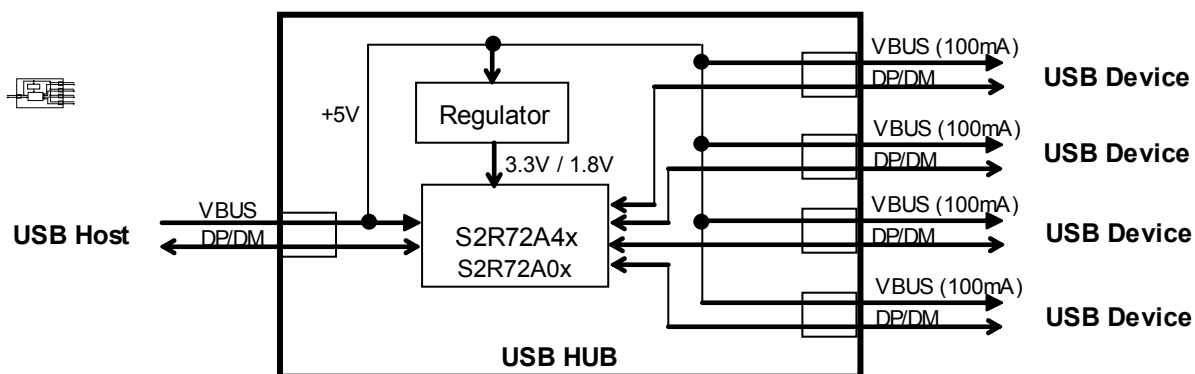


図 3-2 Bus-Powered 方式 (非サポート)

3.2 電源供給とリセット

本 LSI へ供給する電源について説明します。

電源投入/切断順について

本 LSI へ供給する電源は、HVDD 電源 (3.3V 系) と LVDD 電源 (1.8V 系) があり、その投入順、切断順、及び時間規定は以下のようにして下さい。詳細はデータシートをご覧ください。

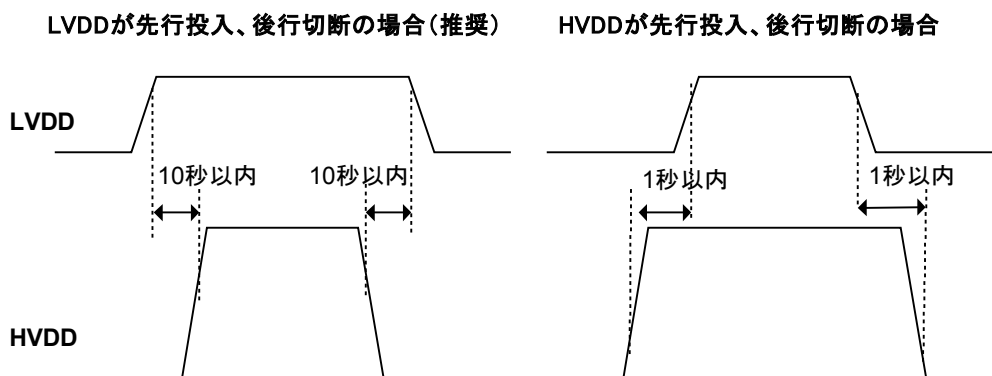


図 3-3 電源の投入/切断順

なお、本 LSI に電源が供給されていない状態でアップストリームポートに USB ホストと接続されても、本 LSI の信頼性や動作への問題はありません。但し、U0_VBUS 端子に内蔵のプルダウン抵抗 125k Ω (min100k Ω 、max165k Ω) により、USB ホストから 40 μ A 程度の電流が消費されます。

ノイズについて

電源にノイズが乗っていると USB の波形品質に影響が出て、USB の通信障害を来たす場合があります。シリーズレギュレータの異常発振や、スイッチングレギュレータ回路定数が不適当な場合などに見られるリップル状のノイズは避け、また外来ノイズが乗らないよう、注意して電源設計をして下さい。

リセット

本 LSI への電源投入が完了した後、XRESET 端子を Low から High にし、リセット解除して下さい。なお、発振子はリセットが解除され、かつ U0_VBUS 端子に High レベル電圧が印加されると発振を開始します。そのため、発振安定後にリセット解除、等のシーケンスは不要です。

3. PCB 設計ガイド

消費電流と供給電源能力について

本 LSI のいずれかのポートを HS として使用する場合、本 LSI へ電源供給する回路構成は、本 LSI が過渡的に消費するピーク電流を考慮する必要があります。

通常、USB のデータ転送は複数のパケット（小さなデータの一塊）から成り立っています。また、USB はバスの全帯域に渡ってパケットが送受信されているわけではなく、パケットがバス上にない期間も存在します。

本 LSI は、USB 上に HS パケットを送信する時としない時それぞれにおいて、本 LSI が自ら消費電流を低く抑えるように制御しており、それによって低消費電力を実現しています。言い換えると、USB として規格上必要な定電流を、パケット送信時にだけ消費しているため、消費電流は動的に変化します。そのため、本 LSI へ供給する電源回路は HS パケット送信時のピークの消費電流を考慮して下さい。

一例として、弊社における測定環境と電流波形を以下に示しますので参考として下さい。ホスト、デバイスともに HS 動作している時に、D1 の USB メモリから USB ホストを経由して D2 の USB メモリへデータコピーしている時に測定したものです。

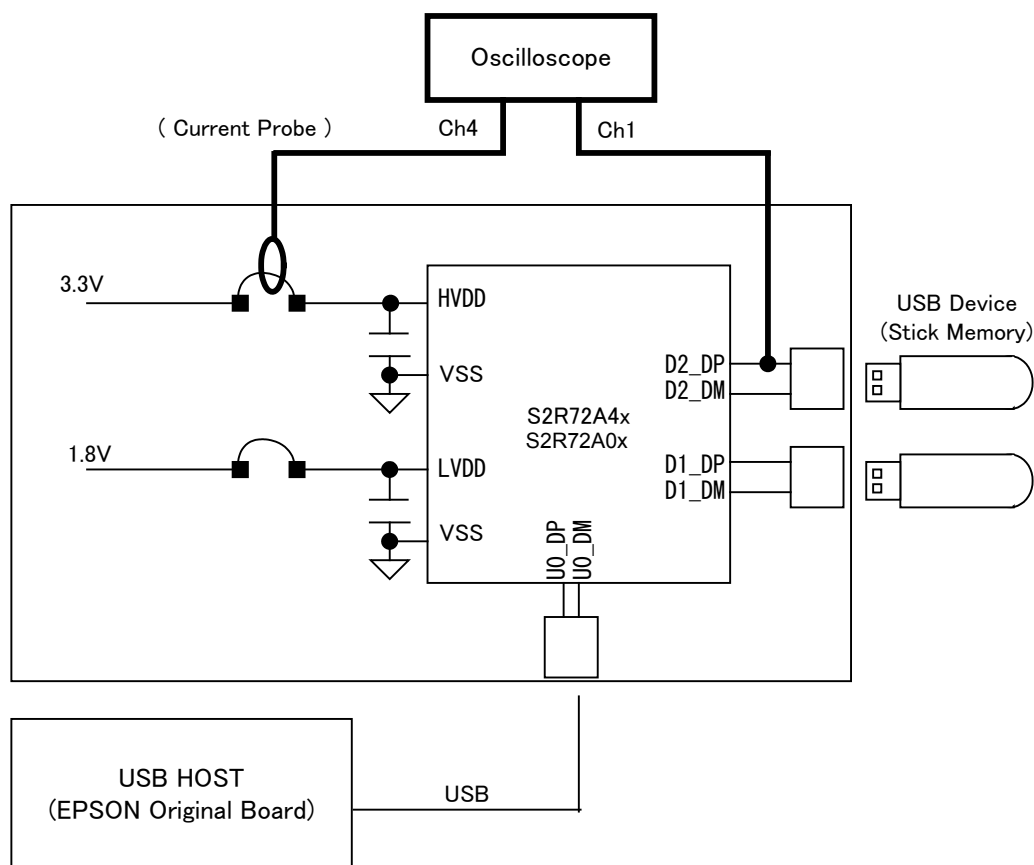


図 3-4 消費電流の測定環境例

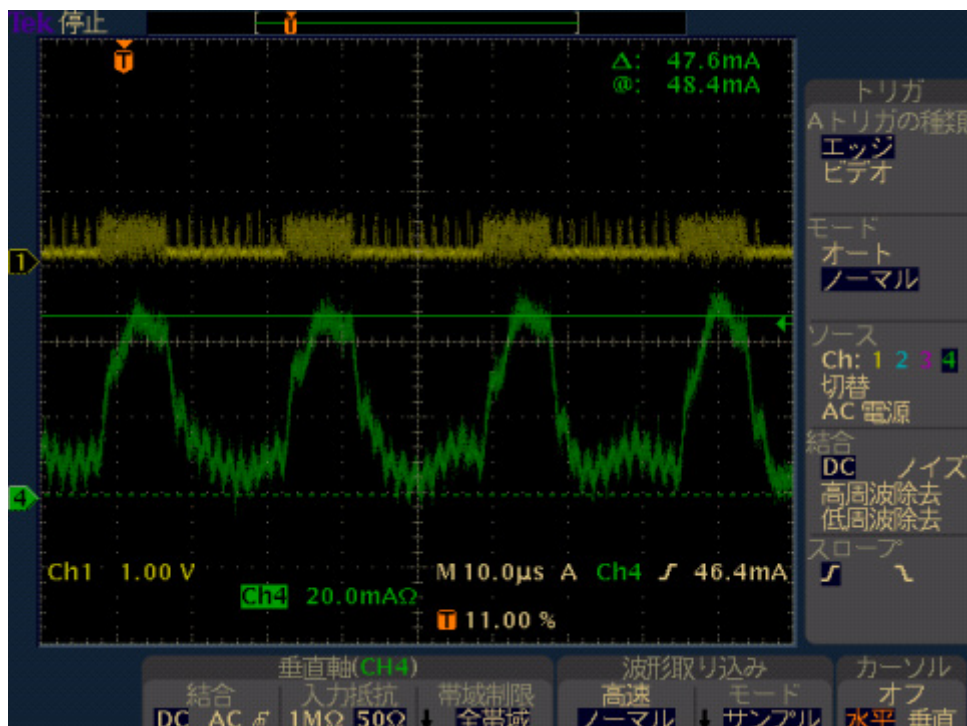


図 3-5 消費電流波形の一例

Ch1 (黄色) : USB 信号 DP ラインの信号波形 (0V でない箇所がパケットを示す)

Ch4 (緑色) : HVDD 電流波形 (電流プローブを使用)

HVDD、LVDD それぞれの消費電流ピーク値は、使用するレギュレータ特性や電源インピーダンス、回路構成、測定環境等に依存します。

3.3 DP/DM 信号ライン

3.3.1 基板配線

DP/DM 信号配線は、インピーダンス整合、反射防止の観点などから、以下の点を配慮して下さい。併せて巻末 Appendix に具体例を示しますので参考にして下さい。

- DP/DM 信号ラインの差動インピーダンスを $90\ \Omega$ で設計すること。
- 本 LSI と USB レセプタクル間に他のコネクタやケーブルが挿入される場合は、インピーダンス整合に十分配慮すること。
- 信号ライン直下の内層は、分離のない GND プレーンとすること。
- ノイズ発生源と見なされる信号ライン（クロック、高速バスライン等）は、DP/DM ラインに近接させないこと。
- DP/DM 信号ラインは、等長かつ平行になるべく短く配線し、分岐を最小限に留め、曲げる場合は曲線処理を施すこと。

なお USB 規格にて、機器内における信号の伝搬遅延時間がそれぞれ規定されており、以下を満たす必要があります。これを満たすための信号ライン長は、使用する基板の比誘電率 ϵ_r 等によって変わります。

本 LSI 端子(D1~D4)~A レセプタクル端子間 : 3ns 以内

本 LSI 端子(U0)~B レセプタクル端子間 : 1ns 以内

3.3.2 付加部品

コモンモードチョークコイル

コモンモードチョークコイルは、差動信号ラインに同方向の電流が流れるのを抑制するもので、コモンモードノイズの発生を防ぎます。DP/DM 信号ライン上に用いることでスキューの改善、不要輻射ノイズの低減等の効果を期待できます。アイパターンの開口改善などに直接には関係しません。USB High Speed 用途の部品例を以下に示します。なお信号品質保持の観点より、部品は信号ラインに対して直線的な配置を推奨します。

- TDK 製 ACM2012-900-2P
- 村田製作所製 DLW21SN900SQ2
- TOKO 製 985BH-1007

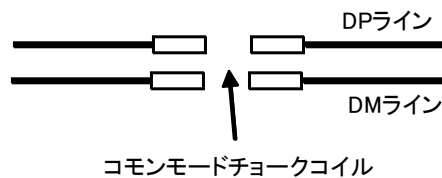


図 3-6 コモンモードチョークコイル配線例

チップバリスタ

DP/DM 信号ラインに用いることで、静電気やサージから本 LSI の DP/DM 端子の保護を期待できます。USB High Speed 用途の部品例を以下に示します。なお信号品質保持の観点より、部品は信号ラインからの分岐が最短になるような配置を推奨します。チップバリスタの実装位置は、一般的にはコネクタ近傍が効果的と考えられますが、各供給元にお問い合わせの上で決定して下さい。

- ・ TDK 製 AVR シリーズ
- ・ パナソニックエレクトロニックデバイス製 EZJZ シリーズ

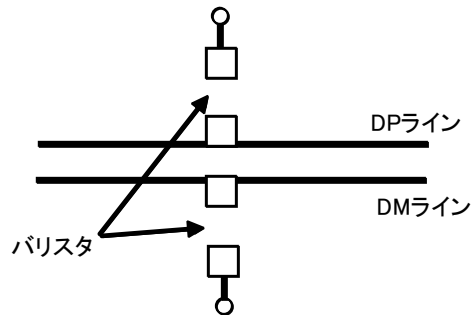


図 3-7 バリスタ配線例

コネクタ

USB 認証を未取得のコネクタを使用した場合、DP/DM の信号品質が劣化する恐れがあります。USB 認証を取得したコネクタを用いることを推奨します。使用するケーブルについても同様です。

付加部品の接続例

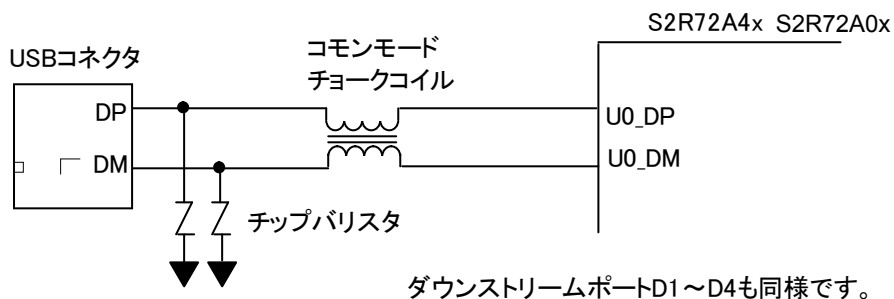


図 3-8 付加部品の接続例

補足：

チップバリスタなど、DP/DM 信号ライン上に容量成分のある部品を付加した場合、USB High Speed 送信波形の立上り/立下り (Tr/Tf) 特性が緩やかになります。容量成分が大きすぎると、USB コンプライアンス試験における Tr/Tf 特性、及びアイパターンの試験項目で Fail 判定される可能性があるため、部品選定には注意が必要です。

3.3.3 その他

U0 ポート、及び Dn ポートの DP/DM 信号伝送路には、USB として必要な以下の抵抗が下図の通りに本 LSI に内蔵されています。従ってこれらの抵抗を基板上に実装する必要はありません。

- DP/DM ラインへのシリーズダンピング抵抗 R_s
- DP プルアップ抵抗 R_{pu}
- DP/DM プルダウン抵抗 R_{pd}

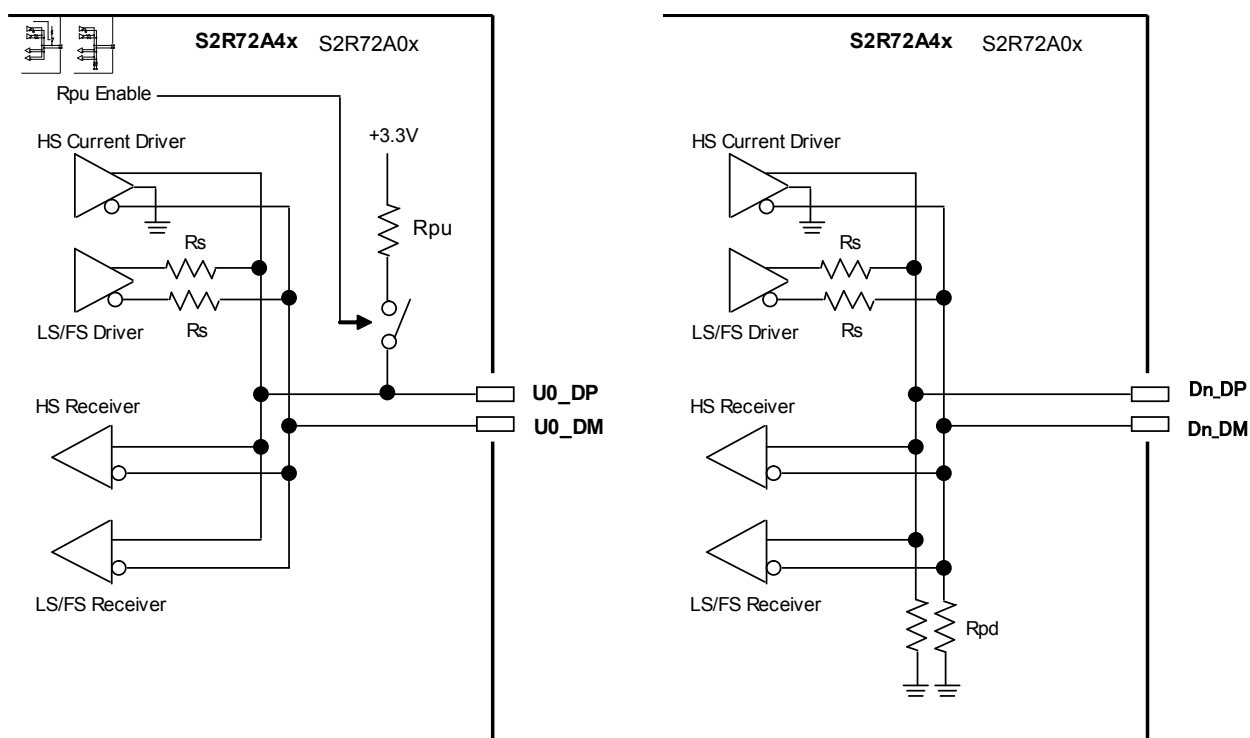


図 3-9 本 LSI 内蔵抵抗

3.4 U0_VBUS 端子保護回路（アップストリームポート側）

アップストリームポートに接続される USB ホストによっては、USB ケーブルで接続した際に、U0_VBUS 端子に VBUS 規格電圧(5V)を超える電圧が過渡的に印加される場合があります。これによって U0_VBUS 端子の絶対最大定格を超えて本 LSI が破壊される恐れがあるため、必ず以下のような保護回路を施して下さい。ケーブル着脱を伴わない機器内接続など、定格を越える電圧印加の心配がない場合は、保護回路は必要ありません。回路定数はこの限りではありませんが、変更する場合は以下の点に注意して下さい。

- VBUS 端子にかかる電圧が絶対最大定格(6V)を越えないこと。
- VBUS 端子は IC 内部で $125\text{k}\Omega$ （min $100\text{k}\Omega$ 、max $165\text{k}\Omega$ ）にプルダウンされているため、外付け抵抗値との分圧比による U0_VBUS 端子入力レベルが、その"H"レベルトリガ電圧値以上であること。

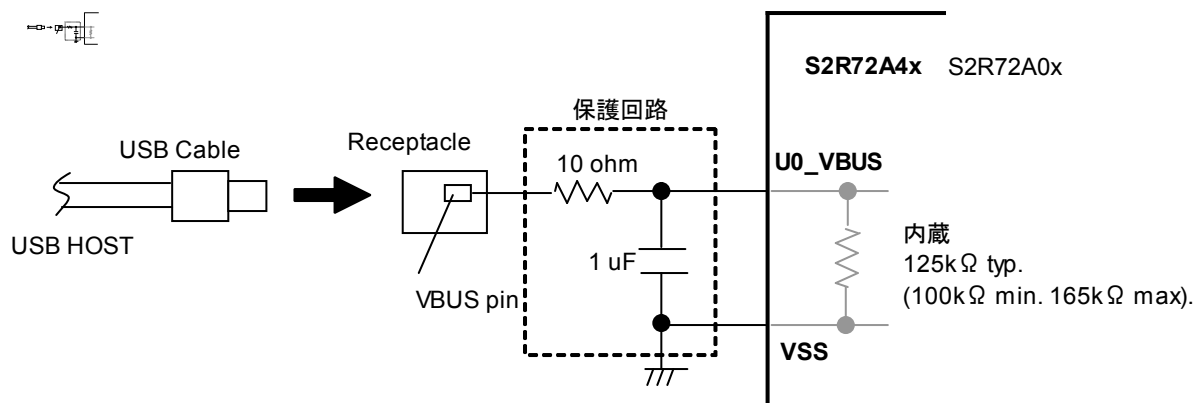


図 3-10 U0_VBUS 端子の保護回路

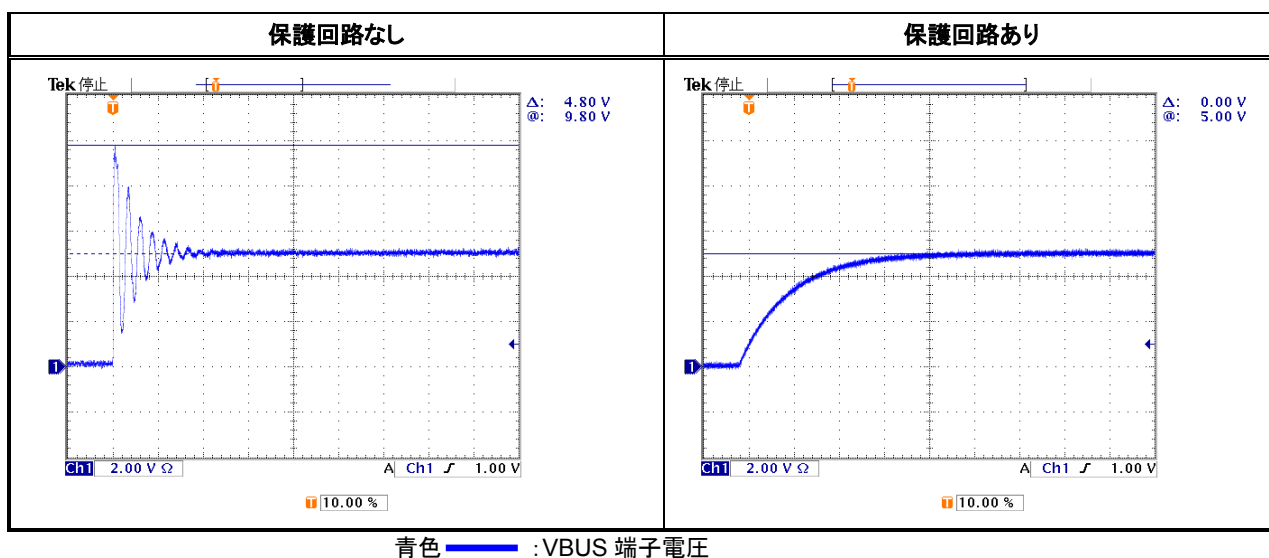


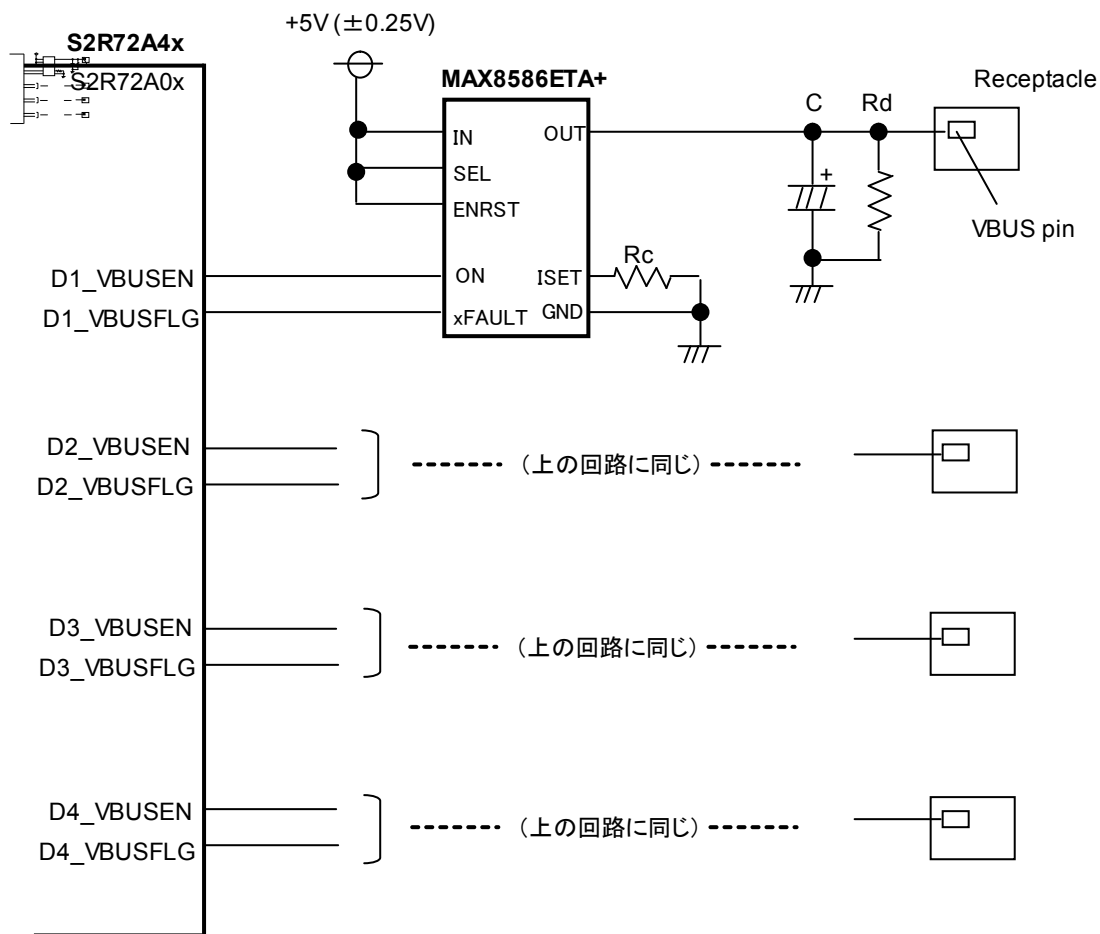
図 3-11 U0_VBUS 端子の印加電圧立ち上がり波形

3. PCB 設計ガイド

3.5 VBUS 供給回路（ダウンストリームポート側）

ダウンストリームポートへVBUS電源(+5V)を供給するための制御回路例を示します。制御モード (Individual / Gang) によって回路構成が異なります。ここでは、過電流検出機能付き USB パワースイッチ IC として、Maxim 社製 MAX8586ETA+を用いた場合の接続例を、それぞれのモード毎に示します。

Individual モードの場合



C: USB2.0規格7.2.4項において、120uF以上の容量実装が規定されています。

(弊社評価ボードS5U2R72A04F0100では220uF)

Rd: C1に電荷が蓄積され、かつReceptacleにUSBデバイスが接続されていない状態でVBUSスイッチICが出力OFFとした際の、電荷放電用抵抗です。(弊社評価ボードS5U2R72A04F0100では100kΩ)

Rc: 過電流検出値を決める抵抗です。詳細はMAX8586ETA+の仕様をご確認下さい。

図 3-12 Individual モードの回路例

Gang モードの場合

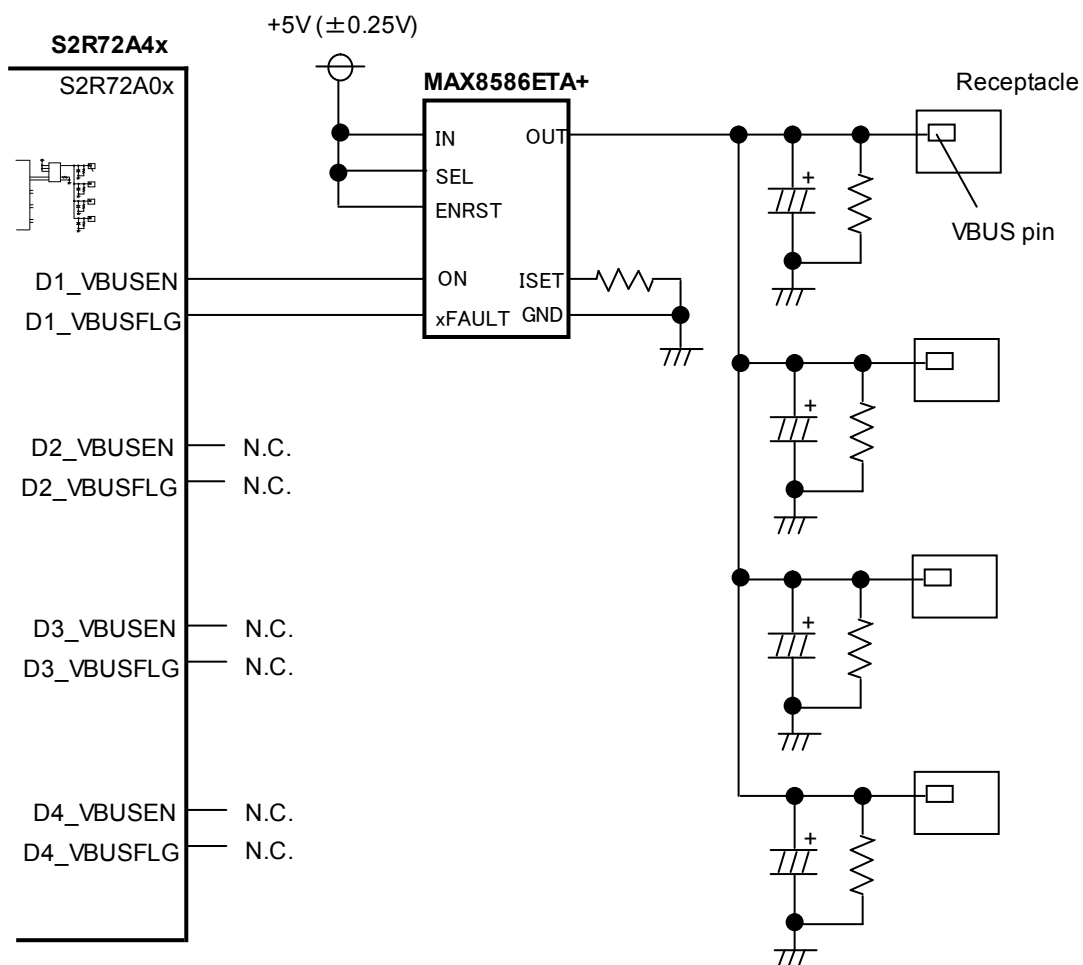


図 3-13 Gang モードの回路例

3. PCB 設計ガイド

補足 (VBUS スイッチ IC の仕様について)

本 LSI は、VBUS スイッチ IC の仕様が下記である事を前提としています。

Dn_VBUSEN 端子 : 正論理 (H で VBUS 出力 ON)

Dn_VBUSFLG 端子 : 負論理 (L で過電流検出)

VBUS スイッチ IC の論理がこれと異なる場合は、本 LSI に論理を変更する機能はないため、外付け部品等で論理を変更する必要があります。

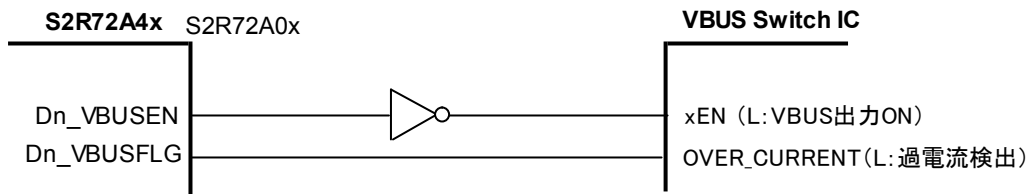
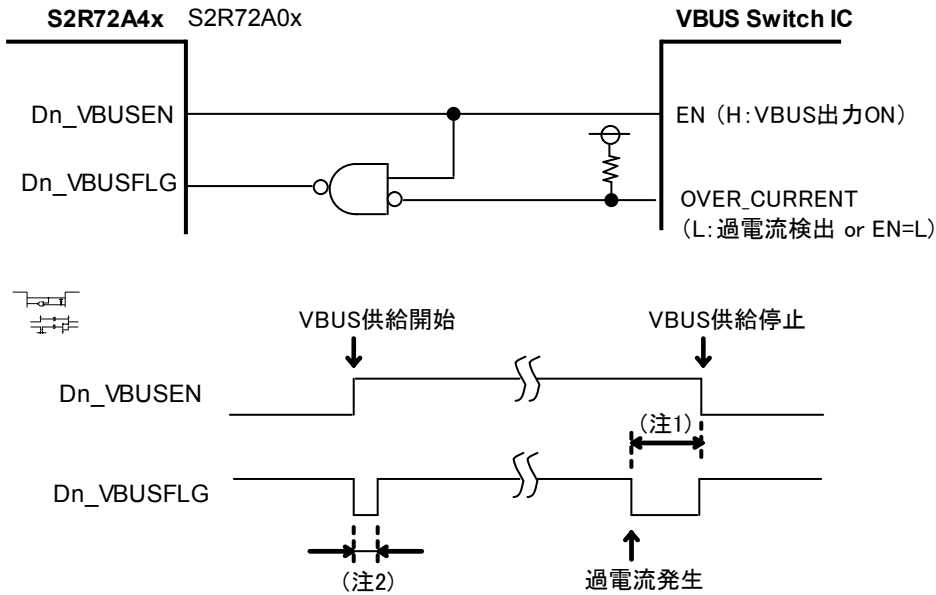


図 3-14 論理変更の回路例 1

また本 LSI は、Dn_VBUSFLG 端子に Low 入力 (過電流検出) されている間、Dn_VBUSEN 端子を High 出力 (VBUS 出力 ON) にはしません。一方で VBUS スイッチ IC によっては、過電流の有無に関わらず、過電流検出を通知する端子が、VBUS スイッチ OFF 時は常に Low アサートする仕様のものもあります。そのような場合にも外付け部品等で適切に処置して下さい。その接続例を以下に示しますが、動作保障するものではありません。VBUS スイッチ IC の仕様とともに十分ご検討願います。



(注1) 本 LSI は、6ms 以内に Dn_VBUSEN を Low 出力します。

(注2) VBUS スイッチ IC の仕様等によりますが、4ms 未満なら S2R72A4x はこのパルスを見逃します。

Dn_VBUSEN を遅延させた信号を上記 AND 素子へ入力する事によって、この不要なパルスの発生を防止することも考えられます。

図 3-15 論理変更の回路例 2

3.6 発振回路

水晶振動子を用いる場合

12MHz の水晶振動子を以下のように接続してご使用下さい。水晶振動子の周波数精度は、良好な波形品質を得るため、以下の通り推奨します。

MODE0 端子=L (USB2.0 モード/High Speed) : $\pm 100\text{ppm}$ 以内

MODE0 端子=H (USB1.1 モード/Full Speed) : $\pm 200\text{ppm}$ 以内

なお本 LSI は、リセットが解除され、かつ、U0_VBUS 端子に High レベル電圧が印加されると発振を開始します。また、発振開始と同時に、即座に U0_DP をプルアップ (FS ターミネーション) します。その後の USB ホストによるバスリセットを受けるまでに発振が安定している必要がありますが、その間は USB 規格にて 100ms 以上と規定されています。従って、数 msec 内の発振安定時間であれば問題ありません。

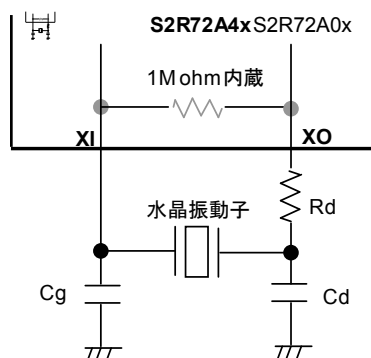


図 3-16 水晶振動子の接続回路例

推奨品 (車載対応) : エプソントヨコム社製 FA-238A ($C_L=7\text{pF}$)

弊社評価ボードでの定数例は、 $C_g=6[\text{pF}]$ 、 $C_d=6[\text{pF}]$ 、 $R_d=0[\text{ohm}]$

ただし、弊社評価ボードでは、旧機種である FA-23A を使用しています。

クロック信号を用いる場合

水晶振動子を使わずに、クロック信号を外部から入力する時は、本 LSI に電源が投入された状態で、XI 端子に入力して下さい。XO 端子は OPEN にして下さい。U0_VBUS 端子の入力状態が H/L どちらにおいても、XI 端子へのクロック入力が可能です。クロック信号の Duty 比は 45%~55%、振幅は LVDD 電圧レベルに同じです。許容誤差は水晶振動子に同じです。

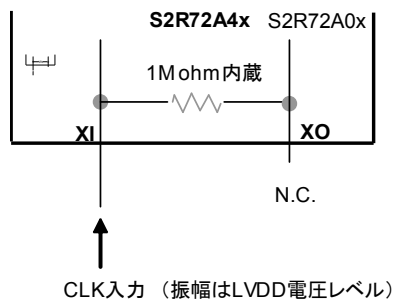


図 3-17 外部クロックの入力

3.7 その他の注意事項

R1 端子に接続する抵抗

12k Ω \pm 1%の抵抗を、できるだけ R1 端子近くに配置して下さい。USB アナログ回路の特性を決める基準電流生成用のため、誤差が大きいとアナログ特性に影響を及ぼします。必ず指定の精度のものを使用して下さい。

HVDD 端子、LVDD 端子

各 HVDD 端子、LVDD 端子毎に、バイパスコンデンサをできるだけ端子近くに配置する事を推奨します。弊社評価ボード上の容量値は、以下の通りですが、レギュレータの特性などにも左右されます。LSI の動作安定性の観点より、各電源端子毎に実装する事を推奨します。

各 HVDD 端子：0.1 μ F (15pin, 31pin) 、0.1 μ F + 2.2 μ F (4pin, 9pin, 42pin)

各 LVDD 端子：0.01 μ F (3pin, 8pin, 16pin, 29pin, 43pin) 、0.01 μ F + 10 μ F (46pin)

VSS 端子

各 VSS 端子は、分離のない共通 GND プレーン (Appendix の例を参照) に低インピーダンスで接続して下さい。

4. 各ポートの USB 接続スピードについて

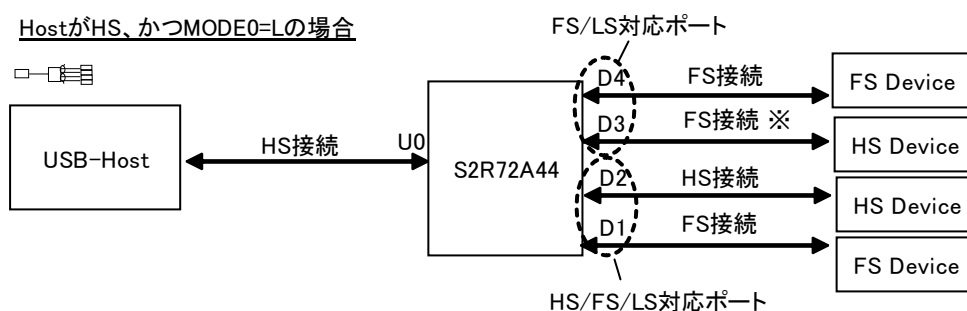
USB ホストと接続されるアップストリームポート U0 は、MODE0 端子の設定によって、HS/FS を自動検出するモード (USB2.0) と、FS 固定のモード (USB1.1) のどちらかを選択できます。

USB デバイスと接続されるダウンストリームポート D1~D4 は、HS/FS/LS に対応したポートと、FS/LS に対応したポートに分かれています。下表にて LSI 型番毎に示します。

LSI 型番	ポート	対応 USB スピード
S2R72A44	U0	HS/FS(MODE0=L) または FS 専用(MODE0=H)
	D1	HS/FS/LS(U0=HS) または FS/LS(U0=FS)
	D2	HS/FS/LS(U0=HS) または FS/LS(U0=FS)
	D3	FS/LS
	D4	FS/LS
S2R72A43	U0	HS/FS(MODE0=L) または FS 専用(MODE0=H)
	D1	HS/FS/LS(U0=HS) または FS/LS(U0=FS)
	D2	HS/FS/LS(U0=HS) または FS/LS(U0=FS)
	D3	FS/LS
S2R72A42	U0	HS/FS(MODE0=L) または FS 専用(MODE0=H)
	D1	HS/FS/LS(U0=HS) または FS/LS(U0=FS)
	D2	HS/FS/LS(U0=HS) または FS/LS(U0=FS)
S2R72A0x	U0	FS
	Dn	FS/LS

表 4-1 各ポートの対応 USB スピード

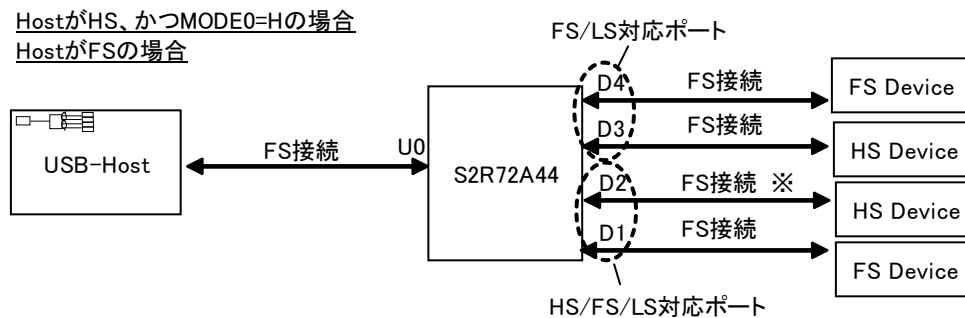
アップストリームポートが HS、FS、それぞれの場合において、各ダウンストリームポートで接続される USB の接続スピードの例を以下に示します。S2R72A44 を例にしていますが、A43、A42 についてもポートの有無を除き、同様です。



※D3ポートはFS/LS用ポートのため、HSデバイスを接続しても、D3ポートはFS接続となります。

図 4-1 アップストリームが HS 接続時の例

4. 各ポートの USB 接続スピードについて



※U0ポートがFS接続の場合、
たとえHS対応のD2、D1ポートにHSデバイスが接続されても、
D2、D1ポートはFS接続となります。

図 4-2 アップストリームが FS 接続時の例

なお USB ホストは、本 LSI のダウンストリーム側に接続されたデバイスの動作スピードを、本 LSI (HUB) から得られるステータスを用いて判断することができます。GetPortStatus リクエストを発行して、デバイスから返ってくる Port Status Field は、動作スピードに応じて以下のようになります。

HS の場合 : PORT_LOW_SPEED=0, PORT_HIGH_SPEED=1

FS の場合 : PORT_LOW_SPEED=0, PORT_HIGH_SPEED=0

LS の場合 : PORT_LOW_SPEED=1, PORT_HIGH_SPEED=0

5. Appendix

5.1 DP/DM 基板配線例

本 LSI と USB レセプタクル間の DP/DM 信号配線例を示します。なお、DP/DM 信号への付加部品は省略しています。各寸法は、弊社評価基板（株式会社キョウデン 製）における製造実績に基づいています。

アップストリームポート側

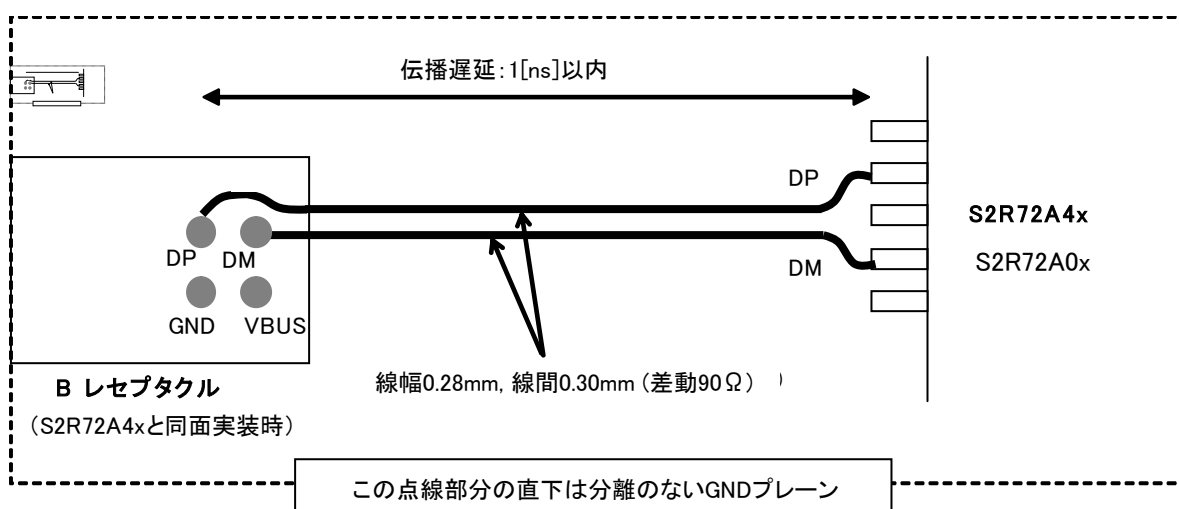


図 5-1 B レセプタクル（スルーホールタイプ）同面実装の例

ダウンストリームポート側

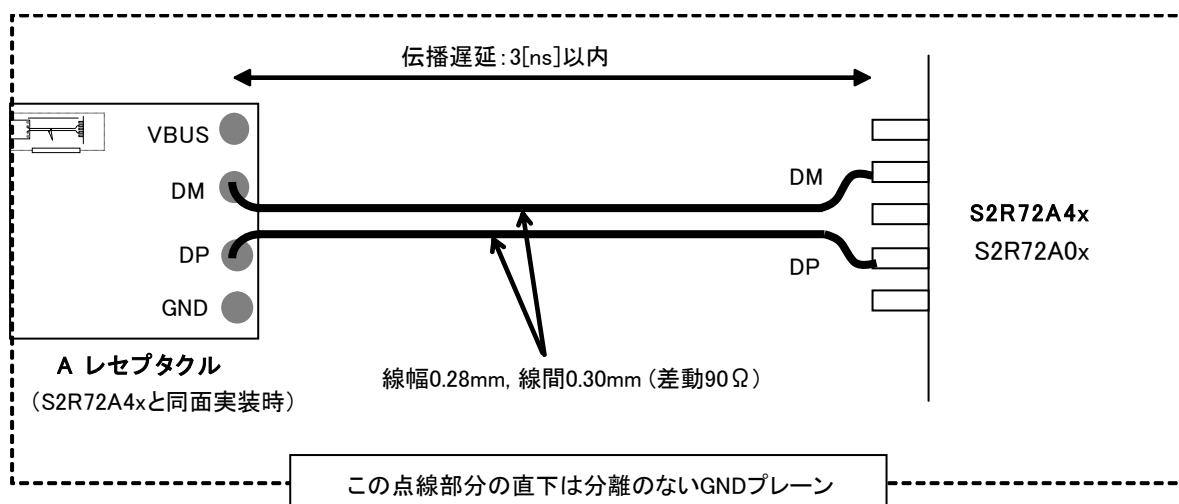


図 5-2 A レセプタクル（スルーホールタイプ）同面実装の例

5.2 アップストリームポート接続時の例

アップストリームポートと HS 接続されてからダウンストリームポートが有効になるまでの流れを、下図を例に説明します。HS の Host がかつ、MODE0=L の場合の例となります。

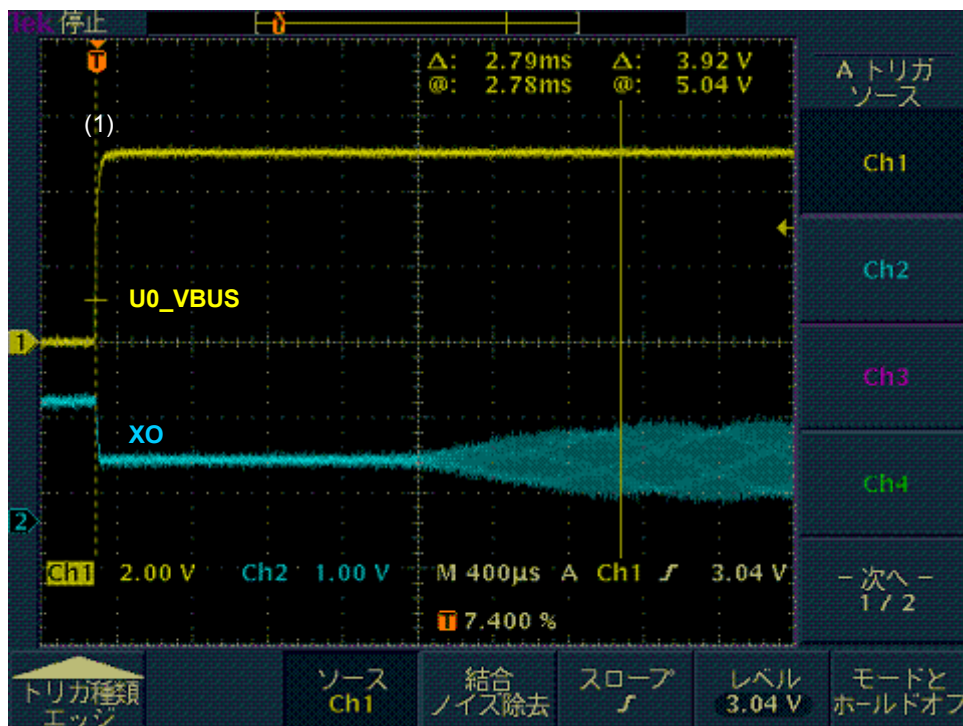


図 5-3 発振波形の例

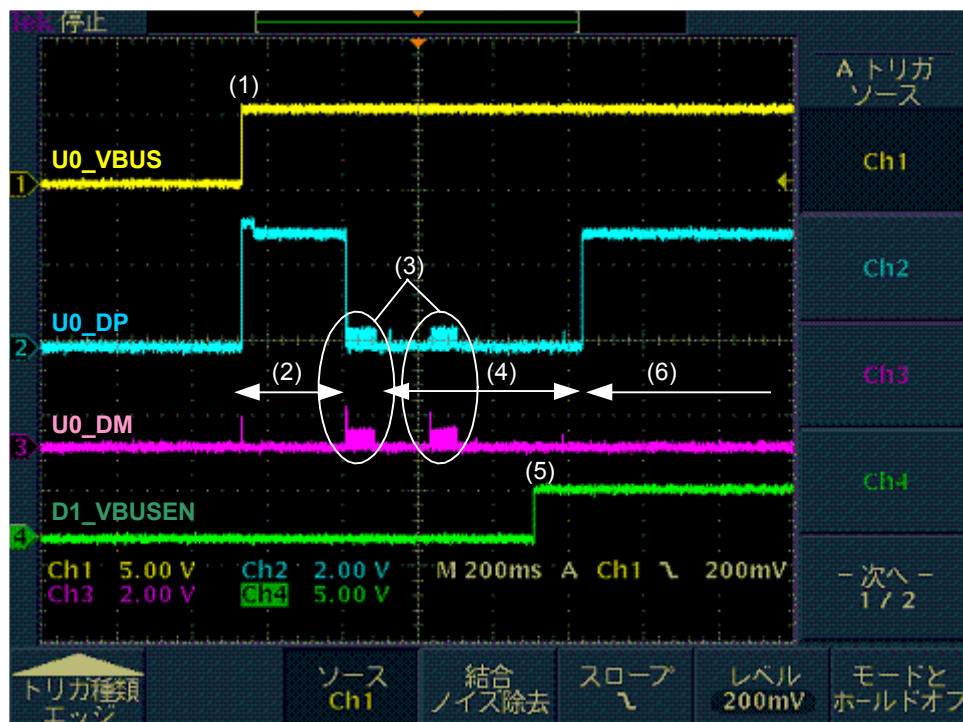


図 5-4 アップストリームポート接続時の例

(1) U0_VBUS の High 検出と OSC 発振

USB ホストとケーブル等で接続すると U0_VBUS 端子が High になります。本 LSI はこれをトリガとして内部発振を開始します。

(2) DP プルアップ

U0_VBUS 端子の High を検出後、本 LSI は内蔵抵抗によって U0_DP 端子をプルアップします。

(3) バスリセットと Chirp

U0_DP 端子のプルアップ後、まもなくして USB ホストからのバスリセットを受けると、本 LSI は Chirp K を返します。それに応答して Host Chirp がホストにより実行されます。これにより、スピードネゴシエーションが High Speed として完了します。

(4) エニユメレーション

ホストから各種リクエストが発行され、本 LSI はそれに応答します。（上図ではパケット波形までは十分に表示されていません。）

(5) ダウンストリームポート VBUS の有効化

上記(4)の過程で Dn_VBUSEN 端子が High になります。(x=1~4) これはホストからの SetPortFeature (PORT_POWER)リクエストを受信することで行われます。この信号を用いて、ダウンストリームポートに対し VBUS 供給が開始されます。

(6) サスペンドステート

この例では、上記(4)(5)の処理が終了すると U0 ポートはサスペンドステートに入ります。これは、ダウンストリームポートに USB デバイスが接続されておらず、ホストがサスペンドさせている事を示しています。もし USB デバイスが接続されていれば、通常、デバイスとの接続処理が始まり、U0 ポートはサスペンドステートになりません。

5.3 ダウンストリームポート過電流検出時の例

ダウンストリームポートへ供給する VBUS 電源の過電流が検出されて VBUS 供給が停止されるまでの流れを下図に示します。以下は Individual モードでの例です。Gang モードでは使用されるリクエストが異なりますが同様の流れです。

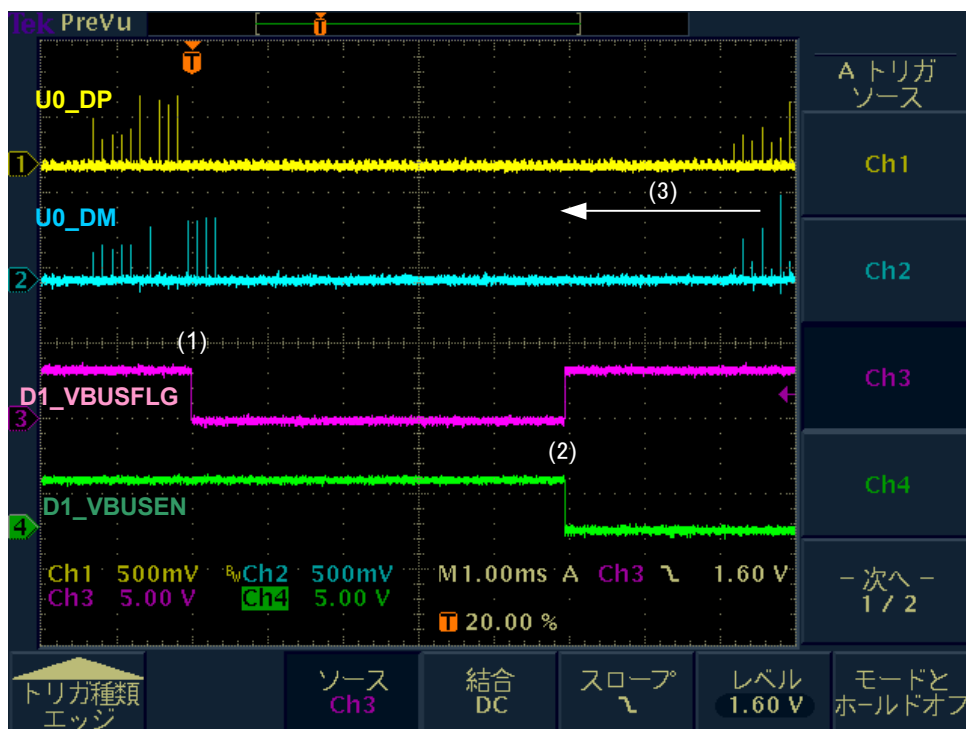


図 5-5 過電流検出時の例

(1) 過電流検出

外付けの VBUS スイッチ IC などからの Low レベル信号が D1_VBUSFLG 端子に入力され、過電流の発生を検知します。過電流とする条件は VBUS スイッチ IC の仕様や設定によります。また、過電流検出と共に、ホストからのステータスチェック (Interrupt-IN) に対する返信データとして、その過電流フィールドがセットされます。

(2) ダウンストリームポート VBUS の無効化

上記(1)から 6msec 以内に D1_VBUSEN 端子が Low 出力します。この信号を用いて、ダウンストリームポートに対し VBUS 供給が停止します。上記例では、D1_VBUSFLG 端子へ入力される信号が同時に High に戻っていますが、これは外付け VBUS スイッチ IC が過電流を検出しなくなったためです。

(3) ステータス変化通知、及びリクエスト応答

ホストは本 LSI のダウンストリーム側 VBUS ポートに過電流状態の変化が発生した事を、以下のシーケンスで検知します。

1. ホストは **Interrupt-IN** 転送によって、過電流フィールドの変化が発生したポートの **StatusChange** ビットがセットされた事を検知する。
2. ホストは **GetStatus** リクエストを発行し、本 LSI は **PortChangeBits** の **C_PORT_OVER_CURRENT** ビットをセットして通知する。(注 1)
3. ホストは **ClearFeature** (**C_PORT_OVER_CURRENT**) リクエストを発行する。

(注 1) 通常、このリクエスト応答が行われる時は、**VBUS** 供給が停止されて過電流状態でなくなっているため、**PortStatusBits** の **PORT_OVER_CURRENT** ビットはセットされません。

この後、ホストが **SetFeature** (**PORT_POWER**) リクエストを発行すると、**D1_VBUSEN** 端子は **High** 出力し、このダウンストリームポートに対して再度 **VBUS** 供給が開始されます。但し、過電流発生の根本的な要因が残ったままであれば上記が繰り返されるため、**SetFeature** リクエスト発行の有無はホストの仕様によります。

5.4 USB デバイス異常時の処理

USB は、CRC や転送プロトコルによって、データ転送エラーを起こさないためのロバスト性を兼ね備えていますが、ハードウェア的耐量を超えた外来ノイズ等によっては USB 系が異常に陥る場合も考えられます。

ここでは、HUB のダウンストリームに接続された USB デバイスがノイズの影響などで異常な動作モードに入り、USB ホストがそれを「異常」と判定する場合の検知手段例、及び復帰手段例について述べます。

異常の検知

通常の USB プロトコルによる検知（例えばデバイスの切断検知など）は期待できないものの、デバイスの応答が無くなることで異常を検知する事ができます。例えばファイルコピー動作であれば、デバイスへのコマンドに対する応答が得られなくなるため、ファイルシステムのタイムアウトなどによって異常を検知することができます。

異常からの復帰

以下を実行することで復帰を期待できます。

1. 該当する USB デバイスを再起動させる。
 - ・ 該当 USB デバイスが BUS パワード動作の場合、以下の手順で VBUS 供給を操作する。
 - (1) ClearPortFeature(PORT_POWER)リクエストにより、デバイスへの VBUS 供給を OFF する。
 - (2) SetPortFeature(PORT_POWER)リクエストにより、デバイスへの VBUS 供給を ON する。注 ; この方法は、ダウンポートの VBUS 制御を HUB が行う構成の場合に限られます。
そうでない構成の場合は、該当 USB デバイスの抜き差し操作をする事になります。
 - ・ 該当 USB デバイスがセルフパワード動作の場合、デバイスの電源を OFF/ON する。
2. 該当する USB デバイスにバスリセットをかける。
 - ・ SetPortFeature(PORT_RESET)リクエストにより、ダウンポートをバスリセットする。
但し、バスリセットは USB プロトコルの実装であるため、
いわゆるハードリセットのように全ての場合に効力があることは期待できません。

セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411812204
2009年 6月 作成
2015年 10月 改定