

**LCDコントローラ
S1D13719
テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1. はじめに	1
1.1 適用範囲	1
1.2 概要	1
2. 特長	2
2.1 内蔵メモリ	2
2.2 レジスタ	2
2.3 ホストCPUインタフェース	2
2.4 表示サポート	3
2.5 表示モード	4
2.6 表示機能	4
2.7 カメラインタフェース	5
2.8 JPEGコーデック	5
2.9 リサイズ機能/リサイザー	5
2.10 画像データ入出力機能	6
2.11 画像データ変換機能	7
2.12 2D BitBLTアクセラレータ	7
2.13 SDカードインタフェース	8
2.14 汎用IOポート	8
2.15 クロック	9
2.16 パワーセーブ機能	9
2.17 電源電圧	9
2.18 パッケージ	9
3. システム構成図	10
4. 機能ブロック図	15
5. 端子構成	16
5.1 端子配置図 (PFBGA-180)	16
5.2 端子説明	18
5.2.1 ホストインタフェース端子	19
5.2.2 LCDインタフェース端子	23
5.2.3 カメラインタフェース端子	27
5.2.4 SDカードインタフェース端子	29
5.2.5 クロック入力端子	31
5.2.6 その他の端子	32
5.2.7 電源端子とグラウンド端子	33
5.3 コンフィギュレーションオプションの概要	34
5.4 ホストインタフェースの端子割り付け	35
5.5 LCDインタフェースの端子割り付け	37

目次

5.6	LCDバイパスモードの端子割り付け	40
5.7	カメラインタフェースの端子割り付け	41
5.7.1	Camera1インタフェースの端子割り付け	41
5.7.2	Camera2インタフェースの端子割り付け	41
5.8	SDカードインタフェースの端子割り付け	42
6.	DC特性	43
6.1	絶対最大定格	43
6.2	推奨動作条件	43
6.3	電気的特性	44
7.	AC特性	47
7.1	クロックタイミング	47
7.1.1	入力クロックタイミング	47
7.1.2	内部システムクロック	49
7.1.3	PLLクロック	50
7.2	電源シーケンス	52
7.2.1	パワーオンシーケンス	52
7.2.2	パワーオフシーケンス	52
7.3	ホストインタフェースタイミング	53
7.3.1	ダイレクト80タイプ1	53
7.3.2	ダイレクト80タイプ2	56
7.3.3	ダイレクト80タイプ3	59
7.3.4	ダイレクト68	62
7.3.5	インダイレクト80タイプ1	64
7.3.6	インダイレクト80タイプ2	66
7.3.7	インダイレクト80タイプ3	68
7.3.8	インダイレクト68	70
7.3.9	LCDバイパスモード	72
7.4	パネルインタフェースタイミング	74
7.4.1	汎用TFTパネルタイミング	74
7.4.2	HR-TFTパネルタイミング	77
7.4.3	カシオ製TFTパネルタイミング	80
7.4.4	-TFTパネルタイミング	83
7.4.5	TFTタイプ2パネルタイミング	86
7.4.6	LCD1 ND-TFDおよびLCD2用8ビットシリアルインタフェースタイミング	89
7.4.7	LCD1 ND-TFDおよびLCD2用9ビットシリアルインタフェースタイミング	91
7.4.8	LCD1 a-Si TFTシリアルインタフェースタイミング	93
7.4.9	LCD1 uWireシリアルインタフェースタイミング	94
7.4.10	LCD1 SPIシリアルインタフェースタイミング	95
7.4.11	LCD1およびLCD2用パラレルインタフェース (80)	97
7.4.12	LCD1およびLCD2用パラレルインタフェース (68)	99

7.5	カメラインタフェースタイミング	101
7.5.1	カメラインタフェースタイミング	101
7.5.2	カメラクロック出力	103
7.5.3	ストロブ制御出力	105
7.5.4	MPEGコーデックインタフェースタイミング	106
7.6	SDカードインタフェース	107
7.6.1	SDカードアクセス	107
7.6.2	SDカードクロック出力	108
8.	メモリマップ	109
8.1	物理メモリ	109
8.2	メモリマップ例	110
9.	クロック	111
9.1	クロック図	111
9.2	クロック	112
9.2.1	システムクロック	112
9.2.2	ピクセルクロック	112
9.2.3	シリアルクロック	112
9.2.4	Camera1クロック	112
9.2.5	Camera2クロック	112
9.2.6	SDカードクロック	112
10.	レジスタ	113
10.1	レジスタマッピング	113
10.2	レジスタセット	114
10.3	レジスタの制限	119
10.4	レジスタの説明	120
10.4.1	システム設定レジスタ	120
10.4.2	クロック設定レジスタ	123
10.4.3	インダイレクトインタフェースレジスタ	131
10.4.4	LCDパネルインタフェース汎用設定レジスタ	134
10.4.5	LCD1設定レジスタ	141
10.4.6	LCD2設定レジスタ	152
10.4.7	拡張パネルレジスタ	157
10.4.8	カメラインタフェース設定レジスタ	171
10.4.9	表示モード設定レジスタ	187
10.4.10	GPIOレジスタ	224
10.4.11	オーバーレイレジスタ	226
10.4.12	LUT1 (メインウインドウ)	235
10.4.13	LUT2 (PIP+ウインドウ)	236
10.4.14	リサイザーコントロールレジスタ	237
10.4.15	JPEGモジュールレジスタ	251

10.4.16 JPEG FIFO設定レジスタ	266
10.4.17 JPEGラインバッファ設定レジスタ	273
10.4.18 割り込み制御レジスタ	278
10.4.19 JPEG符号化実行レジスタ	290
10.4.20 JPEGコーデックレジスタ	292
10.4.21 SDカードインタフェースレジスタ	307
10.4.22 2D BitBLTレジスタ	325
11. パワーセーブモード	333
11.1 パワーオン/パワーオフシーケンス	333
11.1.1 パワーオン	335
11.1.2 リセット	335
11.1.3 スタンバイモード	335
11.1.4 パワーセーブモード	335
11.1.5 通常モード	335
11.1.6 パワーオフ	336
11.2 パワーセーブモードの機能	336
12. 表示モード	338
12.1 表示モード	338
12.2 色深度	338
12.3 ルックアップテーブル (LUT) の構成	339
12.3.1 LUT1 (メインウインドウ、8bpp用) の構成	340
12.3.2 LUT2 (PIP+ウインドウ、8bpp用) の構成	341
12.3.3 LUT1 (メインウインドウ、16bpp用) の構成	342
12.3.4 LUT2 (PIP+ウインドウ、16bpp用) の構成	343
12.3.5 LUTバイパス時のビット補充	344
12.3.6 LCD出力データ	345
12.4 画像データフォーマット	345
12.4.1 8bppモード (LUTを使用)	345
12.4.2 16bppモード (LUTを使用)	346
12.4.3 8bppモード (LUTをバイパス)	346
12.4.4 16bppモード (LUTをバイパス)	347
12.4.5 32bppモード (LUTをバイパス)	347
12.4.6 24bpp (YUV 4:2:2) モード (LUTをバイパス)	347
12.5 メモリデータフォーマット	348
12.5.1 RGB 3:3:2のフォーマット	348
12.5.2 RGB 5:6:5のフォーマット	348
12.5.3 YUV 4:2:2のフォーマット	348
12.6 LCDのリフレッシュ	349
12.6.1 LCDフレームの転送	349
12.6.2 LCDフレームの自動転送	350

12.6.3	LCDフレームの同期	351
12.6.4	YUV形式に対するPIP ⁺ ウインドウのトリプルバッファ	352
13.	表示機能	354
13.1	SwivelView™表示	354
13.1.1	90° SwivelView	355
13.1.2	180° SwivelView	356
13.1.3	270° SwivelView	357
13.2	ミラー表示	358
13.2.1	SwivelView 0°のミラー表示	359
13.2.2	SwivelViewとの併用	360
13.3	PIP ⁺ (Picture-in-Picture Plus)	362
13.3.1	SwivelView 0°におけるPIP ⁺	362
13.3.2	SwivelViewとの併用	363
13.3.3	PIP ⁺ 表示の例	365
13.4	オーバーレイ表示	366
13.4.1	オーバーレイ表示の効果	367
13.4.2	オーバーレイ機能の優先順位	369
13.5	ピクセルダブリング	370
13.6	ズーム表示	371
14.	JPEG符号化 / 復号化処理	373
14.1	JPEG機能	373
14.1.1	JPEG FIFO	373
14.1.2	JPEGコーデックの割り込み	374
14.1.3	JPEGバイパスモード	375
14.2	シーケンス例	376
14.2.1	JPEG符号化処理	376
14.2.2	メモリ画像のJPEG符号化処理	383
14.2.3	ホストインタフェースからのメモリ画像のJPEG符号化処理 (RGB形式)	387
14.2.4	JPEG復号化処理	391
14.2.5	YUVデータのキャプチャ	398
14.2.6	YUVデータの表示	399
14.2.7	終了シーケンス	400
15.	リサイザー	401
15.1	ビューリサイザー	401
15.2	キャプチャリサイザー	402
15.3	トリミング機能	402
15.4	スケーリング機能	403
15.4.1	奇数分の1スケーリング	403
15.4.2	偶数分の1スケーリング	404
15.4.3	平均法	404

15.4.4 スケーリング後のピクセル数の計算法	405
16. 画像データの入出力機能	406
16.1 通常のJPEG符号化	406
16.2 通常のJPEG復号化	407
16.3 ホスト入力のJPEG符号化	408
16.4 ホスト入力のJPEG復号化	409
16.5 YUVデータの出力	410
16.6 YUVデータの入力	411
16.7 表示画像のJPEG符号化	412
16.8 カメラJPEG符号化データの出力	413
16.9 YUVデータの入出力フォーマット	414
16.9.1 YUV 4:2:2データの入出力フォーマット	414
17. 画像データの変換	415
17.1 YUV/RGBコンバータ1 (YRC1)	415
17.1.1 矩形領域書き込みモード	415
17.1.2 UVデータ固定	416
17.1.3 YUV/RGB変換	416
17.2 YUV/RGBコンバータ2 (YRC2)	417
17.2.1 YUV/RGB変換	417
17.2.2 UVデータ固定	418
17.3 RGB/YUVコンバータ (RYC)	419
17.3.1 画像サイズ	419
17.3.2 LCDパネル出力	419
17.3.3 RGB/YUV変換	420
18. 2D BitBLTエンジン	421
18.1 概要	421
18.2 各種のBitBLT	422
18.2.1 Read BitBLT	422
18.2.2 Move BitBLT	422
18.2.3 Pattern Fill BitBLT	423
18.2.4 Solid Fill BitBLT	424
18.2.5 BitBLTに関する用語	425
18.2.6 ソースとデスティネーション	426
18.3 データ機能	427
18.3.1 ROP	428
18.3.2 透過	429
18.4 線形と矩形	430
19. ホストインタフェース	432
19.1 ハードウェア構成	432

19.1.1	CNF6 : チップ選択	432
19.1.2	CNF5 : エンディアンモード	432
19.1.3	CNF[4:2] : ホストバスインタフェースのタイプ	433
19.2	サイクルモニタリング機能	433
19.2.1	バスタイムアウトリセット機能	433
19.3	インダイレクトインタフェース	434
19.3.1	インダイレクトアドレス指定のレジスタポート	435
19.3.2	レジスタアクセス	437
19.3.3	JPEGコーデックレジスタのアクセス	438
19.3.4	メモリアクセス	439
19.3.5	JPEG FIFOのアクセス	440
19.3.6	JPEGラインバッファのアクセス	441
19.4	サイクル数	442
20.	LCDパネルインタフェース	444
20.1	RGBインタフェースLCDパネルのデータフォーマット	446
20.1.1	9/12/16/18/24ビットRGBのデータフォーマット	446
20.1.2	RGBシリアルインタフェース	447
20.2	パラレルインタフェースLCDのデータフォーマット	448
20.2.1	8ビットパラレル (RGB 3:3:2) のデータフォーマット	448
20.2.2	8ビットパラレル (RGB 4:4:4) のデータフォーマット	448
20.2.3	8ビットパラレル (RGB 5:6:5) のデータフォーマット	449
20.2.4	8ビットパラレル (RGB 6:6:6) のデータフォーマット	449
20.2.5	8ビットパラレル (RGB 8:8:8) のデータフォーマット	450
20.2.6	16ビットパラレル (RGB 4:4:4) のデータフォーマット	450
20.2.7	16ビットパラレル (RGB 5:6:5) のデータフォーマット	451
20.2.8	16ビットパラレル (RGB 8:8:8) のデータフォーマット	452
20.2.9	18ビットパラレル (RGB 6:6:6) のデータフォーマット	453
20.2.10	24ビットパラレル (RGB 8:8:8) のデータフォーマット	454
20.3	パラレルインタフェースLCDのコマンド/パラメータフォーマット	455
20.4	シリアルインタフェースLCDのデータフォーマット	457
20.4.1	8ビットシリアル (RGB 3:3:2) のデータフォーマット	457
20.4.2	8ビットシリアル (RGB 4:4:4) のデータフォーマット	457
20.4.3	16ビットシリアル (RGB 4:4:4、MSB不使用) のデータフォーマット	458
20.4.4	16ビットシリアル (RGB 4:4:4、MSB使用) のデータフォーマット	459
20.4.5	16ビットシリアル (RGB 5:6:5) のデータフォーマット	460
20.4.6	18ビットシリアル (RGB 6:6:6) のデータフォーマット	461
20.5	LCDバイパス機能	462
20.5.1	シリアルインタフェースのLCDバイパス	462
20.5.2	パラレルインタフェースのLCDバイパス	463
20.5.3	パラレルLCDバイパスの方向	464

目次

21. カメラインタフェース	465
21.1 カメラ入力データ	465
21.1.1 JPEG使用時のカメラ画像表示	466
21.1.2 JPEG符号化	466
21.1.3 YUVデータ出力	466
21.2 フレームキャプチャ割り込み	467
21.3 ストローブ制御信号	469
21.3.1 ストローブパルスの生成	469
21.3.2 ストローブに関するタイミング	473
22. SDカードインタフェース	474
22.1 インタフェースコマンド	475
22.2 端子の機能	476
23. 汎用IO端子	477
23.1 IOセルの構造	477
23.2 電源に関する注意事項	477
24. メカニカルデータ	478
25. 参考資料	479
• 改訂履歴表	480

1. はじめに

1.1 適用範囲

本書は、LCDコントローラS1D13719のテクニカルマニュアルです。本書には、タイミング図、ACおよびDC特性、レジスタの説明および電力管理の説明などが記載されています。本書は、システム設計者とソフトウェア開発者を対象としています。

英語版のS1D13719 Mobile Graphics Engine Hardware Functional Specificationが正規の資料であり、本書は正規英語版テクニカルマニュアルの補助的資料として、お客様のご理解を深めるために和訳したものです。製品のご検討および採用に当たりましては、必ず正規英語版の最新資料をご確認ください。

なお、本書および正規英語版は適宜改訂されています。最新版は、
http://www.epson.jp/device/semicon/product/lcd_controllers/index.htm
<http://vdc.epson.com/>
からダウンロードできます。

1.2 概要

S1D13719は、モバイル製品においてデジタルビデオ革命™をサポートするグラフィックスコントローラです。S1D13719はデュアルポートのカメラインタフェースおよびハードウェアのJPEGエンコーダ/デコーダを内蔵するほか、外部のMPEGコーデックとも接続可能です。ダイレクトおよびインダイレクトのCPUインタフェースとシームレスに接続することで、最大2枚のLCDパネルに対応できます。本製品は標準的なすべてのTFTパネルタイプに加え、それ以外の多くのTFTタイプをサポートします。そのため外部のタイミング制御用ICが不要です。512KBの内蔵SRAMと豊富な機能群を備えた本製品は、低価格・低消費電力のシングルチップソリューションとして、移動通信機器や手のひらサイズのPDA（携帯情報端末）といったデジタルビデオを必要とするエンベデッド製品のニーズに応えます。

このほか、回転表示が必要な製品ではSwivelView™機能が役立ちます。これは表示メモリのハードウェア回転を行う機能であり、ソフトウェアアプリケーションに依存しません。また「Picture-in-Picture Plus/PIP+」（オーバーレイ機能を備えた可変サイズウィンドウ）をサポートします。ハードウェアアクセラレータによる2D BitBLT機能を用いれば、さらに高い性能が実現します。

S1D13719は、デジタルビデオ機能を必要とする携帯端末などのモバイルシステムを強力にサポートします。またCPUの種類やオペレーティングシステムに依存しないため、非常に幅広い用途において理想的な表示コントローラとなります。

2. 特長

2. 特長

2.1 内蔵メモリ

- 内蔵SRAM (512KB) の用途：
 - 表示バッファ
 - JPEG FIFO (最大512KB)
 - JPEGラインバッファ (最大96KB)
- 5つの物理バンクからなるSRAM (64K/128K/128K/128K/64KB)

2.2 レジスタ

- レジスタはメモリマップ型です。
- 同期 / 非同期レジスタ (非同期レジスタはパワーセーブモード時にもアクセス可能です)
- 特別なレジスタポート：
 - JPEG FIFO用ポート (JPEGの符号化、復号化、バイパスに使用します)
 - JPEGラインバッファ用ポート (JPEGの符号化、復号化、バイパスに使用します)

2.3 ホストCPUインタフェース

- 4種類の汎用非同期CPUインタフェース (モード80タイプ1、2、3、およびモード68)
- 16ビットのシリアルCPUインタフェース
- 16ビットデータバス
 - 16ビットでのレジスタおよびFIFOアクセス (M/R# = 0のとき)
 - 8/16ビットでのメモリアクセス (ダイレクトインタフェースのみ、M/R# = 1のとき)
- RESET#でのハードウェア設定が可能 (CNF[7:0]端子を使用)
- 間接および直接アドレス指定
- パラレルインタフェースにおけるリトルおよびビッグエンディアンのサポート
- パラレルインタフェースにおける2種類のチップ選択モード (1CS#または2CS#)
- インダイレクトインタフェースにおける矩形メモリアクセス
- シリアルインタフェースにおけるシリアルクロック極性モード
- シリアルインタフェースの選択時、パラレルLCDのバイパス機能は使用できません。
 - バスタイムアウトリセット機能 (割り込み / リセット)
 - サイクルタイムアウト機能 (サイクル生成の終了と割り込み)
- 割り込み出力
- LCDバイパスモード (ホストCPUがLCD入力を直接制御)
 - LCD1とLCD2に対して使用可能
 - シリアルおよびパラレルインタフェースのLCDパネルに対応
 - パラレルインタフェースのLDCパネルは、LCDパネルのバイパス時にもアクセス可能

- パワーセーブモード時のホストCPU制御

2.4 表示サポート

- 9/12/16/18/24ビットRGBインタフェースのアクティブマトリックスTFTディスプレイ：
 - 汎用TFTインタフェース
 - α -Si TFTインタフェース
 - uWireインタフェースを備えたTFT
 - エプソンND-TFDインタフェース
 - 拡張TFTインタフェース（タイプ2）
- カシオ製TFT LCD（またはその互換インタフェース）に対する直接サポート
- a-TFTサムスン製TFT LCD（またはその互換インタフェース）に対する直接サポート
- シャープ製HR-TFT LCD（またはその互換インタフェース）に対する直接サポート
- 東芝製低電力LCDに対する直接サポート。詳細はエプソンの営業担当者にお問い合わせください。
- 8/16/18/24ビットのRAM内蔵パラレルインタフェースLCDパネル
- 8/9/16/18ビットのRAM内蔵シリアルインタフェースLCDパネル
- 最大2枚のパネルをサポート（ただし、LCD1とLCD2を同時にリフレッシュすることはできません）

2. 特長

2.5 表示モード

- 4つのパネルインタフェースモードが使用できます。いずれも2枚のLCD (LCD1とLCD2) をS1D13719に接続できます。ただし、一度に使用できるのは片方のLCDだけです。
 - モード1：
 - LCD1：RGBタイプのパネル
 - LCD2：シリアルインタフェースパネル
 - モード2：
 - LCD1：パラレルインタフェースパネル
 - LCD2：シリアルインタフェースパネル
 - モード3：
 - LCD1：パラレルインタフェースパネル
 - LCD2：パラレルインタフェースパネル
 - モード4：
 - LCD1：RGBタイプのパネル
 - LCD2：パラレルインタフェースパネル
- 色深度：
 - RGB形式：8/16/24bpp (メインウィンドウまたはPIP⁺ウィンドウで表示可能)
 - YUV形式：16bpp (PIP⁺ウィンドウでのみ表示可能)
- ルックアップテーブル (LUT)：
 - LUT1 (メインウィンドウ用)：256ワード×8ビット×3個
 - LUT2 (PIP⁺ウィンドウ用)：64ワード×8ビット×3個
 - LUTはバイパス可能

2.6 表示機能

- SwivelView：表示画像に対する90°/180°/270°の左回りハードウェア回転
- ミラー機能：表示画像の水平反転
- 仮想ディスプレイ：パネルサイズより大きい画像をパンとスクロールを使って表示
- Picture-in-Picture Plus (PIP⁺)：背景画像の上に可変サイズウィンドウを表示
- オーバーレイ機能：PIP⁺ウィンドウの透過ないしキーカラーによる平均/AND/OR/INV演算
- オーバーレイは組み合わせ可能
- ピクセルダブリング：表示画像のサイズを2倍に (縦横それぞれ独立して可能)
- フラクショナルズーム：画像は原寸の最大1/2に縮小したり、最大2倍に拡大したりすることが可能 (YUV 4:2:2フォーマットの場合に限ります)
- フラクショナルシュリンク：画像は原寸の最大n/128倍 (n = 1 ~ 128) に縮小可能 (キャプチャリサイザーとビューリサイザー)
- ビデオ反転：LCDに対するデータ出力の反転

2.7 カメラインタフェース

- カメラインタフェースはAC特性に応じて最大でWUXGA(1920 × 1200)の解像度をサポート
- YUV 4:2:2フォーマットをサポート
- ITU-R BT.656フォーマットをサポート
- 8/16ビットのデータバスインタフェース
- Camera2インタフェースではMPEGコーデックインタフェースをサポート
- プログラム可能なキャプチャフレーム
- ストローブ制御のためのタイミング信号出力
 - パルスはプログラム可能で、カメラ入力と同期して出力可能

2.8 JPEGコーデック

- JPEGベースライン規格に基づくハードウェアJPEGコーデック
 - JPEG符号化はYUV 4:2:2とYUV 4:1:1のフォーマットをサポート
 - JPEG復号化はYUV 4:4:4、YUV 4:2:2、およびYUV 4:1:1のフォーマットをサポート
 - 演算精度はJPEGパート2の適合性試験 (ISO/IEC10918-2) に準拠
 - 最大でSXGA (1280 × 1024) の画像サイズのソフトウェア制御
 - グレースケールマーカはサポートしません。
- JPEG符号化
 - カメラからの画像データに対してサイズ変更および符号化が可能
 - LCDからの画像データに対してサイズ変更および符号化が可能
 - ホストCPUからのYUVデータに対して符号化が可能
 - 符号化したJPEGファイルはJPEG FIFOから読み出されます。
- JPEG復号化
 - 復号化されたJPEGデータはJPEG FIFOに書き込まれます。
 - JPEGの画像データは復号化およびサイズ変更を行ったあと、表示バッファに書き込み可能

2.9 リサイズ機能 / リサイザー

- キャプチャリサイザー
 - カメラからの画像データのサイズを変更
 - LCDからの画像データのサイズを変更
 - UVクリップ機能
 - トリミングおよびスケーリング (1/2 ~ 1/32) の機能が使用可能

2. 特長

- ビューリサイザー
 - カメラからの画像データのサイズを変更
 - JPEG復号化された画像データのサイズを変更
 - UVクリップ機能
 - トリミングおよびスケーリング (1/2 ~ 1/32) の機能が使用可能
- ピクセルダブリング
 - 画像サイズを倍増 (例: 160 × 120が320 × 240になります)
 - 縦横それぞれ独立に制御
 - RGBフォーマットとYUV 4:2:2フォーマットをサポート
- フラクショナルキャプチャ/ビューリサイザー
 - カメラ画像データを1倍から1/2倍まで128段階で縮小可能
 - JPEG復号化データを1倍から1/2倍まで128段階で縮小可能
 - 縮小率は表示リサイズ寸法とは無関係です。
- フラクショナルズーム
 - YUV 4:2:2の画像データを1倍から2倍まで128段階で拡大可能
 - YUV 4:2:2の画像データを1倍から1/2倍まで128段階で縮小可能
 - 拡大縮小率はPIP⁺ウィンドウサイズとは無関係です。

2.10 画像データ入出力機能

- カメラからのYUVデータ入力に対して以下の処理が可能です。
 - サイズ変更後、RGB 5:6:5フォーマットで表示バッファに書き込み
 - サイズ変更後、YUV 4:2:2フォーマットで表示バッファに書き込み
 - サイズ変更後にJPEGファイル (YUV 4:2:2フォーマットまたはYUV 4:1:1フォーマット) に符号化し、JPEG FIFO経由で出力
 - サイズ変更後にYUV 4:2:2フォーマットに変換し、JPEG FIFO経由で出力
- ホストCPUからのJPEGファイルに対して以下の処理が可能です。
 - JPEG FIFO経由の入力とJPEGコーデックによる復号化
 - 復号化およびサイズ変更後、RGB 5:6:5フォーマットで表示バッファに書き込み
 - 復号化およびサイズ変更後、YUV 4:2:2フォーマットで表示バッファに書き込み
 - 復号化とJPEGラインバッファ経由の出力
- LCD表示データ (指定した矩形領域の表示データ) に対して以下の処理が可能です。
 - YUVフォーマットデータへの変換
 - サイズ変更およびJPEGファイルへの符号化後、JPEG FIFO経由で出力

- ホストCPUからのYUVデータに対して以下の処理が可能です。
 - JPEGラインバッファ経由の入力およびサイズ変更後、RGB 5:6:5フォーマットで表示バッファに書き込み
 - JPEGラインバッファ経由の入力およびサイズ変更後、YUV 4:2:2フォーマットで表示バッファに書き込み
 - JPEGラインバッファ経由の入力および符号化後、JPEG FIFO経由で出力

2.11 画像データ変換機能

- YUV/RGBコンバータ1の機能：
 - サイズ変更後の画像データをRGB 5:6:5または8:8:8フォーマットに変換
 - サイズ変更後の画像データをYUV 4:2:2フォーマットに変換
 - 固定UVデータの使用（UVクリップ）
 - 指定した矩形領域を表示バッファに書き込み
 - 書き込み禁止色の設定（RGB）
- YUV/RGBコンバータ2の機能：
 - 表示バッファ内のYUV 4:2:2フォーマットデータをRGB 8:8:8フォーマットに変換
 - 固定UVデータの使用（UVクリップ）
- RGB/YUVコンバータの機能：
 - 表示バッファの指定領域内にあるRGBフォーマットデータをYUVフォーマットに変換
 - RGB/YUVコンバータの動作時はLCDパネルへの出力を停止（パラレルまたはシリアルインタフェースのLCDパネル）
 - RGB/YUVコンバータの動作時はブランクデータを出力（RGBインタフェースのLCDパネル）

2.12 2D BitBLTアクセラレータ

- Move BitBLT
- Transparent Move BitBLT
- Solid Fill BitBLT
- Read BitBLT（ダイレクトインタフェースモードのみ）
- Pattern Fill BitBLT

2. 特長

2.13 SDカードインタフェース

- SDカードインタフェースはSDカードの物理層仕様（1.0版）に準拠しています。
 - 4ビットまたは1ビットインタフェース
 - セキュリティ機能なし
 - Card Detect入力およびWrite Protect入力

2.14 汎用IOポート

- 22個の汎用IO端子（GPIO）
 - 入力または出力に設定可能（リセット時は入力）
 - 入力に対するプルダウン抵抗制御（リセット時はプルダウン抵抗がイネーブル）
 - 汎用IO端子はパワーセーブモード中でも制御可能

2.15 クロック

- PLL (32.768kHzのクロック入力が必要)
 - PLL出力の範囲：48～55MHz
 - PLL出力のクロック周期ジッタ：3%
 - PLL出力の安定化時間：50ms
- PLLバイパスモードが使用可能

2.16 パワーセーブ機能

- ソフトウェア起動によるパワーセーブモード（内部システムクロックが停止します）
- 各モジュールに対するクロック供給制御
- LCDへのフレーム転送（シリアルまたはパラレルインタフェースのLCDパネル）
- カメラ入力と同期したLCDへの自動フレーム転送（シリアルまたはパラレルインタフェースのLCDパネル）
- 汎用IOポートのプルダウン抵抗制御（出力モードに対するデフォルトは「オフ」）
- ホストCPUからLCDパネルへのバイパスモード
- Camera1のインタフェースとCamera2のインタフェースの電源は独立しています。カメラモジュールを使用しないときは、該当するカメラインタフェースの給電のみを停止できます。

2.17 電源電圧

- ロジックの電圧：1.95～1.65V
- PLLの電圧：1.95～1.65V
- ホストインタフェースの電圧：3.25～2.75V
- LCDインタフェースの電圧：3.25～2.75V
- カメラインタフェースの電圧：3.25～2.75V
- SDカードインタフェースの電圧：3.25～2.75V

2.18 パッケージ

- 180ピンのPFBGAパッケージ

3. システム構成図

3. システム構成図

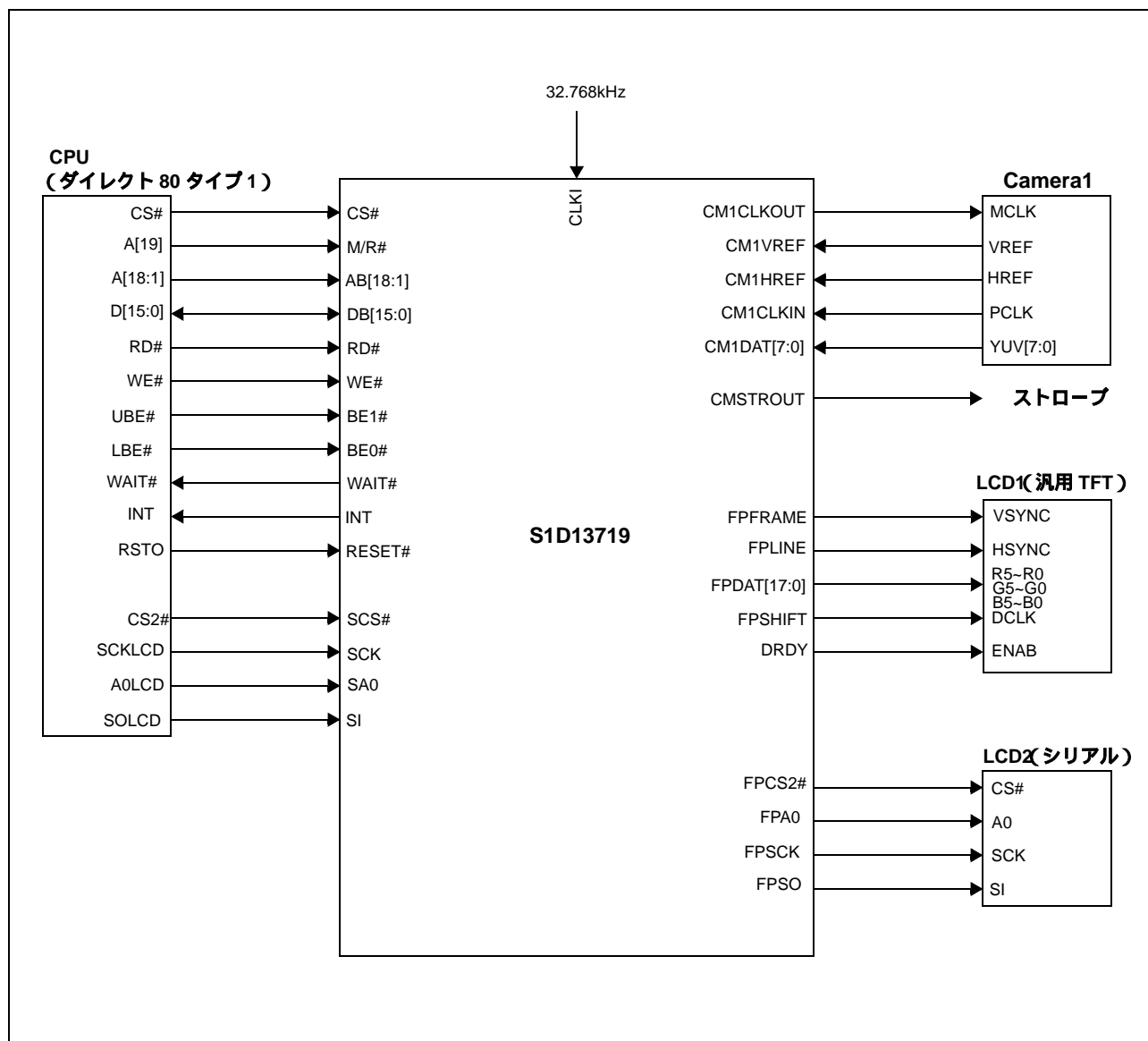


図3.1 システム構成例1

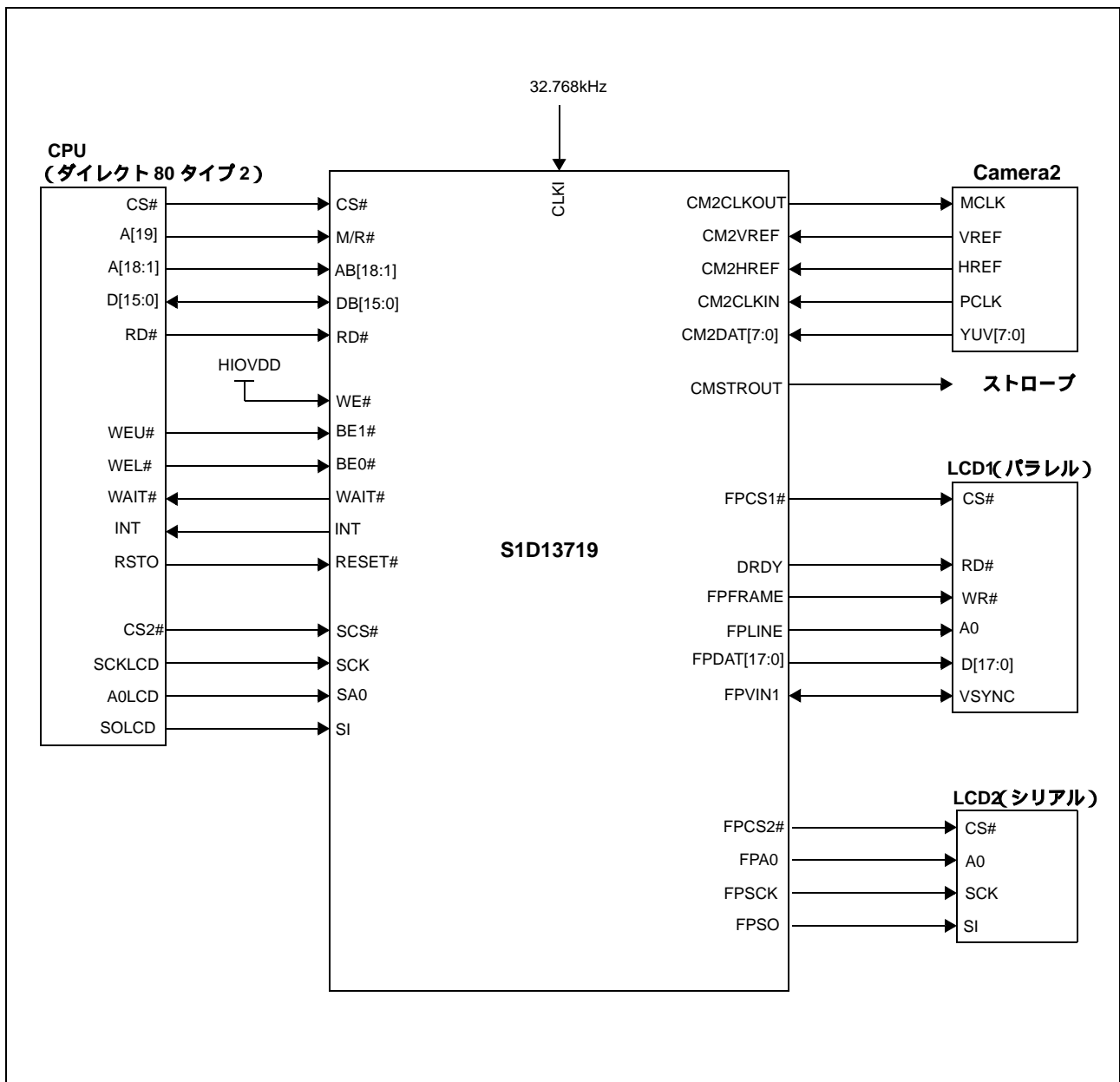


図3.2 システム構成例2

3. システム構成図

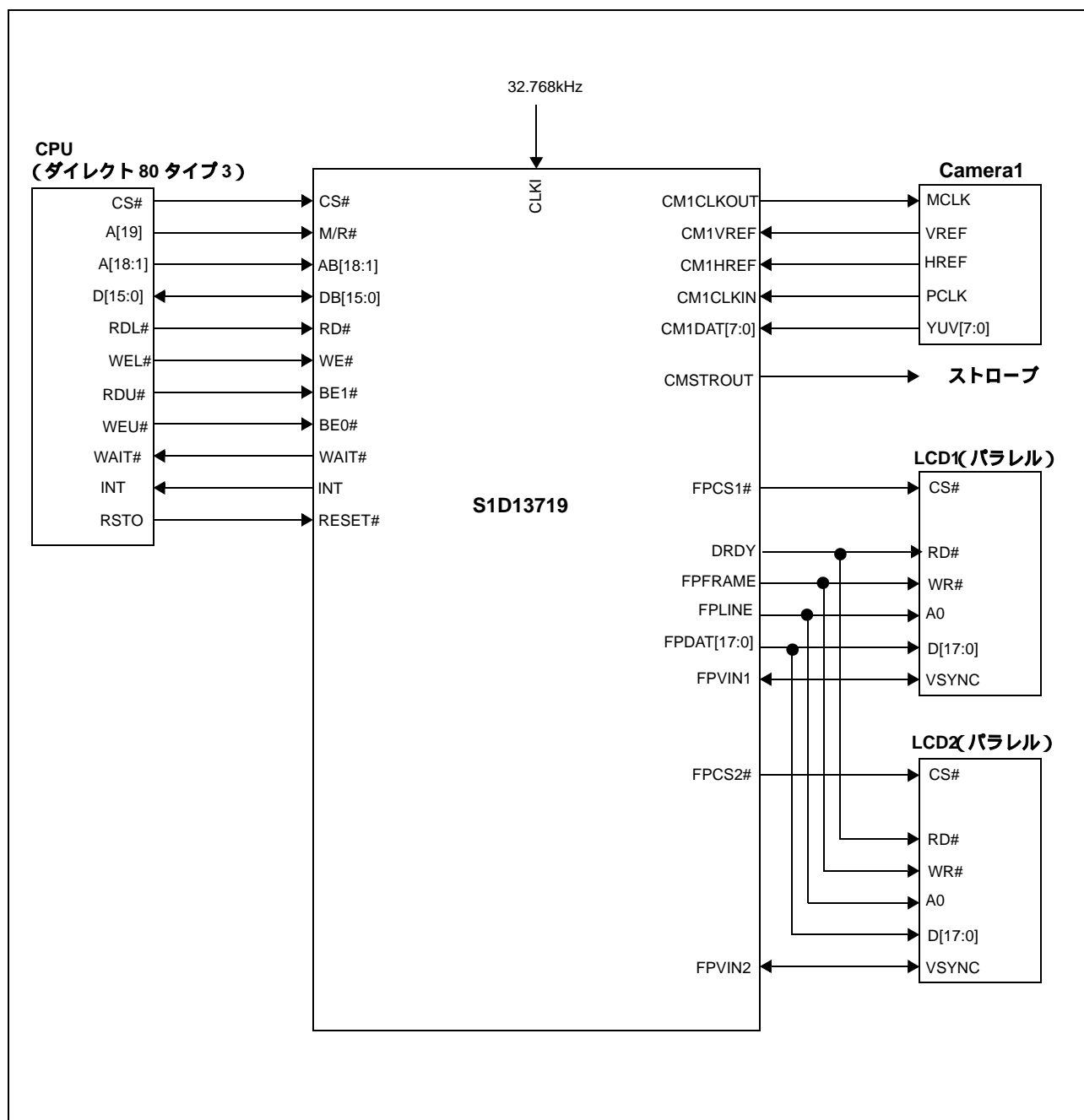


図3.3 システム構成例3

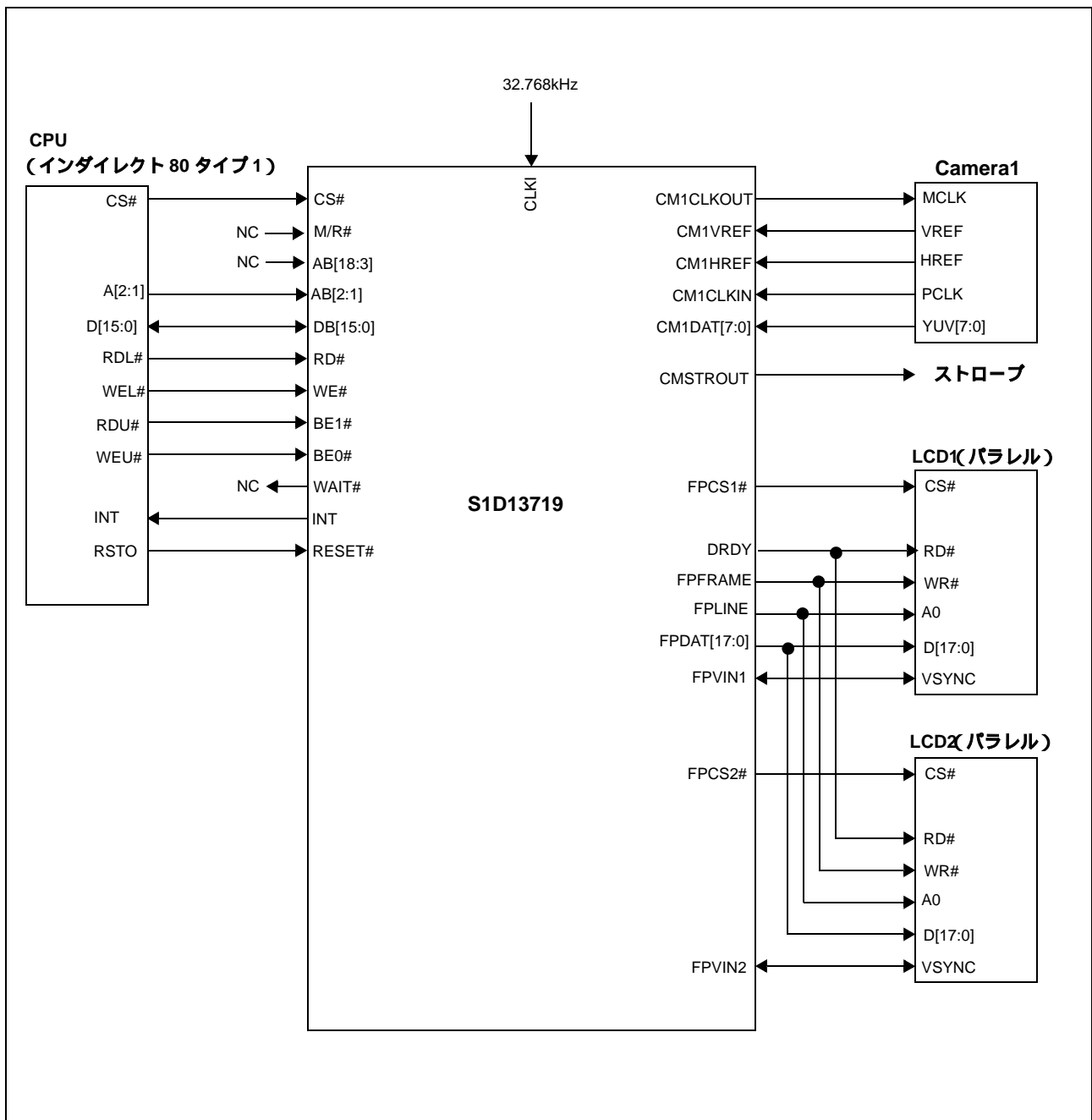


図3.4 システム構成例4

3. システム構成図

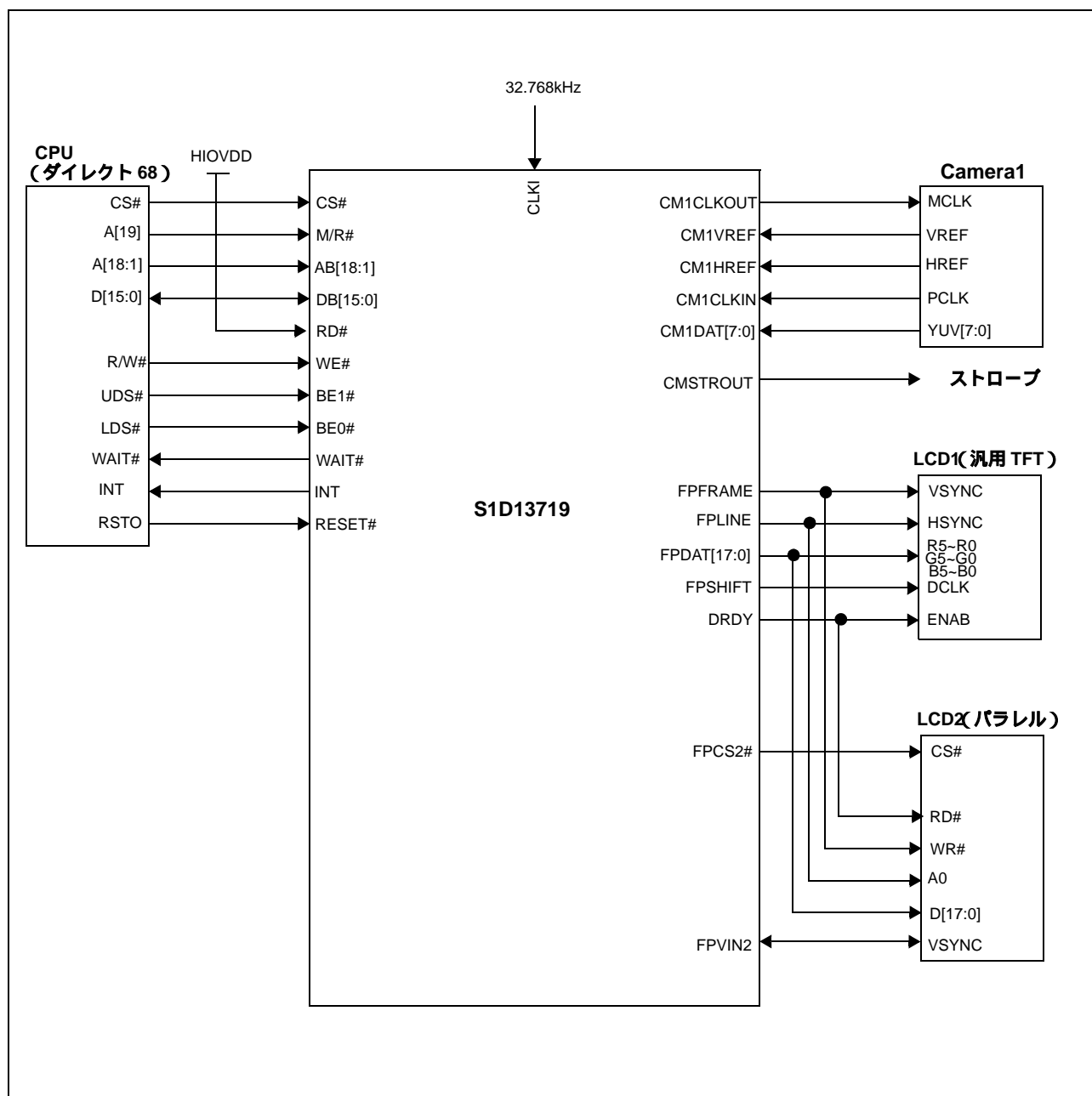


図3.5 システム構成例5

4. 機能ブロック図

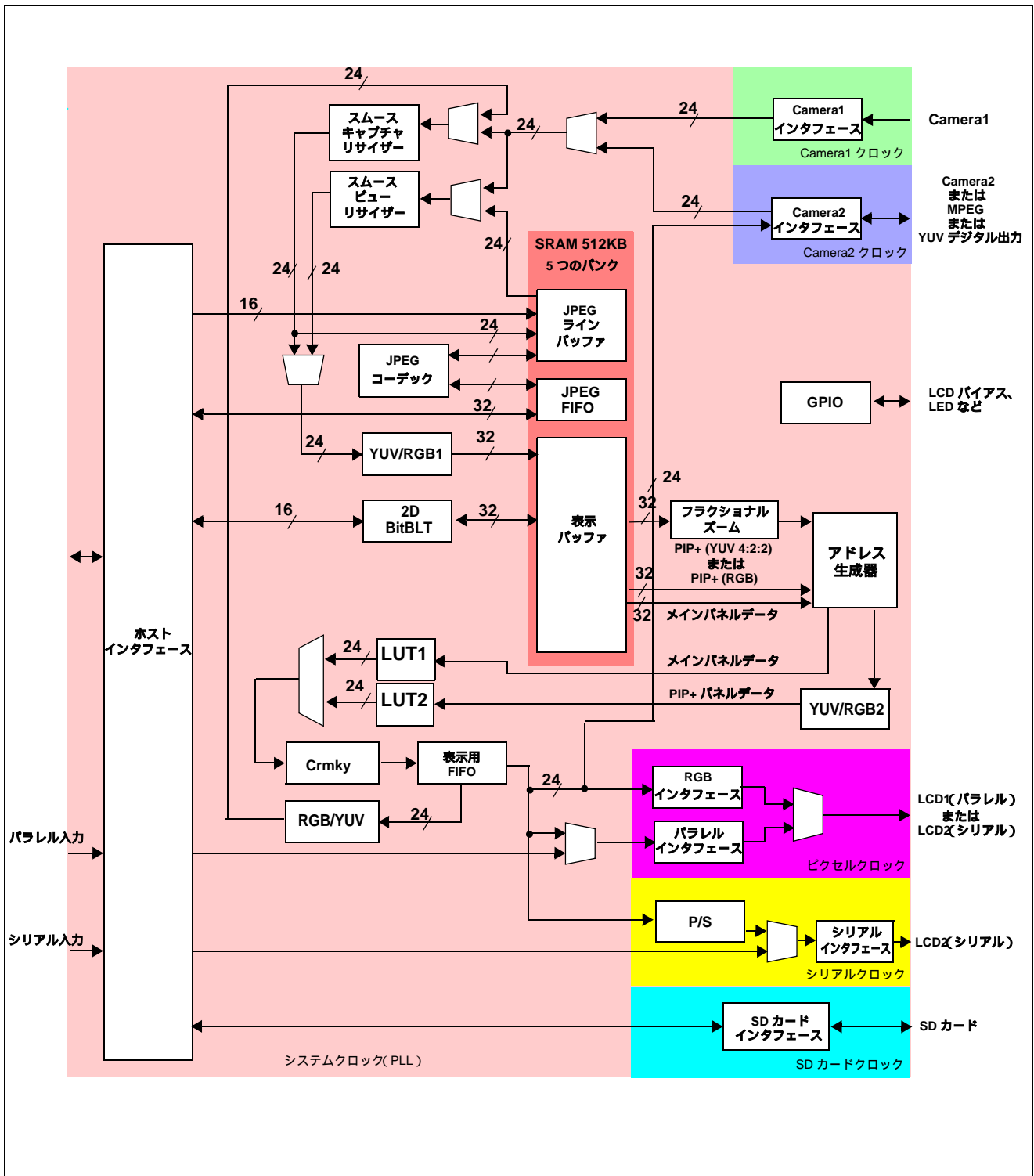


図4.1 S1D13719のブロック図

5. 端子構成

5. 端子構成

5.1 端子配置図 (PFBGA-180)

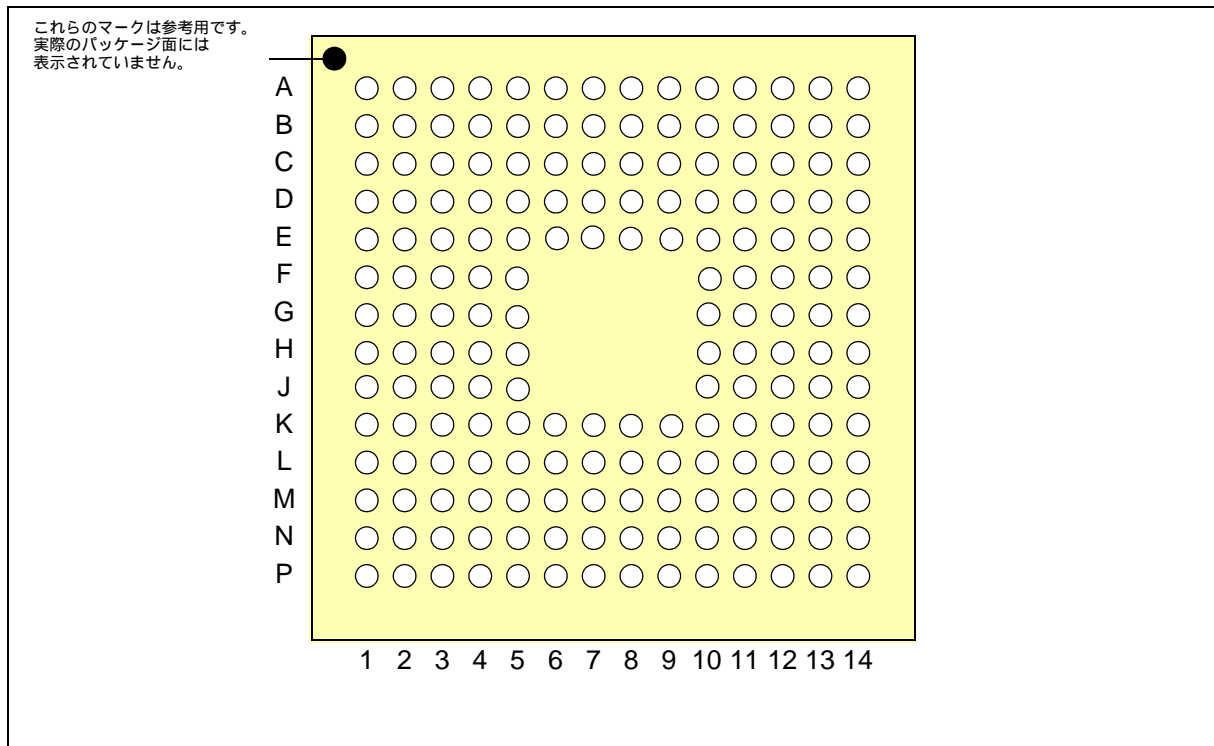


図5.1 S1D13719 PFBGA 180ピンの端子配置 (平面図)

表5.1 S1D13719 PFBGA 180ピンの端子配置 (平面図)

A	NC	DB[9]	DB[13]	AB[1]	AB[5]	HIOVDD	AB[11]	DB[3]	DB[6]	SCS#	BE1#	CLKI	NC	NC
B	VSS	DB[7]	NC	DB[11]	AB[2]	AB[6]	AB[8]	AB[12]	DB[5]	RD#	BE0#	M/R#	CS#	VSS
C	AB[17]	AB[15]	AB[16]	DB[12]	AB[3]	AB[7]	AB[13]	DB[4]	WAIT#	WE#	NC	PLLVSS	Reserved (GND)	Reserved
D	INT	DB[1]	AB[18]	DB[8]	DB[15]	COREVDD	AB[9]	AB[14]	HIOVDD	SCK	COREVDD	VCP	Reserved (GND)	Reserved
E	RESET#	SA0	DB[2]	DB[0]	DB[10]	AB[4]	AB[10]	COREVDD	COREVDD	VSS	PLLVDD	CM2DAT[1]	CM2DAT[0]	CM2DAT[3]
F	GPIO[19]	GPIO[18]	SI	HIOVDD	DB[14]					CCM2DAT[2]	CM2DAT[4]	NC	CM2DAT[6]	CM2DAT[7]
G	GPIO[15]	GPIO[16]	GPIO[17]	GPIO[11]	SIOVDD					NC	CIO2VDD	CM2DAT[5]	CM2VREF	CM2CLKOUT
H	GPIO[12]	GPIO[13]	GPIO[14]	PIOVDD	CNF[6]					VSS	CM1HREF	CM2HREF	COREVDD	CM2CLKIN
J	NC	VSS	PIOVDD	FPVIN1	CNF[3]					CNF[7]	CIO1VDD	CM1VREF	CM1CLKOUT	NC
K	TESTEN	VSS	FPVIN2	FPDAT[2]	CNF[5]	CNF[0]	FPSCK	COREVDD	CNF[1]	CM1DAT[4]	CM1DAT[0]	CM1DAT[1]	CM1DAT[2]	CM1CLKIN
L	GPIO[0]	FPDAT[8]	FPDAT[0]	SCANEN	CNF[4]	FPDAT[7]	FPDAT[16]	FPDAT[11]	CNF[2]	GPIO[1]	VSS	CM1DAT[5]	CM1DAT[7]	CM1DAT[3]
M	DRDY	FPCS2#	FPDAT[6]	FPDAT[15]	VSS	FPDAT[9]	FPDAT[14]	FPDAT[10]	FPSO	PIOVDD	GPIO[6]	GPIO[5]	GPIO[4]	CM1DAT[6]
N	FPDAT[1]	FPDAT[4]	FPDAT[5]	NC	FPCS1#	FPDAT[17]	NC	FPDAT[13]	NC	GPIO[10]	GPIO[21]	GPIO[8]	GPIO[2]	CMSTROUT
P	NC	FPDAT[3]	FPFRAME	FPLINE	FPSHIFT	PIOVDD	FPA0	FPDAT[12]	VSS	GPIO[9]	GPIO[20]	GPIO[7]	GPIO[3]	NC
	1	2	3	4	5	6	7	8	9	10	11	12	13	14

5. 端子構成

5.2 端子説明

略語の意味：

I	=	入力
O	=	出力
IO	=	双方向（入出力）
P	=	電源端子
Z	=	ハイインピーダンス（Hi-Z）

名称	説明
IC	LVC MOS（注1）入力
ICU	LVC MOS入力。プルアップ抵抗（60k @3.0V）付き
ICD	LVC MOS入力。プルダウン抵抗（60k @3.0V）付き
IHCS	HシステムのLVC MOSレベルシュミット入力
ILCS	LシステムのLVC MOSレベルシュミット入力
OLN35	低ノイズ出力バッファ（3.5mA/-3.5mA@3.0V）
OLN35T	低ノイズトライステート出力バッファ（3.5mA/-3.5mA@3.0V）
BLNC35	低ノイズLVC MOS IOバッファ（3.5mA/-3.5mA@3.0V）
BLNC35D	低ノイズLVC MOS IOバッファ（3.5mA/-3.5mA@3.0V）、プルダウン抵抗（60k @3.0V）付き
BLNC35DS	低ノイズLVC MOSシュミットIOバッファ（3.5mA/-3.5mA@3.0V）、プルダウン抵抗（60k @3.0V）付き
ITD	テストモード制御入力。プルダウン抵抗（60k @3.0V）付き
ILTR	低電圧トランスペアレント入力
OLTR	低電圧トランスペアレント出力
ICDV	LVC MOS入力。プルダウン抵抗（60k @3.0V）およびカットオフ付き
BLNCV35D	低ノイズLVC MOS IOバッファ（3.5mA/-3.5mA@3.0V）。プルダウン抵抗（60k @3.0V）およびカットオフ付き
BLNCV35	低ノイズLVC MOSカットオフIOバッファ（3.5mA/-3.5mA@3.0V）、カットオフ付き

注

1. LVC MOSは低電圧CMOSです（43ページの6.「DC特性」を参照）。

5.2.1 ホストインタフェース端子

ホストインタフェース端子の多くは、ホストバスインタフェースの設定によって機能が異なります。(この設定については、34ページの表5.2「パワーオン/リセットオプションの概要」に示したCNF[4:2]端子の欄をご覧ください)。ホストインタフェースの端子割り付けについては、35ページの表5.3「ダイレクトホストインタフェースの端子割り付け(1CS#モード)」および36ページの表5.4「インダイレクトホストインタフェースの端子割り付け(2CS#モード)」をご覧ください。

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
AB[18:3]	I	D3、C1、C3、C2、D8、C7、B8、A7、E7、D7、B7、C6、B6、A5、E6、C5	ICD	HIOVDD	Z	システムアドレスバス端子：18～3 <ul style="list-style-type: none"> ダイレクトホストバスインタフェースでは、これらの端子は、システムアドレスのビット18～3に使用されます。 インダイレクトホストバスインタフェースでは、内蔵プルダウン抵抗がイネーブルされます。これらの端子は未接続にしてください。
AB[2:1]	I	B5、A4	IC	HIOVDD	Z	システムアドレスバス端子：2～1 <ul style="list-style-type: none"> ダイレクトホストバスインタフェースでは、これらの端子は、システムアドレスのビット2～1に使用されます。 インダイレクトホストバスインタフェースでは、これらの端子は、インダイレクトインタフェース用レジスタポートのインデックス指定に使用されます(435ページの19.3.1「インダイレクトアドレス指定のレジスタポート」を参照)。
DB[15:0]	IO	D5、F5、A3、C4、B4、E5、A2、D4、B2、A9、B9、C8、A8、E3、D2、E4	BLNC35	HIOVDD	Z	システムデータバス端子：15～0 <ul style="list-style-type: none"> パラレルホストバスインタフェースでは、これらの端子は、システムデータバス端子の15～0になります。
CS#	I	B13	IC	HIOVDD	Z	この入力端子には複数の機能があります。 <ul style="list-style-type: none"> 1CS#モードでは、この端子はチップセレクト信号(CS#)を入力します。 2CS#モードでは、この端子はメモリチップセレクト信号(CSM#)を入力します。 REG[0014h]ビット3 = 1かつCS#端子がLowのとき、この端子はLCDパラレルバイパスチップセレクト信号になります。

5. 端子構成

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
M/R#	I	B12	ICD	HIOVDD	Z	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> 1CS# モードでは、この端子は表示バッファレジスタアドレス空間かを指定します。M/R#がHighに設定されると表示バッファがアクセスされ、Lowに設定されるとレジスタがアクセスされます。 2CS# モードでは、この端子はレジスタチップセレクト信号 (CSR#) を入力します。 <p>注：インダイレクトホストバスインタフェースでは内蔵プルダウン抵抗がイネーブルされます。VSSに接続してください。</p>
RD#	I	B10	IC	HIOVDD	Z	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> インダイレクトおよびダイレクト 68 では、この端子はHIOV_{DD}に接続します。 インダイレクトおよびダイレクト 80 でタイプ1とタイプ2では、この端子は読み出しイネーブル信号 (RD#) です。 インダイレクトおよびダイレクト 80 でタイプ3では、この端子はDB[7:0]の下位バイト読み出しイネーブル信号 (RDL#) です。
WE#	I	C10	IC	HIOVDD	Z	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> インダイレクトおよびダイレクト 68 では、この端子は読み出し / 書き込み信号 (RW#) です。 インダイレクトおよびダイレクト 80 でタイプ1では、この端子は書き込みイネーブル信号 (WE#) です。 インダイレクトおよびダイレクト 80 でタイプ2では、この端子はHIOV_{DD}に接続します。 インダイレクトおよびダイレクト 80 でタイプ3では、この端子はDB[7:0]の下位バイト書き込みイネーブル信号 (WEL#) です。
BE1#	I	A11	IC	HIOVDD	Z	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> インダイレクトおよびダイレクト 68 では、この端子はDB[15:8]の上位データストローブ信号 (UDS#) です。 インダイレクトおよびダイレクト 80 でタイプ1では、この端子はDB[15:8]の上位バイトイネーブル信号 (UBE#) です。 インダイレクトおよびダイレクト 80 でタイプ2では、この端子はDB[15:8]の上位バイトライトイネーブル信号 (WEU#) です。 インダイレクトおよびダイレクト 80 でタイプ3では、この端子はDB[15:8]の上位バイト読み出しイネーブル信号 (RDU#) です。

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
BE0#	I	B11	IC	HIOVDD	Z	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> インダイレクトおよびダイレクト 68 では、この端子はDB[7:0]の下位ストロープ信号 (LDS#) です。 インダイレクトおよびダイレクト 80 でタイプ1では、この端子はDB[7:0]の下位バイトイネーブル信号 (LBE#) です。 インダイレクトおよびダイレクト 80 でタイプ2では、この端子はDB[7:0]の下位バイト書き込みイネーブル信号 (WEL#) です。 インダイレクトおよびダイレクト 80 でタイプ3では、この端子はDB[15:8]の上位バイト書き込みイネーブル信号 (WEU#) です。
WAIT#	O	C9	OLN35T	HIOVDD	Z	<p>データ転送時、WAIT#はアクティブ (Low) に変わり、システムによって待ち状態が挿入されます。データ転送の完了を示すときには非アクティブに変わります。データ転送が完了するとWAIT#は解放され、ハイインピーダンス状態になります。インダイレクトホストインタフェースの場合、WAIT#はマスクされます。</p>
INT	O	D1	OLN35	HIOVDD	L	<p>割り込み出力です。内部割り込みが発行されるとこの出力端子はHighに変わります。ホストCPUが内部割り込みをクリアするとLowに戻ります。</p>
RESET#	I	E1	IHCS	HIOVDD	Z	<p>このアクティブLow入力はすべての内部レジスタをデフォルト状態に設定し、かつすべての信号を強制的に非アクティブ状態にします。</p>
SCS#	I	A10	ICU	HIOVDD	1	<p>ホストCPUインタフェースに対するLCDシリアル/パラレルバイパスモードのチップ選択入力です。バイパスモードがイネーブルされているとき、ホストCPUはLCD1 (パラレル) またはLCD2 (シリアルもしくはパラレル) インタフェースのLCDを直接制御できます。</p>
SCK	I	D10	ICD	HIOVDD	0	<p>ホストCPUシリアルインタフェースに対するシリアルクロック入力です。</p> <ul style="list-style-type: none"> シリアルバイパスモードがイネーブルされているとき、ホストCPUはLCD2のシリアルインタフェースLCDを直接制御できます。 パラレルホストバスインタフェースでは、内蔵プルダウン抵抗がイネーブルされます。この端子は未接続にしてください。

5. 端子構成

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
SA0	I	E2	ICD	HIOVDD	0	<p>ホストCPUインタフェースに対するシリアル/パラレルA0コマンド入力です。</p> <ul style="list-style-type: none"> • LCDバイパスモードがイネーブルされているとき、ホストCPUはLCD2のシリアル/パラレルインタフェースLCDを直接制御できます。 • パラレルホストバスインタフェースでは、内蔵プルダウン抵抗がイネーブルされます。この端子は未接続にしてください。
SI	I	F3	ICD	HIOVDD	0	<p>ホストCPUシリアルインタフェースに対するシリアルデータ入力です。</p> <ul style="list-style-type: none"> • シリアルバイパスモードがイネーブルされているとき、ホストCPUはLCD2のシリアルインタフェースLCDを直接制御できます。 • パラレルホストバスインタフェースでは、内蔵プルダウン抵抗がイネーブルされます。この端子は未接続にしてください。

5.2.2 LCDインタフェース端子

LCDインタフェース端子の多くは、パネルインタフェースモードの設定によって機能が異なります。端子の機能については、37ページの表5.5「LCDインタフェースの端子割り付け(モード1)」、38ページの表5.6「LCDインタフェースの端子割り付け(モード2,3)」、および39ページの表5.7「LCDインタフェースの端子割り付け(モード4)」をご覧ください。

パネルインタフェースモードは以下に示すものが使用できます。

- モード1：LCD1はRGB、LCD2はシリアル
- モード2：LCD1はパラレル、LCD2はシリアル
- モード3：LCD1はパラレル、LCD2はパラレル
- モード4：LCD1はRGB、LCD2はパラレル

上記4種類のパネルインタフェースモードについては、REG[0032h]ビット1~0に関する説明をご覧ください。

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
FPDAT[17:0]	IO	N6、L7、M4、M7、N8、P8、L8、M8、M6、L2、L6、M3、N3、N2、P2、K4、N1、L3	BLNC35D	PIOVDD	0	<p>これらの入出力端子はLCDインタフェースのデータ端子です。複数の機能があります。</p> <ul style="list-style-type: none"> • モード1とモード4のRGBインタフェースでは、これらの端子はLCD1のRGBデータ出力です。 • モード2とモード3のパラレルインタフェースでは、FPDAT[17:0]はLCD1パラレルインタフェースのデータ出力です。 • モード3とモード4のパラレルインタフェースでは、FPDAT[17:0]はLCD2パラレルインタフェースのデータ出力です。 • パラレルバイパスモードでは、これらの端子はホストCPUデータを入力または出力します。詳細は40ページの表5.8「LCDインタフェースの端子割り付け(バイパスモード)」をご覧ください。
FPFRAME	O	P3	OLN35	PIOVDD	0	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> • モード1とモード4のRGBインタフェースでは、この端子はLCD1のフレームパルス出力です。 • モード2とモード3のパラレルインタフェースでは、この端子はLCD1の書き込みコマンド出力です。 • モード3とモード4のパラレルインタフェースでは、この端子はLCD2の書き込みコマンド出力です。 • パラレルバイパスモードでは、この端子はホストCPUのXWR信号を出力します。

5. 端子構成

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
FPLINE	O	P4	OLN35	PIOVDD	0	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> モード1とモード4のRGBインタフェースでは、この端子はLCD1のラインパルス出力です。 モード2とモード3の平行インタフェースでは、この端子はLCD1のコマンド出力(A0)です。 モード3とモード4の平行インタフェースでは、この端子はLCD2のコマンド出力(A0)です。 平行バイパスモードでは、この端子はホストCPUのコマンド信号(A0)を出力します。
FPSHIFT	O	P5	OLN35	PIOVDD	0	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> モード1およびモード4では、この端子はLCD1のピクセルクロック出力です。 モード2およびモード3では、この端子は使用されません。
DRDY	O	M1	OLN35	PIOVDD	0	<p>この出力端子はデータイネーブル出力です。複数の機能があります。</p> <ul style="list-style-type: none"> モード1およびモード4では、この端子はLCD1のDRDY出力です。 モード2およびモード3では、この端子は使用されません。 平行バイパスモードでは、この端子はXRD信号を出力します。
FPCS1#	O	N5	OLN35	PIOVDD	1	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> モード1およびモード4では、この端子はLCD1シリアルインタフェースのチップ選択出力です。 モード2およびモード3では、この端子はLCD1平行インタフェースのチップ選択出力です。 平行バイパスモードでは、この端子はホストCPUのNCS1信号を出力します。
FPCS2#	O	M2	OLN35	PIOVDD	1	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> モード1およびモード2では、この端子はLCD2シリアルインタフェースのチップ選択出力です。パワーセーブがイネーブルされているとき、またはシリアルバイパスモードがイネーブルされているとき、この端子はSCS#端子の状態を出力します。 モード3およびモード4では、この端子はLCD2平行インタフェースのチップ選択出力です。 シリアルまたは平行バイパスモードでは、この端子はホストCPUのNCS2信号を出力します。

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
FPSCLK	O	K7	OLN35	PIOVDD	1	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> モード1では、この端子はLCD1とLCD2用シリアルインタフェースのクロック出力です。モード4では、この端子はLCD1シリアルインタフェースのクロック出力です。LCD2については、パワーセーブがイネーブルされているとき、またはシリアルバイパスモードがイネーブルされているとき、この端子はSCLK端子の状態を出力します。 モード1およびモード2では、この端子はLCD2シリアルインタフェースのクロック出力です。パワーセーブがイネーブルされているとき、またはシリアルバイパスモードがイネーブルされているとき、この端子はSCLK端子の状態を出力します。 モード3では、この端子は使用されません。 シリアルバイパスモードでは、この端子はホストCPUのSCK信号を出力します。
FPA0	O	P7	OLN35	PIOVDD	0	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> モード1では、この端子はLCD1とLCD2用シリアルインタフェースのA0出力です。モード4では、この端子はLCD1シリアルインタフェースのA0出力です。LCD2については、パワーセーブがイネーブルされているとき、またはシリアルバイパスモードがイネーブルされているとき、この端子はSA0端子の状態を出力します。 モード2では、この端子はLCD2シリアルインタフェースのA0出力です。パワーセーブがイネーブルされているとき、またはシリアルバイパスモードがイネーブルされているとき、この端子はSA0端子の状態を出力します。 モード3では、この端子は使用されません。 シリアルバイパスモードでは、この端子はホストCPUのA0信号を出力します。

5. 端子構成

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
FPSO	O	M9	OLN35	PIOVDD	0	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> ・モード1では、この端子はLCD1とLCD2用シリアルインタフェースのデータ出力です。モード4では、この端子はLCD1シリアルインタフェースのデータ出力です。LCD2については、パワーセーブがイネーブルされているとき、またはシリアルバイパスモードがイネーブルされているとき、この端子はSI端子の状態を出力します。 ・モード2では、この端子はLCD2シリアルインタフェースのデータ出力です。パワーセーブがイネーブルされているとき、またはシリアルバイパスモードがイネーブルされているとき、この端子はSI端子の状態を出力します。 ・モード3では、この端子は使用されません。 ・シリアルバイパスモードでは、この端子はホストCPUのSI信号を出力します。
FPVIN1	IO	J4	BLNC35D	PIOVDD	0	<p>この入出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> ・モード2およびモード3では、この端子はLCDパネルからのLCD1パラレルインタフェース垂直同期入力です。
FPVIN2	IO	K3	BLNC35D	PIOVDD	0	<p>この入出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> ・モード2では、この端子はLCDパネルからのLCD2シリアルインタフェース垂直同期入力です。 ・モード3では、この端子はLCDパネルからのLCD2パラレルインタフェース垂直同期入力です。

5.2.3 カメラインタフェース端子

2つのカメラインタフェースに対応する端子の多くは、各インタフェースの設定によって機能が異なります。Camera1インタフェースの接続については、41ページの表5.9「Camera1インタフェースの端子割り付け」をご覧ください。また、Camera2インタフェースの接続については、41ページの表5.10「Camera2インタフェースの端子割り付け」をご覧ください。

Camera1インタフェースは、タイプ1による8/16ビットバスのカメラインタフェースをサポートします。

Camera2インタフェースは、タイプ1による8ビットバスのカメラインタフェースをサポートします。また外部MPEGコーデックからの入力もサポートします。

注

1. Camera1インタフェース端子 (CM1DAT[7:0]、CM1VREF、CM1HREF、CM1CLKIN) の出力機能はテスト専用です。
2. Camera2インタフェース端子 (CM2DAT[7:0]、CM2CLKIN) の出力機能はテスト専用です。

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
CM1DAT[7:0]	I	L13、M14、L12、K10、L14、K13、K12、K11	ICDV	CIO1VDD	0	これらの入出力端子には複数の機能があります。 <ul style="list-style-type: none"> • Camera1 に対する 8 ビットインタフェース (REG[0102h] ビット6=0) では、これらの端子は 8 ビットデータ入力 (CAMDAT[7:0]) です。 • Camera1 に対する 16 ビットインタフェース (REG[0102h] ビット6=1) では、これらの端子は輝度 (Y) またはクロミナンス (Cb/Cr) の 8 ビットデータ入力 (CAMDAT[7:0]) です。REG[0102h] ビット4~3を使ってデータタイプを設定してください。
CM1VREF	I	J12	ICDV	CIO1VDD	0	Camera1インタフェースでは、この端子は垂直同期入力 (VREF) です。
CM1HREF	I	H11	ICDV	CIO1VDD	0	Camera1インタフェースでは、この端子は水平同期入力 (HREF) です。
CM1CLKOUT	O	J13	OLN35	CIO1VDD	L	Camera1インタフェースでは、この端子はマスタクロック出力 (CAMMCLK) です。
CM1CLKIN	I	K14	ICDV	CIO1VDD	0	Camera1インタフェースでは、この端子はカメラ用のピクセルクロック入力 (CAMPCLK) です。

5. 端子構成

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
CM2DAT[7:0]	IO	F14、 F13、 G12、 F11、 E14、 F10、 E12、E13	BLNCV35D	CIO2VDD	0	<p>これらの入出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> • Camera1 に対する 16 ビットインタフェース (REG[0102h]ビット6=1) では、これらの端子はクロミナンス (Cb/Cr) または輝度 (Y) の8ビットデータ入力 (CAMDAT[15:8]) です。REG[0102h]ビット4~3を使ってデータタイプを設定してください。 • Camera2インタフェースでは、これらの端子は8ビットデータ入力 (CAMDAT[7:0]) です。 • Camera2に対するMPEGコーデックインタフェースでは、これらの端子は8ビットデータ入力 (PXL[7:0]) です。
CM2VREF	IO	G13	BLNCV35D	CIO2VDD	0	<p>この入出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> • Camera2インタフェースでは、この端子は垂直同期入力 (VREF) です。 • Camera2に対するMPEGコーデックインタフェースでは、この端子は垂直同期出力 (nDISPVSYN) です。
CM2HREF	IO	H12	BLNCV35D	CIO2VDD	0	<p>この入出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> • Camera2インタフェースでは、この端子は水平同期入力 (HREF) です。 • Camera2に対するMPEGコーデックインタフェースでは、この端子は水平同期出力 (nDISPHSYN) です。
CM2CLKOUT	O	G14	OLN35	CIO2VDD	L	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> • Camera2インタフェースでは、この端子はマスタクロック出力 (CAMMCLK) です。 • Camera2に対するMPEGコーデックインタフェースでは、この端子はクロック出力 (DISPCLK) です。
CM2CLKIN	IO	H14	BLNCV35D	CIO2VDD	0	<p>この入出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> • Camera2インタフェースでは、この端子はカメラ用ピクセルクロック入力 (CAMPCLK) です。 • Camera2に対するMPEGコーデックインタフェースでは、この端子はブランキング入力 (DISPBLK) です。
CMSTROUT	O	N14	OLN35T	PIOVDD	Z	<p>MGEレジスタトリガからのストローブ信号です。</p>

5.2.4 SDカードインタフェース端子

REG[0004h]ビット7=1のとき、GPIO[19:11]はSDカードインタフェースとして使用されます。

SDカードインタフェースを使用する場合、これらの端子にはSIOVDDを供給してください。SDカードインタフェースを使用しない場合、これらの端子にはPIOVDDを供給してください。詳しくは32ページの「その他の端子」のGPIO[19:11]の欄をご覧ください。

注

SD カードインタフェースを使用するときは、GPIO のプルダウン抵抗 (REG[0308h]ビット19~11) をあらかじめディセーブルしてください。

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
SDDAT[3:0]	IO	H3、H2、H1、G4	BLNC35D	SIOVDD	0	この入出力端子には複数の機能があります。 <ul style="list-style-type: none"> SDカードでは、これらの端子はデータIOに使用されます。 MMC (マルチメディアカード) では、SDDAT0端子はデータIOに使用されず、SDDAT[3:1]は未接続にしてください。 SDカードもMMCも使用しないとき、これらの端子はGPIO[14:11]です。詳しくは32ページの「その他の端子」のGPIO[14:11]に該当する箇所をご覧ください。
SDCMD	IO	G1	BLNC35D	SIOVDD	-	この入出力端子には複数の機能があります。 <ul style="list-style-type: none"> SDカードでは、この端子はコマンドIOです。 MMCでは、この端子はコマンドIO (CMD) です。 SDカードもMMCも使用しないとき、この端子はGPIO15です。詳しくは32ページの「その他の端子」のGPIO15に該当する箇所をご覧ください。
SDCLK	IO	G2	BLNC35D	SIOVDD	-	この入出力端子には複数の機能があります。 <ul style="list-style-type: none"> SDカードでは、この端子はクロック出力です。 MMCでは、この端子はクロック出力 (CLK) です。 SDカードもMMCも使用しないとき、この端子はGPIO16です。詳しくは32ページの「その他の端子」のGPIO16に該当する箇所をご覧ください。

5. 端子構成

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
SDCD#	IO	G3	BLNC35D	SIOVDD	-	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> SDカードでは、この端子はカード検出です。 MMCでは、この端子はカード検出 (CD#) です。 SDカードもMMCも使用しないとき、この端子はGPIO17です。詳しくは32ページの「その他の端子」のGPIO17に該当する箇所をご覧ください。
SDWP	IO	F2	BLNC35D	SIOVDD	-	<p>この入力端子には複数の機能があります。</p> <ul style="list-style-type: none"> SDカードでは、この端子は書き込み保護入力です。 MMCでは、この端子は書き込み保護入力 (WP) です。 SDカードもMMCも使用しないとき、この端子はGPIO18です。詳しくは32ページの「その他の端子」のGPIO18に該当する箇所をご覧ください。
SDGPO	IO	F1	BLNC35D	SIOVDD	-	<p>この出力端子には複数の機能があります。</p> <ul style="list-style-type: none"> SDカードでは、この端子は汎用出力ポートです。 MMCでは、この端子は汎用出力ポート (GPIO) です。 SDカードもMMCも使用しないとき、この端子はGPIO19です。詳しくは32ページの「その他の端子」のGPIO19に該当する箇所をご覧ください。

5.2.5 クロック入力端子

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
CLKI	I	A12	ILCS	HIOVDD	Z	この入力端子には複数の機能があります。 <ul style="list-style-type: none"> 内蔵PLLを使用するとき、この端子は内蔵PLLに対する入力基準クロック(32.768kHz)になります。 PLLをバイパスするとき、この端子はシステムクロックに対するデジタルクロック入力(SYSCLK)になります。
Reserved	-	D13	-	-	-	予約(済み)。この端子はGNDに接続してください。
Reserved	-	D14	-	-	-	予約(済み)。この端子は未接続にしてください。
Reserved	-	C13	-	-	-	予約(済み)。この端子はGNDに接続してください。
Reserved	-	C14	-	-	-	予約(済み)。この端子は未接続にしてください。

5. 端子構成

5.2.6 その他の端子

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
CNF[7:0]	I	J10、H5、K5、L5、J5、L9、K9、K6	IC	PIOVDD	Z	これらの入力端子はS1D13719のコンフィギュレーションに使用します。PIOVDDまたはVSSのいずれかに接続してください。これらの端子の状態はRESET#においてラッチされます。詳しくは、34ページの表5.2「パワーオン/リセットオプションの概要」をご覧ください。
GPIO[10:0]	IO	N10、P10、N12、P12、M11、M12、M13、P13、N13、L10、L1	BLNC35D	PIOVDD	(注)	これらの端子は汎用IO端子です。そのデフォルト設定（入力または出力）はCNF1を用いて制御します。 <ul style="list-style-type: none"> 各種のLCDパネル設定において、LCDインタフェース信号の出力にはGPIO[10:0]が使用されます。各LCDパネル設定において使用できるGPIO端子については、37ページの表5.5「LCDインタフェースの端子割り付け（モード1）」および38ページの表5.6「LCDインタフェースの端子割り付け（モード2,3）」をご覧ください。
GPIO[19:11]	IO	F1、F2、G3、G2、G1、H3、H2、H1、G4	BLNC35D	PIOVDD	(注)	これらの端子は汎用IO端子です。そのデフォルト設定（入力または出力）はCNF1を用いて制御します。 <ul style="list-style-type: none"> 各種のLCDパネル設定において（REG[0004h]ビット7=0のとき）、LCDインタフェース信号の出力にはGPIO[13:11]が使用されます。各LCDパネル設定において使用できるGPIO端子については、37ページの表5.5「LCDインタフェースの端子割り付け（モード1）」および38ページの表5.6「LCDインタフェースの端子割り付け（モード2,3）」をご覧ください。 SDカード/MMCインタフェース（REG[0004h]ビット7=1）のとき、GPIO[19:11]はSDカード/MMCインタフェース端子として使用されます。SDカード/MMCインタフェースを使用するときは、信号に対してSIOVDDを使用してください。SDカード/MMCインタフェースを使用しないときは、信号に対してPIOVDDを使用してください。 シリアルバイパスモードまたはパワーセーブモード（REG[0004h]ビット7=0）では、GPIO19はホストCPUのシリアルインタフェースチップセレクト信号（CMCSI#）を入力します。
GPIO[21:20]	IO	N11、P11	BLNC35D	PIOVDD	(注)	これらの端子は汎用IO端子です。そのデフォルト設定（入力または出力）はCNF1を用いて制御します。 <ul style="list-style-type: none"> ストローブ機能がイネーブルされている（REG[0124h]ビット3=1）とき、GPIO20はストローブ制御信号を出力します。
TESTEN	I	K1	ITD	PIOVDD	0	製造テスト専用のテストイネーブル入力です。通常動作では未接続にしてください。

端子名	端子タイプ	端子番号	セル	電源	RESET#状態	説明
SCANEN	I	L4	ICD	PIOVDD	0	製造テスト専用のスキャンイネーブル入力です。通常動作では未接続にしてください。
VCP	IO	D12	OLTR	COREVDD	Z	製造テスト専用のPLL出力モニタ端子です。通常動作では未接続にしてください。

注

CNF1 = 0 (GPIO端子は出力) のとき、GPIO[21:3, 0]のリセット状態は0です。
 CNF1 = 1 (GPIO端子のデフォルトは入力) のとき、GPIO[21:3, 0]のリセット状態は0です。

REG[0056h]ビット13 = 1またはREG[005Eh]ビット13 = 1のとき、GPIO[2:1]のリセット状態は常にHi-Zです。

REG[0056h]ビット13 = 0かつREG[005Eh]ビット13 = 0のとき、GPIO[2:1]のリセット状態はCNF1の値によって上記のように決まります。

5.2.7 電源端子とグラウンド端子

端子名	端子タイプ	端子番号	電源	RESET#状態	説明
HIOVDD	P	F4、A6、D9	P	—	ホストインタフェース用のIO電源
PIOVDD	P	J3、H4、P6、M10	P	—	パネルインタフェース用のIO電源
CIO1VDD	P	J11	P	—	Camera1インタフェース用のIO電源
CIO2VDD	P	G11	P	—	Camera2インタフェース用のIO電源
SIOVDD	P	G5	P	—	SDカードインタフェース用のIO電源
COREVDD	P	D6、E8、E9、K8、H13、D11	P	—	コア電源
VSS	P	B1、J2、K2、M5、P9、H10、L11、B14、E10	P	—	HIOVDD、PIOVDD、CIO1VDD、CIO2VDD、SIOVDD、COREVDD用のGND
PLLVDD	P	E11	P	—	PLL電源
PLLVSS	P	C12	P	—	PLLVDD用のGND

5. 端子構成

5.3 コンフィギュレーションオプションの概要

これらの端子は本品のコンフィギュレーションに使用します。PIOVDDまたはVSSに直接接続してください。CNF[7:0]の状態はRESET#の立ち上がりエッジにおいてラッチされます。それ以外のタイミングでの状態変更は無効です。

表5.2 パワーオン/リセットオプションの概要

設定用入力	パワーオン/リセット状態																																					
	1 (PIOVDDに接続)	0 (VSSに接続)																																				
CNF7	Camera2の電源はオフ	Camera2の電源はオン																																				
CNF6	パラレルの2CS#モード	パラレルの1CS#モード																																				
CNF5	ビッグエンディアン	リトルエンディアン																																				
CNF[4:2]	ホストバスインタフェースを以下のように選択してください。 <table border="1"> <thead> <tr> <th>CNF4</th> <th>CNF3</th> <th>CNF2</th> <th>ホストバス</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>ダイレクト80タイプ2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>ダイレクト80タイプ3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>インダイレクト80タイプ2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>インダイレクト80タイプ3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>ダイレクト80タイプ1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>ダイレクト68</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>インダイレクト80タイプ1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>インダイレクト68</td> </tr> </tbody> </table>		CNF4	CNF3	CNF2	ホストバス	0	0	0	ダイレクト80タイプ2	0	0	1	ダイレクト80タイプ3	0	1	0	インダイレクト80タイプ2	0	1	1	インダイレクト80タイプ3	1	0	0	ダイレクト80タイプ1	1	0	1	ダイレクト68	1	1	0	インダイレクト80タイプ1	1	1	1	インダイレクト68
CNF4	CNF3	CNF2	ホストバス																																			
0	0	0	ダイレクト80タイプ2																																			
0	0	1	ダイレクト80タイプ3																																			
0	1	0	インダイレクト80タイプ2																																			
0	1	1	インダイレクト80タイプ3																																			
1	0	0	ダイレクト80タイプ1																																			
1	0	1	ダイレクト68																																			
1	1	0	インダイレクト80タイプ1																																			
1	1	1	インダイレクト68																																			
CNF1 (注)	すべてのGPIO端子 (GPIO[21:0]) が入力に設定されます。 注: RESET#においてCNF1 = 1のとき、REG[0300h] ~ REG[0302h]を用いることで各GPIO端子の入力と出力を切り替えられます。	すべてのGPIO端子 (GPIO[21:0]) が出力に設定されます。 注: RESET#においてCNF1 = 0のとき、REG[0300h] ~ REG[0302h]は無視され、GPIO端子は常に出力となります。																																				
CNF0	Camera1の電源はオフ	Camera1の電源はオン																																				

注

GPIO端子をSDカードインタフェースに対して使用する (REG[0004h]ビット7 = 1) のとき、それらの端子に対してCNF1は効力をもちません。使用されるGPIO端子については、42ページの表5.11「SDカードインタフェースの端子割り付け」をご覧ください。

GPIO端子をパネルインタフェースに対して使用するとき、それらの端子に対してCNF1は効力をもちません。使用されるGPIO端子については、37ページの表5.5「LCDインタフェースの端子割り付け (モード1)」をご覧ください。

5.4 ホストインタフェースの端子割り付け

ホストインタフェースはCNF[4:2]端子を使って選択します。下表のインタフェースの選択については、34ページの表5.2「パワーオン/リセットオプションの概要」をご覧ください。

表5.3 ダイレクトホストインタフェースの端子割り付け（1CS#モード）

端子名	ダイレクト68	ダイレクト80 タイプ1	ダイレクト80 タイプ2	ダイレクト80 タイプ3
AB[18:3]	A[18:3]	A[18:3]	A[18:3]	A[18:3]
AB[2:1]	AB[2:1]	AB[2:1]	AB[2:1]	AB[2:1]
DB[15:0]	D[15:0]	D[15:0]	D[15:0]	D[15:0]
CS#	CS#	CS#	CS#	CS#
M/R#	アドレス（1CS#）、チップ/選択（2CS#）			
RD#	HIOVDD	RD#	RD#	RDL#
WR#	R/W#	WE#	HIOVDD	WEL#
BE1#	UDS#	UBE#	WEU#	RDU#
BE0#	LDS#	LBE#	WEL#	WEU#
WAIT#	WAIT#			
INT	割り込み信号			
RESET#	RESET#			
SCS#	-	-	-	-
SCK	-	-	-	-
SA0	-	-	-	-
SI	-	-	-	-

5. 端子構成

表5.4 インダイレクトホストインタフェースの端子割り付け (2CS#モード)

端子名	インダイレクト68	インダイレクト80 タイプ1	インダイレクト80 タイプ2	インダイレクト80 タイプ3
AB[18:3]	n/c			
AB[2:1]	AB[2:1]	AB[2:1]	AB[2:1]	AB[2:1]
DB[15:0]	D[15:0]	D[15:0]	D[15:0]	D[15:0]
CS#	CS#	CS#	CS#	CS#
M/R#	VSSに接続			
RD#	HIOVDD	RD#	RD#	RDL#
WR#	R/W#	WE#	HIOVDD	WEL#
BE1#	UDS#	UBE#	WEU#	RDU#
BE0#	LDS#	LBE#	WEL#	WEU#
WAIT#	n/c			
INT	割り込み信号			
RESET#	RESET#			
SCS#	-	-	-	-
SCK	-	-	-	-
SA0	-	-	-	-
SI	-	-	-	-

5.5 LCDインタフェースの端子割り付け

表5.5 LCDインタフェースの端子割り付け（モード1）

端子名	モード1									
	LCD1									LCD2
	汎用TFT	ND-TFD	a-Si TFT	uWire I/F付きTFT	シャープ HR-TFT	カシオ TFT	サムスン α -TFT	タイプ2 TFT	SPI	シリアルインタフェース
FPFRAME	VSYNC	VSYNC	VSYNC	VSYNC	SPS	GSRT	STV	STV		
FPLINE	HSYNC	HSYNC	HSYNC	HSYNC	LP	GPCK	STH	STB		
FPSHIFT	DCK	DCK	DCLK	CLK	DCLK	CLK	HCLK	CLK		
DRDY	ENAB	ENAB	ENAB	ENAB	n/c	n/c	n/c	INV		
FPDAT0	R7	R7	R7	R7	R7	R7	R5	R7		
FPDAT1	R6	R6	R6	R6	R6	R6	R4	R6		
FPDAT2	R5	R5	R5	R5	R5	R5	R3	R5		
FPDAT3	G7	G7	G7	G7	G7	G7	G5	G7		
FPDAT4	G6	G6	G6	G6	G6	G6	G4	G6		
FPDAT5	G5	G5	G5	G5	G5	G5	G3	G5		
FPDAT6	B7	B7	B7	B7	B7	B7	B5	B7		
FPDAT7	B6	B6	B6	B6	B6	B6	B4	B6		
FPDAT8	B5	B5	B5	B5	B5	B5	B3	B5		
FPDAT9	R4	R4	R4	R4	R4	R4	R2	R4		
FPDAT10	R3	R3	R3	R3	R3	R3	R1	R3		
FPDAT11	R2	R2	R2	R2	R2	R2	R0	R2		
FPDAT12	G4	G4	G4	G4	G4	G4	G2	G4		
FPDAT13	G3	G3	G3	G3	G3	G3	G1	G3		
FPDAT14	G2	G2	G2	G2	G2	G2	G0	G2		
FPDAT15	B4	B4	B4	B4	B4	B4	B2	B4		
FPDAT16	B3	B3	B3	B3	B3	B3	B1	B3		
FPDAT17	B2	B2	B2	B2	B2	B2	B0	B2		
FPCS1#		XCS	SSTB	LCDCS	SPR				CS	
FPCS2#										NCS2
FPSCLK		SCK	SCLK	SCLK					SCL	SCK
FPA0		A0								A0
FPSO		SI	SDATA	SDO					SDI	SI
FPVIN1									SDO(FPSI)	
FPVIN2										VIN2
GPIO0	GPIO0	GPIO0	GPIO0	GPIO0	PS	POL	CKV	VCLK	GPIO0	GPIO0
GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	CLS	GRES	LD	AP	GPIO1	GPIO1
GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	REV	FRP	INV	POL	GPIO2	GPIO2
GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	SPL	STH	VCOM	STH	GPIO3	GPIO3
GPIO4	R1	R1	R1	R1	R1	R1	GPIO4	R1	GPIO4	GPIO4
GPIO5	R0	R0	R0	R0	R0	R0	GPIO5	R0	GPIO5	GPIO5
GPIO6	G1	G1	G1	G1	G1	G1	GPIO6	G1	GPIO6	GPIO6
GPIO7	G0	G0	G0	G0	G0	G0	GPIO7	G0	GPIO7	GPIO7
GPIO8	B1	B1	B1	B1	B1	B1	GPIO8	B1	GPIO8	GPIO8
GPIO9	B0	B0	B0	B0	B0	B0	GPIO9	B0	GPIO9	GPIO9
GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10
GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11
GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12
GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13
GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21

5. 端子構成

表5.6 LCDインタフェースの端子割り付け（モード2, 3）

端子名	モード2		モード3	
	LCD1	LCD2	LCD1	LCD2
	パラレル インタフェース	シリアル インタフェース	パラレル インタフェース	パラレル インタフェース
FPFRAME	XWR		XWR	XWR
FPLINE	A0		A0	A0
FPSHIFT				
DRDY				
FPDAT0	D0		D0	D0
FPDAT1	D1		D1	D1
FPDAT2	D2		D2	D2
FPDAT3	D3		D3	D3
FPDAT4	D4		D4	D4
FPDAT5	D5		D5	D5
FPDAT6	D6		D6	D6
FPDAT7	D7		D7	D7
FPDAT8	D8		D8	D8
FPDAT9	D9		D9	D9
FPDAT10	D10		D10	D10
FPDAT11	D11		D11	D11
FPDAT12	D12		D12	D12
FPDAT13	D13		D13	D13
FPDAT14	D14		D14	D14
FPDAT15	D15		D15	D15
FPDAT16	D16		D16	D16
FPDAT17	D17		D17	D17
FPCS1#	NCS1		NCS1	
FPCS2#		NCS2		NCS2
FPCLK		SCK		
FPA0		A0		
FPSO		SI		
FPVIN1	VIN1/VOUT1		VIN1/VOUT1	
FPVIN2		VIN2		VIN2/VOUT2
GPIO0	GPIO0	GPIO0	GPIO0	GPIO0
GPIO1	GPIO1	GPIO1	GPIO1	GPIO1
GPIO2	GPIO2	GPIO2	GPIO2	GPIO2
GPIO3	GPIO3	GPIO3	GPIO3	GPIO3
GPIO4	D18	GPIO4	D18	D18
GPIO5	D19	GPIO5	D19	D19
GPIO6	D20	GPIO6	D20	D20
GPIO7	D21	GPIO7	D21	D21
GPIO8	D22	GPIO8	D22	D22
GPIO9	D23	GPIO9	D23	D23
GPIO10	GPIO10	GPIO10	GPIO10	GPIO10
GPIO11	GPIO11	GPIO11	GPIO11	GPIO11
GPIO12	GPIO12	GPIO12	GPIO12	GPIO12
GPIO13	GPIO13	GPIO13	GPIO13	GPIO13
GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21

表5.7 LCDインタフェースの端子割り付け (モード4)

端子名	モード4									
	LCD1									LCD2
	汎用TFT	ND-TFD	a-Si TFT	uWire I/F付きTFT	シャープ HR-TFT	カシオ TFT	サムスン α-TFT	タイプ2 TFT	SPI	パラレル インタフェース
FPFRAME	VSYNC	VSYNC	VSYNC	VSYNC	SPS	GSRT	STV	STV		XWR
FPLINE	HSYNC	HSYNC	HSYNC	HSYNC	LP	GPCK	STH	STB		A0
FPSHIFT	DCK	DCK	DCLK	CLK	DCLK	CLK	HCLK	CLK		
DRDY	ENAB	ENAB	ENAB	ENAB	n/c	n/c	n/c	INV		
FPDAT0	R7	R7	R7	R7	R7	R7	R5	R7		D0
FPDAT1	R6	R6	R6	R6	R6	R6	R4	R6		D1
FPDAT2	R5	R5	R5	R5	R5	R5	R3	R5		D2
FPDAT3	G7	G7	G7	G7	G7	G7	G5	G7		D3
FPDAT4	G6	G6	G6	G6	G6	G6	G4	G6		D4
FPDAT5	G5	G5	G5	G5	G5	G5	G3	G5		D5
FPDAT6	B7	B7	B7	B7	B7	B7	B5	B7		D6
FPDAT7	B6	B6	B6	B6	B6	B6	B4	B6		D7
FPDAT8	B5	B5	B5	B5	B5	B5	B3	B5		D8 (注1)
FPDAT9	R4	R4	R4	R4	R4	R4	R2	R4		D9 (注1)
FPDAT10	R3	R3	R3	R3	R3	R3	R1	R3		D10 (注1)
FPDAT11	R2	R2	R2	R2	R2	R2	R0	R2		D11 (注1)
FPDAT12	G4	G4	G4	G4	G4	G4	G2	G4		D12 (注1)
FPDAT13	G3	G3	G3	G3	G3	G3	G1	G3		D13 (注1)
FPDAT14	G2	G2	G2	G2	G2	G2	G0	G2		D14 (注1)
FPDAT15	B4	B4	B4	B4	B4	B4	B2	B4		D15 (注1)
FPDAT16	B3	B3	B3	B3	B3	B3	B1	B3		D16 (注1)
FPDAT17	B2	B2	B2	B2	B2	B2	B0	B2		D17 (注1)
FPCS1#		XCS	SSTB	LCDCS	SPR				CS	
FPCS2#										NCS2
FPSCLK		SCK	SCLK	SCLK					SCL	
FPA0		A0								
FPSO		SI	SDATA	SDO					SDI	
FPVIN1									SDO(FPSI)	
FPVIN2										VIN2
GPIO0	GPIO0	GPIO0	GPIO0	GPIO0	PS	POL	CKV	VCLK	GPIO0	GPIO0
GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	CLS	GRES	LD	AP	GPIO1	GPIO1
GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	REV	FRP	INV	POL	GPIO2	GPIO2
GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	SPL	STH	VCOM	STH	GPIO3	GPIO3
GPIO4	R1	R1	R1	R1	R1	R1	GPIO4	R1	GPIO4	D18 (注1) またはGPIO4
GPIO5	R0	R0	R0	R0	R0	R0	GPIO5	R0	GPIO5	D19 (注1) またはGPIO5
GPIO6	G1	G1	G1	G1	G1	G1	GPIO6	G1	GPIO6	D20 (注1) またはGPIO6
GPIO7	G0	G0	G0	G0	G0	G0	GPIO7	G0	GPIO7	D21 (注1) またはGPIO7
GPIO8	B1	B1	B1	B1	B1	B1	GPIO8	B1	GPIO8	D22 (注1) またはGPIO8
GPIO9	B0	B0	B0	B0	B0	B0	GPIO9	B0	GPIO9	D23 (注1) またはGPIO9
GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10	GPIO10
GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11	GPIO11
GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12	GPIO12
GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13	GPIO13
GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21	GPIO14-21

注

- 1 LCDバイパスモードが不要の場合、モード4において24ビットパラレルのパネルが使用できません。LCDバイパスモードが必要な場合、バイパスデータは8ビットのみです。

5. 端子構成

5.6 LCDバイパスモードの端子割り付け

表5.8 LCDインタフェースの端子割り付け（バイパスモード）

端子名	LCD2		LCD1				LCD2		
	シリアルインタフェース		パラレルインタフェース						
	モードA	モードB	モードC	モードD	モードE	モードF	モードG	モードH	
FPFRAME	—	—	WR# (注1)	WR# (注1)	WR# (注1)	WR# (注1)	WR# (注1)	WR# (注1)	
FPLINE	—	—	SA0	SA0	SA0	SA0	SA0	SA0	
FPSHIFT	—	—	—	—	—	—	—	—	
DRDY	—	—	RD#	RD#	RD#	RD#	RD#	RD#	
FPDAT0	—	—	DB0	Low/High (注2)	Low	DB0	Low/High (注2)	Low	
FPDAT1	—	—	DB1	DB0	DB0	DB1	DB0	DB0	
FPDAT2	—	—	DB2	DB1	DB1	DB2	DB1	DB1	
FPDAT3	—	—	DB3	DB2	DB2	DB3	DB2	DB2	
FPDAT4	—	—	DB4	DB3	DB3	DB4	DB3	DB3	
FPDAT5	—	—	DB5	DB4	DB4	DB5	DB4	DB4	
FPDAT6	—	—	DB6	DB5	DB5	DB6	DB5	DB5	
FPDAT7	—	—	DB7	DB6	DB6	DB7	DB6	DB6	
FPDAT8	—	—	DB8	DB7	DB7	DB8	DB7	DB7	
FPDAT9	—	—	DB9	DB8	Low	DB9	DB8	Low	
FPDAT10	—	—	DB10	DB9	DB8	DB10	DB9	DB8	
FPDAT11	—	—	DB11	DB10	DB9	DB11	DB10	DB9	
FPDAT12	—	—	DB12	Low/High (注3)	DB10	DB12	Low/High (注3)	DB10	
FPDAT13	—	—	DB13	DB11	DB11	DB13	DB11	DB11	
FPDAT14	—	—	DB14	DB12	DB12	DB14	DB12	DB12	
FPDAT15	—	—	DB15	DB13	DB13	DB15	DB13	DB13	
FPDAT16	—	—	Low	DB14	DB14	Low	DB14	DB14	
FPDAT17	—	—	Low	DB15	DB15	Low	DB15	DB15	
FPCS1#	High	SCS#	SCS#	SCS#	SCS#	High	High	High	
FPCS2#	SCS#	High	High	High	High	SCS#	SCS#	SCS#	
FPCK	SCK	SCK	—	—	—	—	—	—	
FPA0	SA0	SA0	—	—	—	—	—	—	
FPSO	SI	SI	—	—	—	—	—	—	
FPVIN1	—	—	—	—	—	—	—	—	
FPVIN2	—	—	—	—	—	—	—	—	

注

1. WE#はホストCPUのタイプによって異なります。
2. 出力はDB4～DB0の論理積によって決まります。
3. 出力はDB15～DB11の論理積によって決まります。
4. RGBは、RGBパネルに使用される信号を指します。

5.7 カメラインタフェースの端子割り付け

5.7.1 Camera1インタフェースの端子割り付け

表5.9 Camera1インタフェースの端子割り付け

端子名	タイプ1カメラ
CM1DAT[7:0]	CAMDAT[7:0]
CM1VREF	VREF
CM1HREF	HREF
CM1CLKOUT	CAMMCLK
CM1CLKIN	CAMPCLK
GPIO21	GPIO21
GPIO20	GPIO20

5.7.2 Camera2インタフェースの端子割り付け

表5.10 Camera2インタフェースの端子割り付け

端子名	カメラ	MPEGコーデックインタフェース
CM2DAT[7:0]	CAMDAT[7:0]	DISPPXL[7:0]
CM2VREF	VREF	DISPVSYNC
CM2HREF	HREF	DISPHSYNC
CM2CLKOUT	CAMMCLK	DISPCLK
CM2CLKIN	CMCLKIN	DISPBLK

5. 端子構成

5.8 SDカードインタフェースの端子割り付け

表5.11 SDカードインタフェースの端子割り付け

端子名	SDカード インタフェース	マルチメディアカード (MMC)	説明
GPIO11	SDDAT0	DATA	この入出力端子はSDカード用データIOのビット0です。
GPIO12	SDDAT1	n/c	この入出力端子はSDカード用データIOのビット1です。
GPIO13	SDDAT2	n/c	この入出力端子はSDカード用データIOのビット2です。
GPIO14	SDDAT3	n/c	この入出力端子はSDカード用データIOのビット3です。
GPIO15	SDCMD	CMD	この入出力端子はSDカード用のコマンドIOです。
GPIO16	SDCLK	CLK	この入出力端子はSDカード用のクロック出力です。
GPIO17	SDCD#	CD#	この入力端子はSDカード検出です。
GPIO18	SDWP	WP	この入力端子はSDカード用の書き込み保護入力です。
GPIO19	SDGPO	GPO	この出力端子はSDカード用の汎用出力ポートです。

注

SDカード/MMCインタフェースを使用する場合、これらの端子にはSIOVDDを供給してください。SDカード/MMCインタフェースを使用しない場合、これらの端子にはPIOVDDを供給してください。

6. DC特性

6.1 絶対最大定格

表6.1 絶対最大定格

記号	パラメータ	定格	単位
CORE V _{DD}	コア電源電圧	V _{SS} - 0.3 ~ 2.5	V
PLL V _{DD}	PLL電源電圧	V _{SS} - 0.3 ~ 2.1	V
HIO V _{DD}	ホストIO電源電圧	CORE V _{DD} ~ 4.0	V
PIO V _{DD}	非ホストIO電源電圧	CORE V _{DD} ~ 4.0	V
CIO1 V _{DD}	Camera1 IO電源電圧	CORE V _{DD} ~ 4.0	V
CIO2 V _{DD}	Camera2 IO電源電圧	CORE V _{DD} ~ 4.0	V
SIO V _{DD}	SDカードIO電源電圧	CORE V _{DD} ~ 4.0	V
V _{IN}	入力電圧	V _{SS} - 0.3 ~ IO V _{DD} + 0.5	V
V _{OUT}	出力電圧	V _{SS} - 0.3 ~ IO V _{DD} + 0.5	V
I _{OUT}	出力電流	± 10	mA

6.2 推奨動作条件

表6.2 推奨動作条件

記号	パラメータ	条件	Min	Typ	Max	単位
CORE V _{DD}	コア電源電圧	V _{SS} = 0 V	1.65	1.80	1.95	V
PLL V _{DD}	PLL電源電圧	V _{SS} = 0 V	1.65	1.80	1.95	V
HIO V _{DD}	ホストIO電源電圧	V _{SS} = 0 V	2.75	3.0	3.25	V
			2.3	2.5	2.7	
PIO V _{DD}	非ホストIO電源電圧	V _{SS} = 0 V	2.75	3.0	3.25	V
			2.3	2.5	2.7	
CIO1 V _{DD}	Camera1 IO電源電圧	V _{SS} = 0 V	2.75	3.0	3.25	V
			2.3	2.5	2.7	
CIO2 V _{DD}	Camera2 IO電源電圧	V _{SS} = 0 V	2.75	3.0	2.25	V
			2.3	2.5	2.7	
SIO V _{DD}	SDカードIO電源電圧	V _{SS} = 0 V	2.75	3.0	3.25	V
			2.3	2.5	2.7	
V _{IN}	入力電圧	—	V _{SS}	—	IO V _{DD}	V
T _{OPR}	動作温度	—	-40	25	85	°C

6. DC特性

6.3 電気的特性

以下に示す特性は次の条件での値です。

HIO V_{DD} = PIO V_{DD} = CIO V_{DD} = SIO V_{DD} = IO V_{DD1} 、 $V_{SS} = 0V$ 、 $T_{OPR} = -25 \sim 85^{\circ}C$

表6.3 電気的特性 (VDD = 3.0V typical)

記号	パラメータ	条件	Min	Typ	Max	単位
I_{DDSH}	IO静的消費電流	静的消費電流条件		TBD		μA
I_{DDSL}	コア静的消費電流	静的消費電流条件		10		μA
I_{IZ}	入力リーク電流		-5		5	μA
I_{OZ}	出力リーク電流		-5		5	μA
HIO V_{OH}	高レベル出力電圧	HIOVDD = min $I_{OH} = -3.6mA$	HIO $V_{DD} - 0.4$			V
CIO1 V_{OH}	高レベル出力電圧	CIO1VDD = min $I_{OH} = -3.6mA$	CIO1 $V_{DD} - 0.4$			V
CIO2 V_{OH}	高レベル出力電圧	CIO2VDD = min $I_{OH} = -3.6mA$	CIO2 $V_{DD} - 0.4$			V
PIO V_{OH}	高レベル出力電圧	PIOVDD = min $I_{OH} = -3.6mA$	PIO $V_{DD} - 0.4$			V
SIO V_{OH}	高レベル出力電圧	SIOVDD = min $I_{OH} = -3.6mA$	SIO $V_{DD} - 0.4$			V
HIO V_{OL}	低レベル出力電圧	HIOVDD = min $I_{OL} = 3.6mA$			0.4	V
CIO1 V_{OL}	低レベル出力電圧	CIO1VDD = min $I_{OL} = 3.6mA$			0.4	V
CIO2 V_{OL}	低レベル出力電圧	CIO2VDD = min $I_{OL} = 3.6mA$			0.4	V
PIO V_{OL}	低レベル出力電圧	PIOVDD = min $I_{OL} = 3.6mA$			0.4	V
SIO V_{OL}	低レベル出力電圧	SIOVDD = min $I_{OL} = 3.6mA$			0.4	V
HIO V_{IH}	高レベル入力電圧	LVC MOSレベル、 $V_{DD} = \max$	1.95			V
CIO1 V_{IH}	高レベル入力電圧	LVC MOSレベル、 $V_{DD} = \max$	1.95			V
CIO2 V_{IH}	高レベル入力電圧	LVC MOSレベル、 $V_{DD} = \max$	1.95			V
PIO V_{IH}	高レベル入力電圧	LVC MOSレベル、 $V_{DD} = \max$	1.95			V
SIO V_{IH}	高レベル入力電圧	LVC MOSレベル、 $V_{DD} = \max$	1.95			V
HIO V_{IL}	低レベル入力電圧	LVC MOSレベル、 $V_{DD} = \min$			0.85	V
CIO1 V_{IL}	低レベル入力電圧	LVC MOSレベル、 $V_{DD} = \min$			0.85	V
CIO2 V_{IL}	低レベル入力電圧	LVC MOSレベル、 $V_{DD} = \min$			0.85	V
PIO V_{IL}	低レベル入力電圧	LVC MOSレベル、 $V_{DD} = \min$			0.85	V
SIO V_{IL}	低レベル入力電圧	LVC MOSレベル、 $V_{DD} = \min$			0.85	V
HIO V_{T+}	ポジティブトリガ電圧	LVC MOSシュミット	1.35		2.5	V
CIO1 V_{T+}	ポジティブトリガ電圧	LVC MOSシュミット	1.35		2.5	V
CIO2 V_{T+}	ポジティブトリガ電圧	LVC MOSシュミット	1.35		2.5	V
PIO V_{T+}	ポジティブトリガ電圧	LVC MOSシュミット	1.35		2.5	V
HIO V_{T-}	ネガティブトリガ電圧	LVC MOSシュミット	0.7		1.6	V
CIO1 V_{T-}	ネガティブトリガ電圧	LVC MOSシュミット	0.7		1.6	V
CIO2 V_{T-}	ネガティブトリガ電圧	LVC MOSシュミット	0.7		1.6	V
PIO V_{T-}	ネガティブトリガ電圧	LVC MOSシュミット	0.7		1.6	V

表6.3 電気的特性 (VDD = 3.0V typical) (続き)

記号	パラメータ	条件	Min	Typ	Max	単位
R _{PD}	プルダウン抵抗	V _{IN} = V _{DD}	30	60	144	kΩ
R _{PU}	プルアップ抵抗	V _{IN} = V _{DD}	30	60	144	kΩ
C _I	入力端子静電容量	f = 1MHz, V _{DD} = 0V	-	-	8	pF
C _O	出力端子静電容量	f = 1MHz, V _{DD} = 0V	-	-	8	pF
C _{IO}	入出力端子静電容量	f = 1MHz, V _{DD} = 0V	-	-	8	pF

注

1. プルダウン抵抗値はCOREVDDに依存します。
2. SDCD#、SDWP端子

表6.4 電気的特性 (VDD = 2.5V typical)

記号	パラメータ	条件	Min	Typ	Max	単位
I _{DDSH}	IO静的消費電流	静的消費電流条件		TBD		μA
I _{DDSL}	コア静的消費電流	静的消費電流条件		10		μA
I _{Iz}	入力リーク電流		-5		5	μA
I _{Oz}	出力リーク電流		-5		5	μA
HIOV _{OH}	高レベル出力電圧	HIOVDD = min I _{OH} = -3mA	HIOV _{DD} - 0.4			V
CIO1V _{OH}	高レベル出力電圧	CIO1VDD = min I _{OH} = -3mA	CIO1V _{DD} - 0.4			V
CIO2V _{OH}	高レベル出力電圧	CIO2VDD = min I _{OH} = -3mA	CIO2V _{DD} - 0.4			V
PIOV _{OH}	高レベル出力電圧	PIOVDD = min I _{OH} = -3mA	PIOV _{DD} - 0.4			V
SIOV _{OH}	高レベル出力電圧	SIOVDD = min I _{OH} = -3mA	SIOV _{DD} - 0.4			V
HIOV _{OL}	低レベル出力電圧	HIOVDD = min I _{OL} = 3mA			0.4	V
CIO1V _{OL}	低レベル出力電圧	CIO1VDD = min I _{OL} = 3mA			0.4	V
CIO2V _{OL}	低レベル出力電圧	CIO2VDD = min I _{OL} = 3mA			0.4	V
PIOV _{OL}	低レベル出力電圧	PIOVDD = min I _{OL} = 3mA			0.4	V
SIOV _{OL}	低レベル出力電圧	SIOVDD = min I _{OL} = 3mA			0.4	V
HIOV _{IH}	高レベル入力電圧	LVC MOS レベル、V _{DD} = max	1.7			V
CIO1V _{IH}	高レベル入力電圧	LVC MOS レベル、V _{DD} = max	1.7			V
CIO2V _{IH}	高レベル入力電圧	LVC MOS レベル、V _{DD} = max	1.7			V
PIOV _{IH}	高レベル入力電圧	LVC MOS レベル、V _{DD} = max	1.7			V
SIOV _{IH}	高レベル入力電圧	LVC MOS レベル、V _{DD} = max	1.7			V

6. DC特性

表6.4 電気的特性 (VDD = 2.5V typical) (続き)

記号	パラメータ	条件	Min	Typ	Max	単位
HIOV _{IL}	低レベル入力電圧	LVC MOS レベル、V _{DD} = min			0.7	V
CIO1V _{IL}	低レベル入力電圧	LVC MOS レベル、V _{DD} = min			0.7	V
CIO2V _{IL}	低レベル入力電圧	LVC MOS レベル、V _{DD} = min			0.7	V
PIOV _{IL}	低レベル入力電圧	LVC MOS レベル、V _{DD} = min			0.7	V
SIOV _{IL}	低レベル入力電圧	LVC MOS レベル、V _{DD} = min			0.7	V
HIOV _{T+}	ポジティブトリガ電圧	LVC MOS シュミット	0.8		1.9	V
CIO1V _{T+}	ポジティブトリガ電圧	LVC MOS シュミット	0.8		1.9	V
CIO2V _{T+}	ポジティブトリガ電圧	LVC MOS シュミット	0.8		1.9	V
PIOV _{T+}	ポジティブトリガ電圧	LVC MOS シュミット	0.8		1.9	V
HIOV _{T-}	ネガティブトリガ電圧	LVC MOS シュミット	0.5		1.3	V
CIO1V _{T-}	ネガティブトリガ電圧	LVC MOS シュミット	0.5		1.3	V
CIO2V _{T-}	ネガティブトリガ電圧	LVC MOS シュミット	0.5		1.3	V
PIOV _{T-}	ネガティブトリガ電圧	LVC MOS シュミット	0.5		1.3	V
R _{PD}	プルダウン抵抗	V _{IN} = V _{DD}	35	70	175	kΩ
R _{PU}	プルアップ抵抗	V _{IN} = V _{DD}	35	70	175	kΩ
C _I	入力端子静電容量	f = 1MHz、V _{DD} = 0V	-	-	8	pF
C _O	出力端子静電容量	f = 1MHz、V _{DD} = 0V	-	-	8	pF
C _{IO}	入出力端子静電容量	f = 1MHz、V _{DD} = 0V	-	-	8	pF

注

1. プルダウン抵抗値はCOREVDDに依存します。
2. SDCD#、SDWP端子

7. AC特性

条件 : IO $V_{DD} = 3.0V \pm 0.25V$

$T_A = -40^\circ C \sim 85^\circ C$

CLKIを除くすべての入力の T_{rise} と T_{fall} は50ns以下 (10% ~ 90%) であること

$C_L = 15pF$ (ホストインタフェース)

$C_L = 15pF$ (カメラインタフェース)

$C_L = 30pF$ (LCDパネル/GPIOインタフェース)

7.1 クロックタイミング

7.1.1 入力クロックタイミング

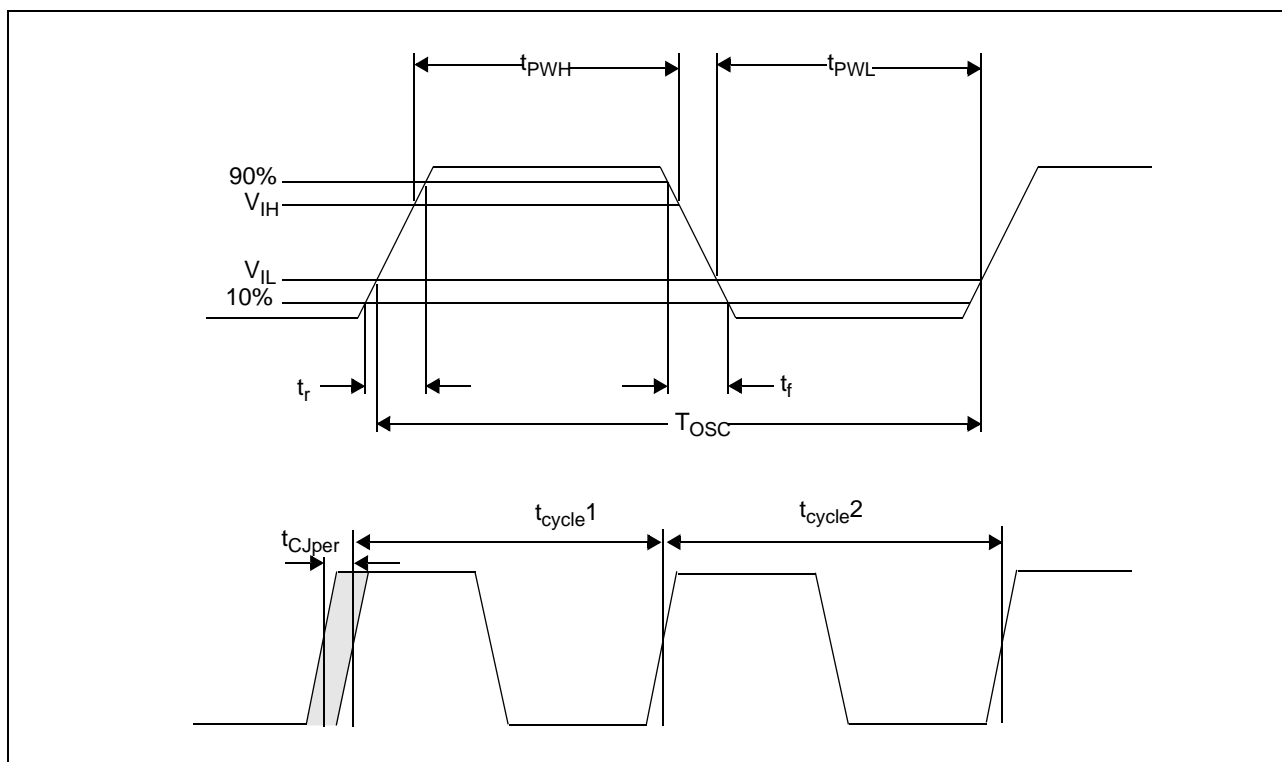


図7.1 クロック入力要件 (PLL使用時)

7. AC特性

表7.1 クロック入力要件 (PLL使用時)

記号	パラメータ	Min	Typ	Max	単位
f_{OSC}	入力クロック周波数	30	32.768	64	KHz
T_{OSC}	入力クロック周期	—	$1/f_{OSC}$	—	μs
t_{PWH}	入力クロックHighパルス幅	5	—	—	μs
t_{PWL}	入力クロックLowパルス幅	5	—	—	μs
t_r	入力クロック立ち上がり時間 (10% ~ 90%)	—	—	5	μs
t_f	入力クロック立ち下がり時間 (10% ~ 90%)	—	—	5	μs
t_{Cjper}	入力クロック周期ジッタ (注2、注4)	-100	—	100	ns
$t_{Cjcycle}$ (注1)	入力クロックサイクルジッタ (注3、注4)	-100	—	100	ns

注

1. $t_{Cjcycle} = t_{cycle1} - t_{cycle2}$
2. 入力クロック周期ジッタとは、クロックセンターからのずれのことです。
3. 入力クロックサイクルジッタとは、隣り合うサイクルの周期の差です。
4. ジッタ特性は、 t_{Cjper} と $t_{Cjcycle}$ の両方の特性を満たす必要があります。

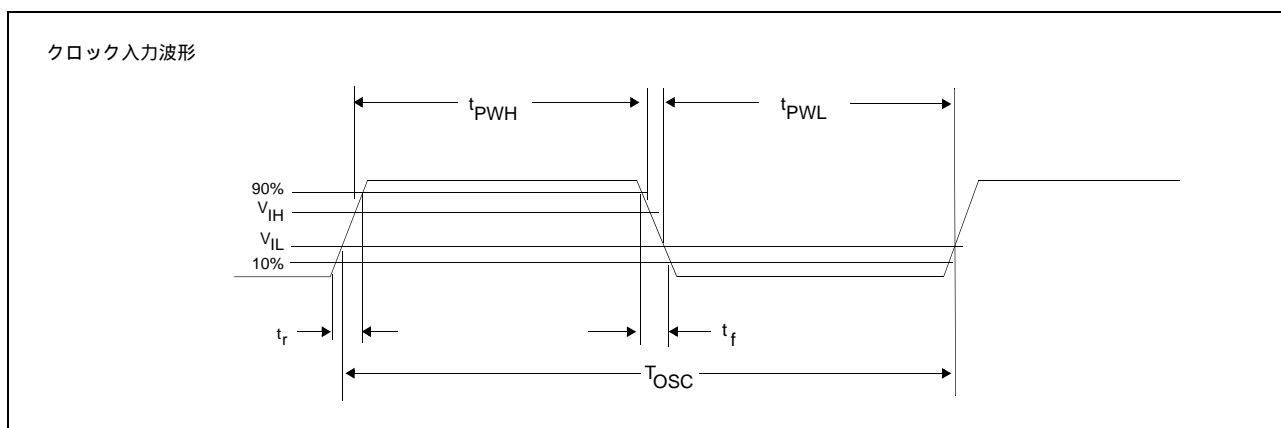


図7.2 クロック入力要件 (PLLバイパス時)

表7.2 クロック入力要件 (PLLバイパス時)

記号	パラメータ	Min	Typ	Max	単位
f_{OSCI}	入力クロック周波数 (CLKI)	—	—	55	MHz
T_{OSC}	入力クロック周期 (CLKI)	$1/f_{OSC}$	—	—	ns
t_{PWH}	入力クロックHighパルス幅 (CLKI)	$0.4T_{OSC}$	—	—	ns
t_{PWL}	入力クロックLowパルス幅 (CLKI)	$0.4T_{OSC}$	—	—	ns
t_r	入力クロック立ち上がり時間 (10% ~ 90%)	—	—	5	ns
t_f	入力クロック立ち下がり時間 (10% ~ 90%)	—	—	5	ns

7.1.2 内部システムクロック

表7.3 内部システムクロック要件

記号	パラメータ	Min	Max	単位
f_{SYS}	内部システムクロック周波数	—	55	MHz
T_{SYS}	内部システムクロック周期	$1/f_{SYS}$	—	ns

7.1.3 PLLクロック

PLL回路はアナログ回路であり、入力クロック波形や電源のノイズによって大きな影響を受けます。クロックまたは電源のノイズは、PLL回路の動作を不安定にしたり、ジッタを大きくしたりすることがあります。

このようなノイズ制約により、PLL用の電源トレースまたは電源プレーンを他の電源のものから離しておくことを強く推奨します。さらに、電源のノイズをできるだけ小さくするために、フィルタリングも使用してください。入力クロック波形のジッタはできるだけ小さくしてください。

たとえば周波数が2kHz変動するようなノイズがPLLVDDに加わると、PLLクロック出力のジッタが変動することがあります。1～3kHzのノイズが生じないよう測定が必要です。

クロックのジッタ値を知るには具体的な設計を確認してください。これは、実際のジッタ特性が各種因子の組み合わせによって変わってくるためです。こうした因子には、たとえばクロックのジッタ周波数スペクトルや、供給電力のノイズの振幅や周波数があります。クロックのジッタがモジュールの制限値を超える場合は、内蔵されるPLL回路の使用をやめて外部発振器を使用してください。

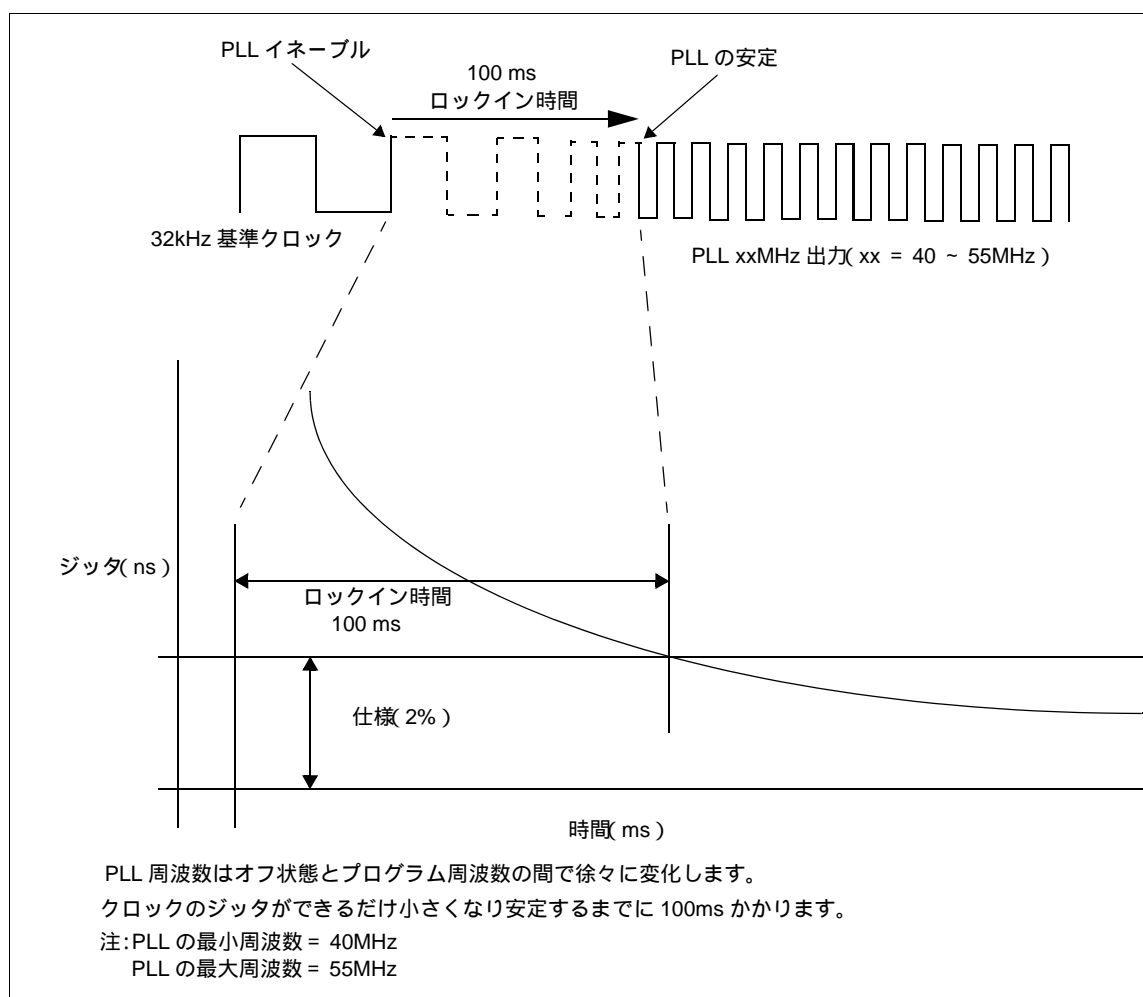


図7.3 PLL起動時間

表7.4 PLLクロック要件

記号	パラメータ	Min	Max	単位
f_{PLL}	PLL出力クロック周波数	40	55	MHz
t_{PStal}	PLL出力安定時間	—	100	ms

7. AC特性

7.2 電源シーケンス

7.2.1 パワーオンシーケンス

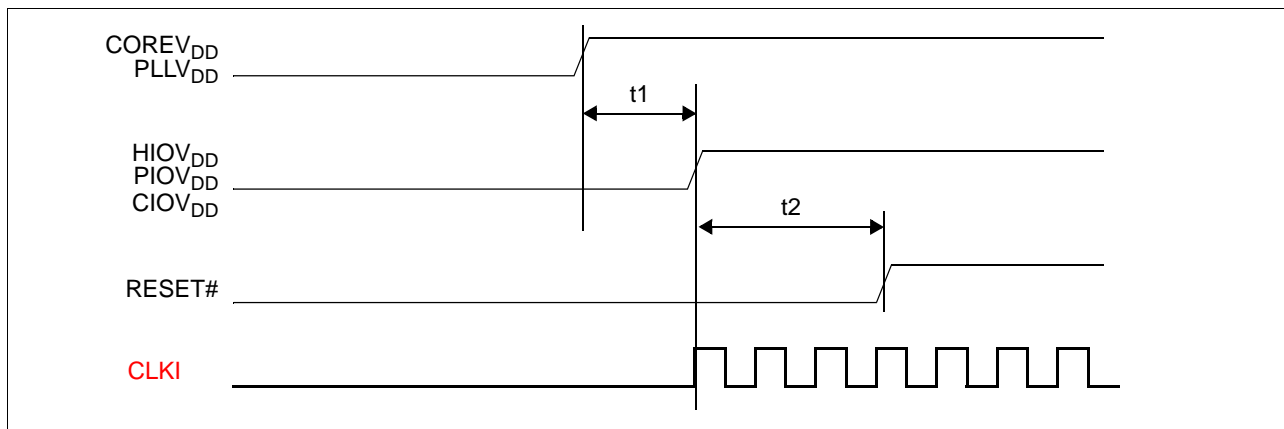


図7.4 パワーオンシーケンス

表7.5 パワーオンシーケンス

記号	パラメータ	Min	Max	単位
t1	COREV _{DD} またはPLLV _{DD} がオンになってからIOV _{DD} がオンになるまでの遅延	0	—	ns
t2	RESET#ホールド時間 (Start of CLKI) (注1)	1	—	CLKI

7.2.2 パワーオフシーケンス

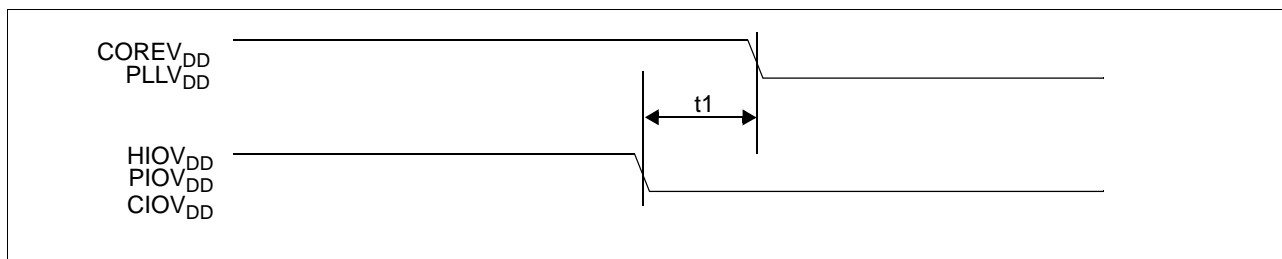


図7.5 パワーオフシーケンス

表7.6 パワーオフシーケンス

記号	パラメータ	Min	Max	単位
t1	IOV _{DD} がオフになってからCOREV _{DD} ないしPLLV _{DD} がオフになるまでの遅延	0	—	ns

7.3 ホストインタフェースタイミング

7.3.1 ダイレクト80タイプ1

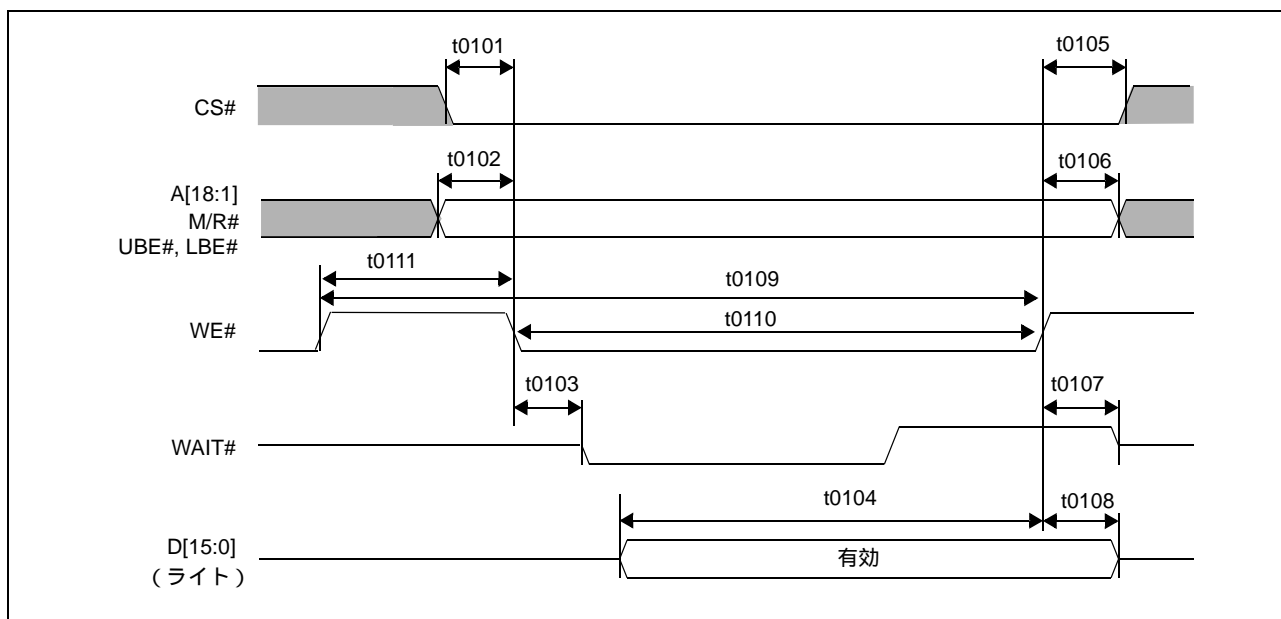


図7.6 ダイレクト80タイプ1インタフェースの書き込みサイクルタイミング

表7.7 ダイレクト80タイプ1インタフェースの書き込みサイクルタイミング

記号	パラメータ	3.0V		1.8 V		単位
		Min	Max	Min	Max	
t0101	CS#セットアップ時間	5	—	5	—	ns
t0102	A[18:1], M/R#, UBE#, LBE#セットアップ時間	5	—	5	—	ns
t0103	WE#立ち下がりエッジからWAIT#がLowに変わるまで	—	12	—	14	ns
t0104	D[15:0]セットアップ時間 (WE#立ち上がりエッジまで)	15	—	7	—	ns
t0105	CS#ホールド時間 (WE#立ち上がりエッジから)	4	—	4	—	ns
t0106	A[18:1], M/R#, UBE#, LBE#ホールド時間 (WE#立ち上がりエッジから)	4	—	4	—	ns
t0107	WE#立ち上がりエッジからWAIT#がハイインピーダンスに変わるまで	—	7	—	8	ns
t0108	D[15:0]ホールド時間 (WE#立ち上がりエッジから)	0	—	0	—	ns
t0109	WE#サイクル時間	3	—	3	—	Ts (注1)
t0110	WE#パルスアクティブ時間	2	—	2	—	Ts
t0111	WE#パルス非アクティブ時間	1	—	1	—	Ts

注

1. Ts = システムクロック周期

7. AC特性

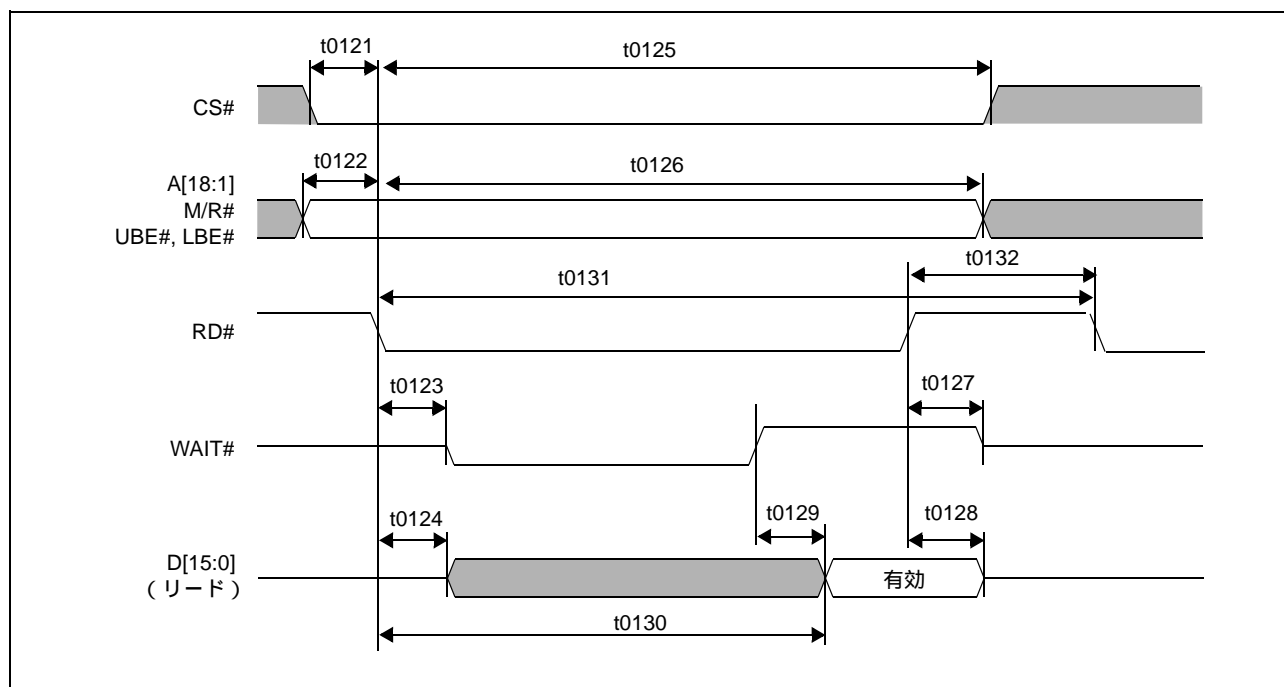


図7.7 ダイレクト80タイプ1インタフェースの読み出しサイクルタイミング

表7.8 ダイレクト80タイプ1インタフェースの読み出しサイクルタイミング

記号	パラメータ	3.0V		1.8 V		単位
		Min	Max	Min	Max	
t0121	CS#セットアップ時間	(注2)	—	(注2)	—	ns
t0122	A[18:1], M/R#, UBE#, LBE#セットアップ時間	(注2)	—	(注2)	—	ns
t0123	RD#立ち下がりエッジからWAIT#がLowになるまで	—	(注2)	—	(注2)	ns
t0124	RD#立ち下がりエッジからD[15:0]の駆動まで	4	—	4	—	ns
t0125	CS#ホールド時間 (RD#立ち下がりエッジから)	20	—	20	—	ns
t0126	A[18:1], M/R#, UBE#, LBE#ホールド時間 (RD#立ち下がりエッジから)	20	—	20	—	ns
t0127	RD#立ち上がりエッジからWAIT#が高インピーダンスになるまで	—	8	—	8	ns
t0128	D[15:0]ホールド時間 (RD#立ち上がりエッジから)	2	8	2	9	ns
t0129	WAIT#がアサートされる場合、WAIT#立ち上がりエッジから有効データまで	—	10	—	7	ns
t0130	WAIT#がアサートされない場合、RD#立ち下がりエッジから有効データまで	—	(注2)	—	(注2)	ns
t0131	RD#サイクル時間	3	—	3	—	Ts (注1)
t0132	RD#パルス非アクティブ時間	8	—	8	—	ns

注

1. Ts = システムクロック周期
2. REG[0006h]ビット9、
このビット = 0のとき、t0121min/t0122min = 5ns、t0123max = 18ns、t0130max = 28ns。
このビット = 1のとき、t0121min/t0122min = 0ns、t0123max = 15ns、t0130max = 25ns。

表7.9 ダイレクト80タイプ1インタフェースの真理値表（リトルエンディアン、1CS#モード）

CS#	M/R#	WE#	RD#	UBE#	LBE#	D[15:8]	D[7:0]	備考
0	1/0	0	1	0	0	有効	有効	16ビット書き込み
0	1	0	1	1	0	—	有効	8ビット書き込み、偶数アドレス
0	1	0	1	0	1	有効	—	8ビット書き込み、奇数アドレス
0	1/0	1	0	0	0	有効	有効	16ビット読み出し
0	1	1	0	1	0	—	有効	8ビット読み出し、偶数アドレス
0	1	1	0	0	1	有効	—	8ビット読み出し、奇数アドレス

表7.10 ダイレクト80タイプ1インタフェースの真理値表（ビッグエンディアン、1CS#モード）

CS#	M/R#	WE#	RD#	UBE#	LBE#	D[15:8]	D[7:0]	備考
0	1/0	0	1	0	0	有効	有効	16ビット書き込み
0	1	0	1	1	0	—	有効	8ビット書き込み、奇数アドレス
0	1	0	1	0	1	有効	—	8ビット書き込み、偶数アドレス
0	1/0	1	0	0	0	有効	有効	16ビット読み出し
0	1	1	0	1	0	—	有効	8ビット読み出し、奇数アドレス
0	1	1	0	0	1	有効	—	8ビット読み出し、偶数アドレス

表7.11 ダイレクト80タイプ1インタフェースの真理値表（リトルエンディアン、2CS#モード）

CS#	M/R#	WE#	RD#	UBE#	LBE#	D[15:8]	D[7:0]	備考
0/1	1/0	0	1	0	0	有効	有効	16ビット書き込み
0	1	0	1	1	0	—	有効	8ビット書き込み、偶数アドレス
0	1	0	1	0	1	有効	—	8ビット書き込み、奇数アドレス
0/1	1/0	1	0	0	0	有効	有効	16ビット読み出し
0	1	1	0	1	0	—	有効	8ビット読み出し、偶数アドレス
0	1	1	0	0	1	有効	—	8ビット読み出し、奇数アドレス

表7.12 ダイレクト80タイプ1インタフェースの真理値表（ビッグエンディアン、2CS#モード）

CS#	M/R#	WE#	RD#	UBE#	LBE#	D[15:8]	D[7:0]	備考
0/1	1/0	0	1	0	0	有効	有効	16ビット書き込み
0	1	0	1	1	0	—	有効	8ビット書き込み、奇数アドレス
0	1	0	1	0	1	有効	—	8ビット書き込み、偶数アドレス
0/1	1/0	1	0	0	0	有効	有効	16ビット読み出し
0	1	1	0	1	0	—	有効	8ビット読み出し、奇数アドレス
0	1	1	0	0	1	有効	—	8ビット読み出し、偶数アドレス

7. AC特性

7.3.2 ダイレクト80タイプ2

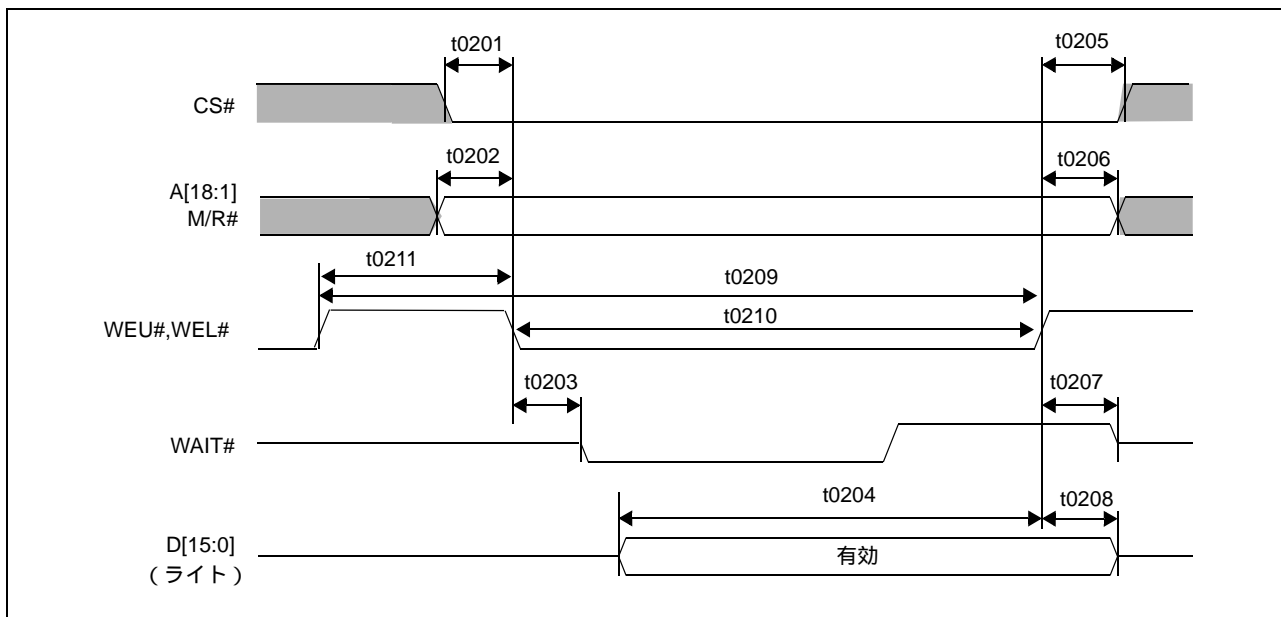


図7.8 ダイレクト80タイプ2インタフェースの書き込みサイクルタイミング

表7.13 ダイレクト80タイプ2インタフェースの書き込みサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t0201	CS#セットアップ時間	5	—	ns
t0202	A[18:1], M/R#セットアップ時間	5	—	ns
t0203	WEU#, WEL#立ち下がりエッジからWAIT#がLowに変わるまで	—	12	ns
t0204	D[15:0]セットアップ時間 (WEU#, WEL#立ち上がりエッジまで)	15	—	ns
t0205	CS#ホールド時間 (WEU#, WEL#立ち上がりエッジから)	4	—	ns
t0206	A[18:1], M/R#ホールド時間 (WEU#, WEL#立ち上がりエッジから)	4	—	ns
t0207	WEU#, WEL#立ち上がりエッジからWAIT#が高インピーダンスに変わるまで	—	7	ns
t0208	D[15:0]ホールド時間 (WEU#, WEL#立ち上がりエッジから)	0	—	ns
t0209	WEU#, WEL#サイクル時間	3	—	Ts (注1)
t0210	WEU#, WEL#パルスアクティブ時間	2	—	Ts
t0211	WEU#, WEL#パルス非アクティブ時間	1	—	Ts

注

1. Ts = システムクロック周期

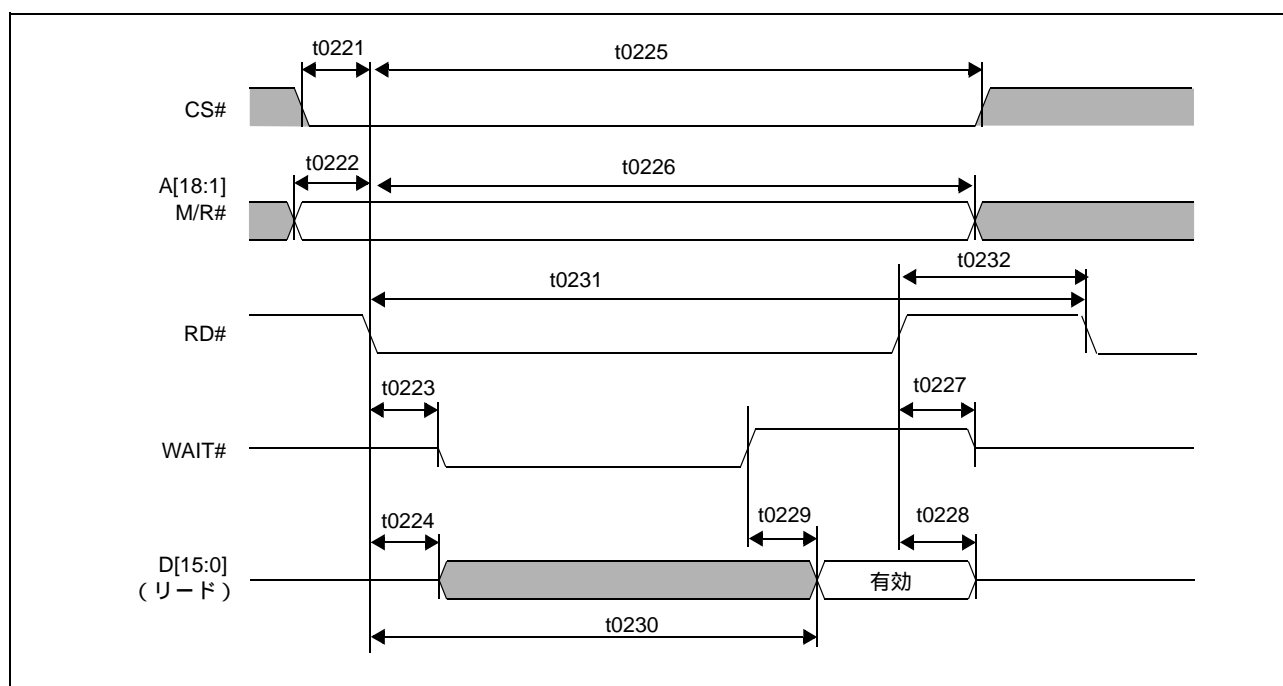


図7.9 ダイレクト80タイプ2インタフェースの読み出しサイクルタイミング

表7.14 ダイレクト80タイプ2インタフェースの読み出しサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t0221	CS#セットアップ時間	(注2)	—	ns
t0222	A[18:1], M/R#セットアップ時間	(注2)	—	ns
t0223	RD#立ち下がりエッジからWAIT#がLowになるまで	—	(注2)	ns
t0224	RD#立ち下がりエッジからD[15:0]の駆動まで	4	—	ns
t0225	CS#ホールド時間 (RD#立ち下がりエッジから)	20	—	ns
t0226	A[18:1], M/R#ホールド時間 (RD#立ち下がりエッジから)	20	—	ns
t0227	RD#立ち上がりエッジからWAIT#が高インピーダンスになるまで	—	8	ns
t0228	D[15:0]ホールド時間 (RD#立ち上がりエッジから)	2	8	ns
t0229	WAIT#がアサートされる場合、WAIT#立ち上がりエッジから有効データまで	—	10	ns
t0230	WAIT#がアサートされない場合、RD#立ち下がりエッジから有効データまで	—	(注2)	ns
t0231	RD#サイクル時間	3	—	Ts (注1)
t0232	RD#パルス非アクティブ時間	8	—	ns

注

1. Ts = システムクロック周期
2. REG[0006h]ビット9、
このビット = 0のとき、t0221min/t0222min = 5ns、t0223max = 18ns、t0230max = 28ns。
このビット = 1のとき、t0221min/t0222min = 0ns、t0223max = 15ns、t0230max = 25ns。

7. AC特性

表7.15 ダイレクト80タイプ2インタフェースの真理値表（リトルエンディアン、1CS#モード）

CS#	M/R#	RD#	WEU#	WEL#	D[15:8]	D[7:0]	備考
0	1/0	1	0	0	有効	有効	16ビット書き込み
0	1	1	1	0	—	有効	8ビット書き込み、偶数アドレス
0	1	1	0	1	有効	—	8ビット書き込み、奇数アドレス
0	1/0	0	1	1	有効	有効	16ビット読み出し

表7.16 ダイレクト80タイプ2インタフェースの真理値表（ビッグエンディアン、1CS#モード）

CS#	M/R#	RD#	WEU#	WEL#	D[15:8]	D[7:0]	備考
0	1/0	1	0	0	有効	有効	16ビット書き込み
0	1	1	1	0	—	有効	8ビット書き込み、奇数アドレス
0	1	1	0	1	有効	—	8ビット書き込み、偶数アドレス
0	1/0	0	1	1	有効	有効	16ビット読み出し

表7.17 ダイレクト80タイプ2インタフェースの真理値表（リトルエンディアン、2CS#モード）

CS#	M/R#	RD#	WEU#	WEL#	D[15:8]	D[7:0]	備考
0/1	1/0	1	0	0	有効	有効	16ビット書き込み
0	1	1	1	0	—	有効	8ビット書き込み、偶数アドレス
0	1	1	0	1	有効	—	8ビット書き込み、奇数アドレス
0/1	1/0	0	1	1	有効	有効	16ビット読み出し

表7.18 ダイレクト80タイプ2インタフェースの真理値表（ビッグエンディアン、2CS#モード）

CS#	M/R#	RD#	WEU#	WEL#	D[15:8]	D[7:0]	備考
0/1	1/0	1	0	0	有効	有効	16ビット書き込み
0	1	1	1	0	—	有効	8ビット書き込み、奇数アドレス
0	1	1	0	1	有効	—	8ビット書き込み、偶数アドレス
0/1	1/0	0	1	1	有効	有効	16ビット読み出し

7.3.3 ダイレクト80タイプ3

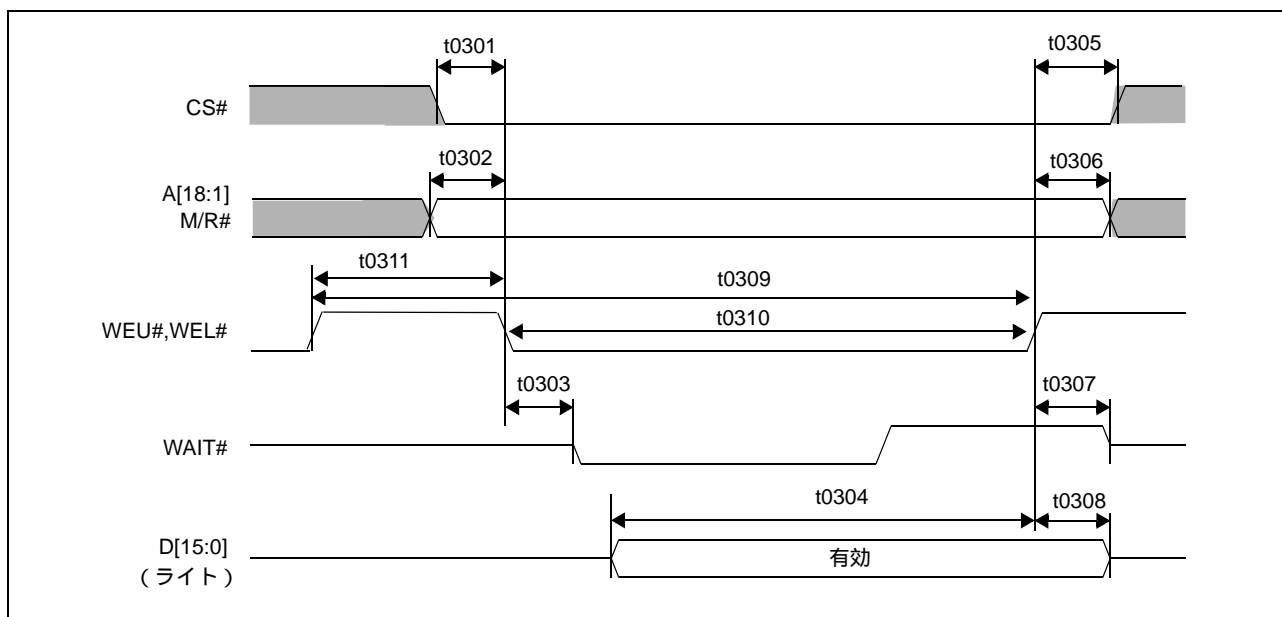


図7.10 ダイレクト80タイプ3インタフェースの書き込みサイクルタイミング

表7.19 ダイレクト80タイプ3インタフェースの書き込みサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t0301	CS#セットアップ時間	5	—	ns
t0302	A[18:1], M/R#セットアップ時間	5	—	ns
t0303	WEU#, WEL#立ち下がりエッジからWAIT#がLowに変わるまで	—	12	ns
t0304	D[15:0]セットアップ時間 (WEU#, WEL#立ち上がりエッジまで)	15	—	ns
t0305	CS#ホールド時間 (WEU#, WEL#立ち上がりエッジから)	4	—	ns
t0306	A[18:1], M/R#ホールド時間 (WE#立ち上がりエッジから)	4	—	ns
t0307	WEU#, WEL#立ち上がりエッジからWAIT#が高インピーダンスに変わるまで	—	7	ns
t0308	D[15:0]ホールド時間 (WEU#, WEL#立ち上がりエッジから)	5	—	ns
t0309	WEU#, WEL#サイクル時間	3	—	Ts (注1)
t0310	WEU#, WEL#パルスアクティブ時間	2	—	Ts
t0311	WEU#, WEL#パルス非アクティブ時間	1	—	Ts

注

1. Ts = システムクロック周期

7. AC特性

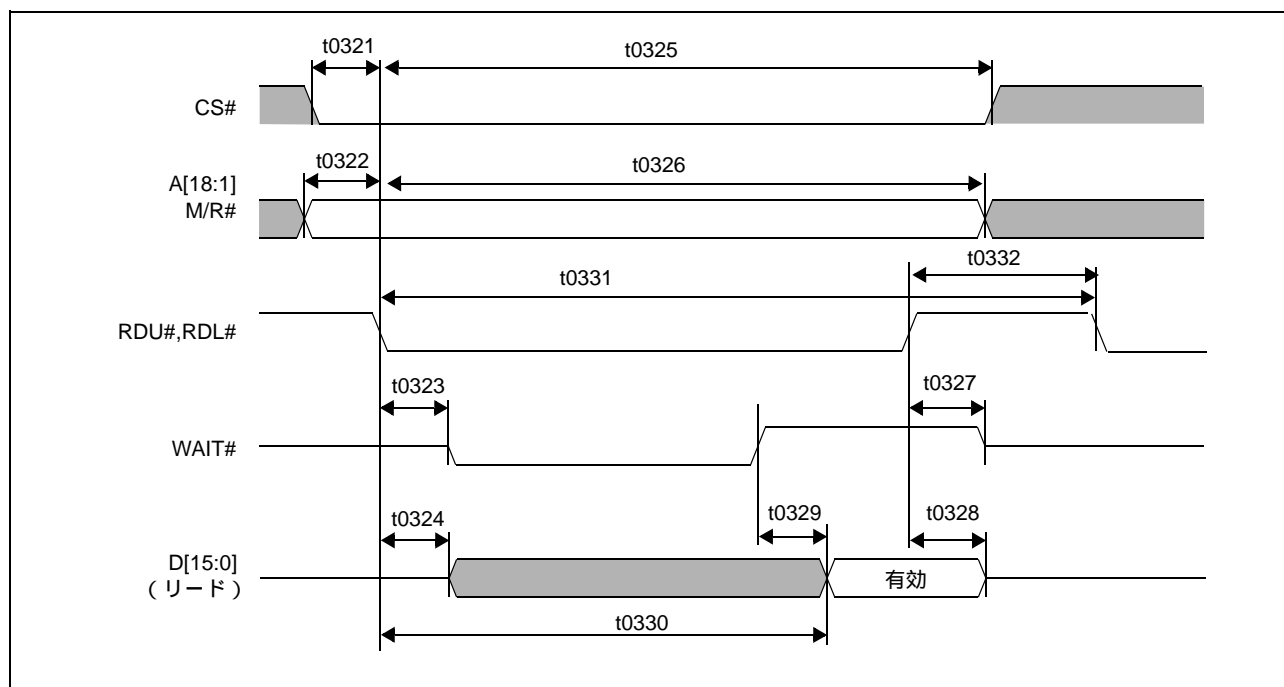


図7.11 ダイレクト80タイプ3インタフェースの読み出しサイクルタイミング

表7.20 ダイレクト80タイプ3インタフェースの読み出しサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t0321	CS#セットアップ時間	(注2)	—	ns
t0322	A[18:1], M/R#セットアップ時間	(注2)	—	ns
t0323	RD#立ち下がりエッジからWAIT#がLowになるまで	—	(注2)	ns
t0324	RD#立ち下がりエッジからD[15:0]の駆動まで	4	—	ns
t0325	CS#ホールド時間 (RD#立ち下がりエッジから)	20	—	ns
t0326	A[18:1], M/R#ホールド時間 (RD#立ち下がりエッジから)	20	—	ns
t0327	RD#立ち上がりエッジからWAIT#がハイインピーダンスになるまで	—	8	ns
t0328	D[15:0]ホールド時間 (RD#立ち上がりエッジから)	2	8	ns
t0329	WAIT#がアサートされる場合、WAIT#立ち上がりエッジから有効データまで	—	10	ns
t0330	WAIT#がアサートされない場合、RD#立ち下がりエッジから有効データまで	—	(注2)	ns
t0331	RD#サイクル時間	3	—	Ts (注1)
t0332	RD#パルス非アクティブ時間	8	—	ns

注

1. Ts = システムクロック周期
2. REG[0006h]ビット9、
このビット = 0のとき、t0321min/t0322min = 5ns、t0323max = 18ns、t0330max = 28ns。
このビット = 1のとき、t0321min/t0322min = 0ns、t0323max = 15ns、t0330max = 25ns。

表7.21 ダイレクト80タイプ3インタフェースの真理値表（リトルエンディアン、1CS#モード）

CS#	M/R#	WEU#	WEL#	RDU#	RDL#	D[15:8]	D[7:0]	備考
0	1/0	0	0	1	1	有効	有効	16ビット書き込み
0	1	1	0	1	1	—	有効	8ビット書き込み、偶数アドレス
0	1	0	1	1	1	有効	—	8ビット書き込み、奇数アドレス
0	1/0	1	1	0	0	有効	有効	16ビット読み出し
0	1	1	1	1	0	—	有効	8ビット読み出し、偶数アドレス
0	1	1	1	0	1	有効	—	8ビット読み出し、奇数アドレス

表7.22 ダイレクト80タイプ3インタフェースの真理値表（ビッグエンディアン、1CS#モード）

CS#	M/R#	WEU#	WEL#	RDU#	RDL#	D[15:8]	D[7:0]	備考
0	1/0	0	0	1	1	有効	有効	16ビット書き込み
0	1	1	0	1	1	—	有効	8ビット書き込み、奇数アドレス
0	1	0	1	1	1	有効	—	8ビット書き込み、偶数アドレス
0	1/0	1	1	0	0	有効	有効	16ビット読み出し
0	1	1	1	1	0	—	有効	8ビット読み出し、奇数アドレス
0	1	1	1	0	1	有効	—	8ビット読み出し、偶数アドレス

表7.23 ダイレクト80タイプ3インタフェースの真理値表（リトルエンディアン、2CS#モード）

CS#	M/R#	WEU#	WEL#	RDU#	RDL#	D[15:8]	D[7:0]	備考
0/1	1/0	0	0	1	1	有効	有効	16ビット書き込み
0	1	1	0	1	1	—	有効	8ビット書き込み、偶数アドレス
0	1	0	1	1	1	有効	—	8ビット書き込み、奇数アドレス
0/1	1/0	1	1	0	0	有効	有効	16ビット読み出し
0	1	1	1	1	0	—	有効	8ビット読み出し、偶数アドレス
0	1	1	1	0	1	有効	—	8ビット読み出し、奇数アドレス

表7.24 ダイレクト80タイプ3インタフェースの真理値表（ビッグエンディアン、2CS#モード）

CS#	M/R#	WEU#	WEL#	RDU#	RDL#	D[15:8]	D[7:0]	備考
0/1	1/0	0	0	1	1	有効	有効	16ビット書き込み
0	1	1	0	1	1	—	有効	8ビット書き込み、奇数アドレス
0	1	0	1	1	1	有効	—	8ビット書き込み、偶数アドレス
0/1	1/0	1	1	0	0	有効	有効	16ビット読み出し
0	1	1	1	1	0	—	有効	8ビット読み出し、奇数アドレス
0	1	1	1	0	1	有効	—	8ビット読み出し、偶数アドレス

7. AC特性

7.3.4 ダイレクト68

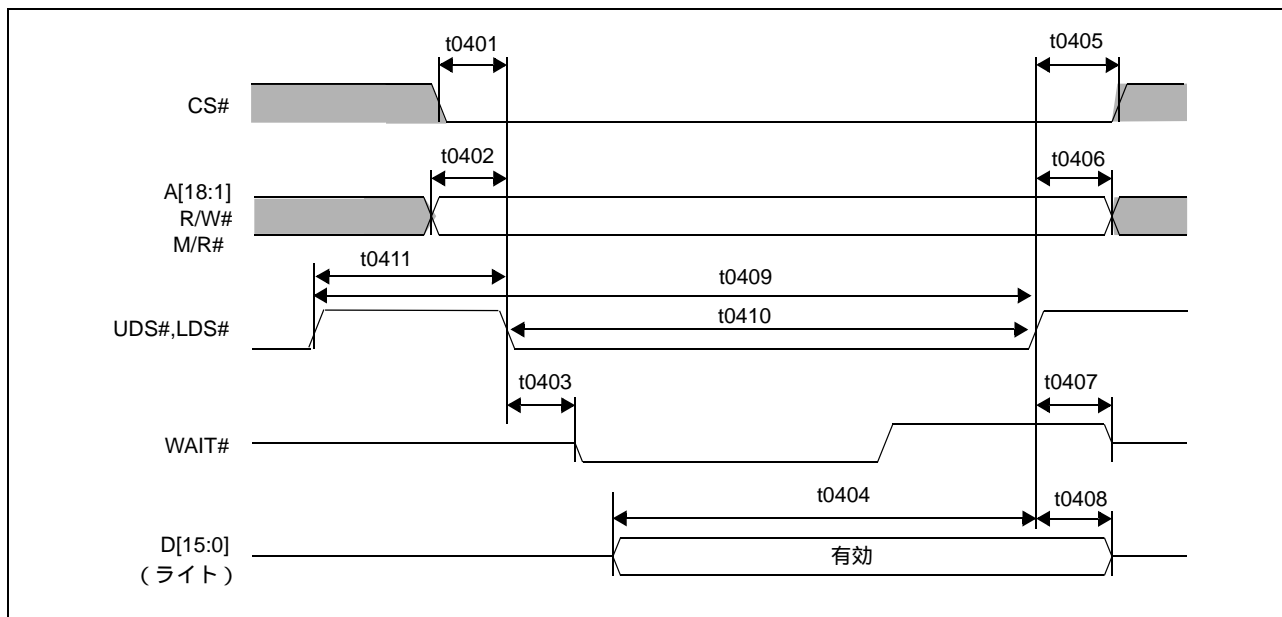


図7.12 ダイレクト68インタフェースの書き込みサイクルタイミング

表7.25 ダイレクト68インタフェースの書き込みサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t0401	CS#セットアップ時間	5	—	ns
t0402	A[18:1], R/W#, M/R#セットアップ時間	5	—	ns
t0403	UDS#, LDS#立ち下がりエッジからWAIT#がLowに変わるまで	—	12	ns
t0404	D[15:0]セットアップ時間 (UDS#, LDS#立ち上がりエッジまで)	15	—	ns
t0405	CS#ホールド時間 (UDS#, LDS#立ち上がりエッジから)	4	—	ns
t0406	A[18:1], R/W#, M/R#ホールド時間 (UDS#, LDS#立ち上がりエッジから)	4	—	ns
t0407	UDS#, LDS#立ち上がりエッジからWAIT#がハイインピーダンスに変わるまで	—	7	ns
t0408	D[15:0]ホールド時間 (UDS#, LDS#立ち上がりエッジから)	0	—	ns
t0409	UDS#, LDS#サイクル時間	3	—	Ts (注1)
t0410	UDS#, LDS#パルスアクティブ時間	2	—	Ts
t0411	UDS#, LDS#パルス非アクティブ時間	1	—	Ts

注

1. Ts = システムクロック周期

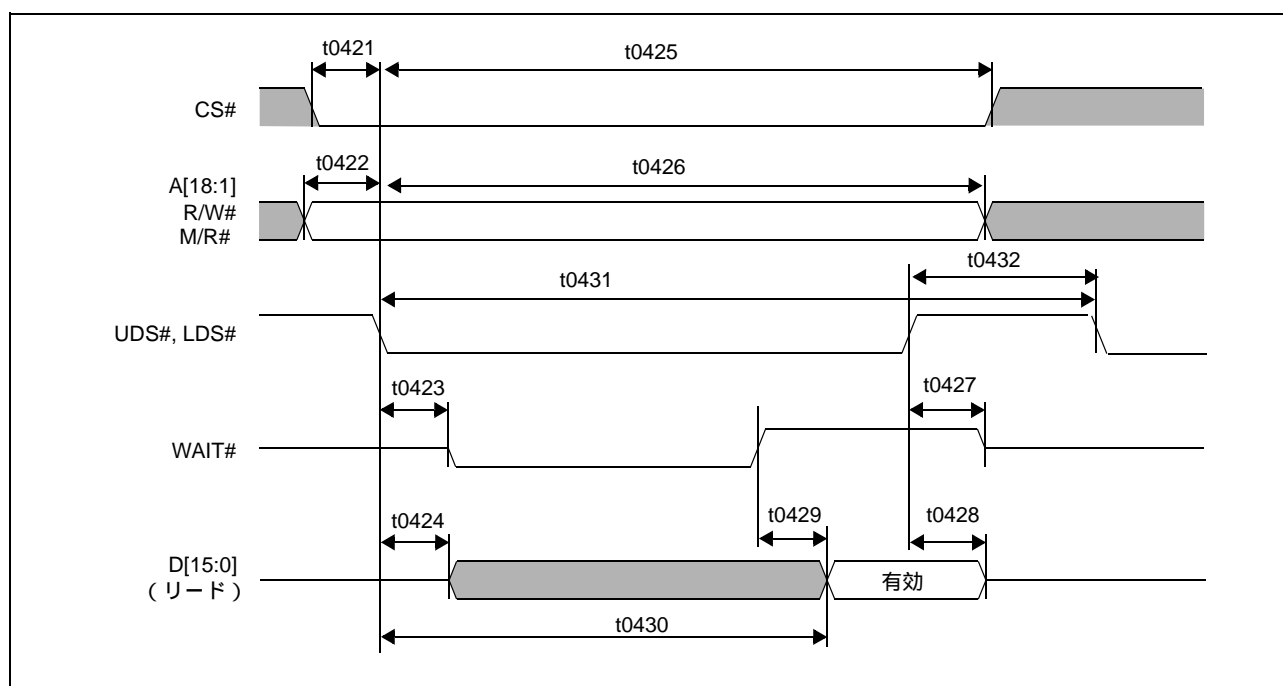


図7.13 ダイレクト68インタフェースの読み出しサイクルタイミング

表7.26 ダイレクト68インタフェースの読み出しサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t0421	CS#セットアップ時間	(注2)	—	ns
t0422	A[18:1], R/W#, M/R#セットアップ時間	(注2)	—	ns
t0423	UDS#, LDS#立ち下がりエッジからWAIT#がLowに変わるまで	—	(注2)	ns
t0424	UDS#, LDS#立ち下がりエッジからD[15:0]の駆動まで	4	—	ns
t0425	CS#ホールド時間 (UDS#, LDS#立ち下がりエッジから)	20	—	ns
t0426	A[18:1], R/W#, M/R#ホールド時間 (UDS#, LDS#立ち下がりエッジから)	20	—	ns
t0427	UDS#, LDS#立ち上がりエッジからWAIT#がハイインピーダンスに変わるまで	—	8	ns
t0428	D[15:0]ホールド時間 (UDS#, LDS#立ち上がりエッジから)	2	8	ns
t0429	WAIT#がアサートされる場合、WAIT#立ち上がりエッジから有効データまで	—	10	ns
t0430	WAIT#がアサートされない場合、UDS#, LDS#立ち下がりエッジから有効データまで	—	(注2)	ns
t0431	UDS#, LDS#サイクル時間	3	—	Ts (注1)
t0432	UDS#, LDS#パルス非アクティブ時間	8	—	ns

注

1. Ts = システムクロック周期
2. REG[0006h]ビット9、
このビット = 0のとき、t0421min/t0422min = 5ns、t0423max = 18ns、t0430max = 28ns。
このビット = 1のとき、t0421min/t0422min = 0ns、t0423max = 15ns、t0430max = 25ns。

7. AC特性

7.3.5 インダイレクト80タイプ1

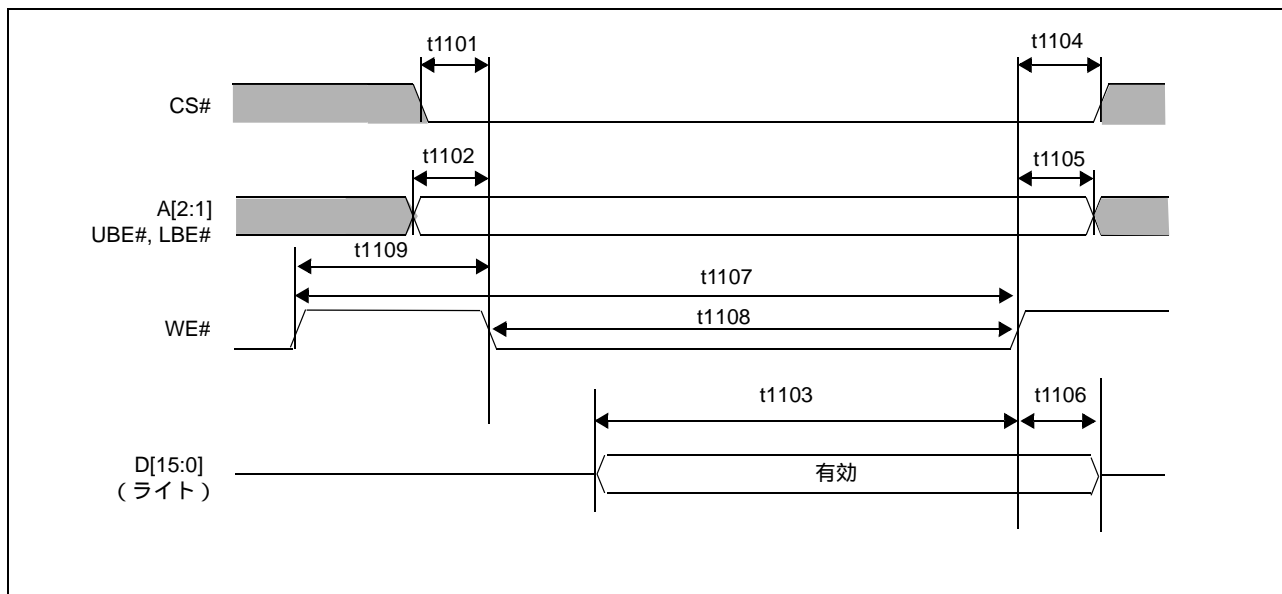


図7.14 インダイレクト80タイプ1インタフェースの書き込みサイクルタイミング

注

インダイレクト80タイプ1インタフェースは、16ビットアクセスのみをサポートします。

表7.27 インダイレクト80タイプ1インタフェースの書き込みサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t1101	CS#セットアップ時間	5	—	ns
t1102	A[2:1], UBE#, LBE#セットアップ時間	5	—	ns
t1103	D[15:0]セットアップ時間 (WE#立ち上がりエッジまで)	15	—	ns
t1104	CS#ホールド時間 (WE#立ち上がりエッジから)	4	—	ns
t1105	A[2:1], UBE#, LBE#ホールド時間 (WE#立ち上がりエッジから)	4	—	ns
t1106	D[15:0]ホールド時間 (WE#立ち上がりエッジから)	0	—	ns
t1107	WE#サイクル時間	6	—	Ts (注1)
t1108	WE#パルスアクティブ時間	4	—	Ts
t1109	WE#パルス非アクティブ時間	2	—	Ts

注

1. Ts = システムクロック周期

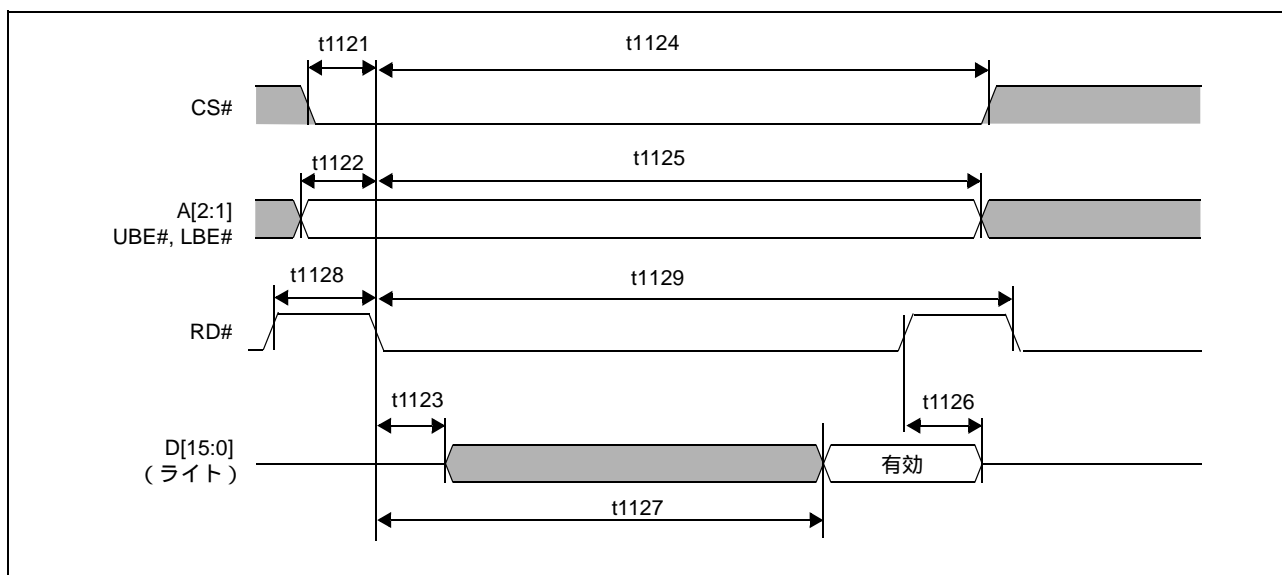


図7.15 インダイレクト80タイプ1インタフェースの読み出しサイクルタイミング

表7.28 インダイレクト80タイプ1インタフェースの読み出しサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t1121	CS#セットアップ時間	(注2)	—	ns
t1122	A[2:1], UBE#, LBE#セットアップ時間	(注2)	—	ns
t1123	RD#立ち下がりエッジからD[15:0]の駆動まで	4	—	ns
t1124	CS#ホールド時間 (RD#立ち下がりエッジから)	20	—	ns
t1125	A[2:1], UBE#, LBE#ホールド時間 (RD#立ち下がりエッジから)	20	—	ns
t1126	D[15:0]ホールド時間 (RD#立ち上がりエッジから)	2	8	ns
t1127	内部遅延サイクルがない場合、RD#立ち下がりエッジから有効データまで	—	4Ts+19	ns
t1128	RD#パルス非アクティブ時間	8	—	ns
t1129	RD#サイクル時間	6	—	Ts (注1)

注

1. Ts = システムクロック周期
2. REG[0006h]ビット9、
このビット = 0のとき、t1121min/t1122min = 5ns。
このビット = 1のとき、t1121min/t1122min = 0ns。

表7.29 インダイレクト80タイプ1インタフェースの真理値表

CS#	M/R#	A2	A1	WE#	RD#	UBE#	LBE#	備考
0	0	0	0	1	0	0	0	インデックスレジスタの読み出し
0	0	0	0	0	1	0	0	インデックスレジスタの書き込み
0	0	0	1	1	0	0	0	状態レジスタの読み出し
0	0	1	0	1	0	0	0	データレジスタの読み出し
0	0	1	0	0	1	0	0	データレジスタの書き込み

7. AC特性

7.3.6 インダイレクト80タイプ2

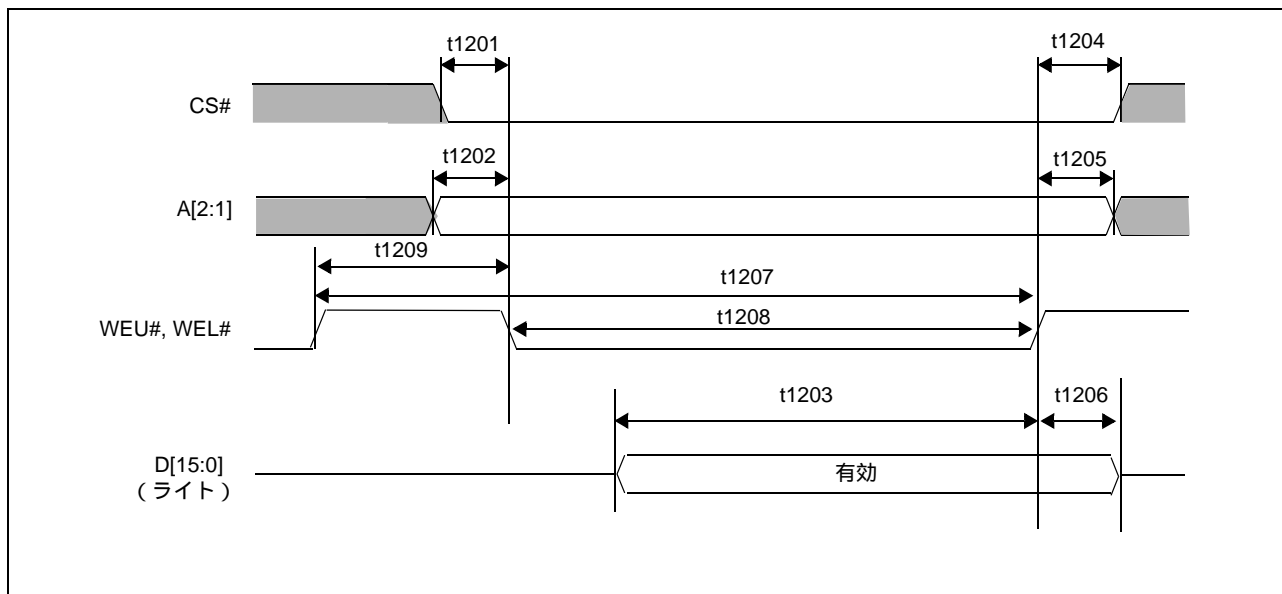


図7.16 インダイレクト80タイプ2インタフェースの書き込みサイクルタイミング

注

インダイレクト80タイプ2インタフェースは、16ビットアクセスのみをサポートします。

表7.30 インダイレクト80タイプ2インタフェースの書き込みサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t1201	CS#セットアップ時間	5	—	ns
t1202	A[2:1]セットアップ時間	5	—	ns
t1203	D[15:0]セットアップ時間 (WEU#, WEL#立ち上がりエッジまで)	15	—	ns
t1204	CS#ホールド時間 (WEU#, WEL#立ち上がりエッジから)	4	—	ns
t1205	A[2:1]ホールド時間 (WEU#, WEL#立ち上がりエッジから)	4	—	ns
t1206	D[15:0]ホールド時間 (WEU#, WEL#立ち上がりエッジから)	0	—	ns
t1207	WEU#, WEL#サイクル時間	6	—	Ts (注1)
t1208	WEU#, WEL#パルスアクティブ時間	4	—	Ts
t1209	WEU#, WEL#パルス非アクティブ時間	2	—	Ts

注

1. Ts = システムクロック周期

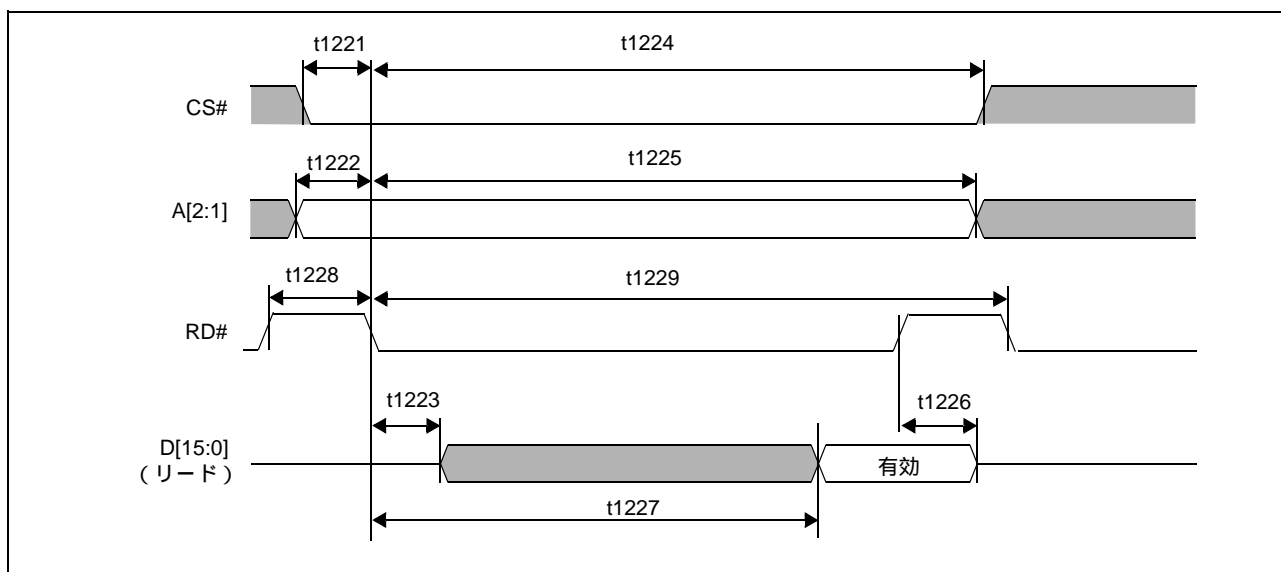


図7.17 インダイレクト80タイプ2インタフェースの読み出しサイクルタイミング

表7.31 インダイレクト80タイプ2インタフェースの読み出しサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t1221	CS#セットアップ時間	(注2)	—	ns
t1222	A[2:1]セットアップ時間	(注2)	—	ns
t1223	RD#立ち下がりエッジからD[15:0]の駆動まで	4	—	ns
t1224	CS#ホールド時間 (RD#立ち下がりエッジから)	20	—	ns
t1225	A[2:1]ホールド時間 (RD#立ち下がりエッジから)	20	—	ns
t1226	D[15:0]ホールド時間 (RD#立ち上がりエッジから)	2	8	ns
t1227	内部遅延サイクルがない場合、RD#立ち下がりエッジから有効データまで	—	4Ts+19	ns
t1228	RD#パルス非アクティブ時間	8	—	ns
t1229	RD#サイクル時間	6	—	Ts (注1)

注

1. Ts = システムクロック周期
2. REG[0006h]ビット9、
このビット = 0のとき、t1221min/t1222min = 5ns。
このビット = 1のとき、t1221min/t1222min = 0ns。

表7.32 インダイレクト80タイプ2インタフェースの真理値表

CS#	M/R#	A2	A1	WEU#	WEL#	RD#	備考
0	0	0	0	1	1	0	インデックスレジスタの読み出し
0	0	0	0	0	0	1	インデックスレジスタの書き込み
0	0	0	1	1	1	0	状態レジスタの読み出し
0	0	1	0	1	1	0	データレジスタの読み出し
0	0	1	0	0	0	1	データレジスタの書き込み

7. AC特性

7.3.7 インダイレクト80タイプ3

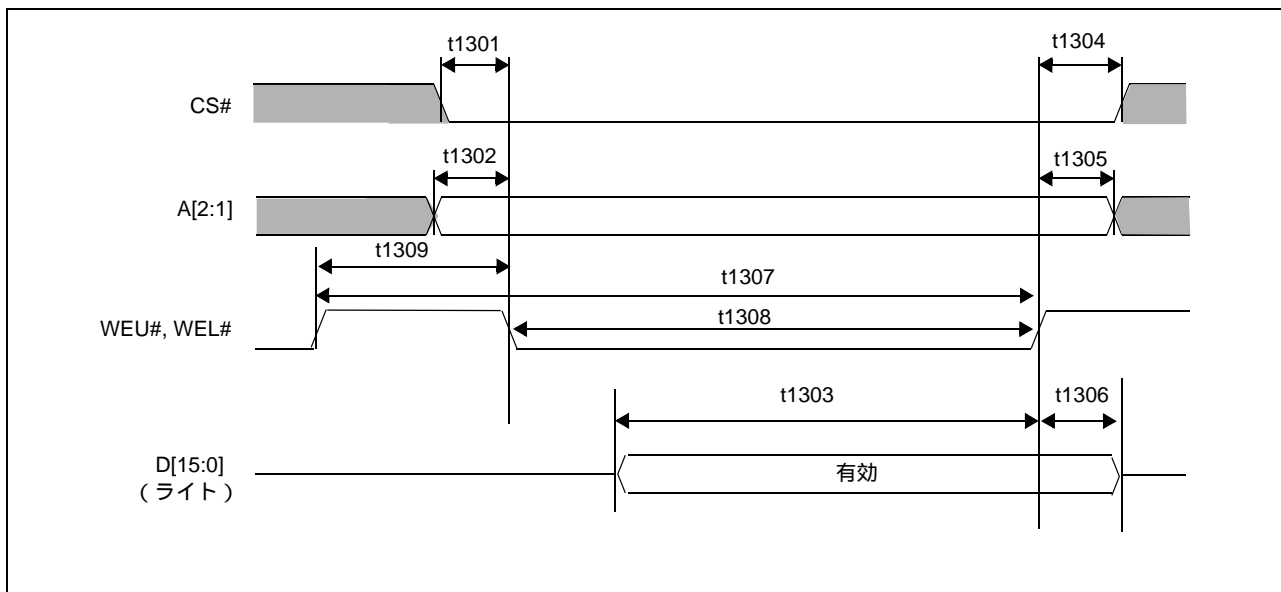


図7.18 インダイレクト80タイプ3インタフェースの書き込みサイクルタイミング

注

インダイレクト80タイプ3インタフェースは、16ビットアクセスのみをサポートします。

表7.33 インダイレクト80タイプ3インタフェースの書き込みサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t1301	CS#セットアップ時間	5	—	ns
t1302	A[2:1]セットアップ時間	5	—	ns
t1303	D[15:0]セットアップ時間 (WEU#, WEL#立ち上がりエッジまで)	15	—	ns
t1304	CS#ホールド時間 (WEU#, WEL#立ち上がりエッジから)	4	—	ns
t1305	A[2:1]ホールド時間 (WEU#, WEL#立ち上がりエッジから)	4	—	ns
t1306	D[15:0]ホールド時間 (WEU#, WEL#立ち上がりエッジから)	0	—	ns
t1307	WEU#, WEL#サイクル時間	6	—	Ts (注1)
t1308	WEU#, WEL#パルスアクティブ時間	4	—	Ts
t1309	WEU#, WEL#パルス非アクティブ時間	2	—	Ts

注

1. Ts = システムクロック周期

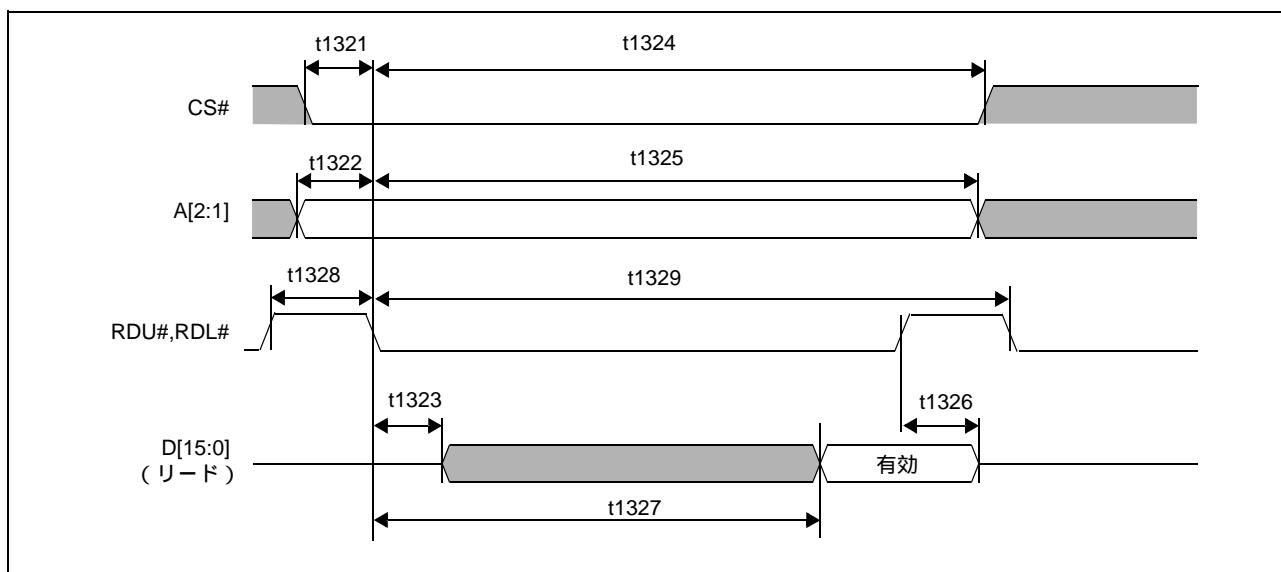


図7.19 インダイレクト80タイプ3インタフェースの読み出しサイクルタイミング

表7.34 インダイレクト80タイプ3インタフェースの読み出しサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t1321	CS#セットアップ時間	(注2)	—	ns
t1322	A[2:1]セットアップ時間	(注2)	—	ns
t1323	RDU#, RDL#立ち下がりエッジからD[15:0]の駆動まで	4	—	ns
t1324	CS#ホールド時間 (RDU#, RDL#立ち下がりエッジから)	20	—	ns
t1325	A[2:1]ホールド時間 (RDU#, RDL#立ち下がりエッジから)	20	—	ns
t1326	D[15:0]ホールド時間 (RDU#, RDL#立ち上がりエッジから)	2	8	ns
t1327	内部遅延サイクルがない場合、RDU#, RDL#立ち下がりエッジから有効データまで	—	4Ts+19	ns
t1328	RDU#, RDL#パルス非アクティブ時間	8	—	ns
t1329	RDU#, RDL#サイクル時間	6	—	Ts (注1)

注

1. Ts = システムクロック周期
2. REG[0006h]ビット9、
このビット = 0のとき、t1321min/t1322min = 5ns。
このビット = 1のとき、t1321min/t1322min = 0ns。

表7.35 インダイレクト80タイプ3インタフェースの真理値表

CS#	M/R#	A2	A1	WEU#	WEL#	RDU#	RDL#	備考
0	0	0	0	1	1	0	0	インデックスレジスタの読み出し
0	0	0	0	0	0	1	1	インデックスレジスタの書き込み
0	0	0	1	1	1	0	0	状態レジスタの読み出し
0	0	1	0	1	1	0	0	データレジスタの読み出し
0	0	1	0	0	0	1	1	データレジスタの書き込み

7. AC特性

7.3.8 インダイレクト68

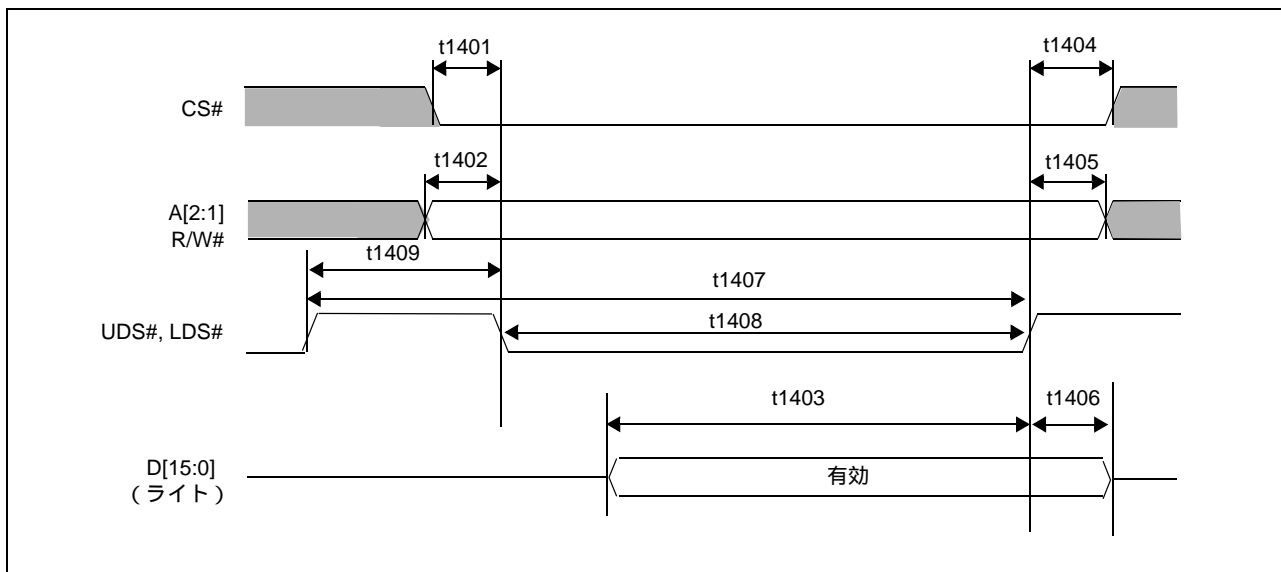


図7.20 インダイレクト68インタフェースの書き込みサイクルタイミング

注

インダイレクト68インタフェースは、16ビットアクセスのみをサポートします。

表7.36 インダイレクト68インタフェースの書き込みサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t1401	CS#セットアップ時間	5	—	ns
t1402	A[2:1], R/W#セットアップ時間	5	—	ns
t1403	D[15:0]セットアップ時間 (UDS#, LDS#立ち上がりエッジまで)	15	—	ns
t1404	CS#ホールド時間 (UDS#, LDS#立ち上がりエッジから)	4	—	ns
t1405	A[2:1], R/W#ホールド時間 (UDS#, LDS#立ち上がりエッジから)	4	—	ns
t1406	D[15:0]ホールド時間 (UDS#, LDS#立ち上がりエッジから)	0	—	ns
t1407	UDS#, LDS#サイクル時間	6	—	Ts (注1)
t1408	UDS#, LDS#パルスアクティブ時間	4	—	Ts
t1409	UDS#, LDS#パルス非アクティブ時間	2	—	Ts

注

1. Ts = システムクロック周期

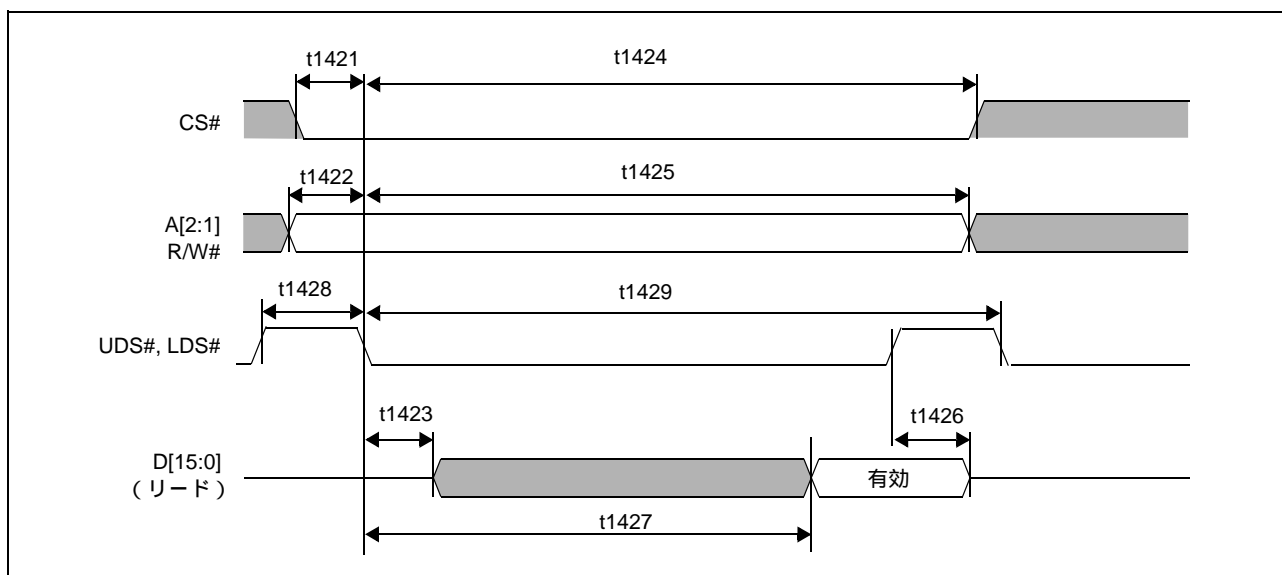


図7.21 インダイレクト68インタフェースの読み出しサイクルタイミング

表7.37 インダイレクト68インタフェースの読み出しサイクルタイミング

記号	パラメータ	3.0V		単位
		Min	Max	
t1421	CS#セットアップ時間	(注2)	—	ns
t1422	A[2:1], R/W#セットアップ時間	(注2)	—	ns
t1423	UDS#, LDS#立ち下がりエッジからD[15:0]の駆動まで	4	—	ns
t1424	CS#ホールド時間 (UDS#, LDS#立ち下がりエッジから)	20	—	ns
t1425	A[2:1], R/W#ホールド時間 (UDS#, LDS#立ち下がりエッジから)	20	—	ns
t1426	D[15:0]ホールド時間 (UDS#, LDS#立ち上がりエッジから)	2	8	ns
t1427	内部遅延サイクルがない場合、UDS#, LDS#立ち下がりエッジから有効データまで	—	4Ts+17	ns
t1428	UDS#, LDS#パルス非アクティブ時間	8	—	ns
t1429	UDS#, LDS#サイクル時間	6	—	Ts (注1)

注

1. Ts = システムクロック周期
2. REG[0006h]ビット9、
このビット = 0のとき、t1421min/t1422min = 5ns。
このビット = 1のとき、t1421min/t1422min = 0ns。

表7.38 インダイレクト68インタフェースの真理値表

CS#	M/R#	A2	A1	R/W#	UDS#	LDS#	備考
0	0	0	0	1	0	0	インデックスレジスタの読み出し
0	0	0	0	0	0	0	インデックスレジスタの書き込み
0	0	0	1	1	0	0	状態レジスタの読み出し
0	0	1	0	1	0	0	データレジスタの読み出し
0	0	1	0	0	0	0	データレジスタの書き込み

7. AC特性

7.3.9 LCDバイパスモード

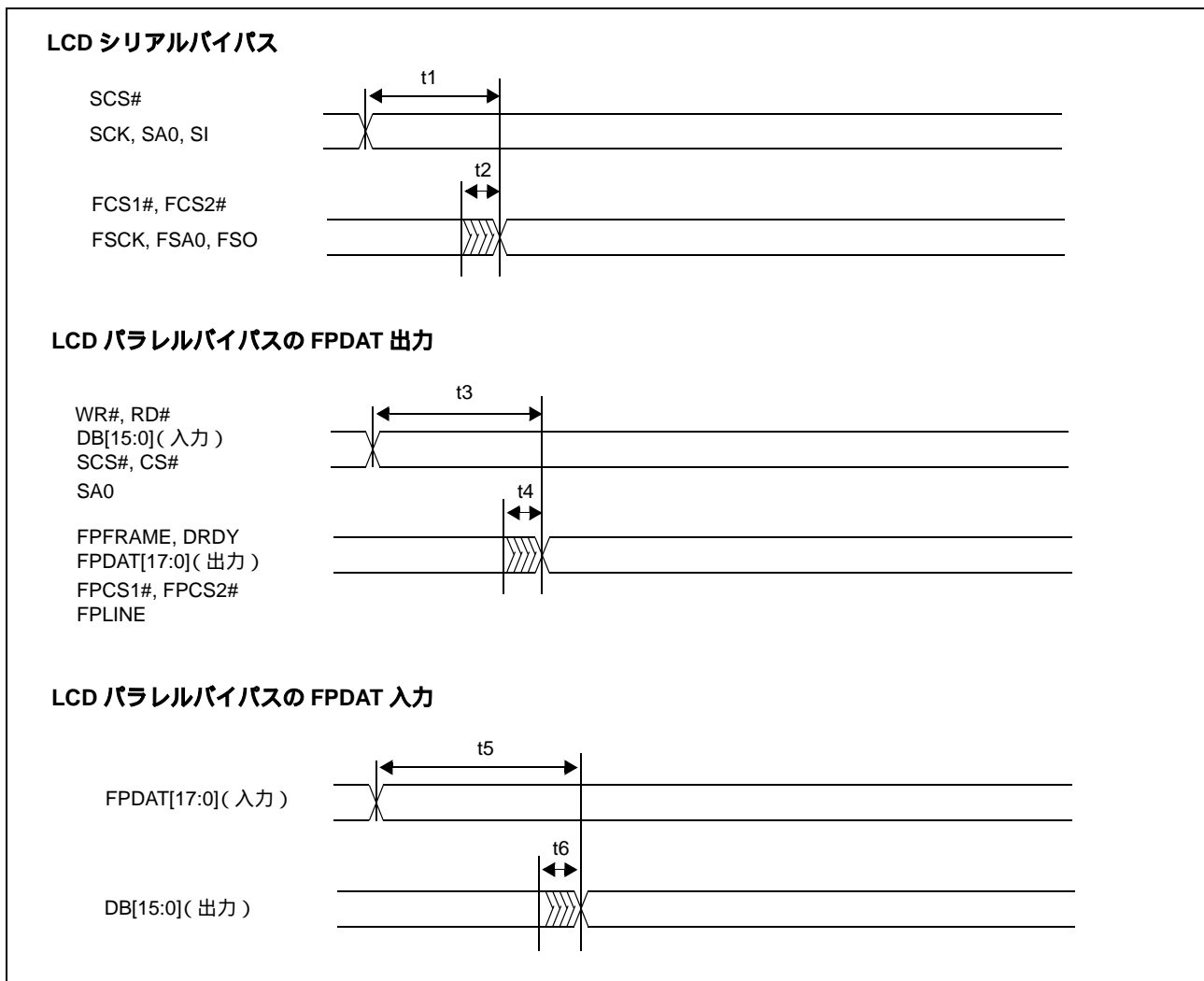


図7.22 LCDバイパスモードタイミング

表7.39 LCDバイパスモードタイミング

記号	パラメータ	Min	Max	単位
t1	LCDシリアルバイパスにおける遅延時間	3	15	ns
t2	LCDシリアルバイパスにおける安定時間	—	4	ns
t3	LCDパラレル出力バイパスにおける遅延時間	3	20	ns
t4	LCDパラレル出力バイパスにおける安定時間	—	5	ns
t5	LCDパラレル入力バイパスにおける遅延時間	3	20	ns
t6	LCDパラレル入力バイパスにおける安定時間	—	4	ns

表7.40 LCDバイパスモードの真理値表

CNF4, 2	WR#	RD#	BE1#	BE0#	書き込み	読み出し	備考
10	0	—	—	—	有効	—	80タイプ1書き込み
10	—	0	—	—	—	有効	80タイプ1読み出し
00	—	—	0	0	有効	—	80タイプ2書き込み
00	—	0	—	—	—	有効	80タイプ2読み出し
01	0	—	—	0	有効	—	80タイプ3書き込み
01	—	0	0	—	—	有効	80タイプ3読み出し
11	0	—	0	0	有効	—	68書き込み
11	1	—	0	0	—	有効	68読み出し

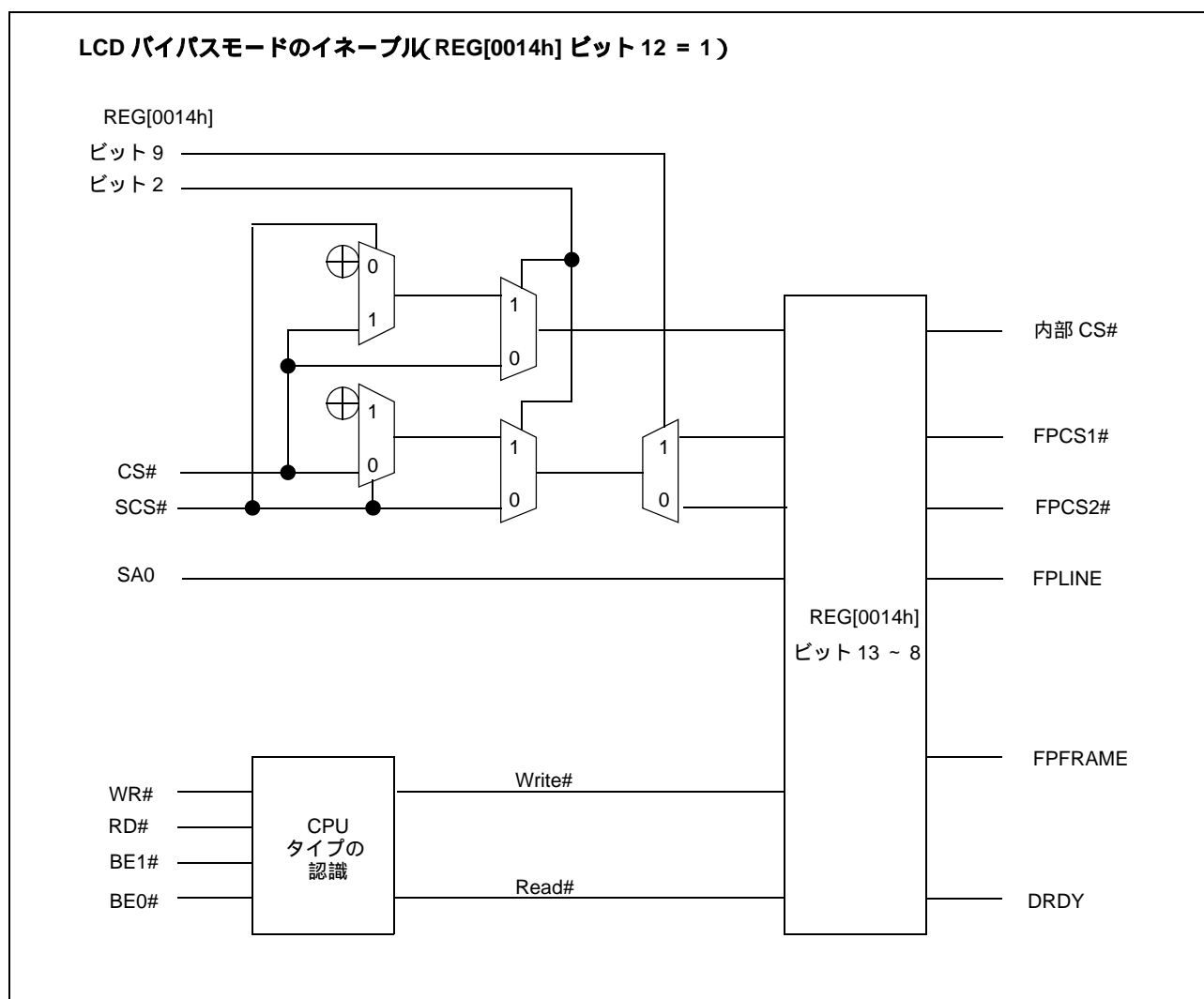


図7.23 LCDバイパスモードの論理図

7. AC特性

7.4 パネルインタフェースタイミング

7.4.1 汎用TFTパネルタイミング

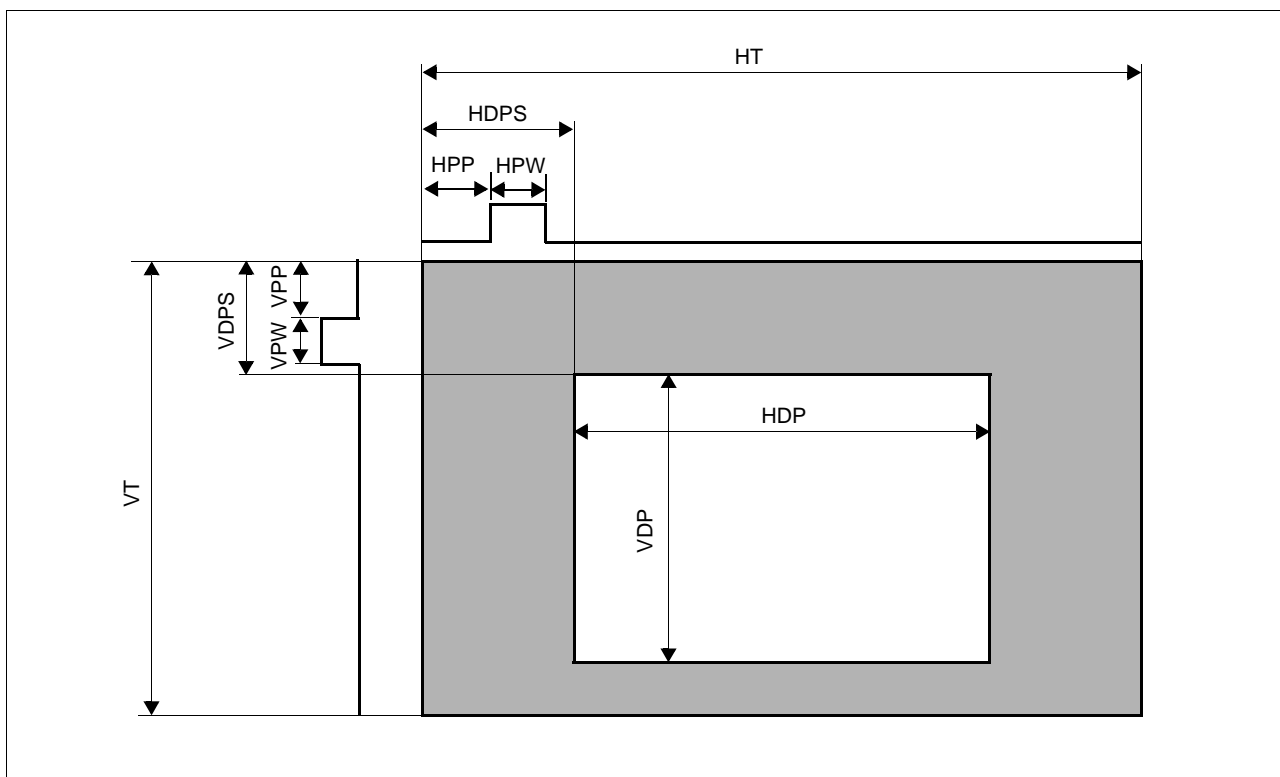


図7.24 汎用TFTパネルタイミング

表7.41 汎用TFTパネルタイミング

記号	説明 (注1)	計算	単位
HT	LCD1全水平期間	$((\text{REG}[0040\text{h}] \text{ビット}6 \sim 0) + 1) \times 8$	Ts
HDP	LCD1水平表示期間	$((\text{REG}[0042\text{h}] \text{ビット}8 \sim 0) + 1) \times 2$	
HDPS	LCD1水平表示期間開始位置	$((\text{REG}[0044\text{h}] \text{ビット}9 \sim 0) + 9)$	
HPW	LCD1 FPLINEパルス幅	$(\text{REG}[0046\text{h}] \text{ビット}6 \sim 0) + 1$	
HPP	LCD1 FPLINEパルス開始位置 (注2)	$(\text{REG}[0048\text{h}] \text{ビット}9 \sim 0) + 1$	
VT	LCD1全垂直期間	$(\text{REG}[004A\text{h}] \text{ビット}9 \sim 0) + 1$	ライン
VDP	LCD1垂直表示期間	$(\text{REG}[004C\text{h}] \text{ビット}9 \sim 0) + 1$	
VDPS	LCD1垂直表示期間開始位置	$\text{REG}[004E\text{h}] \text{ビット}9 \sim 0$	
VPW	LCD1 FPFRAMEパルス幅	$(\text{REG}[50\text{h}] \text{ビット}2 \sim 0) + 1$	
VPP	LCD1 FPFRAMEパルス開始位置 (注2)	$\text{REG}[0052\text{h}] \text{ビット}9 \sim 0$	

注

- すべてのパネルタイミングに、以下の式が成り立たなければなりません。
 $\text{HDPS} + \text{HDP} < \text{HT}$
 $\text{VDPS} + \text{VDP} < \text{VT}$
- 汎用TFTパネルの場合、HPP値は1に、またVPP値は0にそれぞれプログラムしてください。両値は必要に応じて拡張TFTの設定に使用されることがあります。

RGBタイプの汎用インタフェースパネルにおける水平タイミング

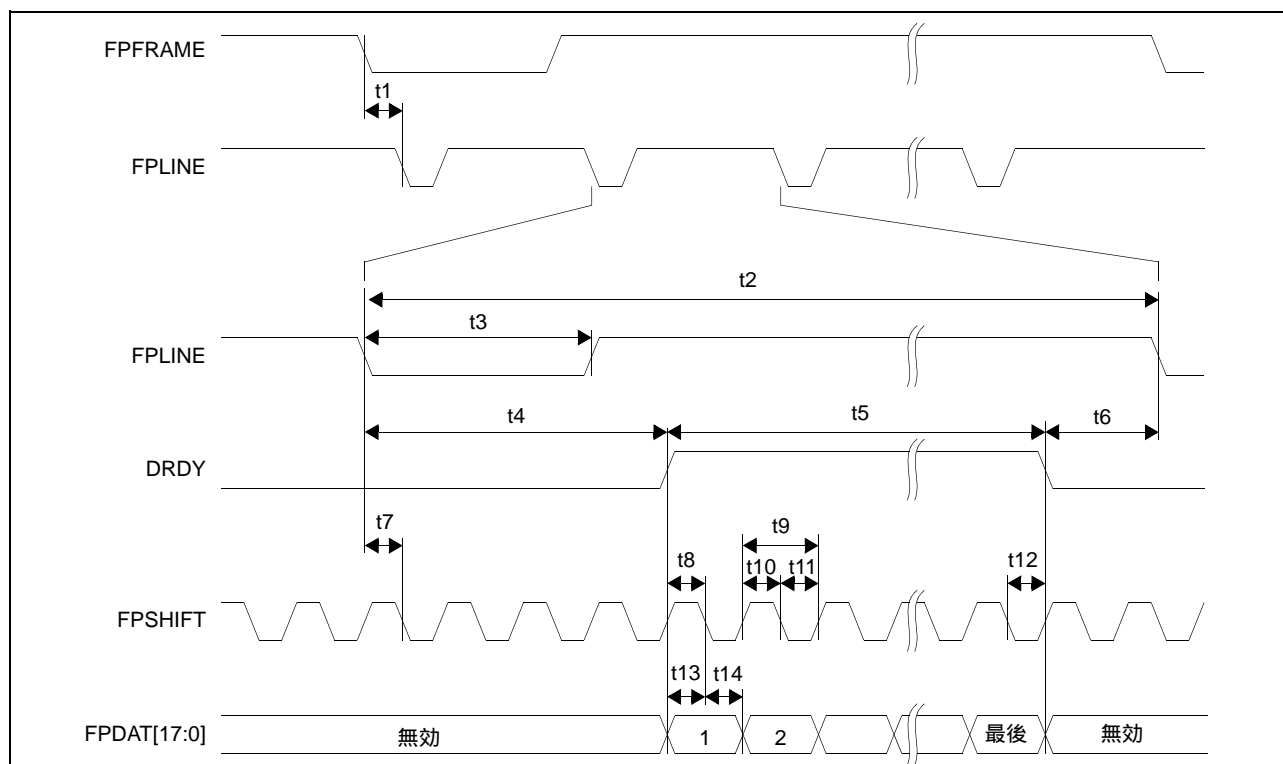


図7.25 RGBタイプの汎用インタフェースパネルにおける水平タイミング

表7.42 RGBタイプの汎用インタフェースパネルにおける水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAME立ち下がりエッジからFPLINEの立ち下がりエッジまで	—	HPP (注2)	—	Ts (注1)
t2	全水平期間	—	HT	—	Ts
t3	FPLINEパルス幅	—	HPW	—	Ts
t4	FPLINE立ち下がりエッジからDRDYアクティブまで	—	HDPS	—	Ts
t5	水平表示期間	—	HDP	—	Ts
t6	DRDY立ち下がりエッジからFPLINE立ち下がりエッジまで	—	(注3)	—	Ts
t7	FPLINEセットアップ時間 (FPSHIFT立ち下がりエッジまで)	—	0.5	—	Ts
t8	DRDYセットアップ時間 (FPSHIFT立ち下がりエッジまで)	—	0.5	—	Ts
t9	FPSHIFT周期	—	1	—	Ts
t10	FPSHIFT Highパルス幅	—	0.5	—	Ts
t11	FPSHIFT Lowパルス幅	—	0.5	—	Ts
t12	DRDYホールド時間 (FPSHIFT立ち下がりエッジから)	—	0.5	—	Ts
t13	データセットアップ時間 (FPSHIFT立ち下がりエッジまで)	—	0.5	—	Ts
t14	データホールド時間 (FPSHIFT立ち下がりエッジから)	—	0.5	—	Ts

注

1. Ts = ピクセルクロック周期
2. 汎用TFTパネルの場合、HPP値は1に、またVPP値は0にそれぞれプログラムしてください。両値は必要に応じて拡張TFTの設定に使用されることがあります。
3. t6 typ = t2-t4-t5

7. AC特性

注

上記の汎用TFTタイミングは以下を前提にしています。

FPPFRAMEパルス極性ビットはアクティブLow (REG[0050h]ビット7=0)。

FPLINEパルス極性ビットはアクティブLow (REG[0046h]ビット7=0)。

RGBタイプの汎用インタフェースパネルにおける垂直タイミング

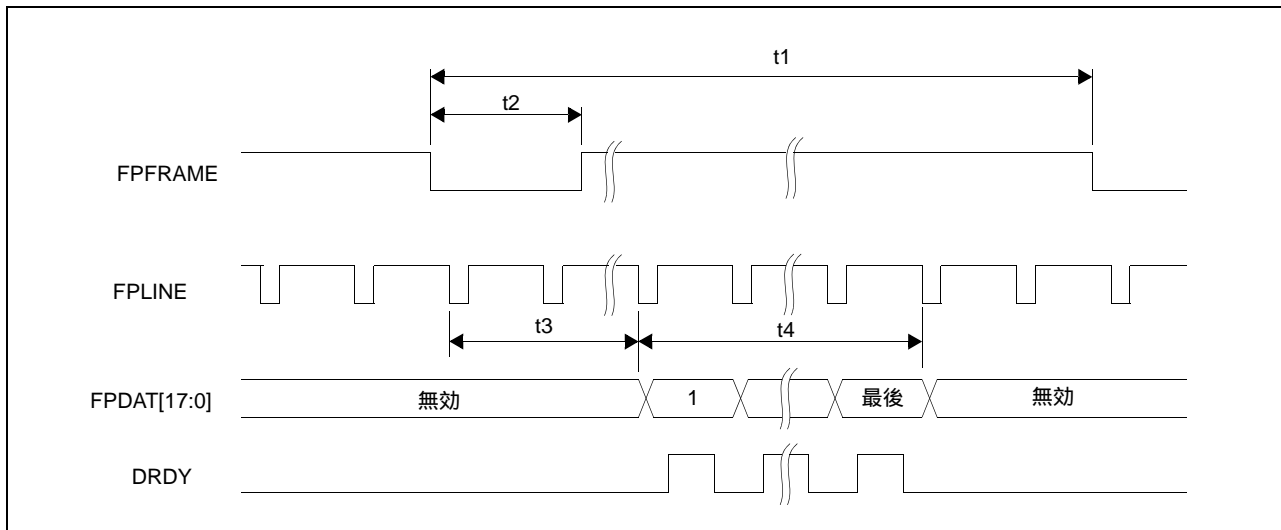


図7.26 RGBタイプの汎用インタフェースパネルにおける垂直タイミング

表7.43 RGBタイプの汎用インタフェースパネルにおける垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全垂直期間	—	VT	—	ライン
t2	FPPFRAMEパルス幅	—	VPW	—	ライン
t3	垂直表示期間開始位置 (注1)	—	(注2)	—	ライン
t4	垂直表示期間	—	VDP	—	ライン

注

- t3は、フレーム開始位置における最初のFPLINEパルスから、FPDATが有効になる前の最後のFPLINEパルスまでの時間です。
- t3 typ = VDPS - VPP (汎用TFTパネルの場合、VPP値は0にプログラムしてください。この値は必要に応じて拡張TFTの設定に使用されることがあります)

7.4.2 HR-TFTパネルタイミング

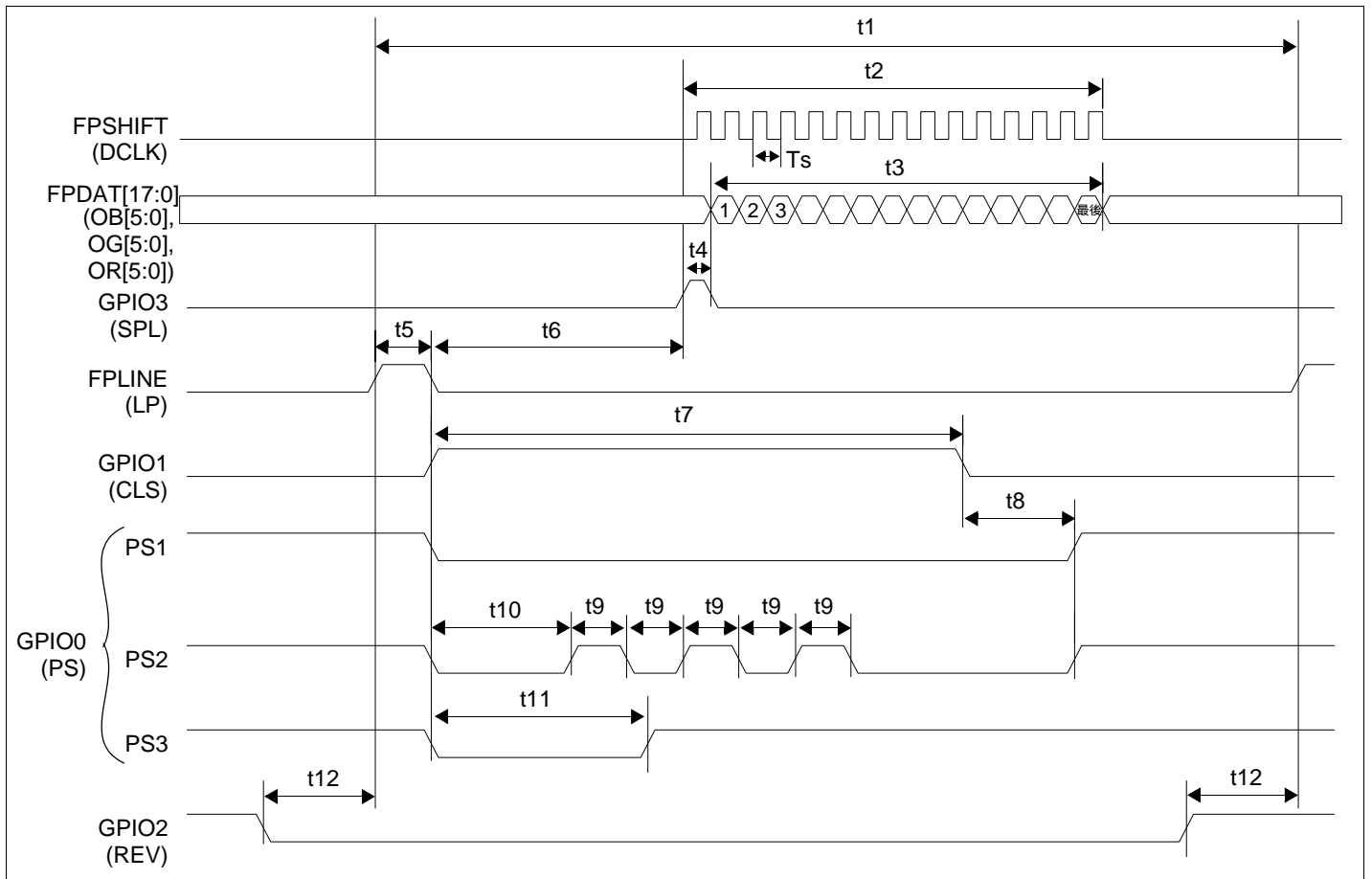


図7.27 HR-TFTパネル水平タイミング

7. AC特性

表7.44 HR-TFTパネル水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全水平期間	8	(注2)	1024	Ts (注1)
t2	FPSHIFTアクティブ	9	(注3)	1025	Ts
t3	水平表示期間	8	(注4)	1024	Ts
t4	GPIO3パルス幅	—	1	—	Ts
t5	FPLINEパルス幅	1	(注5)	128	Ts
t6	FPLINE立ち下がりエッジからGPIO3立ち上がりエッジまで	2	(注6)	—	Ts
t7	GPIO1パルス幅	1	(注7)	511	Ts
t8	GPIO1立ち下がりエッジからGPIO0 (PS1) 立ち上がりエッジまで	0	(注8)	63	Ts
t9	GPIO0 (PS2) トグル幅	1	(注9)	127	Ts
t10	GPIO0 (PS2) 最初の立ち下がりエッジからGPIO0 (PS2) 最初の立ち上がりエッジまで	1	(注10)	255	Ts
t11	GPIO0 (PS3) パルス幅	1	(注11)	127	Ts
t12	GPIO2 (REV) トグル位置からFPLINEの立ち上がりエッジまで	1	(注12)	31	Ts

注

1. Ts = ピクセルクロック周期
2. t1 typ = ((REG[0040h]ビット6~0) + 1) × 8
3. t2 typ = (((REG[0042h]ビット8~0) + 1) × 2) + 1
4. t3 typ = ((REG[0042h]ビット8~0) + 1) × 2
5. t5 typ = (REG[0046h]ビット6~0) + 1
6. t6 typ = REG[0044h]ビット9~0 - REG[0046h]ビット6~0 + 2
7. t7 typ = (REG[0092h]ビット8~0) > 0
8. t8 typ = (REG[0094h]ビット5~0)
9. t9 typ = (REG[0098h]ビット6~0) > 0
10. t10 typ = (REG[0096h]ビット7~0) > 0
11. t11 typ = (REG[009Ah]ビット6~0) > 0
12. t12 typ = REG[009Eh]ビット4~0

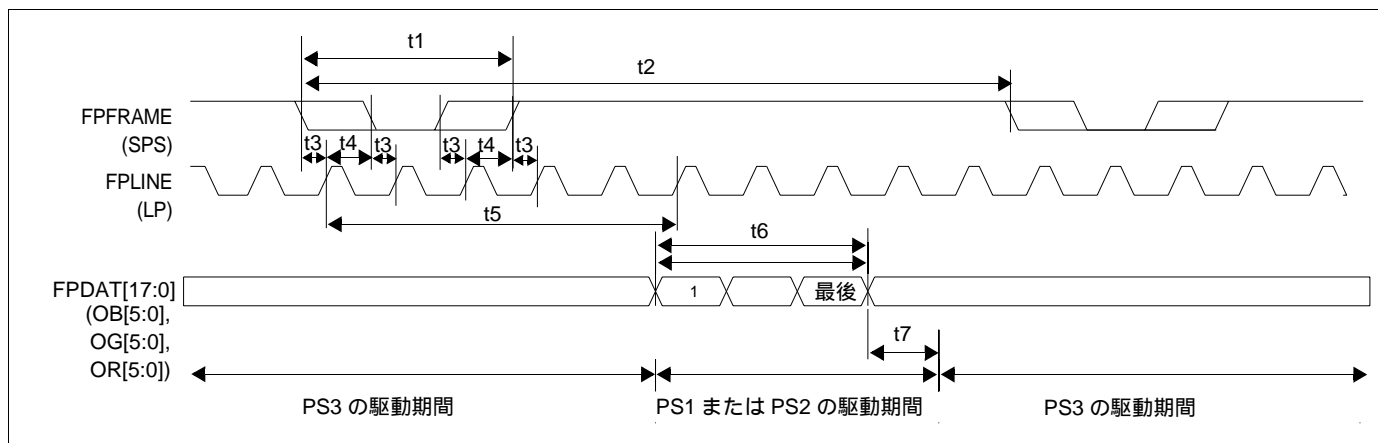


図7.28 HR-TFTパネル垂直タイミング

表7.45 HR-TFTパネル垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEパルス幅	1	(注2)	8	ライン
t2	全垂直期間	1	(注3)	1024	ライン
t3	FPFRAME立ち上がり(または立ち下がり)エッジからFPLINE立ち上がりエッジまで	—	1 (注4)	—	Ts (注1)
t4	FPLINE立ち上がりエッジからFPFRAME立ち上がり(または立ち下がり)エッジまで	0	(注4)	1023	Ts
t5	垂直表示期間開始位置	0	(注5)	1023	ライン
t6	垂直表示期間	1	(注6)	1024	ライン
t7	PS1/2における余剰駆動期間	0	(注7)	7	ライン

注

1. Ts = ピクセルクロック周期
2. t1 typ = (REG[0050h]ビット2~0) + 1
3. t2 typ = (REG[004Ah]ビット9~0) + 1
4. t3 typ FPFRAME (SPS) 立ち上がり(または立ち下がり)エッジがFPLINE (LP) 立ち上がりエッジの前に来るか後に来るかは、FPLINEパルス開始位置ビット (REG[0048h]ビット9~0) の値によって決まります。t3のケースを得るには、FPLINEパルス開始位置ビットを0に設定します。このとき、FPFRAME (SPS) 立ち上がり(または立ち下がり)エッジはFPLINE (LP) 立ち上がりエッジの1 Ts前に発生します。一方、t4のケースを得るには、FPLINEパルス開始位置ビットを1と「全水平期間 - 1」の間の値に設定します。このとき、t4 = (全水平期間 - 1) - (REG[0048h]ビット9~0)となります。
5. REG[0048h]ビット9~0 > 4のとき : t5 typ = (REG[004Eh]ビット9~0) - (REG[0052h]ビット9~0)
0 REG[0048h]ビット9~0 4のとき : t5 typ = (REG[004Eh]ビット9~0) - (REG[0052h]ビット9~0) + 1
6. t6 typ = (REG[004Ch]ビット9~0) + 1
7. t7 typ = (REG[00A0h]ビット2~0)

7. AC特性

7.4.3 カシオ製TFTパネルタイミング

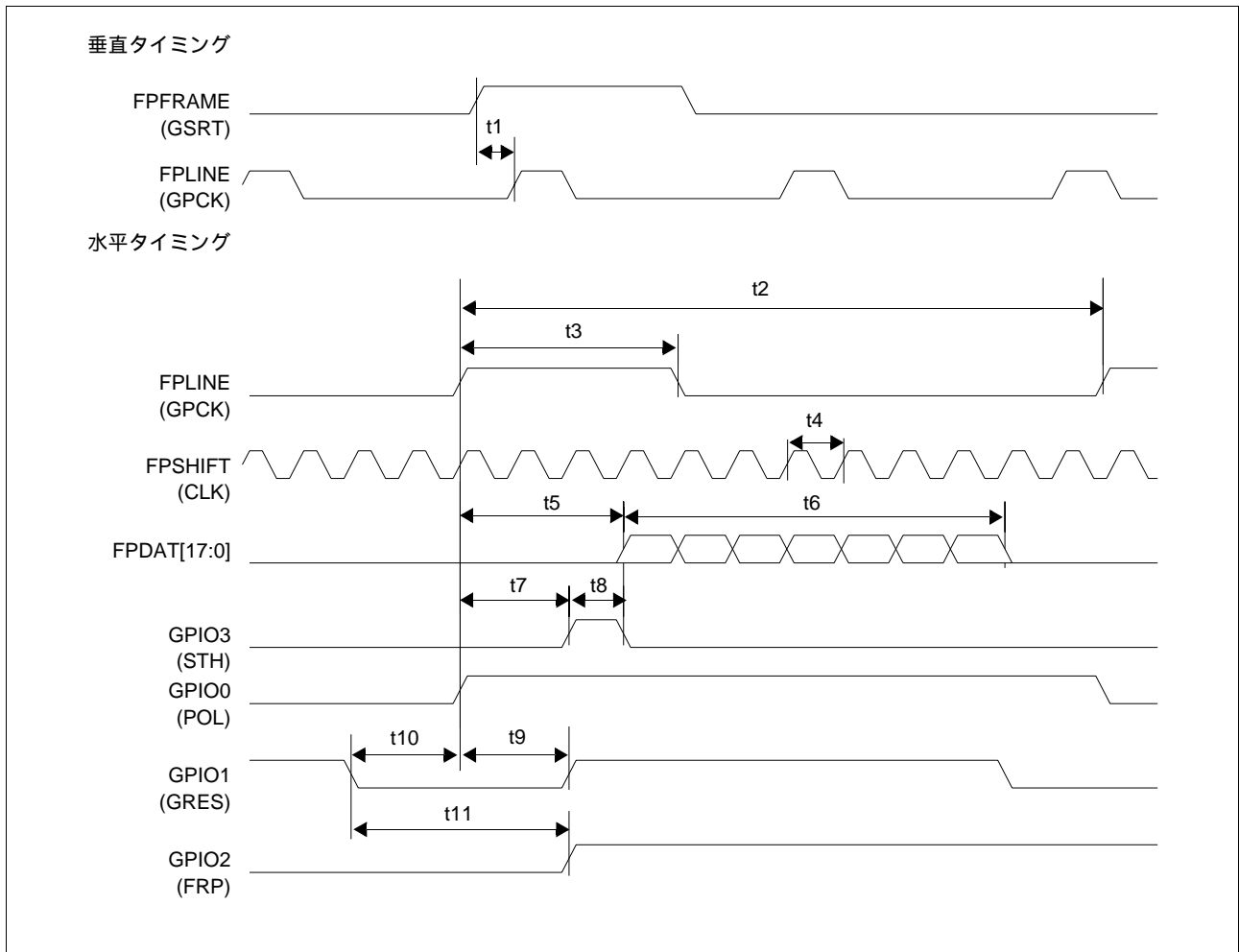


図7.29 カシオ製TFTパネル水平タイミング

表7.46 カシオ製TFTパネル水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	水平パルス開始位置	1	(注2)	1024	Ts
t2	全水平期間	8	(注3)	1024	Ts
t3	水平パルス幅	1	(注4)	128	Ts
t4	ピクセルクロック周期	—	(注5)	—	Ts (注1)
t5	水平表示期間開始位置	4	(注6)	1027	Ts
t6	水平表示期間	8	(注7)	1024	Ts
t7	FPLINE立ち上がりエッジからGPIO3立ち上がりエッジまで	0	(注8)	63	Ts
t8	GPIO3パルス幅	—	1	—	Ts
t9	FPLINE立ち上がりエッジからGPIO1立ち上がりエッジまで	0	(注9)	63	Ts
t10	GPIO1立ち下がりエッジからFPLINE立ち上がりエッジまで	1	(注10)	64	Ts
t11	GPIO1立ち下がりエッジからGPIO2トグル位置まで	0	(注11)	127	Ts

注

1. Ts = ピクセルクロック周期
2. t1 typ = ((REG[0048h]ビット9~0) + 1)
3. t2 typ = ((REG[0040h]ビット6~0) + 1) × 8
4. t3 typ = (REG[0046h]ビット6~0) + 1
5. t4 typ = depends on the pixel clock (PCLK)
6. t5 typ = (REG[0044h]ビット9~0) + 4
7. t6 typ = ((REG[0042h]ビット8~0) + 1) × 2
8. t7 typ = (REG[00A6h]ビット13~8)
9. t9 typ = (REG[00A4h]ビット5~0)
10. t10 typ = (REG[00A4h]ビット13~8) + 1
11. t11 typ = (REG[00A6h]ビット6~0)

注

カシオ製パネルについては下記の設定にしてください。

FPPFRAMEパルス極性ビットはアクティブHigh (REG[0050h]ビット8 = 1)

FPLINEパルス極性ビットはアクティブHigh (REG[0046h]ビット8 = 1)

7. AC特性

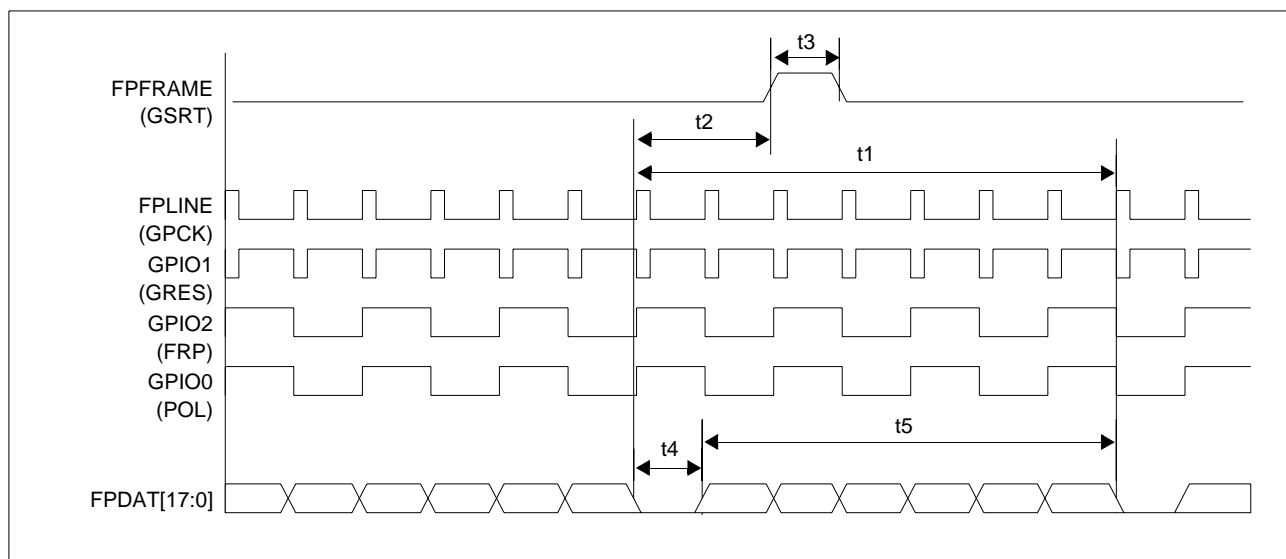


図7.30 カシオ製TFTパネル垂直タイミング

表7.47 カシオ製TFTパネル垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全垂直期間	1	(注1)	1024	ライン
t2	垂直パルス開始位置	0	(注2)	1023	ライン
t3	垂直パルス幅	1	(注3)	8	ライン
t4	垂直表示期間開始位置	1	(注4)	1024	ライン
t5	垂直表示期間	1	(注5)	1024	ライン

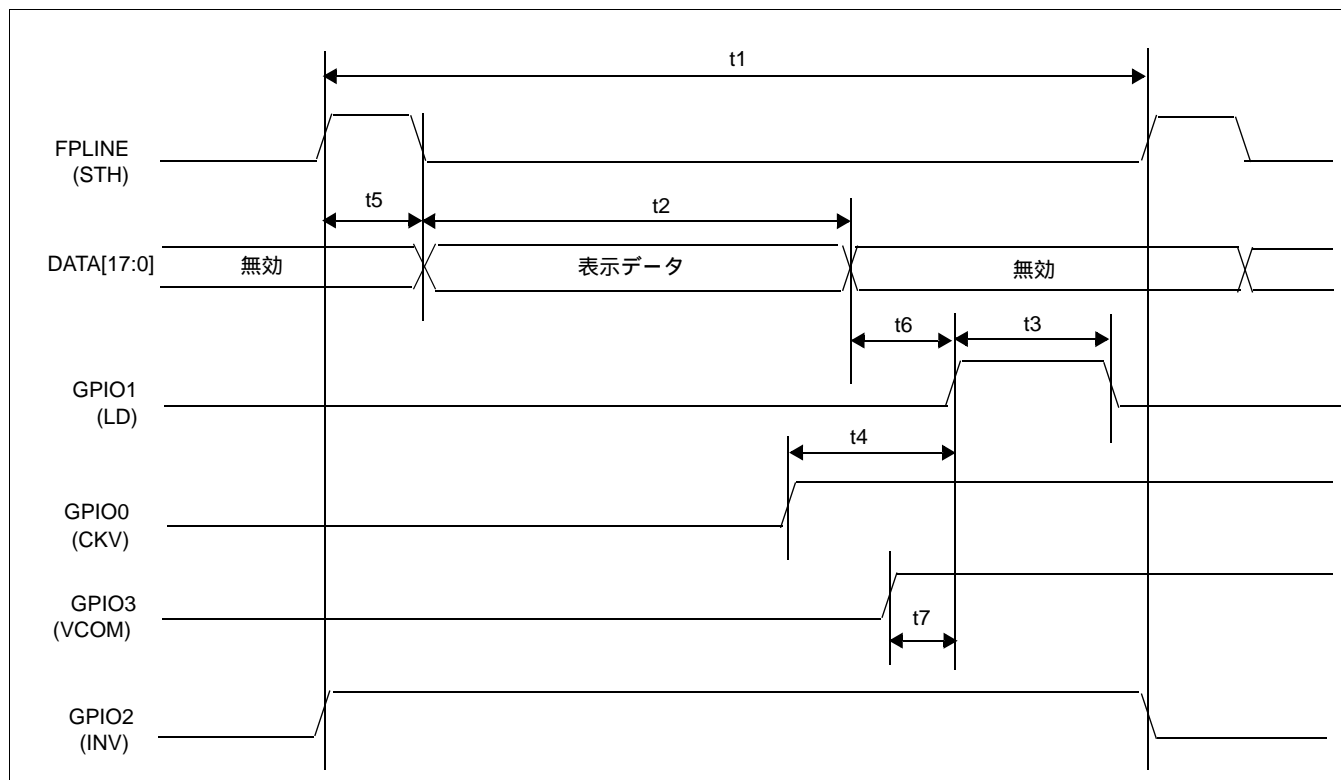
注

1. $t1 \text{ typ} = (\text{REG}[004\text{Ah}] \text{ビット}9 \sim 0) + 1$
2. $t2 \text{ typ} = (\text{REG}[0052\text{h}] \text{ビット}9 \sim 0) - 1$
3. $t3 \text{ typ} = (\text{REG}[0050\text{h}] \text{ビット}2 \sim 0) + 1$
4. $t4 \text{ typ} = (\text{REG}[004\text{Eh}] \text{ビット}9 \sim 0) + 1$
5. $t5 \text{ typ} = (\text{REG}[004\text{Ch}] \text{ビット}9 \sim 0) + 1$
6. $t2 < t4$

7.4.4 -TFTパネルタイミング

注

α -TFTパネルを使用するときは、REG[0044h]ビット9~0を0に設定してください。

図7.31 α -TFTパネル水平タイミング

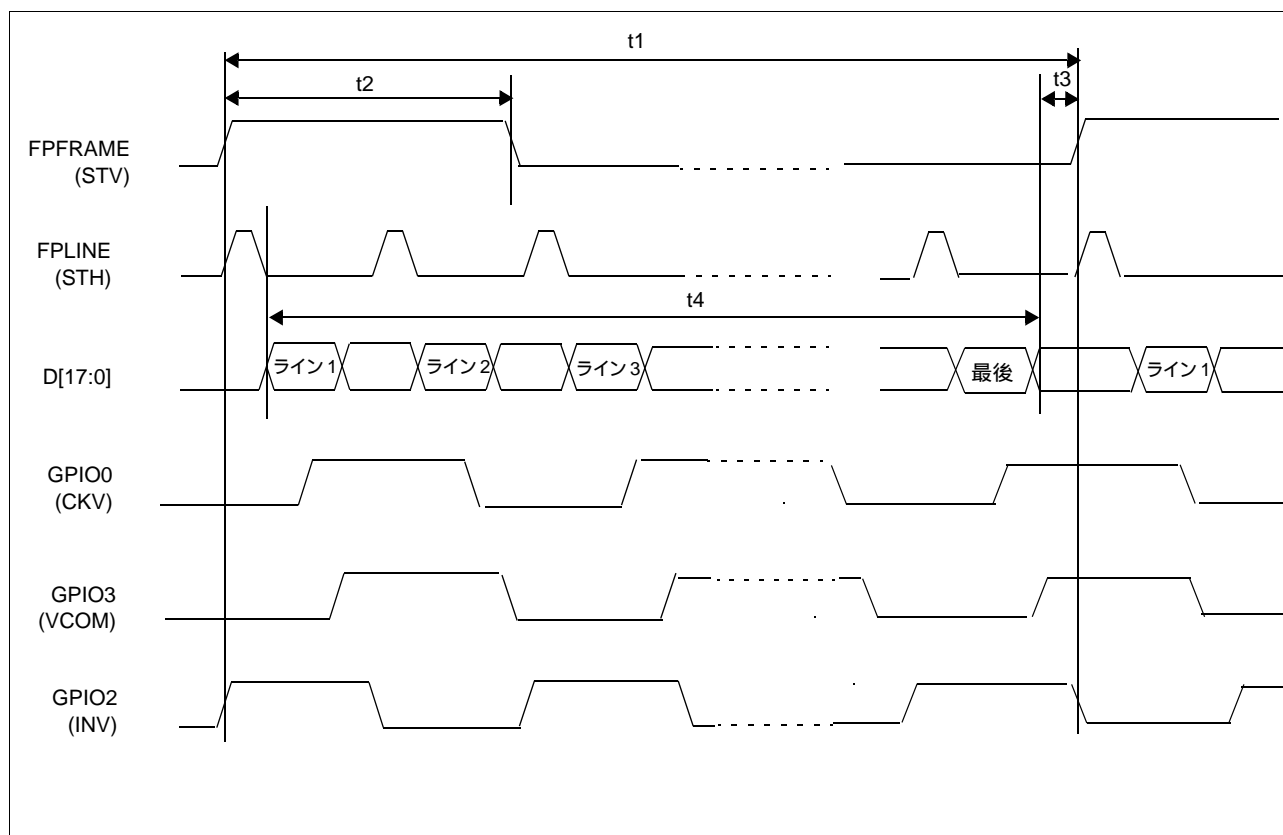
7. AC特性

表7.48 α -TFTパネル水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全水平期間	—	282 (注2)	1024	Ts (注1)
t2	水平表示期間	—	240 (注3)	1014	Ts
t3	GPIO1 (LD) パルス幅	1	4 (注4)	8	Ts
t4	GPIO0 (CKV) 立ち上がりエッジ位置	0	28 (注5)	127	Ts
t5	FPLINE (STH) パルス幅	1	1 (注6)	8	Ts
t6	GPIO1 (LD) 立ち上がりエッジ	0	1 (注7)	3	Ts
t7	GPIO3 (VCOM) 立ち上がりエッジ位置	0	11 (注8)	63	Ts

注

1. Ts = ピクセルクロック周期
2. t1 typ = REG[0080h]ビット9~0 + 1
3. t2 typ = (REG[0042h]ビット8~0 + 1) × 2
4. t3 typ = REG[0088h]ビット10~8 + 1
5. t4 typ = t2 + t5 + t6 - (REG[0084h]ビット9~0) + 8
6. t5 typ = REG[0088h]ビット2~0 + 1
7. t6 typ = (REG[0082h]ビット9~0) - t2 - t5 - 8
8. t7 typ = t2 + t5 + t6 - (REG[0086h]ビット9~0) + 8

図7.32 α -TFTパネル垂直タイミング表7.49 α -TFTパネル垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全垂直期間	—	327 (注1)	1024	ライン
t2	FPFRAME (STV) パルス幅	1	2 (注2)	—	ライン
t3	FPFRAME (STV) ホールド時間	1	7 (注3)	—	ライン
t4	垂直表示期間	—	320 (注4)	1022	ライン

注

1. t1 typ = REG[004Ah]ビット9~0+1
2. t2 typ = REG[0050h]ビット2~0+1
3. t3 typ = t1 - t4
4. t4 typ = REG[004Ch]ビット9~0+1

7. AC特性

7.4.5 TFTタイプ2パネルタイミング

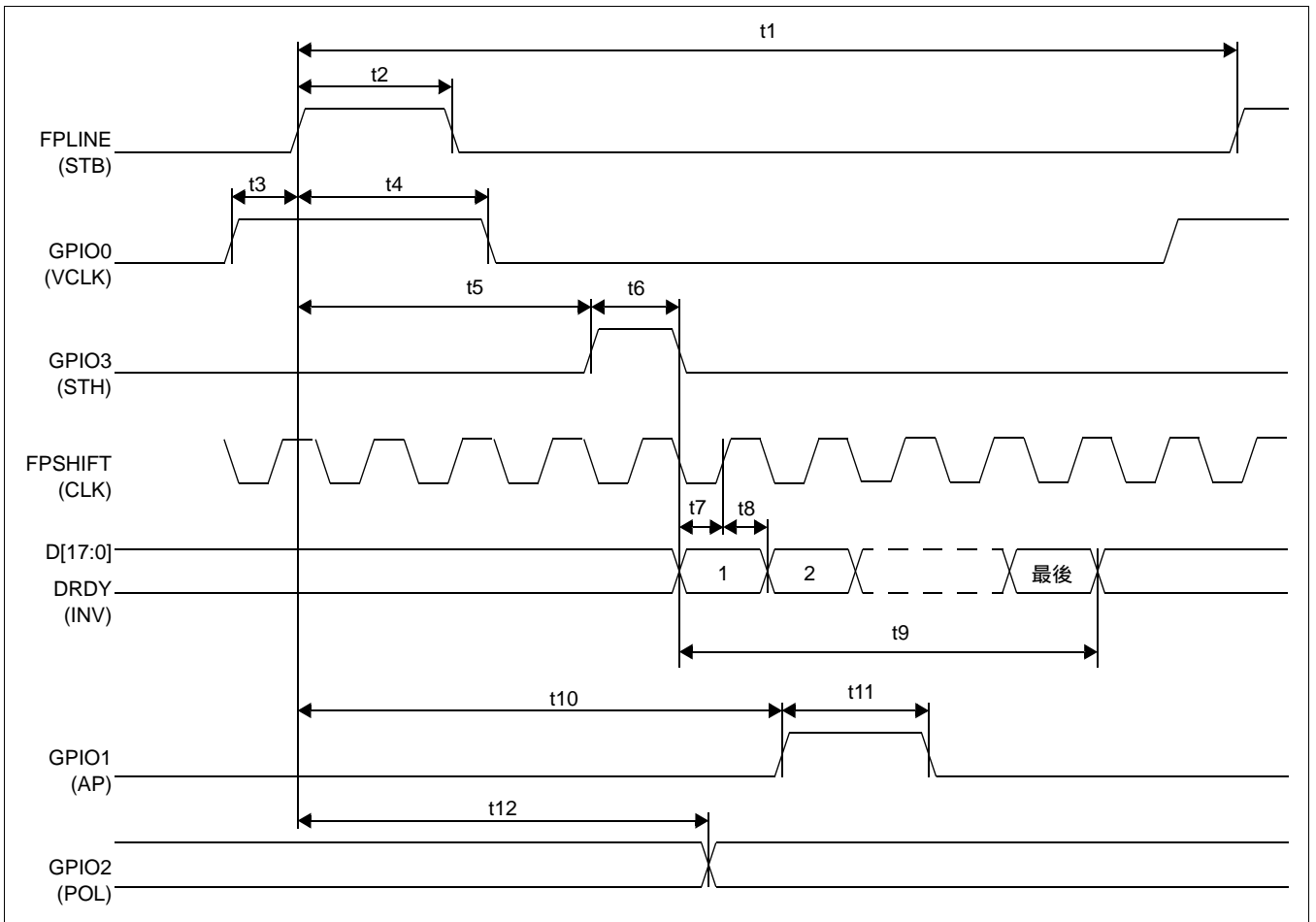


図7.33 TFTタイプ2パネル水平タイミング

表7.50 TFTタイプ2パネル水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全水平期間	16	(注2)	1024	Ts (注1)
t2	FPLINEパルス幅	—	5	—	Ts
t3	GPIO0立ち上がりエッジからFPLINE立ち上がりエッジまで	7	(注3)	16	Ts
t4	FPLINE立ち上がりエッジからGPIO0立ち下がりエッジまで	7	(注4)	16	Ts
t5	FPLINE立ち上がりエッジからGPIO3立ち上がりエッジまで	—	(注5)	—	ライン
t6	GPIO3パルス幅	—	1	—	Ts
t7	データセットアップ時間	0.5		—	Ts
t8	データホールド時間	0.5		—	Ts
t9	水平表示期間	8	(注6)	1024	Ts
t10	FPLINE立ち上がりエッジからGPIO1立ち上がりエッジまで	40	(注7)	90	Ts
t11	GPIO1パルス幅	20	(注8)	270	Ts
t12	FPLINE立ち上がりエッジからGPIO2トグル位置まで	—	10	—	Ts

注

1. Ts = ピクセルクロック周期
2. t1 typ = (REG[0040h]ビット6~0+1) × 8
3. t3 typ = REG[00A2h]ビット1~0を用いて7、9、12、16 Tsから選択されます。
4. t4 typ = REG[00A2h]ビット4~3を用いて7、9、12、16 Tsから選択されます。
5. t5 typ = REG[0044h]ビット9~0+3
6. t9 typ = (REG[0042h]ビット8~0+1) × 2
7. t10 typ = REG[00A2h]ビット9~8を用いて40、52、68、90 Tsから選択されます。
8. t11 typ = REG[00A2h]ビット13~11を用いて20、40、80、120、150、190、240、270 Tsから選択されます。

注

TFTタイプ2パネルについては下記の設定にしてください。

- FPFRAMEパルス極性ビットはアクティブHigh (REG[0050h]ビット7 = 1)
- FPLINEパルス極性ビットはアクティブHigh (REG[0046h]ビット7 = 1)
- FPFRAMEパルス開始位置ビットはゼロ (REG[0052h]ビット9~0 = 000h)

7. AC特性

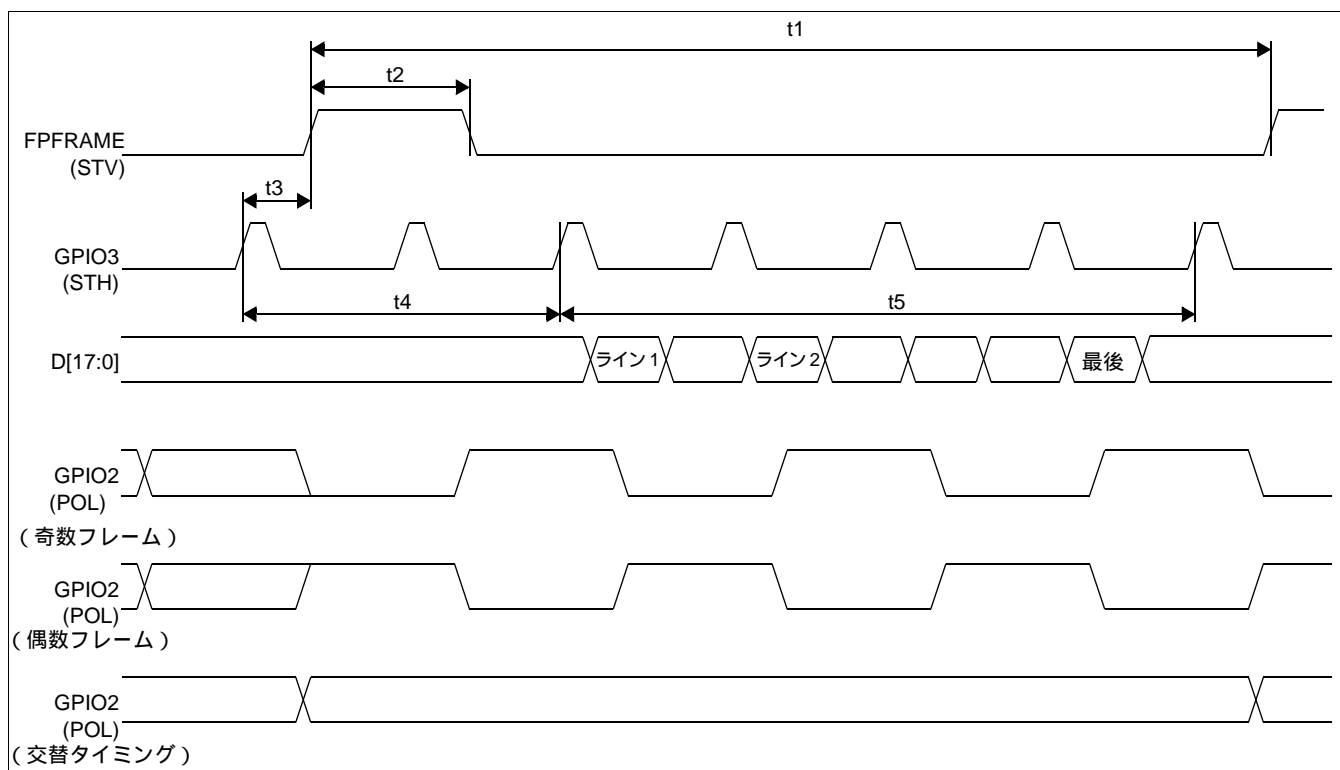


図7.34 TFTタイプ2パネル垂直タイミング

表7.51 TFTタイプ2パネル垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全垂直期間	8	(注2)	1024	ライン
t2	FPFRAMEパルス幅	—	1	—	ライン
t3	GPIO3立ち上がりエッジからFPFRAME立ち上がりエッジまで	—	0	—	Ts (注1)
t4	垂直表示期間開始位置	0	(注3)	1024	ライン
t5	垂直表示期間	1	(注4)	1024	Ts

注

1. Ts = ピクセルクロック周期
2. t1 typ = REG[004Ah]ビット9~0 + 1
3. t4 typ = REG[004Eh]ビット9~0
4. t5 typ = REG[004Ch]ビット9~0 + 1

7.4.6 LCD1 ND-TFDおよびLCD2用8ビットシリアルインタフェースタイミング

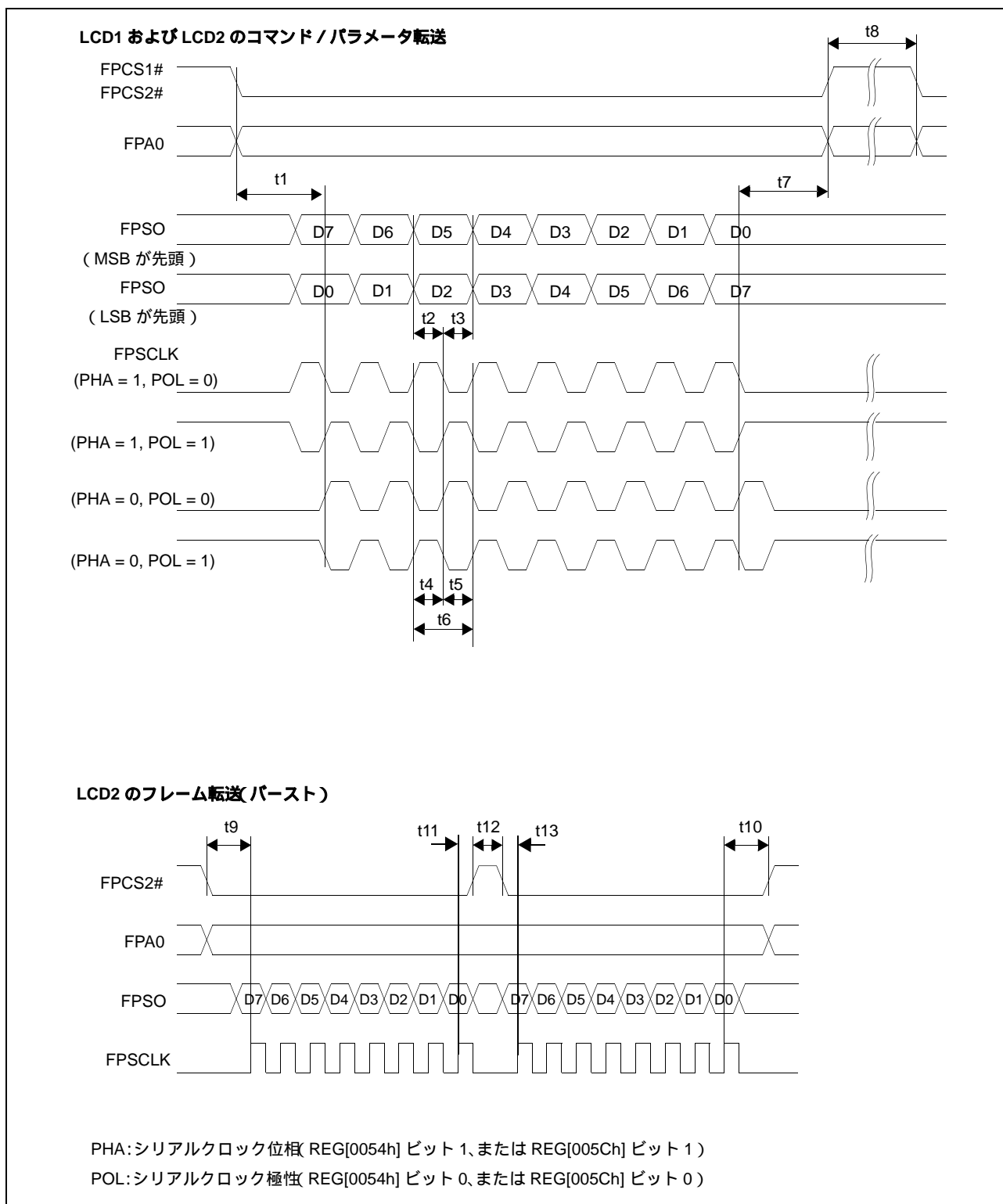


図7.35 LCD1 ND-TFDおよびLCD2用8ビットシリアルインタフェースタイミング

7. AC特性

表7.52 LCD1 ND-TFDおよびLCD2用8ビットシリアルインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1.5	—	Ts (注1)
t2	データセットアップ時間	—	0.5	—	Ts
t3	データホールド時間	—	0.5	—	Ts
t4	シリアルクロックLow (High) パルス幅	—	0.5	—	Ts
t5	シリアルクロックHigh (Low) パルス幅	—	0.5	—	Ts
t6	シリアルクロック周期	—	1	—	Ts
t7	コマンド/パラメータ転送におけるチップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	1	—	Ts
t9	バーストモード開始時におけるチップ選択セットアップ時間	—	1.5	—	
t10	バーストモード終了時におけるチップ選択ホールド時間	—	2.5	—	Ts
t11	バーストモード期間中のチップ選択ホールド時間	—	0.5	—	Ts
t12	バーストモード中のチップ選択間隔	—	1	—	Ts
t13	バーストモード期間中のチップ選択セットアップ時間	—	0.5	—	Ts

注

1. Ts = シリアルクロック周期

7.4.7 LCD1 ND-TFDおよびLCD2用9ビットシリアルインタフェースタイミング

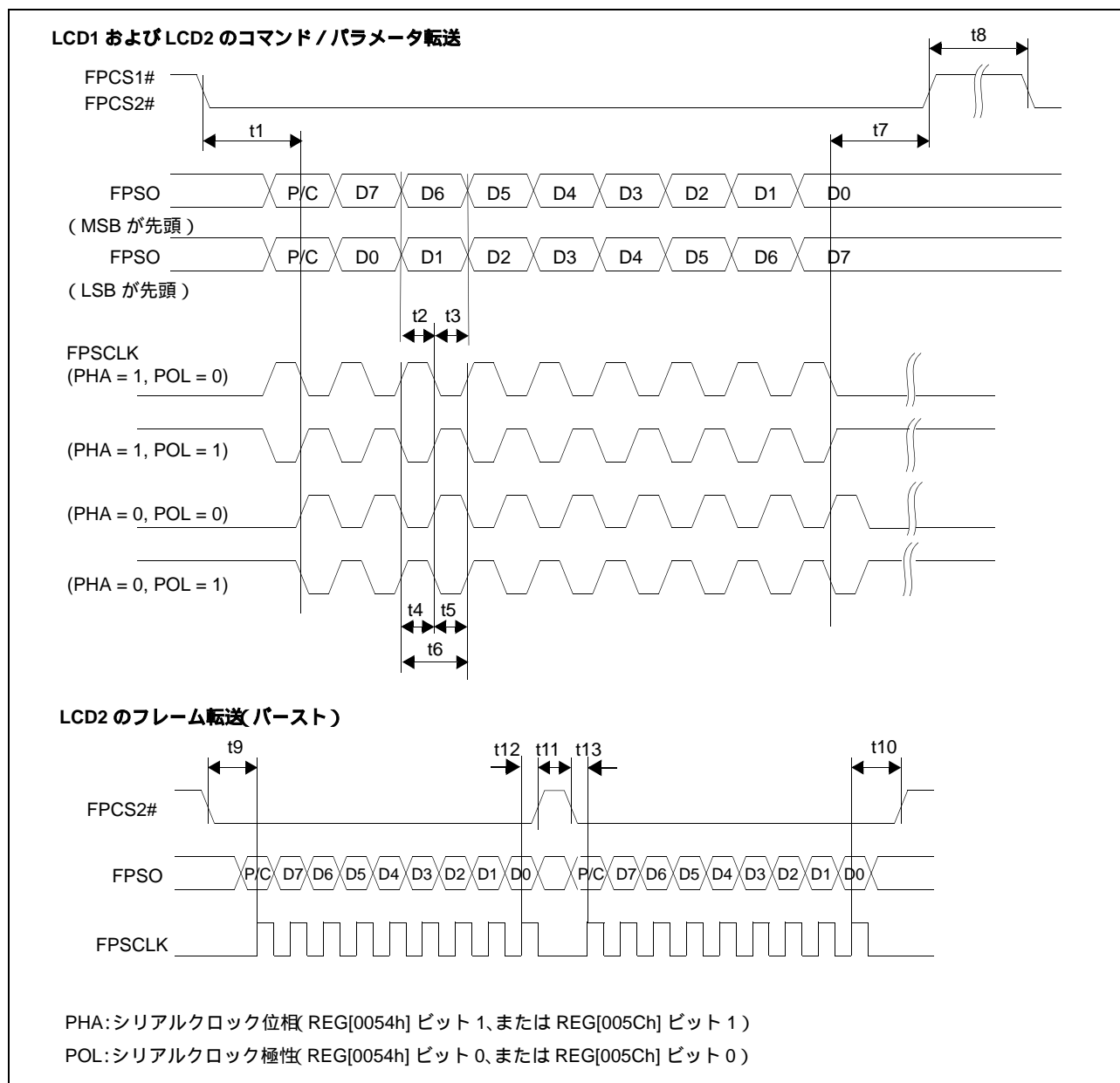


図7.36 LCD1 ND-TFDおよびLCD2用9ビットシリアルインタフェースタイミング

7. AC特性

表7.53 LCD1 ND-TFDおよびLCD2用9ビットシリアルインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1.5	—	Ts (注1)
t2	データセットアップ時間	—	0.5	—	Ts
t3	データホールド時間	—	0.5	—	Ts
t4	シリアルクロックLow (High) パルス幅	—	0.5	—	Ts
t5	シリアルクロックHigh (Low) パルス幅	—	0.5	—	Ts
t6	シリアルクロック周期	—	1	—	Ts
t7	チップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	1	—	Ts
t9	バーストモード開始時におけるチップ選択セットアップ時間	—	1.5	—	
t10	バーストモード終了時におけるチップ選択ホールド時間	—	2.5	—	Ts
t11	バーストモード中のチップ選択間隔	—	1	—	Ts
t12	バーストモード期間中のチップ選択ホールド時間	—	0.5	—	Ts
t13	バーストモード期間中のチップ選択セットアップ時間	—	0.5	—	Ts

注

1. Ts = シリアルクロック周期

7.4.8 LCD1 a-Si TFTシリアルインタフェースタイミング

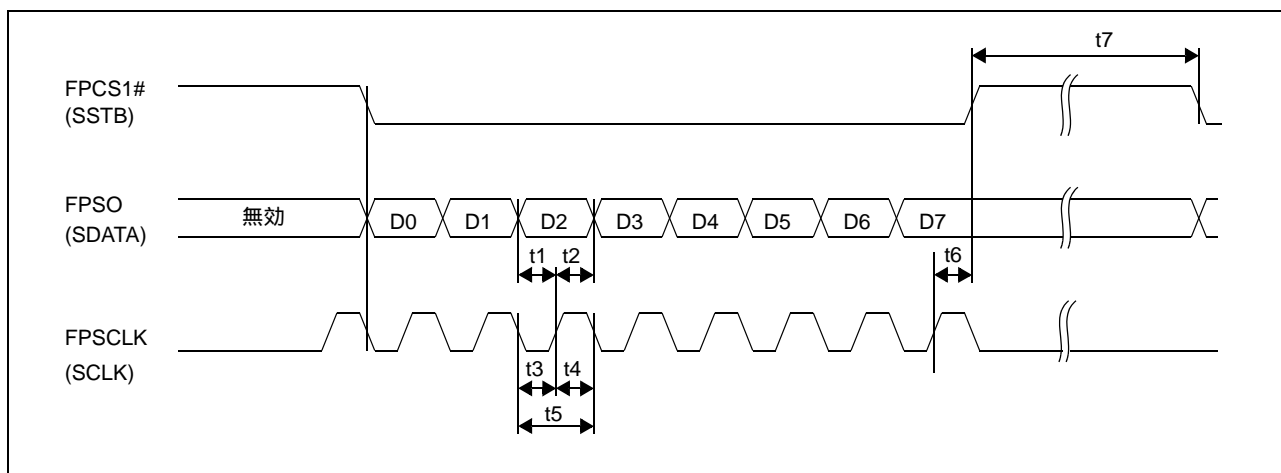


図7.37 LCD1 a-Si TFTシリアルインタフェースタイミング

表7.54 LCD1 a-Si TFTシリアルインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	データセットアップ時間	—	0.5	—	Ts (注1)
t2	データホールド時間	—	0.5	—	Ts
t3	シリアルクロックLowパルス幅	—	0.5	—	Ts
t4	シリアルクロックHighパルス幅	—	0.5	—	Ts
t5	シリアルクロック周期	—	1	—	Ts
t6	チップ選択ホールド時間	—	1.5	—	Ts
t7	チップ選択ディアサートからリアサートまで	—	(注2)	—	Ts

注

1. Ts = シリアルクロック周期
2. この設定はソフトウェアによって異なります。

7. AC特性

7.4.9 LCD1 uWireシリアルインタフェースタイミング

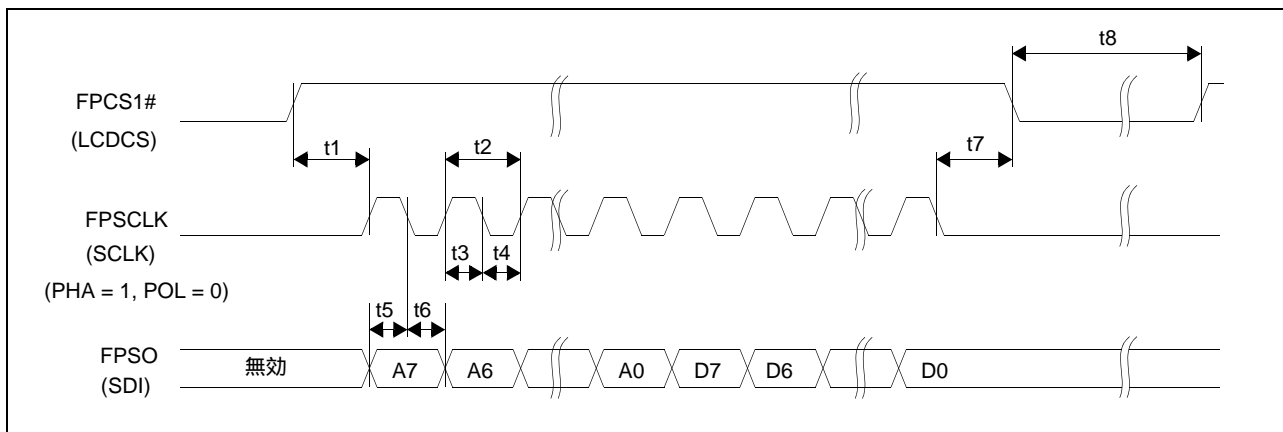


図7.38 LCD1 uWireシリアルインタフェースタイミング

表7.55 LCD1 uWireシリアルインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1	—	Ts (注1)
t2	シリアルクロック周期	—	1	—	Ts
t3	シリアルクロックLowパルス幅	—	0.5	—	Ts
t4	シリアルクロックHighパルス幅	—	0.5	—	Ts
t5	データセットアップ時間	—	0.5	—	Ts
t6	データホールド時間	—	0.5	—	Ts
t7	チップ選択ホールド時間	—	1.5	—	Ts
t8	チップ選択ディアサートからリアサートまで	—	(注2)	—	Ts

注

1. Ts = シリアルクロック周期
2. この設定はソフトウェアによって異なります。

注

uWireパネルを選択(REG[0054h]ビット7~5 = 10x)している場合、最初のuWire転送が開始されるまでFPCS1#はアイドル状態においてHighとなります。最初の転送が行われたあと、FPCS1#はアイドル状態においてLowとなります。

7.4.10 LCD1 SPIシリアルインタフェースタイミング

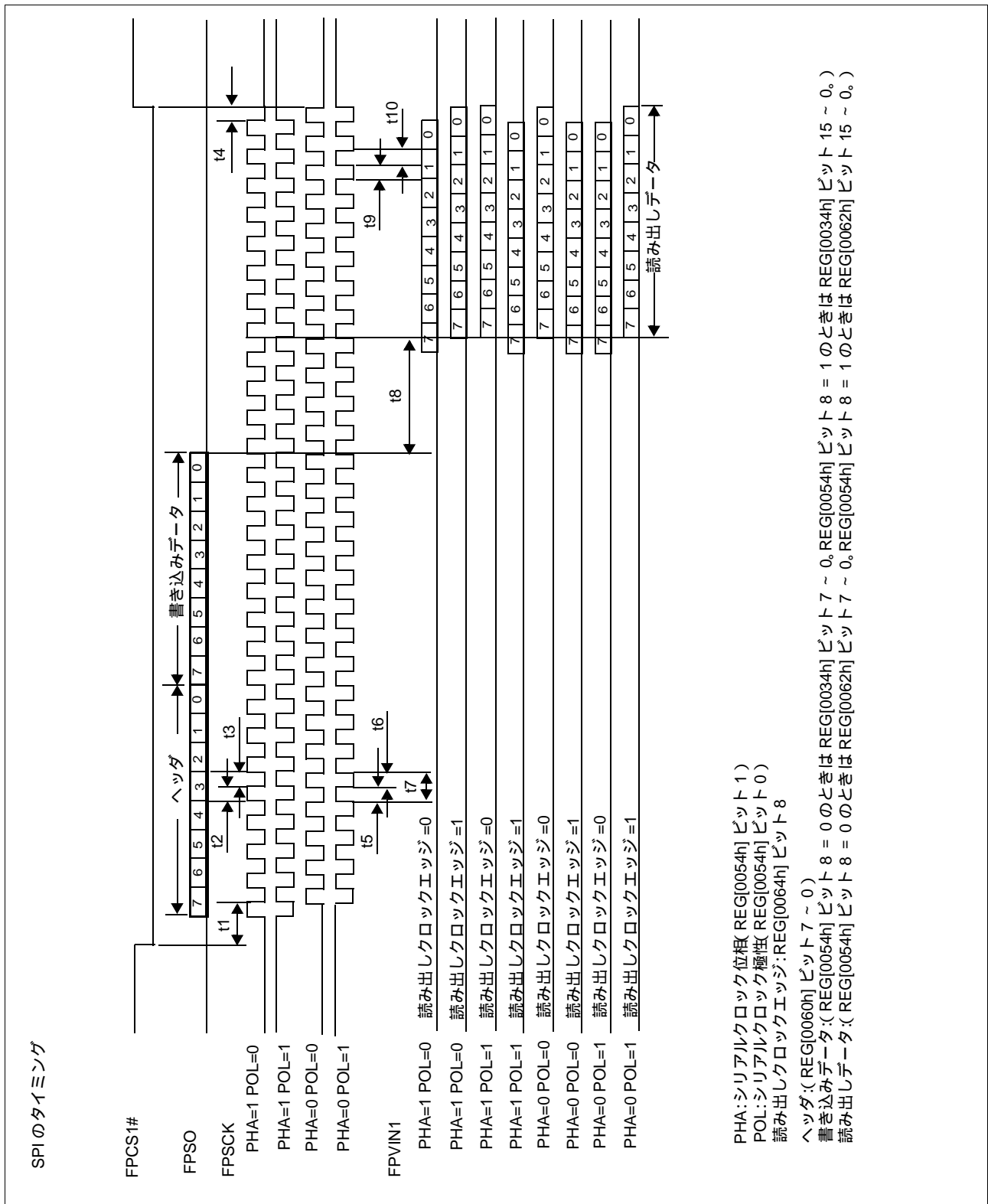


図7.39 LCD1 SPIシリアルインタフェースタイミング

7. AC特性

表7.56 LCD1 SPIシリアルインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択セットアップ時間	—	1.5	—	Ts (注1)
t2	ヘッダおよび書き込みデータセットアップ時間	—	0.5	—	Ts
t3	ヘッダおよび書き込みデータホールド時間	—	0.5	—	Ts
t4	チップ選択ホールド時間	—	0.5	—	Ts
t5	シリアルクロックHigh (Low) パルス幅	—	0.5	—	Ts
t6	シリアルクロックLow (High) パルス幅	—	0.5	—	Ts
t7	シリアルクロック周期	—	1	—	Ts
t8	書き込みデータ出力から読み出しデータ入力まで	—	(注2)	—	Ts
t9	読み出しデータセットアップ時間	TBD	—	—	ns
t10	読み出しデータホールド時間	TBD	—	—	ns

注

1. Ts = ピクセルクロック周期
2. t8 typ = REG[0064h]ビット4~0

7.4.11 LCD1およびLCD2用パラレルインタフェース (80)

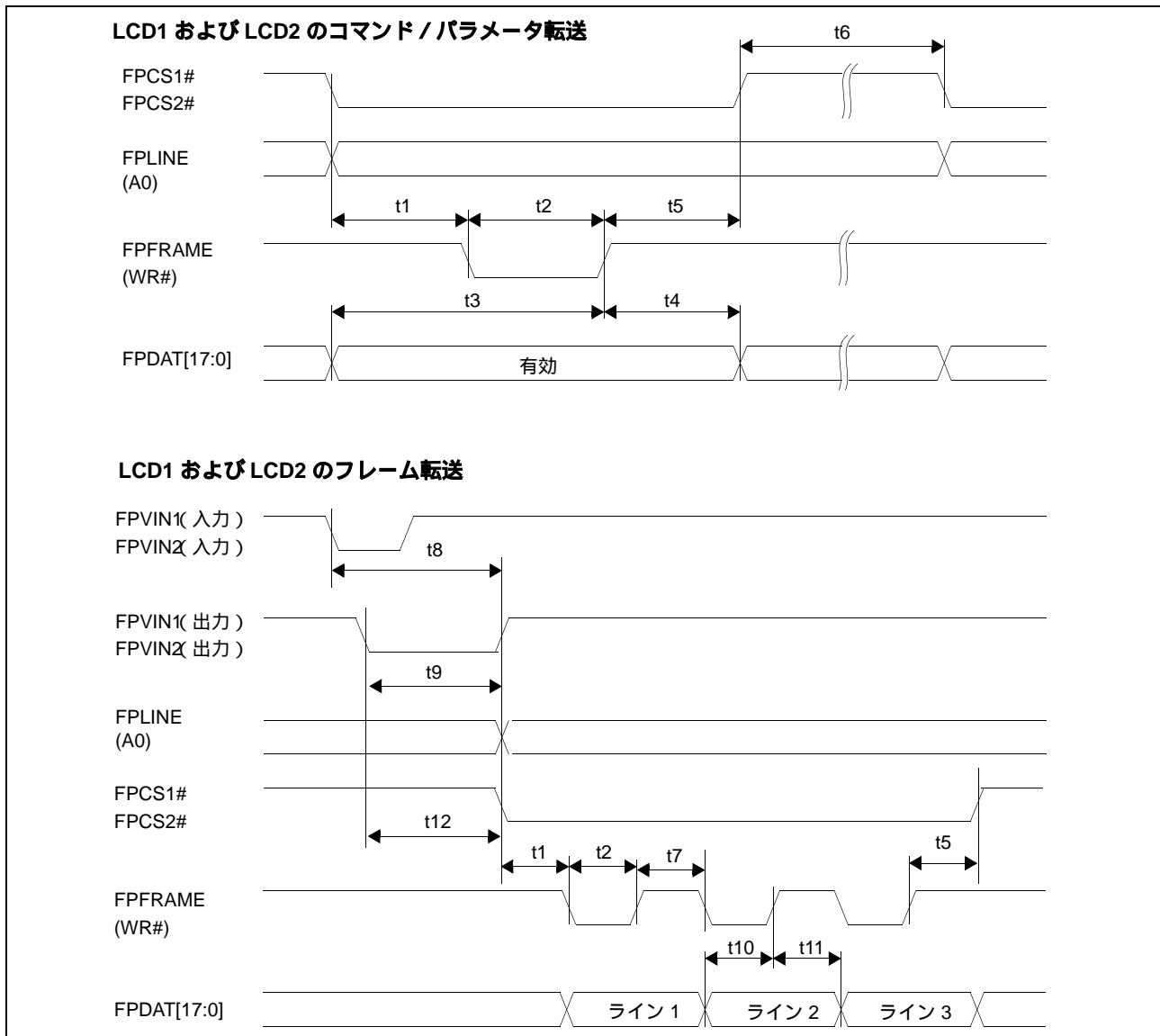


図7.40 LCD1およびLCD2用パラレルインタフェースタイミング (80)

7. AC特性

表7.57 LCD1およびLCD2用パラレルインタフェースタイミング (80)

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択立ち下がりエッジからFPFRAME立ち下がりエッジまで	—	1	—	Tp (注1)
t2	FPFRAME Low期間	—	1	—	Tp
t3	データセットアップ時間	—	2	—	Tp
t4	データホールド時間	—	1	—	Tp
t5	書き込み信号立ち上がりエッジからチップ選択立ち上がりエッジまで	—	1	—	Tp
t6	チップ選択ディアサートからリアサートまで	—	0	—	Tp
t7	バーストサイクルにおける書き込み信号High期間	—	1	—	Tp
t8	FPVIN(入力)立ち下がりエッジからチップ選択立ち下がりエッジまで	—	—	51	Tp
t9	FPVIN(出力)Low期間	—	(注2)	—	
t10	バーストサイクルにおけるデータセットアップ時間	—	1	—	Tp
t11	バーストサイクルにおけるデータホールド時間	—	1	—	Tp
t12	FPVIN(出力)立ち下がりエッジからFPCS#立ち下がりエッジまで	—	(注2)	—	

注

1. Tp = ピクセルクロック周期
2. t9 LCD1ではREG[0068h]ビット15~8
LCD2ではREG[006Ah]ビット15~0

7.4.12 LCD1およびLCD2用パラレルインタフェース (68)

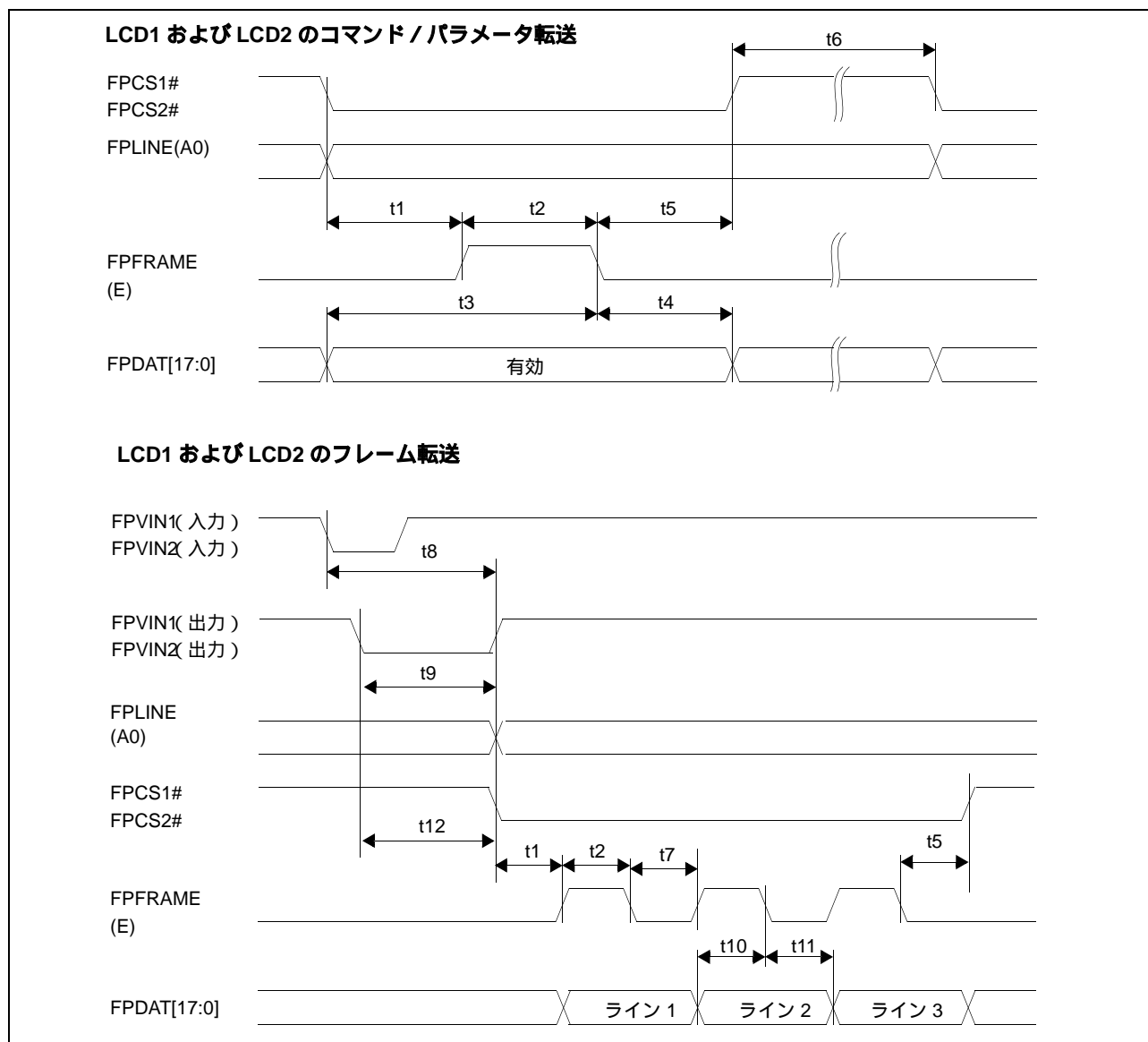


図7.41 LCD1およびLCD2用パラレルインタフェースタイミング (68)

7. AC特性

表7.58 LCD1およびLCD2用パラレルインタフェースタイミング (68)

記号	パラメータ	Min	Typ	Max	単位
t1	チップ選択立ち下がりエッジからFPFRAME立ち上がりエッジまで	—	1	—	Tp (注1)
t2	FPFRAME High期間	—	1	—	Tp
t3	データセットアップ時間	—	2	—	Tp
t4	データホールド時間	—	1	—	Tp
t5	FPFRAME立ち下がりエッジからチップ選択立ち上がりエッジまで	—	1	—	Tp
t6	チップ選択ディアサートからリアサートまで	—	0	—	Tp
t7	バーストサイクルにおけるイネーブル信号Low期間	—	1	—	Tp
t8	FPVIN (入力) 立ち下がりエッジからチップ選択立ち下がりエッジまで	—	—	51	Tp
t9	FPVIN (出力) Low期間	—	(注2)	—	Tp
t10	バーストサイクルにおけるデータセットアップ時間	—	1	—	Tp
t11	バーストサイクルにおけるデータホールド時間	—	1	—	Tp
t12	FPVIN (出力) 立ち下がりエッジからFPCS#立ち下がりエッジまで	—	(注2)	—	

注

1. Tp = ピクセルクロック周期
2. t9 LCD1ではREG[0068h]ビット15~8
LCD2ではREG[006Ah]ビット15~0

7.5 カメラインタフェースタイミング

7.5.1 カメラインタフェースタイミング

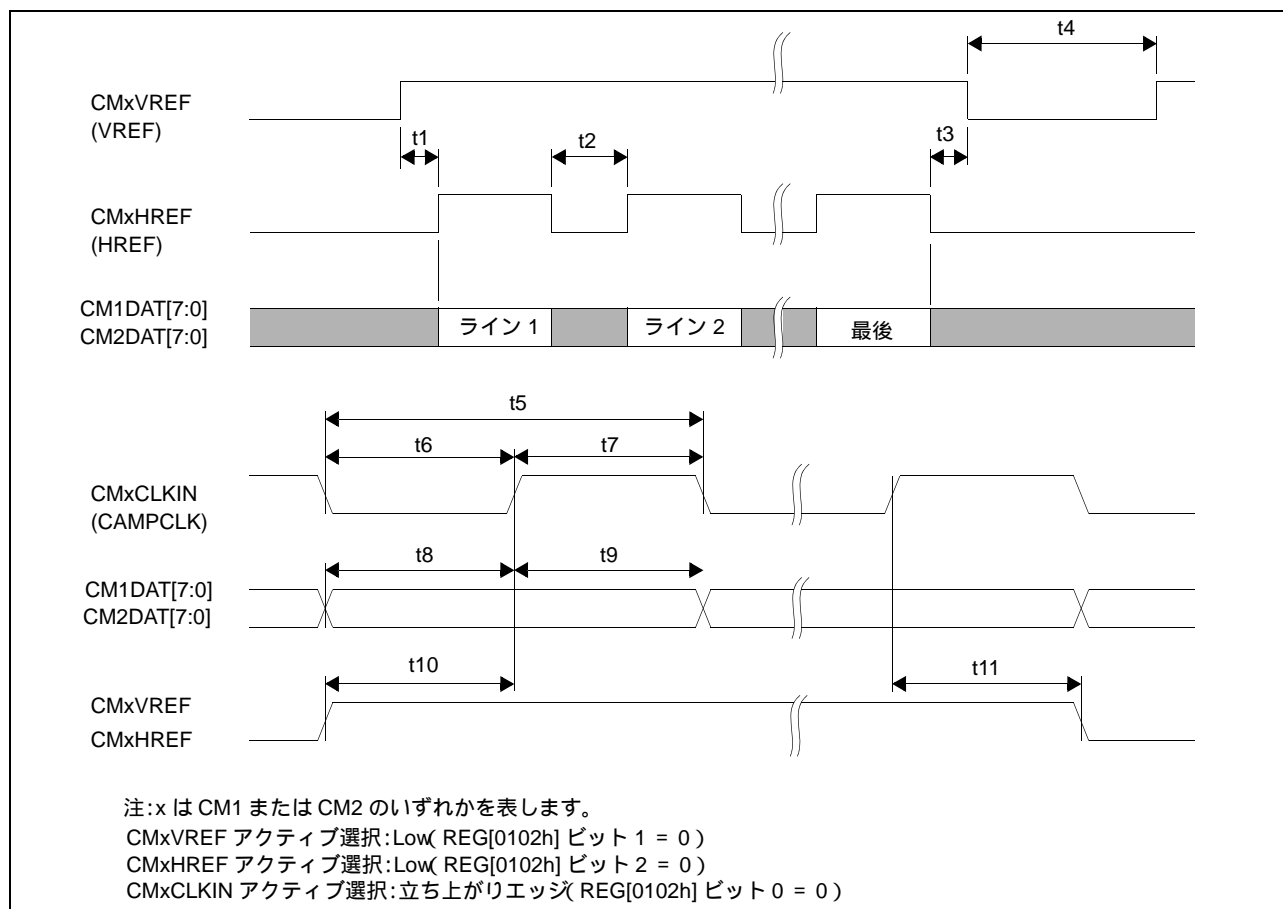


図7.42 カメラインタフェースタイミング

7. AC特性

表7.59 カメラインタフェースタイミング

記号	パラメータ	Min	Max	単位
t1	CMxVREF立ち上がりエッジからCMxHREF立ち上がりエッジまで	0	—	Tc (注1)
t2	水平ブランク期間	4	—	Tc
t3	CMxHREF立ち下がりエッジからCMxVREF立ち下がりエッジまで	0	—	Tc
t4	垂直ブランク期間	1	—	ライン
t5	カメラ入カクロック周期、高速モード (REG[0110h]ビット10=1) (注3)	1Ts+2ns	—	Ts (注2)
t6	カメラ入カクロックLowパルス幅、通常モード (REG[0110h]ビット10=0)	1Ts+2ns	—	Ts
t7	カメラ入カクロックHighパルス幅、通常モード (REG[0110h]ビット10=0)	1Ts+2ns	—	Ts
t8	データセットアップ時間	2	—	ns
t9	データホールド時間	4	—	ns
t10	CMxVREFおよびCMxHREFセットアップ時間	2	—	ns
t11	CMxVREFおよびCMxHREFホールド時間	4	—	ns

注

1. Tc = カメラブロック入カクロック周期
2. Ts = システムクロック周期
3. REG[0110h]ビット10 = 0のとき、カメラクロックは内部回路によるノイズ防止が行われます。
REG[0110h]ビット10 = 1のとき、カメラクロックは内部回路によるノイズ防止が行われません。

7.5.2 カメラクロック出力

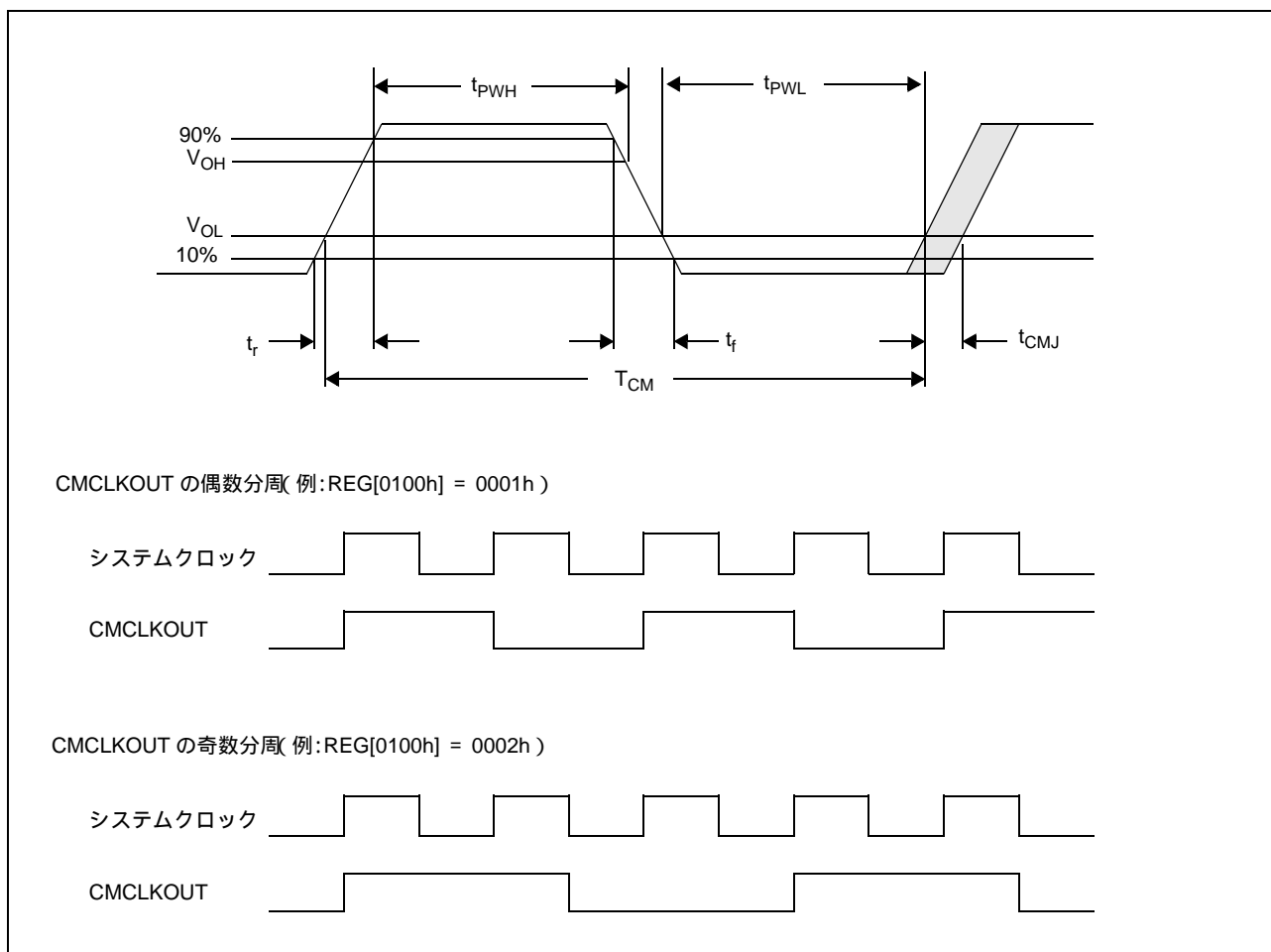


図7.43 カメラクロック出力タイミング

7. AC特性

表7.60 カメラクロック出力タイミング

記号	パラメータ	Min	Typ	Max	単位
f_{CM}	CMCLKOUT周波数	—	—	27.5 (注1)	MHz
T_{CM}	CMCLKOUT周期	—	$1/f_{CM}$	—	ns
T_{CMJ}	CMCLKOUTジッタ	-2	—	2	%
T_{CMDUTY}	CMCLKOUTデューティサイクル	-10	—	10	%

CIO1/2 VDD = 3.0V、 $C_L = 30\text{pF}$

t_{PWH}	CMCLKOUT Highパルス幅	9	—	—	ns
t_{PWL}	CMCLKOUT Lowパルス幅	9	—	—	ns
t_r	CMCLKOUT立ち上がり時間 (10% ~ 90%)	—	—	8.5	ns
t_f	CMCLKOUT立ち下がり時間 (10% ~ 90%)	—	—	8.5	ns

CIO1/2 VDD = 2.5V、 $C_L = 30\text{pF}$

t_{PWH}	CMCLKOUT Highパルス幅	8	—	—	ns
t_{PWL}	CMCLKOUT Lowパルス幅	8	—	—	ns
t_r	CMCLKOUT立ち上がり時間 (10% ~ 90%)	—	—	10	ns
t_f	CMCLKOUT立ち下がり時間 (10% ~ 90%)	—	—	7.5	ns

注

- 27.5MHzより高いカメラ出力周波数が必要な場合は、エプソンの担当者にお問い合わせください。

注

PLLのジッタについては、50ページの7.1.3「PLLクロック」をご覧ください。

7.5.3 ストローブ制御出力

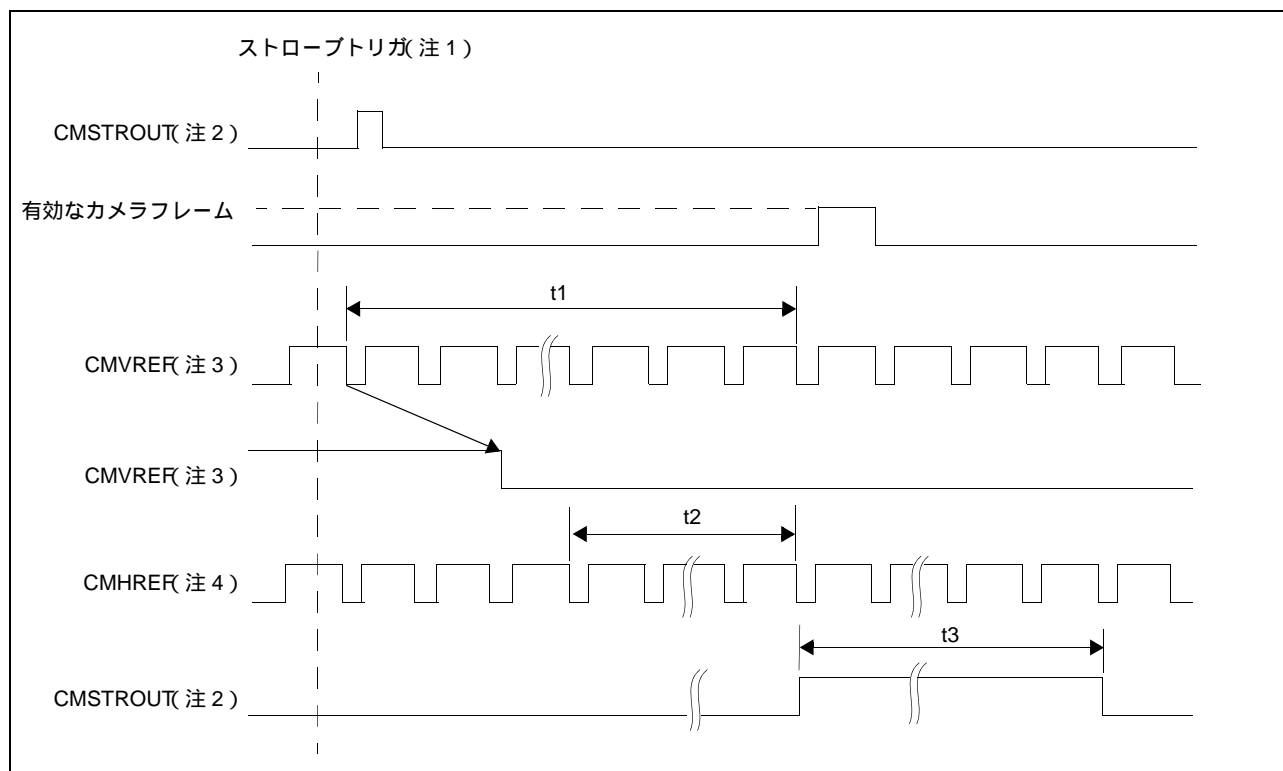


図7.44 ストローブ制御出力タイミング

注

1. ストローブトリガの詳細については、REG[0124h] ビット7～4に関する説明、および469ページの21.3「ストローブ制御信号」をご覧ください。
2. CMSTROUTアクティブ選択：High (REG[0124h]ビット3～0 = 1011)
3. CMVREFアクティブ選択：Low (REG[0102h]ビット1 = 0)
4. CMHREFアクティブ選択：Low (REG[0102h]ビット2 = 0)

表7.61 ストローブ制御出力タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	ストローブトリガ後に最初に生じるCMVREF立ち下がりエッジ（アクティブHighのときは立ち上がりエッジ）からのCMVREF遅延	—	(注1)	—	Tcmv (注4)
t2	CMVREFがアクティブになった後に最初に生じるCMHREF立ち下がりエッジ（アクティブHighのときは立ち上がりエッジ）からのCMHREF遅延	—	(注2)	—	Tcmh (注5)
t3	CMSTROUTアクティブパルス幅	—	(注3)	—	Tcmh

注

1. t1 typ = REG[0124h]ビット7～4 (シングルフレームキャプチャモード (REG[0112h]ビット6 = 1) の場合、t1は常に0であり、REG[0124h]ビット7～4は無視されます)
2. t2 typ = REG[0120h]ビット15～0
3. t3 typ = REG[0122h]ビット15～0
4. Tcmv = CMVREF周期
5. Tcmh = CMHREF周期

7. AC特性

7.5.4 MPEGコーデックインタフェースタイミング

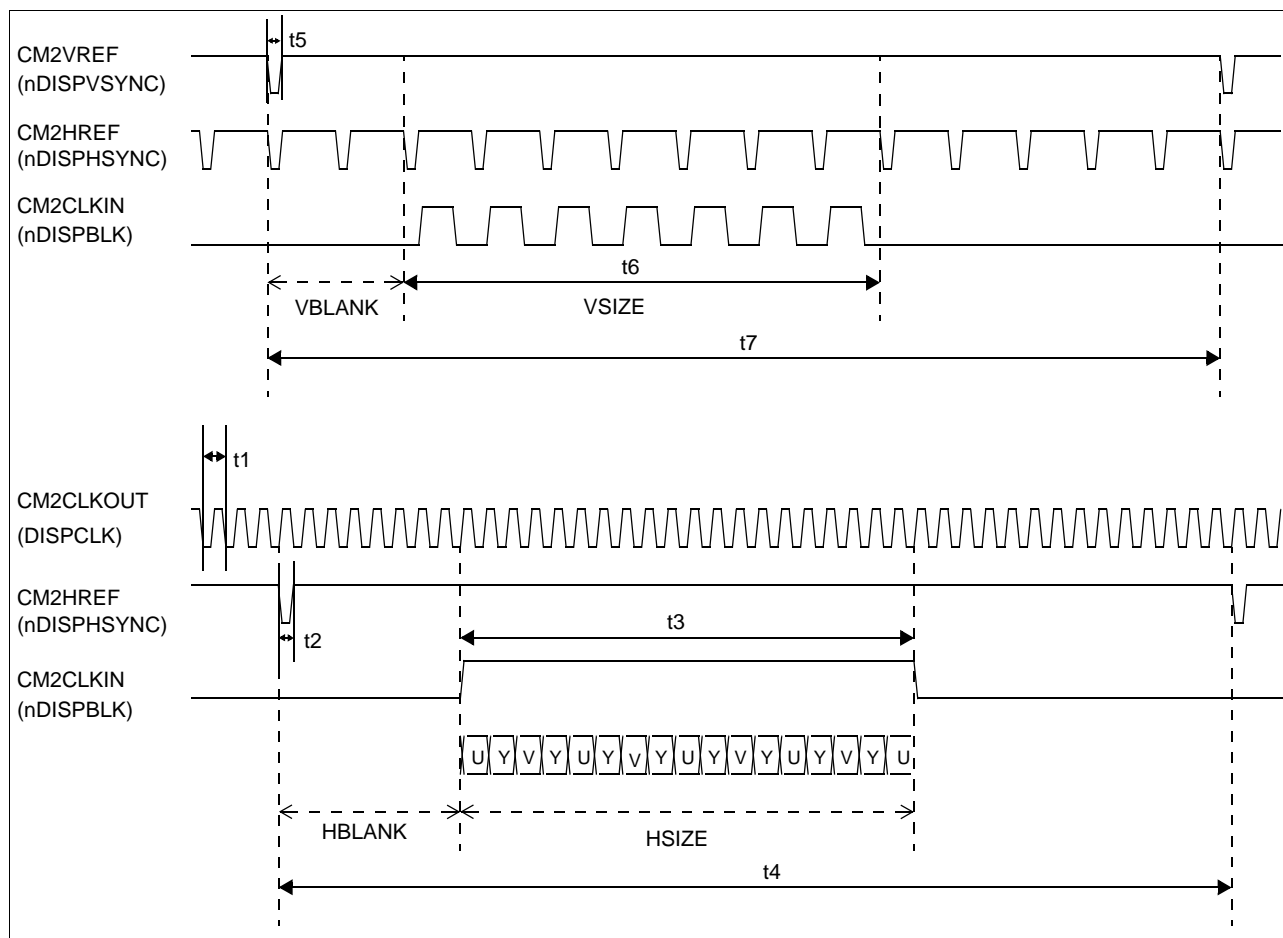


図7.45 MPEGコーデックインタフェースタイミング

表7.62 MPEGコーデックインタフェースタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	カメラクロック周期	4	—	32	Ts (注1)
t2	水平同期信号パルス幅	—	1	—	Tc (注2)
t3	水平表示期間	1	—	1024	ピクセル
t4	全水平期間	—	REG[012Ah]ビット9~0+1	—	ピクセル
t5	垂直同期信号パルス幅	—	1	—	Tc
t6	垂直表示期間	1	—	512	ライン
t7	全垂直期間	—	REG[0128h]ビット9~0+1	—	ライン

注

1. Ts = システムクロック周期
2. Tc = カメラブロック入力クロック周期
3. Tcは4Ts以上であること
4. Tc = t1
5. 1ピクセル = 2Tc

7.6 SDカードインタフェース

7.6.1 SDカードアクセス

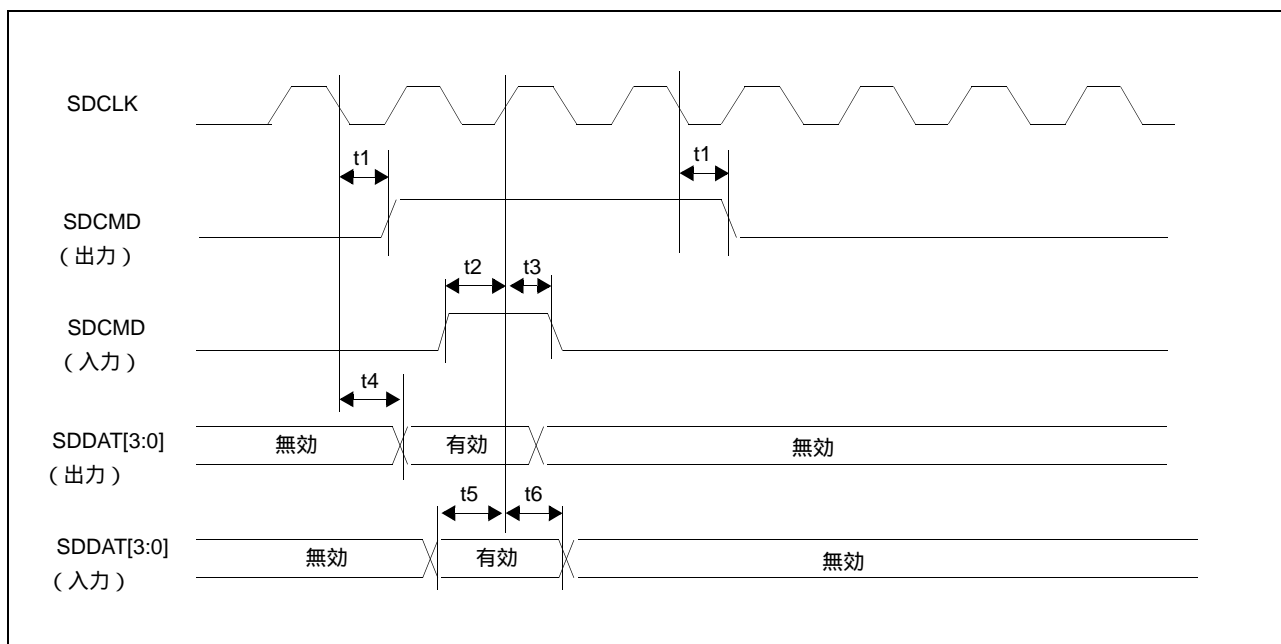


図7.46 SDカードアクセスタイミング

表7.63 SDカードアクセスタイミング

記号	パラメータ	Min	Max	単位
t1	SDCMD出力遅延時間	—	20	ns
t2	SDCMD入力セットアップ時間	10	—	ns
t3	SDCMD入力ホールド時間	5	—	ns
t4	SDDAT[3:0]出力遅延時間	—	20	ns
t5	SDDAT[3:0]入力セットアップ時間	10	—	ns
t6	SDDAT[3:0]入力ホールド時間	5	—	ns

7. AC特性

7.6.2 SDカードクロック出力

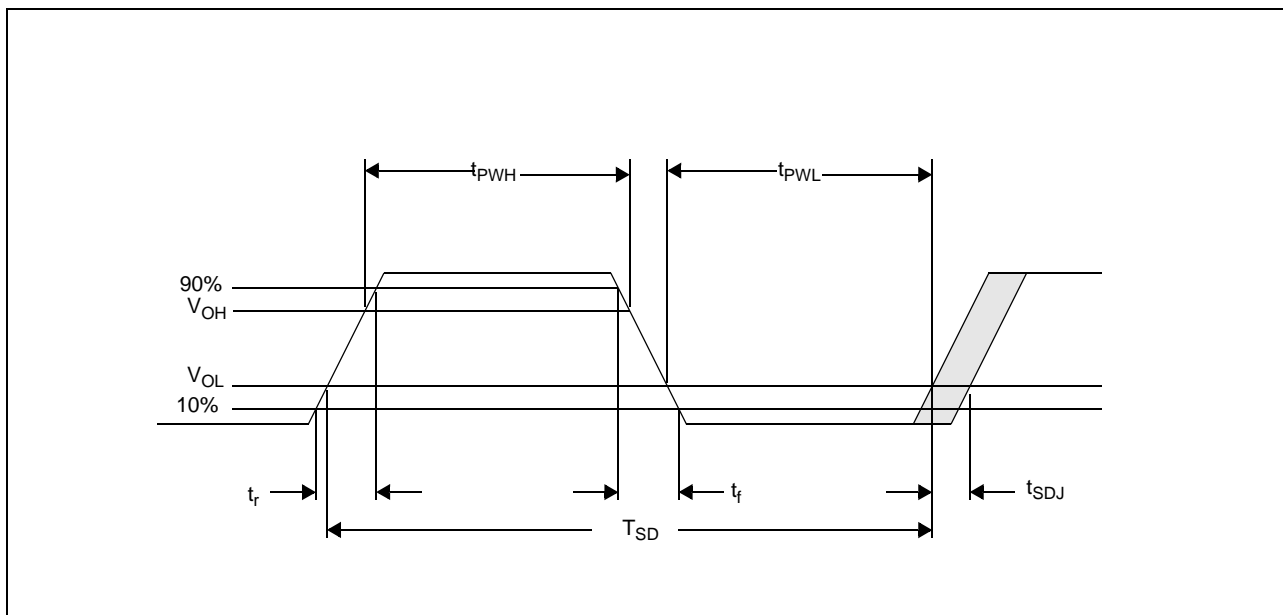


図7.47 SDカードクロック出力タイミング

表7.64 SDカードクロック出力タイミング

記号	パラメータ	Min	Typ	Max	単位
f_{SD}	SDCLK周波数	—	—	13.75	MHz
T_{SD}	SDCLK周期	—	$1/f_{SD}$	—	ns
t_{PWH}	SDCLK Highパルス幅	10	—	—	ns
t_{PWL}	SDCLK Lowパルス幅	10	—	—	ns
t_r	SDCLK立ち上がり時間 (10% ~ 90%)	—	—	10	ns
t_f	SDCLK立ち下がり時間 (10% ~ 90%)	—	—	10	ns
t_{SDJ}	SDCLKジッタ	-3	—	3	%
t_{SDD}	SCLKクロックデューティ	45	—	55	%

注

PLLのジッタについては、50ページの7.1.3「PLLクロック」をご覧ください。

8. メモリマップ

8.1 物理メモリ

S1D13719は512KBのSRAMを内蔵しています。このSRAMは、109ページの図8.1「物理メモリ」に示すように64K/128K/128K/128K/64KBの5つのバンクで構成されます。各バンクには連続アドレスが対応します。

メモリは表示バッファ、JPEGラインバッファ、およびJPEG FIFOに使用されます。

表示バッファには、LCD1のメインウィンドウとPIP+ウィンドウに用いる画像データ、ならびにLCD2に用いる画像データが格納されます。

JPEGを使用するときは、このバッファに対してJPEG復号化画像またはカメラ画像を確保し、表示に用いてください。

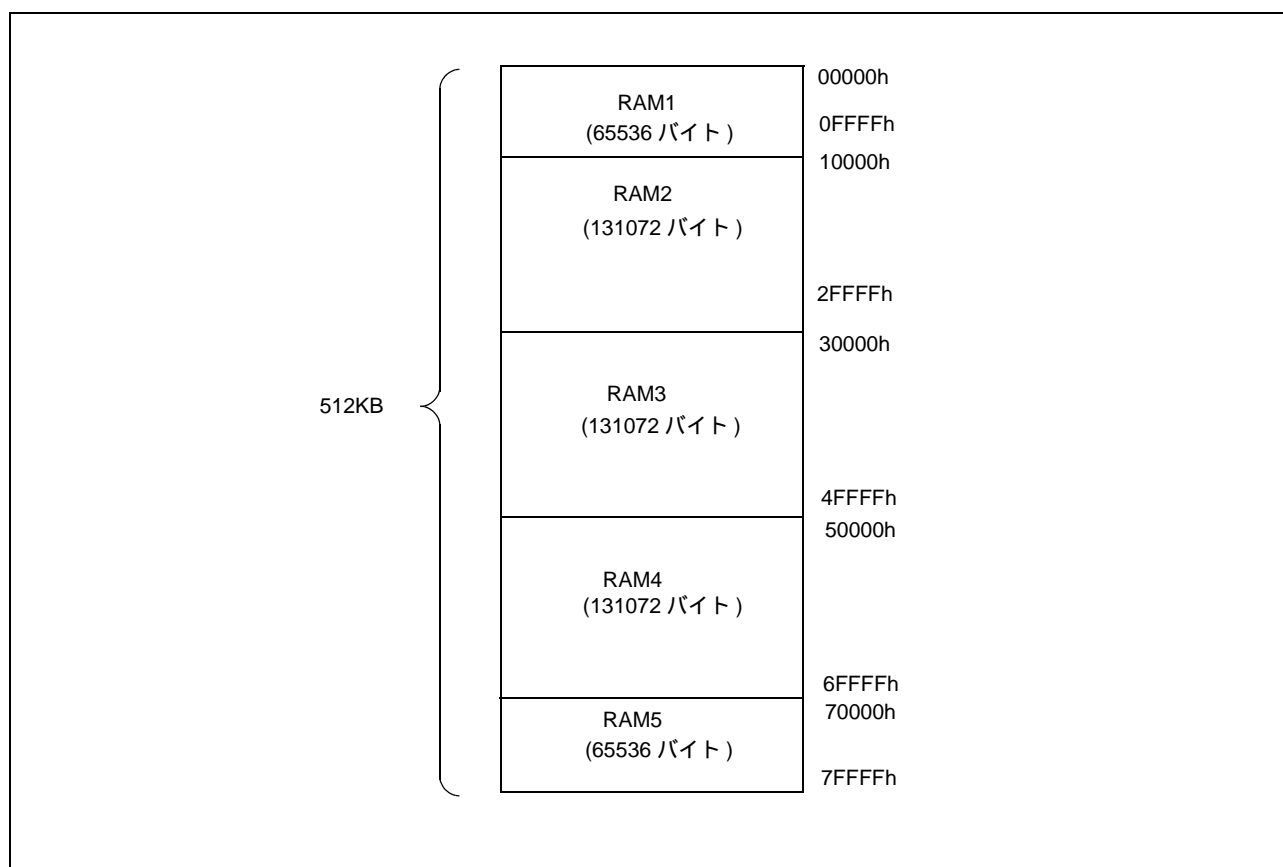


図8.1 物理メモリ

8. メモリマップ

8.2 メモリマップ例

1280 × 1024のJPEG画像に対する推奨値

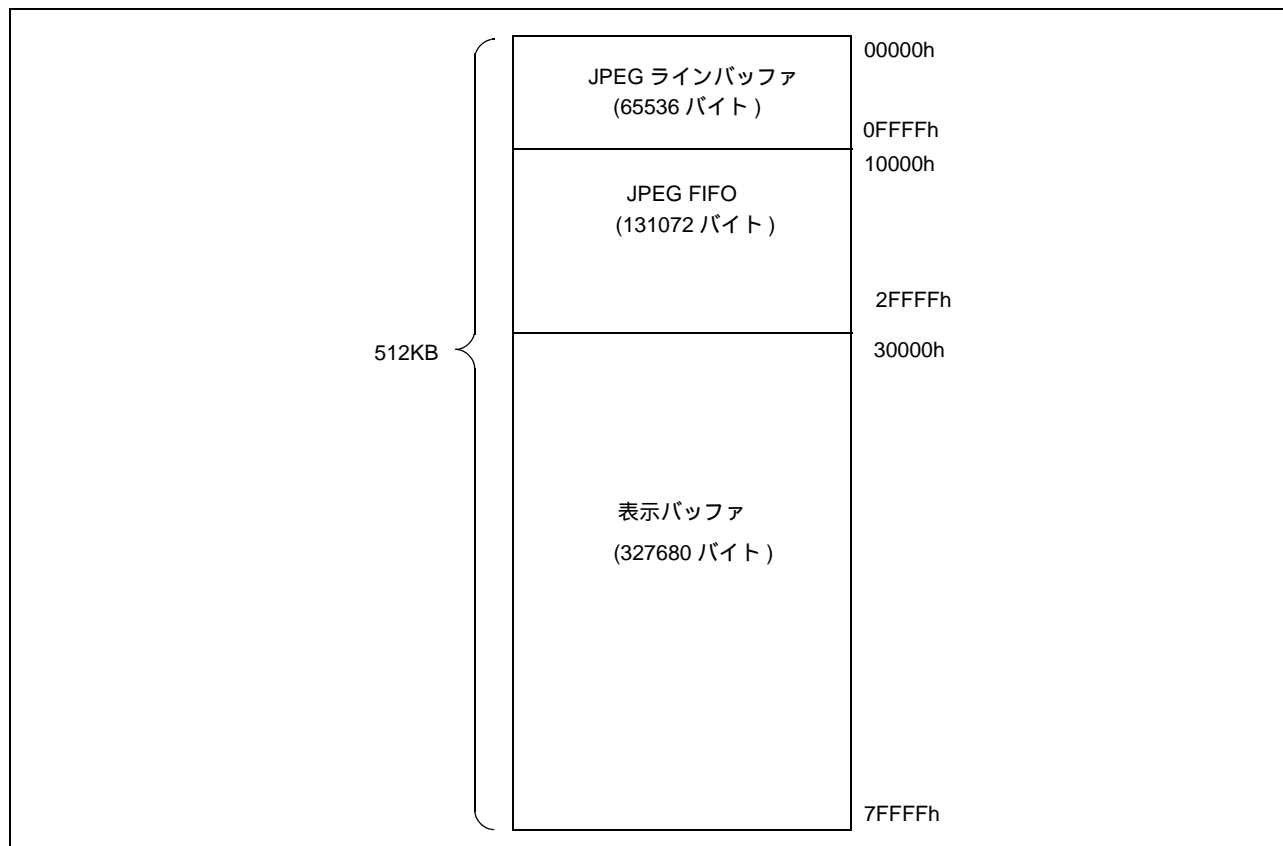


図8.2 メモリマップ例

- メモリ開始アドレスの設定：
 - 表示バッファの開始アドレス：20000h
 - JPEG ラインバッファの開始アドレス：00000h (REG[0F02h] ビット 2 ~ 0 = 000、REG[09D2h] ビット5 = 0)
 - JPEG FIFOの開始アドレス：10000h (REG[09BCh] ビット8 ~ 0 = 040h)
- メモリサイズの設定：
 - JPEGラインバッファのサイズ：64KB (REG[09D0h] ビット1 ~ 0 = 11)
 - JPEG FIFOのサイズ：64KB (REG[09A4h] ビット4 ~ 0 = 01111)
- 表示バッファの用途：
 - LCD1のメインウインドウに用いる画像データ
 - LCD1のPIP+ウインドウに用いる画像データ (JPEG復号化画像またはカメラ画像)
 - LCD2の表示に用いる画像データ

9. クロック

9.1 クロック図

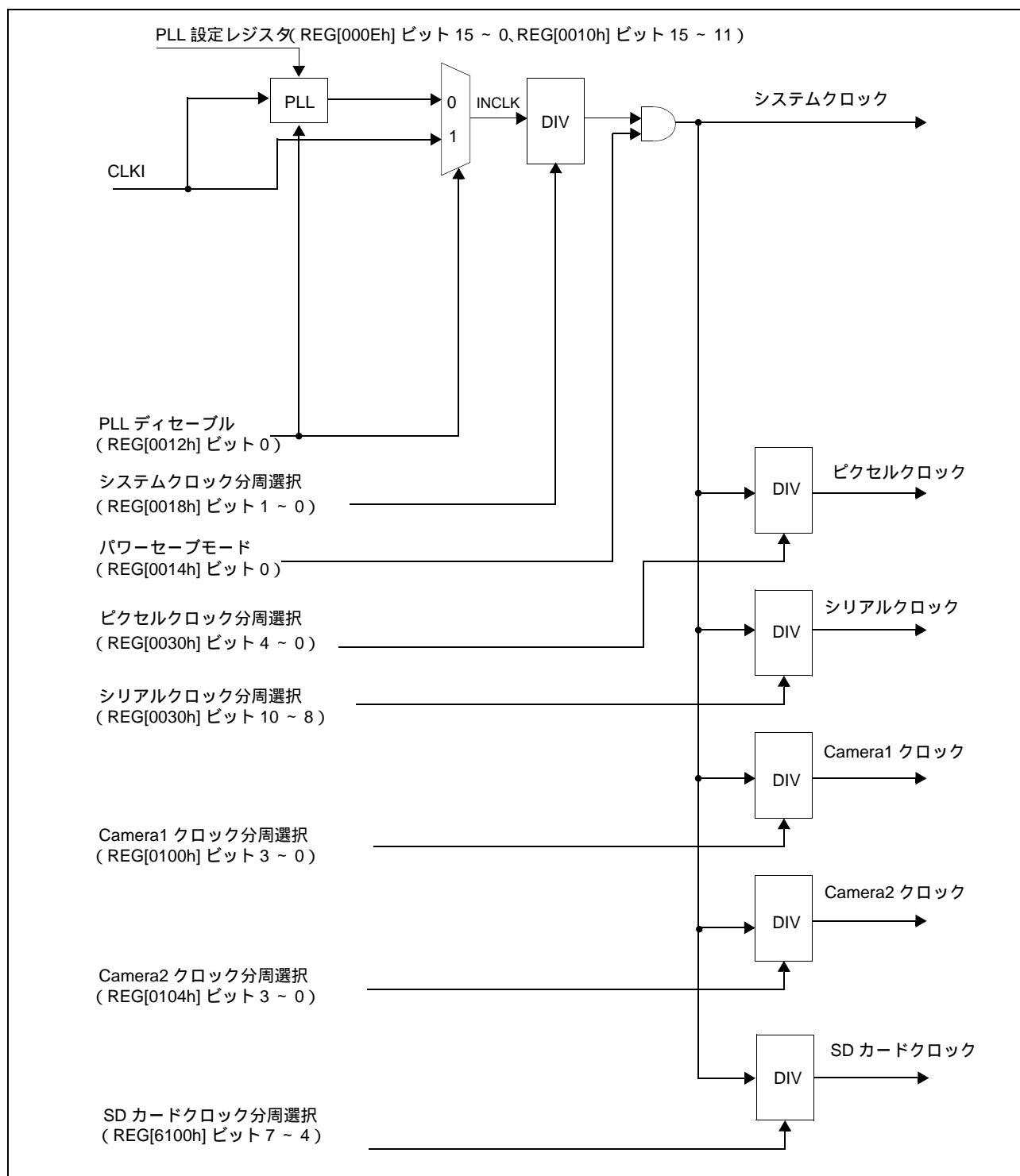


図9.1 クロック図

9. クロック

9.2 クロック

9.2.1 システムクロック

システムクロック (SYSCLK) は、S1D13719の内部メインクロックに使用されます。システムクロックソースは、REG[0012h]ビット2および0を使って内部PLL、外部クロック入力 (CLKI) から選択できます。クロックの分周はシステムクロック分周選択ビット (REG[0018h]ビット1~0) を用いて制御されます。システムクロックはPLLの出力またはCLKIの入力を分周してつくることができます。

9.2.2 ピクセルクロック

ピクセルクロック (PCLK) はRGBタイプパネルのLCD1シフトクロック、およびLCD1/LCD2用パラレルインタフェースのタイミングに用いられます。ピクセルクロックソースは常にシステムクロックです。これはピクセルクロック分周選択ビット (REG[0030h]ビット4~0) を用いて分周できます。

9.2.3 シリアルクロック

シリアルクロック (SCLK) は、LCD1およびLCD2のシリアルインタフェースに使用されます。シリアルクロックソースは常にシステムクロックです。これはシリアルクロック分周選択ビット (REG[0030h]ビット10~8) を用いて分周できます。

9.2.4 Camera1クロック

Camera1クロック (CAM1CLK) はCamera1インタフェースに使用されます。Camera1クロックソースは常にシステムクロックです。これはCamera1クロック分周選択ビット (REG[0100h]ビット3~0) を用いて分周できます。

注

このクロックをCM1CLKOUT端子に出力すれば、Camera1インタフェースに接続される外部カメラモジュールのマスタクロックとして使用できます。

9.2.5 Camera2クロック

Camera2クロック (CAM2CLK) はCamera2インタフェースに使用されます。Camera2クロックソースは常にシステムクロックです。これはCamera2クロック分周選択ビット (REG[0104h]ビット3~0) を用いて分周できます。CAM2CLKは、MPEGコーデックインタフェースに対しても使用できます。

注

このクロックをCM2CLKOUT端子に出力すれば、Camera2インタフェースに接続される外部カメラモジュールのマスタクロックとして使用できます。

9.2.6 SDカードクロック

SDメモ리카ードのクロックはSDカードクロックとして外付けSDメモ리카ードに出力されます。SDカードクロックソースは常にシステムクロックです。これはSDカードクロック分周選択ビット (REG[6100h]ビット7~4) を用いて分周できます。

10. レジスタ

10.1 レジスタマッピング

S1D13719のレジスタはメモリマップされています。システムが入力端子をCS#=0かつMR#=0とデコードすると、レジスタにアクセスできます。レジスタのアドレス空間はAB[18:1]とBE#[1:0]によってデコードされ、そのアドレスは以下のように対応します。

表10.1 S1D13719のレジスタマッピング

M/R#	アドレス	機能
1	00000h ~ 7FFFFh	SRAMメモリ
0	0000h ~ 0007h	システム設定レジスタ
0	000Eh ~ 0019h	クロック設定レジスタ
0	0020h ~ 002Dh	インダイレクトインタフェースレジスタ
0	0030h ~ 003Dh	LCDパネルインタフェース基本設定レジスタ
0	0040h ~ 0057h	LCD1設定レジスタ
0	0058h ~ 005Fh	LCD2設定レジスタ
0	0060h ~ 00FFh	拡張パネルレジスタ
0	0100h ~ 0131h	カメラインタフェース設定レジスタ
0	0200h ~ 0281h	表示モード設定レジスタ
0	0300h ~ 030Fh	GPIOレジスタ
0	0310h ~ 0329h	オーバーレイレジスタ
0	0400h ~ 08FFh	ルックアップテーブルレジスタ
0	0930h ~ 096Fh	リサイザーコントロールレジスタ
0	0980h ~ 098Fh	JPEGモジュールレジスタ
0	09A0h ~ 09BFh	JPEG FIFO設定レジスタ
0	09C0h ~ 09E1h	JPEGラインバッファ設定レジスタ
0	0A00h ~ 0A41h	割り込み制御レジスタ
0	0F00h ~ 0F02h	JPEG符号化実行レジスタ
0	1000h ~ 17A3h	JPEGコーデックレジスタ
0	6000h ~ 613Fh	SDカードインタフェースレジスタ
0	8000h ~ 10001h	2D BitBLTレジスタ

10. レジスタ

10.2 レジスタセット

S1D13719レジスタを以下の表にまとめます。

表10.2 S1D13719のレジスタセット

レジスタ	ページ	レジスタ	ページ
システム設定レジスタ			
REG[0000h] Product Information Register	120	REG[0002h] Configuration Pins Status Register	120
REG[0004h] SD Memory Card Interface Enable Register	121	REG[0006h] Bus Timeout Setting Register	121
クロック設定レジスタ			
REG[000Eh] PLL Setting Register 0	123	REG[0010h] PLL Setting Register 1	125
REG[0012h] PLL Setting Register 2	126	REG[0014h] Miscellaneous Configuration Register	127
REG[0016h] Software Reset Register	130	REG[0018h] System Clock Setting Register	130
インダイレクトインタフェースレジスタ			
REG[0020h] Indirect Interface Memory Rectangular Address Offset Register	131	REG[0022h] Indirect Interface Memory Address Register 0	131
REG[0024h] Indirect Interface Memory Address Register 1	131	REG[0026h] Indirect Interface Memory Rectangular Width Register	132
REG[0028h] Indirect Interface Memory Access Port Register	132	REG[002Ch] Indirect Interface JPEG Status Register	132
LCDパネルインタフェース汎用設定レジスタ			
REG[0030h] LCD Interface Clock Setting Register	134	REG[0032h] LCD Interface Configuration Register	136
REG[0034h] LCD Interface Command Register	138	REG[0036h] LCD Interface Parameter Register	138
REG[0038h] LCD Interface Status Register	139	REG[003Ah] LCD Interface Frame Transfer Register	139
REG[003Ch] LCD Interface Transfer Setting Register	140		
LCD1設定レジスタ			
REG[0040h] LCD1 Horizontal Total Register	141	REG[0042h] LCD1 Horizontal Display Period Register	142
REG[0044h] LCD1 Horizontal Display Period Start Position Register	142	REG[0046h] LCD1 FPLINE Register	143
REG[0048h] LCD1 FPLINE Pulse Position Register	143	REG[004Ah] LCD1 Vertical Total Register	144
REG[004Ch] LCD1 Vertical Display Period Register	145	REG[004Eh] LCD1 Vertical Display Period Start Position Register	146
REG[0050h] LCD1 FPFRAME Register	146	REG[0052h] LCD1 FPFRAME Pulse Position Register	146
REG[0054h] LCD1 Serial Interface Setting Register	147	REG[0056h] LCD1 Parallel Interface Setting Register	149
LCD2設定レジスタ			
REG[0058h] LCD2 Horizontal Display Period Register	152	REG[005Ah] LCD2 Vertical Display Period Register	152
REG[005Ch] LCD2 Serial Interface Setting Register	152	REG[005Eh] LCD2 Parallel Interface Setting Register	154

表10.2 S1D13719のレジスタセット

レジスタ	ページ	レジスタ	ページ
拡張パネルレジスタ			
REG[0060h] SPI Header Data Register	157	REG[0062h] SPI Read Data Register	157
REG[0064h] SPI Read Wait Time Register	157	REG[0068h] LCD1 Vsync Output Register	157
REG[006Ah] LCD2 Vsync Output Register	158	REG[0080h] Samsung α -TFT Horizontal Total Register	159
REG[0082h] Samsung α -TFT LD Rising Edge Register	159	REG[0084h] Samsung α -TFT CKV Toggle Point Register	159
REG[0086h] Samsung α -TFT VCOM Toggle Point Register	160	REG[0088h] Samsung α -TFT Pulse Width Register	160
REG[008Ah]からREG[008Eh]までは予約レジスタです。	160	REG[0090h] HR-TFT Configuration Register	161
REG[0092h] HR-TFT CLS Width Register	161	REG[0094h] HR-TFT PS1 Rising Edge Register	161
REG[0096h] HR-TFT PS2 Rising Edge Register	162	REG[0098h] HR-TFT PS2 Toggle Width Register	162
REG[009Ah] HR-TFT PS3 Signal Width Register	163	REG[009Eh] HR-TFT REV Toggle Point Register	163
REG[00A0h] HR-TFT PS1/2 End Register	163	REG[00A2h] Type 2 TFT Configuration Register 0	164
REG[00A4h] Casio TFT Timing Register 0	165	REG[00A6h] Casio TFT Timing Register 1	166
REG[00A8h] Type 2 TFT Configuration Register 1	166	REG[00AAh]からREG[00ECh]までは予約レジスタです。	166
REG[00EEh] Partial Drive Area0 Start Line Register	166	REG[00F0h] Partial Drive Area0 End Line Register	168
REG[00F2h] Partial Drive Area1 Start Line Register	169	REG[00F4h] Partial Drive Area1 End Line Register	169
REG[00F6h]からREG[00FCh]までは予約レジスタです。	169	REG[00FEh] LCD Interface ID Register	170
カメラインタフェース設定レジスタ			
REG[0100h] Camera1 Clock Setting Register	171	REG[0102h] Camera1 Signal Setting Register	172
REG[0104h] Camera2 Clock Divide Select Register	173	REG[0106h] Camera2 Input Signal Format Select Register	174
REG[0108h]からREG[010Eh]までは予約レジスタです。	175	REG[0110h] Camera Mode Setting Register	175
REG[0112h] Camera Frame Setting Register	178	REG[0114h] Camera Control Register	180
REG[0116h] Camera Status Register	181	REG[0120h] Strobe Line Delay Register	183
REG[0122h] Strobe Pulse Width Register	183	REG[0124h] Strobe Control Register	183
REG[0128h] MPEG Interface VSYNC Width register	185	REG[012Ah] MPEG Interface HSYNC Width register	185
REG[012Ch]からREG[012Fh]までは予約レジスタです。	185	REG[0130h] CIOVDD Control register	186
表示モード設定レジスタ			
REG[0200h] Display Mode Setting Register 0	187	REG[0202h] Display Mode Setting Register 1	191
REG[0204h] Transparent Overlay Key Color Red Data Register	194	REG[0206h] Transparent Overlay Key Color Green Data Register	194
REG[0208h] Transparent Overlay Key Color Blue Data Register	195	REG[0210h] Main Window Display Start Address Register 0	195
REG[0212h] Main Window Display Start Address Register 1	195	REG[0214h] Main Window Start Address Status Register	196
REG[0216h] Main Window Line Address Offset Register	197	REG[0218h] PIP+ Display Start Address Register 0	199
REG[021Ah] PIP+ Display Start Address Register 1	199	REG[021Ch] PIP+ Window Start Address Status Register	200
REG[021Eh] PIP+ Window Line Address Offset Register	201	REG[0220h] PIP+ X Start Positions Register	203
REG[0222h] PIP+ Y Start Positions Register	203	REG[0224h] PIP+ X End Positions Register	203
REG[0226h] PIP+ Y End Positions Register	204	REG[0228h]は予約レジスタです。	204
REG[022Ah] Back Buffer1 Display Start Address Register 0	205	REG[022Ch] Back Buffer1 Display Start Address Register 1	205
REG[022Eh] Back Buffer2 Display Start Address Register 0	205	REG[0230h] Back Buffer2 Display Start Address Register 1	205
REG[0234h] YUV Display Control Register	206	REG[0236h] YUV Display Size Register	207
REG[0238h] YUV Display Start Offset Register	207	REG[023Ah] Fractional Zoom Register	208
REG[023Ch] YRC2 Translate Mode Register	210	REG[023Eh] YRC2 UV Data Fix Register	211
REG[0240h] YRC1 Translate Mode Register	211	REG[0242h] YRC1 Write Start Address 0 Register 0	215
REG[0244h] YRC1 Write Start Address 0 Register 1	215	REG[0246h] YRC1 Write Start Address 1 Register 0	216

10. レジスタ

表10.2 S1D13719のレジスタセット

レジスタ	ページ	レジスタ	ページ
REG[0248h] YRC1 Write Start Address 1 Register 1	216	REG[024Ah] YRC1 Write Start Address 2 Register 0	216
REG[024Ch] YRC1 Write Start Address 2 Register 1	216	REG[024Eh] YRC1 UV Data Fix Register	217
REG[0250h] YRC1 Rectangle Pixel Width Register	217	REG[0252h] YRC1 Rectangular Line Address Offset Register	217
REG[0254h] YRC1 Memory Configuration Register	218	REG[0260h] RGB/YUV Converter Configuration Register	219
REG[0262h]は予約レジスタです。	219	REG[0264h] Memory Image JPEG Encode Horizontal Display Period Register	220
REG[0266h] Memory Image JPEG Encode Vertical Display Period Register	220	REG[0268h]は予約レジスタです。	220
REG[0266h] Memory Image JPEG Encode Vertical Display Period Register	220	REG[0270h] Host Image JPEG Encode Control Register	220
REG[0272h] Host Image JPEG Encode Horizontal Pixel Count Register	222	REG[0274h] Host Image JPEG Encode Vertical Line Count Register	222
REG[0276h] Host Image JPEG Encode RGB Data Register 0	223	REG[0278h] Host Image JPEG Encode RGB Data Register 1	223
REG[0280h]は予約レジスタです。	223		
GPIOレジスタ			
REG[0300h] GPIO Configuration Register 0	224	REG[0302h] GPIO Configuration Register 1	224
REG[0304h] GPIO Input Enable Register 0	224	REG[0306h] GPIO Input Enable Register 1	224
REG[0308h] GPIO Pull Down Control Register 0	225	REG[030Ah] GPIO Pull Down Control Register 1	225
REG[030Ch] GPIO Status Register 0	225	REG[030Eh] GPIO Status Register 1	225
オーバーレイレジスタ			
REG[0310h] Average Overlay Key Color Red Data Register	226	REG[0312h] Average Overlay Key Color Green Data Register	227
REG[0314h] Average Overlay Key Color Blue Data Register	227	REG[0316h] AND Overlay Key Color Red Data Register	228
REG[0318h] AND Overlay Key Color Green Data Register	228	REG[031Ah] AND Overlay Key Color Blue Data Register	229
REG[031Ch] OR Overlay Key Color Red Data Register	229	REG[031Eh] OR Overlay Key Color Green Data Register	230
REG[0320h] OR Overlay Key Color Blue Data Register	230	REG[0322h] INV Overlay Key Color Red Data Register	231
REG[0324h] INV Overlay Key Color Green Data Register	231	REG[0326h] INV Overlay Key Color Blue Data Register	232
REG[0328h] Overlay Miscellaneous Register	232		
LUT1 (メインウィンドウ)			
REG[0400h - 07FCh] LUT1 Data Register 0	235	REG[0402h - 07FEh] LUT1 Data Register 1	235
LUT2 (PIP+ウィンドウ)			
REG[0800h - 08FCh] LUT2 Data Register 0	236	REG[0802 - 08FEh] LUT2 Data Register 1	236
リサイザコントロールレジスタ			
REG[0930h] Global Resizer Control Register	237	REG[0932h]からREG[093Eh]までは予約レジスタです。	239
REG[0940h] View Resizer Control Register	240	REG[0944h] View Resizer Start X Position Register	240
REG[0946h] View Resizer Start Y Position Register	241	REG[0948h] View Resizer End X Position Register	241
REG[094Ah] View Resizer End Y Position Register	241	REG[094Ch] View Resizer Operation Setting Register 0	242
REG[094Eh] View Resizer Operation Setting Register 1	244	REG[0960h] Capture Resizer Control Register	245
REG[0964h] Capture Resizer Start X Position Register	246	REG[0966h] Capture Resizer Start Y Position Register	247
REG[0968h] Capture Resizer End X Position Register	247	REG[096Ah] Capture Resizer End Y Position Register	247
REG[096Ch] Capture Resizer Operation Setting Register 0	248	REG[096Eh] Capture Resizer Operation Setting Register 1	250
JPEGモジュールレジスタ			
REG[0980h] JPEG Control Register	251	REG[0982h] JPEG Status Flag Register	256
REG[0984h] JPEG Raw Status Flag Register	260	REG[0986h] JPEG Interrupt Control Register	263
REG[0988h]は予約レジスタです。	265	REG[098Ah] JPEG Code Start/Stop Control Register	265
REG[098Ch]からREG[098Eh]までは予約レジスタです。	265		

表10.2 S1D13719のレジスタセット

レジスタ	ページ	レジスタ	ページ
JPEG FIFO設定レジスタ			
REG[09A0h] JPEG FIFO Control Register	266	REG[09A2h] JPEG FIFO Status Register	268
REG[09A4h] JPEG FIFO Size Register	268	REG[09A6h] JPEG FIFO Read/Write Port Register	269
REG[09A8h] JPEG FIFO Valid Data Size Register	269	REG[09AAh] JPEG FIFO Read Pointer Register	270
REG[09ACh] JPEG FIFO Write Pointer Register	270	REG[09B0h] Encode Size Limit Register 0	271
REG[09B2h] Encode Size Limit Register 1	271	REG[09B4h] Encode Size Result Register 0	271
REG[09B6h] Encode Size Result Register 1	271	REG[09B8h] JPEG File Size Register 0	272
REG[09BAh] JPEG File Size Register 1	272	REG[09BCh] JPEG FIFO Address Offset Register	272
JPEGラインバッファ設定レジスタ			
REG[09C0h] JPEG Line Buffer Status Flag Register	273	REG[09C2h] JPEG Line Buffer Raw Status Flag Register	274
REG[09C4h] JPEG Line Buffer Raw Current Status Register	274	REG[09C6h] JPEG Line Buffer Interrupt Control Register	275
REG[09C8h]からREG[09CEh]までは予約レジスタです。	275	REG[09D0h] JPEG Line Buffer Configuration Register	276
REG[09D2h] JPEG Line Buffer Address Offset Register	276	REG[09D4h]からREG[09DEh]までは予約レジスタです。	276
REG[09E0h] JPEG Line Buffer Read/Write Port Register	277		
割り込み制御レジスタ			
REG[0A00h] Interrupt Status Register	278	REG[0A02h] Interrupt Control Register 0	279
REG[0A04h] Interrupt Control Register 1	280	REG[0A06h] Debug Status Register	281
REG[0A08h] Interrupt Control for Debug Register	282	REG[0A0Ah] Host Cycle Interrupt Status Register	283
REG[0A0Ch] Host Cycle Interrupt Control Register	284	REG[0A0Eh] Cycle Time Out Control Register	285
REG[0A10h]は予約レジスタです。	285	REG[0A20h] Indirect Interface Interrupt Flag Register	286
REG[0A22h] Indirect Interface Interrupt Control Register	288	REG[0A40h] Interrupt Request Status Register	289
JPEG符号化実行レジスタ			
REG[0F00h] JPEG Encode Performance Register	290	REG[0F02h] JPEG Extended Address Register	290
JPEGコーデックレジスタ			
REG[1000h] Operation Mode Setting Register	292	REG[1002h] Command Setting Register	293
REG[1004h] JPEG Operation Status Register	294	REG[1006h] Quantization Table Number Register	294
REG[1008h] Huffman Table Number Register	295	REG[100Ah] DRI Setting Register 0	296
REG[100Ch] DRI Setting Register 1	296	REG[100Eh] Vertical Pixel Size Register 0	297
REG[1010h] Vertical Pixel Size Register 1	297	REG[1012h] Horizontal Pixel Size Register 0	298
REG[1014h] Horizontal Pixel Size Register 1	298	REG[1016h]からREG[101Ah]までは予約レジスタです。	298
REG[101Ch] RST Marker Operation Setting Register	299	REG[101Eh] RST Marker Operation Status Register	299
REG[1020h - 1066h] Insertion Marker Data Register	300	REG[1200h - 127Eh] Quantization Table No. 0 Register	300
REG[1280h - 12FEh] Quantization Table No. 1 Register	301	REG[1400h - 141Eh] DC Huffman Table No. 0 Register 0	301
REG[1420h - 1436h] DC Huffman Table No. 0 Register 1	301	REG[1440h - 145Eh] AC Huffman Table No. 0 Register 0	302
REG[1460h - 15A2h] AC Huffman Table No. 0 Register 1	302	REG[1600h - 161Eh] DC Huffman Table No. 1 Register 0	304
REG[1620h - 1636h] DC Huffman Table No. 1 Register 1	304	REG[1640h - 165Eh] AC Huffman Table No. 1 Register 0	305
REG[1660h - 17A2h] AC Huffman Table No. 1 Register 1	305		

10. レジスタ

表10.2 S1D13719のレジスタセット

レジスタ	ページ	レジスタ	ページ
SDカードインタフェースレジスタ			
REG[6000h] SD Memory Card Configuration Register 0	307	REG[6004h] SD Memory Card Configuration Register 2	307
REG[6008h] SD Memory Card Interrupt Flag Register	309	REG[600Ah] SD Memory Card Interrupt Enable Register	310
REG[600Ch] SD Memory Card Interrupt Clear Register	311	REG[6100h] SD Memory Card Control Register 0	312
REG[6102h] SD Memory Card Control Register 1	314	REG[6104h] SD Memory Card Function Register	315
REG[6106h] SD Memory Card Status Register	317	REG[6108h] SD Memory Card Data Length Register 0	318
REG[610Ah] SD Memory Card Data Length Register 1	318	REG[610Ch] SD Memory Card Command Register	318
REG[610Eh] SD Memory Card Timer Register	318	REG[6110h] SD Memory Card Parameter Register 0	319
REG[6112h] SD Memory Card Parameter Register 1	319	REG[6114h] SD Memory Card Parameter Register 2	319
REG[6116h] SD Memory Card Parameter Register 3	319	REG[6118h - 611Eh] SD Memory Card Data Registers	320
REG[6120h] SD Memory Card Response Register 0	320	REG[6122h] SD Memory Card Response Register 1	321
REG[6124h] SD Memory Card Response Register 2	321	REG[6126h] SD Memory Card Response Register 3	321
REG[6128h] SD Memory Card Response Register 4	321	REG[612Ah] SD Memory Card Response Register 5	322
REG[612Ch] SD Memory Card Response Register 6	322	REG[612Eh] SD Memory Card Response Register 7	322
REG[6130h] SD Memory Card Response Register 8	322	REG[6132h] SD Memory Card Response Register 9	323
REG[6134h] SD Memory Card Response Register A	323	REG[6136h] SD Memory Card Response Register B	323
REG[6138h] SD Memory Card Response Register C	323	REG[613Ah] SD Memory Card Response Register D	324
REG[613Ch] SD Memory Card Response Register E	324	REG[613Eh] SD Memory Card Response Register F	324
2D BitBLTレジスタ			
REG[8000h] BitBLT Control Register 0	325	REG[8002h] BitBLT Control Register 1	325
REG[8004h] BitBLT Status Register 0	326	REG[8006h]は予約レジスタです。	326
REG[8008h] BitBLT Command Register 0	327	REG[800Ah] BitBLT Command Register 1	328
REG[800Ch] BitBLT Source Start Address Register 0	329	REG[800Eh] BitBLT Source Start Address Register 1	329
REG[8010h] BitBLT Destination Start Address Register 0	330	REG[8012h] BitBLT Destination Start Address Register 1	330
REG[8014h] BitBLT Memory Address Offset Register	330	REG[8018h] BitBLT Width Register	330
REG[801Ch] BitBLT Height Register	331	REG[8020h] BitBLT Background Color Register	331
REG[8024h] BitBLT Foreground Color Register	331	REG[8030h] BitBLT Interrupt Status Register	331
REG[8032h] BitBLT Interrupt Control Register	332	REG[10000h] 2D BitBLT Data Memory Mapped Region Register	332

10.3 レジスタの制限

特に指定がない限り、すべての予約ビットは0に設定してください。予約ビットに何らかの値を書き込むと予期せぬ結果を生じる原因になります。n/aと示したビットはハードウェアに対して何ら影響を与えません。

一部のレジスタは、ある条件が整ったときにしかアクセスできません。アクセス不可タイプのレジスタに対する読み書き操作はすべて無効です。レジスタについては以下の制限があります。

- REG[0000h] ~ REG[0018h]およびREG[0300h] ~ REG[030Eh]はいつでもアクセス可能です。
- REG[0000h] ~ REG[0018h] および REG[0300h] ~ REG[030Eh] はソフトウェアリセットによってリセットされません。
- パワーセーブモードがイネーブルされている (REG[0014h] ビット0 = 1) とき、REG[0030h] ~ REG[0A0Eh] (ただしREG[0300h] ~ REG[030Eh]を除く) にはアクセスできません。
- JPEGコーデックがディセーブルされている (REG[0980h] ビット0 = 0) とき、REG[1000h] ~ REG[17A2h]にはアクセスできません。
- SD カードインタフェースがディセーブルされている (REG[6000h] ビット0 = 0) とき、REG[6100h] ~ REG[613Eh]にはアクセスできません。

10. レジスタ

10.4 レジスタの説明

10.4.1 システム設定レジスタ

REG[0000h] Product Information Register								Read Only	
Default = 8070h									
表示バッファサイズビット7-0									
15	14	13	12	11	10	9	8		
製品コードビット5-0								改訂コードビット1-0	
7	6	5	4	3	2	1	0		

bits 15-8 表示バッファサイズビット[7:0] (読み出し専用)
これらのビットはSRAM表示バッファのサイズを示します。値の単位は4KBです。S1D13719の表示バッファは512KBであるため、このフィールドは128 (80h)の値を返します。

$$\begin{aligned} \text{REG}[0000\text{h}] \text{ビット} 15 \sim 8 &= \text{表示バッファサイズ} \div 4\text{KB} \\ &= 512\text{KB} \div 4\text{KB} \\ &= 128 (80\text{h}) \end{aligned}$$

bits 7-2 製品コードビット[5:0] (読み出し専用)
これらのビットは製品コードを示します。S1D13719の製品コードは011100 (1Ch) です。

bits 1-0 改訂コードビット[1:0] (読み出し専用)
これらのビットは改訂コードを示します。改訂コードは00です。

REG[0002h] Configuration Pins Status Register								Read Only
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
CNF[7:0]状態								
7	6	5	4	3	2	1	0	

bits 7-0 CNF[7:0]状態 (読み出し専用)
これらのビットは、設定端子CNF[7:0]の状態を返します。CNF[7:0]はRESET#の立ち上がりエッジにおいてラッチされます。各設定端子の機能の説明については、34ページの5.3「コンフィギュレーションオプションの概要」をご覧ください。

REG[0004h] SD Memory Card Interface Enable Register							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
SDカード インタフェース イネーブル	n/a			AB[18:3] プルダウン制御	n/a		
7	6	5	4	3	2	1	0

- bit 7 SDカードインタフェースイネーブル
このビットが0のとき、SDカードインタフェースはディセーブルされます。
このビットが1のとき、SDカードインタフェースはイネーブルされます。SDカードインタフェースにはGPIO[19:11]端子が割り当てられています。
- bit 3 AB[18:3]プルダウン制御
このビットは、インダイレクトインタフェースの選択時にAB[18:3]端子のプルダウン抵抗を制御します。このビットはダイレクトインタフェースの選択時には何の効果ももたず、プルダウン抵抗はディセーブルされます。
このビットが0のとき、プルダウン抵抗はイネーブルされます（デフォルト）。
このビットが1のとき、プルダウン抵抗はディセーブルされます。

REG[0006h] Bus Timeout Setting Register									
Default = 0000h								Read/Write	
n/a								ホストI/Fセット アップ時間制御	Reserved
15	14	13	13	11	10	9	8		
n/a						バスタイムアウト リセット割り込み 状態（RO）	バスタイムアウト リセット ディセーブル	バスタイムアウト リセット割り込み ディセーブル	
7	6	5	4	3	2	1	0		

- bit 9 ホストI/Fセットアップ時間制御
このビットが0のとき、読み出しモードのセットアップ時間は5nsです（デフォルト）。
このビットが1のとき、読み出しモードのセットアップ時間は0nsです。
- bit 8 Reserved
デフォルト値は0です。
- bit 2 バスタイムアウトリセット割り込み状態（読み出し専用）
バスタイムアウトリセット機能の状態ビットです。WAIT#信号が2または3サイクルの間アクティブになるとバスタイムアウトリセットが発生します。
このビットが0のとき、バスタイムアウトは発生していません。
このビットが1のとき、バスタイムアウトが発生しています。
- このフラグはバスタイムアウトリセット割り込みディセーブルビット（REG[0006h]ビット0）によってクリアされます。

10. レジスタ

bit 1 バスタイムアウトリセットディセーブル
このビットはS1D13719のバスタイムアウトリセット機能を制御します。バスタイムアウトが発生するとバスタイムアウトリセット割り込み状態 (REG[0006h]ビット2) が設定され、本チップがリセットされます。
このビットが0のとき、バスタイムアウトリセット機能はイネーブルされず (デフォルト)。
このビットが1のとき、バスタイムアウトリセット機能はディセーブルされず。

注

内部PLLをディセーブルする (REG[0012h]ビット0=1) と、バスタイムアウトリセット機能はディセーブルされず (REG[0006h]ビット1=1)。

bit 0 バスタイムアウトリセット割り込みディセーブル
このビットはバスタイムアウトリセットの割り込みを制御し、バスタイムアウトリセット割り込み状態 (REG[0006h]ビット2) のクリアに用います。
このビットが0のとき、バスタイムアウト割り込みはイネーブルされず (デフォルト)。
このビットが1のとき、バスタイムアウト割り込みはディセーブルされます。

このビットに1を書き込むと、バスタイムアウトのフラグ (REG[0006h]ビット2) がクリアされます。

10.4.2 クロック設定レジスタ

REG[000Eh] PLL Setting Register 0							
Default = 1BE8h							Read/Write
Nカウンタビット3~0				Lカウンタビット9~6			
15	14	13	12	11	10	9	8
Lカウンタビット5~0					V分周器ビット1~0		
7	6	5	4	3	2	1	0

注

本レジスタを設定する前にパワーセーブモードをイネーブルする(REG[0014h] ビット0=1)とともに、PLLをディセーブルしてください(REG[0012h] ビット0=1)。詳しくは333ページの図11.1「パワーオン/パワーオフシーケンス」または334ページの図11.2「パワー関連モード」をご覧ください。

bits 15-12

Nカウンタビット[3:0]

bits 11-2

Lカウンタビット[9:0]

これらのビットは、両者合わせてPLL出力 (MHz) の設定に用います。設定は以下の式に従ってください。

$$\begin{aligned} \text{PLL出力} &= (\text{Nカウンタ} + 1) \times (\text{Lカウンタ} + 1) \times \text{CLKI} \\ &= \text{NN} \times \text{LL} \times \text{CLKI} \end{aligned}$$

ただし、

PLL出力：望ましいPLL出力周波数のMHz値 (最大55MHz)

Nカウンタ：ビット15～12の値

Lカウンタ：ビット11～2の値

CLKI：PLL基準周波数 (常に32.768kHzとします)

表10.3 PLL設定例

目標周波数 (MHz)	NN	LL	NN x LL	REG[000Eh]	POUT (MHz)
40	4	305	1220	34C0h	39.98
45	6	229	1374	5390h	45.02
48.76	16	93	1488	F194h	48.76
50	15	122	1830	E1E4h	49.97
54	16	103	1648	F198h	54.00
55	2	839	1678	1D18h	54.98

注

電力消費量を最適にするにはNNの値をできるだけ大きくします。

10. レジスタ

bits 1-0

V分周器ビット[1:0]

これらのビットは、PLL出力ジッタの微調整に使用します。このフィールドの値は下表に示す値を表します。以下の式が満たされるように設定してください。

$$100\text{MHz} \quad (\text{PLL出力} \times \text{V分周器}) \quad 410\text{MHz}$$

ただし、

PLL出力：ビット15～12（Nカウンタ）とビット11～2（Lカウンタ）によって得られるMHz値（最大55MHz）

V分周器：表10.3から得られる値

表10.4 V分周器

REG[000Eh]ビット1～0	V分周器
00	(注)
01	2
10	4
11	8

注

V分周器の値を00に設定すると消費電力量は最も低くなりますが、ジッタが最大になります。最適な設定を行うには、具体的なシステム設計条件を考慮に入れる必要があります。

REG[0010h] PLL Setting Register 1								Read/Write
Default = 0000h								
VCO Kv設定ビット3~0				n/a				
15	14	13	12	11	10	9	8	
n/a								
7	6	5	4	3	2	1	0	

注

本レジスタを設定する前にパワーセーブモードをイネーブルする(REG[0014h] ビット0=1)とともに、PLLをディセーブルしてください(REG[0012h] ビット0=1)。詳しくは、333ページの図11.1「パワーオン/パワーオフシーケンス」または334ページの図11.2「パワー関連モード」をご覧ください。

bits 15-12

VCO Kv設定ビット[3:0]

これらのビットはPLL出力ジッタの微調整に使用します。以下の式に従って設定してください。

100MHz (PLL出力 × V分周器) 200MHzのときは0010に設定します。

200MHz < (PLL出力 × V分周器) 300MHzのときは0101に設定します。

300MHz < (PLL出力 × V分周器) 410MHzのときは0111に設定します。

これらのビットでは上記以外のノンゼロ値は予約ビットです。

ただし、

PLL出力：望ましいPLL出力周波数のMHz値。REG[000Eh]ビット15~12と同レジスタのビット11~2によって得られます

V分周器：表10.4から得られる値。REG[000Eh]ビット1~0によって制御されます

注

これらのビットの値を0000に設定すると消費電力量は最も低くなりますが、ジッタが最大になります。最適な設定を行うには、具体的なシステム設計条件を考慮に入れることが必要です。

10. レジスタ

REG[0012h] PLL Setting Register 2								Read/Write
Default = 0001h								
n/a								
15	14	13	12	11	10	9	8	
n/a					Reserved	Reserved	PLLディセーブル	
7	6	5	4	3	2	1	0	

注

PLLおよびクロックの構成については111ページの9.「クロック」をご覧ください。

bit 2

Reserved
デフォルト値は0です。

bit 1

Reserved
デフォルト値は0です。

bit 0

PLLディセーブル
このビットは内部PLLを制御します。このビットをイネーブルするときは、その前にPLL Setting Register 0(REG[000Eh])とPLL Setting Register 1(REG[0010h])によってPLLを設定してください。
このビットが0のとき、PLLはイネーブルされます。その場合、PLL出力がシステムクロック分周器の入力ソースになります。
このビットが1のとき、PLLはディセーブルされます(デフォルト)。その場合、外部クロック(CLKI)がシステムクロック分周器の入力ソースになります。

注

PLL出力が安定化するまでに最大100msの遅延を要することがあります。その間はS1D13719にアクセスしてはなりません。

REG[0014h] Miscellaneous Configuration Register							Read/Write
Default = 04D1h							
Reserved	パラレルバイパス プルダウン制御	パラレルバイパス 方向制御	LCDバイパス イネーブル	LCDバイパスモード選択ビット3~0			
15	14	13	12	11	10	9	8
垂直非表示期間 状態 (RO)	メモリパワー セーブ状態 (RO)	n/a	バイパス入力 プルアップ/ ダウン制御	パラレルバイパス チップ選択モード	Reserved	Reserved	パワーセーブモード イネーブル
7	6	5	4	3	2	1	0

bit 15

Reserved
デフォルト値は0です。

bit 14

パラレルバイパスプルダウン制御
このビットは、パラレルバイパスモード (REG[0014h]ビット13を参照) においてFPDAT[17:0]端子が入力に設定されているときに、FPDAT[17:0]端子のプルダウン抵抗を制御します。FPDAT[17:0]端子が出力に設定されている場合、このビットは何の効果ももたず、プルダウン抵抗はディセーブルされます。このビットが0のとき、プルダウン抵抗はディセーブルされます (デフォルト)。このビットが1のとき、プルダウン抵抗はイネーブルされます。

注

LCDバイパスモードがイネーブルされている (REG[0014h]ビット12 = 1) 場合、DB[15:0]入力は浮動状態またはHi-Zのままにはなりません。

bit 13

パラレルバイパス方向制御
パラレルバイパスモードがイネーブルされているとき、このビットの設定によってFPDAT[17:0]端子を入力または出力に設定することができます。このビットが0のとき、上記端子は出力です (デフォルト)。このビットが1のとき、上記端子は入力です。

bit 12

LCDバイパスイネーブル
このビットはLCDバイパスモードを制御します。LCDバイパスモードをイネーブルするときは、その前にLCDバイパスに関するすべての設定を行ってください。このビットが0のとき、LCDバイパスモードはディセーブルされます (デフォルト)。このビットが1のとき、LCDバイパスモードはイネーブルされます。

注

LCDインタフェースがビジー状態 (REG[0038h]ビット0 = 1) のときは、このビットをイネーブルしてはなりません。

10. レジスタ

bits 11-8

LCDバイパスモード選択ビット[3:0]

これらのビットは、下記の対応に従ってLCDのバイパスモードを選択します。

表10.5 LCDバイパスモード選択

REG[0014h]ビット11~8	バイパスモード	LCDパネル	インタフェース	データ端子
0000	F	LCD2	パラレル	FPDAT[15:0]
0001	G	LCD2	パラレル	FPDAT[17:0]
0010	C	LCD1	パラレル	FPDAT[15:0]
0011	D	LCD1	パラレル	FPDAT[17:0]
0100 (デフォルト)	A	LCD2	シリアル	FSO
0101	Reserved			
0110	B	LCD1	シリアル	FSO
0111 ~ 1000	Reserved			
1001	H	LCD2	パラレル	FPDAT[17:10], FPDAT[8:1]
1010	Reserved			
1011	E	LCD1	パラレル	FPDAT[17:10], FPDAT[8:1]
1100 ~ 1111	Reserved			

bit 7

垂直非表示期間状態 (読み出し専用)

LCD1に対してRGBインタフェースパネルを選択している場合(モード1/モード4、REG[0032h]ビット1~0を参照) この状態ビットはパネルが垂直非表示期間内にあるかどうかを示します。モード2またはモード3が選択されているとき、このビットは何の効果もありません。

このビットが0のとき、LCDパネル出力は垂直表示期間にあります。

このビットが1のとき、LCDパネル出力は垂直非表示期間にあります。

bit 6

メモリパワーセーブ状態 (読み出し専用)

このビットはメモリコントローラの状態を示します。パワーセーブモード (REG[0014h]ビット0) をイネーブルするとき、またはPLL (REG[0012h]ビット0) をディセーブルするときは、その前にこのビットをチェックしてください。このビットの使い方については、52ページの図7.4「パワーオンシーケンス」および52ページの図7.5「パワーオフシーケンス」をご覧ください。

このビットが0のとき、メモリコントローラには電源が供給されています。

このビットが1のとき、メモリコントローラはアイドル状態であり、システムクロックソースをディセーブルできます。

- bit 4 バイパス入力プルアップ/ダウン制御
このビットは、ホストのシリアル/パラレル入力端子 (SCS#, SCLK, SA0, SI) に備わるアクティブプルアップ/プルダウン抵抗を制御します。シリアル/パラレル入力ポートが不使用 (Hi-Z) の場合は、このビットを1に設定してください。
このビットが0のとき、プルアップ/プルダウン抵抗は非アクティブです。
このビットが1のとき、プルアップ/プルダウン抵抗はアクティブであり、端子との対応は以下のようになります (デフォルト)。

表10.6 シリアル/パラレル入力端子のプルアップ/プルダウン抵抗

端子	タイプ
SCS#	プルアップ
SCLK	プルダウン
SA0	プルダウン
SI	プルダウン

- bit 3 パラレルバイパスチップ選択モード
このビットは、パラレルバイパスモードがイネーブルされている時に使用するチップ選択モードを制御します。

表10.7 パラレルバイパスチップ選択モード

REG[0014h]ビット3	チップ選択モード	SCS#機能	CS#機能
0	SCS#モード	LCDパラレルバイパス	メモリ/レジスタ
1	CS#モード	1入力	メモリ/レジスタ
		0入力	LCDパラレルバイパス

- bit 2 Reserved
デフォルト値は0です。
- bit 1 Reserved
デフォルト値は0です。
- bit 0 パワーセーブモードイネーブル
このビットはソフトウェア起動されるパワーセーブモードの状態を制御します。パワーセーブモードをディセーブルすると、S1D13719は通常どおり動作します。パワーセーブモードをイネーブルすると、S1D13719は低消費電力/パワーセーブ状態になります。パワーセーブモードにおけるS1D13719の状態については333ページの11.「パワーセーブモード」をご覧ください。
このビットが0のとき、パワーセーブモードはディセーブルされます。
このビットが1のとき、パワーセーブモードはイネーブルされます (デフォルト)。

注

パワーセーブモードをイネーブルする前に、表示出力ポートをオフ (REG[0202h]ビット12~10=000) にし、かつメモリコントローラのアイドル状態ビット (REG[0014h]ビット6) が1を返さなければなりません。

10. レジスタ

REG[0016h] Software Reset Register								Write Only
Default = n/a								
ソフトウェアリセットビット15~8								
15	14	13	12	11	10	9	8	
ソフトウェアリセットビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0

ソフトウェアリセットビット[15:0]（書き込み専用）
 これらのビットに何らかの値を書き込むと、すべてのレジスタがそれぞれのデフォルト値にリセットされます。このレジスタによるソフトウェアリセットの場合、表示バッファはクリアされません。ソフトウェアリセットの詳細については、335ページの11.1.2「リセット」をご覧ください。

REG[0018h] System Clock Setting Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a						システムクロック分周選択ビット1~0		
7	6	5	4	3	2	1	0	

bits 1-0

システムクロック分周選択ビット[1:0]
 これらのビットはシステムクロックの分周比を決定します。クロックソースは、REG[0012h]ビット0を使ってPLL出力（REG[000Eh]～REG[0012h]を参照）か外部クロックソース（CLKI）かを選択できます。

表10.8 システムクロック分周比選択

REG[0018h]ビット1~0	システムクロック分周比
00	1:1
01	2:1
10	3:1
11	4:1

注

クロック構成の詳細については111ページの9.「クロック」をご覧ください。

10.4.3 インダイレクトインタフェースレジスタ

これらのレジスタは、インダイレクトインタフェースモード専用です。インダイレクトインタフェースはRESET#において設定用ビットCNF[4:2]を用いて選択されます（34ページの表5.2「パワーオン/リセットオプションの概要」を参照）。

REG[0020h] Indirect Interface Memory Rectangular Address Offset Register								Read/Write
Default = 0000h								
n/a				インダイレクトインタフェースメモリ矩形アドレスオフセットビット10~8				
15	14	13	12	11	10	9	8	
インダイレクトインタフェースメモリ矩形アドレスオフセットビット7~1								n/a
7	6	5	4	3	2	1	0	

bits 10-1

インダイレクトインタフェースメモリ矩形アドレスオフセットビット[10:1]
 これらのビットはインダイレクトインタフェースモード専用です。
 これらのビットは、矩形メモリアドレスモードが選択されている（REG[0024h]ビット15=1）ときにインダイレクトインタフェースのメモリアドレスオフセットを決定します。

REG[0020h]ビット10~1=(メモリ矩形アドレスオフセット)-1ワード

REG[0022h] Indirect Interface Memory Address Register 0								Read/Write
Default = 0000h								
インダイレクトインタフェースメモリアドレスビット15~8								
15	14	13	12	11	10	9	8	
インダイレクトインタフェースメモリアドレスビット7~1								インダイレクト インタフェース 読み出し/書き込み サイクル
7	6	5	4	3	2	1	0	

REG[0024h] Indirect Interface Memory Address Register 1								Read/Write
Default = 0000h								
メモリアドレス モード	n/a							
15	14	13	12	11	10	9	8	
n/a				インダイレクトインタフェースメモリアドレスビット18~16				
7	6	5	4	3	2	1	0	

REG[0024h] bits 2-0

REG[0022h] bits 15-1

インダイレクトインタフェースメモリアドレスビット[18:1]
 これらのビットはインダイレクトインタフェースモード専用です。
 これらのビットは、各メモリアクセスにおけるメモリ開始アドレスを指定します。メモリアクセスが完了すると、レジスタの値は自動的に累積されます。

注

設定はREG[0024h] REG[0022h]の順に行ってください。

REG[0022h] bit 0

インダイレクトインタフェース読み出し/書き込みサイクル
 このビットはインダイレクトインタフェースモード専用です。
 このビットは、メモリの読み出し処理か書き込み処理かを決定します。
 このビットが0のときは書き込み処理が行われます（デフォルト）。
 このビットが1のときは読み出し処理が行われます。

10. レジスタ

REG[0024h] bit 15

メモリアドレスモード

このビットは、インダイレクトインタフェースモード専用です。

このビットは、インダイレクトインタフェースに対して用いるメモリアドレスモードを指定します。

このビットが0のとき、線形メモリアドレスモードが選択されます (デフォルト)。

このビットが1のとき、矩形メモリアドレスモードが選択されます。

REG[0026h] Indirect Interface Memory Rectangular Width Register								Read/Write
Default = 0000h								
n/a				インダイレクトインタフェースメモリ矩形幅ビット10~8				
15	14	13	12	11	10	9	8	
インダイレクトインタフェースメモリ矩形幅ビット7~1								n/a
7	6	5	4	3	2	1	0	

bits 10-1

インダイレクトインタフェースメモリ矩形幅ビット[10:1]

これらのビットは、インダイレクトインタフェースモード専用です。

これらのビットは、矩形メモリアドレスモードが選択されている (REG[0024h] ビット15 = 1) ときにインダイレクトインタフェースのメモリ矩形幅を決定します。

REG[0026h]ビット10~1 = (メモリ矩形幅) - 1ワード

REG[0028h] Indirect Interface Memory Access Port Register								Read/Write
Default = n/a								
インダイレクトインタフェースメモリアクセスポートビット15~8								
15	14	13	12	11	10	9	8	
インダイレクトインタフェースメモリアクセスポートビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0

インダイレクトインタフェースメモリアクセスポートビット[15:0]

これらのビットはインダイレクトインタフェースモード専用です。

これらのビットは、インダイレクトインタフェースに対するメモリ読み出し / 書き込みポートを示します。

REG[002Ch] Indirect Interface JPEG Status Register								Write Only
Default = 0000h								
Reserved	JPEG LB受信 バッファクリア (WO)	Reserved			JPEG LB送信 バッファクリア (WO)	Reserved		
15	14	13	12	11	10	9	8	
Reserved	JPEG FIFO受信 バッファクリア (WO)	Reserved			JPEG FIFO送信 バッファクリア (WO)	Reserved		
7	6	5	4	3	2	1	0	

注

このレジスタはインダイレクトインタフェースモード専用です。ダイレクトインタフェース使用時はこのレジスタにアクセスしないでください。

bit 15

Reserved

デフォルト値は0です。

bit 14	JPEGラインバッファ受信バッファクリア（書き込み専用） このビットはJPEGラインバッファの受信バッファ部分をクリアします。バッファはJPEG処理の開始前にクリアしてください。これは、JPEGラインバッファの読み出しエラーが発生すると壊れたデータがバッファ内に残留する可能性があるためです。JPEGラインバッファエラー割り込みについては、REG[0A20h]とREG[0A22h]をご覧ください。 このビットに0を書き込んでもハードウェアには何の影響もありません。 このビットに1を書き込むと受信バッファがクリアされます。
bits 13-11	Reserved デフォルト値は0です。
bit 10	JPEGラインバッファ送信バッファクリア（書き込み専用） このビットはJPEGラインバッファの送信バッファ部分をクリアします。バッファはJPEG処理の開始前にクリアしてください。これは、JPEGラインバッファの書き込みエラーが発生すると壊れたデータがバッファ内に残留する可能性があるためです。JPEGラインバッファエラー割り込みについては、REG[0A20h]とREG[0A22h]をご覧ください。 このビットに0を書き込んでもハードウェアには何の影響もありません。 このビットに1を書き込むと送信バッファがクリアされます。
bits 9-7	Reserved デフォルト値は0です。
bit 6	JPEG FIFO受信バッファクリア（書き込み専用） このビットはJPEG FIFOの受信バッファ部分をクリアします。バッファはJPEG処理の開始前にクリアしてください。これは、JPEG FIFOの読み出しエラーが発生すると壊れたデータがバッファ内に残留する可能性があるためです。JPEG FIFOエラー割り込みについては、REG[0A20h]とREG[0A22h]をご覧ください。 このビットに0を書き込んでもハードウェアには何の影響もありません。 このビットに1を書き込むと受信バッファがクリアされます。
bits 5-3	Reserved デフォルト値は0です。
bit 2	JPEG FIFO送信バッファクリア（書き込み専用） このビットはJPEG FIFOの送信バッファ部分をクリアします。バッファはJPEG処理の開始前にクリアしてください。これは、JPEG FIFOの書き込みエラーが発生すると壊れたデータがバッファ内に残留する可能性があるためです。JPEG FIFOエラー割り込みについては、REG[0A20h]とREG[0A22h]をご覧ください。 このビットに0を書き込んでもハードウェアには何の影響もありません。 このビットに1を書き込むと送信バッファがクリアされます。
bits 1-0	Reserved デフォルト値は0です。

10. レジスタ

10.4.4 LCDパネルインタフェース汎用設定レジスタ

REG[0030h] LCD Interface Clock Setting Register							
Default = 0000h							Read/Write
n/a			シリアルクロック分周選択ビット2~0				
15	14	13	12	11	10	9	8
n/a			ピクセルクロック分周選択ビット4~0				
7	6	5	4	3	2	1	0

bits 10-8

シリアルクロック分周選択ビット[2:0]
 これらのビットはシリアルクロックの分周比を指定します。シリアルクロックのクロックソースはシステムクロックです(111ページの図9.1「クロック図」を参照)。LCD1またはLCD2がシリアルインタフェースタイプのLCDパネルでない(REG[0032h]ビット1~0を参照)か、またはシリアルポートバイパスがイネーブルされている(REG[0032h]ビット8=1)場合、これらのビットは無視されません。

表10.9 シリアルクロック分周比選択

REG[0030h]ビット10~8	シリアルクロック分周比
000	2:1
001	4:1
010	6:1
011	8:1
100	10:1
101	12:1
110	14:1
111	16:1

bits 4-0

ピクセルクロック分周選択ビット[4:0]

これらのビットはピクセルクロックの分周比を指定します。ピクセルクロックのクロックソースはシステムクロックです(111ページの図9.1「クロック図」を参照)。LCD1がRGBタイプのパネル(REG[0032h]ビット1~0=00または01) のとき、ピクセルクロックはシフトクロックと同じになります。LCD1またはLCD2がパラレルインタフェースタイプのパネル(REG[0032h]ビット1~0=10または11) のとき、ピクセルクロックはパラレルデータ出力のタイミングクロックに使用されます。

表10.10 ピクセルクロック分周比選択

REG[0030h]ビット4~0	ピクセルクロック分周比
00000	2:1 (注)
00001	4:1
00010	6:1
00011	8:1
00100	10:1
00101	12:1
00110	14:1
00111	16:1
01000	18:1
01001	20:1
01010	22:1
01011	24:1
01100	26:1
01101	28:1
01110	30:1
01111	32:1
10000	34:1
10001	36:1
10010	38:1
10011	40:1
10100	42:1
10101	44:1
10110	46:1
10111	48:1
11000 ~ 11111	Reserved

注

ピクセルクロック分周比に2:1を選択したときはSwivelViewを使用しないでください(REG[0202h]ビット5~4=00かつビット1~0=00)。

10. レジスタ

REG[0032h] LCD Interface Configuration Register							Read/Write	
Default = 0000h								
RGBパネルタイプビット5~0						DRDY極性選択	FPCS1#極性選択	
15	14	13	12	11	10	9	8	
FPSHIFT極性選択	RGBインタフェースパネルデータバス幅ビット2~0				n/a		パネルインタフェースビット1~0	
7	6	5	4	3	2	1	0	

bits 15-10

RGBパネルタイプビット[5:0]

LCD1に対するパネルインタフェースがRGB (REG[0032h]ビット1~0=00) のときにRGBパネルタイプを決定します。LCD1がRGBインタフェースでない (REG[0032h]ビット1~0=10または11) のとき、これらのビットは無視されます。

表10.11 RGBパネルタイプ選択

REG[0032h]ビット15~10	RGBパネルタイプ (LCD1)
000000	汎用TFT、ND-TFD
000001	HR-TFT
000010	カシオ製TFT
000011	TFTタイプ2
000100	TFTタイプ3
000101 ~ 101111	Reserved
110000	α-TFT
110001 ~ 111111	Reserved

bit 9

DRDY極性選択

このビットは、RGBタイプのパネルに対してデータレディー信号のアクティブ極性を設定します。

このビットが0のとき、DRDYはアクティブHighです。

このビットが1のとき、DRDYはアクティブLowです。

bit 8

FPCS1#極性選択

このビットは、パラレルおよびシリアルタイプのパネルに対するLCD1インタフェースのチップ選択についてアクティブ極性を設定します。

このビットが0のとき、FPCS1#はアクティブLowです。

このビットが1のとき、FPCS1#はアクティブHighです。

bit 7

FPSHIFT極性選択

このビットは、RGBタイプのパネルに対してシフトクロックの極性 (FPSHIFTの反転) を設定します。

このビットが0のとき、すべてのパネルインタフェース信号はFPSHIFTの立ち上がりエッジにおいて変化します。

このビットが1のとき、すべてのパネルインタフェース信号はFPSHIFTの立ち下がりエッジにおいて変化します。

bits 6-4

RGBインタフェースパネルデータバス幅ビット[2:0]

これらのビットは、RGBインタフェースパネルが選択されている (REG[0032h]ビット1~0=00または01) のときのみ有効です。これらのビットは、RGBインタフェースパネルデータバスのサイズを決定します。使用されないFPDAT[17:0]端子は強制的にLowに設定されます。また使用されないGPIO[9:4]端子はGPIOとして使用されます。

表10.12 RGBインタフェースパネルデータバス幅選択

REG[0032h]ビット6~4	RGBインタフェースパネルデータバス幅 (LCD1)
000	9ビット
001	12ビット
010	16ビット
011	18ビット
100	24ビット
101~111	Reserved

bits 1-0

パネルインタフェースビット[1:0]
これらのビットはLCD1およびLCD2のインタフェースタイプを決定します。

表10.13 パネルインタフェース選択

REG[0032h]ビット1~0	モード	LCD1パネルインタフェース	LCD2パネルインタフェース
00	1	RGBインタフェース	シリアルインタフェース (RAM内蔵)
01	4	RGBインタフェース	パラレルインタフェース (RAM内蔵)
10	2	パラレルインタフェース (RAM内蔵)	シリアルインタフェース (RAM内蔵)
11	3	パラレルインタフェース (RAM内蔵)	パラレルインタフェース (RAM内蔵)

10. レジスタ

REG[0034h] LCD Interface Command Register								Read/Write
Default = 0000h								
LCDインタフェースコマンドレジスタビット15~8								
15	14	13	12	11	10	9	8	
LCDインタフェースコマンドレジスタビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0

LCDインタフェースコマンドレジスタビット[15:0]

これらのビットはLCD1またはLCD2の平行もしくはシリアルインタフェース専用です。RGBタイプのパネルに対しては何の効果もありません。これらのビットは、LCD1/LCD2の平行もしくはシリアルインタフェースに関するコマンドレジスタとして機能します。8ビットの平行ないしシリアルインタフェースについては下位バイトのみ使用されます。

LCDインタフェースがビジー状態 (REG[0038h]ビット0 = 1) のときは、このレジスタに書き込まないでください。

LCDインタフェースがビジー状態でない (REG[0038h]ビット0 = 0) のときにこれらのビットに書き込むと、コマンド転送が開始されます。コマンド転送が開始されると、FPA0端子がLowまたはHighに変わります。いずれになるかは、P/C極性反転イネーブルビット (REG[003Ch]ビット7) の値によって決まります。

注

LCD1シリアルデータタイプがuWireに設定されている (REG[0054h]ビット7~5 = 10x) 場合、REG[0034h]の上位バイトがA[7:0]に、下位バイトがD[7:0]に使用されます。

REG[0036h] LCD Interface Parameter Register								Read/Write
Default = 0000h								
LCDインタフェースパラメータレジスタビット15~8								
15	14	13	12	11	10	9	8	
LCDインタフェースパラメータレジスタビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0

LCDインタフェースパラメータレジスタ[15:0]

これらのビットはLCD1またはLCD2の平行もしくはシリアルインタフェース専用です。RGBタイプのパネルに対しては何の効果もありません。これらのビットは、LCD1/LCD2の平行もしくはシリアルインタフェースに関するパラメータレジスタとして機能します。8ビットの平行ないしシリアルインタフェースについては下位バイトのみ使用されます。

LCDインタフェースがビジー状態 (REG[0038h]ビット0 = 1) のときは、このレジスタに書き込みを行ってはなりません。

LCDインタフェースがビジー状態でない (REG[0038h]ビット0 = 0) のときにこれらのビットに書き込むと、データ転送が開始されます。データ転送が開始されると、FPA0端子がHighまたはLowに変わります。いずれになるかは、P/C極性反転イネーブルビット (REG[003Ch]ビット7) の値によって決まります。

注

LCD1のシリアルデータタイプがuWireに設定されている (REG[0054h]ビット7~5 = 10x) 場合、REG[0036h]の上位バイトがA[7:0]に、下位バイトがD[7:0]に使用されます。

REG[0038h] LCD Interface Status Register								Read Only
Default = 0000h								
15	14	13	12	n/a	11	10	9	8
7	6	5	4	n/a	3	2	1	LCDインタフェース状態
								0

bit 0 LCDインタフェース状態（読み出し専用）
 このビットはLCD1またはLCD2の平行もしくはシリアルインタフェースに関する状態を示します。このビットが0のとき、LCD1またはLCD2の平行もしくはシリアルインタフェースはビジー状態ではありません（使用可能です）。このビットが1のとき、LCD1またはLCD2の平行もしくはシリアルインタフェースはビジー状態です。

REG[003Ah] LCD Interface Frame Transfer Register								Read/Write
Default = 0000h								
15	14	13	12	n/a	11	10	9	8
7	6	5	4	n/a	3	2	1	LCDインタフェースフレーム転送トリガ
								0

bit 0 LCDインタフェースフレーム転送トリガ
 このビットはLCD1またはLCD2の平行もしくはシリアルインタフェース専用です。RGBタイプのパネルに対しては何の効果もありません。このビットは、LCDインタフェースに1フレームのデータを転送するためのトリガです。LCDインタフェースがビジー状態（REG[0038h]ビット0=1）のときにこのビットに1を書き込んでもフレーム転送要求は無視されます。LCDインタフェースがビジー状態でなくなると、このビットはクリアされます。その際、データ転送は行われません。
 LCDインタフェースがビジー状態でない（REG[0038h]ビット0=0）ときにこのビットに1を書き込むと、1フレームのデータがLCDインタフェースに転送されます。データ転送が完了すると、このビットは自動的にクリアされます。

注

LCDインタフェース自動フレーム転送がイネーブルされている（REG[003Ch]ビット0=1）とき、このビットはHighのまま維持されます。

10. レジスタ

REG[003Ch] LCD Interface Transfer Setting Register								Read/Write
Default = 0000h								
n/a				Reserved				
15	14	13	12	11	10	9	8	
n/a							LCDインタフェース 自動フレーム転送 イネーブル	
P/C極性反転 イネーブル	7	6	5	4	3	2	1	
							0	

bits 9-8

Reserved
デフォルト値は0です。

bit 7

パラメータ/コマンド極性反転イネーブル
このビットはLCD1またはLCD2の平行もしくはシリアルインタフェース専用です。RGBタイプのパネルに対しては何の効果もありません。LCDインタフェースコマンド (REG[0034h]) または LCD インタフェースパラメータ (REG[0036h]) の転送中は、FPA0がこのビットの設定値に従ってHighまたはLowに変わります。LCD1が9ビットのND-TFDパネル (REG[0054h] ビット7~5=001) であるか、またはLCD2が9ビットのシリアルパネル (REG[005Ch] ビット5=1) であるとき、このビットはFPSOの9ビットデータにおけるMSB (最上位ビット) を決定します。

表10.14 パラメータおよびコマンド極性反転設定

REG[003Ch]ビット7	FPA0の信号出力	
	コマンド	パラメータ
0	Low	High
1	High	Low

bit 0

LCDインタフェース自動フレーム転送イネーブル
このビットはLCD1またはLCD2の平行もしくはシリアルインタフェース専用です。RGBタイプのパネルに対しては何の効果もありません。このビットは、1フレームの表示メモリデータをLCDインタフェースに自動転送するかどうかを指定します。フレーム転送のトリガおよび同期を与えるのは、カメラインタフェースの垂直同期信号 (CM1VREFまたはCM2VREF) です。フレーム転送を開始するにはすべてのカメラ入力信号が必要です。このビットが0のとき、自動フレーム転送はディセーブルされます。このビットが1のとき、自動フレーム転送はイネーブルされます。

このビットが1のとき、LCDインタフェース状態ビット (REG[0038h] ビット0) は常にビジー状態を表します。ビジー状態のときはコマンドないしパラメータおよびフレームの転送を手動で行うことはできません。カメラ入力をディセーブルするときは、先にこのビットをディセーブルしてください。

注

自動転送がイネーブルされている間は、以下の条件が満たされることが必要です。満たされない場合はフレーム転送が行われません。

フレーム転送の1サイクル (時間) < CMxVREFの1周期 (時間)

注

自動転送がイネーブルされている間は、PCLKおよびCM1CLKOUT/CM2CLKOUTの周波数を変更しないでください。

10.4.5 LCD1設定レジスタ

REG[0040h] LCD1 Horizontal Total Register							
Default = 0001h							Read/Write
n/a						Reserved	
15	14	13	12	11	10	9	8
Reserved	LCD1全水平期間ビット6~0						
7	6	5	4	3	2	1	0

bits 9-7

Reserved

デフォルト値は0です。

bits 6-0

LCD1全水平期間ビット[6:0]

これらのビットはRGBインタフェースパネル(REG[0032h]ビット1~0 = 00または01) 専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。これらのビットは、LCD1全水平期間を、8ピクセルを1単位として指定します。全水平期間は、水平表示期間と水平非表示期間の合計です。全水平期間の最大値は1024ピクセルです。これらのビットを0に設定しないでください。

$$\text{REG}[0040\text{h}] \text{ビット} 6 \sim 0 = (\text{全水平期間のピクセル} \div 8) - 1$$
注

このレジスタは以下の式が成り立つようにプログラムしてください。

HT HDP + HNDP

10. レジスタ

REG[0042h] LCD1 Horizontal Display Period Register								Read/Write
Default = 0000h								
15	14	13	12	11	10	9	LCD1 HDPビット8	
LCD1水平表示期間ビット7~0								
7	6	5	4	3	2	1	0	

bits 8-0

LCD1水平表示期間（HDP）ビット[8:0]

LCD1の水平表示期間を、2ピクセルを1単位として指定します。水平表示期間は、水平非表示期間を十分にとれるように全水平期間より短くしてください。

REG[0042h]ビット8~0 = (水平表示期間のピクセル ÷ 2) - 1

注

パラレルインタフェースパネル（REG[0032h]ビット1~0を参照）については、以下の式が成り立たなければなりません。

$HDP \times VDP \leq 40$ ピクセル

REG[0044h] LCD1 Horizontal Display Period Start Position Register								Read/Write
Default = 0000h								
15	14	13	12	11	10	9	LCD1 HDP開始位置ビット9~8	
LCD1水平表示期間開始位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

LCD1水平表示期間開始位置ビット[9:0]

これらのビットはRGBインタフェースパネル（REG[0032h]ビット1~0 = 00または01）専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。これらのビットは、LCD1水平表示期間開始位置をピクセルで指定します。

REG[0044h]ビット9~0 = 水平表示期間開始位置(ピクセル) - 9

REG[0046h] LCD1 FPLINE Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
FPLINE極性		FPLINEパルス幅ビット6~0						
7	6	5	4	3	2	1	0	

bit 7

FPLINE極性

このビットはRGBインタフェースパネル（REG[0032h]ビット1~0 = 00または01）専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。このビットは、水平同期信号（FPLINE）の極性を選択します。

このビットが0のとき、水平同期信号（FPLINE）はアクティブLowです。
このビットが1のとき、水平同期信号（FPLINE）はアクティブHighです。

注

このビットはモード1のLCD2設定において効果があります。

bits 6-0

FPLINEパルス幅ビット[6:0]

これらのビットはRGBインタフェースパネル（REG[0032h]ビット1~0 = 00または01）専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。これらのビットは、水平同期信号（FPLINE）のパルス幅をピクセルで指定します。

REG[0046h]ビット6~0 = FPLINEパルス幅(ピクセル) - 1

REG[0048h] LCD1 FPLINE Pulse Position Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	FPLINEパルス位置ビット9~8		
						9	8	
FPLINEパルス位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

FPLINEパルス位置ビット[9:0]

これらのビットはRGBインタフェースパネル（REG[0032h]ビット1~0 = 00または01）専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。これらのビットは、FPLINEパルスの位置を指定します。

REG[0048h]ビット9~0 = FPFRAMEのエッジからFPLINEのエッジまで
(ピクセル) - 1

10. レジスタ

REG[004Ah] LCD1 Vertical Total Register								Read/Write	
Default = 0000h									
n/a								LCD1全垂直期間ビット9-8	
15	14	13	12	11	10	9	8		
LCD1全垂直期間ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0

LCD1全垂直期間ビット[9:0]

これらのビットはRGBインタフェースパネル(REG[0032h]ビット1~0 = 00または01) 専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。これらのビットは、LCD1全垂直期間をラインで指定します。全垂直期間は、垂直表示期間と垂直非表示期間の合計です。全垂直期間の最大値は1024ラインです。

REG[004Ah]ビット9~0 = 全垂直期間(ライン) - 1

REG[004Ch] LCD1 Vertical Display Period Register								Read/Write	
Default = 0000h									
n/a				LCD1垂直表示期間ビット9~8					
15	14	13	12	11	10	9	8		
LCD1垂直表示期間ビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

LCD1垂直表示期間ビット[9:0]

これらのビットはLCD1垂直表示期間をラインで指定します。垂直表示期間は、垂直非表示期間を十分にとれるように全垂直期間より短くしてください。

REG[004Ch]ビット9~0 = 垂直表示期間(ライン) - 1

注

パラレルインタフェースパネル (REG[0032h]ビット1~0を参照) については、以下の式が成り立たなければなりません。

$HDP \times VDP \leq 40$ ピクセル

10. レジスタ

REG[004Eh] LCD1 Vertical Display Period Start Position Register								Read/Write	
Default = 0000h									
n/a						LCD1垂直表示期間開始位置ビット9~8			
15	14	13	12	11	10	9	8		
LCD1垂直表示期間開始位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

LCD1垂直表示期間開始位置ビット[9:0]

これらのビットはRGBインタフェースパネル(REG[0032h]ビット1~0 = 00または01)専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。これらのビットは、LCD1垂直表示期間開始位置をラインで指定します。

REG[0050h] LCD1 FPFRAME Register								Read/Write	
Default = 0000h									
n/a									
15	14	13	12	11	10	9	8		
FPFRAME極性	n/a			Reserved		FPFRAMEパルス幅ビット2~0			
7	6	5	4	3	2	1	0		

bit 7

FPFRAME極性

このビットはRGBインタフェースパネル(REG[0032h]ビット1~0 = 00または01)専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。このビットは、垂直同期信号(FPFRAME)の極性を選択します。

このビットが0のとき、垂直同期信号(FPFRAME)はアクティブLowです。
このビットが1のとき、垂直同期信号(FPFRAME)はアクティブHighです。

注

このビットはモード1のLCD2設定において効果があります。

bits 3

Reserved

デフォルト値は0です。

bits 2-0

FPFRAMEパルス幅ビット[2:0]

これらのビットはRGBインタフェースパネル(REG[0032h]ビット1~0 = 00または01)専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。これらのビットは、パネル垂直同期信号(FPFRAME)のパルス幅をラインで指定します。

REG[0050h]ビット2~0 = FPFRAMEパルス幅(ライン) - 1

REG[0052h] LCD1 FPFRAME Pulse Position Register								Read/Write	
Default = 0000h									
n/a						FPFRAMEパルス位置ビット9~8			
15	14	13	12	11	10	9	8		
FPFRAMEパルス位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

FPFRAMEパルス位置ビット[9:0]

これらのビットはRGBインタフェースパネル(REG[0032h]ビット1~0 = 00または01)専用です。シリアルもしくはパラレルインタフェースパネルを選択している場合は何の効果もありません。これらのビットは、FPFRAME信号の開始位置をラインで指定します。

REG[0054h] LCD1 Serial Interface Setting Register							Read/Write
Default = 0001h							
n/a							SPIデータバス幅 選択
15	14	13	12	11	10	9	8
LCD1シリアルデータタイプビット2~0			LCD1シリアル データ方向	n/a		LCD1シリアル クロック位相	LCD1シリアル クロック極性
7	6	5	4	3	2	1	0

bit 8 SPIデータバス幅選択
このビットが0のとき、SPIデータバス幅は8ビットです。
このビットが1のとき、SPIデータバス幅は16ビットです。

bits 7-5 LCD1シリアルデータタイプビット[2:0]
これらのビットはLCD1シリアルデータタイプを決定します。

表10.15 LCD1シリアルデータタイプ選択

REG[0054h]ビット7~5	LCD1シリアルデータタイプ
000	ND-TFD、4ピン（8ビットシリアル）
001	ND-TFD、3ピン（9ビットシリアル）
01x	α -Si TFT（8ビットシリアル）
10x	uWire（16ビットシリアル）
110	SPI（8または16ビットシリアル）
111	Reserved

注

モード2またはモード3が設定されている（REG[0032h]ビット1~0を参照）場合、これらのビットは000に設定してください。

bit 4 LCD1シリアルデータ方向
このビットはLCD1シリアルデータ方向を決定します。
このビットが0のときはMSB（最上位ビット）が先頭です。
このビットが1のときはLSB（最下位ビット）が先頭です。

bit 1 LCD1シリアルクロック位相
このビットはシリアルクロック位相を指定します。表10.16「LCD1のシリアルクロック極性と位相の選択」をご覧ください。

注

タイミングに関する詳細は、89ページの7.4.6「LCD1 ND-TFDおよびLCD2用8ビットシリアルインタフェースタイミング」をご覧ください。

10. レジスタ

bit 0

LCD1シリアルクロック極性

このビットはLCD1シリアルデータフォーマットを決定します。

表10.16 LCD1のシリアルクロック極性と位相の選択

REG[0054h]ビット1	REG[0054h]ビット0	シリアルデータ出力の変化	クロックのアイドル状態
0	0	シリアルクロックの立ち下がりエッジ	Low
	1	シリアルクロックの立ち上がりエッジ	High
1	0	シリアルクロックの立ち上がりエッジ	Low
	1	シリアルクロックの立ち下がりエッジ	High

注

タイミングに関する詳細は、89ページの7.4.6「LCD1 ND-TFDおよびLCD2用8ビットシリアルインタフェースタイミング」をご覧ください。

REG[0056h] LCD1 Parallel Interface Setting Register							Read/Write	
Default = 0400h								
FPVIN1端子タイプ 選択 15	FPVIN1極性 14	n/a 13 12 11			FPVIN1プルダウン 制御 10	Reserved 9 8		
LCD1 VSYNC入力 イネーブル 7	LCD1パラレル タイプ選択 6	LCD1パラレルコマンド/パラメータ端子 ビット1~0 5 4			LCD1パラレルデータフォーマットビット3~0 3 2 1 0			

- bit 15 FPVIN1端子タイプ選択
このビットはFPVIN1端子タイプを選択します。出力を選択するとFPVIN1から垂直同期信号が出力されます。
このビットが0のとき、FPVIN1は入力となります（デフォルト）。
このビットが1のとき、FPVIN1は出力となります。
- bit 14 FPVIN1極性
このビットは、入力垂直同期信号と出力垂直同期信号の両方（REG[0056h]ビット15）に関係します。
このビットが0のとき、FPVIN1はアクティブLowです（デフォルト）。
このビットが1のとき、FPVIN1はアクティブHighです。
- bit 10 FPVIN1プルダウン制御
FPVIN1が入力に設定されている（REG[0056h]ビット15=0）とき、このビットはFPVIN1の内蔵プルダウン抵抗を制御します。
このビットが0のとき、プルダウン抵抗はディセーブルされます。
このビットが1のとき、プルダウン抵抗はイネーブルされます（デフォルト）。
- bits 9-8 Reserved
このビットは予約ビットであり、デフォルト値は0です。

10. レジスタ

bit 7

LCD1 VSYNC入力イネーブル

このビットはRGBタイプパネルには使用されません。

このビットにより、1フレームのデータを外部VSYNC入力 (FPVIN1) と同期して転送することができます。

このビットが0のとき、LCD1のデータ出力は外部VSYNC入力から独立しています。

このビットが1のとき、LCD1のデータ出力は外部VSYNC入力と同期しています。

注

FPVIN1の信号期間は1フレームのデータ転送時間よりも長くしてください。1フレームをパネルに転送し終える所要時間よりもFPVIN1の信号期間のほうが短いと、FPVIN1の次の立ち下がりエッジにおいてフレーム転送が中断します。

注

手動によるフレーム転送を開始した (REG[003Ah]ビット0=1) 場合、次のVSYNC信号が発生する前にLCD1 VSYNC入力イネーブルビットをディセーブルしないでください。ディセーブルするとLCDインタフェースが常時ビジー状態になり、後続の転送が行えなくなります。

bit 6

LCD1パラレルタイプ選択

このビットはLCD1パラレルインタフェースタイプを決定します。

このビットが0のとき、パラレルインタフェースは80タイプです。

このビットが1のとき、パラレルインタフェースは68タイプです。

bits 5-4

LCD1パラレルコマンド/パラメータ端子[1:0]

これらのビットはパラレルパネルのコマンドないしパラメータに使用されるFPDAT[17:0]端子を決定します。

表10.17 LCD1パラレルコマンド/パラメータ端子割り当て

REG[0056h]ビット5~4	コマンド/パラメータ端子割り当て
00 (デフォルト)	FPDAT[15:0]
01	FPDAT[17:10]、FPDAT[8:1]
10	FPDAT[17:13]、FPDAT[11:1]
11	Reserved

bits 3-0

LCD1パラレルデータフォーマットビット[3:0]

これらのビットはLCD1パラレルデータフォーマットを決定します。これらのビットはRGBタイプのパネル(REG[0032h]ビット1~0 = 00または01)には使用されません。使用できるパラレルデータフォーマットについては、338ページの12.「表示モード」をご覧ください。

表10.18 LCD1パラレルデータフォーマット選択

REG[0056h]ビット3~0	LCD1パラレルデータフォーマット	
	データバス幅	データフォーマット
0000	8ビット	RGB = 3:3:2 (1サイクル/ピクセル)
0001		RGB = 4:4:4 (3サイクル / 2ピクセル)
0010	16ビット	RGB = 8:8:8 (3サイクル / 2ピクセル)
0011	8ビット	RGB = 8:8:8 (3サイクル/ピクセル)
0100	24ビット	RGB = 8:8:8 (1サイクル/ピクセル)
0101	16ビット	RGB = 4:4:4 (1サイクル/ピクセル)
0110		RGB = 5:6:5 (1サイクル/ピクセル)
0111	18ビット	RGB = 6:6:6 (1サイクル/ピクセル)
1xxx	8ビット	REG = 5:6:5 (2サイクル/ピクセル)

10. レジスタ

10.4.6 LCD2設定レジスタ

REG[0058h] LCD2 Horizontal Display Period Register							Read/Write	
Default = 0000h								
n/a							LCD2 HDPビット8	
15	14	13	12	11	10	9	8	
LCD2水平表示期間ビット7~0								
7	6	5	4	3	2	1	0	

bits 8-0

LCD2水平表示期間 (HDP) ビット[8:0]

これらのビットはLCD2水平表示期間を、2ピクセルを1単位として指定します。

REG[0058h]ビット8~0 = (水平表示期間(ピクセル) ÷ 2) - 1

注

パラレルおよびシリアルインタフェースパネル (REG[0032h]ビット1~0を参照) については、以下の式が成り立たなければなりません。

$HDP \times VDP = 40$ ピクセル

REG[005Ah] LCD2 Vertical Display Period Register							Read/Write	
Default = 0000h								
n/a							LCD2垂直表示期間ビット9~8	
15	14	13	12	11	10	9	8	
LCD2垂直表示期間ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

LCD2垂直表示期間ビット[9:0]

これらのビットはLCD2の垂直表示期間をラインで指定します。

REG[005Ah]ビット9~0 = 垂直表示期間(ライン) - 1

注

パラレルおよびシリアルインタフェースパネル (REG[0032h]ビット1~0を参照) については、以下の式が成り立たなければなりません。

$HDP \times VDP = 40$ ピクセル

REG[005Ch] LCD2 Serial Interface Setting Register							Read/Write	
Default = 0001h								
n/a								
15	14	13	12	11	10	9	8	
LCD2シリアル ビットタイプ選択	n/a	LCD2シリアル データタイプ選択	LCD2シリアル データ方向	LCD2シリアルデータフォーマットビット 1~0		LCD2シリアル クロック位相	LCD2シリアル クロック極性	
7	6	5	4	3	2	1	0	

bit 7

LCD2シリアルビットタイプ選択

このビットはLCD2シリアルインタフェースモードにおけるパネルデータ幅タイプを選択します。

このビットが0のとき、シリアルパネルのデータ幅は8または9ビットです。

このビットが1のとき、シリアルパネルのデータ幅は16または17ビットです。

bit 5 LCD2シリアルデータタイプ選択
 このビットはLCD2シリアルインタフェースモードにおけるデータタイプを選択し、使用端子数を4つか3つかに決定します。
 このビットが0のとき、LCD2シリアルインタフェースは4つの端子を使用します（8または16ビットのデータ転送モード）。
 このビットが1のとき、LCD2シリアルインタフェースは3つの端子を使用します（9または17ビットのデータ転送モード）。

このビットはLCD2シリアルデータフォーマットの最上位ビット（REG[005Ch]ビット7）とともに使用され、LCD2ポートが用いるシリアルデータ転送モードを決定します。

表10.19 LCD2シリアルデータ転送モード選択

REG[005Ch]ビット7	REG[005Ch]ビット5	LCD2シリアルデータ転送モード
0	0	8ビットシリアル
0	1	9ビットシリアル
1	0	16ビットシリアル
1	1	17ビットシリアル

bit 4 LCD2シリアルデータ方向
 このビットはLCD2シリアルデータ方向を決定します。
 このビットが0のときはMSB（最上位ビット）が先頭です。
 このビットが1のときはLSB（最下位ビット）が先頭です。

bits 3-2 LCD2シリアルデータフォーマットビット[1:0]
 これらのビットはLCD2のシリアルデータフォーマットを指定します。使用できるシリアルデータフォーマットについては、338ページの12.「表示モード」をご覧ください。

表10.20 LCD2シリアルデータフォーマット選択

REG[005Ch]ビット3~2	REG[005Ch]ビット7	LCD2シリアルデータフォーマット	
		データ長	データフォーマット
00	0	8ビット	RGB 3:3:2 (1サイクル/ピクセル)
	1	16ビット	REG 4:4:4 (LSB不使用)
01	0	8ビット	RGB 4:4:4 (3サイクル/2ピクセル)
	1	16ビット	RGB 4:4:4 (MSB不使用)
10	x	16ビット	RGB 5:6:5
11		16ビット	RGB 3:3:2 (1サイクル/2ピクセル)

bit 1 LCD2シリアルクロック位相
 このビットはLCDSCLK位相を指定します。またLCD2シリアルクロック極性ビットとともに使用され、LCD2シリアルパネルインタフェースに使用されるLCDSCLKの設定を行います。可能な設定については、表10.21「LCD2シリアルクロックの極性と位相の選択」をご覧ください。

注

タイミングに関する詳細は、89ページの7.4.6「LCD1 ND-TFDおよびLCD2用8ビットシリアルインタフェースタイミング」をご覧ください。

10. レジスタ

bit 0 LCD2シリアルクロック極性
このビットはLCDSCLK極性を指定します。またLCD2シリアルクロック位相ビットとともに使用され、LCD2シリアルパネルインタフェースに用いるLCDSCLKの設定を行います。LCDSCLKの位相と極性の設定について以下の表にまとめます。

表10.21 LCD2シリアルクロックの極性と位相の選択

REG[005Ch]ビット1	REG[005Ch]ビット0	シリアルデータ出力の変化	クロックのアイドルリング状態
0	0	シリアルクロックの立ち下がりエッジ	Low
	1	シリアルクロックの立ち上がりエッジ	High
1	0	シリアルクロックの立ち上がりエッジ	Low
	1	シリアルクロックの立ち下がりエッジ	High

注

タイミングに関する詳細は、89ページの7.4.6「LCD1 ND-TFDおよびLCD2用8ビットシリアルインタフェースタイミング」をご覧ください。

REG[005Eh] LCD2 Parallel Interface Setting Register							Read/Write
Default = 0100h							
FPVIN2端子タイプ 選択 15	FPVIN2極性選択 14	n/a 13 12		モノクロソース カラー選択 11	Reserved 10	モノクロモード イネーブル 9	FPVIN2プルダウン 制御 8
LCD2 VSYNC入力 イネーブル 7	LCD2パラレル タイプ選択 6	LCD2パラレルコマンド/パラメータ端子 ビット1~0 5 4		LCD2パラレルデータフォーマットビット3~0 3 2 1 0			

bit 15 **FPVIN2端子タイプ選択**
このビットはFPVIN2端子タイプを選択します。出力を選択するとFPVIN2から垂直同期信号が出力されます。
このビットが0のとき、FPVIN2は入力となります（デフォルト）。
このビットが1のとき、FPVIN2は出力となります。

bit 14 **FPVIN2極性選択**
このビットは、入力垂直同期信号と出力垂直同期信号の両方（REG[005Eh]ビット15）に関係します。
このビットが0のとき、FPVIN2はアクティブLowです。
このビットが1のとき、FPVIN2はアクティブHighです。

bit 11 **モノクロソースカラー選択**
このビットはモノクロモードにおけるソースカラーを選択します。
このビットが0のとき、モノクロ表示のソースはRGBデータです。
このビットが1のとき、モノクロ表示のソースは緑のデータです。

bit 10 **Reserved**
デフォルト値は0です。

bit 9 **モノクロモードイネーブル**
このビットが1のとき、RGBデータはモノクロデータに変換されてLCDパネルに転送されます。モノクロモードは1サイクル/2ピクセルのパラレルタイプパネルのときのみ有効です。

- bit 8 FPVIN2プルダウン制御
FPVIN2が入力に設定されている (REG[005Eh]ビット15 = 0) とき、このビットはFPVIN2の内蔵プルダウン抵抗を制御します。
このビットが0のとき、プルダウン抵抗はディセーブルされます。
このビットが1のとき、プルダウン抵抗はイネーブルされます (デフォルト)。
- bit 7 LCD2 VSYNC入力イネーブル
このビットにより、1フレームのデータを外部VSYNC入力 (FPVIN2) と同期して転送することができます。
このビットが0のとき、LCD2のデータ出力は外部VSYNC入力から独立しています。
このビットが1のとき、LCD2のデータ出力は外部VSYNC入力と同期しています。
- 注**
FPVIN2の信号期間は1フレームのデータ転送時間よりも長くしてください。1フレームをパネルに転送し終える所要時間よりもFPVIN2の信号期間のほうが短いと、FPVIN2の次の立ち下がりエッジにおいてフレーム転送が中断します。
- bit 6 LCD2パラレルタイプ選択
このビットはLCD2パラレルインタフェースタイプを決定します。
このビットが0のとき、パラレルインタフェースは80タイプです。
このビットが1のとき、パラレルインタフェースは68タイプです。
- bits 5-4 LCD2パラレルコマンド/パラメータ端子ビット[1:0]
これらのビットはパラレルパネルのコマンドないしパラメータに使用されるFPDAT[17:0]端子を決定します。

表10.22 LCD2パラレルコマンド/パラメータ端子割り当て

REG[005Eh]ビット5~4	コマンド/パラメータ端子の割り当て
00 (デフォルト)	FPDAT[15:0]
01	FPDAT[17:10]、FPDAT[8:1]
10	FPDAT[17:13]、FPDAT[11:1]
11	Reserved

10. レジスタ

bits 3-0

LCD2パラレルデータフォーマットビット[3:0]

これらのビットはLCD2パラレルデータフォーマットを決定します。使用できるパラレルデータフォーマットについては、338ページの12.「表示モード」をご覧ください。

表10.23 LCD2パラレルデータフォーマット選択

REG[005Eh]ビット3~0	LCD2パラレルデータフォーマット	
	データバス幅	データフォーマット
0000	8ビット	RGB=3.3.2 (1サイクル/ピクセル)
0001		RGB=4.4.4 (3サイクル/2ピクセル)
0011		RGB=8.8.8 (3サイクル/ピクセル)
0101	16ビット	RGB=4.4.4 (1サイクル/ピクセル)
0110		RGB=5.6.5 (サイクル/ピクセル)
0111	18ビット	RGB=6.6.6 (1サイクル/ピクセル)
0010	16ビット	RGB=8.8.8 (3サイクル/2ピクセル)
0100	24ビット	RGB=8.8.8 (1サイクル/1ピクセル)
1xxx	8ビット	RGB=5.6.5 (2サイクル/ピクセル)

10.4.7 拡張パネルレジスタ

REG[0060h] SPI Header Data Register							
Default = 0001h							Read/Write
n/a							
15	14	13	12	11	10	9	8
SPIヘッダデータビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

SPIヘッダデータビット[7:0]

これらのビットはSPIヘッダデータを指定します。

REG[0062h] SPI Read Data Register							
Default = 0000h							Read Only
n/a							
15	14	13	12	11	10	9	8
SPI読み出しデータビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

SPI読み出しデータビット[7:0]

これらのビットはSPI読み出しによるデータを返します。

REG[0064h] SPI Read Wait Time Register							
Default = 0000h							Read/Write
n/a							SPI読み出し クロックエッジ選択
15	14	13	12	11	10	9	8
n/a							SPI読み出し待機時間ビット4~0
7	6	5	4	3	2	1	0

bit 8

SPI読み出しクロックエッジ選択

このビットは読み出しを開始するクロックエッジを選択します。

このビットが0のとき、SPIはFPSCLKの立ち上がりエッジにおいて読み出されます。

このビットが1のとき、SPIはFPSCLKの立ち下がりエッジにおいて読み出されます。

bits 4-0

SPI読み出し待機時間ビット[4:0]

これらのビットはSPI読み出しの待機時間をFPSCLKで決定します。

REG[0068h] LCD1 Vsync Output Register							
Default = 0000h							Read/Write
VSYNC幅ビット7~0							
15	14	13	12	11	10	9	8
VSYNC位置ビット7~0							
7	6	5	4	3	2	1	0

bits 15-8

VSYNC幅ビット[7:0]

これらのビットはFPVIN1 (LCD1のVSYNC) が出力に設定されている (REG[0056h]ビット15 = 1) ときにのみ使用されます。

これらのビットはLCD1に対するVSYNCのパルス幅を決定します。

VSYNC幅 = (REG[0068h]ビット15~8) ÷ (2 PCLK)

10. レジスタ

bits 7-0 VSYNC位置ビット[7:0]
これらのビットはFPVIN1 (LCD1のVSYNC) が出力に設定されている
(REG[0056h]ビット15 = 1) ときにのみ使用されます。
これらのビットはLCD1に対するVSYNCの位置を決定します。
$$\text{VSYNC位置} = (\text{REG}[0068\text{h}] \text{ビット} 7 \sim 0) \div (2 \text{ PCLK})$$

REG[006Ah] LCD2 Vsync Output Register								Read/Write
Default = 0000h								
VSYNC幅ビット7~0								
15	14	13	12	11	10	9	8	
VSYNC位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 15-8 VSYNC幅ビット[7:0]
これらのビットはFPVIN2 (LCD2のVSYNC) が出力に設定されている
(REG[005Eh]ビット15 = 1) ときにのみ使用されます。
これらのビットはLCD2に対するVSYNCのパルス幅を決定します。
$$\text{VSYNC幅} = (\text{REG}[006\text{Ah}] \text{ビット} 15 \sim 8) \div (2 \text{ PCLK})$$

bits 7-0 VSYNC位置ビット[7:0]
これらのビットはFPVIN2 (LCD2のVSYNC) が出力に設定されている
(REG[005Eh]ビット15 = 1) ときにのみ使用されます。
これらのビットはLCD2に対するVSYNCの位置を決定します。
$$\text{VSYNC位置} = (\text{REG}[006\text{Ah}] \text{ビット} 7 \sim 0) \div (2 \text{ PCLK})$$

REG[0070h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

REG[0080h] Samsung α -TFT Horizontal Total Register							Read/Write	
Default = 0000h								
n/a							α -TFT全水平期間ビット9~8	
15	14	13	12	11	10	9	8	
α -TFT全水平期間ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

 α -TFT全水平期間ビット[9:0]

これらのビットはサムスン製 α -TFTパネル (REG[0032h] ビット15 ~ 10 = 110000) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、サムスン製 α -TFTパネルにおける全水平期間を下記の要領で指定します。

REG[0080h]ビット9~0 = α -TFT全水平期間-1
値は8以上でなければなりません。

REG[0082h] Samsung α -TFT LD Rising Edge Register							Read/Write	
Default = 0000h								
n/a							α -TFT LD立ち上がりエッジビット9~8	
15	14	13	12	11	10	9	8	
α -TFT LD立ち上がりエッジビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

 α -TFT LD立ち上がりエッジビット[9:0]

これらのビットはサムスン製 α -TFT (REG[0032h] ビット15 ~ 10 = 110000) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、LDの立ち上がりエッジ位置をSTHの立ち上がりエッジを基準に指定します。

LD立ち上がりエッジ位置 = (STHのパルス幅 + HDP + LD立ち上がりエッジ) + 8

REG[0084h] Samsung α -TFT CKV Toggle Point Register							Read/Write	
Default = 0000h								
n/a							α -TFT CKVトグル位置ビット9~8	
15	14	13	12	11	10	9	8	
α -TFT CKVトグル位置ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

 α -TFT CKVトグル位置ビット[9:0]

これらのビットはサムスン製 α -TFTパネル (REG[0032h] ビット15 ~ 10 = 110000) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、CKVのトグル位置をSTHの立ち上がりエッジを基準に指定します。

CKVトグル位置 = (STHパルス幅 + HDP + LD立ち上がりエッジ - (CKVトグル位置からLD立ち上がりエッジまでの期間)) + 8

注

CKVトグル位置からLD立ち上がりエッジまでの期間については、83ページの7.4.4「 α -TFTパネルタイミング」に記載されています。

10. レジスタ

REG[0086h] Samsung α -TFT VCOM Toggle Point Register								Read/Write	
Default = 0000h									
n/a					α -TFT VCOMトグル位置ビット9-8				
15	14	13	12	11	10	9	8		
α -TFT VCOMトグル位置ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0

α -TFT VCOMトグル位置ビット[9:0]

これらのビットはサムスン製 α -TFTパネル (REG[0032h] ビット15 ~ 10 = 110000) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、VCOMのトグル位置をSTHの立ち上がりエッジを基準に指定します。

VCOM立ち上がりエッジ位置 = (STHパルス幅 + HDP + LD立ち上がりエッジ - (VCOMトグル位置からLD立ち上がりエッジまでの期間)) + 8

注

VCOMトグル位置からLD立ち上がりエッジまでの期間については、83ページの7.4.4「 α -TFTパネルタイミング」に記載されています。

REG[0088h] Samsung α -TFT Pulse Width Register								Read/Write	
Default = 0000h									
n/a					α -TFT LDパルス幅ビット2-0				
15	14	13	12	11	10	9	8		
n/a					α -TFT STHパルス幅ビット2-0				
7	6	5	4	3	2	1	0		

bits 10-8

α -TFT LDパルス幅ビット[2:0]

これらのビットはサムスン製 α -TFTパネル (REG[0032h] ビット15 ~ 10 = 110000) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットはLDパルス幅を指定します。

LDパルス幅 = (REG[0088h] ビット10 ~ 8) - 1

bits 2-0

α -TFT STHパルス幅ビット[2:0]

これらのビットはサムスン製 α -TFTパネル (REG[0032h] ビット15 ~ 10 = 110000) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットはSTHパルス幅を指定します。

STHパルス幅 = (REG[0088h] ビット2 ~ 0) - 1

REG[008Ah]からREG[008Eh]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

REG[0090h] HR-TFT Configuration Register							Read/Write					
Default = 0000h												
n/a					15	14	13	12	11	10	9	8
n/a					Reserved		HR-TFT PSモード		Reserved			
7	6	5	4	3	2	1	0					

- bit 2 Reserved
デフォルト値は0です。
- bit 1 HR-TFT PSモード
このビットはHR-TFTパネル（REG[0032h]ビット15～10 = 000001）専用です。他のパネルタイプに対しては何の効果もありません。このビットはPS信号に用いるタイミングを選択します。代替的なPSタイミング（PS1、PS2、PS3）によってHR-TFTパネルの消費電力がさらに低下します。このビットが0のとき、PS信号はPS1のタイミングになります。このビットが1のとき、PS信号はPS2のタイミングになります。
- bit 0 Reserved
デフォルト値は0です。

REG[0092h] HR-TFT CLS Width Register								Read/Write	
Default = 012Ch									
n/a								CLS/パルス幅ビット	
15	14	13	12	11	10	9	8	8	
CLS/パルス幅ビット7～0									
7	6	5	4	3	2	1	0	0	

- bits 8-0 CLSパルス幅ビット[8:0]
これらのビットはHR-TFTパネル（REG[0032h]ビット15～10 = 000001）専用です。他のパネルタイプに対しては何の効果もありません。このレジスタはCLS信号のパルス幅をPCLKで決定します。

注

このレジスタは以下の式が成り立つようにプログラムしてください。
(REG[0092h]ビット8～0) > 0

REG[0094h] HR-TFT PS1 Rising Edge Register							Read/Write					
Default = 0032h												
n/a					15	14	13	12	11	10	9	8
n/a		PS1立ち上がりエッジビット5～0										
7	6	5	4	3	2	1	0					

- bits 5-0 PS1立ち上がりエッジビット[5:0]
これらのビットはHR-TFTパネル（REG[0032h]ビット15～10 = 000001）専用です。他のパネルタイプに対しては何の効果もありません。このレジスタはCLSの立ち下がりエッジからPS1の立ち上がりエッジまでの時間をPCLKで決定します。

10. レジスタ

REG[0096h] HR-TFT PS2 Rising Edge Register								Read/Write
Default = 0064h								
n/a								
15	14	13	12	11	10	9	8	
PS2立ち上がりエッジビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

PS2立ち上がりエッジビット[7:0]

これらのビットはHR-TFTパネル (REG[0032h]ビット15~10 = 000001) 専用です。他のパネルタイプに対しては何の影響もありません。このレジスタはLPの立ち上がりエッジからPS2の最初の立ち上がりエッジまでの時間をPCLKで指定します。

注

このレジスタは以下の式が成り立つようにプログラムしてください。
 $(\text{REG}[0096\text{h}] \text{ビット}7 \sim 0) > 0$

REG[0098h] HR-TFT PS2 Toggle Width Register								Read/Write
Default = 000Ah								
n/a								
15	14	13	12	11	10	9	8	
PS2トグル幅ビット6~0								
n/a	7	6	5	4	3	2	1	0

bits 6-0

PS2トグル幅ビット[6:0]

これらのビットはHR-TFTパネル (REG[0032h]ビット15~10 = 000001) 専用です。他のパネルタイプに対しては何の効果もありません。このレジスタは、トグルが生じるまでのPS2信号の幅をPCLKで決定します。

注

このレジスタは以下の式が成り立つようにプログラムしてください。
 $(\text{REG}[0098\text{h}] \text{ビット}6 \sim 0) > 0$

REG[009Ah] HR-TFT PS3 Signal Width Register								Read/Write
Default = 0064h								
n/a								
15	14	13	12	11	10	9	8	
n/a				PS3信号幅ビット6~0				
7	6	5	4	3	2	1	0	

bits 6-0

PS3信号幅ビット[6:0]

これらのビットはHR-TFTパネル (REG[0032h]ビット15~10 = 000001) 専用です。他のパネルタイプに対しては何の効果もありません。このレジスタは、PS3信号の幅をPCLKで指定します。

注

このレジスタは以下の式が成り立つようにプログラムしてください。
 $(\text{REG}[009\text{Ah}] \text{ビット} 6 \sim 0) > 0$

REG[009Eh] HR-TFT REV Toggle Point Register								Read/Write
Default = 000Ah								
n/a								
15	14	13	12	11	10	9	8	
n/a		REVトグルビット4~0						
7	6	5	4	3	2	1	0	

bits 4-0

REVトグルビット[4:0]

これらのビットはHR-TFTパネル (REG[0032h]ビット15~10 = 000001) 専用です。他のパネルタイプに対しては何の効果もありません。このレジスタは、REV信号が切り替わってからLPの立ち上がりエッジまでの幅をPCLKで指定します。

$\text{REG}[009\text{Eh}] \text{ビット} 4 \sim 0 = \text{REVトグル位置 (PCLK)}$

REG[00A0h] HR-TFT PS1/2 End Register								Read/Write
Default = 0007h								
n/a								
15	14	13	12	11	10	9	8	
n/a				PS1/2終了ビット2~0				
7	6	5	4	3	2	1	0	

bits 2-0

PS1/2終了ビット[2:0]

これらのビットはHR-TFTパネル (REG[0032h]ビット15~10 = 000001) 専用です。他のパネルタイプに対しては何の効果もありません。このレジスタを使えば、PS信号が垂直非表示期間においても継続できます (ライン)。

注

このレジスタは以下の式が成り立つようにプログラムしてください。
 $VT > (\text{REG}[00\text{A}0\text{h}] \text{ビット} 2 \sim 0) + \text{VDP} + \text{VPS} + 1$

10. レジスタ

REG[00A2h] Type 2 TFT Configuration Register 0							Read/Write		
Default = 0000h									
POLタイプ	n/a	APパルス幅ビット2~0			n/a	AP立ち上がり位置ビット1~0			
15	14	13	12	11	10	9	8		
7		n/a		VCLKホールド時間ビット1~0		n/a		VCLKセットアップ時間ビット1~0	
	6	5	4	3	2	1	0		

bit 15

POLタイプ

このビットはタイプ2 TFTパネル (REG[0032h]ビット15~10 = 000011) 専用です。他のパネルタイプに対しては何の効果もありません。このビットはPOL信号のトグル頻度を選択します。TFTタイプ2インタフェースに用いるPOL信号は、GPIO2端子において制御します。

このビットが0のとき、POL信号はラインごとに切り替わります。
このビットが1のとき、POL信号はフレームごとに切り替わります。

bits 13-11

APパルス幅ビット[2:0]

これらのビットはタイプ2 TFTパネル (REG[0032h]ビット15~10 = 000011) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、TFTタイプ2インタフェースに用いるAPパルス幅を指定します。TFTタイプ2インタフェースのAP信号はGPIO1端子において制御します。

表10.24 APパルス幅

REG[00A2h]ビット13~11	APパルス幅 (PCLK)
000	20
001	40
010	80
011	120
100	150
101	190
110	240
111	270

bits 9-8

AP立ち上がり位置ビット[1:0]

これらのビットはタイプ2 TFTパネル (REG[0032h]ビット15~10 = 000011) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、TFTタイプ2インタフェースのACタイミングパラメータのうち、FPLINE (STB) の立ち上がりエッジからGPIO1 (AP) の立ち上がりエッジまでの時間を指定します。パラメータは以下の要領で選択します。

表10.25 AP立ち上がり位置

REG[00A2h]ビット9~8	AP立ち上がり位置 (PCLK)
00	40
01	52
10	68
11	90

bits 4-3

VCLKホールド時間ビット[1:0]

これらのビットはタイプ2 TFTパネル (REG[0032h]ビット15~10=000011) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、TFTタイプ2インタフェースのACタイミングパラメータのうち、FPLINE (STB) の立ち上がりエッジからGPIO0 (VCLK) の立ち下がりエッジまでの時間を指定します。パラメータは以下の要領で選択します。

表10.26 VCLKホールド時間

REG[00A2h]ビット4~3	VCLKホールド時間 (PCLK)
00	7
01	9
10	12
11	16

bits 1-0

VCLKセットアップ時間ビット[1:0]

これらのビットはタイプ2 TFTパネル (REG[0032h]ビット15~10=000011) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、TFTタイプ2インタフェースのACタイミングパラメータのうち、GPIO0 (VCLK) の立ち上がりエッジからFPLINE (STB) の立ち上がりエッジまでの時間を指定します。パラメータは以下の要領で選択します。

表10.27 VCLKセットアップ時間

REG[00A2h]ビット1~0	VCLKセットアップ時間 (PCLK)
00	7
01	9
10	12
11	16

REG[00A4h] Casio TFT Timing Register 0

Default = 0E09h

Read/Write

n/a		GRES立ち下がりエッジからGPCK立ち上がりエッジまでの時間ビット5~0					
15	14	13	12	11	10	9	8
n/a		GPCK立ち上がりエッジからGRES立ち上がりエッジまでの時間ビット5~0					
7	6	5	4	3	2	1	0

bits 13-8

GRES立ち下がりエッジからGPCK立ち上がりエッジまでの時間ビット[5:0]

これらのビットはカシオ製TFTパネル (REG[0032h]ビット15~10=000010) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、GRESの立ち下がりエッジからGPCKの立ち上がりエッジまでの時間をPCLKで決定します。

GRES立ち下がりエッジからGPCK立ち上がりエッジまでの時間 =
(REG[00A4h]ビット13~8) + 1

bits 5-0

GPCK立ち上がりエッジからGRES立ち上がりエッジまでの時間ビット[5:0]

これらのビットはカシオ製TFTパネル (REG[0032h]ビット15~10=000010) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、GPCKの立ち上がりエッジからGRESの立ち上がりエッジまでの時間をPCLKで決定します。

10. レジスタ

REG[00A6h] Casio TFT Timing Register 1							
Default = 0918h							Read/Write
n/a		GPCK立ち上がりエッジからSTHパルスまでの時間ビット5~0					
15	14	13	12	11	10	9	8
n/a		GRES立ち下がりエッジからFRPトグル位置までの時間ビット6~0					
7	6	5	4	3	2	1	0

bits 13-8 GPCK立ち上がりエッジからSTHパルスまでの時間ビット[5:0]
 これらのビットはカシオ製TFTパネル (REG[0032h]ビット15~10 = 000010) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、GPCKの立ち上がりエッジからSTHパルスまでの時間をPCLKで決定します。

bits 6-0 GRES立ち下がりエッジからFRPトグル位置までの時間ビット[6:0]
 これらのビットはカシオ製TFTパネル (REG[0032h]ビット15~10 = 000010) 専用です。他のパネルタイプに対しては何の効果もありません。これらのビットは、GRESの立ち下がりエッジからFRPのトグル位置までの時間をPCLKで決定します。

REG[00A8h] Type 2 TFT Configuration Register 1							
Default = 0000h							Read/Write
n/a							8
15	14	13	12	11	10	9	8
n/a							データ比較反転 イネーブル
7	6	5	4	3	2	1	0

bit 0 データ比較反転イネーブル
 このビットを用いればTFTタイプ2インタフェースの消費電力を低減することができます。データ比較反転の機能を使えば、直前のピクセルデータから変化した (1から0に、または0から1に) ビットの数によって切り替えるデータの量が減少します。過半数のビットが変化する場合は、データを反転した後に少数側のビット群を切り替えます。このビットは、他のパネルインタフェースに対しては何の効果もありません。
 このビットが0のとき、データ比較反転の機能はディセーブルされます。
 このビットが1のとき、データ比較反転の機能はイネーブルされます。

REG[00AAh]からREG[00ECh]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

REG[00EEh] Partial Drive Area0 Start Line Register						
Default = 0000h						Read/Write
部分駆動イネーブル	Reserved	Reserved	Reserved	n/a	部分駆動領域0 イネーブル	部分駆動領域0開始ラインビット9~8
15	14	13	12	11	10	9 8
部分駆動領域0開始ラインビット7~0						
7	6	5	4	3	2	1 0

bit 15 部分駆動イネーブル
 このビットが0のときは通常モードがイネーブルされます (部分駆動はディセーブルされます)。
 このビットが1のときは次のフレームから部分駆動が始まります。

bit 14	Reserved デフォルト値は0です。
bit 13	Reserved デフォルト値は0です。
bit 12	Reserved デフォルト値は0です。
bit 10	部分駆動領域0イネーブル 部分駆動領域0をイネーブルするには、部分駆動イネーブルビット(REG[00EEh] ビット15) を1に設定してください。 このビットが0のとき、部分駆動領域0はディセーブルされます。 このビットが1のとき、部分駆動領域0はイネーブルされます。
bits 9-0	部分駆動領域0開始ラインビット[9:0] これらのビットは部分駆動領域0開始位置をラインで指定します。 REG[00EEh]ビット9~0 = 部分駆動領域0開始位置 (ライン)

注

部分駆動領域0開始ラインは、部分駆動領域1開始ラインアドレスよりも小さい値に設定してください。

注

これらのビットは以下の式が成り立つようにプログラムしてください。

REG[00EEh]ビット9~0 > REG[004Eh]ビット9~0

REG[00EEh]ビット9~0 = 部分領域0/1表示開始位置(ライン) + REG[004Eh]

REG[00EEh]ビット9~0 REG[0052h]ビット8~0

10. レジスタ

REG[00F0h] Partial Drive Area0 End Line Register							Read/Write	
Default = 0000h								
n/a		Reserved		Reserved		n/a		部分駆動領域0終了ラインビット9-8
15	14	13	12	11	10	9	8	
部分駆動領域0終了ラインビット7-0								
7	6	5	4	3	2	1	0	

bit 13

Reserved
デフォルト値は0です。

bit 12

Reserved
デフォルト値は0です。

bits 9-0

部分駆動領域0終了ラインビット[9:0]
これらのビットは部分駆動領域0終了位置をラインで指定します。
REG[00F0h]ビット9~0 = 部分駆動領域0終了位置 (ライン)

注

部分駆動領域0終了ラインは、部分駆動領域1開始ラインアドレスよりも1以上小さい値に設定してください。

注

部分駆動領域0終了ラインビットは、部分領域が終了する位置を示します。たとえば表示の開始において30本のラインを表示するには、開始を1に、終了を29に設定します。

REG[00F2h] Partial Drive Area1 Start Line Register								Read/Write	
Default = 0000h									
n/a						部分駆動領域1 イネーブル	部分駆動領域1開始ラインビット9~8		
15	14	13	12	11	10	9	8		
部分駆動領域1開始ラインビット7~0									
7	6	5	4	3	2	1	0		

bit 10 部分駆動領域1イネーブル
部分駆動領域1をイネーブルするには、部分駆動イネーブルビット(REG[00EEh] ビット15) を1に設定してください。
このビットが0のとき、部分駆動領域1はディセーブルされます。
このビットが1のとき、部分駆動領域1はイネーブルされます。

bits 9-0 部分駆動領域1開始ラインビット[9:0]
これらのビットは部分駆動領域1開始位置をラインで指定します。
REG[00F2h]ビット9~0 = 部分駆動開始位置 (ライン)

注

部分駆動領域1開始ラインは、部分駆動領域0終了ラインアドレスよりも1以上大きい値に設定してください。

注

これらのビットは以下の式が成り立つようにプログラムしてください。

REG[00F2h]ビット9~0 > REG[004Eh]ビット9~0

REG[00F2h]ビット9~0 = 部分領域0/1表示開始位置(ライン) + REG[004Eh]

REG[00F2h]ビット9~0 REG[0052h]ビット8~0

REG[00F4h] Partial Drive Area1 End Line Register								Read/Write	
Default = 0000h									
n/a						部分駆動領域1終了ラインビット9~8			
15	14	13	12	11	10	9	8		
部分駆動領域1終了ラインビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0 部分駆動領域1終了ラインビット[9:0]
これらのビットは部分駆動領域1終了位置をラインで指定します。
REG[00F4h]ビット9~0 = 部分駆動領域1終了位置 (ライン)

注

部分駆動領域0終了ラインは、部分駆動領域1開始ラインアドレスより3以上小さい値に設定してください。

注

部分駆動領域終了ラインビットは、部分領域が終了する位置を示します。たとえば表示の開始において30本のラインを表示するには、開始を1に、終了を29に設定します。

REG[00F6h]からREG[00FCh]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

10. レジスタ

REG[00FEh] LCD Interface ID Register							Read/Write
Default = 0001h							
LCDインタフェースアドレスIDビット7~0							
15	14	13	12	11	10	9	8
LCDインタフェースデータIDビット7~0							
7	6	5	4	3	2	1	0

bits 15-8

LCDインタフェースアドレスIDビット[7:0]
これらのビットは、REG[0034h]ビット15~8とともにTFTタイプ5パネルのシリアルコマンドインタフェースに関するアドレスを示します。

bits 7-0

LCDインタフェースデータIDビット[7:0] (デフォルト = 01h)
これらのビットは、REG[0034h]ビット7~0とともにTFTタイプ5パネルのシリアルコマンドインタフェースに関するデータを示します。

注

シリアルコマンドインタフェースは次に示す4バイトのデータで構成されません。

1. レジスタアドレスの識別 (REG[00FEh]ビット15~8)
2. レジスタアドレス (REG[0034h]ビット15~8)
3. レジスタデータの識別 (REG[00FEh]ビット7~0)
4. レジスタデータ (REG[0034h]ビット7~0)

REG[00FEh]が先に書き込まれ、次にREG[0034h]が書き込まれます。コマンド転送はREG[0034h]の書き込み後に開始されます。

10.4.8 カメラインタフェース設定レジスタ

REG[0100h] Camera1 Clock Setting Register							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a			Camera1クロック分周選択ビット4~0				
7	6	5	4	3	2	1	0

bits 4-0

Camera1クロック分周選択ビット[4:0]

これらのビットは、システムクロックからCamera1クロックを生成するために使用する分周比を指定します。

表10.28 Camera1クロック分周比選択

REG[0100h]ビット4~0	Camera1クロック分周比	REG[0100h]ビット4~0	Camera1クロック分周比
00000	1:1	10000	17:1
00001	2:1	10001	18:1
00010	3:1	10010	19:1
00011	4:1	10011	20:1
00100	5:1	10100	21:1
00101	6:1	10101	22:1
00110	7:1	10110	23:1
00111	8:1	10111	24:1
01000	9:1	11000	25:1
01001	10:1	11001	26:1
01010	11:1	11010	27:1
01011	12:1	11011	28:1
01100	13:1	11100	29:1
01101	14:1	11101	30:1
01110	15:1	11110	31:1
01111	16:1	11111	32:1

注

JPEG符号化に1:1のカメラクロックを使用する場合、解像度は800×600を上限としてください。

10. レジスタ

REG[0102h] Camera1 Signal Setting Register							Read/Write
Default = 0000h							
n/a							
15	14	13	12	11	10	9	8
n/a	Camera1 インタフェース選択	Camera1クロック モード選択	Camera1 YUVデータフォーマット選択 ビット1~0		Camera1 HSYNC アクティブ選択	Camera1 VSYNC アクティブ選択	Camera1有効入力 クロックエッジ
7	6	5	4	3	2	1	0

- bit 6 Camera1インタフェース選択
このビットはCamera1インタフェースのタイプを指定します。
このビットが0のとき、Camera1インタフェースはYUV 4:2:2 8ビットに設定されます。
このビットが1のとき、Camera1インタフェースはYUV 4:2:2 16ビットに設定されます。
- bit 5 Camera1クロックモード選択
このビットは、Camera1インタフェースの入力YUVデータのサンプリングに使用するクロックソースを決定します。
このビットが0のとき、入力YUVデータのサンプリングにはカメラインタフェースから入力される外部入力クロック（CM1CLKIN）が使用されます（デフォルト）。
このビットが1のとき、入力YUVデータのサンプリングにはシステムクロックを内部で分周したものが使用されます。
- bits 4-3 Camera1 YUVデータフォーマット選択ビット[1:0]
これらのビットはCamera1インタフェースに対するYUVデータフォーマットをバイトで指定します。

表10.29 YUVデータフォーマット選択

REG[0102h]ビット4~3	YUVデータフォーマット (8ビット形式)	YUVデータフォーマット (16ビット形式)
00	(先頭) UYVY (末尾)	(cam1の先頭) UV (末尾) (cam2の先頭) YY (末尾)
01	(先頭) VYUY (末尾)	(cam1の先頭) VU (末尾) (cam2の先頭) YY (末尾)
10	(先頭) YUYV (末尾)	(cam1の先頭) YY (末尾) (cam2の先頭) UV (末尾)
11	(先頭) YVYU (末尾)	(cam1の先頭) YY (末尾) (cam2の先頭) VU (末尾)

- bit 2 Camera1 HSYNCアクティブ選択
このビットはCamera1インタフェースに対するHSYNCを指定します。
このビットが0のとき、Camera1 HSYNC (CM1HREF) はアクティブLowであり、CM1HREFがHighのときにデータが有効になります。
このビットが1のとき、Camera1 HSYNC (CM1HREF) はアクティブHighであり、CM1HREFがLowのときにデータが有効になります。
- bit 1 Camera1 VSYNCアクティブ選択
このビットはCamera1インタフェースに対するVSYNCを指定します。
このビットが0のとき、Camera1 VSYNC (CM1VREF) はアクティブLowであり、CM1VREFがHighのときにデータが有効になります。
このビットが1のとき、Camera1 VSYNC (CM1VREF) はアクティブHighであり、CM1VREFがLowのときにデータが有効になります。

bit 0 Camera1有効入力クロックエッジ
 このビットはCamera1のデータがラッチされるエッジを決定します。
 このビットが0のとき、S1D13719はクロック（CM1CLKIN）の立ち上がりエッジにおいて入力データをラッチします。
 このビットが1のとき、S1D13719はクロック（CM1CLKIN）の立ち下がりエッジにおいて入力データをラッチします。

REG[0104h] Camera2 Clock Divide Select Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				Camera2クロック分周選択ビット4~0				
7	6	5	4	3	2	1	0	

bits 4-0 Camera2クロック分周選択ビット[4:0]
 これらのビットは、システムクロックからCamera2クロックを生成するために使用する分周比を指定します。

表10.30 Camera2クロック分周比選択

REG[0104h]ビット4~0	Camera2クロック分周比	REG[0104h]ビット4~0	Camera2クロック分周比
00000	1:1	10000	17:1
00001	2:1	10001	18:1
00010	3:1	10010	19:1
00011	4:1	10011	20:1
00100	5:1	10100	21:1
00101	6:1	10101	22:1
00110	7:1	10110	23:1
00111	8:1	10111	24:1
01000	9:1	11000	25:1
01001	10:1	11001	26:1
01010	11:1	11010	27:1
01011	12:1	11011	28:1
01100	13:1	11100	29:1
01101	14:1	11101	30:1
01110	15:1	11110	31:1
01111	16:1	11111	32:1

注

JPEG符号化に1:1のカメラクロックを使用する場合、解像度は800×600を上限としてください。

10. レジスタ

REG[0106h] Camera2 Input Signal Format Select Register							Read/Write
Default = 0000h							
n/a							
15	14	13	12	11	10	9	8
Camera2インタフェース選択ビット1~0		Camera2クロックモード選択	Camera2 YUVデータフォーマット選択ビット1~0		Camera2 HSYNCアクティブ選択	Camera2 VSYNCアクティブ選択	Camera2有効入力クロックエッジ
7	6	5	4	3	2	1	0

bits 7-6

Camera2インタフェース選択ビット[1:0]

これらのビットはCamera2インタフェースのタイプを指定します。

表10.31 YUVデータフォーマット選択

REG[0106h]ビット7~6	YUVフォーマット
00	カメラインタフェース
01	MPEGコーデックインタフェース
10	Reserved
11	Reserved

bit 5

Camera2クロックモード選択

このビットは、Camera2インタフェースの入力YUVデータのサンプリングに使用するクロックソースを決定します。

このビットが0のとき、入力YUVデータのサンプリングにはカメラインタフェースから入力される外部入力クロックが使用されず（デフォルト）。

このビットが1のとき、入力YUVデータのサンプリングにはシステムクロックを内部で分周したもの（CM2CLKIN）が使用されます。

bits 4-3

Camera2 YUVデータフォーマット選択ビット[1:0]

これらのビットは、Camera2インタフェースに対するYUVデータフォーマットをバイトで指定します。

表10.32 YUVデータフォーマット選択

REG[0106h]ビット4~3	YUVフォーマット
00	(先頭)UYVY (末尾)
01	(先頭)VYUY (末尾)
10	(先頭)YUYV (末尾)
11	(先頭)VYVU (末尾)

bit 2

Camera2 HSYNCアクティブ選択

このビットはCamera2インタフェースに対するHSYNCを指定します。

このビットが0のとき、Camera2 HSYNC (CM2HREF) はアクティブLowであり、CM2HREFがHighのときにデータが有効になります。

このビットが1のとき、Camera2 HSYNC (CM2HREF) はアクティブHighであり、CM2HREFがLowのときにデータが有効になります。

bit 1

Camera2 VSYNCアクティブ選択

このビットはCamera2インタフェースに対するVSYNCを指定します。

このビットが0のとき、Camera2 VSYNC (CM2VREF) はアクティブLowであり、CM2VREFがHighのときにデータが有効になります。

このビットが1のとき、Camera2 VSYNC (CM2VREF) はアクティブHighであり、CM2VREFがLowのときにデータが有効になります。

bit 0 Camera2有効入力クロックエッジ
 このビットはCamera2のデータがラッチされるエッジを決定します。
 このビットが0のとき、S1D13719はクロック（CM2CLKIN）の立ち上がりエッジにおいて入力データをラッチします。
 このビットが1のとき、S1D13719はクロック（CM2CLKIN）の立ち下がりエッジにおいて入力データをラッチします。

REG[0108h]からREG[010Eh]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

REG[0110h] Camera Mode Setting Register							Read/Write
Default = 0000h							
Reserved 15	Reserved 14	Camera2 アクティブ プルダウン ディセーブル 13	Camera1 アクティブ プルダウン ディセーブル 12	n/a 11	高速サンプリング モードイネーブル 10	Reserved 9	YUV/YUV オフセット イネーブル 8
ITU-R BT656 イネーブル 7	カメラモード選択ビット2-0 6 5 4		クロック出力ポート選択ビット2-0 3 2 1			カメラモジュール イネーブル 0	

bit 15 Reserved
 デフォルト値は0です。

bit 14 Reserved
 デフォルト値は0です。

bit 13 Camera2アクティブプルダウンディセーブル
 このビットはCamera2インタフェースにおけるアクティブプルダウン抵抗を制御します。
 このビットが0のとき、Camera2インタフェースのアクティブプルダウン抵抗はイネーブルされます。
 このビットが1のとき、Camera2インタフェースのアクティブプルダウン抵抗はディセーブルされます。

bit 12 Camera1アクティブプルダウンディセーブル
 このビットはCamera1インタフェースにおけるアクティブプルダウン抵抗を制御します。
 このビットが0のとき、Camera1インタフェースのアクティブプルダウン抵抗はイネーブルされます。
 このビットが1のとき、Camera1インタフェースのアクティブプルダウン抵抗はディセーブルされます。

10. レジスタ

- bit 10 高速サンプリングモードイネーブル
このビットが0のとき、高速サンプリングモードはディセーブルされます。
このビットが1のとき、高速サンプリングモードはイネーブルされます。
- 注**
以下の式が成り立つときはこのビットを設定してください。
 $\frac{1}{2} \times (\text{内部システムクロック周波数}) < \text{カメラクロック周波数}$
- 注**
カメラクロックの分周比が1:1または2:1のときは、高速サンプリングを有効に設定してください (REG[0110h]ビット10=1)。
- bit 9 Reserved
デフォルト値は0です。
- bit 8 YUV/YUVオフセットイネーブル
このビットは、カメラインタフェースから取り込むUデータおよびVデータに対してオフセットを内部で適用するかどうかを決定します。通常、カメラモジュールの出力はYUVまたはYCbCrのオフセット形式であるため、このビットはクリア、すなわち0に設定されています。カメラデータをYUV/RGBコンバータ(YRC)で処理した後に表示したり、JPEGコーデックを使って符号化したい場合には、得られるYUVデータフォーマットはYUVまたはYCbCrオフセットとするべきです。
このビットが0のとき、UおよびVの入力カメラデータに対してオフセットは適用されません (UV値は変更されません)。
このビットが1のとき、UおよびVの入力カメラデータに対してオフセットが適用されます。入力されるUVカメラデータのMSBが反転されます。

表10.33 YUV/YUVオフセットイネーブル

REG[0110h]ビット8	YUV/YUVオフセット	入力データ範囲	出力データ範囲
0	オフセットは適用されません。	0 Y 255	入力と同じ
		-128 U 127	
		-128 V 127	
		16 Y 235	
		-113 U 112	
		-113 V 112	
1	カメラフォーマット： YUVストレートの範囲がYUVオフセットの範囲に変換され ます。	0 Y 255	0 Y 255
		0 U 255	-128 U 127
		0 V 255	-128 V 127
	カメラフォーマット： YCbCrストレートの範囲がYCbCrオフセットの範囲に変換さ れます。	16 Y 235	16 Y 235
		16 U 240	-113 U 112
		16 V 240	-113 V 112

- bit 7 ITU-R BT656イネーブル
このビットはアクティブとなるカメラインタフェースのタイプを指定します。インタフェースタイプがYUV 4:2:2 8ビットの場合に有効です (REG[0102h]ビット6を参照)。
このビットが0のときは通常のカメラインタフェースがアクティブです。このモードではHSYNC信号、VSYNC信号、クロック信号、およびデータ信号が独立しています。
このビットが1のときはITU-R BT656のカメラインタフェースがアクティブです。このモードではHSYNCとVSYNCの信号がデータ信号と混在します。
- bits 6-4 カメラモード選択ビット[2:0]
これらのビットはアクティブカメラモードを選択します。

表10.34 カメラモード選択

REG[0110h]ビット6~4	アクティブカメラモード
000	Camera1インタフェース入力がアクティブです
001	Camera2インタフェース入力がアクティブです
010 (注)	Camera1インタフェース入力 と Camera2インタフェース出力がアクティブです
011 ~ 111	Reserved

注

以下のインタフェースのいずれかが選択されている場合はこのカメラモードを選択しないでください。Camera2のデータ端子がすでに割り当てられています。

- Camera1インタフェースがYUV 4:2:2 16ビットに設定されている (REG[0102h]ビット6=1)
- Camera2インタフェースがMPEGコーデックインタフェースに設定されている (REG[0106h]ビット7~6=10)

- bits 3-1 クロック出力ポート選択ビット[2:0]
これらのビットはアクティブクロック出力ポートを選択します。

表10.35 クロック出力ポート選択

REG[0110h]ビット3~1	アクティブクロック出力ポート
000	REG[0110h]ビット6~4で選択したものと同一ポートがアクティブ
001	Camera1出力ポートのみアクティブ
010	Camera2出力ポートのみアクティブ
011	Camera1とCamera2の両出力ポートがアクティブ
100	クロック出力は非アクティブ
101 ~ 111	Reserved

- bit 0 カメラモジュールイネーブル
このビットはカメラモジュールを制御します。
このビットが0のとき、カメラモジュールおよびクロック出力 (CM1CLKOUT/CM2CLKOUT) はディセーブルされます。
このビットが1のとき、カメラモジュールおよびクロック出力 (CM1CLKOUT/CM2CLKOUT) はイネーブルされます。

10. レジスタ

REG[0112h] Camera Frame Setting Register							Read/Write
Default = 0000h							
n/a							Rawキャプチャモードイネーブル
15	14	13	12	11	10	9	8
カメラフレームキャプチャ割り込み制御	カメラシングルフレームキャプチャイネーブル	カメラフレームキャプチャ割り込み状態常時アクティブ	フレームサンプリング制御ビット2~0			カメラフレームキャプチャ割り込み極性	カメラフレームキャプチャ割り込みイネーブル
7	6	5	4	3	2	1	0

bit 8 Rawキャプチャモードイネーブル
 このビットはRawキャプチャモードを制御します。JPEG符号化されたデータをキャプチャするときはこのビットを1に設定してください。
 このビットが0のとき、Rawキャプチャモードはディセーブルされます。
 このビットが1のとき、Rawキャプチャモードはイネーブルされます。

注

- 1 このビットは VBLANK およびデータキャプチャが停止している間反映されません。VSYNCはトリガとなりません。
- 2 この機能がイネーブルされている間はストローブ機能 (REG[0120h] ~ REG[0124h]) が使用できません。

bit 7 カメラフレームキャプチャ割り込み制御
 このビットはカメラフレームキャプチャ割り込みがアサートされるタイミングを制御します。これは、カメラシングルフレームキャプチャモードビット (REG[0112h]ビット6) の値に応じて次のように変わります。

連続フレームキャプチャモード (REG[0112h]ビット6=0) の場合：
 このビットが0のとき、有効なフレームのキャプチャ時に割り込みが生成されます。この結果は、カメラフレームキャプチャ割り込み状態常時アクティブビット (REG[0112h]ビット5) の値によっても変わります。
 このビットが1のとき、有効フレームがキャプチャされ、キャプチャが停止したあとに割り込みが生成されます。

シングルフレームキャプチャモード (REG[0112h]ビット6=1) の場合：
 このビットが0のとき、有効なフレームのキャプチャ時に割り込みが生成されます。この結果は、カメラフレームキャプチャ割り込み状態常時アクティブビット (REG[0112h]ビット5) の値によっても変わります。
 このビットが1のとき、有効フレームのキャプチャ時に割り込みが生成されません。

注

このビットが1のとき、カメラフレームキャプチャ割り込み状態常時アクティブビット (REG[0112h]ビット5) はカメラフレームの割り込み生成に対して何の効果もありません。

- bit 6 カメラシングルフレームキャプチャイネーブル
このビットはカメラインタフェースのカメラフレームキャプチャモードを制御します。カメラモジュールがイネーブルされている (REG[0110h]ビット0=1) 間はこのビットを変更してはなりません。
このビットが0のとき、カメラインタフェースからのフレームが連続的にキャプチャされます。
このビットが1のとき、カメラフレームキャプチャ開始コマンドが発行された (REG[0114h]ビット2=1) 時点で、カメラインタフェースから来る次のフレームがキャプチャされます。1フレームのキャプチャが終わるとカメラフレームのキャプチャは停止します。
- bit 5 カメラフレームキャプチャ割り込み状態常時アクティブ
カメラフレームキャプチャ割り込みがイネーブルされている (REG[0112h]ビット0=1) のとき、このビットはキャプチャされるすべてのカメラフレームに対してカメラフレームキャプチャ割り込みをトリガ可能にします。カメラフレームキャプチャ割り込みがディセーブルされている場合、このビットは何の効果もありません。
このビットが0のとき、JPEG開始/停止制御ビットがオン (REG[098Ah]ビット0=1) のときにのみ、カメラフレームキャプチャ割り込みフラグがオンになります。
このビットが1のとき、キャプチャされるすべてのカメラフレームに対してカメラフレームキャプチャ割り込みフラグがオンになります。
- bits 4-2 フレームサンプリング制御ビット[2:0]
これらのビットはカメラデータのサンプリングレートをフレームで制御します。

表10.36 フレームサンプリング制御選択

REG[0112h]ビット4~2	フレームサンプリングモード
000	すべてのフレームがサンプリングされます。
001	2フレームごとに1フレームがサンプリングされます。
010	3フレームごとに1フレームがサンプリングされます。
011	4フレームごとに1フレームがサンプリングされます。
100	5フレームごとに1フレームがサンプリングされます。
101	6フレームごとに1フレームがサンプリングされます。
110	7フレームごとに1フレームがサンプリングされます。
111	Reserved

- bit 1 カメラフレームキャプチャ割り込み極性
このビットはカメラフレームキャプチャ割り込みアサートタイミングを制御します。
このビットが0のとき、カメラフレームキャプチャ割り込みはVSYNCがアクティブのときにアサートされます。
このビットが1のとき、カメラフレームキャプチャ割り込みはVSYNCが非アクティブのときにアサートされます。
- bit 0 カメラフレームキャプチャ割り込みイネーブル
このビットはカメラフレームキャプチャの割り込みを生成するかどうかを制御します。
このビットが0のとき、カメラフレームキャプチャ割り込みはディセーブルされます。
このビットが1のとき、カメラフレームキャプチャ割り込みはイネーブルされます。

10. レジスタ

REG[0114h] Camera Control Register							Write Only	
Default = 0000h								
n/a						ITU-R BT656エラー フラグ1クリア	ITU-R BT656エラー フラグ0クリア	
15	14	13	12	11	10	9	8	
n/a				カメラフレーム キャプチャ停止	カメラフレーム キャプチャ開始	カメラフレーム 割り込み状態クリア	カメラモジュール ソフトウェア リセット	
7	6	5	4	3	2	1	0	

bit 9 ITU-R BT656エラーフラグ1クリア（書き込み専用）
このビットは、ITU-R BT656インタフェースモードがアクティブ（REG[0110h]ビット7=1）のときにのみ有効です。
このビットに1を書き込むとITU-R BT656エラーフラグ1（REG[0116h]ビット9）がクリアされます。
このビットに0を書き込んでハードウェアには何の影響もありません。

bit 8 ITU-R BT656エラーフラグ0クリア（書き込み専用）
このビットは、ITU-R BT656インタフェースモードがアクティブ（REG[0110h]ビット7=1）のときにのみ有効です。
このビットに1を書き込むとITU-R BT656エラーフラグ0（REG[0116h]ビット8）がクリアされます。
このビットに0を書き込んでハードウェアには何の影響もありません。

注

REG[0114h]に0Chを書き込んで、両方のITU-R BT656エラーフラグ（REG[0116h]ビット9とビット8）を同時にクリアすることはできません。

bit 3 カメラフレームキャプチャ停止（書き込み専用）
このビットはカメラインタフェースからの画像フレームキャプチャを停止します。
このビットに0を書き込んでハードウェアには何の影響もありません。
このビットに1を書き込むと、画像フレームキャプチャ処理が停止します。

bit 2 カメラフレームキャプチャ開始（書き込み専用）
このビットはカメラインタフェースからの画像フレームキャプチャを開始します。
このビットに0を書き込んでハードウェアには何の影響もありません。
このビットに1を書き込むと、画像フレームキャプチャ処理が開始されます。

bit 1 カメラフレーム割り込み状態クリア（書き込み専用）
このビットはカメラフレーム割り込み状態ビット（REG[0116h]ビット1）をクリアします。
このビットに0を書き込んでハードウェアには何の影響もありません。
このビットに1を書き込むと、カメラフレーム割り込み状態がクリアされます。

bit 0 カメラモジュールソフトウェアリセット（書き込み専用）
このビットはカメラモジュールのロジックを初期化します。カメラインタフェースのレジスタには影響がありません。
このビットに0を書き込んでハードウェアには何の影響もありません。
このビットに1を書き込むと、カメラモジュールが初期化されます。

REG[0116h] Camera Status Register							Read Only	
Default = 0044h								
n/a						ITU-R BT656エラー フラグ1	ITU-R BT656エラー フラグ0	
15	14	13	12	11	10	9	8	
n/a	カメラVSYNC	有効ストロープ フレーム状態	有効フレーム状態	カメラフレーム キャプチャビジー 状態	カメラフレーム キャプチャ開始/ 停止フラグ	カメラフレーム キャプチャ割り込み 状態	n/a	
7	6	5	4	3	2	1	0	

- bit 9 ITU-R BT656エラーフラグ1（読み出し専用）
このビットは、ITU-R BT656インタフェースモードがアクティブ（REG[0110h]ビット7=1）のときにのみ有効です。
このビットが0のとき、エラーは発生していません。
このビットが1のとき、リファレンス復号化処理で2ビットエラーが検出されま
す。
- このビットのクリア方法については、REG[0114h]ビット9をご覧ください。
- bit 8 ITU-R BT656エラーフラグ0（読み出し専用）
このビットはITU-R BT656インタフェースモードがアクティブ（REG[0110h]ビット7=1）のときにのみ有効です。
このビットが0のとき、エラーは発生していません。
このビットが1のとき、リファレンス復号化処理で1ビットエラーが検出されま
す。
- このビットのクリア方法については、REG[0114h]ビット8をご覧ください。
- bit 6 カメラVSYNC（読み出し専用）
このビットはカメラインタフェースから受信するVSYNCの状態を示します。
このビットが0のとき、VSYNCは発生していません。
このビットが1のとき、VSYNCは発生しています。
- bit 5 有効ストロープフレーム状態（読み出し専用）
このビットは、ストロープがイネーブルされている（REG[0124h]ビット0=1）
ときにキャプチャされる有効データの状態を示します。
ストロープパルスに対して有効フレームがキャプチャされると、このビットは
1を返します。Highの持続期間は1フレーム分だけであり、その後はLowに戻り
ます。
有効データがない場合、このビットは0を返します。

10. レジスタ

- bit 4 有効フレーム状態（読み出し専用）
このビットは、カメラインタフェースから受け取る現在のフレームが「有効」なフレームかどうかをフレームサンプリング制御ビット（REG[0112h]ビット4～2）に基づいて示します。
このビットが0のとき、有効なフレームが生じていません。
このビットが1のとき、有効なフレームが生じています。
- 3フレームごとに1フレームをサンプリングするようにフレームサンプリング制御ビットを設定した（REG[0112h]ビット4～2=010）ときの有効フレーム状態ビットの例を次図に示します。

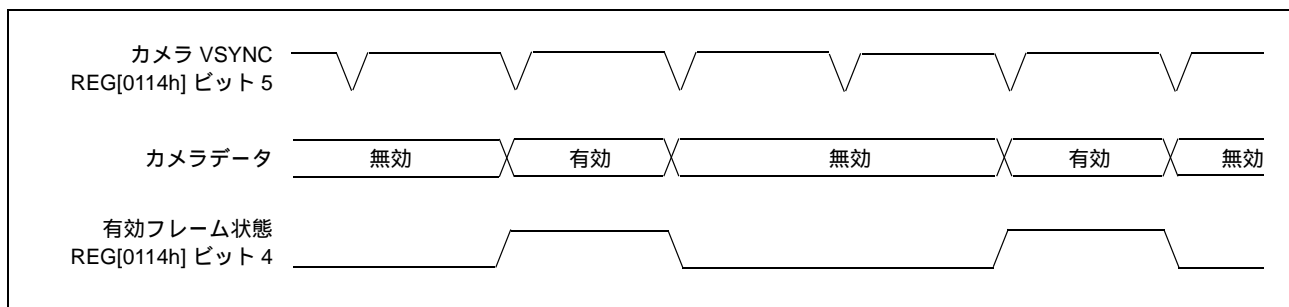


図10.1 有効フレーム状態ビットの例

- bit 3 カメラフレームキャプチャビジー状態（読み出し専用）
このビットはカメラインタフェースからのフレームキャプチャの状態を示します。
このビットが0のとき、フレームはキャプチャ中ではありません。
このビットが1のとき、フレームはキャプチャ中です。
- bit 2 カメラフレームキャプチャ開始/停止フラグ（読み出し専用）
このビットは、カメラフレームキャプチャ開始/停止ビット（REG[0114h]ビット3～2）に関してカメラフレームキャプチャの現在の状態を示します。
このビットが0のとき、カメラフレームキャプチャは停止中です。
このビットが1のとき、カメラフレームキャプチャ開始コマンドがアサートされています。
- bit 1 カメラフレームキャプチャ割り込み状態（読み出し専用）
このビットはカメラフレームキャプチャ割り込みの発生の有無を示します。
このビットが0のとき、カメラフレームキャプチャ割り込みは発行されていません。
このビットが1のとき、カメラフレームキャプチャ割り込みが発行されています。

注

カメラフレームキャプチャ割り込みがイネーブルされていて(REG[0112h]ビット0=1)かつカメラフレームキャプチャ割り込み状態常時アクティブがイネーブルされていて (REG[0112h]ビット5=0)、さらに連続キャプチャモードを選択している (REG[0112h]ビット6=0) とき、カメラフレームキャプチャ割り込みフラグは最初のカメラVREFにおいてのみ設定されます。

注

このビットはリサイザーがイネーブルされているかどうかに関係なく設定されます。そのためカメラフレームが組み込みメモリまたはJPEGコーデックに書き込まれたことを示す指標としては使用できません。

REG[0120h] Strobe Line Delay Register								Read/Write
Default = 0000h								
ストロブライン遅延ビット15~8								
15	14	13	12	11	10	9	8	
ストロブライン遅延ビット7~0								
7	6	5	4	3	2	1	0	

bit 15-0 ストロブライン遅延ビット[15:0]
 ストロブがイネーブルされている (REG[0124h]ビット0=1) とき、これらのビットはVSYNC入力からストロブ制御信号開始までの遅延をカメラインタフェースのラインで指定します。ストロブ制御信号については469ページの21.3「ストロブ制御信号」をご覧ください。

REG[0122h] Strobe Pulse Width Register								Read/Write
Default = 0000h								
ストロブパルス幅ビット15~8								
15	14	13	12	11	10	9	8	
ストロブパルス幅ビット7~0								
7	6	5	4	3	2	1	0	

bit 15-0 ストロブパルス幅ビット[15:0]
 ストロブがイネーブルされている (REG[0124h]ビット0=1) とき、これらのビットはストロブ制御信号のパルス幅をカメラインタフェースのラインで指定します。ストロブ制御信号については469ページの21.3「ストロブ制御信号」をご覧ください。

ストロブパルス幅 = REG[0122h]ビット15~0 + 1 (CMHREFのライン)

REG[0124h] Strobe Control Register								Read/Write
Default = 0000h								
15	14	13	12	11	10	9	8	Reserved
ストロブキャプチャ遅延制御ビット3~0				ストロブポート イネーブル	Reserved	ストロブ制御信号 極性	ストロブ イネーブル	
7	6	5	4	3	2	1	0	

bit 8 Reserved
 デフォルト値は0です。

10. レジスタ

bits 7-4

ストローブキャプチャ遅延制御ビット[3:0]
ストローブがイネーブルされている (REG[0124h]ビット0=1) とき、これらのビットはストローブ制御信号の出力から有効なカメラフレームキャプチャ (JPEG符号化に使用) までの遅延をフレーム数で指定します。

ストローブがディセーブルされているとき、このレジスタは何の効果もありません。

表10.37 ストローブキャプチャ遅延制御

REG[0124h]ビット7~4	遅延値
0000	遅延なし
0001	1フレーム
0010	2フレーム
0011	3フレーム
0100	4フレーム
0101	5フレーム
0110	6フレーム
0111	7フレーム
1000	8フレーム
1001	9フレーム
1010	10フレーム
1011	11フレーム
1100	12フレーム
1101	13フレーム
1110	14フレーム
1111	15フレーム

bit 3

ストローブポートイネーブル
このビットはストローブ制御信号に用いるストローブ制御信号 (CMSTROUT) を制御します。
このビットが0のときストローブはディセーブルされ、CMSTROUTはHi-Zです (デフォルト)。
このビットが1のときストローブはイネーブルされ、CMSTROUTはアクティブ (HighまたはLow) になります。

bit 2

Reserved
デフォルト値は0です。

bit 1

ストローブ制御信号極性
このビットはストローブ制御信号のアクティブ極性を決定します。ストローブポートの出力モードがストローブ機能に設定されている (REG[0124h]ビット0=1) ときにのみ有効です。このビットを設定すると、CMSTROUT端子の非アクティブ状態がただちに变化します。
このビットが0のとき、ストローブ制御信号はアクティブLowです。
このビットが1のとき、ストローブ制御信号はアクティブHighです。

bit 0

ストローブイネーブル

このビットはストローブポート（CMSTROUT）の出力モードを設定します。このビットが0のとき、ストローブポートは汎用出力ポートです（デフォルト）。このモードではCMSTROUTを汎用データ出力に使用できます。このビットが1のとき、ストローブポートはストローブ（またはフラッシュ）機能に設定されています。この機能の詳細については、469ページの21.3「ストローブ制御信号」をご覧ください。このモードのとき、CMSTROUTは以下をトリガとしてストローブパルスを出力します。

- JPEG開始 / 停止制御ビット（REG[098Ah]ビット0 = 1）
- カメラフレームキャプチャ停止ビット：連続キャプチャモードのとき（REG[0114h]ビット3 = 1）
- カメラフレームキャプチャ開始ビット：シングルキャプチャモードのとき（REG[0114h]ビット2 = 1）

REG[0128h] MPEG Interface VSYNC Width register									
Default = 0000h									
Read/Write									
n/a								MPEGインタフェースVSYNC幅 ビット9-8	
15	14	13	12	11	10	9	8		
MPEGインタフェースVSYNC幅ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0

MPEGインタフェースVSYNC幅ビット[9:0]

MPEGインタフェースがイネーブルされているとき、これらのビットはMPEGインタフェースチップに対する全垂直期間を指定します。

REG[0128h]ビット9~0 = 全垂直期間-1（水平ライン、CM2HREF期間）

REG[012Ah] MPEG Interface HSYNC Width register									
Default = 0000h									
Read/Write									
n/a								MPEGインタフェースHSYNC幅 ビット9-8	
15	14	13	12	11	10	9	8		
MPEGインタフェースHSYNC幅ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0

MPEGインタフェースHSYNC幅ビット[9:0]

MPEGインタフェースがイネーブルされているとき、これらのビットはMPEGインタフェースチップに対する全水平期間を指定します。

REG[012Ah] ビット9 ~ 0 = 全水平期間-1（ピクセル）ただし、1ピクセル = CM2CLKOUT × 2

REG[012Ch]からREG[012Fh]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

10. レジスタ

REG[0130h] CIOVDD Control register							Read/Write
Default Determined by CNF0							
n/a							
15	14	13	12	11	10	9	8
n/a			CIO2VDDソフト ウェア制御	n/a			CIO1VDDソフト ウェア制御
7	6	5	4	3	2	1	0

bit 4

CIO2VDDソフトウェア制御

このビットはCamera2の入力バッファをソフトウェア制御します。このビットのデフォルト状態はCNF0によって直接制御されます。

このビットが0のとき、S1D13719にダメージを与えることなくCIO2VDDを安全にオフ状態にできます。Camera2の入力バッファに過剰な電流ドレインが生じることもありません。

このビットが1のときはCIO2VDDが給電されることになり、Camera2の入力端子が駆動されるはずです。

このビットが0になると、Camera2インタフェースに対応するS1D13719の内部入力バッファが接地され、CIO2VDDの電源オフ時におけるS1D13719への浮動入力発生を防止します。

パワーオフシーケンス：

1. CIO2VDDへの給電を停止します。
2. REG[0130h]ビット4 = 0に設定します。

パワーオンシーケンス：

1. REG[0130h]ビット4 = 1に設定します。
2. CIO2VDDへの給電を開始します。

bit 0

CIO1VDDソフトウェア制御

このビットはCamera1の入力バッファをソフトウェア制御します。このビットのデフォルト状態はCNF0によって直接制御されます。

このビットが0のとき、S1D13719にダメージを与えることなくCIO1VDDを安全にオフ状態にできます。Camera1の入力バッファに過剰な電流ドレインが生じることもありません。

このビットが1のときはCIO1VDDが給電されることになり、Camera1の入力端子が駆動されるはずです。

このビットが0になると、Camera1インタフェースに対応するS1D13719の内部入力バッファが接地され、CIO1VDDの電源オフ時におけるS1D13719への浮動入力発生を防止します。

パワーオフシーケンス：

1. CIO1VDDへの給電を停止します。
2. REG[0130h]ビット1 = 0に設定します。

パワーオンシーケンス：

1. REG[0130h]ビット1 = 1に設定します。
2. CIO1VDDへの給電を開始します。

10.4.9 表示モード設定レジスタ

REG[0200h] Display Mode Setting Register 0						Read/Write	
Default = 0000h							
R/B色補間 15	Reserved 14	ダブル/トリプル バッファウインドウ 選択 13	バッファモード選択ビット1~0 12 11		メモリ画像JPEG 符号化状態 (RO) 10	表示モード選択ビット1~0 9 8	
LCDソフトウェア リセット (WO) 7	LCDメモリ画像 JPEGイネーブル 6	LUT2バイパス イネーブル 5	LUT1バイパス イネーブル 4	PIP+ウインドウbpp値選択ビット1~0 3 2	メインウインドウbpp値選択ビット1~0 1 0		

- bit 15 R/B色補間 (LUT2バイパスモード使用時)
このビットが0のとき、RGB 5:6:5は補間されません。
このビットが1のとき、RGB 5:6:5 RGB 6:6:6とされます。
- bit 14 Reserved
デフォルト値は0です。
- bit 13 **ダブル/トリプルバッファウインドウ選択**
ダブル/トリプルバッファモードがイネーブルされている (REG[0200h]ビット12~11) のときに、このビットは対象となるウインドウ (メインまたはPIP+) を制御します。
このビットが0のときはPIP+ウインドウ領域がダブル/トリプルバッファの対象になります (RGBのみ)。
このビットが1のときはメインウインドウ領域がダブル/トリプルバッファの対象になります。
- bits 12-11 **バッファモード選択ビット[1:0]**
これらのビットはバッファモード選択を制御します。ダブルまたはトリプルバッファモードを使用すると、カメラインタフェースがバッファに書き込みを行っている間に別の1つまたは2つのバッファをリフレッシュできます。それによってカメラインタフェースのパフォーマンスが向上します。ダブルまたはトリプルバッファモードがイネーブルされている場合、対象となるウインドウはダブル/トリプルバッファウインドウ選択ビットによって決まります (REG[0200h]ビット13を参照)。
- ダブルバッファモードがイネーブルされているとき、ダブルバッファの対象となるウインドウはダブル/トリプルバッファウインドウ選択ビット (REG[0200h]ビット13) によって選択してください。このとき、対応するメインないしPIP+ウインドウ領域の設定、たとえばDisplay Start AddressレジスタやLine Address Offsetレジスタなどによって、前面バッファ表示開始アドレスやラインアドレスオフセットが指定されます。背面バッファが用いるラインアドレスオフセットは前面バッファと同じですが、その表示開始アドレスを決めるのはBack Buffer1 Display Start Addressレジスタ (REG[022Ah] ~ REG[022Ch]) です。アドレスとオフセットの可能な設定について以下の表にまとめます。

10. レジスタ

トリプルバッファモードがイネーブルされているとき、トリプルバッファの対象となるウィンドウはダブル/トリプルバッファウィンドウ選択ビット (REG[0200h]ビット13) によって選択してください。このとき、対応するメインないしPIP+ウィンドウ領域の設定、たとえばDisplay Start AddressレジスタやLine Address Offsetレジスタなどによって、前面バッファ表示開始アドレスやラインアドレスオフセットが指定されます。背面バッファが用いるラインアドレスオフセットは前面バッファと同じですが、その表示開始アドレスを決めるのはBack Buffer1およびBack Buffer2のDisplay Start Addressレジスタ (REG[022Ah] ~ REG[022Ch]、およびREG[022Eh] ~ REG[0230h]) です。アドレスとオフセットの可能な設定について下の表にまとめます。

このビットが00のときはシングルバッファ書き込みモードが選択されます (デフォルト)。

このビットが01のときはダブルバッファ書き込みモードが選択されます。

このビットが10のときはトリプルバッファ書き込みモードが選択されます。11の値は予約です。

注

REG[0240h]ビット13 ~ 12も上記と同じモードに設定してください。モードが異なると最後の背面バッファ画像しか表示されません。

表10.38 ダブルバッファアドレスレジスタ

ダブルバッファ ウィンドウ選択 (REG[0200h]ビット13)	前面バッファ		背面バッファ	
	開始アドレス	オフセット (RGBのみ)	開始アドレス	オフセット (RGBのみ)
ダブルバッファ = メイン	REG[0212h] ~ [0210h]	REG[0216h]	REG[022Ch] ~ [022Ah]	REG[0216h]
ダブルバッファ = PIP+	REG[021Ah] ~ [0218h]	REG[021Eh]	REG[022Ch] ~ [022Ah]	REG[021Eh]

注

ダブルバッファモードがイネーブル (REG[0200h]ビット12 ~ 11 = 01) されていてもダブルバッファ書き込みモードがディセーブルされている (REG[0240h]ビット13 ~ 12 = 00) ときは、背面バッファのメモリウィンドウのみが選択ウィンドウ (REG[0200h]ビット13) に表示されます。

表10.39 トリプルバッファアドレスレジスタ

トリプルバッファ ウィンドウ選択 (REG[0200h]ビット13)	前面バッファ		背面バッファ1		背面バッファ2	
	開始アドレス	オフセット (RGBのみ)	開始アドレス	オフセット (RGBのみ)	開始アドレス	オフセット (RGBのみ)
トリプルバッファ = メイン	REG[0212h] ~ [0210h]	REG[0216h]	REG[022Ch] ~ [022Ah]	REG[0216h]	REG[0230h] ~ [022Eh]	REG[0216h]
トリプルバッファ = PIP+	REG[021Ah] ~ [0218h]	REG[021Eh]	REG[022Ch] ~ [022Ah]	REG[021Eh]	REG[0230h] ~ [022Eh]	REG[021Eh]

注

トリプルバッファモードがイネーブル (REG[0200h]ビット12 ~ 11 = 10) されていてもトリプルバッファ書き込みモードがディセーブルされている (REG[0240h]ビット13 ~ 12 = 00) ときは、背面バッファ2のメモリウィンドウのみが選択ウィンドウ (REG[0200h]ビット13) に表示されます。

- bit 10 メモリ画像JPEG符号化状態（読み出し専用）
このビットが0のとき、メモリ画像のRGBからYUVの変換処理が完了しているか、またはメモリ画像のJPEG符号化モードがイネーブルされていません。このビットが1のとき、メモリ画像（または表示フレーム）のJPEG符号化処理が進行中です。
- bits 9-8 表示モード選択ビット[1:0]
これらのビットはLCD1またはLCD2の表示モードを決定します。対象となるLCDは、LCD出力ポート選択ビット（REG[0202h]ビット12～10）の設定によって決まります。

表10.40 表示モード選択

REG[0200h]ビット9～8	表示モード
00	メインウインドウのみ
01	メインとPIP+ウインドウ
10	Reserved
11	メインとPIP+ウインドウ（オーバーレイあり）

- bit 7 LCDソフトウェアリセット（書き込み専用）
このビットを1に設定すると、両方のLCDおよびメモリ画像JPEG符号化モードにおいてLCDとRGB/YUVコンバータに対するソフトウェアリセットが実行されます。
このビットに0を書き込んでもハードウェアには何の影響もありません。
- bit 6 LCDメモリ画像JPEGイネーブル
このビットはLCDメモリ画像に対するRGBからYUVへの変換機能を制御します。このモードではパネルからのメモリ画像がJPEGエンコーダに送られます。RAMを内蔵しないパネルの場合、データは、モードがイネーブルされて（REG[0200h]ビット6=1）から最初の更新後フレームとともにJPEGエンコーダに送られます。RAM内蔵パネルの場合、データはパネルタイプに応じたフレーム転送トリガを用いてJPEGエンコーダに送られます。
このビットが0のとき、LCDメモリ画像のJPEG符号化はディセーブルされます。このビットが1のとき、LCDメモリ画像のJPEG符号化はイネーブルされます。
- bit 5 LUT2バイパスイネーブル
LUT2はPIP+ウインドウに対応します。このビットはPIP+ウインドウへの出力にLUT2を使用するかどうかを決定します。LUT2を使用もしくはバイパスするときの表示フォーマットについては、338ページの12.「表示モード」をご覧ください。
このビットが0のとき、LUT2は使用されます。
このビットが1のとき、LUT2はバイパスされます。
- 注**
YRC2（24bpp）を使用する場合、LUT2はバイパスされます。
- bit 4 LUT1バイパスイネーブル
LUT1はメインウインドウに対応します。このビットはメインウインドウへの出力にLUT1を使用するかどうかを決定します。LUT1を使用もしくはバイパスするときの表示フォーマットについては、338ページの12.「表示モード」をご覧ください。
このビットが0のとき、LUT1は使用されます。
このビットが1のとき、LUT1はバイパスされます。

10. レジスタ

bits 3-2

PIP+ウインドウbpp (bit/pixel) 値選択ビット[1:0]
 これらのビットはPIP+ウインドウの色深度を決定します。詳しくは338ページの
 12.「表示モード」をご覧ください。

表10.41 LUT2 (PIP+ウインドウ) 色モード選択

REG[0200h]ビット3~2	色深度	LUT2バイパスイネーブル	色
00	8 bpp	0	LUT2カラーフォーマット
		1	データは以下のように扱われます R_data={r2, r1, r0, r2, r2, r2, r2, r2} G_data={g2, g1, g0, g2, g2, g2, g2, g2} B_data={b1, b0, b1, b1, b1, b1, b1, b1}
01	16 bpp	0	LUT2カラーフォーマット
		1	データは以下のように扱われます R_data={r4, r3, r2, r1, r0, r4, r4, r4} G_data={g5, g4, g3, g2, g1, g0, g5, g5} B_data={b4, b3, b2, b1, b0, b4, b4, b4}
10	Reserved	0	Reserved
		1	
11	32 bpp	0	Reserved
		1	入力データフォーマットと同じ

bits 1-0

メインウインドウbpp (bit/pixel) 値選択ビット[1:0]
 これらのビットはメインウインドウの色深度を決定します。詳しくは338ページの
 の12.「表示モード」をご覧ください。

表10.42 LUT1 (メインウインドウ) 色モード選択

REG[0200h]ビット1~0	色深度	LUT1バイパスイネーブル	色
00	8 bpp	0	LUT1カラーフォーマット
		1	データは以下のように扱われます R_data={r2, r1, r0, r2, r2, r2, r2, r2} G_data={g2, g1, g0, g2, g2, g2, g2, g2} B_data={b1, b0, b1, b1, b1, b1, b1, b1}
01	16 bpp	0	LUT1カラーフォーマット
		1	データは以下のように扱われます R_data={r4, r3, r2, r1, r0, r4, r4, r4} G_data={g5, g4, g3, g2, g1, g0, g5, g5} B_data={b4, b3, b2, b1, b0, b4, b4, b4}
10	Reserved	0	Reserved
		1	
11	32 bpp	0	Reserved
		1	入力データフォーマットと同じ

REG[0202h] Display Mode Setting Register 1							Read/Write
Default = 0000h							
アクティブLCDポート状態ビット2~0 (RO)			LCD出力ポート選択ビット2~0			SWビデオ反転	表示ブランク
15	14	13	12	11	10	9	8
PIP*ウインドウ ミラーイネーブル	Reserved	PIP*ウインドウSwivelViewモード選択 ビット1~0	メインウインドウ ミラーイネーブル	n/a	メインウインドウSwivelViewモード選択 ビット1~0		
7	6	5	4	3	2	1	0

bits 15-13

アクティブLCDポート状態ビット[2:0] (読み出し専用)

これらのビットは選択した出力ポートがアクティブであることを示します。コマンド、パラメータ、または画像データを送信するときは、使用ポートがアクティブであることを事前に確認してください。

注

これらのビットは読み出し専用です。変更するにはLCD出力ポート選択ビット (REG[0202h]ビット12~10) を使用してください。

表10.43 アクティブLCDポート状態

REG[0202h]ビット15~13	アクティブLCDポート
000	すべてオフ
001	LCD1
010	LCD2
011~111	Reserved

bits 12-10

LCD出力ポート選択ビット[2:0]

これらのビットは有効な出力ポートを指定します。これらのビットに対する変更は、現在フレームの終了後に反映されます。変更する際は自動転送ビット (REG[003Ch]ビット0) を先にクリアしてください。

表10.44 LCD出力ポート選択

REG[0202h]ビット12~10	LCD出力ポート
000	すべてオフ
001	LCD1
010	LCD2
011~111	Reserved

bit 9

ソフトウェアビデオ反転

このビットは、RGBタイプパネルのデータ出力 (FPDAT[17:0]、GPIO[9:4]) を反転するか不変 (ノーマル) かを決定します。このビットは、表示がアクティブであるとき、および表示がブランクである (REG[0202h]ビット8を参照) ときに有効です。

このビットが0のとき、パネルデータ出力は不変 (ノーマル) です。

このビットが1のとき、パネルデータ出力は反転されます。

注

ソフトウェアビデオ反転ビットを1に設定すると、8ビットパラレルのパネルに設定したときにFPDAT[15:8]端子がトグルします。

10. レジスタ

bit 8

表示ブランク

このビットは、表示パイプをディセーブルし、すべてのデータ出力 (FPDAT[17:0]、GPIO[9:4]) をLow (またはHigh) に変えることによってRGBタイプのパネルの表示を消します。

このビットが0のとき、表示はアクティブです。

このビットが1のとき、表示は消され、すべてのデータ出力がLowまたはHighに切り替わります。いずれになるかは、ソフトウェアビデオ反転ビット (REG[0202h]ビット9) の設定によって決まります。

表10.45 LCDインタフェースデータ出力選択

REG[0202h]ビット8	REG[0202h]ビット9	LCDインタフェースデータ出力
0	0	通常
	1	反転
1	0	強制Low
	1	強制High

注

詳細については、37ページの表5.5「LCDインタフェースの端子割り付け (モード1)」および38ページの表5.6「LCDインタフェースの端子割り付け (モード2, 3)」をご覧ください。

bit 7

PIP+ウインドウミラーイネーブル

このビットはPIP+ウインドウのミラー表示機能を制御します。ミラー表示はPIP+ウインドウとメインウインドウとで独立して制御されます (REG[0202h]ビット3を参照)。

このビットが0のとき、PIP+ウインドウのミラー表示がディセーブルされます。このビットが1のとき、PIP+ウインドウのミラー表示がイネーブルされます。

注

このビットはRGB形式専用です。YUV形式についてはREG[0234h]ビット2を使用してください。

bit 6

Reserved

デフォルト値は0です。

bits 5-4

PIP+ウインドウSwivelViewモード選択ビット[1:0]

これらのビットはPIP+ウインドウのSwivelViewモードを選択します。SwivelViewモード (回転) はPIP+ウインドウとメインウインドウ (ビット1~6を参照) とで独立して制御されます。SwivelViewとは、表示画像を反時計方向にハードウェア回転する機能です。SwivelViewの詳細については、354ページの13.1「SwivelView™表示」をご覧ください。

注

このビットはRGB形式専用です。YUV形式についてはREG[0234h]ビット7~6を使用してください。

表10.46 PIP⁺ウインドウSwivelViewモード選択

REG[0202h]ビット5~4	SwivelViewモード
00	0° (通常)
01	90°
10	180°
11	270°

bit 3

メインウインドウミラーイネーブル

このビットはメインウインドウのミラー表示機能を制御します。ミラー表示はPIP⁺ウインドウ（ビット7）とメインウインドウとで独立して制御されます。このビットが0のとき、メインウインドウのミラー表示はディセーブルされま

す。このビットが1のとき、メインウインドウのミラー表示はイネーブルされます。

bits 1-0

メインウインドウSwivelViewモード選択ビット[1:0]

これらのビットはメインウインドウの SwivelView モードを選択します。SwivelViewモード（回転）はメインウインドウとPIP⁺ウインドウ（ビット5~4を参照）とで独立して制御されます。SwivelViewとは、表示画像を反時計回りにハードウェア回転する機能です。SwivelViewの詳細については、354ページの13.1「SwivelViewTM表示」をご覧ください。

表10.47 メインウインドウSwivelViewモード選択

REG[0202h]ビット1~0	SwivelViewモード
00	0° (通常)
01	90°
10	180°
11	270°

10. レジスタ

REG[0204h] Transparent Overlay Key Color Red Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
透過オーバーレイキーカラー赤色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

透過オーバーレイキーカラー赤色データビット[7:0]
これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットは透過オーバーレイキーカラーの赤色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0206h] Transparent Overlay Key Color Green Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
透過オーバーレイキーカラー緑色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

透過オーバーレイキーカラー緑色データビット[7:0]
これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットは透過オーバーレイキーカラーの緑色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドをフル8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0208h] Transparent Overlay Key Color Blue Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
透過オーバーレイキーカラー青色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

透過オーバーレイキーカラー青色データビット[7:0]
 これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットは透過オーバーレイキーカラーの青色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0210h] Main Window Display Start Address Register 0								Read/Write
Default = 0000h								
メインウインドウ表示開始アドレスビット15~8								
15	14	13	12	11	10	9	8	
メインウインドウ表示開始アドレスビット7~0								
7	6	5	4	3	2	1	0	

REG[0212h] Main Window Display Start Address Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				メインウインドウ表示開始アドレスビット18~16				
7	6	5	4	3	2	1	0	

REG[0212h] bits 2-0

REG[0210h] bits 15-0

メインウインドウ表示開始アドレスビット[18:0]

これらのビットは、表示バッファ内のLCD画像に対するメインウインドウの開始アドレスを指定します。8 bppの色深度では増加の単位を8ビット、16 bppでは増加の単位を16ビットとします。16 bppのピクセルデータは偶数のメモリアドレスからマッピングするものとします。そのため、このレジスタの設定値は偶数になります。32 bppでは増加の単位を32ビットとします。

10. レジスタ

REG[0214h] Main Window Start Address Status Register								Read Only
Default = 0001h								
15	14	13	12	11	10	9	8	
n/a						メインウインドウ開始アドレス状態ビット 1-0 (RO)		
7	6	5	4	3	2	1	0	

bits 1-0

メインウインドウ開始アドレス状態ビット[1:0] (読み出し専用)

ダブルバッファモードがディセーブルされている (REG[0200h]ビット12=0) ときは、これらのビットはメインウインドウの現在のフレーム状態を示します。これらの値はメインウインドウ表示開始アドレスが変更されたときのみ更新されます。

これらのビットが01のとき、現在のフレームはメインウインドウ表示開始アドレスの最新の値 (REG[0210h] ~ REG[0212h]) を使用しています。

これらのビットが00のとき、次のフレームがメインウインドウ表示開始アドレスの最新の値 (REG[0210h] ~ REG[0212h]) を使用します。

ダブルバッファモードがイネーブルされていて (REG[0200h]ビット12=1)、かつ前面バッファに対してメインウインドウが使用される (REG[0200h]ビット13=1) とき、これらのビットは現在表示されているバッファを示します。

これらのビットが01のとき、メインウインドウ領域 (REG[0210h] ~ REG[0212h]) に対応する前面バッファが表示されています。

これらのビットが00のとき、Back Buffer Display Start Addressレジスタ (REG[022Ah] ~ REG[022Ch]) によって指定される背面バッファが表示されています。

トリプルバッファモードがディセーブルされている (REG[0200h]ビット11=0) ときは、これらのビットはメインウインドウの現在のフレーム状態を示します。これらの値はメインウインドウ表示開始アドレスが変更されたときのみ更新されます。

これらのビットが01のとき、現在のフレームはメインウインドウ表示開始アドレスの最新の値 (REG[0210h] ~ REG[0212h]) を使用しています。

これらのビットが00のとき、次のフレームがメインウインドウ表示開始アドレスの最新の値 (REG[0210h] ~ REG[0212h]) を使用します。

トリプルバッファモードがイネーブルされていて (REG[0200h]ビット11=1)、かつ前面バッファに対してメインウインドウが使用される (REG[0200h]ビット13=1) とき、これらのビットは現在表示されているバッファを示します。これらのビットが01のとき、メインウインドウ領域 (REG[0210h] ~ REG[0212h]) に対応する前面バッファが表示されています。

これらのビットが00のとき、Back Buffer Display Start Addressレジスタ (REG[022Ah] ~ REG[022Ch]) によって指定される背面バッファ 1が表示されています。

これらのビットが10のとき、Back Buffer Display Start Addressレジスタ (REG[022Eh] ~ REG[0230h]) によって指定される背面バッファ 2が表示されています。

REG[0216h] Main Window Line Address Offset Register								Read/Write
Default = 0000h								
n/a		メインウィンドウ 垂直ピクセル ダブリング イネーブル	メインウィンドウ 水平ピクセル ダブリング イネーブル	メインウィンドウラインアドレスオフセットビット11~8				
15	14	13	12	11	10	9	8	
メインウィンドウラインアドレスオフセットビット7~0								
7	6	5	4	3	2	1	0	

bit 13

メインウィンドウ垂直ピクセルダブリングイネーブル

このビットは、パネルの垂直寸法（高さ）に対するピクセルダブリング機能を制御します（例：高さ160ピクセルのデータが高さ320ピクセルのパネルに合わせて2倍になります）。

このビットが0のとき、ハードウェアには何の影響もありません。

このビットが1のとき、垂直寸法（高さ）に対するピクセルダブリングがイネーブルされます。

メインウィンドウの垂直ピクセルダブリングをイネーブルする場合、選択したSwivelViewモード（REG[0202h]ビット1~0を参照）に合わせてメインウィンドウの表示開始アドレスを調整してください。具体的には、以下の計算式を用います。

SwivelViewが 0°

アドレス = 0

SwivelViewが 90°

アドレス = (メインウィンドウの高さ - (bpp/8))

SwivelViewが 180°

アドレス = ((メインウィンドウの高さ - 1) × (メインウィンドウの幅)) - (bpp/8)

SwivelViewが 270°

アドレス = メインウィンドウのラインオフセット ×

(メインウィンドウの幅 ÷ 2) - 1

10. レジスタ

bit 12

メインウィンドウ水平ピクセルダブリングイネーブル

このビットは、パネルの水平寸法（幅）に対するピクセルダブリング機能を制御します（例：幅160ピクセルのデータが幅320ピクセルのパネルに合わせて2倍になります）。

このビットが0のとき、ハードウェアには何の影響もありません。

このビットが1のとき、水平寸法（幅）に対するピクセルダブリングがイネーブルされます。

メインウィンドウの水平ピクセルダブリングをイネーブルする場合、選択したSwivelViewモード（REG[0202h]ビット1~0を参照）に合わせてメインウィンドウの表示開始アドレスを調整してください。具体的には、以下の計算式を用います。

SwivelViewが0°

アドレス = 0

SwivelViewが90°

アドレス = (メインウィンドウの高さ - (bpp/8))

SwivelViewが180°

アドレス = ((メインウィンドウの高さ - 1) × (メインウィンドウの幅)) - (bpp/8)

SwivelViewが270°

アドレス = メインウィンドウのラインオフセット ×

(メインウィンドウの幅 ÷ 2) - 1

bits 11-0

メインウィンドウラインアドレスオフセットビット[11:0]

これらのビットは、メインウィンドウに使用されるメモリにおいてある表示ラインの先頭から次の表示ラインの先頭までのオフセットを指定します。8 bppの色深度では増加の単位を8ビット、16 bppでは増加の単位を16ビットとします。16 bppのピクセルデータは偶数のメモリアドレスからマッピングするものとします。そのため、このフィールドの設定値は偶数になります。32 bppでは増加の単位を32ビットとします。

ラインアドレスオフセットは以下のように計算します（ピクセルダブリングのイネーブル・ディセーブルに関係なく使用できます）。

REG[0216h]ビット11~0 = ライン幅(ピクセル) × bpp値 ÷ 8

REG[0218h] PIP ⁺ Display Start Address Register 0								Read/Write
Default = 0000h								
PIP ⁺ ウインドウ表示開始アドレスビット15~8								
15	14	13	12	11	10	9	8	
PIP ⁺ ウインドウ表示開始アドレスビット7~0								
7	6	5	4	3	2	1	0	

REG[021Ah] PIP ⁺ Display Start Address Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				PIP ⁺ ウインドウ表示開始アドレスビット18~16				
7	6	5	4	3	2	1	0	

REG[021Ah] bits 2-0

REG[0218h] bits 15-0

PIP⁺ウインドウ表示開始アドレスビット[18:0]

これらのビットは表示バッファ内のLCD画像に対するPIP⁺ウインドウの開始アドレスを指定します。PIP⁺機能がディセーブルされている（REG[0200h]ビット9~8=00）とき、このレジスタは無視されます。8 bppの色深度では増加の単位を8ビット、16 bppでは増加の単位を16ビットとします。16 bppのピクセルデータは偶数のメモリアドレスからマッピングするものとします。そのため、このレジスタの設定値は偶数になります。32 bppでは増加の単位を32ビットとします。

10. レジスタ

REG[021Ch] PIP+ Window Start Address Status Register								Read Only
Default = 0001h								
15	14	13	12	11	10	9	8	
n/a							PIP+ウインドウ開始アドレス状態ビット 1-0 (RO)	
7	6	5	4	3	2	1	0	

bits 1-0

PIP+ウインドウ開始アドレス状態ビット[1:0] (読み出し専用)

ダブルバッファモードがディセーブルされている (REG[0200h]ビット12=0) ときは、これらのビットはPIP+ウインドウの現在のフレーム状態を示します。これらの値はPIP+ウインドウ表示開始アドレスが変更されたときのみ更新されます。

これらのビットが01のとき、現在のフレームはPIP+ウインドウ表示開始アドレスの最新の値 (REG[0218h] ~ REG[021Ah]) を使用しています。

これらのビットが00のとき、次のフレームがPIP+ウインドウ表示開始アドレスの最新の値 (REG[0218h] ~ REG[021Ah]) を使用します。

ダブルバッファモードがイネーブルされていて (REG[0200h]ビット12=1) かつ前面バッファに対してPIP+ウインドウが使用される (REG[0200h]ビット13=0) とき、これらのビットは現在表示されているバッファを示します。

これらのビットが01のとき、PIP+ウインドウ領域 (REG[0218h] ~ REG[021Ah]) に対応する前面バッファが表示されています。

これらのビットが00のとき、Back Buffer Display Start Addressレジスタ (REG[022Ah] ~ REG[022Ch]) によって指定される背面バッファが表示されています。

トリプルバッファモードがディセーブルされている (REG[0200h]ビット11=0) ときは、これらのビットはPIP+ウインドウの現在のフレーム状態を示します。これらの値はPIP+ウインドウ表示開始アドレスが変更されたときのみ更新されます。

これらのビットが01のとき、現在のフレームはPIP+ウインドウ表示開始アドレスの最新の値 (REG[0218h] ~ REG[021Ah]) を使用しています。

これらのビットが00のとき、次のフレームがPIP+ウインドウ表示開始アドレスの最新の値 (REG[0218h] ~ REG[021Ah]) を使用します。

トリプルバッファモードがイネーブルされていて (REG[0200h]ビット11=1)、かつ前面バッファに対してPIP+ウインドウが使用される (REG[0200h]ビット13=0) とき、これらのビットは現在表示されているバッファを示します。

これらのビットが01のとき、PIP+ウインドウ領域 (REG[0218h] ~ REG[021Ah]) に対応する前面バッファが表示されています。

これらのビットが00のとき、Back Buffer Display Start Addressレジスタ (REG[022Ah] ~ REG[022Ch]) によって指定される背面バッファ 1が表示されています。

これらのビットが10のとき、Back Buffer Display Start Addressレジスタ (REG[022Eh] ~ REG[0230h]) によって指定される背面バッファ 2が表示されています。

REG[021Eh] PIP ⁺ Window Line Address Offset Register								Read/Write
Default = 0000h								
n/a		PIP ⁺ ウィンドウ垂直ピクセルダブリングイネーブル	PIP ⁺ ウィンドウ水平ピクセルダブリングイネーブル	PIP ⁺ ウィンドウラインアドレスオフセットビット11~8				
15	14	13	12	11	10	9	8	
PIP ⁺ ウィンドウラインアドレスオフセットビット7~0								
7	6	5	4	3	2	1	0	

bit 13

PIP⁺ ウィンドウ垂直ピクセルダブリングイネーブル

このビットは、パネルの垂直寸法（高さ）に対するピクセルダブリング機能を制御します（例：高さ160ピクセルのデータが高さ320ピクセルのパネルに合わせて2倍になります）。

このビットが0のとき、ハードウェアには何の影響もありません。

このビットが1のとき、垂直寸法（高さ）に対するピクセルダブリングがイネーブルされます。

PIP⁺ウィンドウの垂直ピクセルダブリングをイネーブルする場合、選択したSwivelViewモード（REG[0202h]ビット5~4を参照）に合わせてPIP⁺ウィンドウの表示開始アドレスを調整してください。具体的には、以下の計算式を用います。

SwivelViewが0°

アドレス = 0

SwivelViewが90°

アドレス = (PIP⁺ウィンドウの高さ - (bpp/8))

SwivelViewが180°

アドレス = ((PIP⁺ウィンドウの高さ - 1) × (PIP⁺ウィンドウの幅)) - (bpp/8)

SwivelViewが270°

アドレス = PIP⁺ウィンドウのラインオフセット × (PIP⁺ウィンドウの幅 ÷ 2) - 1

注

このビットはRGB形式のときにのみ有効です。

10. レジスタ

bit 12

PIP⁺ウインドウ水平ピクセルダブリングイネーブル

このビットは、パネルの水平寸法（幅）に対するピクセルダブリング機能を制御します（例：幅160ピクセルのデータが幅320ピクセルのパネルに合わせて2倍になります）。

このビットが0のとき、ハードウェアには何の影響もありません。

このビットが1のとき、水平寸法（幅）に対するピクセルダブリングがイネーブルされます。

PIP⁺ウインドウの水平ピクセルダブリングをイネーブルする場合、選択したSwivelViewモード（REG[0202h]ビット5～4を参照）に合わせてPIP⁺ウインドウの表示開始アドレスを調整してください。具体的には、以下の計算式を用います。

SwivelViewが0°

アドレス = 0

SwivelViewが90°

アドレス = (PIP⁺ウインドウの高さ - (bpp/8))

SwivelViewが180°

アドレス = ((PIP⁺ウインドウの高さ - 1) × (PIP⁺ウインドウの幅)) - (bpp/8)

SwivelViewが270°

アドレス = PIP⁺ウインドウのラインオフセット × (PIP⁺ウインドウの幅 ÷ 2) - 1

注

このビットはRGB形式のときにのみ有効です。

bits 11-0

PIP⁺ウインドウラインアドレスオフセットビット[11:0]

これらのビットは、PIP⁺ウインドウに使用されるメモリにおいてある表示ラインの先頭から次の表示ラインの先頭までのオフセットを指定します。8 bppの色深度では増加の単位を8ビット、16 bppでは増加の単位を16ビットとします。16 bppのピクセルデータは偶数のメモリアドレスからマッピングするものとします。そのため、このフィールドの設定値は偶数になります。32 bppでは増加の単位を32ビットとします。

ラインアドレスオフセットは以下のように計算します（ピクセルダブリングのイネーブル・ディセーブルに関係なく使用できます）。

REG[021Eh]ビット11～0 = ライン幅(ピクセル) × bpp値 ÷ 8

注

これらのビットはRGB形式のときにのみ有効です。

REG[0220h] PIP+ X Start Positions Register								Read/Write	
Default = 0000h									
n/a						PIP+ウインドウX開始位置ビット9-8			
15	14	13	12	11	10	9	8		
PIP+ウインドウX開始位置ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0 PIP+ウインドウX開始位置ビット[9:0]
これらのビットは、PIP+ウインドウのX開始位置をパネルの原点を基準としてピクセルで決定します。

REG[0222h] PIP+ Y Start Positions Register								Read/Write	
Default = 0000h									
n/a						PIP+ウインドウY開始位置ビット9-8			
15	14	13	12	11	10	9	8		
PIP+ウインドウY開始位置ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0 PIP+ウインドウY開始位置ビット[9:0]
これらのビットは、PIP+ウインドウのY開始位置をパネルの原点を基準としてピクセルで決定します。

REG[0224h] PIP+ X End Positions Register								Read/Write	
Default = 0000h									
n/a						PIP+ウインドウX終了位置ビット9-8			
15	14	13	12	11	10	9	8		
PIP+ウインドウX終了位置ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0 PIP+ウインドウX終了位置ビット[9:0]
これらのビットは、PIP+ウインドウのX終了位置をパネルの原点を基準としてピクセルで決定します。

注

これらのビットは以下の式が成り立つように設定してください。
REG[0224h]ビット9~0 < 水平表示期間

10. レジスタ

REG[0226h] PIP+ Y End Positions Register								Read/Write	
Default = 0000h									
			n/a				PIP+ウインドウY終了位置ビット9-8		
15	14	13	12	11	10	9	8		
PIP+ウインドウY終了位置ビット7-0									
7	6	5	4	3	2	1	0		

bits 9-0

PIP+ウインドウY終了位置ビット[9:0]

これらのビットは、PIP+ウインドウのY終了位置をパネルの原点を基準としてピクセルで決定します。

注

これらのビットは以下の式が成り立つように設定してください。

REG[0226h]のビット9~0 < 垂直表示期間

REG[0228h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

REG[022Ah] Back Buffer1 Display Start Address Register 0							
Default = 0000h							
Read/Write							
背面バッファ 1表示開始アドレスビット15~8							
15	14	13	12	11	10	9	8
背面バッファ 1表示開始アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[022Ch] Back Buffer1 Display Start Address Register 1							
Default = 0000h							
Read/Write							
n/a							
15	14	13	12	11	10	9	8
n/a				背面バッファ 1表示開始アドレスビット18~16			
7	6	5	4	3	2	1	0

REG[022Ch] bits 2-0

REG[022Ah] bits 15-0

背面バッファ 1表示開始アドレスビット[18:0]

これらのビットは、表示バッファ内のLCD画像に対する背面バッファ 1ウインドウの開始アドレスを指定します。ダブルバッファ機能がディセーブルされていて (REG[0200h]ビット12~11 = 01) かつトリプルバッファ機能がディセーブルされている (REG[0200h]ビット12~11 = 10) とき、このレジスタは無視されます。

注

これらのビットはRGB形式専用です。YUV形式のダブル/トリプルバッファ機能についてはREG[0218h]およびREG[021Ah]を使用してください。仕様は338ページの12.「表示モード」に記載しています。

REG[022Eh] Back Buffer2 Display Start Address Register 0							
Default = 0000h							
Read/Write							
背面バッファ 2表示開始アドレスビット15~8							
15	14	13	12	11	10	9	8
背面バッファ 2表示開始アドレスビット7~0							
7	6	5	4	3	2	1	0

REG[0230h] Back Buffer2 Display Start Address Register 1							
Default = 0000h							
Read/Write							
n/a							
15	14	13	12	11	10	9	8
n/a				背面バッファ 2表示開始アドレスビット18~16			
7	6	5	4	3	2	1	0

REG[022Eh] bits 2-0

REG[0230h] bits 15-0

背面バッファ 2表示開始アドレスビット[18:0]

これらのビットは、表示バッファ内のLCD画像に対する背面バッファ 2ウインドウの開始アドレスを指定します。トリプルバッファ機能がディセーブルされている (REG[0200h]ビット11 = 0) とき、このレジスタは無視されます。

注

これらのビットはRGB形式専用です。YUV形式のダブル/トリプルバッファ機能についてはREG[0218h]およびREG[021Ah]を使用してください。338ページの12.「表示モード」に記載しています。

10. レジスタ

REG[0234h] YUV Display Control Register							Read/Write
Default = 0000h							
YUV表示 イネーブル 15	Reserved 14	n/a 13 12 11			Reserved 10 9		n/a 8
YUV表示SwivelViewモード選択ビット 1~0 7 6		n/a 5 4 3			YUV表示ミラー イネーブル 2	n/a 1	Reserved 8

bit 15 **YUV表示イネーブル**
 このビットはディスプレイに対応するメモリに格納されるデータフォーマットを選択します。LCDにYUVデータを転送するときは、それをYRC2 (YUV/RGBコンバータ2)によってRGB形式に変換します。この機能は24ビットのカラー表示を実現しながら、要求メモリサイズ(フットプリント)は16 bppのRGBと同じです。
 このビットが0のとき、RGBデータが表示されます(デフォルト)。
 このビットが1のとき、YUV 4:2:2データが表示されます。

bit 14 **Reserved**
 デフォルト値は0です。

bits 10-9 **Reserved**
 デフォルト値は0です。

bits 7-6 **YUV表示SwivelViewモード選択ビット[1:0]**
 これらのビットはYUV表示のSwivelViewモードを選択します。YUV表示のSwivelViewモード(回転)はPIP⁺ウィンドウとメインウィンドウとで独立して制御されます(ビット1~0を参照)。SwivelViewとは、表示画像を反時計回りにハードウェア回転する機能です。SwivelViewの詳細については、354ページの13.1「SwivelViewTM表示」をご覧ください。

表10.48 YUV表示SwivelViewモード選択

REG[0234h]ビット4~3	SwivelViewモード
00	0° (通常)
01	90°
10	180°
11	270°

bit 2 **YUV表示ミラーイネーブル**
 このビットはYUV 4:2:2表示のミラー機能を制御します。
 このビットが0のとき、ミラー機能はディセーブルされます(デフォルト)。
 このビットが1のとき、ミラー機能はイネーブルされます。

bit 0 **Reserved**
 デフォルト値は0です。

REG[0236h] YUV Display Size Register								Read/Write
Default = 0000h								
YUV表示垂直サイズビット7~0								
15	14	13	12	11	10	9	8	
YUV表示水平サイズビット7~0								
7	6	5	4	3	2	1	0	

bits 15-8 YUV表示垂直サイズビット[7:0]
 YUV 4:2:2を表示するときに、これらのビットはYUV 4:2:2表示領域の垂直サイズを、2ラインを1単位として決定します。
 $\text{REG}[0236\text{h}] \text{ビット} 15 \sim 8 = \text{YUV } 4:2:2 \text{の垂直表示(ライン)} \div 2$

bits 7-0 YUV表示水平サイズビット[7:0]
 YUV 4:2:2を表示するときに、これらのビットはYUV 4:2:2表示領域の水平サイズを、2ピクセルを1単位として決定します。
 $\text{REG}[0236\text{h}] \text{ビット} 7 \sim 0 = \text{YUV } 4:2:2 \text{の水平表示(ピクセル)} \div 2$

REG[0238h] YUV Display Start Offset Register								Read/Write
Default = 0000h								
YUV表示開始垂直オフセットビット7~0								
15	14	13	12	11	10	9	8	
YUV表示開始水平オフセットビット7~0								
7	6	5	4	3	2	1	0	

bits 15-8 YUV表示開始垂直オフセットビット[7:0]
 これらのビットはYUV 4:2:2表示領域の垂直オフセットを、2ラインを1単位として決定します。
 $\text{REG}[0238\text{h}] \text{ビット} 15 \sim 8 = \text{YUV } 4:2:2 \text{の垂直表示オフセット(ライン)} \div 2$

bits 7-0 YUV表示開始水平オフセットビット[7:0]
 これらのビットはYUV 4:2:2表示領域の水平オフセットを、2ピクセルを1単位として決定します。
 $\text{REG}[0238\text{h}] \text{ビット} 7 \sim 0 = \text{YUV } 4:2:2 \text{の水平表示オフセット(ピクセル)} \div 2$

10. レジスタ

REG[023Ah] Fractional Zoom Register								Read/Write
Default = 0000								
フラクショナル ズームイネーブル	フラクショナルズームパラメータビット6~0							
15	14	13	12	11	10	9	8	
フラクショナル ズーム方向	フラクショナルズーム倍率ビット6~0							
7	6	5	4	3	2	1	0	

bit 15 フラクショナルズームイネーブル
このビットはフラクショナルズーム機能を制御します。
このビットが0のとき、フラクショナルズーム機能はディセーブルされます(デフォルト)。
このビットが1のとき、フラクショナルズーム機能はイネーブルされます。

bits 14-8 フラクショナルズームパラメータビット[6:0]
これらのビットは、拡大時に表示画像を微調整するためのフラクショナルズームパラメータを指定します。推奨値は次のとおりです。
REG[023Ah]ビット14~8 = 128-(REG[023Ah]ビット6~0)

注

縮小 (REG[023Ah]ビット7 = 1) のときは、これらのビットを0に設定してください。

bit 7 フラクショナルズーム方向
このビットはフラクショナルズームの方向を指定します。
このビットが0のとき、フラクショナルズームは画像を拡大します(デフォルト)。
このビットが1のとき、フラクショナルズームは画像を縮小します。

bits 6-0

フラクショナルズーム倍率ビット[6:0]
これらのビットはフラクショナルズームの拡大・縮小率を以下の要領で決定します。

拡大率： $256 \div (\text{REG}[023\text{Ah}] \text{ビット}6 \sim 0 + 128)$
縮小率： $256 \div (\text{REG}[023\text{Ah}] \text{ビット}6 \sim 0 + 128) \times 2$

表10.49 フラクショナルズーム設定例

倍率	REG[023Ah]ビット7	REG[023Ah]ビット14～8	REG[023Ah]ビット6～0
0.625	1	00	77
0.750	1	00	43
1.250	0	51	77
1.375	0	70	58
1.500	0	85	43

上の式を拡大処理 (REG[023Ah]ビット7=0) に対して使用すると、最後のピクセル (またはライン) の表示データが正しくなくなります。そのためPIP+ウインドウのX方向サイズとY方向サイズ (REG[0220h]とREG[0226h]) を以下の式によって補正する必要があります。

ここに：

Scale = REG[023Ah]ビット6～0

lnit = REG[023Ah]ビット14～8

$A = \text{Scale} + 128$

X = オリジナルの水平サイズ(ピクセル) × 256

Nx = 拡大後の水平サイズ(ピクセル)

Rx = 剰余

Y = オリジナルの垂直サイズ(ライン) × 256

Ny = 拡大後の垂直サイズ(ライン)

Ry = 剰余

$X - (A \times (N_x - 1) + \text{lnit}) = R_x$ と置きます。

Rx + A 256の場合

REG[0220h] = とすると、REG[0224h] = + Nx-2

256 < Rx + Aの場合

REG[0220h] = とすると、REG[0224h] = + Nx-1

$Y - (A \times (N_y - 1) + \text{lnit}) = R_y$ と置きます。

Ry + A 256の場合

REG[0222h] = とすると、REG[0226h] = + Ny-2

256 < Ry + Aの場合

REG[0222h] = とすると、REG[0226h] = + Ny-1

10. レジスタ

REG[023Ch] YRC2 Translate Mode Register							
Default = 0005h							Read/Write
Reserved		YRC2 UV固定選択ビット1-0		n/a			
15	14	13	12	11	10	9	8
n/a		YRC2 YUVデータタイプ選択		n/a	YRC2変換モードビット2-0		
7	6	5	4	15	2	1	0

bits 15-14 Reserved
 デフォルト値は0です。

bits 13-12 YRC2 UV固定選択ビット[1:0]
 これらのビットはYRC2 (YUV/RGBコンバータ2) へのUV入力を制御します。

表10.50 YRC2 UV入力データ設定

REG[023Ch]ビット13~12	Uデータ	Vデータ
00 (デフォルト)	入力データ	入力データ
01	REG[023Eh]ビット15~8	入力データ
10	入力データ	REG[023Eh]ビット7~0
11	REG[023Eh]ビット15~8	REG[023Eh]ビット7~0

bit 4 YRC2YUVデータタイプ選択
 このビットはYRC2 (YUV/RGBコンバータ2) のYUV入力のデータタイプを選択します。

表10.51 YRC2 YUVデータタイプ選択

REG[023Ch]ビット4	YUVデータタイプ	データ範囲
0 (デフォルト)	YUV	0 Y 255 0 U 255 0 V 255
1	YCbCr	16 Y 235 16 U 240 16 V 240

bits 2-0 YRC2変換モードビット[2:0]
 これらのビットはYRC2 (YUV/RGBコンバータ2) の変換モードを指定します。
 各種仕様に対して推奨値が与えられています。

表10.52 YRC2 YUV/RGB変換モード

REG[023Ch]ビット2~0	YUV/RGB変換
000	Reserved
001	ITU-R勧告BT.709
010	Reserved
011	Reserved
100	ITU-R勧告BT.470-6、システムM
101 (デフォルト)	ITU-R勧告BT.470-6、システムB、G (ITU-R勧告BT.601.5)
110	SMPTE 170M
111	SMPTE 240M (1987)

REG[023Eh] YRC2 UV Data Fix Register								Read/Write
Default = 0000h								
YRC2 Uデータ固定ビット7~0								
15	14	13	12	11	10	9	8	
YRC2 Vデータ固定ビット7~0								
7	6	5	4	3	2	1	0	

bits 15-8 YRC2 Uデータ固定ビット[7:0]
これらのビットは、YRC2 UV固定選択ビットを01または11に設定している (REG[023Ch] ビット 13 ~ 12 = 01 または 11) ときにのみ有効です。YRC2 (YUV/RGBコンバータ2) のUデータ入力 que これらのビットの値に固定されま
す。

bits 7-0 YRC2 Vデータ固定ビット[7:0]
これらのビットは、YRC2 UV固定選択ビットを10または11に設定している (REG[023Ch] ビット 13 ~ 12 = 10 または 11) ときにのみ有効です。YRC2 (YUV/RGBコンバータ2) のVデータ入力 que これらのビットの値に固定されま
す。

REG[0240h] YRC1 Translate Mode Register						Read/Write	
Default = 0605h							
YUV/RGBコンバータ バイパスイネーブル	YUV/RGB矩形 書き込みモード イネーブル	YUV/RGBコンバータ書き込みモード 選択ビット1~0		YUV/RGBコンバータ出力bpp値選択 ビット1~0		YUV/RGB コンバータYUV 出力データ フォーマット選択	Reserved
15	14	13	12	11	10	9	8
YUV/RGBコンバータ リセット	UV固定選択ビット1~0		YUVデータタイプ 選択	n/a	YUV/RGBコンバータ変換モードビット2~0		
7	6	5	4	3	2	1	0

bit 15 YUV/RGBコンバータバイパスイネーブル
YUV/RGBコンバータ (YRC) のバイパスモードをイネーブルすると、カメライン
タフェースまたはJPEGデコーダまたはホストから受け取るYUVデータが内
蔵メモリに直接送られます。YRCをイネーブルする(バイパスモードをディセー
ブル) と、入力YUVデータはRGB形式に変換され、LCDパネル用の表示バッ
ファに格納されます。
このビットが0のとき、YUV/RGBコンバータのバイパスモードはディセーブル
されます (デフォルト)。
このビットが1のとき、YUV/RGBコンバータのバイパスモードはイネーブルさ
れます。

注

YUV/RGBコンバータをディセーブルすると入力されるバイトデータの順序が
入れ替わります。元の順序に戻すにはYRC YUV出力データフォーマット選択
ビット (REG[0240h] ビット9) を1に設定します。RGBデータを出力できるカメ
ラではYRCをディセーブルすることが役立ちます。

10. レジスタ

bit 14 YUV/RGB矩形書き込みモードイネーブル
このビットが0のときは連続書き込みモードが選択されます。連続書き込みモードでは、YUV/RGB Converter Write Start Addressレジスタ (REG[0242h] ~ REG[0244h]) の内容に従ってデータがフレームバッファに連続的に書き込まれます。
このビットが1のときは矩形書き込みモードが選択されます。矩形書き込みモードでは、Rectangle Pixel Widthレジスタ (REG[0250h]) およびRectangular Line Address Offsetレジスタ (REG[0252h]) の内容に従ってデータが書き込まれます。

注

YUV/RGB矩形書き込みモードをイネーブルできるのは、シングルバッファ書き込みモードが選択されている (REG[0240h] ビット13 ~ 12 = 00) のときに限られます。

bits 13-12 YUV/RGBコンバータ書き込みモード選択ビット[1:0]
これらのビットはシングル/ダブル/トリプルバッファの書き込みモードの切り替えを制御します。ダブルまたはトリプルバッファの書き込みモードでは REG[0242h]、REG[0244h]、REG[0246h]、REG[0248h]、REG[024Ah]、REG[024Ch] が使用されます。シングルバッファ書き込みモードでは REG[0242h] と REG[0244h]のみが使用されます。
これらのビットが00のとき、シングルバッファ書き込みモードが選択されます。これらのビットが01のとき、ダブルバッファ書き込みモードが選択されます。これらのビットが10のとき、トリプルバッファ書き込みモードが選択されます。11の値は予約です。

bits 11-10 YUV/RGBコンバータ出力bpp値選択ビット[1:0]
これらのビットはYUV/RGBコンバータの出力の色深度をbpp (ビット/ピクセル) 値で指定します。

表10.53 YUV/RGBコンバータ出力bpp値選択

REG[0240h]ビット11~10	YUV/RGBコンバータ出力bpp値
00	16 bpp
01 (デフォルト)	
10	Reserved
11	32 bpp

bit 9

YUV/RGBコンバータYUV出力データフォーマット選択

このビットは、YUV/RGBコンバータ(YRC)をディセーブルした(REG[0240h] ビット15=1)ときにその出力データフォーマットを選択します。YRCがイネーブルされている(REG[0240h] ビット15=0)場合、このビットは効果をもちません。

このビットが0のとき、VYUYの形式が選択されます。213ページの表10.54「VYUY出力データフォーマット(REG[0240h] ビット9=0)」をご覧ください。
このビットが1のとき、YUYVの形式が選択されます。213ページの表10.55「YUYV出力データフォーマット(REG[0240h] ビット9=1)」をご覧ください。

表10.54 VYUY出力データフォーマット(REG[0240h] ビット9=0)

サイクルカウント	1	2	3	4	...	2n+1	2n+2
D15	V_0^7	U_0^7	V_2^7	U_2^7	...	V_{2n}^7	U_{2n}^7
D14	V_0^6	U_0^6	V_2^6	U_2^6	...	V_{2n}^6	U_{2n}^6
D13	V_0^5	U_0^5	V_2^5	U_2^5	...	V_{2n}^5	U_{2n}^5
D12	V_0^4	U_0^4	V_2^4	U_2^4	...	V_{2n}^4	U_{2n}^4
D11	V_0^3	U_0^3	V_2^3	U_2^3	...	V_{2n}^3	U_{2n}^3
D10	V_0^2	U_0^2	V_2^2	U_2^2	...	V_{2n}^2	U_{2n}^2
D9	V_0^1	U_0^1	V_2^1	U_2^1	...	V_{2n}^1	U_{2n}^1
D8	V_0^0	U_0^0	V_2^0	U_2^0	...	V_{2n}^0	U_{2n}^0
D7	Y_1^7	Y_0^7	Y_3^7	Y_2^7	...	Y_{2n+1}^7	Y_{2n}^7
D6	Y_1^6	Y_0^6	Y_3^6	Y_2^6	...	Y_{2n+1}^6	Y_{2n}^6
D5	Y_1^5	Y_0^5	Y_3^5	Y_2^5	...	Y_{2n+1}^5	Y_{2n}^5
D4	Y_1^4	Y_0^4	Y_3^4	Y_2^4	...	Y_{2n+1}^4	Y_{2n}^4
D3	Y_1^3	Y_0^3	Y_3^3	Y_2^3	...	Y_{2n+1}^3	Y_{2n}^3
D2	Y_1^2	Y_0^2	Y_3^2	Y_2^2	...	Y_{2n+1}^2	Y_{2n}^2
D1	Y_1^1	Y_0^1	Y_3^1	Y_2^1	...	Y_{2n+1}^1	Y_{2n}^1
D0	Y_1^0	Y_0^0	Y_3^0	Y_2^0	...	Y_{2n+1}^0	Y_{2n}^0

表10.55 YUYV出力データフォーマット(REG[0240h] ビット9=1)

サイクルカウント	1	2	3	4	...	2n+1	2n+2
D15	Y_0^7	Y_1^7	Y_2^7	Y_3^7	...	Y_{2n}^7	Y_{2n+1}^7
D14	Y_0^6	Y_1^6	Y_2^6	Y_3^6	...	Y_{2n}^6	Y_{2n+1}^6
D13	Y_0^5	Y_1^5	Y_2^5	Y_3^5	...	Y_{2n}^5	Y_{2n+1}^5
D12	Y_0^4	Y_1^4	Y_2^4	Y_3^4	...	Y_{2n}^4	Y_{2n+1}^4
D11	Y_0^3	Y_1^3	Y_2^3	Y_3^3	...	Y_{2n}^3	Y_{2n+1}^3
D10	Y_0^2	Y_1^2	Y_2^2	Y_3^2	...	Y_{2n}^2	Y_{2n+1}^2
D9	Y_0^1	Y_1^1	Y_2^1	Y_3^1	...	Y_{2n}^1	Y_{2n+1}^1
D8	Y_0^0	Y_1^0	Y_2^0	Y_3^0	...	Y_{2n}^0	Y_{2n+1}^0
D7	U_0^7	V_0^7	U_2^7	V_2^7	...	U_{2n}^7	V_{2n+1}^7
D6	U_0^6	V_0^6	U_2^6	V_2^6	...	U_{2n}^6	V_{2n+1}^6
D5	U_0^5	V_0^5	U_2^5	V_2^5	...	U_{2n}^5	V_{2n+1}^5
D4	U_0^4	V_0^4	U_2^4	V_2^4	...	U_{2n}^4	V_{2n+1}^4
D3	U_0^3	V_0^3	U_2^3	V_2^3	...	U_{2n}^3	V_{2n+1}^3
D2	U_0^2	V_0^2	U_2^2	V_2^2	...	U_{2n}^2	V_{2n+1}^2
D1	U_0^1	V_0^1	U_2^1	V_2^1	...	U_{2n}^1	V_{2n+1}^1
D0	U_0^0	V_0^0	U_2^0	V_2^0	...	U_{2n}^0	V_{2n+1}^0

10. レジスタ

- bit 8 Reserved
デフォルト値は0です。
- bit 7 YUV/RGBコンバータリセット
このビットはYUV/RGBコンバータ（YRC）のリセットを行います。YRCレジスタは何の影響も受けません。リサイザークонтроールレジスタ（REG[0930h]～REG[096Eh]）の変更後およびメモリ画像のJPEG符号化の処理前には、YRCのリセットが必要です。
このビットに1を設定すると、YUV/RGBコンバータがリセットされます。YUV/RGBコンバータを再度使用するにはこのビットを0に戻してください。
このビットに0を書き込んでもハードウェアには何の影響もありません。
- bits 6-5 UV固定選択ビット[1:0]
これらのビットはYUV/RGBコンバータ（YRC）のUV入力を制御します。これらのビットはYRCがディセーブルされている（REG[0240h]ビット15=1）ときにもUVデータに対して有効です。

表10.56 UV固定選択

REG[0240h]ビット6～5	YUV/RGBコンバータへのUV入力
00	オリジナルのUデータ、オリジナルのVデータ
01	Uデータ=REG[024Eh]ビット15～8、オリジナルのVデータ
10	オリジナルのUデータ、Vデータ=REG[024Eh]ビット7～0
11	Uデータ=REG[024Eh]ビット15～8、Vデータ=REG[024Eh]ビット7～0

- bit 4 YUVデータタイプ選択
このビットはYUV/RGBコンバータ（YRC）のYUV入力のデータタイプを指定します。

表10.57 YUVデータタイプ選択

REG[0240h]ビット4	YUVデータタイプ	データ範囲
0	YUV	0 Y 255 0 U 255 0 V 255
1	YCbCr	16 Y 235 16 U 240 16 V 240

bits 2-0

YUV/RGBコンバータ変換モードビット[2:0]

これらのビットはYUV/RGBコンバータの変換モードを指定します。各種仕様に対して推奨値が与えられています。

表10.58 YUV/RGB変換モード選択

REG[0240h]ビット2~0	YUV/RGB変換の仕様
000	Reserved
001	ITU-R推奨BT.709
010	Reserved
011	Reserved
100	ITU-R推奨BT.470-6、システムM
101 (デフォルト)	ITU-R推奨BT.470-6、システムB、G (ITU-R推奨BT.601.5)
110	SMPTE 170M
111	SMPTE 240M (1987)

REG[0242h] YRC1 Write Start Address 0 Register 0

Default = 0000h

Read/Write

YUV/RGBコンバータ書き込み開始アドレス0ビット15~8							
15	14	13	12	11	10	9	8
YUV/RGBコンバータ書き込み開始アドレス0ビット7~0							
7	6	5	4	3	2	1	0

REG[0244h] YRC1 Write Start Address 0 Register 1

Default = 0000h

Read/Write

n/a							
15	14	13	12	11	10	9	8
n/a					YUV/RGBコンバータ書き込み開始アドレス0ビット18~16		
7	6	5	4	3	2	1	0

REG[0244h] bits 2-0

REG[0242h] bits 15-0

YUV/RGBコンバータ書き込み開始アドレス0ビット[18:0]

これらのビットはYUV/RGBコンバータがデータを書き込む開始アドレスを決定します。YUV/RGBコンバータはデータを32ビットのブロック単位で表示バッファに書き込むため、REG[0242h]ビット1~0は00に設定してください。

10. レジスタ

REG[0246h] YRC1 Write Start Address 1 Register 0								Read/Write
Default = 0000h								
YUV/RGBコンバータ書き込み開始アドレス1ビット15~8								
15	14	13	12	11	10	9	8	
YUV/RGBコンバータ書き込み開始アドレス1ビット7~0								
7	6	5	4	3	2	1	0	

REG[0248h] YRC1 Write Start Address 1 Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				YUV/RGBコンバータ書き込み開始アドレス1ビット19~16				
7	6	5	4	3	2	1	0	

REG[0248h] bits 2-0

REG[0246h] bits 15-0 YUV/RGBコンバータ書き込み開始アドレス1ビット[18:0]

これらのビットは、カメラインタフェースからのデータ入力ならびにJPEG復号化画像に対する開始アドレスを決定します。このレジスタ値は、書き込みモード選択ビット（REG[0240h]ビット13~12）がダブルバッファ書き込みモードに設定されているときに有効です。

REG[024Ah] YRC1 Write Start Address 2 Register 0								Read/Write
Default = 0000h								
YUV/RGBコンバータ書き込み開始アドレス2ビット15~8								
15	14	13	12	11	10	9	8	
YUV/RGBコンバータ書き込み開始アドレス2ビット7~0								
7	6	5	4	3	2	1	0	

REG[024Ch] YRC1 Write Start Address 2 Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a				YUV/RGBコンバータ書き込み開始アドレス2ビット19~16				
7	6	5	4	3	2	1	0	

REG[024Ch] bits 2-0

REG[024Ah] bits 15-0 YUV/RGBコンバータ書き込み開始アドレス2ビット[18:0]

これらのビットは、カメラインタフェースからのデータ入力ならびにJPEG復号化画像に対する開始アドレスを決定します。このレジスタ値は、書き込みモード選択ビット（REG[0240h]ビット13~12）がトリプルバッファ書き込みモードに設定されているときに有効です。

REG[024Eh] YRC1 UV Data Fix Register								Read/Write
Default = 0000h								
YUV/RGBコンバータUデータ固定ビット7~0								
15	14	13	12	11	10	9	8	
YUV/RGBコンバータVデータ固定ビット7~0								
7	6	5	4	3	2	1	0	

bits 15-8 YUV/RGBコンバータUデータ固定ビット[7:0]
これらのビットは、UV 固定選択ビットを 01 または 11 に設定している (REG[0240h]ビット6~5 = 01または11) ときのみ有効です。YUV/RGBコンバータのUデータ入力がこれらのビットの値に固定されます。

bits 7-0 YUV/RGBコンバータVデータ固定ビット[7:0]
これらのビットは、UV 固定選択ビットを 10 または 11 に設定している (REG[0240h]ビット6~5 = 10または11) ときのみ有効です。YUV/RGBコンバータのVデータ入力がこれらのビットの値に固定されます。

REG[0250h] YRC1 Rectangle Pixel Width Register								Read/Write
Default = 0000h								
n/a			YUV/RGBコンバータ矩形幅ピクセル数ビット10~8					
15	14	13	12	11	10	9	8	
YUV/RGBコンバータ矩形幅ピクセル数ビット7~0								
7	6	5	4	3	2	1	0	

bits 10-0 YUV/RGBコンバータ矩形幅ピクセル数ビット[10:0]
YUV/RGBコンバータ (YRC) が矩形書き込みモードに設定されている (REG[0240h]ビット14 = 1) ときに、これらのビットは書き込むデータの水平幅のピクセル数を指定します。
色深度が16 bppの場合、偶数のピクセル数を指定します (ビット9~1のみを使用します)。
色深度が32 bppの場合、任意のピクセル数が指定できます (ビット9~0をすべて使用します)。

REG[0252h] YRC1 Rectangular Line Address Offset Register								Read/Write
Default = 0000h								
n/a			YUV/RGBコンバータ矩形ラインアドレスオフセットビット11~8					
15	14	13	12	11	10	9	8	
YUV/RGBコンバータ矩形ラインアドレスオフセットビット7~0								
7	6	5	4	3	2	1	0	

bits 11-0 YUV/RGBコンバータ矩形ラインアドレスオフセットビット[11:0]
YUV/RGBコンバータ (YRC) が矩形書き込みモードに設定されている (REG[0240h]ビット14 = 1) ときに、これらのビットは現在の表示ラインの先頭から次の表示ラインの先頭までのピクセル数を指定します。
色深度が16 bppの場合、偶数のピクセル数を指定します (ビット11~1のみを使用します)。
色深度が32 bppの場合、任意のピクセル数が指定できます (ビット11~0をすべて使用します)。
YUV/RGBコンバータがディセーブルされると、任意のピクセル数が指定できます (ビット11~0をすべて使用します)。

10. レジスタ

REG[0254h] YRC1 Memory Configuration Register							Read Only
Default = 0000h							
Reserved 15	14	n/a 13	12	Reserved 11	10	n/a 9	8
7	n/a 6	5	Reserved 4	n/a 3	YUV/RGBコンバータ1 SRAM I/F書き込み モード状態ビット1~0 (RO) 2	1	YUV/RGB コンバータ1 SRAM I/Fデータ書き込み 状態 (RO) 0

- bit 15 Reserved
これらは予約ビットです。書き込まないでください。
- bit 11 Reserved
これらは予約ビットです。書き込まないでください。
- bit 4 Reserved
これらは予約ビットです。書き込まないでください。
- bits 2-1 YUV/RGBコンバータ1 SRAM I/Fデータ書き込みモード状態ビット[1:0](読み出し専用)
これらのビットはYRC1とSRAM間のデータ書き込みモードの状態を示します。

表10.59 YUV/RGBコンバータ1 SRAMインタフェースにおけるデータ書き込みモード状態

REG[0254h]ビット2~1	データ書き込みモード
00	シングルバッファ
01	ダブルバッファ
10	トリプルバッファ
11	Reserved

- bit 0 YUV/RGBコンバータ1 SRAM I/Fデータ書き込み状態 (読み出し専用)
このビットはSRAMに対するYRC1のデータ書き込み状態を示します。
このビットが0のとき、YRC1はSRAMにデータを書き込んでいる最中です。
このビットが1のとき、YRC1はSRAMにデータを書き込んでいる最中ではありません。

REG[0260h] RGB/YUV Converter Configuration Register							Read/Write
Default = 0005h							
RVC ディセーブル 15	n/a 14	Reserved 13 12		n/a 11 10 9 8			
n/a 7 6		YUVデータタイプ 選択 4		n/a 3	RGB/YUVコンバータ変換モードビット2~0 2 1 0		

- bit 15 RGB/YUVコンバータ (RVC) ディセーブル
このビットはRGB/YUVコンバータを制御します。メモリ画像JPEG符号化モードでは、RGB/YUVコンバータの使用により、表示バッファ内のRGBデータをJPEGコーデックで符号化可能なYUVデータに変換します。
このビットが0のとき、RGB/YUVコンバータはイネーブルされます。
このビットが1のとき、RGB/YUVコンバータはディセーブルされます (バイパスモード)。
- bits 13-12 Reserved
デフォルト値は0です。
- bit 4 YUVデータタイプ選択
このビットは出力データのビデオタイプを選択します。
このビットが0のとき、データタイプはYUVです。
このビットが1のとき、データタイプはYCbCrです。
- bits 2-0 RGB/YUVコンバータ変換モードビット[2:0]
これらのビットはRGB/YUVコンバータの変換モードを指定します。各種仕様に対して推奨値が与えられています。

表10.60 RGB/YUV変換モード選択

REG[0260h]ビット2~0	RGB/YUV変換の仕様
000	Reserved
001	ITU-R推奨BT.709
010	Reserved
011	Reserved
100	ITU-R推奨BT.470-6、システムM
101 (デフォルト)	ITU-R推奨BT.470-6、システムB、G (ITU-R推奨BT.601.5)
110	SMPTE 170M
111	SMPTE 240M (1987)

REG[0262h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

10. レジスタ

REG[0264h] Memory Image JPEG Encode Horizontal Display Period Register								Read/Write
Default = 0000h								
n/a							メモリ画像JPEG符号化水平表示期間ビット8	
15	14	13	12	11	10	9	8	
メモリ画像JPEG符号化水平表示期間ビット7~0								
7	6	5	4	3	2	1	0	

bits 8-0

メモリ画像JPEG符号化水平表示期間ビット[8:0]

これらのビットは、メモリ画像JPEG符号化 (MIJE) 機能の水平表示期間を、2ピクセルを1単位として指定します。

REG[0264h]ビット8~0 = (MIJEのHDP(ピクセル)÷2)-1

REG[0266h] Memory Image JPEG Encode Vertical Display Period Register								Read/Write
Default = 0000h								
n/a							メモリ画像JPEG符号化垂直表示期間ビット9~8	
15	14	13	12	11	10	9	8	
メモリ画像JPEG符号化垂直表示期間ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

メモリ画像JPEG符号化垂直表示期間ビット[9:0]

これらのビットはメモリ画像JPEG符号化 (MIJE) 機能の垂直表示期間をラインで指定します。

REG[0266h]ビット9~0 = MIJEのVDP(ライン)-1

REG[0268h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

REG[0270h] Host Image JPEG Encode Control Register							Read/Write
Default = 0000h							
n/a	ホストRGB符号化書き込みデータフォーマットビット2~0			ホストRGB符号化データ終了 (RO)	ホストRGB符号化状態 (RO)	n/a	
15	14	13	12	11	10	9	8
n/a	ホストRGB符号化モードイネーブル	n/a					ホスト画像JPEG符号化モード選択
7	6	5	4	3	2	1	0

bits 14-12

ホストRGB符号化書き込みデータフォーマットビット[2:0]

これらのビットはホスト画像のJPEG符号化における書き込みデータフォーマットを選択します。

- REG[0270h]ビット14~12 = 000または010~011のとき、データはREG[0278h]にのみ書き込まれます。
- REG[0270h]ビット14~12 = 100、101、110、または111のとき、データはREG[0278h] REG[0276h]の順に交互に書き込まれます。

表10.61 ホストRGB符号化書き込みデータフォーマット選択

REG[0270h]ビット14~12	ホストRGB符号化書き込みデータフォーマット
000	RGB 5:6:5
001	Reserved
010	RGB 4:4:4
011	RGB 3:3:2
100	RGB 8:8:8 (32ビット、アンパック、1ピクセル/2サイクル)
101	RGB 8:8:8 (24ビット、パック、2ピクセル/3サイクル)
110	RGB 6:6:6 (32ビット、アンパック、1ピクセル/2サイクル)
111	RGB 6:6:6 (24ビット、パック、2ピクセル/3サイクル)

- bit 11 **ホストRGB符号化データ終了（読み出し専用）**
 このビットは、ホストメモリ書き込みにおいてホスト画像のJPEG符号化モードの完了、未完了を示します。
 このビットが0のとき、ホストメモリ書き込みにおいてホスト画像のJPEG符号化モードは完了しています。
 このビットが1のとき、ホストメモリ書き込みにおいてホスト画像のJPEG符号化モードは完了していません。
- bit 10 **ホストRGB符号化状態（読み出し専用）**
 このビットはホストメモリに対するホスト画像のJPEG符号化モードがアクティブであることを示します。
 このビットが0のとき、ホストメモリに対するホスト画像のJPEG符号化モードは非アクティブです。
 このビットが1のとき、ホストメモリに対するホスト画像のJPEG符号化モードはアクティブです。
- bit 6 **ホストRGB符号化モードイネーブル**
 このビットは、ホストメモリに対するホスト画像のJPEG符号化モードを制御します。
 このビットが0のとき、ホストメモリに対するホスト画像のJPEG符号化モードはディセーブルされます。
 このビットが1のとき、ホストメモリに対するホスト画像のJPEG符号化モードはイネーブルされます。
- bit 0 **ホスト画像JPEG符号化モード選択**
 このビットは、ホスト画像のJPEG符号化の対象が、S1D13719のメモリからのホスト画像か、ホストインタフェースからのメモリ画像かを選択します。
 このビットが0のとき、S1D13719のメモリからのホスト画像が符号化されます。
 このビットが1のとき、ホストインタフェースからのメモリ画像が符号化されません。

10. レジスタ

REG[0272h] Host Image JPEG Encode Horizontal Pixel Count Register							Read/Write	
Default = 0000h								
n/a			ホスト画像JPEG符号化水平ピクセル数ビット10~8					
15	14	13	12	11	10	9	8	
ホスト画像JPEG符号化水平ピクセル数ビット7~0								
7	6	5	4	3	2	1	0	

bits 10-0

ホスト画像JPEG符号化水平ピクセル数ビット[10:0]
これらのビットはホスト画像のJPEG符号化における水平ピクセル数を示します。

水平サイズ = (このレジスタの値) + 1

符号化できる最大水平サイズは2048ピクセルです。

REG[0274h] Host Image JPEG Encode Vertical Line Count Register							Read/Write	
Default = 0000h								
n/a			ホスト画像JPEG符号化垂直ライン数ビット10~8					
15	14	13	12	11	10	9	8	
ホスト画像JPEG符号化垂直ライン数ビット7~0								
7	6	5	4	3	2	1	0	

bits 10-0

ホスト画像JPEG符号化垂直ライン数ビット[10:0]
ホスト画像のJPEG符号化における垂直ライン数を示します。

垂直サイズ = (このレジスタの値) + 1

符号化できる最大垂直サイズは2048ラインです。

REG[0276h] Host Image JPEG Encode RGB Data Register 0								Read/Write
Default = 0000h								
ホスト画像JPEG符号化RGBデータビット15~8								
15	14	13	12	11	10	9	8	
ホスト画像JPEG符号化RGBデータビット7~0								
7	6	5	4	3	2	1	0	

REG[0278h] Host Image JPEG Encode RGB Data Register 1								Read/Write
Default = 0000h								
ホスト画像JPEG符号化RGBデータビット31~24								
15	14	13	12	11	10	9	8	
ホスト画像JPEG符号化RGBデータビット23~16								
7	6	5	4	3	2	1	0	

REG[0278h] bits 15-0

REG[0276h] bits 15-0 ホスト画像JPEG符号化RGBデータビット[31:0]
 これらのビットはホスト画像のJPEG符号化におけるRGB書き込みデータです。

表10.62 ホスト画像のJPEG符号化における書き込みデータフォーマット

ホスト画像のJPEG符号化における書き込みデータフォーマット	データレジスタ	データレジスタビット															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RGB 5:6:5	REG[0276h]データ1	不使用															
	REG[0278h]データ2	R4	R3	R2	R1	R0	G5	G4	G3	G2	G1	G0	B4	B3	B2	B1	B0
RGB 4:4:4	REG[0276h]データ1	不使用															
	REG[0278h]データ2	n/a	n/a	n/a	n/a	R3	R2	R1	R0	G3	G2	G1	G0	B3	B2	B1	B0
RGB 3:3:2	REG[0276h]データ1	不使用															
	REG[0278h]データ2	R12	R11	R10	G12	G11	G10	B11	B10	R2	R1	R0	G2	G1	G0	B1	B0
RGB 8:8:8 (32ビット、アンパック、1ピクセル/2サイクル)	REG[0276h]データ2	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0
	REG[0278h]データ1	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	R7	R6	R5	R4	R3	R2	R1	R0
RGB 8:8:8 (24ビット、パック、2ピクセル/3サイクル)	REG[0276h]データ1	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0
	REG[0278h]データ2	B15	B14	B13	B12	B11	B10	B9	B8	R7	R6	R5	R4	R3	R2	R1	R0
	REG[0276h]データ3	R15	R14	R13	R12	R11	R10	R9	R8	G15	G14	G13	G12	G11	G10	G9	G8
RGB 6:6:6 (32ビット、アンパック、1ピクセル/2サイクル)	REG[0276h]データ1	n/a	n/a	G5	G4	G3	G2	G1	G0	n/a	n/a	B5	B4	B3	B2	B1	B0
	REG[0278h]データ2	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	n/a	R5	R4	R3	R2	R1	R0
RGB 6:6:6 (24ビット、パック、2ピクセル/3サイクル)	REG[0276h]データ1	n/a	n/a	G5	G4	G3	G2	G1	G0	n/a	n/a	B5	B4	B3	B2	B1	B0
	REG[0278h]データ2	n/a	n/a	B13	B12	B11	B10	B9	B8	n/a	n/a	R5	R4	R3	R2	R1	R0
	REG[0276h]データ3	n/a	n/a	R13	R12	R11	R10	R9	R8	n/a	n/a	G13	G12	G11	G10	G9	G8

REG[0280h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

10. レジスタ

10.4.10 GPIOレジスタ

REG[0300h] GPIO Configuration Register 0							
Default = 0000h							Read/Write
GPIO15設定	GPIO14設定	GPIO13設定	GPIO12設定	GPIO11設定	GPIO10設定	GPIO9設定	GPIO8設定
15	14	13	12	11	10	9	8
GPIO7設定	GPIO6設定	GPIO5設定	GPIO4設定	GPIO3設定	GPIO2設定	GPIO1設定	GPIO0設定
7	6	5	4	3	2	1	0

REG[0302h] GPIO Configuration Register 1							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a		GPIO21設定	GPIO20設定	GPIO19設定	GPIO18設定	GPIO17設定	GPIO16設定
7	6	5	4	3	2	1	0

REG[0302h] bits 5-0

REG[0300h] bits 15-0

GPIO[21:0]端子IO設定

GPIO端子 (GPIO[19:0]) がRESET#において入力 (CNF1 = 1) に設定される場合、これらのビットを使うことによって各GPIO端子の入力と出力が切り替えられます。GPIO端子がRESET#において出力 (CNF1 = 0) に設定される場合、これらのビットは無視され、GPIO端子は常に出力となります。

このビットが0のとき、対応するGPIO端子は入力端子に設定されます (デフォルト)。

このビットが1のとき、対応するGPIO端子は出力端子に設定されます。

REG[0304h] GPIO Input Enable Register 0							
Default = 0000h							Read/Write
GPIO15入力イネーブル	GPIO14入力イネーブル	GPIO13入力イネーブル	GPIO12入力イネーブル	GPIO11入力イネーブル	GPIO10入力イネーブル	GPIO9入力イネーブル	GPIO8入力イネーブル
15	14	13	12	11	10	9	8
GPIO7入力イネーブル	GPIO6入力イネーブル	GPIO5入力イネーブル	GPIO4入力イネーブル	GPIO3入力イネーブル	GPIO2入力イネーブル	GPIO1入力イネーブル	GPIO0入力イネーブル
7	6	5	4	3	2	1	0

REG[0306h] GPIO Input Enable Register 1							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a		GPIO21入力イネーブル	GPIO20入力イネーブル	GPIO19入力イネーブル	GPIO18入力イネーブル	GPIO17入力イネーブル	GPIO16入力イネーブル
7	6	5	4	3	2	1	0

REG[0306h] bits 5-0

REG[0304h] bits 15-0

GPIO[21:0]端子入力イネーブル

これらのビットは各GPIO端子の入力機能をイネーブルするのに使用します。GPIO端子の入力機能をイネーブルするには、対応するビットをパワーオンリセット後に1に書き換えます。

このビットが0のとき、対応するGPIO端子の入力機能はディセーブルされます (デフォルト)。

このビットが1のとき、対応するGPIO端子の入力機能はイネーブルされます。

注

GPIO端子がRESET#において出力 (CNF1 = 0) に設定される場合、GPIO端子は常に出力であり、これらのビットは何の効果ももちません。

REG[0308h] GPIO Pull Down Control Register 0							
Default = FFFFh							Read/Write
GPIO15プルダウン 制御 15	GPIO14プルダウン 制御 14	GPIO13プルダウン 制御 13	GPIO12プルダウン 制御 12	GPIO11プルダウン 制御 11	GPIO10プルダウン 制御 10	GPIO9プルダウン 制御 9	GPIO8プルダウン 制御 8
GPIO7プルダウン 制御 7	GPIO6プルダウン 制御 6	GPIO5プルダウン 制御 5	GPIO4プルダウン 制御 4	GPIO3プルダウン 制御 3	GPIO2プルダウン 制御 2	GPIO1プルダウン 制御 1	GPIO0プルダウン 制御 0

REG[030Ah] GPIO Pull Down Control Register 1							
Default = 003Fh							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a		GPIO21プルダウン 制御 5	GPIO20プルダウン 制御 4	GPIO19プルダウン 制御 3	GPIO18プルダウン 制御 2	GPIO17プルダウン 制御 1	GPIO16プルダウン 制御 0
7	6						

REG[030Ah] bits 5-0

REG[0308h] bits 15-0

GPIO[21:0]プルダウン制御

すべてのGPIO端子はプルダウン抵抗を内蔵しています。これらのビットはプルダウン抵抗の状態を個々に制御します。

これらのビットが0のとき、対応するGPIO端子のプルダウン抵抗は非アクティブです。

これらのビットが1のとき、対応するGPIO端子のプルダウン抵抗はアクティブです。

REG[030Ch] GPIO Status Register 0							
Default = 0000h							Read/Write
GPIO15状態 15	GPIO14状態 14	GPIO13状態 13	GPIO12状態 12	GPIO11状態 11	GPIO10状態 10	GPIO9状態 9	GPIO8状態 8
GPIO7状態 7	GPIO6状態 6	GPIO5状態 5	GPIO4状態 4	GPIO3状態 3	GPIO2状態 2	GPIO1状態 1	GPIO0状態 0

REG[030Eh] GPIO Status Register 1							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a		GPIO21状態 5	GPIO20状態 4	GPIO19状態 3	GPIO18状態 2	GPIO17状態 1	GPIO16状態 0
7	6						

REG[030Eh] bits 5-0

REG[030Ch] bits 15-0

GPIO[21:0]端子IO状態

GPIOx端子を出力に設定している (REG[0300h] ~ REG[0302h]を参照) 場合、該当するビットに1を書き込むとGPIOxはHighに変わります。反対に0を書き込むとGPIOxはLowに変わります。

GPIOx端子を入力に設定している (REG[0300h] ~ REG[0302h]を参照) 場合、該当するビットを読み出すとGPIOxの状態が返されます。

注

入力に設定したGPIO端子の状態を読み出すには、GPIO端子の入力機能をあらかじめイネーブルしておく必要があります。それにはREG[0304h] ~ REG[0306h]を使用します。

10. レジスタ

10.4.11 オーバーレイレジスタ

REG[0310h] Average Overlay Key Color Red Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
平均オーバーレイキーカラー赤色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

平均オーバーレイキーカラー赤色データビット[7:0]

これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットは平均オーバーレイキーカラーの赤色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0312h] Average Overlay Key Color Green Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
平均オーバーレイキーカラー緑色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

平均オーバーレイキーカラー緑色データビット[7:0]
 これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットは平均オーバーレイキーカラーの緑色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0314h] Average Overlay Key Color Blue Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
平均オーバーレイキーカラー青色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

平均オーバーレイキーカラー青色データビット[7:0]
 これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットは平均オーバーレイキーカラーの青色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

10. レジスタ

REG[0316h] AND Overlay Key Color Red Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
ANDオーバーレイキーカラー赤色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

ANDオーバーレイキーカラー赤色データビット[7:0]
これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11)とときにのみ有効です。これらのビットはANDオーバーレイキーカラーの赤色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0318h] AND Overlay Key Color Green Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
ANDオーバーレイキーカラー緑色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

ANDオーバーレイキーカラー緑色データビット[7:0]
これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11)とときにのみ有効です。これらのビットはANDオーバーレイキーカラーの緑色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[031Ah] AND Overlay Key Color Blue Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
ANDオーバーレイキーカラー青色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

ANDオーバーレイキーカラー青色データビット[7:0]
 これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11)とときにのみ有効です。これらのビットはANDオーバーレイキーカラーの青色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[031Ch] OR Overlay Key Color Red Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
ORオーバーレイキーカラー赤色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

ORオーバーレイキーカラー赤色データビット[7:0]
 これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11)とときにのみ有効です。これらのビットはORオーバーレイキーカラーの赤色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

10. レジスタ

REG[031Eh] OR Overlay Key Color Green Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
ORオーバーレイキーカラー緑色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

ORオーバーレイキーカラー緑色データビット[7:0]

これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットはORオーバーレイキーカラーの緑色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0320h] OR Overlay Key Color Blue Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
ORオーバーレイキーカラー青色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

ORオーバーレイキーカラー青色データビット[7:0]

これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットはORオーバーレイキーカラーの青色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0322h] INV Overlay Key Color Red Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
INVオーバーレイキーカラー赤色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

INVオーバーレイキーカラー赤色データビット[7:0]

これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットはINVオーバーレイキーカラーの赤色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0324h] INV Overlay Key Color Green Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
INVオーバーレイキーカラー緑色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

INVオーバーレイキーカラー緑色データビット[7:0]

これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットはINVオーバーレイキーカラーの緑色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

10. レジスタ

REG[0326h] INV Overlay Key Color Blue Data Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
INVオーバーレイキーカラー青色データビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

INVオーバーレイキーカラー青色データビット[7:0]

これらのビットは、オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) ときにのみ有効です。これらのビットはINVオーバーレイキーカラーの青色成分を設定します。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

注

LUTバイパスモードがイネーブルされている (REG[0200h]ビット5~4を参照) ときは、キーカラーのフィールドを8ビットに拡張してください。これには、344ページの12.3.5「LUTバイパス時のビット補充」に記載したビット補充法を使用します。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

REG[0328h] Overlay Miscellaneous Register								Read/Write
Default = 0000h								
オーバーレイPIP ⁺ ウインドウビットシフト	n/a	オーバーレイメインウインドウビットシフト	n/a					
15	14	13	12	11	10	9	8	
n/a			INVオーバーレイキーカラーイネーブル	ORオーバーレイキーカラーイネーブル	ANDオーバーレイキーカラーイネーブル	平均オーバーレイキーカラーイネーブル	透過オーバーレイキーカラーイネーブル	
7	6	5	4	3	2	1	0	

bit 15

オーバーレイPIP⁺ウインドウビットシフト

このビットは、表示モード選択ビットがオーバーレイありのPIP⁺に設定されている (REG[0200h]ビット9~8=11) ときにのみ有効です。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。このビットが0のとき、PIP⁺ウインドウのピクセルデータは通常 (ノーマル) です。このビットが1のとき、PIP⁺ウインドウのピクセルデータは1ビット右にシフトされます。

bits 13

オーバーレイメインウインドウビットシフト

このビットは、表示モード選択ビットがオーバーレイありのPIP⁺に設定されている (REG[0200h]ビット9~8=11) ときにのみ有効です。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。このビットが0のとき、メインウインドウのピクセルデータは通常 (ノーマル) です。このビットが1のとき、メインウインドウのピクセルデータは1ビット右にシフトされます。

- bit 4
- INVオーバーレイキーカラーイネーブル
このビットは、表示モード選択ビットがオーバーレイありのPIP⁺に設定されている (REG[0200h]ビット9~8=11) ときにのみ有効です。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。
このビットが0のとき、INVオーバーレイキーカラー機能はディセーブルされます。
このビットが1のとき、INVオーバーレイキーカラー機能はイネーブルされます。
- 注**
オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー
- bit 3
- ORオーバーレイキーカラーイネーブル
このビットは、表示モード選択ビットがオーバーレイありのPIP⁺に設定されている (REG[0200h]ビット9~8=11) ときにのみ有効です。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。
このビットが0のとき、ORオーバーレイキーカラー機能はディセーブルされます。
このビットが1のとき、ORオーバーレイキーカラー機能はイネーブルされます。
- 注**
オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー
- bit 2
- ANDオーバーレイキーカラーイネーブル
このビットは、表示モード選択ビットがオーバーレイありのPIP⁺に設定されている (REG[0200h]ビット9~8=11) ときにのみ有効です。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。
このビットが0のとき、ANDオーバーレイキーカラー機能はディセーブルされます。
このビットが1のとき、ANDオーバーレイキーカラー機能はイネーブルされます。
- 注**
オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです (高い順): 透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー

10. レジスタ

bit 1

平均オーバーレイキーカラーイネーブル

このビットは、表示モード選択ビットがオーバーレイありのPIP+に設定されている（REG[0200h]ビット9～8＝11）ときにのみ有効です。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

このビットが0のとき、平均オーバーレイキーカラー機能はディセーブルされます。

このビットが1のとき、平均オーバーレイキーカラー機能はイネーブルされます。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです（高い順）：透過キーカラー＞平均キーカラー＞ANDキーカラー＞ORキーカラー＞INVキーカラー

bit 0

透過オーバーレイキーカラーイネーブル

このビットは、表示モード選択ビットがオーバーレイありのPIP+に設定されている（REG[0200h]ビット9～8＝11）ときにのみ有効です。オーバーレイの詳細については、366ページの13.4「オーバーレイ表示」をご覧ください。

このビットが0のとき、透過オーバーレイキーカラー機能はディセーブルされます。

このビットが1のとき、透過オーバーレイキーカラー機能はイネーブルされます。

注

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。その機能が表示領域に適用されなくても、低優先度の機能が適用されることはありません。機能の優先順位は次のとおりです（高い順）：透過キーカラー＞平均キーカラー＞ANDキーカラー＞ORキーカラー＞INVキーカラー

10.4.12 LUT1 (メインウインドウ)

	上位バイト	下位バイト
0400h	緑 0	赤 0
0402h	n/a	青 0
0404h	緑 1	赤 1
	⋮	⋮
07FEh	n/a	青 255

図10.2 LUT1マッピング

REG[0400h - 07FCh] LUT1 Data Register 0								Write Only
Default = n/a								
LUT1緑色データビット7-0								
15	14	13	12	11	10	9	8	
LUT1赤色データビット7-0								
7	6	5	4	3	2	1	0	

bits 15-8

LUT1 (メインウインドウ) 緑色データビット[7:0]

これらのビットはLUT1緑色データの設定に使用します。LUT1ではREG[0400h]からREG[07FCh]の間に256個のフィールドがあります。LUT1はメインウインドウに使用します。

bits 7-0

LUT1 (メインウインドウ) 赤色データビット[7:0]

これらのビットはLUT1赤色データの設定に使用します。LUT1ではREG[0400h]からREG[07FCh]の間に256個のフィールドがあります。LUT1はメインウインドウに使用します。

注

このレジスタを読み出すには待機時間 (7Ts) が必要です。ホストがインダイレクトインタフェースモードにあるときは、Soft Waitを実行してください。

REG[0402h - 07FEh] LUT1 Data Register 1								Write Only
Default = n/a								
n/a								
15	14	13	12	11	10	9	8	
LUT1青色データビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

LUT1 (メインウインドウ) 青色データビット[7:0]

これらのビットはLUT1青色データの設定に使用します。LUT1ではREG[0402h]からREG[07FEh]の間に256個のフィールドがあります。LUT1はメインウインドウに使用します。

注

このレジスタを読み出すには待機時間 (7Ts) が必要です。ホストがインダイレクトインタフェースモードにあるときは、Soft Waitを実行してください。

10. レジスタ

10.4.13 LUT2 (PIP+ウインドウ)

	上位バイト	下位バイト
0800h	緑 0	赤 0
0802h	n/a	青 0
0804h	緑 1	赤 1
	⋮	⋮
08FEh	n/a	青 63

図10.3 LUT2マッピング

REG[0800h - 08FCh] LUT2 Data Register 0								Write Only
Default = n/a								
LUT2緑色データビット7-0								
15	14	13	12	11	10	9	8	
LUT2赤色データビット7-0								
7	6	5	4	3	2	1	0	

bits 15-8

LUT2 (PIP+ウインドウ) 緑色データビット[7:0]

これらのビットはLUT2緑色データの設定に使用します。LUT2ではREG[0800h]からREG[08FCh]の間に64個のフィールドがあります。LUT2はPIP+ウインドウに使用します。

bits 7-0

LUT2 (PIP+ウインドウ) 赤色データビット[7:0]

これらのビットはLUT2赤色データの設定に使用します。LUT2ではREG[0800h]からREG[08FCh]の間に64個のフィールドがあります。LUT2はPIP+ウインドウに使用します。

注

このレジスタを読み出すには待機時間 (7Ts) が必要です。ホストがインダイレクトインタフェースモードにあるときは、Soft Waitを実行してください。

REG[0802 - 08FEh] LUT2 Data Register 1								Write Only
Default = n/a								
n/a								
15	14	13	12	11	10	9	8	
LUT2青色データビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

LUT2 (PIP+ウインドウ) 青色データビット[7:0]

これらのビットはLUT2青色データの設定に使用します。LUT2ではREG[0802h]からREG[08FEh]の間に64個のフィールドがあります。LUT2はPIP+ウインドウに使用します。

注

このレジスタを読み出すには待機時間 (7Ts) が必要です。ホストがインダイレクトインタフェースモードにあるときは、Soft Waitを実行してください。

10.4.14 リサイザーコントロールレジスタ

注

カメラインタフェース、JPEGデコーダ、またはホストインタフェースからデータを受信している間はリサイザー関連レジスタを変更しないでください。

REG[0930h] Global Resizer Control Register						Read/Write	
Default = 0000h							
n/a					リサイザーフレーム縮小	Reserved	Reserved
15	14	13	12	11	10	9	8
n/a		カメラJPEGデータ入カインネーブル	キャプチャデータ入力選択 (WO)	出力ソース選択	n/a	カメラ表示制御ビット1~0	
7	6	5	4	3	2	1	0

- bit 10 リサイザーフレーム縮小
このビットはリサイザーブロックにおけるフレーム縮小を制御します。
このビットが0のとき、リサイザーは縮小を行いません。
このビットが1のとき、1つおきのフレームを使ってフレーム縮小を行います。
- bit 9 Reserved
デフォルト値は0です。
- bit 8 Reserved
デフォルト値は0です。
- bit 5 カメラJPEGデータ入カインネーブル
CMOSカメラ(ET8E90-AS)からJPEG符号化データが入力されるとき、このビットは1です。
このビットが0のとき、JPEG符号化データ以外を入力してください。
このビットが1のとき、以下の動作となります。
a) YRCブロックが停止します。
b) ダミーのV/HSYNC信号がリサイザーブロックからJPEGブロックに出力されます。
- bit 4 キャプチャデータ入力選択 (書き込み専用)
このビットはキャプチャリサイザーに対するデータ入力を選択します。
このビットが0のとき、カメラインタフェースからの入力を選択されます。
このビットが1のとき、RGB/YUVコンバータ(RYC)からの入力を選択されます。

10. レジスタ

bit 3

出力ソース選択

このビットはYUV/RGBコンバータ(YRC)にデータを入力するリサイザーを選択します。データがカメラインタフェースから入力される場合は一般にビューリサイザーを選択します。これはJPEG符号化寸法が表示寸法と異なる場合があります。JPEGデコードまたはホストインタフェースからS1D13719へのYUVモードの場合はビューリサイザーを選択してください。

このビットが0のとき、YRCにデータを入力するのはビューリサイザーです。このビットが1のとき、YRCにデータを入力するのはキャプチャリサイザーであり、ビューリサイザールогикへの給電が停止されます。

表10.63 出力ソース選択

出力ソース選択 REG[0930h]ビット3	ビューリサイザーイネーブル REG[0940h]ビット0	キャプチャリサイザーイネーブル REG[0960h]ビット0	YUV/RGB コンバータに出力	JPEGライン バッファに出力
0	0	0	—	—
0	0	1	—	—
0	1	0	可能	—
0	1	1	可能	可能
1	0	0	—	—
1	0	1	可能	可能
1	1	0	—	—
1	1	1	可能	可能

bits 1-0

カメラ表示制御ビット[1:0]

これらのビットは、JPEG符号化処理が行われている（REG[0980h]ビット3～1＝000）時およびYUVデータのホスト直送モード（JPEGバイパス）がイネーブルされている（REG[0980h]ビット3～1＝011または111）時における、カメラデータの表示方法を指定します。

表10.64 カメラ表示制御選択

REG[0930h]ビット1～0	機能
00	<p>JPEG符号化時： JPEG符号化処理が行われるまでは、カメラインタフェースからのYUVデータが表示バッファに連続的に書き込まれます。JPEG符号化処理が開始されると（REG[098Ah]ビット0＝1）、次のフレームの書き込み以後、表示バッファへのカメラデータの書き込みは行われません。REG[098Ah]ビット0が0に設定されると、カメラデータは次のフレームから再び表示バッファに書き込まれます。</p> <p>JPEGバイパス時： カメラインタフェースからのYUVデータはJPEG FIFOに連続的に書き込まれ、YUVデータから変換されたデータ（YUV/RGBコンバータ）が表示バッファに連続的に書き込まれます。</p>
01	<p>JPEG符号化時： JPEG符号化処理が開始されると（REG[098Ah]ビット0＝1）、カメラデータの次のフレームのみが表示バッファに書き込まれます。JPEG符号化処理がイネーブルされていない（REG[098Ah]ビット0＝0）場合、カメラデータは表示バッファに書き込まれません。</p> <p>JPEGバイパス時： カメラインタフェースからのYUVデータはJPEG FIFOに連続的に書き込まれます。シャッタがイネーブルされている（REG[098Ah]ビット0＝1）場合、カメラデータが表示バッファに書き込まれます。シャッタがディセーブルされている（REG[098Ah]ビット0＝0）場合、カメラデータは表示バッファに書き込まれません。</p>
10	<p>JPEG符号化時： カメラインタフェースからのデータが常に表示バッファに書き込まれます。</p> <p>JPEGバイパス時： カメラインタフェースからのYUVデータがJPEG FIFOに連続的に書き込まれ、YUVデータから変換されたデータ（YUV/RGBコンバータ）が表示バッファに連続的に書き込まれます。</p>
11	Reserved

REG[0932h]からREG[093Eh]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

10. レジスタ

ビュー（表示）リサイザーレジスタ

REG[0940h] View Resizer Control Register							Read/Write																
Default = 0000h																							
15			14			13			12			11			10			9			8		
ビューリサイザーソフトウェアリセット(WO)			n/a			ビューリサイザー独立水平/垂直スケーリングイネーブル			ビューリサイザーレジスタ更新VSYNCイネーブル			ビューリサイザーイネーブル											
7			6			5			4			3			2			1			0		

- bit 7 ビューリサイザーソフトウェアリセット（書き込み専用）
このビットに0を書き込んでもハードウェアには何の影響もありません。
REG[0940h]ビット0またはREG[0960h]ビット0に1を書き込んでリサイザーを有効にした状態でこのビットに1を書き込むと、ビューリサイザーロジックがリセットされます。
- bit 2 ビューリサイザー独立水平/垂直スケーリングイネーブル
このビットが0のとき、水平倍率と垂直倍率は同じです。水平倍率と垂直倍率はともにREG[094Ch]ビット7~0によって制御されます。
このビットが1のとき、水平倍率と垂直倍率が独立して選択できます。水平倍率はREG[094Ch]ビット7~0によって、また垂直倍率はREG[094Ch]ビット15~8によって制御されます。
- bit 1 ビューリサイザーレジスタ更新VSYNCイネーブル
このビットが0のとき、ビューリサイザーは新しいレジスタ値をただちに使用します。
このビットが1のとき、ビューリサイザーは次のVSYNCが発生するまで前のレジスタ値を使用します。
- bit 0 ビューリサイザーイネーブル
ビューリサイザーロジックを制御します。
このビットが0のとき、ビューリサイザーロジックはディセーブルされます。
このビットが1のとき、ビューリサイザーロジックはイネーブルされます。

注

このビットおよびキャプチャリサイザーイネーブルビット(REG[0960h]ビット0) がともに0に設定されているとき、リサイザーブロックへのクロック供給は自動的に停止します。

REG[0944h] View Resizer Start X Position Register							Read/Write																
Default = 0000h																							
15			14			13			12			11			10			9			8		
ビューリサイザー開始X位置ビット10~8			ビューリサイザー開始X位置ビット7~0			ビューリサイザー開始X位置ビット7~0			ビューリサイザー開始X位置ビット7~0			ビューリサイザー開始X位置ビット7~0			ビューリサイザー開始X位置ビット7~0			ビューリサイザー開始X位置ビット7~0					
7			6			5			4			3			2			1			0		

- bits 10-0 ビューリサイザー開始X位置ビット[10:0]
これらのビットはビューリサイザーのX開始位置を決定します。値のプログラミングに際しては401ページの15.「リサイザー」の制約事項に従ってください。

REG[0946h] View Resizer Start Y Position Register									
Default = 0000h									
Read/Write									
n/a					ビューリサイザ-開始Y位置ビット10~8				
15	14	13	12	11	10	9	8		
ビューリサイザ-開始Y位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 10-0 ビューリサイザ-開始Y位置ビット[10:0]
 これらのビットはビューリサイザ-のY開始位置を決定します。値のプログラミングに際しては401ページの15.「リサイザ-」の制約事項に従ってください。

REG[0948h] View Resizer End X Position Register									
Default = 027Fh									
Read/Write									
n/a					ビューリサイザ-終了X位置ビット10~8				
15	14	13	12	11	10	9	8		
ビューリサイザ-終了X位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 10-0 ビューリサイザ-終了X位置ビット[10:0]
 これらのビットはビューリサイザ-のX終了位置を決定します。値のプログラミングに際しては401ページの15.「リサイザ-」の制約事項に従ってください。

REG[094Ah] View Resizer End Y Position Register									
Default = 01DFh									
Read/Write									
n/a					ビューリサイザ-終了Y位置ビット10~8				
15	14	13	12	11	10	9	8		
ビューリサイザ-終了Y位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 10-0 ビューリサイザ-終了Y位置ビット[10:0]
 これらのビットはビューリサイザ-のY終了位置を決定します。値のプログラミングに際しては401ページの15.「リサイザ-」の制約事項に従ってください。

10. レジスタ

REG[094Ch] View Resizer Operation Setting Register 0								Read/Write
Default = 8080h								
ビューリサイザ-垂直倍率ビット7~0								
15	14	13	12	11	10	9	8	
ビューリサイザ-水平倍率ビット7~0								
7	6	5	4	3	2	1	0	

bits 15-8

ビューリサイザ-垂直倍率ビット[7:0]

これらのビットはREG[0940h]ビット2 = 1のときにビューリサイザ-の垂直倍率を決定します。スケーリングモードによっては使用できない倍率があります (REG[094Eh]を参照)。

表10.65 ビューリサイザ-垂直倍率選択

REG[094Ch]ビット15~8	ビューリサイザ-垂直倍率			
	REG[094Eh]ビット 1~0=00	REG[094Eh]ビット 1~0=01	REG[094Eh]ビット 1~0=10	REG[094Eh]ビット 1~0=11
0000 0000	Reserved	Reserved	Reserved	Reserved
0000 0001	n/a	1/128	1/128	Reserved
0000 0010	n/a	2/128	2/128	Reserved
0000 0011	n/a	3/128	3/128	Reserved
0000 0100	n/a	4/128	4/128	Reserved
0000 0101	n/a	5/128	5/128	Reserved
0000 0110	n/a	6/128	6/128	Reserved
0000 0111	n/a	7/128	7/128	Reserved
0000 1000	n/a	8/128	8/128	Reserved
0000 1001	n/a	9/128	9/128	Reserved
0000 1010	n/a	10/128	10/128	Reserved
0000 1011	n/a	11/128	11/128	Reserved
0000 1100	n/a	12/128	12/128	Reserved
0000 1101	n/a	13/128	13/128	Reserved
0000 1110	n/a	14/128	14/128	Reserved
0000 1111	n/a	15/128	15/128	Reserved
0001 0000	n/a	16/128	16/128	Reserved
0001 0001	n/a	17/128	17/128	Reserved
0001 0010	n/a	18/128	18/128	Reserved
0001 0011	n/a	19/128	19/128	Reserved
0001 0100	n/a	20/128	20/128	Reserved
0001 0101	n/a	21/128	21/128	Reserved
0001 0110	n/a	22/128	22/128	Reserved
0001 0111	n/a	23/128	23/128	Reserved
0001 1000	n/a	24/128	24/128	Reserved
0001 1001	n/a	25/128	25/128	Reserved
0001 1010	n/a	26/128	26/128	Reserved
0001 1011	n/a	27/128	27/128	Reserved
0001 1100	n/a	28/128	28/128	Reserved
0001 1101	n/a	29/128	29/128	Reserved
0001 1110	n/a	30/128	30/128	Reserved
0001 1111	n/a	31/128	31/128	Reserved
0010 0000	n/a	32/128	32/128	Reserved
0010 0001 ~ 0011 1111	n/a	33/128 ~ 63/128	33/128 ~ 63/128	Reserved
0100 0000	n/a	64/128	64/128	Reserved
0100 0001 ~ 0111 1111	n/a	65/128 ~ 127/128	65/128 ~ 127/128	Reserved
1000 0000	n/a	128/128	128/128	Reserved

bits 7-0

ビューリサイザ水平倍率ビット[7:0]

これらのビットはREG[0940h]ビット2 = 1のときにビューリサイザの水平倍率を決定します。REG[0940h]ビット2 = 0のときは水平倍率と垂直倍率の両方を指定します。スケーリングモードによっては使用できない倍率があります (REG[094Eh]を参照)。

表10.66 ビューリサイザ水平倍率選択

REG[094Ch]ビット7~0	ビューリサイザ水平倍率			
	REG[094Eh]ビット 1~0=00	REG[094Eh]ビット 1~0=01	REG[094Eh]ビット 1~0=10	REG[094Eh]ビット 1~0=11
0000 0000	Reserved	Reserved	Reserved	Reserved
0000 0001	n/a	1/128	1/128	Reserved
0000 0010	n/a	2/128	2/128	Reserved
0000 0011	n/a	3/128	Reserved	Reserved
0000 0100	n/a	4/128	4/128	Reserved
0000 0101	n/a	5/128	Reserved	Reserved
0000 0110	n/a	6/128	Reserved	Reserved
0000 0111	n/a	7/128	Reserved	Reserved
0000 1000	n/a	8/128	8/128	Reserved
0000 1001	n/a	9/128	Reserved	Reserved
0000 1010	n/a	10/128	Reserved	Reserved
0000 1011	n/a	11/128	Reserved	Reserved
0000 1100	n/a	12/128	Reserved	Reserved
0000 1101	n/a	13/128	Reserved	Reserved
0000 1110	n/a	14/128	Reserved	Reserved
0000 1111	n/a	15/128	Reserved	Reserved
0001 0000	n/a	16/128	16/128	Reserved
0001 0001	n/a	17/128	Reserved	Reserved
0001 0010	n/a	18/128	Reserved	Reserved
0001 0011	n/a	19/128	Reserved	Reserved
0001 0100	n/a	20/128	Reserved	Reserved
0001 0101	n/a	21/128	Reserved	Reserved
0001 0110	n/a	22/128	Reserved	Reserved
0001 0111	n/a	23/128	Reserved	Reserved
0001 1000	n/a	24/128	Reserved	Reserved
0001 1001	n/a	25/128	Reserved	Reserved
0001 1010	n/a	26/128	Reserved	Reserved
0001 1011	n/a	27/128	Reserved	Reserved
0001 1100	n/a	28/128	Reserved	Reserved
0001 1101	n/a	29/128	Reserved	Reserved
0001 1110	n/a	30/128	Reserved	Reserved
0001 1111	n/a	31/128	Reserved	Reserved
0010 0000	n/a	32/128	32/128	Reserved
0010 0001 ~ 0011 1111	n/a	33/128 ~ 63/128	Reserved	Reserved
0100 0000	n/a	64/128	64/128	Reserved
0100 0001 ~ 0111 1111	n/a	65/128 ~ 127/128	Reserved	Reserved
1000 0000	n/a	128/128	128/128	Reserved

10. レジスタ

REG[094Eh] View Resizer Operation Setting Register 1								Read/Write
Default = 0000h								
15	14	13	12	n/a	11	10	9	8
7	6	5	4	n/a	Reserved		ビューリサイザースケーリングモード ビット1-0	

bits 3-2

Reserved
デフォルト値は0です。

bits 1-0

ビューリサイザースケーリングモードビット[1:0]
これらのビットはビューリサイザースケーリングモードを指定します。倍率によっては使用できないスケールモードがあります。スケールモードを選択する前にビューリサイザースケールモードビット(REG[094Ch]ビット15~8)もしくはビューリサイザースケールモードビット([094Ch]ビット7~0)またはその両方を選択可能な倍率に設定してください。選択できない倍率(予約またはn/aと記載の値)を用いてスケールモードをイネーブルすると、ビューリサイザースケールモードが使用できないことがあります。

表10.67 ビューリサイザースケールモード選択

REG[094Eh]ビット1~0	ビューリサイザースケールモード
00	リサイザースケールなし
01	垂直 / 水平の縮小
10	垂直 : 縮小、水平 : 平均
11	Reserved

キャプチャ（符号化）リサイザレジスタ

REG[0960h] Capture Resizer Control Register							Read/Write							
Default = 0000h														
n/a														
15	14	13	12	11	10	9	8							
キャプチャーリサイザソフトウェアリセット (WO)	n/a				キャプチャーリサイザ独立水平 / 垂直スケーリングイネーブル	キャプチャーリサイザレジスタ更新VSYNCイネーブル	キャプチャーリサイザイネーブル							
7	6	5	4	3	2	1	0							

- bit 7 キャプチャーリサイザソフトウェアリセット（書き込み専用）
このビットに0を書き込んでもハードウェアには何の影響もありません。
REG[0940h]ビット0またはREG[0960h]ビット0に1を書き込んでリサイザを有効にした状態でこのビットに1を書き込むと、キャプチャーリサイザロジックがリセットされます。
- bit 2 キャプチャーリサイザ独立水平 / 垂直スケーリングイネーブル
このビットが0のとき、水平倍率と垂直倍率は同じです。水平倍率と垂直倍率はともにREG[094Ch]ビット7～0によって制御されます。
このビットが1のとき、水平倍率と垂直倍率が独立して選択できます。水平倍率はREG[094Ch]ビット7～0によって、また垂直倍率はREG[094Ch]ビット15～8によって制御されます。
- bit 1 キャプチャーリサイザレジスタ更新VSYNCイネーブル
このビットが0のとき、キャプチャーリサイザは新しいレジスタ値をただちに使用します。
このビットが1のとき、キャプチャーリサイザは次のVSYNCが発生するまで前のレジスタ値を使用します。
- bit 0 キャプチャーリサイザイネーブル
このビットはキャプチャーリサイザロジックを制御します。
このビットが0のとき、キャプチャーリサイザロジックはディセーブルされません。
このビットが1のとき、キャプチャーリサイザロジックはイネーブルされません。

注

このビットおよびビューリサイザイネーブルビット（REG[0940h]ビット0）がともに0に設定されているとき、リサイザブロックへのクロック供給は自動的に停止します。

10. レジスタ

REG[0964h] Capture Resizer Start X Position Register							Read/Write	
Default = 0000h								
n/a			キャプチャリサイザ-開始X位置ビット10-8					
15	14	13	12	11	10	9	8	
キャプチャリサイザ-開始X位置ビット7-0								
7	6	5	4	3	2	1	0	

bits 10-0

キャプチャリサイザ-開始X位置ビット[10:0]

これらのビットはキャプチャリサイザ-のX開始位置を決定します。値のプログラミングに際しては401ページの15.「リサイザ-」の制約事項に従ってください。

JPEG機能(またはJPEGバイパス)を使用するときは、画像サイズに関する以下の制約に従ってください。

表10.68 キャプチャリサイザ-に関する制約

YUVのフォーマット	最小水平解像度	最小垂直解像度	最小サイズ
YUV 4:4:4	1の整数倍(ピクセル)	1の整数倍(ライン)	8ピクセル×8ライン
YUV 4:2:2	2の整数倍(ピクセル)	1の整数倍(ライン)	16ピクセル×8ライン
YUV 4:2:0	2の整数倍(ピクセル)	2の整数倍(ライン)	16ピクセル×16ライン
YUV 4:1:1	4の整数倍(ピクセル)	1の整数倍(ライン)	32ピクセル×8ライン

REG[0966h] Capture Resizer Start Y Position Register									
Default = 0000h									
Read/Write									
n/a					キャプチャリサイザ-開始Y位置ビット10~8				
15	14	13	12	11	10	9	8		
キャプチャリサイザ-開始Y位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 10-0

キャプチャリサイザ-開始Y位置ビット[10:0]
 これらのビットはキャプチャリサイザ-のY開始位置を決定します。値のプログラミングに際しては401ページの15.「リサイザ-」の制約事項に従ってください。

REG[0968h] Capture Resizer End X Position Register									
Default = 027Fh									
Read/Write									
n/a					キャプチャリサイザ-終了X位置ビット10~8				
15	14	13	12	11	10	9	8		
キャプチャリサイザ-終了X位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 10-0

キャプチャリサイザ-終了X位置ビット[10:0]
 これらのビットはキャプチャリサイザ-のX終了位置を決定します。値のプログラミングに際しては401ページの15.「リサイザ-」の制約事項に従ってください。

REG[096Ah] Capture Resizer End Y Position Register									
Default = 01DFh									
Read/Write									
n/a					キャプチャリサイザ-終了Y位置ビット10~8				
15	14	13	12	11	10	9	8		
キャプチャリサイザ-終了Y位置ビット7~0									
7	6	5	4	3	2	1	0		

bits 10-0

キャプチャリサイザ-終了Y位置ビット[10:0]
 これらのビットはキャプチャリサイザ-のY終了位置を決定します。値のプログラミングに際しては401ページの15.「リサイザ-」の制約事項に従ってください。

10. レジスタ

REG[096Ch] Capture Resizer Operation Setting Register 0								Read/Write
Default = 8080h								
キャプチャリサイザ-垂直倍率ビット7~0								
15	14	13	12	11	10	9	8	
キャプチャリサイザ-水平倍率ビット7~0								
7	6	5	4	3	2	1	0	

bits 15-8

キャプチャリサイザ-垂直倍率ビット[7:0]

これらのビットは、REG[0960h]ビット2 = 1のときにキャプチャリサイザ-の垂直倍率を決定します。スケーリングモードによっては使用できない倍率があります (REG[096Eh]を参照)。

表10.69 キャプチャリサイザ-垂直倍率選択

REG[096Ch]ビット15~8	キャプチャリサイザ-垂直倍率			
	REG[096Eh]ビット 1~0=00	REG[096Eh]ビット 1~0=01	REG[096Eh]ビット 1~0=10	REG[096Eh]ビット 1~0=11
0000 0000	Reserved	Reserved	Reserved	Reserved
0000 0001	n/a	1/128	1/128	Reserved
0000 0010	n/a	2/128	2/128	Reserved
0000 0011	n/a	3/128	3/128	Reserved
0000 0100	n/a	4/128	4/128	Reserved
0000 0101	n/a	5/128	5/128	Reserved
0000 0110	n/a	6/128	6/128	Reserved
0000 0111	n/a	7/128	7/128	Reserved
0000 1000	n/a	8/128	8/128	Reserved
0000 1001	n/a	9/128	9/128	Reserved
0000 1010	n/a	10/128	10/128	Reserved
0000 1011	n/a	11/128	11/128	Reserved
0000 1100	n/a	12/128	12/128	Reserved
0000 1101	n/a	13/128	13/128	Reserved
0000 1110	n/a	14/128	14/128	Reserved
0000 1111	n/a	15/128	15/128	Reserved
0001 0000	n/a	16/128	16/128	Reserved
0001 0001	n/a	17/128	17/128	Reserved
0001 0010	n/a	18/128	18/128	Reserved
0001 0011	n/a	19/128	19/128	Reserved
0001 0100	n/a	20/128	20/128	Reserved
0001 0101	n/a	21/128	21/128	Reserved
0001 0110	n/a	22/128	22/128	Reserved
0001 0111	n/a	23/128	23/128	Reserved
0001 1000	n/a	24/128	24/128	Reserved
0001 1001	n/a	25/128	25/128	Reserved
0001 1010	n/a	26/128	26/128	Reserved
0001 1011	n/a	27/128	27/128	Reserved
0001 1100	n/a	28/128	28/128	Reserved
0001 1101	n/a	29/128	29/128	Reserved
0001 1110	n/a	30/128	30/128	Reserved
0001 1111	n/a	31/128	31/128	Reserved
0010 0000	n/a	32/128	32/128	Reserved
0010 0001 ~ 0011 1111	n/a	33/128 ~ 63/128	33/128 ~ 63/128	Reserved
0100 0000	n/a	64/128	64/128	Reserved
0100 0001 ~ 0111 1111	n/a	65/128 ~ 127/128	65/128 ~ 127/128	Reserved
1000 0000	n/a	128/128	128/128	Reserved

bits 7-0

キャプチャリサイザー水平倍率ビット[7:0]

これらのビットは、REG[0960h]ビット2=1のときにキャプチャリサイザーの水平倍率を決定します。REG[0960h]ビット2=0のときは水平倍率と垂直倍率の両方を指定します。スケーリングモードによっては使用できない倍率があります (REG[096Eh]を参照)。

表10.70 キャプチャリサイザー水平倍率選択

REG[096Ch]ビット7~0	キャプチャリサイザー水平倍率			
	REG[096Eh]ビット 1~0=00	REG[096Eh]ビット 1~0=01	REG[096Eh]ビット 1~0=10	REG[096Eh]ビット 1~0=11
0000 0000	Reserved	Reserved	Reserved	Reserved
0000 0001	n/a	1/128	1/128	Reserved
0000 0010	n/a	2/128	2/128	Reserved
0000 0011	n/a	3/128	Reserved	Reserved
0000 0100	n/a	4/128	4/128	Reserved
0000 0101	n/a	5/128	Reserved	Reserved
0000 0110	n/a	6/128	Reserved	Reserved
0000 0111	n/a	7/128	Reserved	Reserved
0000 1000	n/a	8/128	8/128	Reserved
0000 1001	n/a	9/128	Reserved	Reserved
0000 1010	n/a	10/128	Reserved	Reserved
0000 1011	n/a	11/128	Reserved	Reserved
0000 1100	n/a	12/128	Reserved	Reserved
0000 1101	n/a	13/128	Reserved	Reserved
0000 1110	n/a	14/128	Reserved	Reserved
0000 1111	n/a	15/128	Reserved	Reserved
0001 0000	n/a	16/128	16/128	Reserved
0001 0001	n/a	17/128	Reserved	Reserved
0001 0010	n/a	18/128	Reserved	Reserved
0001 0011	n/a	19/128	Reserved	Reserved
0001 0100	n/a	20/128	Reserved	Reserved
0001 0101	n/a	21/128	Reserved	Reserved
0001 0110	n/a	22/128	Reserved	Reserved
0001 0111	n/a	23/128	Reserved	Reserved
0001 1000	n/a	24/128	Reserved	Reserved
0001 1001	n/a	25/128	Reserved	Reserved
0001 1010	n/a	26/128	Reserved	Reserved
0001 1011	n/a	27/128	Reserved	Reserved
0001 1100	n/a	28/128	Reserved	Reserved
0001 1101	n/a	29/128	Reserved	Reserved
0001 1110	n/a	30/128	Reserved	Reserved
0001 1111	n/a	31/128	Reserved	Reserved
0010 0000	n/a	32/128	32/128	Reserved
0010 0001 ~ 0011 1111	n/a	33/128 ~ 63/128	Reserved	Reserved
0100 0000	n/a	64/128	64/128	Reserved
0100 0001 ~ 0111 1111	n/a	65/128 ~ 127/128	Reserved	Reserved
1000 0000	n/a	128/128	128/128	Reserved

10. レジスタ

REG[096Eh] Capture Resizer Operation Setting Register 1								Read/Write
Default = 0000h								
15	14	13	12	n/a	11	10	9	8
7	6	5	4	n/a	Reserved		キャプチャリサイザースケーリングモード ビット1~0	

bits 3-2

Reserved
デフォルト値は0です。

bits 1-0

キャプチャリサイザースケーリングモードビット[1:0]
これらのビットはキャプチャリサイザースケーリングモードを決定します。倍率によっては使用できないスケールモードがあります。スケールモードを選択する前にキャプチャリサイザースケーリングモードビット(REG[096Ch]ビット15~8)もしくはキャプチャリサイザースケーリングモードビット(REG[096Ch]ビット7~0)またはその両方を選択可能な倍率に設定してください。選択できない倍率(予約またはn/aと記載の値)を用いてスケールモードをイネーブルすると、キャプチャリサイザースケーリングモードが使用できないことがあります。

表10.71 キャプチャリサイザースケーリングモード選択

REG[096Eh]ビット1~0	キャプチャリサイザースケーリングモード
00	リサイザースケーリングなし
01	垂直 / 水平の縮小
10	垂直 : 縮小、水平 : 平均
11	Reserved

10.4.15 JPEGモジュールレジスタ

REG[0980h] JPEG Control Register								Read/Write
Default = 0000h								
Reserved							JPEG 180°回転 イネーブル	
15	14	13	12	11	10	9	8	
JPEGモジュール SWリセット (WO)	Reserved		YUVデータオフ セット選択	JPEGデータ制御ビット2~0			JPEGモジュール イネーブル	
7	6	5	4	3	2	1	0	

bits 15-12

Reserved
デフォルト値は0です。

bit 8

JPEG 180°回転イネーブル
このビットはカメラデータの符号化に対してのみ使用します。このビットはJPEG符号化データの回転モードを選択します。
このビットが0のとき、JPEG符号化データは通常（ノーマル）です。
このビットが1のとき、JPEG符号化データは180°回転されます。

注

画像寸法はMCUサイズの整数倍にしてください。

bit 7

JPEGモジュールSWリセット（書き込み専用）
このビットは内部のJPEGモジュール回路のソフトウェアリセットを開始します。JPEG符号化処理を行う前にこのビットを使ってJPEGモジュールをリセットしてください。

このビットは内部のJPEGモジュール回路をリセットするだけであり、JPEGコーデックレジスタ（REG[1000h]～REG[17A2h]）、JPEGコーデック、またはJPEGモジュールレジスタ（REG[0980h]～REG[09E0h]）に対して何の影響も与えません。ただし、以下は例外です。

REG[0984h]はビット14、5、および1を除いてリセットされます。
REG[09B4h]はリセットされます。
REG[09B6h]はリセットされます。
REG[09ACh]はリセットされます。
REG[09AAh]はリセットされます。
REG[09A8h]はリセットされます。
REG[09A2h]はリセットされます。

JPEG コーデックをリセットするには JPEG コーデックソフトウェアリセットビット（REG[1002h]ビット7）を1に設定します。
このビットに1を書き込むと、JPEGモジュールがリセットされます。
このビットに0を書き込んでもハードウェアには何の影響もありません。

bit 6

Reserved
デフォルト値は0です。

bit 5

Reserved
デフォルト値は0です。

10. レジスタ

bit 4

YUVデータオフセット選択

YUVキャプチャ、YUV表示、ホスト符号化、ホスト復号化のモード(REG[0980h] ビット3~1=001、011、100、101、または111) のときに、このビットはUデータおよびVデータにオフセットを適用するかどうかを指定します。YUVキャプチャモードのとき、このビットはREG[0110h]ビット8とともにYUV出力キャプチャの希望範囲を選択します。

このビットが0のとき、UデータとVデータにオフセットが適用されます (MSB が反転されます)。

このビットが1のとき、UデータとVデータにオフセットは適用されず、変更されません。

表10.72 YUV出力範囲選択 (REG[0980h]ビット3~1=011または111)

カメラインタフェース入力YUVデータ	REG[0110h]ビット8	REG[0980h]ビット4	YUV出力データ範囲
ストレートバイナリ	0	0	0 Y 255 -128 U 127 -128 V 127 または 16 Y 235 -112 Cb 112 -112 Cr 112
		1	0 Y 255 0 U 255 0 V 255 または 16 Y 235 16 Cb 240 16 Cr 240
	1	0	0 Y 255 0 U 255 0 V 255 または 16 Y 235 16 Cb 240 16 Cr 240
		1	0 Y 255 -128 U 127 -128 V 127 または 16 Y 235 -112 Cb 112 -112 Cr 112

表10.72 YUV出力範囲選択 (REG[0980h]ビット3~1 = 011または111)(続き)

カメラインタフェース入力YUVデータ	REG[0110h]ビット8	REG[0980h]ビット4	YUV出力データ範囲
オフセットバイナリ	0	0	0 Y 255 0 U 255 0 V 255 または 16 Y 235 16 Cb 240 16 Cr 240
		1	0 Y 255 -128 U 127 -128 V 127 または 16 Y 235 -112 Cb 112 -112 Cr 112
	1	0	0 Y 255 -128 U 127 -128 V 127 または 16 Y 235 -112 Cb 112 -112 Cr 112
		1	0 Y 255 0 U 255 0 V 255 または 16 Y 235 16 Cb 240 16 Cr 240

10. レジスタ

表10.73 YUV入力範囲選択 (REG[0980h]ビット3~1 = 001または101)

ホストインタフェース入力YUVデータ	REG[0980h]ビット4	YUV入力データ範囲
ストレートバイナリ	0	0 Y 255 -128 U 127 -128 V 127 または 16 Y 235 -112 Cb 112 -112 Cr 112
	1	0 Y 255 0 U 255 0 V 255 または 16 Y 235 16 Cb 240 16 Cr 240
オフセットバイナリ	0	0 Y 255 0 U 255 0 V 255 または 16 Y 235 16 Cb 240 16 Cr 240
	1	0 Y 255 -128 U 127 -128 V 127 または 16 Y 235 -112 Cb 112 -112 Cr 112

bits 3-1

JPEGデータ制御ビット[2:0]

表10.74 JPEGデータモード選択

REG[0980h]ビット3~1	JPEGデータモード	説明
000	JPEG符号化 / 復号化	<p>このモードにおける符号化データの経路は下記のとおりです。</p> <ul style="list-style-type: none"> • カメラインタフェース キャプチャリサイザー JPEG ラインバッファ コーデックコア JPEG FIFO ホストインタフェース • 表示バッファ RGB/YUVコンバータ キャプチャリサイザー JPEGラインバッファ コーデックコア JPEG FIFO ホストインタフェース • ホストインタフェース RGB/YUV コンバータ キャプチャリサイザー JPEGラインバッファ コーデックコア JPEG FIFO ホストインタフェース <p>このモードにおける復号化データの経路は下記のとおりです。</p> <ul style="list-style-type: none"> • ホストインタフェース JPEG FIFO コーデックコア JPEGラインバッファ ビューリサイザー RGB/YUVコンバータ 表示バッファ
001	ホストからのYUVデータ入力 (YUV 4:2:2)	データはJPEGモジュールを経由しません。
010		Reserved
011	ホストへのYUVデータ出力 (YUV 4:2:2)	データはJPEGモジュールを経由しません。
100	ホスト入力 / 出力のJPEG符号化 / 復号化 (YUV 4:2:0またはYUV 4:2:2)	<p>このモードにおける符号化データの経路は下記のとおりです。</p> <ul style="list-style-type: none"> • ホストインタフェース JPEGラインバッファ コーデックコア JPEG FIFO ホストインタフェース <p>このモードにおける復号化データの経路は下記のとおりです。</p> <ul style="list-style-type: none"> • ホストインタフェース JPEG FIFO コーデックコア JPEGラインバッファ ホストインタフェース
101	ホストからのYUVデータ入力 (YUV 4:2:0)	データはJPEGモジュールを経由しません。
110		Reserved
111	ホストへのYUVデータ出力 (YUV 4:2:0)	データはJPEGモジュールを経由しません。

bit 0

JPEGモジュールイネーブル

このビットはJPEGモジュールおよび関連レジスタのイネーブル・ディセーブルを行います。JPEGモジュールがディセーブルされている場合、REG[1000h]~REG[17A2h]にはアクセスしないでください。

このビットが1のときJPEGモジュールはイネーブルされていて、クロックソースが供給されます。

このビットが0のときJPEGモジュールはディセーブルされていて、クロックソースは使用されません。

注

ビューリサイザイネーブルビット (REG[0940h]ビット0) またはキャプチャリサイザイネーブルビット (REG[0960h]ビット0) をディセーブルするときは、先にJPEGモジュールをディセーブルしてください。

10. レジスタ

REG[0982h] JPEG Status Flag Register							Read/Write
Default = 8080h							
Reserved 15	JPEGコーデック ファイル出力状態 (RO) 14	JPEG FIFOスレシヨルド状態ビット1~0 (RO) 13 12		符号化サイズ制限値 超えフラグ 11	JPEG FIFO スレシヨルドトリガ フラグ 10	JPEG FIFOフル フラグ 9	JPEG FIFO エンプティフラグ 8
Reserved 7 6		JPEG復号化完了 フラグ 5	デコードマーカ 読み出しフラグ 4	Reserved 3	JPEGライン バッファオーバ フローフラグ (RO) 2	JPEGコーデック 割り込みフラグ (RO) 1	JPEGライン バッファ割り込み フラグ (RO) 0

- bit 15 Reserved
デフォルト値は1です。
- bit 14 JPEGコーデックファイル出力状態（読み出し専用）
このビットはJPEGコーデックの出力の状態を示します。
このビットが0のとき、JPEGコーデックは符号化データを出力していません。
このビットが1のとき、JPEGコーデックはデータの符号化または符号化データ
の出力を行っているところです。
- bits 13-12 JPEG FIFOスレシヨルド状態ビット[1:0]（読み出し専用）
これらのビットはJPEG FIFOに現在格納されているデータ量を示します。JPEG
FIFOサイズの設定についてはJPEG FIFO Sizeレジスタ（REG[09A4h]）の説明を
ご覧ください。

表10.75 JPEG FIFOスレシヨルド状態

REG[0982h]ビット13~12	JPEG FIFOスレシヨルド状態
00	データは存在しない（=エンプティ）
01	4バイトを超えるデータが存在
10	指定FIFOサイズの1/4を超えるデータが存在
11	指定FIFOサイズの1/2を超えるデータが存在

- bit 11 符号化サイズ制限値超えフラグ
Encode Size Limitレジスタ（REG[09B0h]とREG[09B2h]）で指定する符号化サイ
ズの制限値をJPEG圧縮データのサイズが超えたときに、このフラグがアサート
されます。このフラグはJPEG符号化サイズ制限値超え割り込みイネーブルビッ
トによってマスクされ、REG[0986h]ビット11 = 1の場合にのみ使用できます。

読み出し：
このビットが0のとき、制限値超えは発生していません。
このビットが1のとき、符号化サイズの制限値超えが発生しています。

書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、符号化サイズ制限値超えフラグはクリアされま
す。

注
このビットの使い方に関する詳細は、374ページの14.1.2「JPEGコーデックの
割り込み」をご覧ください。

-
- bit 10
- JPEG FIFOスレシヨルドトリガフラグ
JPEG FIFO内のデータ量がJPEG FIFOトリガスレシヨルドビット (REG[09A0h]ビット5~4)で指定する条件を満たすときに、このフラグがアサートされます。このフラグはJPEG FIFOスレシヨルドトリガ割り込みイネーブルビットによってマスクされ、REG[0986h]ビット10 = 1の場合にのみ使用できます。
- 読み出し：
このビットが0のとき、JPEG FIFO内のデータ量はJPEG FIFOトリガスレシヨルド未満です。
このビットが1のとき、JPEG FIFO内のデータ量はJPEG FIFOトリガスレシヨルドに達しています。
- 書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、JPEG FIFOスレシヨルドトリガフラグはクリアされます。
- 注**
このビットの使い方に関する詳細は、374ページの14.1.2「JPEGコーデックの割り込み」をご覧ください。
- bit 9
- JPEG FIFOフルフラグ
JPEG FIFOがフルのときにこのフラグがアサートされます。このフラグはJPEG FIFOフル割り込みイネーブルビットによってマスクされ、REG[0986h]ビット9 = 1の場合にのみ使用できます。
- 読み出し：
このビットが0のとき、JPEG FIFOはフルではありません。
このビットが1のとき、JPEG FIFOはフルです。
- 書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、JPEG FIFOフルフラグはクリアされます。
- 注**
このビットの使い方に関する詳細は、374ページの14.1.2「JPEGコーデックの割り込み」をご覧ください。
-

10. レジスタ

- bit 8 JPEG FIFOエンプティフラグ
JPEG FIFOがエンプティのときにこのフラグがアサートされます。このフラグはJPEG FIFOエンプティ割り込みイネーブルビットによってマスクされ、REG[0986h]ビット8 = 1の場合にのみ使用できます。
- 読み出し：
このビットが0のとき、JPEG FIFOはエンプティではありません。
このビットが1のとき、JPEG FIFOはエンプティです。
- 書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、JPEG FIFOエンプティフラグはクリアされます。
- 注**
このビットの使い方に関する詳細は、374ページの14.1.2「JPEGコーデックの割り込み」をご覧ください。
- bit 7 Reserved
デフォルト値は1です。
- bit 6 Reserved
デフォルト値は0です。
- bit 5 JPEG復号化完了フラグ
JPEGの復号化処理が完了したときにこのフラグがアサートされます。このフラグはJPEG復号化完了割り込みイネーブルビットによってマスクされ、REG[0986h]ビット5 = 1の場合にのみ使用できます。
- 読み出し：
このビットが0のとき、JPEG復号化処理は未完了です。
このビットが1のとき、JPEG復号化処理は完了しています。
- 書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、このビットはクリアされます。
- 注**
エラー検出がイネーブルされていて (REG[101Ch]ビット1 ~ 0 = 01) かつJPEG画像の復号化中にエラーが検出された場合、復号化処理が完了してもこの状態ビットには1が設定されません。
- 注**
このビットの使い方に関する詳細は、374ページの14.1.2「JPEGコーデックの割り込み」をご覧ください。

-
- bit 4 デコードマーカ読み出しフラグ
JPEGの復合化処理中に、復号化されるマーカ情報がJPEGファイルから読み出されたときにこのフラグがアサートされます。このフラグはJPEGデコードマーカ読み出し割り込みイネーブルビットによってマスクされ、REG[0986h]ビット4 = 1の場合にのみ使用できます。
このビットが0のとき、JPEGデコードマーカは読み出されていません。
このビットが1のとき、JPEGデコードマーカは読み出されています。
- このフラグをクリアするには、JPEGデコードマーカ読み出し割り込みイネーブルビットをディセーブルします (REG[0986h]ビット4 = 0)
- 注**
このビットの使い方に関する詳細は、374ページの14.1.2「JPEGコーデックの割り込み」をご覧ください。
- bit 3 Reserved
デフォルト値は0です。
- bit 2 JPEGラインバッファオーバーフローフラグ (読み出し専用)
JPEGラインバッファでオーバーフローが発生するとこのフラグがアサートされます。このフラグはJPEGラインバッファオーバーフロー割り込みイネーブルビットによってマスクされ、REG[0986h]ビット2 = 1の場合にのみ使用できます。
このビットが0のとき、JPEGラインバッファのオーバーフローは発生していません。
このビットが1のとき、JPEGラインバッファのオーバーフローが発生しています。
- このフラグをクリアするには、JPEGソフトウェアリセット (REG[0980h]ビット7 = 1) を実行します。
- 注**
このビットの使い方に関する詳細は、374ページの14.1.2「JPEGコーデックの割り込み」をご覧ください。
- bit 1 JPEGコーデック割り込みフラグ (読み出し専用)
JPEGコーデックが割り込みを生成したときにこのフラグがアサートされます。このフラグはJPEGコーデック割り込みイネーブルビットによってマスクされ、REG[0986h]ビット1 = 1の場合にのみ使用できます。
このビットが0のとき、JPEGコーデックは割り込みを生成していません。
このビットが1のとき、JPEGコーデックは割り込みを生成しています。
- このフラグをクリアするには、JPEG動作状態ビット (REG[1004h]ビット0) を読み出します。
- 注**
このビットの使い方に関する詳細は、374ページの14.1.2「JPEGコーデックの割り込み」をご覧ください。

10. レジスタ

bit 0

JPEGラインバッファ割り込みフラグ（読み出し専用）

このビットは、YUVキャプチャモードまたは表示モードが選択されている（REG[0980h]ビット3～1 000）ときにのみ有効です。JPEGラインバッファ割り込みがREG[09C0h]において発生し、かつそれが割り込み処理のあるYUVデータ転送に使用されるときに、このビットが設定されます。このフラグはJPEGラインバッファ割り込みイネーブルビットによってマスクされ、REG[0986h]ビット0 = 1 の場合にのみ使用できます。JPEGラインバッファ割り込み要求がREG[09C0h]においてすべてクリアされると、このビットがクリアされます。

このビットが0のとき、JPEGラインバッファは割り込みを生成していません。
このビットが1のとき、JPEGラインバッファは割り込みを生成しています。

REG[0984h] JPEG Raw Status Flag Register							Read Only
Default = 8180h							
Reserved 15	JPEGコーデック ファイル出力状態 (RO) 14	JPEG FIFOスレシヨルド状態ビット1~0 (RO) 13 12		未処理符号化サイズ 制限値超えフラグ (RO) 11	未処理JPEG FIFO スレシヨルド トリガフラグ (RO) 10	未処理JPEG FIFO フルフラグ (RO) 9	未処理JPEG FIFO エンプティフラグ (RO) 8
Reserved 7 6		未処理JPEG復号化 完了フラグ (RO) 5	未処理デコード マーカ読み出し フラグ (RO) 4	Reserved 3	未処理JPEGライン バッファオーバー フローフラグ (RO) 2	未処理JPEG コーデック割り込み フラグ (RO) 1	未処理JPEGライン バッファ割り込み フラグ 0

bit 15

Reserved

デフォルト値は1です。

bit 14

JPEGコーデックファイル出力状態（読み出し専用）

このビットはJPEGコーデックの出力の状態を示します。

このビットが0のとき、JPEGコーデックは符号化データを出力していません。

このビットが1のとき、JPEGコーデックはデータの符号化または符号化データの出力を行っているところです。

bits 13-12

JPEG FIFOスレシヨルド状態ビット[1:0]（読み出し専用）

これらのビットはJPEG FIFOに現在格納されているデータ量を示します。JPEG FIFOサイズの設定についてはJPEG FIFO Sizeレジスタ（REG[09A4h]）の説明をご覧ください。

表10.76 JPEG FIFOスレシヨルド状態

REG[0984h]ビット13~12	JPEG FIFOスレシヨルド状態
00	データは存在しない (= エンプティ)
01	4バイトを超えるデータが存在
10	指定FIFOサイズの1/4を超えるデータが存在
11	指定FIFOサイズの1/2を超えるデータが存在

- bit 11 未処理符号化サイズ制限値超えフラグ（読み出し専用）
 Encode Size Limitレジスタ（REG[09B0h]とREG[09B2h]）で指定する符号化サイズの制限値をJPEG符号化データのサイズが超えたときに、このフラグがアサートされます。このフラグはJPEG符号化サイズ制限値超え割り込みイネーブルビット（REG[0986h]ビット11）の値の影響を受けません。
 このビットが0のとき、制限値超えは発生していません。
 このビットが1のとき、符号化サイズの制限値超えが発生しています。
 このフラグをクリアするには、符号化サイズ制限値超えのアサート条件が解消したときに符号化サイズ制限値超えフラグ（REG[0982h]ビット11）に1を書き込みます（アサート条件を解消するには、符号化サイズ制限値/REG[09B0h]とREG[09B2h] > 符号化サイズ結果/REG[09B4h]とREG[09B6h]に設定するか、またはREG[0980h]ビット7に1を設定することによってJPEGモジュールをリセットします）。
- bit 10 未処理JPEG FIFOスレシヨルドトリガフラグ（読み出し専用）
 JPEG FIFO内のデータ量がJPEG FIFOトリガスレシヨルドビット（REG[09A0h]ビット5～4）で指定する条件を満たすときに、このフラグがアサートされます。このフラグはJPEG FIFOスレシヨルドトリガ割り込みイネーブルビット（REG[0986h]ビット10）の値に影響を受けません。
 このビットが0のとき、JPEG FIFO内のデータ量はJPEG FIFOトリガスレシヨルド未満です。
 このビットが1のとき、JPEG FIFO内のデータ量はJPEG FIFOトリガスレシヨルドに達しています。
 このフラグをクリアするには、JPEG FIFOスレシヨルドトリガのアサート条件が解消したときにJPEG FIFOスレシヨルドトリガフラグ（REG[0982h]ビット10）に1を書き込みます（アサート条件を解消するには、REG[09A0h]ビット5～4においてJPEG FIFOのスレシヨルドを上げるか、指定のスレシヨルドを下回るまでJPEG FIFOのデータ量を低減するか、またはREG[0980h]ビット7に1を設定することによってJPEGモジュールをリセットします）。
- bit 9 未処理JPEG FIFOフルフラグ（読み出し専用）
 JPEG FIFOがフルのときにこのフラグがアサートされます。このフラグはJPEG FIFOフル割り込みイネーブルビット（REG[0986h]ビット9）の値に影響を受けません。
 このビットが0のとき、JPEG FIFOはフルではありません。
 このビットが1のとき、JPEG FIFOはフルです。
 このフラグをクリアするには、JPEG FIFOがフルでなくなったとき、またはJPEGモジュールをリセット（REG[0980h]ビット7に1を設定）したあとに、JPEG FIFOフルフラグ（REG[0982h]ビット9）に1を書き込みます。
- bit 8 未処理JPEG FIFOエンプティフラグ（読み出し専用）
 JPEG FIFOがエンプティのときにこのフラグがアサートされます。このフラグはJPEG FIFOエンプティ割り込みイネーブルビット（REG[0986h]ビット8）の値に影響を受けません。
 このビットが0のとき、JPEG FIFOはエンプティではありません。
 このビットが1のとき、JPEG FIFOはエンプティです。
 このフラグをクリアするには、JPEG FIFOがエンプティでなくなったとき、またはJPEGモジュールをリセット（REG[0980h]ビット7に1を設定）したあとに、JPEG FIFOエンプティフラグ（REG[0982h]ビット8）に1を書き込みます。

注

このビットはJPEG FIFOクリアビット（REG[09A0h]ビット2）の影響を受けません。

10. レジスタ

bit 7	Reserved デフォルト値は1です。
bit 6	Reserved デフォルト値は0です。
bit 5	未処理JPEG復号化完了フラグ（読み出し専用） JPEGの復号化処理が完了したときにこのフラグがアサートされます。このフラグはJPEG復号化完了割り込みイネーブルビット（REG[0986h]ビット5）の値に影響を受けません。 このビットが0のとき、JPEG復号化処理は未完了です。 このビットが1のとき、JPEG復号化処理は完了しています。 このフラグをクリアするには、JPEG復号化完了フラグに1を書き込みます（REG[0982h]ビット5 = 1）。
	注 エラー検出がイネーブルされていて（REG[101Ch]ビット1 ~ 0 = 01）かつJPEG画像の復号化中にエラーが検出された場合、復号化処理が完了してもこの状態ビットは設定されません。
bit 4	未処理デコードマーカ読み出しフラグ（読み出し専用） JPEGの復号化処理中に、復号化されるマーカ情報がJPEGファイルから読み出され、かつREG[0986h]ビット4 = 1の場合にこのフラグがアサートされます。 このビットが0のとき、JPEGデコードマーカは読み出されていません。 このビットが1のとき、JPEGデコードマーカは読み出されています。 このフラグをクリアするには、JPEGデコードマーカ読み出し割り込みイネーブルビットをディセーブル（REG[0986h]ビット4 = 0）します。
bit 3	Reserved デフォルト値は0です。
bit 2	未処理JPEGラインバッファオーバーフローフラグ（読み出し専用） JPEGラインバッファでオーバーフローが発生するとこのフラグがアサートされます。このフラグはJPEGラインバッファオーバーフロー割り込みイネーブルビット（REG[0986h]ビット2）の値に影響を受けません。 このビットが0のとき、JPEGラインバッファのオーバーフローは発生していません。 このビットが1のとき、JPEGラインバッファのオーバーフローが発生しています。 このフラグをクリアするには、JPEGのソフトウェアリセット（REG[0980h]ビット7 = 1）を実行します。
bit 1	未処理JPEGコーデック割り込みフラグ（読み出し専用） JPEGコーデックによって割り込みが生成されたときにこのフラグがアサートされます。このフラグはJPEGコーデック割り込みイネーブルビット（REG[0986h]ビット1）の値に影響を受けません。 このビットが0のとき、割り込みは生成されていません。 このビットが1のとき、JPEGコーデックは割り込みを生成しています。 このフラグをクリアするには、JPEG動作状態ビット（REG[1004h]ビット0）を読み出します。

bit 0 未処理JPEGラインバッファ割り込みフラグ
このビットは、YUVキャプチャモードまたは表示モードが選択されている (REG[0980h]ビット3~1 000) ときにのみ有効です。このフラグはJPEGラインバッファ割り込みイネーブルビット (REG[0986h]ビット0) の値に影響を受けません。このビットはREG[09C0h]のJPEGラインバッファ割り込みが発行されたときに設定され、REG[09C0h]のJPEGラインバッファ割り込み要求がすべてクリアされたときにクリアされます。

このビットが0のとき、JPEGラインバッファは割り込みを生成していません。
このビットが1のとき、JPEGラインバッファは割り込みを生成しています。

REG[0986h] JPEG Interrupt Control Register								Read/Write	
Default = 0000h									
Reserved				符号化サイズ制限値 超え割り込み イネーブル	JPEG FIFO スレシヨルドトリガ 割り込みイネーブル	JPEG FIFOフル 割り込みイネーブル	JPEG FIFO エンプティ割り込み イネーブル		
15	14	13	12	11	10	9	8		
Reserved		JPEG復号化完了 割り込みイネーブル	デコードマーカ 読み出し割り込み イネーブル	Reserved	JPEGライン バッファオーバー フロー割り込み イネーブル	JPEGコーデック 割り込みイネーブル	JPEGライン バッファ割り込み イネーブル		
7	6	5	4	3	2	1	0		

bits 15-12 Reserved
デフォルト値は0です。

bit 11 符号化サイズ制限値超え割り込みイネーブル
このビットは符号化サイズ制限値超え割り込みを制御します。この割り込みの状態は符号化サイズ制限値超えフラグ (REG[0982h]ビット11) によって知ることができます。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

bit 10 JPEG FIFOスレシヨルドトリガ割り込みイネーブル
このビットはJPEG FIFOスレシヨルドトリガ割り込みを制御します。この割り込みの状態はJPEG FIFOスレシヨルドトリガフラグ (REG[0982h]ビット10) によって知ることができます。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

bit 9 JPEG FIFOフル割り込みイネーブル
このビットはJPEG FIFOフル割り込みを制御します。この割り込みの状態はJPEG FIFOフルフラグ (REG[0982h]ビット9) によって知ることができます。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

bit 8 JPEG FIFOエンプティ割り込みイネーブル
JPEG FIFOエンプティ割り込みを制御します。この割り込みの状態はJPEG FIFOエンプティフラグ (REG[0982h]ビット8) によって知ることができます。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

bit 7 Reserved
デフォルト値は0です。

bit 6 Reserved
デフォルト値は0です。

10. レジスタ

bit 5	<p>JPEG復号化完了割り込みイネーブル このビットはJPEG復号化完了割り込みを制御します。この割り込みの状態はJPEG復号化完了フラグ (REG[0982h]ビット5) によって知ることができます。 このビットが0のとき、この割り込みはディセーブルされます。 このビットが1のとき、この割り込みはイネーブルされます。</p>
bit 4	<p>デコードマーカ読み出し割り込みイネーブル このビットはデコードマーカ読み出し割り込みを制御します。この割り込みの状態はデコードマーカ読み出しフラグ (REG[0982h]ビット4) によって知ることができます。 このビットが0のとき、この割り込みはディセーブルされます。 このビットが1のとき、この割り込みはイネーブルされます。</p>
bit 3	<p>Reserved デフォルト値は0です。</p>
bit 2	<p>JPEGラインバッファオーバーフロー割り込みイネーブル このビットはJPEGラインバッファオーバーフロー割り込みを制御します。この割り込みの状態はJPEGラインバッファオーバーフローフラグ (REG[0982h]ビット2) によって知ることができます。 このビットが0のとき、この割り込みはディセーブルされます。 このビットが1のとき、この割り込みはイネーブルされます。</p>
bit 1	<p>JPEGコーデック割り込みイネーブル このビットはJPEGコーデック割り込みを制御します。この割り込みの状態はJPEGコーデック割り込みフラグ (REG[0982h]ビット1) によって知ることができます。 このビットが0のとき、この割り込みはディセーブルされます。 このビットが1のとき、この割り込みはイネーブルされます。</p>
bit 0	<p>JPEGラインバッファ割り込みイネーブル このビットはJPEGラインバッファ割り込みを制御します。この割り込みの状態はJPEGラインバッファ割り込みフラグ (REG[0982h]ビット0) によって知ることができます。 このビットが0のとき、この割り込みはディセーブルされます。 このビットが1のとき、この割り込みはイネーブルされます。</p> <p>YUVデータが現在ホストから入力されておらず、後に表示される (REG[0980h]ビット3~1=001または101) 場合、このビットはディセーブルされるべきです。</p>

REG[0988h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

REG[098Ah] JPEG Code Start/Stop Control Register								Write Only
Default = 0000h								
15	14	13	12	11	10	9	8	
n/a							JPEG開始 / 停止制御 (WO)	
7	6	5	4	3	2	1	0	

bit 0

JPEG開始 / 停止制御 (書き込み専用)

このビットは、JPEG符号化モードとYUVデータキャプチャ (JPEGバイパス) モードの両方に対してJPEGコーデックを制御します。このビットはJPEG復号化には使用されません。

JPEG符号化モード :

このビットが0のとき、JPEGコーデックは次のフレームからキャプチャを行います。

このビットが1のとき、JPEGコーデックは次のフレームのキャプチャを開始し、その後、停止します。

YUVデータキャプチャ (JPEGバイパス) モード :

このビットが0のとき、現在フレームの完了時にYUVデータのキャプチャ処理が停止します。

このビットが1のとき、YUVデータのキャプチャ処理は次のフレームから開始されます。

注

連続フレームの符号化は2フレームごとに行われます。

REG[098Ch]からREG[098Eh]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

10. レジスタ

10.4.16 JPEG FIFO設定レジスタ

REG[09A0h] JPEG FIFO Control Register							Read/Write
Default = 0000h							
Reserved							
15	14	13	12	11	10	9	8
Reserved		JPEG FIFOトリガスレシヨルド ビット1~0		Reserved	JPEG FIFOクリア (WO)	JPEG FIFO方向 (RO)	n/a
7	6	5	4	3	2	1	0

bits 15-6 Reserved
 デフォルト値は0です。

bits 5-4 JPEG FIFOトリガスレシヨルドビット[1:0]
 これらのビットは、指定の条件が満たされたときにJPEG FIFOスレシヨルドトリガフラグ (REG[0982h]ビット10) を設定します。

表10.77 JPEG FIFOトリガスレシヨルド選択

REG[09A0h]ビット5~4	JPEG FIFOトリガスレシヨルド
00	トリガしません
01	JPEG FIFO内のデータ量が4バイト以上のときにトリガします
10	JPEG FIFO内のデータ量が指定のJPEG FIFOサイズ (REG[09A4h]ビット3~0) の1/4を超えたときにトリガします
11	JPEG FIFO内のデータ量が指定のJPEG FIFOサイズ (REG[09A4h]ビット3~0) の1/2を超えたときにトリガします

bit 3 Reserved
 デフォルト値は0です。

bit 2

JPEG FIFOクリア（書き込み専用）

このビットはJPEG FIFOをクリアします。JPEG FIFOのクリアを実施する場合にはJPEGモジュールのリセット（REG[0980h]ビット7=1）も合わせて行うことが推奨されます。

このビットに0を書き込んでもハードウェアには何の影響もありません。

このビットに1を書き込むと、JPEG FIFO、JPEG FIFO Read/Write Pointerレジスタ（REG[09AAh]とREG[09ACh]）、およびJPEG FIFO Valid Data Sizeレジスタ（REG[09A8h]）がクリアされます。

JPEG FIFOをクリアするには、以下の手順に従ってください。

1. JPEG FIFOをクリアします（REG[09A0h]ビット2=1）
2. JPEG FIFOが確実にエンプティになるよう、REG[09A6h]をダミーで2回読み出します。
3. JPEGモジュールをリセットします（REG[0980h]ビット7=1）

注

このビットを用いたJPEG FIFOのクリアは、未処理JPEG FIFOエンプティフラグ（REG[0984h]ビット8）に対して何の影響も与えません。

注

このビットはJPEG FIFOのクリアを行うのみであり、JPEGラインバッファはクリアされません。JPEG FIFOの使用については373ページの14.1.1「JPEG FIFO」をご覧ください。

bit 1

JPEG FIFO方向（読み出し専用）

このビットはJPEG FIFOの方向設定を示します。

このビットが0のとき、JPEG FIFOは受信（符号化処理）に設定されています。

このビットが1のとき、JPEG FIFOは送信（復号化処理）に設定されています。

10. レジスタ

REG[09A2h] JPEG FIFO Status Register								Read Only
Default = 8001h								
Reserved								
15	14	13	12	11	10	9	8	
Reserved				JPEG FIFOスレシヨルド状態ビット1~0		JPEG FIFO フル状態	JPEG FIFO エンプティ状態	
7	6	5	4	3	2	1	0	

bits 15-4

Reserved
デフォルト値は0です。

bits 3-2

JPEG FIFOスレシヨルド状態ビット[1:0]（読み出し専用）
これらのビットはJPEG FIFOに格納されるデータ量を示します。

表10.78 JPEG FIFOスレシヨルド状態

REG[09A2h]ビット3~2	JPEG FIFOスレシヨルド状態
00	データは存在しない（=エンプティ）
01	4バイト以上のデータが存在
10	指定のJPEG FIFOサイズの1/4を超えるデータが存在 （REG[09A4h]ビット3~0を参照）
11	指定のJPEG FIFOサイズの1/2を超えるデータが存在 （REG[09A4h]ビット3~0を参照）

bit 1

JPEG FIFOフル状態（読み出し専用）
このビットはJPEG FIFOがフルかどうかを示します。
このビットが0のとき、JPEG FIFOはフルではありません。
このビットが1のとき、JPEG FIFOはフルです。

bit 0

JPEG FIFOエンプティ状態（読み出し専用）
このビットはJPEG FIFOがエンプティかどうかを示します。
このビットが0のとき、JPEG FIFOはエンプティではありません。
このビットが1のとき、JPEG FIFOはエンプティです。

REG[09A4h] JPEG FIFO Size Register								Read/Write
Default = 0000h								
Reserved								
15	14	13	12	11	10	9	8	
Reserved	JPEG FIFOサイズビット6~0							
7	6	5	4	3	2	1	0	

bits 15-7

Reserved
デフォルト値は0です。

bits 6-0

JPEG FIFOサイズビット[6:0]
これらのビットはJPEG FIFOのサイズを4KB単位で決定します。JPEG FIFOの最大サイズは512KBです。これらのビットはJPEG FIFOに対して確保されるメモリ量も指定します。

JPEG FIFOサイズ = (REG[09A4h]ビット6~0 + 1) × 4KB

注

S1D13719のメモリマッピングについては、109ページの8.「メモリマップ」をご覧ください。

REG[09A6h] JPEG FIFO Read/Write Port Register								Read/Write
Default = n/a								
JPEG FIFO読み出し / 書き込みポートビット15~8								
15	14	13	12	11	10	9	8	
JPEG FIFO読み出し / 書き込みポートビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0

JPEG FIFO読み出し / 書き込みポートビット[15:0]

これらのビットはJPEG FIFOに対するアクセスポートを示します。このポートによって指し示される現在のアドレスは、JPEG FIFO Read Pointerレジスタ (REG[09AAh]) およびJPEG FIFO Write Pointerレジスタ (REG[09ACh]) を用いて決定できます。

JPEG符号化が選択されている場合、これらのビットはJPEG FIFO読み出しデータポートとして用いられます。

JPEG復号化が選択されている場合、これらのビットはJPEG FIFO書き込みデータポートとして用いられます。

YUVデータがホストインタフェースに出力される (REG[0980h]ビット3~1 = 011または111) とき、これらのビットはJPEG FIFO読み出しデータポートとして用いられます。

注

JPEG FIFOは32ビット幅であるのに対してホストCPUインタフェースは16ビット幅であるため、このレジスタは偶数回アクセスしてください。

REG[09A8h] JPEG FIFO Valid Data Size Register								Read Only
Default = 0000h								
JPEG FIFO有効データサイズビット15~8								
15	14	13	12	11	10	9	8	
JPEG FIFO有効データサイズビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0

JPEG FIFO有効データサイズビット[15:0] (読み出し専用)

これらのビットはJPEG FIFOから読み出すことのできる有効データサイズを32ビット単位で示します。JPEGファイルサイズが32ビットで割り切れないときは、JPEG FIFOの実際のサイズが表示サイズよりも (1~3バイト) 大きいことがあります。正しいデータサイズを決定するにはEncode Size Resultレジスタ (REG[09B4h]とREG[09B6h]) を参照してください。

注

JPEG FIFOの設定サイズが256KBを超える場合、このレジスタはJPEG FIFOに格納されるデータ量を正しく示しません。

10. レジスタ

REG[09AAh] JPEG FIFO Read Pointer Register								Read Only
Default = 0000h								
JPEG FIFO読み出しポインタビット15~8								
15	14	13	12	11	10	9	8	
JPEG FIFO読み出しポインタビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0 JPEG FIFO読み出しポインタビット[15:0]（読み出し専用）
 これらのビットは評価に使用される参考用データです。これらのビットはJPEG FIFOに対する32ビットの読み出しポインタを示します。JPEG FIFO Read/Write Portレジスタ（REG[09A6h]）の読み出しまたは書き込みが行われると、読み出しポインタが自動的に積算されます。JPEG FIFOの詳細については373ページの14.1.1「JPEG FIFO」をご覧ください。

REG[09ACh] JPEG FIFO Write Pointer Register								Read Only
Default = 0000h								
JPEG FIFO書き込みポインタビット15~8								
15	14	13	12	11	10	9	8	
JPEG FIFO書き込みポインタビット7~0								
7	6	5	4	3	2	1	0	

bits 15-0 JPEG FIFO書き込みポインタビット[15:0]（読み出し専用）
 これらのビットは評価に使用される参考用データです。これらのビットはJPEG FIFOに対する32ビットの書き込みポインタを示します。JPEG FIFO Read/Write Portレジスタ（REG[09A6h]）に対して書き込みが行われると、書き込みポインタが自動的に積算されます。JPEG FIFOの詳細については373ページの14.1.1「JPEG FIFO」をご覧ください。

REG[09AEh] JPEG FIFO Extend Register								Read Only	
Default = 0000h									
n/a						JPEG FIFO有効データサイズビット17~16			
15	14	13	12	11	10	9	8		
n/a		Reserved			n/a		Reserved		
15	14	5	4	15	14	1	0		

bits 9-8 JPEG FIFO有効データサイズビット[17:16]（読み出し専用）
 これらのビットはJPEG FIFO有効データサイズ（REG[09A8h]）を18ビットに拡張します。

bits 5-4 Reserved
 デフォルト値は0です。

bits 1-0 Reserved
 デフォルト値は0です。

REG[09B0h] Encode Size Limit Register 0							
Default = 0000h							
Read/Write							
符号化サイズ制限値ビット15~8							
15	14	13	12	11	10	9	8
符号化サイズ制限値ビット7~0							
7	6	5	4	3	2	1	0

REG[09B2h] Encode Size Limit Register 1							
Default = 0000h							
Read/Write							
n/a							
15	14	13	12	11	10	9	8
符号化サイズ制限値ビット23~16							
7	6	5	4	3	2	1	0

REG[09B2h] bits 7-0

REG[09B0h] bits 15-0

符号化サイズ制限値ビット[23:0]

これらのビットはJPEG符号化処理の場合にのみ必要です。これらのビットは、符号化されるJPEGファイルについてデータサイズの制限値をバイトで指定します。

注

これらのレジスタを0に設定すると、符号化サイズ制限値越えを検出する機能がディセーブルされ、REG[0984h]ビット11は設定されなくなります。

REG[09B4h] Encode Size Result Register 0							
Default = 0000h							
Read Only							
符号化サイズ結果ビット15~8							
15	14	13	12	11	10	9	8
符号化サイズ結果ビット7~0							
7	6	5	4	3	2	1	0

REG[09B6h] Encode Size Result Register 1							
Default = 0000h							
Read Only							
n/a							
15	14	13	12	11	10	9	8
符号化サイズ結果ビット23~16							
7	6	5	4	3	2	1	0

REG[09B6h] bits 7-0

REG[09B4h] bits 15-0

符号化サイズ結果ビット[23:0] (読み出し専用)

これらのビットはJPEG符号化処理の場合にのみ必要です。符号化されるJPEGファイルについてデータサイズの結果をバイトで示します。

10. レジスタ

REG[09B8h] JPEG File Size Register 0								Read/Write
Default = 0000h								
JPEGファイルサイズビット15~8								
15	14	13	12	11	10	9	8	
JPEGファイルサイズビット7~0								
7	6	5	4	3	2	1	0	

REG[09BAh] JPEG File Size Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
JPEGファイルサイズビット23~16								
7	6	5	4	3	2	1	0	

REG[09BAh] bits 7-0

REG[09B8h] bits 15-0

JPEGファイルサイズビット[23:0]

これらのビットはJPEG復号化処理の場合にのみ必要です。これらのビットはJPEGファイルサイズをバイトで指定します。復号化したデータをホストがJPEG FIFOに書き込み始める前にこれらのビットを設定してください。

REG[09BCh] JPEG FIFO Address Offset Register								Read/Write
Default = 0040h								
n/a								JPEG FIFO アドレスオフセット ビット8
15	14	13	12	11	10	9	8	
JPEG FIFOアドレスオフセットビット7~0								
7	6	5	4	3	2	1	0	

bits 8-0

JPEG FIFOアドレスオフセットビット[8:0]

これらのビットは、JPEG FIFOの19ビットアドレスのMSB[18:10]を指定します（ビット9~0は0です）。

注

デフォルト値は10000hです。

注

JPEG FIFOの開始アドレスは、JPEG FIFOがメモリ残量にうまく合うように設定してください。設定を誤るとメモリの先頭に返ってしまいます。

10.4.17 JPEGラインバッファ設定レジスタ

REG[09C0h] JPEG Line Buffer Status Flag Register							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a					JPEGライン バッファフルフラグ	JPEGライン バッファハーフフル フラグ	JPEGライン バッファエンプティ フラグ
7	6	5	4	3	2	1	0

- bit 2 **JPEGラインバッファフルフラグ**
 JPEGラインバッファがフルになったときにこのフラグがアサートされます。このフラグはJPEGラインバッファフル割り込みイネーブルビットによってマスクされ、REG[09C6h]ビット2 = 1の場合にのみ使用できます。このビットが0のとき、JPEGラインバッファはフルではありません。このビットが1のとき、JPEGラインバッファはフルです。
- このフラグをクリアするには、JPEGラインバッファがフルでないときにこのビットに1を書き込みます。
- bit 1 **JPEGラインバッファハーフフルフラグ**
 JPEGラインバッファがフルの半分に達したときにこのフラグがアサートされます。このフラグはJPEGラインバッファハーフフル割り込みイネーブルビットによってマスクされ、REG[09C6h]ビット1 = 1の場合にのみ使用できます。このビットが0のとき、JPEGラインバッファはフルの半分に達していません。このビットが1のとき、JPEGラインバッファはフルの半分に達しています。
- このフラグをクリアするには、JPEGラインバッファがフルの半分に達していないときにこのビットに1を書き込みます。
- bit 0 **JPEGラインバッファエンプティフラグ**
 JPEGラインバッファがエンプティになったときにこのフラグがアサートされます。このフラグはJPEGラインバッファエンプティ割り込みイネーブルビットによってマスクされ、REG[09C6h]ビット0 = 1の場合にのみ使用できます。このビットが0のとき、JPEGラインバッファはエンプティではありません。このビットが1のとき、JPEGラインバッファはエンプティです。
- このフラグをクリアするには、JPEGラインバッファがエンプティでないときにこのビットに1を書き込みます。

10. レジスタ

REG[09C2h] JPEG Line Buffer Raw Status Flag Register							Read Only
Default = 0000h							
15	14	13	12	11	10	9	8
n/a					未処理JPEGライン バッファフルフラグ	未処理JPEGライン バッファハーフフル フラグ	未処理JPEGライン バッファエンプティ フラグ
7	6	5	4	3	2	1	0

bit 2 未処理JPEGラインバッファフルフラグ（読み出し専用）
JPEGラインバッファがフルになったときにこのフラグがアサートされます。このフラグはJPEGラインバッファフル割り込みイネーブルビット（REG[09C6h]ビット2）の値の影響を受けません。
このビットが0のとき、JPEGラインバッファはフルではありません。
このビットが1のとき、JPEGラインバッファはフルです。

このフラグをクリアするには、JPEGラインバッファがフルでないときにREG[09C0h]ビット2に1を書き込みます。

bit 1 未処理JPEGラインバッファハーフフルフラグ（読み出し専用）
JPEGラインバッファがフルの半分に達したときにこのフラグがアサートされます。このフラグはJPEGラインバッファハーフフル割り込みイネーブルビット（REG[09C6h]ビット1）の値の影響を受けません。
このビットが0のとき、JPEGラインバッファはフルの半分に達していません。
このビットが1のとき、JPEGラインバッファはフルの半分に達しています。

このフラグをクリアするには、JPEGラインバッファがフルの半分に達していないときにREG[09C0h]ビット1に1を書き込みます。

bit 0 未処理JPEGラインバッファエンプティフラグ（読み出し専用）
JPEGラインバッファがエンプティになったときにこのフラグがアサートされます。このフラグはJPEGラインバッファエンプティ割り込みイネーブルビット（REG[09C6h]ビット0）の値の影響を受けません。
このビットが0のとき、JPEGラインバッファはエンプティではありません。
このビットが1のとき、JPEGラインバッファはエンプティです。

このフラグをクリアするには、JPEGラインバッファがエンプティでないときにREG[09C0h]ビット0に1を書き込みます。

REG[09C4h] JPEG Line Buffer Raw Current Status Register							Read Only	
Default = F001h								
15	14	13	12	11	10	9	8	
Reserved				Reserved				
Reserved	n/a					未処理JPEGライン バッファフル 現在状態	未処理JPEGライン バッファハーフフル 現在状態	未処理JPEGライン バッファエンプティ 現在状態
7	6	5	4	3	2	1	0	

bits 15-12 Reserved
デフォルト値は1111です。

bits 11-7 Reserved
デフォルト値は0です。

- bit 2 未処理JPEGラインバッファフル現在状態（読み出し専用）
このフラグはJPEGラインバッファの現在の状態を示します。このフラグはJPEGラインバッファフル割り込みイネーブルビット（REG[09C6h]ビット2）の値の影響を受けません。
このビットが0のとき、JPEGラインバッファはフルではありません。
このビットが1のとき、JPEGラインバッファはフルです。
- bit 1 未処理JPEGラインバッファハーフフル現在状態（読み出し専用）
このフラグはJPEGラインバッファの現在の状態を示します。このフラグはJPEGラインバッファハーフフル割り込みイネーブルビット（REG[09C6h]ビット1）の値の影響を受けません。
このビットが0のとき、JPEGラインバッファはフルの半分に達していません。
このビットが1のとき、JPEGラインバッファはフルの半分に達しています。
- bit 0 未処理JPEGラインバッファエンブティ現在状態（読み出し専用）
このフラグはJPEGラインバッファの現在の状態を示します。このフラグはJPEGラインバッファエンブティ割り込みイネーブルビット（REG[09C6h]ビット0）の値の影響を受けません。
このビットが0のとき、JPEGラインバッファはエンブティではありません。
このビットが1のとき、JPEGラインバッファはエンブティです。

REG[09C6h] JPEG Line Buffer Interrupt Control Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a					JPEGライン バッファフル 割り込みイネーブル	JPEGライン バッファハーフフル 割り込みイネーブル	JPEGライン バッファエンブティ 割り込みイネーブル	
7	6	5	4	3	2	1	0	

- bit 2 JPEGラインバッファフル割り込みイネーブル
このビットはJPEGラインバッファフル割り込みを制御します。この割り込みの状態はJPEGラインバッファフルフラグ（REG[09C0h]ビット2）によって知ることができます。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。
- bit 1 JPEGラインバッファハーフフル割り込みイネーブル
このビットはJPEGラインバッファハーフフル割り込みを制御します。この割り込みの状態はJPEGラインバッファハーフフルフラグ（REG[09C0h]ビット1）によって知ることができます。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。
- bit 0 JPEGラインバッファエンブティ割り込みイネーブル
このビットはJPEGラインバッファエンブティ割り込みを制御します。この割り込みの状態はJPEGラインバッファエンブティフラグ（REG[09C0h]ビット0）によって知ることができます。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

REG[09C8h]からREG[09CEh]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

10. レジスタ

REG[09D0h] JPEG Line Buffer Configuration Register							
Default = 2800h							Read/Write
Reserved	JPEGラインバッファ未処理水平ピクセルサイズビット10~4 (RO)						
15	14	13	12	11	10	9	8
JPEGラインバッファ未処理水平ピクセルサイズビット3~0 (RO)				Reserved	JPEGラインバッファ水平ピクセルサイズビット2~0		
7	6	5	4	3	2	1	0

- bit 15 Reserved
デフォルト値は0です。
- bits 14-4 JPEGラインバッファ未処理水平ピクセルサイズビット[10:0] (読み出し専用)
これらのビットは、JPEGラインバッファによってサポートされる水平ピクセルサイズ (ビット2~0で設定のもの) の実際の値を示します。
- bit 3 Reserved
デフォルト値は0です。
- bits 2-0 JPEGラインバッファ水平ピクセルサイズビット[2:0] (読み出し専用)
これらのビットはJPEGラインバッファによってサポートされる水平ピクセルサイズを示します。

注

これらのビットが101のとき、ビット14~4の値は「2047」になります。WUXGAは本来1920ですが、実用上は問題ありません。

表10.79 サポートされる水平ピクセルサイズ

REG[09D0h]ビット2~0	サポートされる水平ピクセルサイズ	ラインバッファサイズ
000	VGA (640)	30KB
001	SVGA (800)	38KB
010	XGA (1024)	48KB
011	SXGA (1280)	60KB
100	XUGA (1600)	75KB
101	WUXGA (2047)	96KB
101~111	Reserved	

REG[09D2h] JPEG Line Buffer Address Offset Register							
Default = 0000h							Read/Write
Reserved							
15	14	13	12	11	10	9	8
Reserved		JPEGラインバッファアドレスオフセットビット5~0					
7	6	5	4	3	2	1	0

- bit 15-6 Reserved
デフォルト値は0です。
- bits 5-0 JPEGラインバッファアドレスオフセットビット[5:0]
これらのビットは REG[0F02h] と組み合わせて使用されます。詳しくは REG[0F02h]の説明をご覧ください。

REG[09D4h]からREG[09DEh]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

REG[09E0h] JPEG Line Buffer Read/Write Port Register								Read/Write
Default = 0000h								
JPEGラインバッファ読み出し/書き込みポートビット15-8								
15	14	13	12	11	10	9	8	
JPEGラインバッファ読み出し/書き込みポートビット7-0								
7	6	5	4	3	2	1	0	

bits 15-0

JPEGラインバッファ読み出し/書き込みポートビット[15:0]

YUVデータがホストから入力されている場合、これらのビットはJPEGラインバッファ読み出し/書き込みポートとして用いられます。それ以外のすべてのモードでは、ハードウェアに対して何の影響も与えません。

YUVデータがホストインタフェースから入力される (REG[0980h]ビット3~1 = 001または101) とき、このポートはJPEGラインバッファ書き込みポートになります。

符号化されたYUVデータがホストインタフェースから入力される (REG[0980h]ビット3~1 = 100) とき、このポートはJPEGラインバッファ書き込みポートになります。

復号化されたYUVデータがホストインタフェースに出力される (REG[0980h]ビット3~1 = 100) とき、このポートはJPEGラインバッファ読み出しポートになります。

10. レジスタ

10.4.18 割り込み制御レジスタ

REG[0A00h] Interrupt Status Register							Read Only
Default = 0000h							
n/a					Reserved		
15	14	13	12	11	10	9	8
SDカード割り込み状態	n/a		ホスト割り込み状態	カメラ割り込み状態	JPEG割り込み状態	2D BitBLT割り込み状態	デバッグ割り込み状態
7	6	5	4	3	2	1	0

- bit 10-8 Reserved
デフォルト値は0です。
- bit 7 SDカード割り込み状態（読み出し専用）
このビットはSDカード割り込みの状態を示します。
このビットが0のとき、SDカード割り込みは発行されていません。
このビットが1のとき、SDカード割り込みが発行されています。割り込みの内容を詳しく知るにはREG[6008h]の状態ビットを読み出してください。
- bit 4 ホスト割り込み状態（読み出し専用）
このビットはホスト割り込みの状態を示します。
このビットが0のとき、ホスト割り込みは発行されていません。
このビットが1のとき、ホスト割り込みが発行されています。割り込みの内容を詳しく知るにはREG[0A0Ah]の状態ビットを読み出してください。
- bit 3 カメラ割り込み状態（読み出し専用）
このビットはカメラ割り込みの状態を示します。
このビットが0のとき、カメラ割り込みは発行されていません。
このビットが1のとき、カメラ割り込みが発行されています。割り込みの内容を詳しく知るにはREG[0116h]の状態ビットを読み出してください。
- bit 2 JPEG割り込み状態（読み出し専用）
このビットはJPEG割り込みの状態を示します。
このビットが0のとき、JPEG割り込みは発行されていません。
このビットが1のとき、JPEG割り込みが発行されています。割り込みの内容を詳しく知るにはREG[0982h]の状態ビットを読み出してください。
- bit 1 2D BitBLT割り込み状態（読み出し専用）
このビットはBitBLT割り込みの状態を示します。
このビットが0のとき、BitBLT割り込みは発行されていません。
このビットが1のとき、BitBLT割り込みが発行されています。割り込みの内容を詳しく知るにはREG[8030h]の状態ビットを読み出してください。
- bit 0 デバッグ割り込み状態（読み出し専用）
このビットはデバッグ割り込みの状態を示します。
このビットが0のとき、デバッグ割り込みは発行されていません。
このビットが1のとき、デバッグ割り込みが発行されています。割り込みの内容を詳しく知るにはREG[0A06h]の状態ビットを読み出してください。

REG[0A02h] Interrupt Control Register 0							Read/Write
Default = 0000h							
n/a			Reserved				
15	14	13	12	11	10	9	8
SDカード割り込み イネーブル	n/a		ホスト割り込み イネーブル	カメラ割り込み イネーブル	JPEG割り込み イネーブル	2D BitBLT割り込み イネーブル	デバッグ割り込み イネーブル
7	6	5	4	3	2	1	0

bits 10-8

Reserved

デフォルト値は0です。

bit 7

SDカード割り込みイネーブル

このビットはSDカードインタフェース割り込みを制御します。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

bit 4

ホスト割り込みイネーブル

このビットはホストインタフェース割り込みを制御します。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

bit 3

カメラ割り込みイネーブル

このビットはカメラインタフェース割り込みを制御します。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

bit 2

JPEG割り込みイネーブル

このビットはJPEGコーデック割り込みを制御します。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

bit 1

2D BitBLT割り込みイネーブル

このビットはBitBLT割り込みを制御します。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

bit 0

デバッグ割り込みイネーブル

このビットはデバッグ割り込みを制御します。
このビットが0のとき、この割り込みはディセーブルされます。
このビットが1のとき、この割り込みはイネーブルされます。

10. レジスタ

REG[0A04h] Interrupt Control Register 1							Read/Write
Default = 0000h							
n/a			Reserved				
15	14	13	12	11	10	9	8
SDカード手動 割り込み	n/a		ホスト手動割り込み	カメラ手動割り込み	JPEG手動割り込み	2D BitBLT手動 割り込み	デバッグ手動 割り込み
7	6	5	4	3	2	1	0

bits 10-8

Reserved

デフォルト値は0です。

bit 7

SDカード手動割り込み

このビットはSDカードインタフェース割り込みを手動で設定します。
このビットが0のとき、割り込みはディセーブルされます。
このビットが1のとき、割り込みはイネーブルされます。

bit 4

ホスト手動割り込み

このビットはホストインタフェース割り込みを手動で設定します。
このビットが0のとき、割り込みはディセーブルされます。
このビットが1のとき、割り込みはイネーブルされます。

bit 3

カメラ手動割り込み

このビットはカメラインタフェース割り込みを手動で設定します。
このビットが0のとき、割り込みはディセーブルされます。
このビットが1のとき、割り込みはイネーブルされます。

bit 2

JPEG手動割り込み

このビットはJPEGコーデック割り込みを手動で設定します。
このビットが0のとき、割り込みはディセーブルされます。
このビットが1のとき、割り込みはイネーブルされます。

bit 1

2D BitBLT手動割り込み

このビットはBitBLT割り込みを手動で設定します。
このビットが0のとき、割り込みはディセーブルされます。
このビットが1のとき、割り込みはイネーブルされます。

bit 0

デバッグ手動割り込み

このビットはデバッグ割り込みを手動で設定します。
このビットが0のとき、割り込みはディセーブルされます。
このビットが1のとき、割り込みはイネーブルされます。

REG[0A06h] Debug Status Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a		Reserved		YRCメモリ書き込み完了フラグ	LCDインタフェース状態フラグ	表示FIFOエンプティフラグ	YUV/RGB書き込みバッファオーバーフローフラグ	
7	6	5	4	3	2	1	0	

- bits 5-4 Reserved
デフォルト値は0です。
- bit 3 YRCメモリ書き込み完了フラグ
読み出し：
このビットが0のとき、割り込みは発行されていません。
このビットが1のとき、割り込みが発行されています。
- 書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むとフラグがクリアされます。
- bit 2 LCDインタフェース完了フラグ
読み出し：
このビットが0のとき、割り込みは発行されていません。
このビットが1のとき、割り込みが発行されています。
- 書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むとフラグがクリアされます。
- bit 1 表示FIFOエンプティフラグ
このフラグは、表示FIFOがエンプティのときにパネルインタフェースがデータの読み出しを行おうとしたかどうかを示します。表示FIFOエンプティ割り込みイネーブル(REG[0A08h]ビット1)とデバッグ割り込みイネーブル(REG[0A02h]ビット0) をともに1に設定することにより、このフラグを使ってホストCPUに割り込み(INT信号)を生成することができます。このビットはREG[0A08h]ビット1によってマスクされます。
- 読み出し：
このビットが0のとき、パネルインタフェースは表示FIFOがエンプティのときにデータの読み出しを行おうとしていません。
このビットが1のとき、パネルインタフェースは表示FIFOがエンプティのときにデータの読み出しを行おうとしました。
- 書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと表示FIFOエンプティフラグがクリアされます。

10. レジスタ

bit 0 YUV/RGB書き込みバッファオーバーフローフラグ
 読み出し：
 このビットが0のとき、書き込みバッファのオーバーフローは発生していません。
 このビットが1のとき、YUV/RGBコンバータから表示バッファに至る経路上で書き込みバッファのオーバーフローが発生しています。

書き込み：
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、YUV/RGB書き込みバッファオーバーフローフラグがクリアされます。

REG[0A08h] Interrupt Control for Debug Register							Read/Write
Default = 0000h							
LCD VNDP割り込み 選択	LCD VNDP割り込み 極性	n/a					
15	14	13	12	11	10	9	8
n/a		Reserved		YRCメモリ 書き込み完了 割り込みイネーブル	LCDインタフェース 割り込みイネーブル	表示FIFO エンプティ割り込み イネーブル	YUV/RGB書き込み バッファオーバー フロー割り込み イネーブル
7	6	5	4	3	2	1	0

bit 15 LCD VNDP割り込み選択
 このビットが0のとき、LCDのVNDP割り込みはVNDP（垂直非表示期間）に基づきます。
 このビットが1のとき、LCDのVNDP割り込みはFPFRAMEに基づきます。

bit 14 LCD VNDP割り込み極性
 このビットが0のとき、LCDのVNDP割り込み極性はVNDPの立ち上がりエッジまたはFPFRAMEの立ち下がりエッジです。
 このビットが1のとき、LCDのVNDP割り込み極性はVNDPの立ち下がりエッジまたはFPFRAMEの立ち上がりエッジです。

bits 5-4 Reserved
 デフォルト値は0です。

bit 3 YRCメモリ書き込み完了割り込みイネーブル
 このビットはYRCメモリ書き込み完了割り込みを制御します。
 このビットが0のとき、YRCメモリ書き込み完了割り込みはディセーブルされます。
 このビットが1のとき、YRCメモリ書き込み完了割り込みはイネーブルされます。

bit 2 LCDインタフェース割り込みイネーブル
 このビットはLCDインタフェース割り込みを制御します。
 このビットが0のとき、LCDインタフェース割り込みはディセーブルされます。
 このビットが1のとき、LCDインタフェース割り込みはイネーブルされます。

bit 1 表示FIFOエンプティ割り込みイネーブル
 このビットは表示FIFOエンプティ割り込みを制御します。
 このビットが0のとき、表示FIFOエンプティ割り込みはディセーブルされます。
 このビットが1のとき、表示FIFOエンプティ割り込みはイネーブルされます。

bit 0 YUV/RGB書き込みバッファオーバーフロー割り込みイネーブル
 このビットはYUV/RGB書き込みバッファオーバーフローフラグの割り込み出力を制御します。
 このビットが0のとき、YUV/RGB書き込みバッファオーバーフロー割り込みはディセーブルされます。
 このビットが1のとき、YUV/RGB書き込みバッファオーバーフロー割り込みはイネーブルされます。

REG[0A0Ah] Host Cycle Interrupt Status Register								Read/Write
Default = 0000h								
サイクルタイムアウト 割り込み未処理状態	n/a							
15	14	13	12	11	10	9	8	
n/a		Reserved						
7	6	5	4	3	2	1	0	

bit 15 サイクルタイムアウト割り込み未処理状態
 このビットはサイクルタイムアウト割り込みの未処理状態を示します。この割り込みは、JPEGラインバッファに対するアクセスサイクルの持続時間が指定のタイムアウト値 (REG[0A0Eh]ビット4~0) を超えたときに発生します。サイクルタイムアウト割り込みが発行され、サイクルタイムアウト割り込みがイネーブルされ (REG[0A0Ch]ビット15 = 1) かつホスト割り込みイネーブルビット (REG[0A02h]ビット4) が1に設定されているときに、INT端子がアサートされます。
 このビットが0のとき、割り込みは発行されていません。
 このビットが1のとき、サイクルタイムアウト割り込みが発行されています。

このビットをクリアするには、このビットに1を書き込みます。

bits 5-0 Reserved
 デフォルト値は0です。

10. レジスタ

REG[0A0Ch] Host Cycle Interrupt Control Register								Read/Write
Default = 0000h								
サイクルタイム アウト割り込み イネーブル	n/a							
15	14	13	12	11	10	9	8	
n/a		Reserved						
7	6	5	4	3	2	1	0	

bit 15 サイクルタイムアウト割り込みイネーブル
 このビットが0のとき、ホスト割り込み要求ビットは設定されません。
 このビットが1のとき、ホスト割り込み要求ビットは設定されます。

bits 5-0 Reserved
 デフォルト値は0です。

REG[0A0Eh] Cycle Time Out Control Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
Reserved	n/a		タイムアウト値ビット4~0					
7	6	5	4	3	2	1	0	

bit 7

Reserved

デフォルト値は0です。

bits 4-0

タイムアウト値ビット[4:0]

これらのビットは、JPEG FIFO、JPEGラインバッファ、またはBitBLT FIFOへのアクセスサイクルに対して許容される時間（タイムアウト値）を指定します。この値を超えると終了サイクルが生成されます。タイムアウト値の指定方法は次のとおりです。初期化時には1Fhのデフォルト値に設定します。

REG[0A0Eh]ビット4~0 = タイムアウト値 (CLK)

タイムアウト値 = 内部システムクロック ÷ 2

REG[0A10h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

10. レジスタ

REG[0A20h] Indirect Interface Interrupt Flag Register						Read/Write	
Default = 0000h							
n/a		Reserved		JPEG LB読み出し エラー割り込み フラグ	JPEG LB書き込み エラー割り込み フラグ	JPEG FIFO読み出し エラー割り込み フラグ	JPEG FIFO書き込み エラー割り込み フラグ
15	14	13	12	11	10	9	8
n/a						メモリ読み出し エラー割り込み フラグ	メモリ書き込み エラー割り込み フラグ
7	6	5	4	3	2	1	0

注

これらのビットは、インダイレクトホストインタフェースを選択したときのみ有効です（CNF[4:2]を参照）。ダイレクトホストインタフェースのモード使用時は、このレジスタにアクセスしないでください。

注

割り込み信号がアサートされると、対応するエラーフラグが設定されたのちに割り込みが解除されます。

bits 13-12

Reserved

デフォルト値は0です。

bit 11

JPEGラインバッファ読み出しエラー割り込みフラグ

このビットはJPEGラインバッファ読み出しエラー割り込みの状態を示します。このビットが0のとき、JPEGラインバッファ読み出しエラー割り込みは発行されていません。このビットが1のとき、JPEGラインバッファ読み出しエラー割り込みが発行されています。

このビットをクリアするには、このビットに1を書き込みます。

bit 10

JPEGラインバッファ書き込みエラー割り込みフラグ

このビットはJPEGラインバッファ書き込みエラー割り込みの状態を示します。このビットが0のとき、JPEGラインバッファ書き込みエラー割り込みは発行されていません。このビットが1のとき、JPEGラインバッファ書き込みエラー割り込みが発行されています。

このビットをクリアするには、このビットに1を書き込みます。

bit 9

JPEG FIFO読み出しエラー割り込みフラグ

このビットはJPEG FIFO読み出しエラー割り込みの状態を示します。このビットが0のとき、JPEG FIFO読み出しエラー割り込みは発行されていません。このビットが1のとき、JPEG FIFO読み出しエラー割り込みが発行されています。

このビットをクリアするには、このビットに1を書き込みます。

bit 8	<p>JPEG FIFO書き込みエラー割り込みフラグ このビットはJPEG FIFO書き込みエラー割り込みの状態を示します。 このビットが0のとき、JPEG FIFO書き込みエラー割り込みは発行されていません。 このビットが1のとき、JPEG FIFO書き込みエラー割り込みが発行されています。</p> <p>このビットをクリアするには、このビットに1を書き込みます。</p>
bit 1	<p>メモリ読み出しエラー割り込みフラグ このビットはメモリ読み出しエラー割り込みの状態を示します。 このビットが0のとき、メモリ読み出しエラー割り込みは発行されていません。 このビットが1のとき、メモリ読み出しエラー割り込みが発行されています。</p> <p>このビットをクリアするには、このビットに1を書き込みます。</p>
bit 0	<p>メモリ書き込みエラー割り込みフラグ このビットはメモリ書き込みエラー割り込みの状態を示します。 このビットが0のとき、メモリ書き込みエラー割り込みは発行されていません。 このビットが1のとき、メモリ書き込みエラー割り込みが発行されています。</p> <p>このビットをクリアするには、このビットに1を書き込みます。</p>

10. レジスタ

REG[0A22h] Indirect Interface Interrupt Control Register						Read/Write	
Default = 0000h							
n/a		Reserved		JPEG LB読み出し エラー割り込み イネーブル	JPEG LB書き込み エラー割り込み イネーブル	JPEG FIFO読み出し エラー割り込み イネーブル	JPEG FIFO書き込み エラー割り込み イネーブル
15	14	13	12	11	10	9	8
n/a						メモリ読み出し エラー割り込み イネーブル	メモリ書き込み エラー割り込み イネーブル
7	6	5	4	3	2	1	0

これらのビットは、インダイレクトホストインタフェースを選択したときのみ有効です(CNF[4:2]を参照)。ダイレクトホストインタフェースのモード使用時は、このレジスタにアクセスしないでください。

bits 13-12

Reserved

デフォルト値は0です。

bit 11

JPEGラインバッファ読み出しエラー割り込みイネーブル

このビットはJPEGラインバッファ読み出しエラー割り込みを制御します。このビットが0のとき、JPEGラインバッファ読み出しエラー割り込みはディセーブルされます。このビットが1のとき、JPEGラインバッファ読み出しエラー割り込みはイネーブルされます。

bit 10

JPEGラインバッファ書き込みエラー割り込みイネーブル

このビットはJPEGラインバッファ書き込みエラー割り込みを制御します。このビットが0のとき、JPEGラインバッファ書き込みエラー割り込みはディセーブルされます。このビットが1のとき、JPEGラインバッファ書き込みエラー割り込みはイネーブルされます。

bit 9

JPEG FIFO読み出しエラー割り込みイネーブル

このビットはJPEG FIFO読み出しエラー割り込みを制御します。このビットが0のとき、JPEG FIFO読み出しエラー割り込みはディセーブルされます。このビットが1のとき、JPEG FIFO読み出しエラー割り込みはイネーブルされます。

bit 8

JPEG FIFO書き込みエラー割り込みイネーブル

このビットはJPEG FIFO書き込みエラー割り込みを制御します。このビットが0のとき、JPEG FIFO書き込みエラー割り込みはディセーブルされます。このビットが1のとき、JPEG FIFO書き込みエラー割り込みはイネーブルされます。

bit 1

メモリ読み出しエラー割り込みイネーブル

このビットはメモリ読み出しエラー割り込みを制御します。このビットが0のとき、メモリ読み出しエラー割り込みはディセーブルされます。このビットが1のとき、メモリ読み出しエラー割り込みはイネーブルされます。

bit 0

メモリ書き込みエラー割り込みイネーブル

このビットはメモリ書き込みエラー割り込みを制御します。このビットが0のとき、メモリ書き込みエラー割り込みはディセーブルされます。このビットが1のとき、メモリ書き込みエラー割り込みはイネーブルされます。

REG[0A40h] Interrupt Request Status Register							Read Only
Default = 0000h							
		n/a			Reserved	Reserved	Reserved
15	14	13	12	11	10	9	8
SDカード割り込み 要求状態	n/a		ホストインタ フェース割り込み 要求状態	カメラ割り込み 要求状態	JPEG割り込み要求 状態	2D BitBLT割り込み 要求状態	デバッグ割り込み 要求状態
7	6	5	4	3	2	1	0

- bits 10-8 Reserved
デフォルト値は0です。
- bit 7 SDカードインタフェース割り込み要求状態（読み出し専用）
このビットが0のとき、SDカードインタフェース割り込み要求は発行されてい
ません。
このビットが1のとき、SDカードインタフェース割り込み要求が発行されてい
ます。
- bit 4 ホストインタフェース割り込み要求状態（読み出し専用）
このビットが0のとき、ホストインタフェース割り込み要求は発行されていま
せん。
このビットが1のとき、ホストインタフェース割り込み要求が発行されていま
す。
- bit 3 カメラ割り込み要求状態（読み出し専用）
このビットが0のとき、カメラインタフェース割り込み要求は発行されていま
せん。
このビットが1のとき、カメラインタフェース割り込み要求が発行されていま
す。
- bit 2 JPEG割り込み要求状態（読み出し専用）
このビットが0のとき、JPEG割り込み要求は発行されていません。
このビットが1のとき、JPEG割り込み要求が発行されています。
- bit 1 2D BitBLT割り込み要求状態（読み出し専用）
このビットが0のとき、BitBLTの割り込み要求は発行されていません。
このビットが1のとき、BitBLTの割り込み要求が発行されています。
- bit 0 デバッグ割り込み要求状態（読み出し専用）
このビットが0のとき、デバッグ割り込み要求は発行されていません。
このビットが1のとき、デバッグ割り込み要求が発行されています。

10. レジスタ

10.4.19 JPEG符号化実行レジスタ

REG[0F00h] JPEG Encode Performance Register								Read/Write
Default = 0000h								
15	14	13	12	11	10	9	8	
n/a							JPEG符号化固定 テーブルモード	0
7	6	5	4	3	2	1	0	

bit 0 JPEG符号化固定テーブルモード
 このビットが0のとき、JPEG符号化処理は「固定テーブルモード」(高速モード)で実行されます。
 このビットが1のとき、JPEG符号化処理は「標準モード」で実行されます。
 固定テーブルモードを選択する場合、ISO/IEC IS 10918-1 Annex KもしくはITU-T 勧告T.81の付属書Kに規定される諸表に従ってハフマンテーブルを作成することが必要です。推奨値についてはハフマンテーブル(REG[1400h] ~ REG[17A2h])のビット説明をご覧ください。

REG[0F02h] JPEG Extended Address Register								Read/Write
Default = 0000h								
15	14	13	12	11	10	9	8	
n/a					Reserved			
7	6	5	4	3	JPEGラインバッファ開始アドレスビット2~0			
					2	1	0	

bits 10-8

Reserved
 デフォルト値は0です。

bits 2-0

JPEGラインバッファ開始アドレスビット[2:0]
 これらのビットは、JPEGラインバッファアドレスオフセットビット(REG[09D2h] ビット5~0)とともに使用され、JPEGラインバッファの実際の開始アドレスを決定します。JPEGコーデックがビジー状態(REG[1004h] ビット0 = 1のとき)のときはこれらのビットを変更しないでください。

表10.80 JPEGラインバッファ開始アドレス

REG[0F02h]ビット2~0	REG[09D2h]ビット5~0	JPEGラインバッファ開始アドレス
000	000000	00000h
000	000001	00400h
000	000010	00800h
000	000011	00C00h
000	000100	01000h
000	000101	01400h
000	000110	01800h
000	000111	01C00h
000	001000	02000h
000	001001	02400h
000	001010	02800h
000	001011	02C00h
000	001100	03000h
000	001101	03400h

表10.80 JPEGラインバッファ開始アドレス (続き)

REG[0F02h]ビット2~0	REG[09D2h]ビット5~0	JPEGラインバッファ開始アドレス
000	001110	03800h
000	001111	03C00h
000	010000	04000h
000	010001	04400h
000	:	:
000	011111	07C00h
000	100000	08000h
000	100001	08400h
000	:	:
000	111111	0FC00h
001	000000	10000h
001	000001	10400h
001	:	:
001	111111	1FC00h
010	000000	20000h
010	:	:
011	000000	30000h
011	:	:
011	100000	38000h
011	:	:
100	000000	40000h
100	:	:
100	100000	48000h
100	:	:
101	000000	50000h
101	:	:
101	100000	58000h
101	:	:
110	000000	60000h
110	:	:
110	100000	68000h
110	:	:
111	000000	70000h
111	:	:
111	100000	78000h
111	:	:
111	111111	7FC00h

注

JPEGラインバッファ開始アドレスは0000hから7FC00hの範囲で設定できます。

10. レジスタ

10.4.20 JPEGコーデックレジスタ

REG[1000h] Operation Mode Setting Register							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
Reserved	n/a		Reserved	マーカ挿入 イネーブル	JPEG処理選択	YUV形式選択ビット1~0	
7	6	5	4	3	2	1	0

- bit 7 Reserved
デフォルト値は0です。
- bit 4 Reserved
デフォルト値は0です。
- bit 3 マーカ挿入イネーブル
このビットは、JPEG符号化時にマーカ（REG[1020h]～REG[1066h]を参照）の挿入を行うかどうかを決定します。JPEG復号化ではこのビットは無視されま
す。
このビットが0のとき、マーカは挿入されません。
このビットが1のとき、マーカ形式がJPEGファイルに挿入されます。
- 注**
マーカを挿入する場合、マーカ長ビット（REG[1024h]～REG[1026h]）の指定値に関係なく、36バイトのマーカ全体（REG[1020h]～REG[1066h]）がJPEGファ
イルに挿入されます。
- bit 2 JPEG処理選択
このビットはJPEGの処理内容およびリサイズブロックへの入力ソースを選
択します。カメラのデータをリサイズするときは0に設定します。JPEGモジュ
ールをディセーブル（REG[0980h]ビット0=0）するときは、このビットはあらか
じめクリアしておいてください。

表10.81 JPEG処理選択

REG[1000h]ビット2	JPEG処理
0	符号化
1	復号化

bits 1-0

YUV形式選択ビット[1:0]

これらのビットはJPEGコーデックのYUV形式を指定します。JPEG符号化処理の場合は所望のYUV形式を設定してください。JPEG復号化処理の場合、これらのビットは読み出し専用となり、復号化されるデータのYUV形式を示します。

表10.82 YUV形式選択

REG[1000h]ビット1~0	YUVフォーマット
00	4:4:4 (復号化のみ)
01	4:2:2 (符号化 / 復号化)
10	4:2:0 (符号化 / 復号化)
11	4:1:1 (符号化 / 復号化)

注

ホスト入力のJPEG符号化 / 復号化の場合は、YUV 4:2:0とYUV 4:2:2のみがサポートされます。

REG[1002h] Command Setting Register								Write Only
Default = n/a								
n/a								
15	14	13	12	11	10	9	8	
JPEGコーデック SWリセット	n/a						JPEG処理開始	
7	6	5	4	3	2	1	0	

注

このレジスタは書き込み専用です。このレジスタを読み出すと、JPEGコーデックが予期せぬ動作をすることがあります。

注

JPEGコーデックのソフトウェアリセットを除き、JPEGコーデックの動作中はこのレジスタに書き込みを行わないでください。

bit 7

JPEGコーデックSWリセット (書き込み専用)

このビットはJPEGコーデックのソフトウェアリセットを実行します。JPEGコーデックレジスタ (REG[1000h] ~ REG[17A2h]) は影響を受けません。このビットに0を書き込んでもハードウェアには何の影響もありません。このビットに1を書き込むと、JPEGコーデックがリセットされます。

bit 0

JPEG処理開始 (書き込み専用)

このビットはJPEG処理の開始に使用します。このビットに0を書き込んでもハードウェアには何の影響もありません。このビットに1を書き込むと、JPEG処理が開始されます。

10. レジスタ

REG[1004h] JPEG Operation Status Register								Read Only
Default = 0000h								
15	14	13	12	11	10	9	8	
n/a							JPEG動作状態 (RO)	
7	6	5	4	3	2	1	0	

注

このレジスタは読み出し専用です。このレジスタに書き込みを行うと、JPEGコーデックが予期せぬ動作をすることがあります。

bit 0

JPEG動作状態（読み出し専用）

このビットはJPEGコーデックの状態を示します。読み出しを行うとJPEGコーデック割り込みフラグ（REG[0982h]ビット1）がクリアされます。

このビットが0のとき、JPEGコーデックはアイドルです。

このビットが1のとき、JPEGコーデックはビジー状態（復号化または符号化処理中）です。

REG[1006h] Quantization Table Number Register								Read/Write
Default = 0000h								
15	14	13	12	11	10	9	8	
n/a		Reserved			カラー3 テーブル選択	カラー2 テーブル選択	カラー1 テーブル選択	
7	6	5	4	3	2	1	0	

bits 5-3

Reserved

デフォルト値は0です。

bit 2

カラー3テーブル選択

このビットが0のとき、カラー3テーブルは量子化テーブル0番（REG[1200h]～REG[127Eh]）を使用します。

このビットが1のとき、カラー3テーブルは量子化テーブル1番（REG[1280h]～REG[12FEh]）を使用します。

bit 1

カラー2テーブル選択

このビットが0のとき、カラー2テーブルは量子化テーブル0番（REG[1200h]～REG[127Eh]）を使用します。

このビットが1のとき、カラー2テーブルは量子化テーブル1番（REG[1280h]～REG[12FEh]）を使用します。

bit 0

カラー1テーブル選択

このビットが0のとき、カラー1テーブルは量子化テーブル0番（REG[1200h]～REG[127Eh]）を使用します。

このビットが1のとき、カラー1テーブルは量子化テーブル1番（REG[1280h]～REG[12FEh]）を使用します。

REG[1008h] Huffman Table Number Register							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
n/a		ACカラー 3 テーブル選択	DCカラー 3 テーブル選択	ACカラー 2 テーブル選択	DCカラー 2 テーブル選択	ACカラー 1 テーブル選択	DCカラー 1 テーブル選択
7	6	5	4	3	2	1	0

- bit 5 ACカラー 3テーブル選択
このビットが0のとき、ACカラー 3 テーブルはAC ハフマンテーブル0番 (REG[1440h] ~ REG[145Eh]およびREG[1460h] ~ REG[15A2h]) を使用します。
このビットが1のとき、ACカラー 3 テーブルはAC ハフマンテーブル1番 (REG[1640h] ~ REG[165Eh]およびREG[1660h] ~ REG[17A2h]) を使用します。
- bit 4 DCカラー 3テーブル選択
このビットが0のとき、DCカラー 3 テーブルはDC ハフマンテーブル0番 (REG[1400h] ~ REG[141Eh]およびREG[1420h] ~ REG[1436h]) を使用します。
このビットが1のとき、DCカラー 3 テーブルはDC ハフマンテーブル1番 (REG[1600h] ~ REG[161Eh]およびREG[1620h] ~ REG[1636h]) を使用します。
- bit 3 ACカラー 2テーブル選択
このビットが0のとき、ACカラー 2 テーブルはAC ハフマンテーブル0番 (REG[1440h] ~ REG[145Eh]およびREG[1460h] ~ REG[15A2h]) を使用します。
このビットが1のとき、ACカラー 2 テーブルはAC ハフマンテーブル1番 (REG[1640h] ~ REG[165Eh]およびREG[1660h] ~ REG[17A2h]) を使用します。
- bit 2 DCカラー 2テーブル選択
このビットが0のとき、DCカラー 2 テーブルはDC ハフマンテーブル0番 (REG[1400h] ~ REG[141Eh]およびREG[1420h] ~ REG[1436h]) を使用します。
このビットが1のとき、DCカラー 2 テーブルはDC ハフマンテーブル1番 (REG[1600h] ~ REG[161Eh]およびREG[1620h] ~ REG[1636h]) を使用します。
- bit 1 ACカラー 1テーブル選択
このビットが0のとき、ACカラー 1 テーブルはAC ハフマンテーブル0番 (REG[1440h] ~ REG[145Eh]およびREG[1460h] ~ REG[15A2h]) を使用します。
このビットが1のとき、ACカラー 1 テーブルはAC ハフマンテーブル1番 (REG[1640h] ~ REG[165Eh]およびREG[1660h] ~ REG[17A2h]) を使用します。
- bit 0 DCカラー 1テーブル選択
このビットが0のとき、DCカラー 1 テーブルはDC ハフマンテーブル0番 (REG[1400h] ~ REG[141Eh]およびREG[1420h] ~ REG[1436h]) を使用します。
このビットが1のとき、DCカラー 1 テーブルはDC ハフマンテーブル1番 (REG[1600h] ~ REG[161Eh]およびREG[1620h] ~ REG[1636h]) を使用します。

10. レジスタ

REG[100Ah] DRI Setting Register 0								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
DRI値ビット15~8								
7	6	5	4	3	2	1	0	

REG[100Ch] DRI Setting Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
DRI値ビット7~0								
7	6	5	4	3	2	1	0	

REG[100Ah] bits 7-0

REG[100Ch] bits 7-0

DRI値ビット[15:0]

これらのビットは符号化処理の場合、RSTマーカを挿入するときのMCU番号を決定します。復号化処理ではこれらのビットは無視されます。JPEG180°回転符号化がイネーブルされている（REG[0980h]ビット8=1）ときは、DRI値ビットを設定してください。DRI（リスタート間隔定義）の値は以下のように計算します。

$$\text{DRI} = \text{画像幅} \div \text{MCU水平サイズ}$$

ただし、

MCUサイズはYUVのフォーマット（REG[1000h]ビット1~0）によって下記のように決まります。

表10.83 MCUサイズ

REG[1000h]ビット1~0	YUVのフォーマット	MCUサイズ（横×縦）
00	Reserved	Reserved
01	4:2:2	16 x 8
10	4:2:0	16 x 16
11	4:1:1	32 x 8

REG[100Eh] Vertical Pixel Size Register 0								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
Yピクセルサイズビット15~8								
7	6	5	4	3	2	1	0	

REG[1010h] Vertical Pixel Size Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
Yピクセルサイズビット7~0								
7	6	5	4	3	2	1	0	

REG[100Eh] bits 7-0

REG[1010h] bits 7-0

Yピクセルサイズビット[15:0]

JPEG符号化処理のとき、これらのビットは符号化前の垂直画像サイズを指定します。

JPEG復号化処理のときは、これらのビットは読み出し専用で、垂直画像サイズを示します。

垂直ピクセルサイズの設定にあたっては以下の制約に従ってください。最小解像度はYUVのフォーマットに応じて下記のように設定します。

表10.84 垂直ピクセルサイズにおける最小解像度の制約

YUVのフォーマット	最小解像度
4:4:4 (復号化のみ)	1x1
4:2:2 (符号化 / 復号化)	2x1
4:2:0 (符号化 / 復号化)	2x2
4:1:1 (符号化 / 復号化)	4x1

注

すべての処理 (JPEGの符号化 / 復号化およびYUVのキャプチャ / 表示) について次式が成り立たなければなりません。

垂直ピクセルサイズ > 1

10. レジスタ

REG[1012h] Horizontal Pixel Size Register 0								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
Xピクセルサイズビット15~8								
7	6	5	4	3	2	1	0	

REG[1014h] Horizontal Pixel Size Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
Xピクセルサイズビット7~0								
7	6	5	4	3	2	1	0	

REG[1012h] bits 7-0

REG[1014h] bits 7-0

Xピクセルサイズビット[15:0]

JPEG符号化処理のとき、これらのビットは符号化前の水平画像サイズを指定します。

JPEG復号化処理のときは、これらのビットは読み出し専用で、水平画像サイズを示します。

水平ピクセルサイズの設定にあたっては以下の制約に従ってください。最小解像度はYUVのフォーマットに応じて下記のように設定します。

表10.85 水平ピクセルサイズにおける最小解像度の制約

YUVのフォーマット	最小解像度	最小水平ピクセルサイズ
4:2:2	2x1	2
4:2:0	2x2	16
4:1:1	4x1	4

注

JPEG符号化に1:1のカメラクロックを使用する場合、解像度は800×600を上限としてください。

REG[1016h]からREG[101Ah]までは予約レジスタです。

これらは予約レジスタです。書き込まないでください。

REG[101Ch] RST Marker Operation Setting Register								
Default = 0000h							Read/Write	
				n/a				
15	14	13	12	11	10	9	8	
				n/a	RSTマーカ処理選択ビット1~0			
7	6	5	4	3	2	1	0	

bits 1-0

RSTマーカ処理選択ビット[1:0]

JPEG符号化処理のとき、これらのビットはRSTマーカの処理内容を指定します。

JPEG復号化処理のときは、これらのビットは使用されません。

表10.86 RSTマーカ処理選択

REG[101Ch]ビット1~0	RSTマーカ処理
00	<p>エラー検出とデータ修復機能はオフ</p> <p>このオプションは、復号化するJPEGファイルが正しく、エラーを含まないことが確実であるときにのみ選択してください。ファイルにエラーが存在してもエラー検出は行われず、復号化処理はエラーを含んだまま完了します。</p>
01	<p>エラー検出がオン</p> <p>復号化処理中にエラーが検出されると復号化処理が終了し、JPEG 割り込みがアサートされます (REG[0A00h]ビット2=1)。処理エラーの詳細についてはREG[0982h]を調べます。JPEG復号化エラー (ファイルエラー) の詳細についてはJPEGエラー状態ビット (REG[101Eh]ビット6~3) を調べます。復号化処理は正常終了時より早く終わるため、一部のデータは表示できません。データ修復機能がオンになっていてJPEGファイルを再度復号化する場合はソフトウェアリセット (REG[1002h]ビット7を参照) が必要です。</p>
10	<p>データ修復機能がオン</p> <p>復号化処理中にエラーが検出されるとデータはスキップまたは自動追加され、復号化処理は通常どおりファイルの最後まで続けられます。復号化処理が完了するとデータ修復割り込みがアサートされます。復号化処理が最後まで完了するため、次のJPEGファイルがただちに復号化できます。</p>
11	Reserved

REG[101Eh] RST Marker Operation Status Register								
Default = 0000h							Read Only	
				n/a				
15	14	13	12	11	10	9	8	
修復コード	JPEGエラー状態ビット3~0				n/a			
7	6	5	4	3	2	1	0	

注

このレジスタは読み出し後に0000hにリセットされます。

bit 7

修復コード (読み出し専用)

このビットは、RSTマーカ処理選択ビットによってデータ修復機能がイネーブルされている (REG[101Ch]ビット1~0=10) ときのみ有効です。

JPEG復号化処理のとき、このビットは修復処理が実施されたかどうかを示します。

JPEG符号化処理のとき、このビットは使用されません。

このビットが0のとき、修復処理は実施されませんでした。

このビットが1のとき、修復処理が実施されました。

10. レジスタ

bits 6-3

JPEGエラー状態ビット[3:0]（読み出し専用）

これらのビットは、RSTマーカ処理選択ビットによってエラー検出機能がイネーブルされている（REG[101Ch]ビット1~0=10）ときのみ有効です。

JPEG復号化処理のとき、これらのビットはJPEGエラーの種別を示します。0000の値が返されたときはエラーが発生していません。

JPEG符号化処理のとき、これらのビットは使用されません。

表10.87 JPEGエラー状態

REG[101Eh]ビット6~3	JPEGエラー状態
0000	エラーなし
0001 ~ 1010	Reserved
1011	リスタート間隔エラー
1100	画像サイズエラー
1101 ~ 1111	Reserved

REG[1020h - 1066h] Insertion Marker Data Register

Default = 00FFh

Read/Write

n/a							
15	14	13	12	11	10	9	8
挿入マーカデータビット7~0							
7	6	5	4	3	2	1	0

REG[1020h-1066h]

これらのレジスタ（36バイト）は、JPEGファイルに挿入される挿入マーカデータを格納します。必ず偶数バイトを使用してください。使用しないレジスタ（REG[1200h]まで）はすべてFFhで埋めてください。これらのレジスタは以下のように定義されます。

表10.88 Insertion Marker Dataレジスタの使い方

レジスタ	説明
REG[1020h]~[1022h]	挿入マーカのコードタイプを指定します。
REG[1024h]~[1026h]	マーカ長（0002h~0022h）を指定します。
REG[1028h]~[1066h]	マーカデータ（最大32バイト）を指定します。使用しないレジスタはすべてFFhで埋めてください。

REG[1200h - 127Eh] Quantization Table No. 0 Register

Default = n/a

Write Only

n/a							
15	14	13	12	11	10	9	8
量子化テーブル0番ビット7~0							
7	6	5	4	3	2	1	0

REG[1200-127Eh]

量子化テーブル0番

これらのレジスタはJPEG符号化処理にのみ使用されます。

REG[1280h - 12FEh] Quantization Table No. 1 Register								Write Only
Default = n/a								
n/a								
15	14	13	12	11	10	9	8	
量子化テーブル1番ビット7~0								
7	6	5	4	3	2	1	0	

REG[1280h-12FEh] 量子化テーブル1番
これらのレジスタはJPEG符号化処理にのみ使用されます。

REG[1400h - 141Eh] DC Huffman Table No. 0 Register 0								Write Only
Default = n/a								
n/a								
15	14	13	12	11	10	9	8	
DC Huffman テーブル0番レジスタ0ビット7~0								
7	6	5	4	3	2	1	0	

REG[1400h-141Eh] DC Huffman テーブル0番 (書き込み専用)
これらのレジスタはJPEG符号化処理にのみ使用され、コード長のコードを設定します。JPEG符号化「高速モード」がイネーブルされている (REG[0F00h]ビット0=0) とき、DC Huffman テーブル0番は以下のようにプログラムしてください。

表10.89 高速モードにおけるDC Huffman テーブル0番の値

レジスタ	値	レジスタ	値	レジスタ	値	レジスタ	値
REG[1400h]	00h	REG[1408h]	01h	REG[1410h]	01h	REG[1418h]	00h
REG[1402h]	01h	REG[140Ah]	01h	REG[1412h]	00h	REG[141Ah]	00h
REG[1404h]	05h	REG[140Ch]	01h	REG[1414h]	00h	REG[141Ch]	00h
REG[1406h]	01h	REG[140Eh]	01h	REG[1416h]	00h	REG[141Eh]	00h

REG[1420h - 1436h] DC Huffman Table No. 0 Register 1								Write Only
Default = n/a								
n/a								
15	14	13	12	11	10	9	8	
Reserved (すべて0に設定)				DC Huffman テーブル0番レジスタ1ビット3~0				
7	6	5	4	3	2	1	0	

REG[1420h-1436h] DC Huffman テーブル0番 (書き込み専用)
これらのレジスタはJPEG符号化処理にのみ使用され、発生確率の順番に基づいてグループ番号を設定します。ビット3~0のみを使用します (ビット7~4は0に設定してください)。JPEG符号化「高速モード」がイネーブルされている (REG[0F00h]ビット0=0) とき、DC Huffman テーブル0番は以下のようにプログラムしてください。

表10.90 高速モードにおけるDC Huffman テーブル0番の値

レジスタ	値	レジスタ	値	レジスタ	値	レジスタ	値
REG[1420h]	00h	REG[1426h]	03h	REG[142Ch]	06h	REG[1432h]	09h
REG[1422h]	01h	REG[1428h]	04h	REG[142Eh]	07h	REG[1434h]	0Ah
REG[1424h]	02h	REG[142Ah]	05h	REG[1430h]	08h	REG[1436h]	0Bh

10. レジスタ

REG[1440h - 145Eh] AC Huffman Table No. 0 Register 0							
Default = n/a							Write Only
n/a							
15	14	13	12	11	10	9	8
AC Huffman テーブル0番レジスタ0ビット7~0							
7	6	5	4	3	2	1	0

REG[1440h-145Eh] AC Huffman テーブル0番 (書き込み専用)
 これらのレジスタはJPEG符号化処理にのみ使用され、コード長のコードを設定します。JPEG符号化「高速モード」がイネーブルされている (REG[0F00h]ビット0=0) とき、AC Huffman テーブル0番は以下のようにプログラムしてください。

表10.91 高速モードにおけるAC Huffman テーブル0番の値

レジスタ	値	レジスタ	値	レジスタ	値	レジスタ	値
REG[1440h]	00h	REG[1448h]	03h	REG[1450h]	05h	REG[1458h]	00h
REG[1442h]	02h	REG[144Ah]	02h	REG[1452h]	05h	REG[145Ah]	00h
REG[1444h]	01h	REG[144Ch]	04h	REG[1454h]	04h	REG[145Ch]	01h
REG[1446h]	03h	REG[144Eh]	03h	REG[1456h]	04h	REG[145Eh]	7Dh

REG[1460h - 15A2h] AC Huffman Table No. 0 Register 1							
Default = n/a							Write Only
n/a							
15	14	13	12	11	10	9	8
AC Huffman テーブル0番レジスタ1ビット7~0							
7	6	5	4	3	2	1	0

REG[1460h-15A2h] AC Huffman テーブル0番 (書き込み専用)
 これらのレジスタはJPEG符号化処理にのみ使用され、発生確率の順番に基づいてゼロランレングス/グループ番号を設定します。JPEG符号化「高速モード」がイネーブルされている (REG[0F00h]ビット0=0) とき、AC Huffman テーブル0番は以下のようにプログラムしてください。

表10.92 高速モードにおけるACハフマンテーブル0番の値

レジスタ	値	レジスタ	値	レジスタ	値	レジスタ	値
REG[1460h]	01h	REG[14B0h]	17h	REG[1500h]	6Ah	REG[1550h]	B7h
REG[1462h]	02h	REG[14B2h]	18h	REG[1502h]	73h	REG[1552h]	B8h
REG[1464h]	03h	REG[14B4h]	19h	REG[1504h]	74h	REG[1554h]	B9h
REG[1466h]	00h	REG[14B6h]	1Ah	REG[1506h]	75h	REG[1556h]	BAh
REG[1468h]	04h	REG[14B8h]	25h	REG[1508h]	76h	REG[1558h]	C2h
REG[146Ah]	11h	REG[14BAh]	26h	REG[150Ah]	77h	REG[155Ah]	C3h
REG[146Ch]	05h	REG[14BCh]	27h	REG[150Ch]	78h	REG[155Ch]	C4h
REG[146Eh]	12h	REG[14BEh]	28h	REG[150Eh]	79h	REG[155Eh]	C5h
REG[1470h]	21h	REG[14C0h]	29h	REG[1510h]	7Ah	REG[1560h]	C6h
REG[1472h]	31h	REG[14C2h]	2Ah	REG[1512h]	83h	REG[1562h]	C7h
REG[1474h]	41h	REG[14C4h]	34h	REG[1514h]	84h	REG[1564h]	C8h
REG[1476h]	06h	REG[14C6h]	35h	REG[1516h]	85h	REG[1566h]	C9h
REG[1478h]	13h	REG[14C8h]	36h	REG[1518h]	86h	REG[1568h]	CAh
REG[147Ah]	51h	REG[14CAh]	37h	REG[151Ah]	87h	REG[156Ah]	D2h
REG[147Ch]	61h	REG[14CCh]	38h	REG[151Ch]	88h	REG[156Ch]	D3h
REG[147Eh]	07h	REG[14CEh]	39h	REG[151Eh]	89h	REG[156Eh]	D4h
REG[1480h]	22h	REG[14D0h]	3Ah	REG[1520h]	8Ah	REG[1570h]	D5h
REG[1482h]	71h	REG[14D2h]	43h	REG[1522h]	92h	REG[1572h]	D6h
REG[1484h]	14h	REG[14D4h]	44h	REG[1524h]	93h	REG[1574h]	D7h
REG[1486h]	32h	REG[14D6h]	45h	REG[1526h]	94h	REG[1576h]	D8h
REG[1488h]	81h	REG[14D8h]	46h	REG[1528h]	95h	REG[1578h]	D9h
REG[148Ah]	91h	REG[14DAh]	47h	REG[152Ah]	96h	REG[157Ah]	DAh
REG[148Ch]	A1h	REG[14DCh]	48h	REG[152Ch]	97h	REG[157Ch]	E1h
REG[148Eh]	08h	REG[14DEh]	49h	REG[152Eh]	98h	REG[157Eh]	E2h
REG[1490h]	23h	REG[14E0h]	4Ah	REG[1530h]	99h	REG[1580h]	E3h
REG[1492h]	42h	REG[14E2h]	53h	REG[1532h]	9Ah	REG[1582h]	E4h
REG[1494h]	B1h	REG[14E4h]	54h	REG[1534h]	A2h	REG[1584h]	E5h
REG[1496h]	C1h	REG[14E6h]	55h	REG[1536h]	A3h	REG[1586h]	E6h
REG[1498h]	15h	REG[14E8h]	56h	REG[1538h]	A4h	REG[1588h]	E7h
REG[149Ah]	52h	REG[14EAh]	57h	REG[153Ah]	A5h	REG[158Sh]	E8h
REG[149Ch]	D1h	REG[14ECh]	58h	REG[153Ch]	A6h	REG[158Ch]	E9h
REG[149Eh]	F0h	REG[14EEh]	59h	REG[153Eh]	A7h	REG[158Eh]	EAh
REG[14A0h]	24h	REG[14F0h]	5Ah	REG[1540h]	A8h	REG[1590h]	F1h
REG[14A2h]	33h	REG[14F2h]	63h	REG[1542h]	A9h	REG[1592h]	F2h
REG[14A4h]	62h	REG[14F4h]	64h	REG[1544h]	AAh	REG[1594h]	F3h
REG[14A6h]	72h	REG[14F6h]	65h	REG[1546h]	B2h	REG[1596h]	F4h
REG[14A8h]	82h	REG[14F8h]	66h	REG[1548h]	B3h	REG[1598h]	F5h
REG[14AAh]	09h	REG[14FAh]	67h	REG[154Ah]	B4h	REG[159Ah]	F6h
REG[14ACh]	0Ah	REG[14FCh]	68h	REG[154Ch]	B5h	REG[159Ch]	F7h
REG[14AEh]	16h	REG[14FEh]	69h	REG[154Eh]	B6h	REG[159Eh]	F8h
						REG[15A0h]	F9h
						REG[15A2h]	FAh

10. レジスタ

REG[1600h - 161Eh] DC Huffman Table No. 1 Register 0							
Default = n/a							
Write Only							
n/a							
15	14	13	12	11	10	9	8
DC Huffman テーブル1番レジスタ0ビット7~0							
7	6	5	4	3	2	1	0

REG[1600h-161Eh] DC Huffman テーブル1番 (書き込み専用)
 これらのレジスタはJPEG符号化処理にのみ使用され、コード長のコードを設定します。JPEG符号化「高速モード」がイネーブルされている (REG[0F00h]ビット0=0) とき、DC Huffman テーブル1番は以下のようにプログラムしてください。

表10.93 高速モードにおけるDC Huffman テーブル1番の値

レジスタ	値	レジスタ	値	レジスタ	値	レジスタ	値
REG[1600h]	00h	REG[1608h]	01h	REG[1610h]	01h	REG[1618h]	00h
REG[1602h]	03h	REG[160Ah]	01h	REG[1612h]	01h	REG[161Ah]	00h
REG[1604h]	01h	REG[160Ch]	01h	REG[1614h]	01h	REG[161Ch]	00h
REG[1606h]	01h	REG[160Eh]	01h	REG[1616h]	00h	REG[161Eh]	00h

REG[1620h - 1636h] DC Huffman Table No. 1 Register 1							
Default = n/a							
Write Only							
n/a							
15	14	13	12	11	10	9	8
Reserved (すべて0に設定)				DC Huffman テーブル1番レジスタ1ビット3~0			
7	6	5	4	3	2	1	0

REG[1620h-1636h] DC Huffman テーブル1番 (書き込み専用)
 これらのレジスタはJPEG符号化処理にのみ使用され、発生確率の順番に基づいてグループ番号を設定します。ビット3~0のみを使用します (ビット7~4は0に設定してください)。JPEG符号化「高速モード」がイネーブルされている (REG[0F00h]ビット0=0) とき、DC Huffman テーブル1番は以下のようにプログラムしてください。

表10.94 高速モードにおけるDC Huffman テーブル1番の値

レジスタ	値	レジスタ	値	レジスタ	値	レジスタ	値
REG[1620h]	00h	REG[1626h]	03h	REG[162Ch]	06h	REG[1632h]	09h
REG[1622h]	01h	REG[1628h]	04h	REG[162Eh]	07h	REG[1634h]	0Ah
REG[1624h]	02h	REG[162Ah]	05h	REG[1630h]	08h	REG[1636h]	0Bh

REG[1640h - 165Eh] AC Huffman Table No. 1 Register 0							
Default = n/a							Write Only
n/a							
15	14	13	12	11	10	9	8
AC Huffman Table No. 1 Register 0 bits 7-0							
7	6	5	4	3	2	1	0

REG[1640h-165Eh] AC Huffman Table No. 1 (Write Only)
 これらのレジスタはJPEG符号化処理にのみ使用され、コード長のコードを設定します。JPEG符号化「高速モード」がイネーブルされている (REG[0F00h]ビット0=0) とき、AC Huffman Table No. 1は以下のようにプログラムしてください。

表10.95 高速モードにおけるAC Huffman Table No. 1の値

レジスタ	値	レジスタ	値	レジスタ	値	レジスタ	値
REG[1640h]	00h	REG[1648h]	04h	REG[1650h]	07h	REG[1658h]	00h
REG[1642h]	02h	REG[164Ah]	04h	REG[1652h]	05h	REG[165Ah]	01h
REG[1644h]	01h	REG[164Ch]	03h	REG[1654h]	04h	REG[165Ch]	02h
REG[1646h]	02h	REG[164Eh]	04h	REG[1656h]	04h	REG[165Eh]	77h

REG[1660h - 17A2h] AC Huffman Table No. 1 Register 1							
Default = n/a							Write Only
n/a							
15	14	13	12	11	10	9	8
AC Huffman Table No. 1 Register 1 bits 7-0							
7	6	5	4	3	2	1	0

REG[1660h-17A2h] AC Huffman Table No. 1 (Write Only)
 これらのレジスタはJPEG符号化処理にのみ使用され、発生確率の順番に基づいてゼロランレンクス/グループ番号を設定します。JPEG符号化「高速モード」がイネーブルされている (REG[0F00h]ビット0=0) とき、AC Huffman Table No. 1は以下のようにプログラムしてください。

10. レジスタ

表10.96 高速モードにおけるACハフマンテーブル1番の値

レジスタ	値	レジスタ	値	レジスタ	値	レジスタ	値
REG[1660h]	00h	REG[16B0h]	E1h	REG[1700h]	69h	REG[1750h]	B5h
REG[1662h]	01h	REG[16B2h]	25h	REG[1702h]	6Ah	REG[1752h]	B6h
REG[1664h]	02h	REG[16B4h]	F1h	REG[1704h]	73h	REG[1754h]	B7h
REG[1666h]	03h	REG[16B6h]	17h	REG[1706h]	74h	REG[1756h]	B8h
REG[1668h]	11h	REG[16B8h]	18h	REG[1708h]	75h	REG[1758h]	B9h
REG[166Ah]	04h	REG[16BAh]	19h	REG[170Ah]	76h	REG[175Ah]	BAh
REG[166Ch]	05h	REG[16BCh]	1Ah	REG[170Ch]	77h	REG[175Ch]	C2h
REG[166Eh]	21h	REG[16BEh]	26h	REG[170Eh]	78h	REG[175Eh]	C3h
REG[1670h]	31h	REG[16C0h]	27h	REG[1710h]	79h	REG[1760h]	C4h
REG[1672h]	06h	REG[16C2h]	28h	REG[1712h]	7Ah	REG[1762h]	C5h
REG[1674h]	12h	REG[16C4h]	29h	REG[1714h]	82h	REG[1764h]	C6h
REG[1676h]	41h	REG[16C6h]	2Ah	REG[1716h]	83h	REG[1766h]	C7h
REG[1678h]	51h	REG[16C8h]	35h	REG[1718h]	84h	REG[1768h]	C8h
REG[167Ah]	07h	REG[16CAh]	36h	REG[171Ah]	85h	REG[176Ah]	C9h
REG[167Ch]	61h	REG[16CCh]	37h	REG[171Ch]	86h	REG[176Ch]	CAh
REG[167Eh]	71h	REG[16CEh]	38h	REG[171Eh]	87h	REG[176Eh]	D2h
REG[1680h]	13h	REG[16D0h]	39h	REG[1720h]	88h	REG[1770h]	D3h
REG[1682h]	22h	REG[16D2h]	3Ah	REG[1722h]	89h	REG[1772h]	D4h
REG[1684h]	32h	REG[16D4h]	43h	REG[1724h]	8Ah	REG[1774h]	D5h
REG[1686h]	81h	REG[16D6h]	44h	REG[1726h]	92h	REG[1776h]	D6h
REG[1688h]	08h	REG[16D8h]	45h	REG[1728h]	93h	REG[1778h]	D7h
REG[168Ah]	14h	REG[16DAh]	46h	REG[172Ah]	94h	REG[177Ah]	D8h
REG[168Ch]	42h	REG[16DCh]	47h	REG[172Ch]	95h	REG[177Ch]	D9h
REG[168Eh]	91h	REG[16DEh]	48h	REG[172Eh]	96h	REG[177Eh]	DAh
REG[1690h]	A1h	REG[16E0h]	49h	REG[1730h]	97h	REG[1780h]	E2h
REG[1692h]	B1h	REG[16E2h]	4Ah	REG[1732h]	98h	REG[1782h]	E3h
REG[1694h]	C1h	REG[16E4h]	53h	REG[1734h]	99h	REG[1784h]	E4h
REG[1696h]	09h	REG[16E6h]	54h	REG[1736h]	9Ah	REG[1786h]	E5h
REG[1698h]	23h	REG[16E8h]	55h	REG[1738h]	A2h	REG[1788h]	E6h
REG[169Ah]	33h	REG[16EAh]	56h	REG[173Ah]	A3h	REG[178Ah]	E7h
REG[169Ch]	52h	REG[16ECh]	57h	REG[173Ch]	A4h	REG[178Ch]	E8h
REG[169Eh]	F0h	REG[16EEh]	58h	REG[173Eh]	A5h	REG[178Eh]	E9h
REG[16A0h]	15h	REG[16F0h]	59h	REG[1740h]	A6h	REG[1790h]	EAh
REG[16A2h]	62h	REG[16F2h]	5Ah	REG[1742h]	A7h	REG[1792h]	F2h
REG[16A4h]	72h	REG[16F4h]	63h	REG[1744h]	A8h	REG[1794h]	F3h
REG[16A6h]	D1h	REG[16F6h]	64h	REG[1746h]	A9h	REG[1796h]	F4h
REG[16A8h]	0Ah	REG[16F8h]	65h	REG[1748h]	AAh	REG[1798h]	F5h
REG[16AAh]	16h	REG[16FAh]	66h	REG[174Ah]	B2h	REG[179Ah]	F6h
REG[16ACh]	24h	REG[16FCh]	67h	REG[174Ch]	B3h	REG[179Ch]	F7h
REG[16AEh]	34h	REG[16FEh]	68h	REG[174Eh]	B4h	REG[179Eh]	F8h
						REG[17A0h]	F9h
						REG[17A2h]	FAh

10.4.21 SDカードインタフェースレジスタ

REG[6000h] SD Memory Card Configuration Register 0							Read/Write
Default = 0000h							
n/a							Reserved
15	14	13	12	11	10	9	8
n/a				SDカードソフトウェアリセット (WO)	Reserved		SDカードインタフェースイネーブル
7	6	5	4	3	2	1	0

- bit 8 Reserved
デフォルト値は0です。
- bit 3 SDカードソフトウェアリセット（書き込み専用）
このビットはSDカードインタフェースのソフトウェアリセットを行うとともに、REG[6100h]～REG[613Eh]をリセットします。
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、ソフトウェアリセットが実行されます。
- bits 2-1 Reserved
デフォルト値は0です。
- bit 0 SDカードインタフェースイネーブル
このビットは、SDカードインタフェースをイネーブルします。インタフェースがディセーブルされているとき、REG[6100h]～REG[613Eh]はアクセス不可となり、SDカード端子(SDDAT[3:0]、SDCMD、SDCLK)は強制的に入力となります。このビットが0のとき、SDカードインタフェースはディセーブルされます（デフォルト）。
このビットが1のとき、SDカードインタフェースはイネーブルされます。

注

SDカードインタフェースがディセーブルされていて (REG[6000h]ビット0=0) かつGPIOが出力のとき、無用な消費電力を避けるためにプルダウン制御ビット (REG[0308h]ビット15～11およびREG[030Ah]ビット3～0) に1を設定してください。

REG[6004h] SD Memory Card Configuration Register 2							Read/Write
Default = xxxxh							
n/a							
15	14	13	12	11	10	9	8
SDDAT3状態	SDDAT2状態	SDDAT1状態	SDDAT0状態	SDCMD状態	SDCLK状態	SDWP状態 (RO)	SDCD#状態 (RO)
7	6	5	4	3	2	1	0

- bit 7 SDDAT3状態
SDDAT3が入力のとき、このビットはSDDAT3の状態を示します。
読み出し：
このビットが0を返すとき、SDDAT3入力はLowです。
このビットが1を返すとき、SDDAT3入力はHighです。
書き込み：
このビットに値を書き込んでもハードウェアには何の影響もありません。

10. レジスタ

bit 6	<p>SDDAT2状態 SDDAT2が入力のとき、このビットはSDDAT2の状態を示します。 読み出し： このビットが0を返すとき、SDDAT2入力はLowです。 このビットが1を返すとき、SDDAT2入力はHighです。 書き込み： このビットに値を書き込んでもハードウェアには何の影響もありません。</p>
bit 5	<p>SDDAT1状態 SDDAT1が入力のとき、このビットはSDDAT1の状態を示します。 読み出し： このビットが0を返すとき、SDDAT1入力はLowです。 このビットが1を返すとき、SDDAT1入力はHighです。 書き込み： このビットに値を書き込んでもハードウェアには何の影響もありません。</p>
bit 4	<p>SDDAT0状態 SDDAT0が入力のとき、このビットはSDDAT0の状態を示します。 読み出し： このビットが0を返すとき、SDDAT0入力はLowです。 このビットが1を返すとき、SDDAT0入力はHighです。 書き込み： このビットに値を書き込んでもハードウェアには何の影響もありません。</p>
bit 3	<p>SDCMD状態 SDCMDが入力のとき、このビットはSDCMDの状態を示します。 読み出し： このビットが0を返すとき、SDCMD入力はLowです。 このビットが1を返すとき、SDCMD入力はHighです。 書き込み： このビットに値を書き込んでもハードウェアには何の影響もありません。</p>
bit 2	<p>SDCLK状態 SDCLKが入力のとき、このビットはSDCLKの状態を示します。 読み出し： このビットが0を返すとき、SDCLK入力はLowです。 このビットが1を返すとき、SDCLK入力はHighです。 書き込み： このビットに値を書き込んでもハードウェアには何の影響もありません。</p>
bit 1	<p>SDWP状態（読み出し専用） このビットはSDWPの状態を示します。 このビットが0を返すとき、SDWP入力はLowです。 このビットが1を返すとき、SDWP入力はHighです。</p>
bit 0	<p>SDCD#状態（読み出し専用） このビットはSDCD#の状態を示します。 このビットが0を返すとき、SDCD#入力はLowです。 このビットが1を返すとき、SDCD#入力はHighです。</p>

REG[6008h] SD Memory Card Interrupt Flag Register							Read Only	
Default = 0000h								
n/a						SDCD#未処理状態 (RO)	SDカード検出割り込みフラグ (RO)	
15	14	13	12	11	10	9	8	
SDCLK変更割り込みフラグ (RO)	コマンド送信割り込みフラグ (RO)	応答受信割り込みフラグ (RO)	ビジー待ち割り込みフラグ (RO)	データ受信割り込みフラグ (RO)	データ送信割り込みフラグ (RO)	8クロック送信割り込みフラグ (RO)	同期リセット割り込みフラグ (RO)	
7	6	5	4	3	2	1	0	

- bit 9 SDCD#未処理状態 (読み出し専用)
このビットはSDCD#端子の状態を示します。
このビットが0を返すとき、SDCD#はLow入力です。
このビットが1を返すとき、SDCD#はHigh入力です。
- bit 8 SDカード検出割り込みフラグ (読み出し専用)
このビットはSDカード検出割り込みの状態を示します。
このビットが0を返すとき、SDカード検出割り込みは発行されていません。
このビットが1を返すとき、SDカード検出割り込みが発行されています。
- bit 7 SDCLK変更割り込みフラグ (読み出し専用)
このビットはSDCLK変更割り込みの状態を示します。
このビットが0を返すとき、SDCLK変更割り込みは発行されていません。
このビットが1を返すとき、SDCLK変更割り込みが発行されています。
- bit 6 コマンド送信割り込みフラグ (読み出し専用)
このビットはコマンド送信割り込みの状態を示します。
このビットが0を返すとき、コマンド送信割り込みは発行されていません。
このビットが1を返すとき、コマンド送信割り込みが発行されています。
- bit 5 応答受信割り込みフラグ (読み出し専用)
このビットは応答受信割り込みの状態を示します。
このビットが0を返すとき、応答受信割り込みは発行されていません。
このビットが1を返すとき、応答受信割り込みが発行されています。
- bit 4 ビジー待ち割り込みフラグ (読み出し専用)
このビットはビジー待ち割り込みの状態を示します。
このビットが0を返すとき、ビジー待ち割り込みは発行されていません。
このビットが1を返すとき、ビジー待ち割り込みが発行されています。
- bit 3 データ受信割り込みフラグ (読み出し専用)
このビットはデータ受信割り込みの状態を示します。
このビットが0を返すとき、データ受信割り込みは発行されていません。
このビットが1を返すとき、データ受信割り込みが発行されています。
- bit 2 データ送信割り込みフラグ (読み出し専用)
このビットはデータ送信割り込みの状態を示します。
このビットが0を返すとき、データ送信割り込みは発行されていません。
このビットが1を返すとき、データ送信割り込みが発行されています。
- bit 1 8クロック送信割り込みフラグ (読み出し専用)
このビットは8クロック送信割り込みの状態を示します。
このビットが0を返すとき、8クロック送信割り込みは発行されていません。
このビットが1を返すとき、8クロック送信割り込みが発行されています。

10. レジスタ

bit 0 同期リセット割り込みフラグ（読み出し専用）
 このビットは同期リセット割り込みの状態を示します。
 このビットが0を返すとき、同期リセット割り込みは発行されていません。
 このビットが1を返すとき、同期リセット割り込みが発行されています。

REG[600Ah] SD Memory Card Interrupt Enable Register							Read/Write
Default = 0000h							
n/a							SDカード検出 割り込み イネーブル
15	14	13	12	11	10	9	8
SDCLK変更 割り込み イネーブル	コマンド送信 割り込み イネーブル	応答受信割り込み イネーブル	ビジー待ち 割り込み イネーブル	データ受信 割り込み イネーブル	データ送信 割り込み イネーブル	8クロック送信 割り込みイネーブル	同期リセット 割り込みイネーブル
7	6	5	4	3	2	1	0

bit 8 SDカード検出割り込みイネーブル
 このビットはSDカード検出割り込みをイネーブルします。
 このビットが0のとき、SDカード検出割り込みはイネーブルされません。
 このビットが1のとき、SDカード検出割り込みはイネーブルされます。

bit 7 SDCLK変更割り込みイネーブル
 このビットはSDCLK変更割り込みをイネーブルします。
 このビットが0のとき、SDCLK変更割り込みはイネーブルされません。
 このビットが1のとき、SDCLK変更割り込みはイネーブルされます。

bit 6 コマンド送信割り込みイネーブル
 このビットはコマンド送信割り込みをイネーブルします。
 このビットが0のとき、コマンド送信割り込みはイネーブルされません。
 このビットが1のとき、コマンド送信割り込みはイネーブルされます。

bit 5 応答受信割り込みイネーブル
 このビットは応答受信割り込みをイネーブルします。
 このビットが0のとき、応答受信割り込みはイネーブルされません。
 このビットが1のとき、応答受信割り込みはイネーブルされます。

bit 4 ビジー待ち割り込みイネーブル
 このビットはビジー待ち割り込みをイネーブルします。
 このビットが0のとき、ビジー待ち割り込みはイネーブルされません。
 このビットが1のとき、ビジー待ち割り込みはイネーブルされます。

bit 3 データ受信割り込みイネーブル
 このビットはデータ受信割り込みをイネーブルします。
 このビットが0のとき、データ受信割り込みはイネーブルされません。
 このビットが1のとき、データ受信割り込みはイネーブルされます。

bit 2 データ送信割り込みイネーブル
 このビットはデータ送信割り込みをイネーブルします。
 このビットが0のとき、データ送信割り込みはイネーブルされません。
 このビットが1のとき、データ送信割り込みはイネーブルされます。

bit 1 8クロック送信割り込みイネーブル
 このビットは8クロック送信割り込みをイネーブルします。
 このビットが0のとき、8クロック送信割り込みはイネーブルされません。
 このビットが1のとき、8クロック送信割り込みはイネーブルされます。

bit 0 同期リセット割り込みイネーブル
 このビットは同期リセット割り込みをイネーブルします。
 このビットが0のとき、同期リセット割り込みはイネーブルされません。
 このビットが1のとき、同期リセット割り込みはイネーブルされます。

REG[600Ch] SD Memory Card Interrupt Clear Register							Write Only
Default = xxxxh							
n/a							SDカード検出 割り込みクリア (WO)
15	14	13	12	11	10	9	8
SDCLK変更 割り込みクリア (WO)	コマンド送信 割り込みクリア (WO)	応答受信割り込み クリア (WO)	ビジー待ち 割り込みクリア (WO)	データ受信 割り込みクリア (WO)	データ送信 割り込みクリア (WO)	8クロック送信 割り込みクリア (WO)	同期リセット 割り込みクリア (WO)
7	6	5	4	3	2	1	0

bit 8 SDカード検出割り込みクリア (書き込み専用)
 このビットはSDカード検出割り込みをクリアします。
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、SDカード検出割り込みがクリアされます。

bit 7 SDCLK変更割り込みクリア (書き込み専用)
 このビットはSDCLK変更割り込みをクリアします。
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、SDCLK変更割り込みがクリアされます。

bit 6 コマンド送信割り込みクリア (書き込み専用)
 このビットはコマンド送信割り込みをクリアします。
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、コマンド送信割り込みがクリアされます。

bit 5 応答受信割り込みクリア (書き込み専用)
 このビットは応答受信割り込みをクリアします。
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、応答受信割り込みがクリアされます。

bit 4 ビジー待ち割り込みクリア (書き込み専用)
 このビットはビジー待ち割り込みをクリアします。
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、ビジー待ち割り込みがクリアされます。

bit 3 データ受信割り込みクリア (書き込み専用)
 このビットはデータ受信割り込みをクリアします。
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、データ受信割り込みがクリアされます。

bit 2 データ送信割り込みクリア (書き込み専用)
 このビットはデータ送信割り込みをクリアします。
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、データ送信割り込みがクリアされます。

bit 1 8クロック送信割り込みクリア (書き込み専用)
 このビットは8クロック送信割り込みをクリアします。
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、8クロック送信割り込みがクリアされます。

10. レジスタ

bit 0 同期リセット割り込みクリア（書き込み専用）
 このビットは同期リセット割り込みをクリアします。
 このビットに0を書き込んでもハードウェアには何の影響もありません。
 このビットに1を書き込むと、同期リセット割り込みがクリアされます。

REG[6100h] SD Memory Card Control Register 0							
Default = 0031h							Read/Write
n/a							
15	14	13	12	11	10	9	8
SDCLK分周選択ビット3~0				Reserved		SDカード割り込み イネーブル	SDカード割り込み フラグ
7	6	5	4	3	2	1	0

bits 7-4 SDCLK分周選択ビット[3:0]
 これらのビットはSDカードクロック（SDCLK信号）の分周比を指定します。SDカードクロックのクロックソースはシステムクロックです。分周比を変更するときは、SDCLK変更開始ビット（REG[6104h]ビット7）に1を書き込んだあと、変更が行われる（REG[6104h]ビット7=0となる）のを待ってからSDカードクロックインタフェースを使用してください。

表10.97 SDカードクロック分周比選択

REG[6100h]ビット7~4	SDカードクロック分周比
0000	Reserved
0001	2:1（注）
0010	3:1（注）
0011（デフォルト）	4:1
0101	62:1
1001	130:1
1010	131:1
1110	255:1
1111	256:1
その他	Reserved

注

SDカードクロック分周比の設定にあたってはSDCLKの周波数が13.75MHzを超えないようにしてください（108ページの7.6.2「SDカードクロック出力」を参照してください）。

SDカードクロックの代表的な設定例を以下にいくつか示します。

表10.98 システムクロック周波数とSDカードクロック

システムクロック周波数	REG[6100h]ビット7~4	
	識別モード	データ転送モード
~52MHz	1010 (~396KHz)	0011 (~13MHz)
~55MHz	1110 (~215KHz)	0011 (~13.75MHz Max)

bits 3-2 Reserved
 デフォルト値は0です。

bit 1	<p>SDカード割り込みイネーブル</p> <p>このビットはSDカード割り込み (SDCD#) を制御するとともに、SDカード割り込み状態ビット (REG[0A00h]ビット7) のマスクを行います。</p> <p>このビットが0のとき、割り込みはディセーブルされます (デフォルト)。</p> <p>このビットが1のとき、この割り込みはイネーブルされます。</p>
bit 0	<p>SDカード割り込みフラグ</p> <p>このビットはSDカード割り込みの発行 (カード検出信号SDCD#の変化) を示します。このビットはSDカード割り込みイネーブルビット (REG[6100h]ビット1) の値に影響を受けません。</p> <p>読み出し：</p> <p>このビットが0を返すとき、割り込みは発行されていません。</p> <p>このビットが1を返すとき、割り込みが発行されています (SDCD#信号が変化しました)。</p> <p>書き込み：</p> <p>このビットに0を書き込むとフラグがクリアされます。</p> <p>このビットに1を書き込んでもハードウェアには何の影響もありません。</p>

注

このビットはSDカードソフトウェアリセット (REG[6104h]ビット0 = 1) においてクリアされます。

10. レジスタ

REG[6102h] SD Memory Card Control Register 1							Read/Write
Default = 00x1h							
				n/a			
15	14	13	12	11	10	9	8
SDWP状態 (RO)	SDGPO反転データ	Reserved			応答データ長	マルチブロックイネーブル	データバス幅
7	6	5	4	3	2	1	0

- bit 7 SDWP状態 (読み出し専用)
このビットはクロックによってサンプリングされるSDWP (書き込み保護) の状態を示します。
このビットが0を返すとき、SDWPはLow入力です (カードが書き込み保護されているか、またはカードが存在しません)。
このビットが1を返すとき、SDWPはHigh入力です。
- bit 6 SDGPO反転データ
このビットはSDGPOの極性を決定します。
このビットが0のとき、SDGPOは強制Highとなります。
このビットが1のとき、SDGPOは強制Lowとなります (デフォルト)。
- bits 5-3 Reserved
デフォルト値は0です。
- bit 2 応答データ長
このビットはメモリカードから受け取る応答の長さをビットで決定します。応答受信開始 (REG[6104h]ビット5) を行う前にこのビットを設定し、適切な長さを指定してください。
このビットが0のとき、応答長は48ビット (デフォルト) であり、SD Memory Card ResponseレジスタのA ~ F (REG[6134h] ~ REG[613Eh]) が使用されます。
このビットが1のとき、応答長は136ビットであり、SD Memory Card Responseレジスタの0 ~ F (REG[6120h] ~ REG[613Eh]) が使用されます。
- bit 1 マルチブロックイネーブル
このビットはマルチブロック読み出し / 書き込み機能を制御します。このビットは、データ受信開始 (REG[6104h]ビット3) またはデータ送信開始 (REG[6104h]ビット2) を行う前に適切なマルチブロック設定を行ってください。
このビットが0のとき、マルチブロック読み出し / 書き込み機能はディセーブルされます (デフォルト)。
このビットが1のとき、マルチブロック読み出し / 書き込み機能はイネーブルされます。
- bit 0 データバス幅
このビットはSDカードのデータバス幅をビットで指定します。SDカードに合った値に設定してください。このビットは、データ受信開始 (REG[6104h]ビット3) またはデータ送信開始 (REG[6104h]ビット2) を行う前に適切な値に設定してください。
このビットが0のときデータバス幅は4ビットであり、データ転送にはSDDAT[3:0]が使用されます。
このビットが1のときデータバス幅は1ビットであり、データ転送にはSDDAT0が使用されます (デフォルト)。

REG[6104h] SD Memory Card Function Register							
Default = 0000h							Read/Write
n/a							
15	14	13	12	11	10	9	8
SDCLK変更開始	コマンド送信開始	応答受信開始	ビジー待ち開始	データ受信開始	データ送信開始	8クロック送信開始	同期リセット開始
7	6	5	4	3	2	1	0

- bit 7 SDCLK変更開始
このビットはSDカードクロック（SDCLK）の周波数変更を制御します。
書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、SDカードクロックの周波数変更が開始されます。
読み出し：
このビットが0を返すとき、SDカードクロックの周波数変更は完了しています。
このビットが1を返すとき、SDカードクロックの周波数変更はまだ完了していません。
- SDカードクロックの周波数を変更する代表的な手順を以下に示します。
1. SDCLKの分周比を選択します。REG[6100h]ビット7～4
 2. SDCLK変更開始ビットに1を書き込みます。
 3. SDCLK変更開始ビットが0に戻るのを待ちます。0に戻ったら変更は完了であり、インタフェースをイネーブルできます。
- bit 6 コマンド送信開始
このビットはSDカードへのコマンドおよびパラメータの転送を制御します。
書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、REG[610Ch]およびREG[6110h]～REG[6116h]に格納されたコマンドおよびパラメータがSDCMDのタイミングで転送されます。
読み出し：
このビットが0を返すとき、コマンド/パラメータ転送は完了しています。
このビットが1を返すとき、コマンド/パラメータはまだ転送中です。
- bit 5 応答受信開始
このビットはSDカードからの応答受信を制御します。このビットを使った応答受信を開始する前に、期待される応答データ長に合わせて応答データ長ビット（REG[6102h]ビット2）を設定してください。
書き込み：
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、SDCMDのタイミングで応答受信が開始されます。その内容はREG[6120h]～REG[613Eh]を用いて読み出すことができます。
読み出し：
このビットが0を返すとき、応答受信は完了しています。
このビットが1を返すとき、応答はまだ受信中です。

10. レジスタ

bit 4	<p>ビジー待ち開始 このビットはSDカードからのビジー待ち信号の受信を制御します。 書き込み： このビットに0を書き込んでもハードウェアには何の影響もありません。 このビットに1を書き込むと、ビジー待ち信号の受信が開始されます。 読み出し： このビットが0を返すとき、ビジー待ち信号の受信は完了しています。 このビットが1を返すとき、ビジー待ち信号はまだ受信中です。</p>
bit 3	<p>データ受信開始 このビットはSDカードからのデータの受信を制御します。データ受信を開始する前に応答データ長ビット (REG[6102h]ビット2) とマルチブロックイネーブルビット (REG[6102h]ビット1) を期待される応答タイプに合わせて設定してください。 書き込み： このビットに0を書き込んでもハードウェアには何の影響もありません。 このビットに1を書き込むと、SDDATラインのタイミングでデータ受信が開始されます。その内容はREG[6118h] ~ REG[611Eh]を用いて読み出されます。 読み出し： このビットが0を返すとき、データ受信は完了しています。 このビットが1を返すとき、データはまだ受信中です。</p>
bit 2	<p>データ送信開始 このビットはSDカードへのデータの送信を制御します。データ送信を開始する前にマルチブロックイネーブルビット (REG[6102h]ビット1) を送信データのタイプに合わせて設定してください。 書き込み： このビットに0を書き込んでもハードウェアには何の影響もありません。 このビットに1を書き込むと、REG[6118h] ~ REG[611Eh]に書き込まれたデータがSDDATラインのタイミングで転送されます。 読み出し： このビットが0を返すとき、データ送信は完了しています。 このビットが1を返すとき、データはまだ送信中です。</p>
bit 1	<p>8クロック送信開始 このビットはSDカードに対する8つのクロックの送信を制御します。 書き込み： このビットに0を書き込んでもハードウェアには何の影響もありません。 このビットに1を書き込むと送信が開始されます。 読み出し： このビットが0を返すとき、送信は完了しています。 このビットが1を返すとき、8つのクロックはまだ送信中です。</p>
bit 0	<p>同期リセット開始 このビットは、SD カードインタフェースレジスタのうち REG[6104h] と REG[6106h]を同期してリセットします。このリセットは、SDカードインタフェースレジスタのうちREG[6100h] ~ REG[6102h]とREG[6108h] ~ REG[613Eh]には何の影響も与えません。 書き込み： このビットに0を書き込んでもハードウェアには何の影響もありません。 このビットに1を書き込むと同期リセットが開始されます。 読み出し： このビットが0を返すとき、同期リセットは完了しています。 このビットが1を返すとき、同期リセットはまだ実行中です。</p>

REG[6106h] SD Memory Card Status Register							
Default = 00x0h							Read Only
				n/a			
15	14	13	12	11	10	9	8
Reserved	SDCD#状態	データ書き込み可能	データ読み出し可能	データCRCエラー	応答過大エラー	応答CRCエラー	タイムオーバーエラー
7	6	5	4	3	2	1	0

注

このレジスタは読み出し専用であり、いかなる場合も書き込まないでください。

- bit 7 Reserved
デフォルト値は0です。
- bit 6 SDCD#状態（読み出し専用）
このビットはサンプリングクロックのタイミングで得られたSDCD#端子の状態を示します。
このビットが0を返すとき、SDCD#はLow入力です。
このビットが1を返すとき、SDCD#はHigh入力です。
- bit 5 データ書き込み可能（読み出し専用）
このビットはSDカードにデータが書き込み可能かどうかを示します。
このビットが0を返すとき、データの書き込みはできません。
このビットが1を返すとき、データの書き込みは可能です。
- bit 4 データ読み出し可能（読み出し専用）
このビットはSDカードからデータが読み出し可能かどうかを示します。
このビットが0を返すとき、データの読み出しはできません。
このビットが1を返すとき、データの読み出しは可能です。
- bit 3 データCRCエラー（読み出し専用）
このビットはデータにCRCエラーがあるかどうかを示します。
このビットが0を返すとき、CRCエラーは発生していません。
このビットが1を返すとき、CRCエラーが発生しています。
- bit 2 応答過大エラー（読み出し専用）
このビットはSDカードからの応答が64クロックを超えているかどうかを示します。
このビットが0を返すとき、応答は64クロックを超えていません。
このビットが1を返すとき、応答は64クロックを超えています。
- bit 1 応答CRCエラー（読み出し専用）
このビットはSDカードからの応答にCRCエラーがあるかどうかを示します。
このビットが0を返すとき、CRCエラーは発生していません。
このビットが1を返すとき、CRCエラーが発生しています。
- bit 0 タイムオーバーエラー（読み出し専用）
このビットはデータ転送中にタイムオーバーエラーが起きたかどうかを示します。
このビットが0を返すとき、タイムオーバーエラーは発生していません。
このビットが1を返すとき、タイムオーバーエラーが発生しています。

10. レジスタ

REG[6108h] SD Memory Card Data Length Register 0								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
Reserved						データ長ビット9~8		
7	6	5	4	3	2	1	0	

REG[610Ah] SD Memory Card Data Length Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
データ長ビット7~0								
7	6	5	4	3	2	1	0	

REG[6108h] bits 7-2 Reserved
 デフォルト値は0です。

REG[6108h] bits 1-0

REG[610Ah] bits 7-0

データ長ビット[9:0]
 これらのビットはSDカードのデータ長を指定します。
 データ長は以下の式が成り立つようにプログラムしてください。
 1 データ長 512

REG[610Ch] SD Memory Card Command Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
Reserved		コマンドビット5~0						
7	6	5	4	3	2	1	0	

bits 7-6 Reserved
 デフォルト値は0です。

bits 5-0

コマンドビット[5:0]
 これらのビットはデータ送信時にSDCMD信号に合わせて送信するコマンドを指定します。

REG[610Eh] SD Memory Card Timer Register								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
タイマ値ビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

タイマ値ビット[7:0]
 これらのビットは、SDカードに対するデータ長およびコマンドアクセスの時間を制限するタイマ値を指定します。SDカードアクセスにおいてタイマ値を超過したらエラーが発生します。エラーの詳細い内容についてはSD Memory Card Statusレジスタ (REG[6106h]) の各状態ビットを調べてください。
 タイマ上限値 = REG[610Eh]ビット7~0 × SDカードのクロック周期 (時間)

REG[6110h] SD Memory Card Parameter Register 0

Default = 0000h

Read/Write

n/a							
15	14	13	12	11	10	9	8
パラメータ0ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

パラメータ0ビット[7:0]

これらのビットは、データをSDCMD信号に合わせて送信するときに使用するパラメータ0を指定します。データの転送順序は次のとおりです。コマンド、パラメータ0、パラメータ1、パラメータ2、パラメータ3。

REG[6112h] SD Memory Card Parameter Register 1

Default = 0000h

Read/Write

n/a							
15	14	13	12	11	10	9	8
パラメータ1ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

パラメータ1ビット[7:0]

これらのビットは、データをSDCMD信号に合わせて送信するときに使用するパラメータ1を指定します。データの転送順序は次のとおりです。コマンド、パラメータ0、パラメータ1、パラメータ2、パラメータ3。

REG[6114h] SD Memory Card Parameter Register 2

Default = 0000h

Read/Write

n/a							
15	14	13	12	11	10	9	8
パラメータ2ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

パラメータ2ビット[7:0]

これらのビットは、データをSDCMD信号に合わせて送信するときに使用するパラメータ2を指定します。データの転送順序は次のとおりです。コマンド、パラメータ0、パラメータ1、パラメータ2、パラメータ3。

REG[6116h] SD Memory Card Parameter Register 3

Default = 0000h

Read/Write

n/a							
15	14	13	12	11	10	9	8
パラメータ3ビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

パラメータ3ビット[7:0]

これらのビットは、データをSDCMD信号に合わせて送信するときに使用するパラメータ3を指定します。データの転送順序は次のとおりです。コマンド、パラメータ0、パラメータ1、パラメータ2、パラメータ3。

10. レジスタ

REG[6118h - 611Eh] SD Memory Card Data Registers								Read/Write
Default = 00xxh								
n/a								
15	14	13	12	11	10	9	8	
書き込みデータ / 読み出しデータ								
7	6	5	4	3	2	1	0	

REG[6118h] bits 7-0

REG[611Ah] bits 7-0

REG[611Ch] bits 7-0

REG[611Eh] bits 7-0

書き込みデータ / 読み出しデータ

これらのビットは、SDカードから受信する読み出しデータまたはSDカードに送信する書き込みデータを指定します。データ書き込み可能ビットが0を返す（REG[6106h]ビット5=0である）場合、SDカードへのデータの書き込みは行えません。またデータ読み出し可能ビットが0を返す（REG[6106h]ビット4=0である）場合、SDカードからのデータの読み出しは行えません。

REG[6120h] SD Memory Card Response Register 0								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答0ビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

応答0ビット[7:0]

これらのビットはSDCMD信号においてSDカードから受信する応答0のデータを格納します。

REG[6122h] SD Memory Card Response Register 1							
Default = 00FFh							Read Only
n/a							
15	14	13	12	11	10	9	8
応答1ビット7-0							
7	6	5	4	3	2	1	0

bits 7-0

応答1ビット[7:0]

これらのビットは応答データ長が136ビット（REG[6102h]ビット2=1）のときのみ使用されます。SDCMD信号においてSDカードから受信する応答1のデータを格納します。

REG[6124h] SD Memory Card Response Register 2							
Default = 00FFh							Read Only
n/a							
15	14	13	12	11	10	9	8
応答2ビット7-0							
7	6	5	4	3	2	1	0

bits 7-0

応答2ビット[7:0]

これらのビットは応答データ長が136ビット（REG[6102h]ビット2=1）のときのみ使用されます。SDCMD信号においてSDカードから受信する応答2のデータを格納します。

REG[6126h] SD Memory Card Response Register 3							
Default = 00FFh							Read Only
n/a							
15	14	13	12	11	10	9	8
応答3ビット7-0							
7	6	5	4	3	2	1	0

bits 7-0

応答3ビット[7:0]

これらのビットは応答データ長が136ビット（REG[6102h]ビット2=1）のときのみ使用されます。SDCMD信号においてSDカードから受信する応答3のデータを格納します。

REG[6128h] SD Memory Card Response Register 4							
Default = 00FFh							Read Only
n/a							
15	14	13	12	11	10	9	8
応答4ビット7-0							
7	6	5	4	3	2	1	0

bits 7-0

応答4ビット[7:0]

これらのビットは応答データ長が136ビット（REG[6102h]ビット2=1）のときのみ使用されます。SDCMD信号においてSDカードから受信する応答4のデータを格納します。

10. レジスタ

REG[612Ah] SD Memory Card Response Register 5								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答5ビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

応答5ビット[7:0]

これらのビットは応答データ長が136ビット (REG[6102h]ビット2=1) のときのみ使用されます。SDCMD信号においてSDカードから受信する応答5のデータを格納します。

REG[612Ch] SD Memory Card Response Register 6								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答6ビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

応答6ビット[7:0]

これらのビットは応答データ長が136ビット (REG[6102h]ビット2=1) のときのみ使用されます。SDCMD信号においてSDカードから受信する応答6のデータを格納します。

REG[612Eh] SD Memory Card Response Register 7								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答7ビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

応答7ビット[7:0]

これらのビットは応答データ長が136ビット (REG[6102h]ビット2=1) のときのみ使用されます。SDCMD信号においてSDカードから受信する応答7のデータを格納します。

REG[6130h] SD Memory Card Response Register 8								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答8ビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

応答8ビット[7:0]

これらのビットは応答データ長が136ビット (REG[6102h]ビット2=1) のときのみ使用されます。SDCMD信号においてSDカードから受信する応答8のデータを格納します。

REG[6132h] SD Memory Card Response Register 9								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答9ビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

応答9ビット[7:0]

これらのビットは応答データ長が136ビット（REG[6102h]ビット2=1）のときのみ使用されます。SDCMD信号においてSDカードから受信する応答9のデータを格納します。

REG[6134h] SD Memory Card Response Register A								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答Aビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

応答Aビット[7:0]

これらのビットはSDCMD信号においてSDカードから受信する応答Aのデータを格納します。

REG[6136h] SD Memory Card Response Register B								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答Bビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0

応答Bビット[7:0]

これらのビットはSDCMD信号においてSDカードから受信する応答Bのデータを格納します。

REG[6138h] SD Memory Card Response Register C								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答Cビット7-0								
7	6	5	4	3	2	1	0	

its 7-0

応答Cビット[7:0]

これらのビットはSDCMD信号においてSDカードから受信する応答Cのデータを格納します。

10. レジスタ

REG[613Ah] SD Memory Card Response Register D								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答Dビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

応答Dビット[7:0]

これらのビットはSDCMD信号においてSDカードから受信する応答Dのデータを格納します。

REG[613Ch] SD Memory Card Response Register E								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答Eビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

応答Eビット[7:0]

これらのビットはSDCMD信号においてSDカードから受信する応答Eのデータを格納します。

REG[613Eh] SD Memory Card Response Register F								Read Only
Default = 00FFh								
n/a								
15	14	13	12	11	10	9	8	
応答Fビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

応答Fビット[7:0]

これらのビットはSDCMD信号においてSDカードから受信する応答Fのデータを格納します。

10.4.22 2D BitBLTレジスタ

注

S1D13719のBitBLTエンジンは32bppをサポートしていません。

REG[8000h] BitBLT Control Register 0							
Default = 0000h							Write Only
15	14	13	12	11	10	9	8
BitBLTリセット	n/a						BitBLTイネーブル
7	6	5	4	3	2	1	0

- bit 7 BitBLTリセット（書き込み専用）
このビットに0を書き込んでもハードウェアには何の影響もありません。
このビットに1を書き込むと、2D BitBLTエンジンがリセットされます。
- bit 0 BitBLTイネーブル（書き込み専用）
このビットに0を書き込むと、2D BitBLTの処理が終了します。
このビットに1を書き込むと、2D BitBLTの処理が開始されます。

REG[8002h] BitBLT Control Register 1							
Default = 0000h							Read/Write
Reserved							
15	14	13	12	11	10	9	8
n/a					カラーフォーマット 選択	デスティネーション 線形選択	ソース線形選択
7	6	5	4	3	2	1	0

- bits 15-8 Reserved
デフォルト値は0です。
- bit 2 カラーフォーマット選択
このビットは2D演算を行うときのカラーフォーマットを選択します。
このビットが0のとき、8bpp（256色）フォーマットが選択されます。
このビットが1のとき、16bpp（64,000色）フォーマットが選択されます。

注

BitBLTエンジンは32bppの色深度をサポートしていません。

- bit 1 デスティネーション線形選択
このビットが0のとき、デスティネーションBitBLTデータは矩形メモリ領域として格納されます。
このビットが1のとき、デスティネーションBitBLTデータは線形メモリ領域として格納されます。

BitBLT Memory Address Offsetレジスタ（REG[8014h]）は、あるラインの先頭位置から次のラインまでのアドレスオフセットを決定します。
- bit 0 ソース線形選択
このビットが0のとき、ソースBitBLTデータは矩形メモリ領域として格納されます。
このビットが1のとき、ソースBitBLTデータは線形メモリ領域として格納されます。

BitBLT Memory Address Offsetレジスタ（REG[8014h]）は、あるラインの先頭位置から次のラインまでのアドレスオフセットを決定します。

10. レジスタ

REG[8004h] BitBLT Status Register 0							
Default = 0000h							Read Only
n/a			Reserved				
15	14	13	12	11	10	9	8
Reserved	FIFO非エンプティ状態	FIFOハーフフル状態	FIFOフル状態	n/a			BitBLTビジー状態
7	6	5	4	3	2	1	0

bits 12-8

Reserved
デフォルト値は0です。

bit 7

Reserved
デフォルト値は0です。

bit 6

BitBLT FIFO非エンプティ状態（読み出し専用）
このビットはBitBLT FIFOがエンプティかどうかを示します。
このビットが0のとき、BitBLT FIFOはエンプティです。
このビットが1のとき、BitBLT FIFOには少なくとも1件のエントリーが存在します。
システムメモリの読み出し遅延を短くするには、BitBLTの読み出しバースト処理が起きる前にソフトウェアによってこのビットを監視するのがひとつの方法です。

各状態においてBitBLT FIFOで使用できるワード数を以下にまとめます。

表10.99 BitBLT FIFOの書き込み可能数

BitBLT Statusレジスタ (REG[8004h])			書き込み可能なワード数
FIFO非エンプティ状態	FIFOハーフフル状態	FIFOフル状態	
0	0	0	16
1	0	0	8
1	1	0	最大8
1	1	1	0 (書き込み不可)

bit 5

BitBLT FIFOハーフフル状態（読み出し専用）
このビットはBitBLT FIFOがフルの半分に達しているかどうかを示します。
このビットが0のとき、BitBLT FIFOはフルの半分未満です。
このビットが1のとき、BitBLT FIFOはフルの半分以上です。

bit 4

BitBLT FIFOフル状態（読み出し専用）
このビットはBitBLT FIFOがフルに達しているかどうかを示します。BitBLT FIFOに書き込みを行う前にこのビットがフルでない（0である）ことを確認する必要があります。
このビットが0のとき、BitBLT FIFOはフルではありません。
このビットが1のとき、BitBLT FIFOはフルです。

bit 0

BitBLTビジー状態（読み出し専用）
このビットは現在のBitBLT処理の状態を示します。
このビットが0のとき、BitBLT処理は完了しています。
このビットが1のとき、BitBLT処理は進行中です。

REG[8006h]は予約レジスタです。

これは予約レジスタです。書き込まないでください。

REG[8008h] BitBLT Command Register 0								Read/Write
Default = 0000h								
15	14	13	12	n/a	11	10	9	8
7	6	5	4	n/a	3	2	1	0
				BitBLT処理ビット3~0				

bits 3-0

BitBLT処理ビット[3:0]

これらのビットは実行する2D演算の内容を指定します。

注

インダイレクトインタフェースモードではBitBLTの処理は限定されます(Read BitBLT)。

表10.100 BitBLT処理選択

BitBLT処理ビット3~0	BitBLT処理	ダイレクト インタフェース	インダイレクト インタフェース
0000	Reserved	-	-
0001	Read BitBLT	サポートあり	サポートなし
0010	Move BitBLT (ポジティブ方向、ROP 機能付き)	サポートあり	サポートあり
0011	Move BitBLT (ネガティブ方向、ROP 機能付き)	サポートあり	サポートあり
0100	Reserved	-	-
0101	Move BitBLT (ポジティブ方向、透過機能付き)	サポートあり	サポートあり
0110	Pattern Fill BitBLT (ROP 機能付き)	サポートあり	サポートあり
0111	Pattern Fill BitBLT (透過機能付き)	サポートあり	サポートあり
1000	Reserved	-	-
1001	Reserved	-	-
1010	Move BitBLT (色拡張機能付き)	サポートあり	サポートあり
1011	Move BitBLT (色拡張機能および透過機能付き)	サポートあり	サポートあり
1100	Solid Fill BitBLT	サポートあり	サポートあり
上記以外の値	Reserved	-	-

10. レジスタ

REG[800Ah] BitBLT Command Register 1								Read/Write
Default = 0000h								
15	14	13	12	n/a	11	10	9	8
7	6	5	4	n/a	3	2	1	0
				BitBLT ROPコードビット3-0				

bits 3-0

BitBLTラスタ演算コード/色拡張ビット[3:0]

これらのビットはWrite BitBLTおよびMove BitBLTに対するROP（ラスタ演算）コードを決定します。ビット2~0は色拡張の開始ビット位置も指定します。

表10.101 BitBLT ROPコード/色拡張関数選択

BitBLT ROPコードビット3~0	BWrite BitBLTおよびMove BitBLTに対する論理関数	Pattern Fill BitBLTに対する論理関数	色拡張の開始ビット位置
0000	0 (黒)	0 (黒)	ビット0
0001	$\sim S . \sim D$ or $\sim(S + D)$	$\sim P . \sim D$ or $\sim(P + D)$	ビット1
0010	$\sim S . D$	$\sim P . D$	ビット2
0011	$\sim S$	$\sim P$	ビット3
0100	$S . \sim D$	$P . \sim D$	ビット4
0101	$\sim D$	$\sim D$	ビット5
0110	$S \wedge D$	$P \wedge D$	ビット6
0111	$\sim S + \sim D$ or $\sim(S . D)$	$\sim P + \sim D$ or $\sim(P . D)$	ビット7
1000	$S . D$	$P . D$	ビット0
1001	$\sim(S \wedge D)$	$\sim(P \wedge D)$	ビット1
1010	D	D	ビット2
1011	$\sim S + D$	$\sim P + D$	ビット3
1100	S	P	ビット4
1101	$S + \sim D$	$P + \sim D$	ビット5
1110	$S + D$	$P + D$	ビット6
1111	1 (白)	1 (白)	ビット7

注

S = ソース、D = デスティネーション、P = パターン

REG[800Ch] BitBLT Source Start Address Register 0								Read/Write
Default = 0000h								
BitBLTソース開始アドレスビット15~8								
15	14	13	12	11	10	9	8	
BitBLTソース開始アドレスビット7~0								
7	6	5	4	3	2	1	0	

REG[800Eh] BitBLT Source Start Address Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
BitBLTソース開始アドレスビット20~16								
7	6	5	4	3	2	1	0	

REG[800Eh] bits 4-0

REG[800Ch] bits 15-0

BitBLTソース開始アドレスビット[20:0]

これらのビットはBitBLT処理におけるソースの開始アドレスを指定します。データのソースがCPUの場合は16ビットワードにおけるバイト位置がビット0によって示され、それ以外のアドレスビットは無視されます。パターン塗りではBitBLTソース開始アドレスは以下の式によって定義されます。

ソース開始アドレスの設定値 =

$$\text{パターンベースアドレス} + \text{パターンラインオフセット} + \text{ピクセルオフセット}$$

8bppと16bppの色深度におけるSource Start Addressレジスタの使い方を以下にまとめます。

表10.102 BitBLTソース開始アドレスレジスタ選択

カラーフォーマット	パターンベースアドレス[20:0]	パターンラインオフセット[2:0]	ピクセルオフセット[3:0]
8 bpp	BitBLTソース開始アドレス[20:6]	BitBLTソース開始アドレス[5:3]	BitBLTソース開始アドレス[2:0]
16 bpp	BitBLTソース開始アドレス[20:7]	BitBLTソース開始アドレス[6:4]	BitBLTソース開始アドレス[3:0]

10. レジスタ

REG[8010h] BitBLT Destination Start Address Register 0								Read/Write
Default = 0000h								
BitBLTデスティネーション開始アドレスビット15~8								
15	14	13	12	11	10	9	8	
BitBLTデスティネーション開始アドレスビット7~0								
7	6	5	4	3	2	1	0	

REG[8012h] BitBLT Destination Start Address Register 1								Read/Write
Default = 0000h								
n/a								
15	14	13	12	11	10	9	8	
n/a			BitBLTデスティネーション開始アドレスビット20~16					
7	6	5	4	3	2	1	0	

REG[8012h] bits 4-0

REG[8010h] bits 15-0 BitBLTデスティネーション開始アドレスビット[20:0]
 これらのビットはBitBLT処理におけるデスティネーションの開始アドレスを指定します。

REG[8014h] BitBLT Memory Address Offset Register								Read/Write
Default = 0000h								
n/a				BitBLTメモリアドレスオフセットビット10~8				
15	14	13	12	11	10	9	8	
BitBLTメモリアドレスオフセットビット7~0								
7	6	5	4	3	2	1	0	

bits 10-0

BitBLTメモリアドレスオフセットビット[10:0]
 これらのビットは、表示におけるラインnの開始ワードからラインn+1の開始ワードまでの11ビットのアドレスオフセットです。これらのビットは、BitBLT領域を矩形メモリ領域に設定したときのアドレス計算にのみ使用されます。表示には使用されません。

REG[8018h] BitBLT Width Register								Read/Write
Default = 0000h								
n/a				BitBLT幅ビット9~8				
15	14	13	12	11	10	9	8	
BitBLT幅ビット7~0								
7	6	5	4	3	2	1	0	

bits 9-0

BitBLT幅ビット[9:0]
 これらのビットはBitBLTの幅をピクセルで決定します。
 BitBLTの幅 (ピクセル) = (REG[8018h]ビット9~0) + 1

REG[801Ch] BitBLT Height Register								Read/Write	
Default = 0000h									
n/a				BitBLT高さビット9~8					
15	14	13	12	11	10	9	8		
BitBLT高さビット7~0									
7	6	5	4	3	2	1	0		

bits 9-0

BitBLT高さビット[9:0]

これらのビットはBitBLTの高さをラインで決定します。

BitBLTの高さ (ライン) = (REG[801Ch]ビット9~0) + 1

REG[8020h] BitBLT Background Color Register								Read/Write	
Default = 0000h									
BitBLT背景色ビット15~8				BitBLT背景色ビット7~0					
15	14	13	12	11	10	9	8		
7	6	5	4	3	2	1	0		

bits 15-0

BitBLT背景色ビット[15:0]

これらのビットは、BitBLTの背景色（色拡張のとき）またはキーカラー（透過BitBLTのとき）を指定します。色深度が16bpp（REG[8002h]ビット4=1）のときはビット15~0が使用されます。色深度が8bpp（REG[8002h]ビット4=0）のときはビット7~0が使用されます。

REG[8024h] BitBLT Foreground Color Register								Read/Write	
Default = 0000h									
BitBLT前景色ビット15~8				BitBLT前景色ビット7~0					
15	14	13	12	11	10	9	8		
7	6	5	4	3	2	1	0		

bits 15-0

BitBLT前景色ビット[15:0]

これらのビットは色拡張または塗りつぶしにおけるBitBLTの前景色を指定します。色深度が16bpp（REG[8002h]ビット4=1）のときはビット15~0が使用されます。色深度が8bpp（REG[8002h]ビット4=0）のときはビット7~0が使用されます。

REG[8030h] BitBLT Interrupt Status Register								Read/Write	
Default = 0000h									
n/a				BitBLT処理完了フラグ					
15	14	13	12	11	10	9	8		
n/a							BitBLT処理完了フラグ		
7	6	5	4	3	2	1	0		

bit 0

BitBLT処理完了フラグ

BitBLT 処理が完了したときにこのビットが設定されます。このビットはREG[8032h]ビット0によってマスクされます。

このビットに0を書き込んでもハードウェアには何の影響もありません。

このビットに1を書き込むとフラグがクリアされます。

10. レジスタ

REG[8032h] BitBLT Interrupt Control Register								Read/Write
Default = 0000h								
15	14	13	12	11	10	9	8	
n/a							BitBLT処理完了 割り込みイネーブル	
7	6	5	4	3	2	1	0	

bit 0 BitBLT処理完了割り込みイネーブル
 現在のBitBLT処理が完了したときに割り込みを発行するかどうかを決定します。
 このビットが0のとき、この割り込みはディセーブルされます。
 このビットが1のとき、この割り込みはイネーブルされます。

REG[10000h] 2D BitBLT Data Memory Mapped Region Register								Read/Write
Default = n/a								
15	14	13	12	11	10	9	8	
BitBLTデータビット15~8								
7	6	5	4	3	2	1	0	
BitBLTデータビット7~0								

bits 15-0 BitBLTデータビット[15:0]
 このレジスタは、ダイレクトインタフェースを選択したとき（CNF[4:2]）にBitBLTデータを指定します。

11. パワーセーブモード

11.1 パワーオン/パワーオフシーケンス

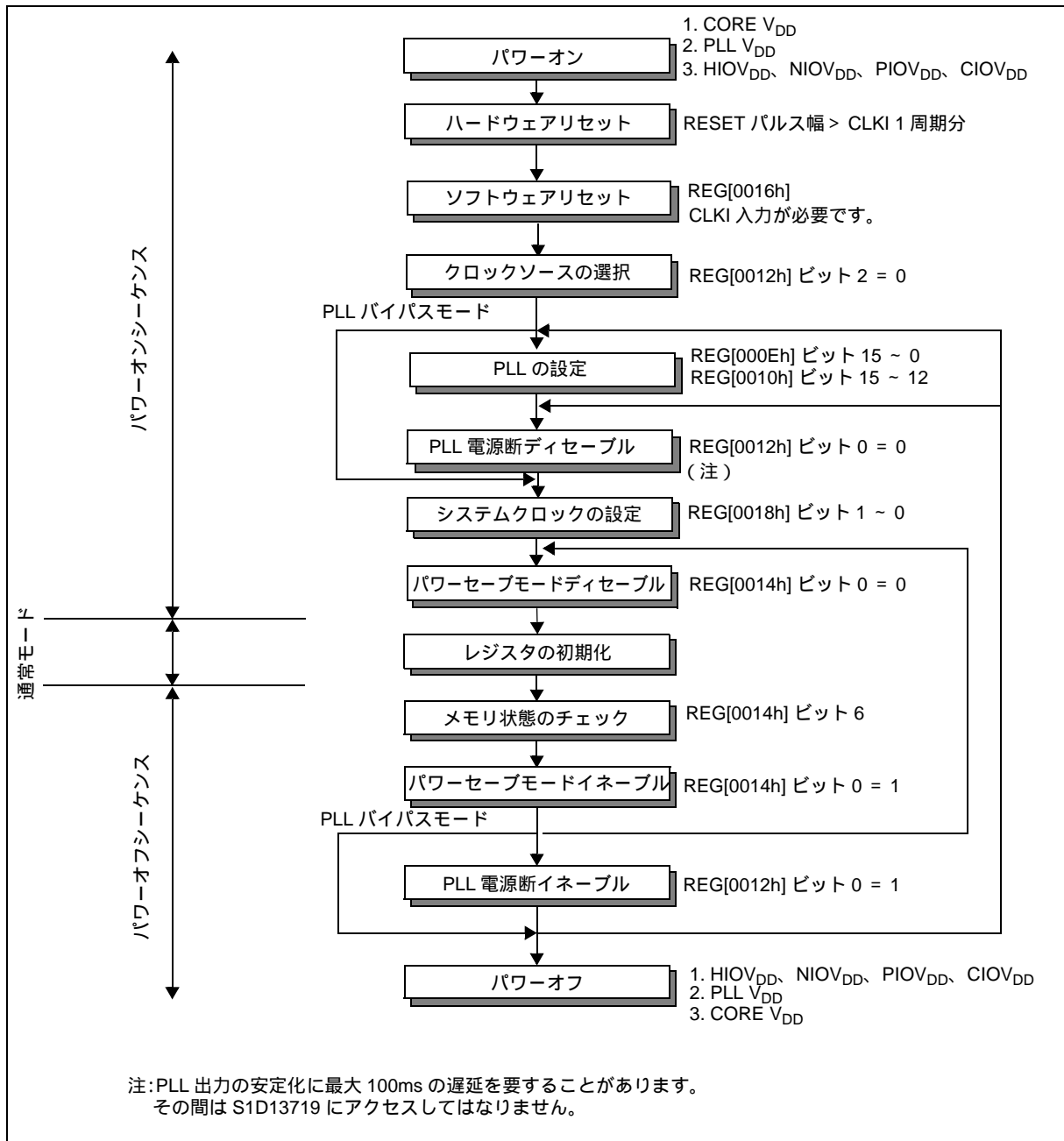


図11.1 パワーオン/パワーオフシーケンス

11. パワーセーブモード

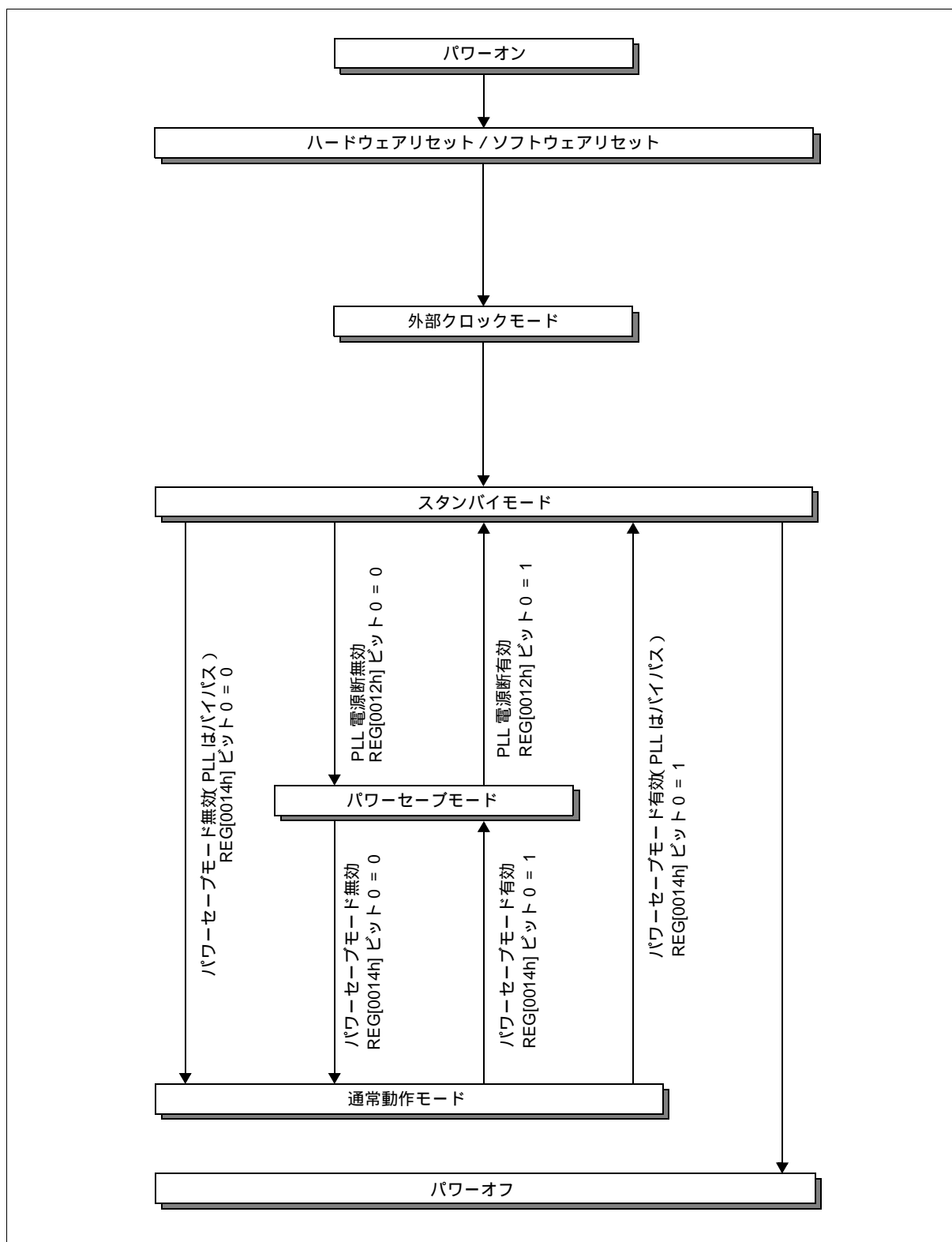


図11.2 パワー関連モード

11.1.1 パワーオン

S1D13719の電源投入時に10ms以内にすべての給電がアクティブにならない場合には、以下の手順に従ってください。

1. COREV_{DD}をオン
2. PLLV_{DD}をオン
3. HIOV_{DD}、PIOV_{DD}、CIO1/CIO2V_{DD}をオン

11.1.2 リセット

電源投入後、アクティブLowのハードウェアリセットパルスを送るS1D13719のRESET#端子に入力してください。このパルスの長さは外部クロック (CLKI) 1周期分です。ハードウェアリセットでは、クロック設定レジスタ (REG[000Eh] ~ REG[0018h]) を含むすべてのレジスタがリセットされます。クロック設定レジスタは、RESET#信号の発信直後にアクセス可能になります。

ソフトウェアリセットはREG[0016h]への書き込みによってイネーブルされます。REG[0018h]より後ろのすべてのレジスタがソフトウェアリセットによってデフォルト値にリセットされます (REG[0000h] ~ REG[0018h]はリセットされません)。ソフトウェアリセットから外部クロック (CLKI) 4周期分が経過するまではこれらのレジスタにアクセスできません。

注

ソフトウェアリセットを行う前にパワーセーブモードをイネーブル (REG[0014h]ビット0 = 1) してください。またソフトウェアリセットの実施後は最低100msの待機時間をおいてからパワーセーブモードをディセーブル (REG[0014h]ビット0 = 0) してください。

11.1.3 スタンバイモード

スタンバイモードでは、すべての内部クロック供給が停止し、PLLがディセーブルされるため、消費電力が最小になります。PLLをディセーブル (REG[0012h]ビット0 = 1) する場合、最低100msの遅延時間をとってからCLKIを停止します。電源を切断またはPLLレジスタを設定する前には、このモードに移行してください。

11.1.4 パワーセーブモード

パワーセーブモードではすべての内部クロック供給が停止します。システムクロック設定レジスタ (REG[0018h]) を設定する前にはこのモードに移行してください。またPLLをイネーブルしてから出力が安定化するまでに最大100msの遅延を要することがあります。この期間中はS1D13719をパワーセーブモードとしてください。

11.1.5 通常モード

通常モードではすべての機能が使用できます。ただし、不使用モジュールへのクロックは動的に停止されます。通常モードからパワーセーブモードをイネーブルする (REG[0014h] ビット 0 = 1) ときは、メモリコントローラがアイドル状態 (REG[0014h]ビット6 = 1) であることをあらかじめ確認してください。

11. パワーセーブモード

11.1.6 パワーオフ

S1D13719の電源を切るには以下の手順に従ってください。

1. HIOV_{DD}、PIOV_{DD}、CIO1/CIO2V_{DD}をオフ
2. PLLV_{DD}をオフ
3. COREV_{DD}をオフ

11.2 パワーセーブモードの機能

表11.1 パワーセーブモードの機能選択

項目		リセット状態	パワーセーブモード	通常モード
IO (レジスタ) アクセスは可能?	REG[0000h ~ 0018h]、 REG[0300h ~ 030Eh]	Yes	Yes	Yes
	上記以外のすべての レジスタ	No	No	Yes
メモリアクセスは可能?		No	No	Yes
ルックアップテーブルレジスタのアクセスは可能?		No	No	Yes
表示はアクティブ?		No	No	Yes
LCD1、LCD2インタフェース出力ならびに パネルサポート用に設定されたGPIO端子	FPCS1#	非アクティブ	非アクティブ	アクティブ
	FPCS2#、FPSO、 FPSCLK (REG[0032h] ビット1~0=00または10 のとき)	FPCS2#は非アク ティブ、FPSOと FPSCLKは強制 Low	FPCS2#は非アク ティブ、FPSOは強 制Low、FPSCLK (注1)	アクティブ
	FPCS2#、FPSO、 FPSCLK (REG[0032h] ビット1~0=00でも10で もないとき)	FPCS2#は非アク ティブ、FPSOと FPSCLKは強制 Low	FPCS2#は非アク ティブ、FPSOは強 制Low、FPSCLK (注1)	アクティブ
	上記以外のすべての端子	強制Low	強制Low	アクティブ
GPIOに設定されたGPIO端子	CNF2 = 1	入力	GPIO状態	GPIO状態
	CNF2 = 0	強制Low	GPO状態	GPO状態
カメラインタフェース端子		強制Low	強制Low	アクティブ
システムクロック		強制Low	アクティブ	アクティブ
ピクセルクロック		強制Low	強制Low	アクティブ
シリアルクロック	LCD2がシリアルインタ フェース (REG[0032h] ビット1~0=00または 10) のとき	非アクティブ	アクティブ	アクティブ
	上記以外のすべての設定	強制Low	強制Low	アクティブ
Camera1、Camera 2クロック		強制Low	パワーセーブモード 移行時の状態を維持	アクティブ
JPEGモジュール	REG[0980h]ビット0=0	非アクティブ	非アクティブ	非アクティブ
	REG[0980h]ビット0=1	非アクティブ	非アクティブ	アクティブ
BitBLTモジュール		非アクティブ	非アクティブ	アクティブ

注

1. パワーセーブモード移行時における FPSCLK 端子の状態は、アクティブ状態のパネルがどちらであるかによって以下のように決まります。

表11.2 パワーセーブモードにおけるFPSCLKレベル

モード	REG[0032h] ビット1~0	アクティブ パネル	パワーセーブモードにおける FPSCLKレベル
1	00	LCD1	REG[0054h]ビット1~0の設定に従います
		LCD2	REG[005Ch]ビット1~0の設定に従います
2	10	LCD1	Low
		LCD2	REG[005Ch]ビット1~0の設定に従います
3	11	LCD1	Low
		LCD2	Low
4	01	LCD1	REG[0054h]ビット1~0の設定に従います
		LCD2	Low

12. 表示モード

12. 表示モード

12.1 表示モード

S1D13719がサポートするLCDパネルと表示モードの組み合わせは次のとおりです。モード1と4では、LCD2パネルのリフレッシュ中にLCD1パネルを表示することはできません。またモード2と3では、LCD1とLCD2のパネルを同時にリフレッシュすることはできません。

表12.1 表示モード

表示モード	LCD1パネル	LCD2パネル	REG[0032h]ビット1~0
1	RGB	シリアル	00
4	RGB	パラレル	01
2	パラレル	シリアル	10
3	パラレル	パラレル	11

12.2 色深度

表示バッファにはRGB形式とYUV形式の画像データを格納できます。YUV形式の画像データについては最高で13,609,216色（24bpp）を同時に表示できます。

表12.2 色解像度1

フォーマット	色深度	メインウィンドウ表示	PIP*ウィンドウ表示	表示画像
RGB 3:3:2	8 bpp	可能	可能	RGB入力
RGB 5:6:5	16 bpp	可能	可能	JPEG/カメラ/RGB入力
RGB 6:6:6	18 bpp	可能	可能	JPEG/カメラ/RGB入力
YUV 4:2:2	24 bpp	不可能	可能	JPEG/カメラ/YUV入力

表12.3 色解像度2

フォーマット	SwivelView	ミラー	ピクセルダブリング	ズーム	レジスタ
RGB 3:3:2	可能	可能	可能	不可能	REG[0200h] ~ [0233h]
RGB 5:6:5	可能	可能	可能	不可能	REG[0200h] ~ [0233h]
RGB 6:6:6	可能	可能	可能	不可能	REG[0200h] ~ [0233h]
YUV 4:2:2	可能	可能	可能	可能	REG[0234h] ~ [023Fh]

12.3 ルックアップテーブル (LUT) の構成

S1D13719は2つのルックアップテーブル(LUT)を使用するように設計されています。LUT1はメインウィンドウ用であり、LUT2はPIP⁺ウィンドウ用です。LUT1は8bppと16bppの色深度をサポートします。LUT2は8bppと16bppの色深度をサポートします。共通のLUTデータは16bppで使用できます。

LUT要素の数は、色深度および使用するLUTによって下記のように変わります。詳細は各LUTの各色深度に関する代表図をご覧ください。

表12.4 LUTの構成のまとめ

使用するLUT	色深度	RGB フォーマット	使用されるLUT要素数		
			赤	緑	青
LUT1	8 bpp	8ビットの ダイレクト インデックス	256	256	256
	16 bpp	5:6:5	32	64	32
LUT2	8 bpp	3:3:2 (注)	8	8	4
	16 bpp	5:6:5 (注)	32	64	32

注

8bppおよび16bppの色深度をLUT2に対して用いる場合、表示バッファに格納されるデータは適切なLSBデータを追加することによってLUTの後段で6:6:6のフォーマットに拡張されます。詳しくは、341ページの12.3.2「LUT2 (PIP⁺ウィンドウ、8bpp用)の構成」および343ページの12.3.4「LUT2 (PIP⁺ウィンドウ、16bpp用)の構成」をご覧ください。

12. 表示モード

12.3.1 LUT1 (メインウィンドウ、8bpp用) の構成

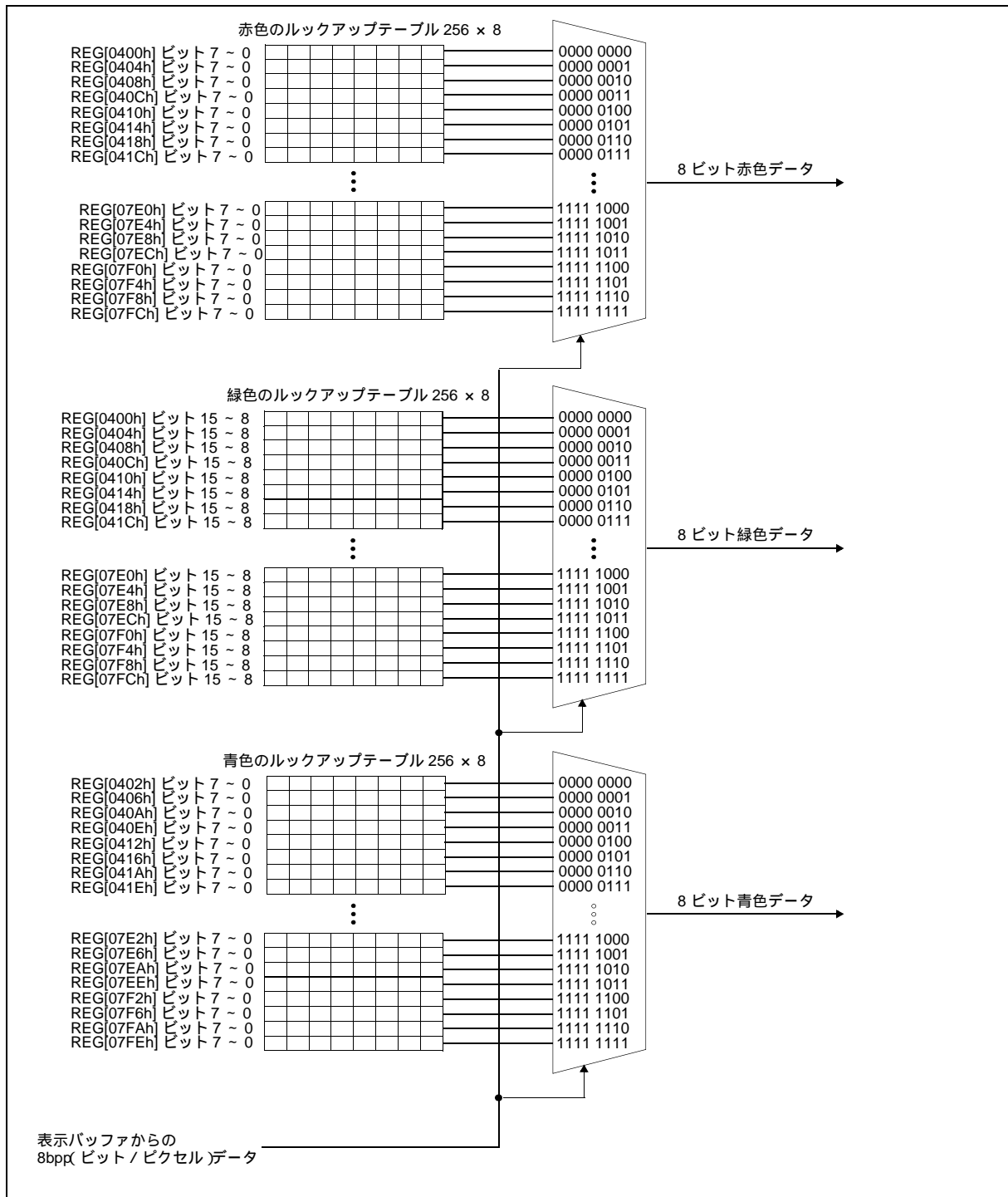


図12.1 LUT1 (8bpp) の構成

12.3.2 LUT2 (PIP+ウインドウ、8bpp用) の構成

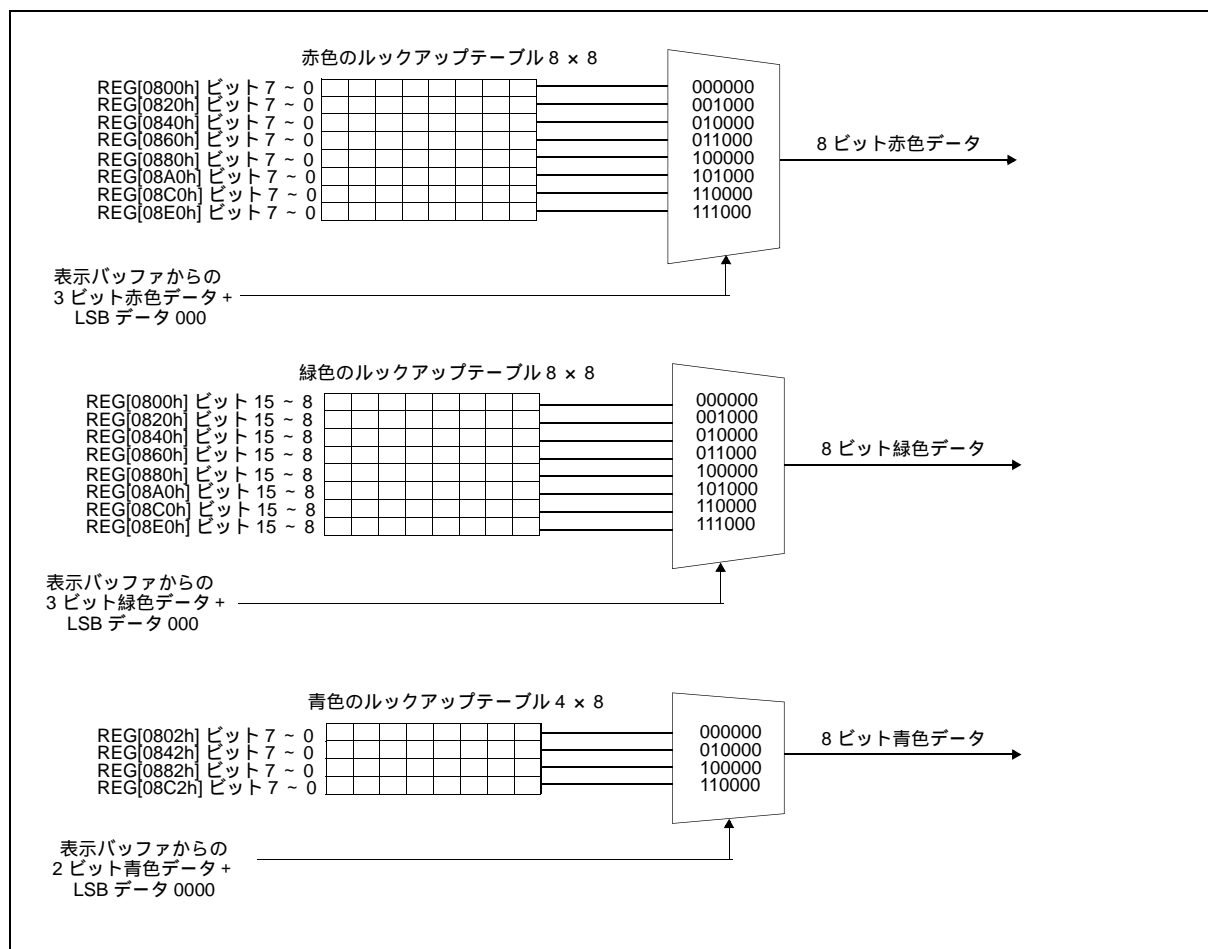


図12.2 LUT2 (8bpp) の構成

12. 表示モード

12.3.3 LUT1 (メインウィンドウ、16bpp用) の構成

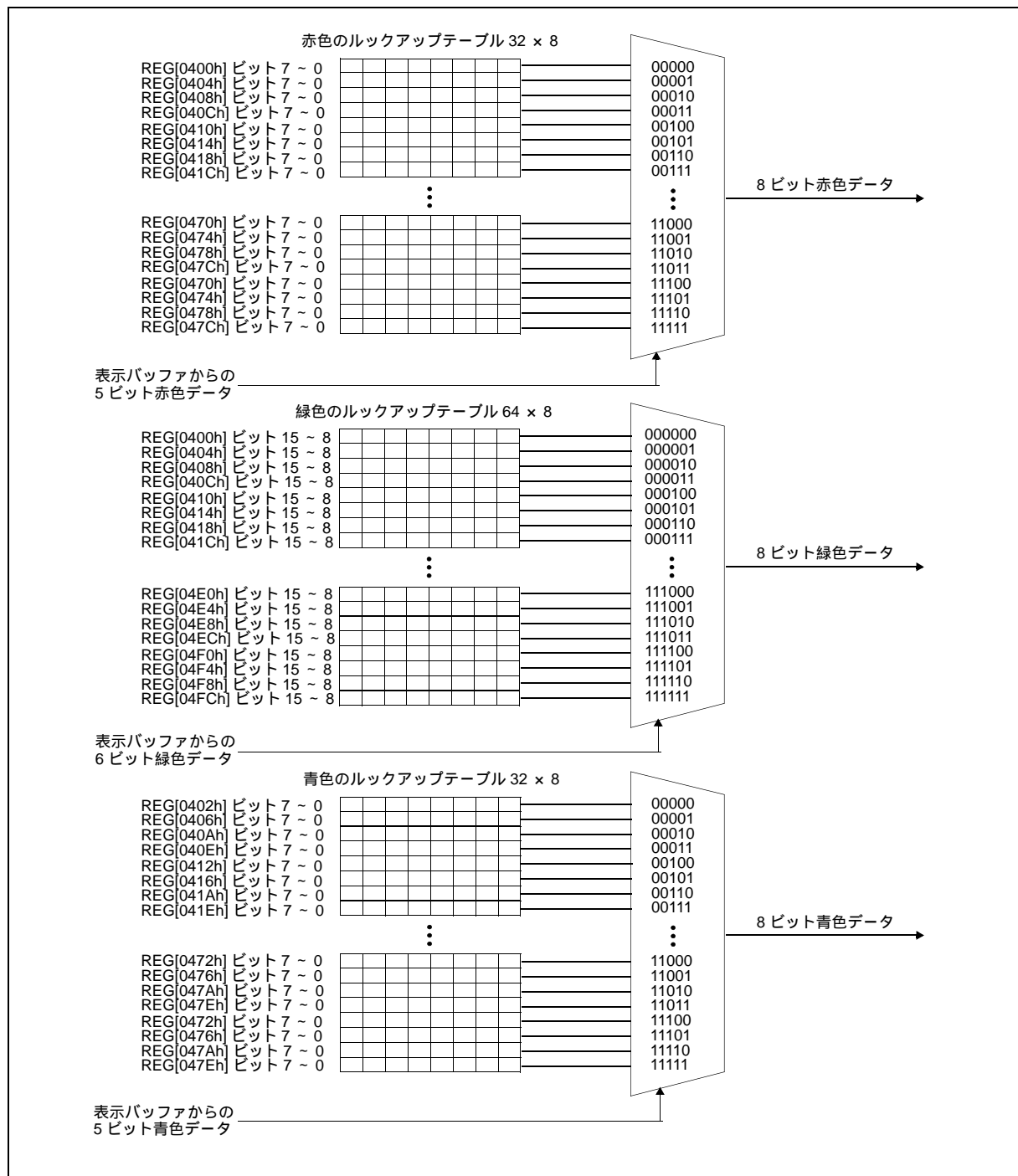


図12.3 LUT1 (16bpp) の構成

12.3.4 LUT2 (PIP+ウインドウ、16bpp用) の構成

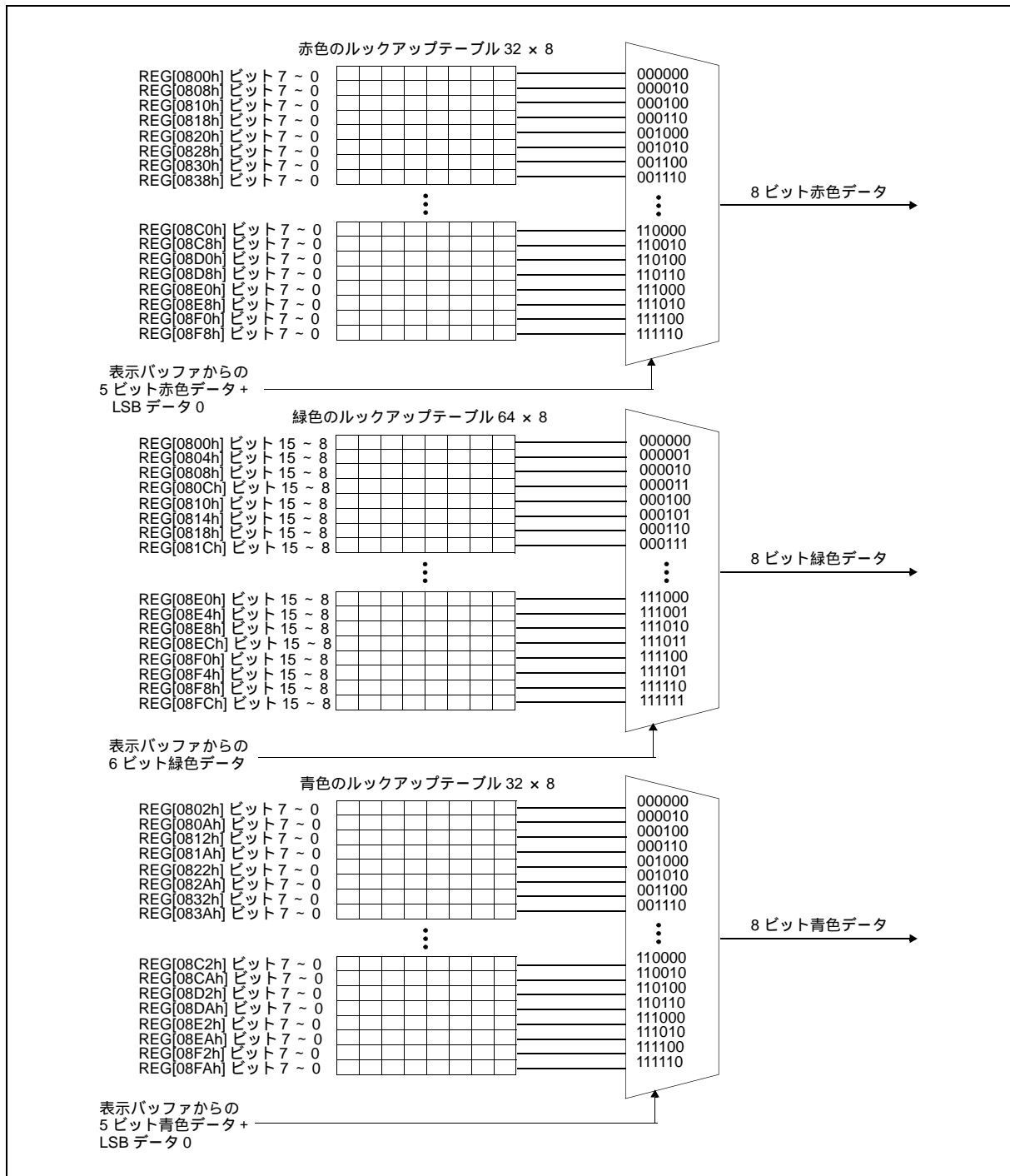


図12.4 LUT2 (16bpp) の構成

12. 表示モード

12.3.5 LUTバイパス時のビット補充

LUTをバイパスする場合、8bppおよび16bppのデータはLUTを用いたインデックス処理が行われません。そのため下記のようにLSBの後ろにMSBをコピーし、24bppに拡張します（これをビット補充といいます）。

LUTをバイパスする場合、YRC2（YUV/RGBコンバータ2）からのデータがそのまま出力されます。

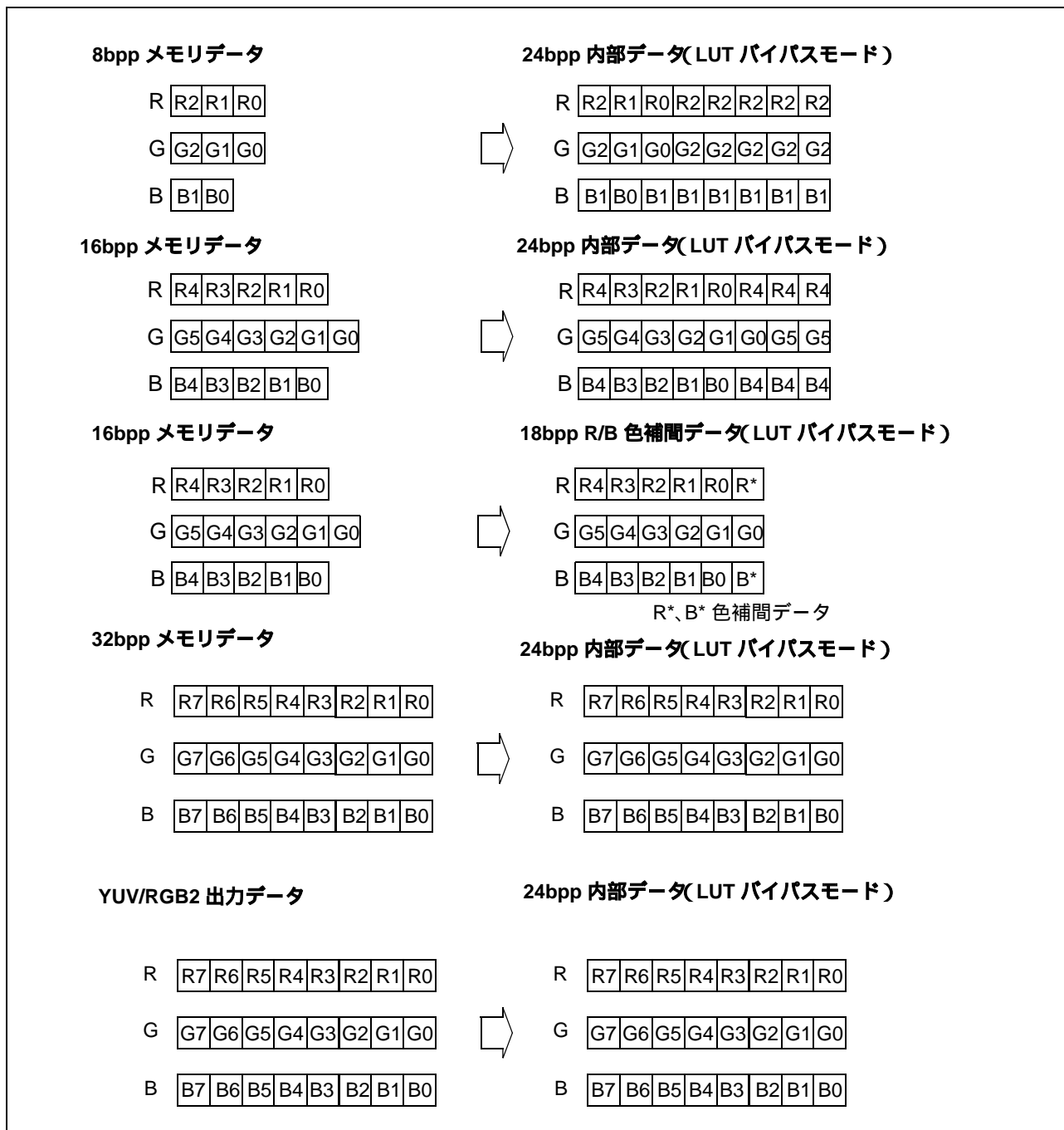


図12.5 LUTバイパス時のビット補充

12.3.6 LCD出力データ

LCD出力データのフォーマットは、接続先のLCDパネルのデータバス幅および使用モードによって異なります。データがパネルに出力される場合、8:8:8の内部データのLSB（最下位ビット）は切り捨てられます。

12.4 画像データフォーマット

この節では、8/16/18/24bppの色深度に対する画像データフォーマットを示します。

12.4.1 8bppモード（LUTを使用）

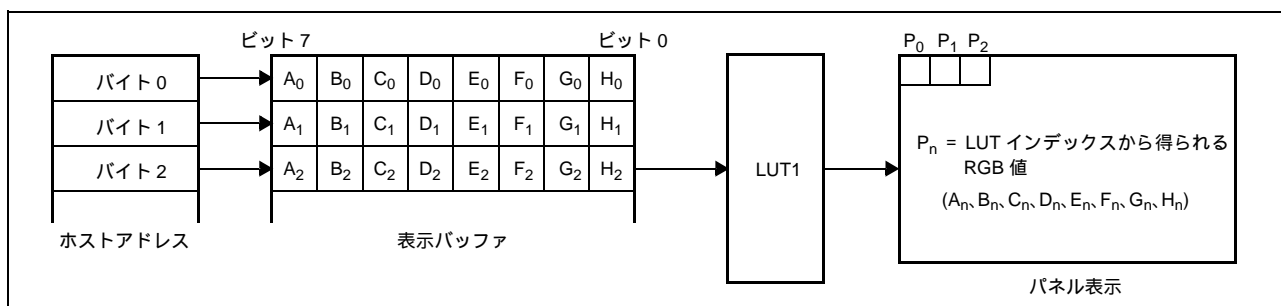


図12.6 LUT1の8bppモード

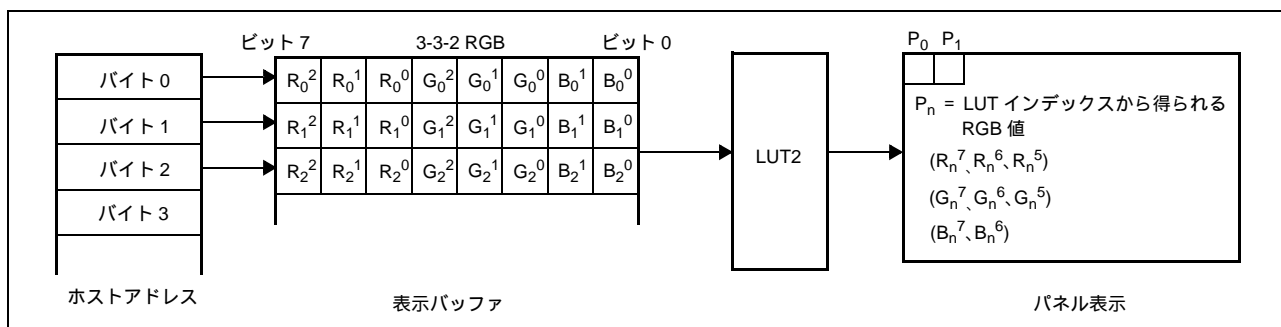


図12.7 LUT2の8bppモード

12. 表示モード

12.4.2 16bppモード (LUTを使用)

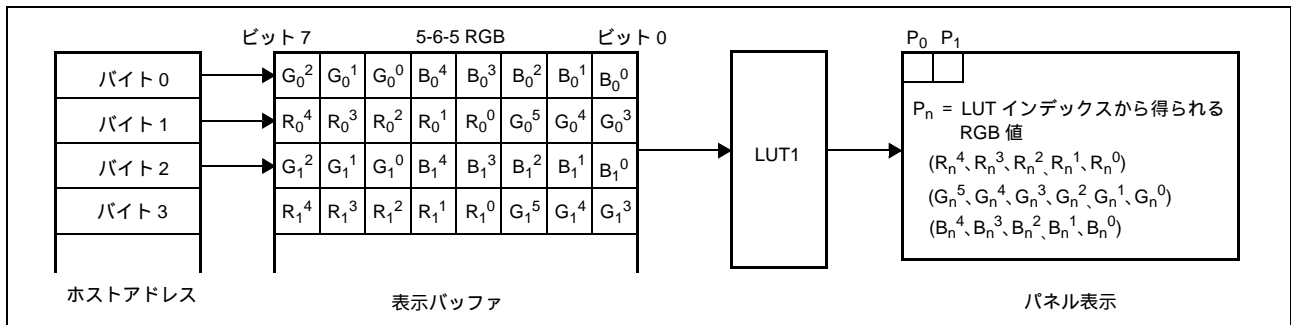


図12.8 LUT1の16bppモード

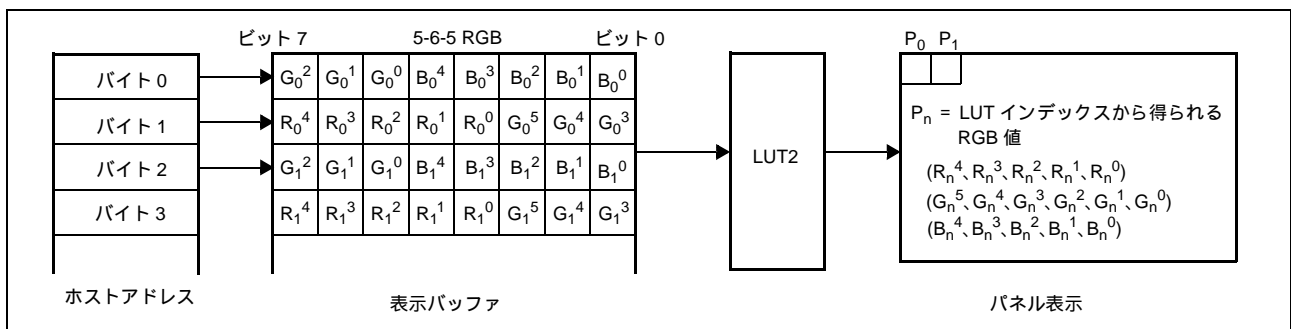


図12.9 LUT2の16bppモード

12.4.3 8bppモード (LUTをバイパス)

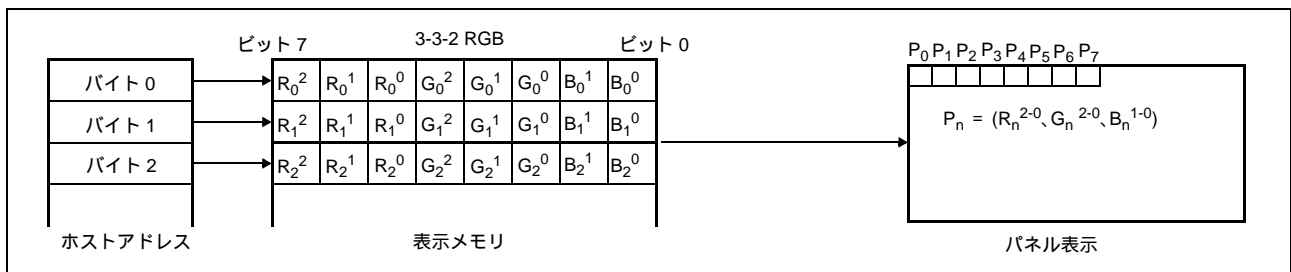


図12.10 8bppのLUTバイパスモード

12.4.4 16bppモード (LUTをバイパス)

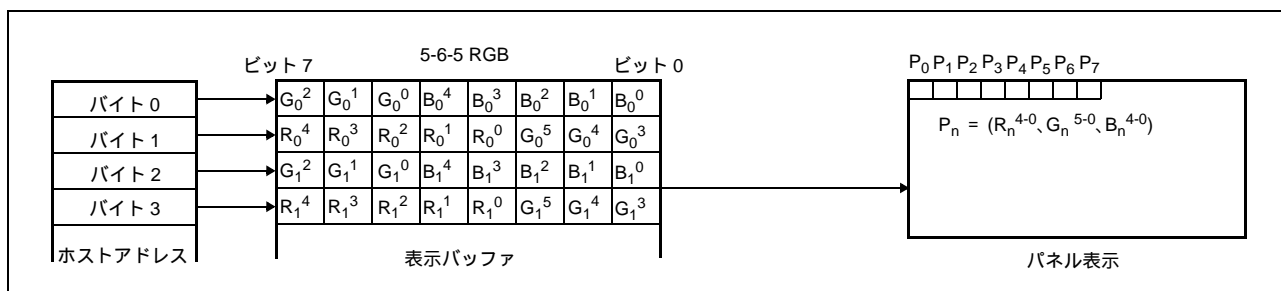


図12.11 16bppのLUTバイパスモード

12.4.5 32bppモード (LUTをバイパス)

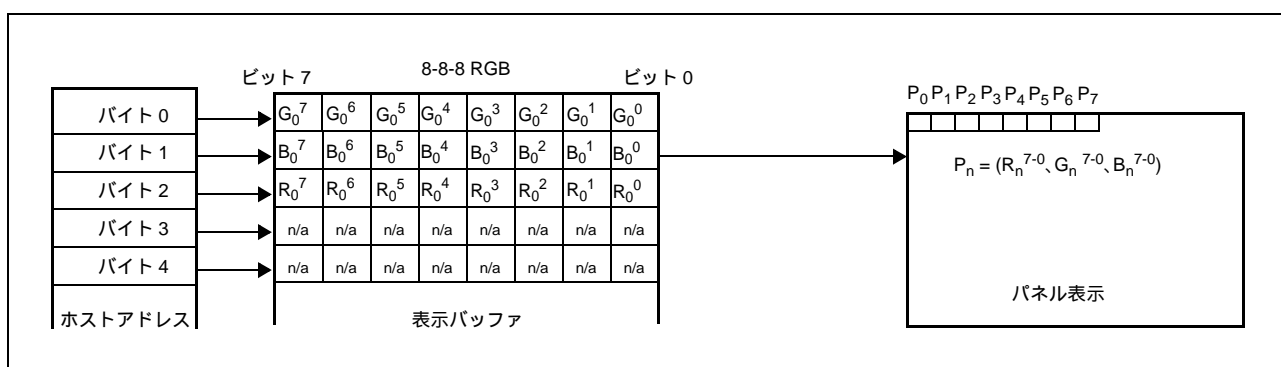


図12.12 32bppのLUTバイパスモード

12.4.6 24bpp (YUV 4:2:2) モード (LUTをバイパス)

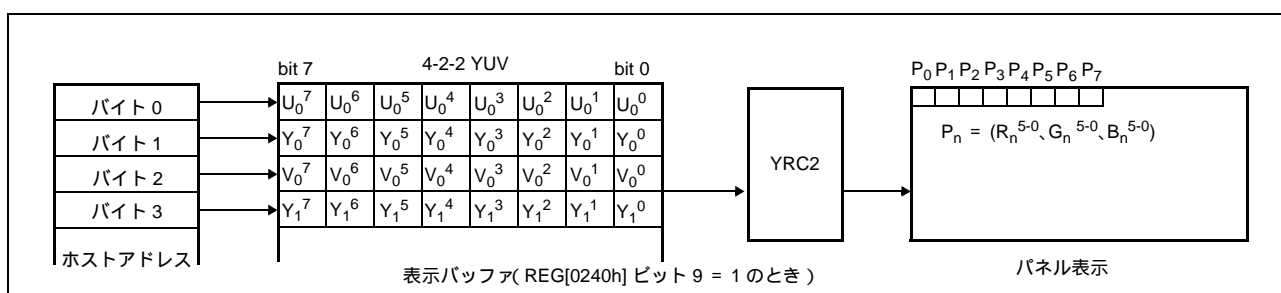


図12.13 24bppのLUTバイパスモード (YUV 4:2:2)

12. 表示モード

12.5 メモリデータフォーマット

この節では、メモリに格納される画像データのフォーマットを示します。

12.5.1 RGB 3:3:2のフォーマット

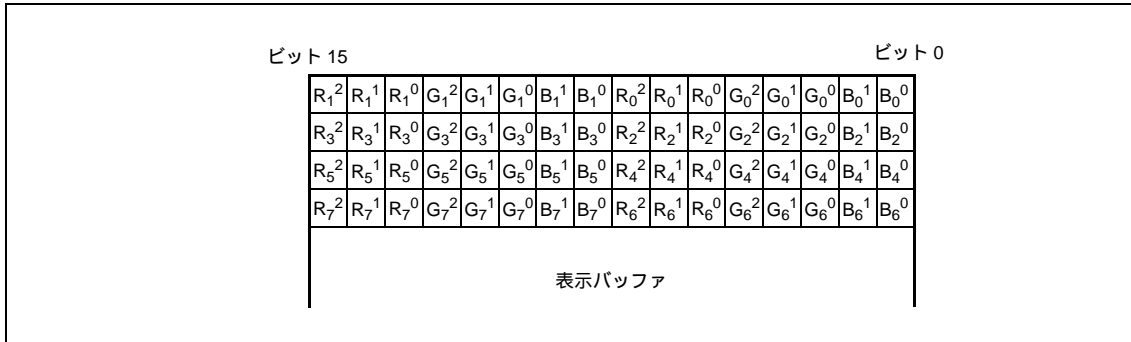


図12.14 メモリデータ (RGB 3:2:2)

12.5.2 RGB 5:6:5のフォーマット

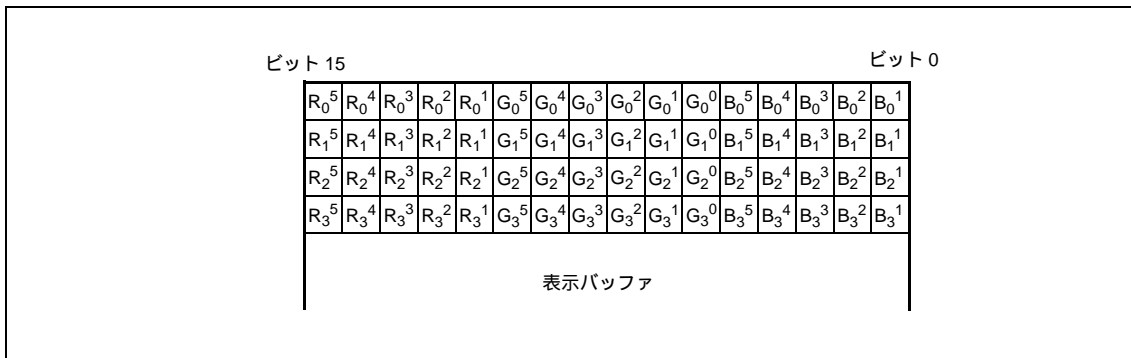


図12.15 メモリデータ (RGB 5:6:5)

12.5.3 YUV 4:2:2のフォーマット

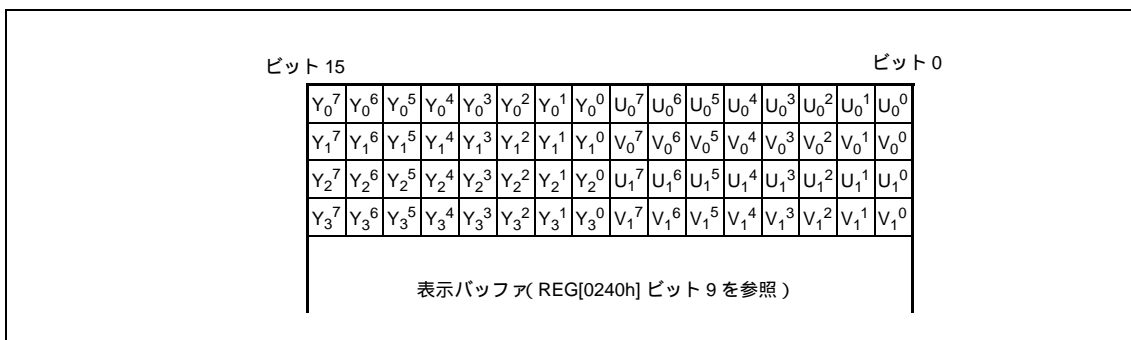


図12.16 メモリデータ (YUV 4:2:2)

12.6 LCDのリフレッシュ

シリアルまたはパラレルインタフェースのLDCパネルを選択している場合、S1D13719はLCDのリフレッシュ（LCDへのデータ転送）を行うことができます。LCDのリフレッシュはFPVIN1/FPVIN2入力と同期させることが可能です。

12.6.1 LCDフレームの転送

S1D13719はソフトウェアトリガ（REG[003Ah]ビット0を参照）を用いることで1つのLCDデータフレームを転送することができます。LCDフレームの転送を実施するには以下の手順を用いてください。

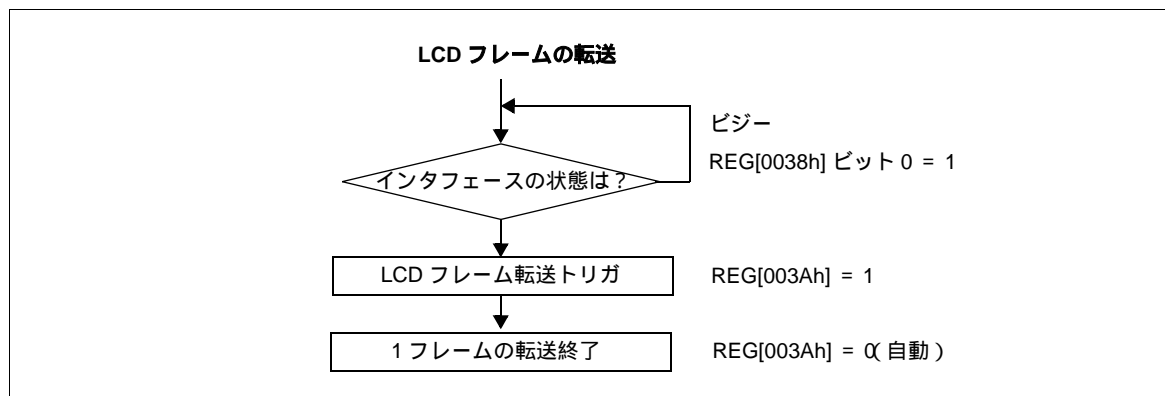


図12.17 LCDフレーム転送の実施手順

12. 表示モード

12.6.2 LCDフレームの自動転送

S1D13719はカメラフレーム入力のトリガによってLCDデータフレームを自動転送することができます。このモード（REG[003Ch]ビット0を参照）では、カメラから1フレームを受信することに画像データが自動転送されます。このモードをイネーブルする場合はカメラ入力フレームのサイクルをLCDフレームのサイクルより長い値に設定してください。LCDフレームの自動転送を行うには以下の手順を用いてください。

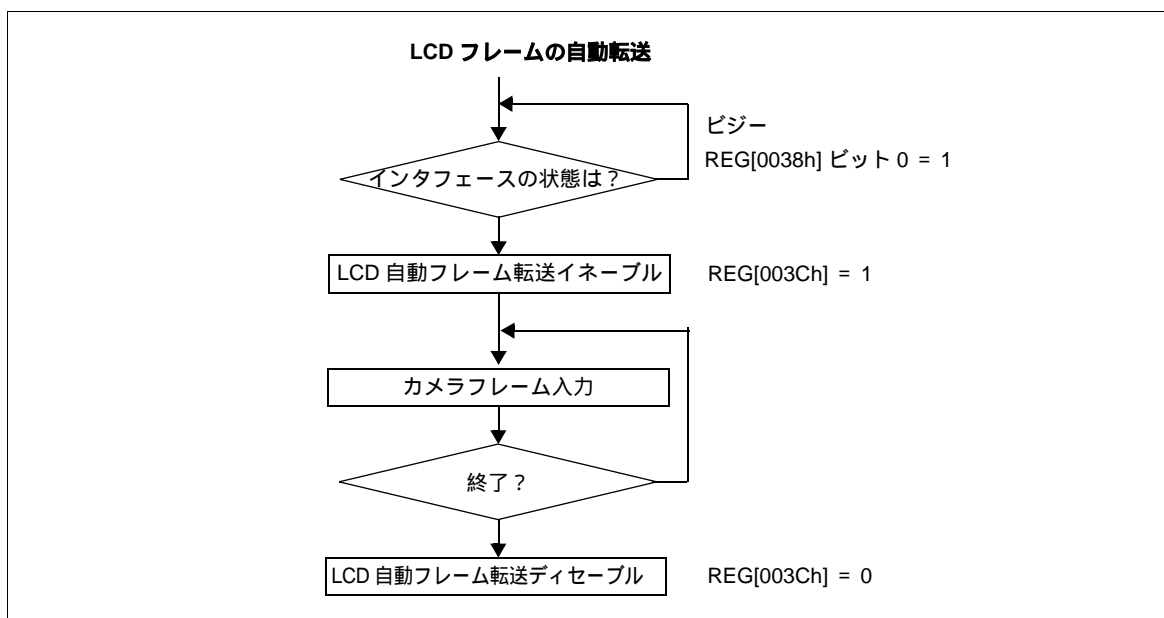


図12.18 LCDフレーム自動転送の実施手順

12.6.3 LCDフレームの同期

パラレルインタフェースLCDパネルはFPVIN1/FPVIN2端子の入力信号と同期してデータ転送を開始できます。さらに、FPVIN1/FPVIN2端子を出力信号にすることでそれをLCDパネルに出力できます。

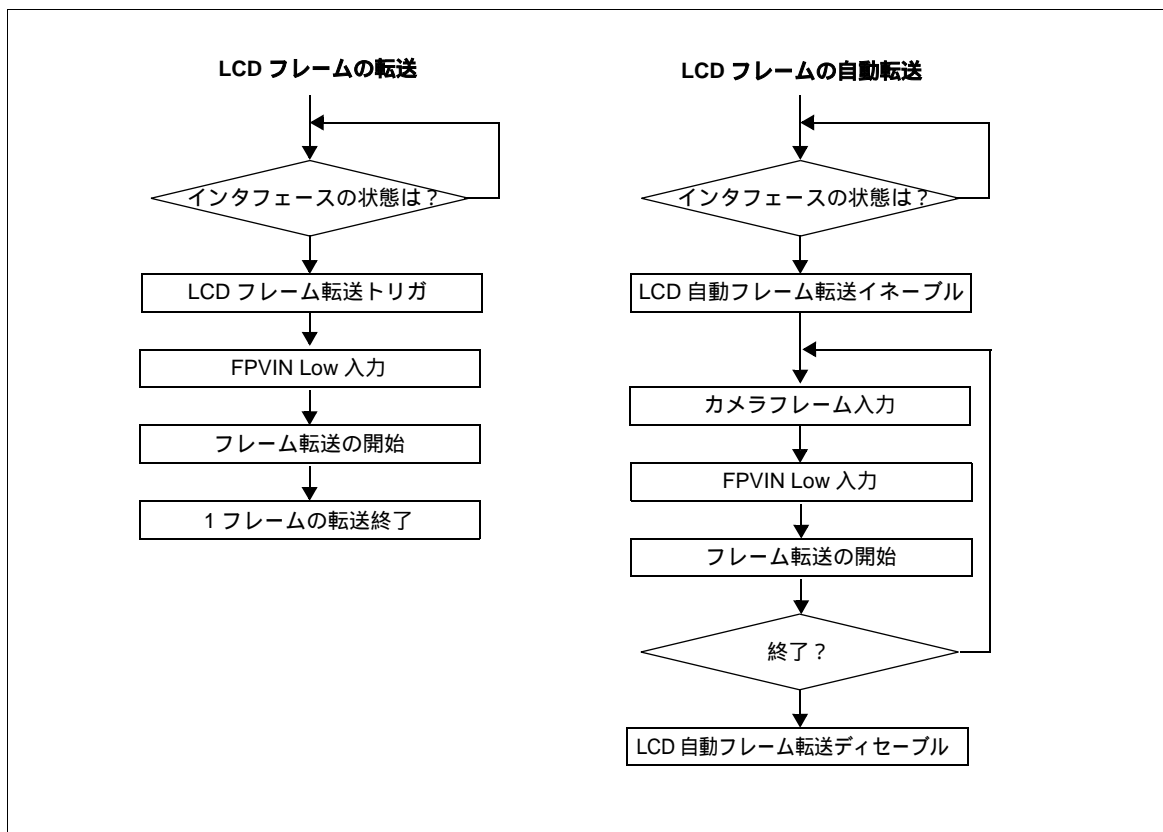
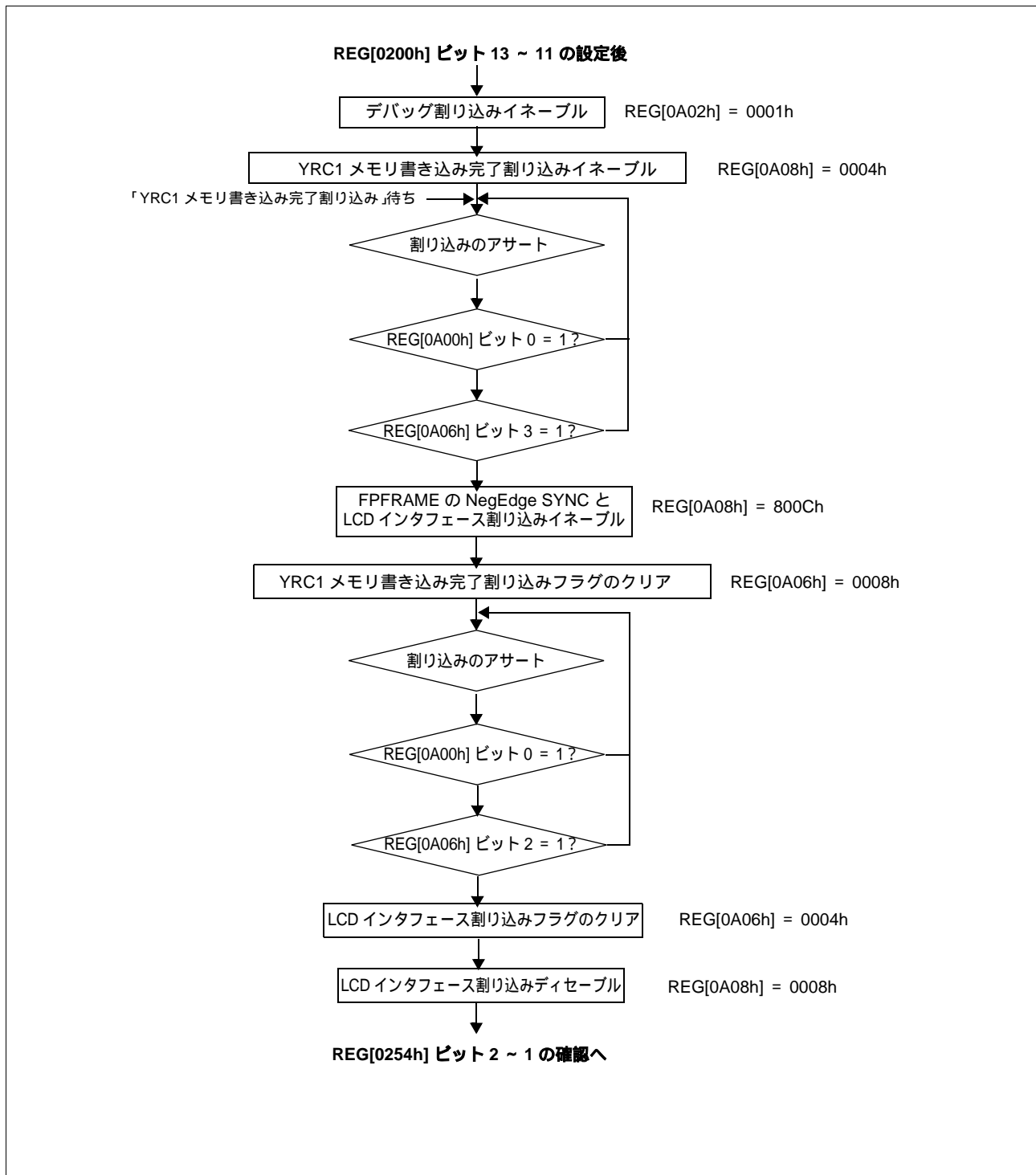


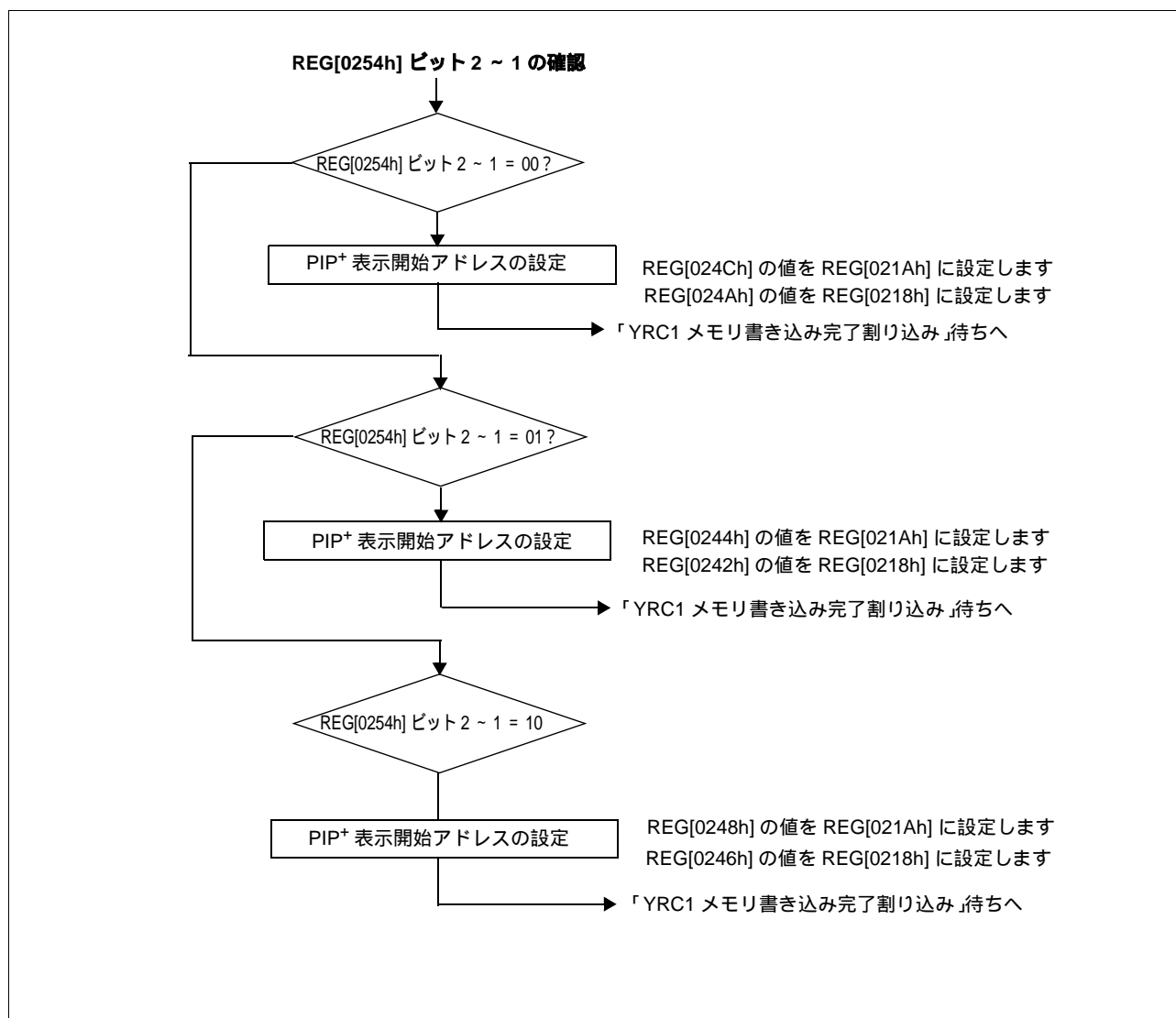
図12.19 LCDフレームの同期

12. 表示モード

12.6.4 YUV形式に対するPIP+ウインドウのトリプルバッファ

YUV形式のトリプルバッファ機能を使用するにはREG[0218h]およびREG[021Ah]が必要です。手順は下記のとおりです。





13. 表示機能

13. 表示機能

13.1 SwivelView™表示

多くのコンピュータディスプレイでは、左から右、そして上から下に向かってリフレッシュされます。コンピュータ画像の記憶方法も同様です。SwivelViewはLCDに表示される画像を左回りに90°、180°、または270°回転します。回転はハードウェアによって行われ、表示バッファのあらゆる読み書きがユーザに意識されることなく行われます。回転処理をハードウェアで行うため、SwivelViewではソフトウェア回転に比べて高いパフォーマンスが実現します。

ホストCPUの読み書き時にアドレス変換は行われず、したがって画像が表示バッファ内で実際に回転されるわけではありません。画像の回転は表示のリフレッシュ時に行われます。

90°と270°の回転においては表示のためのバッファアクセス回数が8bppで2倍、16bpp/18bppで4倍になります。

13.1.1 90° SwivelView

プログラマが見たときの縦位置画像と実際の表示画像の様子を下の図に示します。アプリケーション画像がS1D13719に書き込まれる順番はA-B-C-Dであるのに対し、リフレッシュの順番はB-D-A-Cになります。

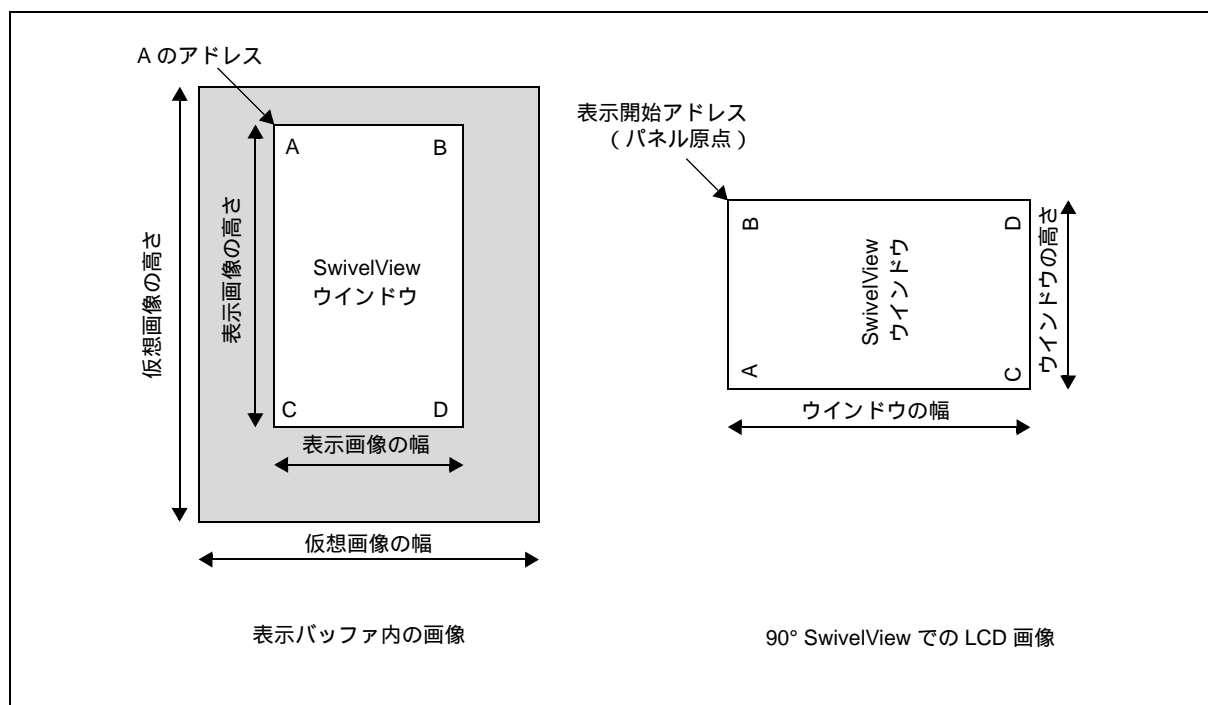


図13.1 90° SwivelViewにおけるスクリーン画像とリフレッシュ画像の関係

表示開始アドレス

表示リフレッシュ回路はピクセル「B」を始点とするため、Display Start Addressレジスタにはピクセル「B」のアドレスを用いてください。

表示開始アドレス = Aのアドレス + ラインアドレスオフセット - (bpp ÷ 8)

ラインアドレスオフセット

ラインアドレスオフセットは、仮想画像の1ライン当たりのバイト数です。

ラインアドレスオフセット = 仮想画像の幅 × bpp ÷ 8

任意ピクセルのメモリアドレス

メインウインドウまたはPIP⁺ウインドウの任意の位置におけるピクセルアドレスを計算するには、次の式を用います。

メモリアドレス(X,Y) = ((X - 1) + (Y - 1) × 仮想パネルの幅) × bpp ÷ 8

13. 表示機能

13.1.2 180° SwivelView

プログラマが見たときの横位置画像と実際の表示画像の様子を下の図に示します。アプリケーション画像がS1D13719に書き込まれる順番はA-B-C-Dであるのに対し、リフレッシュの順番はD-C-B-Aになります。

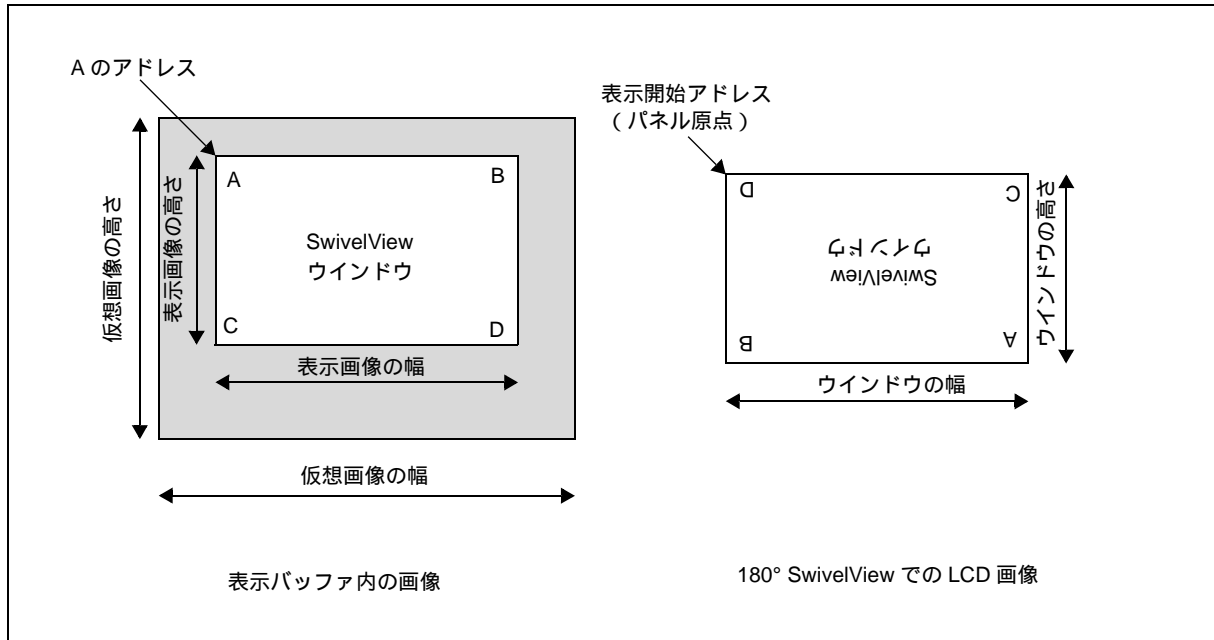


図13.2 180° SwivelViewにおけるスクリーン画像とリフレッシュ画像の関係

表示開始アドレス

表示リフレッシュ回路はピクセル「D」を始点とするため、Display Start Addressレジスタにはピクセル「D」のアドレスを用いてください。

表示開始アドレス = Aのアドレス + ラインアドレスオフセット × ウィンドウの高さ - (bpp ÷ 8)

ラインアドレスオフセット

ラインアドレスオフセットは、仮想画像の1ライン当たりのバイト数です。

ラインアドレスオフセット = 仮想画像の幅 × bpp ÷ 8

任意ピクセルのメモリアドレス

メインウィンドウまたはPIP+ウィンドウの任意の位置におけるピクセルアドレスを計算するには、次式を用います。

メモリアドレス(X,Y) = ((X - 1) + (Y - 1) × 仮想パネルの高さ) × bpp ÷ 8

13.1.3 270° SwivelView

プログラマが見たときの縦位置画像と実際の表示画像の様子を下の図に示します。アプリケーション画像がS1D13719に書き込まれる順番はA-B-C-Dであるのに対し、リフレッシュの順番はC-A-D-Bになります。

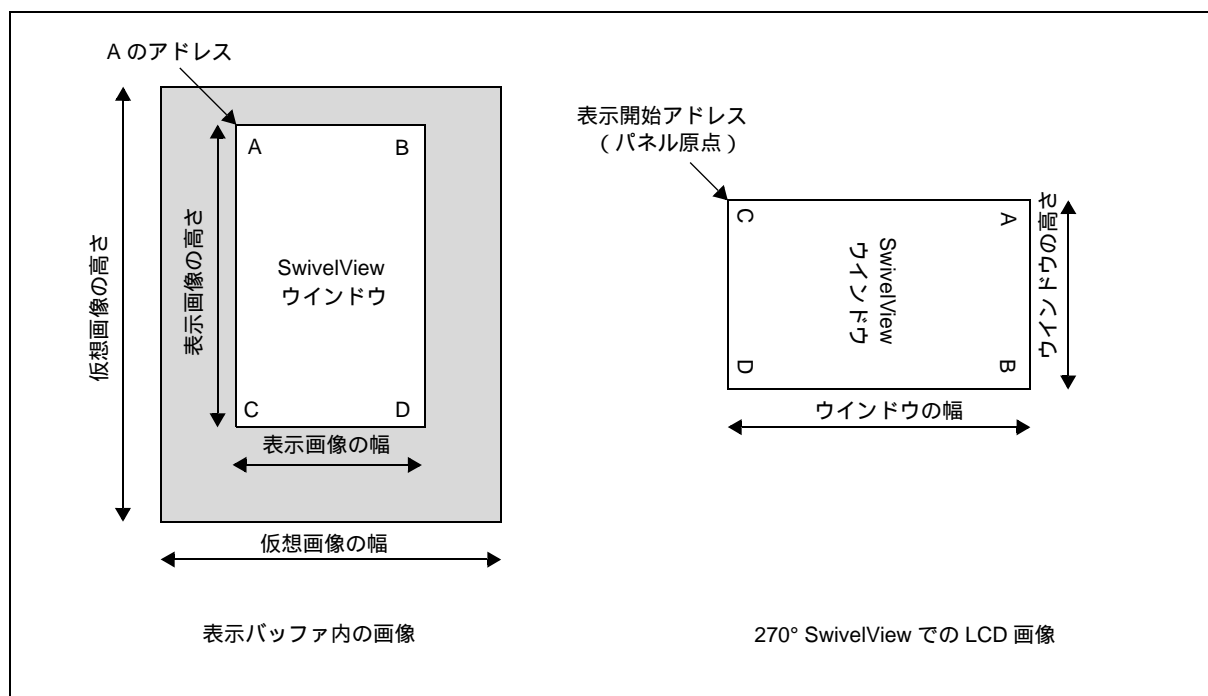


図13.3 270° SwivelViewにおけるスクリーン画像とリフレッシュ画像の関係

表示開始アドレス

表示リフレッシュ回路はピクセル「C」を始点とするため、Display Start Addressレジスタにはピクセル「C」のアドレスを用いてください。

表示開始アドレス = Aのアドレス + ラインアドレスオフセット × (ウインドウの幅 - 1)

ラインアドレスオフセット

ラインアドレスオフセットは、仮想画像の1ライン当たりのバイト数です。

ラインアドレスオフセット = 仮想画像の幅 × bpp ÷ 8

任意ピクセルのメモリアドレス

メインウインドウまたはPIP+ウインドウの任意の位置におけるピクセルアドレスを計算するには、次式を用います。

メモリアドレス(X,Y) = ((X - 1) + (Y - 1) × 仮想パネルの高さ) × bpp ÷ 8

13. 表示機能

13.2 ミラー表示

多くのコンピュータディスプレイでは、左から右、そして上から下に向かってリフレッシュされます。ミラー表示機能は表示を右から左に向かってリフレッシュします。これが表示の「ミラー化」です。ミラー表示はハードウェアによって行われるため、表示バッファのデータ格納方法を変更する必要はありません。

ミラー表示はメインウィンドウ (REG[0202h]ビット3) とPIP⁺ウィンドウ (REG[0202h]ビット7) で独立して使用できます。また両方同時に使用することもできます。

13.2.1 SwivelView 0°のミラー表示

プログラムが見たときの横位置画像と実際の表示画像の様子を下の図に示します。アプリケーション画像がS1D13719に書き込まれる順番はA-B-C-Dであるのに対し、リフレッシュの順番はB-A-D-Cになります。

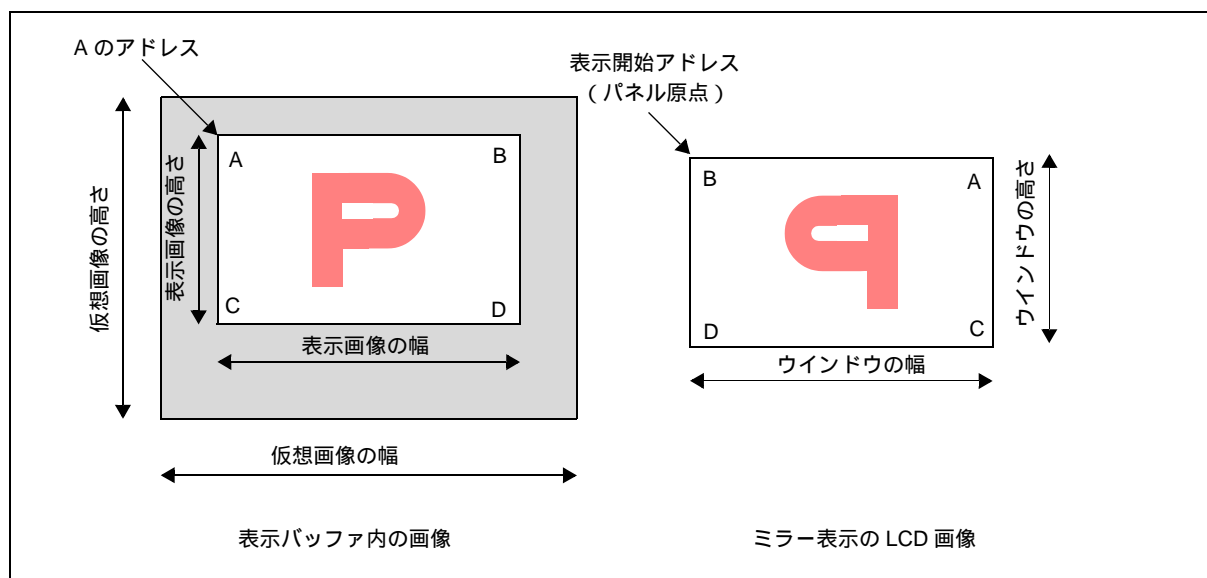


図13.4 ミラー表示におけるスクリーン画像とリフレッシュ画像の関係

表示開始アドレス

表示リフレッシュ回路はピクセル「B」を始点とするため、Display Start Addressレジスタにはピクセル「B」のアドレスを用いてください。

表示開始アドレス = Aのアドレス + ラインアドレスオフセット - (bpp ÷ 8)

ラインアドレスオフセット

ラインアドレスオフセットは、仮想画像の1ライン当たりのバイト数です。

ラインアドレスオフセット = 仮想画像の幅 × bpp ÷ 8

13. 表示機能

13.2.2 SwivelViewとの併用

ミラー表示とSwivelViewがともにイネーブルされる場合、画像はミラー表示機能が実施された後で回転（SwivelView処理）されます。Display Start Addressレジスタには表示画像の左上のピクセルのアドレスを設定してください。

90° SwivelViewとの併用

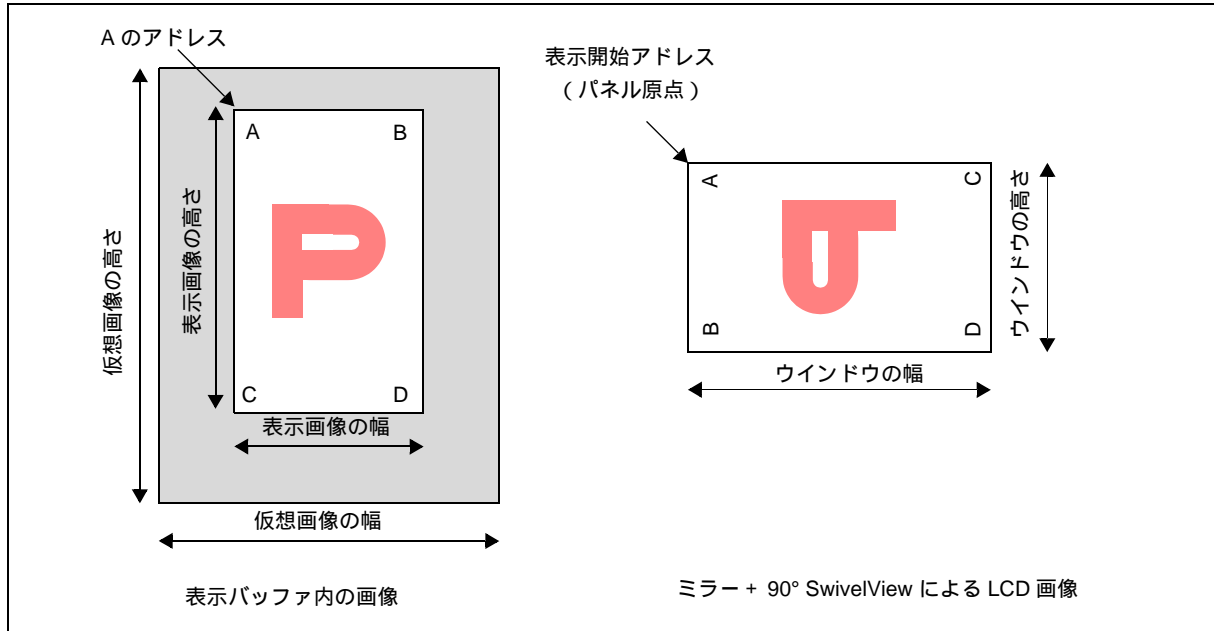


図13.5 ミラーと90° SwivelViewによる表示

180° SwivelViewとの併用

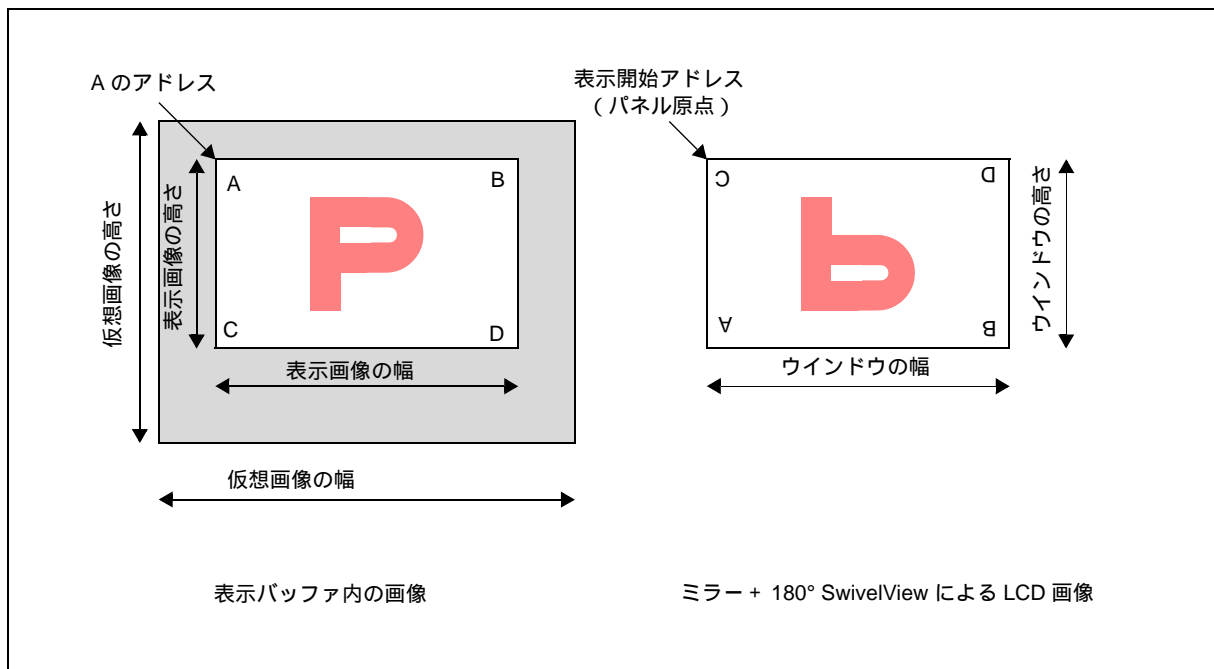


図13.6 ミラーと180° SwivelViewによる表示

270° SwivelViewとの併用

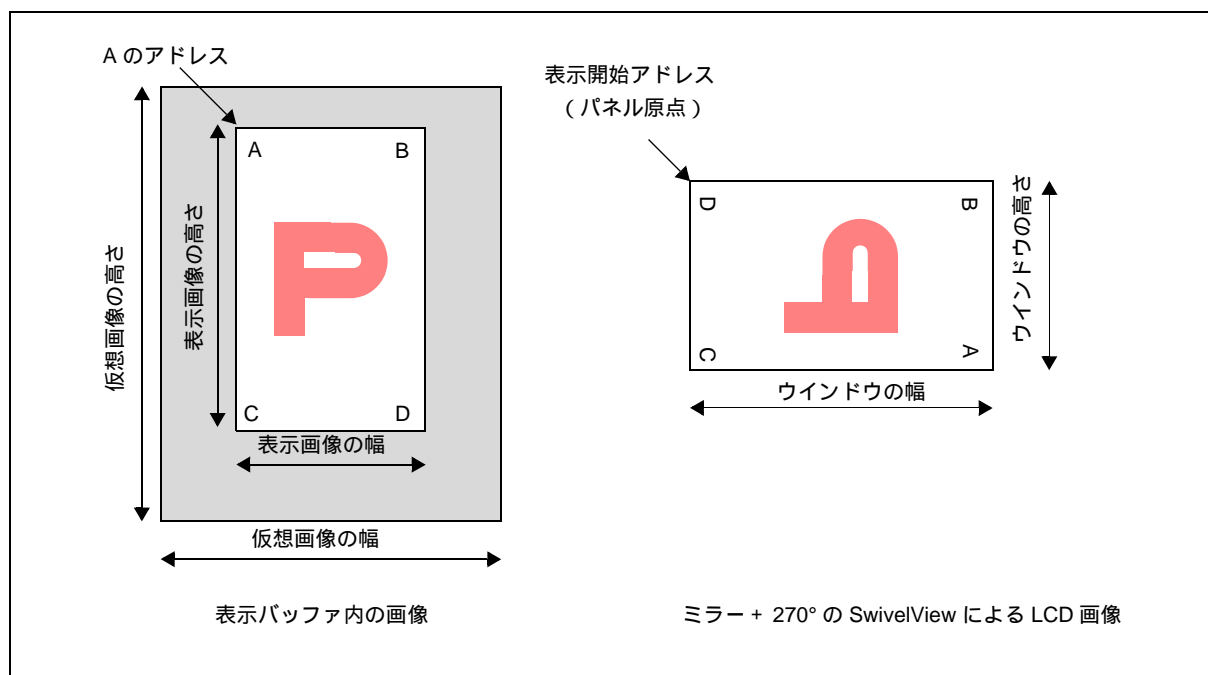


図13.7 ミラーと270°のSwivelViewによる表示

13. 表示機能

13.3 PIP⁺ (Picture-in-Picture Plus)

PIP⁺ (Picture-in-Picture Plus) 機能を使えばメインウインドウ内にもう1つのウインドウ (これをPIP⁺ウインドウといいます) が表示できます。PIP⁺ウインドウはメインウインドウ内の任意の位置に表示でき、PIP⁺ウインドウ制御レジスタ (REG[0218h] ~ REG[0228h]) を用いて制御されます。PIP⁺ウインドウの色深度 (REG[0200h] ビット3 ~ 2) およびSwivelView方向 (REG[0202h] ビット5 ~ 4) はメインウインドウとは独立しています。

メインウインドウ内に表示されるPIP⁺ウインドウならびにその位置指定に使用されるレジスタの例について以下に図を使って説明します。

13.3.1 SwivelView 0°におけるPIP⁺

PIP⁺ウインドウの表示位置は、水平 (X) / 垂直 (Y) 開始 / 終了位置を設定することによって指定します。PIP⁺ウインドウのサイズはメインウインドウよりも小さくしてください。

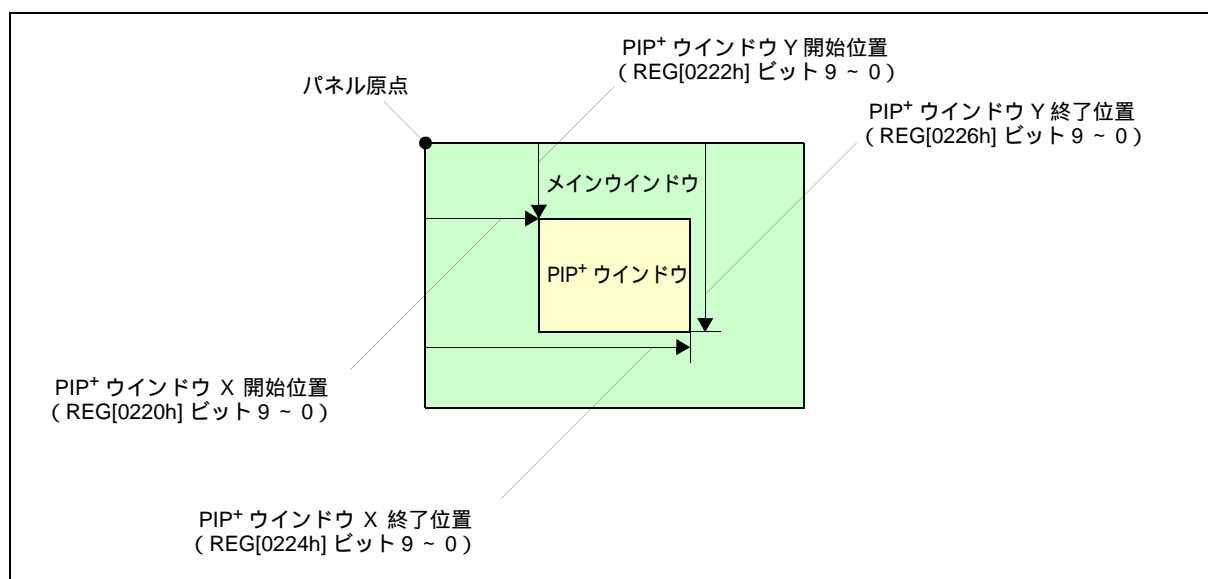


図13.8 PIP⁺表示

13.3.2 SwivelViewとの併用

PIP⁺機能はSwivelView機能と併用することができます。PIP⁺ウィンドウの開始位置はメインウィンドウのSwivelView回転によって決まります。

SwivelView 90°のメインウィンドウとPIP⁺ウィンドウ

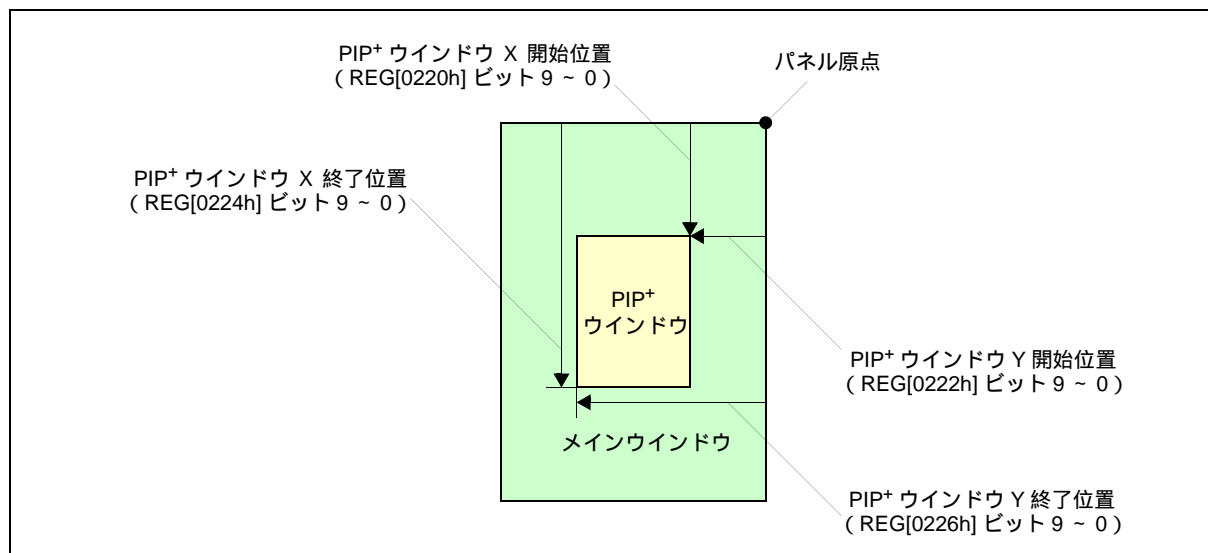


図13.9 SwivelView 90°のメインウィンドウとPIP⁺ウィンドウ

SwivelView 180°のメインウィンドウとPIP⁺ウィンドウ

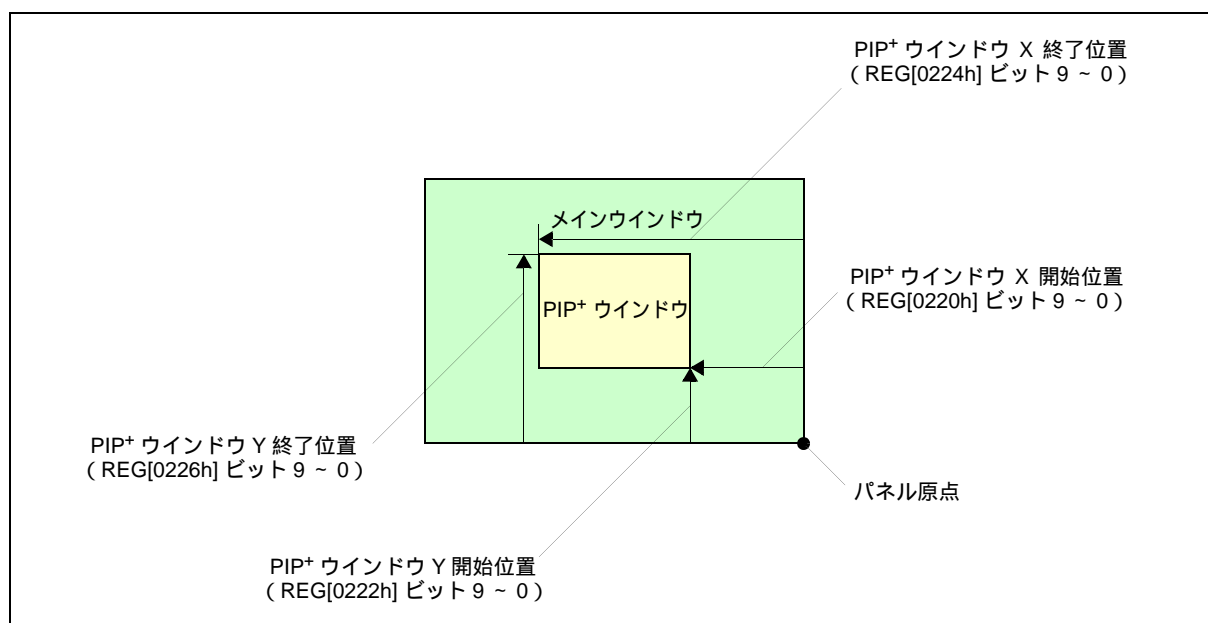


図13.10 SwivelView 180°のメインウィンドウとPIP⁺ウィンドウ

13. 表示機能

SwivelView 270°のメインウィンドウとPIP+ウィンドウ

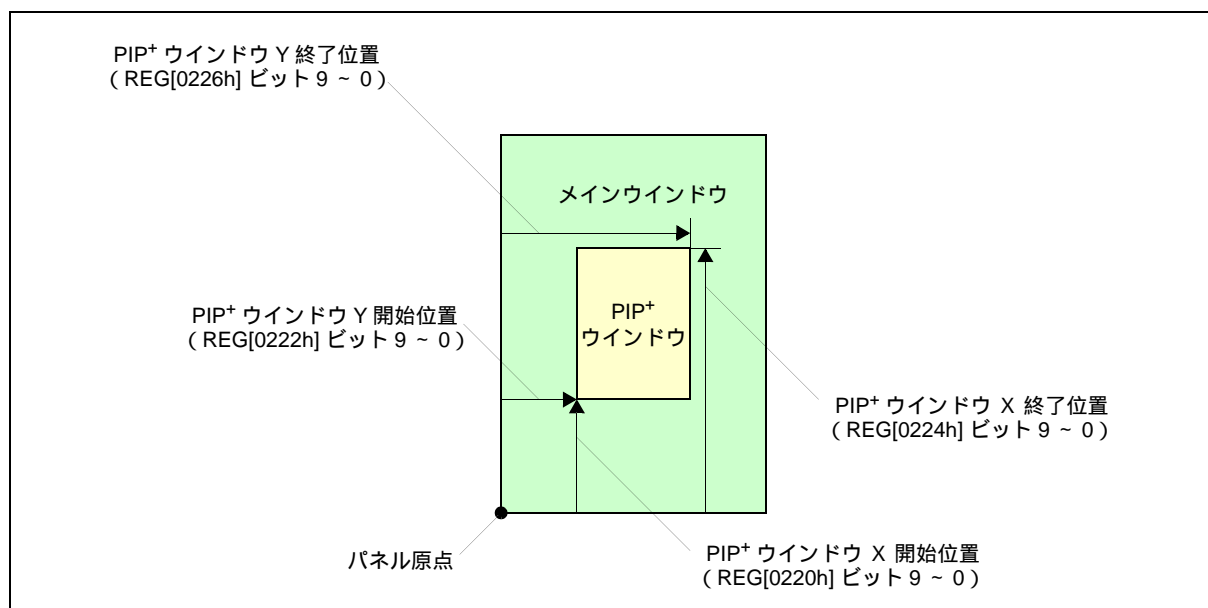
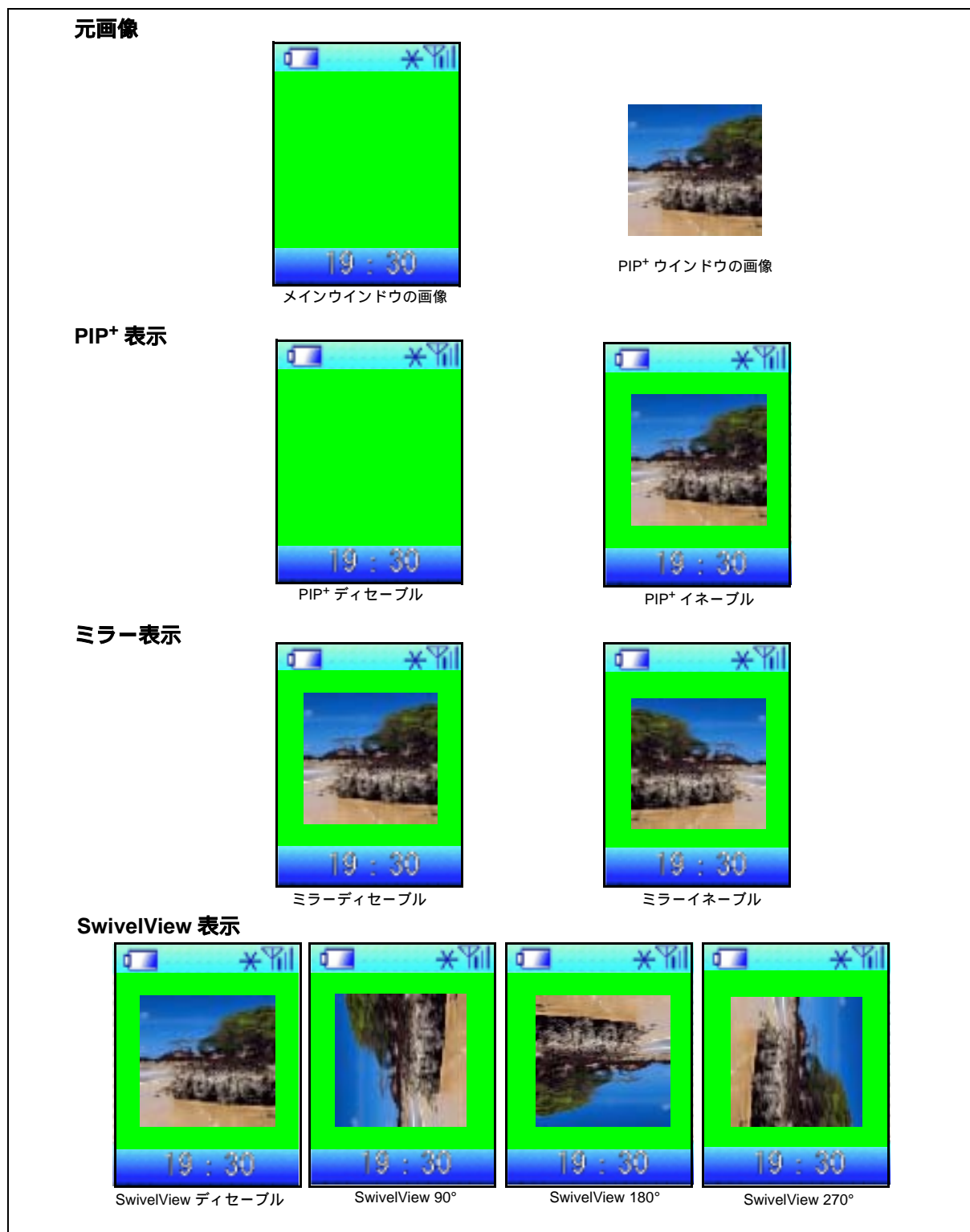


図13.11 SwivelView 270°のメインウィンドウとPIP+ウィンドウ

13.3.3 PIP⁺表示の例図13.12 PIP⁺表示の例

13. 表示機能

13.4 オーバーレイ表示

PIP⁺ (Picture-in-Picture Plus) 機能がイネーブルされているとき、S1D13719は次の機能をもつオーバーレイをサポートします。すなわち透過、平均、AND、OR、INV、ビットシフトです。オーバーレイの設定はRGBの各色に対応するOverlay Key Colorレジスタおよび各オーバーレイキーカラーイネーブルビット (REG[0328h]を参照) を用いて次のように指定されます。

表13.1 オーバーレイモード選択

レジスタ	オーバーレイPIP ⁺ ウインドウ ビットシフト (REG[0328h]ビット15)	オーバーレイ メインウインドウ ビットシフト (REG[0328h]ビット13)	表示画像
透過オーバーレイキーカラー REG[0204h] REG[0206h] REG[0208h]	0	*	PIP ⁺ ウインドウのデータ
	1		(PIP ⁺ ウインドウのデータ) / 2
平均オーバーレイキーカラー REG[0310h] REG[0312h] REG[0314h]	0	0	((PIP ⁺ ウインドウのデータ) + (キーカラーのデータ)) / 2
		1	((PIP ⁺ ウインドウのデータ) + (キーカラーのデータ) / 2) / 2
	1	0	((PIP ⁺ ウインドウのデータ) / 2 + (キーカラーのデータ)) / 2
		1	((PIP ⁺ ウインドウのデータ) / 2 + (キーカラーのデータ) / 2) / 2
ANDオーバーレイキーカラー REG[0316h] REG[0318h] REG[031Ah]	0	0	(PIP ⁺ ウインドウのデータ) AND (キーカラーのデータ)
		1	(PIP ⁺ ウインドウのデータ) AND (キーカラーのデータ) / 2
	1	0	(PIP ⁺ ウインドウのデータ) / 2 AND (キーカラーのデータ)
		1	(PIP ⁺ ウインドウのデータ) / 2 AND (キーカラーのデータ) / 2
ORオーバーレイキーカラー REG[031Ch] REG[031Eh] REG[0320h]	0	0	(PIP ⁺ ウインドウのデータ) OR (キーカラーのデータ)
		1	(PIP ⁺ ウインドウのデータ) OR (キーカラーのデータ) / 2
	1	0	(PIP ⁺ ウインドウのデータ) / 2 OR (キーカラーのデータ)
		1	(PIP ⁺ ウインドウのデータ) / 2 OR (キーカラーのデータ) / 2
INVオーバーレイキーカラー REG[0322h] REG[0324h] REG[0326h]	0	*	(PIP ⁺ ウインドウのデータ) のネガ画像
	1		(PIP ⁺ ウインドウのデータ) / 2 のネガ画像

PIP⁺ウィンドウビットシフトおよびメインウィンドウビットシフト機能をオーバーレイと併用したときに得られるPIP⁺ウィンドウの色について以下の表にまとめます。

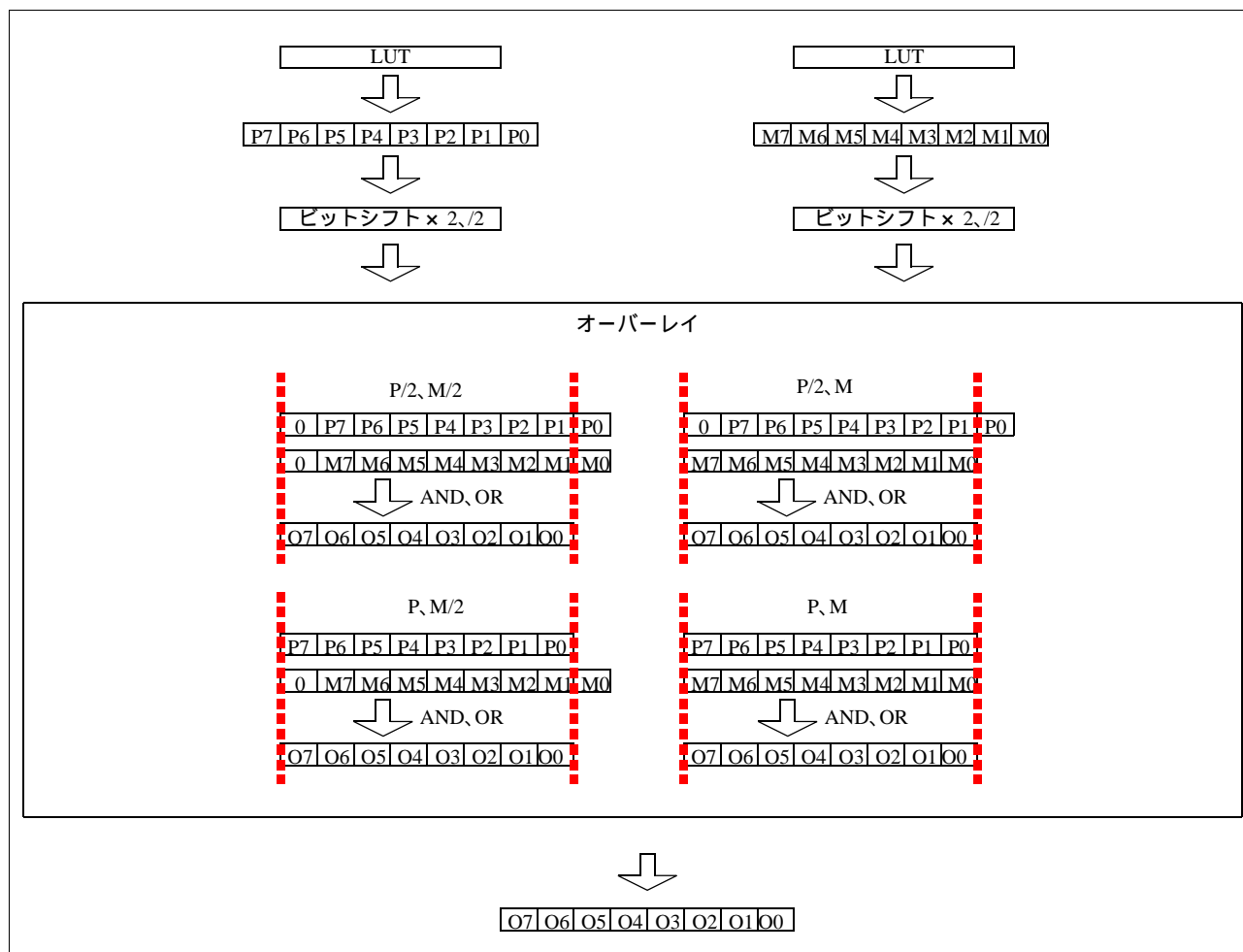


図13.13 ビットシフト機能におけるデータフロー

13.4.1 オーバーレイ表示の効果

PIP⁺がディセーブルされている (REG[0200h]ビット9~8=00) とき :

- メインウィンドウのみが表示され、PIP⁺ウィンドウは無視されます。

PIP⁺がイネーブルされている (REG[0200h]ビット9~8=01) とき :

- PIP⁺ ウィンドウ領域がメインウィンドウ領域に重ねて表示されます。オーバーレイキーカラーの設定は無視されます。

オーバーレイありのPIP⁺がイネーブルされている (REG[0200h]ビット9~8=11) とき :

- メインウィンドウのうち色がオーバーレイキーカラーと一致する領域においてのみ、PIP⁺ウィンドウ領域がメインウィンドウ領域に重ねて表示されます。メインウィンドウ領域については、メインウィンドウのみが表示されます。

13. 表示機能

- PIP+ ウィンドウ領域について：メインウィンドウのデータがオーバーレイキーカラーと同じ場合、各オーバーレイ機能に対する指定のとおり、PIP+ウィンドウのデータがメインウィンドウのデータと混合されます（368ページの図13.14「オーバーレイ表示の効果1」を参照）。メインウィンドウのデータがオーバーレイキーカラーと異なるときはメインウィンドウのデータが表示されます。複数のオーバーレイ機能を有効にしているときは、以下の優先順位となります：透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー。優先順位の低いオーバーレイ機能は無視され、優先順位が最も高いオーバーレイ機能のみが実行されます。

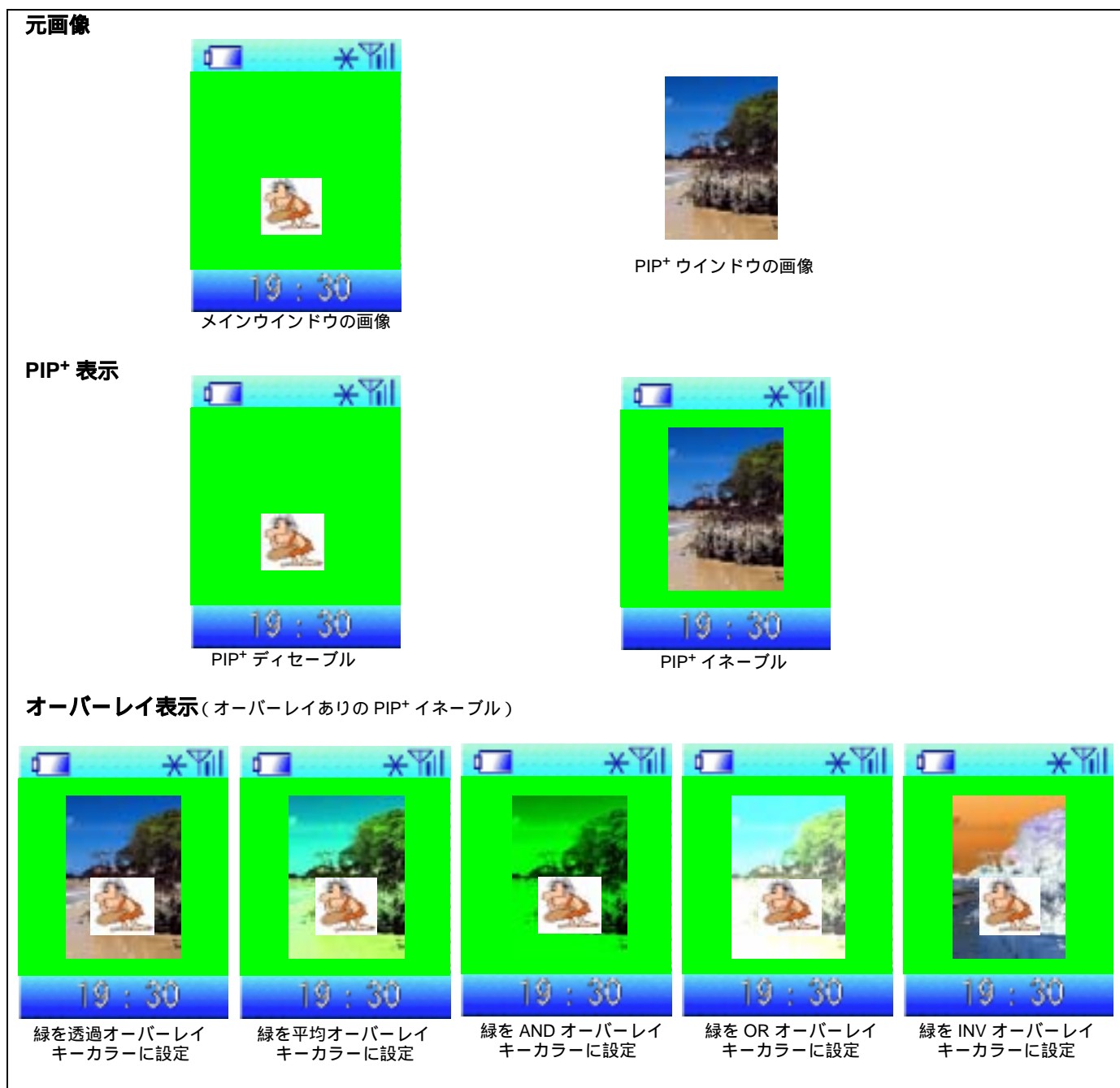


図13.14 オーバーレイ表示の効果1



図13.15 オーバーレイ表示の効果2

13.4.2 オーバーレイ機能の優先順位

オーバーレイ機能を複数イネーブルしているときは、優先度が最も高い機能のみが有効になります。機能の優先順位は次のとおりです（高い順）：透過キーカラー > 平均キーカラー > ANDキーカラー > ORキーカラー > INVキーカラー。透過とINVのオーバーレイがイネーブルされているときはINVオーバーレイが無視されます。

13. 表示機能

13.5 ピクセルダブリング

ピクセルダブリング機能は、表示データ（得られる画像）の横もしくは縦またはその両方のサイズを2倍にする機能です。たとえば160×120の画像データを拡大し、320×240の物理ディスプレイの画面いっぱいに表示することができます。この機能はメインウィンドウとPIP+ウィンドウのいずれにも使用できます（ただしRGB形式のみです）。PIP+ウィンドウの画像に対するピクセルダブリングの適用例を以下の図に示します。



図13.16 ピクセルダブリングの例（PIP+ウィンドウ）

13.6 ズーム表示

PIP⁺ウインドウの画像データはズーム機能を用いて拡大または縮小できます（ただしYUV 4:2:2フォーマットのみです）。拡大は線形補間によるデータ展開によって行われます。縮小は単純な縮小アルゴリズムによって行われます。ズーム機能とオーバーレイ機能も下図のように併用できます。

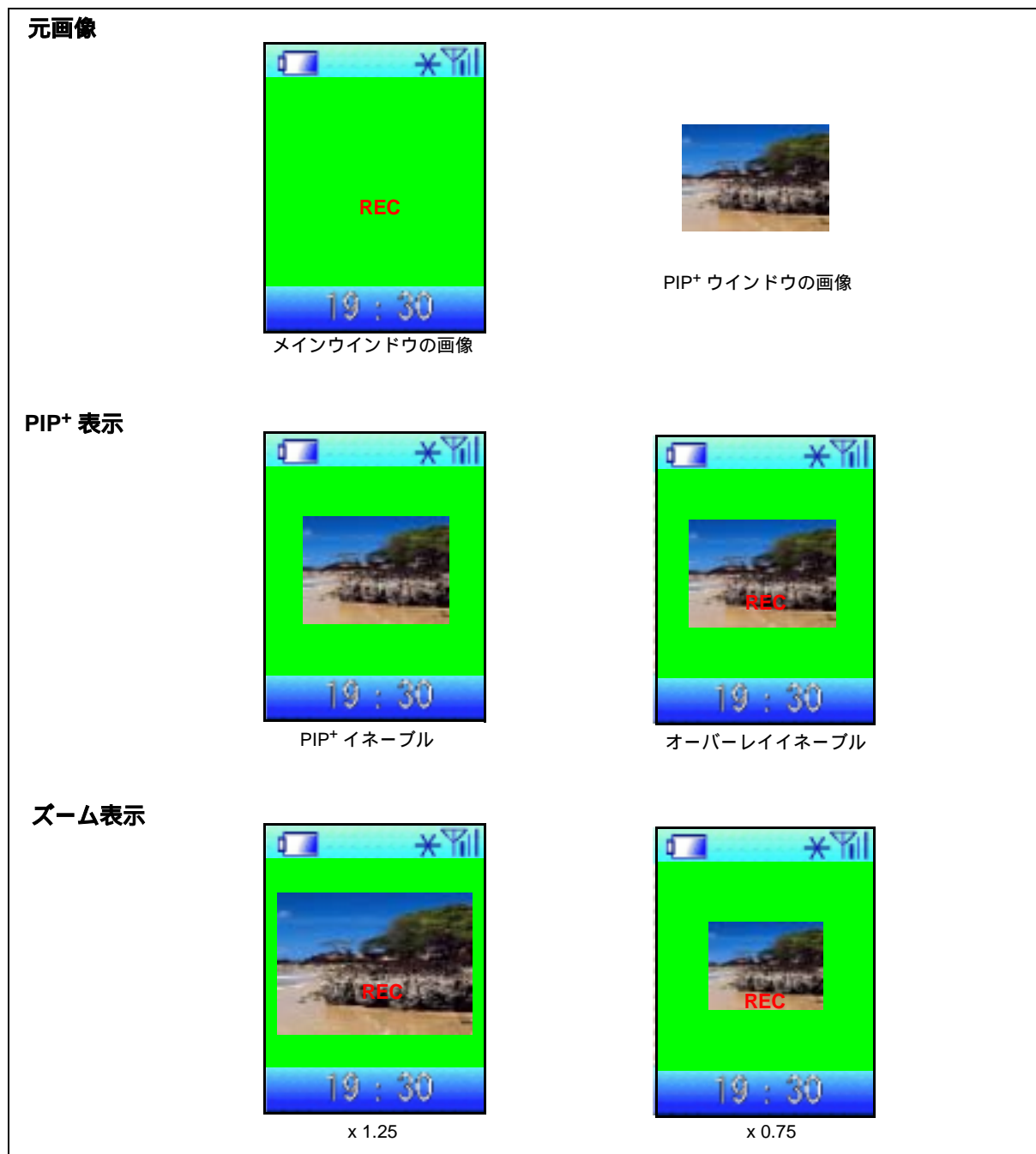


図13.17 ズーム表示の例1

ズーム表示の倍率はPIP⁺ウインドウサイズとは独立して設定できます。

13. 表示機能

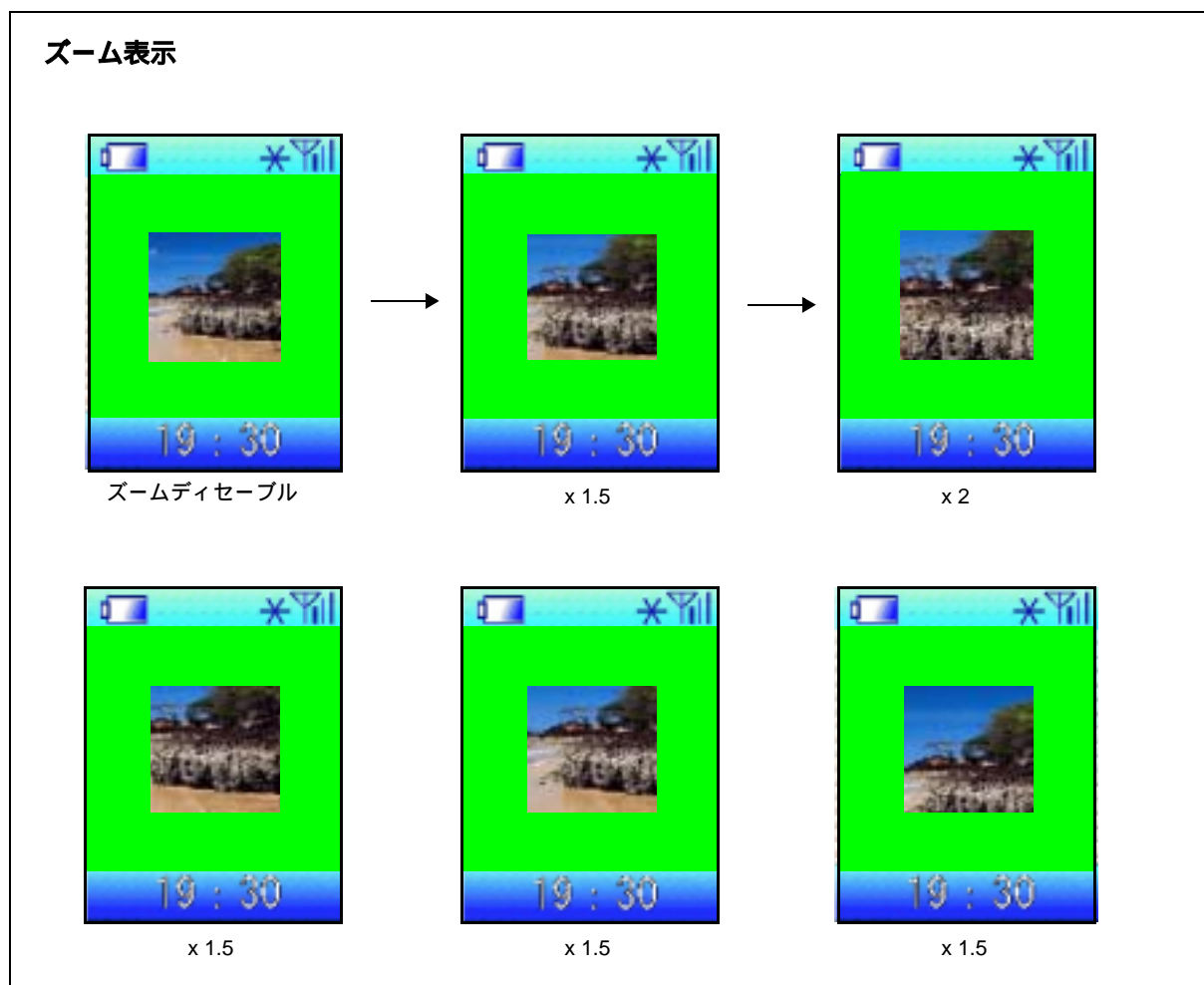


図13.18 ズーム表示の例2

14. JPEG符号化 / 復号化処理

S1D13719のJPEGコーデックはJPEGのベースライン規格に基づいており、その算術精度はJPEGパート2 (ISO/IEC 10918-2) の適合性試験の要求事項を満たしています。最大画像サイズは1600×1200です。圧縮・復元を行う画像はYUV形式に限られます。その最小解像度は表14.1「最小解像度の制約」に示すとおりです。

JPEGの符号化と復号化、ホストからのYUVデータ入力 (YUV 4:2:2のみ)、ホストへのYUVデータ出力 (YUV 4:2:2のみ) においては、次に示す画像の制約に従うことが必要です。画像はYUV形式とし、画像の最小解像度はYUVのフォーマットに応じて以下のように設定してください。

表14.1 最小解像度の制約

YUVのフォーマット	最小解像度
4:4:4 (復号化のみ)	1x1
4:2:2 (符号化 / 復号化)	2x1
4:1:1 (符号化 / 復号化)	4x1

量子化テーブルには2つの圧縮テーブルと4つの復元テーブルがあります。ハフマンテーブルにはACとDCについてそれぞれ2つのテーブルがあります。符号化処理ではマーカ (最大36バイト長) の挿入が行えます。復号化処理において処理および自動翻訳できるマーカは、SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、およびEOIです。復号化処理はYUV 4:4:4、YUV 4:2:2、YUV 4:1:1のフォーマットを、また符号化処理はYUV 4:2:2とYUV 4:1:1のフォーマットをそれぞれサポートします。RGBのフォーマットはサポートされません。画像データの処理速度は640×480の解像度でほぼ1/15秒未満です。ただし、この速度は画像データやハフマンテーブルおよび量子化テーブルに依存するため、保証はされません。

14.1 JPEG機能

14.1.1 JPEG FIFO

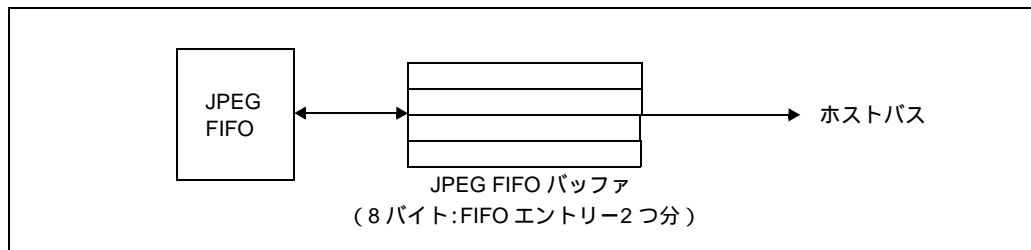


図14.1 JPEG FIFOの概要

JPEG FIFOは表示バッファの先頭に対応し、REG[09A4h]を用いて最大128KBのサイズに設定されます。JPEG FIFOのサイズを決めるときには、JPEGファイルのサイズとホストCPUのパフォーマンスを考慮に入れてください。

JPEG FIFOの状態はJPEG FIFO Statusレジスタ (REG[09A2h]) を用いてチェックできます。また、JPEG Interrupt Controlレジスタ (REG[0986h]) を使うことでJPEG FIFOの状態を割り込みによって示すこともできます。

JPEG符号化処理では、ホストCPUによるJPEG FIFOの読み出しが必要です。

14. JPEG符号化 / 復号化処理

JPEG FIFOの読み出しを行う前に、JPEG FIFOエンプティ状態ビット (REG[09A2h]ビット0) およびJPEG FIFOスレシールド状態ビット (REG[09A2h]ビット3~2) を用いてFIFOがエンプティでないことを確認してください。確認が済んだらFIFOから1件のエントリーを読み出します。FIFOからエントリーを1件読み出すにはFIFOの読み出しが2回必要であることに注意してください (FIFOは32ビットですが、読み出し / 書き込みポートは16ビットです)。

JPEG復号化処理では、ホストCPUによるJPEG FIFOへの書き込みが必要です。JPEG FIFOの読み出しの場合のように、JPEG FIFOに書き込めるエントリー数がわかれば、エントリーを1つずつ、またはデータのブロックとして、JPEG FIFOへの書き込みが行えます。JPEG FIFOがフルであり、かつ書き込みがホストCPUによって行われる場合、FIFOに空きスペースができるまでWAIT#がアサートされます。

14.1.2 JPEGコーデックの割り込み

JPEG状態ビットを常にチェックせずに済むよう、JPEGコーデックは以下の割り込みを発行できます。割り込みを使用することでJPEG処理に対するCPUの負荷が軽減されます。JPEG割り込みに関するレジスタのビット配置については、251ページの10.4.15「JPEGモジュールレジスタ」のレジスタ説明をご覧ください。

1. JPEGコーデック割り込みフラグ (REG[0982h]ビット1)

すべてのJPEG処理がエラーなく完了したとき、または復号化処理においてRSTマーカの処理エラーが検出されたときに、このフラグがアサートされます。RSTマーカのエラー検出がイネーブルされているときはこの割り込みフラグをイネーブルしてください。

ただし、復号化処理においてRSTマーカが不要な場合、処理が完了したことはJPEG復号化完了フラグ (REG[0982h]ビット5) を用いて確認します。符号化処理では、処理が完了したことはJPEG FIFOエンプティフラグ (REG[0982h]ビット8) およびJPEG動作状態ビット (REG[1004h]ビット0) を用いて確認します。

2. JPEGラインバッファオーバーフローフラグ (REG[0982h]ビット2)

符号化処理においてJPEG FIFOの読み出し速度がJPEGラインバッファへの書き込み速度より遅い場合、JPEGラインバッファがオーバーフローするとこのフラグがアサートされます。JPEG符号化を行うときはこのフラグをイネーブルしてください。

3. JPEGデコードマーカ読み出しフラグ (REG[0982h]ビット4)

JPEG復号化においてJPEGファイルからマーカ情報が読み出されるときにこのフラグがアサートされます。マーカ情報にはリサイザーの設定やLCDの設定が含まれることがあります。このフラグがアサートされている間、JPEG復号化は停止し、このフラグがクリアされる (REG[0986h]ビット4=0になる) と復号化が再開されます。

4. JPEG復号化完了フラグ (REG[0982h]ビット5)

JPEG復号化処理が完了し、復元された画像データがメモリに格納されると、このフラグがアサートされます。このフラグは、オーバーレイのイネーブルや画像表示を行うトリガとして有用です。

5. JPEG FIFOエンプティフラグ (REG[0982h]ビット8)

JPEG FIFOがエンプティであるときにこのフラグがアサートされます。復号化処理ではJPEGデータをFIFOに書き込むタイミングの確認、ならびにJPEG復号化処理が完全に完了したことを示すのに有用です。符号化処理ではJPEGファイルがすべてホストに読み出されたことを示します。

6. **JPEG FIFOフルフラグ (REG[0982h]ビット9)**
JPEG FIFOがフルであるときにこのフラグがアサートされます。符号化処理ではホストによるFIFO読み出しの優先度を上げるトリガとして使用されます。復号化処理では、FIFOへのデータ書き込みが可能かどうかを示します。
7. **JPEG FIFOスレシヨルドトリガフラグ (REG[0982h]ビット10)**
JPEG FIFOのデータ量がJPEG FIFOトリガスレシヨルドビット (REG[09A0h]ビット5~4) で指定された条件を満たすときにこのフラグがアサートされます。FIFOのJPEG圧縮データの読み出しをホストが開始するタイミングを知るのに有用です。
8. **符号化サイズ制限値超えフラグ (REG[0982h]ビット11)**
JPEG Encode Size Limitレジスタ (REG[09B0h]とREG[09B2h]) で指定する制限値をJPEG圧縮データのサイズが超えたときにこのフラグがアサートされません。

14.1.3 JPEGバイパスモード

カメラインタフェースから送られてくる未処理のYUVデータをホストCPUが受信する場合、S1D13719はJPEGコーデックをバイパスできます (YUVデータキャプチャモード)。このほか、表示する未処理のYUVデータをホストCPUが送信するときにもJPEGコーデックをバイパスできます (YUVデータ表示モード)。YUVデータキャプチャモードの場合でも、YUVデータはやはりJPEG FIFO経由でホストCPUに送信されます。JPEG FIFOはREG[09A6h]の値に従ってアクセスされます。YUVデータ表示モードの場合、JPEG FIFOはバイパスされ、ホストCPUはJPEGラインバッファ書き込みポート (REG[09E0h]) を用いてYUVデータをJPEGラインバッファに直接書き込みます。

未処理のYUVデータは次に示すように2種類のYUVフォーマットのいずれでも可能です (YUV 4:2:2 = 2 × 1)。

	YUV 4:2:2
N番目のライン	UYVYUYVY
N+1番目のライン	UYVYUYVY

14. JPEG符号化 / 復号化処理

14.2 シーケンス例

14.2.1 JPEG符号化処理

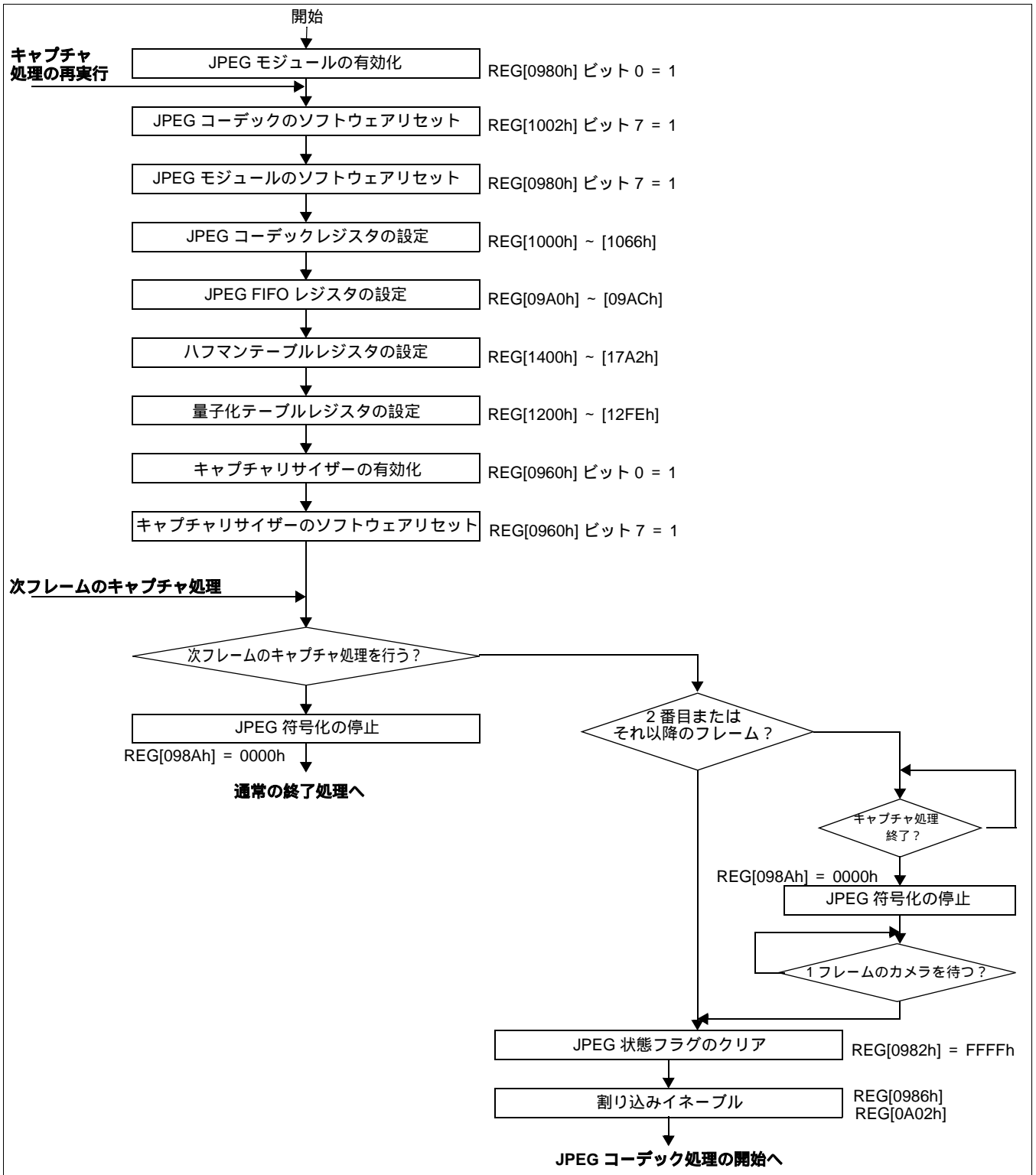


図14.2 JPEG符号化処理 (1/4)

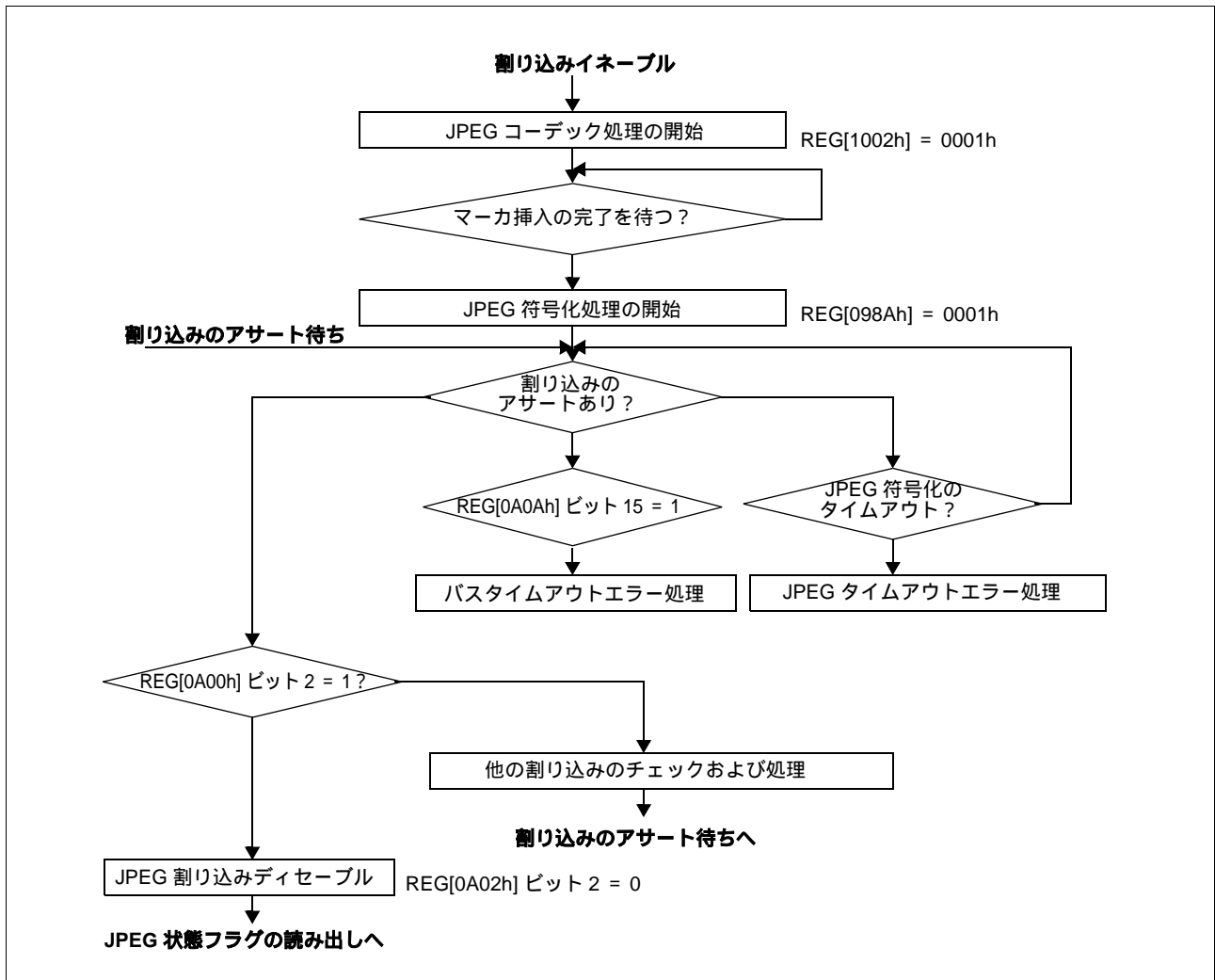
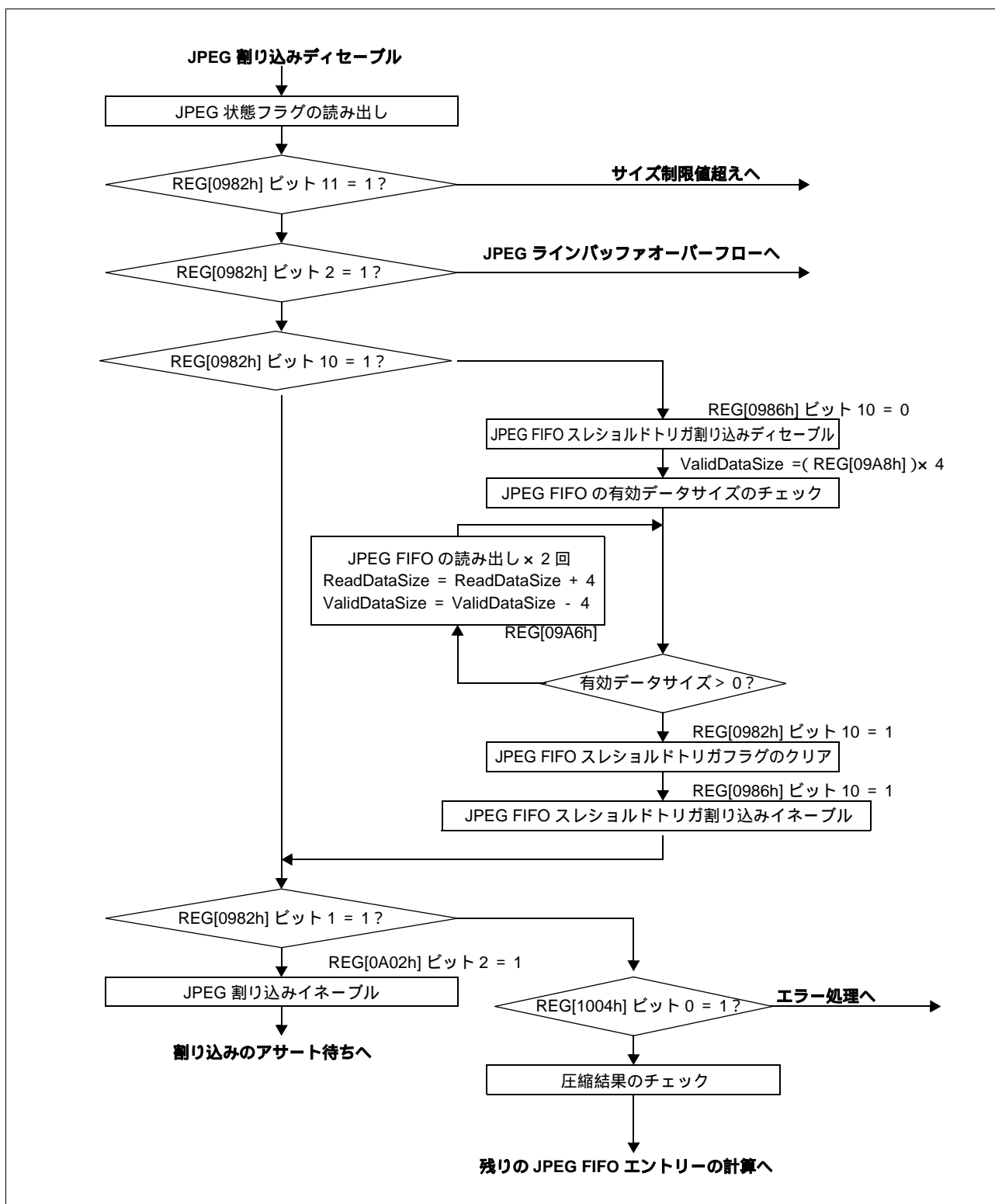


図14.3 JPEG符号化処理 (2/4)

14. JPEG符号化 / 復号化処理



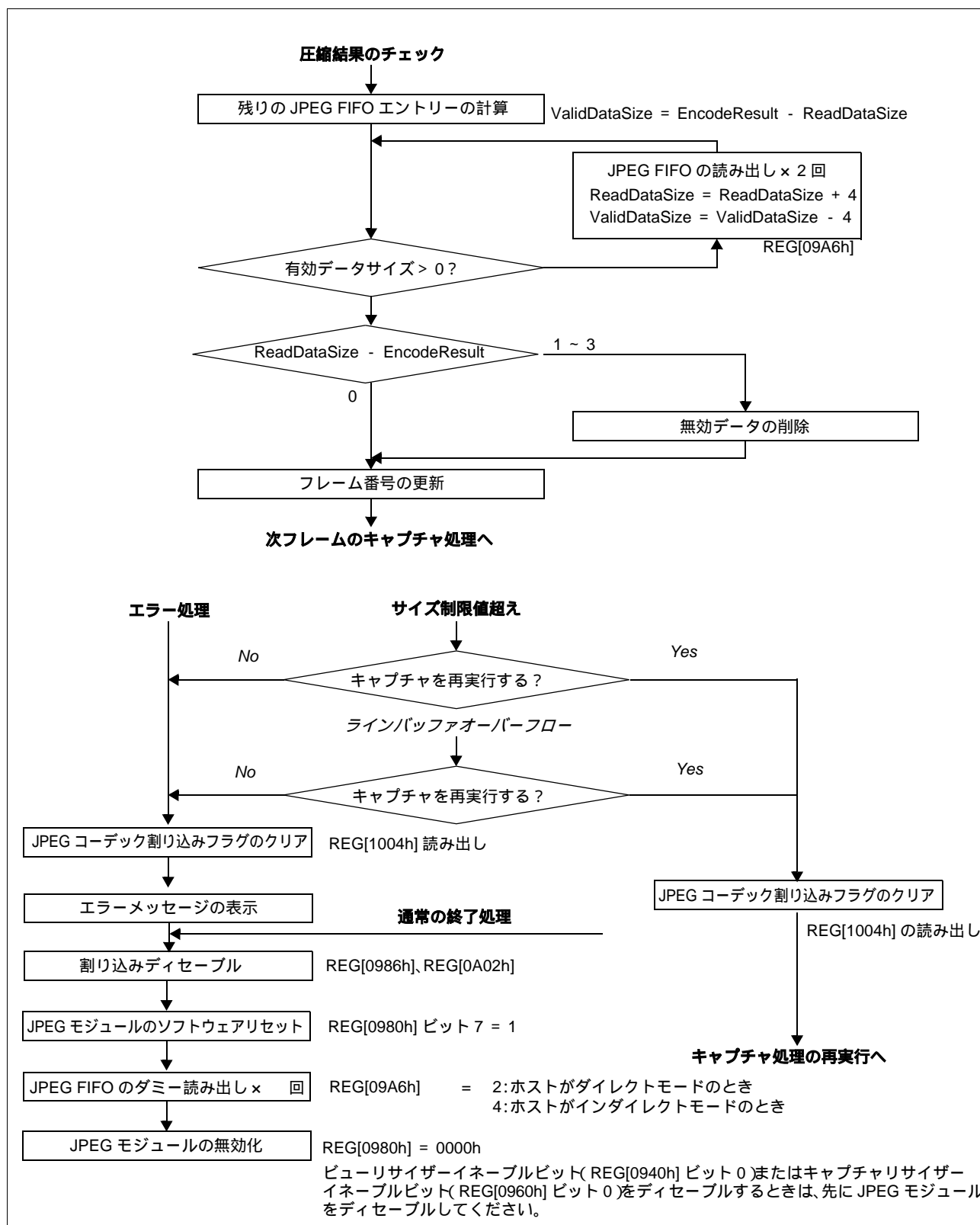


図14.5 JPEG符号化処理 (4/4)

14. JPEG符号化 / 復号化処理

1. カメラインタフェースレジスタ (REG[0100h] ~ REG[0124h]) を初期化します。
2. JPEGモジュールをイネーブルします。具体的には、REG[0980h]ビット3 ~ 0 = 0001に設定します。
3. JPEGコーデックレジスタを初期化します。
 - a. JPEGコーデックのソフトウェアリセットを行います。具体的には、REG[1002h]ビット7 = 1に設定します。
 - b. 処理モードとして符号化を選択します。具体的には、REG[1000h]ビット2 = 0に設定します。
 - c. 使用したい量子化テーブル番号 (REG[1006h]) とハフマンテーブル番号 (REG[1008h]) を設定します。
 - d. DRIの設定を選択します (REG[100Ah] ~ REG[100Ch])。
 - e. 垂直ピクセルサイズ (REG[100Eh] ~ REG[1010h]) と水平ピクセルサイズ (REG[1012h] ~ REG[1014h]) を設定します。
 - f. 挿入マーカデータをREG[1020h] ~ REG[1066h]に設定します。REG[1000h]ビット3 = 1のとき、これらのレジスタのデータがJPEG FIFOに書き込まれます。使用しないビットにはFFhを書き込みます。
 - g. 量子化テーブル0番 (REG[1200h] ~ REG[127Eh]) および量子化テーブル1番 (REG[1280h] ~ REG[12FEh]) を以下の順序で初期化します。

1	2	3	4	5	6	7	8
9	10	11	12	13	14	15	16
17	18	19	20	21	22	23	24
25	26	27	28	29	30	31	32
33	34	35	36	37	38	39	40
41	42	43	44	45	46	47	48
49	50	51	52	53	54	55	56
57	58	59	60	61	62	63	64

- h. DCハフマンテーブルとACハフマンテーブルをISO/IEC 10918の付属書Kに従って設定します。数値は以下のように指定されています。

DCハフマンテーブル0番のレジスタ0 (REG[1400h] ~ REG[141Eh]) はAのように設定します。

DCハフマンテーブル0番のレジスタ1 (REG[1420h] ~ REG[1436h]) はBのように設定します。

ACハフマンテーブル0番のレジスタ0 (REG[1440h] ~ REG[145Eh]) はCのように設定します。

ACハフマンテーブル0番のレジスタ1 (REG[1460h] ~ REG[15A2h]) はDのように設定します。

DCハフマンテーブル1番のレジスタ0 (REG[1600h] ~ REG[161Eh]) はEのように設定します。

DCハフマンテーブル1番のレジスタ1 (REG[1620h] ~ REG[1636h]) はFのように設定します。

ACハフマンテーブル1番のレジスタ0 (REG[1640h] ~ REG[165Eh]) はGのように設定します。

ACハフマンテーブル1番のレジスタ1 (REG[1660h] ~ REG[17A2h]) はHのように設定します。

A:	00h, 01h, 05h,, 00h, 00h	16バイト
B:	00h, 01h, 02h,, 0Ah, 0Bh	12バイト
C:	00h, 02h, 01h, 03h,, 01h, 7Dh	16バイト
D:	01h, 02h, 03h,, F9h, FAh	162バイト
E:	00h, 03h, 01h,, 00h, 00h	16バイト
F:	00h, 01h, 02h,, 0Ah, 0Bh	12バイト
G:	00h, 02h, 01h, 02h,, 02h, 77h	16バイト
H:	00h, 01h, 02h,, F9h, FAh	162バイト

4. JPEGモジュールレジスタを設定します。
- JPEGモジュールをイネーブルし、ソフトウェアリセットを行います (REG[0980h] = 81h)。
 - JPEG FIFOのサイズを指定します (REG[09A4h])。FIFOのサイズは次式を用いて決定します。
JPEG FIFOのサイズ = ((REG[09A4h]ビット3 ~ 0) + 1) × 4KB
例：JPEG FIFOのサイズが12KBのとき、REG[09A4h] = 2となります。
(2 + 1) × 4KB = 12KB
 - 符号化サイズ制限値 (REG[09B0h] ~ REG[09B2h]) をバイトで指定します。符号化サイズの制限値を超えたときに割り込みを生成するには、符号化サイズ制限値超えフラグ (REG[0982h]ビット11) を使用します。
 - JPEG FIFOをクリアします (REG[09A0h]ビット2 = 1)。
 - JPEG FIFOトリガスレシヨルド (REG[09A0h]ビット5 ~ 4) を設定します。
5. キャプチャリサイザ関連のレジスタを設定します。垂直および水平サイズは、ステップ3eで設定したJPEGの垂直および水平サイズと同じでなければなりません。

14. JPEG符号化 / 復号化処理

6. 符号化処理を開始します。
 - a. すべての状態ビットをクリアします。具体的には、REG[0982h]をFFFFhに設定します。
 - b. JPEG Interrupt Controlレジスタにおいて必要な割り込みをイネーブルします。たとえば、REG[0986h] = 0E07hに設定します。
 - c. JPEG処理を開始します (REG[1002h]ビット0 = 1)。
 - d. キャプチャ処理を開始します (REG[098Ah]ビット0 = 1)。

REG[1002h]ビット0を1に設定してからマーカが生成されるまでに2ms (内部システムクロック = 50MHz) が必要です。2msの経過前にREG[098Ah]ビット0を1に設定しても、キャプチャが開始されるのはマーカ生成後(2ms経過後)です。

ホストCPUの処理

7. JPEG FIFOのスレシヨルド条件が満たされるのを待ちます。これを実現するには、JPEG FIFOスレシヨルドトリガ割り込み (REG[0986h]を参照) を利用するか、またはJPEG FIFOスレシヨルド状態ビット (REG[0982h]ビット13 ~ 12) をチェックします。割り込みの方法を使用する場合はアサート後に割り込みをディセーブルする処理が必要です。
8. JPEG FIFO有効データサイズを確認します (REG[09A8h]) 。
9. JPEG FIFO Read/Writeレジスタ (REG[09A6h]) を2回読み出します。全32ビットのFIFOエントリーを取得するには、この16ビットのRead/Writeレジスタを2回読み出すことが必要です。
10. 割り込みの方法を使用する場合は、割り込みを再度イネーブルしてください。
11. FIFO有効データサイズがゼロになり (REG[09A8h] = 0) 、かつJPEG動作状態がアイドル (REG[1004h]ビット0 = 0) になるまで、ステップ7から9をくり返します。
12. 符号化処理が完了したら、Encode Size Resultレジスタ (REG[09B4h] ~ REG[09B6h]) を用いて実際のファイルサイズをチェックします。
13. JPEGコーデック割り込みフラグ (REG[0982h]ビット1) を用いて処理の完了を確認します。
14. JPEG開始 / 停止制御ビットを用いてJPEGコーデックを停止します (REG[098Ah]ビット0 = 0に設定します) 。

14.2.2 メモリ画像のJPEG符号化処理

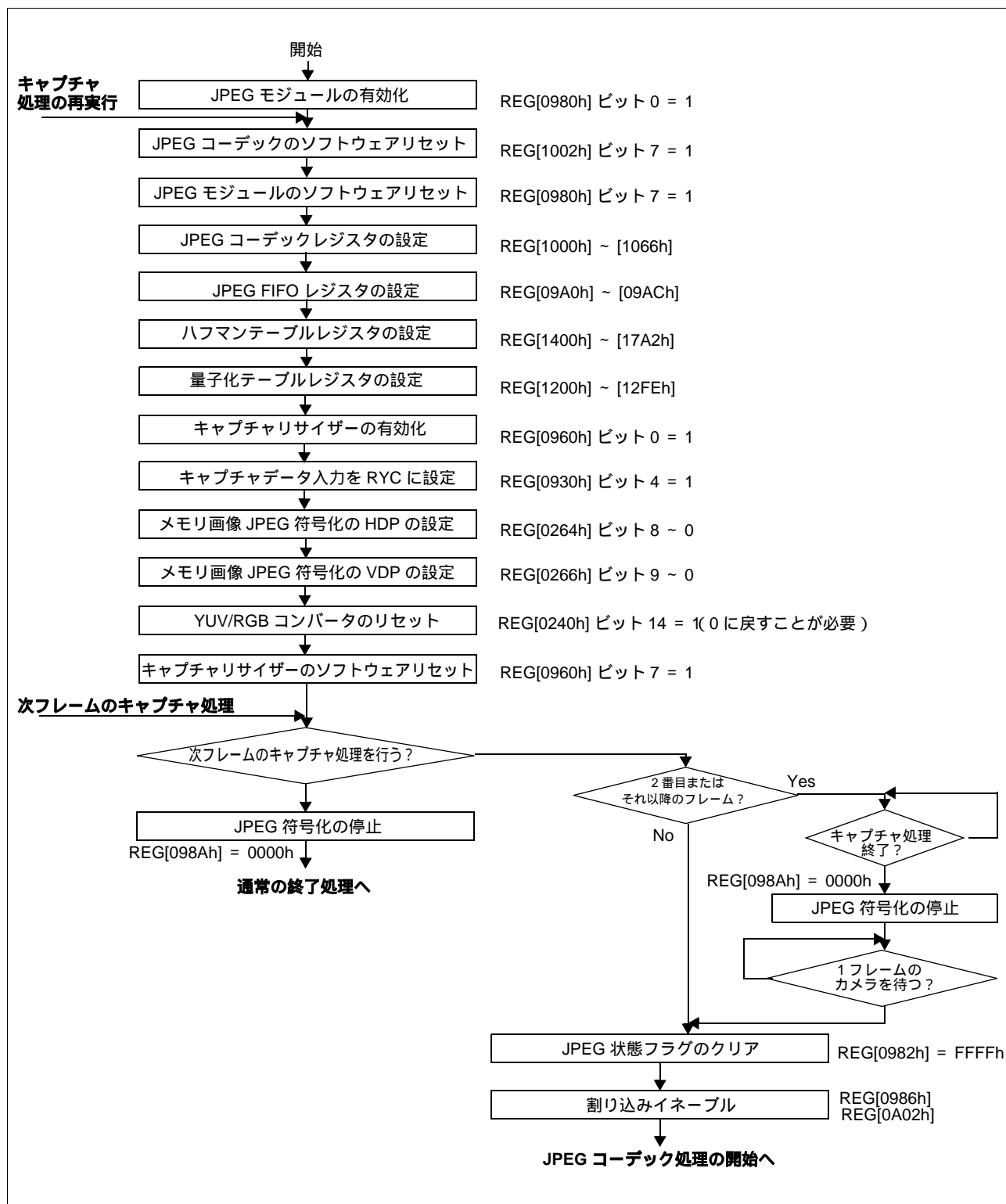


図14.6 メモリ画像のJPEG符号化処理 (1/4)

14. JPEG符号化 / 復号化処理

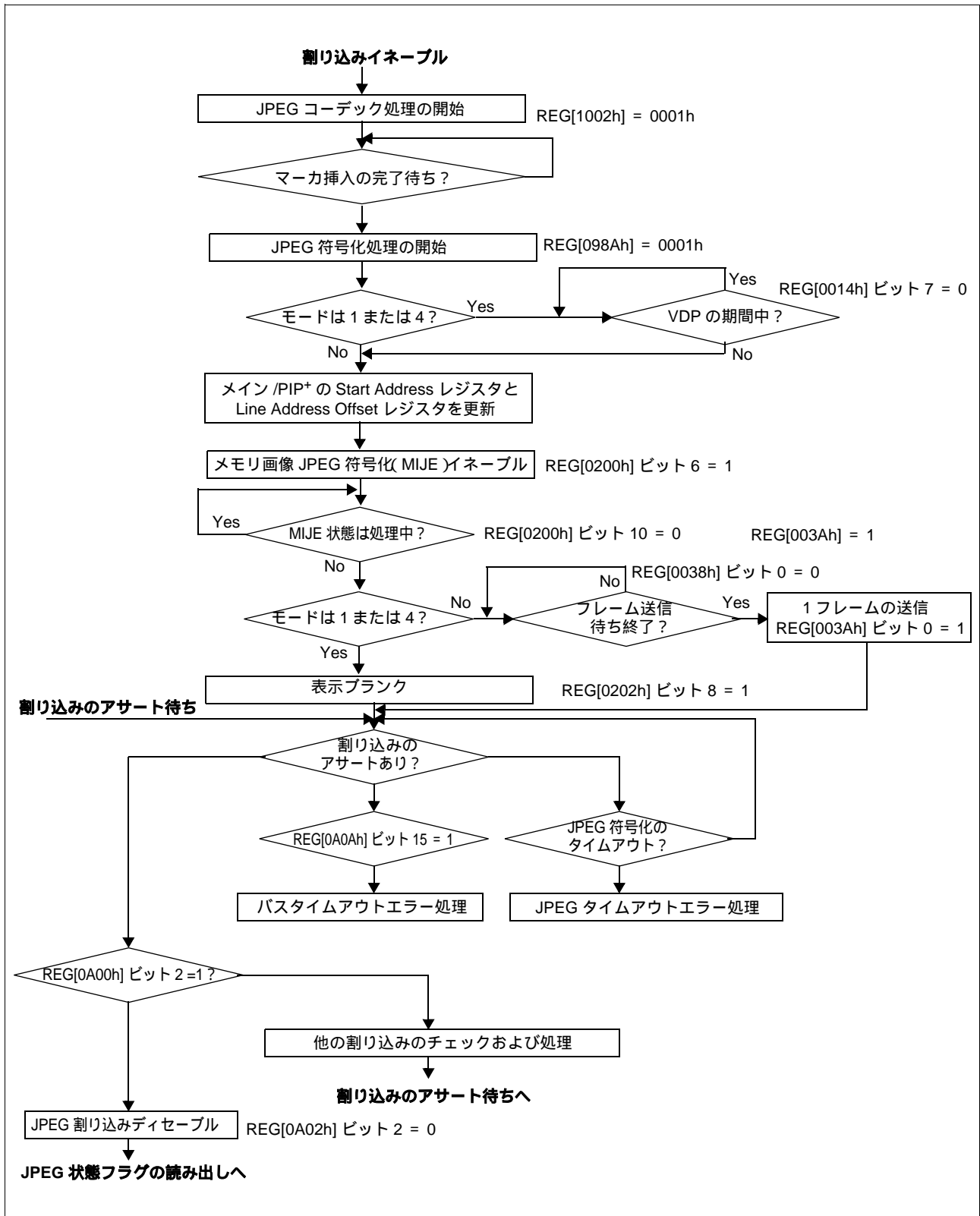


図14.7 メモリ画像のJPEG符号化処理 (2/4)

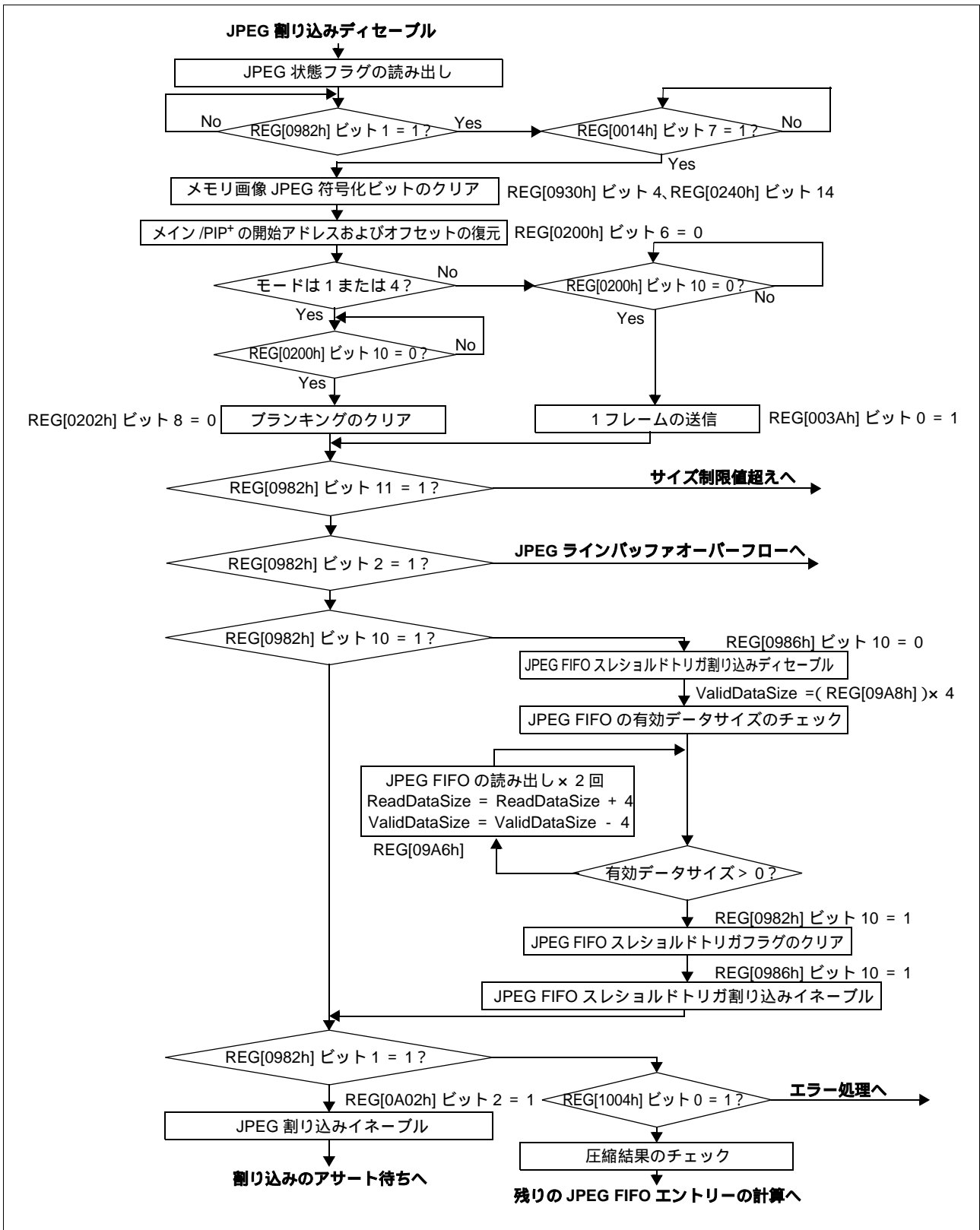


図14.8 メモリ画像のJPEG符号化処理 (3/4)

14. JPEG符号化 / 復号化処理

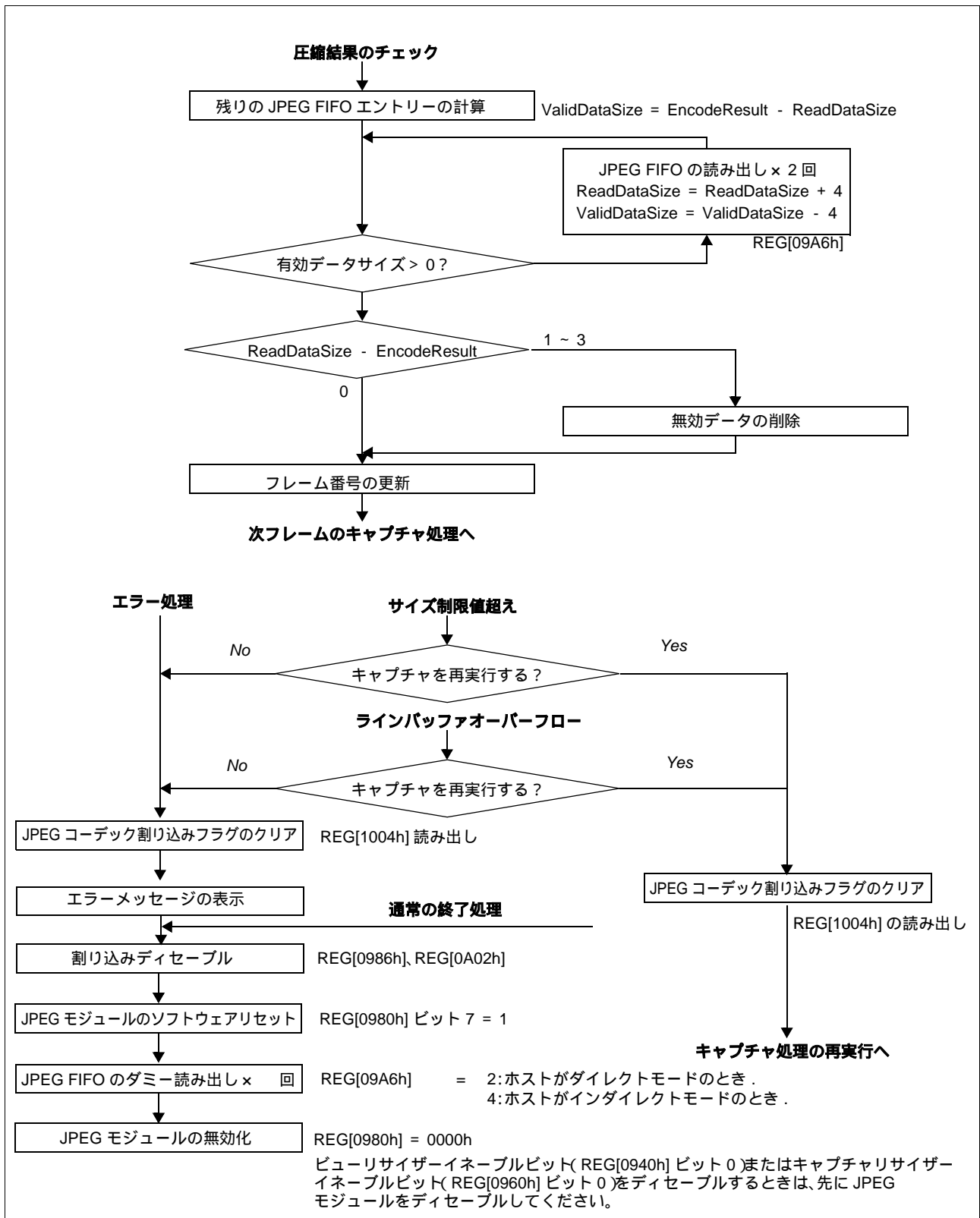


図14.9 メモリ画像のJPEG符号化処理 (4/4)

14.2.3 ホストインタフェースからのメモリ画像のJPEG符号化処理 (RGB形式)

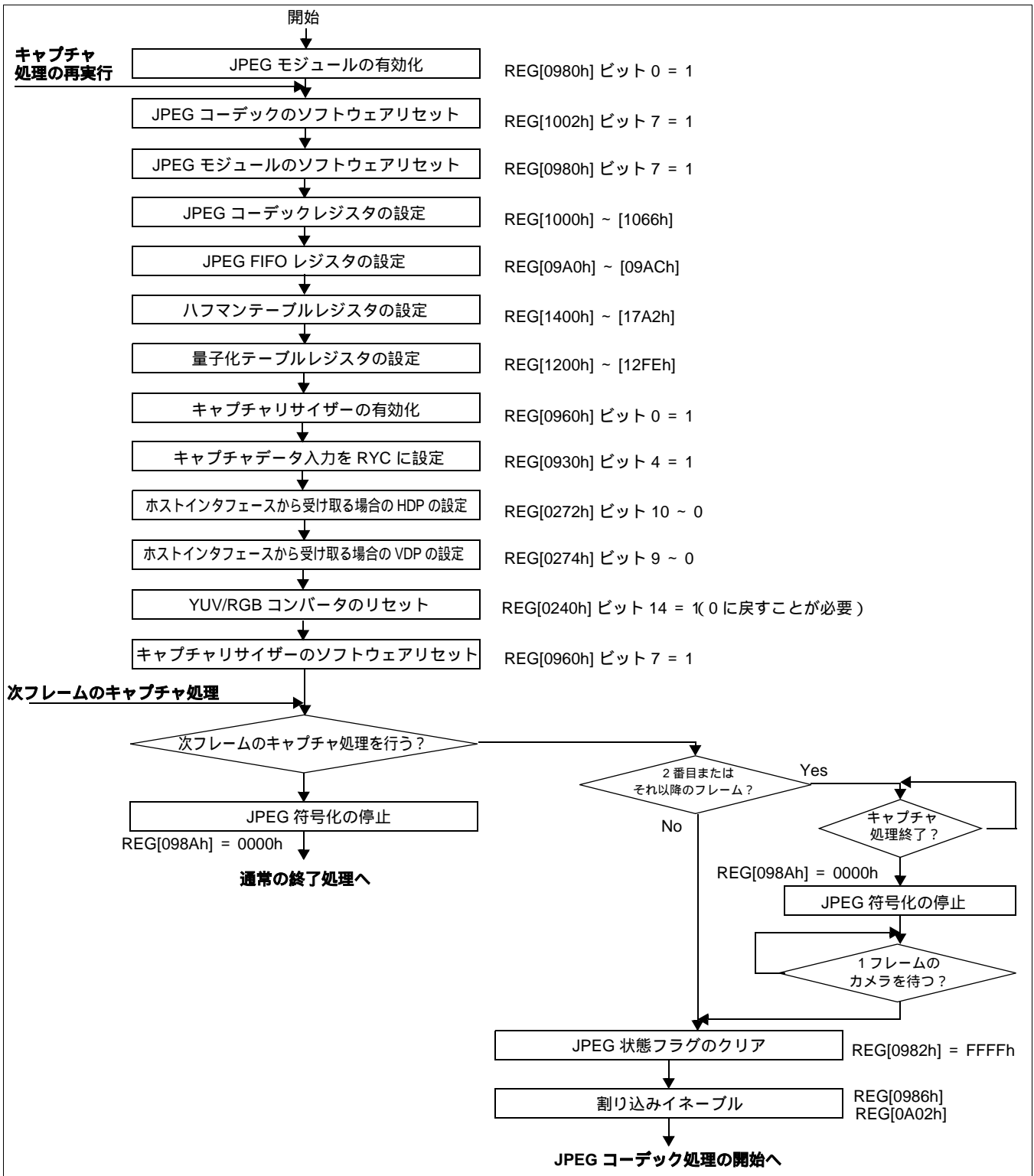


図14.10 ホストインタフェースからのメモリ画像のJPEG符号化処理 (RGB形式) (1/4)

14. JPEG符号化 / 復号化処理

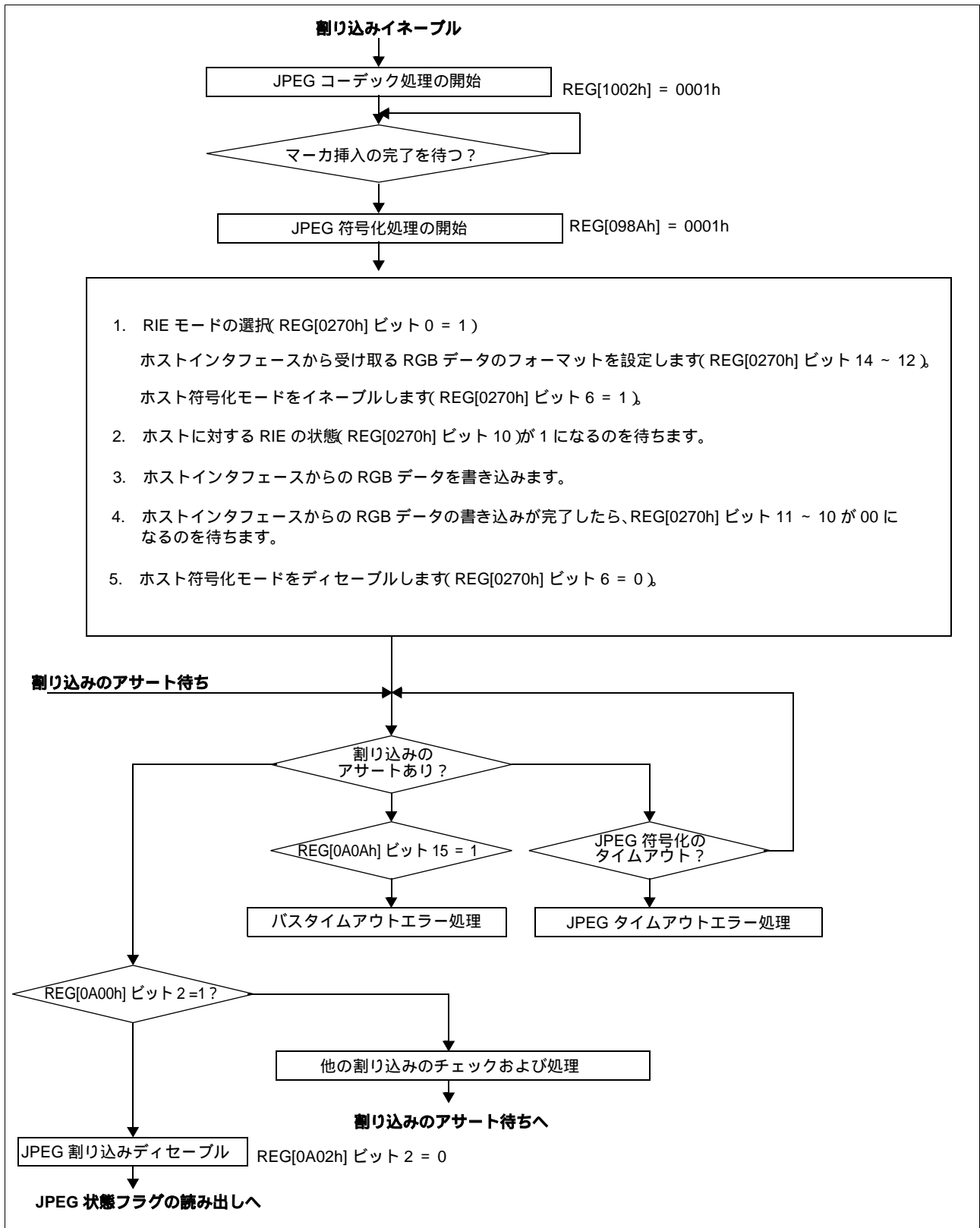


図14.11 ホストインタフェースからのメモリ画像のJPEG符号化処理 (RGB形式) (2/4)

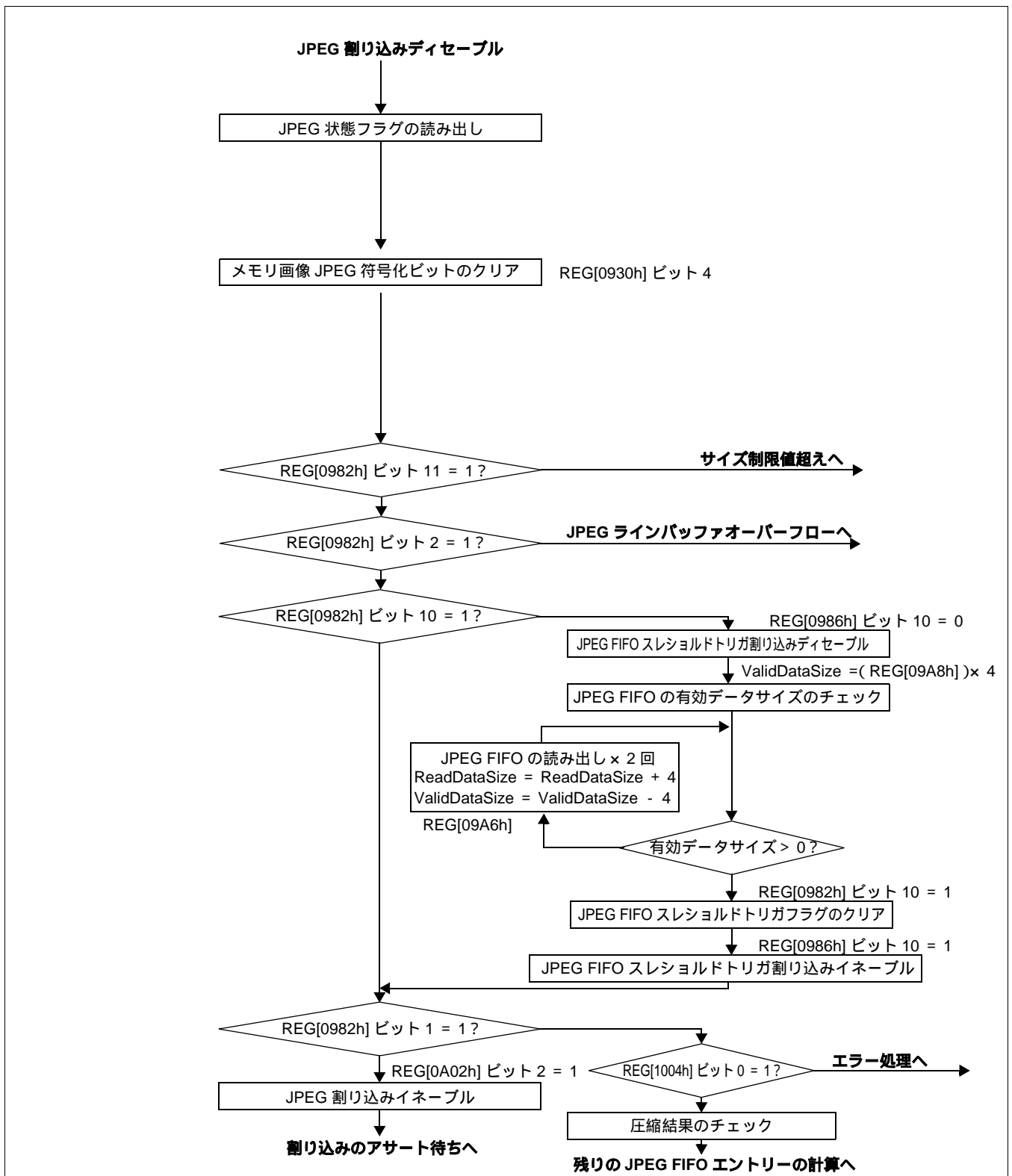


図14.12 ホストインタフェースからのメモリ画像のJPEG符号化処理 (RGB形式) (3/4)

14. JPEG符号化 / 復号化処理

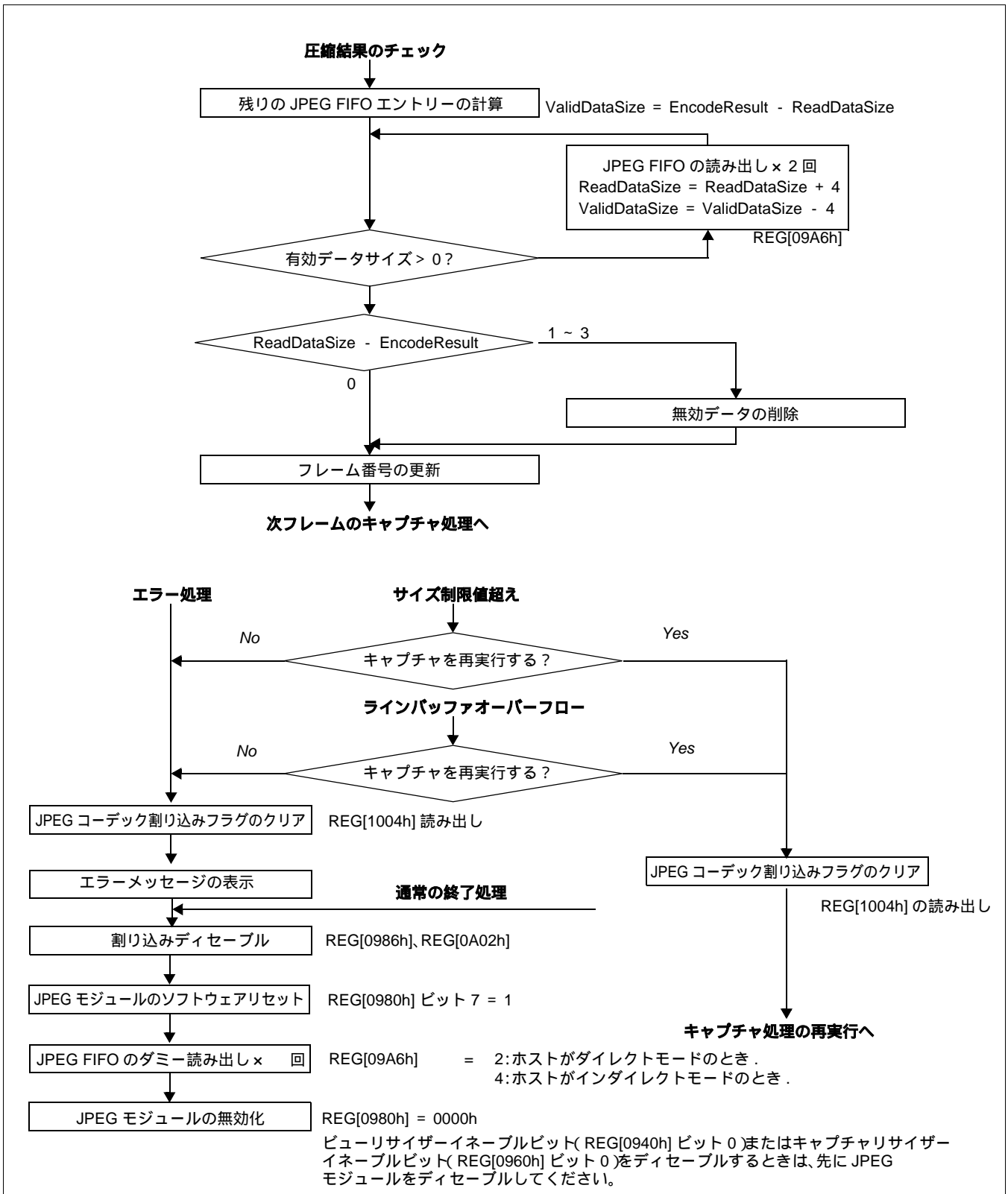


図14.13 ホストインタフェースからのメモリ画像のJPEG符号化処理 (RGB形式) (4/4)

14.2.4 JPEG復号化処理

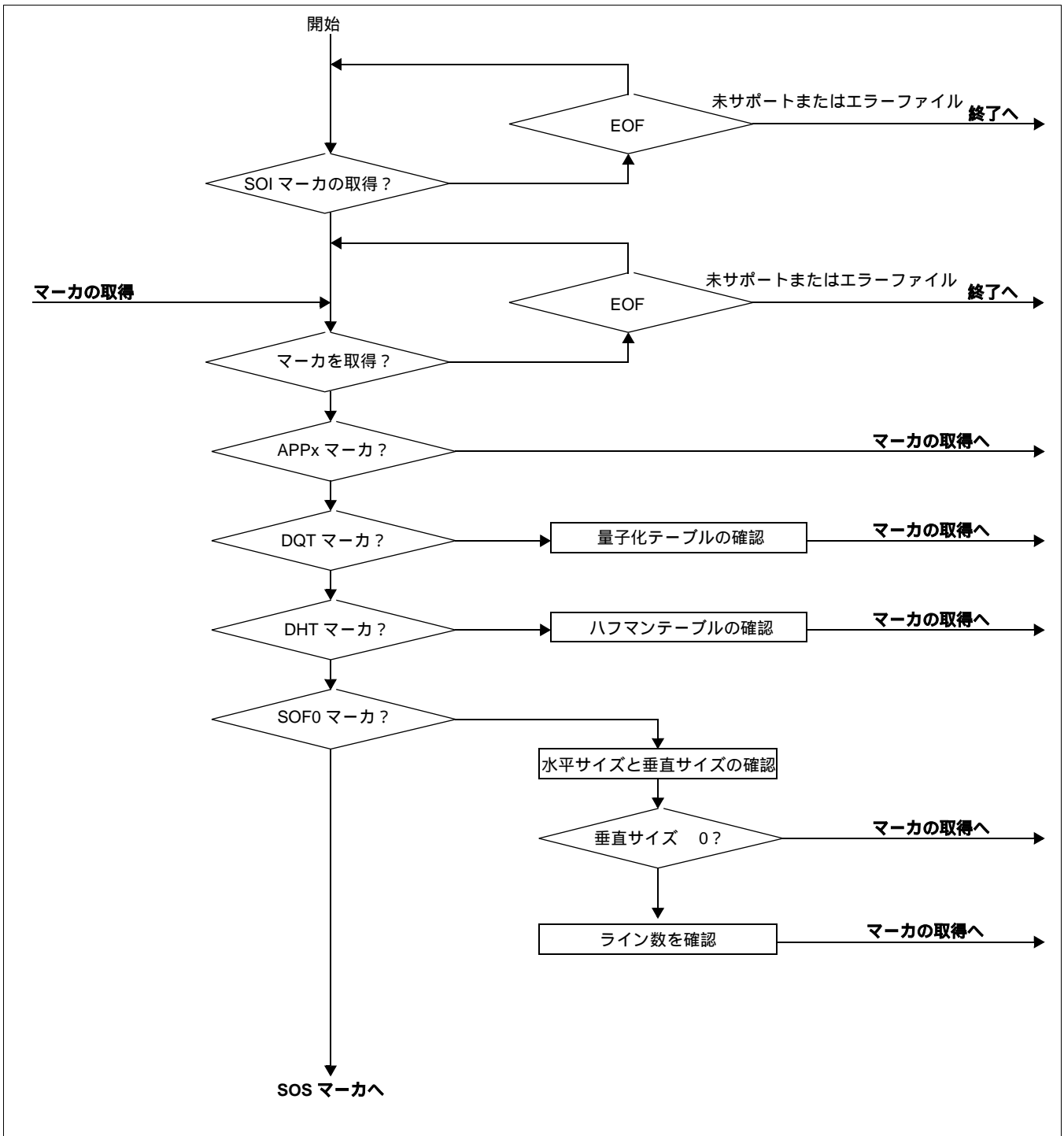


図14.14 JPEG復号化処理 (1/6)

14. JPEG符号化 / 復号化処理

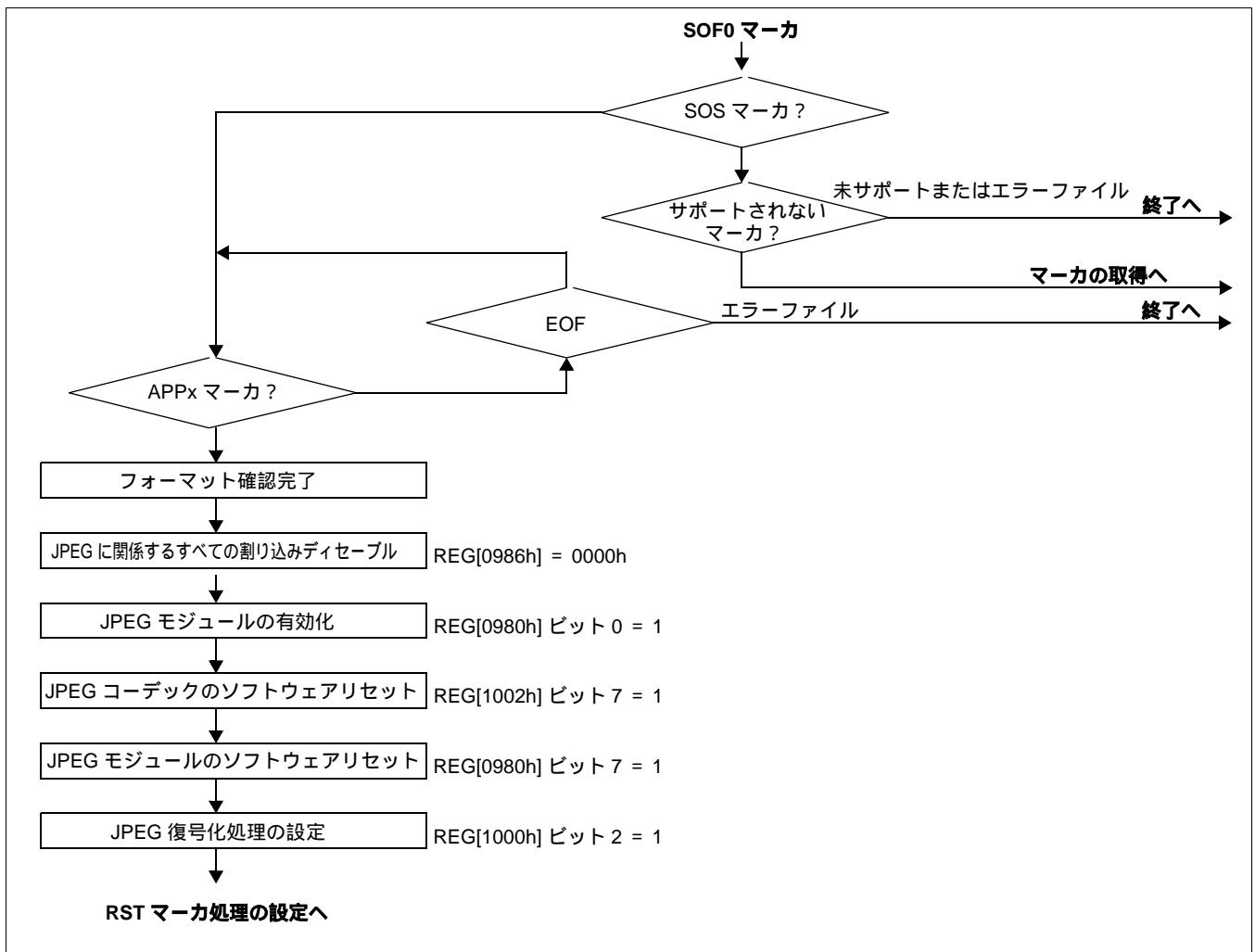


図14.15 JPEG復号化処理 (2/6)

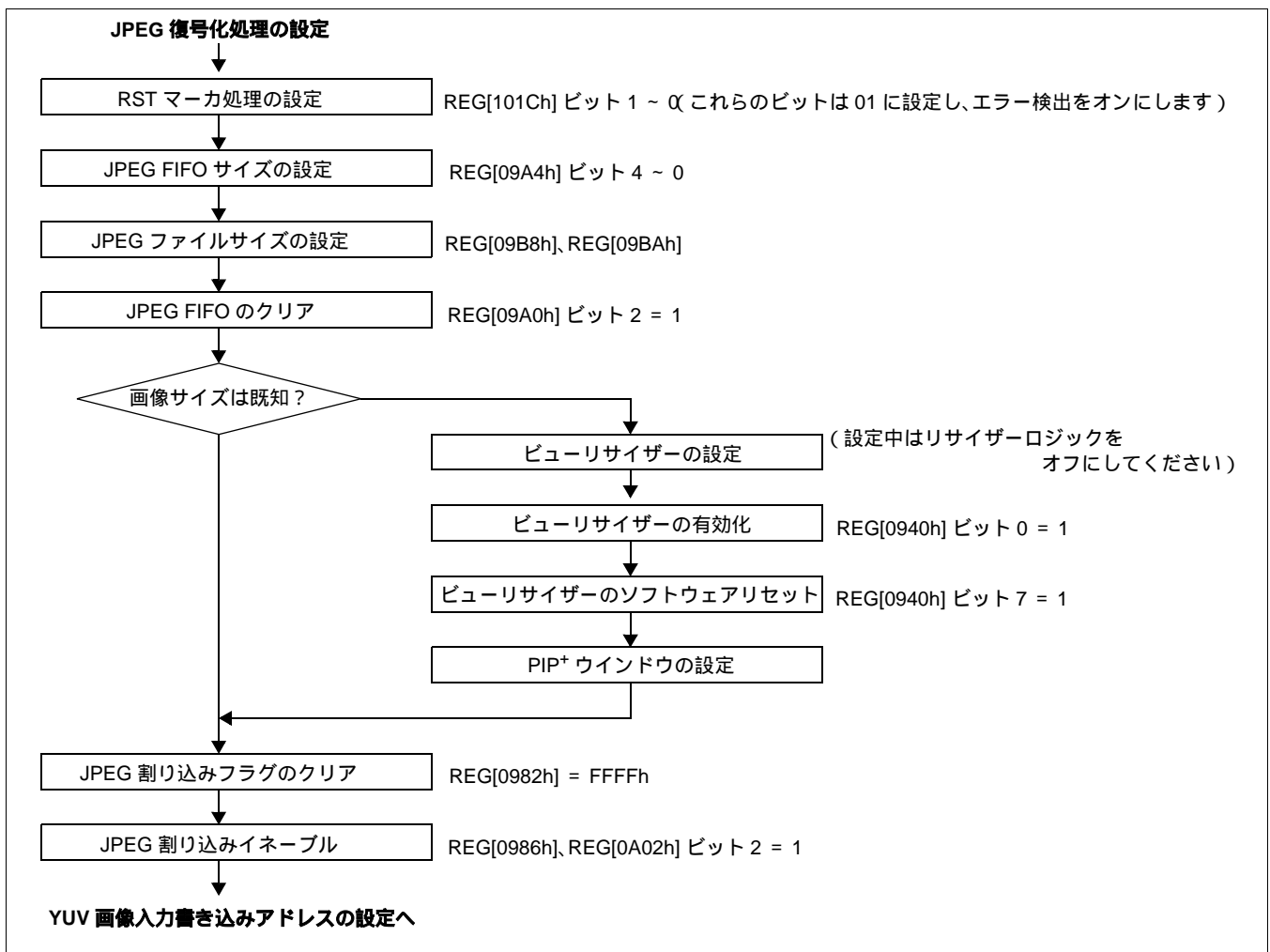


図14.16 JPEG復号化処理 (3/6)

14. JPEG符号化 / 復号化処理

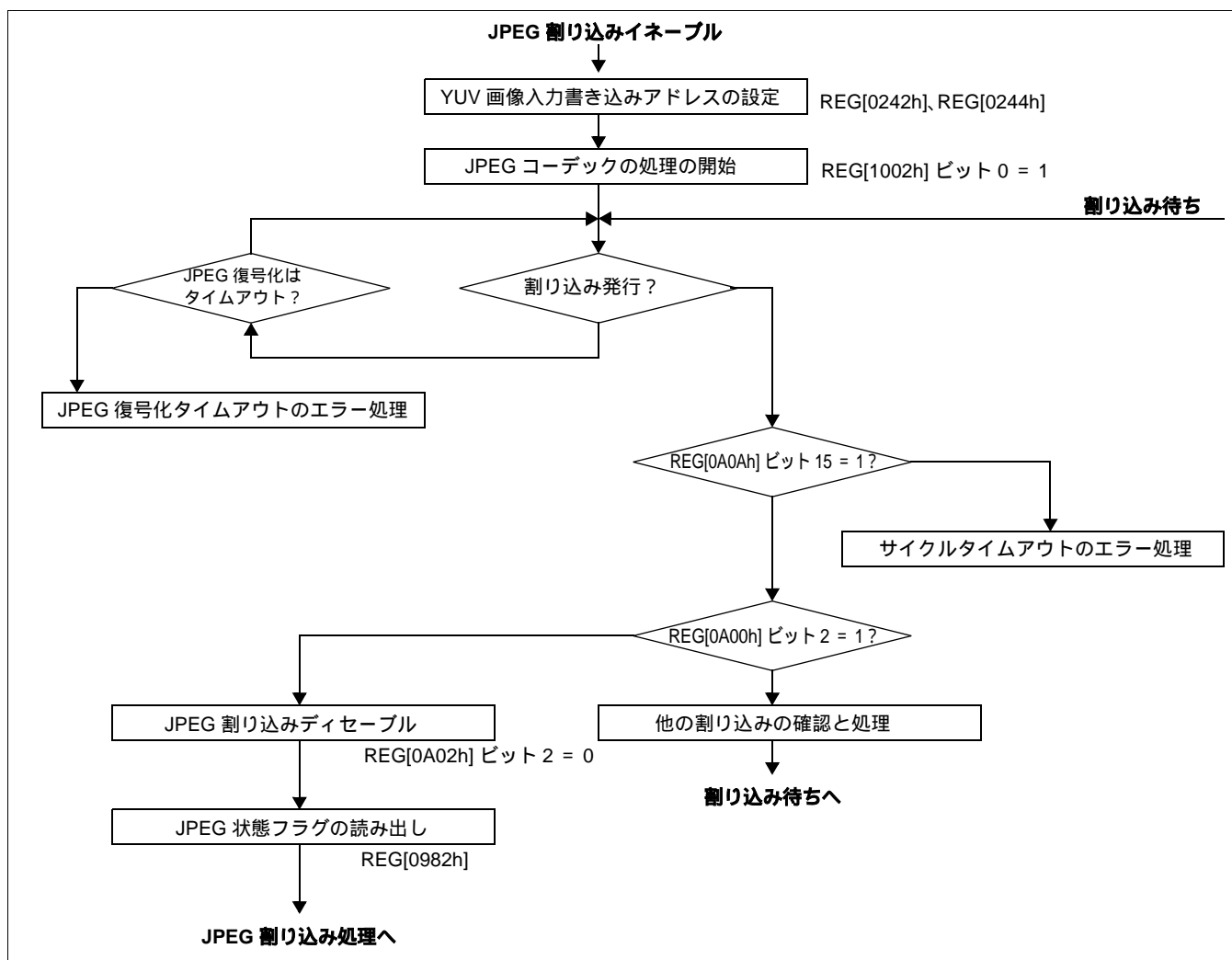


図14.17 JPEG復号化処理 (4/6)

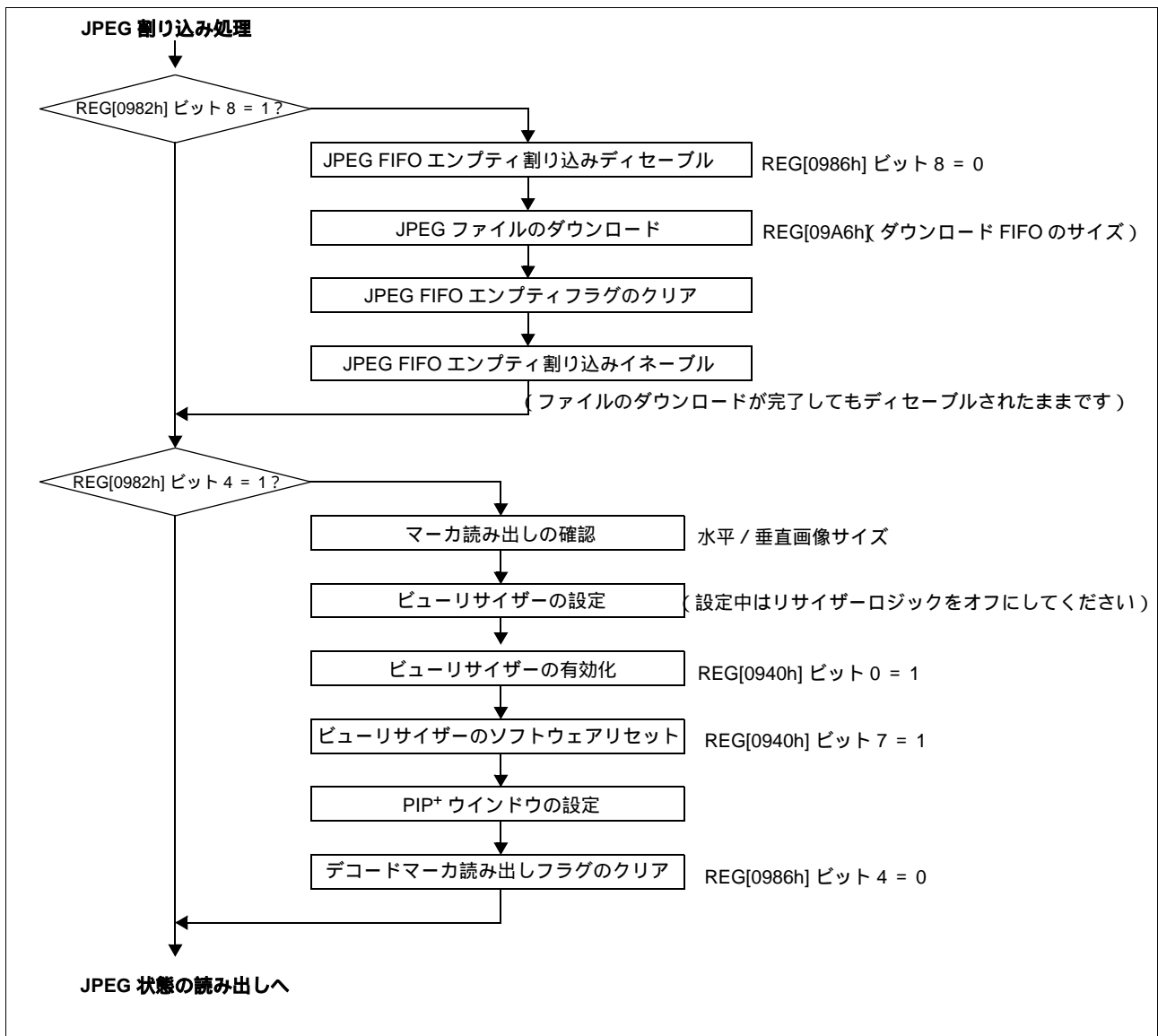


図14.18 JPEG復号化処理 (5/6)

14. JPEG符号化 / 復号化処理

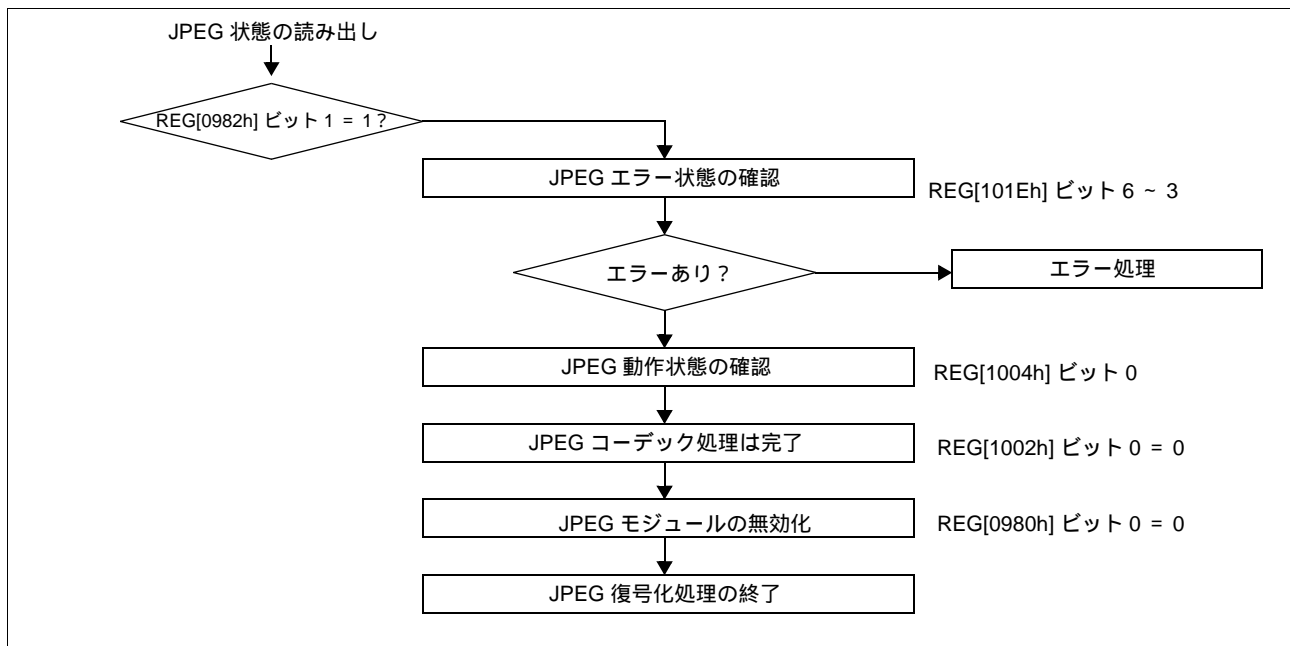


図14.19 JPEG復号化処理 (6/6)

1. JPEGモジュールを有効にします。具体的には、REG[0980h]ビット3~0 = 0001に設定します。
2. JPEGコーデックレジスタを初期化します。
 - a. JPEGコーデックのソフトウェアリセットを行います。具体的には、REG[1002h]ビット7を1に設定します。
 - b. 処理モードとしてJPEG復号化を選択します。具体的には、REG[1000h]ビット2 = 1に設定します。
 - c. RSTマーカ処理の選択 (REG[101Ch]) を設定します。
3. JPEGモジュールレジスタを設定します。
 - a. JPEGモジュールをイネーブルし、ソフトウェアリセットを行います (REG[0980h] = 81h)。
 - b. JPEG FIFOのサイズを指定します (REG[09A4h])。FIFOのサイズは次式を用いて決定します。
$$\text{JPEG FIFOのサイズ} = ((\text{REG}[09A4\text{h}] \text{ビット} 3 \sim 0) + 1) \times 4\text{KB}$$
例：JPEG FIFOのサイズが12KBのとき、REG[09A4h] = 2となります。
$$(2 + 1) \times 4\text{KB} = 12\text{KB}$$
 - c. JPEGファイルのサイズを指定します。具体的には、REG[09B8h] ~ REG[09BAh]を設定します。
 - d. JPEG FIFOをクリアします (REG[09A0h]ビット2 = 1)。
4. 画像サイズとYUVのフォーマットがすでにわかっている場合は、ビューリサイザに関するレジスタ設定を行います。わかっていない場合はデコードマーカ読み出し割り込み (REG[0986h]ビット4) を用いてJPEG復号化処理を停止し、データを読み出します。

5. 復号化処理を開始します。
 - a. すべての状態ビットをクリアします。具体的には、REG[0982h]をFFFFhに設定します。
 - b. JPEG Interrupt Controlレジスタにおいて必要な割り込みをイネーブルします。たとえば、REG[0986h] = 0133hに設定します。
 - c. JPEG処理を開始します (REG[1002h]ビット0 = 1)。

ホストCPUの処理

6. FIFO有効データサイズ (REG[09A8h]) を確認したら、JPEG FIFOにデータを書き込みます。
7. 割り込みまたは問い合わせによってFIFOエンプティを待ちます。デコードマーカ読み出し割り込みをイネーブルしているときはステップ6と7の間に割り込みが掛かります。レジスタからデータを読み出したら割り込みイネーブルをディセーブルし、割り込みフラグをクリアします。ついで、ビューリサイザーに関するレジスタ設定を行います。
8. JPEGファイルの末尾が検出されるまでステップ6と7をくり返します。
9. JPEG 復号化完了割り込みをイネーブルしている場合は、ファイルマーカの最後がJPEG FIFOに書き込まれたら割り込みが掛かります。
10. JPEG復号化処理の完了を確認します (REG[1004h]ビット0 = 0)。

注

JPEG FIFOにアクセスするときは、符号化・復号化いずれの場合にも偶数回のアクセスが必要です。

符号化処理では最大3バイトの不要データが存在します。このデータは廃棄し、Encode Size Resultレジスタ (REG[09B4h] ~ REG[09B6h]) の最終的な圧縮ファイルサイズと読み出したデータとを比較します。

復号化処理では、JPEG FIFOに対して常に32ビット単位のデータを書き込みます。最後のJPEG FIFOエントリーについてはJPEGデータストリームの最後に00sを付加し、32ビットのデータをつくります。

注

JPEG処理の完了後またはJPEG処理の開始前にJPEG FIFOにアクセスした場合、データは無効とみなされて無視されます。

14.2.5 YUVデータのキャプチャ

1. JPEGモジュールレジスタを設定します。
 - a. YUVデータのフォーマットを選択します。YUV 4:2:2はREG[0980h]ビット3~1=011に、YUV 4:2:0はREG[0980h]ビット3~1=111に設定します。
 - b. JPEGモジュールをイネーブルし、ソフトウェアリセットを行います (REG[0980h]ビット7=1かつビット0=1)。
 - c. JPEG FIFOのサイズを指定します (REG[09A4h])。FIFOのサイズは次式を用いて決定します。

$$\text{JPEG FIFOのサイズ} = ((\text{REG}[09A4\text{h}] \text{のビット} 3 \sim 0) + 1) \times 4\text{KB}$$

例：JPEG FIFOのサイズが12KBのとき、REG[09A4h]=2となります。
(2 + 1) × 4KB = 12KB

- d. JPEG FIFOをクリアします (REG[09A0h]ビット2=1)。
 - e. JPEG FIFOトリガスレシヨルド (REG[09A0h]ビット5~4) を設定します。
 2. YUVデータのキャプチャサイズを設定します。
 - a. 垂直ピクセルサイズ (REG[100Eh] ~ REG[1010h]) および水平ピクセルサイズ (REG[1012h] ~ REG[1014h]) を設定します。これらのレジスタはJPEGコーデックとYUVキャプチャの両方に使用されます。
 3. キャプチャリサイザー関連のレジスタ (REG[0960h] ~ REG[096Eh]) を設定し、キャプチャリサイザーをリセットします。垂直および水平サイズは、ステップ2aで設定したJPEGの垂直および水平サイズと同じでなければなりません。
 4. YUVデータのキャプチャ処理を開始します。
 - a. すべての状態ビットをクリアします。具体的には、REG[0982h]をFFFFhに設定します。
 - b. JPEG Interrupt Controlレジスタにおいて必要な割り込みをイネーブルします。たとえば、REG[0986h]=0605hに設定します。
 - c. YUVキャプチャモードに対してJPEG FIFOをイネーブルします。具体的には、REG[1002h]ビット0を1に設定します。これでJPEG FIFOはYUVデータを受信する用意ができました。
 - d. キャプチャ処理を開始します (REG[098Ah]ビット0=1)。

この段階でホストCPUはJPEG符号化処理と同じ要領でJPEG FIFOにアクセスします。YUVデータのキャプチャ処理は、REG[098Ah]ビット0に0が書き込まれるまで続きます。

14.2.6 YUVデータの表示

1. JPEGモジュールレジスタを設定します。
 - a. YUVデータのフォーマットを選択します。YUV 4:2:2はREG[0980h]ビット3~1=001に、YUV 4:2:0はREG[0980h]ビット3~1=101に設定します。
 - b. JPEGモジュールをイネーブルし、ソフトウェアリセットを行います (REG[0980h]=81h)。
2. YUVデータの表示サイズを設定します。
 - a. 垂直ピクセルサイズ (REG[100Eh] ~ REG[1010h]) および水平ピクセルサイズ (REG[1012h] ~ REG[1014h]) を設定します。これらのレジスタはJPEGコーデックとYUVキャプチャの両方に使用されます。
3. キャプチャリサイザー関連のレジスタ (REG[0960h] ~ REG[096Eh]) を設定し、キャプチャリサイザーをリセットします。垂直および水平サイズは、ステップ2aで設定したJPEGの垂直および水平サイズと同じでなければなりません。
4. JPEGラインバッファレジスタを設定します (JPEGラインバッファエンプティ割り込みを使用する場合)。
 - a. REG[09C6h]ビット0を1に、REG[0986h]ビット0を1にそれぞれ設定します。
 - b. JPEGラインバッファの状態ビットをクリアします (REG[09C0h]=FFFFh)。
5. YUVデータの入力を開始します。
 - a. すべてのJPEG状態ビットをクリアします (REG[0982h]=FFFFh)。
 - b. JPEG Interrupt Controlレジスタにおいて必要な割り込みをイネーブルします。たとえば、REG[0986h]=00001hに設定します。
 - c. JPEGラインバッファがエンプティのときにJPEGラインバッファ書き込みポート (REG[09E0h]) にYUVデータを書き込みます。一度に送信できる最大データサイズを下の表にまとめます。最小のライン単位はYUV 4:2:2が1、YUV 4:2:0が2です。JPEGラインバッファへのYUVデータの書き込みが完了したら、JPEGラインバッファエンプティフラグをクリアします (REG[09C0h]ビット0=1)。

ラインサイズ	最大データサイズ
> 256	ラインデータサイズ×16
256	ラインデータサイズ×32
128	ラインデータサイズ×64
64	ラインデータサイズ×128
32	ラインデータサイズ×256

- d. すべてのデータがJPEGラインバッファに送信されるまでYUVデータの書き込みを続けます。

14. JPEG符号化 / 復号化処理

14.2.7 終了シーケンス

終了シーケンスは、JPEG復号化、JPEG符号化、YUVデータのキャプチャ、およびYUVデータの表示のすべてのケースについて同じです。

1. JPEG動作状態 (REG[1004h]ビット0) を確認します。
2. JPEG復号化の場合のみ、JPEGエラー状態ビット (REG[101Eh]ビット6~3) を調べます。
3. すべての割り込みをディセーブルします。具体的には、REG[0986h]を0000hに設定します。
4. すべての状態ビットをクリアします。具体的には、REG[0982h]をFFFFhに設定します。
5. JPEG処理選択ビットをクリアします。具体的には、REG[1000h]ビット2に0を書き込みます。
6. JPEGモジュールのソフトウェアリセットを行います。具体的には、REG[0980h]ビット7に1を書き込みます。
7. JPEGモジュールを無効にします。具体的には、REG[0980h]ビット0に0を書き込みます。

15. リサイザー

S1D13719にはカメラ入力データ、JPEG復号化データ、表示画像データ、およびYUV入力データのサイズを変更する機能が備わっています。リサイザーには、画像データの表示に用いるビューリサイザーと画像データのキャプチャに用いるキャプチャリサイザーの2種類があります。両方のリサイザーを同時に使用することもできます。カメラインタフェースやJPEGデコーダから受け取る画像データのサイズ変更は、リサイザーのトリミング機能およびスケーリング機能を用いて行えます。

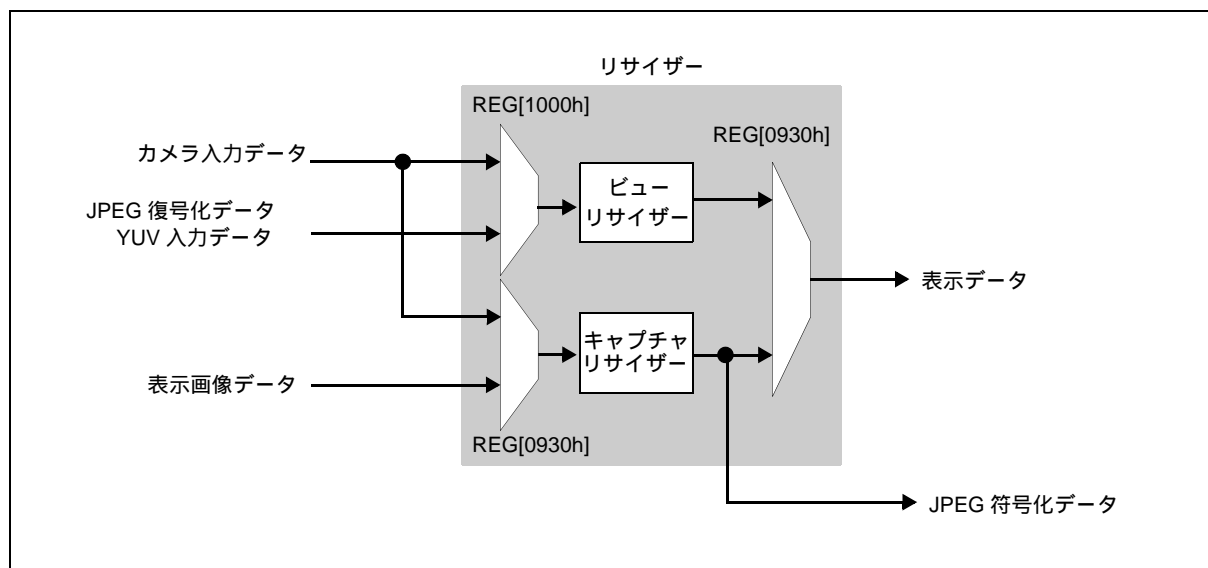


図15.1 リサイザーのブロック図

15.1 ビューリサイザー

ビューリサイザーはLCD表示に使用されます。カメラからのYUV画像データ、JPEGから復号化した画像データ、およびホストからのYUVデータのサイズが変更できます。符号化画像とLCD表示画像が同じ場合はキャプチャリサイザーのみが使用できます。

ビューリサイザーの不使用時にJPEG符号化を行う場合は、YUV/RGBコンバータ1をリセット状態にしてください (REG[0240h]ビット14 = 1とします)。

15. リサイザー

15.2 キャプチャリサイザー

キャプチャリサイザーはJPEG符号化に使用されます。カメラ画像データと表示画像データのサイズが変更されます。

表15.1 リサイザー選択

対象	ビューリサイザー	キャプチャリサイザー
カメラ画像の表示	使用可	使用可
JPEG復号化画像の表示	使用可	使用不可
ホストYUV入力データ画像の表示	使用可	使用不可
JPEG符号化画像	使用不可	使用可
ホストYUV出力データ画像	使用不可	使用可
表示画像のJPEG符号化画像	使用不可	使用可

15.3 トリミング機能

トリミング機能は画像の不要部分を廃棄する機能です。トリミング処理はResizer X/Y Start/End Positionレジスタ (REG[0944h] ~ REG[094Ah]またはREG[0964h] ~ REG[096Ah]) を用いて制御します。これらのレジスタに設定される開始アドレスと終了アドレスは、カメラ画像の実際のサイズまたはJPEG復号化画像の実際のサイズによって制限され、それら実際のサイズより大きい値に設定することはできません。上記レジスタは1ピクセル単位で設定できます。

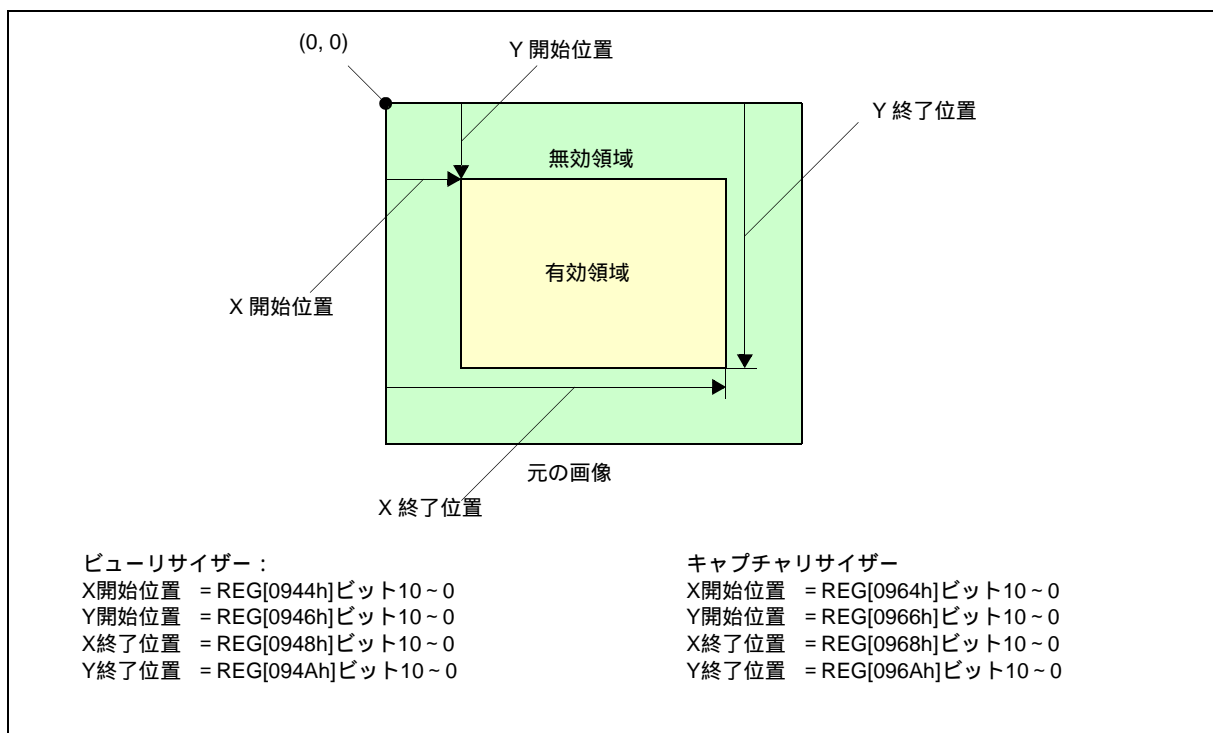


図15.2 トリミング機能

15.4 スケーリング機能

スケーリング機能はトリミング段階のあとに実行されます。画像に対する縮小率の指定を行います。JPEG符号化処理のために画像データをキャプチャリサイザーで縮小する場合は、縮小後の画像サイズをJPEG Codec Sizeレジスタに設定することが必要です。スケーリング機能は水平方向と垂直方向で独立しており、128/128 ~ 1/128の倍率が使用できます。1/2、1/4、1/8、1/16、1/32、1/64、1/128の倍率では、水平方向のみ平均化が可能です。

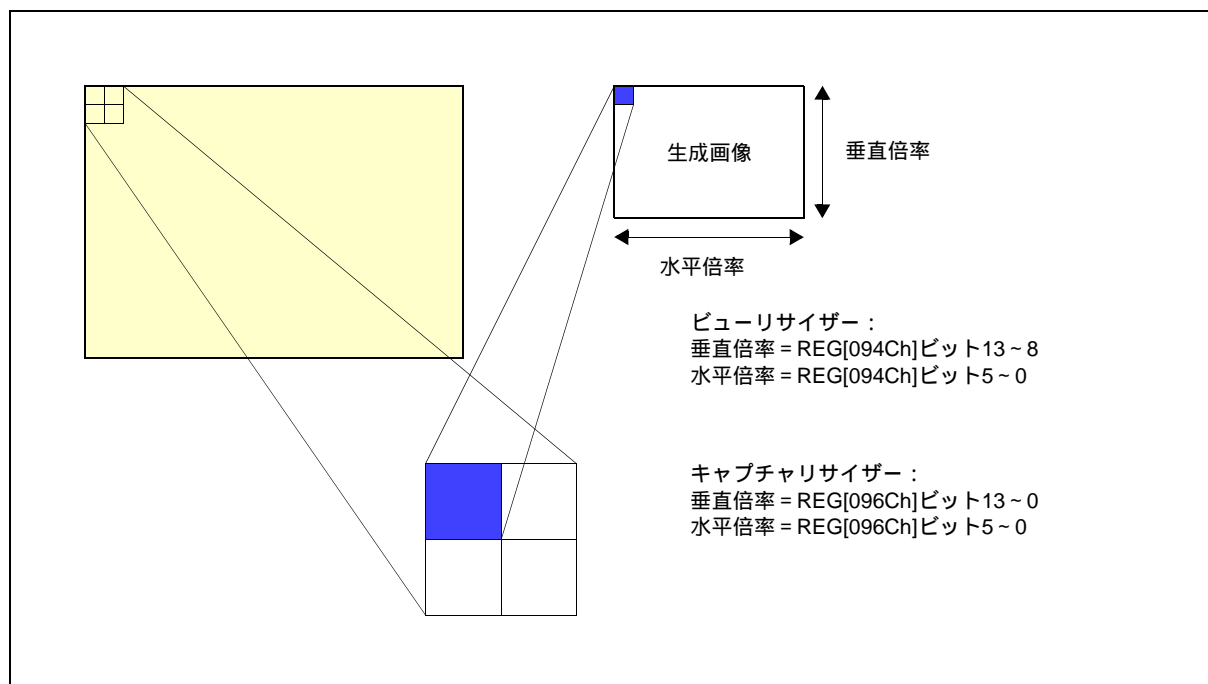


図15.3 スケーリング機能

15.4.1 奇数分の1スケーリング

奇数分の1スケーリングではブロック中央部の1ピクセルが抽出されます。この縮小法は水平方向と垂直方向の両方に使用されます。

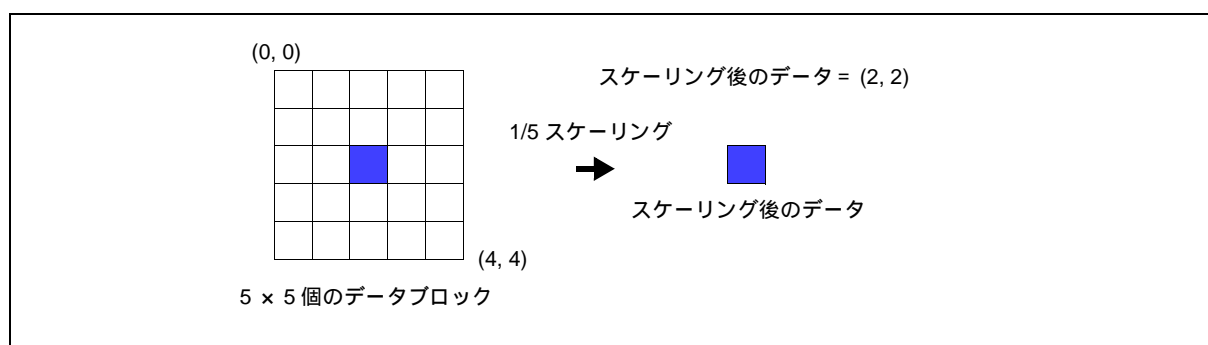


図15.4 奇数分の1スケーリング (例：1/5スケーリング)

15. リサイザー

15.4.2 偶数分の1スケーリング

偶数分の1スケーリングではブロック中央部の1ピクセルが抽出されます（図を参照）。この縮小法は水平方向と垂直方向の両方に使用されます。

注

1/2、1/4、1/8、1/16、1/32、1/64、1/128の倍率では水平平均法が使用できます（404ページの15.4.3「平均法」を参照）。

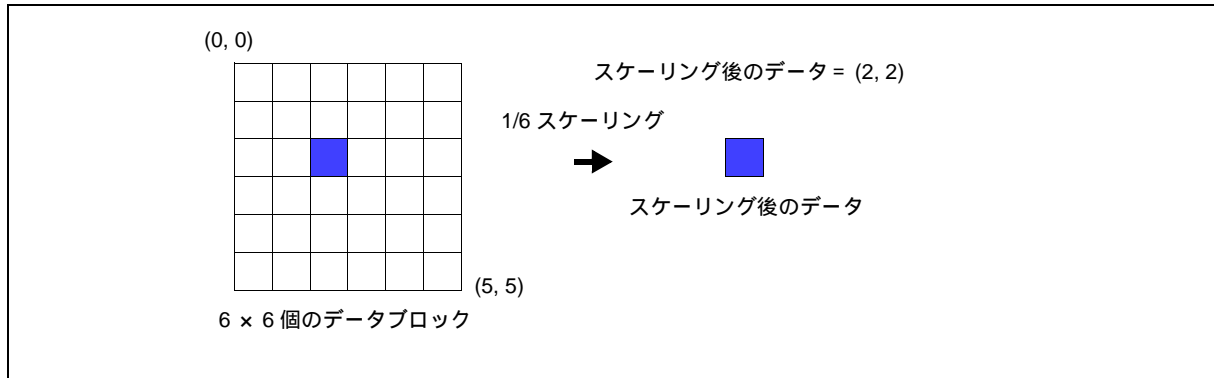


図15.5 偶数分の1スケーリング（例：1/6スケーリング）

15.4.3 平均法

1/2、1/4、1/8、1/16、1/32、1/64、1/128の倍率ではブロック中央部の1ピクセルが抽出されます（図を参照）。ただし、水平方向の値は平均関数を用いて決定されます。垂直方向の値は縮小法を用いて決定されます。

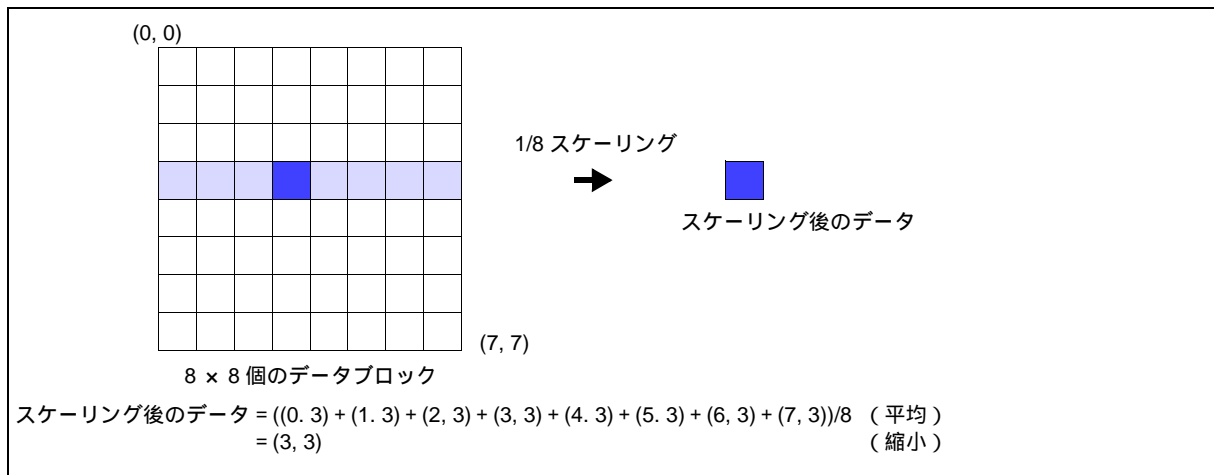


図15.6 平均法（例：1/8スケーリング）

15.4.4 スケーリング後のピクセル数の計算法

定義:(単位=ピクセル)

1. トリミング後のサイズは水平方向が「A」、垂直方向が「B」とします。
2. スケーリング後のサイズは水平方向が「a」、垂直方向が「b」とします。
3. 縮小率は水平方向が「 $X/128$ 」、垂直方向が「 $Y/128$ 」とします。
a = $(A \times X/128)$ の整数値です
b = $(B \times Y/128)$ の整数値です

注

YUV形式ではaとbの計算方法は同じです。

ただし、サイズ変更後のaとbについては次の関係が成り立たなければなりません。

YUV 4:4:4 : aもbも単位は1ピクセルです。

YUV 4:2:2 : aの単位は2ピクセル、bの単位は1ピクセルです。

YUV 4:2:0 : aもbも単位は2ピクセルです。

YUV 4:1:1 : aの単位は4ピクセル、bの単位は1ピクセルです。

16.2 通常のJPEG復号化

ホストCPUから受け取ったJPEGファイルが復号化され、パネル表示用の表示バッファに格納されるときの流れを下の図に示します。

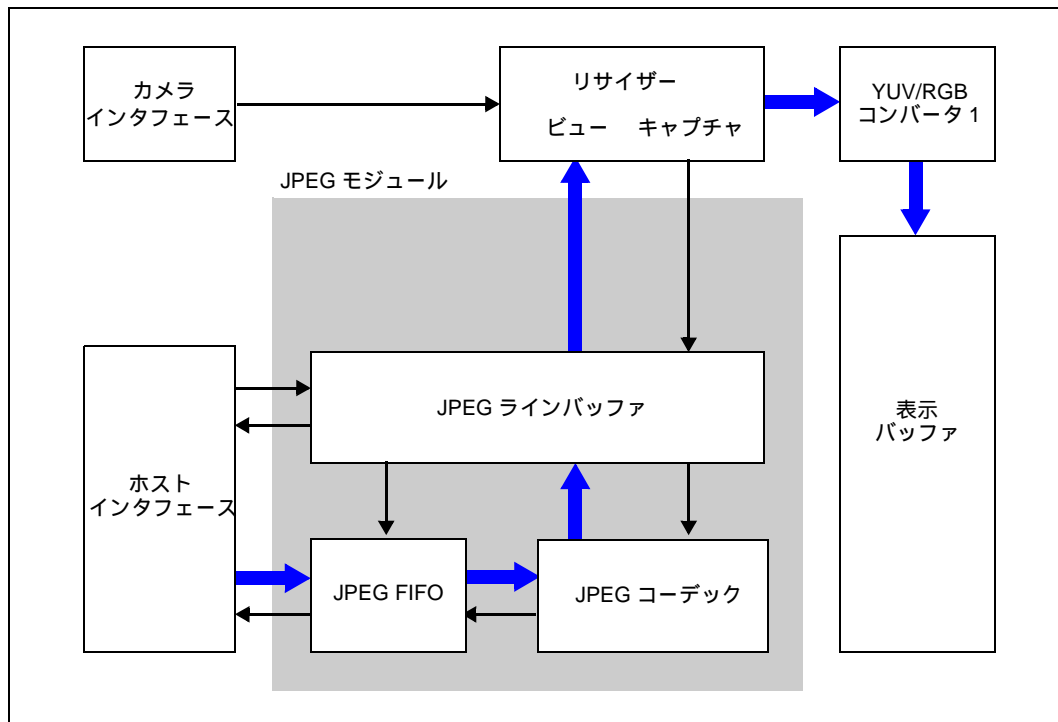


図16.2 JPEG復号化の内部データフロー

16. 画像データの入出力機能

16.3 ホスト入力のJPEG符号化

ホストCPUから受け取ったYUV画像データが符号化されてJPEGファイルとなり、それがホストCPUに送り返される時の流れを下の図に示します。

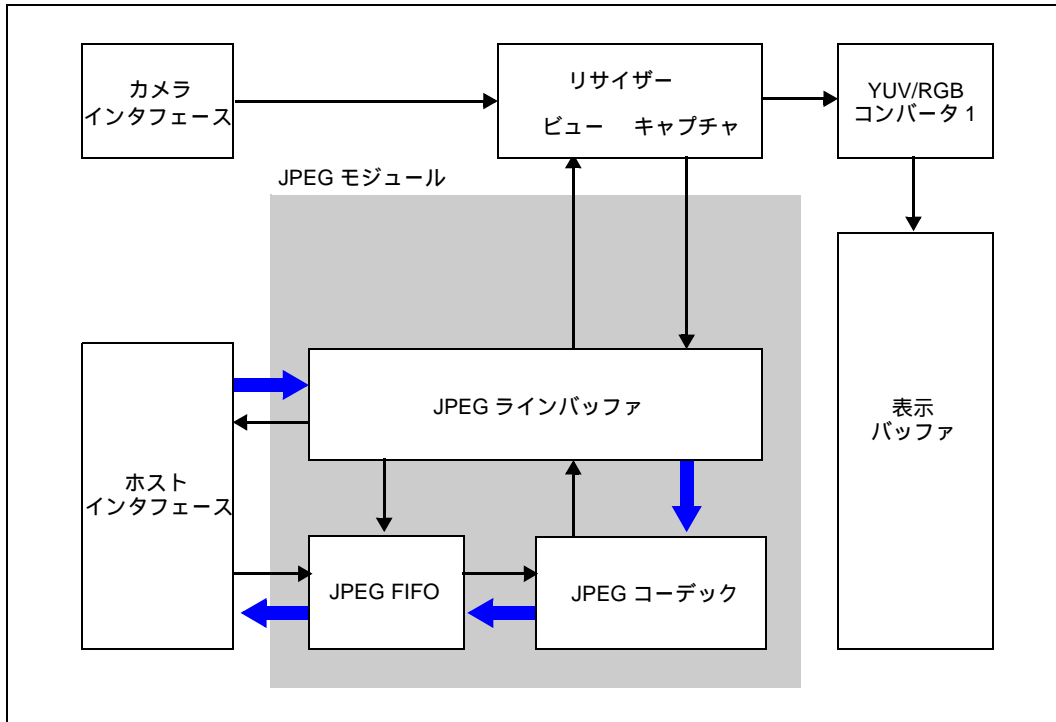


図16.3 ホスト入力のJPEG符号化におけるデータフロー

16.4 ホスト入力のJPEG復号化

ホストCPUから受け取ったJPEGファイルが復号化され、YUVデータとしてホストCPUに送り返される時の流れを下の図に示します。

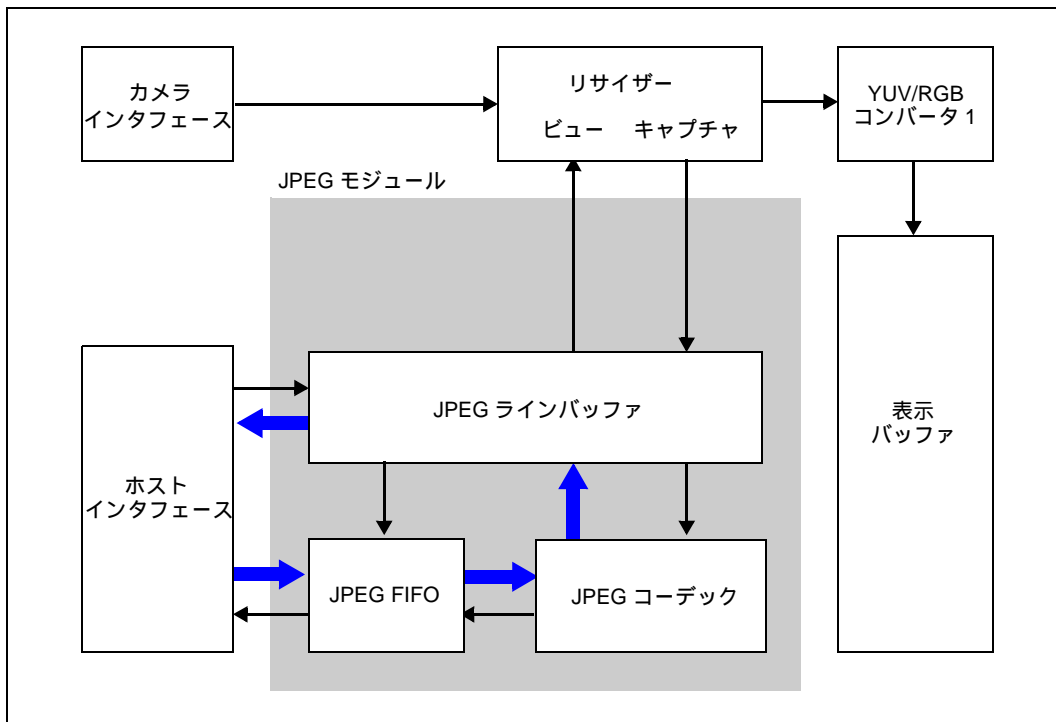


図16.4 ホスト入力のJPEG復号化におけるデータフロー

16. 画像データの入出力機能

16.5 YUVデータの出力

YUV形式のカメラ画像データが表示バッファに格納されるとともにホストCPUにも送られるときの流れを下の図に示します。

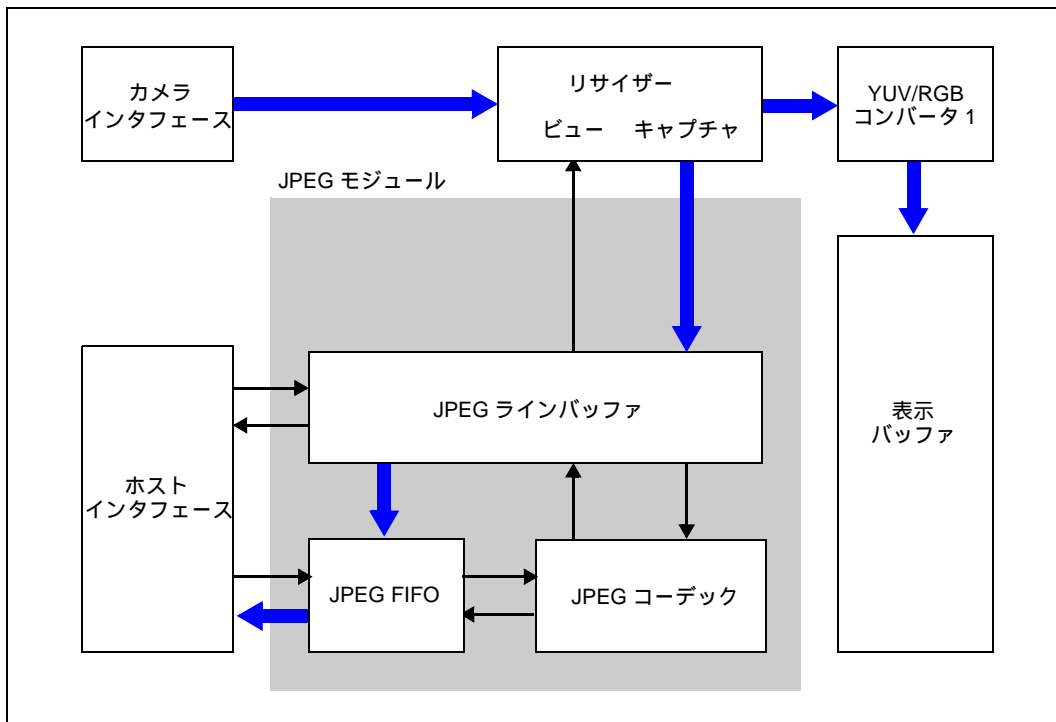


図16.5 YUVデータ出力のデータフロー

16.6 YUVデータの入力

ホストCPUから受け取ったYUVデータがLCDパネル表示のために表示バッファに格納されるときの流れを下の図に示します。

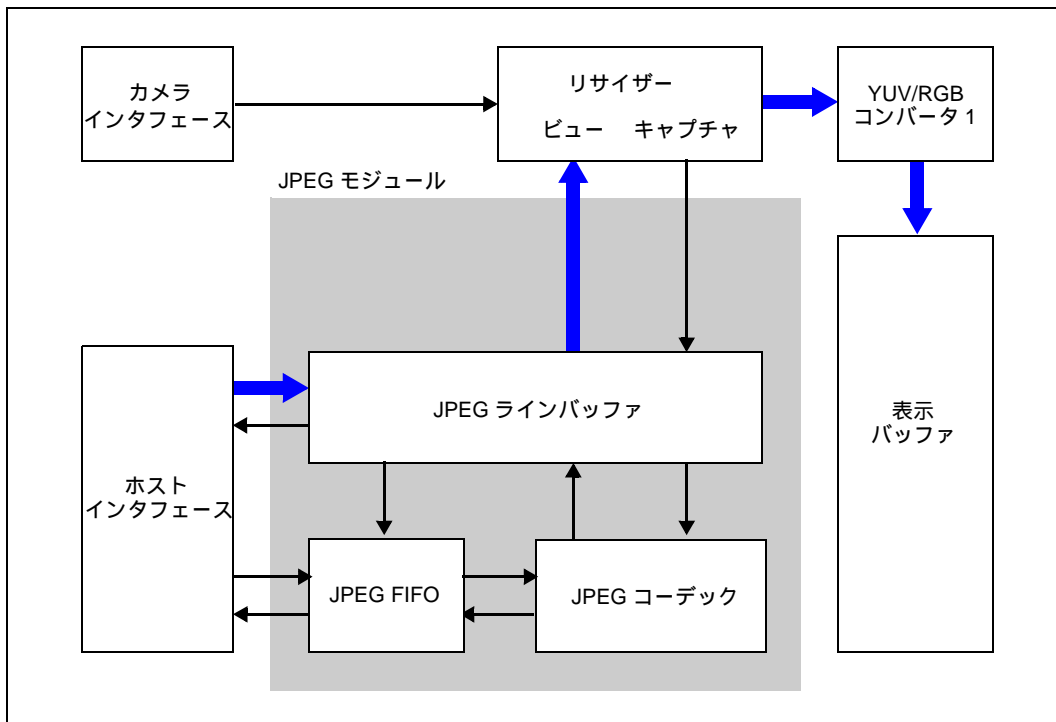


図16.6 YUVデータ入力のデータフロー

16. 画像データの入出力機能

16.7 表示画像のJPEG符号化

表示画像データが符号化され、JPEGファイルとしてホストCPUに出力される時の流れを下の図に示します。

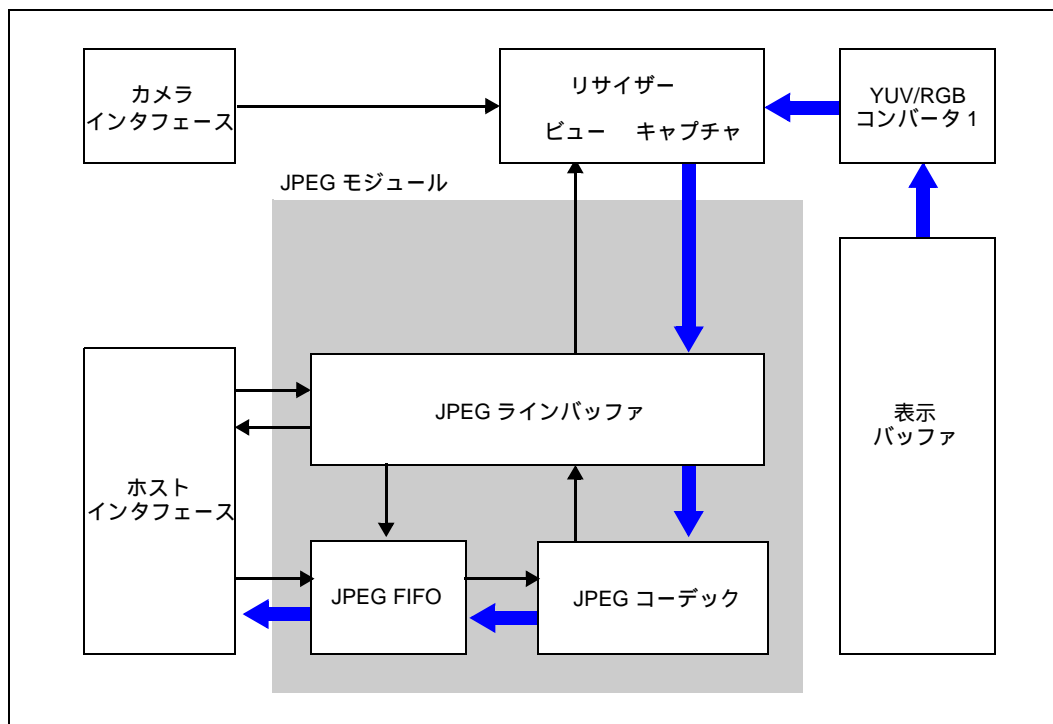


図16.7 表示画像のJPEG符号化におけるデータフロー

16.8 カメラJPEG符号化データの出力

カメラJPEG符号化データが表示バッファに格納されるとともにホストCPUにも送られるときの流れを下の図に示します。

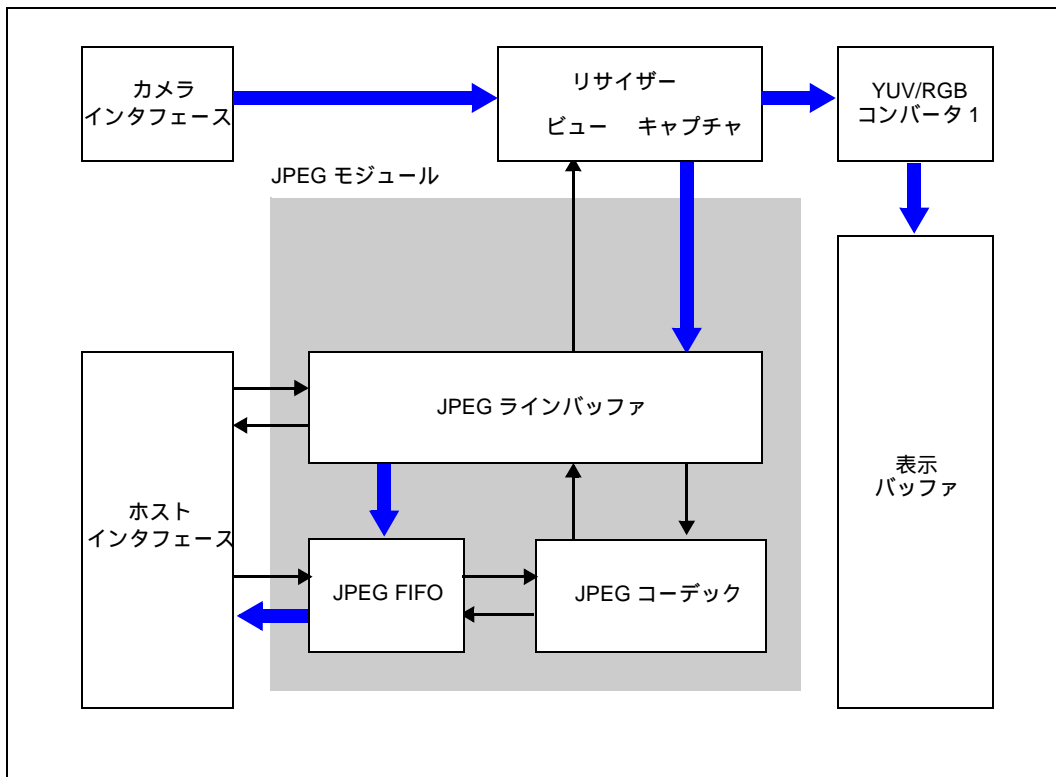


図16.8 カメラJPEG符号化データの出力データフロー

注

このデータフローは東芝製CMOSカメラ (ET8E90-AS) のJPEG圧縮機能に対するものです。

16. 画像データの入出力機能

16.9 YUVデータの入出力フォーマット

この節では、JPEGコーデックがバイパスされるときのYUVデータの入出力データフォーマットを示します。YUVデータの出力はJPEG FIFOより行われます。YUVデータの入力はJPEGラインバッファより行われます。

16.9.1 YUV 4:2:2データの入出力フォーマット

YUV 4:2:2でのデータ出力 (REG[0980h]ビット3~1=011)

YUV 4:2:2でのデータ入力 (REG[0980h]ビット3~1=001)

表16.1 YUV 4:2:2データの入出力フォーマット

サイクルカウント	1	2	3	4	...	2n+1	2n+2
D15	Y_0^7	Y_1^7	Y_2^7	Y_3^7	...	Y_{2n}^7	Y_{2n+1}^7
D14	Y_0^6	Y_1^6	Y_2^6	Y_3^6	...	Y_{2n}^6	Y_{2n+1}^6
D13	Y_0^5	Y_1^5	Y_2^5	Y_3^5	...	Y_{2n}^5	Y_{2n+1}^5
D12	Y_0^4	Y_1^4	Y_2^4	Y_3^4	...	Y_{2n}^4	Y_{2n+1}^4
D11	Y_0^3	Y_1^3	Y_2^3	Y_3^3	...	Y_{2n}^3	Y_{2n+1}^3
D10	Y_0^2	Y_1^2	Y_2^2	Y_3^2	...	Y_{2n}^2	Y_{2n+1}^2
D9	Y_0^1	Y_1^1	Y_2^1	Y_3^1	...	Y_{2n}^1	Y_{2n+1}^1
D8	Y_0^0	Y_1^0	Y_2^0	Y_3^0	...	Y_{2n}^0	Y_{2n+1}^0
D7	U_0^7	V_0^7	U_2^7	V_2^7	...	U_{2n}^7	V_{2n+1}^7
D6	U_0^6	V_0^6	U_2^6	V_2^6	...	U_{2n}^6	V_{2n+1}^6
D5	U_0^5	V_0^5	U_2^5	V_2^5	...	U_{2n}^5	V_{2n+1}^5
D4	U_0^4	V_0^4	U_2^4	V_2^4	...	U_{2n}^4	V_{2n+1}^4
D3	U_0^3	V_0^3	U_2^3	V_2^3	...	U_{2n}^3	V_{2n+1}^3
D2	U_0^2	V_0^2	U_2^2	V_2^2	...	U_{2n}^2	V_{2n+1}^2
D1	U_0^1	V_0^1	U_2^1	V_2^1	...	U_{2n}^1	V_{2n+1}^1
D0	U_0^0	V_0^0	U_2^0	V_2^0	...	U_{2n}^0	V_{2n+1}^0

17. 画像データの変換

17.1 YUV/RGBコンバータ1 (YRC1)

YRC1は、カメラインタフェースから送られるYUV入力データ (YUV 4:2:2) またはJPEGを復号化した画像データ (YUV 4:4:4、4:2:2、4:1:1、4:2:0) をRGB 5:6:5フォーマットに変換し、そのデータを表示バッファに書き込みます。

YRC1をディセーブル (バイパス) する場合、YRC1はYUV 4:2:2データを表示バッファに直接書き込むことができます。

表17.1 YRC1の出力フォーマット

フォーマット	解像度	メインウィンドウ	PIP*ウィンドウ	レジスタ
RGB 5:6:5	16 bpp	使用可	使用可	REG[0240h]ビット15 = 0
YUV 4:2:2	24 bpp	使用不可	使用可	REG[0240h]ビット15 = 1

17.1.1 矩形領域書き込みモード

表示バッファへの書き込みは矩形モードで行うことができます。このときLCD表示の設定値はWindow Line Address Offsetレジスタ (REG[0216h]/REG[021Eh]) の値と同じでなければなりません。

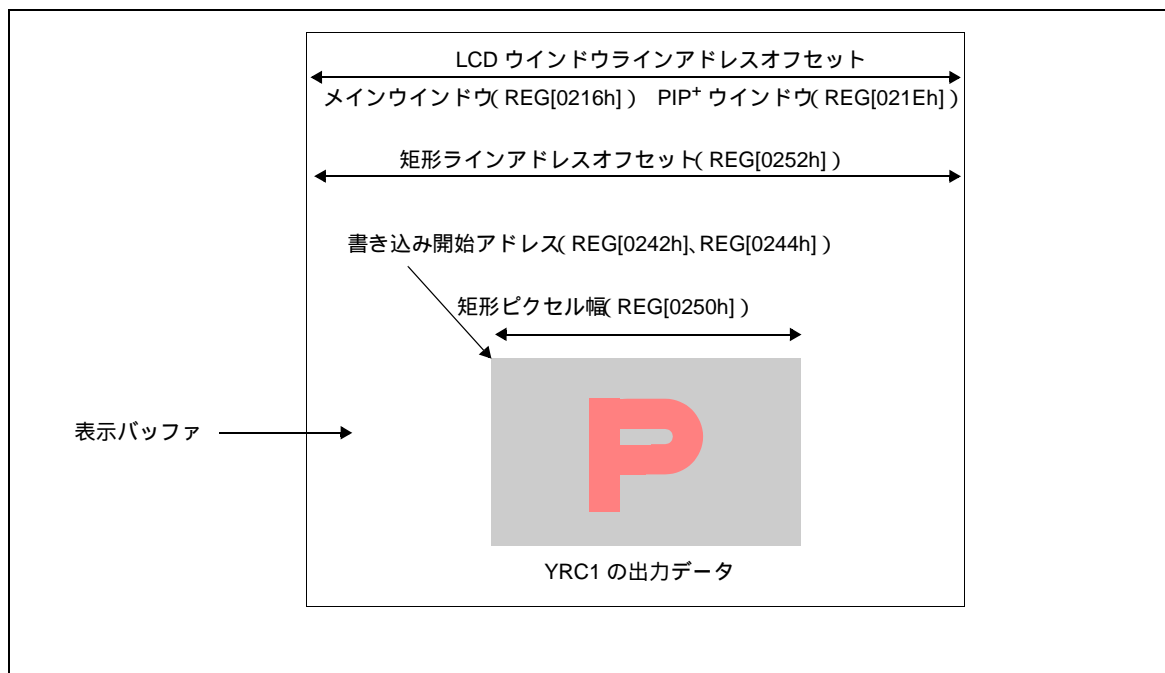


図17.1 YRC1の矩形領域書き込みモード

17. 画像データの変換

17.1.2 UVデータ固定

YRC1は、UデータまたはVデータをYRC1 UV Data Fixレジスタ (REG[024Eh]) の設定値に固定することができます。データの変更はデータを表示バッファに書き込む間に行われます。

表17.2 YRC1によるUVデータ固定

Uデータ固定	Vデータ固定	レジスタ
不可	不可	REG[0240h]ビット6~5=00
可	不可	REG[0240h]ビット6~5=01
不可	可	REG[0240h]ビット6~5=10
可	可	REG[0240h]ビット6~5=11

17.1.3 YUV/RGB変換

YRC1によって行われるYUV/RGB変換では、以下の係数表と変換タイプが使用されます。

変換係数表

表17.3 YUV/RGB変換の変換係数表

変換モード	REG[0240h]ビット2~0	色	E _y	E _{pb}	E _{pr}
ITU-R勧告 BT.709	001	E _R	1.000	0.000	1.575
		E _G	1.000	-0.187	-0.468
		E _B	1.002	1.855	0.000
ITU-R勧告 BT.470-6 システムM	100	E _R	1.000	0.001	1.400
		E _G	1.000	-0.333	-0.712
		E _B	1.000	1.780	0.002
ITU-R勧告 BT.470-6 システムB、G	101	E _R	1.000	0.000	1.402
		E _G	1.000	-0.344	-0.714
		E _B	1.000	1.772	0.000
SMPTE 170M	110	E _R	1.000	0.000	1.402
		E _G	1.000	-0.344	-0.714
		E _B	1.000	1.772	0.000
SMPTE 240M (1987)	111	E _R	1.000	0.000	1.576
		E _G	1.000	-0.226	-0.477
		E _B	1.000	1.826	0.000

変換式

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} E_R E_y & E_R E_{pb} & E_R E_{pr} \\ E_G E_y & E_G E_{pb} & E_G E_{pr} \\ E_B E_y & E_B E_{pb} & E_B E_{pr} \end{bmatrix} \cdot \begin{bmatrix} Y \\ U \\ V \end{bmatrix}$$

図17.2 YUV/RGB変換の計算式

17.2 YUV/RGBコンバータ2 (YRC2)

YRC2はYUV形式のデータ (YUV 4:2:2) をRGB 8:8:8フォーマットに変換し、そのデータをLUT2に送ります。

表17.4 YRC2の入力フォーマット

フォーマット	色深度	YRC2	レジスタ
YUV 4:2:2	24 bpp	使用	REG[0234h] ~ REG[023Fh]

17.2.1 YUV/RGB変換

YRC2によって行われるYUV/RGB変換では、以下の係数表と変換タイプが使用されます。

変換係数表

表17.5 YUV/RGB変換の変換係数表

変換モード	REG[0240h]ビット2~0	色	E_y	E_{pb}	E_{pr}
ITU-R勧告 BT.709	001	E_R	1.000	0.000	1.575
		E_G	1.000	-0.187	-0.468
		E_B	1.002	1.855	0.000
ITU-R勧告 BT.470-6 システムM	100	E_R	1.000	0.001	1.400
		E_G	1.000	-0.333	-0.712
		E_B	1.000	1.780	0.002
ITU-R勧告 BT.470-6 システムB、G	101	E_R	1.000	0.000	1.402
		E_G	1.000	-0.344	-0.714
		E_B	1.000	1.772	0.000
SMPTE 170M	110	E_R	1.000	0.000	1.402
		E_G	1.000	-0.344	-0.714
		E_B	1.000	1.772	0.000
SMPTE 240M (1987)	111	E_R	1.000	0.000	1.576
		E_G	1.000	-0.226	-0.477
		E_B	1.000	1.826	0.000

変換式

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} E_R E_y & E_R E_{pb} & E_R E_{pr} \\ E_G E_y & E_G E_{pb} & E_G E_{pr} \\ E_B E_y & E_B E_{pb} & E_B E_{pr} \end{bmatrix} \cdot \begin{bmatrix} Y \\ U \\ V \end{bmatrix}$$

図17.3 YUV/RGB変換の計算式

17. 画像データの変換

17.2.2 UVデータ固定

YRC2は、UデータまたはVデータをYRC2 UV Data Fixレジスタ (REG[023Ch]) の設定値に固定することができます。データの変更はデータを表示バッファに書き込む間に行われます。

表17.6 YRC2によるUVデータ固定

Uデータ固定	Vデータ固定	レジスタ
不可	不可	REG[023Ch]ビット13～12=00
可	不可	REG[023Ch]ビット13～12=01
不可	可	REG[023Ch]ビット13～12=10
可	可	REG[023Ch]ビット13～12=11



図17.4 UVクリップ (固定データ) 表示

17.3 RGB/YUVコンバータ (RYC)

RYCは表示FIFOから受け取ったRGB 8:8:8データをYUV形式に変換し、それをキャプチャリサイザーに送ります。

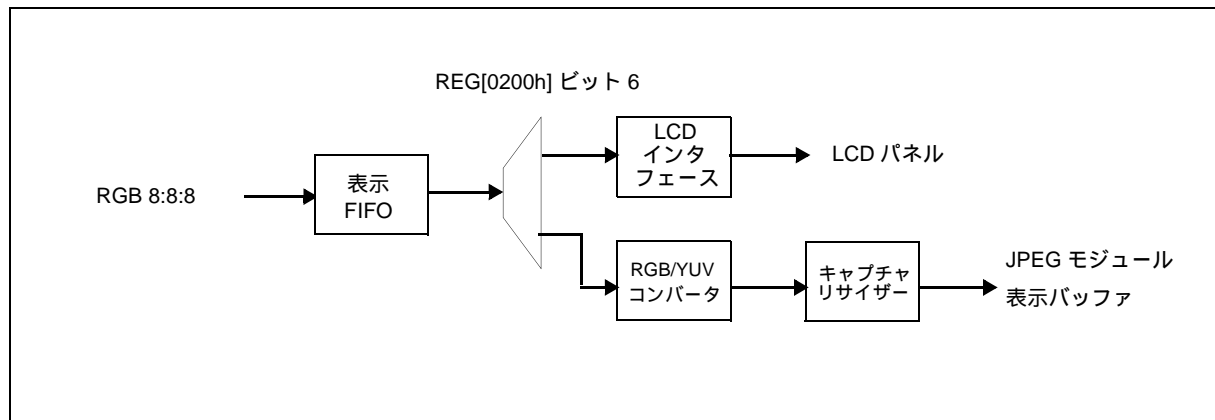


図17.5 RYCのブロック図

17.3.1 画像サイズ

RGB/YUVコンバータ (RYC) がイネーブルされているとき、表示FIFOから受け取る画像のサイズ、およびキャプチャリサイザーを経たサイズ変更後のサイズは次のようになります。

表17.7 RYCの画像サイズ

メモリ画像JPEG符号化 (REG[0200h]ビット6)	水平画像サイズ	垂直画像サイズ	RYC出力
ディセーブル	REG[0042h] / REG[0058h]	REG[004Ch] / REG[005Ah]	表示FIFOのデータ
イネーブル	REG[0264h]	REG[0266h]	停止

表17.8 RYCのサイズ変更後のサイズ

メモリ画像JPEG符号化 (REG[0200h]ビット6)	水平画像サイズ	垂直画像サイズ	RYC出力
ディセーブル	REG[0964h] / REG[0968h]	REG[0966h] / REG[096Ah]	停止
イネーブル	REG[0264h]	REG[0966h]	表示FIFOのデータ

17.3.2 LCDパネル出力

RGB/YUVコンバータをイネーブルしているときは、LCDパネルへの出力データを止めてください。LCDパネルへの出力データが不安定になるため、RGBインタフェースタイプのパネルでは表示ブランク (REG[0202h]ビット8) をイネーブルしてください。パラレルおよびシリアルインタフェースのLCDパネルでは、LCDパネルへのデータ出力はありません。

17. 画像データの変換

17.3.3 RGB/YUV変換

RGB/YUVコンバータによって行われるRGB/YUV変換では、以下の係数表と変換タイプが使用されます。

変換係数表

表17.9 RGB/YUV変換の変換係数表

変換モード	REG[0260h]ビット2~0	色	E'g	E'b	E'r
ITU-R勧告 BT.709	001	Y (E'y)	0.7152	0.0722	0.2126
		U (E'pb)	-0.3860	0.5000	-0.1150
		V (E'pr)	-0.4540	-0.0460	0.5000
ITU-R勧告 BT.470-6 システムM	100	Y (E'y)	0.5900	0.1100	0.3000
		U (E'pb)	-0.3310	0.5000	-0.1690
		V (E'pr)	-0.4210	-0.0790	0.5000
ITU-R勧告 BT.470-6 システムB、G	101	Y (E'y)	0.5870	0.1140	0.2990
		U (E'pb)	-0.3310	0.5000	-0.1690
		V (E'pr)	-0.4190	-0.0810	0.5000
SMPTE 170M	110	Y (E'y)	0.5870	0.1140	0.2990
		U (E'pb)	-0.3310	0.5000	-0.1690
		V (E'pr)	-0.4190	-0.0810	0.5000
SMPTE 240M (1987)	111	Y (E'y)	0.7010	0.0870	0.2120
		U (E'pb)	-0.3840	0.5000	-0.1160
		V (E'pr)	-0.4450	-0.0550	0.5000

変換式

$$\begin{bmatrix} Y \\ U \\ V \end{bmatrix} = \begin{bmatrix} E'g & E'b & E'r \\ E'g & E'b & E'r \\ E'g & E'b & E'r \end{bmatrix} \cdot \begin{bmatrix} G \\ B \\ R \end{bmatrix} \qquad \begin{bmatrix} Y \\ Cb \\ Cr \end{bmatrix} = \begin{bmatrix} \frac{219}{255} & 0 & 0 \\ 0 & \frac{224}{255} & 0 \\ 0 & 0 & \frac{224}{255} \end{bmatrix} \cdot \begin{bmatrix} Y \\ U \\ V \end{bmatrix} + \begin{bmatrix} 16 \\ 128 \\ 128 \end{bmatrix}$$

図17.6 RGB/YUV変換の計算式

18. 2D BitBLTエンジン

18.1 概要

BitBLTエンジンの目的は、CPUや表示メモリとの間でピクセルデータをやりとりする際、ならびに表示メモリ内のある位置から別の位置にピクセルデータを移動する際に生じるCPUの負荷を軽減することにあります。

ピクセルデータの移動に用いるBitBLT(ビットブリット、Bit Block Transfer)機能には5種類あります。

- **Read BitBLT** : 表示メモリからCPUにピクセルデータを移動します。
- **Move BitBLT** : 表示メモリ内でピクセルデータを移動します。
- **Pattern Fill BitBLT** : 表示メモリ内でピクセルパターンを移動します。同じパターンの複製によってより大きな画像を作成します。
- **Solid Fill BitBLT** : メモリ内のある位置に単色を移動します。

BitBLTエンジンは、ピクセルデータに対して以下のデータ機能とBitBLT機能とを併用することができます。

- **ROP** : ピクセルデータに対して論理関数を実行します。
- **透過** : 透過色と色が異なるピクセルデータのみを書き込みます。

BitBLTエンジンはピクセルデータについて8bppおよび16bppの色深度をサポートします。また、16ビットまたは8ビットのCPUデータ転送をサポートします。

デスティネーションおよびソースのBitBLTは、線形メモリ領域(線形)または矩形メモリ領域(矩形)のいずれかに設定できます。

注

S1D13719のBitBLTエンジンは32bppモードをサポートしていません。

18.2 各種のBitBLT

18.2.1 Read BitBLT

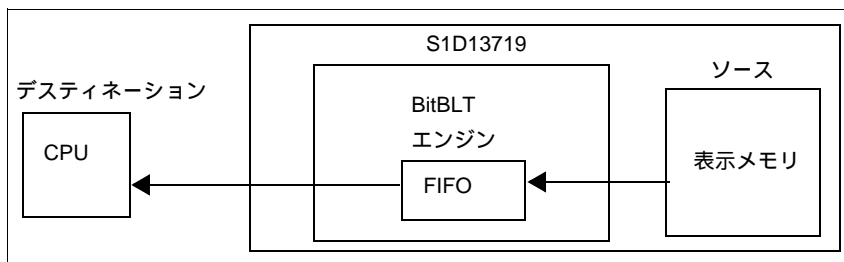


図18.1 Read BitBLTのデータフロー

ホストCPUがメモリからデータを読み出すときにはRead BitBLTが使用できます。データのソースはS1D13719の内部メモリです（線形または矩形のデータフォーマットで格納されています）。ホストCPU側のデータデスティネーションも、線形または矩形のデータフォーマットのいずれかに設定できます。Read BitBLTにはROP、透過、色拡張などのデータ機能は使用できません。これらの機能をイネーブルしていても無視されます。BitBLTの開始時（線形の場合）または各ラインの先頭（矩形の場合）のいずれかにおいて最初に読み出されるデータに対し、読み出しフェーズの設定も行えます。読み出しフェーズにより、ユーザは読み出しデータのなかのどのバイトを最初にメモリから読み出すかを設定できます。

18.2.2 Move BitBLT

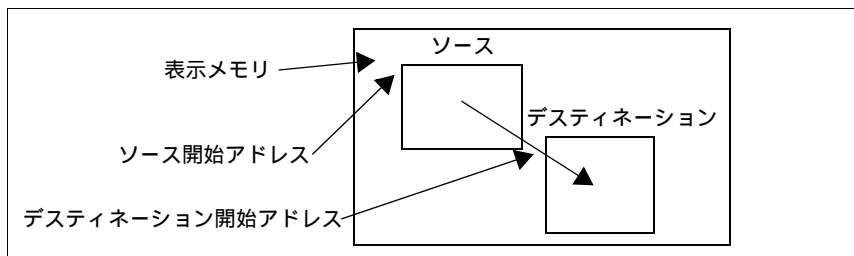


図18.2 Move BitBLTのデータフロー

Move BitBLTは、メモリ内のソース領域からデスティネーション領域にデータをコピーします。ソースデータをデスティネーションのデータでROP（ラスタ演算）処理し、それをデスティネーションに書き込むこともできます。またソースデータに色拡張のデータ機能を用いて色拡張を行い、それをデスティネーションに格納することもできます。ソースデータに透過を適用することも可能です。ソースおよびデスティネーションは線形または矩形のデータフォーマットが可能です。ソースとデスティネーションのいずれについてもBitBLTウインドウの左上の角が常に開始アドレスとなります。

18.2.3 Pattern Fill BitBLT

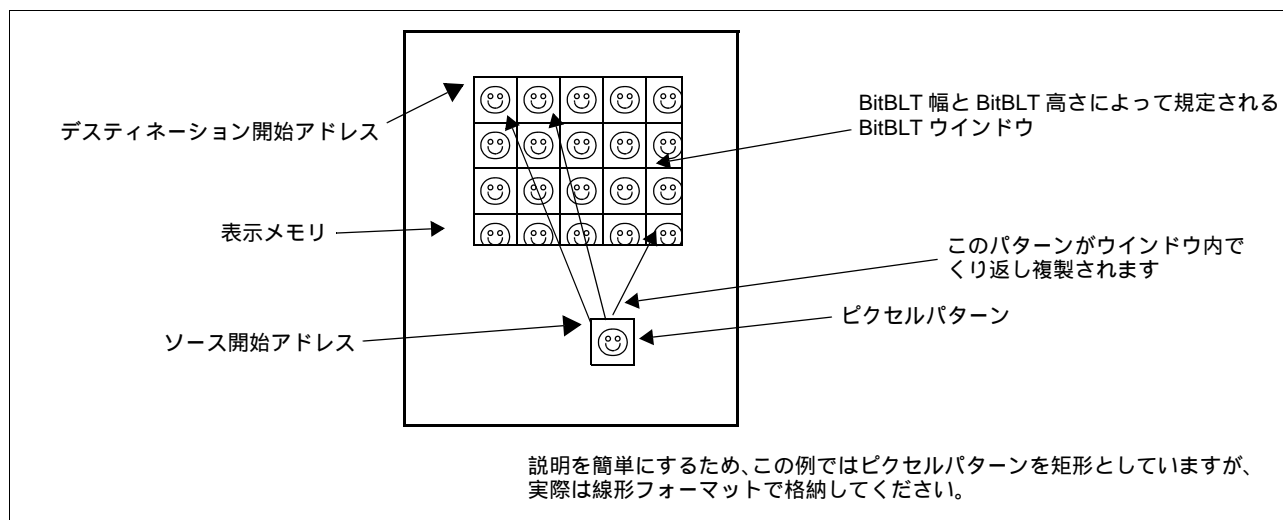


図18.3 パターン塗りによる描画

Pattern Fill BitBLTは 8×8 のピクセルパターンをメモリ内で繰り返し複製し、上の例のように、より大きな領域を形成します。ピクセルパターンはある場所に格納され、読み出されたあと、BitBLTウインドウに複数回描かれます。Pattern Fill BitBLTではピクセルパターン(ソースデータ)は線形とし、デスティネーション(BitBLTウインドウ)は矩形とします。ソースデータをデスティネーションデータでROP(ラスタ演算)処理し、それをデスティネーションに書き込むこともできます。

ピクセルパターンの先頭は16ビットアドレスの先頭であることが必要です。ピクセルパターンは 1×1 ピクセルのBitBLTウインドウ領域から最大BitBLT幅 \times BitBLT高さの領域まで描画できます。

18. 2D BitBLTエンジン

18.2.4 Solid Fill BitBLT

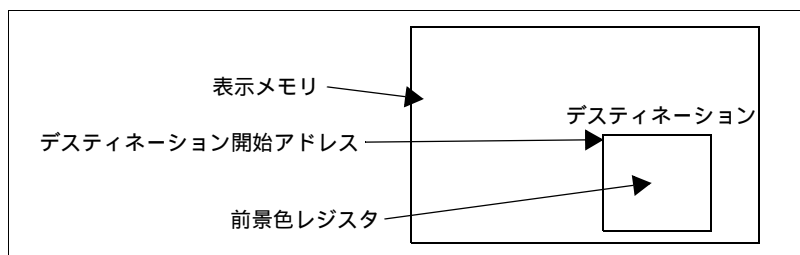


図18.4 Solid Fill BitBLTのデータフロー

Solid Fill BitBLTではデスティネーションに前景色が書き込まれます。前景色はデスティネーションデータでROP (ラスタ演算) 処理することが可能です。デスティネーションは線形または矩形のデータフォーマットが可能です。

8bppのとき、前景色はREG[8024h]ビット7~0によって指定します。
16bppのとき、前景色はREG[8024h]ビット15~0によって指定します。

18.2.5 BitBLTに関する用語

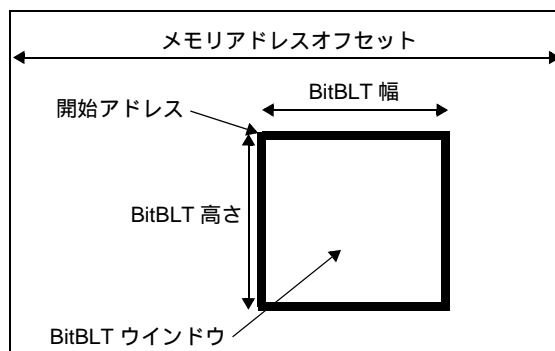


図18.5 BitBLTに関する用語

メモリアドレスオフセット	表示の幅（メインウィンドウ幅またはPIP ⁺ ウィンドウ幅）を16ビットのワードで表した値です。ソースとデスティネーションのメモリアドレスオフセットは同じです。
開始アドレス	BitBLT ウィンドウの左上の角をバイトで表した値です。
BitBLT幅	BitBLTウィンドウの幅をピクセルで表した値です。
BitBLT高さ	BitBLTウィンドウの高さをピクセルで表した値です。
BitBLTウィンドウ	表示メモリにおける作業領域です。

それぞれのBitBLTに対してデータのソースと結果データのデスティネーションが存在します。ソースは、データ機能（色拡張、ROP、透過）を行うデータを読み出す場所です。デスティネーションは、データ機能（ROP）を行うデータを読み出し、かつ結果を書き込む場所です。

18. 2D BitBLTエンジン

18.2.6 ソースとデスティネーション

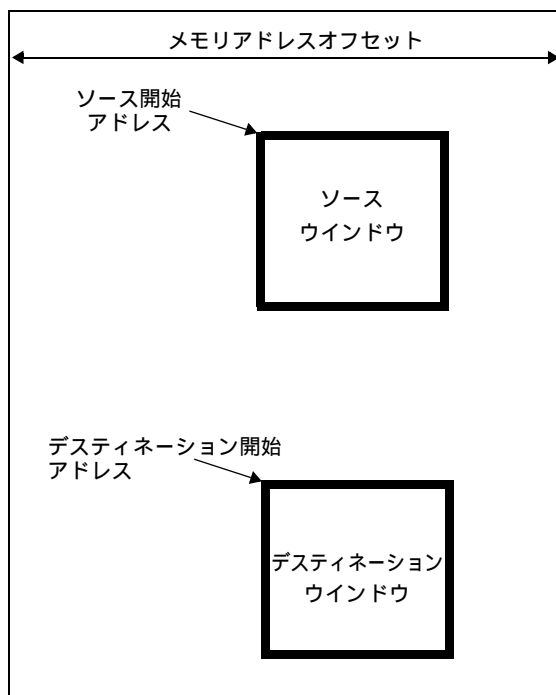


図18.6 ソースとデスティネーション

18.3 データ機能

BitBLTエンジンでは以下のデータ機能が使用できます。一部のBitBLTはこれらの機能と併用できません。

- 色拡張
- ROP
- 透過

18. 2D BitBLTエンジン

18.3.1 ROP

ROPではソースおよびデスティネーションデータに論理関数が実行できます。論理関数の内容はBitBLT ROPコードビット (REG[800Ah]ビット3~0) を使って選択します。AND、OR、XOR、NAND、NORなどの関数が選択できます。同じソース入力と同じデスティネーション入力に対して3種類のROPを実行したときの結果例を以下に示します。

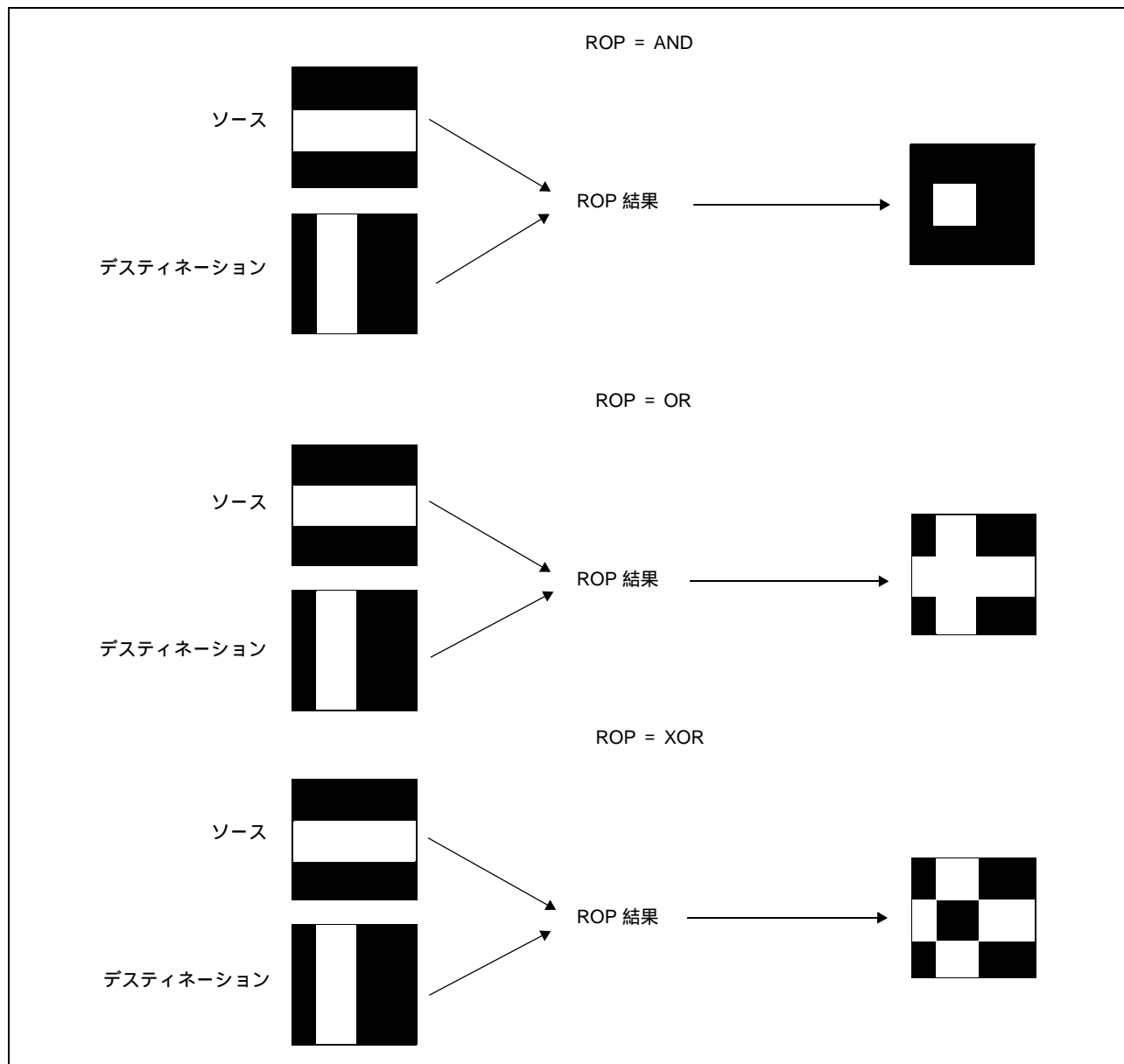


図18.7 ROPの使用例

18.3.2 透過

透過機能では、背景色と一致しない色をデスティネーションに書き込むことができます。この機能はBitBLTウインドウ内にある四角形以外の画像を別の画像上に書き込むときに役立ちます。たとえば、マウスポインタの画像が1つのブロックとしてメモリ内に格納されているとします。このポインタをディスプレイに書き込むとポインタの色のみが書き込まれ、周囲の色は書き込まれません。ポインタ部分が黒で周囲が白のマウスポインタのソース画像に対して透過を用いたときに得られるデスティネーション画像の結果を下の例に示します。マウスポインタ周辺の白色（背景色に一致）はデスティネーション画像に書き込まれず、黒いポインタのみが書き込まれています。

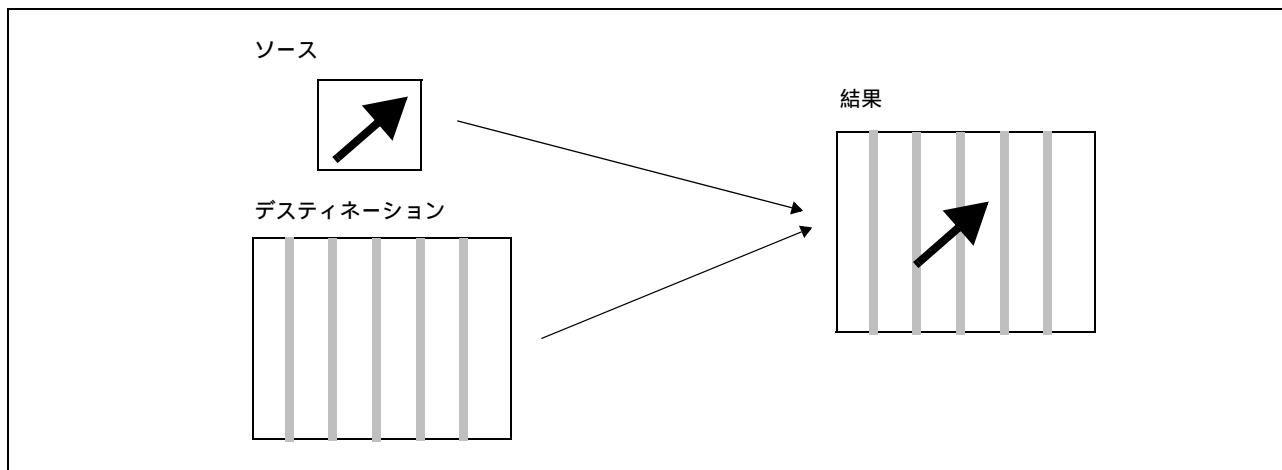


図18.8 透過機能の例

18.4 線形と矩形

多くのBitBLTはソースとデスティネーションに対して線形と矩形のデータフォーマットをサポートします。

線形では、メモリ内のデータまたはホストCPUによって書き込まれるデータが連続的であり、EOL（ラインの末尾）とSOL（ラインの先頭）の間に隙間がありません。線形のデータフォーマットではラインオフセットは無視されます。高さが5の線形データの各ラインがBitBLTの表示メモリに格納される例を下の図に示します。ライン2のSOLがライン1のEOLの直後にある点に注目してください。8bppの場合、次のSOLは前のラインのEOL直後のバイトにあります。16bppの場合、開始位置は前のラインのEOL直後のワードです。

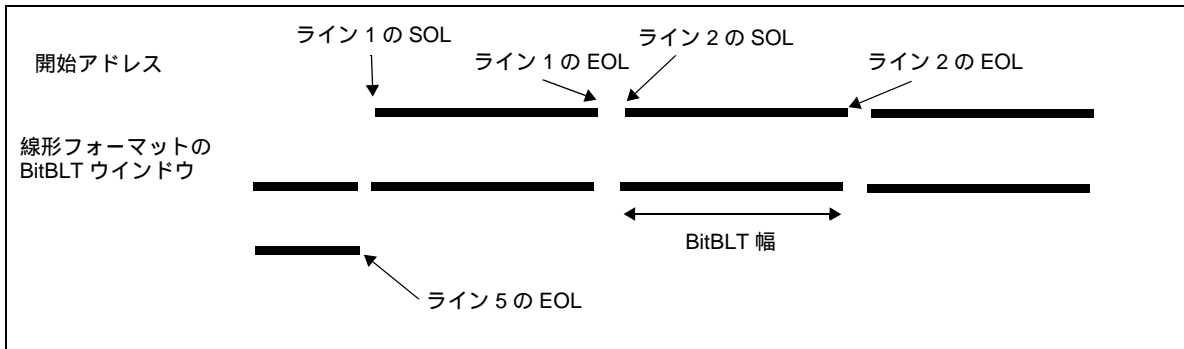


図18.9 メモリにおける線形フォーマットの例

線形のホストCPUデータが16ビット書き込みによって書き込まれる例を下の図に示します。次のラインのSOLは、前のラインのEOLと同じ16ビットデータ内にあります。

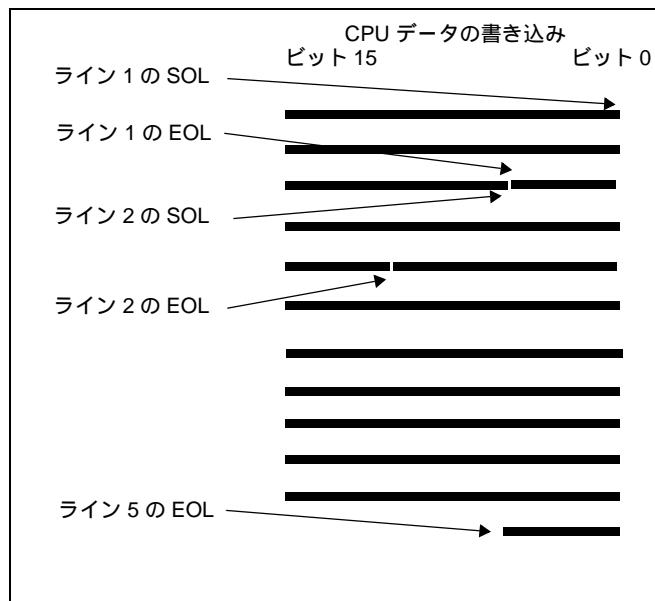


図18.10 メモリにおける線形フォーマットの例

矩形では、各EOLのあと、次のラインのSOLは現在のラインのSOLにメモリアクセスのラインオフセットを加えた位置になります。ホストCPUアクセスの場合、次のラインのSOLは必ずEOLのあるデータのあとに書き込まれるデータ内にあります。

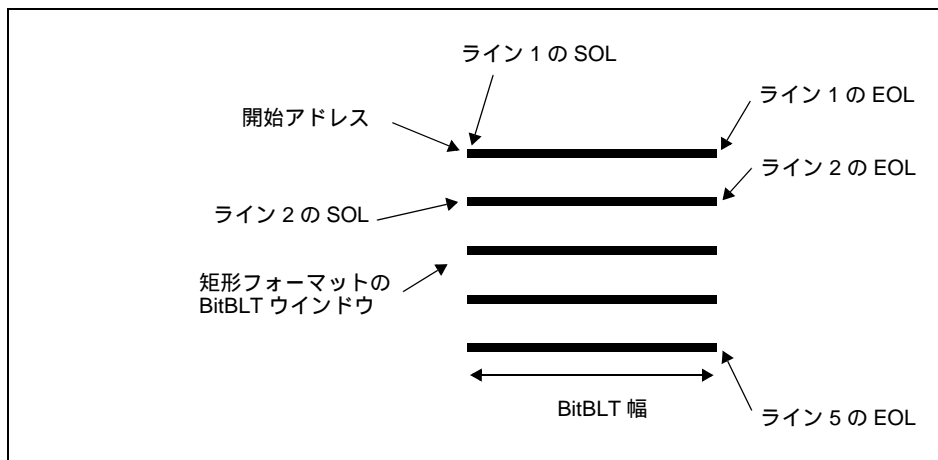


図18.11 メモリにおける矩形フォーマットの例

矩形のホストCPUデータが16ビット書き込みによって書き込まれる例を下の図に示します。次のラインのSOLは、前のラインのEOLの次の16ビットデータ内にあります。

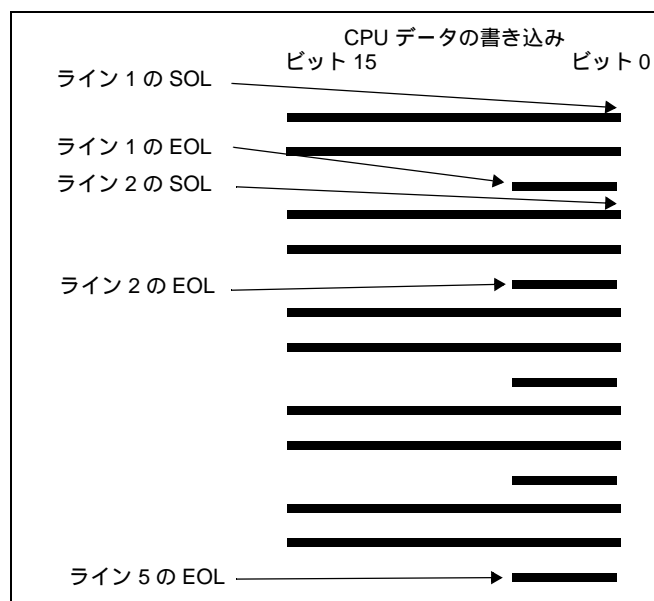


図18.12 メモリにおける矩形フォーマットの例

19. ホストインタフェース

19. ホストインタフェース

ホストインタフェースのタイミングについては53ページの7.3「ホストインタフェースタイミング」、また端子の配置については35ページの5.4「ホストインタフェースの端子割り付け」をご覧ください。

19.1 ハードウェア構成

S1D13719のホストインタフェースはCNF[6:2]端子を用いて設定します。これらの端子はVDDまたはVSSに直接接続してください。さらに、ホストバスインタフェースのタイプ、チップ選択モード、およびエンディアンモードを選択します。

設定オプションの概要については、34ページの表5.2「パワーオン/リセットオプションの概要」をご覧ください。

19.1.1 CNF6 : チップ選択

CNF6の設定は、ダイレクトおよびシリアルホストバスインタフェースについてのみ有効です。

ダイレクトホストバスインタフェースが選択されている場合、CNF6では使用するチップ選択モード（1CS#モードまたは2CS#モード）が設定できます。1CS#モードでは、CS#端子はS1D13719チップの選択に使用され、M/R#端子はメモリアドレスかレジスタアドレスかの選択に使用されます。

2CS#モードでは、CS#端子はメモリチップ選択に、M/R#端子はレジスタチップ選択に使用されます。

シリアルホストバスインタフェースが選択されている場合、CNF6ではシリアル極性が設定できます。

19.1.2 CNF5 : エンディアンモード

S1D13719は、ビッグエンディアンとリトルエンディアンのモードをサポートします。エンディアンモードはデータバスの方向を左右します。

19.1.3 CNF[4:2] : ホストバスインタフェースのタイプ

S1D13719はモード80とモード68をサポートします。モード80には読み書き信号の組み合わせによって3つの種類があります(タイプ1~3)。すべてのパラレルホストバスインタフェースは直接または間接アドレス指定を使用できます。

直接アドレス指定を選択している場合、アドレスは端子AB[18:1]を用いて指定します。間接アドレス指定ではインデックスレジスタを使ってアドレスを指定します。インダイレクトまたはシリアルインタフェースの方法を選択している場合、端子AB[18:3]はプルダウン抵抗がイネーブルされているため、それらの端子は0とみなせます。詳しくは、35ページの5.4「ホストインタフェースの端子割り付け」をご覧ください。

注

端子AB[18:3]のプルダウン抵抗は、必要であればソフトウェアによってディセーブルできます。

19.2 サイクルモニタリング機能

S1D13719の内部にはいくつかのFIFOが備わっています。FIFOの読み出しアクセスにおいてエンプティのFIFOを読み出そうとすると、あるいはFIFOの書き込みアクセスにおいてフルのFIFOに書き込もうとするとともに、サイクルモニタリング機能が必要です。本品には下記に示す2種類のサイクルモニタリング機能が備わっています。

19.2.1 バスタイムアウトリセット機能

バスタイムアウトリセット機能はWAIT#端子のパルス幅を監視し、WAIT#がCLKIの2~3周期分にわたってアクティブであり続けるとソフトウェアリセットを行います。このリセット機能により、WAIT#信号のアクティブ期間中にシステムバスエラー(バスのノイズなど)が発生してバスタイムアウトリセットが発行されたときに、ホストCPUがそれを知ることができます。この機能はダイレクトインタフェース専用です。

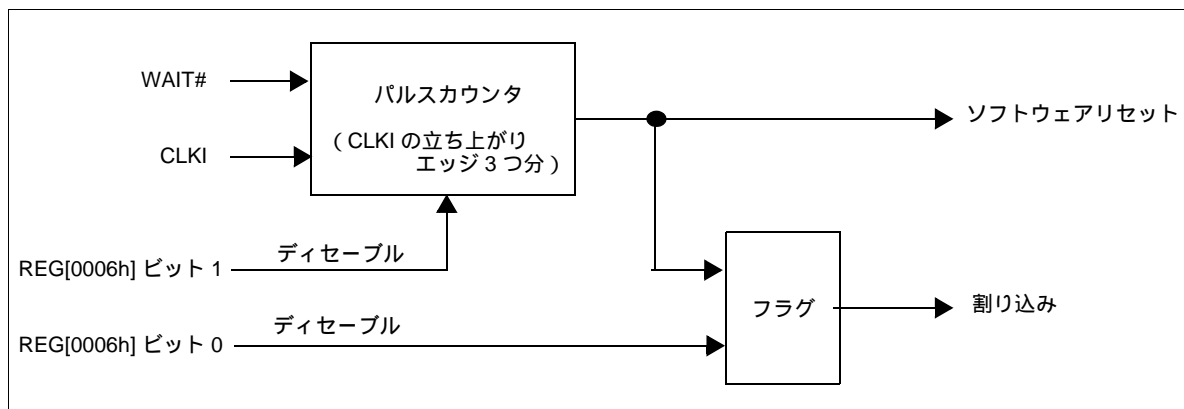


図19.1 バスタイムアウトリセット機能

19. ホストインタフェース

19.3 インダイレクトインタフェース

S1D13719は、3種類のホストCPUインタフェースをサポートします。インダイレクトホストインタフェースは、レジスタとメモリとで異なるアドレス指定方法を用います。各アクセス方法のシーケンス例を以下に示します。

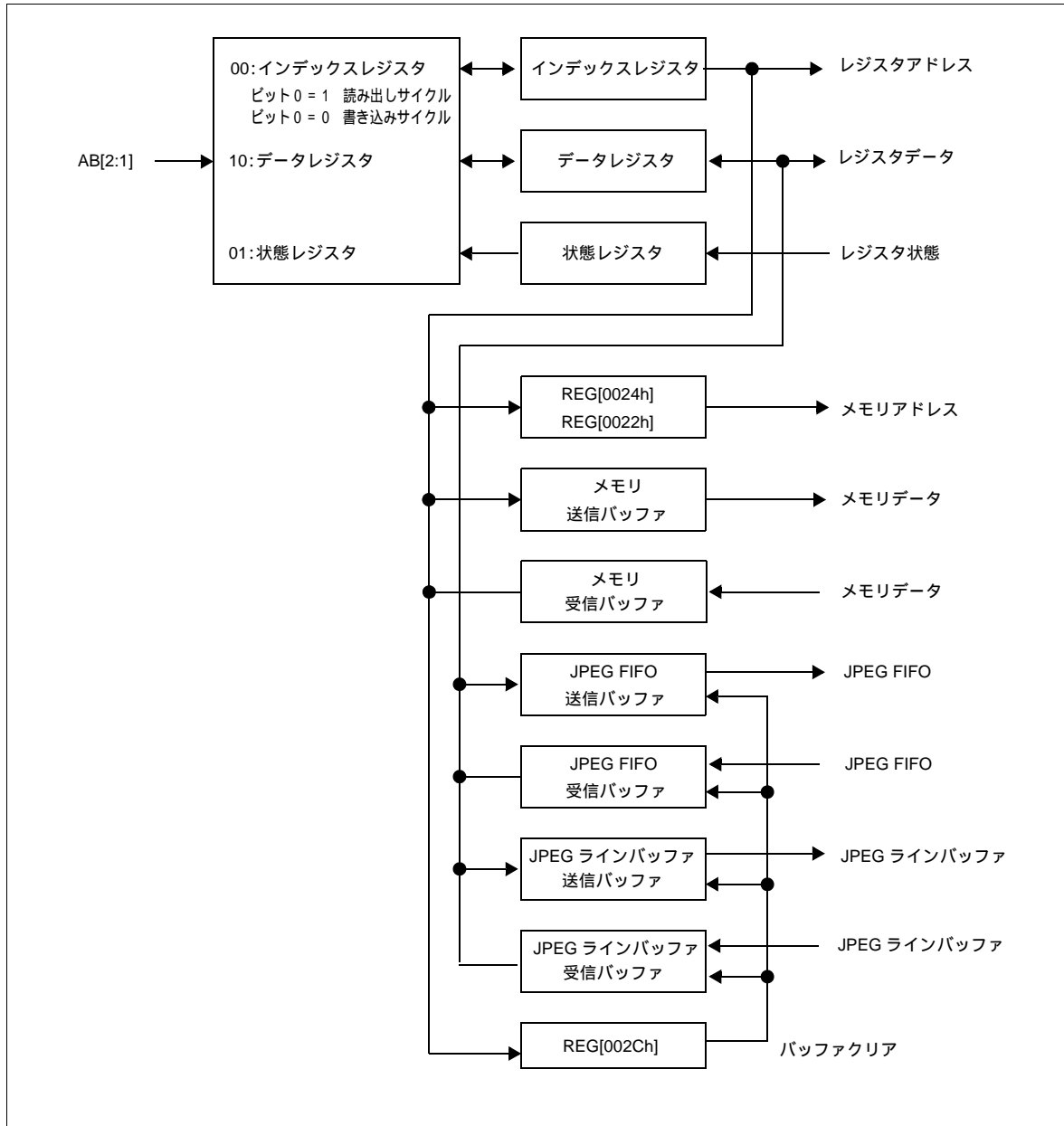


図19.2 インダイレクトインタフェースのブロック図

19.3.1 インダイレクトアドレス指定のレジスタポート

AB[2:1] = 00 Indirect Interface Index Register								Read/Write
Default = 0000h								
レジスタアドレスビット15~8								
15	14	13	12	11	10	9	8	
レジスタアドレスビット7~1								読み出し/書き込み サイクル選択
7	6	5	4	3	2	1	0	

- bits 15-1 レジスタアドレスビット[15:1]
これらのビットはインダイレクトインタフェースモード専用です。
これらのビットはインダイレクトインタフェースに対するレジスタアドレスを設定します。
- bit 0 読み出し/書き込みサイクル選択
このビットはインダイレクトインタフェースモード専用です。
このビットは読み出しと書き込みのいずれを実行するか選択します。
このビットが0のときは書き込みが実行されます。
このビットが1のときは読み出しが実行されます。

AB[2:1] = 10 Indirect Interface Data Register								Read/Write
Default = 0000h								
レジスタデータビット15~8								
15	14	13	12	11	10	9	8	
レジスタデータビット7~0								
7	6	5	4	3	2	1	0	

- bits 15-0 レジスタデータビット[15:0]
これらのビットはインダイレクトインタフェースモード専用です。
これらのビットはインダイレクトインタフェースのデータポートです。

AB[2:1] = 01 Indirect Interface Status Register								Read Only
Default = 0000h								
n/a					Reserved	JPEGラインバッファ 状態	JPEG FIFO状態	
15	14	13	12	11	10	9	8	
n/a					JPEGコーデック 状態	n/a	メモリ状態	
7	6	5	4	3	2	1	0	

- bit 10 Reserved
デフォルト値は0です。
- bit 9 JPEGラインバッファ状態（読み出し専用）
このビットはインダイレクトインタフェースモード専用です。
このビットはJPEGラインバッファの状態を示します。JPEGラインバッファのアクセス時にはこのビットの値を事前にチェックしてください。
このビットが0を返すとき、JPEGラインバッファは使用可能です（ビジー状態ではありません）。
このビットが1を返すとき、JPEGラインバッファはビジー状態です。

19. ホストインタフェース

- bit 8 JPEG FIFO状態（読み出し専用）
このビットはインダイレクトインタフェースモード専用です。
このビットはJPEG FIFOの状態を示します。JPEG FIFOのアクセス時にはこのビットの値を事前にチェックしてください。
このビットが0を返すとき、JPEG FIFOは使用可能です（ビジー状態ではありません）。
このビットが1を返すとき、JPEG FIFOはビジー状態です。
- bit 2 JPEGコーデック状態（読み出し専用）
このビットはインダイレクトインタフェースモード専用です。
このビットはJPEGコーデックの状態を示します。JPEGコーデックレジスタ（REG[1000h]～REG[17A2h]）のアクセス時にはこのビットの値を事前にチェックしてください。
このビットが0を返すとき、JPEGコーデックは使用可能です（ビジー状態ではありません）。
このビットが1を返すとき、JPEGコーデックはビジー状態です。
- bit 0 メモリ状態（読み出し専用）
このビットはインダイレクトインタフェースモード専用です。
このビットはメモリコントローラの状態を示します。メモリアクセス時にはこのビットの値を事前にチェックしてください。ただし、メモリに連続的にアクセスする場合は確認不要です。
このビットが0を返すとき、メモリコントローラは使用可能です（ビジー状態ではありません）。
このビットが1を返すとき、メモリコントローラはビジー状態です。

19.3.2 レジスタアクセス

インダイレクトホストインタフェースが選択されている場合、レジスタはJPEGコーデックレジスタを除いて以下の手順でアクセスしてください。

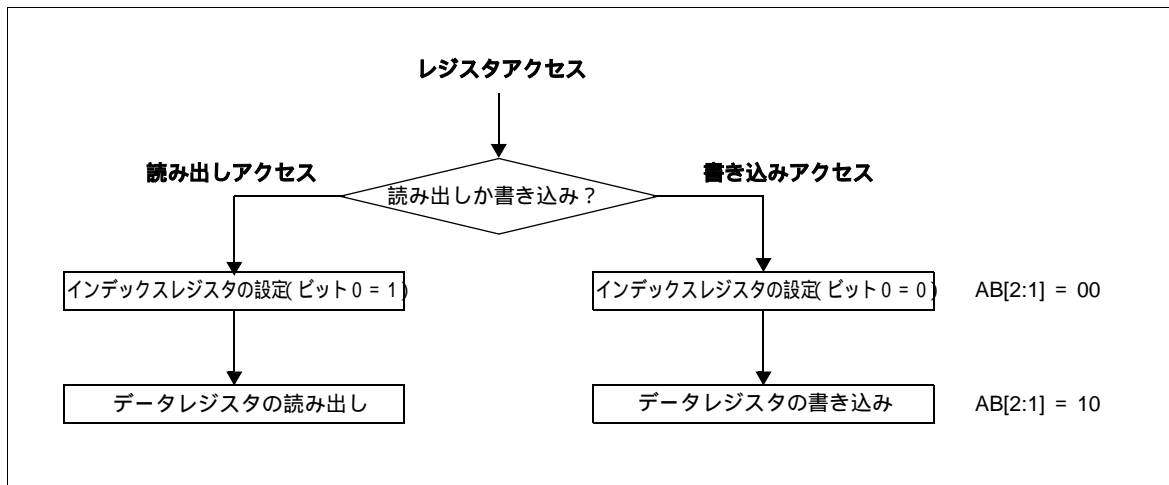


図19.3 レジスタアクセス

19. ホストインタフェース

19.3.3 JPEGコーデックレジスタのアクセス

インダイレクトホストインタフェースが選択されている場合、JPEGコーデックレジスタ (REG[1000h] ~ REG[17A2h]) は以下の手順でアクセスしてください。

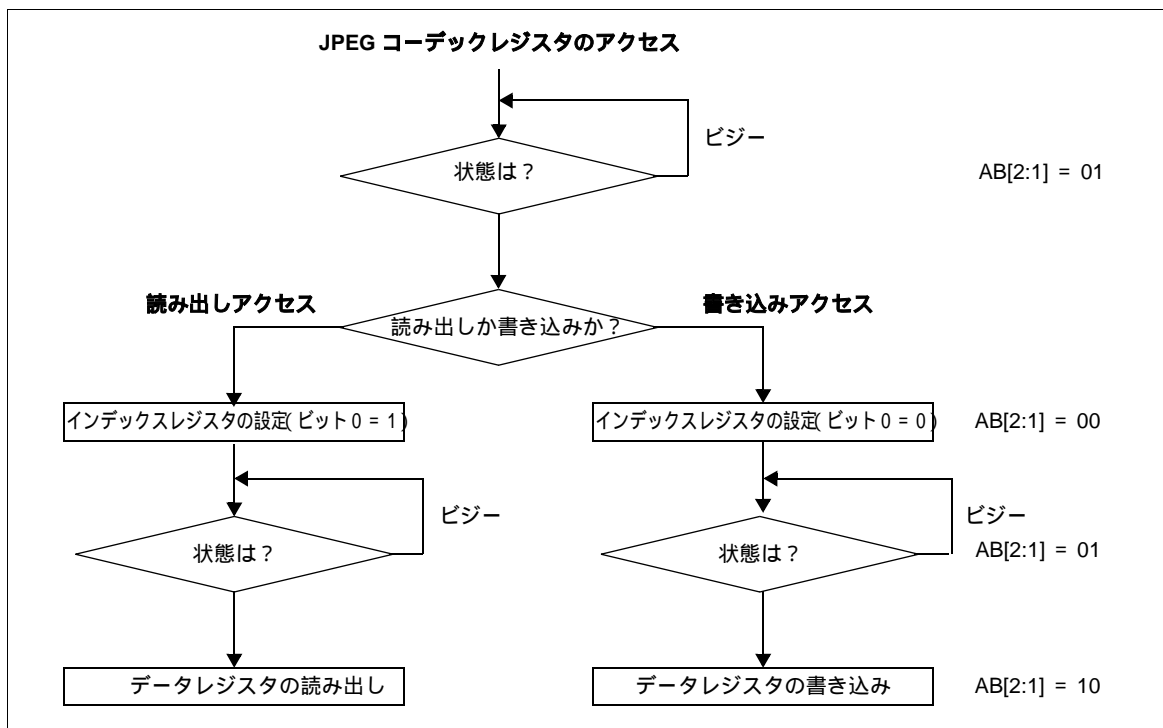


図19.4 JPEGコーデックレジスタのアクセス

19.3.4 メモリアクセス

インダイレクトホストインタフェースが選択されている場合、メモリは以下の手順でアクセスしてください。メモリの読み出しエラーまたは書き込みエラーが発生した場合にはアドレス設定からやり直してください。当該バイトにはアクセスできません。

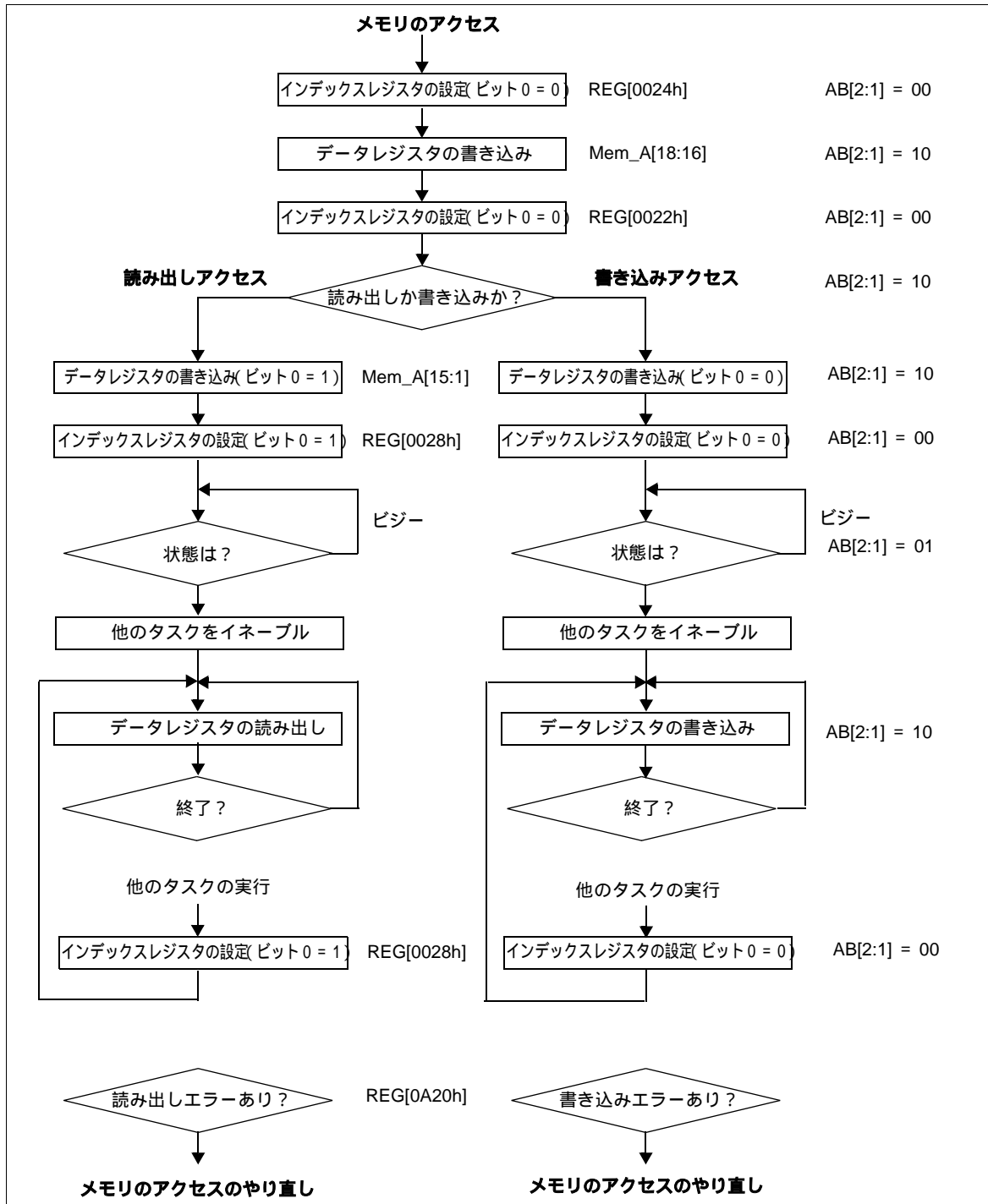


図19.5 メモリアクセス

19.3.6 JPEGラインバッファのアクセス

インダイレクトホストインタフェースが選択されている場合、JPEGラインバッファ (REG[09E0h]) は以下の手順でアクセスしてください。JPEGラインバッファの読み出しまたは書き込みエラーが発生したとき、およびJPEG処理を開始する前には、JPEGラインバッファの受信バッファと送信バッファのクリア処理 (REG[002Ch]を参照) が必要です。

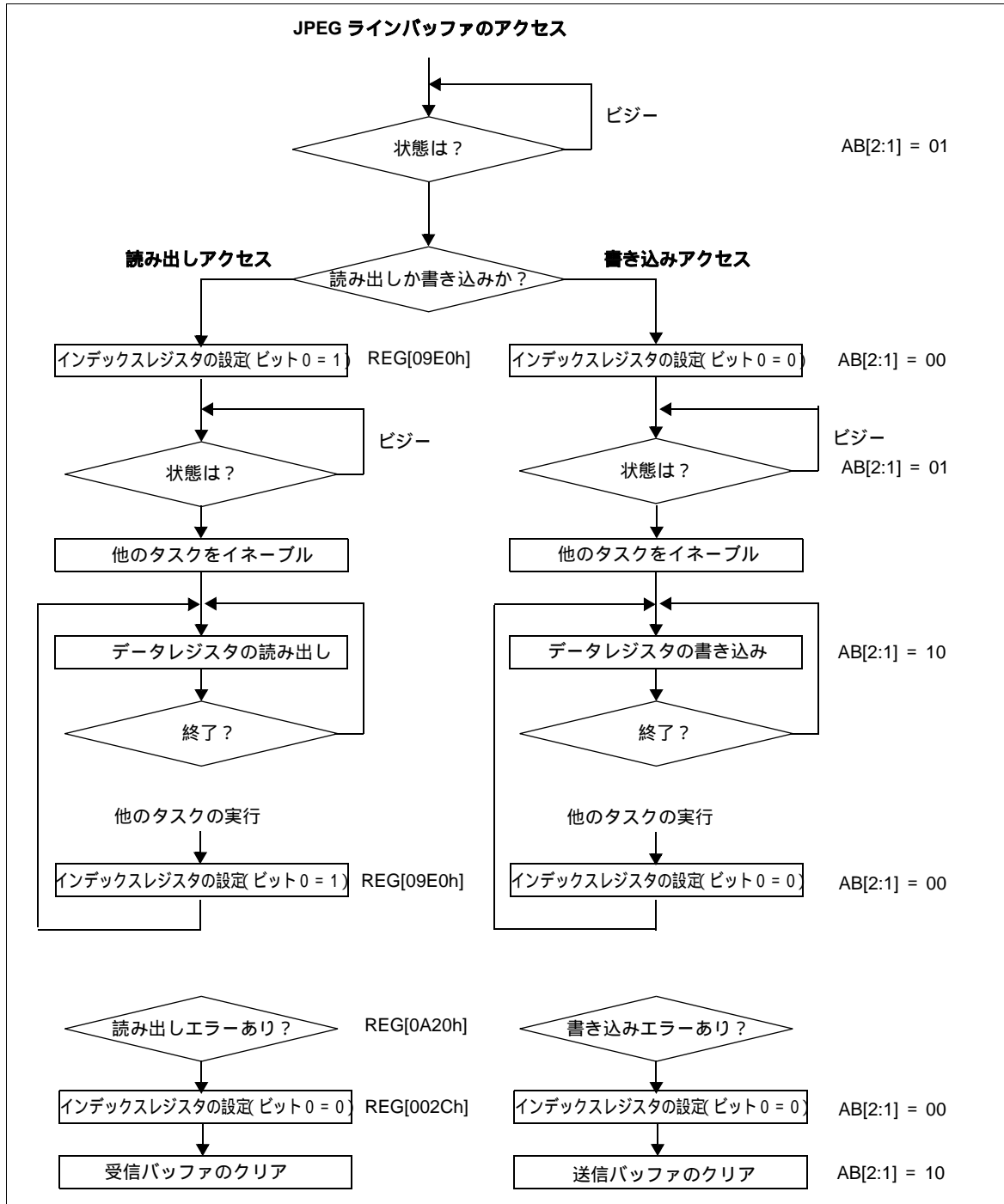


図19.7 JPEGラインバッファのアクセス

19. ホストインタフェース

19.4 サイクル数

S1D13719のアクセスに要するサイクル数はアクセスの種類によって異なります。ダイレクトホストインタフェースの例を下の図に示します。複数のメモリアクセスが競合すると必要なサイクル数が増えることがあります。最大サイクル数の指定が必要なときはサイクルタイムアウト機能を使用できます (REG[0A0Eh]を参照)。

注

インダイレクトのホストインタフェースでは各アクセスのサイクル数が決まっています。

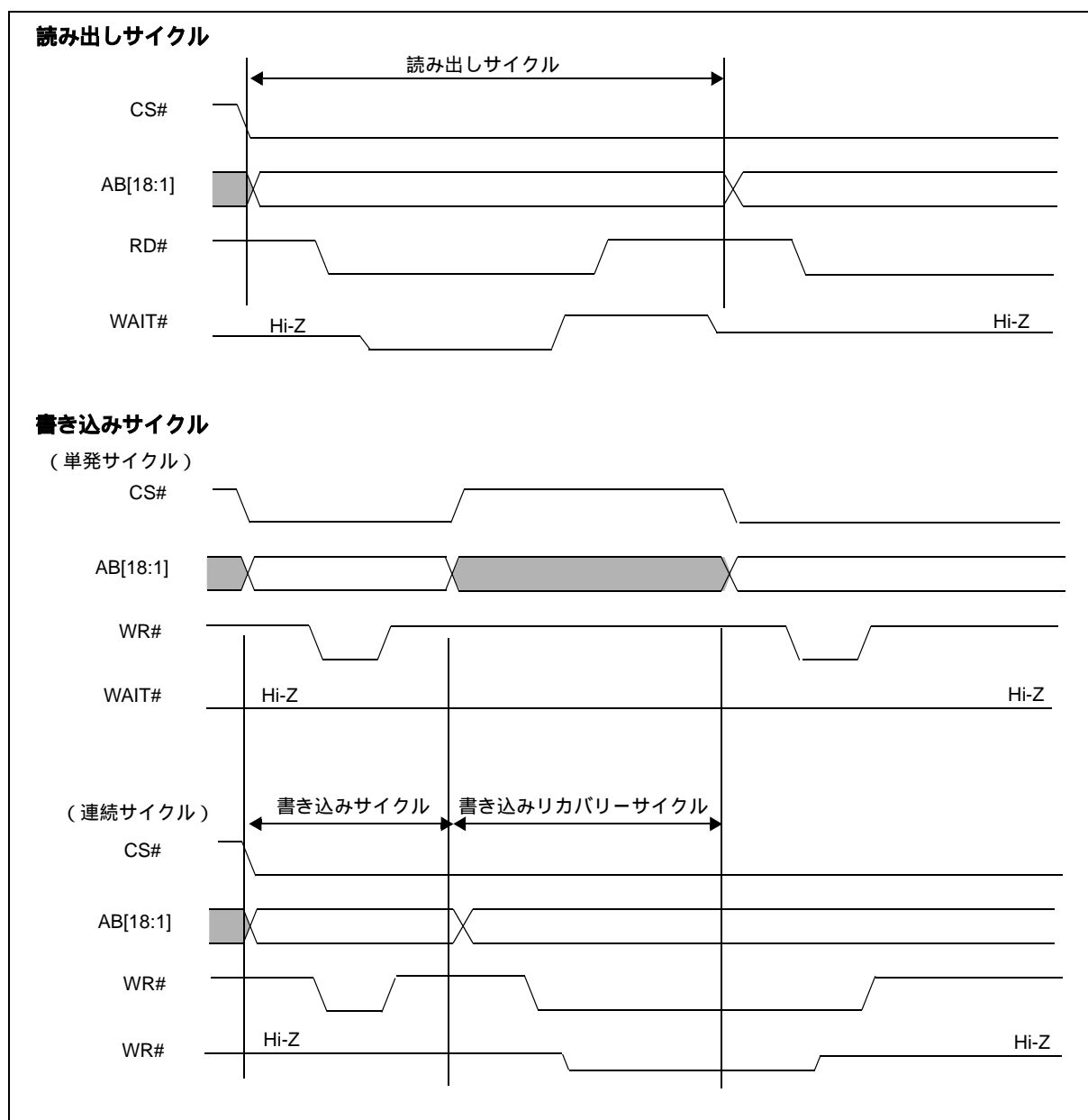


図19.8 ダイレクトホストインタフェースのサイクル

表19.1 サイクル数

サイクルの種別	システムクロック数	WAIT#クロック数 (システムクロック数 - 3)
レジスタ読み出しサイクル	8	5
レジスタ書き込みサイクル + 書き込みリカバリーサイクル	3 + 5	5
JPEGコーデックレジスタ読み出しサイクル (REG[1000h] ~ REG[17A2h])	10	7
JPEGコーデックレジスタ書き込みサイクル + 書き込みリカバリーサイクル (REG[1000h] ~ REG[17A2h])	3 + 7	7
JPEG FIFO初回読み出しサイクル (REG[09A6h])	8	5
JPEG FIFO読み出しサイクル (REG[09A6h])	3	0
JPEG FIFO最終読み出しサイクル (REG[09A6h])	7	4
JPEG FIFO書き込みサイクル + 書き込みリカバリーサイクル (REG[09A6h])	3 + 5	5
JPEGラインバッファ読み出しサイクル (REG[09E0h])	8	5
JPEG ラインバッファ書き込みサイクル + 書き込みリカバリーサイクル (REG[09E0h])	3 + 5	5
メモリ読み出しサイクル	8	5
メモリ書き込みサイクル + 書き込みリカバリーサイクル	3 + 4	4

20. LCDパネルインタフェース

20. LCDパネルインタフェース

S1D13719は最大2枚のLCDパネルを接続できます。表示バッファに格納される画像データは、ルックアップテーブル（LUT1/LUT2）と表示FIFOを経由してLCDパネルに出力されます。

LCDパネルについて、S1D13719は下記のインタフェースタイプをサポートします。

- RGBインタフェースのLCDパネル
- パラレルインタフェースのLCDパネル
- シリアルインタフェースのLCDパネル

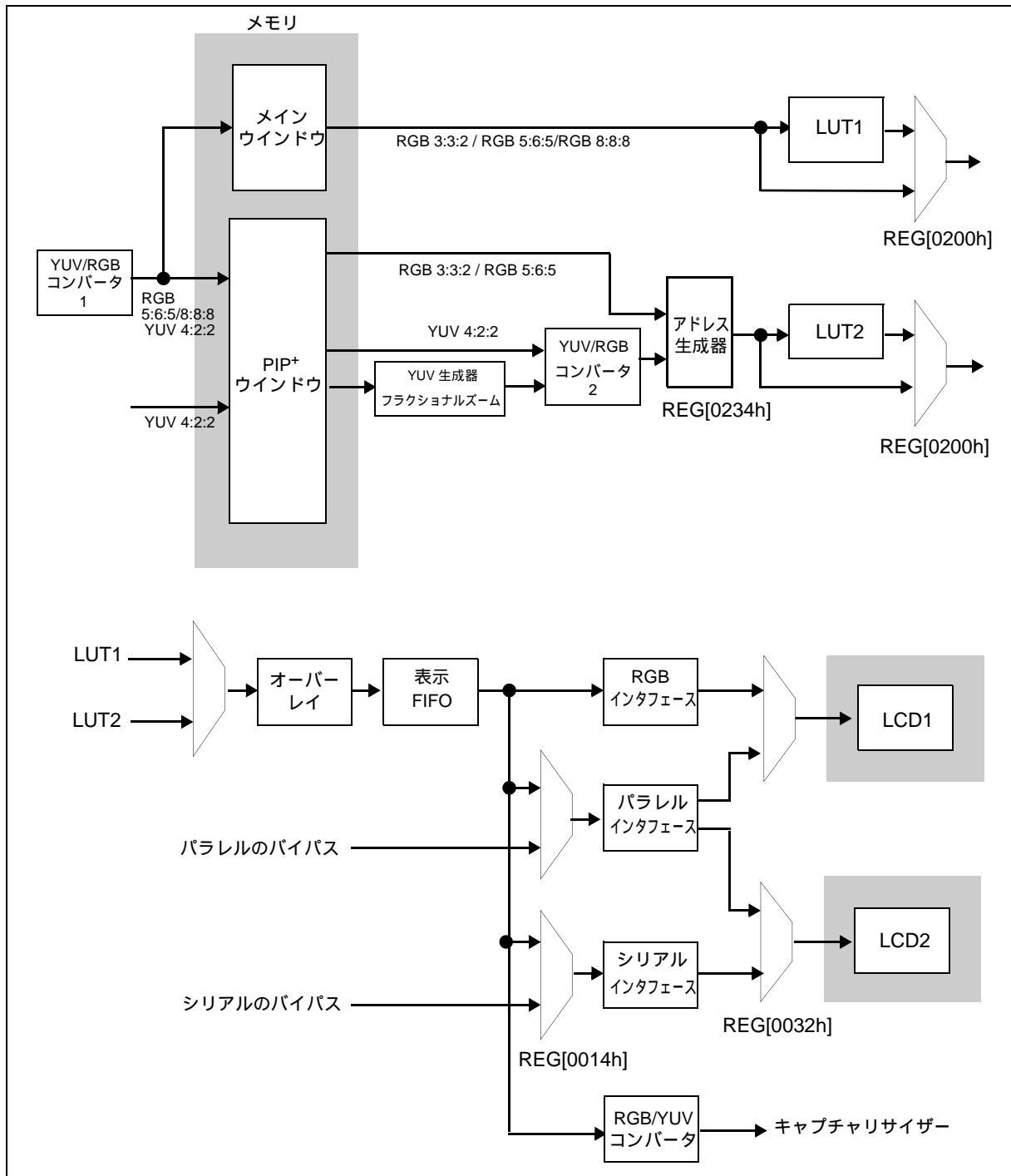


図20.1 LCDインタフェースのブロック図

20. LCDパネルインタフェース

20.1 RGBインタフェースLCDパネルのデータフォーマット

LCD1がRGBインタフェースLCDパネルに設定されているときに可能なデータ出力のフォーマットを以下に示します。

20.1.1 9/12/16/18/24ビットRGBのデータフォーマット

LCD1、9ビットRGBインタフェースのLCDパネル：RGB 3:3:3 (REG[0032h]ビット6~4=000)

LCD1、12ビットRGBインタフェースのLCDパネル：RGB 4:4:4 (REG[0032h]ビット6~4=001)

LCD1、16ビットRGBインタフェースのLCDパネル：RGB 5:6:5 (REG[0032h]ビット6~4=010)

LCD1、18ビットRGBインタフェースのLCDパネル：RGB 6:6:6 (REG[0032h]ビット6~4=011)

LCD1、24ビットRGBインタフェースのLCDパネル：RGB 8:8:8 (REG[0032h]ビット6~4=100)

表20.1 9/12/16/18/24ビットRGBデータフォーマット

端子	9ビット	12ビット	16ビット	18ビット	24ビット
FPDAT0	R ⁵	R ⁵	R ⁵	R ⁵	R ⁷
FPDAT1	R ⁴	R ⁴	R ⁴	R ⁴	R ⁶
FPDAT2	R ³	R ³	R ³	R ³	R ⁵
FPDAT3	G ⁵	G ⁵	G ⁵	G ⁵	G ⁷
FPDAT4	G ⁴	G ⁴	G ⁴	G ⁴	G ⁶
FPDAT5	G ³	G ³	G ³	G ³	G ⁵
FPDAT6	B ⁵	B ⁵	B ⁵	B ⁵	B ⁷
FPDAT7	B ⁴	B ⁴	B ⁴	B ⁴	B ⁶
FPDAT8	B ³	B ³	B ³	B ³	B ⁵
FPDAT9	Low	R ²	R ²	R ²	R ⁴
FPDAT10	Low	Low	R ¹	R ¹	R ³
FPDAT11	Low	Low	Low	R ⁰	R ²
FPDAT12	Low	G ²	G ²	G ²	G ⁴
FPDAT13	Low	Low	G ¹	G ¹	G ³
FPDAT14	Low	Low	G ⁰	G ⁰	G ²
FPDAT15	Low	B ²	B ²	B ²	B ⁴
FPDAT16	Low	Low	B ¹	B ¹	B ³
FPDAT17	Low	Low	Low	B ⁰	B ²
GPIO4	Low	Low	Low	Low	R ¹
GPIO5	Low	Low	Low	Low	R ⁰
GPIO6	Low	Low	Low	Low	G ¹
GPIO7	Low	Low	Low	Low	G ⁰
GPIO8	Low	Low	Low	Low	B ¹
GPIO9	Low	Low	Low	Low	B ⁰

20.1.2 RGBシリアルインタフェース

LCD1、ND-TFD(8ビット、シリアル)のRGBインタフェースLCDパネル(REG[0054h] ビット7~5 = 000)

LCD1、ND-TFD(9ビット、シリアル)のRGBインタフェースLCDパネル(REG[0054h] ビット7~5 = 001)

LCD1、a-Si TFT(8ビット、シリアル)のRGBインタフェースLCDパネル(REG[0054h] ビット7~5 = 01x)

LCD1、uWire TFT (16ビット、シリアル) のRGBインタフェースLCDパネル (REG[0054h] ビット7~5 = 10x)

LCD1、SPI (8または16ビット、シリアル) のRGBインタフェースLCDパネル (REG[0054h] ビット7~5 = 110)

表20.2 RGBシリアルインタフェース

インタフェースタイプ	FPCS1#	FPSCK	FPA0	FPSO
ND-TFD、8ビット	使用	使用	使用	不使用
ND-TFD、9ビット	使用	使用	使用	不使用
a-Si	使用	使用	不使用	使用
uWIRE	使用	使用	不使用	使用
SPI	使用	使用	不使用	使用

20. LCDパネルインタフェース

20.2 平行インタフェースLCDのデータフォーマット

LCD1またはLCD2が平行インタフェースLCDパネルに設定されているときに可能なデータ出力のフォーマットを以下に示します。

20.2.1 8ビット平行 (RGB 3:3:2) のデータフォーマット

LCD1、8ビット平行インタフェースのLCDパネル：RGB 3:3:2 (REG[0056h]ビット3~0=0000)

LCD2、8ビット平行インタフェースのLCDパネル：RGB 3:3:2 (REG[005Eh]ビット3~0=0000)

表20.3 8ビット平行 (RGB 3:3:2) のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D7	R_0^5	R_1^5	R_2^5	...	R_n^5
D6	R_0^4	R_1^4	R_2^4	...	R_n^4
D5	R_0^3	R_1^3	R_2^3	...	R_n^3
D4	G_0^5	G_1^5	G_2^5	...	G_n^5
D3	G_0^4	G_1^4	G_2^4	...	G_n^4
D2	G_0^3	G_1^3	G_2^3	...	G_n^3
D1	B_0^5	B_1^5	B_2^5	...	B_n^5
D0	B_0^4	B_1^4	B_2^4	...	B_n^4

20.2.2 8ビット平行 (RGB 4:4:4) のデータフォーマット

LCD1、8ビット平行インタフェースのLCDパネル：RGB 4:4:4 (REG[0056h]ビット3~0=0001)

LCD2、8ビット平行インタフェースのLCDパネル：RGB 4:4:4 (REG[005Eh]ビット3~0=0001)

表20.4 8ビット平行 (RGB 4:4:4) のデータフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D7	R_0^5	B_0^5	G_1^5	...	R_n^5	B_n^5	G_{n+1}^5
D6	R_0^4	B_0^4	G_1^4	...	R_n^4	B_n^4	G_{n+1}^4
D5	R_0^3	B_0^3	G_1^3	...	R_n^3	B_n^3	G_{n+1}^3
D4	R_0^2	B_0^2	G_1^2	...	R_n^2	B_n^2	G_{n+1}^2
D3	G_0^5	R_1^5	B_1^5	...	G_n^5	R_{n+1}^5	B_{n+1}^5
D2	G_0^4	R_1^4	B_1^4	...	G_n^4	R_{n+1}^4	B_{n+1}^4
D1	G_0^3	R_1^3	B_1^3	...	G_n^3	R_{n+1}^3	B_{n+1}^3
D0	G_0^2	R_1^2	B_1^2	...	G_n^2	R_{n+1}^2	B_{n+1}^2

20.2.3 8ビットパラレル (RGB 5:6:5) のデータフォーマット

LCD1、8ビットパラレルインタフェースのLCDパネル: RGB 5:6:5 (REG[0056h] ビット3~0 = 1xxx)

LCD2、8ビットパラレルインタフェースのLCDパネル: RGB 5:6:5 (REG[005Eh] ビット3~0 = 1xxx)

表20.5 8ビットパラレル (RGB 5:6:5) のデータフォーマット

サイクルカウント	1	2	...	n+1	n+2
D7	R_0^5	G_0^2	...	R_n^5	G_n^2
D6	R_0^4	G_0^1	...	R_n^4	G_n^1
D5	R_0^3	G_0^0	...	R_n^3	G_n^0
D4	R_0^2	B_0^5	...	R_n^2	B_n^5
D3	R_0^1	B_0^4	...	R_n^1	B_n^4
D2	G_0^5	B_0^3	...	G_n^5	B_n^3
D1	G_0^4	B_0^2	...	G_n^4	B_n^2
D0	G_0^3	B_0^1	...	G_n^3	B_n^1

20.2.4 8ビットパラレル (RGB 6:6:6) のデータフォーマット

LCD1、8ビットパラレルインタフェースのLCDパネル: RGB 6:6:6 (REG[0056h] ビット3~0 = 0011)

LCD2、8ビットパラレルインタフェースのLCDパネル: RGB 6:6:6 (REG[005Eh] ビット3~0 = 0011)

表20.6 8ビットパラレル (RGB 6:6:6) のデータフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D7	R_0^5	G_0^5	B_0^5	...	R_n^5	G_n^5	B_n^5
D6	R_0^4	G_0^4	B_0^4	...	R_n^4	G_n^4	B_n^4
D5	R_0^3	G_0^3	B_0^3	...	R_n^3	G_n^3	B_n^3
D4	R_0^2	G_0^2	B_0^2	...	R_n^2	G_n^2	B_n^2
D3	R_0^1	G_0^1	B_0^1	...	R_n^1	G_n^1	B_n^1
D2	R_0^0	G_0^0	B_0^0	...	R_n^0	G_n^0	B_n^0
D1	-	-	-	...	-	-	-
D0	-	-	-	...	-	-	-

20. LCDパネルインタフェース

20.2.5 8ビットパラレル (RGB 8:8:8) のデータフォーマット

LCD1、8ビットパラレルインタフェースのLCDパネル：RGB 8:8:8 (REG[0056h] ビット3~0=0011)

LCD2、8ビットパラレルインタフェースのLCDパネル：RGB 8:8:8 (REG[005Eh] ビット3~0=0011)

表20.7 8ビットパラレル (RGB 8:8:8) のデータフォーマット

	サイクルカウント						
	1	2	3	...	3n+1	3n+2	3n+3
D7	R_0^7	G_0^7	B_0^7	...	R_n^7	G_n^7	B_n^7
D6	R_0^6	G_0^6	B_0^6	...	R_n^6	G_n^6	B_n^6
D5	R_0^5	G_0^5	B_0^5	...	R_n^5	G_n^5	B_n^5
D4	R_0^4	G_0^4	B_0^4	...	R_n^4	G_n^4	B_n^4
D3	R_0^3	G_0^3	B_0^3	...	R_n^3	G_n^3	B_n^3
D2	R_0^2	G_0^2	B_0^2	...	R_n^2	G_n^2	B_n^2
D1	R_0^1	G_0^1	B_0^1	...	R_n^1	G_n^1	B_n^1
D0	R_0^0	G_0^0	B_0^0	...	R_n^0	G_n^0	B_n^0

20.2.6 16ビットパラレル (RGB 4:4:4) のデータフォーマット

LCD1、16ビットパラレルインタフェースのLCDパネル：RGB 4:4:4 (REG[0056h] ビット3~0=0101)

LCD2、16ビットパラレルインタフェースのLCDパネル：RGB 4:4:4 (REG[005Eh] ビット3~0=0101)

表20.8 16ビットパラレル (RGB 4:4:4) のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D15	R_0^5	R_1^5	R_2^5	...	R_n^5
D14	R_0^4	R_1^4	R_2^4	...	R_n^4
D13	R_0^3	R_1^3	R_2^3	...	R_n^3
D12	R_0^2	R_1^2	R_2^2	...	R_n^2
D11	G_0^5	G_1^5	G_2^5	...	G_n^5
D10	G_0^4	G_1^4	G_2^4	...	G_n^4
D9	G_0^3	G_1^3	G_2^3	...	G_n^3
D8	G_0^2	G_1^2	G_2^2	...	G_n^2
D7	B_0^5	B_1^5	B_2^5	...	B_n^5
D6	B_0^4	B_1^4	B_2^4	...	B_n^4
D5	B_0^3	B_1^3	B_2^3	...	B_n^3
D4	B_0^2	B_1^2	B_2^2	...	B_n^2
D3	-	-	-	-	-
D2	-	-	-	-	-
D1	-	-	-	-	-
D0	-	-	-	-	-

20.2.7 16ビットパラレル (RGB 5:6:5) のデータフォーマット

LCD1、16ビットパラレルインタフェースのLCDパネル：RGB 5:6:5 (REG[0056h]
ビット3~0=0110)

LCD2、16ビットパラレルインタフェースのLCDパネル：RGB 5:6:5 (REG[005Eh]
ビット3~0=0110)

表20.9 16ビットパラレル (RGB 5:6:5) のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D15	R_0^5	R_1^5	R_2^5	...	R_n^5
D14	R_0^4	R_1^4	R_2^4	...	R_n^4
D13	R_0^3	R_1^3	R_2^3	...	R_n^3
D12	R_0^2	R_1^2	R_2^2	...	R_n^2
D11	R_0^1	R_1^1	R_2^1	...	R_n^1
D10	G_0^5	G_1^5	G_2^5	...	G_n^5
D9	G_0^4	G_1^4	G_2^4	...	G_n^4
D8	G_0^3	G_1^3	G_2^3	...	G_n^3
D7	G_0^2	G_1^2	G_2^2	...	G_n^2
D6	G_0^1	G_1^1	G_2^1	...	G_n^1
D5	G_0^0	G_1^0	G_2^0	...	G_n^0
D4	B_0^5	B_1^5	B_2^5	...	B_n^5
D3	B_0^4	B_1^4	B_2^4	...	B_n^4
D2	B_0^3	B_1^3	B_2^3	...	B_n^3
D1	B_0^2	B_1^2	B_2^2	...	B_n^2
D0	B_0^1	B_1^1	B_2^1	...	B_n^1

20. LCDパネルインタフェース

20.2.8 16ビットパラレル (RGB 8:8:8) のデータフォーマット

LCD1、16ビットパラレルインタフェースのLCDパネル：RGB 8:8:8 (REG[0056h]
ビット3~0=0010)

LCD2、16ビットパラレルインタフェースのLCDパネル：RGB 8:8:8 (REG[005Eh]
ビット3~0=0010)

表20.10 16ビットパラレル (RGB 8:8:8) のデータフォーマット

	サイクルカウント				
	1	2	3	...	n+1
D15	R_0^7	B_0^7	G_1^7	...	R_n^7
D14	R_0^6	B_0^6	G_1^6	...	R_n^6
D13	R_0^5	B_0^5	G_1^5	...	R_n^5
D12	R_0^4	B_0^4	G_1^4	...	R_n^4
D11	R_0^3	B_0^3	G_1^3	...	R_n^3
D10	R_0^2	B_0^2	G_1^2	...	R_n^2
D9	R_0^1	B_0^1	G_1^1	...	R_n^1
D8	R_0^0	B_0^0	G_1^0	...	R_n^0
D7	G_0^7	R_1^7	B_1^7	...	G_n^7
D6	G_0^6	R_1^6	B_1^6	...	G_n^6
D5	G_0^5	R_1^5	B_1^5	...	G_n^5
D4	G_0^4	R_1^4	B_1^4	...	G_n^4
D3	G_0^3	R_1^3	B_1^3	...	G_n^3
D2	G_0^2	R_1^2	B_1^2	...	G_n^2
D1	G_0^1	R_1^1	B_1^1	...	G_n^1
D0	G_0^0	R_1^0	B_1^0	...	G_n^0

20.2.9 18ビットパラレル (RGB 6:6:6) のデータフォーマット

LCD1、18ビットパラレルインタフェースのLCDパネル：RGB 6:6:6 (REG[0056h]
ビット3~0=0111)

LCD2、18ビットパラレルインタフェースのLCDパネル：RGB 6:6:6 (REG[005Eh]
ビット3~0=0111)

表20.11 18ビットパラレル (RGB 6:6:6) のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D17	R_0^5	R_1^5	R_2^5	...	R_n^5
D16	R_0^4	R_1^4	R_2^4	...	R_n^4
D15	R_0^3	R_1^3	R_2^3	...	R_n^3
D14	R_0^2	R_1^2	R_2^2	...	R_n^2
D13	R_0^1	R_1^1	R_2^1	...	R_n^1
D12	R_0^0	R_1^0	R_2^0	...	R_n^0
D11	G_0^5	G_1^5	G_2^5	...	G_n^5
D10	G_0^4	G_1^4	G_2^4	...	G_n^4
D9	G_0^3	G_1^3	G_2^3	...	G_n^3
D8	G_0^2	G_1^2	G_2^2	...	G_n^2
D7	G_0^1	G_1^1	G_2^1	...	G_n^1
D6	G_0^0	G_1^0	G_2^0	...	G_n^0
D5	B_0^5	B_1^5	B_2^5	...	B_n^5
D4	B_0^4	B_1^4	B_2^4	...	B_n^4
D3	B_0^3	B_1^3	B_2^3	...	B_n^3
D2	B_0^2	B_1^2	B_2^2	...	B_n^2
D1	B_0^1	B_1^1	B_2^1	...	B_n^1
D0	B_0^0	B_1^0	B_2^0	...	B_n^0

20. LCDパネルインタフェース

20.2.10 24ビットパラレル (RGB 8:8:8) のデータフォーマット

LCD1、24ビットパラレルインタフェースのLCDパネル：RGB 8:8:8 (REG[0056h]
ビット3~0=0100)

LCD2、24ビットパラレルインタフェースのLCDパネル：RGB 8:8:8 (REG[005Eh]
ビット3~0=0100)

表20.12 24ビットパラレル (RGB 8:8:8) のデータフォーマット

	サイクルカウント				
	1	2	3	...	n+1
D23	R_0^7	R_1^7	R_2^7		R_n^7
D22	R_0^6	R_1^6	R_2^6		R_n^6
D21	R_0^5	R_1^5	R_2^5		R_n^5
D20	R_0^4	R_1^4	R_2^4		R_n^4
D19	R_0^3	R_1^3	R_2^3		R_n^3
D18	R_0^2	R_1^2	R_2^2		R_n^2
D17	R_0^1	R_1^1	R_2^1		R_n^1
D16	R_0^0	R_1^0	R_2^0		R_n^0
D15	G_0^7	G_1^7	G_2^7	...	G_n^7
D14	G_0^6	G_1^6	G_2^6	...	G_n^6
D13	G_0^5	G_1^5	G_2^5	...	G_n^5
D12	G_0^4	G_1^4	G_2^4	...	G_n^4
D11	G_0^3	G_1^3	G_2^3	...	G_n^3
D10	G_0^2	G_1^2	G_2^2	...	G_n^2
D9	G_0^1	G_1^1	G_2^1	...	G_n^1
D8	G_0^0	G_1^0	G_2^0	...	G_n^0
D7	B_0^7	B_1^7	B_2^7	...	B_n^7
D6	B_0^6	B_1^6	B_2^6	...	B_n^6
D5	B_0^5	B_1^5	B_2^5	...	B_n^5
D4	B_0^4	B_1^4	B_2^4	...	B_n^4
D3	B_0^3	B_1^3	B_2^3	...	B_n^3
D2	B_0^2	B_1^2	B_2^2	...	B_n^2
D1	B_0^1	B_1^1	B_2^1	...	B_n^1
D0	B_0^0	B_1^0	B_2^0	...	B_n^0

20.3 パラレルインタフェースLCDのコマンド/パラメータフォーマット

LCD1またはLCD2がパラレルインタフェースのLCDパネルに設定されているときのコマンド/パラメータ出力のフォーマットを以下に示します。

表20.13 LCD1におけるパラレルインタフェースのコマンド/パラメータフォーマット

REG[0056h]	ビット5~4=00		ビット5~4=01		ビット5~4=10	
D17	-	-	Command[15]	Parameter[15]	Command[15]	Parameter[15]
D16	-	-	Command[14]	Parameter[14]	Command[14]	Parameter[14]
D15	Command[15]	Parameter[15]	Command[13]	Parameter[13]	Command[13]	Parameter[13]
D14	Command[14]	Parameter[14]	Command[12]	Parameter[12]	Command[12]	Parameter[12]
D13	Command[13]	Parameter[13]	Command[11]	Parameter[11]	Command[11]	Parameter[11]
D12	Command[12]	Parameter[12]	Command[10]	Parameter[10]	-	-
D11	Command[11]	Parameter[11]	Command[9]	Parameter[9]	Command[10]	Parameter[10]
D10	Command[10]	Parameter[10]	Command[8]	Parameter[8]	Command[9]	Parameter[9]
D9	Command[9]	Parameter[9]	-	-	Command[8]	Parameter[8]
D8	Command[8]	Parameter[8]	Command[7]	Parameter[7]	Command[7]	Parameter[7]
D7	Command[7]	Parameter[7]	Command[6]	Parameter[6]	Command[6]	Parameter[6]
D6	Command[6]	Parameter[6]	Command[5]	Parameter[5]	Command[5]	Parameter[5]
D5	Command[5]	Parameter[5]	Command[4]	Parameter[4]	Command[4]	Parameter[4]
D4	Command[4]	Parameter[4]	Command[3]	Parameter[3]	Command[3]	Parameter[3]
D3	Command[3]	Parameter[3]	Command[2]	Parameter[2]	Command[2]	Parameter[2]
D2	Command[2]	Parameter[2]	Command[1]	Parameter[1]	Command[1]	Parameter[1]
D1	Command[1]	Parameter[1]	Command[0]	Parameter[0]	Command[0]	Parameter[0]
D0	Command[0]	Parameter[0]	-	-	-	-

20. LCDパネルインタフェース

表20.14 LCD2におけるパラレルインタフェースのコマンド/パラメータフォーマット

REG[005Eh]	ビット5~4=00		ビット5~4=01		ビット5~4=10	
D17	-	-	Command[15]	Parameter[15]	Command[15]	Parameter[15]
D16	-	-	Command[14]	Parameter[14]	Command[14]	Parameter[14]
D15	Command[15]	Parameter[15]	Command[13]	Parameter[13]	Command[13]	Parameter[13]
D14	Command[14]	Parameter[14]	Command[12]	Parameter[12]	Command[12]	Parameter[12]
D13	Command[13]	Parameter[13]	Command[11]	Parameter[11]	Command[11]	Parameter[11]
D12	Command[12]	Parameter[12]	Command[10]	Parameter[10]	-	-
D11	Command[11]	Parameter[11]	Command[9]	Parameter[9]	Command[10]	Parameter[10]
D10	Command[10]	Parameter[10]	Command[8]	Parameter[8]	Command[9]	Parameter[9]
D9	Command[9]	Parameter[9]	-	-	Command[8]	Parameter[8]
D8	Command[8]	Parameter[8]	Command[7]	Parameter[7]	Command[7]	Parameter[7]
D7	Command[7]	Parameter[7]	Command[6]	Parameter[6]	Command[6]	Parameter[6]
D6	Command[6]	Parameter[6]	Command[5]	Parameter[5]	Command[5]	Parameter[5]
D5	Command[5]	Parameter[5]	Command[4]	Parameter[4]	Command[4]	Parameter[4]
D4	Command[4]	Parameter[4]	Command[3]	Parameter[3]	Command[3]	Parameter[3]
D3	Command[3]	Parameter[3]	Command[2]	Parameter[2]	Command[2]	Parameter[2]
D2	Command[2]	Parameter[2]	Command[1]	Parameter[1]	Command[1]	Parameter[1]
D1	Command[1]	Parameter[1]	Command[0]	Parameter[0]	Command[0]	Parameter[0]
D0	Command[0]	Parameter[0]	-	-	-	-

20.4 シリアルインタフェースLCDのデータフォーマット

LCD2がシリアルインタフェースLCDパネルに設定されているときに可能なデータ出力のフォーマットを以下に示します。シリアルデータ方向(MSBまたはLSB)はREG[005Ch]ビット4を用いて選択できます。

20.4.1 8ビットシリアル(RGB 3:3:2)のデータフォーマット

LCD2、8ビットシリアルインタフェースのLCDパネル：RGB 3:3:2 (REG[005Ch]ビット7=0かつREG[005Ch]ビット3~2=00)

表20.15 8ビットシリアル(RGB 3:3:2)のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D7	R_0^5	R_1^5	R_2^5	...	R_n^5
D6	R_0^4	R_1^4	R_2^4	...	R_n^4
D5	R_0^3	R_1^3	R_2^3	...	R_n^3
D4	G_0^5	G_1^5	G_2^5	...	G_n^5
D3	G_0^4	G_1^4	G_2^4	...	G_n^4
D2	G_0^3	G_1^3	G_2^3	...	G_n^3
D1	B_0^5	B_1^5	B_2^5	...	B_n^5
D0	B_0^4	B_1^4	B_2^4	...	B_n^4

20.4.2 8ビットシリアル(RGB 4:4:4)のデータフォーマット

LCD2、8ビットシリアルインタフェースのLCDパネル：RGB 4:4:4 (REG[005Ch]ビット7=0かつREG[005Ch]ビット3~2=01)

表20.16 8ビットシリアル(RGB 4:4:4)のデータフォーマット

サイクルカウント	1	2	3	...	3n+1	3n+2	3n+3
D7	R_0^5	B_0^5	G_1^5	...	R_n^5	B_n^5	G_{n+1}^5
D6	R_0^4	B_0^4	G_1^4	...	R_n^4	B_n^4	G_{n+1}^4
D5	R_0^3	B_0^3	G_1^3	...	R_n^3	B_n^3	G_{n+1}^3
D4	R_0^2	B_0^2	G_1^2	...	R_n^2	B_n^2	G_{n+1}^2
D3	G_0^5	R_1^5	B_1^5	...	G_n^5	R_{n+1}^5	B_{n+1}^5
D2	G_0^4	R_1^4	B_1^4	...	G_n^4	R_{n+1}^4	B_{n+1}^4
D1	G_0^3	R_1^3	B_1^3	...	G_n^3	R_{n+1}^3	B_{n+1}^3
D0	G_0^2	R_1^2	B_1^2	...	G_n^2	R_{n+1}^2	B_{n+1}^2

20. LCDパネルインタフェース

20.4.3 16ビットシリアル (RGB 4:4:4、MSB不使用) のデータフォーマット

LCD2、16ビットシリアルインタフェースのLCDパネル：RGB 4:4:4、MSB不使用
(REG[005Ch]ビット7 = 1かつREG[005Ch]ビット3 ~ 2 = 00)

表20.17 16ビットシリアル (RGB 4:4:4、MSB不使用) のデータフォーマット

サイクルカウント	1	2	3	...	n
D15	R_0^3	R_1^3	R_2^3	...	R_n^3
D14	R_0^2	R_1^2	R_2^2	...	R_n^2
D13	R_0^1	R_1^1	R_2^1	...	R_n^1
D12	R_0^0	R_1^0	R_2^0	...	R_n^0
D11	G_0^3	G_1^3	G_2^3	...	G_n^3
D10	G_0^2	G_1^2	G_2^2	...	G_n^2
D9	G_0^1	G_1^1	G_2^1	...	G_n^1
D8	G_0^0	G_1^0	G_2^0	...	G_n^0
D7	B_0^3	B_1^3	B_2^3	...	B_n^3
D6	B_0^2	B_1^2	B_2^2	...	B_n^2
D5	B_0^1	B_1^1	B_2^1	...	B_n^1
D4	B_0^0	B_1^0	B_2^0	...	B_n^0
D3	-	-	-	...	-
D2	-	-	-	...	-
D1	-	-	-	...	-
D0	-	-	-	...	-

20.4.4 16ビットシリアル (RGB 4:4:4、MSB使用) のデータフォーマット

LCD2、16ビットシリアルインタフェースのLCDパネル：RGB 4:4:4、MSB使用
(REG[005Ch]ビット7=1かつREG[005Ch]ビット3~2=01)

表20.18 16ビットシリアル (RGB 4:4:4、MSB使用) のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D15	R_0^5	R_1^5	R_2^5	...	R_n^5
D14	R_0^4	R_1^4	R_2^4	...	R_n^4
D13	R_0^3	R_1^3	R_2^3	...	R_n^3
D12	R_0^2	R_1^2	R_2^2	...	R_n^2
D11	G_0^5	G_1^5	G_2^5	...	G_n^5
D10	G_0^4	G_1^4	G_2^4	...	G_n^4
D9	G_0^3	G_1^3	G_2^3	...	G_n^3
D8	G_0^2	G_1^2	G_2^2	...	G_n^2
D7	B_0^5	B_1^5	B_2^5	...	B_n^5
D6	B_0^4	B_1^4	B_2^4	...	B_n^4
D5	B_0^3	B_1^3	B_2^3	...	B_n^3
D4	B_0^2	B_1^2	B_2^2	...	B_n^2
D3	-	-	-	...	-
D2	-	-	-	...	-
D1	-	-	-	...	-
D0	-	-	-	...	-

20. LCDパネルインタフェース

20.4.5 16ビットシリアル (RGB 5:6:5) のデータフォーマット

LCD2、16ビットシリアルインタフェースのLCDパネル：RGB 5:6:5 (REG[005Ch]
ビット7 = 1かつREG[005Ch]ビット3 ~ 2 = 10)

表20.19 16ビットシリアル (RGB 5:6:5) のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D15	R_0^5	R_1^5	R_2^5	...	R_n^5
D14	R_0^4	R_1^4	R_2^4	...	R_n^4
D13	R_0^3	R_1^3	R_2^3	...	R_n^3
D12	R_0^2	R_1^2	R_2^2	...	R_n^2
D11	R_0^1	R_1^1	R_2^1	...	R_n^1
D10	G_0^5	G_1^5	G_2^5	...	G_n^5
D9	G_0^4	G_1^4	G_2^4	...	G_n^4
D8	G_0^3	G_1^3	G_2^3	...	G_n^3
D7	G_0^2	G_1^2	G_2^2	...	G_n^2
D6	G_0^1	G_1^1	G_2^1	...	G_n^1
D5	G_0^0	G_1^0	G_2^0	...	G_n^0
D4	B_0^5	B_1^5	B_2^5	...	B_n^5
D3	B_0^4	B_1^4	B_2^4	...	B_n^4
D2	B_0^3	B_1^3	B_2^3	...	B_n^3
D1	B_0^2	B_1^2	B_2^2	...	B_n^2
D0	B_0^1	B_1^1	B_2^1	...	B_n^1

20.4.6 18ビットシリアル (RGB 6:6:6) のデータフォーマット

LCD2、18ビットシリアルインタフェースのLCDパネル：RGB 6:6:6 (REG[005Ch]ビット7=1かつREG[005Ch]ビット3~2=11)

表20.20 18ビットシリアル (RGB 6:6:6) のデータフォーマット

サイクルカウント	1	2	3	...	n+1
D17	R_0^5	R_1^5	R_2^5	...	R_n^5
D16	R_0^4	R_1^4	R_2^4	...	R_n^4
D15	R_0^3	R_1^3	R_2^3	...	R_n^3
D14	R_0^2	R_1^2	R_2^2	...	R_n^2
D13	R_0^1	R_1^1	R_2^1	...	R_n^1
D12	R_0^0	R_1^0	R_2^0	...	R_n^0
D11	G_0^5	G_1^5	G_2^5	...	G_n^5
D10	G_0^4	G_1^4	G_2^4	...	G_n^4
D9	G_0^3	G_1^3	G_2^3	...	G_n^3
D8	G_0^2	G_1^2	G_2^2	...	G_n^2
D7	G_0^1	G_1^1	G_2^1	...	G_n^1
D6	G_0^0	G_1^0	G_2^0	...	G_n^0
D5	B_0^5	B_1^5	B_2^5	...	B_n^5
D4	B_0^4	B_1^4	B_2^4	...	B_n^4
D3	B_0^3	B_1^3	B_2^3	...	B_n^3
D2	B_0^2	B_1^2	B_2^2	...	B_n^2
D1	B_0^1	B_1^1	B_2^1	...	B_n^1
D0	B_0^0	B_1^0	B_2^0	...	B_n^0

20. LCDパネルインタフェース

20.5 LCDバイパス機能

S1D13719のLCDバイパス機能は、ホストCPUがLCDパネルに直接アクセスできる機能です。この機能をイネーブルすると、ホストCPUからのLCD制御信号はS1D13719をバイパスします（S1D13719はタイミング処理を行いません）。LCD1とLCD2の平行またはシリアルインタフェースパネルのいずれにおいてもバイパスモードが使用できます。

20.5.1 シリアルインタフェースのLCDバイパス

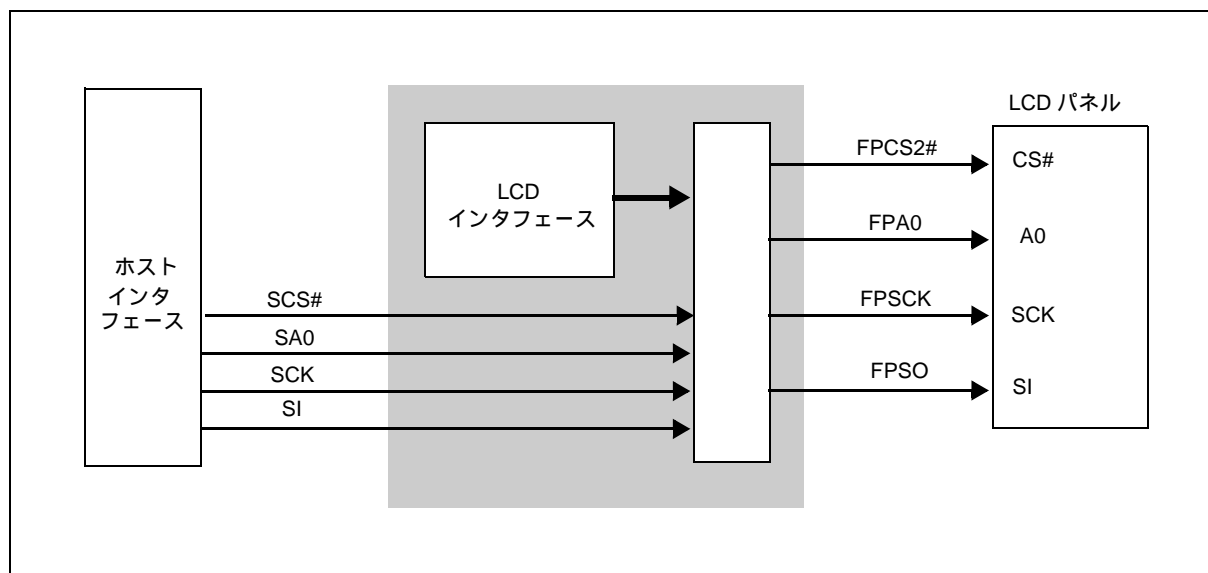


図20.2 シリアルインタフェースのLCDバイパス

LCD2、シリアルインタフェースLCDパネル：モードA（REG[0014h]ビット12～8＝10100）

LCD1、シリアルインタフェースLCDパネル：モードB（REG[0014h]ビット12～8＝10110）

表20.21 シリアルインタフェースのLCDバイパス

モード	パネル	SCS#	SCK	SA0	SI
A	LCD2	FPCS2#	FPSCK	FPA0	FPSO
B	LCD1	FPCS1#	FPSCK	FPA0	FPSO

20.5.2 パラレルインタフェースのLCDパイパス

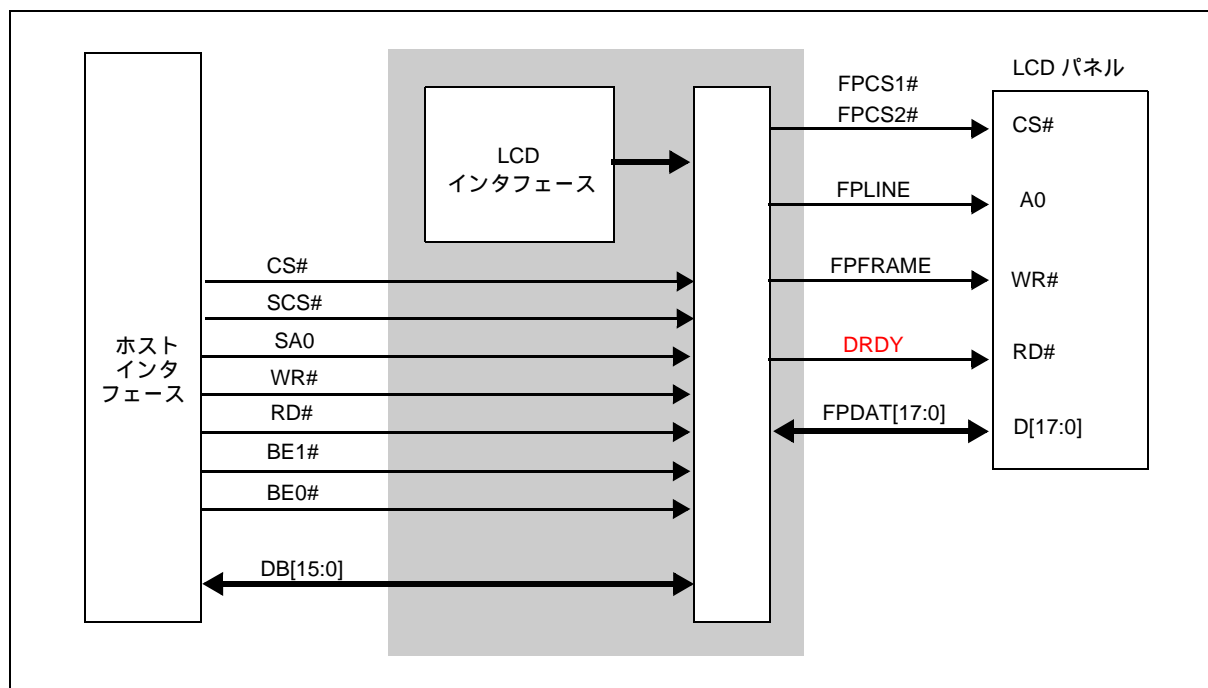


図20.3 パラレルインタフェースのLCDパイパス

LCD1、パラレルインタフェースLCDパネル：モードC (REG[0014h]ビット12～8 = 10010)

LCD1、パラレルインタフェースLCDパネル：モードD (REG[0014h]ビット12～8 = 10011)

LCD1、パラレルインタフェースLCDパネル：モードE (REG[0014h]ビット12～8 = 11011)

LCD2、パラレルインタフェースLCDパネル：モードF (REG[0014h]ビット12～8 = 10000)

LCD2、パラレルインタフェースLCDパネル：モードG (REG[0014h]ビット12～8 = 10001)

LCD2、パラレルインタフェースLCDパネル：モードH (REG[0014h]ビット12～8 = 11001)

表20.22 パラレルインタフェースのLCDパイパス

モード	パネル	SCS#	SA0	書き込み	読み出し	DB[15:0]
C	LCD1	FPCS1#	FPLINE	FPFRAME	DRDY	FPDAT[15:0]
D	LCD1	FPCS1#	FPLINE	FPFRAME	DRDY	FPDAT[17:13]、FPDAT[11:1]
E	LCD1	FPCS1#	FPLINE	FPFRAME	DRDY	FPDAT[17:10]、FPDAT[8:1]
F	LCD2	FPCS2#	FPLINE	FPFRAME	DRDY	FPDAT[15:0]
G	LCD2	FPCS2#	FPLINE	FPFRAME	DRDY	FPDAT[17:13]、FPDAT[11:1]
H	LCD2	FPCS2#	FPLINE	FPFRAME	DRDY	FPDAT[17:10]、FPDAT[8:1]

20. LCDパネルインタフェース

20.5.3 パラレルLCDパイバスの方向

LCD、パラレルインタフェースLCDパネル：書き込みモード（REG[0014h]ビット13=0）

LCD、パラレルインタフェースLCDパネル：読み出しモード（REG[0014h]ビット13=1）

表20.23 パラレルLCDパイバスの方向

方向	モード	SCS#	SA0	WR#	RD#	DB[15:0]
C-H	書き込み	入力	入力	入力	入力	入力
C-H	読み出し	入力	入力	入力	入力	出力

21. カメラインタフェース

21.1 カメラ入力データ

S1D13719は最大1280×1024 (SXGA) のサイズのカメラモジュールが扱えます。カメラインタフェースは8/16ビットのデータバスを備え、カメラクロックと同期したYUV 4:2:2フォーマットの画像データを受信します。

S1D13719は2ポートのカメラインタフェースを備えていますが、一度に使用できるカメラは1つだけです (Camera1の使用時にはCamera2が使用できません)。

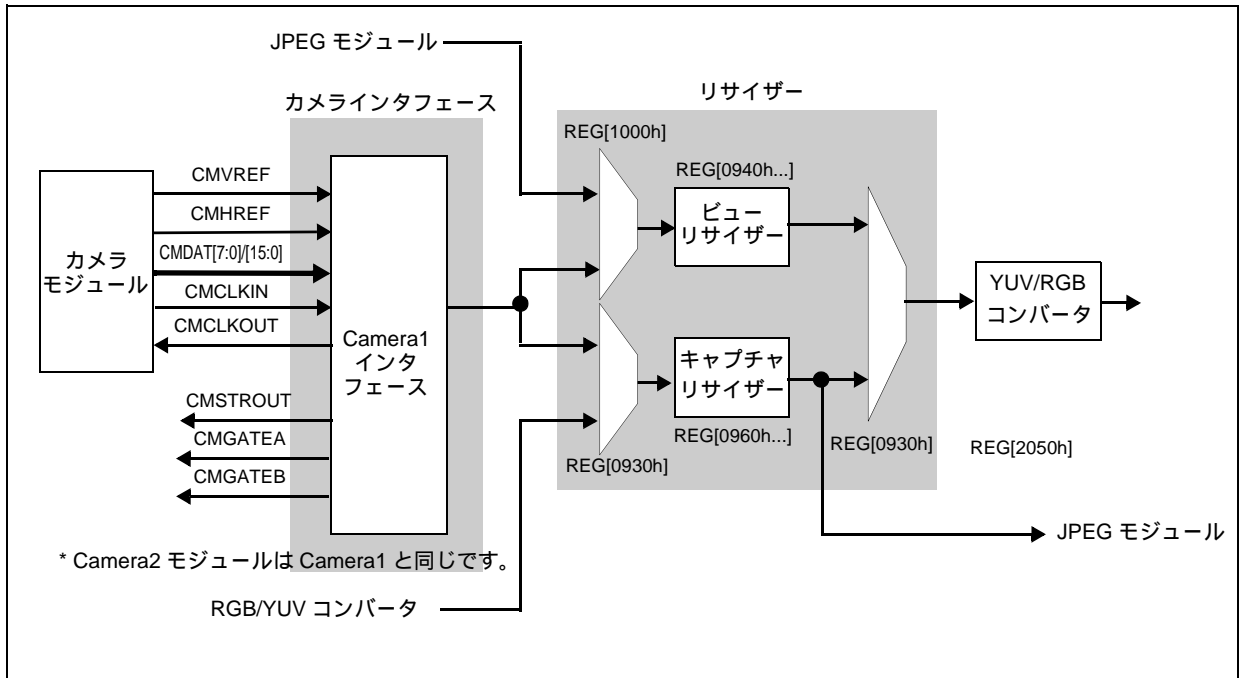


図21.1 カメラインタフェース

S1D13719がサポートする具体的なカメラ特性については、101ページの7.5「カメラインタフェースタイミング」に記載したACタイミングの説明をご覧ください。

21. カメラインタフェース

21.1.1 JPEG使用時のカメラ画像表示

JPEG使用時、カメラ画像データはビューリサイザーによってサイズ変更が行われたのち、YUV/RGBコンバータによって表示用バッファに書き込まれます。LCDパネルへのカメラ画像表示は、レジスタ (REG[0930h]ビット1~0) の設定によってJPEG機能と同期できます。

21.1.2 JPEG符号化

JPEG符号化画像のデータはキャプチャリサイザーによってサイズ変更が行われたのち、JPEGラインバッファに書き込まれます。カメラ画像データのキャプチャ処理は、レジスタ (REG[098Ah]ビット0) の設定によって開始できます。

21.1.3 YUVデータ出力

YUVデータは、キャプチャリサイザーによってカメラ画像データのサイズ変更を行ったのち、JPEG FIFO経由でホストCPUに出力できます。YUVデータのフォーマットはREG[0980h]ビット3~1の設定によってYUV 4:2:2かYUV 4:2:0かが選択できます。

21.2 フレームキャプチャ割り込み

カメラ画像データのキャプチャ時に割り込みを生成させることができます。割り込みを生成するタイミングは、JPEGの開始またはストローブ出力と同期させることが可能です。

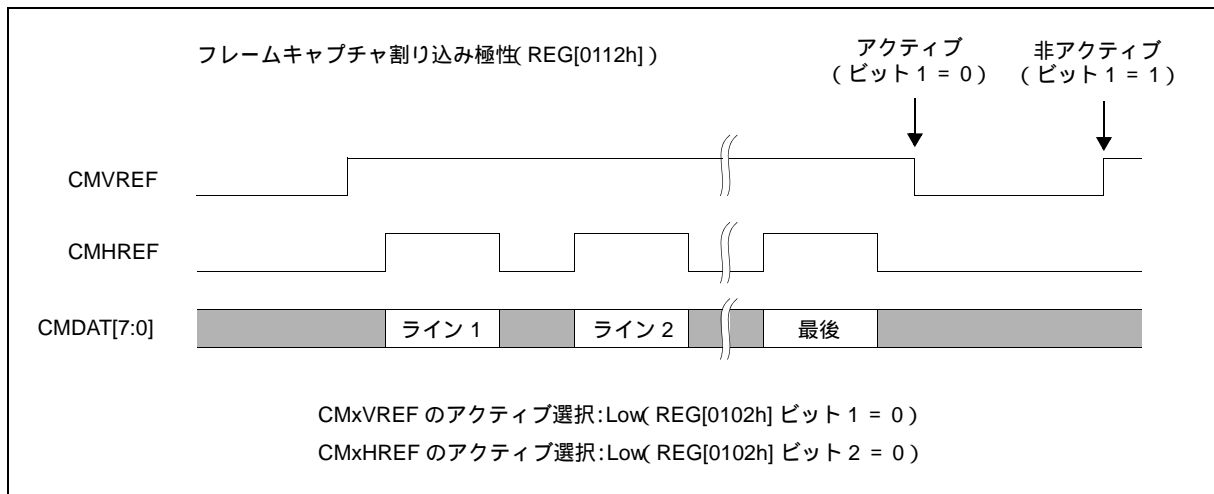


図21.2 フレームキャプチャ割り込み

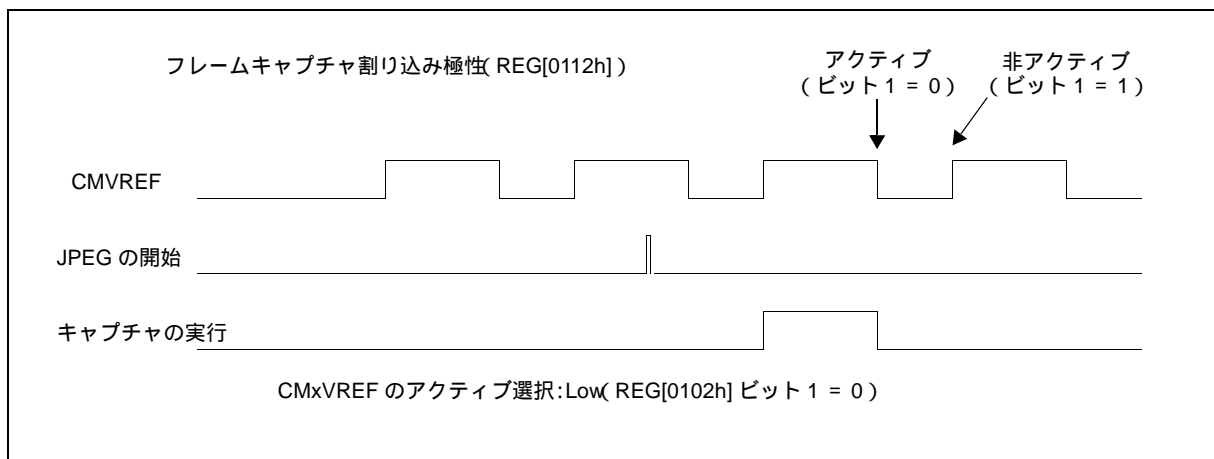


図21.3 フレームキャプチャ割り込み (JPEG符号化)

21. カメラインタフェース

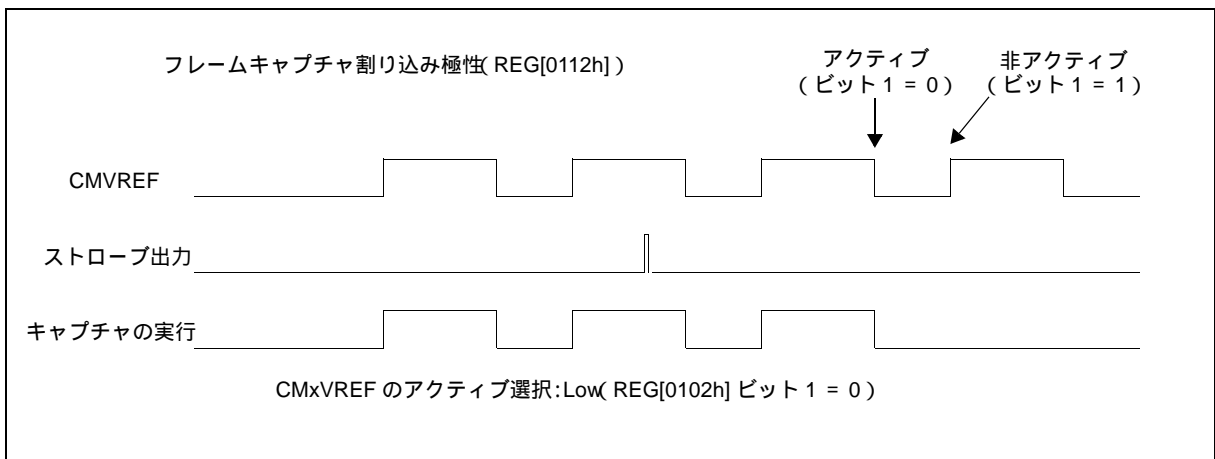


図21.4 フレームキャプチャ割り込み (ストロブ出力)

21.3 ストローブ制御信号

カメラインタフェースがイネーブルされている間はストローブ機能が使用できます。ストローブ制御信号は一般に外部カメラフラッシュまたはカメラデータを制御し、これをカメラインタフェースならびにJPEGエンコーダとともに使用することで、カメラフラッシュの消光後に最適なカメラ画像のキャプチャを行ったり、カメラデータの出力可能時に最適なカメラ画像の表示を行います。

ストローブ出力はREG[0120h]～REG[0124h]を用いて制御します。ストローブ制御信号の出力端子はCMSTROUTです。これはストローブポートイネーブルビット（REG[0124h]ビット3）を用いてイネーブルする必要があります。

21.3.1 ストローブパルスの生成

ストローブパルス（CMSTROUT）は以下に示す3つの方法で生成することができます。

JPEG符号化

1. カメラインタフェースを連続フレームキャプチャモード（REG[0112h]ビット6=0）にします。CMxVREF信号とCMxHREF信号の存在を確認します。ITU-R勧告BT656のデータフォーマットはディセーブルしてください（REG[0110h]ビット7=0とします）。
2. JPEGモジュールをイネーブル（REG[0980h]ビット0=1）したうえで、JPEG処理モードビット（REG[0980h]ビット3～1）を000（JPEG符号化）に設定します。関連するJPEGモジュールレジスタおよびJPEGコーデックレジスタの設定を行います。
3. ストローブライン遅延（REG[0120h]）、ストローブパルス幅（REG[0122h]）、ストローブアクティブ極性選択（REG[0124h]ビット1）およびストローブキャプチャ遅延制御（REG[0124h]ビット7～4）を設定します。
4. ストローブ制御信号の出力ポートをイネーブルします。これを行うにはストローブイネーブルビットを設定します（REG[0124h]ビット3=1）。
5. ストローブ信号（CMSTROUT）をイネーブルします。これを行うにはストローブポートイネーブルビットを設定します（REG[0124h]ビット0=1）。このビットは遅延値（REG[0124h]ビット7～4）の全期間にわたってイネーブルされることが必要です。ストローブイネーブルビットが0になるとストローブはただちにディセーブルされます。
6. ストローブ信号（CMSTROUT）を生成します。これを行うにはJPEG開始/停止制御ビットを1（REG[098Ah]ビット0=1）に設定してJPEG符号化を開始します。どのカメラフレームが符号化されるかは、上記ステップ3で設定したストローブキャプチャ遅延制御の値によって異なります。

新たなストローブ信号を生成するにはJPEGコーデックを事前に停止する（REG[098Ah]ビット0=0とする）ことが必要です。その後、ストローブパルスを改めて生成します。これを行うにはJPEG開始/停止制御ビットを1（REG[098Ah]ビット0=1）に設定します。

21. カメラインタフェース

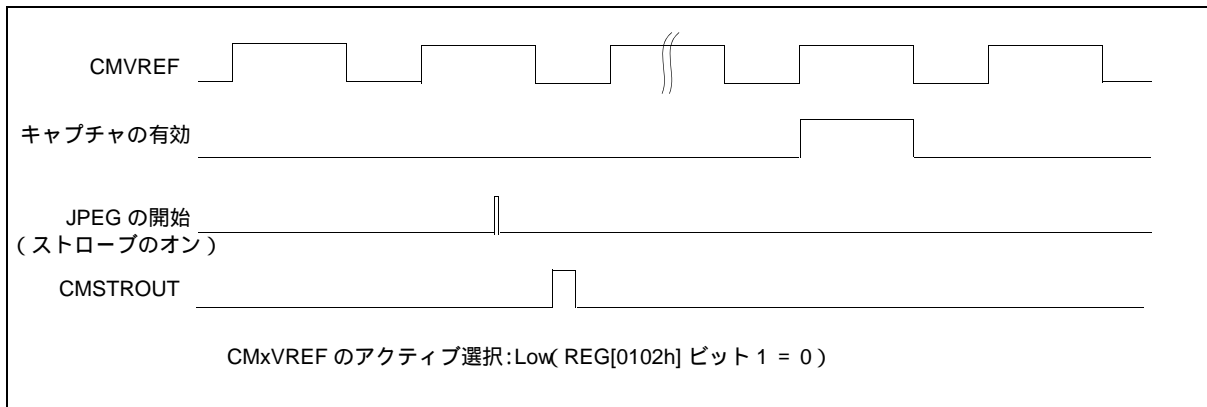


図21.5 ストロープ操作 (JPEG符号化の開始)

連続キャプチャモードにおけるキャプチャ処理の停止

1. カメラインタフェースを連続フレームキャプチャモード (REG[0112h]ビット6 = 0) にします。CMxVREF信号とCMxHREF信号の存在を確認します。ITU-R勧告BT656のデータフォーマットはディセーブルしてください (REG[0110h]ビット7 = 0とします)。
2. ストローブライン遅延 (REG[0120h])、ストローブパルス幅 (REG[0122h])、ストローブアクティブ極性選択 (REG[0124h]ビット1)、およびストローブキャプチャ遅延制御 (REG[0124h]ビット7~4) を設定します。
3. ストローブ制御信号の出力ポートをイネーブルします。これを行うにはストローブイネーブルビットを設定します (REG[0124h]ビット3 = 1)。
4. ストローブ信号 (CMSTROUT) をイネーブルします。これを行うにはカメラフレームキャプチャを停止します (REG[0114h]ビット3 = 1にします)。最後にキャプチャされるカメラフレームがどれになるかは、上記ステップ2で設定したストローブキャプチャ遅延制御の値によって決まります。

新たなストローブ信号を生成するにはJPEGコーデックを事前に停止する (REG[098Ah]ビット0 = 0とする) ことが必要です。その後、ストローブパルスを改めて生成します。これを行うにはJPEG開始/停止制御ビットを1 (REG[098Ah]ビット0 = 1) に設定します。

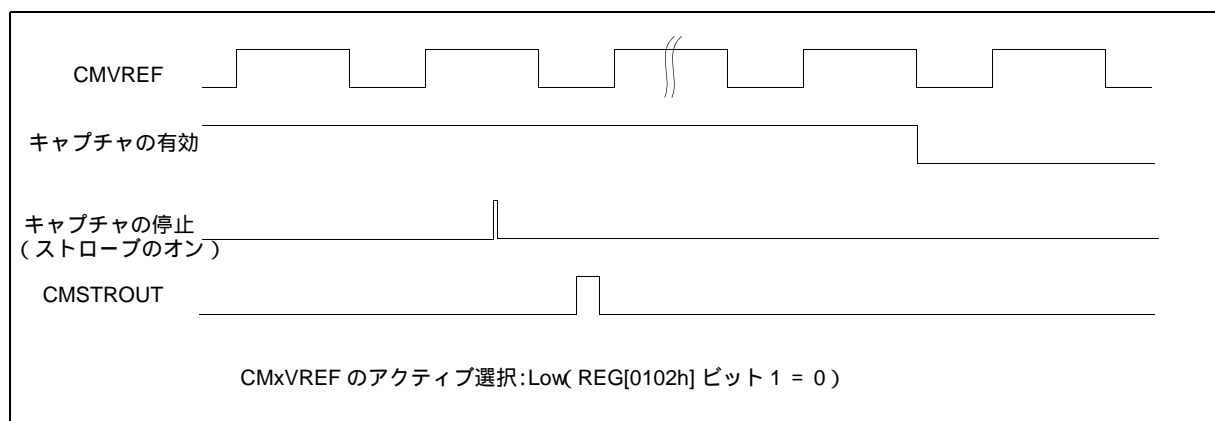


図21.6 ストローブ操作 (連続キャプチャの停止)

21. カメラインタフェース

シングルカメラフレームキャプチャ

1. カメラインタフェースをシングルフレームキャプチャモード(REG[0112h]ビット6 = 1)にします。CMxVREF信号とCMxHREF信号の存在を確認します。ITU-R勧告BT656のデータフォーマットはディセーブルしてください(REG[0110h]ビット7 = 0とします)。
2. ストローブライン遅延(REG[0120h])、ストローブパルス幅(REG[0122h])、ストローブアクティブ極性選択(REG[0124h]ビット1) およびストローブキャプチャ遅延制御(REG[0124h]ビット7~4)を設定します。
3. ストローブ制御信号の出力ポートをイネーブルします。これを行うにはストローブイネーブルビットを設定します(REG[0124h]ビット3 = 1)。
4. ストローブ信号(CMSTROUT)をイネーブルします。これを行うにはカメラフレームのキャプチャを開始します(REG[0114h]ビット2 = 1にします)。キャプチャされるカメラフレームはストローブ信号発生直後のものであり、上記ステップ2で設定したストローブキャプチャ遅延制御の値には依存しません。

新たなストローブ信号を生成するにはJPEGコーデックを事前に停止する(REG[098Ah]ビット0 = 0とする)ことが必要です。その後、ストローブパルスを改めて生成します。これを行うにはJPEG開始/停止制御ビットを1(REG[098Ah]ビット0 = 1)に設定します。

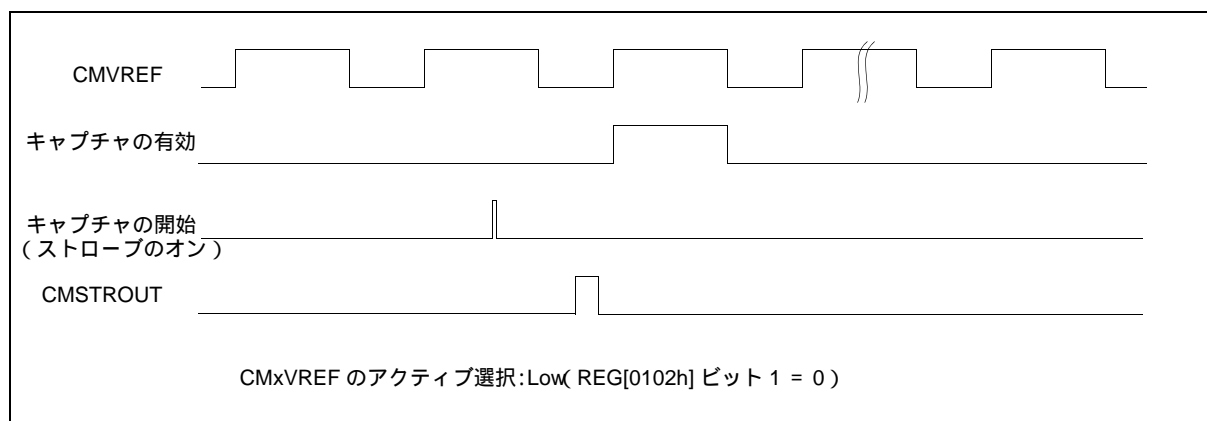


図21.7 ストローブ操作 (シングルフレームキャプチャ)

21.3.2 ストローブに関するタイミング

ストローブパルス (CMSTROUT) は、CMxVREFの生成後に生じるCMxHREFの立ち下がリエッジにおいて開始されます。開始までの時間はストローブライン遅延ビット (REG[0120h]ビット15~0) によって指定します。遅延がゼロ (REG[0120h]ビット15~0=0000) のとき、ストローブパルス (CMSTROUT) はCMxVREFの生成後に来る最初のCMxHREFの立ち下がリエッジにおいて開始されます。

注

ライン遅延とパルス幅はいずれもHREFの数によって指定されます。そのため、HREF信号が停止すると本質的な遅延が生じます。ライン遅延とパルス幅のレジスタ (REG[0120h]とREG[0122h]) の設定時には、この本質的遅延を考慮に入れてください。

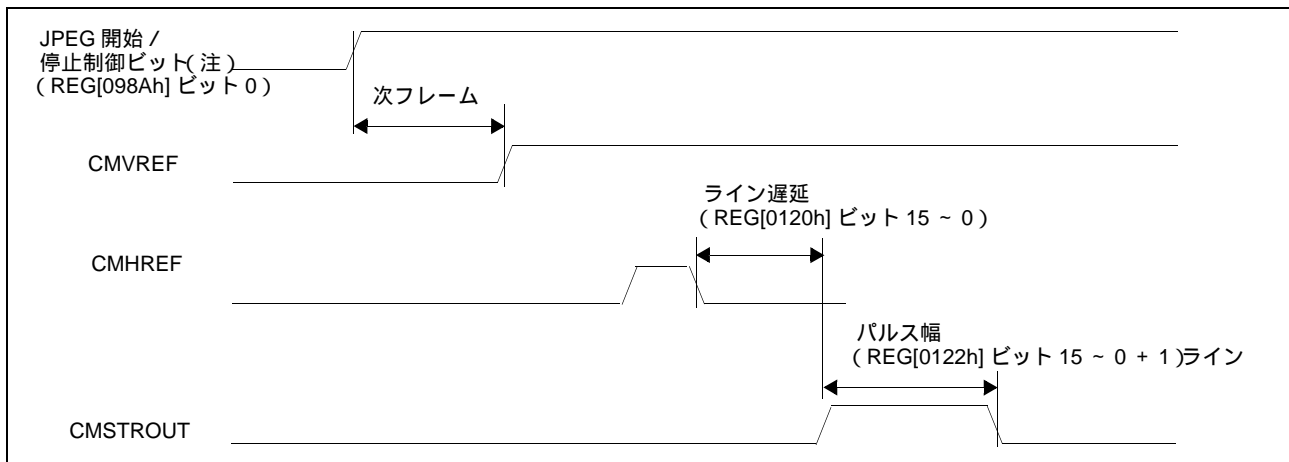


図21.8 ストローブ信号の出力タイミング

注

ライン遅延 (REG[0120h]ビット15~0) およびパルス幅 (REG[0122h]ビット15~0) はCMxVREF信号の周期より大きい値に設定することができます。

22. SDカードインタフェース

22. SDカードインタフェース

S1D13719のSDカードインタフェースは、SDメモリカード物理層規格のバージョン1.0に準拠しています。1ビットまたは4ビットのインタフェースが選択できます。SDカードインタフェースの実行部は、SPIモードおよびハードウェアセキュリティ機能をサポートしていません。

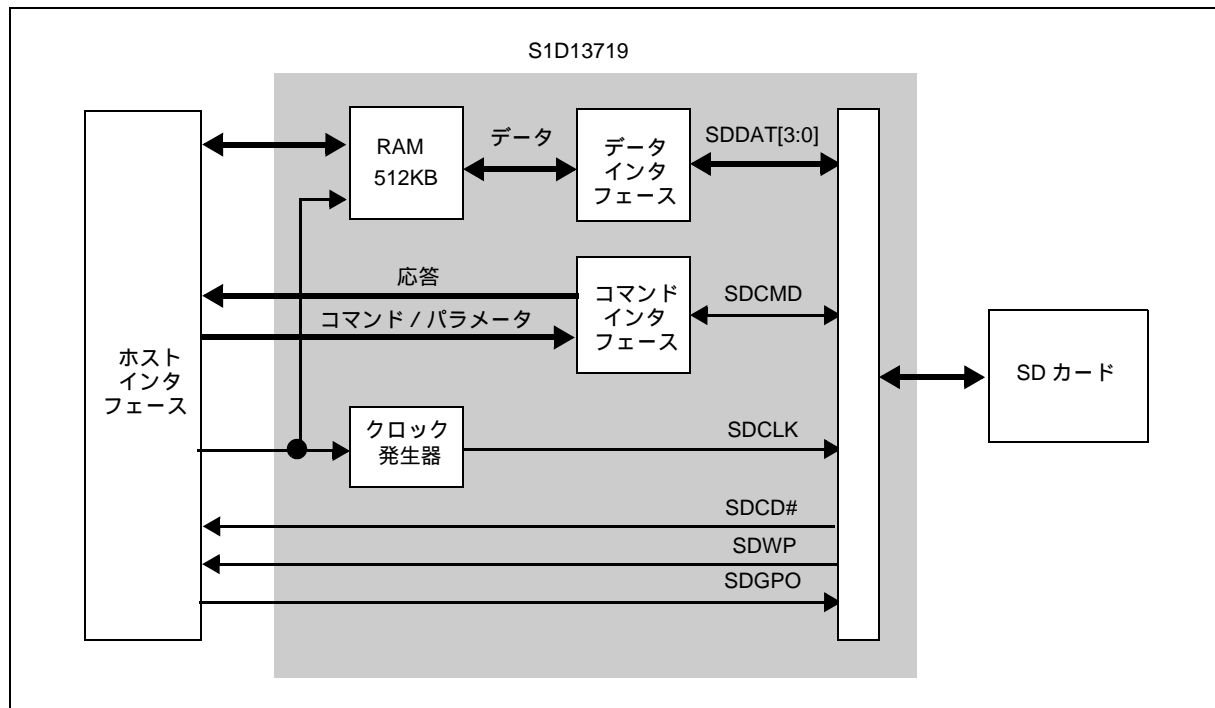


図22.1 SDカードインタフェースのブロック図

22.1 インタフェースコマンド

SDカードインタフェースでは次に示す8つのコマンドが使用できます。

コマンド送信

コマンドストリームをSDCMD端子に送出します。コマンドストリームは、コマンドレジスタ (REG[610Ch]) およびパラメータレジスタ (REG[6110h] ~ REG[6116h]) の内容で構成されます。

応答受信

SDCMD端子から送られる応答ストリームの受信を開始します。応答ストリームの長さには2種類あります (48ビットと136ビット)。応答データは応答ストリーム長に応じて応答レジスタ (REG[6120h] ~ REG[613Eh]) に書き込まれます。

ビジー待ち

データ端子 (SDDAT[3:0]) が使用可能になるまで待機します。

データ受信

SDDAT[3:0]端子から送られるデータストリームを受信します。データを受信するとメモリに書き込まれます。受信するデータのデータ長は、SD Memory Card Data Lengthレジスタ (REG[6108h] ~ REG[610Ah]) を用いて1 ~ 512の範囲で設定できます。

データ送信

メモリからSDDAT[3:0]端子に向けてデータストリームを送信します。送信するデータのデータ長は、SD Memory Card Data Lengthレジスタ (REG[6108h] ~ REG[610Ah]) を用いて1 ~ 512の範囲で設定できます。

SDCLK変更

SDCLK端子に対して新しいクロック周波数の設定を行います (REG[6104h]ビット7を参照)。

8クロック送信

SDCLK端子からおよそ8つのクロックが送信されます。

同期リセット

SDカードインタフェースの同期リセットを実行します。この機能については、REG[6104h]ビット0の説明をご覧ください。

22. SDカードインタフェース

22.2 端子の機能

SDカードインタフェースは次に示す9つの端子を使用します。SDカードインタフェースの端子はGPIO[19:11]端子と共用されます。端子配置については、42ページの5.8「SDカードインタフェースの端子割り付け」をご覧ください。

SDカード用データIO[3:0]

この4端子（SDDAT[3:0]）はSDカード用のデータIOバスです。

SDカード用コマンドIO

この端子（SDCMD）は、コマンドまたは応答のシリアルデータストリームに対応するIO端子です。

SDカード用クロック出力

この端子（SDCLK）はSDカード用のクロック信号を出力します。

カード検出

この端子（SDCD#）はSDカードの挿入の有無を検出します。この端子の状態はSDカード割り込みを用いて知ることができます。

書き込み保護

この端子（SDWP）はSDカードの書き込み保護の有無を検出します。

汎用出力

この端子（SDGPO）は外部プルアップ（SDCD#またはSDWP）のオン・オフまたはLEDに対して使用できます。

23. 汎用IO端子

23.1 IOセルの構造

GPIO端子はREG[0300h]とREG[0302h]のレジスタを用いて入力端子か出力端子のいずれかに設定できます。リセット時にはすべてのGPIO端子が入力に設定され、プルダウン抵抗はイネーブルされます。この抵抗はREG[0308h]とREG[030Ah]を用いて制御されます。

注

GPIOレジスタ(REG[0300h] ~ REG[030Fh])は非同期のため、パワーセーブモードがイネーブルされている間もアクセスできます。

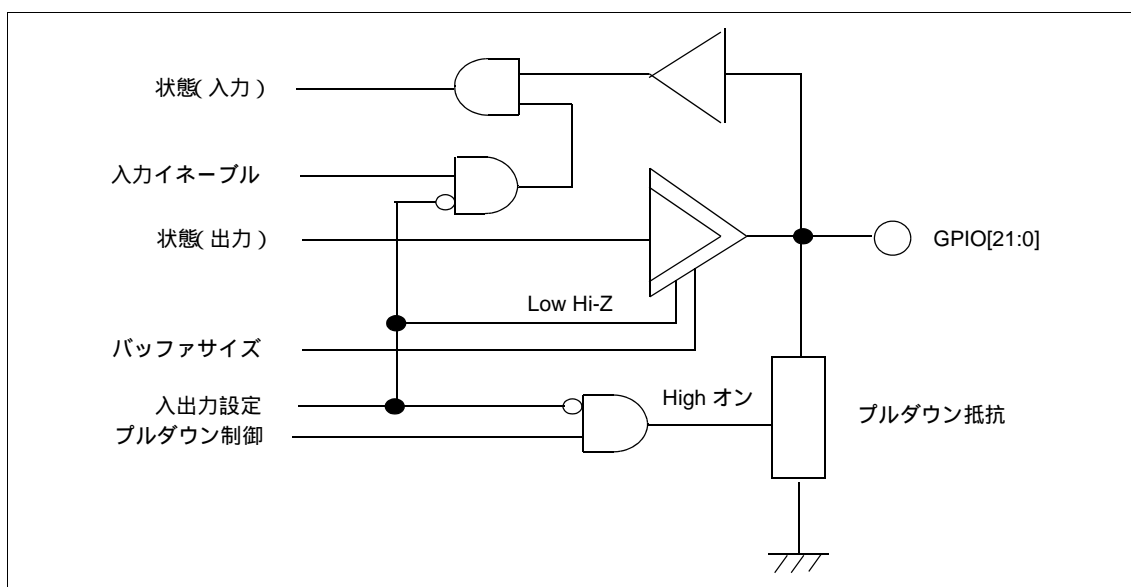


図23.1 IOセルの構造

23.2 電源に関する注意事項

GPIOのIOバッファはPIOVDDに接続されます。

注

PIOVDDはパネルインタフェースとGPIO端子の両方に使用されます。

24. メカニカルデータ

24. メカニカルデータ

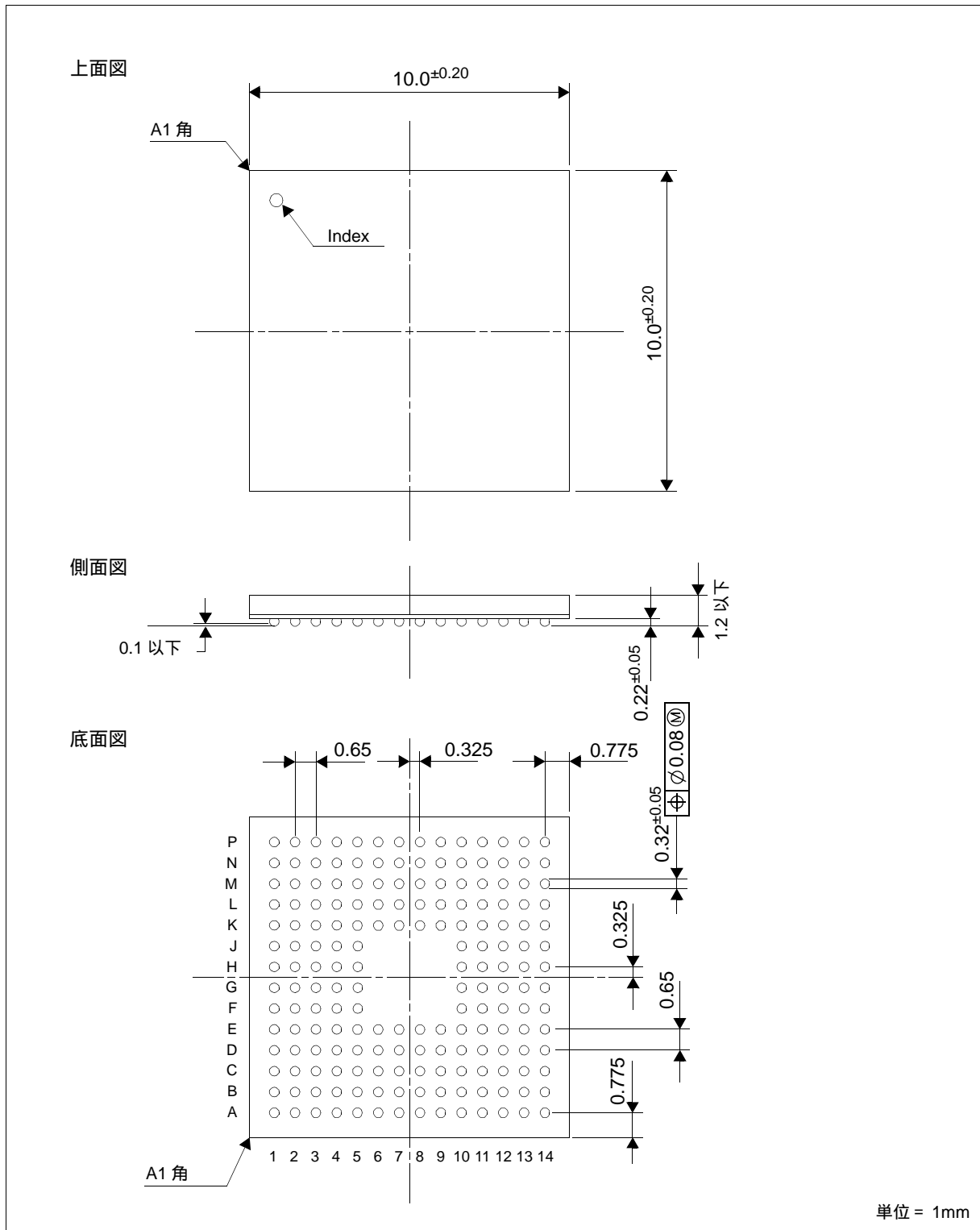


図24.1 S1D13719 PFBGA 180ピンパッケージ

25. 参考資料

以下の文書には、S1D13719に関する付加情報が記載されています。文書番号は、文書名の後の括弧内に記載しています。すべての文献はEpson Research and Developmentウェブサイト www.erd.epson.com でご覧いただけます。

- 『S1D13719 Product Brief (S1D13719の製品概要)』 (X59A-C-001-xx)

改訂履歴表

改訂履歴表

Rev. No.	日付	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev. 1.02	2004/4/20	全ページ	新規	新規制定
Rev. 1.4	2010/1/18	全ページ	-	前リビジョンからの変更内容を赤字で示します。
		P1	変更	1.1 適用範囲 記述を変更。
		P9	削除	2.15 クロック 内蔵発振器の記述を削除。
		P9	追加	2.18 パッケージ 208ピンのQFPパッケージを追加。
		全ページ	変更	「FPDRDY」を「DRDY」に変更。
		P17	変更	5.1 端子配置図（PFBGA-180） 表5.1のH11端子を「CM1VREF」から「CM1HREF」に変更。
		P20	追加	5.3 端子配置図（QFP8-208）を追加。
		P43	削除	6. DC特性 OSCVDDの記述を削除。
		P52	追加	7.2.1 パワーオンシーケンス 図7.4にCLKIを、表7.5に注1を追加。
		P53-P54	追加	7.3.1 ダイレクト80タイプ1 表7.7、表7.8に1.8Vの欄を追加。
		P58	追加	7.3.2 ダイレクト80タイプ2 表7.16、表7.18を追加。
		P112	削除	9.2.1 システムクロック 内蔵発振器の記述を削除。
		P483	追加	24. メカニカルデータ 図24.3を追加。
Rev.1.5	2012/2/14	全ページ	削除	FCBGAパッケージを削除
		全ページ	削除	QFPパッケージを削除

セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411352403
2004年4月 作成
2012年2月 改訂