

Embedded Memory LCD
コントローラ
S1D13706シリーズ
テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告無く変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性値の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

目次

1.	はじめに	1
1.1	適用範囲	1
1.2	概要	1
2.	特長	2
2.1	統合フレームバッファ	2
2.2	CPUインタフェース	2
2.3	ディスプレイのサポート	2
2.4	表示モード	2
2.5	表示特長	3
2.6	クロックソース	3
2.7	その他	3
3.	システム構成図	4
4.	端子構成	9
4.1	端子配置図：TQFP15 - 100ピン	9
4.2	端子配置図：Die Form	10
4.3	端子説明	12
4.3.1	ホストインタフェース	12
4.3.2	LCDインタフェース	16
4.3.3	クロック入力	18
4.3.4	その他	18
4.3.5	電源およびグラウンド	18
4.4	構成オプション一覧	19
4.5	ホストバスインタフェースピンマッピング	20
4.6	LCDインタフェースピンマッピング	21
5.	DC特性	22
6.	AC特性	24
6.1	クロックタイミング	24
6.1.1	入力クロック	24
6.1.2	内部クロック	26
6.2	CPUインタフェースタイミング	27
6.2.1	汎用#1インタフェースタイミング	27
6.2.2	汎用#2インタフェースタイミング（例: ISA）	29
6.2.3	日立SH-4 インタフェースタイミング	31
6.2.4	日立SH-3インタフェースタイミング	33
6.2.5	モトローラMC68K#1インタフェースタイミング（例: MC68000）	35
6.2.6	モトローラMC68K#2インタフェースタイミング（例: MC68030）	37

6.2.7	モトローラREDCAP2インタフェースタイミング	39
6.2.8	DTACK付きモトローラDragonBallインタフェースタイミング (例: MC68EZ328/MC68VZ328)	41
6.2.9	DTACKなしモトローラDragonBallインタフェースタイミング (例: MC68EZ328/MC68VZ328)	43
6.3	LCD電源シーケンス	46
6.3.1	パッシブ/TFT電源投入シーケンス	46
6.3.2	パッシブ/TFT電源切断シーケンス	47
6.4	LCDインタフェース	48
6.4.1	汎用STNパネルタイミング	49
6.4.2	4ビットシングルモノクロパネルタイミング	51
6.4.3	8ビットシングルモノクロパネルタイミング	53
6.4.4	4ビットシングルカラーパネルタイミング	55
6.4.5	8ビットシングルカラーパネルタイミング (Format 1)	57
6.4.6	8ビットシングルカラーパネルタイミング (Format 2)	59
6.4.7	16ビットシングルカラーパネルタイミング	61
6.4.8	汎用TFTパネルタイミング	63
6.4.9	9/12/18ビットTFTパネルタイミング	64
6.4.10	160×160シャープ「ダイレクト」HR-TFTパネルタイミング (例: LQ031B1DDxx)	67
6.4.11	320×240シャープ「ダイレクト」HR-TFTパネルタイミング (例: LQ039Q2DS01)	71
6.4.12	160×240エプソンD-TFDパネルタイミング (例: LF26SCR)	73
6.4.13	320×240エプソンD-TFDパネルタイミング (例: LF37SQR)	77
7.	クロック	81
7.1	クロック説明	81
7.1.1	BCLK	81
7.1.2	MCLK	81
7.1.3	PCLK	82
7.1.4	PWMCLK	83
7.2	クロック選択	84
7.3	クロックと機能	85
8.	レジスタ	86
8.1	レジスタマッピング	86
8.2	レジスタセット	86
8.3	レジスタ説明	88
8.3.1	読み出し専用設定レジスタ	88
8.3.2	クロック構成レジスタ	89
8.3.3	ルックアップテーブルレジスタ	91
8.3.4	パネル設定レジスタ	94

8.3.5	表示モードレジスタ	101
8.3.6	Picture-in-Picture Plus (PIP ⁺) レジスタ	107
8.3.7	その他のレジスタ	113
8.3.8	汎用IO端子レジスタ	116
8.3.9	パルス幅変調 (PWM) クロック/コントラスト電圧 (CV) パルス設定レジスタ	120
9.	フレームレートの計算	124
10.	表示データ形式	125
11.	ルックアップテーブルの構造	126
11.1	モノクロモード	126
11.2	カラー表示モード	128
12.	SwivelView™	132
12.1	概念	132
12.2	90° SwivelView™	132
12.2.1	レジスタの設定	133
12.3	180° SwivelView™	134
12.3.1	レジスタの設定	134
12.4	270° SwivelView™	135
12.4.1	レジスタの設定	136
13.	Picture-in-Picture Plus (PIP+)	137
13.1	概念	137
13.2	SwivelViewをイネーブルにした場合のPicture-in-Picture Plus	138
13.2.1	SwivelView 90°	138
13.2.2	SwivelView 180°	138
13.2.3	SwivelView 270°	139
14.	ビッグエンディアンバスインタフェース	140
14.1	バイトスワッピングバスデータ	140
14.1.1	16bppの色深度	141
14.1.2	1/2/4/8bppの色深度	142
15.	パワーセーブモード	143
16.	メカニカルデータ	144
17.	参考資料	145
18.	販売およびテクニカルサポート	146

1. はじめに

1.1 適用範囲

本書は、S1D13706 Embedded Memory LCDコントローラチップのテクニカルマニュアルです。本書には、タイミング図、ACおよびDC特性、レジスタの説明、および電力管理の説明などが記載されています。本書は、ビデオサブシステム設計者とソフトウェア開発者を対象としています。

S1D13706に関するその他の文書については、145ページの17.「参考資料」をご覧ください。

本書は適宜改訂されています。開発を開始する前に本書の最新版がないかどうか確認してください。最新版は、www.erd.epson.comからダウンロードできます。

本書に関するご意見やご要望がございましたら、documentation@erd.epson.comまでお寄せください。

1.2 概要

S1D13706は、埋め込み型80KB SRAMディスプレイバッファ付きカラー/モノクロLCDグラフィックスコントローラです。S1D13706は他のパネルタイプをすべてサポートする一方で、エプソンD-TFDとシャープHR-TFT製品ファミリの両方に直接インタフェースをとる唯一のLCDコントローラです。そのため、外部タイミングコントロールICを不要にします。この高レベルな集積化によって、低コスト・低電力のシングルチップソリューションを提供し、ボードサイズやバッテリーの寿命が重要視されるモバイル通信機器やパームサイズPCなどの埋め込み市場の要求に応えます。

S1D13706は、確実なローレイテンシCPUアーキテクチャを活用して、READY/WAIT#ハンドシェイク信号を備えていないマイクロプロセッサをサポートします。32ビット内部データパス、書き込みバッファ、およびハードウェアアクセラレータエンジンは、表示メモリに高帯域幅を提供し、高速の画面更新を可能にしています。

さらに、回転表示を必要とする製品は、ソフトウェアアプリケーション側は意識しないで表示メモリのハードウェア回転を実現するSwivelView™機能を利用することができます。S1D13706は、また「Picture-in-Picture Plus」（可変サイズオーバーレイウィンドウ）にも対応しています。

S1D13706は、その一体型USBクライアントにより、Palm OS®ハンドヘルド機器の優れたサポートを提供します。また、S1D13706は、CPUタイプにもオペレーティングシステムにも依存せず、各種アプリケーションに最適な表示ソリューションを実現します。

2. 特長

2. 特長

2.1 統合フレームバッファ

- 80KB内蔵SRAMディスプレイバッファ

2.2 CPUインタフェース

- 以下のインタフェースを直接サポートしています:
WAIT# 信号を使用する汎用MPUバスインタフェース
日立SH-3
日立SH-4
モトローラM68K
モトローラMC68EZ328/MC68VZ328 DragonBall
モトローラ“REDCAP2” : WAIT# 信号なし
- 「グルーロジック」により8ビットプロセッサに対応
- 「固定」ローレイテンシCPU アクセス時間
- メモリマップドレジスタ (M/R# の入力によりメモリまたはレジスタアドレス空間を選択)
- 17ビットアドレスバスによりすべての80KBディスプレイバッファを直接かつ連続して使用可能
- シングルレベルCPU 書込みバッファ

2.3 ディ스플레이のサポート

- シングルパネル、シングルドライブパッシブディスプレイ
 - 4/8ビットモノクロLCDインタフェース
 - 4/8/16ビットカラーLCDインタフェース
- アクティブマトリックスTFTインタフェース
 - 9/12/18ビットインタフェース
- 18ビットエプソンD-TFDインタフェースを直接サポート
- 18ビットシャープHR-TFTインタフェースを直接サポート

2.4 表示モード

- 1/2/4/8/16ビット/ピクセル (bpp) の階調をサポート
- フレームレート変調 (FRM) やディザを使用したモノクロパッシブLCDパネルで最大64階調
- パッシブSTNパネルで最大65536色
- アクティブマトリクス型LCDパネルで最大65536色
- 解像度の例:
 - 色深度8bppで320×240
 - 色深度16bppで160×160
 - 色深度16bppで160×240

2.5 表示特長

- SwivelView™:ポータレートモード表示では、表示画面を90°ハードウェア回転
- Picture-in-Picture Plus: 背景イメージにオーバーレイされた可変サイズウィンドウを表示
- ダブルバッファリング/マルチページ: 動きのスムーズな動画を提供し、画面の更新が瞬時に可能

2.6 クロックソース

- 2つのクロック入力(CLK1とCLKI2)。クロック入力を1つだけ使用することも可能です。
- バスクロックは、CLKIから得た場合、内部で2、3、4で分周することができます。
- メモリクロックはバスクロックから得られます。これは、内部で2、3、4で分周することができます。
- ピクセルクロックは、CLKI、CLKI2、バスクロック、あるいはメモリクロックから得ることができます。これは、内部で2、3、4、8で分周することができます。

2.7 その他

- ハードウェア/ソフトウェア反転表示
- ソフトウェアパワーセーブモード
- 汎用入出力ピンを使用可能
- 100ピンTQFP15表面実装パッケージ
- 104ピンCFLGAセラミックパッケージ
- Die Form対応可能

3. システム構成図

3. システム構成図

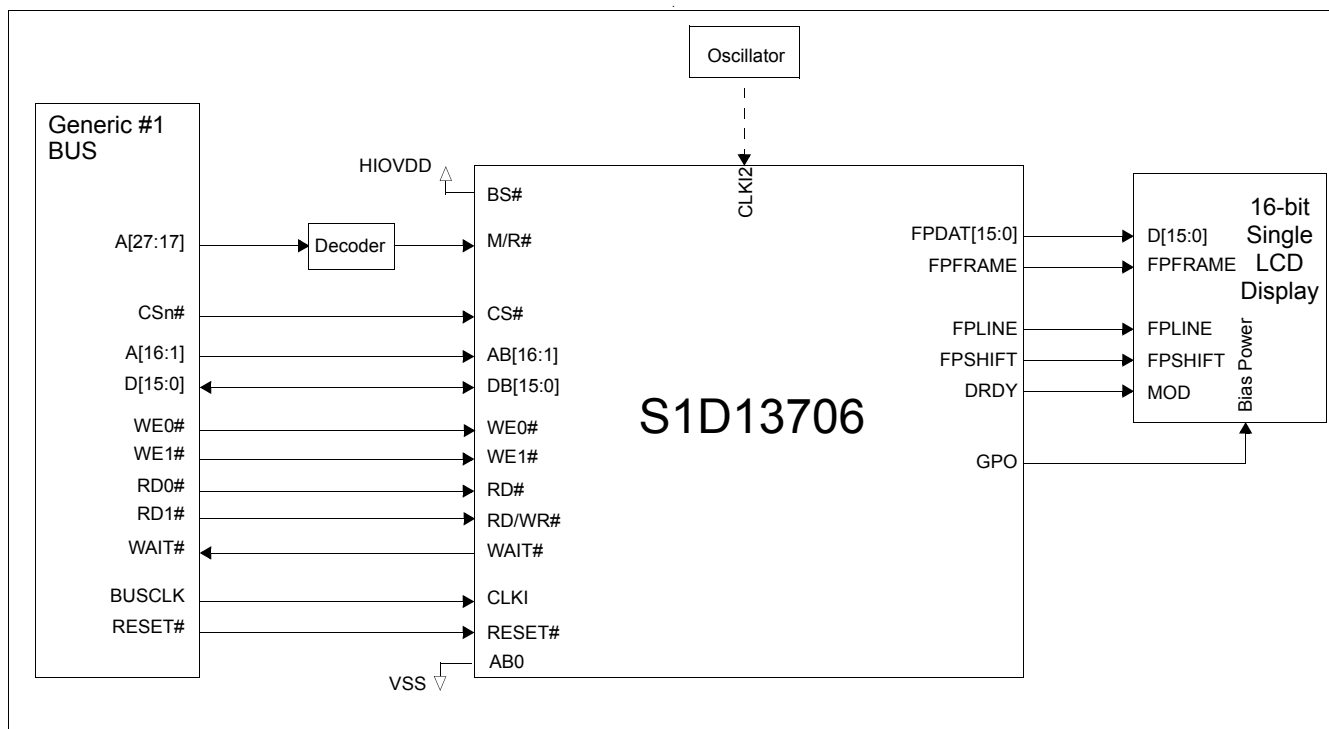


図3.1 代表的なシステム構成図（汎用#1バス）

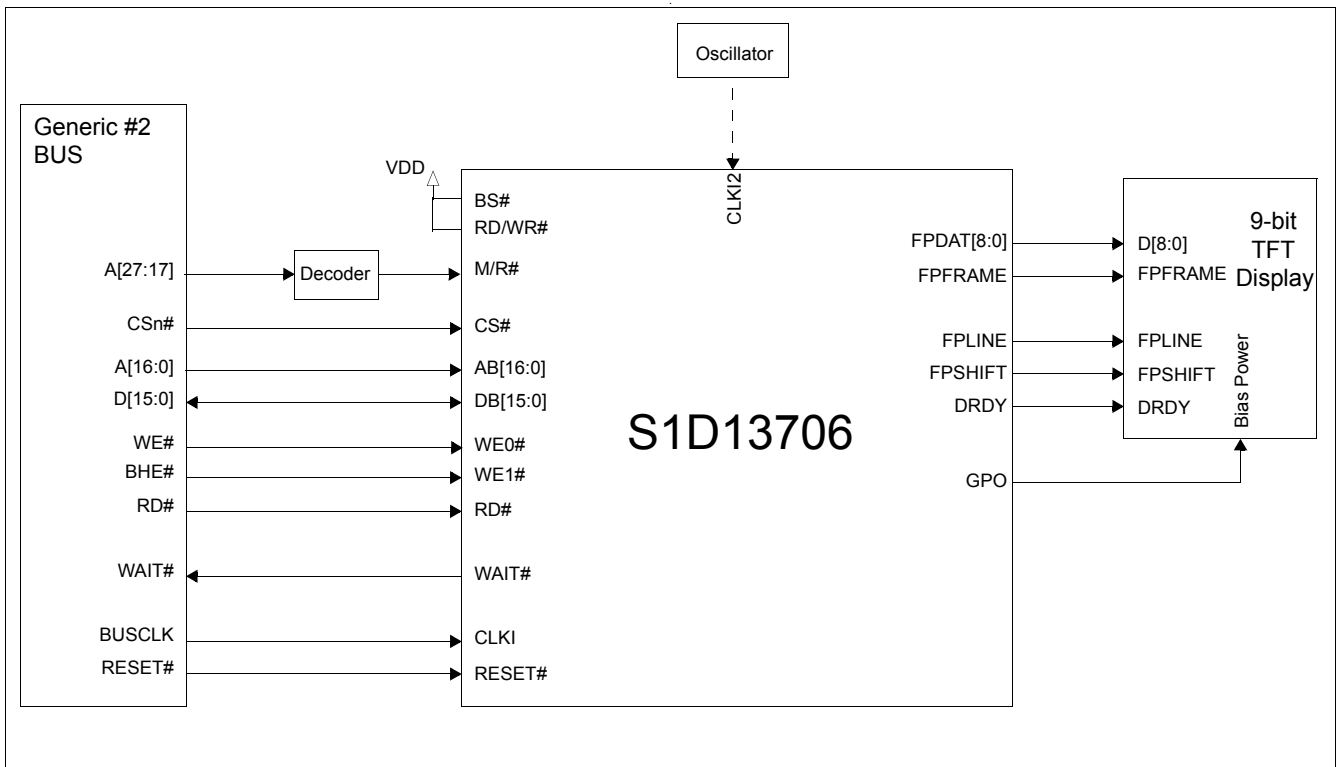


図3.2 代表的なシステム構成図（汎用#2バス）

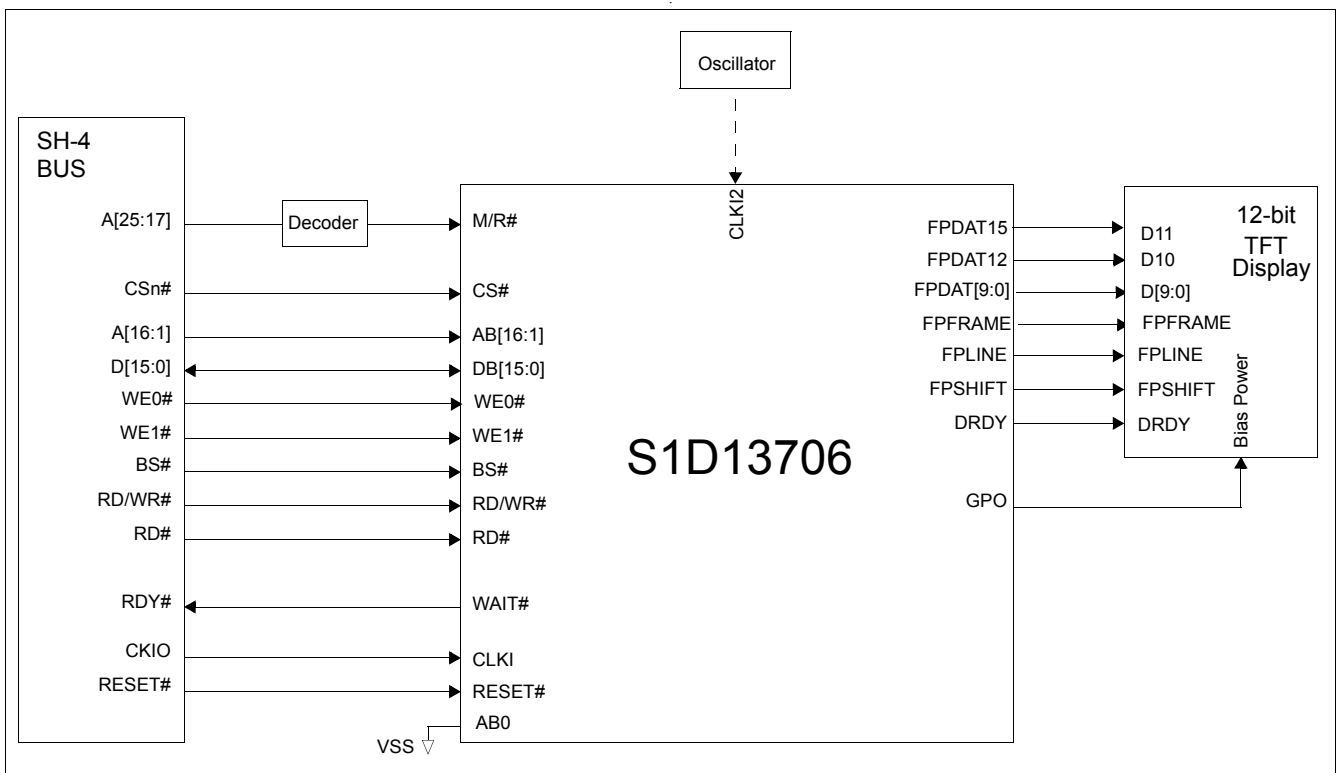


図3.3 代表的なシステム構成図（日立SH-4バス）

3. システム構成図

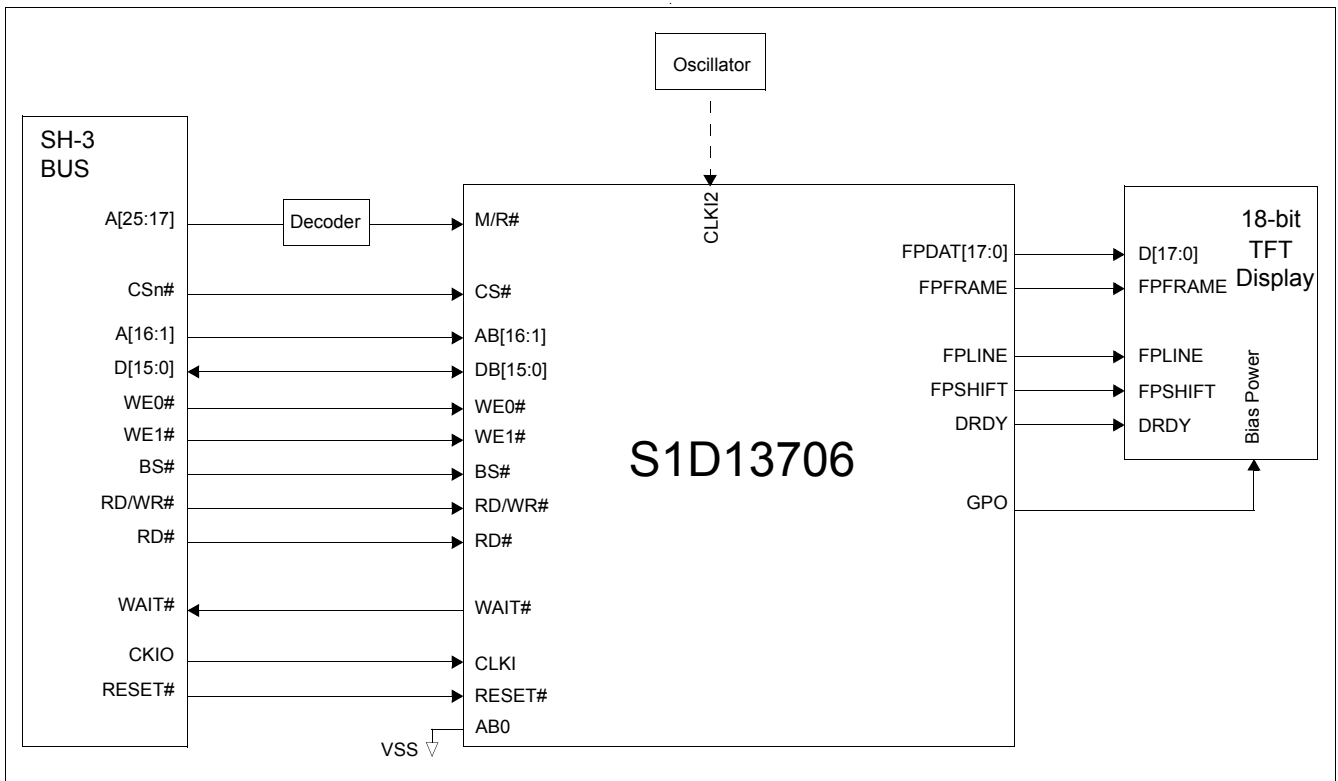


図3.4 代表的なシステム構成図（日立SH-3バス）

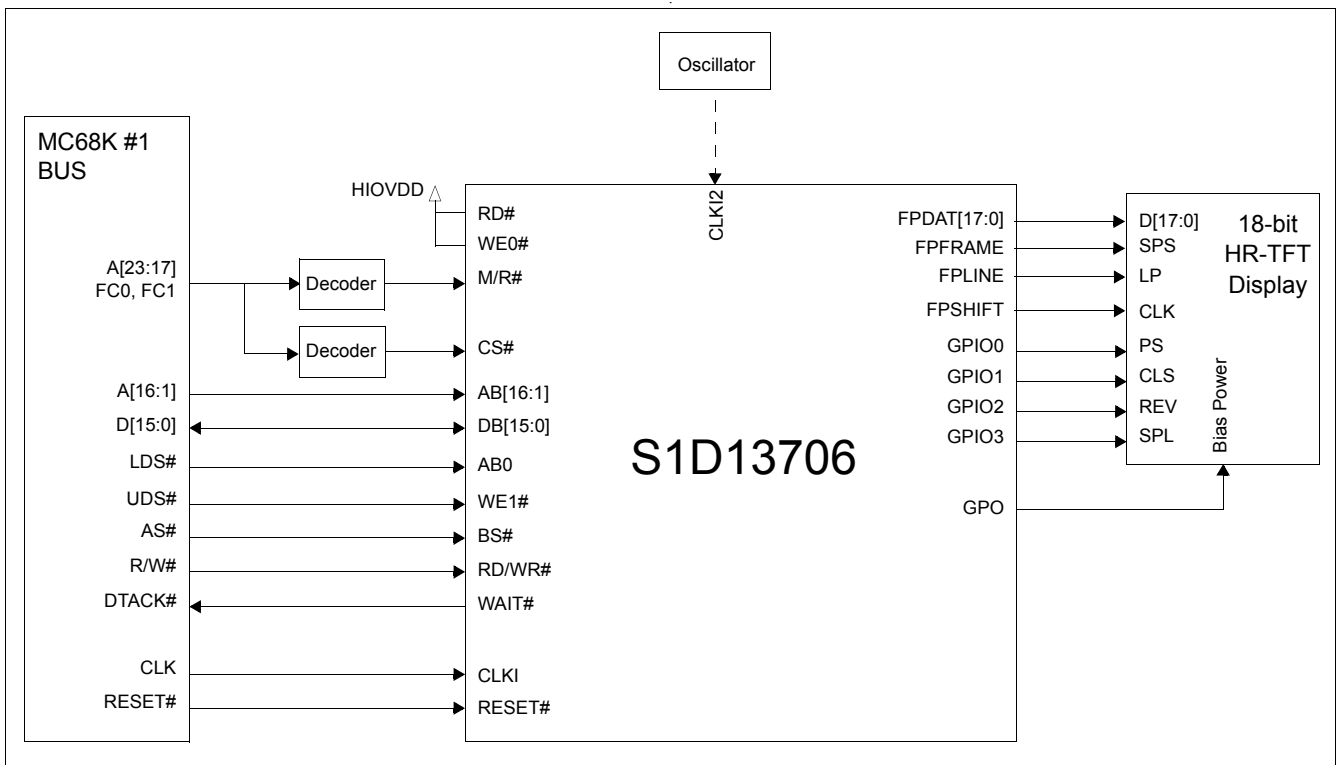


図3.5 代表的なシステム構成図（MC68K#1、モトローラ16ビット68000）

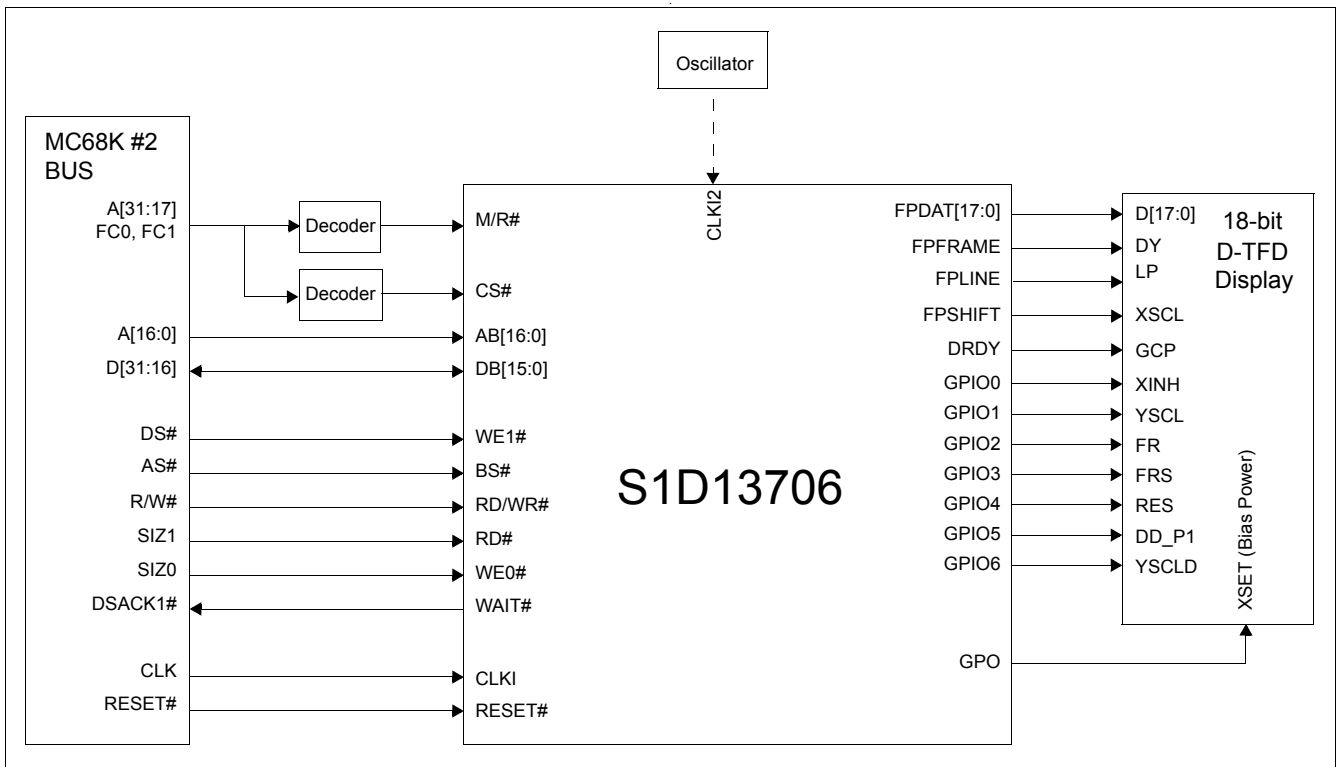
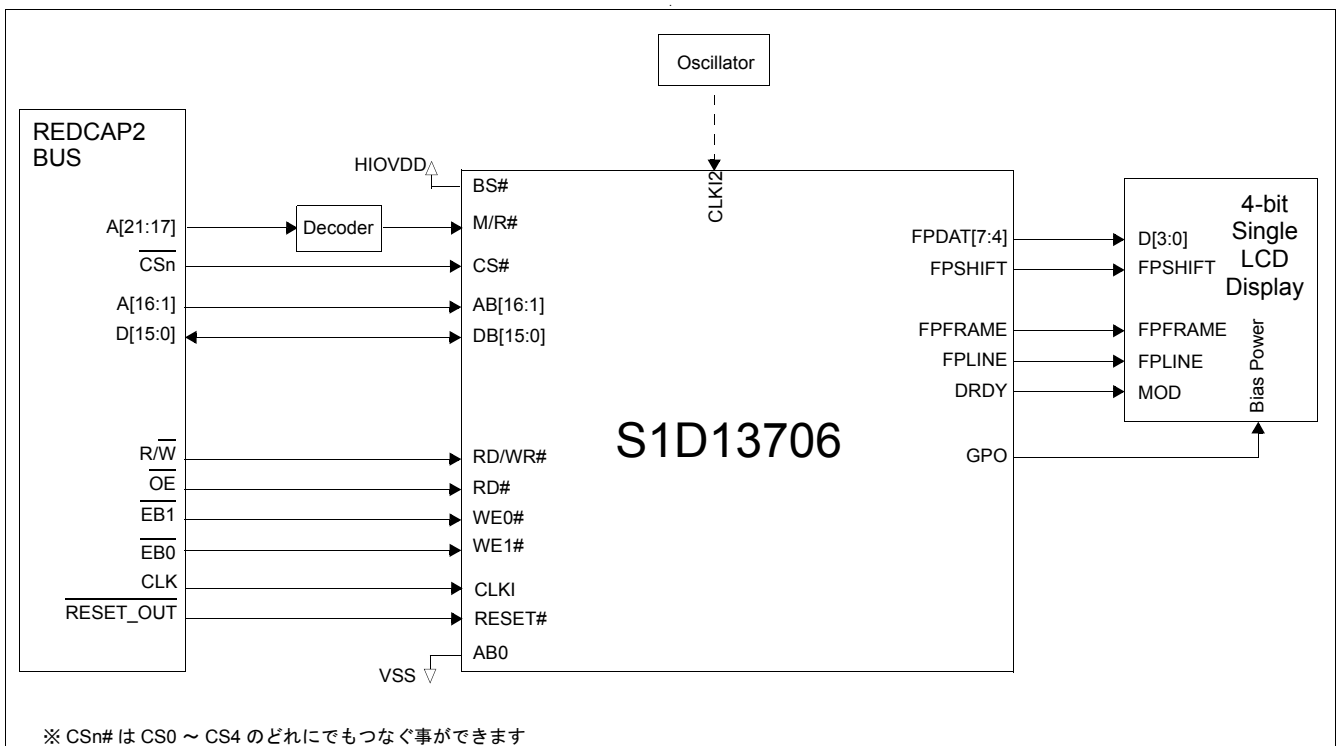


図3.6 代表的なシステム構成図 (MC68K#2、モトローラ32ビット68030)



※ CSn# は CS0 ~ CS4 のどれにでもつなぐ事ができます

図3.7 代表的なシステム構成図 (モトローラREDCAP2バス)

3. システム構成図

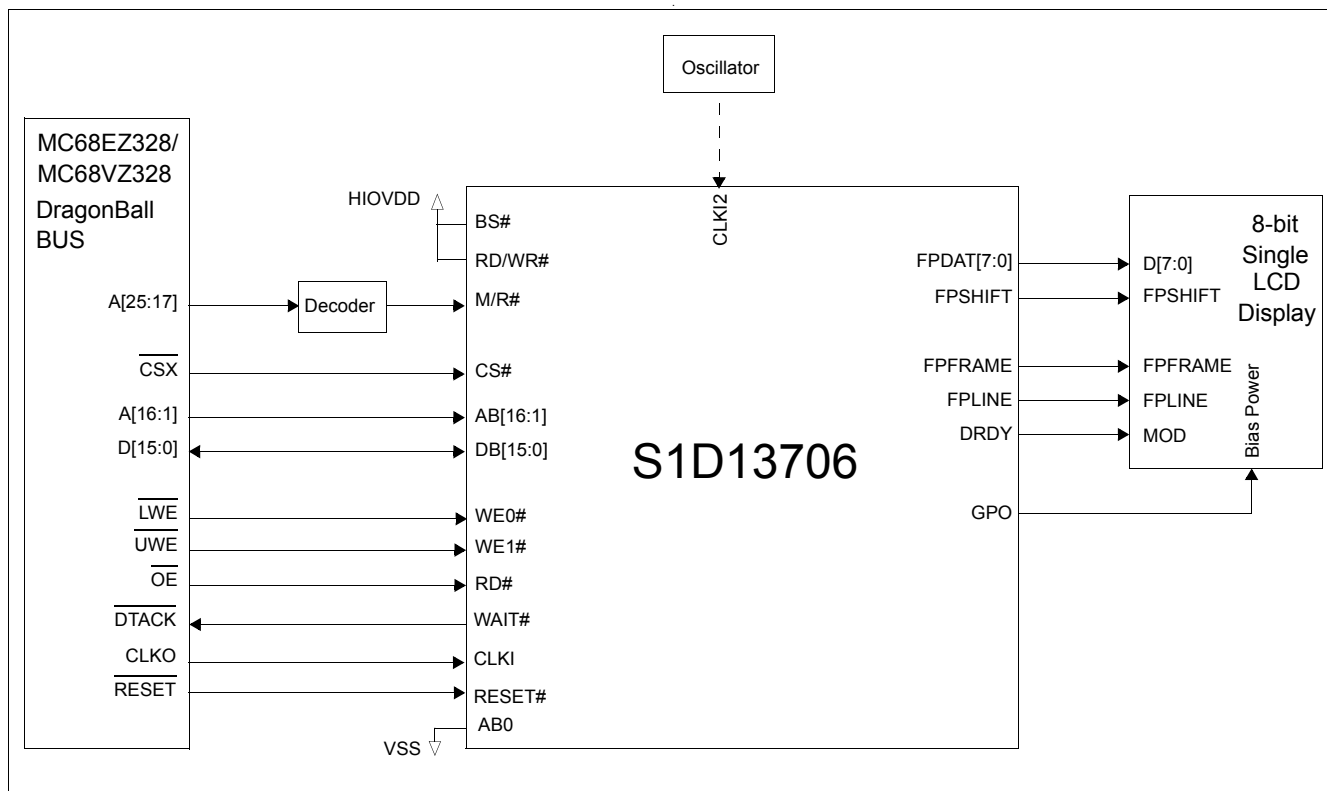


図3.8 代表的なシステム構成図（モトローラMC68EZ328/MC68VZ328 “DragonBall”バス）

4. 端子構成

4.1 端子配置図 : TQFP15 - 100ピン

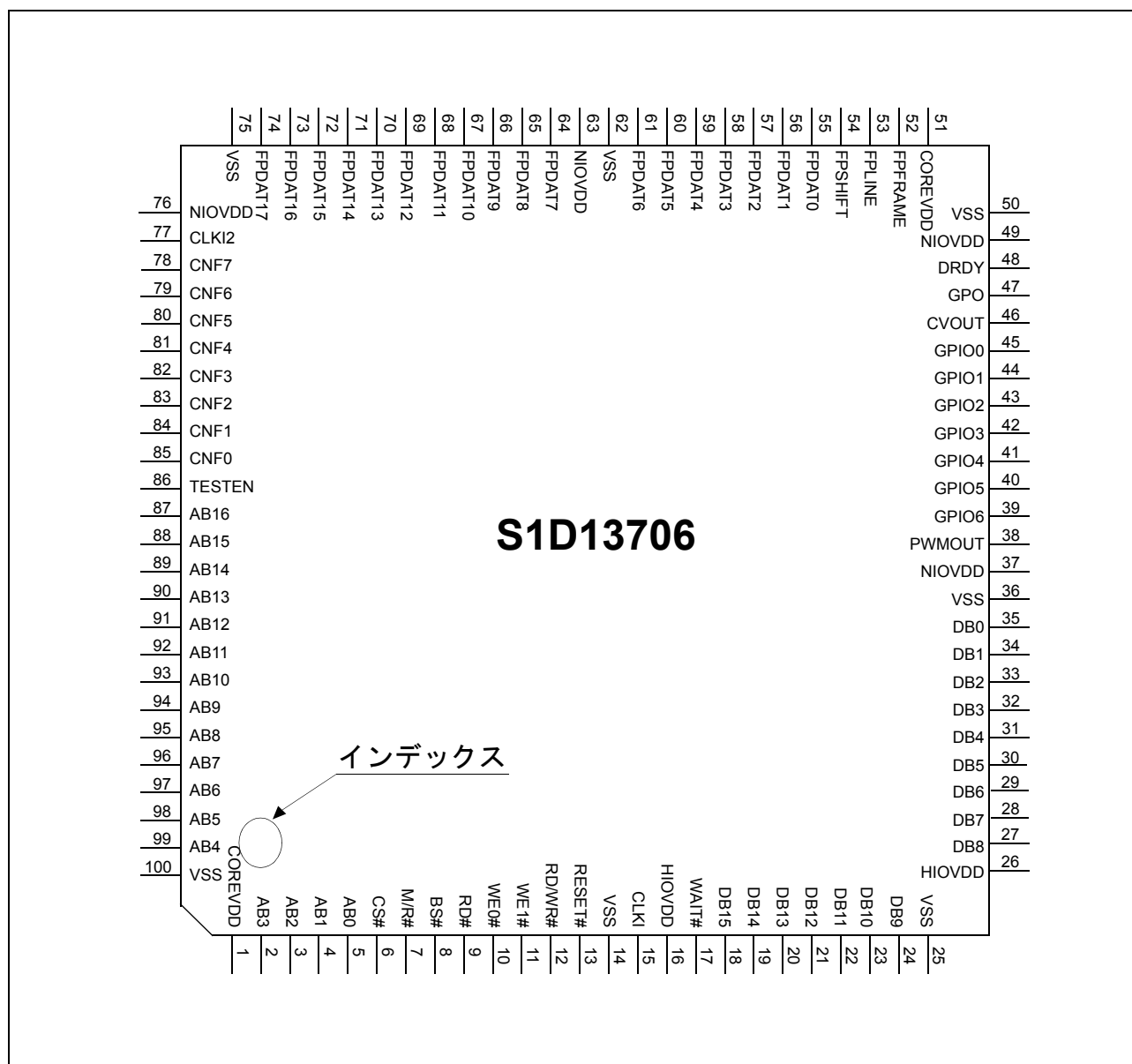


図4.1 端子配置図 : TQFP15 - 100ピン

注

パッケージタイプ : 100ピン表面実装TQFP15

4. 端子構成

4.2 端子配置図 : Die Form

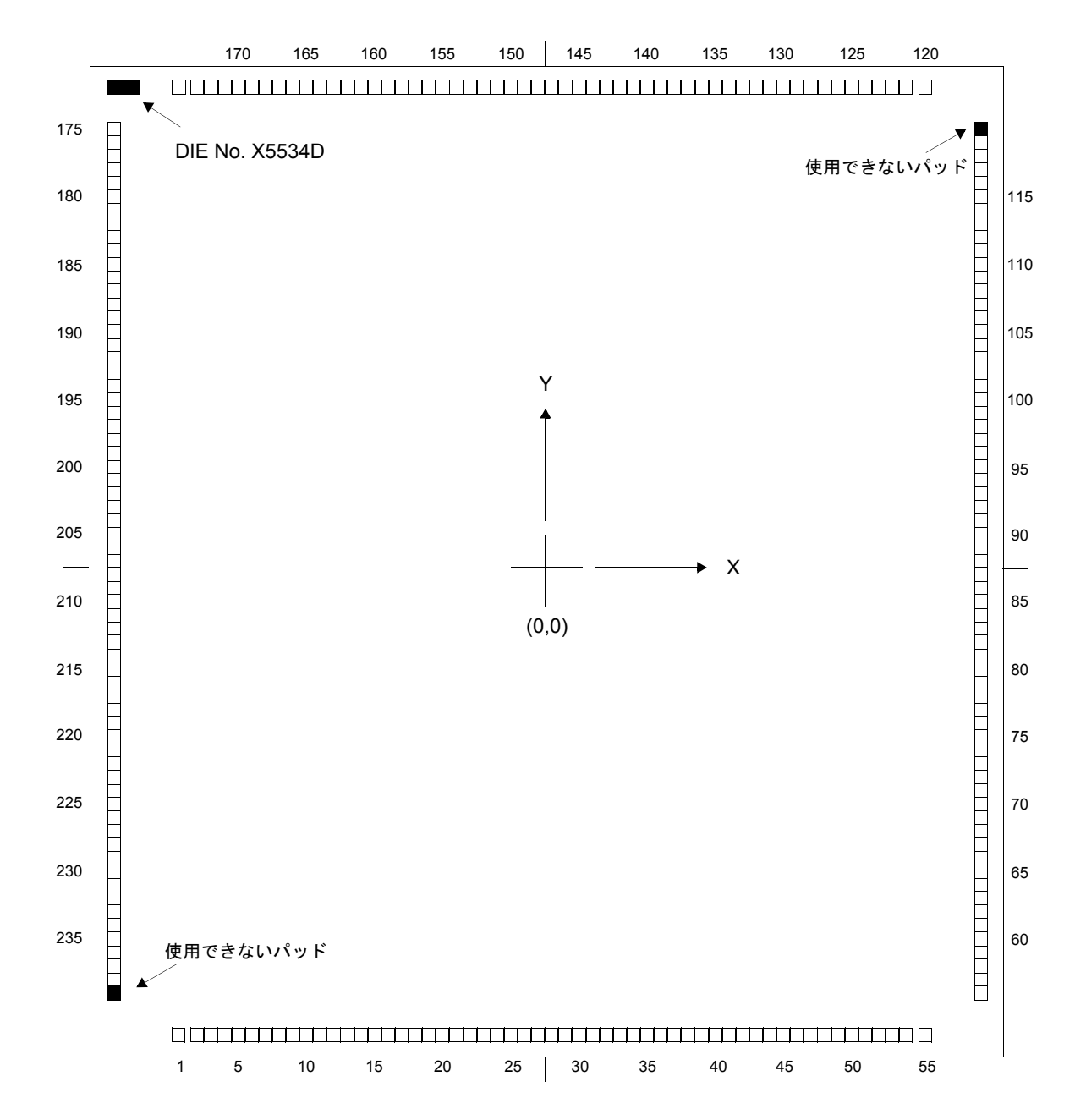


図4.2 端子配置図 : Die Form (S1D13706D00A)

チップサイズ : 5.88×6.55mm

PADサイズ : 64×68 μ m

表4.1 ピンマッピング : Die Form (S1D13706D00A)

ピン	Pad	端子名	X (μm)	Y (μm)	ピン	Pad	端子名	X (μm)	Y (μm)
1	1	LVDD	-2331	-3149	51	119	LVDD	2813	2667
2	3	AB3	-2100	-3149	52	122	FPFRAME	2100	3149
3	5	AB2	-1932	-3149	53	124	FPLINE	1932	3149
4	8	AB1	-1680	-3149	54	127	FPSHIFT	1680	3149
5	10	AB0	-1512	-3149	55	129	FPDAT0	1512	3149
6	12	CS#	-1344	-3149	56	131	FPDAT1	1344	3149
7	15	M/R#	-1092	-3149	57	134	FPDAT2	1092	3149
8	17	BS#	-924	-3149	58	136	FPDAT3	924	3149
9	20	RD#	-672	-3149	59	139	FPDAT4	672	3149
10	22	WE0#	-504	-3149	60	141	FPDAT5	504	3149
11	24	WE1#	-336	-3149	61	143	FPDAT6	336	3149
12	27	RD/WR#	-84	-3149	62	146	VSS	84	3149
13	29	RESET#	84	-3149	63	148	HVDD	-84	3149
14	31	VSS	252	-3149	64	150	FPDAT7	-252	3149
15	34	CLKI	504	-3149	65	153	FPDAT8	-504	3149
16	36	HVDD	672	-3149	66	155	FPDAT9	-672	3149
17	39	WAIT#	924	-3149	67	158	FPDAT10	-924	3149
18	41	DB15	1092	-3149	68	160	FPDAT11	-1092	3149
19	43	DB14	1260	-3149	69	162	FPDAT12	-1260	3149
20	46	DB13	1512	-3149	70	165	FPDAT13	-1512	3149
21	48	DB12	1680	-3149	71	167	FPDAT14	-1680	3149
22	50	DB11	1848	-3149	72	169	FPDAT15	-1848	3149
23	53	DB10	2100	-3149	73	172	FPDAT16	-2100	3149
24	55	DB9	2331	-3149	74	174	FPDAT17	-2331	3149
25	58	VSS	2813	-2478	75	177	VSS	-2813	2478
26	60	HVDD	2813	-2310	76	179	HVDD	-2813	2310
27	62	DB8	2813	-2142	77	181	CLKI2	-2813	2142
28	65	DB7	2813	-1890	78	184	CNF7	-2813	1890
29	67	DB6	2813	-1722	79	186	CNF6	-2813	1722
30	70	DB5	2813	-1470	80	189	CNF5	-2813	1470
31	72	DB4	2813	-1302	81	191	CNF4	-2813	1302
32	74	DB3	2813	-1134	82	193	CNF3	-2813	1134
33	77	DB2	2813	-882	83	196	CNF2	-2813	882
34	79	DB1	2813	-714	84	198	CNF1	-2813	714
35	81	DB0	2813	-546	85	200	CNF0	-2813	546
36	84	VSS	2813	-294	86	203	TESTEN	-2813	294
37	86	HVDD	2813	-126	87	205	AB16	-2813	126
38	89	PWMOUT	2813	126	88	208	AB15	-2813	-126
39	91	GPIO6	2813	294	89	210	AB14	-2813	-294
40	93	GPIO5	2813	462	90	212	AB13	-2813	-462
41	96	GPIO4	2813	714	91	215	AB12	-2813	-714
42	98	GPIO3	2813	882	92	217	AB11	-2813	-882
43	100	GPIO2	2813	1050	93	219	AB10	-2813	-1050
44	103	GPIO1	2813	1302	94	222	AB9	-2813	-1302
45	105	GPIO0	2813	1470	95	224	AB8	-2813	-1470
46	108	CVOUT	2813	1722	96	227	AB7	-2813	-1722
47	110	GPO	2813	1890	97	229	AB6	-2813	-1890
48	112	DRDY	2813	2058	98	231	AB5	-2813	-2058
49	115	HVDD	2813	2310	99	234	AB4	-2813	-2310
50	117	VSS	2813	2478	100	236	VSS	-2813	-2478

4. 端子構成

4.3 端子説明

略語の意味:

I	=	入力
O	=	出力
IO	=	双方向 (入出力)
P	=	電源端子
LIS	=	LVTTL (注) シュミット入力
LI	=	LVTTL入力
LB2A	=	LVTTL IOバッファ (6mA/-6mA@3.3V)
LB3P	=	ローノイズLVTTL IOバッファ (12mA/-12mA@3.3V)
LO3	=	ローノイズLVTTL 出力バッファ (12mA/-12mA@3.3V)
LB3M	=	入力マスク付きローノイズLVTTL IOバッファ (12mA/-12mA@3.3V)
T1	=	ブルダウン抵抗付きテストモード制御入力 (3.3Vで標準値50Ω)
Z	=	ハイインピーダンス (Hi-Z)

(注) LVTTLは低電圧TTLです (22ページの5.「DC特性」を参照してください)。

4.3.1 ホストインタフェース

表4.2 ホストインタフェース端子説明

端子名	種類	ピン	セル	I/O電圧	RESET# 状態	説明
AB0	I	5	LIS	HIOVDD	—	この入力端子には以下の複数の機能があります。 <ul style="list-style-type: none">汎用#1バスの場合、この端子は使用せず、VSSに接続されます。汎用#2バスの場合、この端子はシステムアドレスビット0 (A0) を入力します。SH-3/SH-4の場合、この端子は使用せず、VSSに接続されます。MC68K#1の場合、この端子は下位データストローブ (LDS#) を入力します。MC68K#2の場合、この端子はシステムアドレスビット0 (A0) を入力します。REDCAP2の場合、この端子はシステムアドレスビット0 (A0) を入力します。DragonBallの場合、この端子は使用せず、VSSに接続されます。 概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。
AB[16:1]	I	87-99、 2-4	LI	HIOVDD	—	システムアドレスバスビット16~1

表4.2 ホストインタフェース端子説明

端子名	種類	ピン	セル	I/O電圧	RESET# 状態	説明
DB[15:0]	IO	18-24、 27-35	LB2A	HIOVDD	Z	<p>システムデータバスからの入力データ</p> <ul style="list-style-type: none"> 汎用#1バスの場合、これら端子はD[15:0]に接続されます。 汎用#2バスの場合、これら端子はD[15:0]に接続されます。 SH-3/SH-4の場合、これら端子はD[15:0]に接続されます。 MC68K#1の場合、これら端子はD[15:0]に接続されます。 MC68K#2の場合、これら端子は32ビットデバイス（たとえば、MC68030）ではD[31:16]に、16ビットデバイス（たとえば、MC68340）ではD[15:0]に接続されます。 REDCAP2の場合、これら端子はD[15:0]に接続されます。 DragonBallの場合、これら端子はD[15:0]に接続されます。 <p>概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。</p>
WE0#	I	10	LIS	HIOVDD	—	<p>この入力端子には以下の複数の機能があります。</p> <ul style="list-style-type: none"> 汎用#1バスの場合、この端子は下位データバイトのライトイネーブル信号（WE0#）を入力します。 汎用#2バスの場合、この端子はライトイネーブル信号（WE#）を入力します。 SH-3/SH-4の場合、この端子はデータバイト0のライトイネーブル信号（WE0#）を入力します。 MC68K#1の場合、この端子はHIO V_{DD}に接続してください。 MC68K#2の場合、この端子はバスサイズビット0（SIZ0）を入力します。 REDCAP2の場合、この端子はD[7:0]データバイトのバイトイネーブル信号（EB1）を入力します。 DragonBallの場合、この端子はD[7:0]データバイトのバイトイネーブル信号（LWE）を入力します。 <p>概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。</p>
WE1#	I	11	LIS	HIOVDD	—	<p>この入力端子には以下の複数の機能があります。</p> <ul style="list-style-type: none"> 汎用#1バスの場合、この端子は上位データバイトのライトイネーブル信号（WE1#）を入力します。 汎用#2バスの場合、この端子は上位データバイトのバイトイネーブル信号（BHE#）を入力します。 SH-3/SH-4の場合、この端子はデータバイト1のライトイネーブル信号（WE1#）を入力します。 MC68K#1の場合、この端子は上位データストローブ（UDS#）を入力します。 MC68K#2の場合、この端子はデータストローブ（DS#）を入力します。 REDCAP2の場合、この端子はD[15:8]データバイトのバイトイネーブル信号（EB0）を入力します。 DragonBallの場合、この端子はD[15:8]データバイトのバイトイネーブル信号（UWE）を入力します。 <p>概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。</p>
CS#	I	6	LI	HIOVDD	—	<p>チップセレクト入力。概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。</p>

4. 端子構成

表4.2 ホストインタフェース端子説明

端子名	種類	ピン	セル	I/O電圧	RESET# 状態	説明
M/R#	I	7	LIS	HIOVDD	—	この入力端子は、S1D13706のディスプレイバッファ空間かレジスタアドレス空間かを選択するのに使用されます。M/R#はHighに設定されるとディスプレイバッファにアクセスし、Lowに設定されるとレジスタアドレスにアクセスします。概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。
BS#	I	8	LIS	HIOVDD	—	この入力端子には以下の複数の機能があります。 <ul style="list-style-type: none"> 汎用#1バスの場合、この端子はHIO V_{DD}に接続してください。 汎用#2バスの場合、この端子はHIO V_{DD}に接続してください。 SH-3/SH-4の場合、この端子はバススタート信号 (BS#) を入力します。 MC68K#1の場合、この端子はアドレスストロブ (AS#) を入力します。 MC68K#2の場合、この端子はアドレスストロブ (AS#) を入力します。 REDCAP2の場合、この端子はHIO V_{DD}に接続してください。 DragonBallの場合、この端子はHIO V_{DD}に接続してください。 概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。
RD/WR#	I	12	LIS	HIOVDD	—	この入力端子には以下の複数の機能があります。 <ul style="list-style-type: none"> 汎用#1バスの場合、この端子は上位データバイトのリードコマンド (RD1#) を入力します。 汎用#2バスの場合、この端子はHIO V_{DD}に接続してください。 SH-3/SH-4の場合、この端子はRD/WR# 信号を入力します。S1D13706は、バスサイクルの初期でデコードを行うために、この信号を必要とします。 MC68K#1の場合、この端子はR/W# 信号を入力します。 MC68K#2の場合、この端子はR/W# 信号を入力します。 REDCAP2の場合、この端子はR/W 信号を入力します。 DragonBallの場合、この端子はHIO V_{DD}に接続してください。 概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。
RD#	I	9	LIS	HIOVDD	—	この入力端子には以下の複数の機能があります。 <ul style="list-style-type: none"> 汎用#1バスの場合、この端子は下位データバイトのリードコマンド (RD0#) を入力します。 汎用#2バスの場合、この端子はリードコマンド (RD#) を入力します。 SH-3/SH-4の場合、この端子はリード信号 (RD#) を入力します。 MC68K#1の場合、この端子はHIO V_{DD}に接続してください。 MC68K#2の場合、この端子はバスサイズビット1 (SIZ1) を入力します。 REDCAP2の場合、この端子は出カインネーブル (\overline{OE}) を入力します。 DragonBallの場合、この端子は出カインネーブル (\overline{OE}) を入力します。 概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。

表4.2 ホストインタフェース端子説明

端子名	種類	ピン	セル	I/O電圧	RESET# 状態	説明
WAIT#	O	17	LB2A	HIOVDD	Z	<p>データ転送中、この出力ピンはアクティブにドライブされ、強制的にシステムを待ち状態にします。インアクティブにドライブされると、データ転送の完了を示します。WAIT#は、データ転送の完了後ハイインピーダンス状態に開放されます。そのアクティブ極性はコンフィグレーションが可能です。19ページの表4.7「電源投入／リセットオプションの一覧」</p> <ul style="list-style-type: none"> 汎用#1バスの場合、この端子はウェイト信号 (WAIT#) を出力します。 汎用#2バスの場合、この端子はウェイト信号 (WAIT#) を出力します。 SH-3モードの場合、この端子はウェイト要求信号 (WAIT#) を出力します。 SH-4モードの場合、この端子はデバイスレディ信号 (RDY#) を出力します。 MC68K#1の場合、この端子はデータ転送アックノリッジ信号 (DTACK#) を出力します。 MC68K#2の場合、この端子はデータ転送/サイズアックノリッジビット (DSACK1#) を出力します。 REDCAP2の場合、この端子は未使用 (Hi-Z) です。 DragonBallの場合、この端子はデータ転送アックノリッジ信号 (DTACK) を出力します。 <p>概要については、20ページの表4.8「ホストバスインタフェースピンマッピング」を参照してください。</p>
RESET#	I	13	LIS	HIOVDD	—	すべての内部レジスタをデフォルト状態に設定し、全信号を強制的にインアクティブ状態にするアクティブLow入力。

4. 端子構成

4.3.2 LCDインタフェース

表4.3 LCDインタフェースの端子説明

端子名	種類	ピン	セル	I/O電圧	RESET# 状態	説明
FPDAT[17:0]	○	74-64、 61-55	LB3P	NIOVDD	0	パネルデータビット17-0
FPFRAME	○	52	LB3P	NIOVDD	0	この出力端子には以下の複数の機能があります。 <ul style="list-style-type: none"> ・ フレームパルス ・ シャープHR-TFTの場合はSPS ・ エプソンD-TFDの場合はDY 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
FPLINE	○	53	LB3P	NIOVDD	0	この出力端子には以下の複数の機能があります。 <ul style="list-style-type: none"> ・ ラインパルス ・ シャープHR-TFTの場合はLP ・ エプソンD-TFDの場合はLP 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
FPSHIFT	○	54	LB3P	NIOVDD	0	この出力端子には以下の複数の機能があります。 <ul style="list-style-type: none"> ・ シフトクロック ・ シャープHR-TFTの場合はCLK ・ エプソンD-TFDの場合はXSCL 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
DRDY	○	48	LO3	NIOVDD	0	この出力端子には以下の複数の機能があります。 <ul style="list-style-type: none"> ・ TFTパネルの場合は、表示イネーブル (DRDY) ・ 形式1インタフェース付きパッシブLCDの場合は、2番目のシフトクロック (FPSHIFT2) ・ エプソンD-TFDの場合はGCP ・ 他のすべてのLCDパネルの場合は、LCDバックプレーンバイアス信号 (MOD) 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
GPIO0	IO	45	LB3M	NIOVDD	0	この端子には以下の複数の機能があります。 <ul style="list-style-type: none"> ・ シャープHR-TFTの場合はPS ・ エプソンD-TFDの場合はXINH ・ 汎用IO端子0 (GPIO0) ・ ハードウェア反転表示 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
GPIO1	IO	44	LB3M	NIOVDD	0	この端子には以下の複数の機能があります。 <ul style="list-style-type: none"> ・ シャープHR-TFTの場合はCLS ・ エプソンD-TFDの場合はYSCL ・ 汎用IO端子1 (GPIO1) 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。

表4.3 LCDインタフェースの端子説明

端子名	種類	ピン	セル	I/O電圧	RESET# 状態	説明
GPIO2	IO	43	LB3M	NIOVDD	0	この端子には以下の複数の機能があります。 <ul style="list-style-type: none"> シャープHR-TFTの場合はREV エプソンD-TFDの場合はFR 汎用IO端子2 (GPIO2) 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
GPIO3	IO	42	LB3M	NIOVDD	0	この端子には以下の複数の機能があります。 <ul style="list-style-type: none"> シャープHR-TFTの場合はSPL エプソンD-TFDの場合はFRS 汎用IO端子3 (GPIO3) 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
GPIO4	IO	41	LB3M	NIOVDD	0	この端子には以下の複数の機能があります。 <ul style="list-style-type: none"> エプソンD-TFDの場合はRES 汎用IO端子4 (GPIO4) 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
GPIO5	IO	40	LB3M	NIOVDD	0	この端子には以下の複数の機能があります。 <ul style="list-style-type: none"> エプソンD-TFDの場合はDD_P1 汎用IO端子5 (GPIO5) 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
GPIO6	IO	39	LB3M	NIOVDD	0	この端子には以下の複数の機能があります。 <ul style="list-style-type: none"> エプソンD-TFDの場合はYSCLD 汎用IO端子6 (GPIO6) 概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
PWMOUT	O	38	LB3P	NIOVDD	0	この端子には以下の複数の機能があります。 <ul style="list-style-type: none"> PWMクロック出力 汎用出力
CVOUT	O	46	LB3P	NIOVDD	0	この端子には以下の複数の機能があります。 <ul style="list-style-type: none"> CVパルス出力 汎用出力

4. 端子構成

4.3.3 クロック入力

表4.4 クロック入力の端子説明

端子名	種類	ピン	セル	I/O電圧	RESET# 状態	説明
CLKI	I	15	LI	NIOVDD	—	一般的に、バスクロックやメモリクロックの入カクロックソースとして使用します。
CLKI2	I	77	LI	NIOVDD	—	一般的に、ピクセルクロックの入カクロックソースとして使用します。

4.3.4 その他

表4.5 その他の端子説明

端子名	種類	ピン	セル	I/O電圧	RESET# 状態	説明
CNF[7:0]	I	78-85	LI	NIOVDD	—	これらの入力は、S1D13706を設定するために使用します。19ページの表4.7「電源投入/リセットオプションの一覧」を参照してください。 注：これらの端子はS1D13706の設定に使用されます。必ずIO V_{DD}やV_{SS}に直接接続してください。
GPO	O	47	LO3	NIOVDD	0	汎用出力（LCD電源を制御するために使用することができます）。シャープHR-TFTパネルのMOD制御信号用に使用することもできます。
TESTEN	I	86	T1	NIOVDD	—	生産テストにのみ使用するテストイネーブル入力（3.3Vのときに標準値50Ωを持つタイプ1プルダウン抵抗付き）。

4.3.5 電源およびグラウンド

表4.6 電源およびグラウンドの端子説明

端子名	種類	ピン	セル	I/O電圧	RESET# 状態	説明
HIOVDD	P	16、26	P	—	—	12ページの4.3.1「ホストインタフェース」に説明するホストインタフェース端子と関連のあるIO V _{DD} 端子
NIOVDD	P	37、49、63、76	P	—	—	16ページの4.3.2「LCDインタフェース」、18ページの4.3.3「クロック入力」、18ページの4.3.4「その他」に説明する非ホストインタフェース端子と関連のあるIO V _{DD} 端子
COREVDD	P	1、51	P	—	—	2CORE V _{DD} 端子
VSS	P	14、25、36、50、62、75、100	P	—	—	7 V _{SS} 端子

4.4 構成オプション一覧

これらの端子は、S1D13706の設定に使用され、NIOV_{DD}またはV_{SS}に直接接続されなければなりません。CNF[6:0]の状態は、RESET#の立ち上がりにはラッチされます。他の状態変更は無効です。

表4.7 電源投入/リセットオプションの一覧

S1D13706 構成入力	電源投入/リセット時の状態	
	1 (NIO V _{DD} に接続)	0 (V _{SS} に接続)
CNF4、 CNF[2:0]	ホストバスインタフェースを以下のように選択します:	
	CNF4CNF2CNF1CNF0	ホストバス
	1 0 0 0	SH-4/SH-3インタフェース、ビッグエンディアン
	0 0 0 0	SH-4/SH-3インタフェース、リトルエンディアン
	1 0 0 1	MC68K #1、ビッグエンディアン
	0 0 0 1	Reserved
	1 0 1 0	MC68K #2、ビッグエンディアン
	0 0 1 0	Reserved
	1 0 1 1	汎用#1、ビッグエンディアン
	0 0 1 1	汎用#1、リトルエンディアン
	1 1 0 0	Reserved
	0 1 0 0	汎用#2、リトルエンディアン
	1 1 0 1	REDCAP2、ビッグエンディアン
	0 1 0 1	Reserved
	1 1 1 0	Dragon Ball (MC68EZ328/MC68VZ328)、ビッグエンディアン
0 1 1 0	Reserved	
X 1 1 1	Reserved	
注：このホストバスインタフェースは16ビット専用です。		
CNF3	GPIO端子を電源投入時に入力として構成します。	GPIO端子を電源投入時に出力として構成します（選択時にHR-TFT/D-TFDで使用できるようにするため）。
CNF5	WAIT#はアクティブHighです。	WAIT#はアクティブLowです。
CNF[7:6]	CLKI:BCLKの分周選択：	
	CNF7 CNF6	CLKI:BCLK分周比
	0 0	1 : 1
	0 1	2 : 1
	1 0	3 : 1
1 1	4 : 1	

4. 端子構成

4.5 ホストバスインタフェースピンマッピング

表4.8 ホストバスインタフェースピンマッピング

S1D13706 端子名	汎用#1バス	汎用#2バス	日立 SH-3/SH-4	モトローラ MC68K#1	モトローラ MC68K#2	モトローラ REDCAP2	モトローラ MC68EZ328/ MC68VZ328 Dragon Ball
AB[16:1]	A[16:1]	A[16:1]	A[16:1]	A[16:1]	A[16:1]	A[16:1]	A[16:1]
AB0	A0 ¹	A0	A0 ¹	LDS#	A0	A0 ¹	A0 ¹
DB[15:0]	D[15:0]	D[15:0]	D[15:0]	D[15:0]	D[15:0] ²	D[15:0]	D[15:0]
CS#	外部デコード		CSn#	外部デコード		CSn	CSX
M/R#	外部デコード						
CLKI	BUSCLK	BUSCLK	CKIO	CLK	CLK	CLK	CLKO
BS#	V _{DD} に接続		BS#	AS#	AS#	V _{DD} に接続	
RD/WR#	RD1#	V _{DD} に接続	RD/WR#	R/W#	R/W#	R/W	V _{DD} に接続
RD#	RD0#	RD#	RD#	V _{DD} に接続	SIZ1	OE	OE
WE0#	WE0#	WE#	WE0#	V _{DD} に接続	SIZ0	EB1	LWE
WE1#	WE1#	BHE#	WE1#	UDS#	DS#	EB0	UWE
WAIT#	WAIT#	WAIT#	WAIT#/ RDY#	DTACK#	DSACK1#	N/A	DTACK
RESET#	RESET#	RESET#	RESET#	RESET#	RESET#	RESET_OUT	RESET

注

- 1 これらのバスのA0は、S1D13706の内部では使用されません。
- 2 ターゲットMC68Kバスが32ビットの場合、これらの信号はD[31:16]に接続してください。

4.6 LCDインタフェースピンマッピング

表4.9 LCDインタフェースピンマッピング

端子名	モノクロパッシブパネル		カラーパッシブパネル				カラー TFTパネル					
	シングル		シングル				その他			シャープHR-TFT (注1)	エプソンD TFD (注1)	
	4ビット	8ビット	4ビット	Format 1 8ビット	Format 2 8ビット	16ビット	9ビット	12 ビット	18 ビット	18ビット	18ビット	
FPFRAME	FPFRAME									SPS	DY	
FPLINE	FPLINE									LP	LP	
FPSHIFT	FPSHIFT									DCLK	XSCL	
DRDY	MOD		FPSHIFT2	MOD		DRDY					NC	GCP
FPDAT0	L固定	D0	L固定	D0 (B5) (注2)	D0 (G3) (注2)	D0 (R6) (注2)	R2	R3	R5	R5	R5	
FPDAT1	L固定	D1	L固定	D1 (R5) (注2)	D1 (R3) (注2)	D1 (G5) (注2)	R1	R2	R4	R4	R4	
FPDAT2	L固定	D2	L固定	D2 (G4) (注2)	D2 (B2) (注2)	D2 (B4) (注2)	R0	R1	R3	R3	R3	
FPDAT3	L固定	D3	L固定	D3 (B3) (注2)	D3 (G2) (注2)	D3 (R4) (注2)	G2	G3	G5	G5	G5	
FPDAT4	D0	D4	D0 (R2) (注2)	D4 (R3) (注2)	D4 (R2) (注2)	D8 (B5) (注2)	G1	G2	G4	G4	G4	
FPDAT5	D1	D5	D1 (B1) (注2)	D5 (G2) (注2)	D5 (B1) (注2)	D9 (R5) (注2)	G0	G1	G3	G3	G3	
FPDAT6	D2	D6	D2 (G1) (注2)	D6 (B1) (注2)	D6 (G1) (注2)	D10 (G4) (注2)	B2	B3	B5	B5	B5	
FPDAT7	D3	D7	D3 (R1) (注2)	D7 (R1) (注2)	D7 (R1) (注2)	D11 (B3) (注2)	B1	B2	B4	B4	B4	
FPDAT8	L固定	L固定	L固定	L固定	L固定	D4 (G3) (注2)	B0	B1	B3	B3	B3	
FPDAT9	L固定	L固定	L固定	L固定	L固定	D5 (B2) (注2)	L固定	R0	R2	R2	R2	
FPDAT10	L固定	L固定	L固定	L固定	L固定	D6 (R2) (注2)	L固定	L固定	R1	R1	R1	
FPDAT11	L固定	L固定	L固定	L固定	L固定	D7 (G1) (注2)	L固定	L固定	R0	R0	R0	
FPDAT12	L固定	L固定	L固定	L固定	L固定	D12 (R3) (注2)	L固定	G0	G2	G2	G2	
FPDAT13	L固定	L固定	L固定	L固定	L固定	D13 (G2) (注2)	L固定	L固定	G1	G1	G1	
FPDAT14	L固定	L固定	L固定	L固定	L固定	D14 (B1) (注2)	L固定	L固定	G0	G0	G0	
FPDAT15	L固定	L固定	L固定	L固定	L固定	D15 (R1) (注2)	L固定	B0	B2	B2	B2	
FPDAT16	L固定	L固定	L固定	L固定	L固定	L固定	L固定	L固定	B1	B1	B1	
FPDAT17	L固定	L固定	L固定	L固定	L固定	L固定	L固定	L固定	B0	B0	B0	
GPIO0	GPIO0	GPIO0	GPIO0	GPIO0	GPIO0	GPIO0	GPIO0	GPIO0	GPIO0	PS	XINH	
GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	CLS	YSCL	
GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	REV	FR	
GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	SPL	FRS	
GPIO4	GPIO4	GPIO4	GPIO4	GPIO4	GPIO4	GPIO4	GPIO4	GPIO4	GPIO4	GPIO4 (出力のみ)	RES	
GPIO5	GPIO5	GPIO5	GPIO5	GPIO5	GPIO5	GPIO5	GPIO5	GPIO5	GPIO5	GPIO5 (出力のみ)	DD_P1	
GPIO6	GPIO6	GPIO6	GPIO6	GPIO6	GPIO6	GPIO6	GPIO6	GPIO6	GPIO6	GPIO6 (出力のみ)	YSCLD	
GPO	GPO (汎用出力)									MOD (注3)	GPO	
CVOUT	CVOUT											
PWMOUT	PWMOUT											

注

- HR-TFT やD-TFDパネルが選択されている場合は、GPIO端子を出力 (RESET#の時CNF3=0) として設定してください。
- これらのピンマッピングは、各パネルタイプに一般に使用される信号名を使用しますが、信号名は、パネルメーカーによって異なることがあります。カッコ内に示した値は、FPSHIFTの最初の有効エッジで対応するFPDATxx信号にマッピングされた色成分を表します。FPDATxxのLCDインタフェースピンマッピングの詳細は、48ページの6.4「LCDインタフェース」を参照してください。
- HR-TFTインタフェースを選択すると (REG[10h]ビット1~0=10)、このGPOを使用してHR-TFT MOD信号を制御することができます。パッシブパネルに使用されるS1D13706 DRDY (MOD) 信号ではありません。

5. DC特性

5. DC特性

表5.1 絶対最大定格

記号	パラメータ	定格	単位
CORE V _{DD}	電源電圧	V _{SS} - 0.3~4.0	V
IO V _{DD}	電源電圧	V _{SS} - 0.3~4.0	V
V _{IN}	入力電圧	V _{SS} - 0.3~IO V _{DD} + 0.5	V
V _{OUT}	出力電圧	V _{SS} - 0.3~IO V _{DD} + 0.5	V
T _{STG}	保存温度	-65~150	°C
T _{SOL}	はんだ付け温度/時間	最大260°C/10sec (鉛)	°C

表5.2 推奨動作条件

記号	パラメータ	条件	Min	Typ	Max	単位
CORE V _{DD}	電源電圧	V _{SS} = 0 V	1.8	2.0	2.2	V
			3.0	3.3	3.6	V
HIO V _{DD}	電源電圧	V _{SS} = 0 V	1.8	2.0	2.2	V
			3.0	3.3	3.6	V
NIO V _{DD}	電源電圧	V _{SS} = 0 V	3.0	3.3	3.6	V
V _{IN}	入力電圧		V _{SS}		IO V _{DD}	V
T _{OPR}	動作温度		-40	25	85	°C

注

S1D13706では、CORE V_{DD} ≧ HIO V_{DD} および CORE V_{DD} ≧ NIO V_{DD}であることが要求されます。

表5.3 VDD = 3.3V 標準値の場合の電気的特性

記号	パラメータ	条件	Min	Typ	Max	単位
I _{DDS}	静的消費電流	静的状態			170	μA
I _{Iz}	入力リーク電流		-1		1	μA
I _{Oz}	出力リーク電流		-1		1	μA
V _{OH}	高レベル出力電圧	VDD = min I _{OH} = -6mA (Type 2) -12mA (Type 3)	V _{DD} - 0.4			V
V _{OL}	低レベル出力電圧	VDD = min I _{OL} = 6mA (Type 2) 12mA (Type 3)			0.4	V
V _{IH}	高レベル入力電圧	LVTTLレベル、V _{DD} = max	2.0			V
V _{IL}	低レベル入力電圧	LVTTLレベル、V _{DD} = min			0.8	V
V _{T+}	高レベル入力電圧	LVTTLシュミット	1.1		2.4	V
V _{T-}	低レベル入力電圧	LVTTLシュミット	0.6		1.8	V
V _{H1}	ヒステリシス電圧	LVTTLシュミット	0.1			V
R _{PD}	プルダウン抵抗	V _I = V _{DD}	20	50	120	kΩ
C _I	入力端子容量				10	pF
C _O	出力端子容量				10	pF
C _{IO}	双方向端子容量				10	pF

6. AC特性

6. AC特性

条件: HIO $V_{DD} = 2.0V \pm 10\%$ 、HIO $V_{DD} = 3.3V \pm 10\%$
 NIO $V_{DD} = 3.3V \pm 10\%$
 $T_A = -40^\circ C \sim 85^\circ C$
 すべての入力について、 T_{rise} と T_{fall} は $\leq 5ns$ (10%~90%) でなければなりません。
 $C_L = 50pF$ (バス/MPUインタフェース)
 $C_L = 0pF$ (LCDパネルインタフェース)

6.1 クロックタイミング

6.1.1 入力クロック

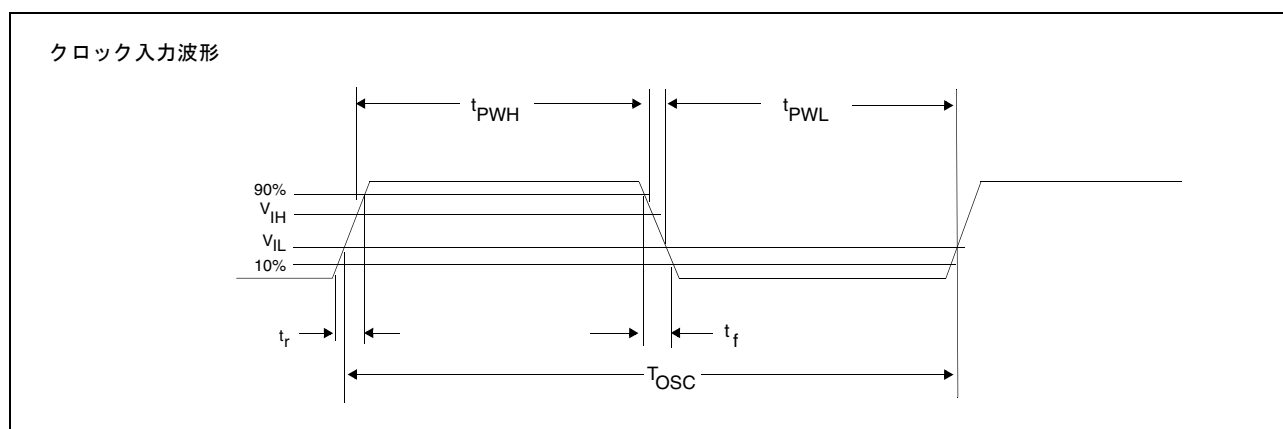


図6.1 クロック入力要件

表6.1 CLKI:BCLK 分周比 > 1の時のCLKIのクロック入力要件

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f_{OSC}	入力クロック周波数 (CLKI)		40		100	MHz
T_{OSC}	入力クロック周期 (CLKI)	$1/f_{OSC}$		$1/f_{OSC}$		ns
t_{PWH}	入力クロックのHighパルス幅 (CLKI)	4.5		4.5		ns
t_{PWL}	入力クロックのLowパルス幅 (CLKI)	4.5		4.5		ns
t_f	入力クロック立ち下がり時間 (10%~90%)		5		5	ns
t_r	入力クロック立ち上がり時間 (10%~90%)		5		5	ns

注

CLKIの周波数を決定するときは、CLKIから得られるクロックの最大内部要件を考慮しなければなりません。内部クロック要件については、26ページの6.1.2「内部クロック」を参照してください。

表6.2 CLKI:BCLK分周比 = 1の時のCLKIのクロック入力要件

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f_{OSC}	入カクロック周波数 (CLKI)		20		66	MHz
T_{OSC}	入カクロック周期 (CLKI)	$1/f_{OSC}$		$1/f_{OSC}$		ns
t_{PWH}	入カクロックのHighパルス幅 (CLKI)	3		3		ns
t_{PWL}	入カクロックのLowパルス幅 (CLKI)	3		3		ns
t_f	入カクロック立ち下がり時間 (10%~90%)		5		5	ns
t_r	入カクロック立ち上がり時間 (10%~90%)		5		5	ns

注

CLKIの周波数を決定するときは、CLKIから得られるクロックの最大内部要件を考慮しなければなりません。内部クロック要件については、26ページの6.1.2「内部クロック」を参照してください。

表6.3 CLKI2のクロック入力要件

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f_{OSC}	入カクロック周波数 (CLKI2)		20		66	MHz
T_{OSC}	入カクロック周期 (CLKI2)	$1/f_{OSC}$		$1/f_{OSC}$		ns
t_{PWH}	入カクロックのHighパルス幅 (CLKI2)	3		3		ns
t_{PWL}	入カクロックのLowパルス幅 (CLKI2)	3		3		ns
t_f	入カクロック立ち下がり時間 (10%~90%)		5		5	ns
t_r	入カクロック立ち上がり時間 (10%~90%)		5		5	ns

注

CLKI2の周波数を決定するときは、CLKI2から得られるクロックの最大内部要件を考慮しなければなりません。内部クロック要件については、26ページの6.1.2「内部クロック」を参照してください。

6. AC特性

6.1.2 内部クロック

表6.4 内部クロック要件

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f _{BCLK}	バスクロック周波数		20		66	MHz
f _{MCLK}	メモリクロック周波数		20		50	MHz
f _{PCLK}	ピクセルクロック周波数		20		50	MHz
f _{PWMCLK}	PWMクロック周波数		20		66	MHz

注

内部クロックの詳細については、81ページの7.「クロック」を参照してください。

6.2 CPUインタフェースタイミング

この項では、2.0Vと3.3Vの両方についてCPUインタフェースACタイミングを記載しています。2.0Vタイミングは、HIO $V_{DD} = \text{CORE } V_{DD} = 2.0\text{V}$ をベースにしています。また3.3Vタイミングは、HIO $V_{DD} = \text{CORE } V_{DD} = 3.3\text{V}$ をベースにしています。

6.2.1 汎用#1インタフェースタイミング

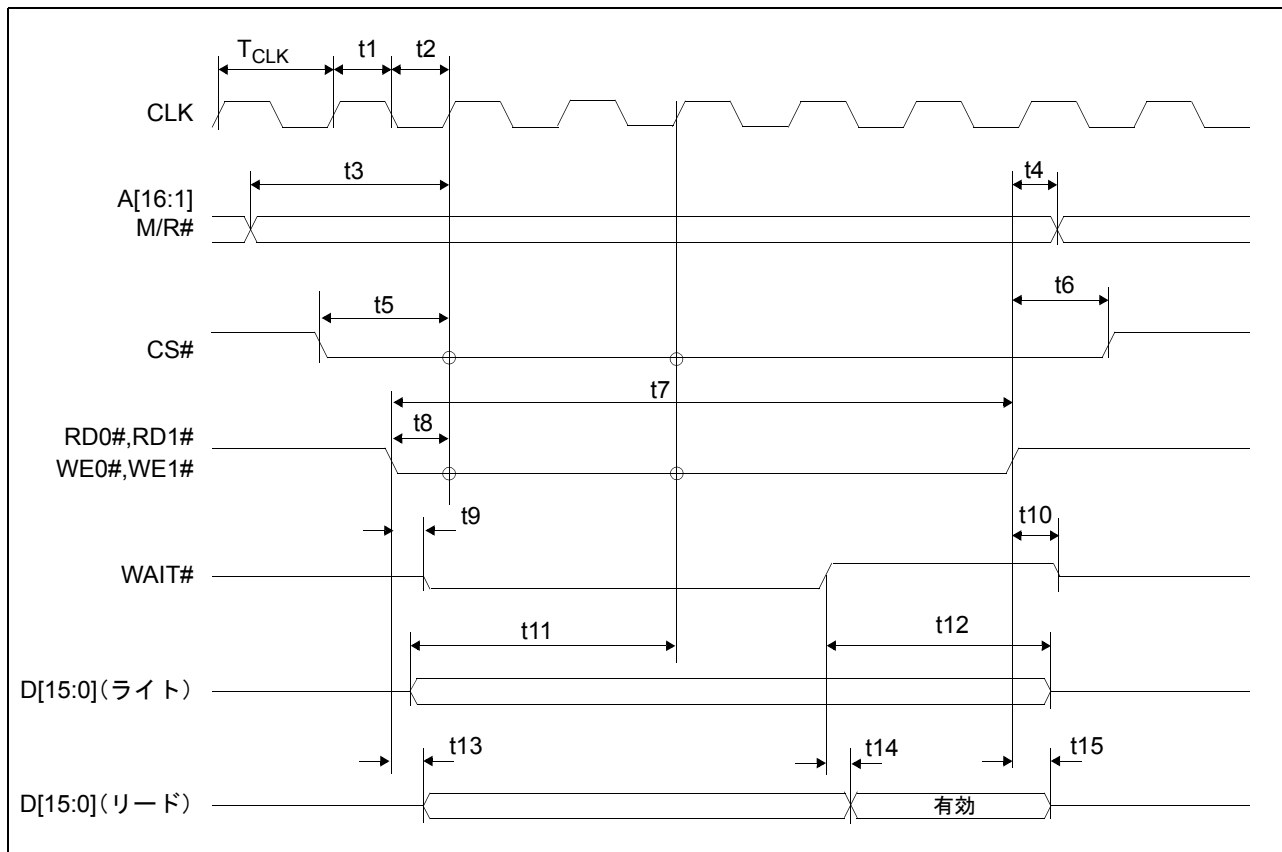


図6.2 汎用#1インタフェースタイミング

6. AC特性

表6.5 汎用#1インタフェースタイミング

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f _{CLK}	バスクロック周波数		20		50	MHz
T _{CLK}	バスクロック周期	1/f _{CLK}		1/f _{CLK}		ns
t1	クロックのHighパルス幅	22.5		9		ns
t2	クロックのLowパルス幅	22.5		9		ns
t3	A[16:1]、M/R#セットアップ→CS#=0およびRD0#、RD1#=0またはWE0#、WE1#=0の場合の最初のCLK立ち上がりエッジ	1		1		ns
t4	RD0#、RD1#またはWE0#、WE1#立ち上がりエッジ→A[16:1]、M/R#ホールド時間	0		0		ns
t5	CS#セットアップ→CLK立ち上がりエッジ	0		1		ns
t6	RD0#、RD1#またはWE0#、WE1#立ち上がりエッジ→CS#ホールド時間	0		0		ns
t7a	WAIT#を使用しないとき、MCLK=BCLKの場合にアサートされるRD0#、RD1#、WE0#、WE1# (注2)	8.5		8.5		T _{CLK}
t7b	WAIT#を使用しないとき、MCLK=BCLK÷2の場合にアサートされるRD0#、RD1#、WE0#、WE1# (注3)	11.5		11.5		T _{CLK}
t7c	WAIT#を使用しないとき、MCLK=BCLK÷3の場合にアサートされるRD0#、RD1#、WE0#、WE1# (注4)	13.5		13.5		T _{CLK}
t7d	WAIT#を使用しないとき、MCLK=BCLK÷4の場合にアサートされるRD0#、RD1#、WE0#、WE1# (注5)	17.5		17.5		T _{CLK}
t8	RD0#、RD1#、WE0#、WE1#セットアップ→CLK立ち上がりエッジ	2		1		ns
t9	RD0#、RD1#またはWE0#、WE1#の立ち下がりエッジ→WAIT# Low出力	5	31	3	15	ns
t10	RD0#、RD1#またはWE0#、WE1#の立ち上がりエッジ→WAIT#ハイインピーダンス	5	34	3	13	ns
t11	D[15:0]セットアップ→CS#=0およびWE0#、WE1#=0の場合の3番目のCLK立ち上がりエッジ (ライトサイクル) (注1)	1		0		ns
t12	WAIT#立ち上がりエッジ→D[15:0]ホールド時間 (ライトサイクル)	1		0		ns
t13	RD0#、RD1#立ち下がりエッジ→D[15:0]出力 (リードサイクル)	4	27	3	14	ns
t14	WAIT#立ち上がりエッジ→D[15:0]有効 (リードサイクル)		0		2	ns
t15	RD0#、RD1#立ち上がりエッジ→D[15:0]ハイインピーダンス (リードサイクル)	3	29	3	11	ns

注

- t11は、データがバスに置かれてから書込みバッファにラッチされるまでの遅延です。
- WAIT#を使用するとき、ホストは最大8.5T_{CLK}の間、RD0#、RD1#、WE0#、WE1#をアサートします。
- WAIT#を使用するとき、ホストは最大11.5T_{CLK}の間、RD0#、RD1#、WE0#、WE1#をアサートします。
- WAIT#を使用するとき、ホストは最大13.5T_{CLK}の間、RD0#、RD1#、WE0#、WE1#をアサートします。
- WAIT#を使用するとき、ホストは最大17.5T_{CLK}の間、RD0#、RD1#、WE0#、WE1#をアサートします。

6.2.2 汎用#2インタフェースタイミング (例: ISA)

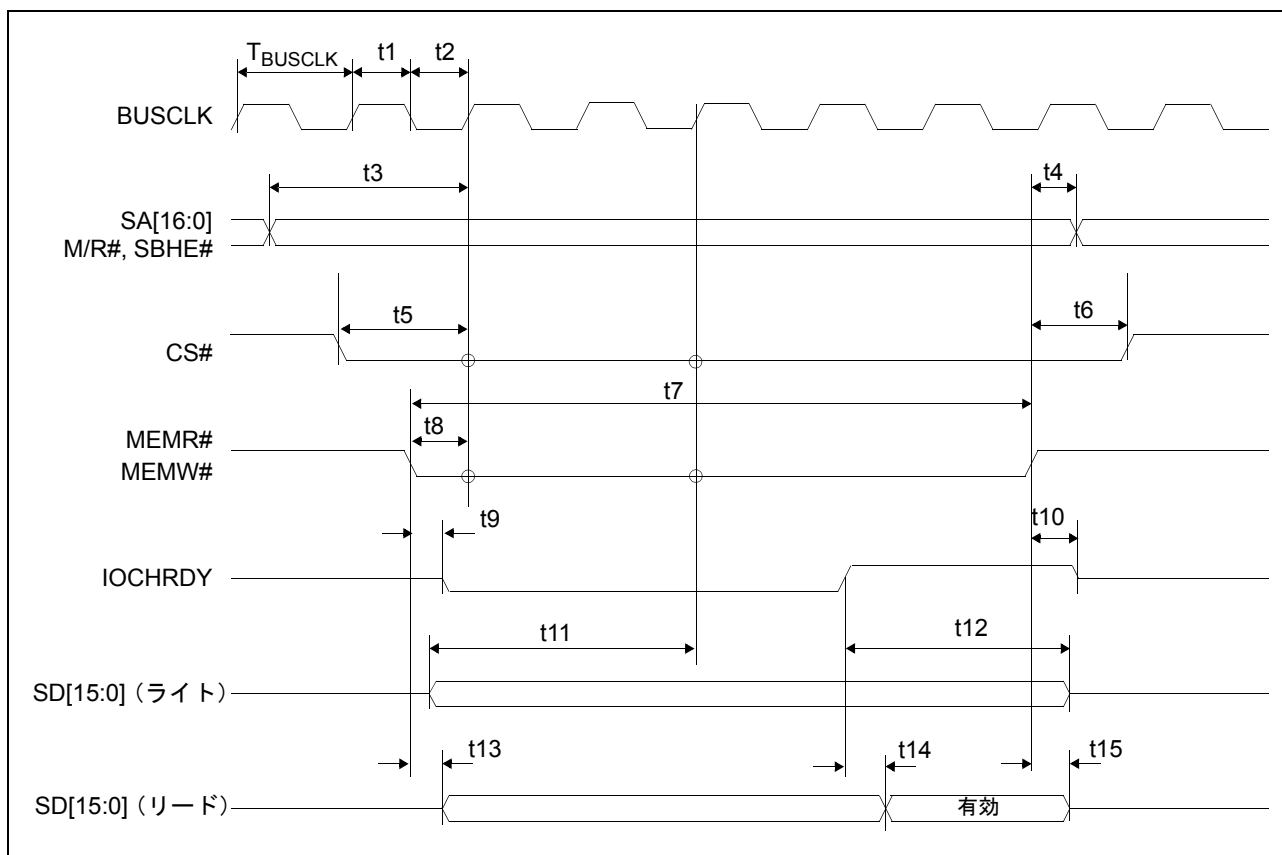


図6.3 汎用#2インタフェースタイミング

6. AC特性

表6.6 汎用#2インタフェースタイミング

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f_{BUSCLK}	バスクロック周波数		20		50	MHz
T_{BUSCLK}	バスクロック周期	$1/f_{\text{BUSCLK}}$		$1/f_{\text{BUSCLK}}$		ns
t1	クロックのHighパルス幅	22.5		9		ns
t2	クロックのLowパルス幅	22.5		9		ns
t3	SA[16:0]、M/R#、SBHE#セットアップ→CS#=0およびMEMR#=0またはMEMW#=0の場合の最初のBUSCLK立ち上がりエッジ	1		1		ns
t4	MEMR# または MEMW# 立ち上がりエッジ→SA[16:0]、M/R#、SBHE#ホールド時間	0		0		ns
t5	CS#セットアップ→BUSCLK立ち上がりエッジ	0		1		ns
t6	MEMR#またはMEMW#立ち上がりエッジ→CS#ホールド時間	0		0		ns
t7a	IOCHRDYを使用しないとき、MCLK=BCLKの場合にアサートされるMEMR#/MEMW# (注2)	8.5		8		T_{BUSCLK}
t7b	IOCHRDYを使用しないとき、MCLK=BCLK÷2の場合にアサートされるMEMR#/MEMW# (注3)	11.5		11		T_{BUSCLK}
t7c	IOCHRDYを使用しないとき、MCLK=BCLK÷3の場合にアサートされるMEMR#/MEMW# (注4)	13.5		13		T_{BUSCLK}
t7d	IOCHRDYを使用しないとき、MCLK=BCLK÷4の場合にアサートされるMEMR#/MEMW# (注5)	17.5		17		T_{BUSCLK}
t8	MEMR#またはMEMW#セットアップ→BUSCLK立ち上がりエッジ	2		1		ns
t9	MEMR#またはMEMW#立ち下がりエッジ→IOCHRDY Low出力	5		3	15	ns
t10	MEMR#またはMEMW#立ち上がりエッジ→IOCHRDYハイインピーダンス	5		3	13	ns
t11	SD[15:0]セットアップ→CS#=0およびMEMW#=0の場合の3番目のBUSCLK立ち上がりエッジ (ライトサイクル) (注1)	1		0		ns
t12	IOCHRDY立ち上がりエッジ→SD[15:0]ホールド時間 (ライトサイクル)	1		0		ns
t13	MEMR#立ち下がりエッジ→SD[15:0]出力 (リードサイクル)	4	26	3	13	ns
t14	IOCHRDY立ち上がりエッジ→SD[15:0]有効 (リードサイクル)		0		2	ns
t15	MEMR#立ち上がりエッジ→SD[15:0]ハイインピーダンス (リードサイクル)	5	33	3	12	ns

注

- t11は、データがバスに置かれてから書込みバッファにラッチされるまでの遅延です。
- IOCHRDYを使用するとき、ホストは最大 $8.5T_{\text{BUSCLK}}$ の間、MEMR#/MEMW#をアサートします。
- IOCHRDYを使用するとき、ホストは最大 $11.5T_{\text{BUSCLK}}$ の間、MEMR#/MEMW#をアサートします。
- IOCHRDYを使用するとき、ホストは最大 $13.5T_{\text{BUSCLK}}$ の間、MEMR#/MEMW#をアサートします。
- IOCHRDYを使用するとき、ホストは最大 $17.5T_{\text{BUSCLK}}$ の間、MEMR#/MEMW#をアサートします。

6.2.3 日立SH-4 インタフェースタイミング

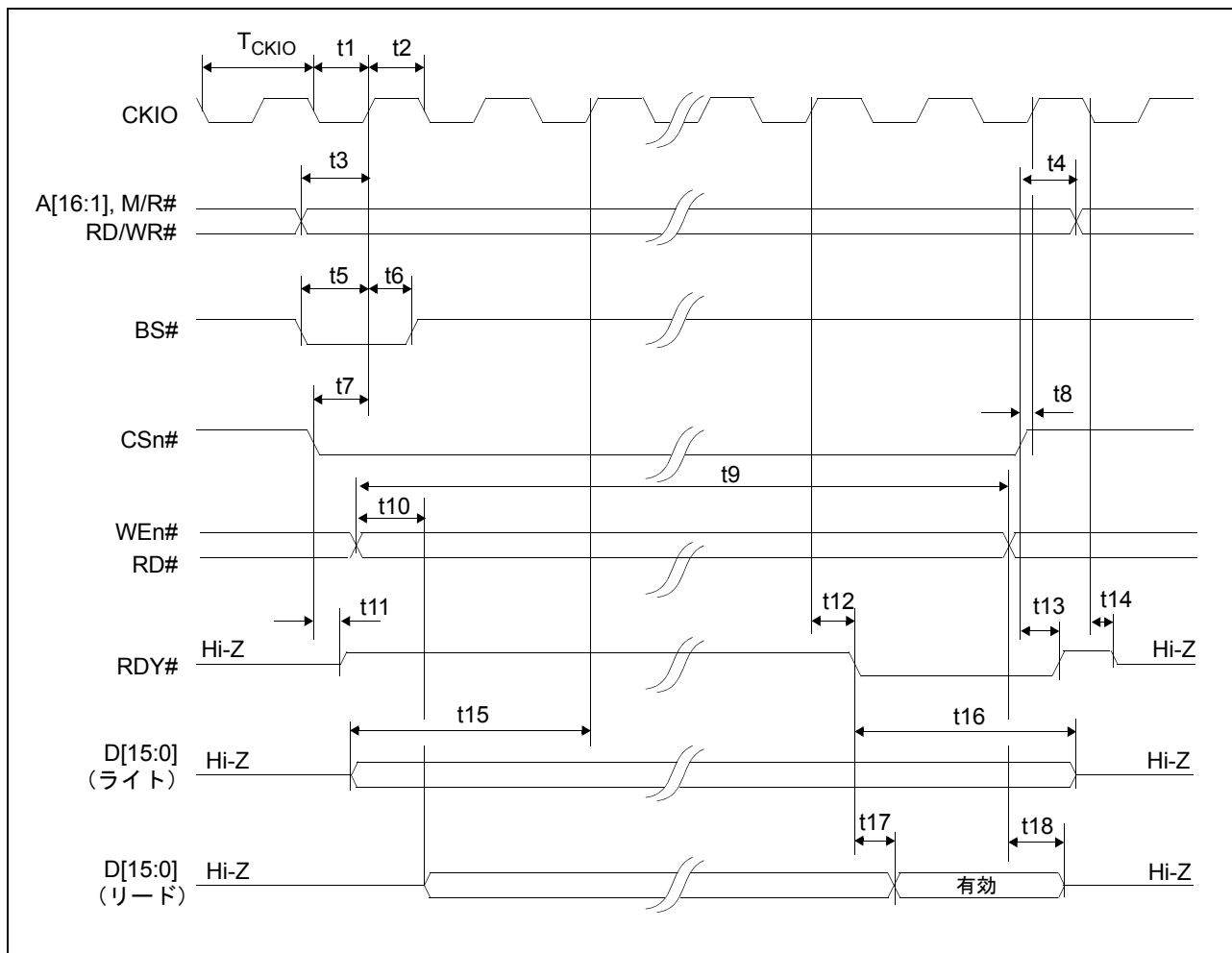


図6.4 日立SH-4 インタフェースタイミング

6. AC特性

表6.7 日立SH-4 インタフェースタイミング

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f _{CKIO}	クロック周波数		20		66	MHz
T _{CKIO}	クロック周期	1/f _{CKIO}		1/f _{CKIO}		ns
t1	クロックのLowパルス幅	22.5		6.8		ns
t2	クロックのHighパルス幅	22.5		6.8		ns
t3	A[16:1]、M/R#、RD/WR#セットアップ→CKIO	0		1		ns
t4	CSn#→A[16:1]、M/R#、RD/WR#ホールド時間	0		0		ns
t5	BS#セットアップ	3		1		ns
t6	BS#ホールド時間	7		2		ns
t7	CSn#セットアップ	0		1		ns
t8	CSn# Highセットアップ→CKIO	0		2		ns
t9a	RDY#を使用しないとき、MCLK=BCLKの場合にアサートされるRD#またはWEn# (注2) (最大MCLK=50MHz)	8.5		8.5		T _{CKIO}
t9b	RDY#を使用しないとき、MCLK=BCLK÷2の場合にアサートされるRD#またはWEn# (注3)	11.5		11.5		T _{CKIO}
t9c	RDY#を使用しないとき、MCLK=BCLK÷3の場合にアサートされるRD#またはWEn# (注4)	13.5		13.5		T _{CKIO}
t9d	RDY#を使用しないとき、MCLK=BCLK÷4の場合にアサートされるRD#またはWEn# (注5)	18.5		18.5		T _{CKIO}
t10	RD#立ち下がりエッジ→D[15:0]出力 (リードサイクル)	5	24	3	12	ns
t11	CSn#立ち下がりエッジ→RDY# High出力	3	19	3	12	ns
t12	CKIO→RDY# Low	5	42	4	18	ns
t13	CSn# High→RDY# High	5	35	4	14	ns
t14	CKIO立ち下がりエッジ→RDY#ハイインピーダンス	5	38	4	14	ns
t15	D[15:0]セットアップ→BS# 後の2番目のCKIO (ライトサイクル) (注1)	1		0		ns
t16	D[15:0]ホールド時間 (ライトサイクル)	0		0		ns
t17	RDY#立ち下がりエッジ→D[15:0]有効 (リードサイクル)		0		2	ns
t18	RD#立ち上がりエッジ→D[15:0]ハイインピーダンス (リードサイクル)	5	31	3	12	ns

注

- t15は、データがバスに置かれてから書込みバッファにラッチされるまでの遅延です。
- RDY#を使用するとき、ホストは最大8.5T_{CKIO}の間、RD#またはWEn#をアサートします。
- RDY#を使用するとき、ホストは最大11.5T_{CKIO}の間、RD#またはWEn#をアサートします。
- RDY#を使用するとき、ホストは最大13.5T_{CKIO}の間、RD#またはWEn#をアサートします。
- RDY#を使用するとき、ホストは最大18.5T_{CKIO}の間、RD#またはWEn#をアサートします。

注

ソフトウェアウェイトステートが最低1つ必要です。

6.2.4 日立SH-3インタフェースタイミング

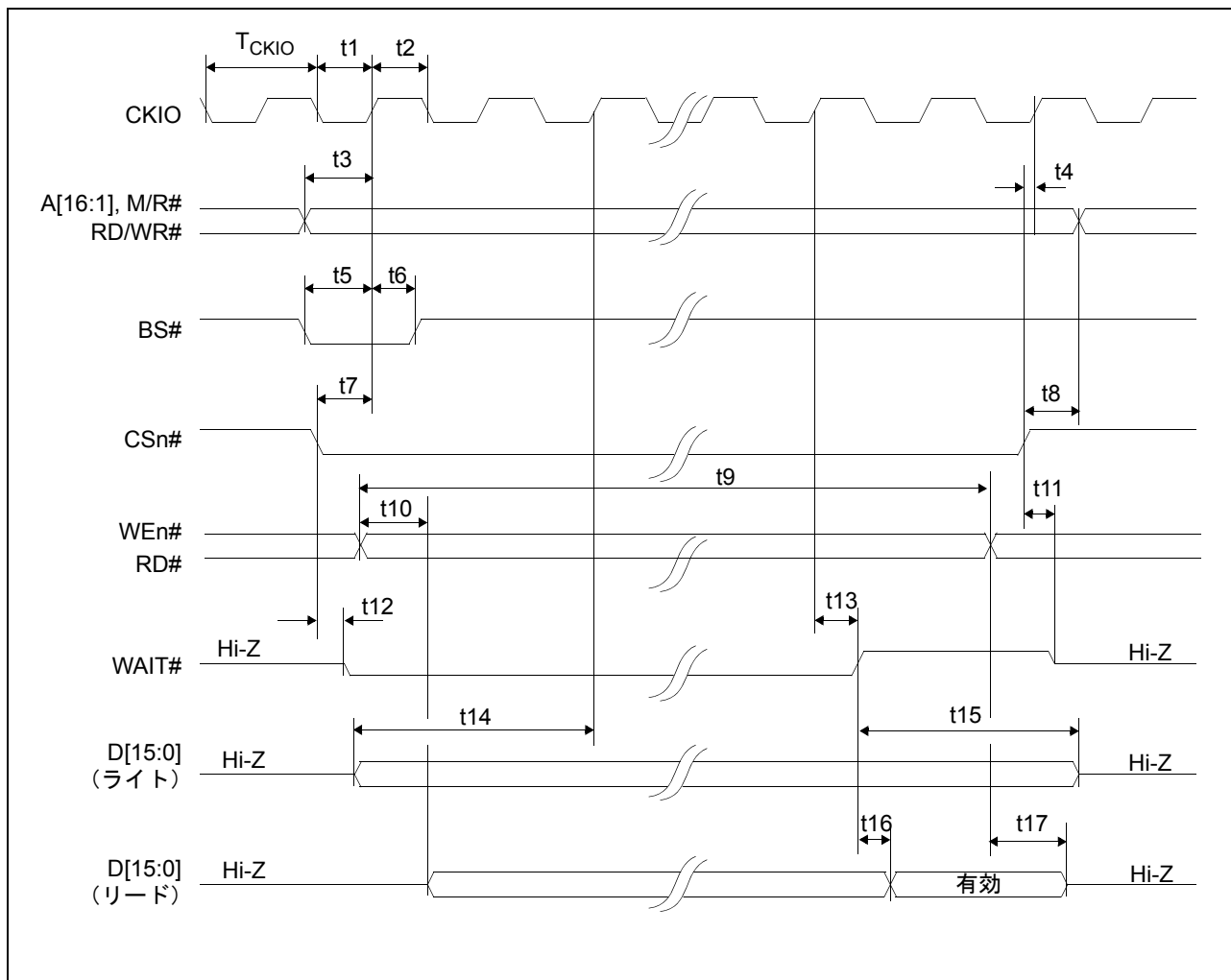


図6.5 日立SH-3インタフェースタイミング

6. AC特性

表6.8 日立SH-3インタフェースタイミング

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f _{CKIO}	バスクロック周波数		20		66	MHz
T _{CKIO}	バスクロック周期	1/f _{CKIO}		1/f _{CKIO}		ns
t1	バスクロックのLowパルス幅	22.5		6.8		ns
t2	バスクロックのHighパルス幅	22.5		6.8		ns
t3	A[16:1]、M/R#、RD/WR#セットアップ→CKIO	0		1		ns
t4	CSn# Highセットアップ→CKIO	0		1		ns
t5	BS#セットアップ	3		1		ns
t6	BS#ホールド時間	7		2		ns
t7	CSn#セットアップ	0		1		ns
t8	CS#→A[16:1]、M/R#、RD/WR#ホールド時間	0		0		ns
t9a	WAIT#を使用しないとき、MCLK=BCLKの場合にアサートされるRD#またはWEn#（注2）（最大MCLK=50MHz）	8.5		8.5		T _{CKIO}
t9b	WAIT#を使用しないとき、MCLK=BCLK÷2の場合にアサートされるRD#またはWEn#（注3）	11.5		11.5		T _{CKIO}
t9c	WAIT#を使用しないとき、MCLK=BCLK÷3の場合にアサートされるRD#またはWEn#（注4）	13.5		13.5		T _{CKIO}
t9d	WAIT#を使用しないとき、MCLK=BCLK÷4の場合にアサートされるRD#またはWEn#（注5）	18.5		18.5		T _{CKIO}
t10	RD#立ち下がりエッジ→D[15:0]出力（リードサイクル）	5	24	3	12	ns
t11	CSn#立ち上がりエッジ→WAIT#ハイインピーダンス	4	24	2	10	ns
t12	CSn#立ち下がりエッジ→WAIT# Low出力	3	24	2	12	ns
t13	CKIO→WAIT# 遅延	6	45	4	18	ns
t14	D[15:0]セットアップ→BS# 後の2番目のCKIO（ライトサイクル）（注1）	1		0		ns
t15	D[15:0]ホールド時間（ライトサイクル）	0		0		ns
t16	WAIT#立ち上がりエッジ→D[15:0]有効（リードサイクル）		0		2	ns
t17	RD#立ち上がりエッジ→D[15:0]ハイインピーダンス（リードサイクル）	5	31	3	12	ns

注

1. t14は、データがバスに置かれてから書込みバッファにラッチされるまでの遅延です。
2. WAIT#を使用するとき、ホストは最大8.5T_{CKIO}の間、RD#またはWEn#をアサートします。
3. WAIT#を使用するとき、ホストは最大11.5T_{CKIO}の間、RD#またはWEn#をアサートします。
4. WAIT#を使用するとき、ホストは最大13.5T_{CKIO}の間、RD#またはWEn#をアサートします。
5. WAIT#を使用するとき、ホストは最大18.5T_{CKIO}の間、RD#またはWEn#をアサートします。

注

ソフトウェアウェイトステートが最低1つ必要です。

6.2.5 モトローラMC68K#1インタフェースタイミング (例: MC68000)

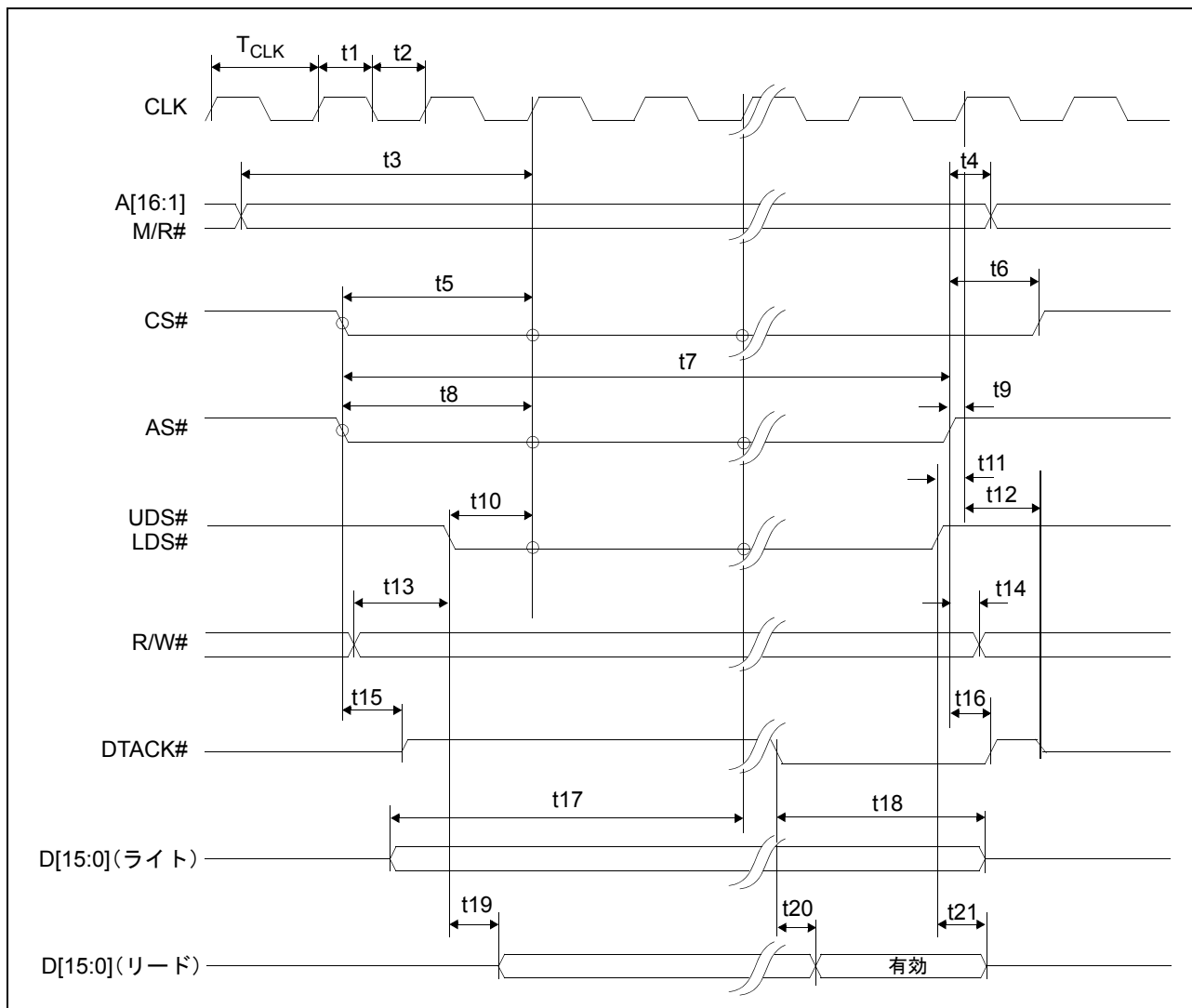


図6.6 モトローラMC68K#1インタフェースタイミング

6. AC特性

表6.9 モトローラMC68K#1インタフェースタイミング

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f _{CLK}	バスクロック周波数		20		50	MHz
T _{CLK}	バスクロック周期	1/f _{CLK}		1/f _{CLK}		ns
t1	クロックのHighパルス幅	22.5		9		ns
t2	クロックのLowパルス幅	22.5		9		ns
t3	A[16:1]、M/R#セットアップ→CS# = 0、AS# = 0、UDS# = 0、LDS# = 0の場合の最初のCLK立ち上がりエッジ	1		1		ns
t4	AS#立ち上がりエッジ→A[16:1]、M/R#ホールド時間	0		0		ns
t5	CS#セットアップ→CS# = 0、AS# = 0、UDS#/LDS# = 0の間のCLK立ち上がりエッジ	0		1		ns
t6	AS#立ち上がりエッジ→CS#ホールド時間	0		0		ns
t7a	DTACK#を使用しないとき、MCLK=BCLKの場合にアサートされるAS# (注2)	8		8		T _{CLK}
t7b	DTACK#を使用しないとき、MCLK=BCLK÷2の場合にアサートされるAS# (注3)	11		11		T _{CLK}
t7c	DTACK#を使用しないとき、MCLK=BCLK÷3の場合にアサートされるAS# (注4)	13		13		T _{CLK}
t7d	DTACK#を使用しないとき、MCLK=BCLK÷4の場合にアサートされるAS# (注5)	18		18		T _{CLK}
t8	AS#セットアップ→CS# = 0、AS# = 0、UDS#/LDS# = 0の間のCLK立ち上がりエッジ	1		1		ns
t9	AS#セットアップ→CLK立ち上がりエッジ	1		2		ns
t10	UDS#/LDS#セットアップ→CS# = 0、AS# = 0、UDS#/LDS# = 0の間のCLK立ち上がりエッジ	3		1		ns
t11	UDS#/LDS# Highセットアップ→CLK立ち上がりエッジ	3		2		ns
t12	AS# = 1の場合の最初のCLK立ち上がりエッジ→DTACK#ハイインピーダンス	5	40	3	14	ns
t13	R/W#セットアップ→すべてのCS# = 0、AS# = 0、UDS# = 0および/またはLDS# = 0の前のCLK立ち上がりエッジ	0		1		ns
t14	AS#立ち上がりエッジ→R/W#ホールド時間	0		0		ns
t15	AS# = 0およびCS# = 0→DTACK# High出力	4	23	3	13	ns
t16	AS#立ち上がりエッジ→DTACK#立ち上がりエッジ	6	39	4	16	ns
t17	D[15:0]有効→CS# = 0、AS# = 0およびUDS# = 0またはLDS# = 0の場合の3番目のCLK立ち上がりエッジ (ライトサイクル) (注1)	1		0		ns
t18	DTACK#立ち下がりエッジからD[15:0]ホールド時間 (ライトサイクル)	0		0		ns
t19	UDS# = 0および/またはLDS# = 0→D[15:0]出力 (リードサイクル)	4	27	3	13	ns
t20	DTACK#立ち下がりエッジ→D[15:0]有効 (リードサイクル)		0		2	ns
t21	UDS#、LDS#立ち上がりエッジ→D[15:0]ハイインピーダンス (リードサイクル)	5	33	3	13	ns

注

- t17は、データがバスに置かれてから書込みバッファにラッチされるまでの遅延です。
- DTACK#を使用するとき、ホストは最大8T_{CLK}の間、AS#をアサートします。
- DTACK#を使用するとき、ホストは最大11T_{CLK}の間、AS#をアサートします。
- DTACK#を使用するとき、ホストは最大13T_{CLK}の間、AS#をアサートします。
- DTACK#を使用するとき、ホストは最大18T_{CLK}の間、AS#をアサートします。

6.2.6 モトローラMC68K#2インタフェースタイミング (例: MC68030)

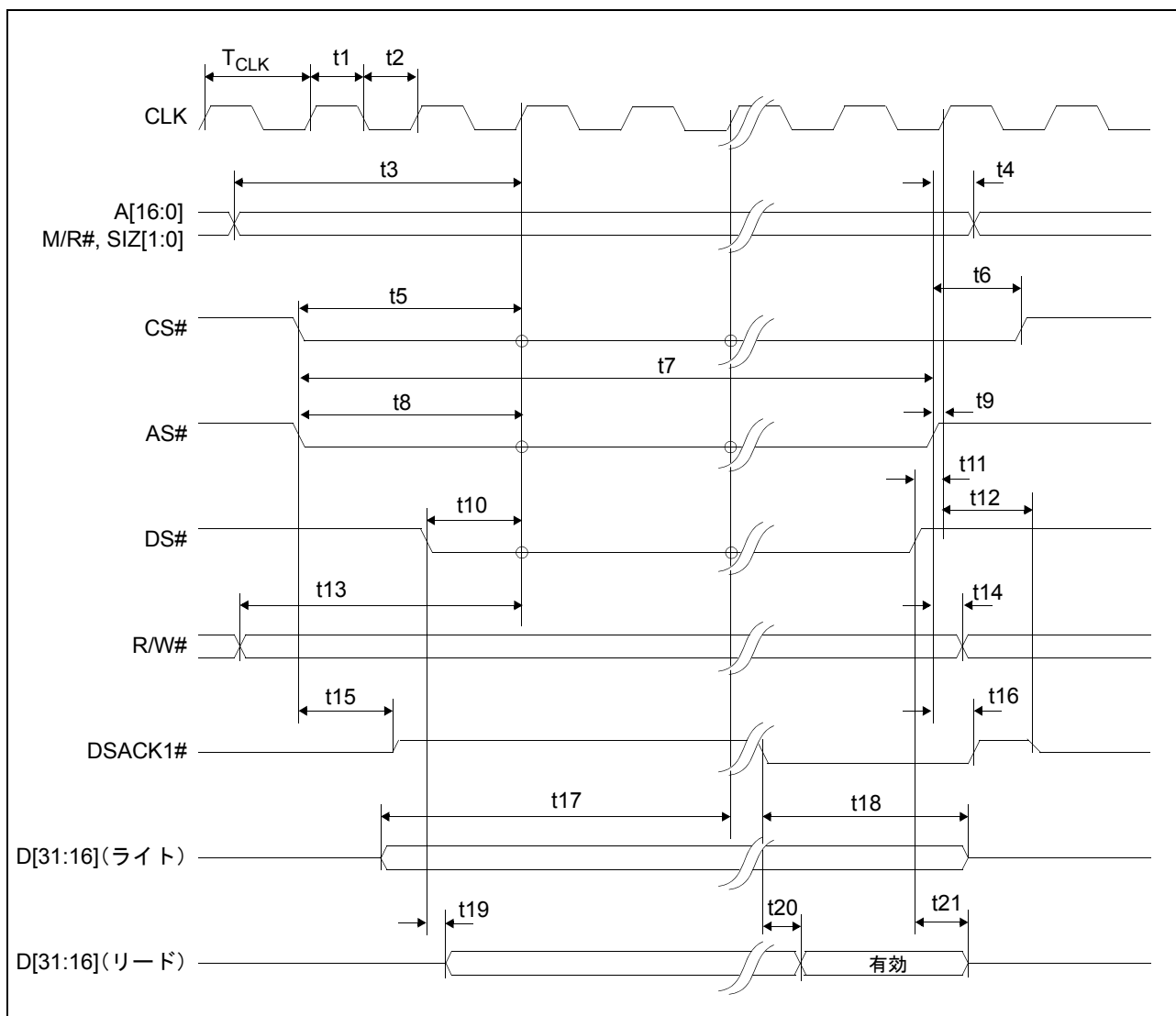


図6.7 モトローラMC68K#2インタフェースタイミング

注

モトローラ68K#2 ホストバスインタフェースの実装の情報については、「モトローラMC68030マイクロプロセッサへの接続」(X31B-G-013-xx)を参照してください。

6. AC特性

表6.10 モトローラMC68K#2インタフェースタイミング

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f _{CLK}	バスクロック周波数		20		50	MHz
T _{CLK}	バスクロック周期	1/f _{CLK}		1/f _{CLK}		ns
t1	クロックのHighパルス幅	22.5		9		ns
t2	クロックのLowパルス幅	22.5		9		ns
t3	A[16:0]、SIZ[1:0]、M/R#セットアップ→CS# = 0、AS# = 0、DS# = 0の場合の最初のCLK立ち上がりエッジ	1		1		ns
t4	AS#立ち上がりエッジ→A[16:0]、SIZ[1:0]、M/R#ホールド時間	0		0		ns
t5	CS#セットアップ→CLK立ち上がりエッジ	0		1		ns
t6	AS#立ち上がりエッジ→CS#ホールド時間	0		0		ns
t7a	DSACK1#を使用しないとき、MCLK=BCLKの場合にアサートされるAS# (注2)	8		8		T _{CLK}
t7b	DSACK1#を使用しないとき、MCLK=BCLK÷2の場合にアサートされるAS# (注3)	11		11		T _{CLK}
t7c	DSACK1#を使用しないとき、MCLK=BCLK÷3の場合にアサートされるAS# (注4)	13		13		T _{CLK}
t7d	DSACK1#を使用しないとき、MCLK=BCLK÷4の場合にアサートされるAS# (注5)	18		18		T _{CLK}
t8	AS#立ち下がりエッジ→CLK立ち上がりエッジ	1		1		ns
t9	AS#立ち上がりエッジ→CLK立ち上がりエッジ	1		3		ns
t10	DS#立ち下がりエッジ→CLK立ち上がりエッジ	1		1		ns
t11	DS#セットアップ→CLK立ち上がりエッジ	1		3		ns
t12	AS# = 1の場合の最初のCLK立ち上がりエッジ→DSACK1#ハイインピーダンス	5	40	3	14	ns
t13	R/W#セットアップ→すべてのCS# = 0、AS# = 0、DS# = 0の前のCLK立ち上がりエッジ	1		1		ns
t14	AS#立ち上がりエッジ→R/W#ホールド時間	0		0		ns
t15	AS# = 0およびCS# = 0→DSACK1#立ち上がりエッジ	4	23	3	14	ns
t16	AS#立ち上がりエッジ→DSACK1#立ち上がりエッジ	6	39	4	17	ns
t17	D[31:16]有効→CS# = 0、AS# = 0、DS# = 0 場合の3番目のCLK立ち上がりエッジ (ライトサイクル) (注1)	1		0		ns
t18	DSACK1#立ち下がりエッジ→D[31:16]ホールド時間 (ライトサイクル)	0		0		ns
t19	DS#立ち下がりエッジ→D[31:16]出力 (リードサイクル)	4	32	3	14	ns
t20	DSACK1#立ち下がりエッジ→D[31:16]有効 (リードサイクル)		0		2	ns
t21	DS#立ち上がりエッジ→D[31:16] 無効/ハイインピーダンス (リードサイクル)	5	36	3	13	ns

注

- t17は、データがバスに置かれてから書込みバッファにラッチされるまでの遅延です。
- DSACK1#を使用するとき、ホストは最大8T_{CLK}の間、AS#をアサートします。
- DSACK1#を使用するとき、ホストは最大11T_{CLK}の間、AS#をアサートします。
- DSACK1#を使用するとき、ホストは最大13T_{CLK}の間、AS#をアサートします。
- DSACK1#を使用するとき、ホストは最大18T_{CLK}の間、AS#をアサートします。

6.2.7 モトローラREDCAP2インタフェースタイミング

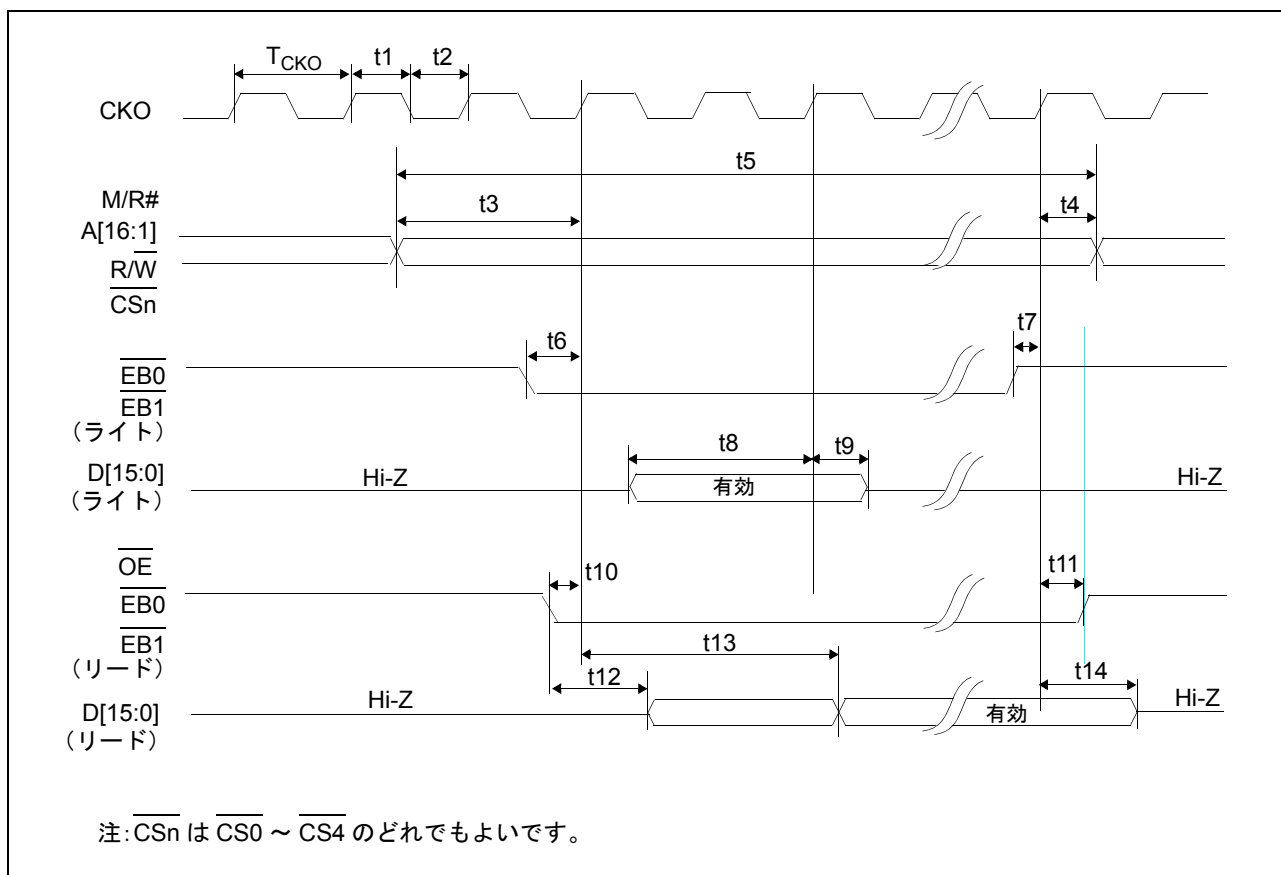


図6.8 モトローラREDCAP2インタフェースタイミング

注

モトローラREDCAP2マイクロプロセッサの実装の詳細については、「統合MCU付きモトローラREDCAP2 DSPへの接続」(X31B-G-013-xx)を参照してください。

6. AC特性

表6.11 モトローラREDCAP2インタフェースタイミング

記号	パラメータ	2.0V		3.3V		単位
		Min	Max	Min	Max	
f_{CKO}	バスクロック周波数		17		17	MHz
T_{CKO}	バスクロック周期	$1/f_{CKO}$		$1/f_{CKO}$		ns
t1	バスクロックのLowパルス幅	26		26		ns
t2	バスクロックのHighパルス幅	26		26		ns
t3	A[16:1]、M/R#、 $\overline{R/W}$ 、 \overline{CSn} セットアップ→CKO立ち上がりエッジ	1		1		ns
t4	CKO立ち上がりエッジ→A[16:1]、M/R#、 $\overline{R/W}$ 、 \overline{CSn} ホールド時間	0		0		ns
t5a	MCLK = BCLKの場合にアサートされる \overline{CSn}	8		8		T_{CKO}
t5b	MCLK = BCLK ÷ 2の場合にアサートされる \overline{CSn}	10		10		T_{CKO}
t5c	MCLK = BCLK ÷ 3の場合にアサートされる \overline{CSn}	13		13		T_{CKO}
t5d	MCLK = BCLK ÷ 4の場合にアサートされる \overline{CSn}	15		15		T_{CKO}
t6	$\overline{EB0}$ 、 $\overline{EB1}$ のアサート→CKO立ち上がりエッジ (ライトサイクル)	1		1		ns
t7	$\overline{EB0}$ 、 $\overline{EB1}$ のディアサート→CKO立ち上がりエッジ (ライトサイクル)	1		4		ns
t8	D[15:0]入力セットアップ→ $\overline{EB0}$ または $\overline{EB1}$ がLowでアサートされた後の3番目のCKO立ち上がりエッジ (ライトサイクル) (注1)	1		0		ns
t9	$\overline{EB0}$ または $\overline{EB1}$ がLowでアサートされた後の3番目のCKO立ち上がりエッジ→D[15:0]入力ホールド時間 (ライトサイクル)	23		8		ns
t10	\overline{OE} 、 $\overline{EB0}$ 、 $\overline{EB1}$ セットアップ→CKO立ち上がりエッジ (リードサイクル)	1		0		ns
t11	\overline{OE} 、 $\overline{EB0}$ 、 $\overline{EB1}$ のホールド→CKO立ち上がりエッジ (リードサイクル)	1		0		ns
t12	\overline{OE} 、 $\overline{EB0}$ 、 $\overline{EB1}$ 立ち下がりエッジ→D[15:0]出力遅延 (リードサイクル)	4	29	3	10	ns
t13a	$\overline{EB0}$ または $\overline{EB1}$ がLowでアサートされた後の最初のCKO立ち上がりエッジ→MCLK = BCLKの場合のD[15:0]有効 (リードサイクル)		$4.5CKO + 7$		$4.5CKO + 20$	ns
t13b	$\overline{EB0}$ または $\overline{EB1}$ がLowでアサートされた後の最初のCKO立ち上がりエッジ→MCLK = BCLK ÷ 2の場合のD[15:0]有効 (リードサイクル)		$7CKO + 10$		$6.5CKO + 20$	ns
t13c	$\overline{EB0}$ または $\overline{EB1}$ がLowでアサートされた後の最初のCKO立ち上がりエッジ→MCLK = BCLK ÷ 3の場合のD[15:0]有効 (リードサイクル)		$8.5CKO + 8$		$9.5CKO + 20$	ns
t13d	$\overline{EB0}$ または $\overline{EB1}$ がLowでアサートされた後の最初のCKO立ち上がりエッジ→MCLK = BCLK ÷ 4の場合のD[15:0]有効 (リードサイクル)		$9CKO + 11$		$11.5CKO + 20$	ns
t14	CKO立ち上がりエッジ→D[15:0]Hi-Z出力 (リードサイクル)	4	31	1	11	ns

注

- t8は、データがバスに置かれてから書込みバッファにラッチされるまでの遅延です。

6.2.8 DTACK付きモトローラDragonBallインタフェースタイミング (例: MC68EZ328/MC68VZ328)

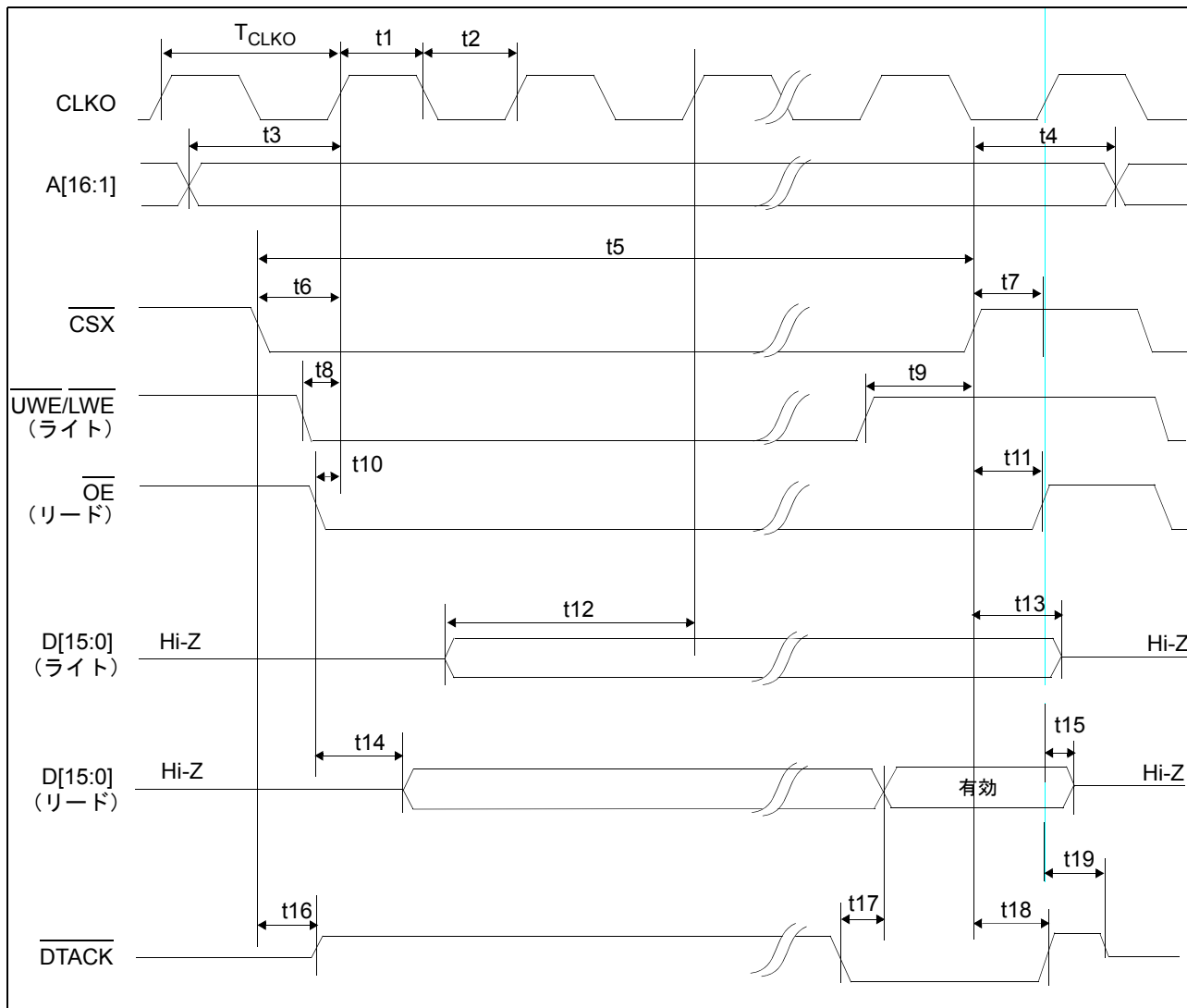


図6.9 DTACK付きモトローラDragonBallインタフェースタイミング

6. AC特性

表6.12 DTACK付きモトローラDragonBallインタフェースタイミング

記号	パラメータ	MC68EZ328				MC68VZ328				単位
		2.0V		3.3V		2.0V		3.3V		
		Min	Max	Min	Max	Min	Max	Min	Max	
f _{CLKO}	バスクロック周波数		16		16		20		33	MHz
T _{CLKO}	バスクロック周期	1/f _{CLKO}		1/f _{CLKO}		1/f _{CLKO}		1/f _{CLKO}		ns
t1	クロックのHighパルス幅	28.1		28.1		22.5		13.5		ns
t2	クロックのLowパルス幅	28.1		28.1		22.5		13.5		ns
t3	A[16:1]セットアップ→CSX = 0およびUWE/LWE = 0またはOE = 0の場合の最初のCLKO立ち上がりエッジ	0		0		0		0		ns
t4	CSX立ち上がりエッジ→A[16:1]ホールド時間	0		0		0		0		ns
t5a	MCLK = BCLKの場合にアサートされるCSX		8		8		8		8	T _{CLKO}
t5b	MCLK = BCLK ÷ 2の場合にアサートされるCSX		11		11		11		11	T _{CLKO}
t5c	MCLK = BCLK ÷ 3の場合にアサートされるCSX		13		13		13		13	T _{CLKO}
t5d	MCLK = BCLK ÷ 4の場合にアサートされるCSX		17		17		17		17	T _{CLKO}
t6	CSXセットアップ→CLKO立ち上がりエッジ	0		0		0		0		ns
t7	CSX立ち上がりエッジ→CLKO立ち上がりエッジ	0		0		0		0		ns
t8	UWE/LWE立ち下がりエッジ→CLKO立ち上がりエッジ	1		0		1		0		ns
t9	UWE/LWE立ち上がりエッジ→CSX立ち上がりエッジ	0		0		0		0		ns
t10	OE立ち下がりエッジ→CLKO立ち上がりエッジ	1		1		1		1		ns
t11	CSX立ち上がりエッジ→OEホールド時間	0		0		0		0		ns
t12	D[15:0]セットアップ→CSX、UWE/LWE がアサートされたときの3番目のCLKO立ち上がりエッジ (ライトサイクル) (注1)	1		0		1		0		ns
t13	CSX立ち上がりエッジ→D[15:0]ホールド時間 (ライトサイクル)	0		0		0		0		ns
t14	OE立ち下がりエッジ→D[15:0]出力 (リードサイクル)	4	30	3	15	4	30	3	15	ns
t15	CLKO立ち上がりエッジ→D[15:0]Hi-Z出力 (リードサイクル)	4	21	2	12	4	21	2	12	ns
t16	CSX立ち下がりエッジ→DTACK High出力	3	20	3	13	3	20	3	13	ns
t17	DTACK立ち下がりエッジ→D[15:0]有効 (リードサイクル)		0		2		0		2	ns
t18	CSX High→DTACK High	5	34	3	16	5	34	3	16	ns
t19	CLKO立ち上がりエッジ→DTACK Hi-Z	5	40	1	6	5	40	1	6	ns

注

- t12は、データがバスに置かれてから書込みバッファにラッチされるまでの遅延です。

6.2.9 DTACKなしモトローラDragonBallインタフェースタイミング (例: MC68EZ328/MC68VZ328)

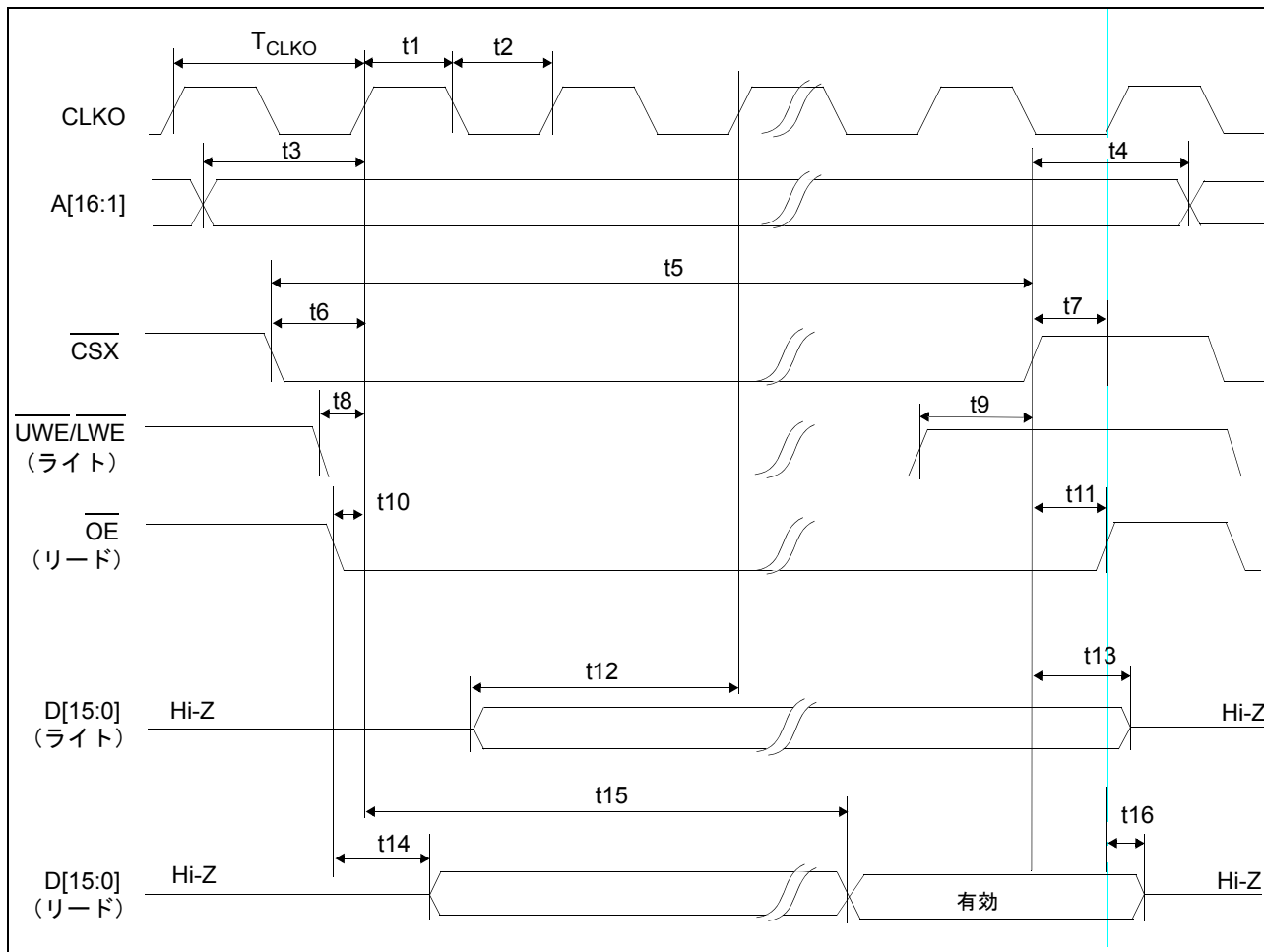


図6.10 DTACKなしモトローラDragonBallインタフェースタイミング

6. AC特性

表6.13 DTACKなしモトローラDragonBallインタフェースタイミング

記号	パラメータ	MC68EZ328				MC68VZ328				単位
		2.0V		3.3V		2.0V		3.3V		
		Min	Max	Min	Max	Min	Max	Min	Max	
f _{CLKO}	バスクロック周波数		16		16		20		33	MHz
T _{CLKO}	バスクロック周期	1/f _{CLKO}		1/f _{CLKO}		1/f _{CLKO}		1/f _{CLKO}		ns
t1	クロックのHighパルス幅	28.1		28.1		22.5		13.6		ns
t2	クロックのLowパルス幅	28.1		28.1		22.5		13.6		ns
t3	A[16:1]セットアップ→CSX=0およびUWE/LWE=0またはOE=0の場合の最初のCLKO立ち上がりエッジ	0		0		0		0		ns
t4	CSX立ち上がりエッジ→A[16:1]ホールド時間	0		0		0		0		ns
t5a	MCLK=BCLKの場合にアサートされるCSX (CPU 待機状態レジスタは、4ウェイトステートにプログラムしてください)	8		8		8		8		T _{CLKO}
t5b	MCLK=BCLK÷2の場合にアサートされるCSX (CPU 待機状態レジスタは、6ウェイトステートにプログラムしてください)	11		11		11		11		T _{CLKO}
t5c	MCLK=BCLK÷3の場合にアサートされるCSX (CPU 待機状態レジスタは、10ウェイトステートにプログラムしてください)	(注1)	—	(注1)		13		13		T _{CLKO}
t5d	MCLK=BCLK÷4の場合にアサートされるCSX (CPU 待機状態レジスタは、12ウェイトステートにプログラムしてください)	(注1)	—	(注1)		17		17		T _{CLKO}
t6	CSXセットアップ→CLKO立ち上がりエッジ	0		0		0		0		ns
t7	CSX立ち上がりエッジセットアップ→CLKO立ち上がりエッジ	0		0		0		0		ns
t8	UWE/LWEセットアップ→CLKO立ち上がりエッジ	1		0		1		0		ns
t9	UWE/LWE立ち上がりエッジ→CSX立ち上がりエッジ	0		0		0		0		ns
t10	OEセットアップ→CLKO立ち上がりエッジ	1		1		1		1		ns
t11	CSX立ち上がりエッジ→OEホールド時間	0		0		0		0		ns
t12	D[15:0]セットアップ→CSX、UWE/LWEがアサートされた後の3番目のCLKO立ち上がりエッジ (ライトサイクル) (注2)	1		0		1		0		ns
t13	CSX立ち上がりエッジ→D[15:0]Hi-Z出力 (ライトサイクル)	0		0		0		0		ns
t14	OE立ち下がりエッジ→D[15:0]出力 (リードサイクル)	4	30	3	15	4	30	3	15	ns

表6.13 DTACKなしモトローラDragonBallインタフェースタイミング

t15a	\overline{OE} と \overline{CSX} がLowでアサートされた後の最初のCLKO立ち上がりエッジ→MCLK = BCLKの場合のD[15:0]有効 (リードサイクル)		$5.5T_{CLKO} + 4$		$5.5T_{CLKO} + 20$		$5.5T_{CLKO} + 4$		$5.5T_{CLKO} + 20$	ns
t15b	\overline{OE} と \overline{CSX} がLowでアサートされた後の最初のCLKO立ち上がりエッジ→MCLK = BCLK÷2の場合のD[15:0]有効 (リードサイクル)		$8T_{CLKO} + 19$		$8.5T_{CLKO} + 20$		$8T_{CLKO} + 19$		$8.5T_{CLKO} + 20$	ns
t15c	\overline{OE} と \overline{CSX} がLowでアサートされた後の最初のCLKO立ち上がりエッジ→MCLK = BCLK÷3の場合のD[15:0]有効 (リードサイクル)		$9.5T_{CLKO} + 17$		$10.5T_{CLKO} + 20$		$9.5T_{CLKO} + 17$		$10.5T_{CLKO} + 20$	ns
t15d	\overline{OE} と \overline{CSX} がLowでアサートされた後の最初のCLKO立ち上がりエッジ→MCLK = BCLK÷4の場合のD[15:0]有効 (リードサイクル)		$13T_{CLKO} + 9$		$14.5T_{CLKO} + 20$		$13T_{CLKO} + 9$		$14.5T_{CLKO} + 20$	ns
t16	CLKO立ち上がりエッジ→D[15:0]Hi-Z出力 (リードサイクル)	4	21	2	12	4	21	2	12	ns

注

1. MC68EZ328は、DTACKなしではMCLK = BCLK÷3とMCLK = BCLK÷4設定に対応することはできません。
2. t12は、データがバスに置かれてから書込みバッファにラッチされるまでの遅延です。

6. AC特性

6.3 LCD電源シーケンス

6.3.1 パッシブ/TFT電源投入シーケンス

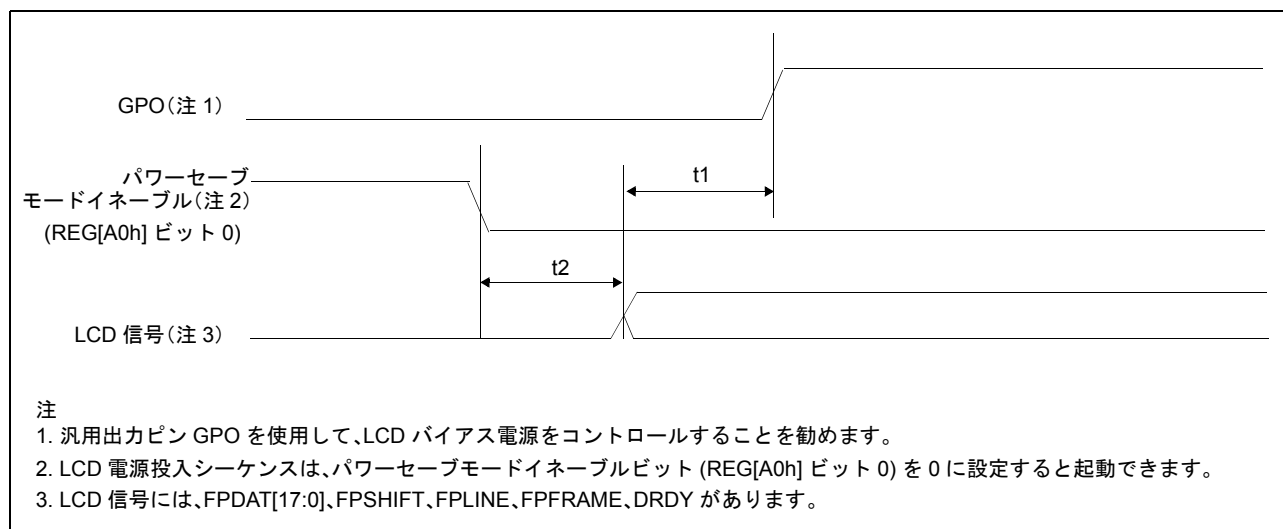


図6.11 パッシブ/TFT 電源投入シーケンスタイミング

表6.14 パッシブ/TFT 電源投入シーケンスタイミング

記号	パラメータ	Min	Max	単位
t1	LCD信号アクティブ→LCD バイアスアクティブ	(注1)	(注1)	
t2	パワーセーブモードディセーブル→LCD信号アクティブ	0	20	ns

注

- t1はソフトウェアでコントロールされます。これは、接続されたパネルのバイアス電源遅延要件から決定してください。

注

HR-TFT電源投入/切断シーケンス情報については、「シャープHR-TFTパネルへの接続」(X31BG011-xx)を参照してください。

D-TFD 電源投入/切断シーケンス情報については、「エプソンD-TFDパネルへの接続」(X31BG012-xx)を参照してください。

6.3.2 パッシブ/TFT電源切断シーケンス

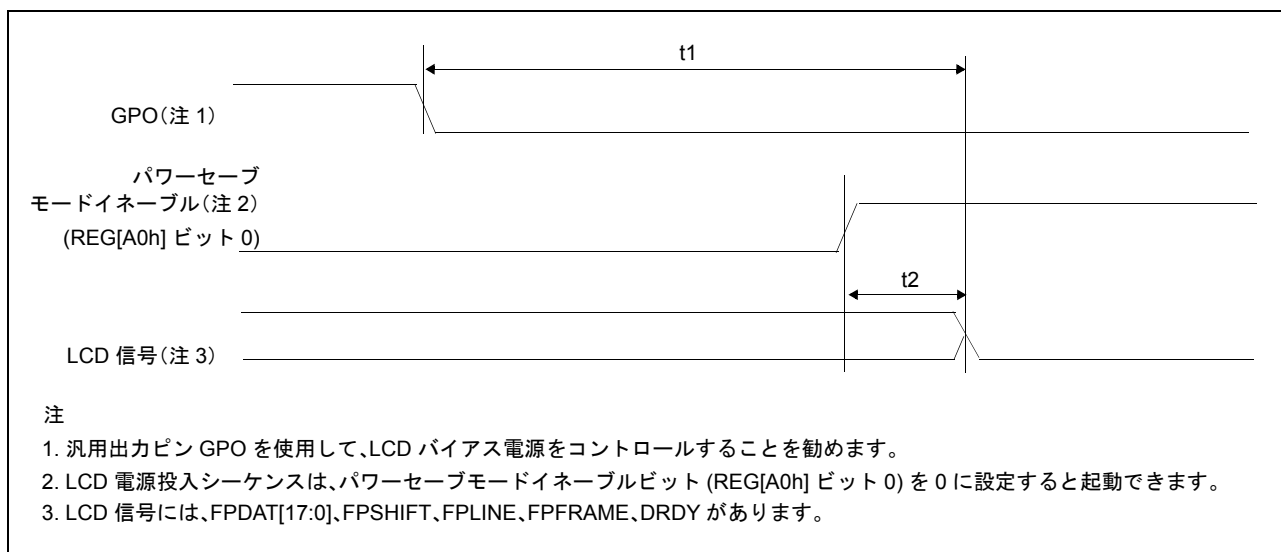


図6.12 パッシブ/TFT電源切断シーケンスタイミング

表6.15 パッシブ/TFT電源切断シーケンスタイミング

記号	パラメータ	Min	Max	単位
t1	LCD バイアス動作停止→LCD信号インアクティブ	(注1)	(注1)	
t2	パワーセーブモードイネーブル→LCD信号Low	0	20	ns

注

- t1はソフトウェアでコントロールされます。これは、接続されたパネルのバイアス電源遅延要件から決定してください。

6. AC特性

6.4 LCDインタフェース

図6.13は、フラットパネルディスプレイを駆動するために設定する必要があるタイミングパラメータを示しています。サポートしている様々なパネルタイプのタイミング詳細については、以下で説明します。

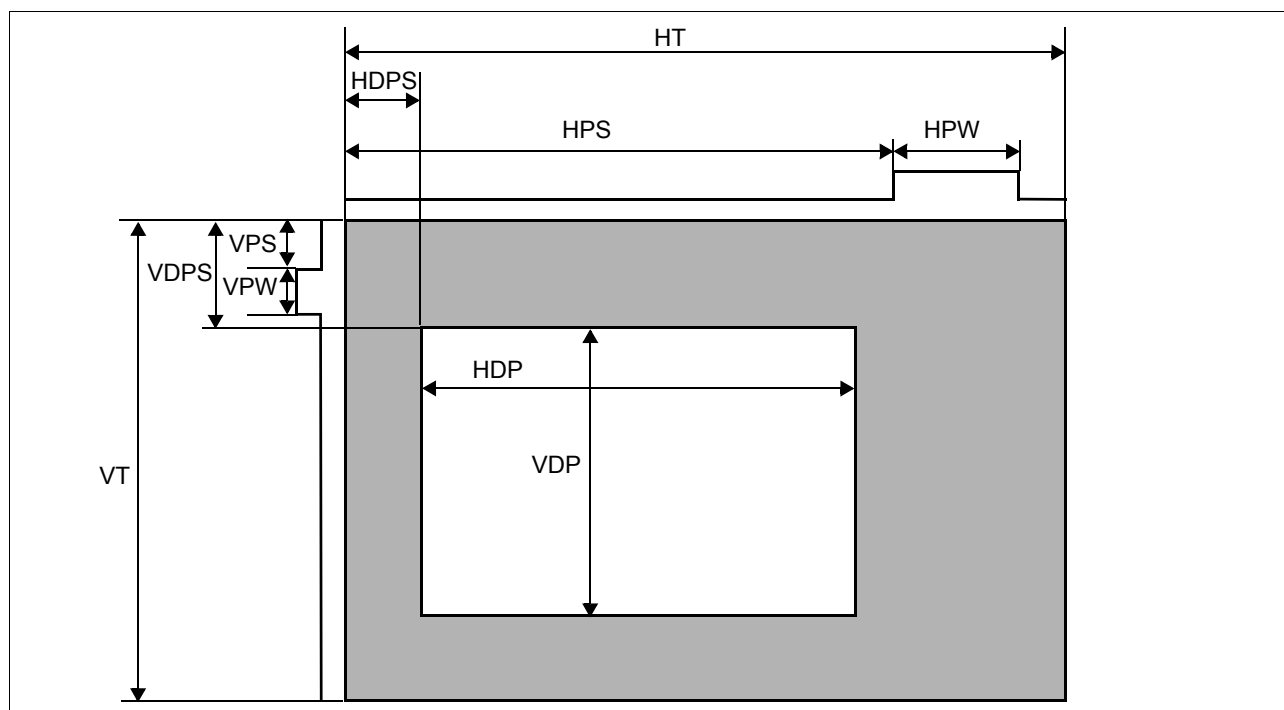


図6.13 パネルタイミングパラメータ

表6.16 パネルタイミングパラメータの定義とレジスタの一覧

記号	説明	導出方法	単位
HT	全水平期間	$((\text{REG}[12\text{h}] \text{ビット}6\sim0) + 1) \times 8$	Ts
HDP (注1)	水平表示期間 (注1)	$((\text{REG}[14\text{h}] \text{ビット}6\sim0) + 1) \times 8$	
HDPS	水平表示期間開始位置	STNパネル : $((\text{REG}[17\text{h}] \text{ビット}1\sim0, \text{REG}[16\text{h}] \text{ビット}7\sim0) + 22)$ TFTパネル : $((\text{REG}[17\text{h}] \text{ビット}1\sim0, \text{REG}[16\text{h}] \text{ビット}7\sim0) + 5)$	
HPS	FPLINEパルス開始位置	$(\text{REG}[23\text{h}] \text{ビット}1\sim0, \text{REG}[22\text{h}] \text{ビット}7\sim0) + 1$	
HPW	FPLINEパルス幅	$(\text{REG}[20\text{h}] \text{ビット}6\sim0) + 1$	
VT	全垂直期間	$((\text{REG}[19\text{h}] \text{ビット}1\sim0, \text{REG}[18\text{h}] \text{ビット}7\sim0) + 1)$	ライン (HT)
VDP	垂直表示期間	$(\text{REG}[1\text{Dh}] \text{ビット}1\sim0, \text{REG}[1\text{Ch}] \text{ビット}7\sim0) + 1$	
VDPS	垂直表示期間開始位置	$\text{REG}[1\text{Fh}] \text{ビット}1\sim0, \text{REG}[1\text{Eh}] \text{ビット}7\sim0$	
VPS	FPFRAMEパルス開始位置	$\text{REG}[27\text{h}] \text{ビット}1\sim0, \text{REG}[26\text{h}] \text{ビット}7\sim0$	
VPW	FPFRAMEパルス幅	$(\text{REG}[24\text{h}] \text{ビット}6\sim0) + 1$	

注

- パッシブパネルの場合、HDPは少なくとも32ピクセルでなければならず、また、16の倍数で増やす必要があります。TFTパネルの場合、HDPは少なくとも8ピクセルでなければならず、また、8の倍数で増やす必要があります。
- 下の式は、すべてのパネルタイミングに有効です。

$$\text{HDPS} + \text{HDP} < \text{HT}$$

$$\text{VDPS} + \text{VDP} < \text{VT}$$

6.4.1 汎用STNパネルタイミング

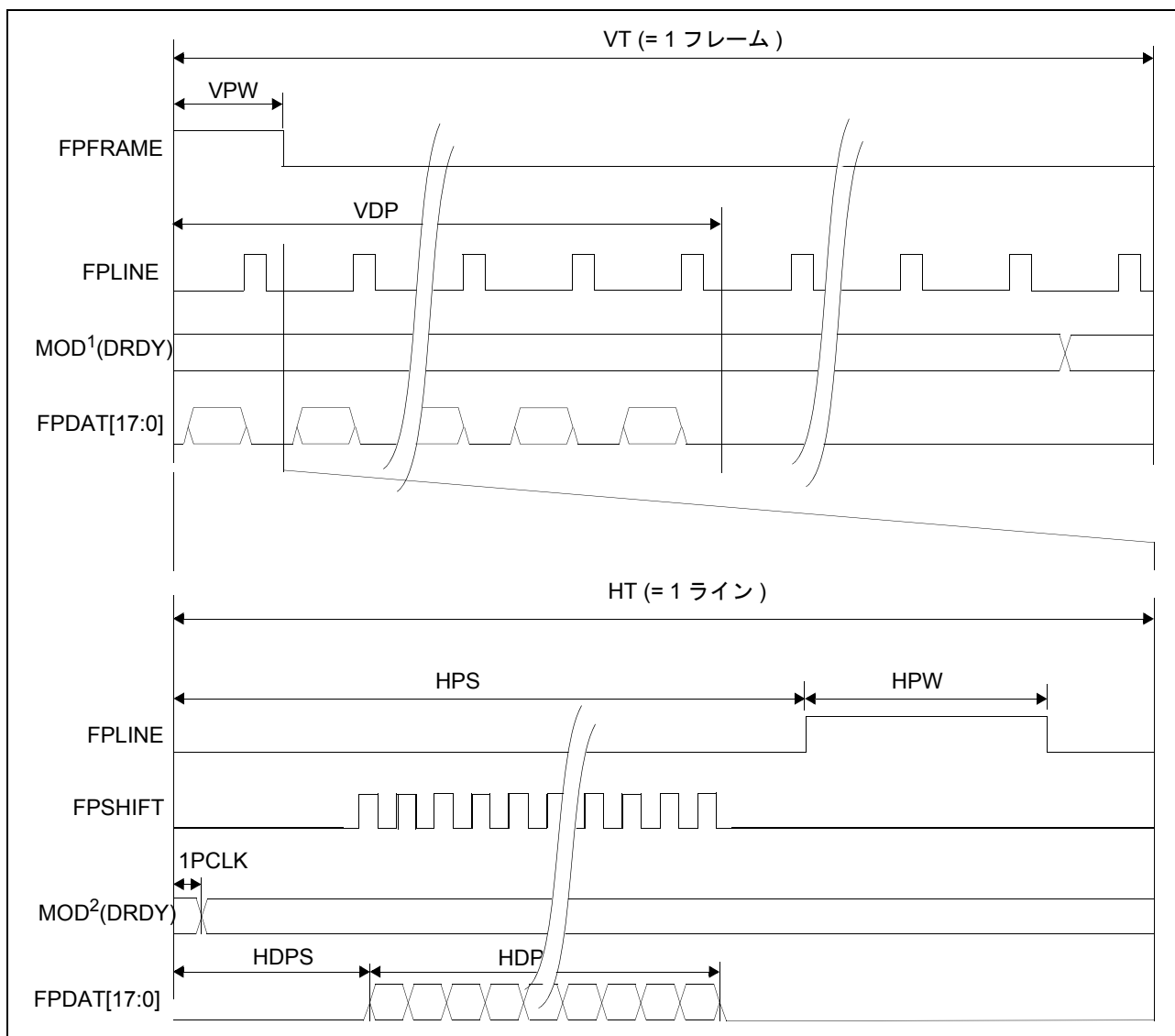


図6.14 汎用STNパネルタイミング

6. AC特性

VT	= 全垂直期間 = ((REG[19h]ビット1~0、REG[18h]ビット7~0) + 1)ライン
VPS	= FPFFRAMEパルス開始位置 = 0ライン((REG[27h]ビット1~0、REG[26h]ビット7~0)=0であるため)
VPW	= FPFFRAMEパルス幅 = ((REG[24h]ビット2~0) + 1)ライン
VDPS	= 垂直表示期間開始位置 = 0ライン((REG[1Fh]ビット1~0、REG[1Eh]ビット7~0)=0であるため)
VDP	= 垂直表示期間 = ((REG[1Dh]ビット1~0、REG[1Ch]ビット7~0) + 1)ライン
HT	= 全水平期間 = (((REG[12h]ビット6~0) + 1) × 8)ピクセル
HPS	= FPLINEパルス開始位置 = ((REG[23h]ビット1~0、REG[22h]ビット7~0))ピクセル
HPW	= FPLINEパルス幅 = ((REG[20h]ビット6~0) + 1)ピクセル
HDPS	= 水平表示期間開始位置 = 22ピクセル (REG[17h]ビット1~0、REG[16h]ビット7~0)=0であるため)
HDP	= 水平表示期間 = (((REG[14h]ビット6~0) + 1) × 8)ピクセル

注

- パッシブパネルの場合、HDPは少なくとも32ピクセルでなければならず、また、16の倍数で増やす必要があります。
- HPSは、以下の式に従う必要があります。
$$HPS > HDP + 22$$
$$HPS + HPW < HT$$
- パネルタイプビット(REG[10h]ビット1~0) = 0 (STN)
- FPFRAMEパルス極性ビット(REG[24h]ビット7) = 1 (アクティブHigh)
- FPLINE 極性ビット(REG[20h]ビット7) = 1 (アクティブHigh)
- MOD¹は、(REG[11h]ビット5-0)=0のときのMOD信号です (MODはFPFRAMEごとに切り替わります)。
- MOD²は、(REG[11h]ビット5-0)=nのときのMOD信号です (MODはn FPLINEごとに切り替わります)。

6.4.2 4ビットシングルモノクロパネルタイミング

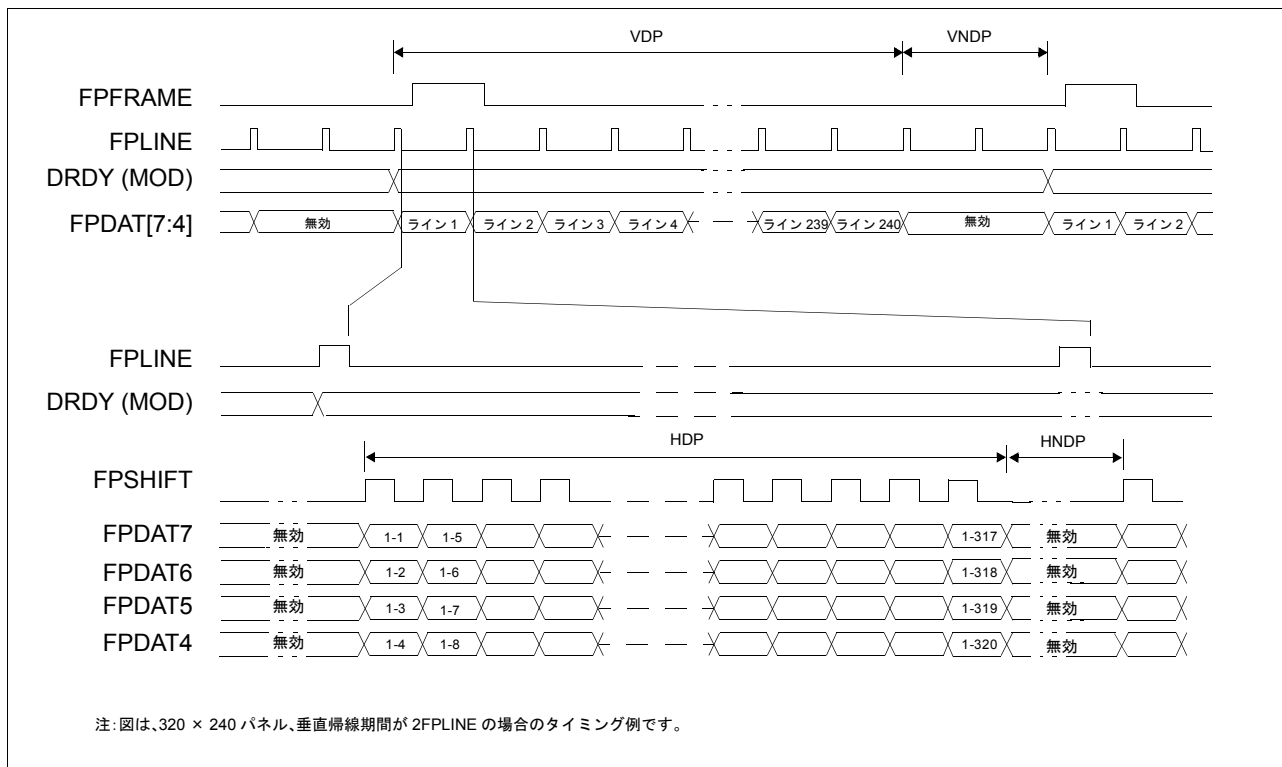


図6.15 4ビットシングルモノクロパネルタイミング

- VDP = 垂直表示期間
= (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0) + 1ライン
- VNDP = 垂直非表示期間
= VT - VDP
= (REG[19h]ビット1~0、REG[18h]ビット7~0) - (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0)ライン
- HDP = 水平表示期間
= ((REG[14h]ビット6~0) + 1) × 8Ts
- HNDP = 水平非表示期間
= HT - HDP
= (((REG[12h]ビット6~0) + 1) × 8Ts) - (((REG[14h]ビット6~0) + 1) × 8Ts)

6. AC特性

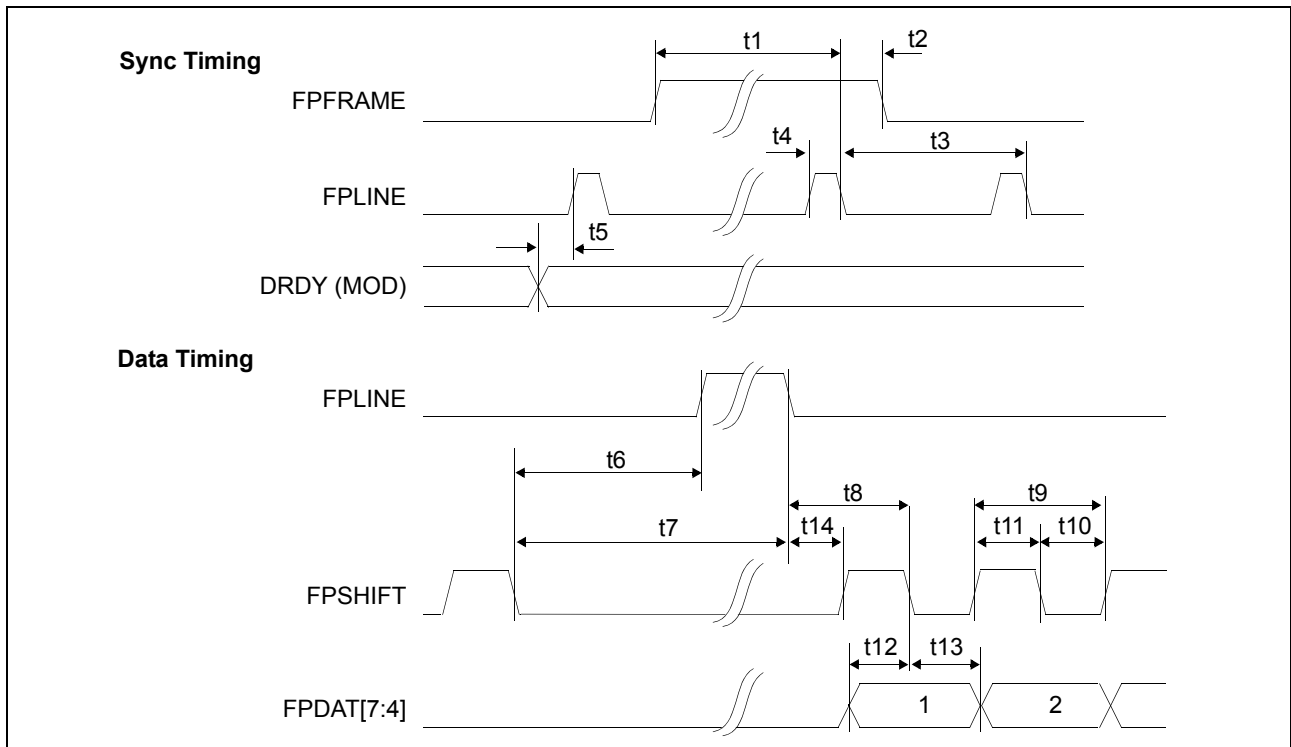


図6.16 4ビットシングルモノクロパネルA.C.タイミング

表6.17 4ビットシングルモノクロパネルA.C.タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ→FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジ→FPFRAME ホールド時間	(注3)			Ts
t3	FPLINE周期	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD 遷移→FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ→FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ→FPLINE立ち下がりエッジ	t6 + t4			Ts
t8	FPLINE立ち下がりエッジ→FPSHIFT立ち下がりエッジ	t14 + 2			Ts
t9	FPSHIFT周期	4			Ts
t10	FPSHIFT Lowパルス幅	2			Ts
t11	FPSHIFT Highパルス幅	2			Ts
t12	FPDAT[7:4]セットアップ→FPSHIFT立ち下がりエッジ	1			Ts
t13	FPDAT[7:4]ホールド時間→FPSHIFT立ち下がりエッジ	2			Ts
t14	FPLINE立ち下がりエッジ→FPSHIFT立ち上がりエッジ	(注8)			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = HPS + t4_{min}$
3. $t2_{min} = t3_{min} - (HPS + t4_{min})$
4. $t3_{min} = HT$
5. $t4_{min} = HPW$
6. $t5_{min} = HPS - 1$
7. $t6_{min} = HPS - (HDP + HDPS) + 2$ 、負の場合は $t6_{min}$ を追加
8. $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加

6.4.3 8ビットシングルモノクロパネルタイミング

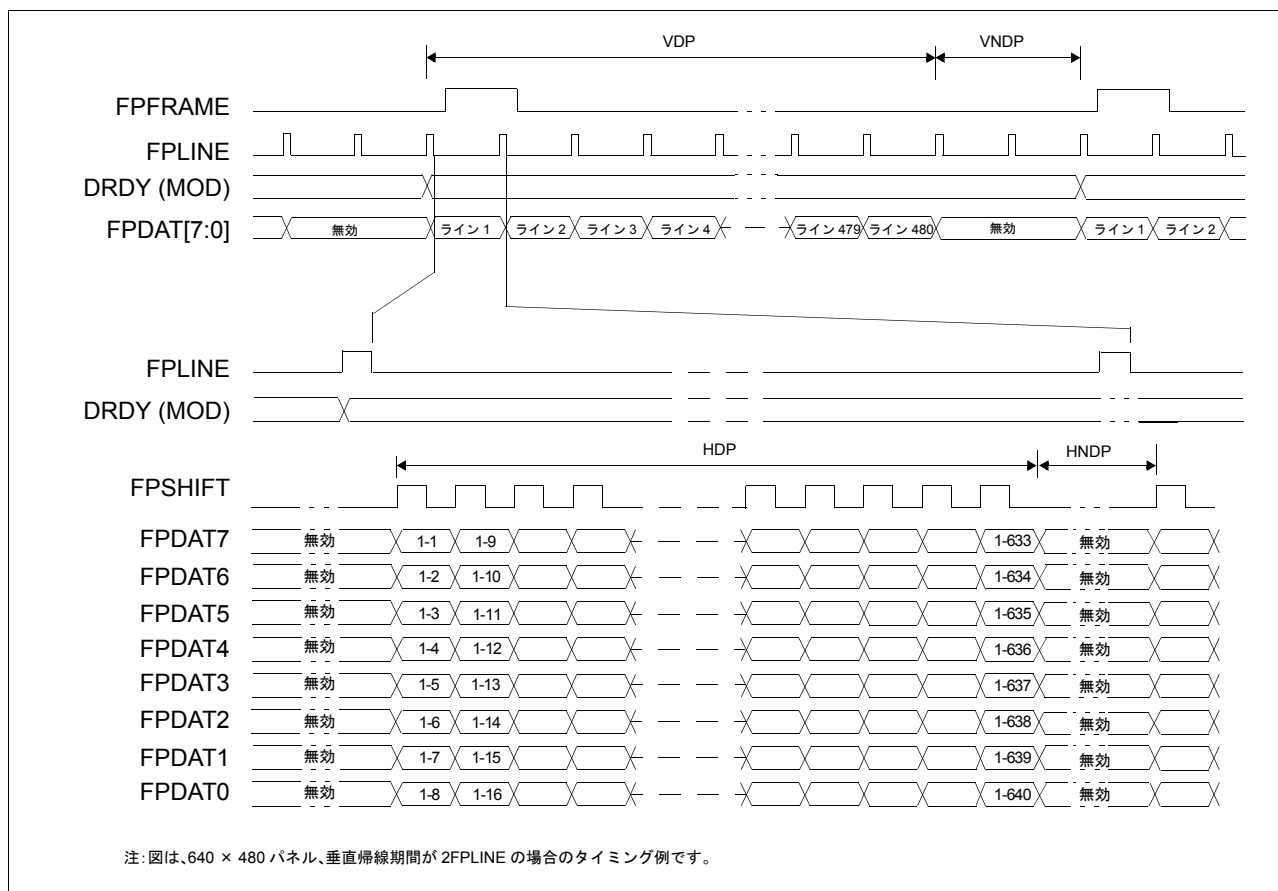


図6.17 8ビットシングルモノクロパネルタイミング

- VDP = 垂直表示期間
 = (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0) + 1ライン
- VNDP = 垂直非表示期間
 = VT - VDP
 = (REG[19h]ビット1~0、REG[18h]ビット7~0) - (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0)ライン
- HDP = 水平表示期間
 = ((REG[14h]ビット6~0) + 1) × 8Ts
- HNDP = 水平非表示期間
 = HT - HDP
 = (((REG[12h]ビット6~0) + 1) × 8Ts) - (((REG[14h]ビット6~0) + 1) × 8Ts)

6. AC特性

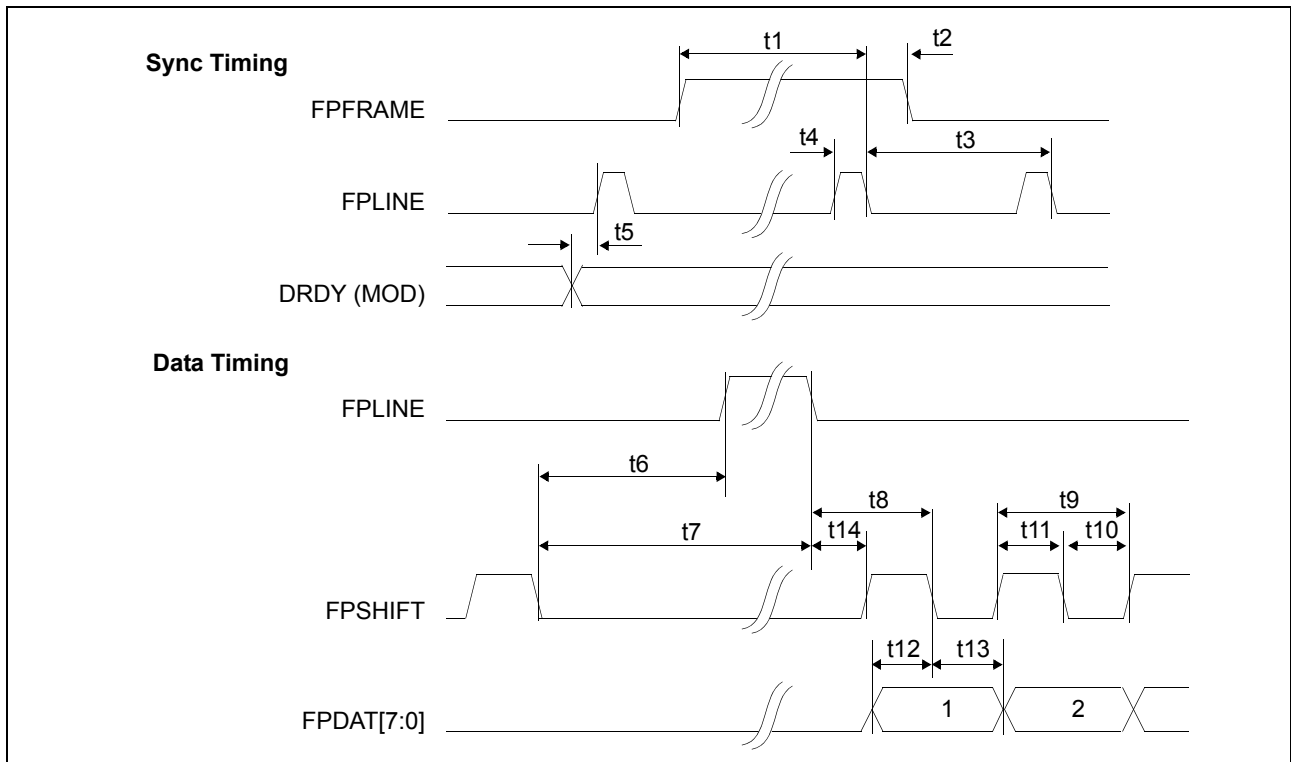


図6.18 8ビットシングルモノクロパネルA.C.タイミング

表6.18 8ビットシングルモノクロパネルA.C.タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ→FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジ→FPFRAME ホールド時間	(注3)			Ts
t3	FPLINE周期	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD 遷移→FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ→FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ→FPLINE立ち下がりエッジ	t6 + t4			Ts
t8	FPLINE立ち下がりエッジ→FPSHIFT立ち下がりエッジ	t14 + 4			Ts
t9	FPSHIFT周期	8			Ts
t10	FPSHIFT Lowパルス幅	4			Ts
t11	FPSHIFT Highパルス幅	4			Ts
t12	FPDAT[7:0]セットアップ→FPSHIFT立ち下がりエッジ	4			Ts
t13	FPDAT[7:0]ホールド時間→FPSHIFT立ち下がりエッジ	4			Ts
t14	FPLINE立ち下がりエッジ→FPSHIFT立ち上がりエッジ	(注8)			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = HPS + t4_{min}$
3. $t2_{min} = t3_{min} - (HPS + t4_{min})$
4. $t3_{min} = HT$
5. $t4_{min} = HPW$
6. $t5_{min} = HPS - 1$
7. $t6_{min} = HPS - (HDP + HDPS) + 4$ 、負の場合は $t3_{min}$ を追加
8. $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加

6.4.4 4ビットシングルカラーパネルタイミング

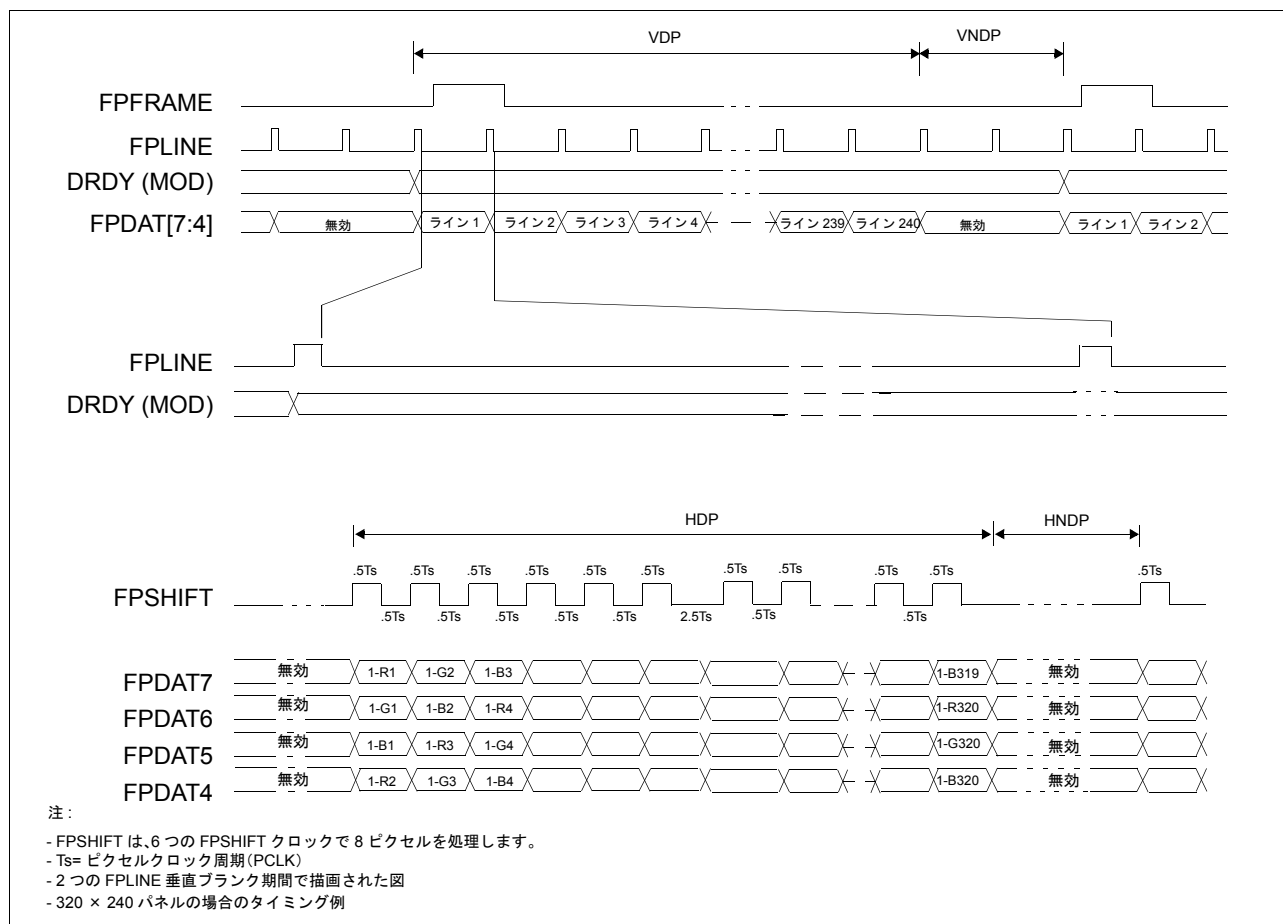


図6.19 4ビットシングルカラーパネルタイミング

- VDP = 垂直表示期間
= (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0) + 1ライン
- VNDP = 垂直非表示期間
= VT - VDP
= (REG[19h]ビット1~0、REG[18h]ビット7~0) - (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0)ライン
- HDP = 水平表示期間
= ((REG[14h]ビット6~0) + 1) × 8Ts
- HNDP = 水平非表示期間
= HT - HDP
= (((REG[12h]ビット6~0) + 1) × 8Ts) - (((REG[14h]ビット6~0) + 1) × 8Ts)

6. AC特性

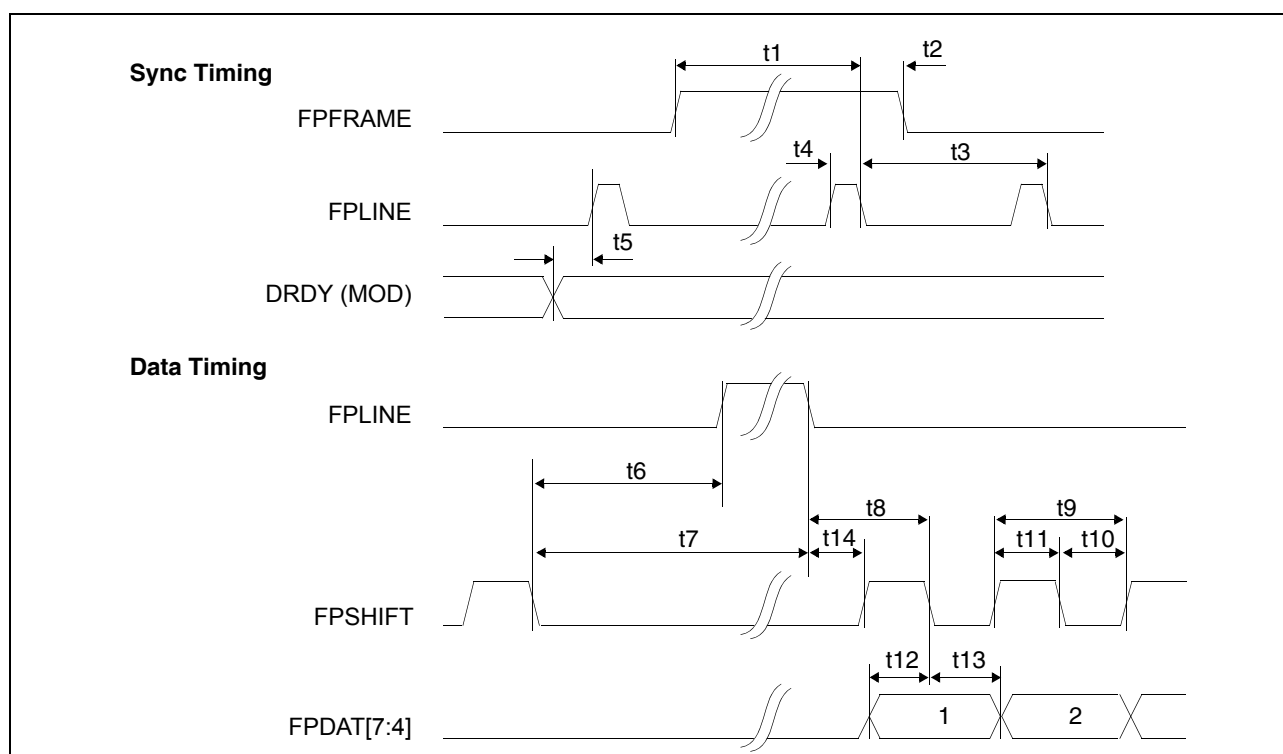


図6.20 4ビットシングルカラーパネルA.C.タイミング

表6.19 4ビットシングルカラーパネルA.C.タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ→FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジ→FPFRAME ホールド時間	(注3)			Ts
t3	FPLINE周期	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD 遷移→FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ→FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ→FPLINE立ち下がりエッジ	$t_6 + t_4$			Ts
t8	FPLINE立ち下がりエッジ→FPSHIFT立ち下がりエッジ	$t_{14} + 0.5$			Ts
t9	FPSHIFT周期	1			Ts
t10	FPSHIFT Lowパルス幅	0.5			Ts
t11	FPSHIFT Highパルス幅	0.5			Ts
t12	FPDAT[7:4]セットアップ→FPSHIFT立ち下がりエッジ	0.5			Ts
t13	FPDAT[7:4]ホールド時間→FPSHIFT立ち下がりエッジ	0.5			Ts
t14	FPLINE立ち下がりエッジ→FPSHIFT立ち上がりエッジ	(注8)			Ts

注

1. Ts = ピクセルクロック周期
2. $t_{1\min}$ = $HPS + t_{4\min}$
3. $t_{2\min}$ = $t_{3\min} - (HPS + t_{4\min})$
4. $t_{3\min}$ = HT
5. $t_{4\min}$ = HPW
6. $t_{5\min}$ = $HPS - 1$
7. $t_{6\min}$ = $HPS - (HDP + HDPS) + 1.5$ 、負の場合は $t_{3\min}$ を追加
8. $t_{14\min}$ = $HDPS - (HPS + t_{4\min})$ 、負の場合は $t_{3\min}$ を追加

6.4.5 8ビットシングルカラーパネルタイミング (Format 1)

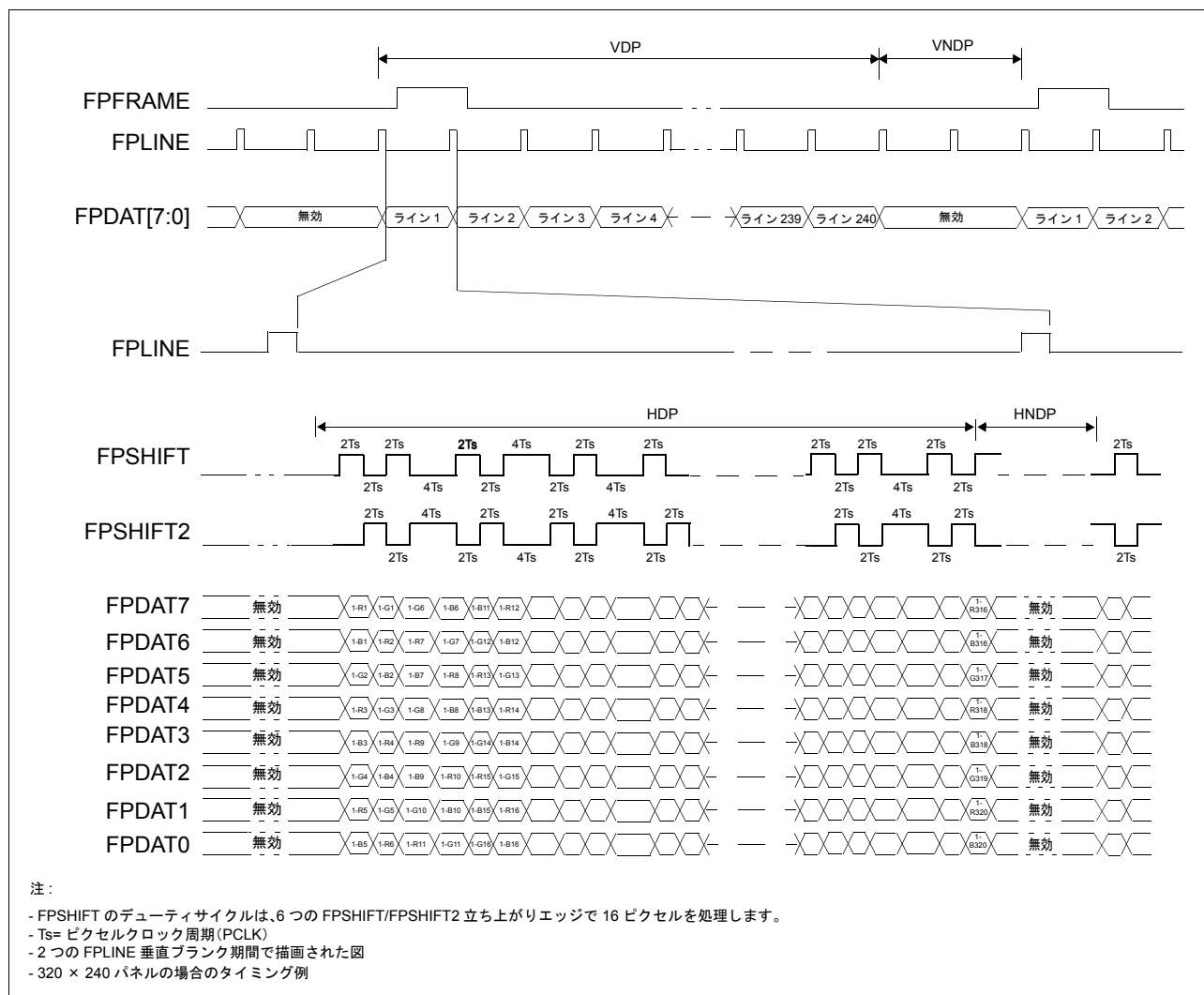


図6.21 8ビットシングルカラーパネルタイミング (Format 1)

- VDP = 垂直表示期間
 = (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0) + 1ライン
- VNDP = 垂直非表示期間
 = VT - VDP
 = (REG[19h]ビット1~0、REG[18h]ビット7~0) - (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0)ライン
- HDP = 水平表示期間
 = ((REG[14h]ビット6~0) + 1) × 8Ts
- HNDP = 水平非表示期間
 = HT - HDP
 = (((REG[12h]ビット6~0) + 1) × 8Ts) - (((REG[14h]ビット6~0) + 1) × 8Ts)

6. AC特性

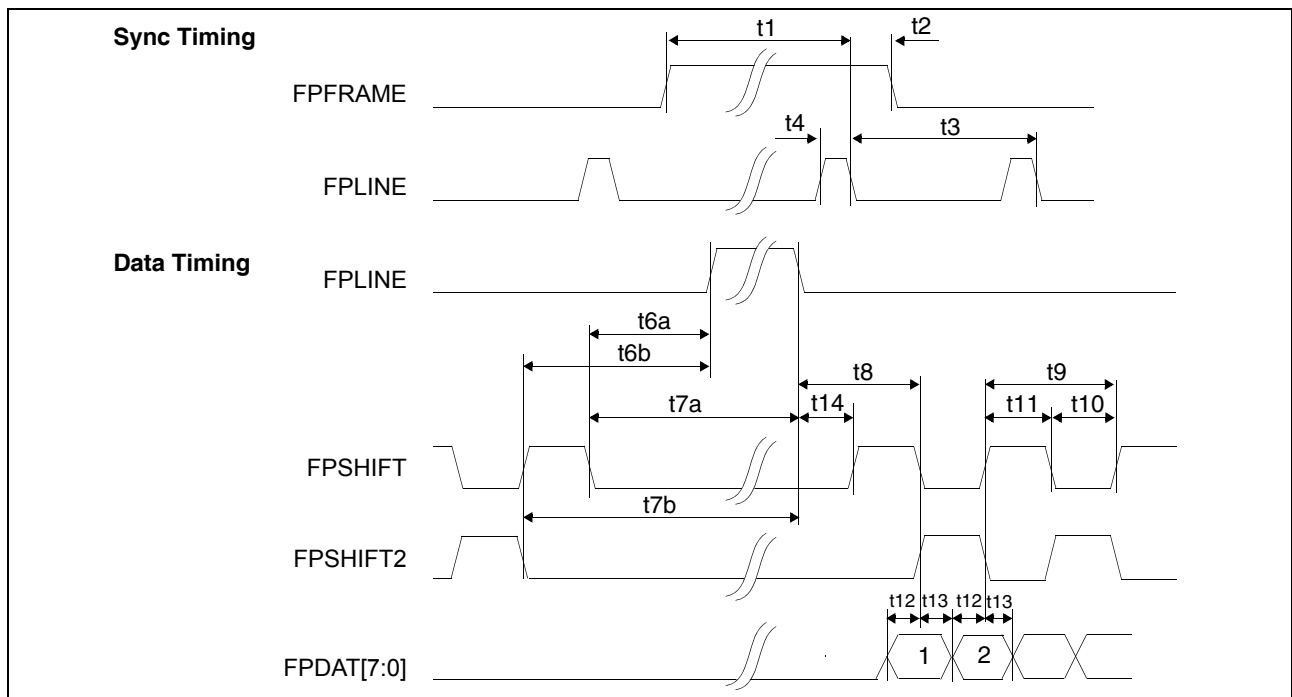


図6.22 8ビットシングルカラーパネルA.C.タイミング (Format 1)

表6.20 8ビットシングルカラーパネルA.C.タイミング (Format 1)

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ→FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジ→FPFRAME ホールド時間	(注3)			Ts
t3	FPLINE周期	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t6a	FPSHIFT立ち下がりエッジ→FPLINE立ち上がりエッジ	(注6)			Ts
t6b	FPSHIFT2立ち下がりエッジ→FPLINE立ち上がりエッジ	(注7)			Ts
t7a	FPSHIFT立ち下がりエッジ→FPLINE立ち下がりエッジ	t6a + t4			Ts
t7b	FPSHIFT2立ち下がりエッジ→FPLINE立ち下がりエッジ	t6b + t4			Ts
t8	FPLINE立ち下がりエッジ→FPSHIFT立ち上がり、FPSHIFT2立ち下がりエッジ	t14 + 2			Ts
t9	FPSHIFT2、FPSHIFT周期	4		6	Ts
t10	FPSHIFT2、FPSHIFT Lowパルス幅	2			Ts
t11	FPSHIFT2、FPSHIFT Highパルス幅	2			Ts
t12	FPDAT[7:0]セットアップ→FPSHIFT2、FPSHIFT立ち下がりエッジ	1			Ts
t13	FPSHIFT2、FPSHIFT立ち下がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t14	FPLINE立ち下がりエッジ→FPSHIFT立ち上がりエッジ	(注8)			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = HPS + t4_{min}$
3. $t2_{min} = t3_{min} - (HPS + t4_{min})$
4. $t3_{min} = HT$
5. $t4_{min} = HPW$
6. $t6a_{min} = HPS - (HDP + HDPS)$ 、負の場合は $t3_{min}$ を追加
7. $t6b_{min} = HPS - (HDP + HDPS) + 2$ 、負の場合は $t3_{min}$ を追加
8. $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加

6.4.6 8ビットシングルカラーパネルタイミング (Format 2)

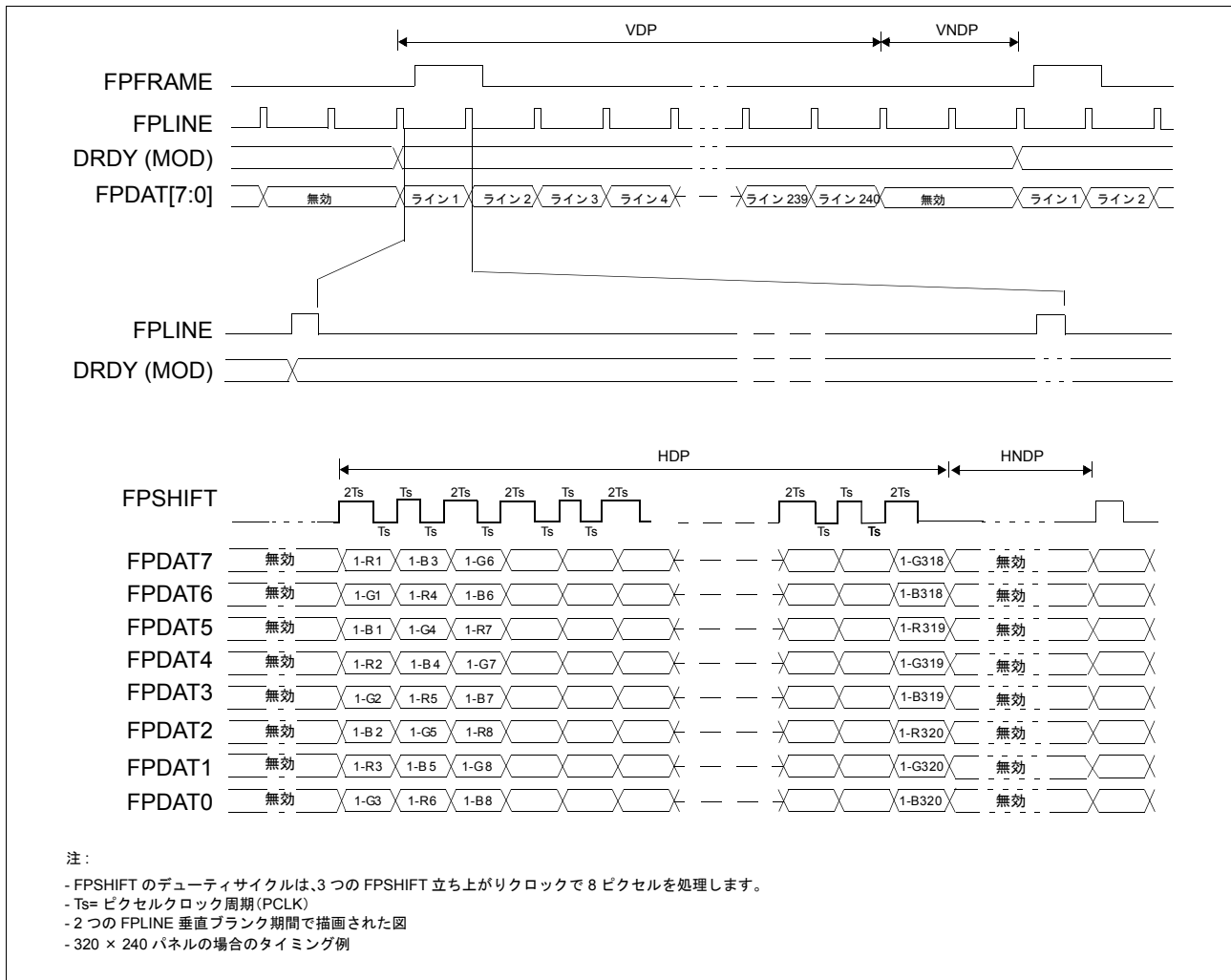


図6.23 8ビットシングルカラーパネルタイミング (Format 2)

- VDP = 垂直表示期間
 = (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0) + 1ライン
- VNDP = 垂直非表示期間
 = VT - VDP
 = (REG[19h]ビット1~0、REG[18h]ビット7~0) - (REG[1Dh]ビット1~0、REG[1Ch]ビット7~0)ライン
- HDP = 水平表示期間
 = ((REG[14h]ビット6~0) + 1) × 8Ts
- HNDP = 水平非表示期間
 = HT - HDP
 = (((REG[12h]ビット6~0) + 1) × 8Ts) - (((REG[14h]ビット6~0) + 1) × 8Ts)

6. AC特性

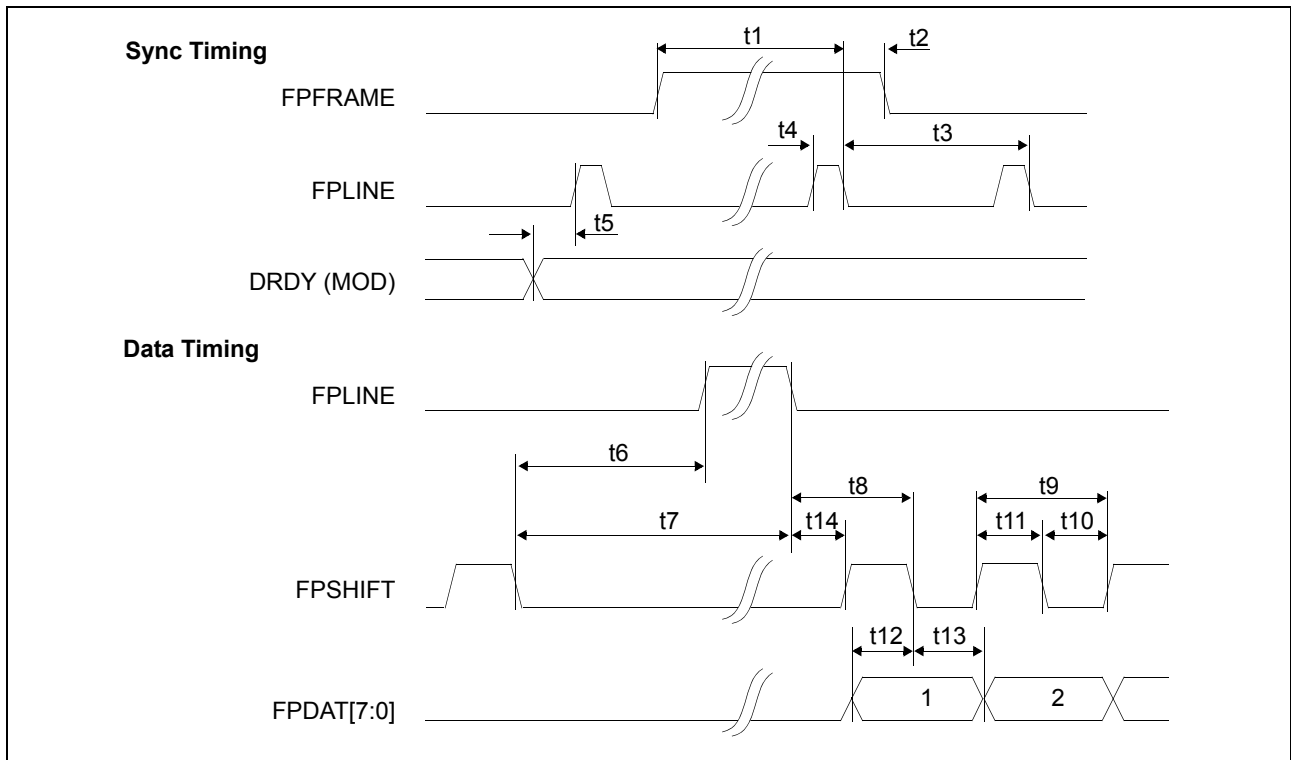


図6.24 8ビットシングルカラーパネルA.C.タイミング (Format 2)

表6.21 8ビットシングルカラーパネルA.C.タイミング (Format 2)

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ→FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジ→FPFRAME ホールド時間	(注3)			Ts
t3	FPLINE周期	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD 遷移→FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ→FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ→FPLINE立ち下がりエッジ	t6 + t4			Ts
t8	FPLINE立ち下がりエッジ→FPSHIFT立ち下がりエッジ	t14 + 2			Ts
t9	FPSHIFT周期	2			Ts
t10	FPSHIFT Lowパルス幅	1			Ts
t11	FPSHIFT Highパルス幅	1			Ts
t12	FPDAT[7:0]セットアップ→FPSHIFT立ち下がりエッジ	1			Ts
t13	FPDAT[7:0]ホールド時間→FPSHIFT立ち下がりエッジ	1			Ts
t14	FPLINE立ち下がりエッジ→FPSHIFT立ち上がりエッジ	(注8)			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = HPS + t4_{min}$
3. $t2_{min} = t3_{min} - (HPS + t4_{min})$
4. $t3_{min} = HT$
5. $t4_{min} = HPW$
6. $t5_{min} = HPS - 1$
7. $t6_{min} = HPS - (HDP + HDPS) + 1$ 、負の場合は $t3_{min}$ を追加
8. $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加

6. AC特性

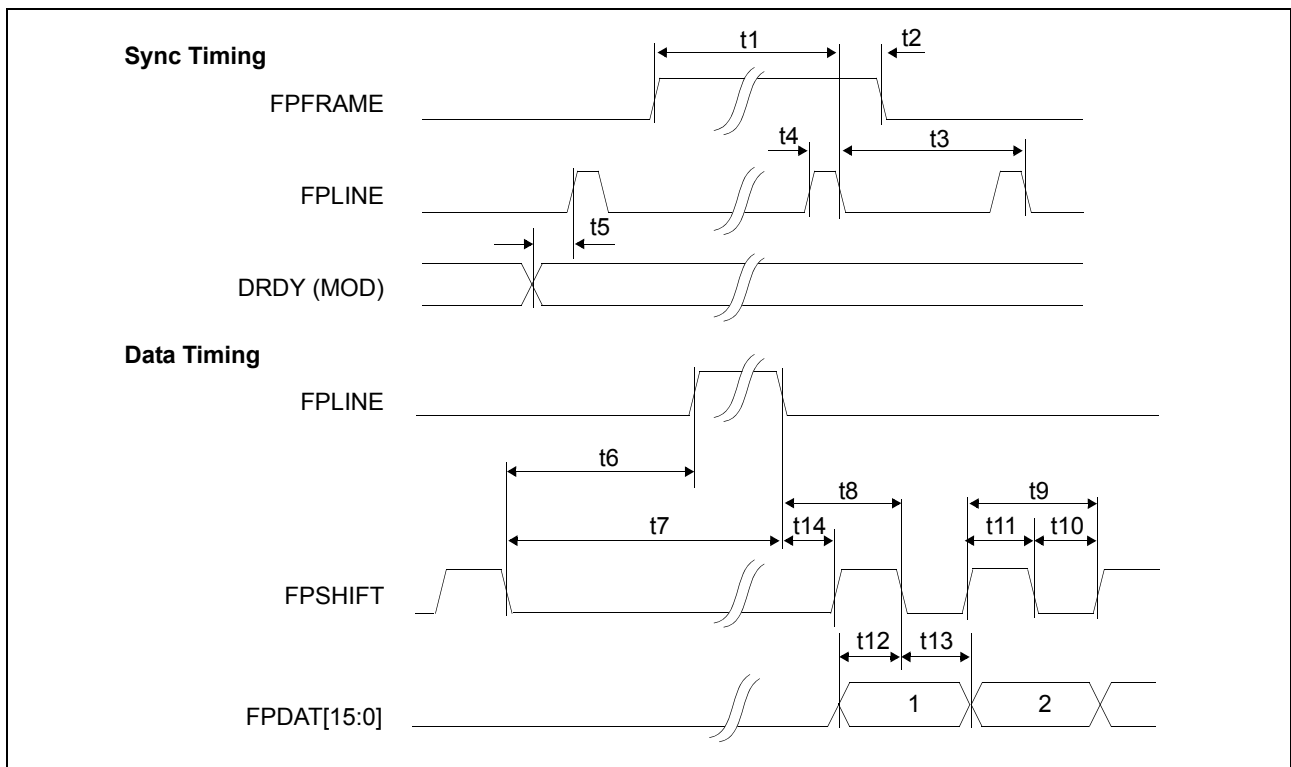


図6.26 16ビットシングルカラーパネルA.C.タイミング

表6.22 16ビットシングルカラーパネルA.C.タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEセットアップ→FPLINE立ち下がりエッジ	(注2)			Ts (注1)
t2	FPLINE立ち下がりエッジ→FPFRAME ホールド時間	(注3)			Ts
t3	FPLINE周期	(注4)			Ts
t4	FPLINEパルス幅	(注5)			Ts
t5	MOD 遷移→FPLINE立ち上がりエッジ	(注6)			Ts
t6	FPSHIFT立ち下がりエッジ→FPLINE立ち上がりエッジ	(注7)			Ts
t7	FPSHIFT立ち下がりエッジ→FPLINE立ち下がりエッジ	t6 + t4			Ts
t8	FPLINE立ち下がりエッジ→FPSHIFT立ち下がりエッジ	t14 + 3			Ts
t9	FPSHIFT周期	5			Ts
t10	FPSHIFT Lowパルス幅	2			Ts
t11	FPSHIFT Highパルス幅	2			Ts
t12	FPDAT[15:0]セットアップ→FPSHIFT立ち上がりエッジ	2			Ts
t13	FPDAT[15:0]ホールド時間→FPSHIFT立ち上がりエッジ	2			Ts
t14	FPLINE立ち下がりエッジ→FPSHIFT立ち上がりエッジ	(注8)			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = HPS + t4_{min}$
3. $t2_{min} = t3_{min} - (HPS + t4_{min})$
4. $t3_{min} = HT$
5. $t4_{min} = HPW$
6. $t5_{min} = HPS - 1$
7. $t6_{min} = HPS - (HDP + HDPS) + 2$ 、負の場合は $t3_{min}$ を追加
8. $t14_{min} = HDPS - (HPS + t4_{min})$ 、負の場合は $t3_{min}$ を追加

6.4.8 汎用TFTパネルタイミング

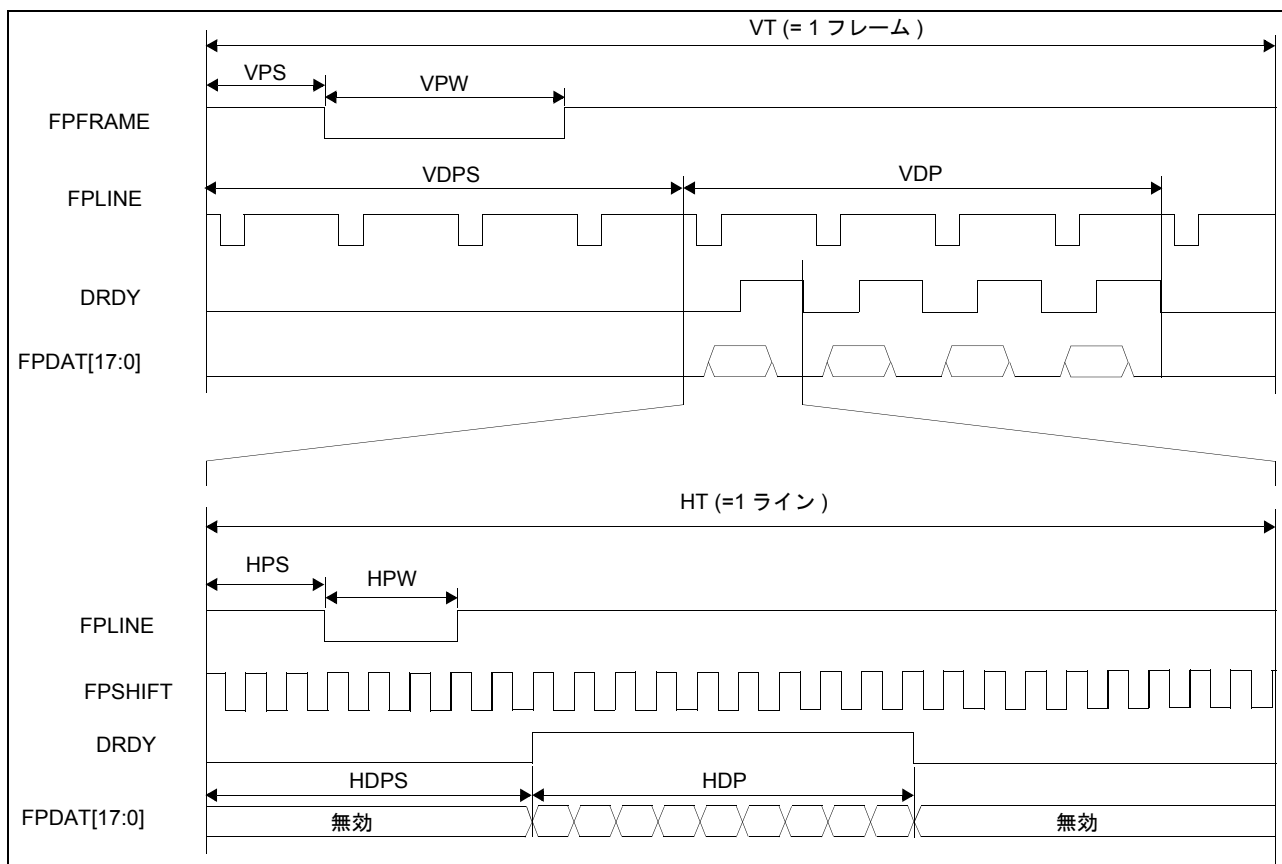


図6.27 汎用TFTパネルタイミング

VT	= 全垂直期間	= ((REG[19h]ビット1~0、REG[18h]ビット7~0) + 1)ライン
VPS	= FPF, FPLパルス開始位置	= (REG[27h]ビット1~0、REG[26h]ビット7~0)ライン
VPW	= FPF, FPLパルス幅	= ((REG[24h]ビット2~0) + 1)ライン
VDPS	= 垂直表示期間開始位置	= (REG[1Fh]ビット1~0、REG[1Eh]ビット7~0)ライン
VDP	= 垂直表示期間	= ((REG[1Dh]ビット1~0、REG[1Ch]ビット7~0) + 1)ライン
HT	= 全水平期間	= (((REG[12h]ビット6~0) + 1) × 8)ピクセル
HPS	= FPL, FPSHIFTパルス開始位置	= ((REG[23h]ビット1~0、REG[22h]ビット7~0) + 1)ピクセル
HPW	= FPL, FPSHIFTパルス幅	= ((REG[20h]ビット6~0) + 1)ピクセル
HDPS	= 水平表示期間開始位置	= ((REG[17h]ビット1~0、REG[16h]ビット7~0) + 5)ピクセル
HDP	= 水平表示期間	= (((REG[14h]ビット6~0) + 1) × 8)ピクセル

注

- TFTパネルの場合、HDPは少なくとも8ピクセルでなければならず、また8の倍数で増やす必要があります。
- パネルタイプビット(REG[10h]ビット1~0) = 01 (TFT)
- FPL, FPSHIFTパルス極性ビット(REG[24h]ビット7) = 0 (アクティブLow)
- FPF, FPL極性ビット(REG[20h]ビット7) = 0 (アクティブLow)

6. AC特性

6.4.9 9/12/18ビットTFTパネルタイミング

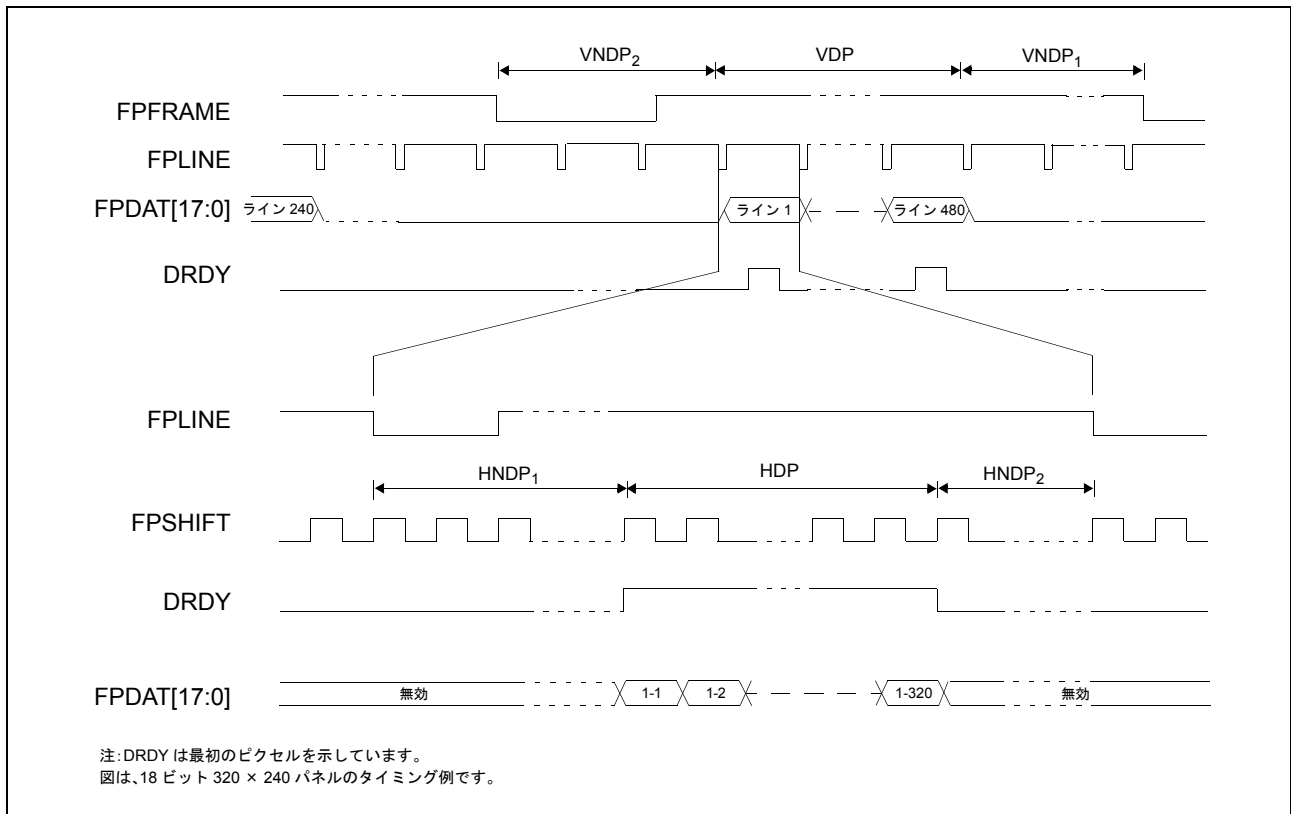


図6.28 18ビットTFTパネルタイミング

- VDP = 垂直表示期間
= VDPライン
- VNDP = 垂直非表示期間
= VNDP₁ + VNDP₂
= VT - VDP Lines
- VNDP₁ = 垂直非表示期間1
= VNDP - VNDP₂ライン
- VNDP₂ = 垂直非表示期間2
= VDPS - VPSライン 負の場合はVTを追加
- HDP = 水平表示期間
= HDP Ts
- HNDP = 水平非表示期間
= HNDP₁ + HNDP₂
= HT - HDP Ts
- HNDP₁ = 水平非表示期間1
= HDPS - HPS Ts 負の場合はHTを追加
- HNDP₂ = 水平非表示期間2
= HPS - (HDP + HDPS) Ts 負の場合はHTを追加

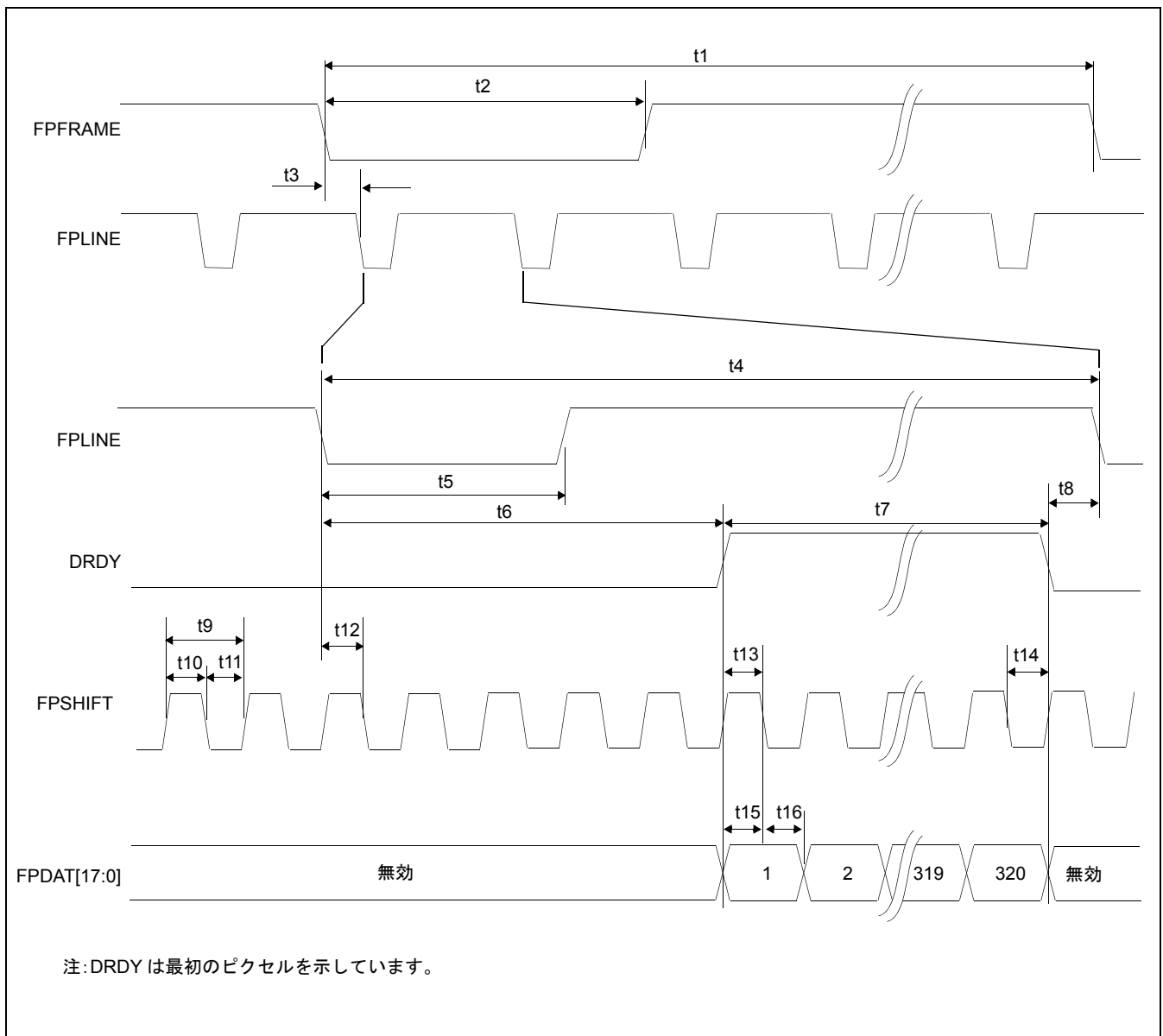


図6.29 TFTパネルA.C.タイミング

6. AC特性

表6.23 TFTパネルA.C.タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAME サイクル時間	VT			ライン
t2	FPFRAME Lowパルス幅	VPW			ライン
t3	FPFRAME立ち下がりエッジ→FPLINE立ち下がりエッジの位相差	HPS			Ts (注1)
t4	FPLINE サイクル時間	HT			Ts
t5	FPLINE Lowパルス幅	HPW			Ts
t6	FPLINE立ち下がりエッジ→DRDYアクティブ	(注2)		250	Ts
t7	DRDYパルス幅	HDP			Ts
t8	DRDY立ち下がりエッジ→FPLINE立ち下がりエッジ	(注3)			Ts
t9	FPSHIFT周期	1			Ts
t10	FPSHIFT Highパルス幅	0.5			Ts
t11	FPSHIFT Lowパルス幅	0.5			Ts
t12	FPLINEセットアップ→FPSHIFT立ち下がりエッジ	0.5			Ts
t13	DRDY→FPSHIFT立ち下がりエッジセットアップ時間	0.5			Ts
t14	FPSHIFT立ち下がりエッジ→DRDY ホールド時間	0.5			Ts
t15	データセットアップ→FPSHIFT立ち下がりエッジ	0.5			Ts
t16	FPSHIFT立ち下がりエッジ→データホールド時間	0.5			Ts

注

1. Ts = ピクセルクロック周期
2. t6min = HDPS - HPS 負の場合はHTを追加
3. t8min = HPS - (HDP + HDPS) 負の場合はHTを追加

6.4.10 160×160シャープ「ダイレクト」HR-TFTパネルタイミング (例: LQ031B1DDxx)

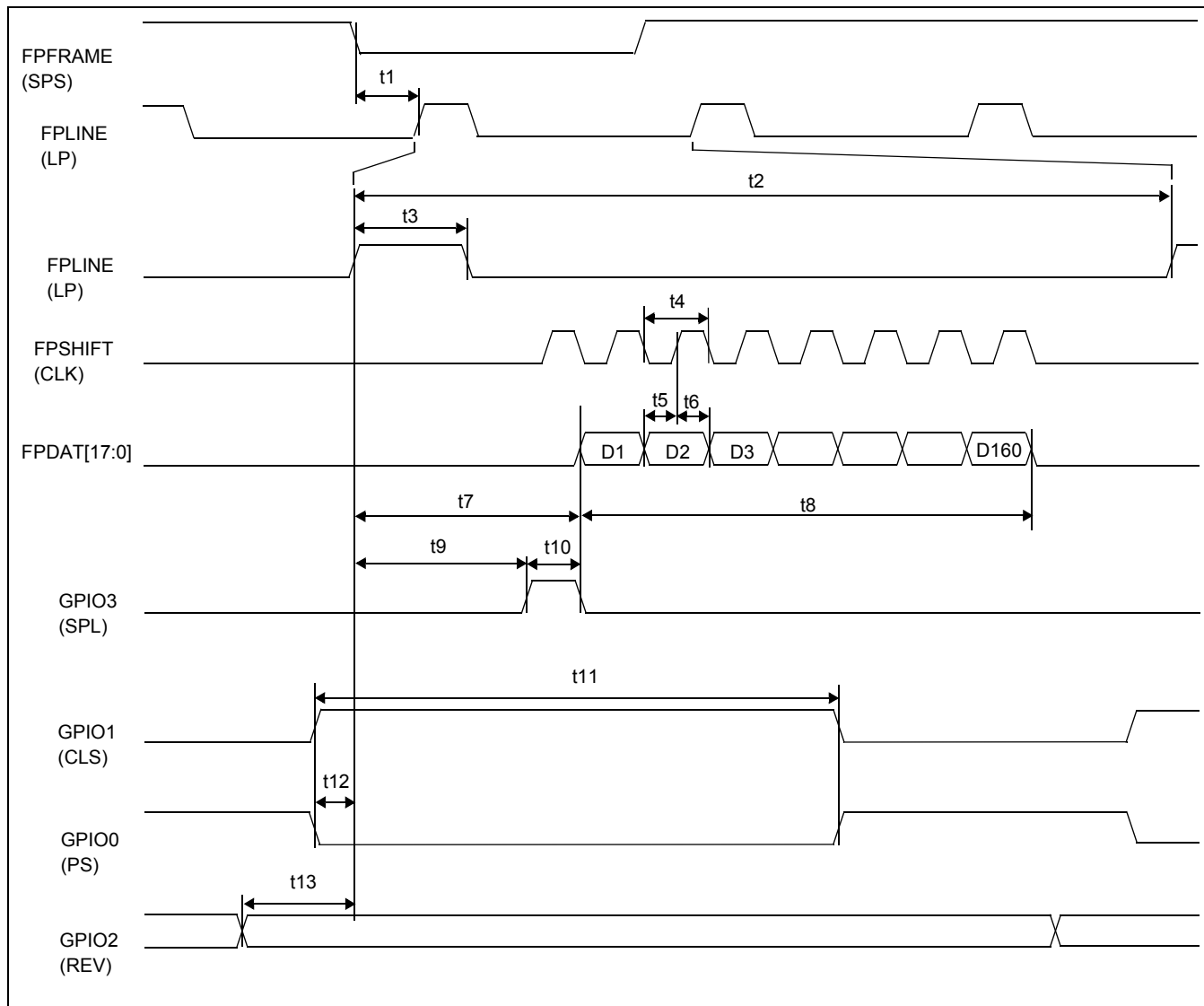


図6.30 160×160シャープ「ダイレクト」HR-TFTパネル水平タイミング

6. AC特性

表6.24 160×160シャープ「ダイレクト」HR-TFTパネル水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPLINE開始位置		13		Ts (注1)
t2	全水平期間	180		220	Ts
t3	FPLIN幅		2		Ts
t4	FPSHIFT周期		1		Ts
t5	データセットアップ→FPSHIFT立ち上がりエッジ	0.5			Ts
t6	FPSHIFT立ち上がりエッジ→データホールド時間	0.5			Ts
t7	水平表示期間開始位置		5		Ts
t8	水平表示期間		160		Ts
t9	FPLINE立ち上がりエッジ→GPIO3立ち上がりエッジ		4		Ts
t10	GPIO3パルス幅		1		Ts
t11	GPIO1 (GPIO0) パルス幅		136		Ts
t12	GPIO1立ち上がりエッジ (GPIO0立ち下がりエッジ) →FPLINE立ち上がりエッジ		4		Ts
t13	GPIO2トグルエッジ→FPLINE立ち上がりエッジ		10		Ts

注

1. Ts = ピクセルクロック周期
2. t1typ = (REG[22h]ビット7~0) + 1
3. t2typ = ((REG[12h]ビット6~0) + 1) × 8
4. t3typ = (REG[20h]ビット6~0) + 1
5. t7typ = ((REG[16h]ビット7~0) + 5) - ((REG[22h]ビット7~0) + 1)
6. t8typ = ((REG[14h]ビット6~0) + 1) × 8

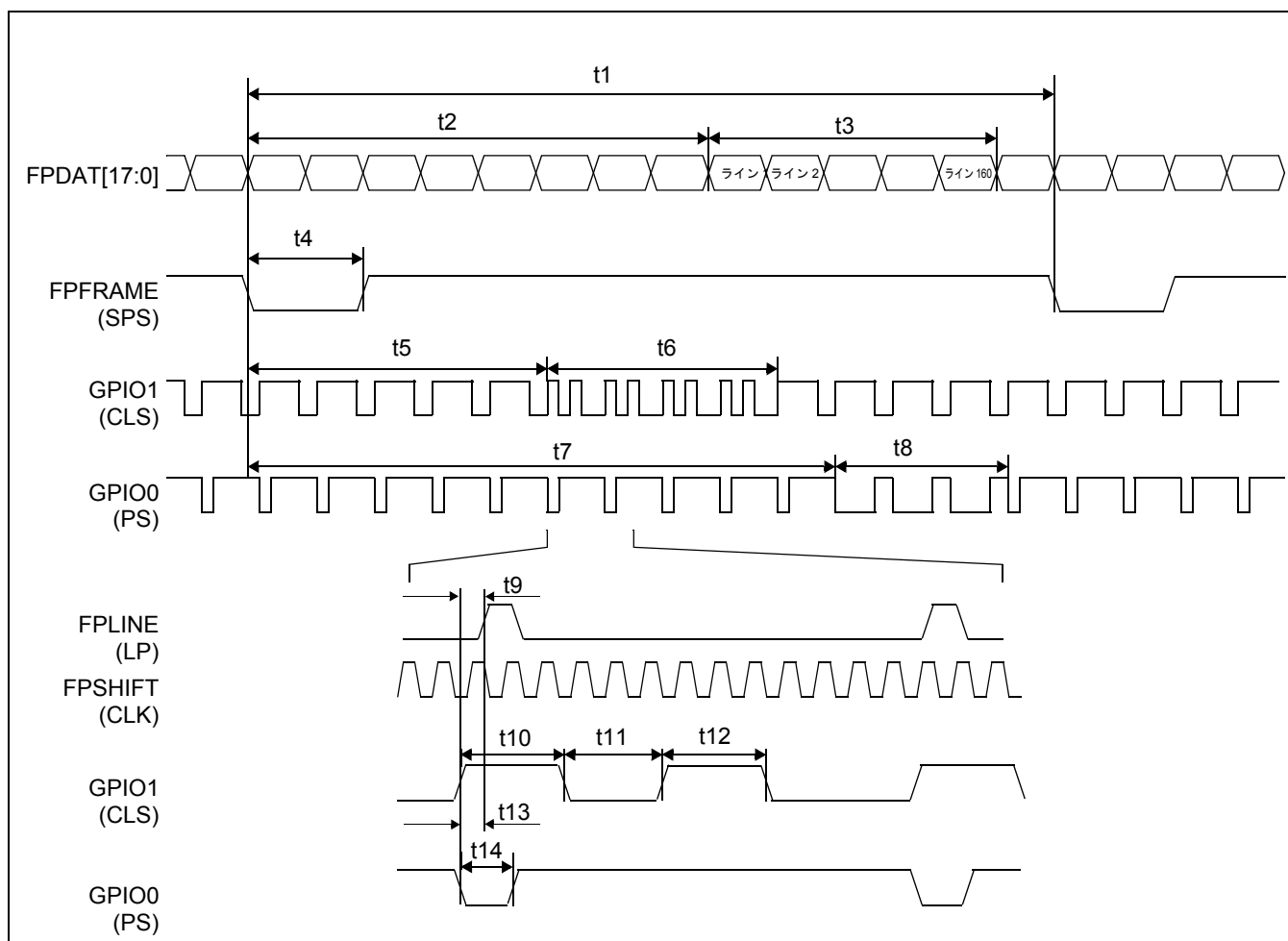


図6.31 160×160シャープ「ダイレクト」HR-TFTパネル垂直タイミング

6. AC特性

表6.25 160×160シャープ「ダイレクト」HR-TFTパネル垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全垂直期間	203		264	ライン
t2	垂直表示開始位置		40		ライン
t3	垂直表示期間		160		ライン
t4	垂直同期パルス幅		2		ライン
t5	FPFRAME立ち下がりエッジ→GPIO1代替タイミングスタート		5		ライン
t6	GPIO1代替タイミング周期		4		ライン
t7	FPFRAME立ち下がりエッジ→GPIO0代替タイミングスタート		40		ライン
t8	GPIO0代替タイミング周期		162		ライン
t9	GPIO1最初のパルス立ち上がりエッジ→FPLINE立ち上がりエッジ		4		Ts (注1)
t10	GPIO1最初のパルス幅		48		Ts
t11	GPIO1最初のパルス立ち下がりエッジ→2番目のパルス立ち上がりエッジ		40		Ts
t12	GPIO1 2番目のパルス幅		48		Ts
t13	GPIO0立ち下がりエッジ→FPLINE立ち上がりエッジ		4		Ts
t14	GPIO0 Lowパルス幅		24		Ts

注

1. Ts = ピクセルクロック周期

6.4.11 320×240シャープ「ダイレクト」HR-TFTパネルタイミング (例: LQ039Q2DS01)

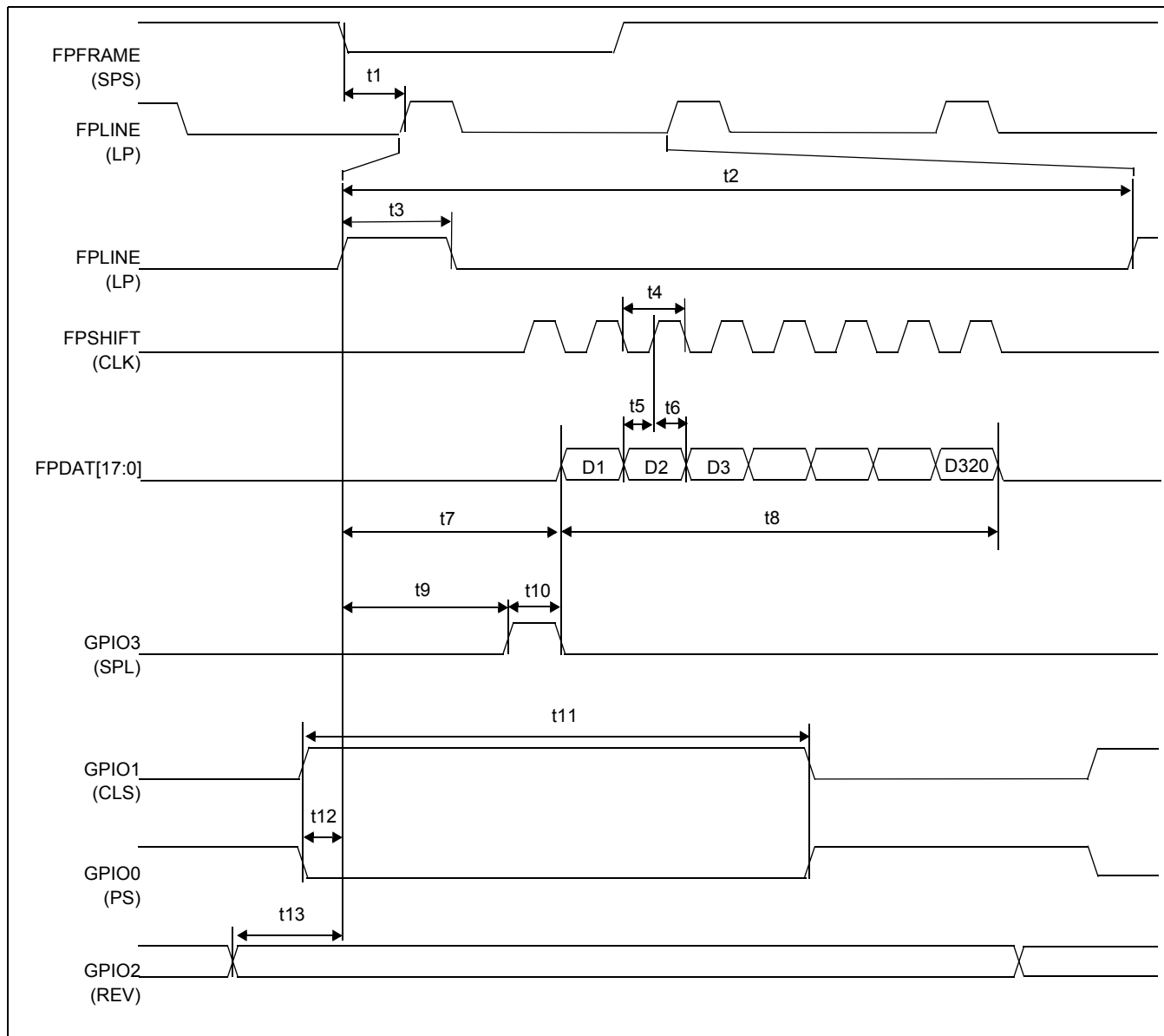


図6.32 320×240シャープ「ダイレクト」HR-TFTパネル水平タイミング

6. AC特性

表6.26 320×240シャープ「ダイレクト」HR-TFTパネル水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPLINE開始位置		14		Ts (注1)
t2	全水平期間	400		440	Ts
t3	FPLINE幅		1		Ts
t4	FPSHIFT周期		1		Ts
t5	データセットアップ→FPSHIFT立ち上がりエッジ	0.5			Ts
t6	FPSHIFT立ち上がりエッジ→データホールド時間	0.5			Ts
t7	水平表示開始位置		60		Ts
t8	水平表示期間		320		Ts
t9	FPLINE立ち上がりエッジ→GPIO3立ち上がりエッジ		59		Ts
t10	GPIO3パルス幅		1		Ts
t11	GPIO1 (GPIO0) パルス幅		353		Ts
t12	GPIO1立ち上がりエッジ (GPIO0立ち下がりエッジ) →FPLINE立ち上がりエッジ		5		Ts
t13	GPIO2トグルエッジ→FPLINE立ち上がりエッジ		11		Ts

注

1. Ts = ピクセルクロック周期
2. t1typ = (REG[22h]ビット7~0) + 1
3. t2typ = ((REG[12h]ビット6~0) + 1) × 8
4. t3typ = (REG[20h]ビット6~0) + 1
5. t7typ = ((REG[16h]ビット7~0) + 5) - ((REG[22h]ビット7~0) + 1)
6. t8typ = ((REG[14h]ビット6~0) + 1) × 8

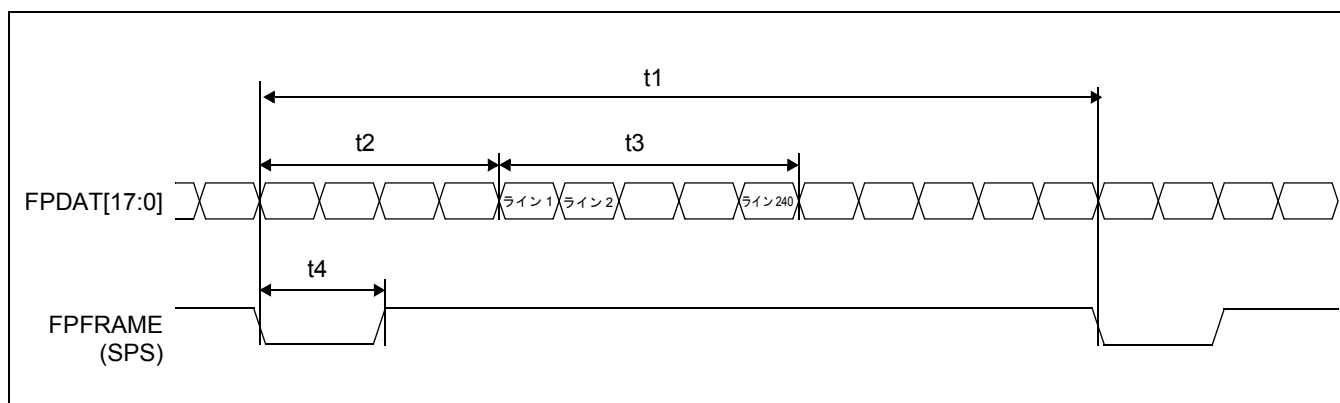


図6.33 320×240シャープ「ダイレクト」HR-TFTパネル垂直タイミング

表6.27 320×240シャープ「ダイレクト」HR-TFTパネル垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全垂直期間	245		330	ライン
t2	垂直表示開始位置		4		ライン
t3	垂直表示期間		240		ライン
t4	垂直同期パルス幅		2		ライン

6.4.12 160×240エプソンD-TFDパネルタイミング (例: LF26SCR)

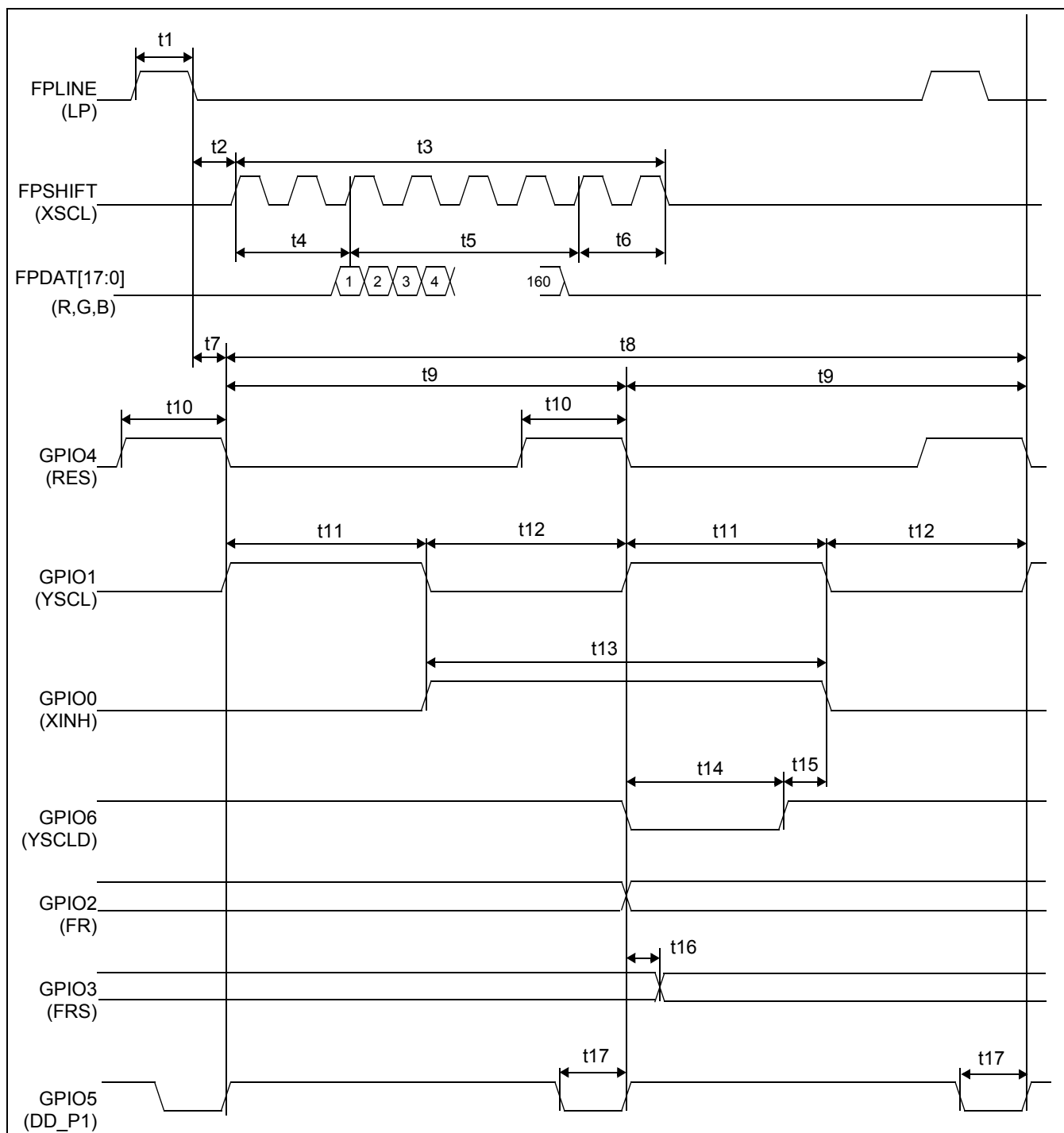


図6.34 160×240エプソンD-TFDパネル水平タイミング

6. AC特性

表6.28 160×240エプソンD-TFDパネル水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPLINEパルス幅		9		Ts (注1)
t2	FPLINE立ち下がリエッジ→FPSHIFT開始位置		8.5		Ts
t3	FPSHIFTアクティブ期間		167		Ts
t4	FPSHIFT開始→最初のデータ		4		Ts
t5	水平表示期間		160		Ts
t6	最後のデータ→FPSHIFTインアクティブ		3		Ts
t7	FPLINE立ち下がリエッジ→GPIO4 最初の立ち下がリエッジ		1		Ts
t8	全水平期間		400		Ts
t9	GPIO4 最初のパルス立ち下がリエッジ→2番目のパルス立ち下がリエッジ		200		Ts
t10	GPIO4パルス幅		11		Ts
t11	GPIO1 Highパルス幅		100		Ts
t12	GPIO1 Lowパルス幅		100		Ts
t13	GPIO0パルス幅		200		Ts
t14	GPIO6 Lowパルス幅		90		Ts
t15	GPIO6立ち上がリエッジ→GPIO0立ち下がリエッジ		10		Ts
t16	GPIO2トグル→GPIO3トグル		1		Ts
t17	GPIO5 Lowパルス幅		7		Ts

注

1. Ts = ピクセルクロック周期

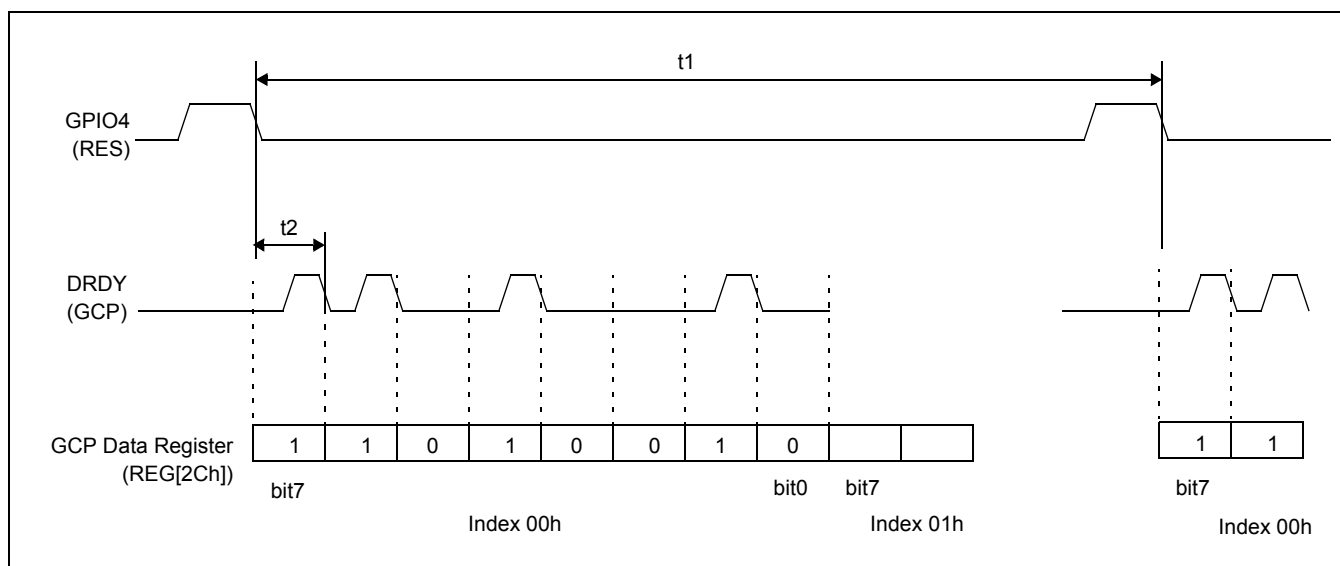


図6.35 160×240エプソンD-TFDパネルGCP水平タイミング

表6.29 160×240エプソンD-TFDパネルGCP水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全水平期間の半分		200		Ts (注1)
t2	GCPクロック周期1		1		Ts

注

1. Ts = ピクセルクロック周期

6. AC特性

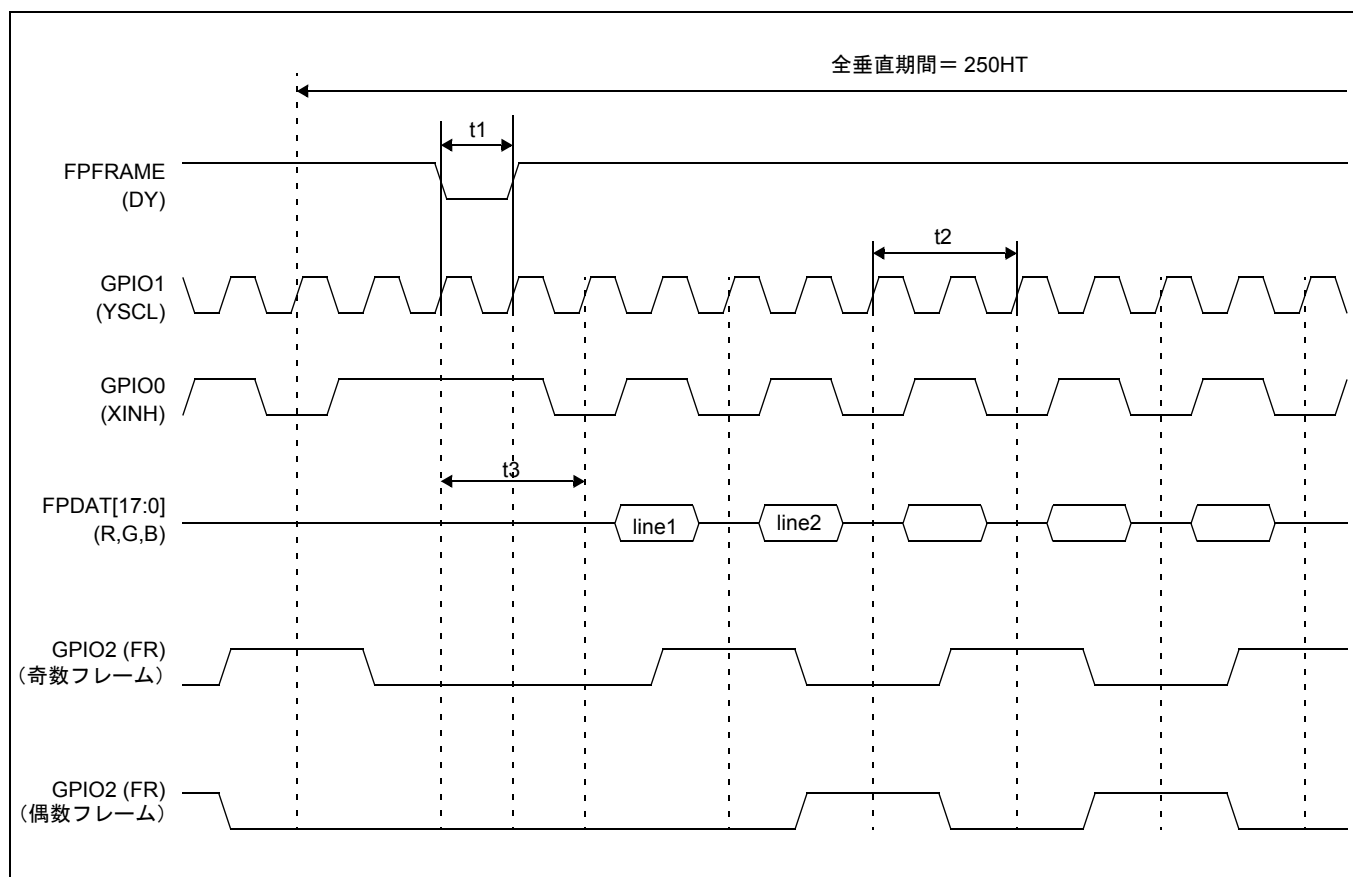


図6.36 160×240エプソンD-TFDパネル垂直タイミング

表6.30 160×240エプソンD-TFDパネル垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEパルス幅		200		Ts (注1)
t2	全水平期間		400		Ts
t3	垂直表示開始		400		Ts

注

1. Ts = ピクセルクロック周期

6.4.13 320×240エプソンD-TFDパネルタイミング (例: LF37SQR)

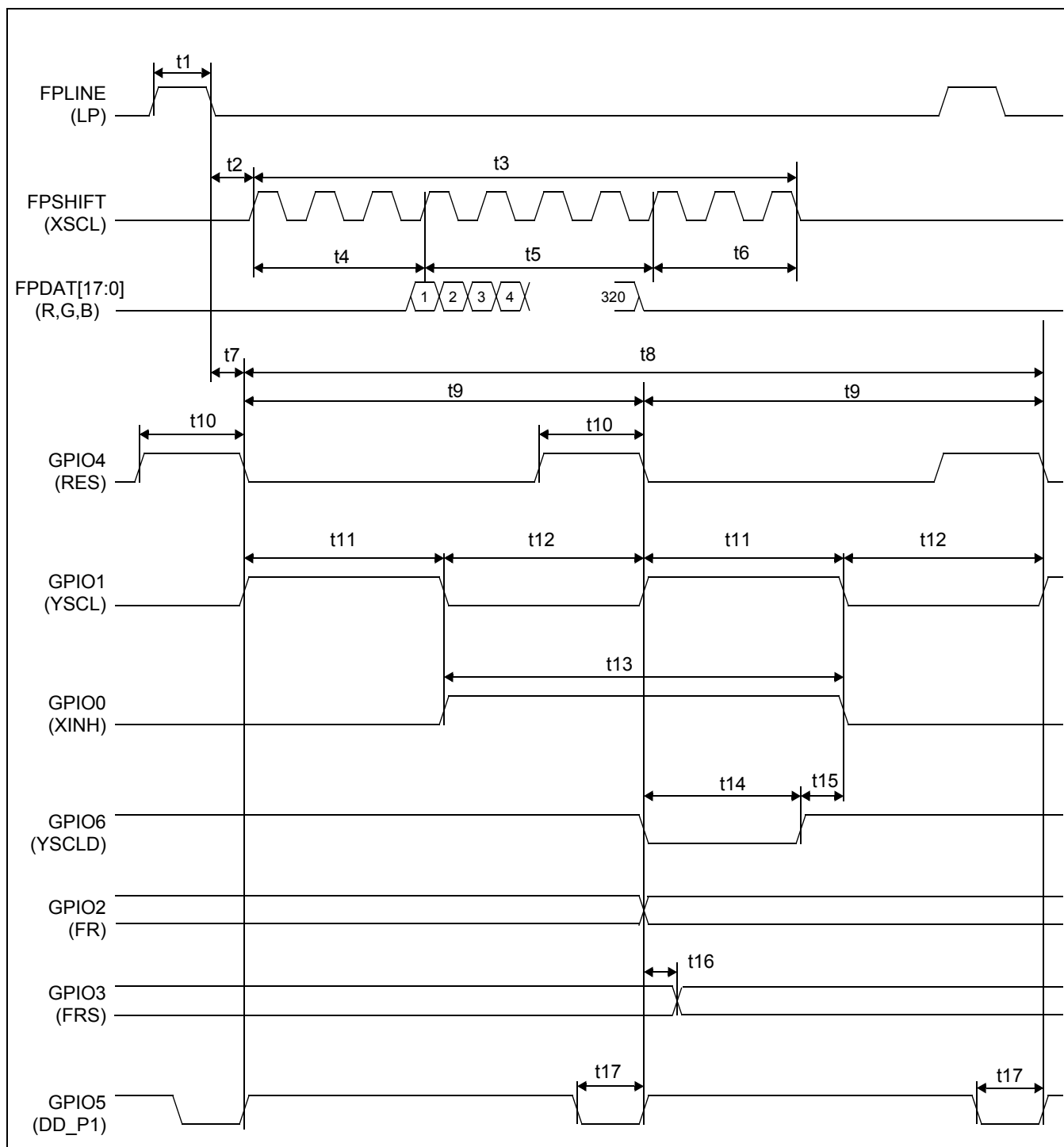


図6.37 320×240エプソンD-TFDパネル水平タイミング

6. AC特性

表6.31 320×240エプソンD-TFDパネル水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPLINEパルス幅		9		Ts (注1)
t2	FPLINE立ち下がりエッジ→FPSHIFT開始位置		8.5		Ts
t3	FPSHIFTアクティブ期間		331		Ts
t4	FPSHIFT開始→最初のデータ		6		Ts
t5	水平表示期間		320		Ts
t6	最後のデータ→FPSHIFTインアクティブ		5		Ts
t7	FPLINE立ち下がりエッジ→GPIO4最初のパルス立ち下がりエッジ		1		Ts
t8	全水平期間		400		Ts
t9	GPIO4最初のパルス立ち下がりエッジ→2番目のパルス立ち下がりエッジ		200		Ts
t10	GPIO4 Highパルス幅		11		Ts
t11	GPIO1 Highパルス幅		100		Ts
t12	GPIO1 Low期間		100		Ts
t13	GPIO0パルス幅		200		Ts
t14	GPIO6 Lowパルス幅		90		Ts
t15	GPIO6立ち上がりエッジ→GPIO0立ち下がりエッジ		10		Ts
t16	GPIO2トグル→GPIO3トグル		1		Ts
t17	GPIO5 Lowパルス幅		7		Ts

注

1. Ts = ピクセルクロック周期

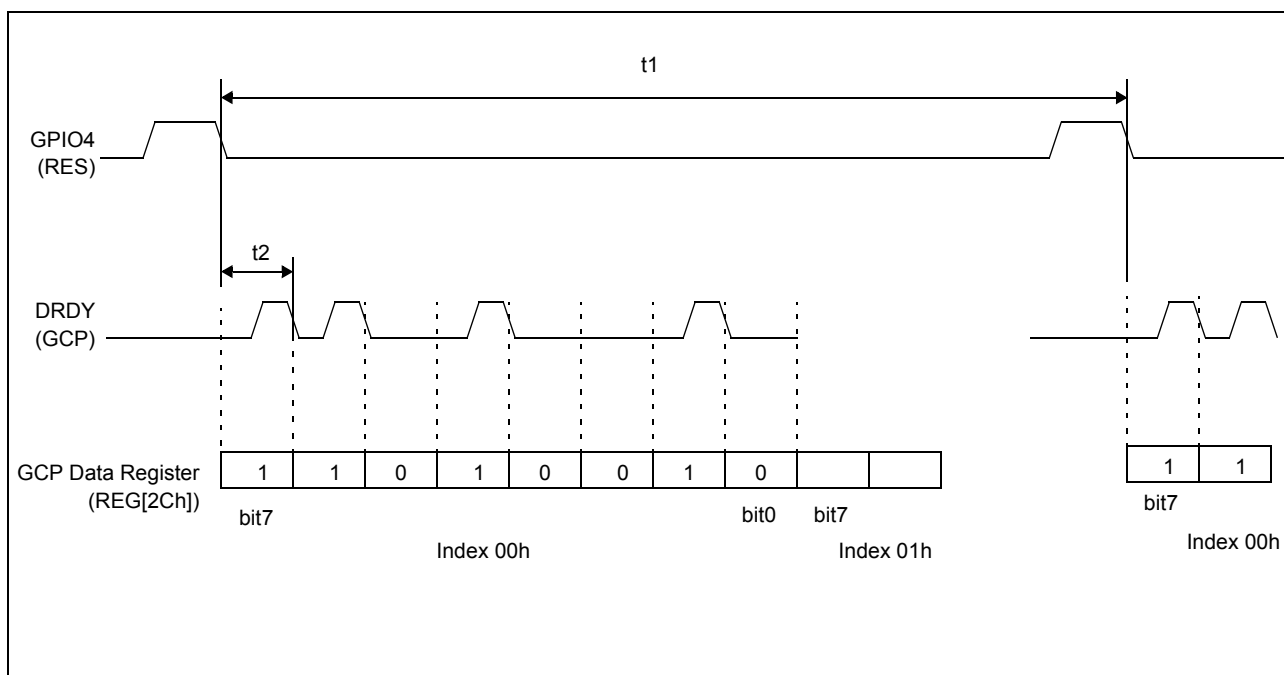


図6.38 320×240エプソンD-TFDパネルGCP水平タイミング

表6.32 320×240エプソンD-TFDパネルGCP水平タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	全水平期間の半分		200		Ts (注1)
t2	GCPクロック周期		1		Ts

注

1. Ts = ピクセルクロック周期

6. AC特性

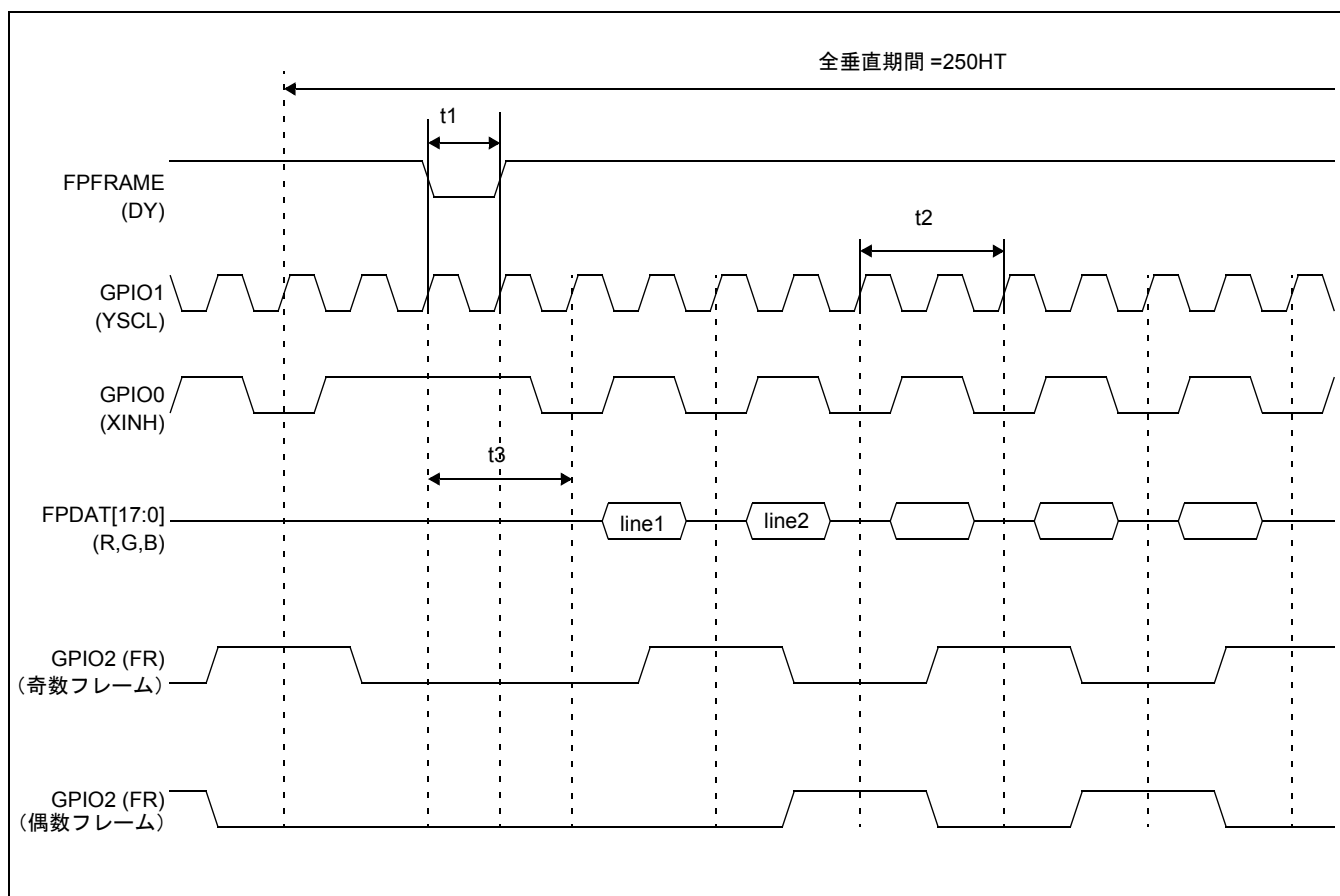


図6.39 320×240エプソンD-TFDパネル垂直タイミング

表6.33 320×240エプソンD-TFDパネル垂直タイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FPFRAMEパルス幅		200		Ts (注1)
t2	全水平期間		400		Ts
t3	垂直表示開始		400		Ts

注

1. Ts = ピクセルクロック周期

7. クロック

7.1 クロック説明

7.1.1 BCLK

BCLKは、CLKIから得られる内部クロックです。BCLKは、CLKIの分周バージョン（ $\div 1$ 、 $\div 2$ 、 $\div 3$ 、 $\div 4$ ）になります。一般的に、CLKIはホストCPUバスクロックから得ることができます。

BCLKのソースクロックオプションは、以下の表から選択することができます。

表7.1 BCLKクロックの選択

ソースクロックオプション	BCLK選択
CLKI	CNF[7:6] = 00
CLKI $\div 2$	CNF[7:6] = 01
CLKI $\div 3$	CNF[7:6] = 10
CLKI $\div 4$	CNF[7:6] = 11

注

同期バスインタフェースについては、BCLKをCPUバスクロックと同じ（CLKIの分周バージョンではない）ように設定することを勧めます。例: SH-3、SH-4

注

CLKI $\div 3$ 、CLKI $\div 4$ オプションはバスインタフェースと正しく機能しない場合があります。

7.1.2 MCLK

MCLKは、内蔵SRAMにアクセスするために必要な内部クロックを提供します。S1D13706は、クロックのための効率的なパワーセーブコントロールで設計されています（クロックは、未使用の場合には電源が切られます）。MCLKの周波数を小さくしても、必ずしも電力が削減できるわけではありません。さらに、BCLK周波数に対してMCLK周波数を削減すると、CPUサイクルレイテンシーが増加し、画面アップデートパフォーマンスが低下します。パワーセーブと画面アップデートパフォーマンスのバランスを得るには、十分に高い周波数設定値を持ち、受入れ可能なCPUサイクルレイテンシーとともに画面リフレッシュが得られるようにMCLKを設定してください。

MCLKのソースクロックオプションは、下表のように選択することができます。

表7.2 MCLKクロックの選択

ソースクロックオプション	MCLK選択
BCLK	REG[04h]ビット5、4 = 00
BCLK $\div 2$	REG[04h]ビット5、4 = 01
BCLK $\div 3$	REG[04h]ビット5、4 = 10
BCLK $\div 4$	REG[04h]ビット5、4 = 11

7. クロック

7.1.3 PCLK

PCLKは、LCDパネルを制御するために使用される内部クロックです。PCLKは、LCDパネルの最適フレームレートに一致するように選択してください。PCLKとフレームレート間の関係の詳細については、124ページの9.「フレームレートの計算」を参照してください。

PCLKの選択には、柔軟性を持つことができます。まず第一に、LCDパネルは一般に許容可能なフレームレートの範囲を持ちます。2番目に、より高いPCLK周波数を選択し、フレームレートをその最適値まで下げるように水平非表示期間と垂直非表示期間を調整することができます。

PCLKのソースクロックオプションは、下表のように選択することができます。

表7.3 PCLKクロックの選択

ソースクロックオプション	PCLK選択
MCLK	REG[05h] = 00h
MCLK÷2	REG[05h] = 10h
MCLK÷3	REG[05h] = 20h
MCLK÷4	REG[05h] = 30h
MCLK÷8	REG[05h] = 40h
BCLK	REG[05h] = 01h
BCLK÷2	REG[05h] = 11h
BCLK÷3	REG[05h] = 21h
BCLK÷4	REG[05h] = 31h
BCLK÷8	REG[05h] = 41h
CLKI	REG[05h] = 02h
CLKI÷2	REG[05h] = 12h
CLKI÷3	REG[05h] = 22h
CLKI÷4	REG[05h] = 32h
CLKI÷8	REG[05h] = 42h
CLKI2	REG[05h] = 03h
CLKI2÷2	REG[05h] = 13h
CLKI2÷3	REG[05h] = 23h
CLKI2÷4	REG[05h] = 33h
CLKI2÷8	REG[05h] = 43h

MCLK周波数とPCLK周波数の間には、次のような維持しなければならない関係があります。

表7.4 MCLKとPCLK周波数の関係

SwivelViewの向き	色深度 (bpp)	MCLKとPCLKの関係
SwivelView0°C、180°C	16	$f_{MCLK} \geq f_{PCLK}$
	8	$f_{MCLK} \geq f_{PCLK} \div 2$
	4	$f_{MCLK} \geq f_{PCLK} \div 4$
	2	$f_{MCLK} \geq f_{PCLK} \div 8$
	1	$f_{MCLK} \geq f_{PCLK} \div 16$
SwivelView90°C、270°C	16/8/4/2/1	$f_{MCLK} \geq 1.25f_{PCLK}$

7.1.4 PWMCLK

PWMCLKは、パネルに出力するためにパルス幅変調器で使用される内部クロックです。

PWMCLKのソースクロックオプションは、下表のように選択することができます。

表7.5 PWMCLKクロックの選択

ソースクロックオプション	PWMCLK選択
CLK1	REG[B1h]ビット0 = 0
CLK2	REG[B1h]ビット0 = 1

PWMCLKの制御の詳細については、120ページの8.3.9「パルス幅変調 (PWM) クロック/コントラスト電圧 (CV) パルス設定レジスタ」を参照してください。

注

S1D13706は、PWMOUTピンにパルス幅変調出力を与えます。PWMOUTは、バックライトインバータのPWM制御をサポートするLCDパネルをコントロールするために使用することができます。

7. クロック

7.2 クロック選択

下図は、S1D13706内部クロックを論理的に表現しています。

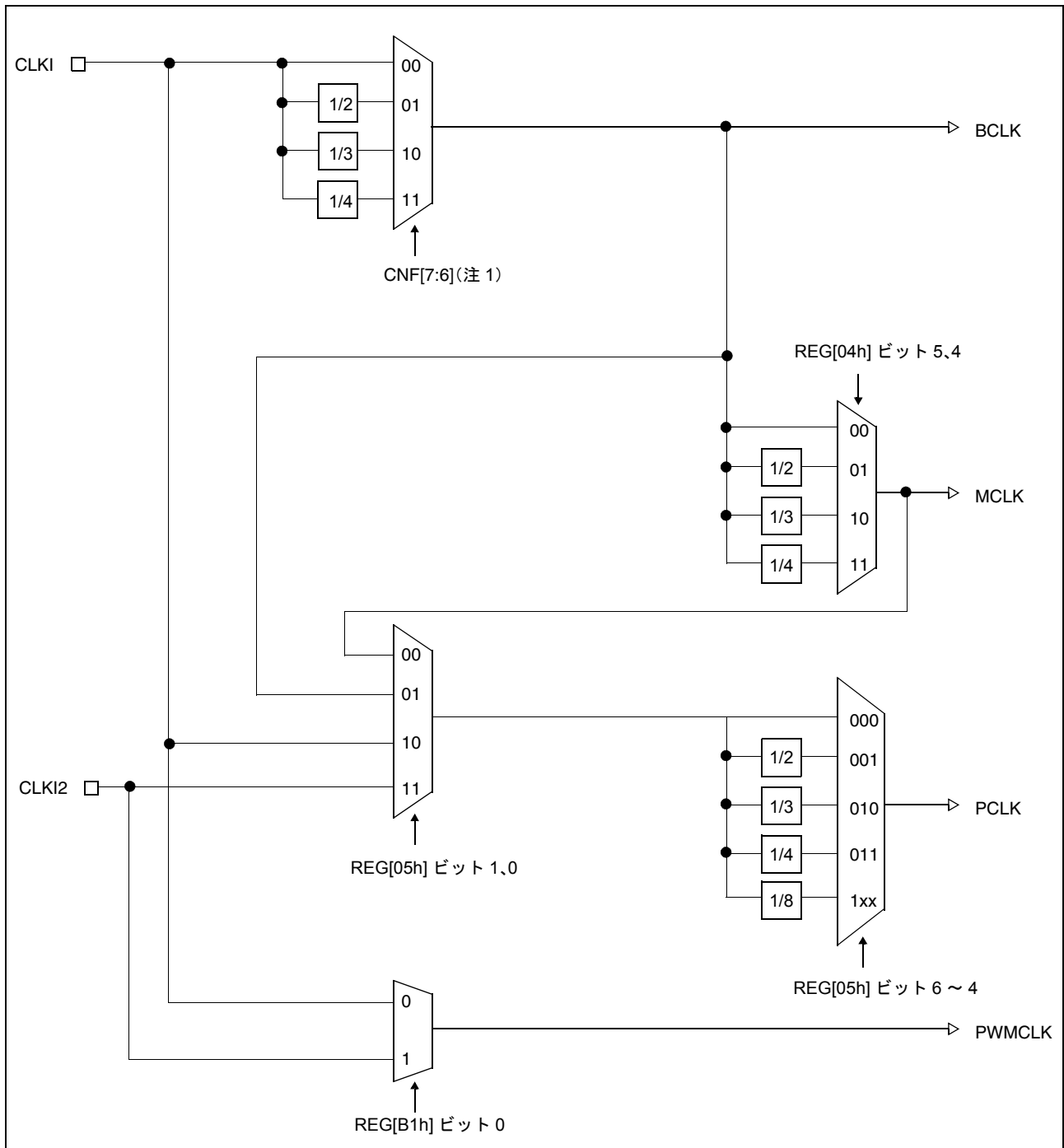


図7.1 クロック選択

注

- 1 CNF[7:6]は、RESET#に設定してください。

7.3 クロックと機能

表7.6「S1D13706 内部クロック要件」は、以下のS1D13706機能に必要な内部クロックをリストしています。

表7.6 S1D13706 内部クロック要件

機能	バスクロック (BCLK)	メモリクロック (MCLK)	ピクセルクロック (PCLK)	PWMクロック (PWMCLK)
レジスタ読み書き	必要	不要	不要	不要 (注1)
メモリ読み書き	必要	必要	不要	不要 (注1)
ルックアップテーブルレジスタ 読み書き	必要	必要	不要	不要 (注1)
ソフトウェアパワーセーブ	必要	不要	不要	不要 (注1)
LCD出力	必要	必要	必要	不要 (注1)

注

- 1 PWMCLKは、オプションクロックです (83ページの7.1.4「PWMCLK」を参照してください)。

8. レジスタ

8. レジスタ

この章では、S1D13706レジスタにアクセスする方法とアクセスする場所を説明します。また、各レジスタのレイアウトと使用について詳細に説明します。

8.1 レジスタマッピング

S1D13706レジスタはメモリマップされます。システムが入力ピンをCS# = 0、M/R# = 0としてデコードする場合は、レジスタにアクセスすることができます。レジスタ空間は、A[16:0]でデコードされます。

8.2 レジスタセット

S1D13706レジスタセットは、以下の通りです。

表8.1 S1D13706レジスタセット

レジスタ	ページ	レジスタ	ページ
読み出し専用設定レジスタ			
REG[00h] Revision Code Register	88	REG[01h] Display Buffer Size Register	88
REG[02h] Configuration Readback Register	88		
クロック構成レジスタ			
REG[04h] Memory Clock Configuration Register	89	REG[05h] Pixel Clock Configuration Register	89
ルックアップテーブルレジスタ			
REG[08h] Look-Up Table Blue Write Data Register	91	REG[09h] Look-Up Table Green Write Data Register	91
REG[0Ah] Look-Up Table Red Write Data Register	92	REG[0Bh] Look-Up Table Write Address Register	92
REG[0Ch] Look-Up Table Blue Read Data Register	92	REG[0Dh] Look-Up Table Green Read Data Register	93
REG[0Eh] Look-Up Table Red Read Data Register	93	REG[0Fh] Look-Up Table Read Address Register	93
パネル設定レジスタ			
REG[10h] Panel Type Register	94	REG[11h] MOD Rate Register	95
REG[12h] Horizontal Total Register	95	REG[14h] Horizontal Display Period Register	96
REG[16h] Horizontal Display Period Start Position Register 0	96	REG[17h] Horizontal Display Period Start Position Register 1	96
REG[18h] Vertical Total Register 0	97	REG[19h] Vertical Total Register 1	97
REG[1Ch] Vertical Display Period Register 0	97	REG[1Dh] Vertical Display Period Register 1	97
REG[1Eh] Vertical Display Period Start Position Register 0	98	REG[1Fh] Vertical Display Period Start Position Register 1	98
REG[20h] FPLINE Pulse Width Register	98	REG[22h] FPLINE Pulse Start Position Register 0	99
REG[23h] FPLINE Pulse Start Position Register 1	99	REG[24h] FPFRAME Pulse Width Register	99
REG[26h] FPFRAME Pulse Start Position Register 0	100	REG[27h] FPFRAME Pulse Start Position Register 1	100
REG[28h] D-TFD GCP Index Register	100	REG[2Ch] D-TFD GCP Data Register	100
表示モードレジスタ			
REG[70h] Display Mode Register	101	REG[71h] Special Effects Register	103
REG[74h] Main Window Display Start Address Register 0	105	REG[75h] Main Window Display Start Address Register 1	105
REG[76h] Main Window Display Start Address Register 2	105	REG[78h] Main Window Line Address Offset Register 0	106
REG[79h] Main Window Line Address Offset Register 1	106		
Picture-in-Picture Plus (PIP⁺) レジスタ			
REG[7Ch] PIP ⁺ Window Display Start Address Register 0	107	REG[7Dh] PIP ⁺ Window Display Start Address Register 1	107
REG[7Eh] PIP ⁺ Window Display Start Address Register 2	107	REG[80h] PIP ⁺ Window Line Address Offset Register 0	108

表8.1 S1D13706レジスタセット

レジスタ	ページ	レジスタ	ページ
REG[81h] PIP ⁺ Window Line Address Offset Register 1	108	REG[84h] PIP ⁺ Window X Start Position Register 0	109
REG[85h] PIP ⁺ Window X Start Position Register 1	109	REG[88h] PIP ⁺ Window Y Start Position Register 0	110
REG[89h] PIP ⁺ Window Y Start Position Register 1	110	REG[8Ch] PIP ⁺ Window X End Position Register 0	111
REG[8Dh] PIP ⁺ Window X End Position Register 1	111	REG[90h] PIP ⁺ Window Y End Position Register 0	112
REG[91h] PIP ⁺ Window Y End Position Register 1	112		
その他のレジスタ			
REG[A0h] Power Save Configuration Register	113	REG[A1h] Reserved	114
REG[A2h] Reserved	114	REG[A3h] Reserved	114
REG[A4h] Scratch Pad Register 0	115	REG[A5h] Scratch Pad Register 1	115
汎用IO端子レジスタ			
REG[A8h] General Purpose IO Pins Configuration Register 0	116	REG[A9h] General Purpose IO Pins Configuration Register 1	117
REG[ACh] General Purpose IO Pins Status/Control Register 0	117	REG[ADh] General Purpose IO Pins Status/Control Register 1	119
PWMクロック/CVパルス設定レジスタ			
REG[B0h] PWM Clock / CV Pulse Control Register	120	REG[B1h] PWM Clock / CV Pulse Configuration Register	122
REG[B2h] CV Pulse Burst Length Register	123	REG[B3h] PWMOUT Duty Cycle Register	123

8. レジスタ

8.3 レジスタ説明

特に指定がない限り、電源投入後は、レジスタのビットはすべて0に設定されます。

8.3.1 読み出し専用設定レジスタ

Revision Code Register								Read Only	
REG[00h]									
製品コードビット5~0						リビジョンコードビット1~0			
7	6	5	4	3	2	1	0		

注

S1D13706は、値28hを返します。

bits 7-2

製品コードビット[5:0]

これらは、製品コードを示す読み出し専用ビットです。製品コードは001010です。

bits 1-0

リビジョンコードビット[1:0]

これらは、リビジョンコードを示す読み出し専用ビットです。製品コードは00です。

Display Buffer Size Register								Read Only	
REG[01h]									
ディスプレイバッファサイズビット7~0									
7	6	5	4	3	2	1	0		

bits 7-0

ディスプレイバッファサイズビット[7:0]

これらのビットは、SRAMディスプレイバッファのサイズを示す読み出し専用レジスタです（4KB単位）。S1D13706ディスプレイバッファは80KBですので、このレジスタは値20（14h）を返します。

$$\begin{aligned} \text{このレジスタの値} &= \text{ディスプレイバッファサイズ} \div 4\text{KB} \\ &= 80\text{KB} \div 4\text{KB} \\ &= 20 \text{ (14h)} \end{aligned}$$

Configuration Readback Register								Read Only	
REG[02h]									
CNF7	CNF6	CNF5	CNF4	CNF3	CNF2	CNF1	CNF0		
ステータス	ステータス	ステータス	ステータス	ステータス	ステータス	ステータス	ステータス		
7	6	5	4	3	2	1	0		

bits 7-0

CNF[7:0]ステータス

これらの読み出し専用のステータスビットは、構成端子CNF[7:0]のステータスを返します。CNF[7:0]は、RESET#の立ち上がりエッジでラッチされます。

8.3.2 クロック構成レジスタ

Memory Clock Configuration Register							Read/Write
REG[04h]							Reserved
n/a		MCLK分周選択ビット1~0		n/a			Reserved
7	6	5	4	3	2	1	0

bits 5-4 MCLK分周選択ビット[1:0]
これらのビットは、バスクロック (BCLK) からメモリクロック (MCLK) を生成するために使用する分周を決定します。

表8.2 MCLK分周選択

MCLK分周選択ビット	BCLK:MCLK周波数比
00	1:1
01	2:1
10	3:1
11	4:1

bit 0 Reserved
このビットは0のままにしておく必要があります。

Pixel Clock Configuration Register							Read/Write
REG[05h]							Reserved
n/a	PCLK分周選択ビット2~0			n/a		PCLKソース選択ビット1~0	
7	6	5	4	3	2	1	0

bits 6-4 PCLK分周選択ビット[2:0]
これらのビットは、ピクセルクロックソースからピクセルクロック (PCLK) を生成するために使用する分周を決定します。

表8.3 PCLK分周選択

PCLK分周選択ビット	PPCLKソース:PCLK周波数比
000	1:1
001	2:1
010	3:1
011	4:1
1XX	8:1

8. レジスタ

bits 1-0

PCLKソース選択ビット[1:0]

これらのビットは、ピクセルクロック（PCLK）のソースを決定します。

表8.4 PCLKソース選択

PCLKソース選択ビット	PCLKソース
00	MCLK
01	BCLK
10	CLKI
11	CLKI2

8.3.3 ルックアップテーブルレジスタ

注

S1D13706は、赤、緑、青のそれぞれに3つの256ポジション・6ビット長LUTを持ちます（126ページの11.「ルックアップテーブルの構造」を参照してください）。

Look-Up Table Blue Write Data Register REG[08h]						Write Only	
青LUT書込みデータビット5~0						n/a	
7	6	5	4	3	2	1	0

bits 7-2

青LUT書込みデータビット[5:0]

このレジスタは、ルックアップテーブルの青要素に書き込まれるデータを格納しています。このデータは、LUT書込みアドレスレジスタ（REG[0Bh]）への書込みによってデータがルックアップテーブルに移動するまで、このレジスタに格納されています。

注

LUTエントリは、LUT書込みアドレスレジスタ（REG[0Bh]）に書込みが行われるときにだけアップデートされます。

Look-Up Table Green Write Data Register REG[09h]						Write Only	
緑LUT書込みデータビット5~0						n/a	
7	6	5	4	3	2	1	0

bits 7-2

緑LUT書込みデータビット[5:0]

このレジスタは、ルックアップテーブルの緑要素に書き込まれるデータを格納しています。このデータは、LUT書込みアドレスレジスタ（REG[0Bh]）への書込みによってデータがルックアップテーブルに移動するまで、このレジスタに格納されています。

注

LUTエントリは、LUT書込みアドレスレジスタ（REG[0Bh]）に書込みが行われるときにだけアップデートされます。

8. レジスタ

Look-Up Table Red Write Data Register REG[0Ah]							Write Only	
赤LUT書込みデータビット5~0							n/a	
7	6	5	4	3	2	1	0	

bits 7-2

赤LUT書込みデータビット[5:0]

このレジスタは、ルックアップテーブルの赤要素に書き込まれるデータを格納しています。このデータは、LUT書込みアドレスレジスタ (REG[0Bh]) への書込みによってデータがルックアップテーブルに移動するまで、このレジスタに格納されています。

注

LUTエントリは、LUT書込みアドレスレジスタ (REG[0Bh]) に書込みが行われるときにだけアップデートされます。

Look-Up Table Write Address Register REG[0Bh]								Write Only
LUT書込みアドレスビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

LUT書込みアドレスビット[7:0]

このレジスタは、REG[08h]、REG[09h]、REG[0Ah]に格納されているLUTデータの書き込みに使用されるルックアップテーブル (LUT) にポインタを作ります。データは、このレジスタへの書込みが完了した場合にのみLUTにアップデートされます。これは書込み専用レジスタであり、読み取られた場合は00hを返します。

注

LUT書込みアドレスレジスタに値を書き込むと、同じ値が自動的にLUT読み出しアドレスレジスタ (REG[0Fh]) に書き込まれます。

Look-Up Table Blue Read Data Register REG[0Ch]							Read Only	
青LUT読み出しデータビット5~0							n/a	
7	6	5	4	3	2	1	0	

bits 7-2

青LUT読み出しデータビット[5:0]

このレジスタは、ルックアップテーブルの青要素からのデータを格納しています。読み取られたLUTエントリは、LUT読み出しアドレスレジスタ (REG[0Fh]) で制御されます。これは、読み出し専用レジスタです。

注

このレジスタは、LUT読み出しアドレスレジスタ (REG[0Fh]) に書込みが行われるときにだけアップデートされます。

Look-Up Table Green Read Data Register REG[0Dh]							Read Only	
緑LUT読み出しデータビット5~0						n/a		
7	6	5	4	3	2	1	0	

bits 7-2

緑LUT読み出しデータビット[5:0]

このレジスタは、ルックアップテーブルの緑要素からのデータを格納しています。読み取られたLUTエントリは、LUT読み出しアドレスレジスタ（REG[0Fh]）で制御されます。これは、読み出し専用レジスタです。

注

このレジスタは、LUT読み出しアドレスレジスタ（REG[0Fh]）に書き込みが行われるときにだけアップデートされます。

Look-Up Table Red Read Data Register REG[0Eh]							Read Only	
赤LUT読み出しデータビット5~0						n/a		
7	6	5	4	3	2	1	0	

bits 7-2

赤LUT読み出しデータビット[5:0]

このレジスタは、ルックアップテーブルの赤要素からのデータを格納しています。読み取られたLUTエントリは、LUT読み出しアドレスレジスタ（REG[0Fh]）で制御されます。これは、読み出し専用レジスタです。

注

このレジスタは、LUT読み出しアドレスレジスタ（REG[0Fh]）に書き込みが行われるときにだけアップデートされます。

Look-Up Table Read Address Register REG[0Fh]								Write Only
LUT読み出しアドレスビット7~0								
7	6	5	4	3	2	1	0	

bits 7-0

LUT読み出しアドレスビット[7:0]

このレジスタは、青・緑・赤の各LUTデータを読み取るのに使用するため、ルックアップテーブル（LUT）にポインタを作ります。青LUTデータはREG[0Ch]から、緑LUTデータはREG[0Dh]から、赤LUTデータはREG[0Eh]から読み出されます。これは書き込み専用レジスタであり、読み取られた場合は00hを返します。

注

LUT書き込みアドレスレジスタ（REG[0Bh]）への書き込みを行った場合、LUT読み出しアドレスレジスタは同じ値に自動的に更新されます。

8. レジスタ

8.3.4 パネル設定レジスタ

Panel Type Register REG[10h]						Read/Write
パネルデータ形式選択	カラー/モノクロパネル選択	パネルデータ幅ビット1~0		アクティブパネル分解能選択	n/a	パネルタイプビット1~0
7	6	5	4	3	2	1 0

- bit 7 パネルデータ形式選択
このビットが0の場合、8ビットシングルカラーパッシブLCDパネルデータ形式1が選択されます。ACタイミングについては、57ページの6.4.5「8ビットシングルカラーパネルタイミング (Format 1)」を参照してください。
このビットが1の場合、8ビットシングルカラーパッシブLCDパネルデータ形式2が選択されます。ACタイミングについては、59ページの6.4.6「8ビットシングルカラーパネルタイミング (Format 2)」を参照してください。
- bit 6 カラー/モノクロパネル選択
このビットが0の場合、モノクロLCDパネルが選択されます。
このビットが1の場合、カラーLCDパネルが選択されます。
- bits 5-4 パネルデータ幅ビット[1:0]
これらのビットは、LCDパネルのデータ幅サイズを選択します。

表8.5 パネルデータ幅の選択

パネルデータ幅ビット[1:0]	パッシブパネルデータ幅サイズ	アクティブパネルデータ幅サイズ
00	4ビット	9ビット
01	8ビット	12ビット
10	16ビット	18ビット
11	Reserved	Reserved

- bit 3 アクティブパネル分解能選択
このビットは、HR-TFTまたはD-TFDパネルが選択されたときには2つのパネル分解能の1つを選択します。
このビットは、他のパネルタイプに影響を与えません。

表8.6 アクティブパネル分解能選択

アクティブパネル分解能選択ビット	HR-TFT分解能	D-TFD分解能
0	160x160	160x240
1	320x240	320x240

注

このビットは、選択されたパネルの、設定することができない内部タイミング値を設定します。しかし、すべてのパネル設定レジスタ (REG[12h]-REG[27h]) は、依然として選択されたパネルを適切な値で設定する必要があります。パネルのACタイミングについては、48ページの6.4「LCDインタフェース」を参照してください。

bits 1-0

パネルタイプビット[1:0]
これらのビットは、パネルタイプを選択します。

表8.7 LCDパネルタイプ選択

REG[10h]ビット[1:0]	パネルタイプ
00	STN
01	TFT
10	HR-TFT
11	D-TFD

MOD Rate Register

REG[11h]

Read/Write

n/a		MODレートビット5~0					
7	6	5	4	3	2	1	0

bits 5-0

MODレートビット[5:0]
これらのビットは、パッシブLCDパネル専用のもので、
これらのビットがすべて0の場合、MOD出力信号 (DRDY) はあらゆるFPFRAME
を切り換えます。非ゼロ値nの場合、MOD出力信号 (DRDY) はあらゆるn FPLINE
を切り換えます。

Horizontal Total Register

REG[12h]

Read/Write

n/a		全水平期間ビット6~0					
7	6	5	4	3	2	1	0

bits 6-0

全水平期間ビット[6:0]
これらのビットは、LCDパネルの全水平期間を8ピクセル分解能で指定します。
全水平期間は、水平表示期間と水平非表示期間を合計したものです。最大水平
期間は1024ピクセルですから、サポートされている最大パネル分解能は800×
600です。

全水平期間のピクセル数 = ((REG[12h]ビット6~0) + 1) × 8

注

- このレジスタは、以下の式が有効になるように設定してください。
 $HDPS + HDP < HT$
- パネルのACタイミングとタイミングパラメータの定義については、48ページ
の6.4「LCDインタフェース」を参照してください。

8. レジスタ

Horizontal Display Period Register REG[14h]								Read/Write
n/a	水平表示期間ビット6~0							
7	6	5	4	3	2	1	0	

bits 6-0

水平表示期間ビット[6:0]

これらのビットは、LCDパネルの水平表示期間を8ピクセル分解能で指定します。水平表示期間は、十分な水平非表示期間を考慮して全水平表示期間よりも短くなければなりません。

水平表示期間のピクセル数 = ((REG[14h]ビット6~0) + 1) × 8

注

パッシブパネルの場合、HDPは少なくとも32ピクセルでなければならず、また、16の倍数で増やすことができます。TFTパネルの場合、HDPは少なくとも16ピクセルでなければならず、また、8の倍数で増やすことができます。

パネルのACタイミングとタイミングパラメータの定義については、48ページの6.4「LCDインタフェース」を参照してください。

Horizontal Display Period Start Position Register 0 REG[16h]								Read/Write
水平表示期間開始位置ビット7~0								
7	6	5	4	3	2	1	0	

Horizontal Display Period Start Position Register 1 REG[17h]								Read/Write
n/a						水平表示期間開始位置 ビット9~8		
7	6	5	4	3	2	1	0	

bits 9-0

水平表示期間開始位置ビット[9:0]

これらのビットは、TFT、HR-RFT、D-TFDパネルの水平表示期間開始位置を1ピクセル分解能で指定します。

パッシブLCDパネルの場合、これらのビットを00hに設定してHDPS=22にする必要があります。

$HDPS = (REG[17h] \text{ビット} 1 \sim 0, REG[16h] \text{ビット} 7 \sim 0) + 22$

TFT/HR-TFT/D-TFDパネルの場合、次式を使用してHDPSを計算します。

$HDPS = (REG[17h] \text{ビット} 1 \sim 0, REG[16h] \text{ビット} 7 \sim 0) + 5$

HDPSの計算方法の詳細については、48ページの6.4「LCDインタフェース」の特定パネルのACタイミングを参照してください。

注

このレジスタは、以下の式が有効になるように設定してください。

$HDPS + HDP < HT$

Vertical Total Register 0							
REG[18h]							Read/Write
全垂直期間ビット7~0							
7	6	5	4	3	2	1	0

Vertical Total Register 1							
REG[19h]							Read/Write
n/a						全垂直期間ビット9~8	
7	6	5	4	3	2	1	0

bits 9-0

全垂直期間ビット[9:0]

これらのビットは、LCDパネルの全垂直期間を1ライン分解能で指定します。全垂直期間は、垂直表示期間と垂直非表示期間を合計したものです。最大垂直期間は1024ラインです。

全垂直期間のライン数 = (REG[18h]ビット7~0、REG[19h]ビット1~0) + 1

注

- このレジスタは、以下の式が有効になるように設定してください。
 $VDPS + VDP < VT$
- パネルの AC タイミングとタイミングパラメータの定義については、48ページの6.4「LCDインタフェース」を参照してください。

Vertical Display Period Register 0							
REG[1Ch]							Read/Write
垂直表示期間ビット7~0							
7	6	5	4	3	2	1	0

Vertical Display Period Register 1							
REG[1Dh]							Read/Write
n/a						垂直表示期間ビット9~8	
7	6	5	4	3	2	1	0

bits 9-0

垂直表示期間ビット[9:0]

これらのビットは、LCDパネルの垂直表示期間を1ライン分解能で指定します。垂直表示期間は、十分な垂直非表示期間を考慮して全垂直表示期間よりも短くなければなりません。

垂直表示期間のライン数 = (REG[1Ch]ビット7~0、REG[1Dh]ビット1~0) + 1

注

- パネルのACタイミングとタイミングパラメータの定義については、48ページの6.4「LCDインタフェース」を参照してください。

8. レジスタ

Vertical Display Period Start Position Register 0							
REG[1Eh]							Read/Write
垂直表示期間開始位置ビット7~0							
7	6	5	4	3	2	1	0

Vertical Display Period Start Position Register 1							
REG[1Fh]						Read/Write	
n/a						垂直表示期間開始位置 ビット9~8	
7	6	5	4	3	2	1	0

bits 9-0

垂直表示期間開始位置ビット[9:0]

これらのビットは、HR-TFT、D-TFDパネルの垂直表示期間開始位置を1ライン分解能で指定します。

パッシブLCDやTFT（非HR-TFT/D-TFD）パネルの場合、これらのビットは00hに設定してください。

TFTパネルの場合、次式を使用してVDPSを計算します。

$$VDPS = (\text{REG}[1Fh] \text{ビット}1\sim0, \text{REG}[1Dh] \text{ビット}7\sim0)$$

注

- このレジスタは、以下の式が有効になるように設定してください。
 $VDPS + VDP < VT$
- パネルのACタイミングとタイミングパラメータの定義については、48ページの6.4「LCDインタフェース」を参照してください。

FPLINE Pulse Width Register							
REG[20h]							Read/Write
FPLINEパルス 極性	FPLINEパルス幅ビット6~0						
7	6	5	4	3	2	1	0

bit 7

FPLINEパルス極性

このビットは、水平同期信号の極性を選択します。パッシブパネルの場合、このビットは1に設定する必要があります。TFTパネルの場合、このビットは、パネルの水平同期信号（一般的にFPLINEまたはLP）に従って設定する必要があります。

このビットが0の場合、水平同期信号はアクティブLOWになります。

このビットが1の場合、水平同期信号はアクティブHIGHになります。

bits 6-0

FPLINEパルス幅ビット[6:0]

これらのビットは、パネル水平同期信号の幅を1ピクセル分解能で指定します。水平同期信号は、パネルタイプにもよりますが、一般的にFPLINEまたはLPです。

$$\text{FPLINEパルス幅のピクセル数} = (\text{REG}[20h] \text{ビット}6\sim0) + 1$$

注

パネルのACタイミングとタイミングパラメータの定義については、48ページの6.4「LCDインタフェース」を参照してください。

FPLINE Pulse Start Position Register 0							
REG[22h]							Read/Write
FPLINEパルス開始位置ビット7~0							
7	6	5	4	3	2	1	0

FPLINE Pulse Start Position Register 1								
REG[23h]								Read/Write
n/a						FPLINEパルス開始位置 ビット9~8		
7	6	5	4	3	2	1	0	

bits 9-0 FPLINEパルス開始位置ビット[9:0]
これらのビットは、水平同期信号の開始位置を1ピクセル分解能で指定します。
FPLINEパルス開始位置 (ピクセル) = (REG[23h]ビット1~0、REG[22h]ビット7~0) + 1

注

パッシブパネルの場合、これらのビットは、以下の式が有効になるように設定してください。
 $HPW + HPS < HT$

注

パネルのACタイミングとタイミングパラメータの定義については、48ページの6.4「LCDインタフェース」を参照してください。

FPFRAME Pulse Width Register								
REG[24h]							Read/Write	
FPFRAME パルス極性	n/a					FPFRAMEパルス幅ビット2~0		
7	6	5	4	3	2	1	0	

bit 7 FPFRAMEパルス極性
このビットは、垂直同期信号の極性を選択します。パッシブパネルの場合、このビットは1に設定する必要があります。TFTパネルの場合、このビットは、パネルの垂直同期信号（一般的にFPFRAME、SPS、またはDY）に従って設定する必要があります。
このビットが0の場合、垂直同期信号はアクティブLOWになります。
このビットが1の場合、垂直同期信号はアクティブHIGHになります。

bits 2-0 FPFRAMEパルス幅ビット[2:0]
これらのビットは、パネル垂直同期信号の幅を1ライン分解能で指定します。垂直同期信号は、パネルタイプにもよりますが、一般的にFPFRAME、SPSまたはDYです。

FPFRAMEパルス幅のライン数 = (REG[24h]ビット2~0) + 1

注

パネルのACタイミングとタイミングパラメータの定義については、48ページの6.4「LCDインタフェース」を参照してください。

8. レジスタ

FPFRAME Pulse Start Position Register 0							
REG[26h]							Read/Write
FPFRAMEパルス開始位置ビット7~0							
7	6	5	4	3	2	1	0

FPFRAME Pulse Start Position Register 1							
REG[27h]						Read/Write	
n/a						FPFRAMEパルス開始位置 ビット9~8	
7	6	5	4	3	2	1	0

bits 9-0

FPFRAMEパルス開始位置ビット[9:0]

これらのビットは、垂直同期信号の開始位置を1ライン分解能で指定します。

パッシブパネルの場合、これらのビットは00hに設定する必要があります。

TFT/HR-TFT/D-TFDパネルの場合、次の式を使用してVDPSを計算します。

$$VPS=(REG[27h]ビット1~0、REG[26h]ビット7~0)$$

注

パネルのACタイミングとタイミングパラメータの定義については、48ページの6.4「LCDインタフェース」を参照してください。

D-TFD GCP Index Register							
REG[28h]							Read/Write
n/a				D-TFD GCPインデックスビット4~0			
7	6	5	4	3	2	1	0

bits 4-0

D-TFD GCPインデックスビット[4:0]

D-TFDパネル専用。これらのビットは、32個の8ビットGCPデータレジスタを指し示すインデックスを形成します。

D-TFD GCP Data Register							
REG[2Ch]							Read/Write
D-TFD GCPデータビット7~0							
7	6	5	4	3	2	1	0

bits 7-0

D-TFD GCP データビット[7:0]

D-TFDパネル専用。このレジスタは、GCP データビットに書き込むデータを格納しており、D-TFD GCP インデックスレジスタで制御されます (REG[28h])。このレジスタの使用の詳細については、「エプソンD-TFDパネルへの接続」(X31B-G-012-xx) を参照してください。

注

パネルタイプビット (REG[10h]ビット1~0) は11 (D-TFD) に設定して、GCP データビットにハードウェア効果を持たせてください。

8.3.5 表示モードレジスタ

Display Mode Register						Read/Write		
REG[70h]								
表示ブランク	ディザ ディセーブル	ハードウェア 反転表示 イネーブル	ソフトウェア 反転表示	n/a	ビット/ピクセル選択ビット2-0			
7	6	5	4	3	2	1	0	

bit 7 表示ブランク
このビットが0の場合、LCD表示パイプラインはイネーブルになります。
このビットが1の場合、LCD表示パイプラインはディセーブルになり、LCDデータ出力はすべて強制的にゼロにされます（すなわち、画面はブランクになります）。

bit 6 ディザディセーブル
ディザにより、色成分（RGB）のそれぞれについて64階調の輝度レベルが可能となります。ルックアップテーブルの緑色成分だけを使用するモノクロモードでは、LUTで使われる各位置について64の中間階調が利用可能です。カラーモードでは、色成分（RGB）のそれぞれについて64階調の色の濃淡が利用可能であるため、組み合わせ可能な色は256K色になります。
このビットが0の場合、パッシブLCDパネルのディザはイネーブルになります。
このビットが1の場合、パッシブLCDパネルのディザはディセーブルになります。

注

このビットは、同時に表示できる色の数を表すものではなく、利用可能な色の最大数を表すものです（同時に表示可能な最大色数については、103ページの表8.9「LCBビット/ピクセルの選択」を参照してください）。

8. レジスタ

bit 5

ハードウェア反転表示イネーブル

このビットによって、汎用IOピンGPIO0を使用して反転表示機能を制御することができます。このビットをHR-TFTやD-TFDに設定すると、このオプションは使用できません。それは、GPIO0が両方のパネルでLCD制御信号として使用されるからです。

このビットが0の場合、GPIO0はビデオデータに何も影響を与えません。

このビットが1の場合、ビデオデータはGPIO0反転させることができます。

注

S1D13706では、ハードウェア反転表示機能をイネーブルにする前に次の設定が必要です。

- GNF3はRESET#で1に設定してください。
- GPIOピン入力イネーブル (REG[A9h]ビット7) は、1に設定してください。
- GPIO0ピンIO設定 (REG[A8h]ビット0) は、0に設定してください。

ハードウェア反転表示が使用できない（すなわち、HR-TFTパネルを使用している）場合でも、反転表示機能はREG[70h]ビット4を使用してソフトウェアで制御することができます。下表に、使用可能な反転表示オプションをまとめています。

表8.8 反転表示モード選択オプション

ハードウェア 反転表示イネーブル	ソフトウェア 反転表示	GPIO0	ビデオデータ
0	0	X	通常
0	1	X	反転
1	X	0	通常
1	X	1	反転

注

ビデオデータは、ルックアップテーブルの後に反転されます。

bit 4

ソフトウェア反転表示

このビットが0の場合、ビデオデータは通常の状態です。

このビットが1の場合、ビデオデータは反転表示されます。

表8.8「反転表示モード選択オプション」を参照してください。

注

ビデオデータは、ルックアップテーブルの後に反転されます。

bits 2-0

ビット／ピクセル選択ビット[2:0]

これらのビットは、メインウィンドウとPIP⁺ウィンドウ（アクティブな場合）の両方について、表示されたデータの色深度（ビット／ピクセル）を選択します。

注

1、2、4、8bppモードは18ビットLUTを使用して、最大256K色を可能にします。16bppモードは、LUTをバイパスさせて、64K色しか可能になりません。

表8.9 LCBビット／ピクセルの選択

ビット／ピクセル 選択ビット[2:0]	色深度 (bpp)	最大色数／階調数		同時に表示可能な 最大色数／階調数
		パッシブパネル (ディザON)	TFTパネル	
000	1 bpp	64K/64	256K/64	2/2
001	2 bpp	64K/64	256K/64	4/4
010	4 bpp	64K/64	256K/64	16/16
011	8 bpp	64K/64	256K/64	256/64
100	16 bpp	64K/64	64K/64	64K/64
101、110、111	Reserved			

Special Effects Register REG[71h]						Read/Write	
表示データ ワード スワップ 7	表示データ バイト スワップ 6	n/a 5	PIP ⁺ ウィンドウ イネーブル 4	n/a 3 2		SwivelViewモード選択 ビット1-0 1 0	

bit 7

表示データワードスワップ

表示パイプは、ディスプレイバッファから32ビットデータを取り込みます。このビットを使用すると、LCDディスプレイに下位16ビットワードと上位16ビットワードを送信する前にそれらをスワップすることができます。表示データバイトスワップビットもイネーブルになっている場合は、取り込まれた32ビットデータのバイト順も逆になります。

注

ビッグエンディアンモードの場合のバイトスワップの詳細については、140ページの14.「ビッグエンディアンバスインタフェース」を参照してください。

8. レジスタ

bit 6

表示データバイトスワップ

表示パイプは、ディスプレイバッファから32ビットデータを取り込みます。このビットを使用すると、LCDディスプレイにデータを送信する前にバイト0とバイト1を、またバイト2とバイト3をスワップすることができます。表示データワードスワップビットもイネーブルになっている場合は、取り込まれた32ビットデータのバイト順も逆になります。

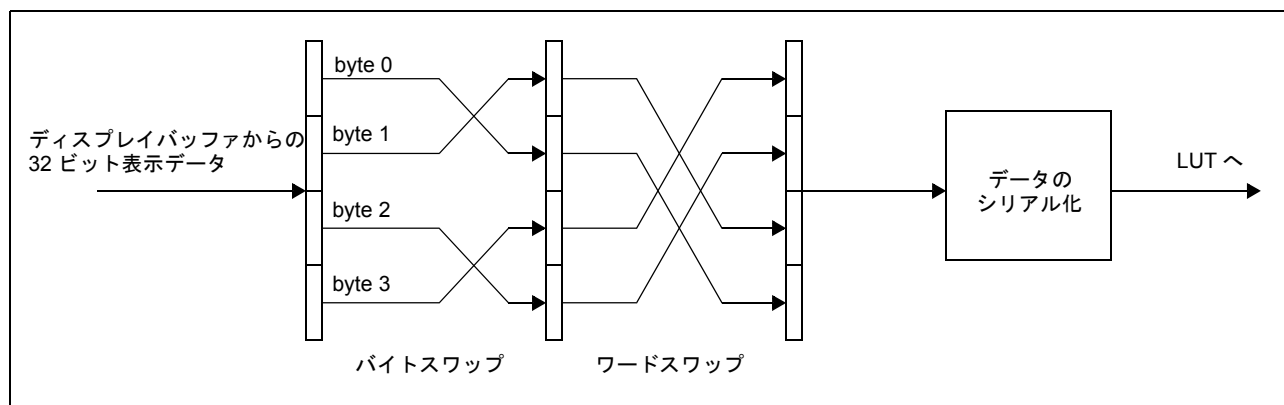


図8.1 表示データバイト/ワードスワップ

注

ビッグエンディアンモードの場合のバイトスワップの詳細については、140ページの14.「ビッグエンディアンバスインタフェース」を参照してください。

bit 4

Picture-in-Picture Plus (PIP⁺) ウィンドウイネーブル

このビットは、Picture-in-Picture機能に使用されるメインウィンドウ内のPIP⁺ウィンドウを有効にします。ランドスケープウィンドウ内のPIP⁺ウィンドウの位置は、PIP⁺ウィンドウX位置レジスタ (REG[84h]、REG[85h]、REG[8Ch]、REG[8Dh]) およびPIP⁺ウィンドウY位置レジスタ (REG[88h]、REG[89h]、REG[90h]、REG[91h]) によって決定されます。PIP⁺ウィンドウは、独自の表示開始アドレスレジスタ (REG[7Ch]、REG[7Dh]、REG[7Eh]) およびメモリアドレスオフセットレジスタ (REG[80h]、REG[81h]) を持ちます。PIP⁺ウィンドウは、メインウィンドウと同じ色深度とSwivelView™方向を持ちます。

bit 1-0

SwivelViewモード選択ビット[1:0]

これらのビットは、様々なSwivelView™方向を選択します。

表8.10 SwivelView™モード選択オプション

SwivelViewモード選択ビット	SwivelViewの向き
00	0° (Normal)
01	90°
10	180°
11	270°

Main Window Display Start Address Register 0							
REG[74h]							Read/Write
メインウィンドウ表示開始アドレスビット7-0							
7	6	5	4	3	2	1	0

Main Window Display Start Address Register 1							
REG[75h]							Read/Write
メインウィンドウ表示開始アドレスビット15-8							
7	6	5	4	3	2	1	0

Main Window Display Start Address Register 2							
REG[76h]							Read/Write
n/a							メイン ウィンドウ 表示開始 アドレス ビット16
7	6	5	4	3	2	1	0

bits 16-0

メインウィンドウ表示開始アドレスビット[16:0]

これらのビットは、メインウィンドウのディスプレイバッファにLCDイメージの開始DWORDの開始アドレスを形成します。

ただし、これは**DWORD (32ビット) アドレス**です。これらのレジスタに00000hを入力すると表示メモリの最初のDWORDが表わされ、00001hを入力すると表示メモリの2番目のDWORDが表わされます。以下に示すように、表示開始アドレスを計算します。

メインウィンドウの表示開始アドレスビット[16:0]

= 画像アドレス ÷ 4 (SwivelView 0°の場合にのみ有効)

注

SwivelViewの他の方向でのこのレジスタの設定方法については、132ページの12. 「SwivelView™」を参照してください。

8. レジスタ

Main Window Line Address Offset Register 0							
REG[78h]							Read/Write
メインウィンドウラインアドレスオフセットビット7-0							
7	6	5	4	3	2	1	0

Main Window Line Address Offset Register 1							
REG[79h]							Read/Write
n/a						メインウィンドウライン アドレスオフセットビット9-8	
7	6	5	4	3	2	1	0

bits 9-0

メインウィンドウラインアドレスオフセットビット[9:0]

これらのビットは、メインウィンドウ内ある表示ラインから次の表示ラインラインまでのオフセットをDWORDで指定します。ただし、これは32ビットアドレス増分です。以下に示すように、ラインアドレスオフセットを計算します。

メインウィンドウのラインアドレスオフセットビット[9:0]

= 表示幅 (ピクセル) ÷ (32 ÷ bpp)

注

仮想表示は、式で求まる値よりも大きな値でこのレジスタをプログラムすることで作成することができます。仮想表示を作成すると、その画像幅は表示幅よりも大きくなるため、表示された画像は仮想画像の部分的な表示となります。

8.3.6 Picture-in-Picture Plus (PIP+) レジスタ

PIP+ Window Display Start Address Register 0								Read/Write
REG[7Ch]								
PIP+ウィンドウ表示開始アドレスビット7-0								
7	6	5	4	3	2	1	0	
PIP+ Window Display Start Address Register 1								Read/Write
REG[7Dh]								
PIP+ウィンドウ表示開始アドレスビット15-8								
7	6	5	4	3	2	1	0	
PIP+ Window Display Start Address Register 2								Read/Write
REG[7Eh]								
n/a							PIP+ ウィンドウ 表示開始 アドレス ビット16	
7	6	5	4	3	2	1	0	

bits 16-0

PIP+ウィンドウ表示開始アドレスビット[16:0]

これらのビットは、PIP+ウィンドウの開始DWORDの17ビットアドレスを形成します。

ただし、これは**DWORD (32ビット) アドレス**です。これらのレジスタに00000hを入力すると表示メモリの最初のDWORDが表わされ、00001hを入力すると表示メモリの2番目のDWORDが表わされます。

注

これらのビットは、PIP+ウィンドウイネーブルビットが1 (REG[71h]ビット4) に設定されていない限り影響を与えません。

8. レジスタ

PIP ⁺ Window Line Address Offset Register 0								Read/Write
REG[80h]								
PIP ⁺ ウィンドウラインアドレスオフセットビット7-0								
7	6	5	4	3	2	1	0	

PIP ⁺ Window Line Address Offset Register 1								Read/Write
REG[81h]								
n/a						PIP ⁺ ウィンドウライン アドレスオフセットビット9-0		
7	6	5	4	3	2	1	0	

bits 9-0

PIP⁺ウィンドウラインアドレスオフセットビット[9:0]

これらのビットは、PIP⁺ウィンドウのライン“n”の開始DWORDからライン“n+1”の開始DWORDまでのLCDディスプレイの10ビットアドレスオフセットです。ただし、これは32ビットアドレス増分です。

注

これらのビットは、PIP⁺ウィンドウイネーブルビットが1 (REG[71h]ビット4) に設定されていない限り影響を与えません。

PIP ⁺ Window X Start Position Register 0							
REG[84h]							Read/Write
PIP ⁺ ウィンドウX開始位置ビット7-0							
7	6	5	4	3	2	1	0

PIP ⁺ Window X Start Position Register 1							
REG[85h]							Read/Write
n/a						PIP ⁺ ウィンドウX 開始位置ビット9-8	
7	6	5	4	3	2	1	0

bits 9-0

PIP⁺ウィンドウX開始位置ビット[9:0]

これらのビットは、パネルの起点に対するPIP⁺ウィンドウのX開始位置を決定します。SID13706 SwivelView機能のために、X開始位置は水平位置値でない場合があります（0°と180°のSwivelViewにのみ当てはまります）。X開始位置レジスタの値の定義の詳細については、137ページの13.「Picture-in-Picture Plus (PIP+)」を参照してください。

また、レジスタはSwivelViewの方向に基づいて増加します。0°と180°のSwivelViewの場合、x開始位置はxピクセルで増加します。ここで、xは現在の色深度を基準にしています。

表8.11 色深度の32ビットアドレス増分

色深度	ピクセル増分 (x)
1 bpp	32
2 bpp	16
4 bpp	8
8 bpp	4
16 bpp	2

90°と270°のSwivelViewの場合、X開始位置は1ラインずつ増加します。

色深度によっては、このレジスタの上位ビットの中には未使用のものがあります。それは、最大水平表示幅が1024ピクセルあるからです。

注

- これらのビットは、Picture-in-Picture Plus PIP⁺ウィンドウイネーブルビット（REG[71h]ビット4）が1に設定されていない限り影響を与えません。
- REG[84h]～REG[91h]の影響は、REG[91h]に書き込みが行われた後に、また次の垂直非表示期間の時にのみ見られます。

8. レジスタ

PIP ⁺ Window Y Start Position Register 0							
REG[88h]							Read/Write
PIP ⁺ ウィンドウY開始位置ビット7-0							
7	6	5	4	3	2	1	0

PIP ⁺ Window Y Start Position Register 1							
REG[89h]							Read/Write
n/a						PIP ⁺ ウィンドウY開始位置 ビット9-8	
7	6	5	4	3	2	1	0

bits 9-0

PIP⁺ウィンドウY開始位置ビット[9:0]

これらのビットは、パネルの起点に対するPIP⁺ウィンドウのY開始位置を決定します。S1D13706 SwivelView 機能のために、Y開始位置は垂直位置値でない場合があります（0°と180°のSwivelViewにのみ当てはまります）。Y開始位置レジスタの値の定義の詳細については、137ページの13.「Picture-in-Picture Plus (PIP+)」を参照してください。

また、レジスタはSwivelViewの方向に基づいて増加します。0°と180°SwivelViewの場合、Y開始位置は1ラインずつ増加します。90°と270°のSwivelViewの場合、Y開始位置はyピクセルで増加します。ここで、yは現在の色深度を基準にしています。

表8.12 色深度の32ビットアドレス増分

色深度	ピクセル増分 (y)
1 bpp	32
2 bpp	16
4 bpp	8
8 bpp	4
16 bpp	2

色深度によっては、このレジスタの上位ビットの中には未使用のものがあります。それは、最大垂直表示高さが1024ピクセルあるからです。

注

- これらのビットは、PIP⁺ウィンドウイネーブルビット（REG[71h]ビット4）が1に設定されていない限り影響を与えません。
- REG[84h]～REG[91h]の影響は、REG[91h]に書込みが行われた後に、また次の垂直非表示期間の時にのみ見られます。

PIP ⁺ Window X End Position Register 0								Read/Write
REG[8Ch]								
PIP ⁺ ウィンドウX終了位置ビット7-0								
7	6	5	4	3	2	1	0	

PIP ⁺ Window X End Position Register 1								Read/Write
REG[8Dh]								
n/a						PIP ⁺ ウィンドウX終了位置 ビット9-8		
7	6	5	4	3	2	1	0	

bits 9-0

PIP⁺ウィンドウX終了位置ビット[9:0]

これらのビットは、パネルの起点に対するPIP⁺ウィンドウのX終了位置を決定します。S1D13706 SwivelView 機能のために、X終了位置は水平位置値でない場合があります（0°と180°のSwivelViewにのみ当てはまります）。X終了位置レジスタの値の定義の詳細については、137ページの13.「Picture-in-Picture Plus (PIP+)」を参照してください。

また、レジスタはSwivelViewの方向に基づいて増加します。0°と180°SwivelViewの場合、X終了位置はxピクセルで増加します。ここで、xは現在の色深度を基準にしています。

表8.13 色深度の32ビットアドレス増分

色深度	ピクセル増分 (x)
1 bpp	32
2 bpp	16
4 bpp	8
8 bpp	4
16 bpp	2

90°と270°SwivelViewの場合、X終了位置は1ラインずつ増加します。

色深度によっては、このレジスタの上位ビットの中には未使用のものがあります。それは、最大水平表示幅が1024ピクセルあるからです。

注

- これらのビットは、Picture-in-Picture Plus PIP⁺ウィンドウイネーブルビット（REG[71h]ビット4）が1に設定されていない限り影響を与えません。
- REG[84h]～REG[91h]の影響は、REG[91h]に書き込みが行われた後に、また次の垂直非表示期間の時にのみ影響があります。

8. レジスタ

PIP ⁺ Window Y End Position Register 0								Read/Write
REG[90h]								
PIP ⁺ ウィンドウY終了位置ビット7-0								
7	6	5	4	3	2	1	0	

PIP ⁺ Window Y End Position Register 1								Read/Write
REG[91h]								
n/a						PIP ⁺ ウィンドウY終了位置 ビット9-8		
7	6	5	4	3	2	1	0	

bits 9-0

PIP⁺ウィンドウY終了位置ビット[9:0]

これらのビットは、パネルの起点に対するPIP⁺ウィンドウのY終了位置を決定します。S1D13706 SwivelView 機能のために、Y終了位置は垂直位置値でない場合があります（0°と180°のSwivelViewにのみ当てはまります）。Y終了位置レジスタの値の定義の詳細については、137ページの13.「Picture-in-Picture Plus (PIP+)」を参照してください。

また、レジスタはSwivelViewの方向に基づいて増加します。0°と180°SwivelViewの場合、Y終了位置は1ラインずつ増加します。90°と270°のSwivelViewの場合、Y終了位置はyピクセルで増加します。ここで、yは現在の色深度を基準にしています。

表8.14 色深度の32ビットアドレス増分

色深度	ピクセル増分 (y)
1 bpp	32
2 bpp	16
4 bpp	8
8 bpp	4
16 bpp	2

色深度によっては、このレジスタの上位ビットの中には未使用のものがあります。それは、最大垂直表示高さが1024ピクセルあるからです。

注

- これらのビットは、PIP⁺ウィンドウイネーブルビット（REG[71h] ビット4）が1に設定されていない限り影響を与えません。
- REG[84h]～REG[91h]の影響は、REG[91h]に書き込みが行われた後に、また次の垂直非表示期間の時にのみ見られます。

8.3.7 その他のレジスタ

Power Save Configuration Register					Read/Write		
REG[A0h]							
垂直非表示 期間 ステータス (RO)	n/a			メモリ コントローラ パワーセーブ ステータス (RO)	n/a		パワーセーブ モード イネーブル
7	6	5	4	3	2	1	0

bit 7 垂直非表示期間ステータス
これは読み出し専用ステータスビットです。
このビットが0の場合、LCDパネル出力は垂直表示期間になります。
このビットが1の場合、LCDパネル出力は垂直非表示期間になります。

bit 3 メモリコントローラパワーセーブステータス
この読み出し専用ステータスビットは、メモリコントローラのパワーセーブステータスを示します。
このビットが0の場合、メモリコントローラの電源が投入されます。
このビットが1の場合、メモリコントローラの電源は断たれ、MCLKソースをオフにすることができます。

注

S1D13706はディスプレイバッファの書込みに対してメモリコントローラを動的に有効にしているため、パワーセーブモード時でのメモリ書込みが可能です。

bit 0 パワーセーブモードイネーブル
このビットが1の場合、ソフトウェア起動パワーセーブモードはイネーブルになります。
このビットが0の場合、ソフトウェア起動パワーセーブモードはディセーブルになります。
リセット時、このビットは1に設定されます。パワーセーブモードの詳細については、143ページの15.「パワーセーブモード」を参照してください。

注

S1D13706はディスプレイバッファの書込みに対してメモリコントローラを動的に有効にしているため、パワーセーブモード時でのメモリ書込みが可能です。

8. レジスタ

Reserved REG[A1h]							Read/Write
n/a							Reserved
7	6	5	4	3	2	1	0

bit 0 予備
 このビットは0のままにしておく必要があります。

Reserved REG[A2h]							Read/Write
Reserved	n/a						Reserved
7	6	5	4	3	2	1	0

bit 7 Reserved
 このビットは0のままにしておく必要があります。

bit 0 予備
 このビットは0のままにしておく必要があります。

Reserved REG[A3h]							Read/Write
Reserved	n/a						
7	6	5	4	3	2	1	0

bit 7 Reserved
 このビットは0のままにしておく必要があります。

Scratch Pad Register 0 REG[A4h]	Read/Write						
スクラッチパッドビット7-0							
7	6	5	4	3	2	1	0

Scratch Pad Register 1 REG[A5h]	Read/Write						
スクラッチパッドビット15-8							
7	6	5	4	3	2	1	0

bits 15-0

スクラッチパッドビット[15:0]

このレジスタは、汎用読み書きビットを持っています。これらのビットは、ハードウェアに影響を与えません。

8. レジスタ

8.3.8 汎用IO端子レジスタ

General Purpose IO Pins Configuration Register 0							Read/Write
REG[A8h]							
n/a	GPIO6端子IO 設定	GPIO5端子IO 設定	GPIO4端子IO 設定	GPIO3端子IO 設定	GPIO2端子IO 設定	GPIO1端子IO 設定	GPIO0端子IO 設定
7	6	5	4	3	2	1	0

- bit 6 GPIO6端子IO設定
このビットが0 (デフォルト値) の場合、GPIO6は入力端子として設定されます。
このビットが1の場合、GPIO6は出力端子として設定されます。
- bit 5 GPIO5端子IO設定
このビットが0 (デフォルト値) の場合、GPIO5は入力端子として設定されます。
このビットが1の場合、GPIO5は出力端子として設定されます。
- bit 4 GPIO4端子IO設定
このビットが0 (デフォルト値) の場合、GPIO4は入力端子として設定されます。
このビットが1の場合、GPIO4は出力端子として設定されます。
- bit 3 GPIO3端子IO設定
このビットが0 (デフォルト値) の場合、GPIO3は入力端子として設定されます。
このビットが1の場合、GPIO3は出力端子として設定されます。
- bit 2 GPIO2端子IO設定
このビットが0 (デフォルト値) の場合、GPIO2は入力端子として設定されます。
このビットが1の場合、GPIO2は出力端子として設定されます。
- bit 1 GPIO1端子IO設定
このビットが0 (デフォルト値) の場合、GPIO1は入力端子として設定されます。
このビットが1の場合、GPIO1は出力端子として設定されます。
- bit 0 GPIO0端子IO設定
このビットが0 (デフォルト値) の場合、GPIO0は入力端子として設定されます。
このビットが1の場合、GPIO0は出力端子として設定されます。

注

- 1 RESET#でCNF3 = 0の場合、GPIO端子はすべて出力専用として設定されますが、このレジスタは何も影響を与えません。この場合、GPIO端子はHR-TFT/D-TFDパネルインタフェースで使用することができます。HR-TFT/D-TFDのGPIO使用の概要については、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。
- 2 GPIO端子の入力機能は、REG[A9h]ビット7が1に設定されるまでイネーブルにはなりません。

General Purpose IO Pins Configuration Register 1							
REG[A9h]							Read/Write
GPIO端子入力 イネーブル	n/a						
7	6	5	4	3	2	1	0

bit 7 GPIO端子入力イネーブル
このビットは、GPIO端子の入力機能をイネーブルにするために使用されます。電源投入リセット後1に変更して、GPIO端子の入力機能をイネーブルにしてください（デフォルト値は0です）。

General Purpose IO Pins Status/Control Register 0							
REG[ACh]							Read/Write
n/a	GPIO6端子IO ステータス	GPIO5端子IO ステータス	GPIO4端子IO ステータス	GPIO3端子IO ステータス	GPIO2端子IO ステータス	GPIO1端子IO ステータス	GPIO0端子IO ステータス
7	6	5	4	3	2	1	0

注

HR-TFT/D-TFDパネルが選択された場合のGPIO端子の割り付けについては、21ページの表4.9「LCDインタフェースピンマッピング」を参照してください。

bit 6 GPIO6端子IOステータス
D-TFDパネルが選択されておらず（REG[10h]ビット1～0）、GPIO6が出力として設定されている場合は、このビットに1を書き込むとGPIO6はHighになり、0を書き込むとLowになります。
D-TFDパネルが選択されておらず（REG[10h]ビット1～0）、GPIO6が入力として設定されている場合は、このビットから読み出しを行うと、GPIO6のステータスが返されます。

D-TFDパネルがイネーブルのとき（REG[10h]ビット1～0=11）、GPIO6はYSCLD信号を自動的に出力し、このビットへの書込みは無効になります。

bit 5 GPIO5端子IOステータス
D-TFDパネルが選択されておらず（REG[10h]ビット1～0）、GPIO5が出力として設定されている場合は、このビットに1を書き込むとGPIO5はHighになり、0を書き込むとLowになります。
D-TFDパネルが選択されておらず（REG[10h]ビット1～0）、GPIO5が入力として設定されている場合は、このビットから読み出しを行うと、GPIO5のステータスが返されます。

D-TFDパネルがイネーブルになっており（REG[10h]ビット1～0=11）、このビットに1が書き込まれている場合、D-TFD信号DD_P1信号はイネーブルになります。

D-TFDパネルがイネーブルになっており（REG[10h]ビット1～0=11）、このビットに0が書き込まれている場合、D-TFD信号DD_P1信号はLowになります。

8. レジスタ

- bit 4 GPIO4端子IOステータス
D-TFDパネルが選択されておらず (REG[10h]ビット1~0)、GPIO4 が出力として設定されている場合は、このビットに1を書き込むとGPIO4はHighになり、0を書き込むとLowになります。
D-TFDパネルが選択されておらず (REG[10h]ビット1~0)、GPIO4 が入力として設定されている場合は、このビットから読み出しを行うと、GPIO4のステータスが返されます。
- D-TFDパネルがイネーブルのとき (REG[10h]ビット1~0=11)、GPIO4はRES信号を自動的に出力し、このビットへの書込みは無効になります。
- bit 3 GPIO3端子IOステータス
D-TFDパネルもHR-TFTも選択されておらず (REG[10h]ビット1~0)、GPIO3 が出力として設定されている場合は、このビットに1を書き込むとGPIO3はHighになり、0を書き込むとLowになります。
D-TFDパネルもHR-TFTも選択されておらず (REG[10h]ビット1~0)、GPIO3 が入力として設定されている場合は、このビットから読み出しを行うと、GPIO3のステータスが返されます。
- D-TFDパネルがイネーブルのとき (REG[10h]ビット1~0=11)、GPIO3はFRS信号を自動的に出力し、このビットへの書込みは無効になります。
- HR-TFTパネルがイネーブルのとき (REG[10h]ビット1~0=10)、GPIO3はSPL信号を自動的に出力し、このビットへの書込みは無効になります。
- bit 2 GPIO2端子IOステータス
D-TFDパネルもHR-TFTも選択されておらず (REG[10h]ビット1~0)、GPIO2 が出力として設定されている場合は、このビットに1を書き込むとGPIO2はHighになり、0を書き込むとLowになります。
D-TFDパネルもHR-TFTも選択されておらず (REG[10h]ビット1~0)、GPIO2 が入力として設定されている場合は、このビットから読み出しを行うと、GPIO2のステータスが返されます。
- D-TFDパネルがイネーブルのとき (REG[10h]ビット1~0=11)、GPIO2はFR信号を自動的に出力し、このビットへの書込みは無効になります。
- HR-TFTパネルがイネーブルのとき (REG[10h]ビット1~0=10)、GPIO2はREV信号を自動的に出力し、このビットへの書込みは無効になります。
- bit 1 GPIO1端子IOステータス
D-TFDパネルもHR-TFTも選択されておらず (REG[10h]ビット1~0)、GPIO1 が出力として設定されている場合は、このビットに1を書き込むとGPIO1はHighになり、0を書き込むとLowになります。
D-TFDパネルもHR-TFTも選択されておらず (REG[10h]ビット1~0)、GPIO1 が入力として設定されている場合は、このビットから読み出しを行うと、GPIO1のステータスが返されます。
- D-TFDパネルがイネーブルのとき (REG[10h]ビット1~0=11)、GPIO1はYSCL信号を自動的に出力し、このビットへの書込みは無効になります。
- HR-TFTパネルがイネーブルのとき (REG[10h]ビット1~0=10)、GPIO1はCLS信号を自動的に出力し、このビットへの書込みは無効になります。

bit 0

GPIO0端子IOステータス

D-TFDパネルもHR-TFTも選択されておらず (REG[10h]ビット1~0)、GPIO0が出力として設定されている場合は、このビットに1を書き込むとGPIO0はHighになり、0を書き込むとLowになります。

D-TFDパネルもHR-TFTも選択されておらず (REG[10h]ビット1~0)、GPIO0が入力として設定されている場合は、このビットから読み出しを行うと、GPIO0のステータスが返されます。

D-TFDパネルがイネーブルのとき (REG[10h]ビット1~0=11)、GPIO0はXINH信号を自動的に出力し、このビットへの書込みは無効になります。

HR-TFTパネルがイネーブルのとき (REG[10h]ビット1~0=10)、GPIO0はPS信号を自動的に出力し、このビットへの書込みは無効になります。

General Purpose IO Pins Status/Control Register 1							
REG[ADh]							Read/Write
GPO制御	n/a						
7	6	5	4	3	2	1	0

bit 7

GPO制御

このビットは、汎用出力端子を制御します。

このビットに0を書き込むと、GPOはLowになります。

このビットに1を書き込むと、GPOはHighになります。

注

GPO端子を使用してLCDバイアス電源を制御しています (46ページの6.3「LCD電源シーケンス」を参照してください)。

8. レジスタ

8.3.9 パルス幅変調 (PWM) クロック/コントラスト電圧 (CV) パルス設定レジスタ

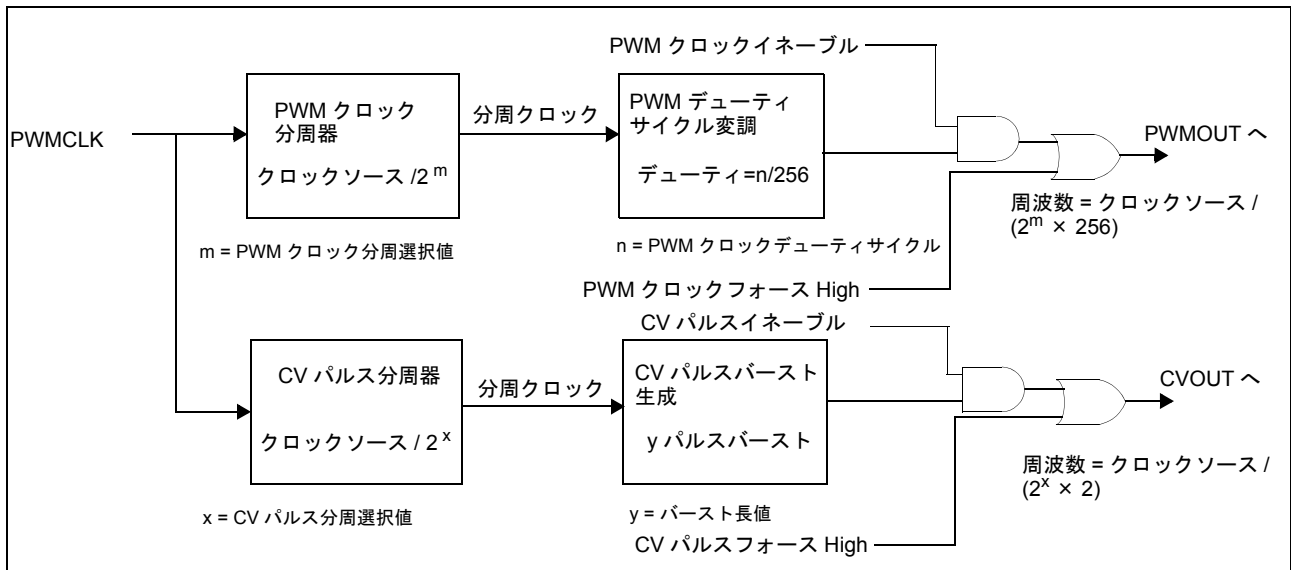


図8.2 PWMクロック/ CVパルスブロック図

注

PWMCLKの詳細については、83ページの7.1.4「PWMCLK」を参照してください。

PWM Clock / CV Pulse Control Register REG[B0h]						Read/Write
PWMクロック フォースHigh	n/a		PWMクロック イネーブル	CVパルス フォースHigh	CVパルス バースト ステータス (RO)	CVパルス バースト スタート
7	6	5	4	3	2	1
						0

bit 7 and bit 4

PWMクロックフォースHigh (ビット7) とPWMクロックイネーブル (ビット4) これらのビットは、以下のようにPWMOUT端子とPWMクロック回路を制御します。

表8.15 PWMクロック制御

ビット7	ビット4	結果
0	1	PWMクロック回路がイネーブルになります。 (REG[B1h]、REG[B3h]で制御)
0	0	PWMOUTがLowになります。
1	x	PWMOUTがHighになります。

x = 設定不要

PWMOUTはLowあるいはHighになると、汎用出力として使用することができます。

注

パワーセーブモードがイネーブルになると、PWMクロック回路はディセーブルになります。

bit 3 and bit 0 CVパルスフォースHigh（ビット3）とCV フォースイネーブル（ビット0）
これらのビットは、以下のようにCVOUT端子とCVパルス回路を制御します。

表8.16 CVパルス制御

ビット3	ビット0	結果
0	1	CVパルス回路がイネーブルになります。 (REG[B1h]、REG[B2h]で制御)
0	0	CVOUTがLowになります。
1	x	CVOUTがHighになります。

x = 設定不要

CVOUTはLowあるいはHighになると、汎用出力として使用することができません。

注

- このビットは、CVパルスバーストスタートビットを使用して新しいバーストを起動する前に、1に設定してください。
- パワーセーブモードがイネーブルになると、CVパルス回路はディセーブルになります。

bit 2 CVパルスバーストステータス
これは、読み出し専用ビットです。「1」は、CVパルスバーストが発生していることを示しています。「0」は、CVパルスバーストが発生していないことを示しています。ソフトウェアは、このビットがクリアするのを待って別のバーストを起動しなければなりません。

bit 1 CVパルスバーストスタート
このビットが1の場合、CVOUTパルスバーストが一回起動されます。クロックパルスの発生回数は、1～256の間で設定することができます。CVパルスの周波数は2で分周されたCVパルスソースであり、50/50のデューティサイクルを持ちます。新しいパルスバーストを起動する前には、ソフトウェアによってこのビットをクリアしなければなりません。

注

このビットは、CVパルスイネーブルビットが1の場合にのみ効果を示します。

bit 0 CVパルスイネーブル
ビット3の説明を参照してください。

8. レジスタ

PWM Clock / CV Pulse Configuration Register							Read/Write
REG[B1h]							
PWMクロック分周選択ビット3-0				CVパルス分周選択ビット2-0			PWMクロック ソース選択
7	6	5	4	3	2	1	0

bits 7-4

PWMクロック分周選択ビット[3:0]

これらのビットの値は、選択されたPWMクロックソースが分周される2の累乗を表わしています。

表8.17 PWMクロック分周選択オプション

PWMクロック分周選択ビット[3:0]	PWMクロック分周量
0h	1
1h	2
2h	4
3h	8
...	...
Ch	4096
Dh-Fh	Reserved

注

この分周クロックは、PWMOUTで出力される前に256でさらに分周されます。

bits 3-1

CVパルス分周選択ビット[2:0]

これらのビットの値は、選択されたCVパルスソースが分周される2の累乗を表わしています。

表8.18 CVパルス分周選択オプション

CVパルス分周選択ビット[2:0]	CVパルス分周量
0h	1
1h	2
2h	4
3h	8
...	...
7h	128

注

この分周クロックは、CVOUTで出力される前に2でさらに分周されます。

bit 0

PWMCLKソース選択

このビットが0の場合、PWMCLKのクロックソースはCLKIです。

このビットが1の場合、PWMCLKのクロックソースはCLKI2です。

注

PWMCLKソース選択の詳細については、84ページの7.2「クロック選択」を参照してください。

CV Pulse Burst Length Register REG[B2h]								Read/Write
CVパルスバースト長ビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0 CVパルスバースト長ビット[7:0]
 このレジスタの値は、一回のCVパルスバーストで発生するパルス数を決定します。
 バーストのパルス数 = (このレジスタのコンテンツ) + 1

PWMOUT Duty Cycle Register REG[B3h]								Read/Write
PWMOUTデューティサイクルビット7-0								
7	6	5	4	3	2	1	0	

bits 7-0 PWMOUT デューティサイクルビット[7:0]
 このレジスタは、PWMOUT出力のデューティサイクルを決定します。

表8.19 PWMOUT デューティサイクル選択オプション

PWMOUT デューティサイクル[7:0]	PWMOUT デューティサイクル
00h	常にLow
01h	256クロック周期のうち1クロックがHigh
02h	256クロック周期のうち2クロックがHigh
...	...
FFh	256クロック周期のうち255クロックがHigh

9. フレームレートの計算

9. フレームレートの計算

表示フレームレートを計算するには、以下の式を使用します。

$$\text{FrameRate} = \frac{f_{\text{PCLK}}}{(\text{HT}) \times (\text{VT})}$$

ここで、

f_{PCLK} = PCLK周波数 (Hz)

HT = 全水平期間
= ((REG[12h]ビット6-0) + 1) × ピクセル

VT = 全垂直期間
= ((REG[19h]ビット1-0, REG[18h]ビット7-0) + 1)ライン

10. 表示データ形式

下図は、リトルエンディアン方式の場合の表示モードデータ形式を示しています。

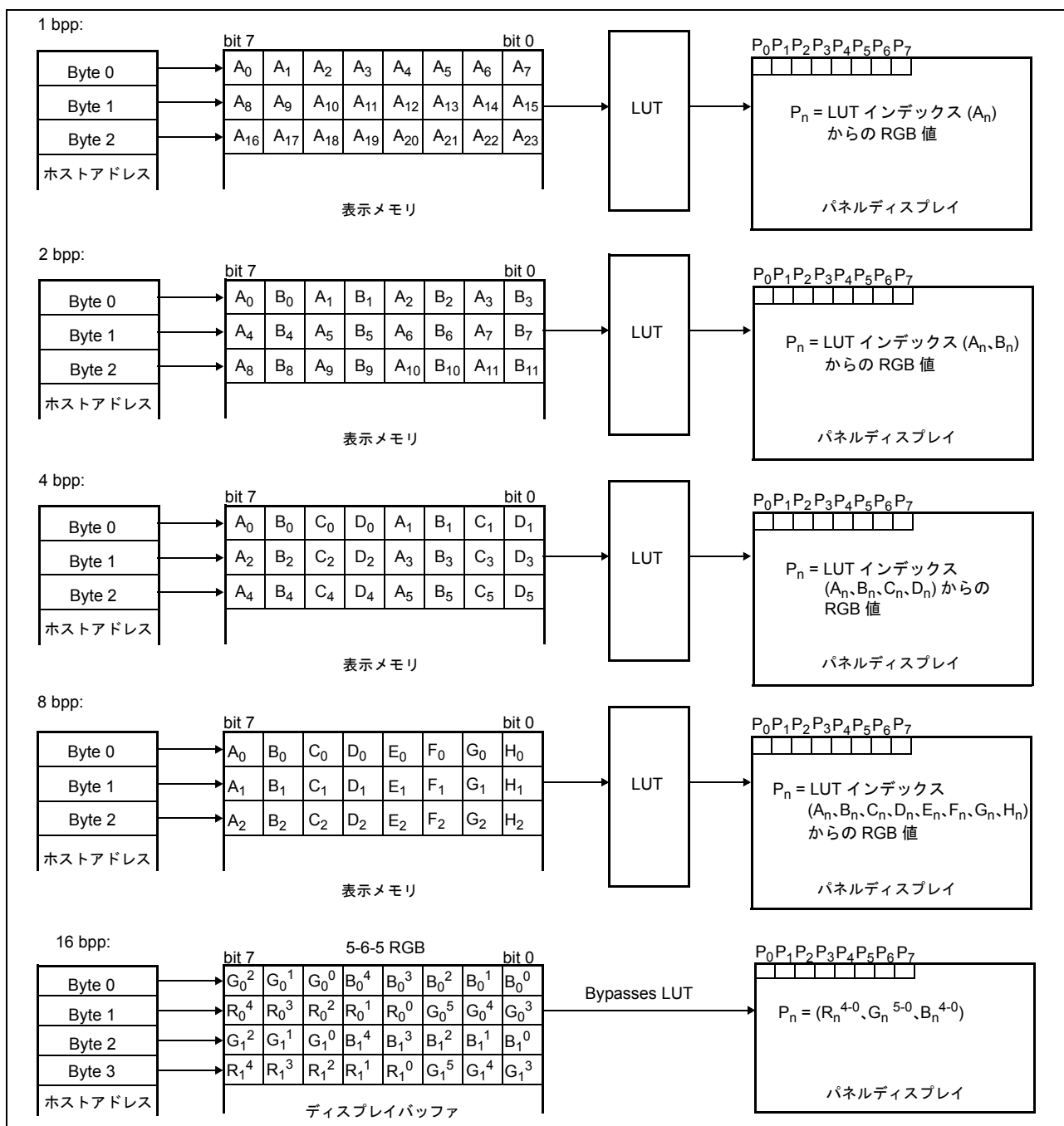


図10.1 4/8/16ビット/ピクセル表示データメモリの構成

注

- ここに示したホストアドレス/表示メモリの対応は、リトルエンディアン方式のものです。
- 16bppフォーマットの場合、R_n、G_n、B_nは赤、緑、青の色成分を表わします。

11. ルックアップテーブルの構造

11. ルックアップテーブルの構造

下図は、表示データの出力経路のみを示しています。

注

ビデオデータの反転がイネールになっている場合、ビデオデータはルックアップテーブルの後で反転されます。

11.1 モノクロモード

緑のルックアップテーブル (LUT) は、すべてのモノクロモードで使用されます。

1ビット/ピクセルモノクロモード

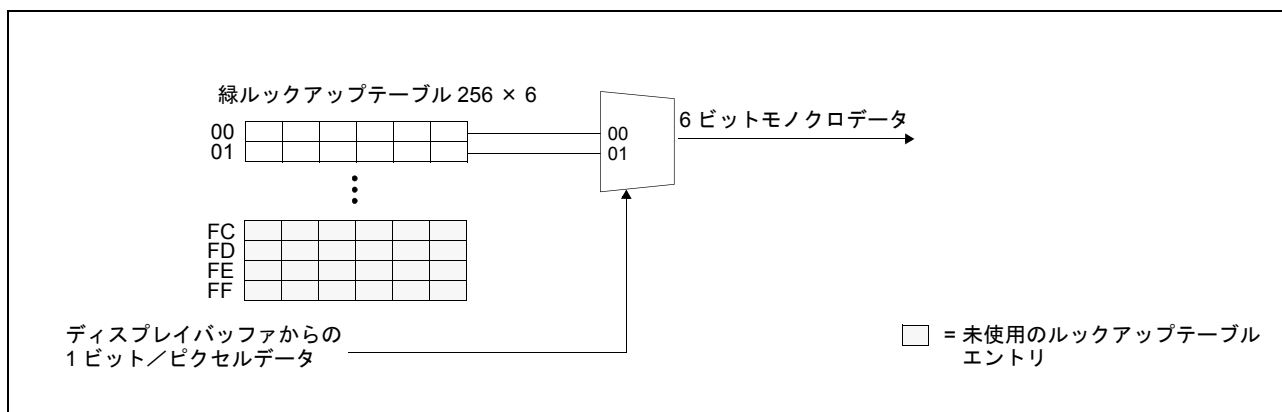


図11.1 1ビット/ピクセルモノクロモードデータの出力経路

2ビット/ピクセルモノクロモード

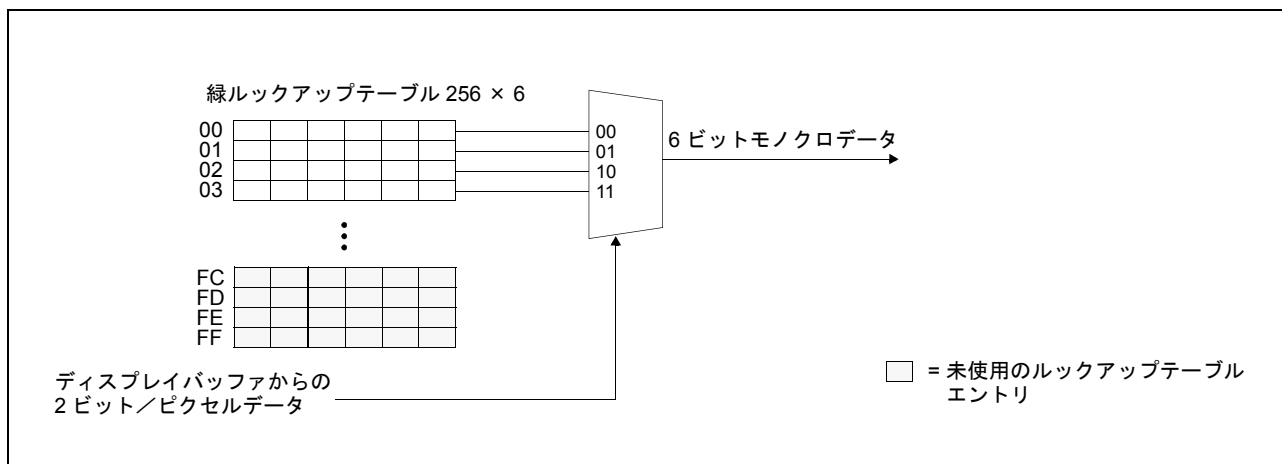


図11.2 2ビット/ピクセルモノクロモードデータの出力経路

4ビット/ピクセルモノクロモード

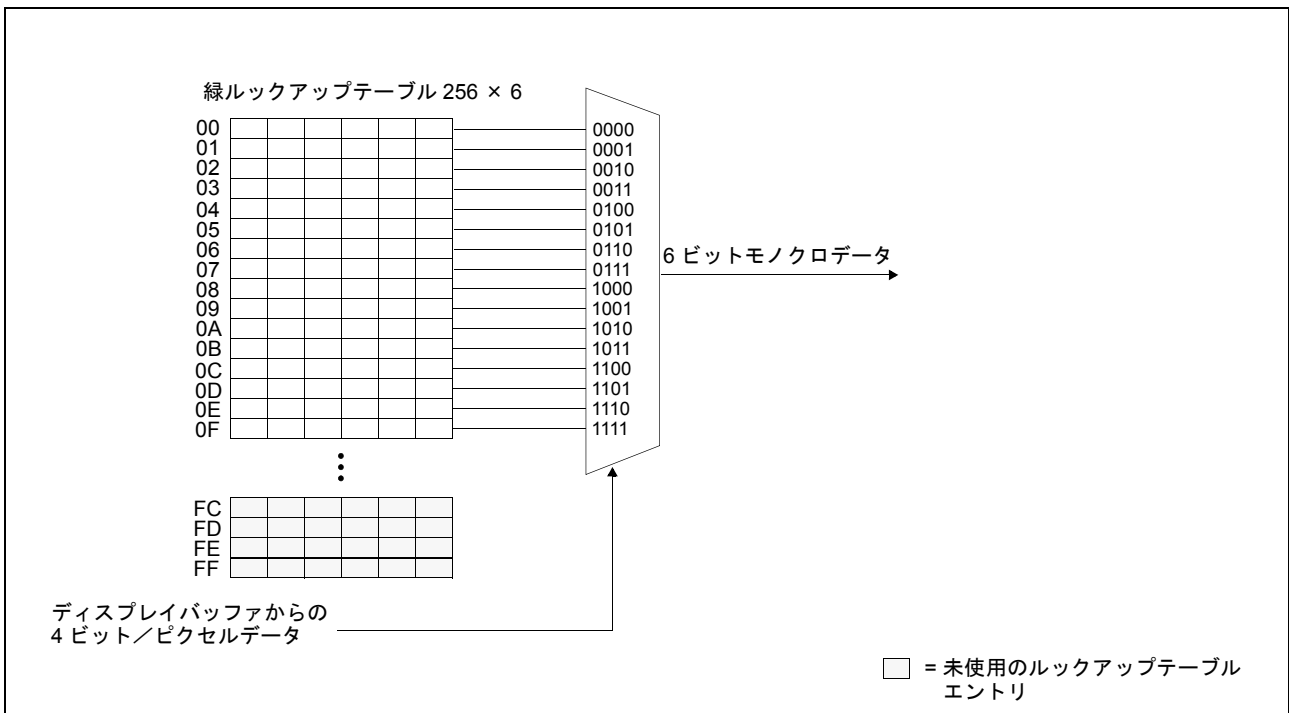


図11.3 4ビット/ピクセルモノクロモードデータの出力経路

8ビット/ピクセルモノクロモード

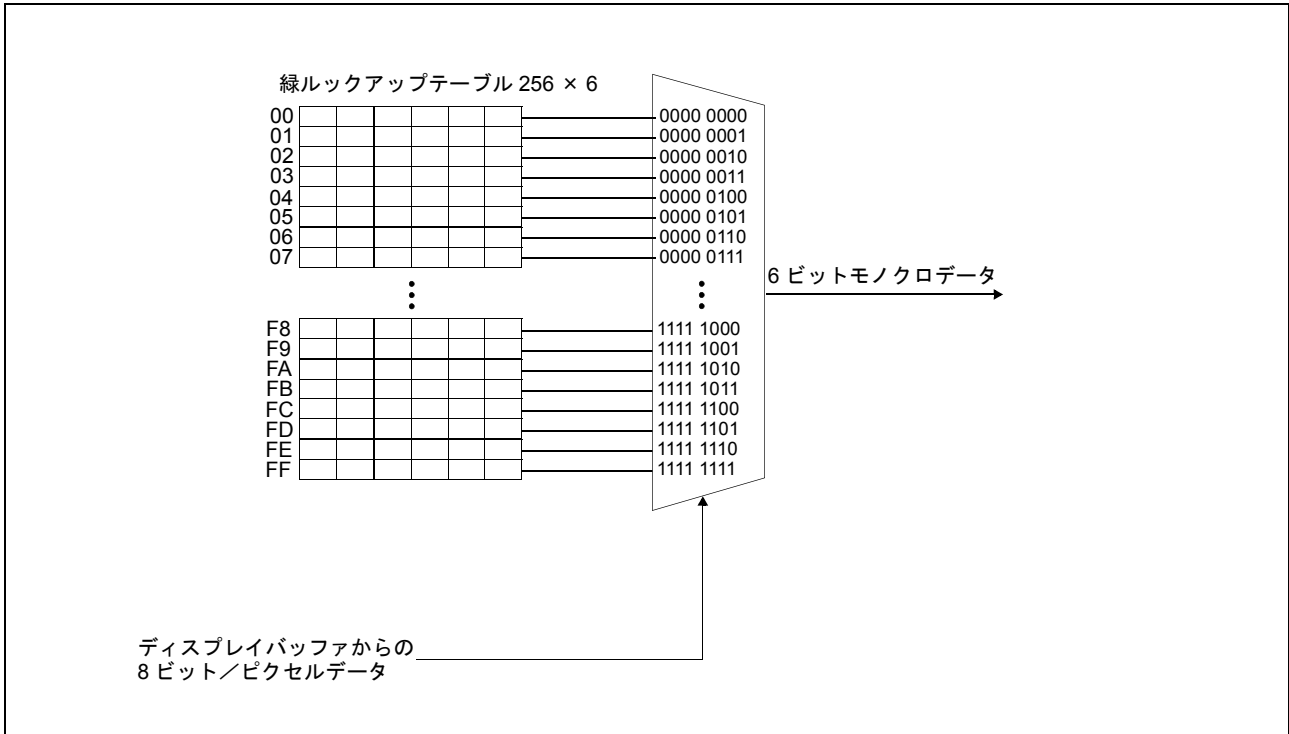


図11.4 8ビット/ピクセルモノクロモードデータの出力経路

11. ルックアップテーブルの構造

16ビット/ピクセルモノクロモード

LUTはバイパスされ、緑色データはこの色深度について直接マップされます。125ページの「表示データ形式」を参照してくださいを参照してください。

11.2 カラー表示モード

1ビット/ピクセルカラー

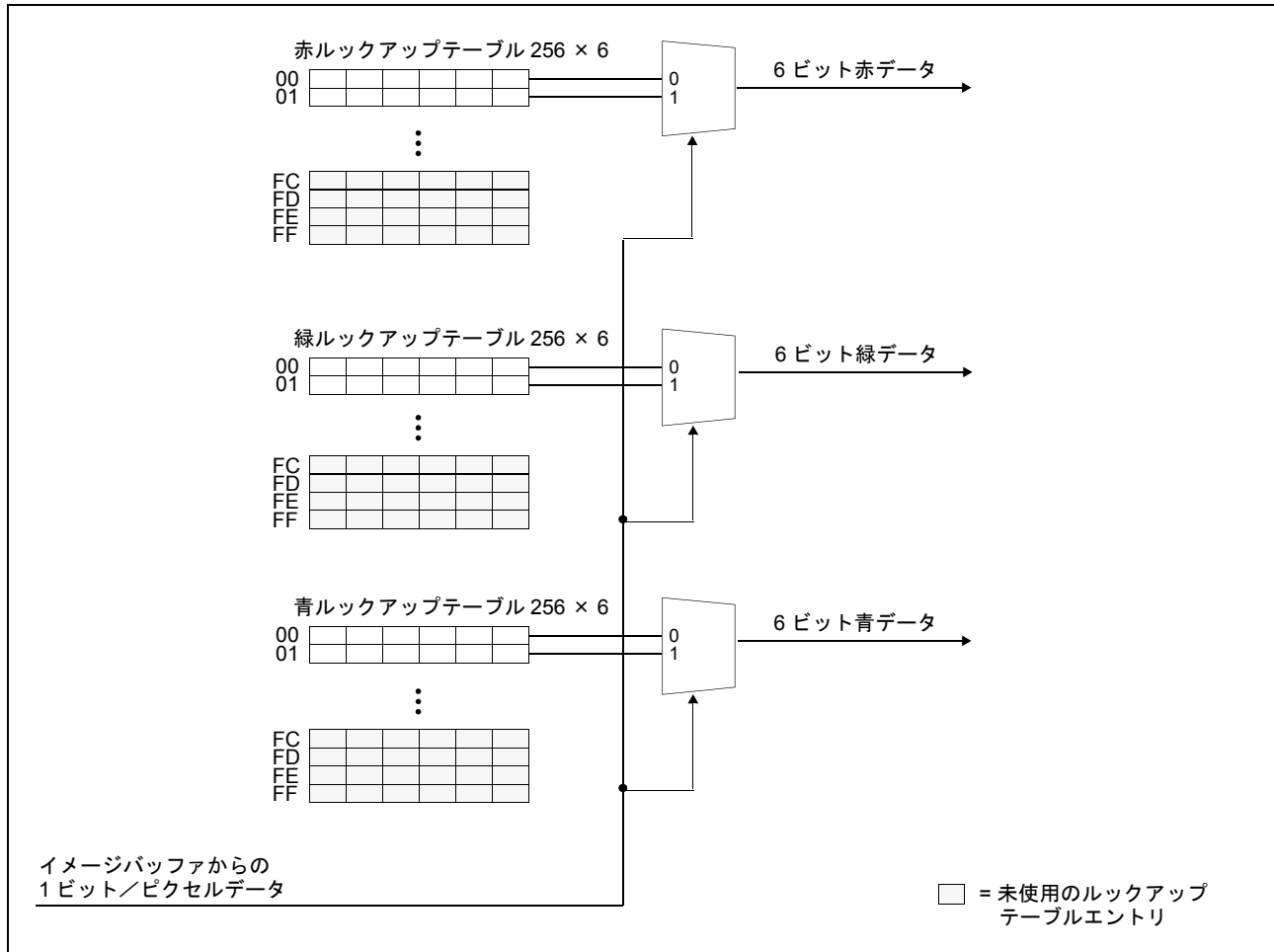


図11.5 1ビット/ピクセルカラーモードデータの出力経路

2ビット/ピクセルカラー

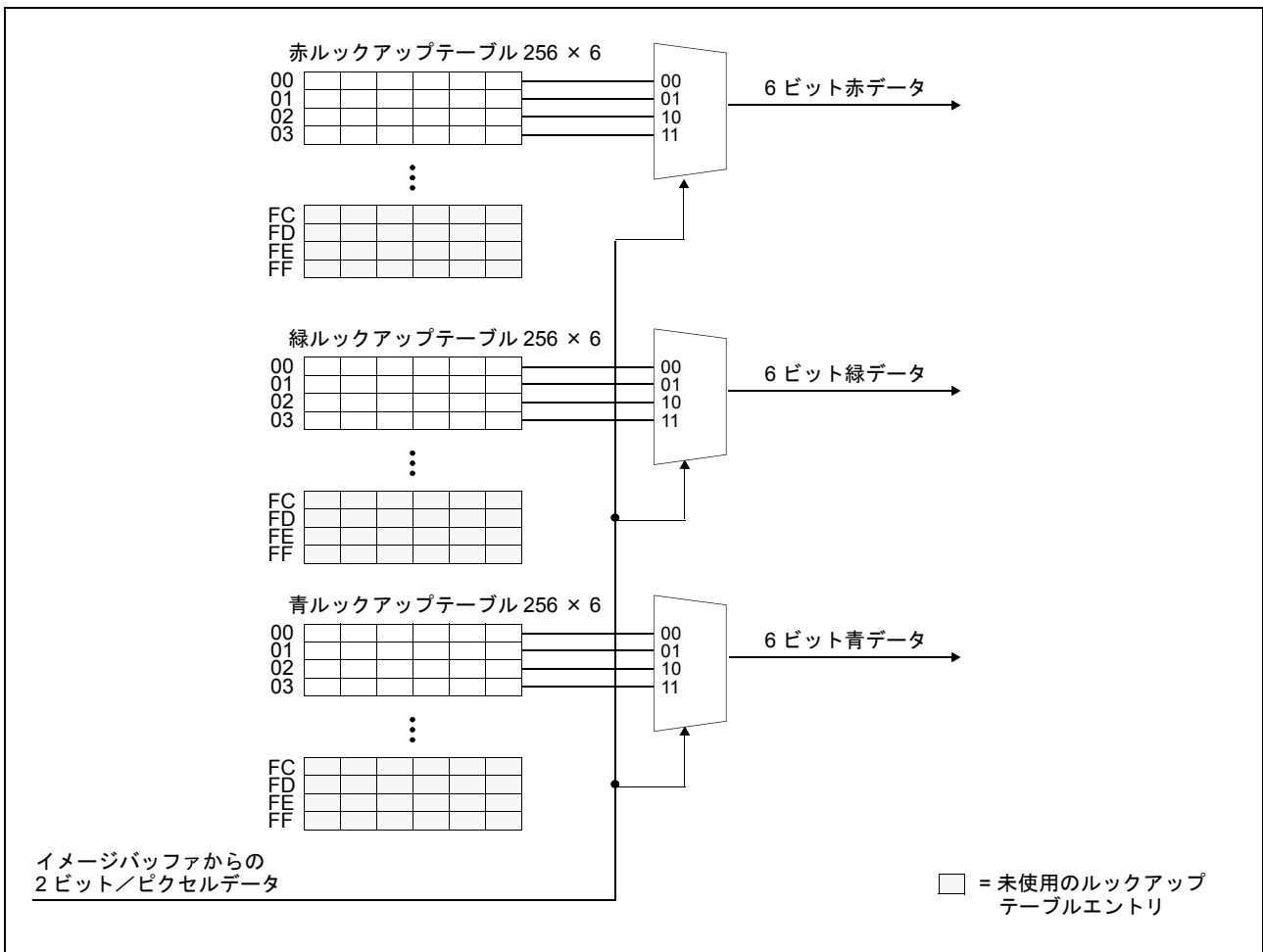


図11.6 2ビット/ピクセルカラーモードデータの出力経路

11. ルックアップテーブルの構造

4ビット/ピクセルカラー

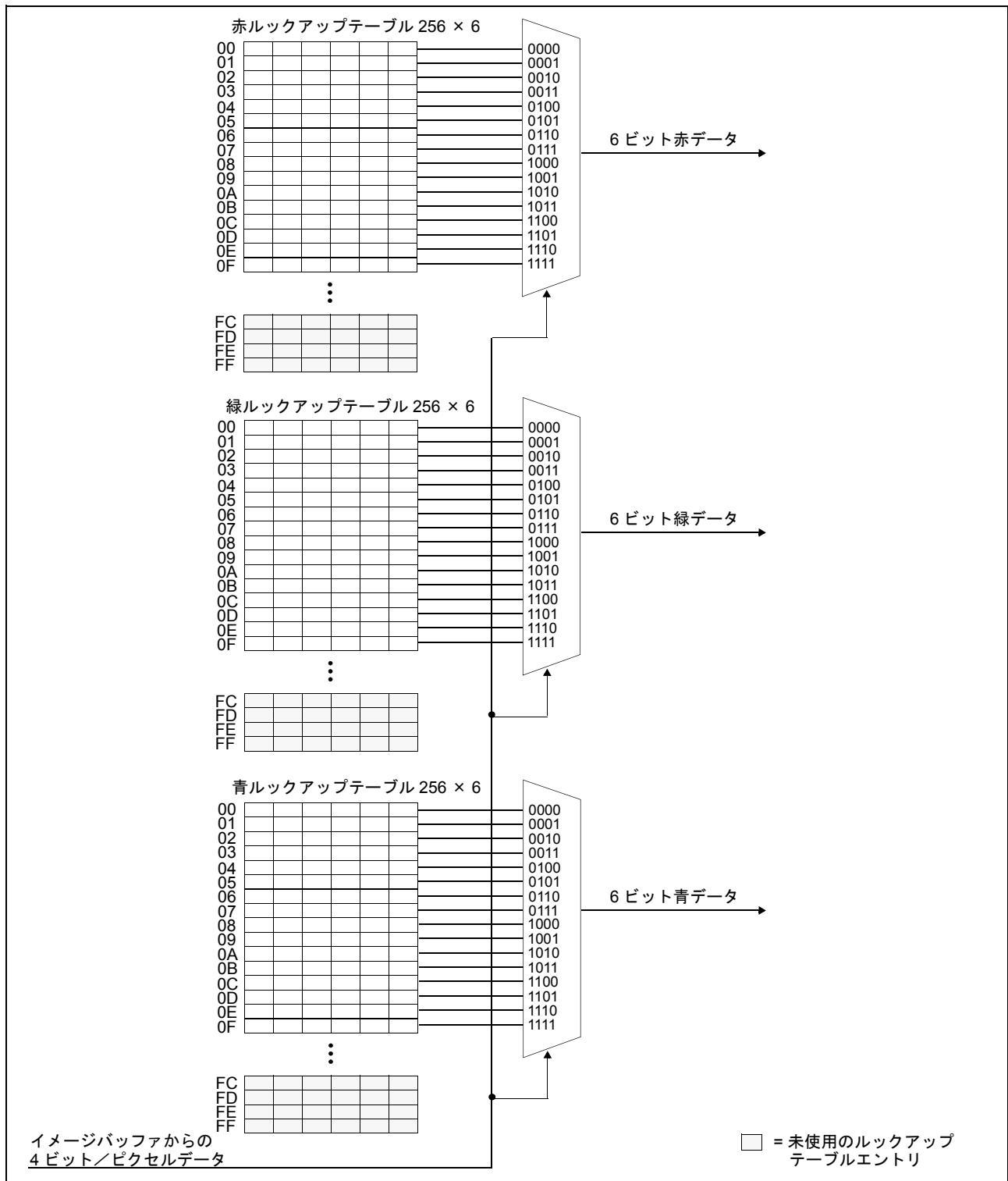


図11.7 4ビット/ピクセルカラーモードデータの出力経路

8ビット/ピクセルカラーモード

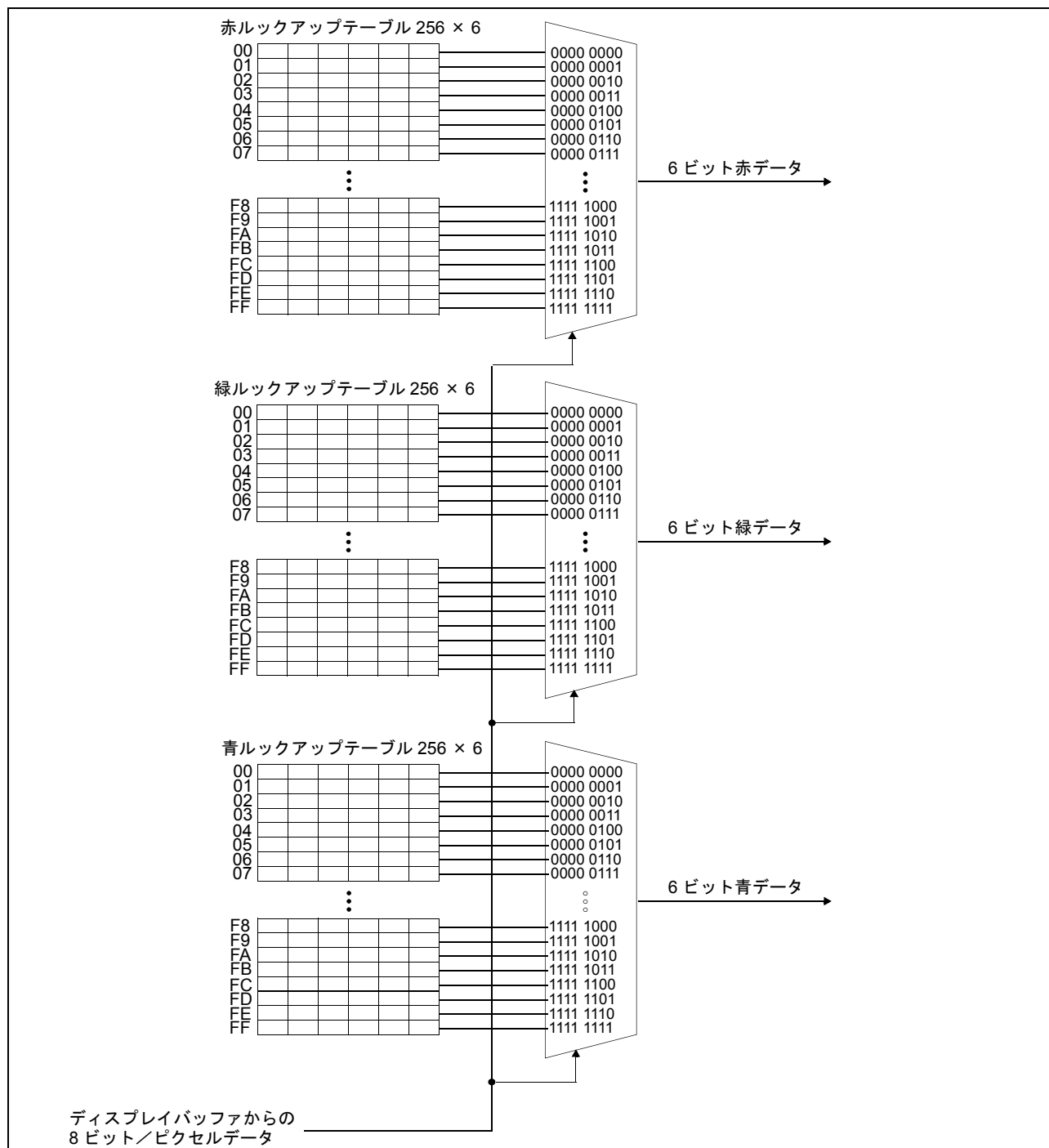


図11.8 8ビット/ピクセルカラーモードデータの出力経路

16ビット/ピクセルカラーモード

LUTはバイパスされ、カラーデータはこの色深度について直接マップされます。125ページの「表示データ形式」を参照してください。

12. SwivelView™

12.1 概念

大部分のコンピュータの表示はランドスケープ方向に、すなわち左から右に、また上から下にリフレッシュされます。コンピュータの画像も同じ方法で格納されます。SwivelView™は、LCDの表示イメージを反時計方向に90°、180°、270°回転させるように設計されています。この回転はハードウェアで行われ、そしてすべてのディスプレイバッファの読み書きでユーザが意識する必要はありません。ハードウェアで回転を処理することによって、SwivelView™では表示イメージをソフトウェアで回転するよりもパフォーマンスが良くなります。

CPUの読み書き中はアドレス変換は行われませんので、表示イメージが実際にディスプレイバッファ内で回転するわけではありません。表示イメージはリフレッシュされているあいだ回転します。

12.2 90° SwivelView™

90°SwivelView™では、メモリクロック (MCLK) はピクセルクロック (PCLK) の周波数の少なくとも1.25倍であること、すなわち $MCLK \geq 1.25 PCLK$ であることが必要です。

下図は、320×480ポートレートイメージがプログラマにどのように見え、またこのイメージがどのように表示されるかを示しています。アプリケーションイメージは、A-B-C-Dの方向でS1D13706に書き込まれます。表示は、S1D13706によってB-D-A-Cの方向でリフレッシュされます。

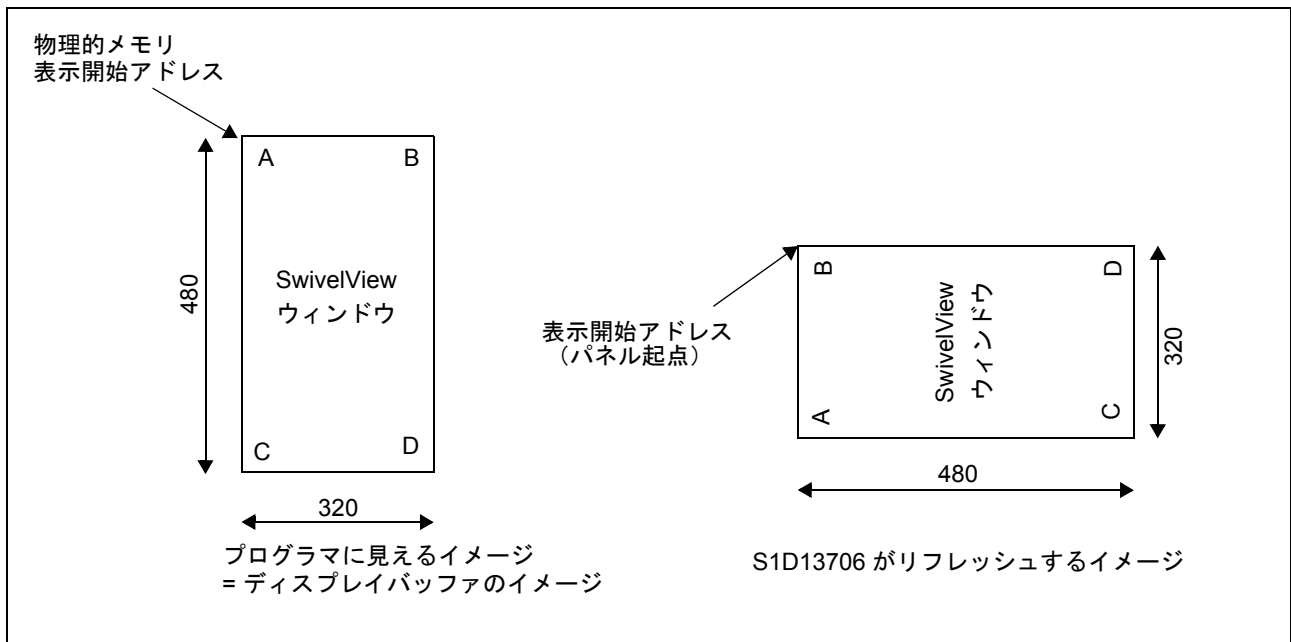


図12.1 画面イメージと90°SwivelViewでリフレッシュされるイメージとの関係

12.2.1 レジスタの設定

90°SwivelView™モードをイネーブルにする

SwivelView™モード選択ビット(REG[10h]ビット17~16)を01に設定してください。

表示開始アドレス

表示リフレッシュ回路はピクセル「B」から始まります。したがって、メインウィンドウ表示開始アドレスレジスタ(REG[74h]、REG[75h]、REG[76h])はピクセル「B」のアドレスでプログラムしてください。ピクセル「B」のアドレス値を計算するには、次の式を使用してください(色深度が8bppと仮定する)。

メインウィンドウ表示開始アドレスビット[16:0]
= ((画像アドレス + (パネル高さ × bpp ÷ 8)) ÷ 4) - 1
= ((0 + (320ピクセル × 8 bpp ÷ 8)) ÷ 4) - 1
= 79(4Fh)

ラインアドレスオフセット

メインウィンドウのラインアドレスオフセットレジスタ(REG[78h]、REG[79h])は、表示幅に基づいて次の式を使ってプログラムされます。

メインウィンドウラインアドレスオフセットビット[9:0]
= 表示幅(ピクセル) ÷ (32 ÷ bpp)
= 320ピクセル ÷ 32 ÷ 8 bpp
= 80(50h)

12.3 180° SwivelView™

下図は、480×320ランドスケープイメージがプログラマにどのように見え、またこのイメージがどのように表示されるかを示しています。アプリケーションイメージは、A-B-C-Dの方向でS1D13706に書き込まれます。表示は、S1D13706によってD-C-B-Aの方向でリフレッシュされます。

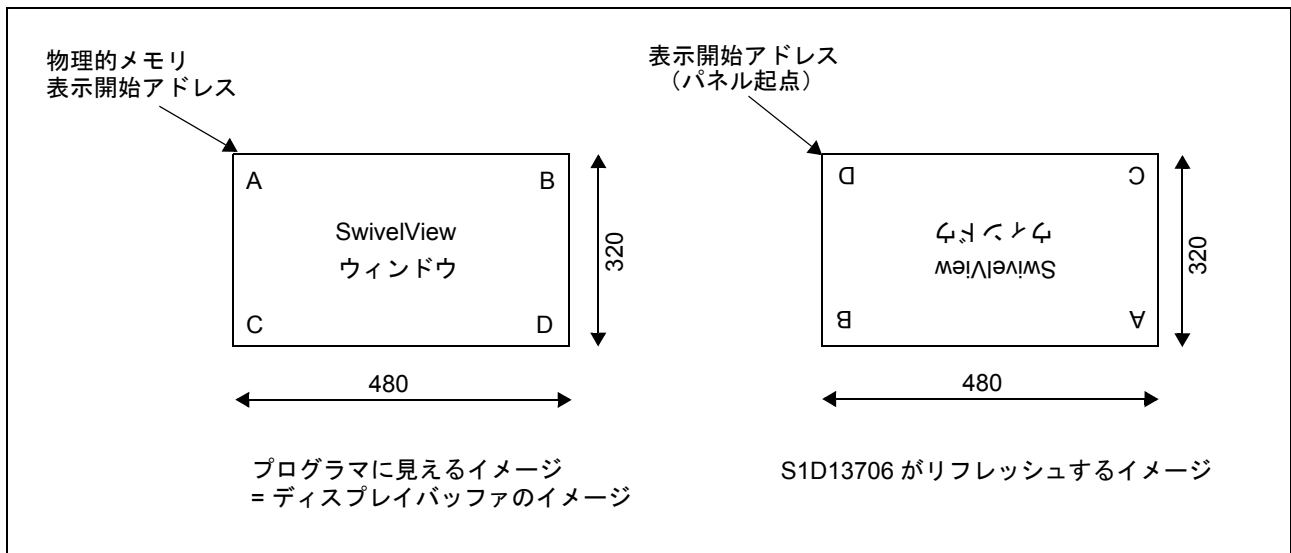


図12.2 画面イメージと180°SwivelViewでリフレッシュされるイメージとの関係

12.3.1 レジスタの設定

180°SwivelView™モードをイネーブルにする

SwivelView™モード選択ビット(REG[71h]ビット1~0)を10に設定してください。

表示開始アドレス

表示リフレッシュ回路はピクセル「D」で始まります。したがって、メインウィンドウ表示開始アドレスレジスタ(REG[74h]、REG[75h]、REG[76h])はピクセル「D」のアドレスでプログラムしてください。ピクセル「D」のアドレス値を計算するには、次の式を使用してください(色深度が8bppと仮定する)。

$$\begin{aligned} & \text{メインウィンドウ表示開始アドレスビット[16:0]} \\ & = ((\text{画像アドレス} + (\text{オフセット} \times (\text{パネル高さ} - 1) + \text{パネル幅}) \times \text{bpp} \div 8) \div 4) - 1 \\ & = ((0 + (480 \text{ピクセル} \times 319 \text{ピクセル} + 480 \text{ピクセル}) \times 8 \text{bpp} \div 8) \div 4) - 1 \\ & = 38399(95FFh) \end{aligned}$$

ラインアドレスオフセット

メインウィンドウのラインアドレスオフセットレジスタ(REG[78h]、REG[79h])は、表示幅に基づいて、次の式を使ってプログラムされます。

$$\begin{aligned} & \text{メインウィンドウラインアドレスオフセットビット[9:0]} \\ & = \text{表示幅(ピクセル)} \div (32 \div \text{bpp}) \\ & = 480 \text{ピクセル} \div 32 \div 8 \text{bpp} \\ & = 120(78h) \end{aligned}$$

12.4 270° SwivelView™

270°SwivelView™では、メモリクロック (MCLK) はピクセルクロック (PCLK) の周波数の少なくとも1.25倍であること、すなわち $MCLK \geq 1.25 PCLK$ であることが必要です。

下図は、320×480ポートレートイメージがプログラマにどのように見え、またこのイメージがどのように表示されるかを示しています。アプリケーションイメージは、A-B-C-Dの方向でS1D13706に書き込まれます。表示は、S1D13706によってC-A-D-Bの方向でリフレッシュされます。

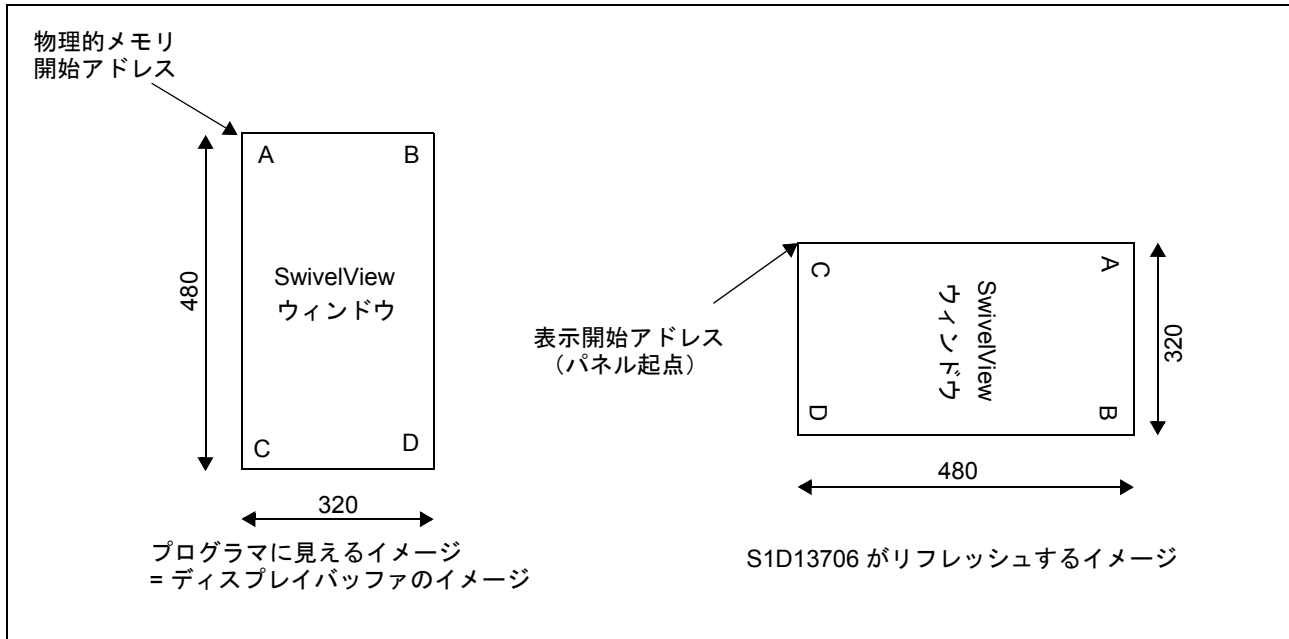


図12.3 画面イメージと270°SwivelView でリフレッシュされるイメージとの関係

12.4.1 レジスタの設定

270°SwivelView™モードをイネーブルにする

SwivelView™モード選択ビット(REG[71h]ビット1~0)を11に設定してください。

表示リフレッシュ回路はピクセル「C」から始まります。したがって、メインウィンドウ表示開始アドレスレジスタ(REG[74h]、REG[75h]、REG[76h])はピクセル「C」のアドレスでプログラムされなければなりません。ピクセル「C」のアドレス値を計算するには、次の式を使用してください(色深度が8bppと仮定する)。

$$\begin{aligned} & \text{メインウィンドウ表示開始アドレスビット[16:0]} \\ & = (\text{画像アドレス} + ((\text{パネル幅} - 1) \times \text{オフセット} \times \text{bpp} \div 8) \div 4) \\ & = (0 + ((480 \text{ピクセル} - 1) \times 320 \text{ピクセル} \times 8 \text{bpp} \div 8) \div 4) \\ & = 38320(95B0h) \end{aligned}$$

ラインアドレスオフセット

メインウィンドウのラインアドレスオフセットレジスタ(REG[78h]、REG[79h])は、表示幅に基づいて、次の式を使ってプログラムされます。

$$\begin{aligned} & \text{メインウィンドウラインアドレスオフセットビット[9:0]} \\ & = \text{表示幅(ピクセル)} \div (32 \div \text{bpp}) \\ & = 320 \text{ピクセル} \div 32 \div 8 \text{bpp} \\ & = 80(50h) \end{aligned}$$

13. Picture-in-Picture Plus (PIP+)

13.1 概念

Picture-in-Picture Plusによって、メイン表示ウィンドウ内に2次ウィンドウ（すなわちPIP+ウィンドウ）を表示させることができます。PIP+ウィンドウは仮想表示内のどこにでも置くことができ、PIP+ウィンドウ制御レジスタ（REG[7Ch]～REG[91h]）によって制御することができます。PIP+ウィンドウは、メインウィンドウと同じ色深度とSwivelView方向を持っています。

下図は、メインウィンドウ内のPIP+ウィンドウと、PIP+ウィンドウの位置付けに使用するレジスタの例を示しています。

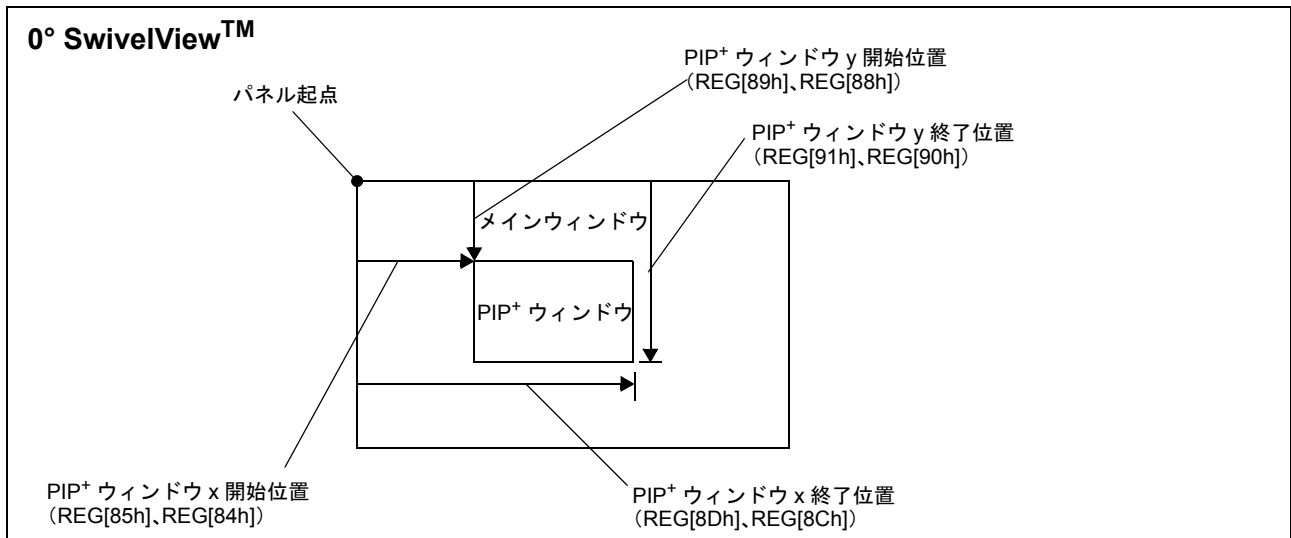


図13.1 SwivelViewをディセーブルにした場合のPicture-in-Picture Plus

13. Picture-in-Picture Plus (PIP+)

13.2 SwivelViewをイネーブルにした場合のPicture-in-Picture Plus

13.2.1 SwivelView 90°

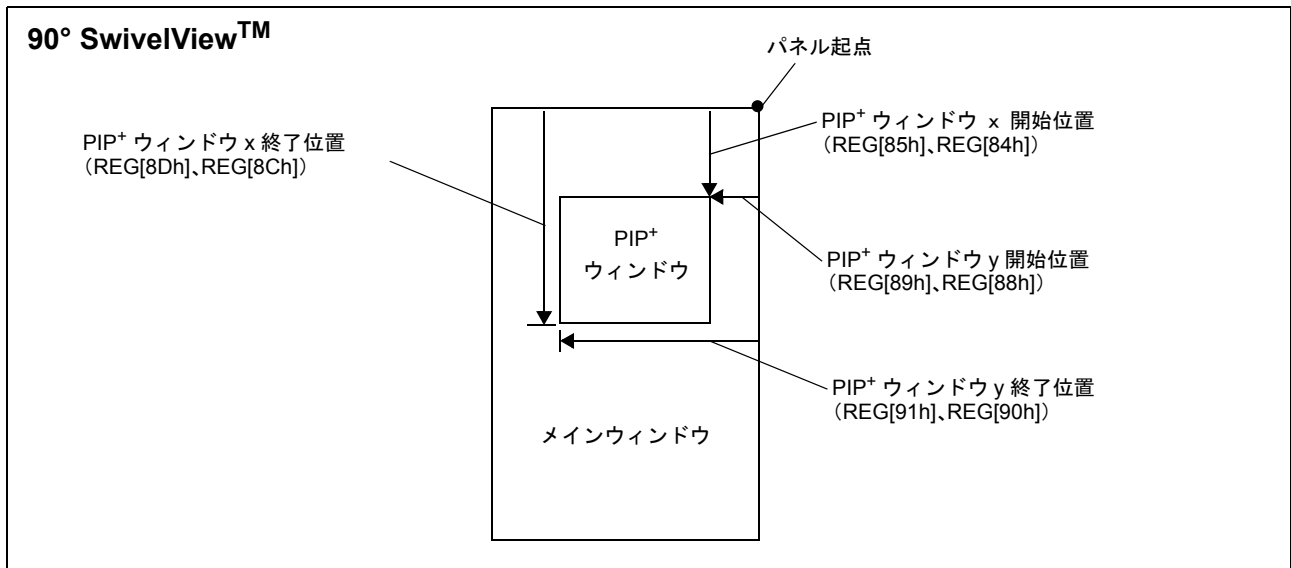


図13.2 SwivelView 90°をイネーブルにした場合のPicture-in-Picture Plus

13.2.2 SwivelView 180°

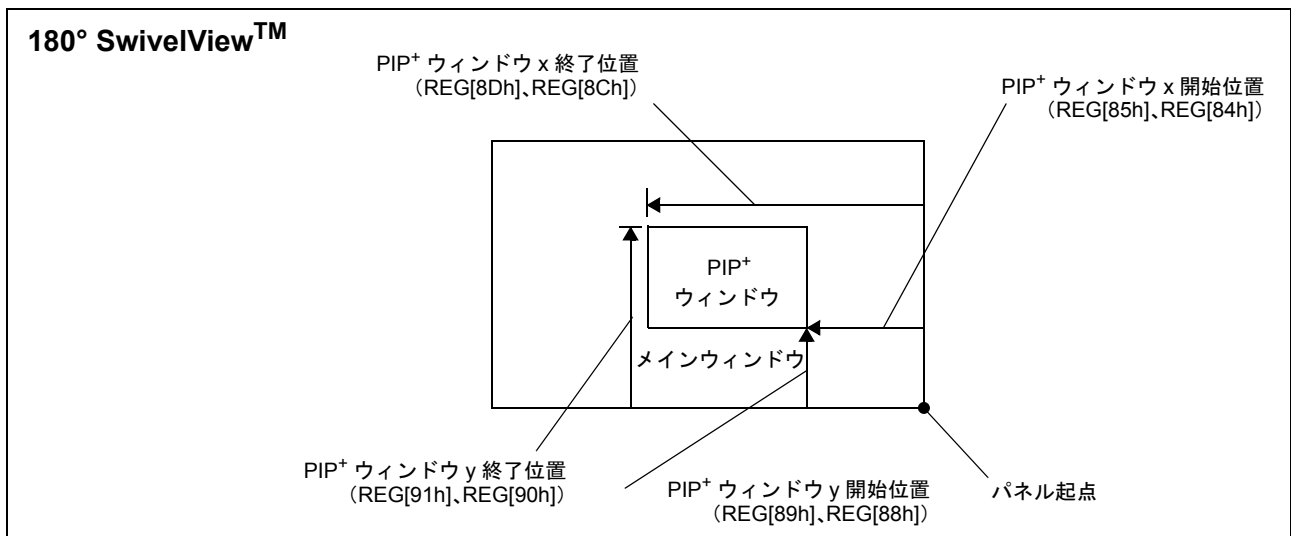


図13.3 SwivelView 180°をイネーブルにした場合のPicture-in-Picture Plus

13.2.3 SwivelView 270°

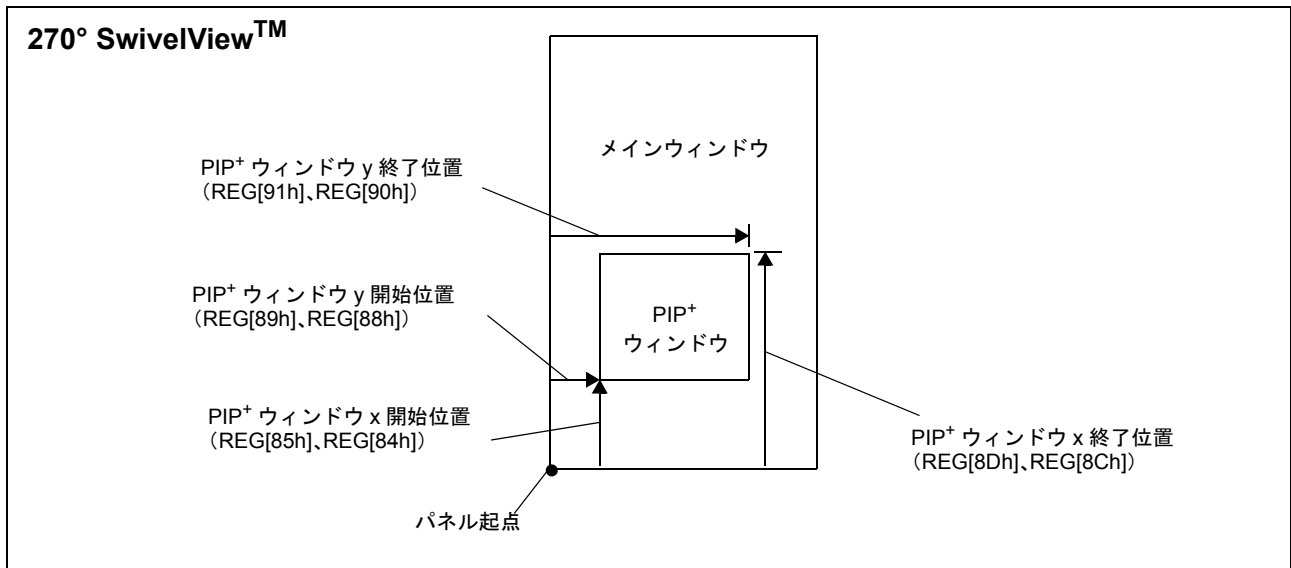


図13.4 SwivelView 270°をイネーブルにした場合のPicture-in-Picture Plus

14. ビッグエンディアンバスインタフェース

14. ビッグエンディアンバスインタフェース

14.1 バイトスワッピングバスデータ

S1D13706のディスプレイバッファとレジスタアーキテクチャは、リトルエンディアンです。ビッグエンディアンとして設定した場合（リセット時にCNF4 = 1）、バスアクセスは、内部ディスプレイバッファとレジスタへの、あるいは内部ディスプレイバッファとレジスタからのすべての読み書きデータをバイトスワッピングすることによって自動的に処理されます。

バスデータバイトスワッピングは、S1D13706レジスタとディスプレイバッファのロケーションに対するすべてのバイトアクセスを正しく変換します。16ビットワードアクセスの変換を正しく行うには、偶数のアドレスバイトは16ビットワードのMSBに、また奇数のアドレスバイトは16ビットワードのLSBにマップされなければなりません。たとえば、次のとおりです。

11hをレジスタアドレス1Ehにバイト単位で書き込む→REG[1Eh] ≤ 11h

22hをレジスタアドレス1Fhにバイト単位で書き込む→REG[1Fh] ≤ 22h

1122hをレジスタアドレス1Ehにワード単位で書き込む→REG[1Eh] ≤ 11h
REG[1Fh] ≤ 22h

14.1.1 16bppの色深度

16bppの色深度の場合、表示データバイトスワップビット (REG[71h]ビット6) を1に設定してください。

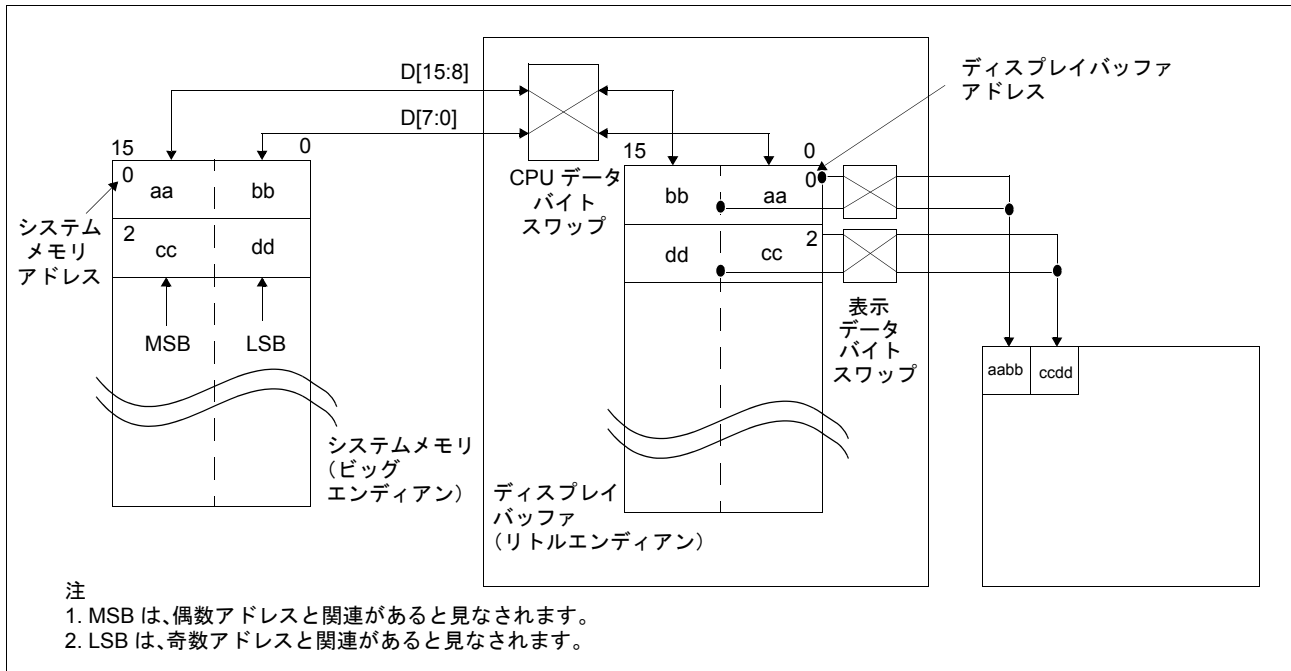


図14.1 16bppのバイトスワッピング

16bppの色深度の場合、16ビットピクセルデータのMSBは偶数システムメモリアドレスロケーションに格納され、16ビットピクセルデータのLSBは奇数システムメモリアドレスロケーションに格納されます。バスデータバイトスワッピングによって (S1D13706 がビッグエンディアンで設定されている場合は自動的に行われます)、16ビットピクセルデータはS1D13706 ディスプレイバッファにバイトスワップで格納されます。表示リフレッシュ中は、この格納データはディスプレイに送信される前に再度バイトスワップされなければなりません。

14. ビッグエンディアンバスインタフェース

14.1.2 1/2/4/8bppの色深度

1/2/4/8bppの色深度の場合、バイトスワッピングは表示データではなく、バスデータで実行してください。

1/2/4/8bppの色深度の場合、表示データバイトスワップビット (REG[71h]ビット6) は0に設定してください。

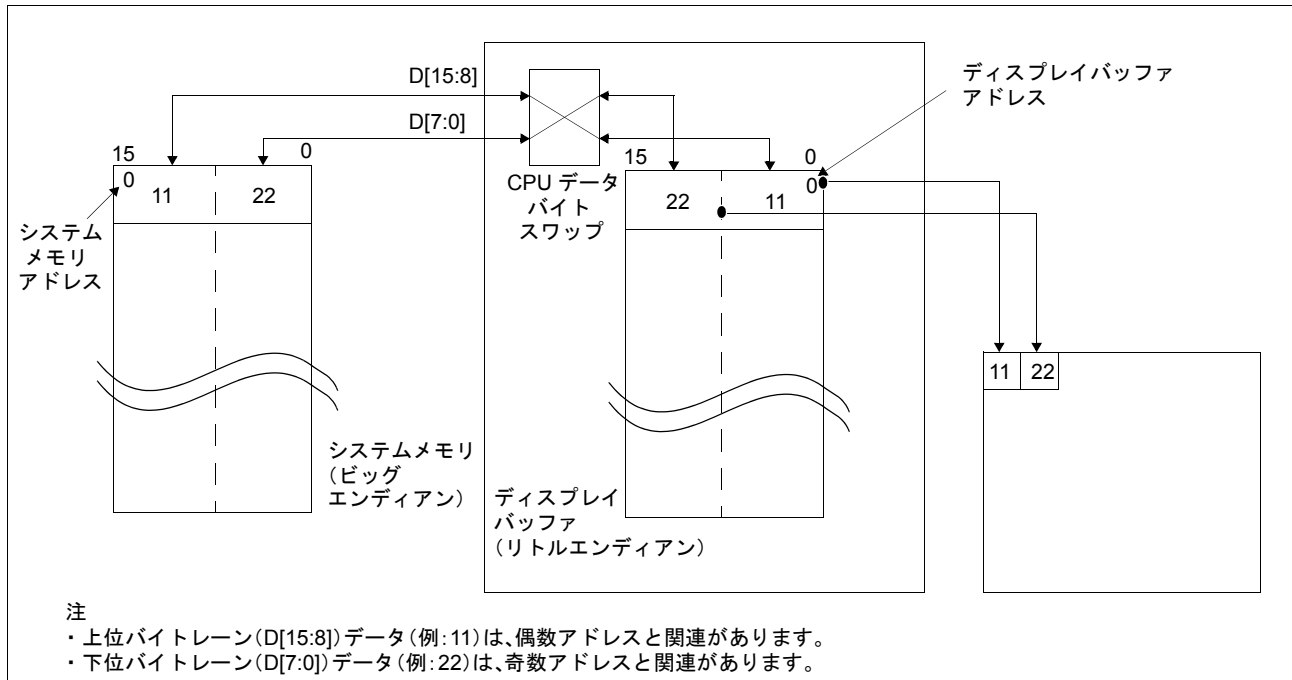


図14.2 1/2/4/8bppのバイトスワッピング

15. パワーセーブモード

携帯装置市場での電力低減のニーズに対応するために、S1D13706にはソフトウェア起動パワーセーブモードが組み込まれています。このモードは、パワーセーブモードイネーブルビット (REG[A0h] ビット0) でイネーブルになります。

ソフトウェアパワーセーブモードは、パネルの電力を切り、ディスプレイバッファの表示リフレッシュのアクセスを停止することで電力を節約します。

表15.1 パワーセーブモード機能のまとめ

	ソフトウェア パワーセーブ	通常
IOアクセスは可能か?	はい	はい
メモリ書込みは可能か?	はい (注1)	はい
メモリ読み出しは可能か?	いいえ (注1)	はい
ルックアップテーブルレジスタのアクセスは可能か?	はい	はい
シーケンスコントローラは稼働しているか?	いいえ	はい
表示はアクティブか?	いいえ	はい
LCD I/F出力	Lowになる	アクティブ
PWMCLK	停止	アクティブ
HR-TFT/D-TFD用に構成されたGPIO端子 (注2)	Lowになる	アクティブ
GPIOとして構成されたGPIO端子のアクセスは可能か? (注2)	はい (注3)	はい

注

- 1 パワーセーブモードがイネーブルになると、制御中のメモリの電源が切られます。このメモリのステータスは、メモリコントローラパワーセーブステータスビット (REG[A0h] ビット3) によって示されます。ただし、S1D13706はディスプレイバッファの書込みに対してメモリコントローラを動的に有効にしているため、パワーセーブモード時でのメモリ書込みが可能です。
- 2 GPIO端子は、RESET#の立ち上がりエッジでラッチされる構成端子CNF3を使用して構成されています。CNF3の詳細については、19ページの表4.7「電源投入/リセットオプションの一覧」を参照してください。
- 3 GPIOにアクセス可能であり、また出力として構成されている場合には、GPIOを変更することができます。

リセットを行うと、S1D13706は必ずパワーセーブモードになります。ソフトウェアはチップを初期化して (すなわち、全レジスタを設定して)、それからパワーセーブモードイネーブルビットを解除しなければなりません。

16. メカニカルデータ

16. メカニカルデータ

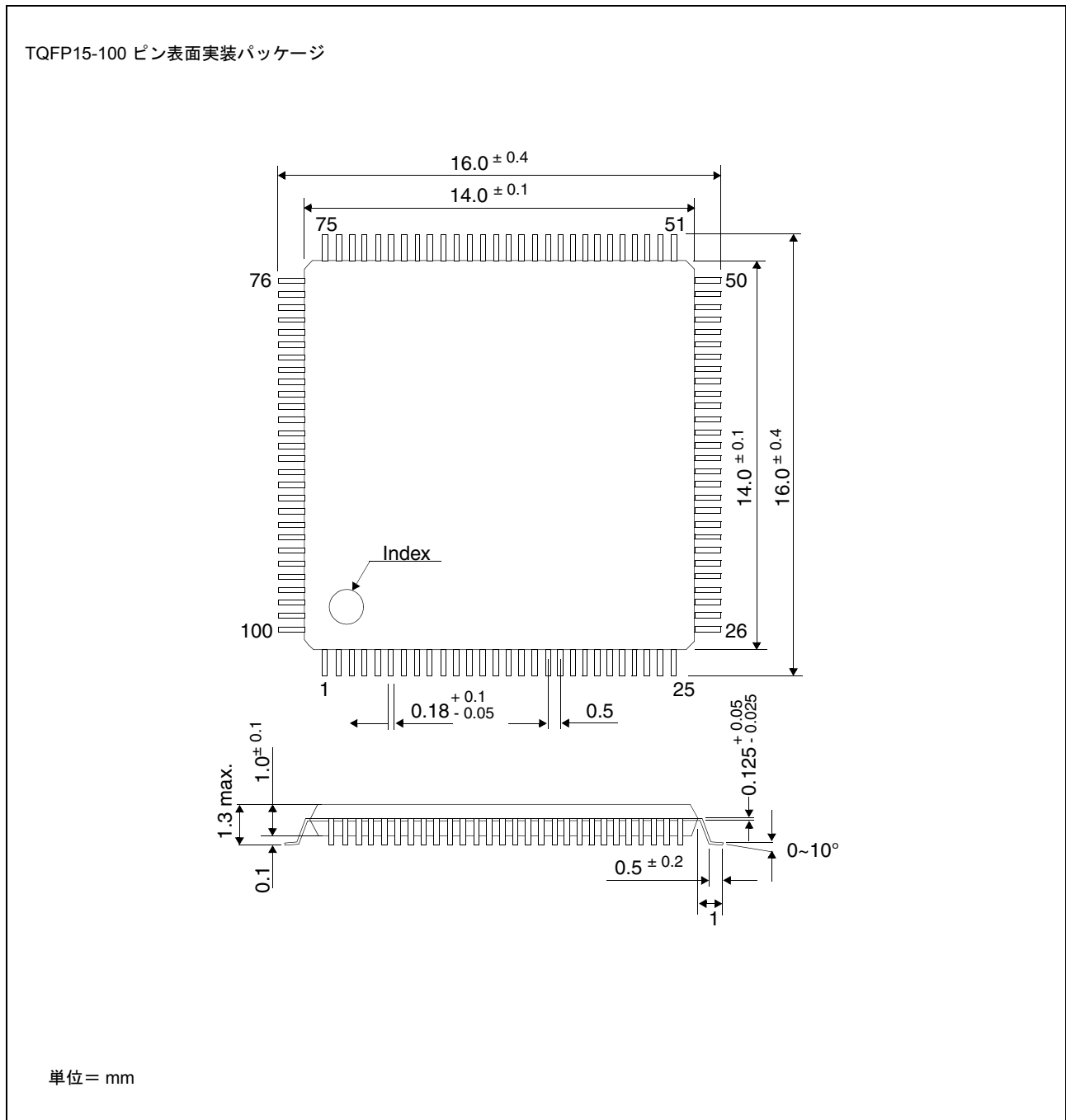


図16.1 TQFP15-100ピン (S1D13706F00A) の外観

17. 参考資料

S1D13706に関する追加情報が以下の文書に記載されています。文書名の後のかっこ内に文書番号があります。すべての文書は、Epson Research and Developmentウェブサイトwww.erd.epson.comでご覧頂けます。

- 13706CFG Configuration Utility Users Manual (X31B-B-001-xx)
- 13706SHOW Demonstration Program Users Manual (X31B-B-002-xx)
- 13706PLAY Diagnostic Utility Users Manual (X31B-B-003-xx)
- 13706BMP Demonstration Program Users Manual (X31B-B-004-xx)
- S1D13706 Product Brief (X31B-C-001-xx)
- S1D13706 QNX v2.0 Display Driver User Manual (X31B-E-005-xx)
- S1D13706 WindML v2.0 Display Driver User Manual (X31B-E-002-xx)
- Interfacing to the Toshiba TMPR3905/3912 Microprocessor (X31B-G-002-xx)
- S1D13706 Programming Notes And Examples (X31B-G-003-xx)
- S5U13706B00C Rev. 1.0 Evaluation Board User Manual (X31B-G-004-xx)
- Interfacing to the PC Card Bus (X31B-G-005-xx)
- S1D13706 Power Consumption (X31B-G-006-xx)
- Interfacing to the NEC VR4102/VR4111 Microprocessors (X31B-G-007-xx)
- Interfacing to the NEC VR4181 Microprocessor (X31B-G-008-xx)
- Interfacing to the Motorola MPC821 Microprocessor (X31B-G-009-xx)
- Interfacing to the Motorola MCF5307 "Coldfire" Microprocessors (X31B-G-010-xx)
- Connecting to the Sharp HR-TFT Panels (X31B-G-011-xx)
- Connecting to the Epson D-TFD Panels (X31B-G-012-xx)
- Interfacing to the Motorola MC68030 Microprocessor (X31B-G-013-xx)
- Interfacing to the Motorola RedCap2 DSP with Integrated MCU (X31B-G-014-xx)
- Interfacing to 8-Bit Processors (X31B-G-015-xx)
- Interfacing to the Motorola MC68VZ328 Dragonball Microprocessor (X31B-G-016-xx)
- Integrating the CFLGA 104-pin Chip Scale Package (X31B-G-018-xx)
- Interfacing to the Intel StrongARM SA-1110 Microprocessor (X31B-G-019-xx)
- S1D13706 Register Summary (X31B-R-001-xx)
- S5U13706P00C100 Evaluation Board User Manual (X31B-G-021-xx)

18. 販売およびテクニカルサポート

18. 販売およびテクニカルサポート

AMERICA

EPSON ELECTRONICS AMERICA, INC.

HEADQUARTERS

2580 Orchard Parkway
San Jose, CA 95131, USA
Phone: +1-800-228-3964 FAX: +1-408-922-0238

SALES OFFICES

Northeast

301 Edgewater Place, Suite 210
Wakefield, MA 01880, U.S.A.
Phone: +1-800-922-7667 FAX: +1-781-246-5443

EUROPE

EPSON EUROPE ELECTRONICS GmbH

HEADQUARTERS

Riesstrasse 15 Muenchen Bayern, 80992 GERMANY
Phone: +49-89-14005-0 FAX: +49-89-14005-110

ASIA

EPSON (CHINA) CO., LTD.

7F, Jinbao Bldg., No.89 Jinbao St., Dongcheng District,
Beijing 100005, China
Phone: +86-10-6410-6655 FAX: +86-10-6410-7320

SHANGHAI BRANCH

7F, Block B, Hi-Tech Bldg., 900, Yishan Road,
Shanghai 200233, CHINA
Phone: +86-21-5423-5522 FAX: +86-21-5423-5512

EPSON HONG KONG LTD.

20/F., Harbour Centre, 25 Harbour Road
Wanchai, Hong Kong
Phone: +852-2585-4600 FAX: +852-2827-4346
Telex: 65542 EPSCO HX

EPSON (CHINA) CO., LTD.

SHENZHEN BRANCH

12/F, Dawning Mansion, Keji South 12th Road,
Hi-Tech Park, Shenzhen
Phone: +86-755-2699-3828 FAX: +86-755-2699-3838

EPSON TAIWAN TECHNOLOGY & TRADING LTD.

14F, No. 7, Song Ren Road,
Taipei 110
Phone: +886-2-8786-6688 FAX: +886-2-8786-6660

EPSON SINGAPORE PTE., LTD.

1 HarbourFront Place,
#03-02 HarbourFront Tower One, Singapore 098633
Phone: +65-6586-5500 FAX: +65-6271-3182

SEIKO EPSON CORPORATION

KOREA OFFICE

50F, KLI 63 Bldg., 60 Yoido-dong
Youngdeungpo-Ku, Seoul, 150-763, KOREA
Phone: +82-2-784-6027 FAX: +82-2-767-3677

GUMI OFFICE

2F, Grand B/D, 457-4 Songjeong-dong,
Gumi-City, KOREA
Phone: +82-54-454-6027 FAX: +82-54-454-6093

セイコーエプソン株式会社 半導体事業部

IC 営業部

<IC 国際営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL(042)587-5816(直通) FAX(042)587-5624

セイコーエプソン株式会社
半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5816 (直通) FAX (042) 587-5624

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 404676903
2007 年 9 月 作成
2008 年 4 月 改訂