

**Embedded Memory LCD
コントローラ
S1D13705シリーズ
テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告無く変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性値の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

目次

1.	はじめに	1
1.1	適用範囲	1
1.2	概要	1
2.	特長	2
2.1	統合フレームバッファ	2
2.2	CPUインタフェース	2
2.3	ディスプレイのサポート	2
2.4	表示モード	2
2.5	クロックソース	3
2.6	その他	3
2.7	パッケージ	3
3.	システム構成図	4
4.	機能ブロック図	7
4.1	機能ブロックの説明	7
4.1.1	ホストインタフェース	7
4.1.2	メモリコントローラ	7
4.1.3	シーケンスコントローラ	7
4.1.4	ルックアップテーブル	8
4.1.5	LCDインタフェース	8
4.1.6	パワーセーブ	8
5.	端子	9
5.1	端子配置図	9
5.2	端子説明	10
5.2.1	ホストインタフェース端子	10
5.2.2	LCDインタフェース端子	13
5.2.3	クロック端子	13
5.2.4	その他端子	14
5.2.5	電源端子	14
5.3	コンフィギュレーション初期設定	15
5.4	ホストバスインタフェースピンマッピング	16
5.5	LCDインタフェースピンマッピング	17
6.	DC特性	18
7.	AC特性	20
7.1	バスインタフェースタイミング	20
7.1.1	SH-4インタフェースタイミング	20
7.1.2	SH-3インタフェースタイミング	22

7.1.3	MotorolaM68K#1インタフェースタイミング	24
7.1.4	MotorolaMC68K#2インタフェースタイミング	25
7.1.5	汎用#1インタフェースタイミング	26
7.1.6	汎用#2インタフェースタイミング	27
7.2	クロック入力条件	29
7.3	LCDインタフェース	31
7.3.1	パワーオン/リセットタイミング	31
7.3.2	パワーダウン/アップタイミング	32
7.3.3	4ビットシングルモノクロパネルタイミング	33
7.3.4	8ビットシングルモノクロパネルタイミング	35
7.3.5	4ビットシングルカラーパネルタイミング	37
7.3.6	8ビットシングルカラーパネルタイミング (Format1)	39
7.3.7	8ビットシングルカラーパネルタイミング (Format2)	41
7.3.8	8ビットデュアルモノクロパネルタイミング	43
7.3.9	8ビットデュアルカラーパネルタイミング	45
7.3.10	9/12ビットTFT/D-TFDパネルタイミング	47
8.	レジスタ	50
8.1	レジスタマッピング	50
8.2	レジスタ説明	50
9.	フレームレートの計算	65
10.	表示データ形式	66
11.	ルックアップテーブルの構造	67
11.1	モノクロ表示モード	67
11.2	カラー表示モード	69
12.	SwivelView™	73
12.1	デフォルトSwivelViewモード	73
12.1.1	デフォルトSwivelViewモードの設定方法	74
12.2	オルタネートSwivelViewモード	75
12.2.1	オルタネートSwivelViewモードの設定方法	76
12.3	デフォルト/オルタネートSwivelViewモードの比較	77
12.4	SwivelViewモードの制限	77
13.	パワーセーブモード	78
13.1	ソフトウェアパワーセーブモード	78
13.2	ハードウェアパワーセーブモード	78
13.3	パワーセーブモード機能のまとめ	79
13.4	パネルパワーオン/オフシーケンス	80
13.5	アクセス期間中のBCLK停止	80
13.6	クロック要求	81
14.	メカニカルデータ	82

15. 販売およびテクニカルサポート 83

1. はじめに

1.1 適用範囲

本書は、S1D13705 Embedded Memory LCDコントローラチップのテクニカルマニュアルです。本書には、タイミング図、ACおよびDC特性、レジスタの説明、および電力管理の説明などが記載されています。本書は、ビデオサブシステム設計者とソフトウェア開発者を対象としています。

本書は適宜改訂されています。開発を開始する前に本書の最新版がないかどうか確認してください。最新版は、www.erd.epson.comからダウンロードできます。

本書に関するご意見やご要望がございましたら、documentation@erd.epson.comまでお寄せください。

1.2 概要

S1D13705は、カラー／モノクロの両方に対応するLCDグラフィックコントローラで80KB SRAM表示バッファを内蔵しています。S1D13705の高集積により低コスト、省電力が実現されており、オフィスオートメーションのようなエンベデット市場、またはモバイル通信やハンドヘルドPCのようなボードサイズやバッテリー寿命が重要視されるシステム構築には最適のデバイスです。

「ポートレート」表示を必要とする製品は、S1D13705のSwivelView™モード機能を利用することができます。仮想画面と分割画面は、サポートされる表示モードのほんの一部です。上の機能を、S1D13705とは独立したオペレーティングシステムと組み合わせることで、S1D13705はさまざまなアプリケーションの理想的なソリューションとなります。

2. 特長

2. 特長

2.1 統合フレームバッファ

- 埋め込み型80KB SRAM表示バッファ

2.2 CPUインタフェース

- 以下のCPUとのダイレクト接続が可能
日立SH-3
日立SH-4
モトローラM68K
WAIT#信号で制御されるMPUバスインタフェース
- レジスタはメモリ空間にマッピング
- シングルレベルCPUライトバッファ
- レジスタは128KBのアドレス空間の上位32バイトにマッピング
- 全80KBの表示メモリは、直接また連続して17ビットのアドレスバスを介したアクセスが可能

2.3 ディ스플레이のサポート

- 4/8ビットモノクロLCDインタフェース
- 4/8ビットカラー LCDインタフェース
- シングルパネル、シングル駆動パッシブ表示
- デュアルパネル、デュアル駆動パッシブ表示
- アクティブマトリックスTFT/D-TFDインタフェース
- ELパネル（レジスタレベル）
- 解像度の例
2bppの階調で640×480
4bppの階調で640×240
8bppの階調で320×240

2.4 表示モード

- SwivelView™:ポートレートモード表示では、表示画面を90°ハードウェア回転
- 1/2/4ビット／ピクセル（bpp）モードでの2/4/16レベルグレースケール階調表示
- 1/2/4/8 bppモードでの2/4/16/256レベルカラー表示
- FRMによりモノクロパッシブLCDパネルで最大16階調のグレースケール表示が可能
256×4ルックアップテーブルで、1/2/4 bppをグレースケールにマップして使用
- カラーパッシブとアクティブマトリックスLCDパネル上の4096色のうち256色
3つの256×4ルックアップテーブルで1/2/4/8bppモードをそれらの色にマップして使用
- すべてのランドスケープパネルモードのスプリット表示モードでは、2つの異なる画面を同時に表示可能
- 仮想表示モード（パンニング等のために実際のパネルサイズ以上の表示が使用可能）

2.5 クロックソース

- 25MHzの最大動作クロック（CLK）周波数
- 動作クロック（CLK）はCLKI入力から得られます。
CLK=CLKI
または
CLK=CLKI/2
- クロック（CLK）入力でピクセルクロック（PCLK）とメモリクロック（MCLK）の両クロックを生成

2.6 その他

- ハードウェア／ソフトウェアビデオインバート
- ソフトウェアパワーセーブモード
- ハードウェアパワーセーブモード
- LCDパネルパワーダウンシーケンス
- 5種類の汎用入出力端子が使用可能
 - GPIO0はハードウェアパワーセーブモードが選択されていない場合に有効
 - GPIO[4:1]は、TFT/D-TFDまたはハードウェアインバースビデオ用の上位LCDデータ端子（FPDATA[11:8]）が使用されていない場合に有効
- 内部コア電源電圧2.7Vから3.6V
- IOコア電源電圧から5.5V

2.7 パッケージ

- 80ピンQFP14パッケージ

3. システム構成図

3. システム構成図

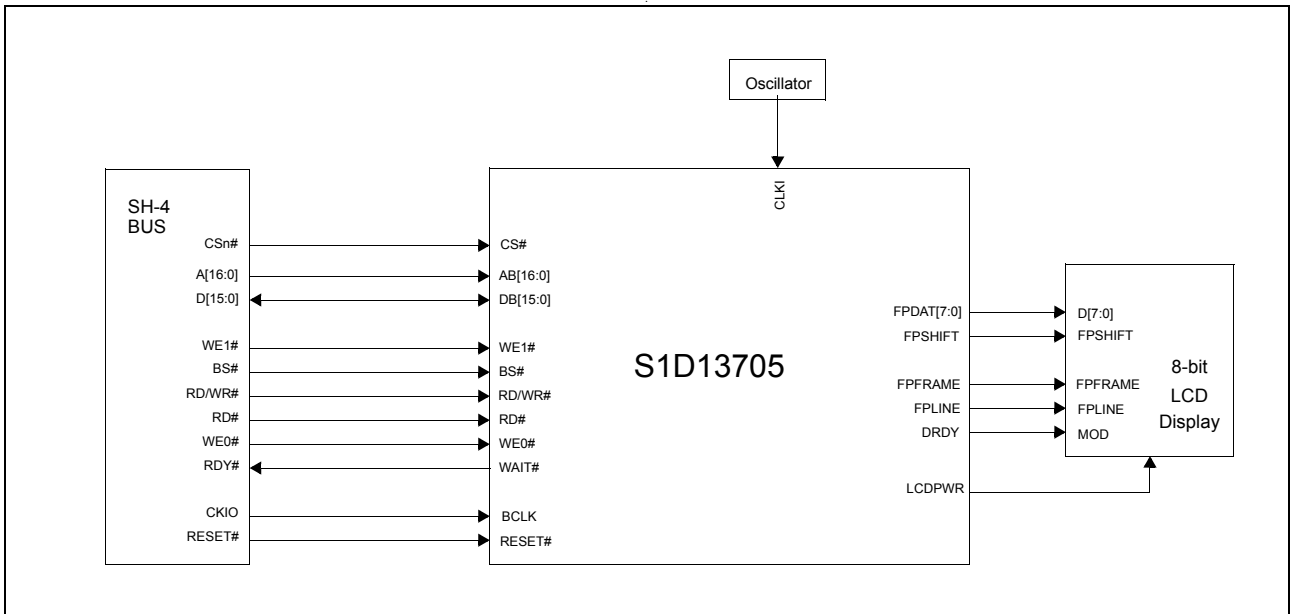


図3.1 基本システム構成例（SH-4バス）

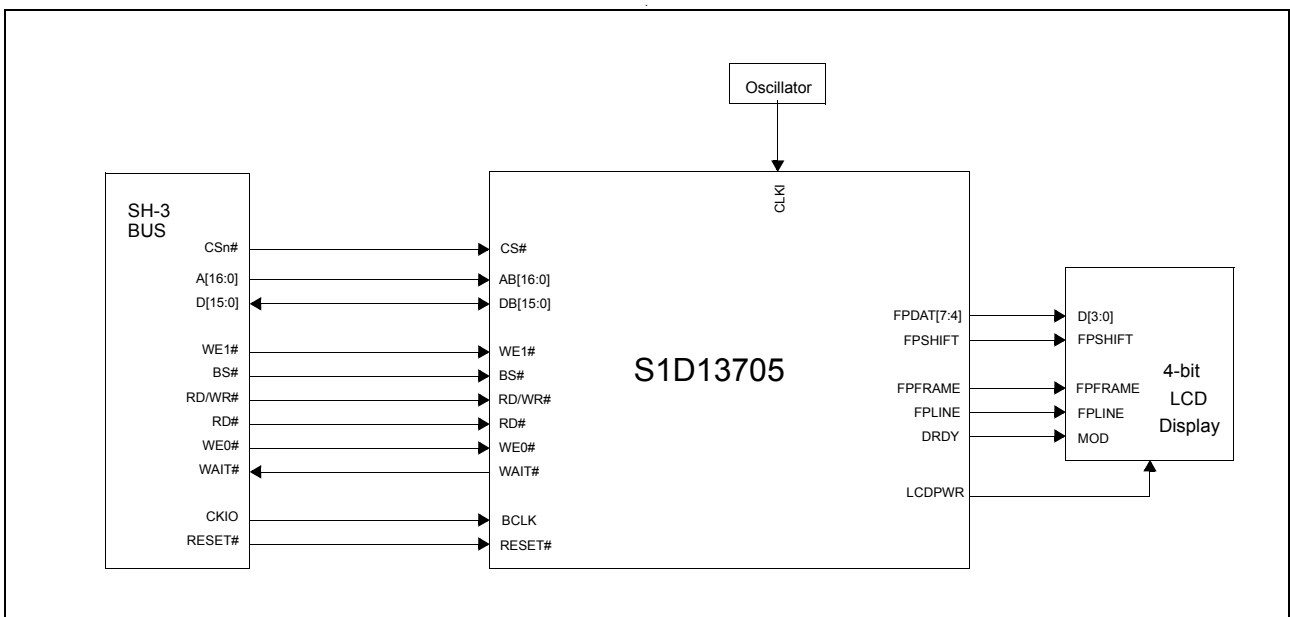


図3.2 基本システム構成例（SH-3バス）

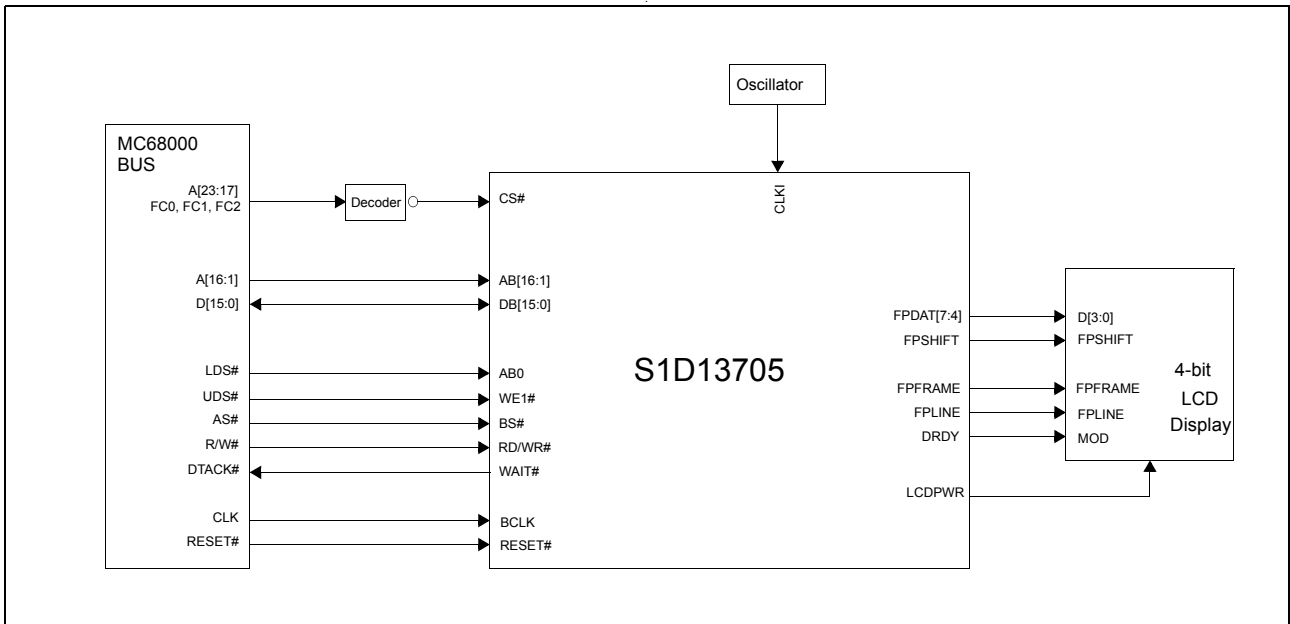


図3.3 基本システム構成例 (M68K#1バス)

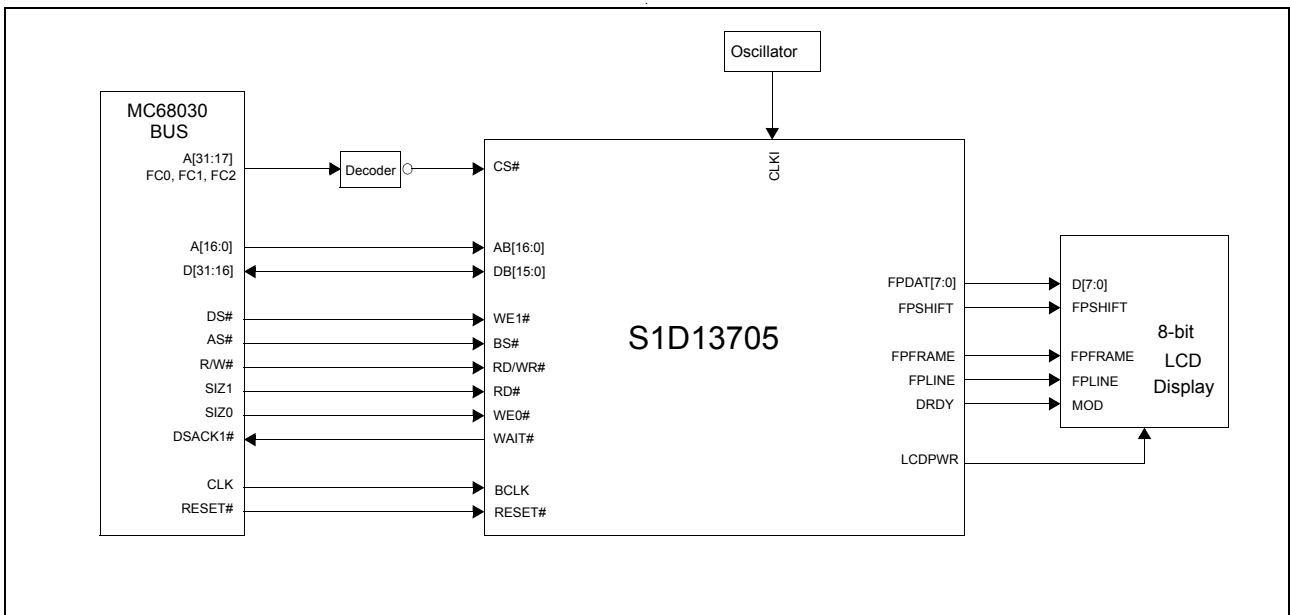


図3.4 基本システム構成例 (M68K#2バス)

3. システム構成図

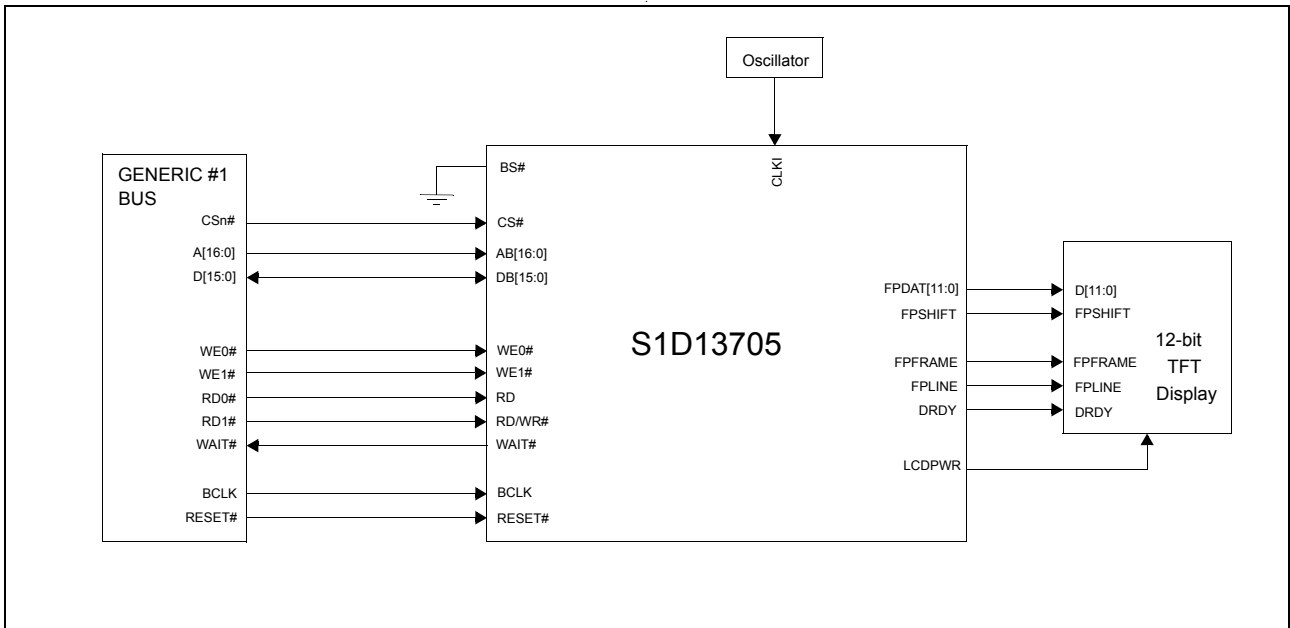


図3.5 基本システム構成例 (Generic#1バス)

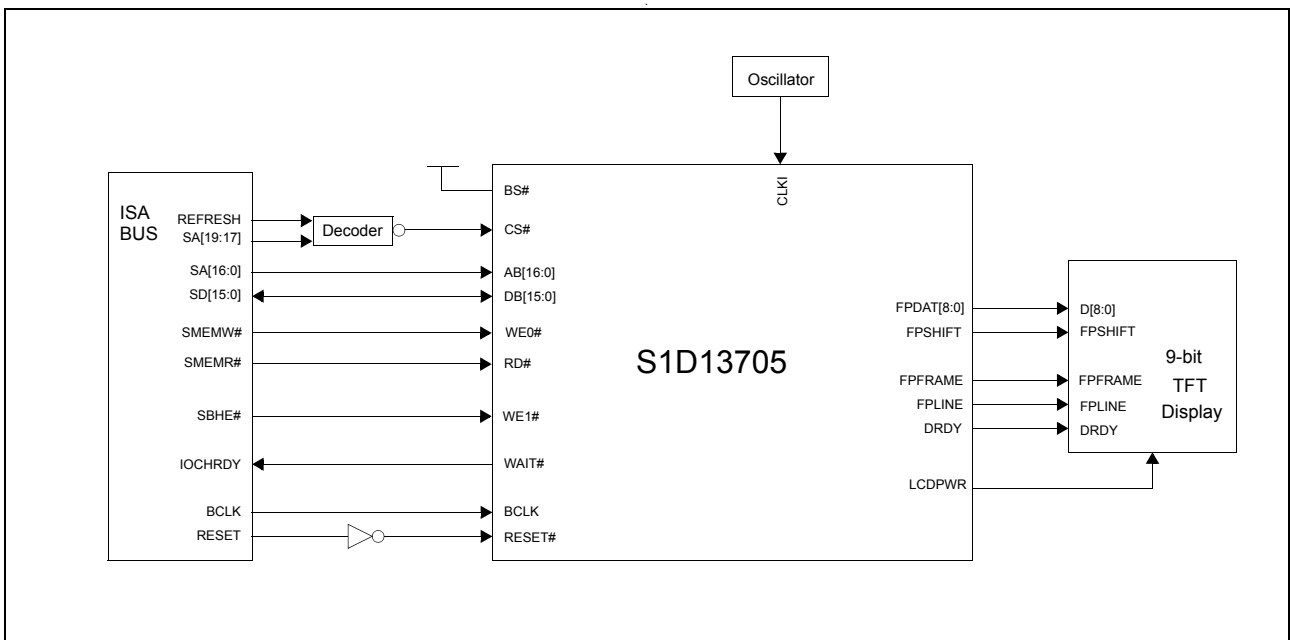


図3.6 基本システム構成例 (Generic#2バス-ISAバス)

4. 機能ブロック図

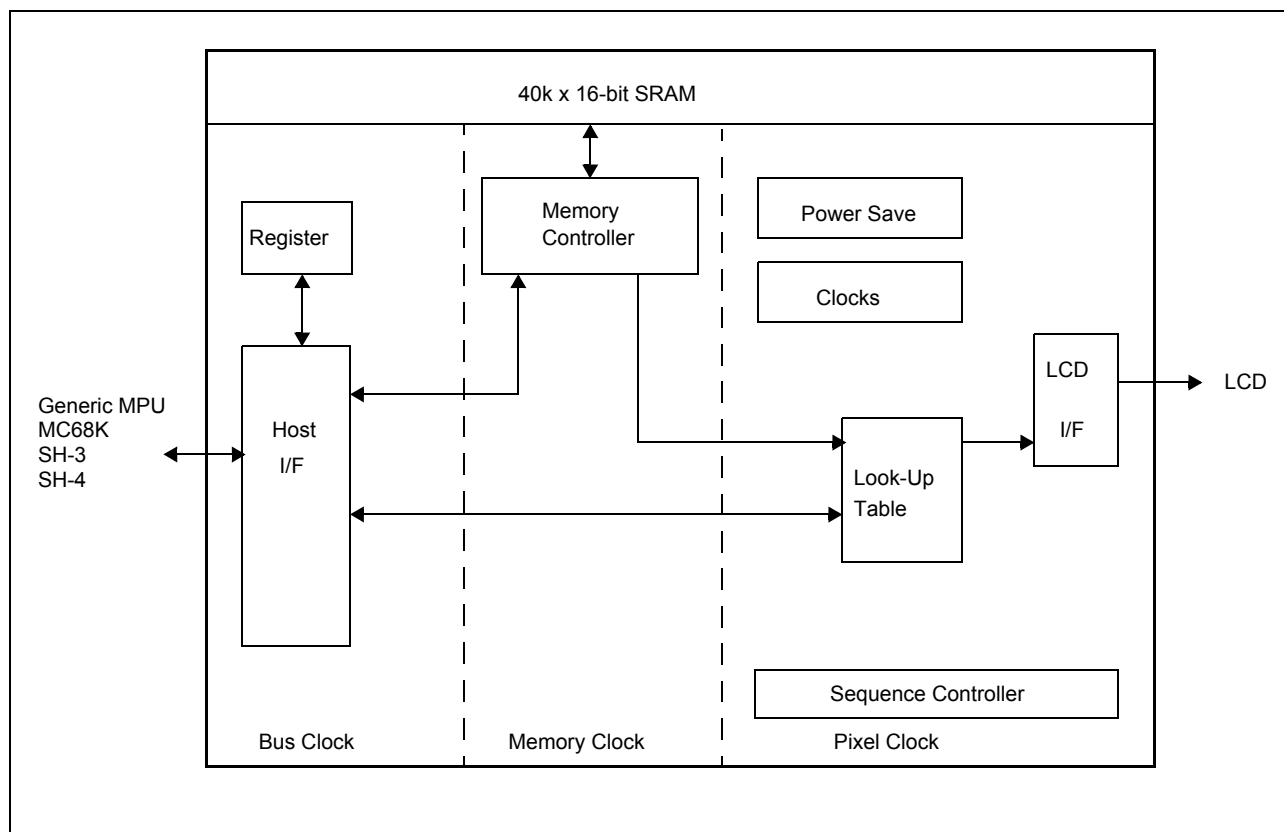


図4.1 機能ブロック図およびデータバス

4.1 機能ブロックの説明

4.1.1 ホストインタフェース

ホストインタフェースブロックは、CPU/MPUと表示バッファや内部レジスタとの通信手段を提供します。

4.1.2 メモリコントローラ

メモリコントローラブロックは、CPUアクセスと表示データのリフレッシュアクセスとの調停を行います。また、表示メモリ（SRAMフレームバッファ）を制御するタイミング信号の生成を行います。

4.1.3 シーケンスコントローラ

シーケンスコントローラブロックは、メモリコントローラブロックからルックアップテーブルブロックおよびLCDインタフェースブロックを介して表示データを制御します。また、表示データのリフレッシュアクセスのためのメモリアドレスの生成を行います。

4. 機能ブロック図

4.1.4 ルックアップテーブル

ルックアップテーブルブロックは、3つの256×4ルックアップテーブル (パレット) で構成されています。カラーでは、これら3ブロックが、モノクロでは緑のルックアップテーブルだけが使用されます。

4.1.5 LCDインタフェース

LCDインタフェースブロックは、パッシブLCDパネル用の階調発生回路 (FRM) を起動させます。また、各種のLCDやTFT/D-TFDパネルに対する正確なデータフォーマットおよびタイミング制御信号を生成します。

4.1.6 パワーセーブ

パワーセーブブロックは、パワーセーブモードに関する回路を制御します。

5. 端子

5.1 端子配置図

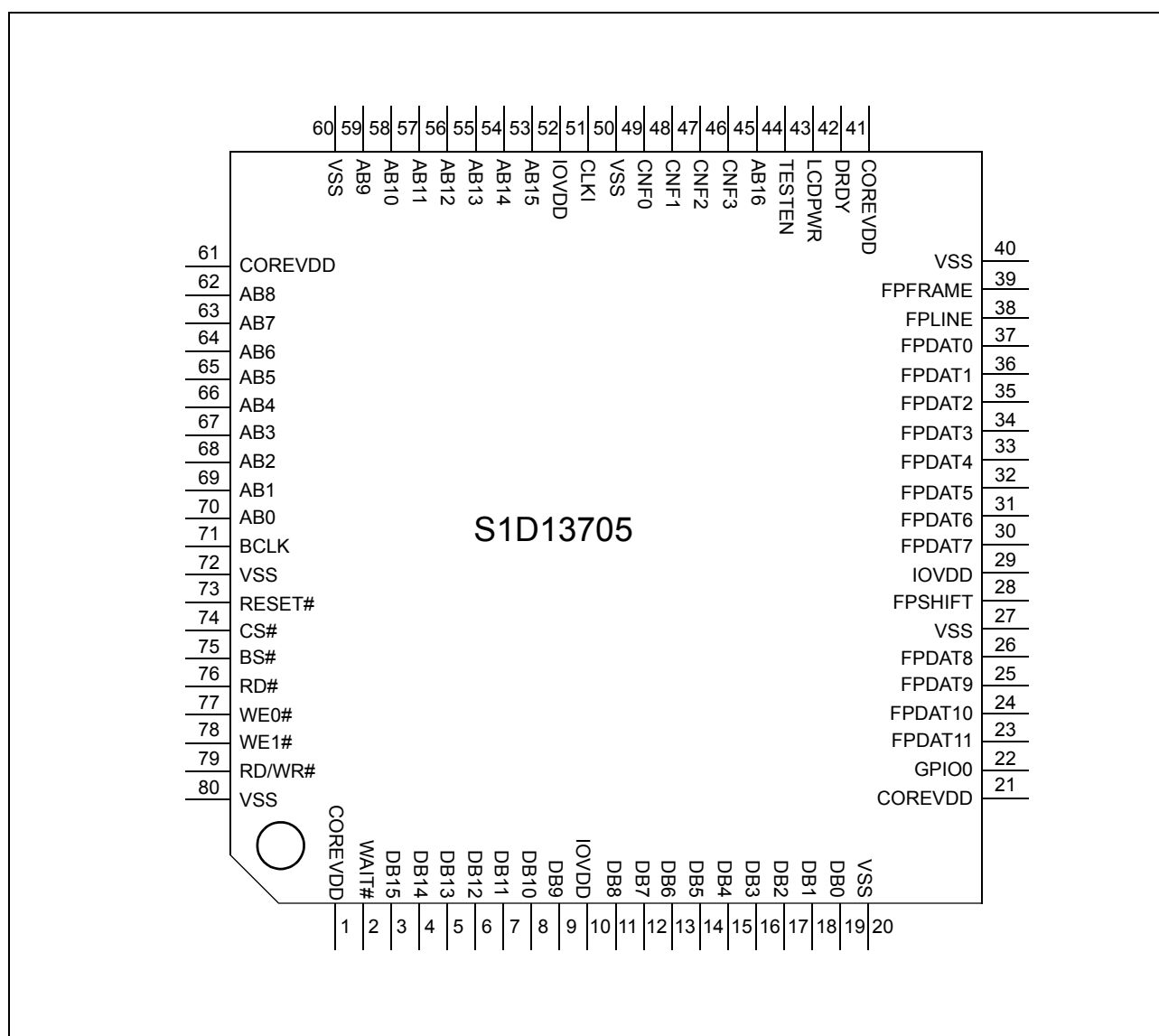


図5.1 端子配置図

注

パッケージタイプ：80ピン面実装QFP14

5. 端子

5.2 端子説明

略語

I	=	入力
O	=	出力
IO	=	双方向（入力／出力）
P	=	電源
C	=	CMOSレベル入力
CS	=	CMOSレベルシュミット入力
COx	=	CMOS出力ドライバ、xはドライバのタイプを示します（19ページの表6.4「出力端子規格」の I_{OL}/I_{OH} を参照してください）。
TSx	=	3ステートCMOS出力ドライバ、xはドライバのタイプを示します19ページの表6.4「出力端子規格」の I_{OL}/I_{OH} を参照してください）。
CNx	=	CMOS低ノイズ出力ドライバ、xはドライバのタイプを示します19ページの表6.4「出力端子規格」の I_{OL}/I_{OH} を参照してください）。
TEST	=	プルダウン抵抗付きCMOSレベルテスト入力
Z	=	ハイインピーダンス（Hi-Z）
L	=	低レベル出力

5.2.1 ホストインタフェース端子

端子名称	種類	端子	セル	RESET# 状態	端子説明
AB0	I	70	CS	Input	以下のマルチ機能端子 • SH-3/SH-4モードではシステムアドレスビット0入力（A0） • MC68K#1では、下位データストロブ入力（LDS#） • MC68K#2モードでは、システムアドレスビット0入力（A0） • Generic#1モードでは、システムアドレスビット0入力（A0） • Generic#2モードでは、システムアドレスビット0入力（A0） 詳細は16ページの表5.2「ホストバスインタフェースピンマッピング」を参照してください。
AB[16:1]	I	45、53、 54、55、 56、57、 58、59、 62、63、 64、65、 66、67、 68、69	C	Input	システムアドレスビット1～16入力（A[16:1]）
DB[15:0]	IO	3、4、5、 6、7、8、 9、11、12、 13、14、 15、16、 17、18、19	C/TS2	Z	以下のマルチ機能端子 • SH-3/SH-4モードでは、システムデータバス[D15:0] • MC68K#1モードでは、システムデータバス[D15:0] • MC68K#2モードの32ビットデバイス（MC68030等）ではD[31:16]、あるいは16ビットデバイス（MC68340等）ではD[15:0] • Generic#1モードでは、システムデータバス[D15:0] • Generic#2モードでは、システムデータバス[D15:0] 詳細は16ページの表5.2「ホストバスインタフェースピンマッピング」を参照してください。

端子名称	種類	端子	セル	RESET# 状態	端子説明
WE0#	I	77	CS	Input	以下のマルチ機能端子 <ul style="list-style-type: none"> SH-3/SH-4モードでは、下位バイトデータのライトイネーブル入力 (WE0#) MC68K#1モードでは、IO V_{DD}接続 MC68K#2モードでは、バスサイジングビット0入力 (SIZ0) Generic#1モードでは、下位バイトデータのライトイネーブル入力 (WE0#) Generic#2モードでは、ライトイネーブル入力 (WE#) 詳細は16ページの表5.2「ホストバスインタフェースピンマッピング」を参照してください。
WE1#	I	78	CS	Input	以下のマルチ機能端子 <ul style="list-style-type: none"> SH-3/SH-4モードでは、上位バイトデータのライトイネーブル入力 (WE1#) MC68K#1モードでは、上位データストロブ入力 (UDS#) MC68K#2モードでは、データストロブ入力 (DS#) Generic#1モードでは、上位バイトデータのライトイネーブル入力 (WE1#) Generic#2モードでは、上位バイトデータのバイトイネーブル入力 (BHE#) 詳細は16ページの表5.2「ホストバスインタフェースピンマッピング」を参照してください。
CS#	I	74	C	Input	チップセレクト入力
BCLK	I	71	C	Input	システムバスクロック入力
BS#	I	75	CS	Input	以下のマルチ機能端子 <ul style="list-style-type: none"> SH-3/SH-4モードでは、バススタート入力 (BS#) MC68K#1モードでは、アドレスストロブ入力 (AS#) MC68K#2モードでは、アドレスストロブ入力 (AS#) Generic#1モードでは、V_{SS}に接続 Generic#2モードでは、IO V_{DD}に接続 詳細は16ページの表5.2「ホストバスインタフェースピンマッピング」を参照してください。
RD/WR#	I	79	CS	Input	以下のマルチ機能端子 <ul style="list-style-type: none"> SH-3/SH-4モードでは、RD/WR# 入力バスサイクルのアーリーデコードのためにこの信号を必要とします。 MC68K#1モードでは、R/W#入力 MC68K#2モードでは、R/W#入力 Generic#1モードでは、上位バイトデータのリードコマンド入力 (RD1#) Generic#2モードではIO V_{DD}接続 詳細は16ページの表5.2「ホストバスインタフェースピンマッピング」を参照してください。

5. 端子

端子名称	種類	端子	セル	RESET# 状態	端子説明
RD#	I	76	CS	Input	以下のマルチ機能端子 <ul style="list-style-type: none"> SH-3/SH-4モードでは、リードコマンド入力 (RD#) MC68K#1モードでは、IO V_{DD}接続 MC68K#2モードでは、バスサイジングビット1入力 (SIZ1) Generic#1 モードでは、下位バイトデータのリードコマンド入力 (RD0#) Generic#2モードでは、リードコマンド入力 (RD#) 詳細は16ページの表5.2「ホストバスインタフェースピンマッピング」を参照してください。
WAIT#	O	2	TS2	Z	以下のマルチ機能端子 <ul style="list-style-type: none"> SH-3モードでは、ウェイトリクエスト出力 (WAIT#) SH-4モードでは、デバイスレディ出力 (RDY#) MC68K#1モードでは、データ転送アクノリッジ出力 (DTACK#) MC68K#2 モードでは、データ転送アクノリッジビット 1 出力 (DSACK1#) Generic#1モードでは、ウェイト出力 (WAIT#) Generic#2モードでは、ウェイト出力 (WAIT#) 詳細は16ページの表5.2「ホストバスインタフェースピンマッピング」を参照してください。
RESET#	I	73	CS	L	アクティブLowですべての内部レジスタをクリアしすべての信号をインアクティブ状態にします。

5.2.2 LCDインタフェース端子

端子名称	タイプ	端子	セル	RESET#状態	端子説明
FPDAT[7:0]	O	30、31、 32、33、 34、35、 36、37	CN3	L	パネルデータ
FPDAT[10:8]	O、IO	24、25、26	CN3	Input	以下のマルチ機能端子 <ul style="list-style-type: none"> • TFT/D-TFDパネルデータビット[10:8] • GPIO[3:1]入出力 使用しない端子は、IO V _{DD} に接続してください。詳細は17ページの表5.3「LCDインタフェースピンマッピング」を参照してください。
FPDAT11	O、IO	23	CN3	Input	以下のマルチ機能端子 <ul style="list-style-type: none"> • TFT/D-TFDパネルデータビット11 • GPIO4入出力 • 表示データインパース入力 使用しない場合は、IO V _{DD} に接続してください。詳細は17ページの表5.3「LCDインタフェースピンマッピング」を参照してください。
FPFRAME	O	39	CN3	L	フレームパルス信号
FPLINE	O	38	CN3	L	ラインパルス信号
FPSHIFT	O	28	CN3	L	シフトクロック
LCDPWR	O	43	CO1	L	アクティブHigh LCDパワーコントロール
DRDY	O	42	CN3	L	以下のマルチ機能端子 <ul style="list-style-type: none"> • TFT/D-TFD表示データイネーブル (DRDY) 出力 • LCD液晶交流化信号 (MOD) 出力 • シフトクロック2 (FPSHIFT2) 出力 詳細は17ページの表5.3「LCDインタフェースピンマッピング」を参照してください。

5.2.3 クロック端子

端子名称	タイプ	端子#	Driver	端子説明
CLKI	I	51	C	入力クロック

5. 端子

5.2.4 その他端子

端子名称	タイプ	端子	セル	RESET#状態	端子説明
CNF[3:0]	I	46、47、 48、49	C	ハードウェア 設定	S1D13705の初期設定用コンフィギュレーション端子 詳細は15ページの表5.1「コンフィギュレーション初期設定」を 参照してください。 直接IO V _{DD} またはV _{SS} に接続してください。
GPIO0	IO、I	22	CS/ TS1	Input	以下のマルチ機能端子REG[03h]ビット2参照 • GPIO入出力 • ハードウェアパワーセーブ
TESTEN	I	44	TEST	pulled low	テストイネーブル入力 入力時には、V _{SS} に接続してください。

5.2.5 電源端子

端子名称	タイプ	端子	Driver	端子説明
COREVDD	P	1、21、 41、61	P	CORE V _{DD}
IOVDD	P	10、29、 52	P	IO V _{DD}
VSS	P	20、27、 40、50、 60、72、 80	P	共通V _{SS}

5.3 コンフィギュレーション初期設定

表5.1 コンフィギュレーション初期設定

初期設定端子	パワーオンまたはRESET#状態設定					
	ホストバスインタフェース選択:					
	CNF3	CNF2	CNF1	CNF0	BS#	ホストバスタイプ
	1	0	0	0	X	SH-4インタフェースビッグエンディアン
	0	0	0	0	X	SH-4インタフェースリトルエンディアン
	1	0	0	1	X	SH-3インタフェースビッグエンディアン
	0	0	0	1	X	SH-3インタフェースリトルエンディアン
	X	0	1	0	X	Reserved
	1	0	1	1	X	MC68K#1,16ビットビッグエンディアン
	0	0	1	1	X	Reserved
	X	1	0	0	X	Reserved
	1	1	0	1	X	MC68K#2,16ビットビッグエンディアン
	0	1	0	1	X	Reserved
	X	1	1	0	0	Reserved
	X	1	1	0	1	Reserved
	1	1	1	1	0	Generic#1,16ビットビッグエンディアン
	0	1	1	1	0	Generic#1,16ビットリトルエンディアン
	1	1	1	1	1	Reserved
	0	1	1	1	1	Generic#2,16ビットリトルエンディアン
CNF[3:0]						

5. 端子

5.4 ホストバスインタフェースピンマッピング

表5.2 ホストバスインタフェースピンマッピング

S1D13705 端子名	SH-3	SH-4	MC68K #1	MC68K #2	Generic #1	Generic #2
AB[16:1]	A[16:1]	A[16:1]	A[16:1]	A[16:1]	A[16:1]	A[16:1]
AB0	A0	A0	LDS#	A0	A0	A0
DB[15:0]	D[15:0]	D[15:0]	D[15:0]	D[31:16]	D[15:0]	D[15:0]
WE1#	WE1#	WE1#	UDS#	DS#	WE1#	BHE#
CS#	Csn#	Csn#	外付けデコード	外付けデコード	外付けデコード	外付けデコード
BCLK	CKIO	CKIO	CLK	CLK	BCLK	BCLK
BS#	BS#	BS#	AS#	AS#	V _{SS} へ接続	IO V _{DD} へ接続
RD/WR#	RD/WR#	RD/WR#	R/W#	R/W#	RD1#	IO V _{DD} へ接続
RD#	RD#	RD#	IO V _{DD} へ接続	SIZ1	RD0#	RD#
WE0#	WE0#	WE0#	IO V _{DD} へ接続	SIZ0	WE0#	WE#
WAIT#	WAIT#	RDY#	DTACK#	DSACK1#	WAIT#	WAIT#
RESET#	RESET#	RESET#	RESET#	RESET#	RESET#	RESET#

5.5 LCDインタフェースピンマッピング

表5.3 LCDインタフェースピンマッピング

S1D13705 端子名	モノクロパッシブパネル			カラーパッシブパネル				カラー TFT/D-TFD		
	4ビット シングル	8ビット シングル	8ビット デュアル	4ビット シングル	8ビット シングル Format 1	8ビット シングル Format 2	8ビット デュアル	9ビット	12ビット	
FPFRAME	FPFRAME									
FPLINE	FPLINE									
FPSHIFT	FPSHIFT									
DRDY	MOD	MOD	MOD	MOD	FPSHIFT2	MOD	MOD	DRDY		
FPDAT0	0固定	D0	LD0	0固定	D0	D0	LD0	R2	R3	
FPDAT1	0固定	D1	LD1	0固定	D1	D1	LD1	R1	R2	
FPDAT2	0固定	D2	LD2	0固定	D2	D2	LD2	R0	R1	
FPDAT3	0固定	D3	LD3	0固定	D3	D3	LD3	G2	G3	
FPDAT4	D0	D4	UD0	D0	D4	D4	UD0	G1	G2	
FPDAT5	D1	D5	UD1	D1	D5	D5	UD1	G0	G1	
FPDAT6	D2	D6	UD2	D2	D6	D6	UD2	B2	B3	
FPDAT7	D3	D7	UD3	D3	D7	D7	UD3	B1	B2	
FPDAT8	GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	B0	B1	
FPDAT9	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	GPIO2	R0	
FPDAT10	GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	GPIO3	G0	
FPDAT11	GPIO4/ ハードウェア ビデオ インバース	GPIO4/ ハードウェア ビデオ インバース	GPIO4/ ハードウェア ビデオ インバース	GPIO4/ ハードウェア ビデオ インバース	GPIO4/ ハードウェア ビデオ インバース	GPIO4/ ハードウェア ビデオ インバース	GPIO4/ ハードウェア ビデオ インバース	GPIO4/ ハードウェア ビデオ インバース	GPIO4	B0

注

- 1 使用しないGPIO端子はIO V_{DD}に接続してください。
- 2 FPDAT11端子のハードウェアインバースビデオモードでは、REG[02h]ビット1で設定されます。

6. DC特性

6. DC特性

表6.1 絶対最大定格

記号	パラメータ	定格	単位
CORE V _{DD}	電源電圧	V _{SS} -0.3~4.0	V
IO V _{DD}	電源電圧	CORE V _{DD} ~7.0	V
V _{IN}	入力電圧	V _{SS} -0.3~IO V _{DD} + 0.5	V
V _{OUT}	出力電圧	V _{SS} -0.3~IO V _{DD} + 0.5	V
T _{STG}	保存温度	-65~150	°C
T _{SOL}	半田付け温度/時間	最大260°C/10sec (鉛)	°C

表6.2 推奨動作条件 (CORE V_{DD}=3.3V±10%)

記号	パラメータ	条件	Min	Typ	Max	単位
CORE V _{DD}	電源電圧	V _{SS} =0 V	2.7	3.0/3.3	3.6	V
IO V _{DD}	電源電圧	V _{SS} =0 V、IO V _{DD} ≥ CORE V _{DD}	2.7	3.0/3.3/5.0	5.5	V
V _{IN}	入力電圧		V _{SS}		IO V _{DD}	V
T _{OPR}	動作温度		-40	25	85	°C

表6.3 入力端子規格

記号	パラメータ	条件	Min	Typ	Max	単位
V _{IL}	低レベル入力電圧 CMOS入力	IO V _{DD} = 3.0 3.3 5.0			0.8 0.8 1.0	V
V _{IH}	高レベル入力電圧 CMOS入力	IO V _{DD} = 3.0 3.3 5.0	1.9 2.0 3.5			V
V _{T+}	プラス方向スレッシュホールド CMOSシュミット入力	IO V _{DD} = 3.0 3.3 5.0	1.0 1.1 2.0		2.3 2.4 4.0	V
V _{T-}	マイナス方向スレッシュホールド CMOSシュミット入力	IO V _{DD} = 3.0 3.3 5.0	0.5 0.6 0.8		1.7 1.8 3.1	V
I _{IZ}	入力リーク電流	V _{DD} =Max V _{IH} =V _{DD} V _{IL} =V _{SS}	-1		1	μA
C _{IN}	入力ピン容量				10	pF

表6.4 出力端子規格

記号	パラメータ	条件	Min	Typ	Max	単位
I_{OL} (3.0V)	低レベル出力電圧	IO $V_{DD}=3.0V$ $V_O=0.4V$, Type = 1 2 3		1.8 5 10		mA
I_{OL} (3.3V)	低レベル出力電圧	IO $V_{DD}=3.3V$ $V_O=0.4V$, Type = 1 2 3		2 6 12		mA
I_{OL} (5.0V)	低レベル出力電圧	IO $V_{DD}=5.0V$ $V_O=0.4V$, Type = 1 2 3		3 8 12		mA
I_{OH} (3.0V)	高レベル出力電圧	IO $V_{DD}=3.0V$ $V_O=IO V_{DD}-0.4V$, Type = 1 2 3		-1.8 -5 -10		mA
I_{OH} (3.3V)	高レベル出力電圧	IO $V_{DD}=3.3V$ $V_O=IO V_{DD}-0.4V$, Type = 1 2 3		-2 -6 -12		mA
I_{OH} (5.0V)	高レベル出力電圧	IO $V_{DD}=5.0V$ $V_O=IO V_{DD}-0.4V$, Type = 1 2 3		-3 -8 -12		mA
V_{OL}	低レベル出力電圧	$I=I_{OL}$			0.4	V
V_{OH}	高レベル出力電圧	$I=I_{OH}$	IO $V_{DD} - 0.4$			V
I_{OZ}	出力リーク電流	$V_{DD}=MAX$ $V_{OH}=V_{DD}$ $V_{OL}=V_{SS}$	-1		1	μA
C_{OUT}	出力ピン容量				10	pF
C_{BID}	双方向ピン容量				10	pF

7. AC特性

7. AC特性

条件:IO $V_{DD}=2.7V\sim 5.0V$

$T_A=-40^{\circ}C\sim 85^{\circ}C$

すべての入力に対して $T_{rise}/T_{fall}\leq 5ns$ (10%~90%)

$C_L=60pF$ (Bus/MPUインタフェース)

$C_L=60pF$ (LCD Panelインタフェース)

7.1 バスインタフェースタイミング

7.1.1 SH-4インタフェースタイミング

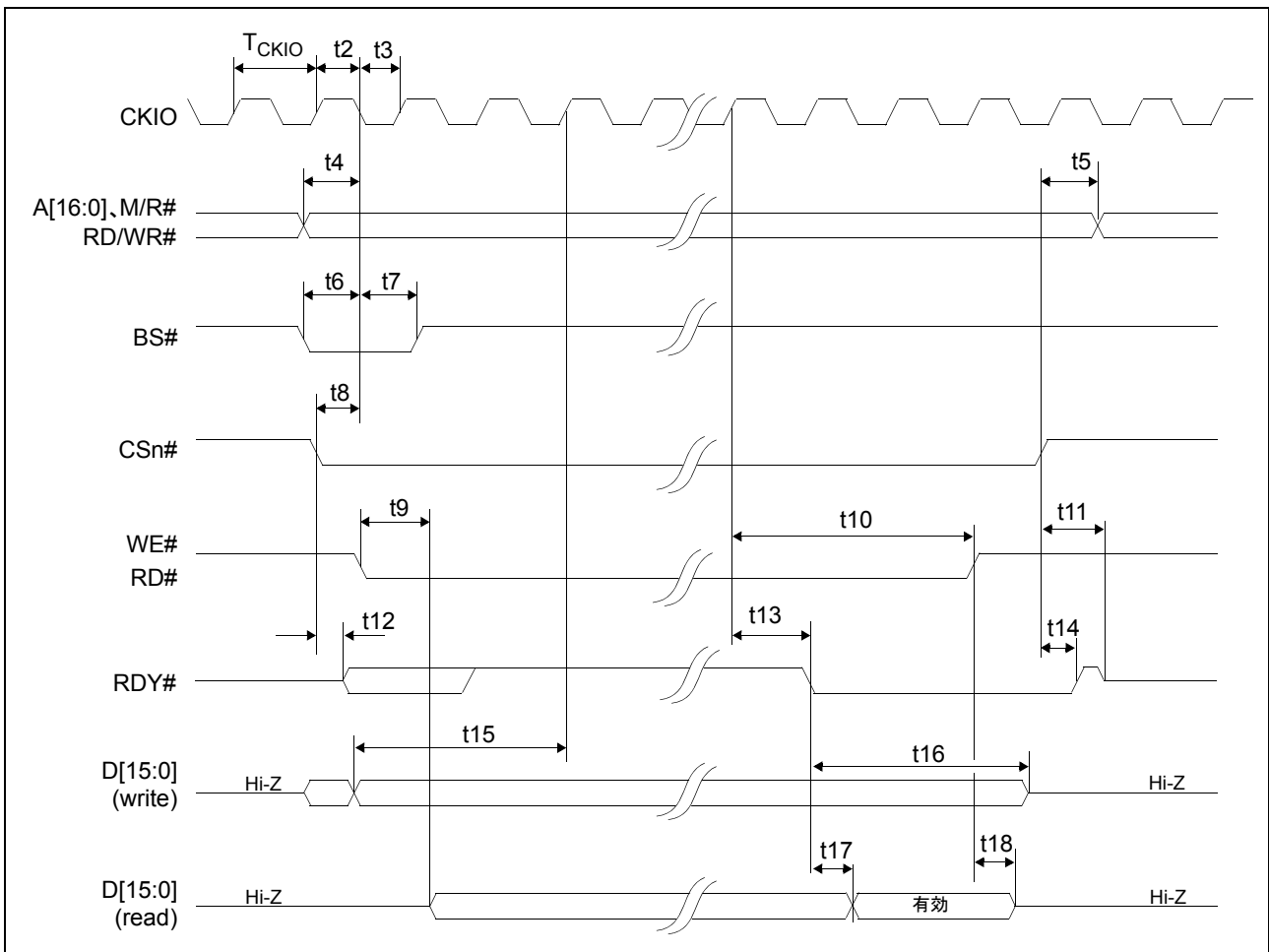


図7.1 SH-4タイミング

注

S1D13705を配置した領域に対応するSH-4ウェイトステート制御レジスタは、必ず0以外の値に設定してください。SH-4リード/ライトサイクル変移は（BUSCLKを参照して）必ず0以外の値に設定してください。

表7.1 SH-4タイミング

記号	パラメータ	Min	Max	単位
f_{CKIO}	バスクロック周波数		50	MHz
T_{CKIO}	バスクロック周期	$1/f_{CKIO}$		
t2	バスクロックLOWパルス幅	8		ns
t3	バスクロックHIGHパルス幅	8		ns
t4	CKIOへのA[16:0]、RD/WR#セットアップ時間	0		ns
t5	CS#からのA[16:0]、RD/WR#ホールド時間	0		ns
t6	BS#セットアップ時間	5		ns
t7	BS#ホールド時間	5		ns
t8	Csn#セットアップ	0		ns
t9	立ち下がりエッジRD#→D[15:0]出力		25	ns
t10	CKIO→WE#、RD# HIGH	$1.5T_{CKIO}$		
t11	立ち上がりエッジCSn#→RDY#ハイインピーダンス		T_{CKIO}	
t12	立ち下がりエッジCSn#→RDY#出力		20	ns
t13	CKIO→RDY# LOW		20	ns
t14	立ち上がりエッジCSn#→RDY# HIGH		16	ns
t15	BS#後の2次CKIOへのD[15:0]セットアップ (ライトサイクル)	0		ns
t16	D[15:0]ホールド時間 (ライトサイクル)	0		ns
t17	RDY#立ち下がりエッジ→D[15:0]有効 (リードサイクル)		7	ns
t18	立ち上がりエッジRD#→D[15:0]ハイインピーダンス (リードサイクル)		10	ns

注

アクセス期間中のCKIOの停止 (Low固定) については、80ページの13.5「アクセス期間中のBCLK停止」を参照してください。

7. AC特性

7.1.2 SH-3インタフェースタイミング

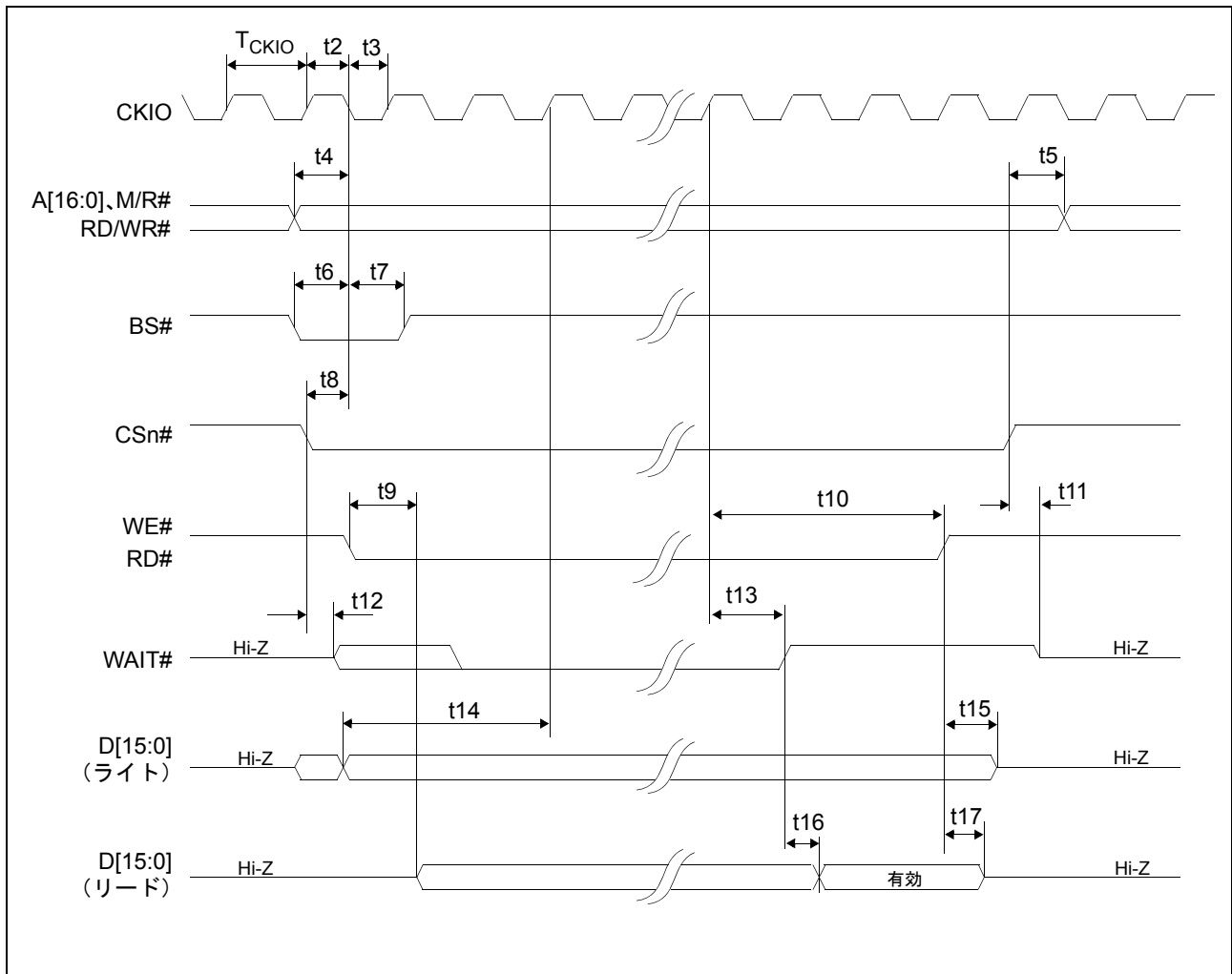


図7.2 SH-3バスタイミング

注

S1D13705を配置した領域に対応するSH-3のウェイトステート制御レジスタには、必ず0以外の値を設定してください。

表7.2 SH-3バスタイミング

記号	パラメータ	Min	Max (注1)	単位
f_{CKIO}	バスクロック周波数		50	MHz
T_{CKIO}	バスクロック周期	$1/f_{CKIO}$		
t2	バスクロックLOWパルス幅	8		ns
t3	バスクロックHIGHパルス幅	8		ns
t4	CKIOへのA[16:0]、RD/WR#セットアップ時間	0		ns
t5	CS#からのA[16:0]、RD/WR#ホールド時間	0		ns
t6	BS#セットアップ	5		ns
t7	BS#ホールド時間	5		ns
t8	CSn#セットアップ時間	0		ns
t9	立ち下がりエッジRD#→D[15:0]出力		25	ns
t10	CKIO→WE#、RD# HIGH	$1.5T_{CKIO}$		
t11	立ち上がりエッジCSn#→RDY#ハイインピーダンス		10	ns
t12	立ち下がりエッジCSn#→WAIT#出力		15	ns
t13	CKIO→WAIT#遅延時間		20	ns
t14	BS#後の2次CKIOへのD[15:0]セットアップ (ライトサイクル)	0		ns
t15	WE#の立ち上がりエッジからD[15:0]ホールド時間 (ライトサイクル)	0		ns
t16	WAIT#立ち上がりエッジ→D[15:0]有効 (リードサイクル)		6	ns
t17	立ち上がりエッジRD#→D[15:0]ハイインピーダンス (リードサイクル)		10	ns

注1 1つのソフトウェアWAITステートが必要

注

アクセス期間中のCKIOの停止 (Low固定) については、80ページの13.5「アクセス期間中のBCLK停止」を参照してください。

7. AC特性

7.1.3 MotorolaM68K#1インタフェースタイミング

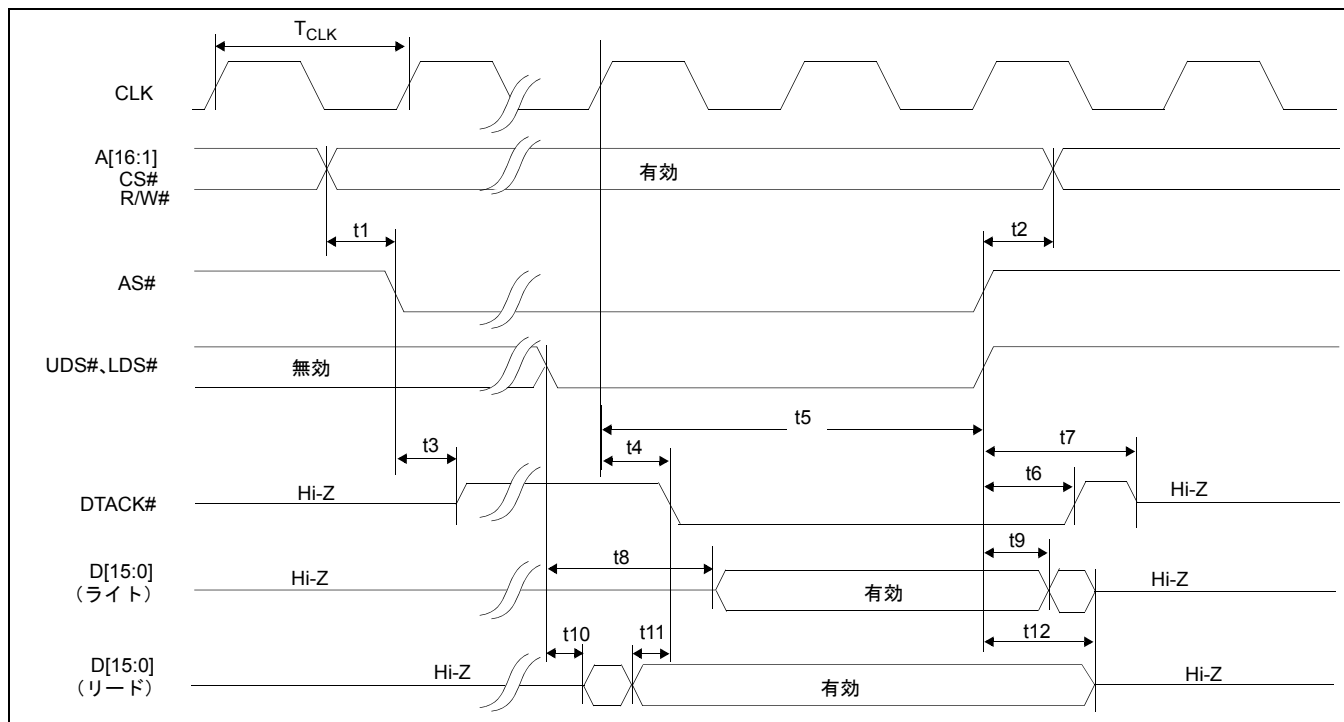


図7.3 M68K#1バスタイミング (MC68000)

表7.3 M68K#1バスタイミング (MC68000)

記号	パラメータ	Min	Max	単位
f_{CLK}	バスクロック周波数		33	MHz
T_{CLK}	バスクロック周期	$1/f_{CLK}$		
t1	AS#立ち下がりエッジ前のA[16:1]、CS#有効	0		ns
t2	AS#立ち上がりエッジからA[16:1]、CS#ホールド時間	0		ns
t3	AS# LOW→DTACK#出力HIGH		16	ns
t4	CLK→DTACK# LOW		15	ns
t5	CLK→AS#、UDS#、LDS# HIGH	$1T_{CLK}$		
t6	AS# HIGH→DTACK# HIGH		20	ns
t7	AS# HIGH→DTACK#ハイインピーダンス		T_{CLK}	
t8	UDS#、LDS#立ち下がりエッジ→D[15:0]有効 (ライトサイクル)		T_{CLK}	
t9	AS#立ち上がりエッジからのD[15:0]ホールド時間 (ライトサイクル)	0		ns
t10	UDS#、LDS#立ち下がりエッジ→D[15:0]出力 (リードサイクル)		15	ns
t11	D[15:0]有効→DTACK#立ち下がりエッジ (リードサイクル)	0		ns
t12	UDS#、LDS#立ち上がりエッジ→D[15:0]ハイインピーダンス		10	ns

注

アクセス期間中のCKIOの停止 (Low固定) については、80ページの13.5「アクセス期間中のBCLK停止」を参照してください。

7.1.4 MotorolaMC68K#2インタフェースタイミング

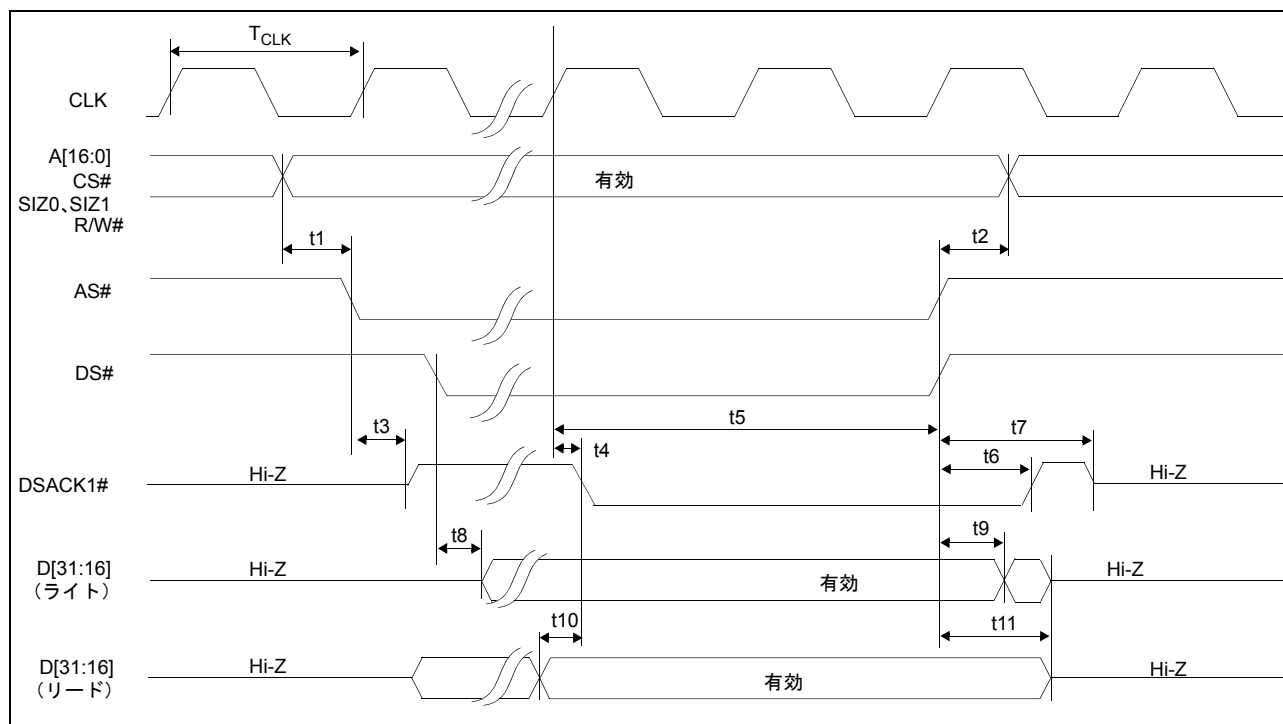


図7.4 MC68K#2タイミング (MC68030)

表7.4 MC68K#2タイミング (MC68030)

記号	パラメータ	Min	Max	単位
f_{CLK}	バスクロック周波数		33	MHz
T_{CLK}	バスクロック周期	$1/f_{CLK}$		
t_1	AS#立ち下がりにエッジ前のA[16:0]、CS#、SIZ0、SIZ1有効	0		ns
t_2	AS#、DS#立ち上がりエッジからA[16:0]、CS#、SIZ0、SIZ1ホールド時間	0		ns
t_3	AS# LOW→DTACK1#出力HIGH		22	ns
t_4	CLK→DSACK1# LOW		18	ns
t_5	CLK→AS#、DS# HIGH	$1T_{CLK}$		ns
t_6	AS# HIGH→DSACK1# HIGH		20	ns
t_7	AS# HIGH→DSACK1#ハイインピーダンス		T_{CLK}	
t_8	DS#立ち下がりにエッジ→D[31:16]有効 (ライトサイクル)		$T_{CLK}/2$	
t_9	AS#、DS#立ち上がりエッジ→D[31:16]無効 (ライトサイクル)	0		ns
t_{10}	D[31:16]有効→DSACK1# LOW (リードサイクル)	0		ns
t_{11}	AS#、DS#立ち上がりエッジ→D[31:16]ハイインピーダンス		20	ns

注

アクセス期間中のCKIOの停止 (Low固定) については、80ページの13.5「アクセス期間中のBCLK停止」を参照してください。

7. AC特性

7.1.5 汎用#1インタフェースタイミング

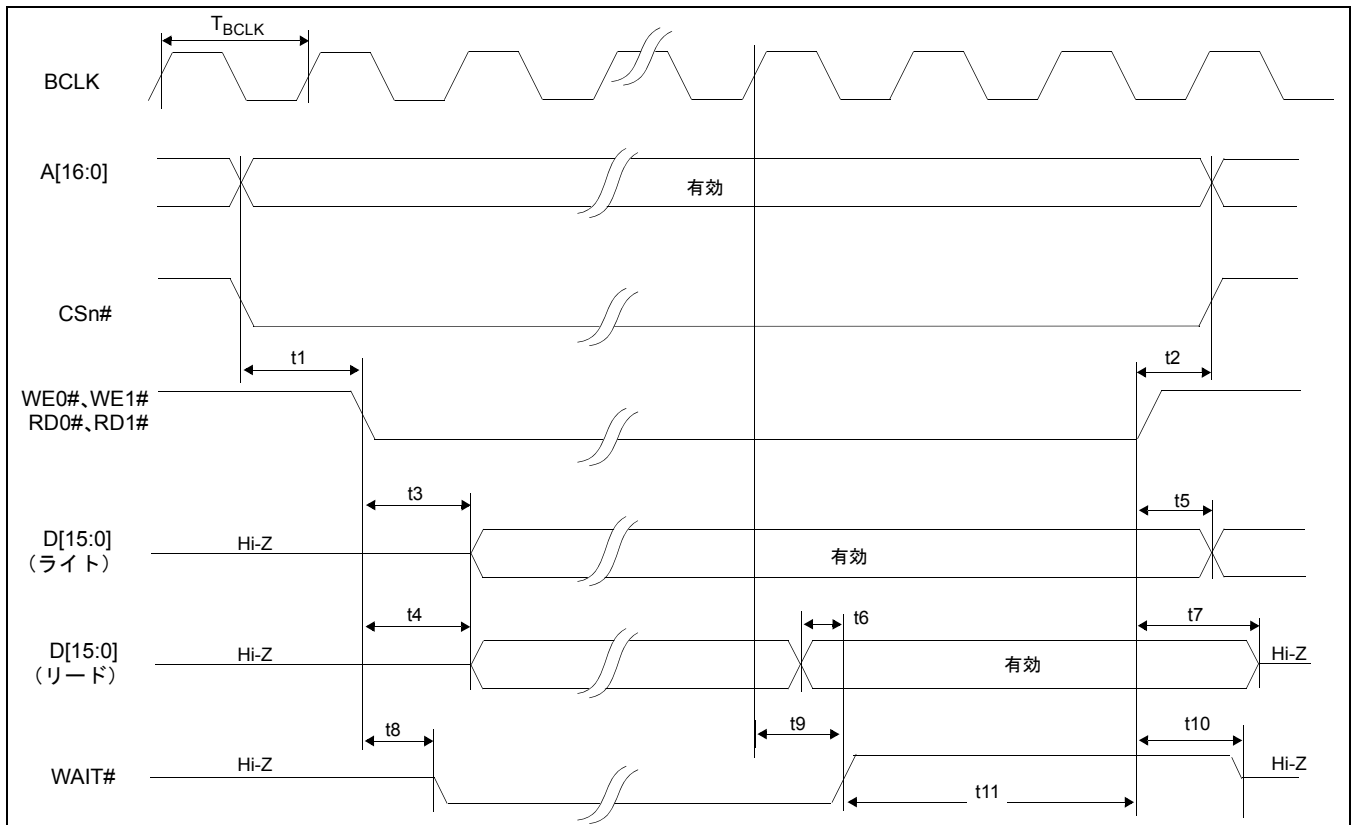


図7.5 汎用#1タイミング

表7.5 汎用#1タイミング

記号	パラメータ	Min	Max	単位
f_{BCLK}	バスクロック周波数		50	MHz
T_{BCLK}	バスクロック周期	$1/f_{BCLK}$		MHz
t1	A[16:0]、CSn#有効→WE0#、WE1# LOW (ライトサイクル) または RD0#、RD1# LOW (リードサイクル)	0		ns
t2	WE0#、WE1# LOW (ライトサイクル) またはRD0#、RD1# HIGH (リードサイクル) →A[16:0]、CSn#無効	0		ns
t3	WE0#、WE1# LOW→D[15:0]有効 (ライトサイクル)		T_{BCLK}	
t4	RD0#、RD1# LOW→D[15:0]出力 (リードサイクル)		17	ns
t5	WE0#、WE1# HIGH→D[15:0]無効 (ライトサイクル)	0		ns
t6	D[15:0]有効→WAIT# HIGH (リードサイクル)	0		ns
t7	RD0#、RD1# HIGH→D[15:0]ハイインピーダンス (リードサイクル)		10	ns
t8	WE0#、WE1# LOW (ライトサイクル) またはRD0#、RD1# LOW (リードサイクル) →WAIT#出力LOW		16	ns
t9	BCLK→WAIT# HIGH		16	ns
t10	WE0#、WE1# HIGH (ライトサイクル) またはRD0#、RD1# HIGH (リードサイクル) →WAIT#ハイインピーダンス		16	ns
t11	WAIT# HIGH→WE0#、WE1#、RD0#、RD1# HIGH	$1T_{BCLK}$		

注

アクセス期間中のBCLKの停止 (Low固定) については、80ページの13.5「アクセス期間中のBCLK停止」を参照してください。

7.1.6 汎用#2インタフェースタイミング

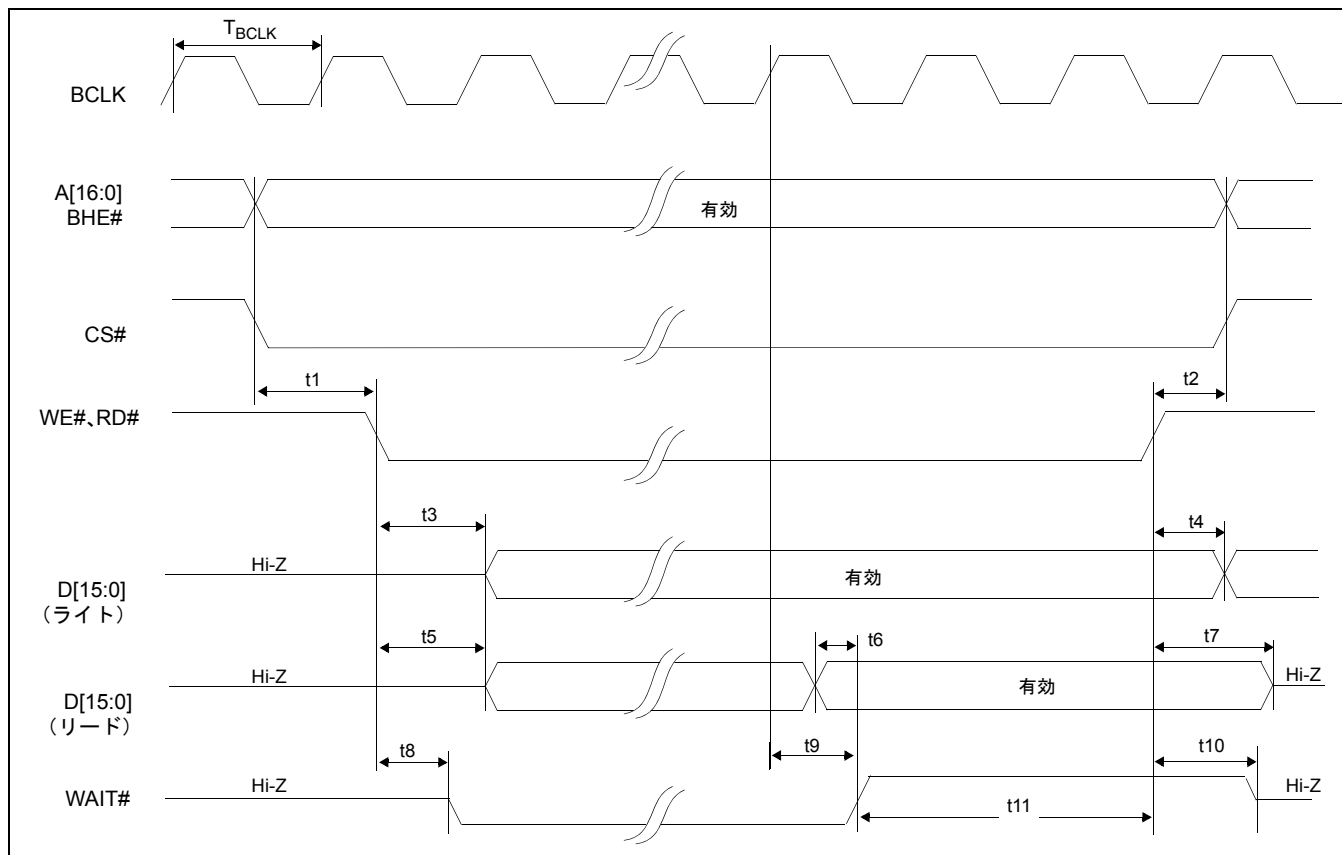


図7.6 汎用#2タイミング

7. AC特性

表7.6 汎用#2タイミング

記号	パラメータ	Min	Max	単位
f_{BCLK}	バスクロック周波数		50	MHz
T_{BCLK}	バスクロック周期	$1/f_{\text{BCLK}}$		
t1	A[16:0]、BHE#、CS#有効→WE#、RD# LOW	0		ns
t2	WE#、RD# HIGH→A[16:0]、BHE#、CS#無効	0		ns
t3	WE# LOW→D[15:0]有効 (ライトサイクル)		T_{BCLK}	
t4	WE# HIGH→D[15:0]無効 (ライトサイクル)	0		ns
t5	RD# LOW→D[15:0]出力 (リードサイクル)		16	ns
t6	D[15:0]有効→WAIT# HIGH (リードサイクル)	0		ns
t7	RD# HIGH→D[15:0]ハイインピーダンス (リードサイクル)		10	ns
t8	WE#、RD# LOW→WAIT#出力LOW		14	ns
t9	BCLK→WAIT# HIGH		10	ns
t10	WE#、RD# HIGH→WAIT#ハイインピーダンス		11	ns
t11	WAIT# HIGH→WE#、RD# HIGH	$1T_{\text{BCLK}}$		

注

アクセス期間中のBCLKの停止 (Low固定) については、80ページの13.5「アクセス期間中のBCLK停止」を参照してください。

7.2 クロック入力条件

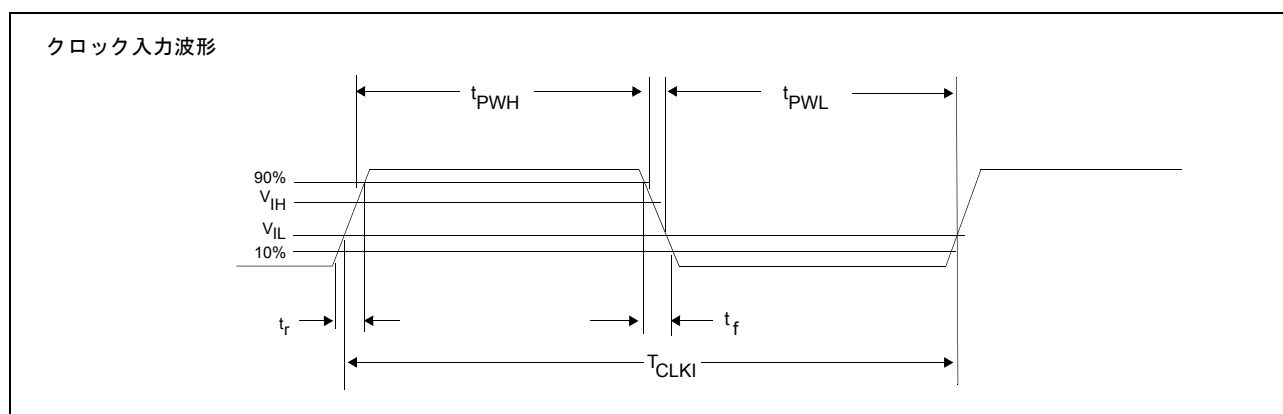


図7.7 クロック入力条件 (CLKI)

表7.7 クロック入力条件 (CLKI)

記号	パラメータ	Min	Max	単位
f_{CLKI}	入力クロック周波数 (CLKI)		50	MHz
T_{CLKI}	入力クロック周期 (CLKI)	$1/f_{CLKI}$		ns
t_{PWH}	入力クロックHIGHパルス幅 (CLKI)	8		ns
t_{PWL}	入力クロックLOWパルス幅 (CLKI)	8		ns
t_f	入力クロック立ち下がり時間 (10%~90%)		5	ns
t_r	入力クロック立ち上がり時間 (10%~90%)		5	ns

注

CLKIが25MHz以上の場合には、入力クロック分周ビット (REG[02h]ビット4) を1に設定してください。

7. AC特性

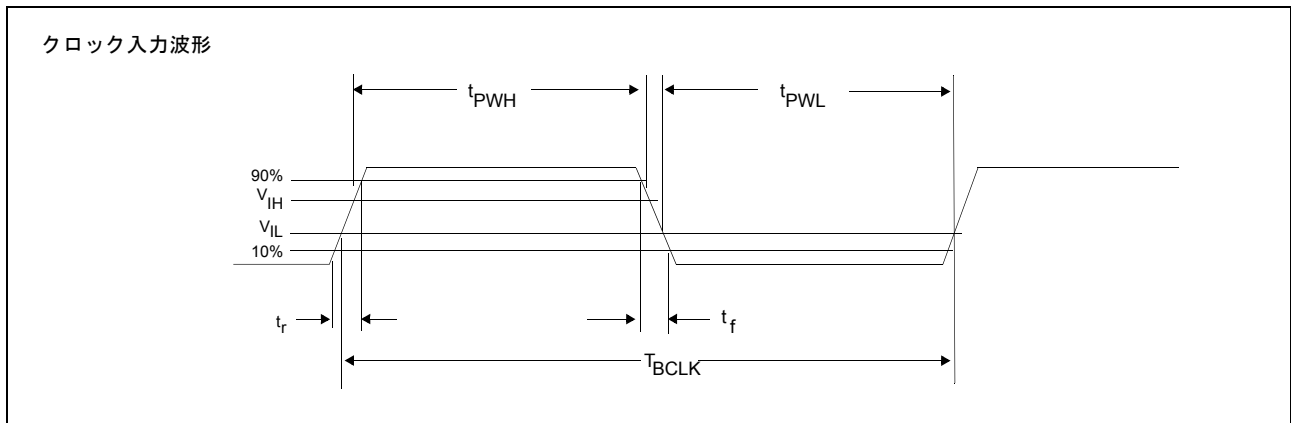


図7.8 クロック入力条件 (BCLK)

表7.8 入力クロック周波数 (BCLK)

記号	パラメータ	Min	Max	単位
f_{BCLK}	入力クロック周波数 (BCLK)		50	MHz
T_{BCLK}	入力クロック周期 (BCLK)	$1/f_{CLKI}$		
t_{PWH}	入力クロックHIGHパルス幅 (BCLK)	8		ns
t_{PWL}	入力クロックLOWパルス幅 (BCLK)	8		ns
t_f	入力クロック立ち下がり時間 (10%~90%)		5	ns
t_r	入力クロック立ち上がり時間 (10%~90%)		5	ns

7.3 LCDインターフェース

7.3.1 パワーオン/リセットタイミング

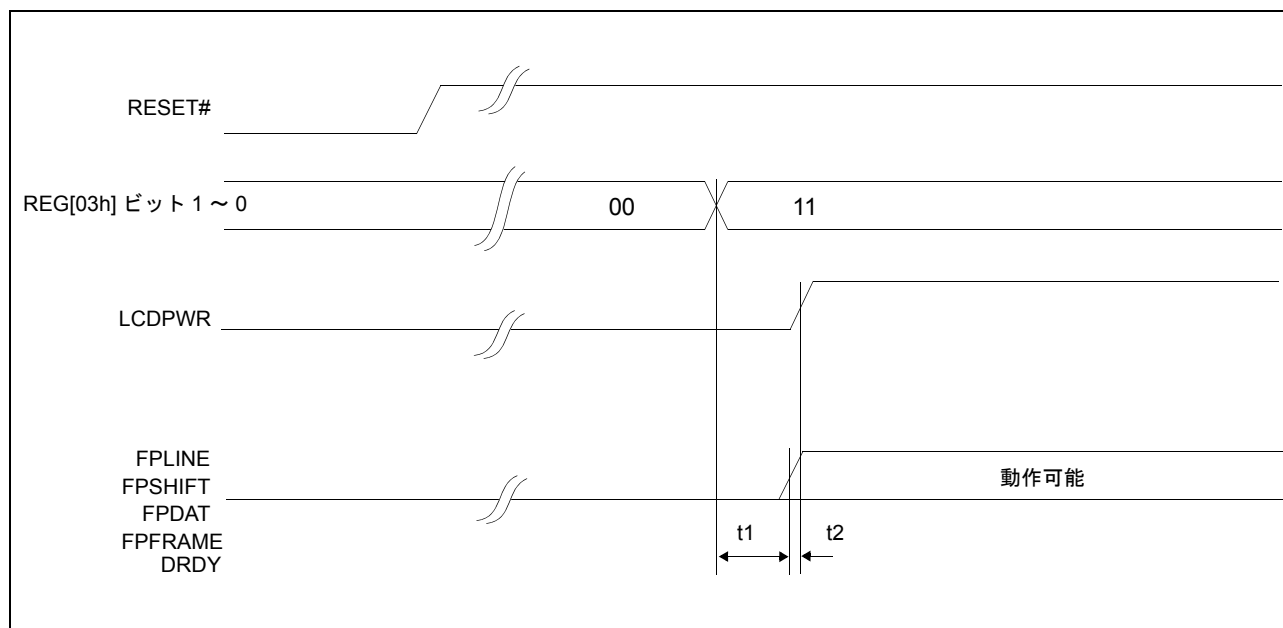


図7.9 LCDパネルパワーオン/リセットタイミング

表7.9 LCDパネルパワーオン/リセットタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	REG[03h]→FPLINE、FPFRAME、FPSHIFT、FPDAT、DRDY動作可能			$T_{FPFRAME}$	ns
t2	FPLINE、FPFRAME、FPSHIFT、FPDAT、DRDY動作可能→LCDPWR		0		フレーム

注

$T_{FPFRAME}$ はFPFRAME、 T_{PCLK} はピクセルクロック (PCLK) の周期です。

7. AC特性

7.3.2 パワーダウン/アップタイミング

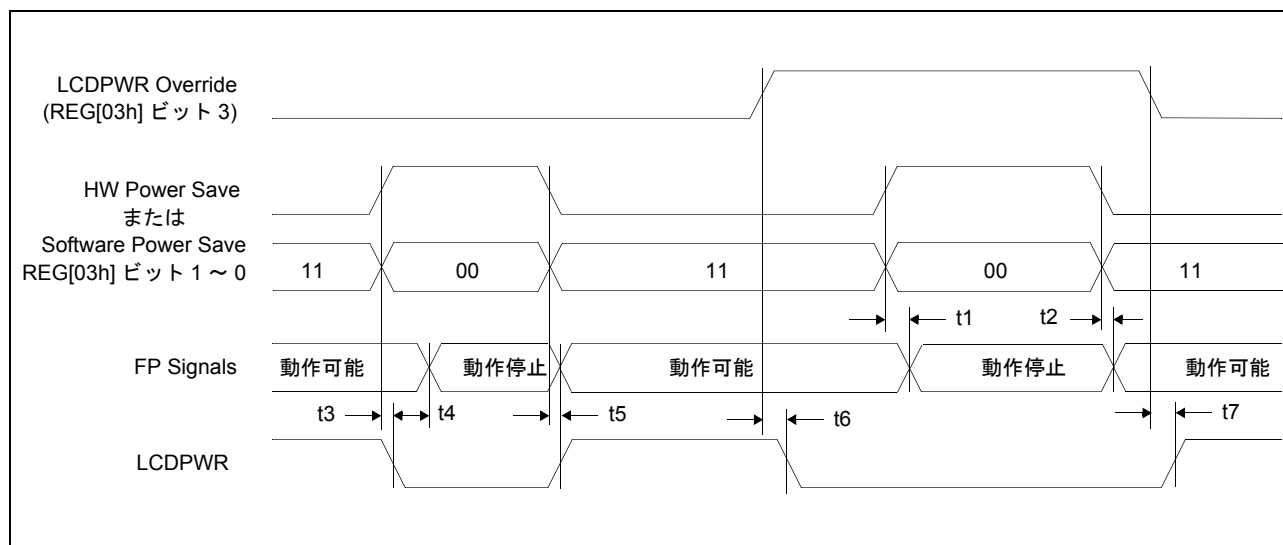


図7.10 パワーダウン/アップタイミング

表7.10 パワーダウン/アップタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	HWパワーセーブ動作可能→FPLINE、FPFRAME、FPSHIFT、FPDAT、DRDY 動作停止-LCDPWR Override=1			1	フレーム
t2	HWパワーセーブ動作停止→FPLINE、FPFRAME、FPSHIFT、FPDAT、DRDY 動作可能-LCDPWR Override=1			1	フレーム
t3	HWパワーセーブ動作可能→LCDPWR動作停止			1	フレーム
t4	LCDPWR動作停止→FPLINE、FPFRAME、FPSHIFT、FPDAT、DRDY 動作停止-LCDPWR Override=0		127		フレーム
t5	HWパワーセーブ動作停止→FPLINE、FPFRAME、FPSHIFT、FPDAT、DRDY、 -LCDPWR動作可能-LCDPWR Override=0		0		フレーム
t6	LCDPWR Override動作可能 (1) →LCDPWR動作停止			1	フレーム
t7	LCDPWR Override動作停止 (1) →LCDPWR動作可能			1	フレーム

7.3.3 4ビットシングルモノクロパネルタイミング

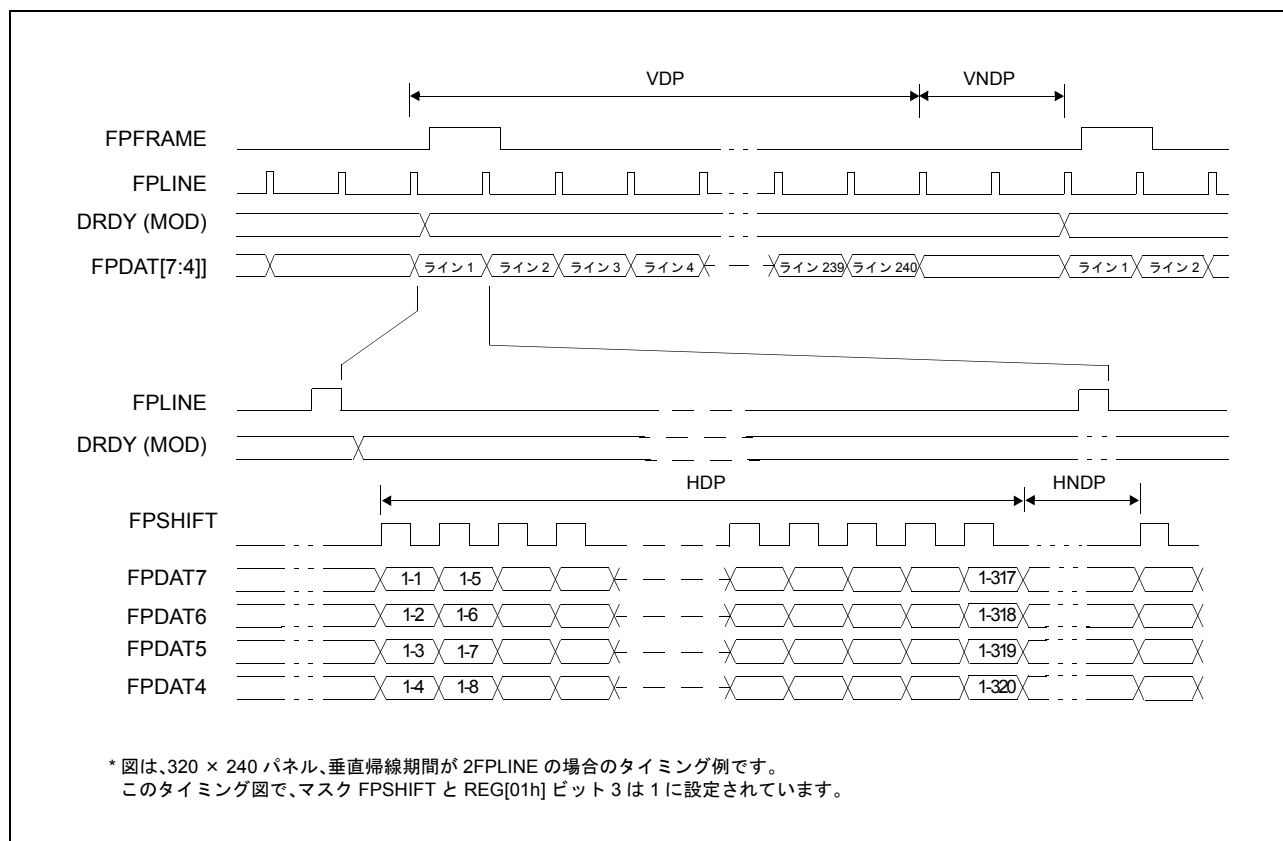


図7.11 4ビットシングルモノクロパネルタイミング

VDP =	垂直表示期間	= (REG[06h] ビット 1~0、REG[05h] ビット 7~0) + 1 ライン
VNDP =	垂直非表示期間	= REG[0Ah] ビット 5~0 ライン
HDP =	水平表示期間	= ((REG[04h] ビット 6~0) + 1) × 8Ts
HNDP =	水平非表示期間	= ((REG[08h] + 4) × 8Ts

7. AC特性

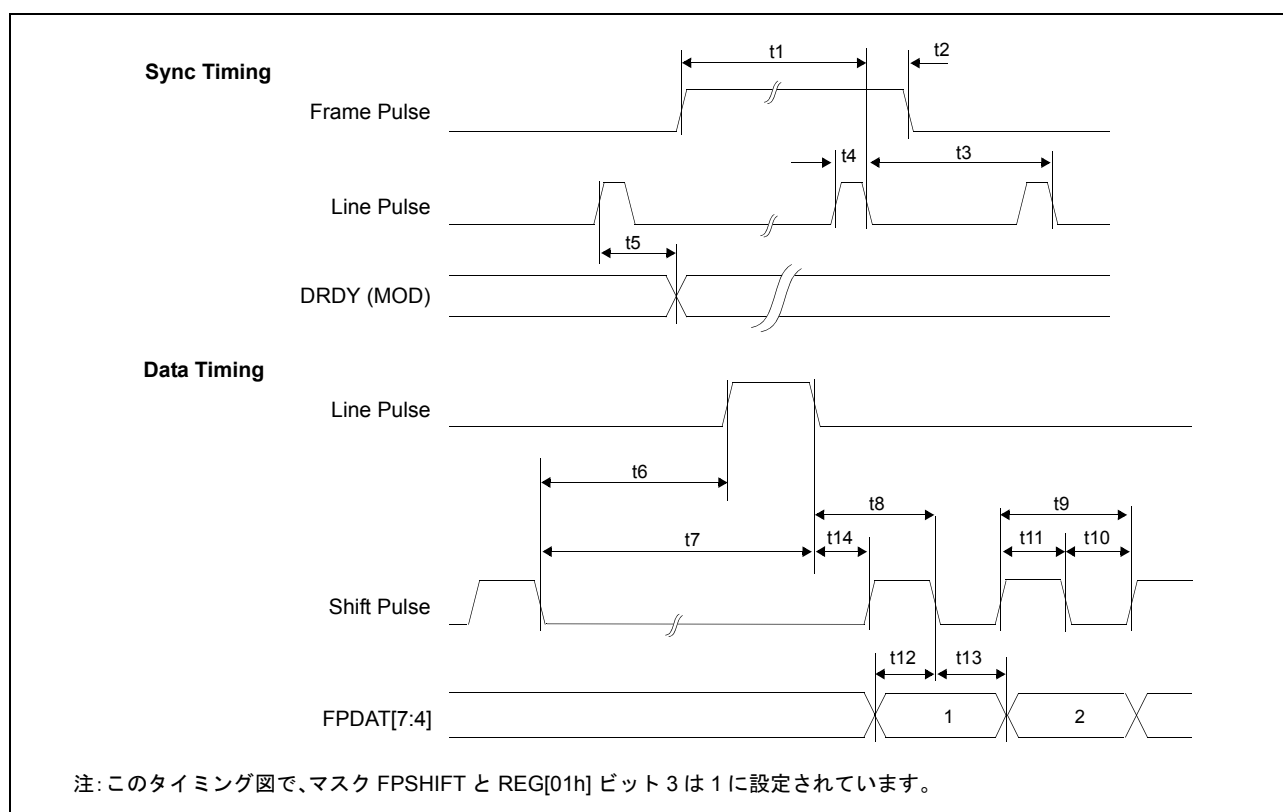


図7.12 4ビットシングルモノクロパネルACタイミング

表7.11 4ビットシングルモノクロパネルACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FramePulseセットアップ→LinePulse立ち下がりエッジ	(注2)			Ts (注1)
t2	LinePulse立ち下がりエッジ→FramePulseホールド時間	9			Ts
t3	LinePulse周期	(注3)			
t4	LinePulse Highパルス幅	9			Ts
t5	LinePulse立ち上がりエッジ→MOD遅延時間	1			Ts
t6	ShiftPulse立ち下がりエッジ→LinePulse立ち上がりエッジ	(注4)			
t7	ShiftPulse立ち下がりエッジ→LinePulse立ち下がりエッジ	(注5)			
t8	LinePulse立ち下がりエッジ→ShiftPulse立ち下がりエッジ	t14 + 2			Ts
t9	ShiftPulse周期	4			Ts
t10	ShiftPulse LOWパルス幅	2			Ts
t11	ShiftPulse HIGHパルス幅	2			Ts
t12	FPDAT[7:4]セットアップ→ShiftPulse立ち下がりエッジ	2			Ts
t13	ShiftPulse立ち下がりエッジ→FPDAT[7:4]ホールド時間	2			Ts
t14	LinePulse立ち下がりエッジ→ShiftPulse立ち上がりエッジ	23			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = t3_{min} - 9Ts$
3. $t3_{min} = (((REG[04h] \text{ビット} 6 \sim 0) + 1) \times 8 + ((REG[08h] \text{ビット} 4 \sim 0) + 4) \times 8) Ts$
4. $t6_{min} = ((REG[08h] \text{ビット} 4 \sim 0) \times 8 + 2) Ts$
5. $t7_{min} = ((REG[08h] \text{ビット} 4 \sim 0) \times 8 + 11) Ts$

7.3.4 8ビットシングルモノクロパネルタイミング

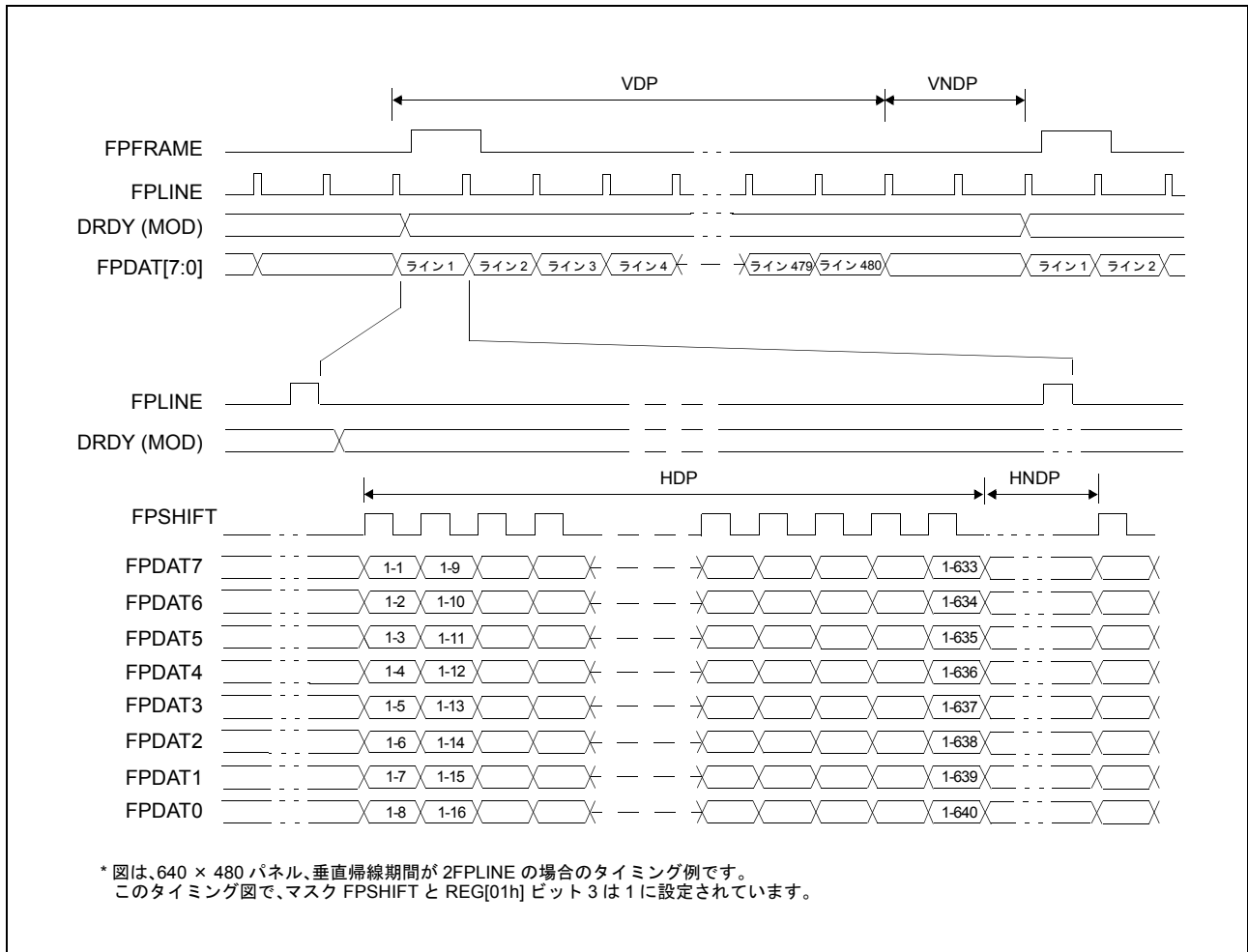


図7.13 8ビットシングルモノクロパネルタイミング

- VDP = 垂直表示期間 = (REG[06h]ビット1~0、REG[05h]ビット7~0)+1ライン
 VNDP = 垂直非表示期間 = REG[0Ah]ビット5~0ライン
 HDP = 水平表示期間 = ((REG[04h]ビット6~0)+1) × 8Ts
 HNDP = 水平非表示期間 = ((REG[08h]+4) × 8Ts

7. AC特性

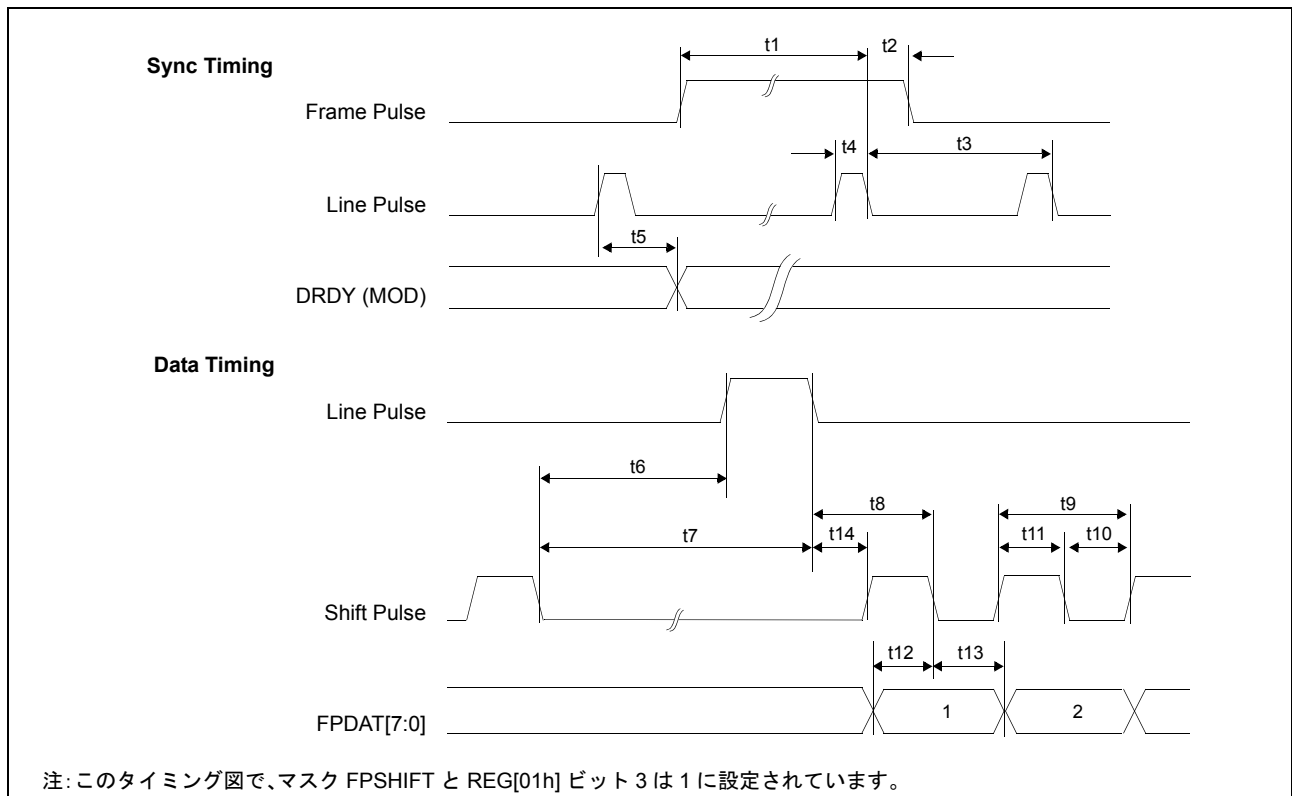


図7.14 8ビットシングルモノクロパネルACタイミング

表7.12 8ビットシングルモノクロパネルACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FramePulseセットアップ→LinePulse立ち下がりエッジ	(注2)			Ts (注1)
t2	LinePulse立ち下がりエッジ→FramePulseホールド時間	9			Ts
t3	LinePulse周期	(注3)			
t4	LinePulse Highパルス幅	9			Ts
t5	LinePulse立ち上がりエッジ→MOD遅延時間	1			Ts
t6	ShiftPulse立ち下がりエッジ→LinePulse立ち上がりエッジ	(注4)			
t7	ShiftPulse立ち下がりエッジ→LinePulse立ち下がりエッジ	(注5)			
t8	LinePulse立ち下がりエッジ→ShiftPulse立ち下がりエッジ	t14 + 4			Ts
t9	ShiftPulse周期	8			Ts
t10	ShiftPulse LOWパルス幅	4			Ts
t11	ShiftPulse HIGHパルス幅	4			Ts
t12	FPDAT[7:0]セットアップ→ShiftPulse立ち下がりエッジ	4			Ts
t13	ShiftPulse立ち下がりエッジ→FPDAT[7:0]ホールド時間	4			Ts
t14	LinePulse立ち下がりエッジ→ShiftPulse立ち上がりエッジ	23			Ts

注

1. Ts = ピクセルクロック周期
2. t1_{min} = t3_{min} - 9Ts
3. t3_{min} = (((REG[04h]ビット6~0)+1)×8+((REG[08h]ビット4~0)+4)×8)Ts
4. t6_{min} = ((REG[08h]ビット4~0)×8+4)Ts
5. t7_{min} = ((REG[08h]ビット4~0)×8+13)Ts

7.3.5 4ビットシングルカラーパネルタイミング

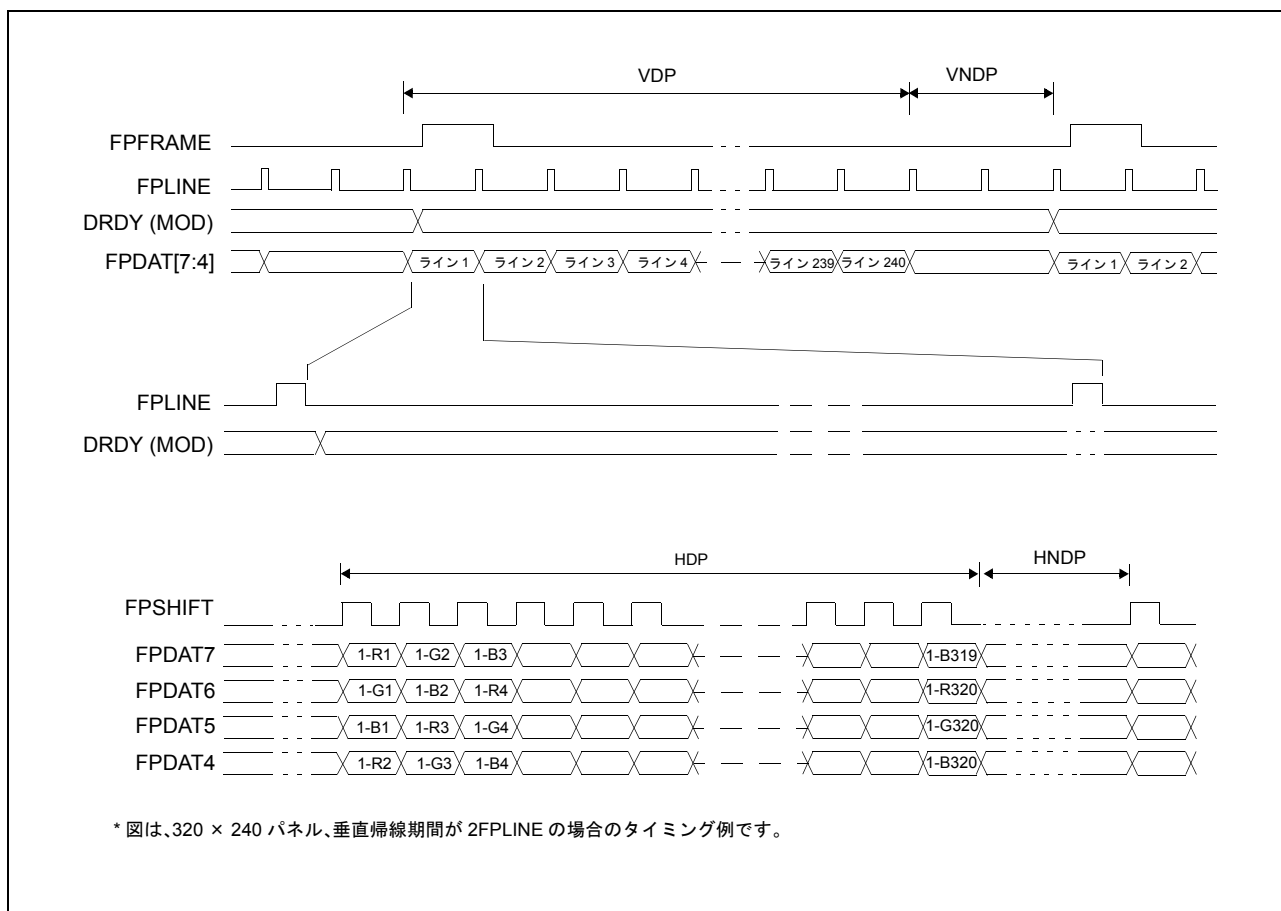


図7.15 4ビットシングルカラーパネルタイミング

- VDP = 垂直表示期間 = (REG[06h]ビット1~0、REG[05h]ビット7~0)+1ライン
 VNDP = 垂直非表示期間 = REG[0Ah]ビット5~0ライン
 HDP = 水平表示期間 = ((REG[04h]ビット6~0)+1) × 8Ts
 HNDP = 水平非表示期間 = ((REG[08h]+4) × 8Ts

7. AC特性

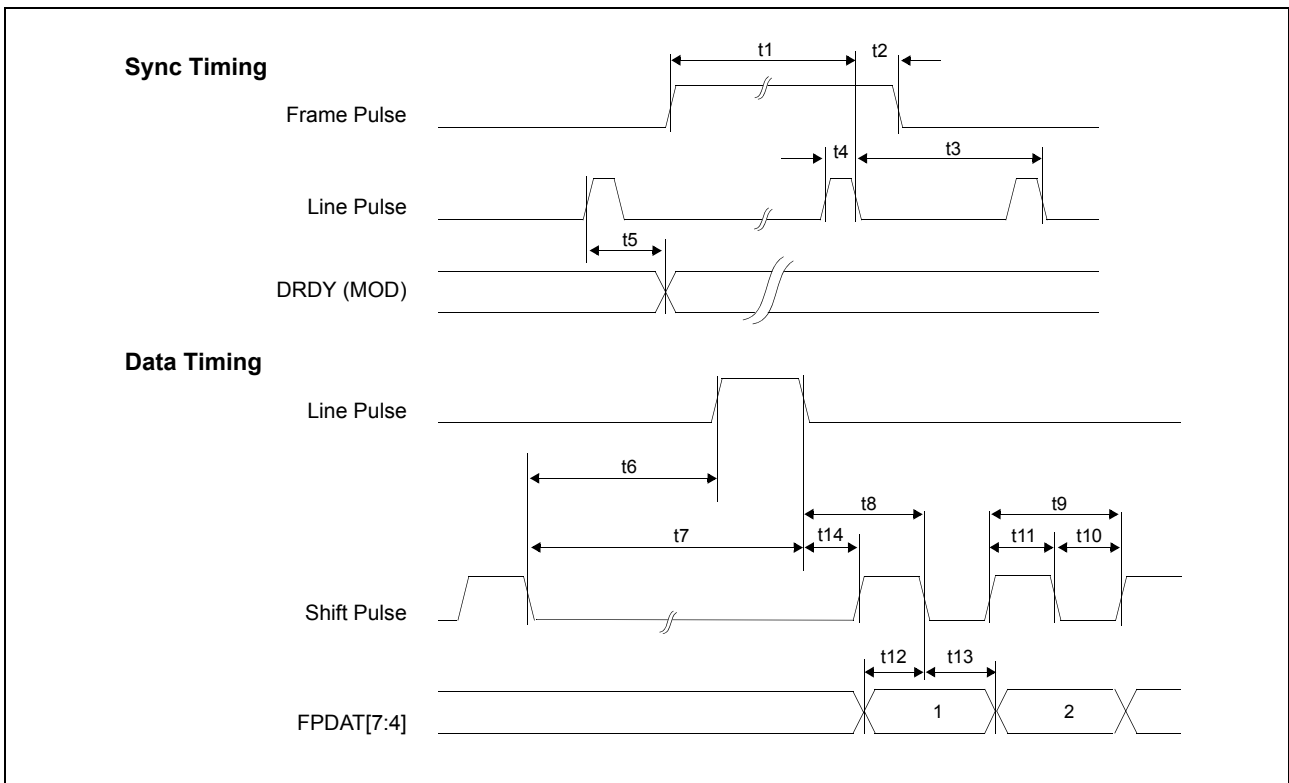


図7.16 4ビットシングルカラーパネルACタイミング

表7.13 4ビットシングルカラーパネルACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FramePulseセットアップ→LinePulse立ち下がりエッジ	(注2)			Ts (注1)
t2	LinePulse立ち下がりエッジ→FramePulseホールド時間	9			Ts
t3	LinePulse周期	(注3)			
t4	LinePulse Highパルス幅	9			Ts
t5	LinePulseパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t6	ShiftPulse立ち下がりエッジ→LinePulseパルス立ち上がりエッジ	(注4)			
t7	ShiftPulseパルス立ち下がりエッジ→LinePulse立ち下がりエッジ	(注5)			
t8	LinePulseパルス立ち下がりエッジ→ShiftPulse立ち下がりエッジ	t14 + 0.5			Ts
t9	ShiftPulse周期	1			Ts
t10	ShiftPulse LOWパルス幅	0.5			Ts
t11	ShiftPulse HIGHパルス幅	0.5			Ts
t12	FPDAT[7:4]セットアップ→ShiftPulse立ち下がりエッジ	0.5			Ts
t13	ShiftPulse立ち下がりエッジ→FPDAT[7:4]ホールド時間	0.5			Ts
t14	LinePulse立ち下がりエッジ→ShiftPulseパルス立ち上がりエッジ	24			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = t3_{min} - 9Ts$
3. $t3_{min} = (((REG[04h]ビット6~0)+1) \times 8 + ((REG[08h]ビット4~0)+4) \times 8)Ts$
4. $t6_{min} = ((REG[08h]ビット4~0) \times 8 + 1.5)Ts$
5. $t7_{min} = ((REG[08h]ビット4~0) \times 8 + 10)Ts$

7.3.6 8ビットシングルカラーパネルタイミング (Format1)

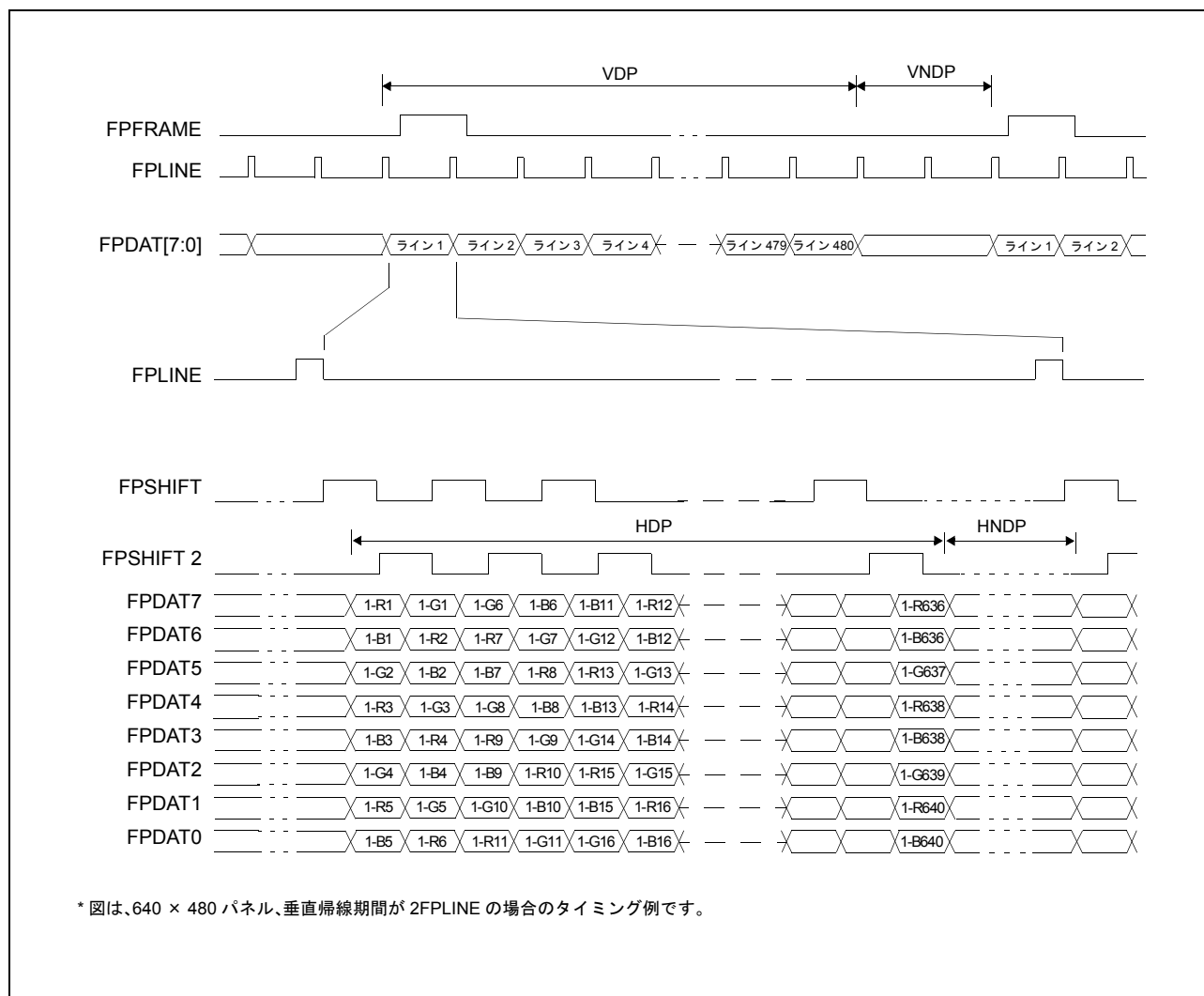


図7.17 8ビットシングルカラーパネルタイミング (Format1)

- VDP = 垂直表示期間 = $(\text{REG}[06\text{h}]\text{ビット}1\sim0, \text{REG}[05\text{h}]\text{ビット}7\sim0) + 1$ ライン
VNDP = 垂直非表示期間 = $\text{REG}[0A\text{h}]\text{ビット}5\sim0$ ライン
HDP = 水平表示期間 = $((\text{REG}[04\text{h}]\text{ビット}6\sim0) + 1) \times 8T_s$
HNDP = 水平非表示期間 = $((\text{REG}[08\text{h}] + 4) \times 8T_s)$

7. AC特性

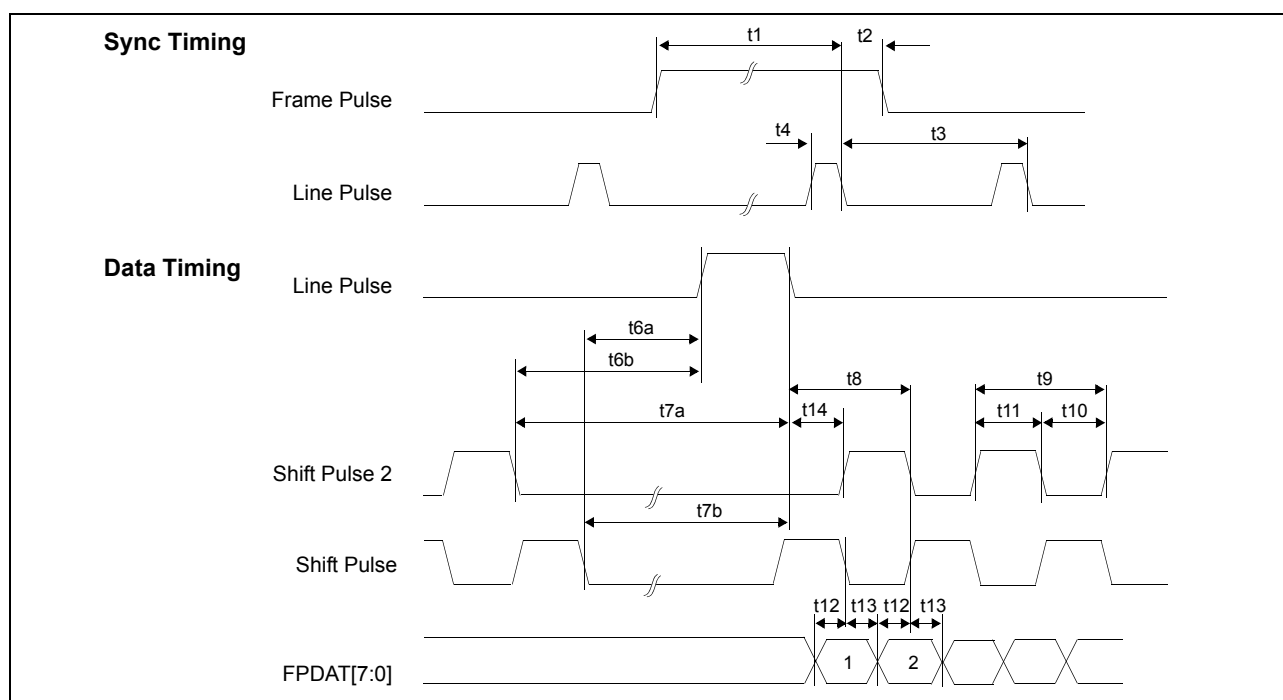


図7.18 8ビットシングルカラーパネルACタイミング (Format1)

表7.14 8ビットシングルカラーパネルACタイミング (Format1)

記号	パラメータ	Min	Typ	Max	単位
t1	FramePulseセットアップ→LinePulse立ち下がりエッジ	(注2)			Ts (注1)
t2	LinePulse立ち下がりエッジ→FramePulseホールド時間	9			Ts
t3	LinePulse周期	(注3)			
t4	LinePulse Highパルス幅	9			Ts
t6a	ShiftPulse立ち下がりエッジ→LinePulseパルス立ち上がりエッジ	(注4)			
t6b	ShiftPulse2立ち下がりエッジ→LinePulse立ち上がりエッジ	(注5)			
t7a	ShiftPulse2立ち下がりエッジ→LinePulse立ち下がりエッジ	(注6)			
t7b	ShiftPulse立ち下がりエッジ→LinePulse立ち下がりエッジ	(注7)			
t8	LinePulse立ち下がりエッジ→ShiftPulse立ち上がり、ShiftPulse2立ち下がりエッジ	t14 + 2			Ts
t9	ShiftPulse2、ShiftPulse周期	4			Ts
t10	ShiftPulse2、ShiftPulse LOWパルス幅	2			Ts
t11	ShiftPulse2、ShiftPulse HIGHパルス幅	2			Ts
t12	FPDAT[7:0]セットアップ→ShiftPulse2、ShiftPulse立ち下がりエッジ	1			Ts
t13	ShiftPulse2、ShiftPulse立ち下がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t14	LinePulse立ち下がりエッジ→ShiftPulse立ち上がりエッジ	25			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = t3_{min} - 9Ts$
3. $t3_{min} = (((REG[04h] \text{ビット} 6 \sim 0) + 1) \times 8 + ((REG[08h] \text{ビット} 4 \sim 0) + 4) \times 8) Ts$
4. $t6a_{min} = ((REG[08h] \text{ビット} 4 \sim 0) \times 8) Ts$
5. $t6b_{min} = ((REG[08h] \text{ビット} 4 \sim 0) \times 8 + 2) Ts$
6. $t7a_{min} = ((REG[08h] \text{ビット} 4 \sim 0) \times 8 + 11) Ts$
7. $t7b_{min} = ((REG[08h] \text{ビット} 4 \sim 0) \times 8 + 11 - t10) Ts$

7.3.7 8ビットシングルカラーパネルタイミング (Format2)

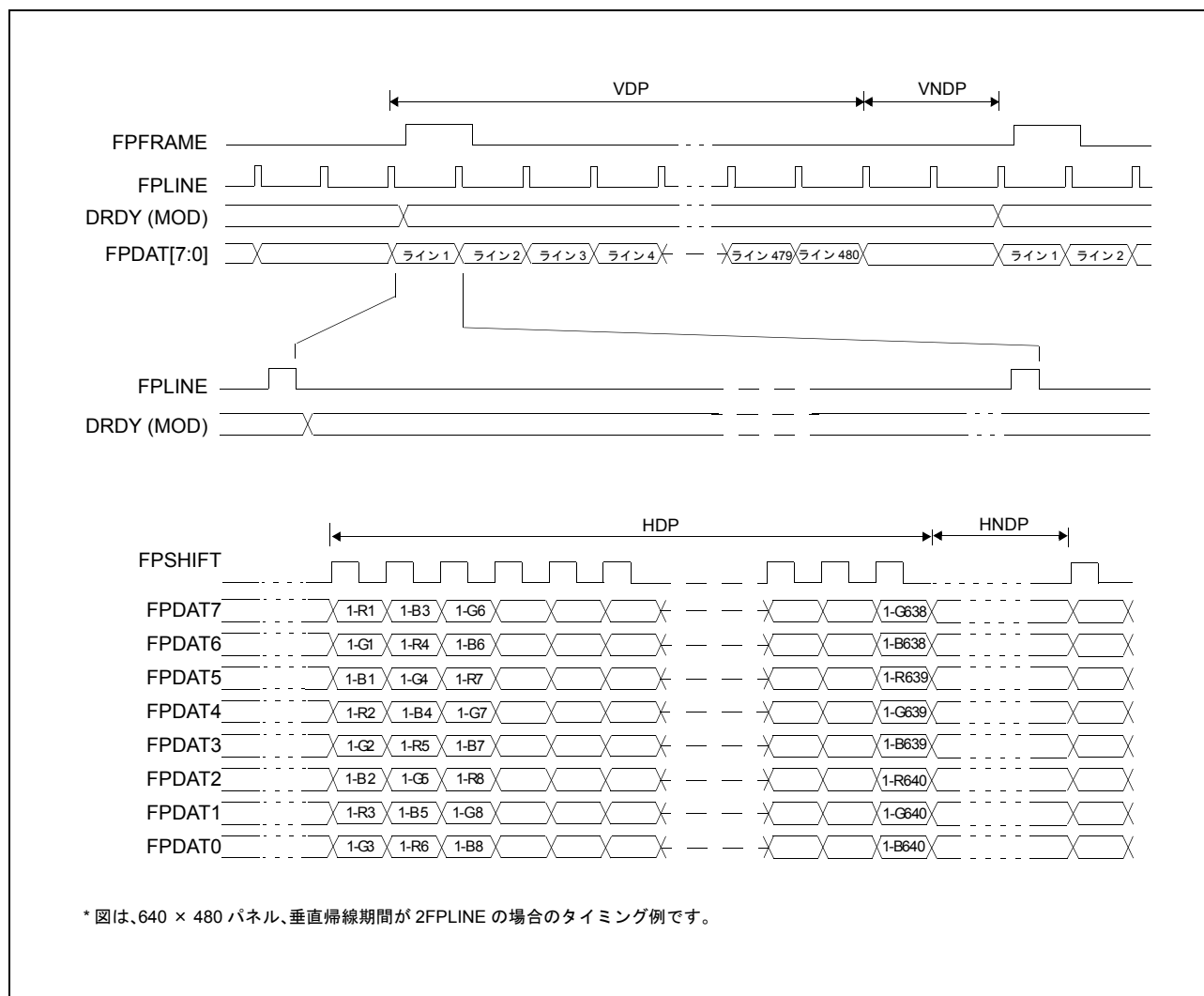


図7.19 8ビットシングルカラーパネルタイミング (Format2)

- VDP = 垂直表示期間 = (REG[06h]ビット1~0、REG[05h]ビット7~0)+1ライン
 VNDP = 垂直非表示期間 = REG[0Ah]ビット5~0ライン
 HDP = 水平表示期間 = ((REG[04h]ビット6~0)+1) × 8Ts
 HNDP = 水平非表示期間 = ((REG[08h]+4) × 8Ts

7. AC特性

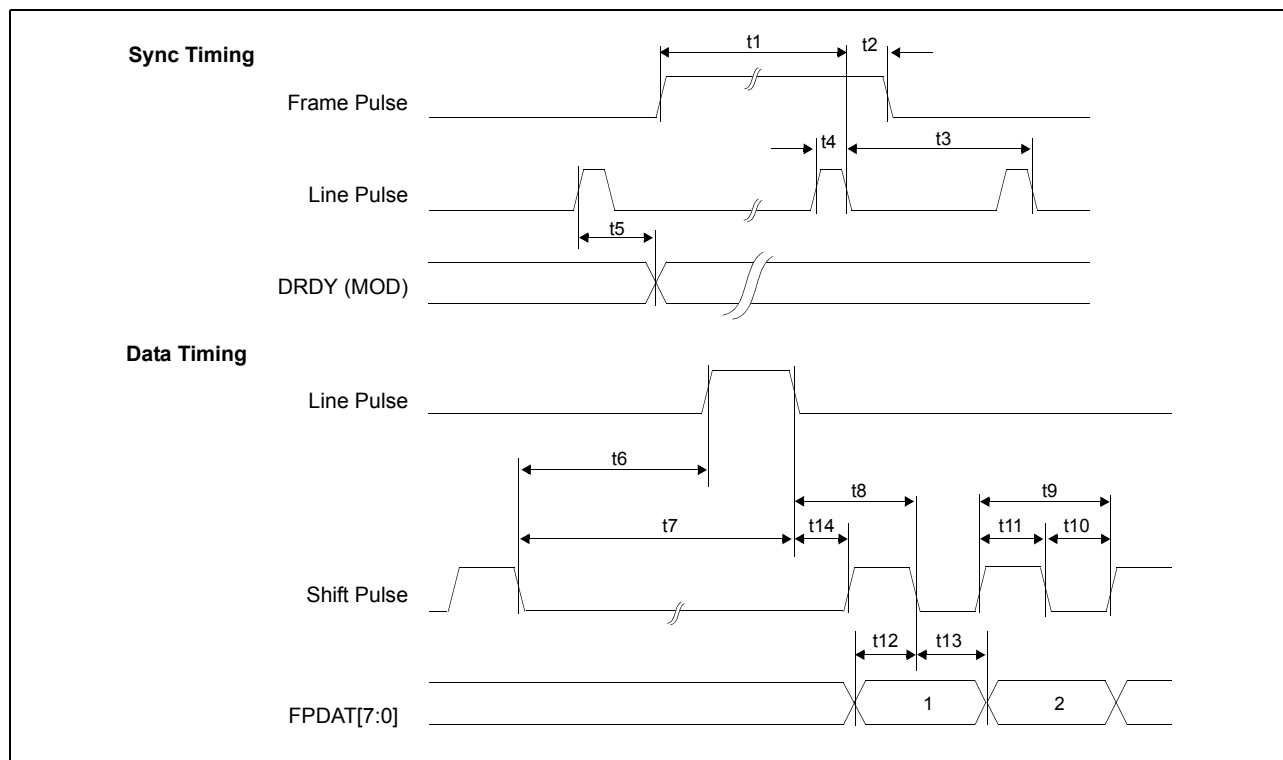


図7.20 8ビットシングルカラーパネルACタイミング (Format2)

表7.15 8ビットシングルカラーパネルACタイミング (Format2)

記号	パラメータ	Min	Typ	Max	単位
t1	FramePulseセットアップ→LinePulse立ち下がりエッジ	(注2)			Ts (注1)
t2	LinePulse立ち下がりエッジ→FramePulseホールド時間	9			Ts
t3	LinePulse周期	(注3)			
t4	LinePulse Highパルス幅	9			Ts
t5	LinePulse立ち上がりエッジ→MOD遅延時間	1			Ts
t6	ShiftPulse立ち下がりエッジ→LinePulse立ち上がりエッジ	(注4)			
t7	ShiftPulse立ち下がりエッジ→LinePulse立ち下がりエッジ	(注5)			
t8	LinePulse立ち下がりエッジ→ShiftPulse立ち下がりエッジ	t14 + 2			Ts
t9	ShiftPulse周期	2			Ts
t10	ShiftPulse LOWパルス幅	1			Ts
t11	ShiftPulse HIGHパルス幅	1			Ts
t12	FPDAT[7:0]セットアップ→ShiftPulse立ち下がりエッジ	1			Ts
t13	ShiftPulse立ち下がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t14	LinePulse立ち下がりエッジ→ShiftPulse立ち上がりエッジ	23			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = t3_{min} - 9Ts$
3. $t3_{min} = (((REG[04h] \text{ビット} 6 \sim 0) + 1) \times 8 + ((REG[08h] \text{ビット} 4 \sim 0) + 4) \times 8) Ts$
4. $t6_{min} = ((REG[08h] \text{ビット} 4 \sim 0) \times 8 + 1) Ts$
5. $t7_{min} = ((REG[08h] \text{ビット} 4 \sim 0) \times 8 + 10) Ts$

7.3.8 8ビットデュアルモノクロパネルタイミング

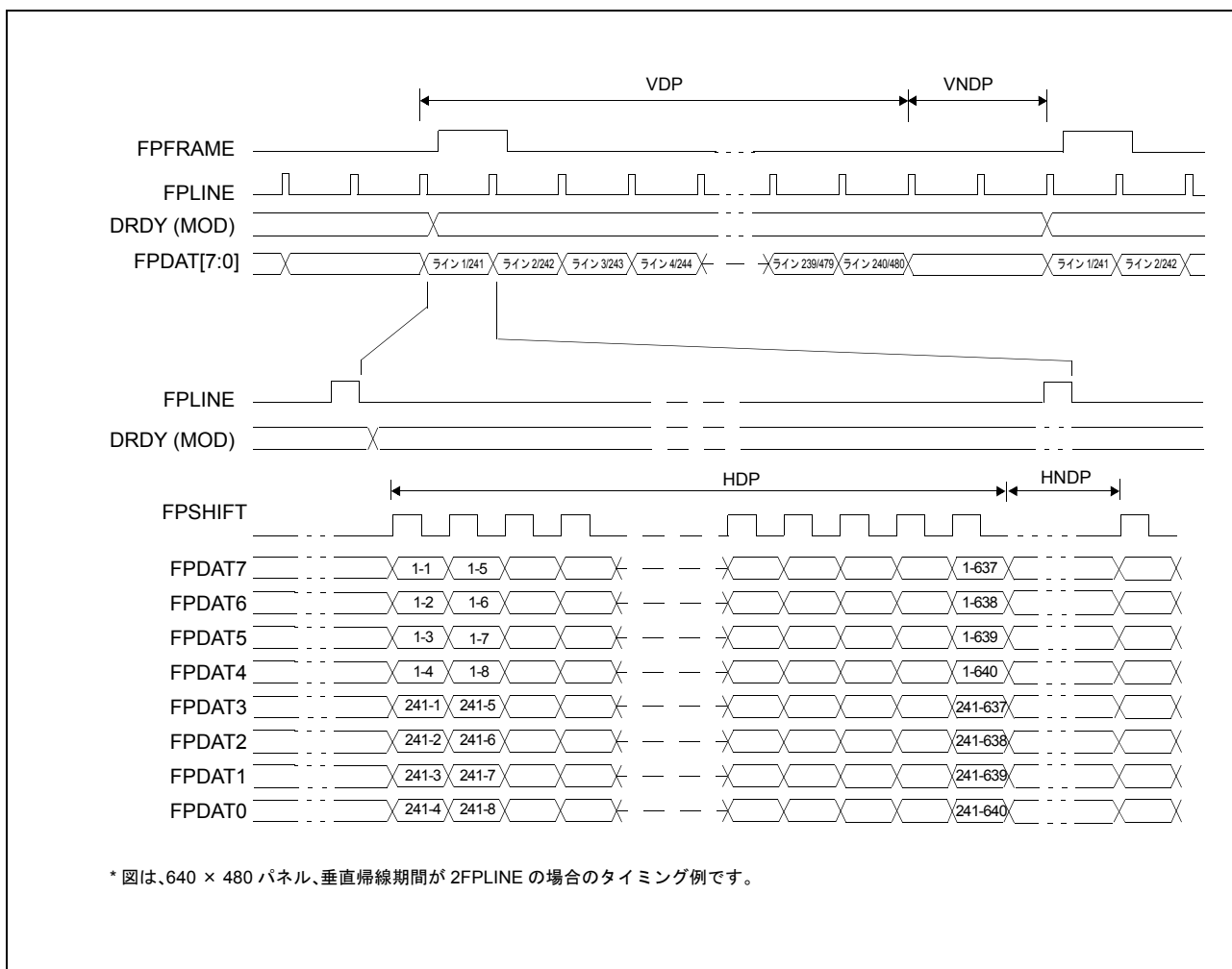


図7.21 8ビットデュアルモノクロパネルタイミング

- VDP = 垂直表示期間 = ((EG[06h]ビット1~0、REG[05h]ビット7~0)+1)ライン
VNDP = 垂直非表示期間 = REG[0Ah]ビット5~0ライン
HDP = 水平表示期間 = ((REG[04h]ビット6~0)+1) × 8Ts
HNDP = 水平非表示期間 = ((REG[08h]+4) × 8Ts

7. AC特性

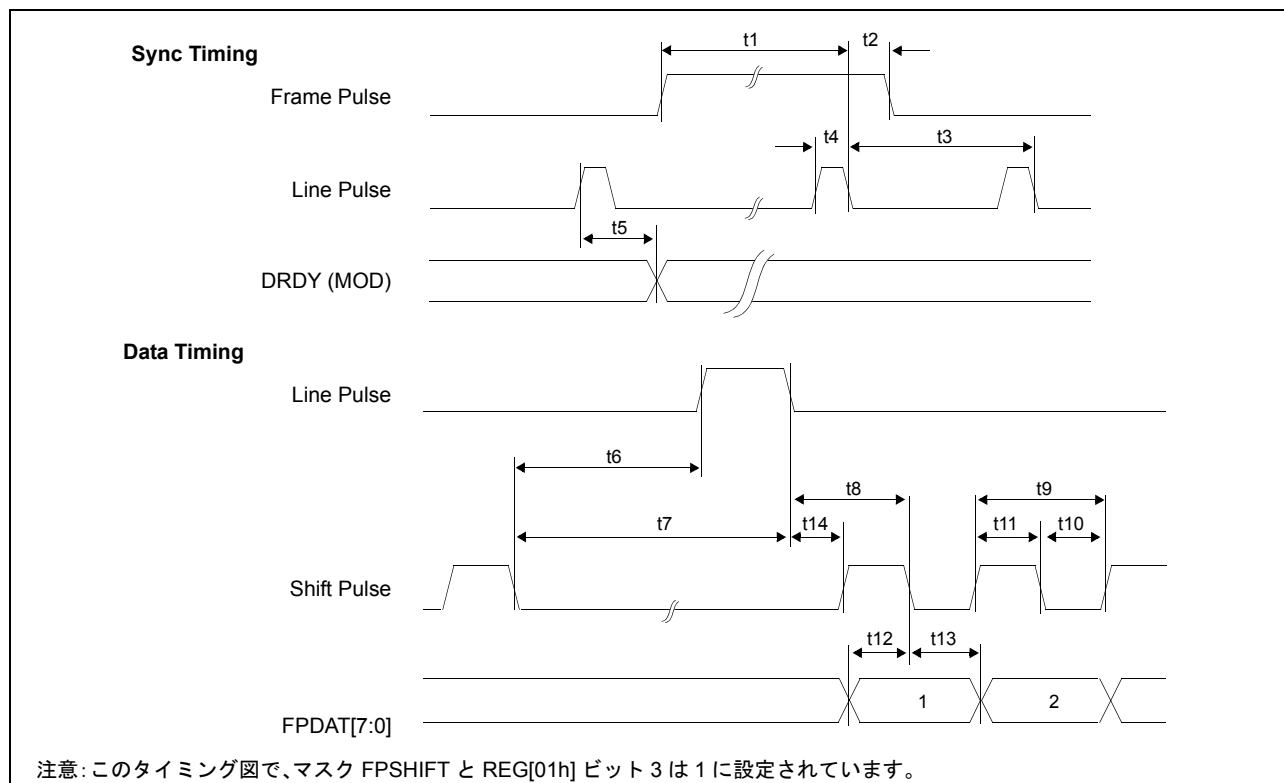


図7.22 8ビットデュアルモノクロパネルACタイミング

表7.16 8ビットデュアルモノクロパネルACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FramePulseセットアップ→LinePulse立ち下がりエッジ	(注2)			Ts (注1)
t2	LinePulse立ち下がりエッジ→FramePulseホールド	9			Ts
t3	LinePulse周期	(注3)			
t4	LinePulse Highパルス幅	9			Ts
t5	LinePulse立ち下がりエッジ→MOD遅延時間	1			Ts
t6	ShiftPulse立ち下がりエッジ→LinePulse立ち上がりエッジ	(注5)			
t7	ShiftPulse立ち下がりエッジ→LinePulse立ち下がりエッジ	(注6)			
t8	LinePulse立ち下がりエッジ→ShiftPulse立ち下がりエッジ	t14 + 2			Ts
t9	ShiftPulse周期	8			Ts
t10	ShiftPulse LOWパルス幅	4			Ts
t11	ShiftPulse HIGHパルス幅	4			Ts
t12	FPDAT[7:0]セットアップ→ShiftPulse立ち下がりエッジ	4			Ts
t13	ShiftPulse立ち下がりエッジ→FPDAT[7:0]ホールド時間	4			Ts
t14	LinePulse立ち下がりエッジ→ShiftPulseパルス立ち上がりエッジ	39			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = t3_{min} - 9Ts$
3. $t3_{min} = (((REG[04h] \text{ ビット } 6 \sim 0) + 1) \times 8 + ((REG[08h] \text{ ビット } 4 \sim 0) + 4) \times 8) \times 2) Ts$
5. $t6_{min} = (((REG[08h] \text{ ビット } 4 \sim 0) \times 2) \times 8 + 20) Ts$
6. $t7_{min} = (((REG[08h] \text{ ビット } 4 \sim 0) \times 2) \times 8 + 29) Ts$

7.3.9 8ビットデュアルカラーパネルタイミング

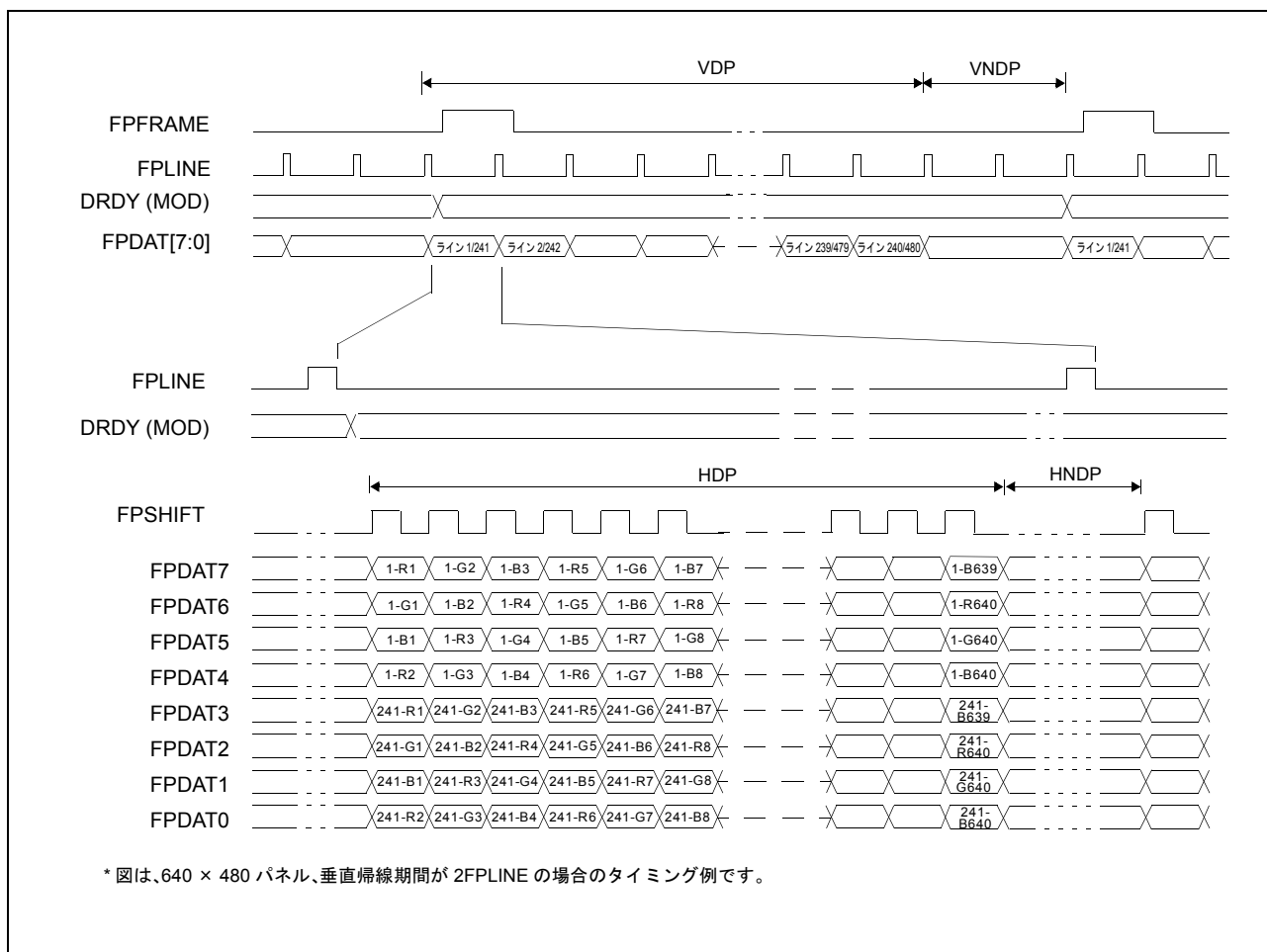


図7.23 8ビットデュアルカラーパネルタイミング

- VDP = 垂直表示期間 = (REG[06h]ビット1~0、REG[05h]ビット7~0)+1ライン
 VNDP = 垂直非表示期間 = REG[0Ah]ビット5~0ライン
 HDP = 水平表示期間 = ((REG[04h]ビット6~0)+1) × 8Ts
 HNDP = 水平非表示期間 = ((REG[08h]+4) × 8Ts

7. AC特性

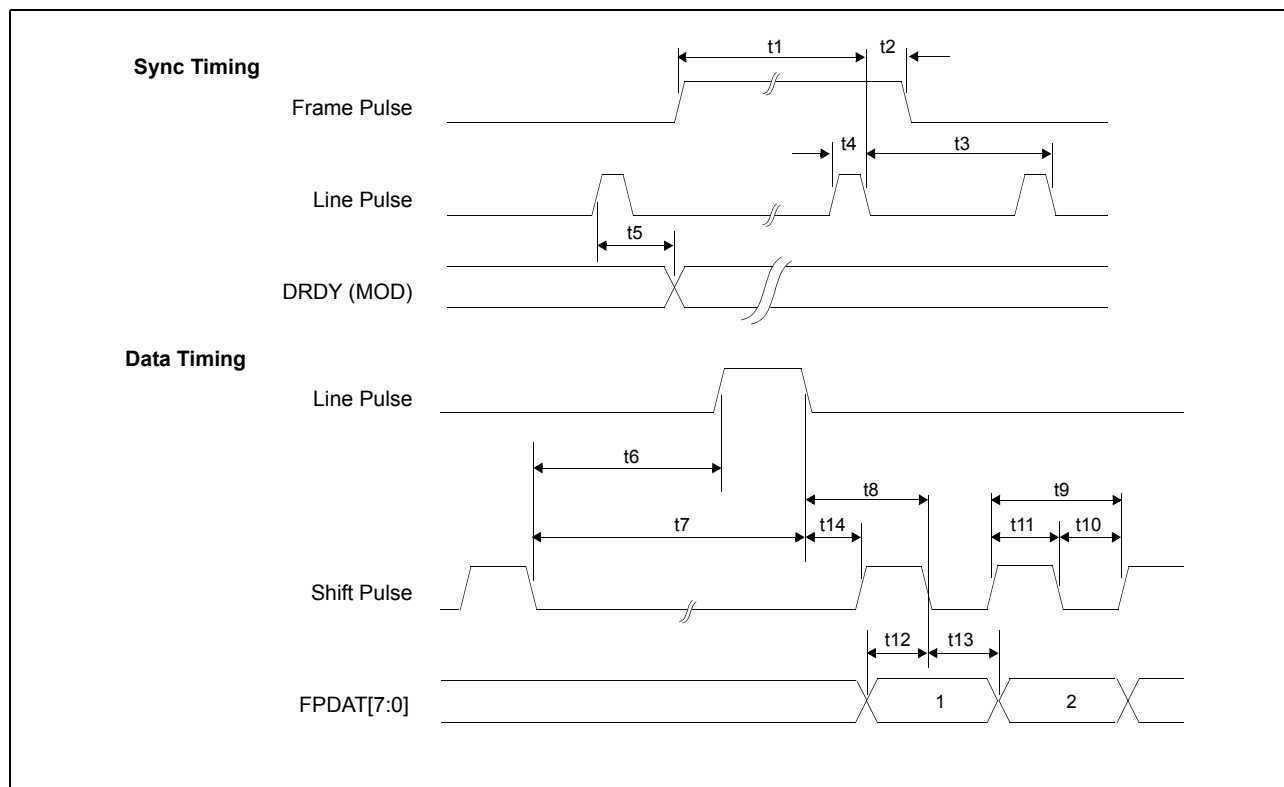


図7.24 8ビットデュアルカラーパネルACタイミング

表7.17 8ビットデュアルカラーパネルACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	FramePulseセットアップ→LinePulse立ち下がりエッジ	(注2)			Ts (注1)
t2	LinePulse立ち下がりエッジ→FramePulseホールド時間	9			Ts
t3	LinePulse周期	(注3)			
t4	LinePulse Highパルス幅	9			Ts
t5	LinePulse立ち下がりエッジ→MOD遅延時間	1			Ts
t6	ShiftPulse立ち下がりエッジ→LinePulseパルス立ち上がりエッジ	(注5)			
t7	ShiftPulseパルス立ち下がりエッジ→LinePulse立ち下がりエッジ	(注6)			
t8	LinePulseパルス立ち下がりエッジ→ShiftPulse立ち下がりエッジ	t14 + 1			Ts
t9	ShiftPulse周期	2			Ts
t10	ShiftPulse LOWパルス幅	1			Ts
t11	ShiftPulse HIGHパルス幅	1			Ts
t12	FPDAT[7:0]セットアップ→ShiftPulse立ち下がりエッジ	1			Ts
t13	ShiftPulse立ち下がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t14	LinePulse立ち下がりエッジ→ShiftPulseパルス立ち上がりエッジ	39			Ts

注

1. Ts = ピクセルクロック周期
2. $t1_{min} = t3_{min} - 9Ts$
3. $t3_{min} = (((REG[04h] \text{ビット} 6 \sim 0) + 1) \times 8 + ((REG[08h] \text{ビット} 4 \sim 0) + 4) \times 8) \times 2) Ts$
5. $t6_{min} = (((REG[08h] \text{ビット} 4 \sim 0) \times 2) \times 8 + 17) Ts$
6. $t7_{min} = (((REG[08h] \text{ビット} 4 \sim 0) \times 2) \times 8 + 26) Ts$

7.3.10 9/12ビットTFT/D-TFDパネルタイミング

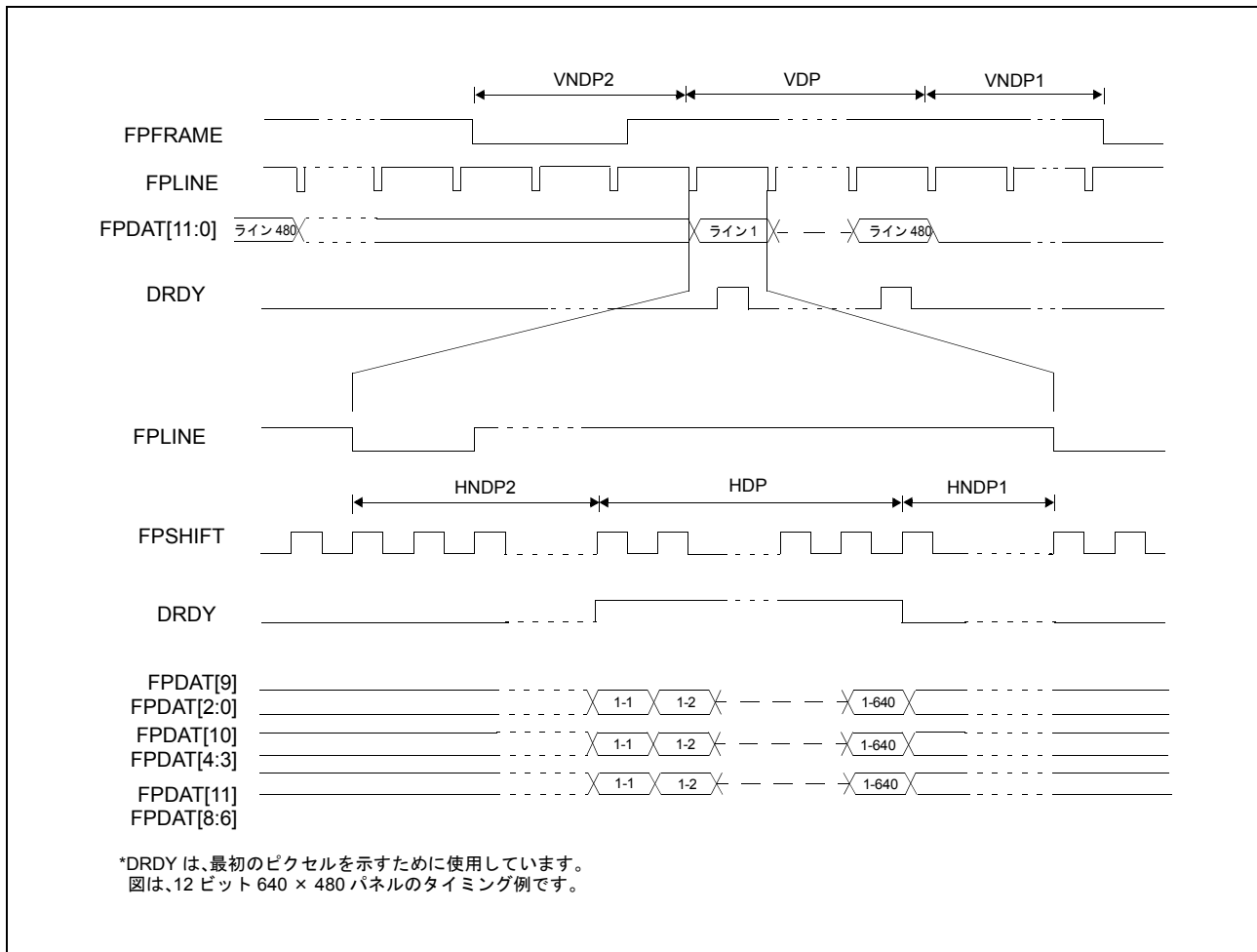


図7.25 12ビットTFT/D-TFDパネルタイミング

VDP	= 垂直表示期間	= (REG[06h]ビット1~0、REG[05h]ビット7~0)+1ライン
VNDP	= 垂直非表示期間	= VNDP1+VNDP2=REG[0Ah]ビット5~0ライン
VNDP1	= 垂直非表示期間1	= REG[09h]ビット5~0ライン
VNDP2	= 垂直非表示期間2	= (REG[0Ah]ビット5~0)-(REG[09h]ビット5~0)ライン
HDP	= 水平表示期間	= ((REG[04h]ビット6~0)+1) × 8Ts
HNDP	= 水平非表示期間	= HNDP1+HNDP2=(((REG[08h])+4) × 8Ts
HNDP1	= 水平非表示期間1	= ((REG[07h]ビット4~0) × 8)+16Ts
HNDP2	= 水平非表示期間2	= (((REG[08h]ビット4~0)-(REG[07h]ビット4~0)) × 8)+16Ts

7. AC特性

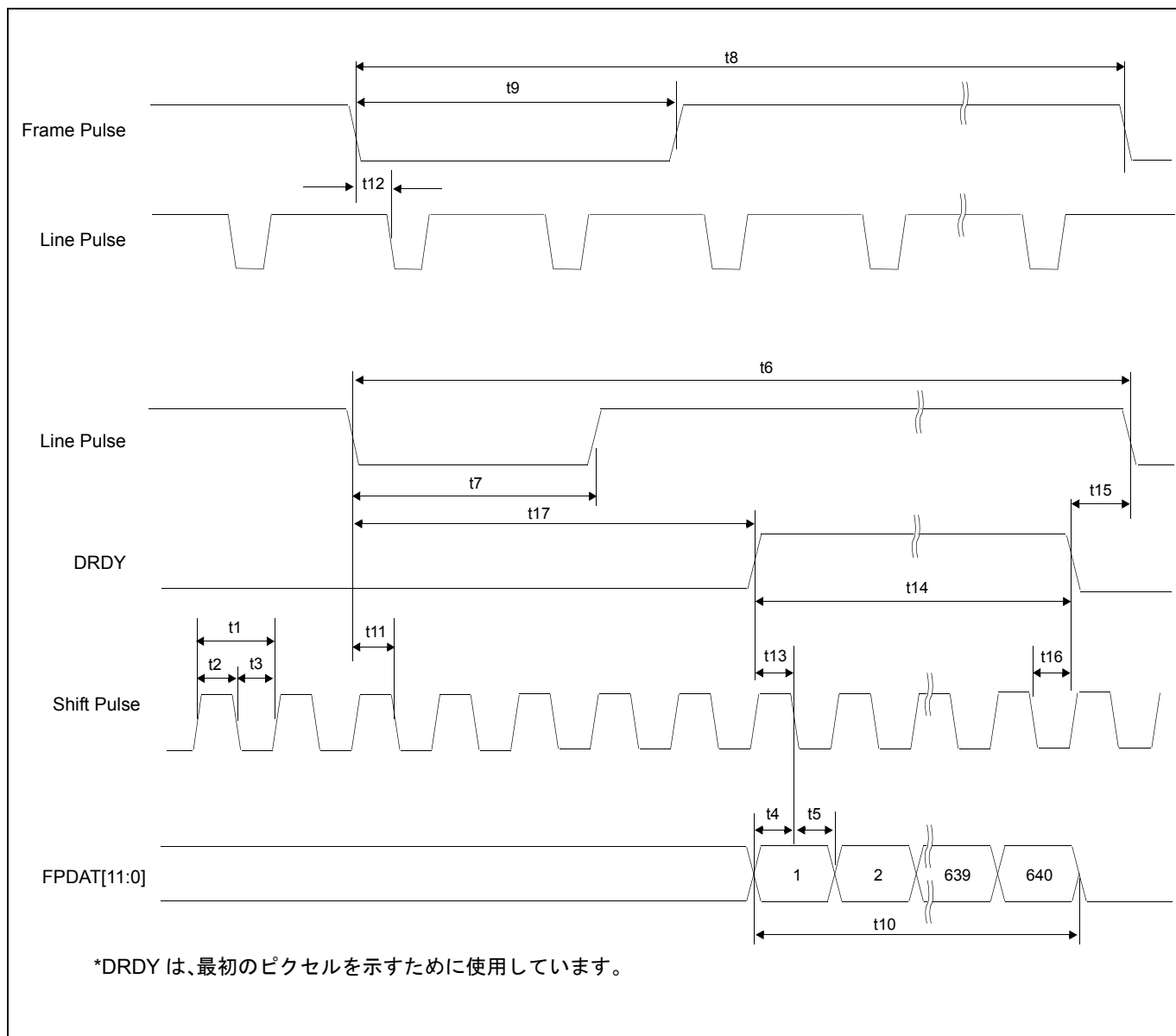


図7.26 TFT/D-TFDパネルACタイミング

表7.18 TFT/D-TFD ACタイミング

記号	パラメータ	Min	Typ	Max	単位
t1	ShiftPulse周期	1			Ts (注1)
t2	ShiftPulse HIGHパルス幅	0.5			Ts
t3	ShiftPulse LOWパルス幅	0.5			Ts
t4	データセットアップ→ShiftPulse立ち下がりエッジ	0.5			Ts
t5	ShiftPulse立ち下がりエッジ→データホールド時間	0.5			Ts
t6	LinePulse周期	(注2)			
t7	LinePulse LOWパルス幅	9			Ts
t8	FramePulse周期	(注3)			
t9	FramePulse LOWパルス幅	2t6			
t10	水平表示周期	(注4)			
t11	LinePulse セットアップ→ShiftPulse 立ち下がりエッジ	0.5			Ts
t12	FramePulse立ち下がりエッジ→LinePulse立ち下がりエッジ位相差	t6 - 18Ts			
t13	DRDY立ち上がりエッジ→ShiftPulse立ち下がりエッジセットアップ	0.5			Ts
t14	DRDYパルス幅	(注5)			
t15	DRDY立ち下がりエッジ→LinePulse立ち下がりエッジ	(注6)			
t16	ShiftPulse立ち下がりエッジ→DRDYホールド時間	0.5			Ts
t17	LinePulse立ち下がりエッジ→DRDY動作可能	(注7)		250	

注

1. Ts = ピクセルクロック周期
2. t6min = (((REG[04h]ビット6~0)+1) × 8 + ((REG[08h]ビット4~0)+4) × 8) Ts
3. t8 min = (((REG[06h]ビット1~0、REG[05h]ビット7-0)+1) + (REG[0Ah]ビット6~0))ライン
4. t10min = (((REG[04h]ビット6~0)+1) × 8) Ts
5. t14min = (((REG[04h]ビット6~0)+1) × 8) Ts
6. t15min = ((REG[07h]ビット4~0) × 8 + 16) Ts
7. t17min = ((REG[08h]ビット4~0) - (REG[07]) × 8 + 16) Ts

8. レジスタ

8. レジスタ

8.1 レジスタマッピング

S1D13705のレジスタは、S1D13705のアドレス範囲128KB中の上位32バイトに位置付けられています。レジスタへのアクセスは、CS#=0でAB[16:0]がレジスタ1FFFhから1FFE0hの範囲にある時、可能になります。

8.2 レジスタ説明

特別のレジスタを除いて、すべてのレジスタは電源投入後のリセット解除時には0にセットされます。
レジスタの各ビット項目にn/aと印されている時は、そのビットを0にプログラムで設定してください。

REG[00h] Revision Code Register							
Address=1FFE0h							Read Only
プロダクト コード ビット5	プロダクト コード ビット4	プロダクト コード ビット3	プロダクト コード ビット2	プロダクト コード ビット1	プロダクト コード ビット0	リビジョン コード ビット1	リビジョン コード ビット0

bits 7-2 プロダクトコード[5:0]
読み出し専用のプロダクトコードを示すレジスタビットです。本プロダクトコードは、001001です。

bits 1-0 リビジョンコード[1:0]
読み出し専用のリビジョンコードを示すレジスタビットです。本リビジョンコードは、00です。

REG[01h] Mode Register 0							
Address=1FFE1h							Read/Write
TFT/STN	デュアル/ シングル	カラー/ モノクロ	FPLINE 極性	FPFRAME 極性	マスク FPSHIFT	データ幅 ビット1	データ幅 ビット0

bit 7 TFT/STN
表示するパネルタイプ-STN（パッシブ）またはTFT/D-TFDを選択するレジスタビットです。
0：STNパネル
1：TFTまたはD-TFDパネル
TFT/D-TFDパネルモードが選択されるとデュアル/シングル（REG[01h]ビット6）とカラー/モノクロ（REG[01h]ビット5）は選択できません。パネル選択の詳細に関して、表8.1「パネルデータフォーマット」を参照してください。

bit 6 デュアル/シングル
このレジスタビットで、STNパネルの駆動タイプを選択します。
0：シングルLCDパネル駆動
1：デュアルLCDパネル駆動
パネル選択の詳細に関して、表8.1「パネルデータフォーマット」を参照してください。

bit 5	カラー／モノクロ このレジスタビットで、STNパネルのモノクロ／カラーを選択します。 0：モノクロLCDパネル 1：カラーLCDパネル パネル選択の詳細に関して、表8.1「パネルデータフォーマット」を参照してください。
bit 4	FPLINE極性 このレジスタビットで、TFT/D-TFDモードでの（パッシブパネルモードでは影響しません）FPLINE信号の極性を設定します。 0：FPLINEアクティブLow 1：FPLINEアクティブHigh
bit 3	FPFRAME極性 このレジスタビットでTFT/D-TFDモードでのFPFRAME信号の極性を設定します。 0：FPFRAMEアクティブLow 1：FPFRAMEアクティブHigh
bit 2	マスクFPSHIFT FPSHIFTは、帰線期間中に次ぎの2つの場合に適合するかどうかでマスクされます。 1. カラーパッシブパネルが選択されている（REG[01h]ビット5=1） 2. このビットが1
bits 1-0	データ幅ビット[1:0] これらのビットで、表示するパネルのデータフォーマットを選択します。パネル選択の詳細に関して、表8.1「パネルデータフォーマット」を参照してください。

8. レジスタ

表8.1 パネルデータフォーマット

TFT/STN REG[01h] ビット7	カラー/ モノクロ REG[01h] ビット5	デュアル/ シングル REG[01h] ビット6	データ幅ビット 1REG[01h] ビット1	データ幅ビット 0REG[01h] ビット0	機能	
0	0	0	0	0	モノクロシングル4ビットパッシブLCD	
				1	モノクロシングル8ビットパッシブLCD	
		1	0	0	Reserved	
				1	Reserved	
		1	0	0	Reserved	
				1	モノクロデュアル8ビットパッシブLCD	
	1	0	0	0	0	カラーシングル4ビットパッシブLCD
					1	カラーシングル8ビットパッシブLCDフォーマット1
				1	0	Reserved
		1	0	1	1	カラーシングル8ビットパッシブLCDフォーマット2
					0	Reserved
			1	0	0	Reserved
					1	カラーデュアル8ビットパッシブLCD
					1	Reserved
1	X (don't care)			0	9ビットTFT/D-TFDパネル	
	X (don't care)			1	12ビットTFT/D-TFDパネル	

REG[02h] Mode Register 1							Read/Write
Address=1FFE2h							
ビット/ ピクセル ビット1	ビット/ ピクセル ビット0	ハイパフォー マンス	入力クロック 分周 (CLKI/2)	表示ブランク	フレーム くりかえし	ハードウェア ビデオ インバート イネーブル	ソフトウェア ビデオ インバート

bits 7-6

ビット/ピクセルビット[1:0]

これらのビットでカラーまたはグレースケール深度（表示モード）を選択します。

表8.2 モノクロ/カラー表示モード

カラー/モノクロ REG[01h]ビット6	ビット/ピクセルビット1 REG[02h]	ビット7ビット/ ピクセルビット0 REG[02h]ビット6	表示モード	
0	0	0	2グレースケール	1ビット/ピクセル
		1	4グレースケール	2ビット/ピクセル
	1	0	16グレースケール	4ビット/ピクセル
		1	Reserved	
1	0	0	2カラー	1ビット/ピクセル
		1	4カラー	2ビット/ピクセル
	1	0	16カラー	4ビット/ピクセル
		1	256カラー	8ビット/ピクセル

bit 5

ハイパフォーマンス（ランドスケープモードのみ）

このビットが0に設定されている時、内部メモリクロック（MCLK）がピクセルクロック（PCLK）を分周します。その分周比は、ビット/ピクセルモードによって異なります。下の表を参照してください。

表8.3 ハイパフォーマンスモード

ハイパフォーマンス	BPPビット1	BPPビット0	表示モード	
0	0	0	MCIk=PCIk/8	1ビット/ピクセル
		1	MCIk=PCIk/4	2ビット/ピクセル
	1	0	MCIk=PCIk/2	4ビット/ピクセル
		1	MCIk=PCIk	8ビット/ピクセル
1	X	X	MCIk=PCIk	

このビットが1に設定されていると、すべてのビット/ピクセルモードで周波数がMCLK=PCLKとなります。これは、1/2/4ビット/ピクセルモードで高速に表示データを書き換えることができますが、消費電力も大きくなります。全画面データ書き換え直前にこのビットを1に設定し、データ更新後に0に設定すれば消費電力の節約になります。このビット設定は、SwivelViewモードには無関係です。SwivelViewモードのクロック選択については、63ページの「REG[1Bh] SwivelView Mode Register」を参照してください。

8. レジスタ

- bit 4 入力クロック分周
このビットに0を設定すると動作クロック (CLK) は入力クロック (CLKI) と同じになります。1を設定するとCLKは1/2に分周されます。CLK=CLKI/2
ランドスケープモードでは、PCLK=CLKとMCLKの関係は表8.3「ハイパフォーマンスモード」で示したように選択されます。
SwivelViewモードでは、64ページの表8.8「SwivelViewモードでのPCLK/MCLK」に示したようにCLKによってMCLK=PCLKが得られます。
- bit 3 表示ブランク
このレジスタビットで、表示のブランクを設定します。このビットを1に設定すると、表示はブランクになります。(パネルのFPDATラインは、Low駆動されず。) また、0に設定すると、表示が可能になります。
- bit 2 フレームくりかえし (ELsupport)
このレジスタビットで、ELパネルでのFRM階調パターン方式を設定します。このビットに1を設定すると、内部フレームカウンタによって、階調パターンが0から3FFFFhまで実行します。フレームカウンタが一巡してまた戻ってくると、また階調パターンが繰り返されます (フレームレートが72Hzである場合、1時間毎)。このビットに0を設定すると、階調パターンは繰り返しません。
- bit 1 ハードウェアビデオインバートイネーブル
パッシブパネルモード (REG[01h]ビット7=0) で、FPDAT11は、GPIO4またはハードウェアビデオインバートのどちらかを可能にします。このビットが1の時、ハードウェアビデオインバートはFPDAT11が入力端子となります。このビットが0の時、FPDAT11は、GPIO4の入出力を行います。表8.4「表示データインバート」を参照してください。
- 注**
ビデオデータは、ルックアップテーブル後にインバートします。
- bit 0 ソフトウェアビデオインバート
このビットが1に設定されるとインバートビデオモードが選択されます。また、このビットが0に設定されると、スタンダードビデオモードが選択されます。表8.4「表示データインバート」を参照してください。
- 注**
ビデオデータは、ルックアップテーブル後にインバートします。

表8.4 表示データインバート

ハードウェアビデオ インバートイネーブル	ソフトウェアビデオ インバート (パッシブ/アクティブ パネル)	FPDAT11 (パッシブパネルのみ)	表示データ
0	0	X	ノーマル
0	1	X	インバース
1	X	0	ノーマル
1	X	1	インバース

REG[03h] Mode Register 2							Read/Write	
Address=1FFE3h								
n/a	n/a	n/a	n/a	LCDPWR Override	ハードウェア パワーセーブ イネーブル	ソフトウェア パワーセーブ ビット1	ソフトウェア パワーセーブ ビット0	

- bit 3 LCDPWR Override
このビットを使用してパネルのオン/オフシーケンスのロジックを無効にします。このビットが0の場合、LCDPWRとパネルのインタフェース信号はシーケンスのロジックで制御されています。このビットが1の場合、パワーセーブモードに移行すると直ちにLCDPWRはオフにされ、パネルのインタフェース信号はLowになります。詳細については、32ページの7.3.2「パワーダウン/アップタイムング」を参照してください。
- bit 2 ハードウェアパワーセーブイネーブル
このビットに1が設定されると、GPIO0はハードウェアパワーセーブ入力端子として使用されます。また、このビットに0が設定されるとGPIO0は、ノーマル状態に動作します。

表8.5 ハードウェアパワーセーブ/GPIO0動作

RESET# ステート	ハードウェアパワー セーブイネーブル REG[03h]ビット2	GPIO0設定 REG[18h]ビット0	GPIO0ステータス/ 制御 REG[19h]ビット0	GPIO0端子機能
0	X	X	X	
1	0	0	ピンステータス リード	GPIO0入力 (Hi-Z)
1	0	1	0	GPIO0出力=0
1	0	1	1	GPIO0出力=1
1	1	X	X	ハードウェアパワーセーブ 入力 (アクティブHigh)

- bits 1-0 ソフトウェアパワーセーブビット[1:0]
下表に示すように、これらのレジスタビットによってソフトウェアによるパワーセーブモードを選択します。

表8.6 ソフトウェアパワーセーブモード

パワーセーブ ビット1	パワーセーブ ビット0	モード
0	0	ソフトウェアパワーセーブモード
0	1	Reserved
1	0	Reserved
1	1	ノーマル動作モード

パワーセーブモードについての詳細は、78ページの13.「パワーセーブモード」を参照してください。

8. レジスタ

REG[04h] Horizontal Panel Size Register							Read/Write
Address = 1FFE4h							
n/a	水平方向 パネルサイズ ビット6	水平方向 パネルサイズ ビット5	水平方向 パネルサイズ ビット4	水平方向 パネルサイズ ビット3	水平方向 パネルサイズ ビット2	水平方向 パネルサイズ ビット1	水平方向 パネルサイズ ビット0

bits 6-0

水平方向パネルサイズビット[6:0]

このレジスタビットは、パネルの水平解像度を設定するのに使用します。レジスタには、下記の計算式によって得た値をプログラムに設定します。

$$\text{水平パネルサイズビットレジスタ} = \left(\frac{\text{水平パネル解像度 (ピクセル)}}{8} \right) - 1$$

注

本レジスタビットによる設定値は、最低03h以上にしてください。

REG[05h] Vertical Panel Size Register (LSB)							Read/Write
Address = 1FFE5h							
垂直方向 パネルサイズ ビット7	垂直方向 パネルサイズ ビット6	垂直方向 パネルサイズ ビット5	垂直方向 パネルサイズ ビット4	垂直方向 パネルサイズ ビット3	垂直方向 パネルサイズ ビット2	垂直方向 パネルサイズ ビット1	垂直方向 パネルサイズ ビット0

REG[06h] Vertical Panel Size Register (MSB)							Read/Write
Address = 1FFE6h							
n/a	n/a	n/a	n/a	n/a	n/a	垂直方向 パネルサイズ ビット9	垂直方向 パネルサイズ ビット8

REG[05h] bits 7-0

垂直方向パネルサイズビット[9:0]

REG[06h] bits 1-0

垂直方向のパネルサイズを設定するレジスタビットです。垂直方向の表示期間となり、10ビットで垂直方向の解像度を次式のように（ライン数-1）で設定します。

$$\text{垂直パネル解像度 (ライン)} = \text{垂直パネルサイズ解像度 (ライン数)} - 1$$

本レジスタビットによる設定値のMaxは、3FFhすなわち1024ラインとなります。

REG[07h] FPLINE Start Position							Read/Write
Address=1FFE7h							
n/a	n/a	n/a	FPLINE スタート ポジション ビット4	FPLINE スタート ポジション ビット3	FPLINE スタート ポジション ビット2	FPLINE スタート ポジション ビット1	FPLINE スタート ポジション ビット0

bits 4-0

FPLINEスタートポジション[4:0]

これらのビットをTFT/D-TFDモードで使用してFPLINEパルスの位置を指定します。これらのビットは、表示データ（FPDAT）のライン終端からFPLINEの立ち上がりまでの遅延を8ピクセル解像度で指定します。このレジスタは、TFT/D-TFDモード（REG[01h]ビット7=1）でのみ有効です。このレジスタは、以下のようにプログラムされます。

$$\text{FPLINEポジションピクセル数} = (\text{REG}[07\text{h}]+2) \times 8$$

本レジスタの設定では以下の関係を満足するようにしてください。

$$\text{REG}[07\text{h}] \leq \text{REG}[08\text{h}]$$

REG[08h] Horizontal Non-Display Period							Read/Write
Address=1FFE8h							
n/a	n/a	n/a	水平方向 非表示期間 ビット4	水平方向 非表示期間 ビット3	水平方向 非表示期間 ビット2	水平方向 非表示期間 ビット1	水平方向 非表示期間 ビット0

bits 4-0

水平方向非表示期間[4:0]

水平方向の非表示期間（帰線期間）を設定するレジスタビットです。

$$\text{水平非表示期間（ピクセル数）} = (\text{REG}[08\text{h}]+4) \times 8$$

REG[09h] FPFRAME Start Position							Read/Write
Address=1FFE9h							
n/a	n/a	FPFRAME スタート ポジション ビット5	FPFRAME スタート ポジション ビット4	FPFRAME スタート ポジション ビット3	FPFRAME スタート ポジション ビット2	FPFRAME スタート ポジション ビット1	FPFRAME スタート ポジション ビット0

bits 5-0

FPFRAMEスタートポジション[5:0]

このレジスタビットは、TFT/D-TFDモードでFPFRAME信号の位置を設定するために使用します。これらのビットには、表示データ（FPDAT）の最後の線とFPFRAMEの先頭エッジ間のライン数で指定します。このレジスタは、TFT/D-TFDモード（REG[01h]ビット7=1）でのみ有効です。このレジスタには以下のようにプログラムで設定します。

$$\text{FPFRAMEポジション（ライン数）} = \text{REG}[09\text{h}]$$

レジスタに設定する値は、1以上でかつ垂直方向非表示期間以下となります。

$$1 \leq \text{REG}[09\text{h}] \leq \text{REG}[0A\text{h}] \text{ ビット5} \sim 0$$

8. レジスタ

REG[0Ah] Vertical Non-Display Period							Read/Write
Address=1FFEAh							
垂直方向 非表示 ステータス	n/a	垂直方向 非表示期間 ビット5	垂直方向 非表示期間 ビット4	垂直方向 非表示期間 ビット3	垂直方向 非表示期間 ビット2	垂直方向 非表示期間 ビット1	垂直方向 非表示期間 ビット0

bit 7 垂直方向非表示ステータス
このビットに1が設定されていると垂直方向非表示期間(帰線期間)となります。

bits 5-0 垂直方向非表示期間[5:0]
垂直方向の非表示期間(帰線期間)を設定するレジスタビットです。本レジスタビットは下記のようにプログラムで設定します。

垂直方向非表示期間(ライン数) = REG[0Ah]ビット5~0

注

本レジスタの設定は電源投入後の初期設定時のみに実施してください。

REG[0Bh] MOD Rate Register							Read/Write
Address=1FFEBh							
n/a	n/a	MODレート ビット5	MODレート ビット4	MODレート ビット3	MODレート ビット2	MODレート ビット1	MODレート ビット0

bits 5-0 MODレートビット[5:0]
このレジスタの値が0に設定されると、MOD出力信号はFPFRAME毎にトグルします。0でない値では、その値は、このレジスタアドレス+1にMOD出力信号のトグル間のFPLINE数を指定します。このレジスタビットは、パッシブLCDパネルが選択されている場合にのみ有効です。

REG[0Ch] Screen 1 Start Address Register (LSB)							
Address=1FFECh							Read/Write
画面1スタート アドレス ビット7	画面1スタート アドレス ビット6	画面1スタート アドレス ビット5	画面1スタート アドレス ビット4	画面1スタート アドレス ビット3	画面1スタート アドレス ビット2	画面1スタート アドレス ビット1	画面1スタート アドレス ビット0

REG[0Dh] Screen 1 Start Address Register (MSB)							
Address=1FFEDh							Read/Write
画面1スタート アドレス ビット15	画面1スタート アドレス ビット14	画面1スタート アドレス ビット13	画面1スタート アドレス ビット12	画面1スタート アドレス ビット11	画面1スタート アドレス ビット10	画面1スタート アドレス ビット9	画面1スタート アドレス ビット8

REG[0Dh] bits 7-0

画面1スタートアドレスビット[15:0]

REG[0Ch] bits 7-0

第一画面のスタートアドレスを設定するレジスタビットです。ランドスケープ表示モードの場合には**ワード単位**でのアドレス設定となります。SwivelViewモードでは**バイト単位**でのアドレス設定となります。

注

SwivelViewモードでは、ビット16がREG[10h]に設定されている必要があります。

REG[0Eh] Screen 2 Start Address Register (LSB)							
Address=1FFEEh							Read/Write
画面2スタート アドレス ビット7	画面2スタート アドレス ビット6	画面2スタート アドレス ビット5	画面2スタート アドレス ビット4	画面2スタート アドレス ビット3	画面2スタート アドレス ビット2	画面2スタート アドレス ビット1	画面2スタート アドレス ビット0

REG[0Fh] Screen 2 Start Address Register (MSB)							
Address=1FFEFh							Read/Write
画面2スタート アドレス ビット15	画面2スタート アドレス ビット14	画面2スタート アドレス ビット13	画面2スタート アドレス ビット12	画面2スタート アドレス ビット11	画面2スタート アドレス ビット10	画面2スタート アドレス ビット9	画面2スタート アドレス ビット8

REG[0Fh] bits 7-0

画面2スタートアドレスビット[15:0]

REG[0Eh] bits 7-0

これらのビットは、ランドスケープモードでの画面2の開始ワードアドレスのみ、SwivelViewモードでは効果はありません。

REG[10h] Screen Start Address Overflow Register							
Address=1FFF0h							Read/Write
n/a	n/a	n/a	n/a	n/a	n/a	n/a	画面1スタート アドレス ビット16

bit 0

画面1スタートアドレスビット16

このビットでSwivelViewモードの画面1スタートアドレスを設定します。ここでは、ランドスケープモードの設定はできません。

8. レジスタ

REG[11h] Memory Address Offset Register							
Address=1FFF1h							Read/Write
メモリ アドレス オフセット ビット7	メモリ アドレス オフセット ビット6	メモリ アドレス オフセット ビット5	メモリ アドレス オフセット ビット4	メモリ アドレス オフセット ビット3	メモリ アドレス オフセット ビット2	メモリ アドレス オフセット ビット1	メモリ アドレス オフセット ビット0

bits 7-0

メモリアドレスオフセットビット[7:0]（ランドスケープモードのみ）
 仮想表示をする場合のメモリ領域を設定するレジスタビットです。ワード単位でラインの最終アドレスと次のラインの先頭アドレスのオフセットで設定します。つまり本レジスタが0以外であれば仮想表示を実行することになります。表示された画像は仮想画像の部分的な表示です。61ページの図8.1「表示画面とレジスタ設定値の関係」を参照してください。

本レジスタは SwivelView モードでは無効となります。64 ページの「REG[1Ch] Line Byte Count Register for SwivelView Mode」を参照してください。

REG[12h] Screen 1 Vertical Size Register (LSB)							
Address=1FFF2h							Read/Write
画面1 垂直サイズ ビット7	画面1 垂直サイズ ビット6	画面1 垂直サイズ ビット5	画面1 垂直サイズ ビット4	画面1 垂直サイズ ビット3	画面1 垂直サイズ ビット2	画面1 垂直サイズ ビット1	画面1 垂直サイズ ビット0

REG[13h] Screen 1 Vertical Size Register (MSB)							
Address=1FFF3h							Read/Write
n/a	n/a	n/a	n/a	n/a	n/a	画面1 垂直サイズ ビット9	画面1 垂直サイズ ビット8

REG[13h] bits 1-0
 REG[12h] bits 7-0

画面1垂直サイズビット[9:0]
 S1D13705の splitted 表示機能を設定するレジスタビットです。これらのビットは、第一画面の垂直方向の表示ライン数を設定します。

ランドスケープモードでは、レジスタが垂直方向パネルサイズ（REG[06h]、REG[05h]）より小さい値nで設定されている場合、ライン0からnまでは第一画面のライン数となり、ラインn+1からREG[06h]、REG[05h]までは第二画面のライン数となります。61ページの図8.1「表示画面とレジスタ設定値の関係」を参照してください。splitted 表示機能が不要な場合は、レジスタに垂直パネルサイズ、REG[06h]およびREG[05h]と同じまたはそれ以上の値を設定してください。

SwivelViewモードでは、REG[06h]およびREG[05h]の垂直方向パネルサイズレジスタでの表示ライン数と同じまたはそれ以上の値を設定してください。73ページの「SwivelView™」を参照してください。

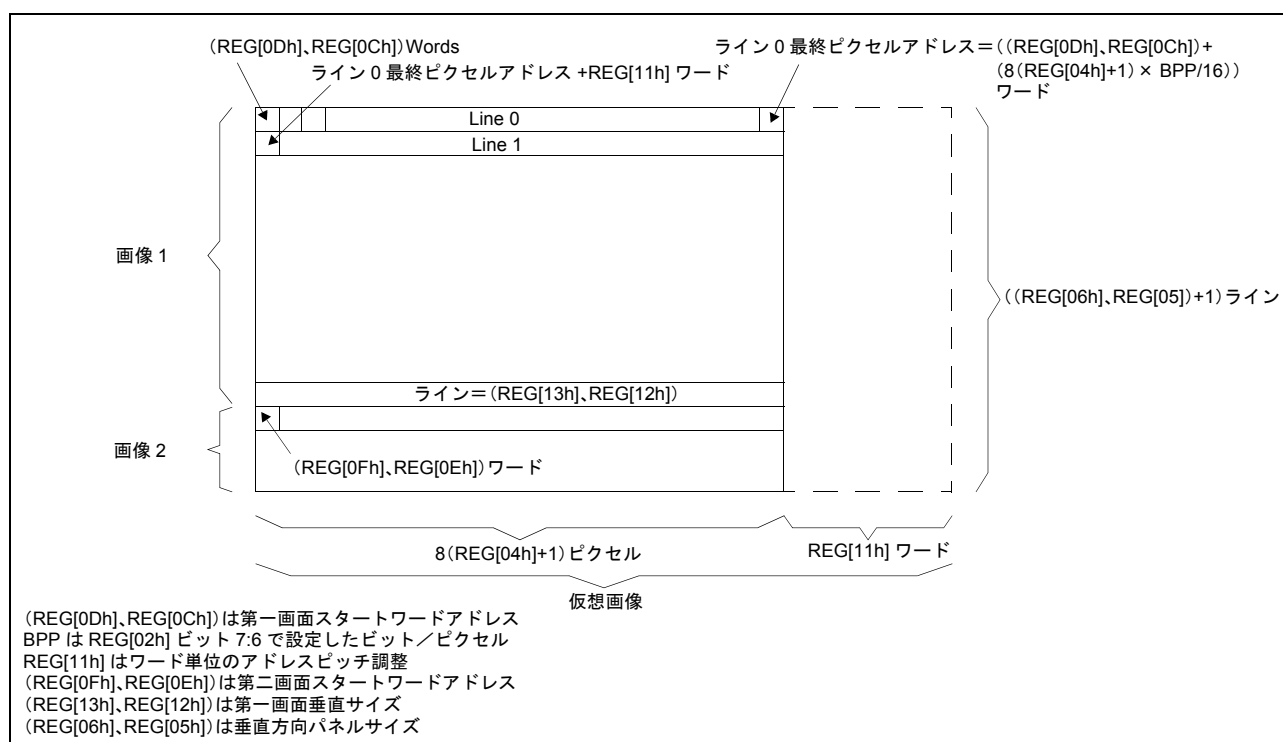


図8.1 表示画面とレジスタ設定値の関係

これは、REG[13h]、REG[12] = 0CEhで320×240を表示している場合の例です。上画面の207ライン（CEh+1）が第一画面に相当し第一画面スタートアドレスレジスタで指定された画像が、また残りの33ラインが第二画面に第二画面スタートアドレスで指定された画像が表示されます。

REG[15h] Look-Up Table Address Register

Address = 1FFF5h

Read/Write

LUTアドレス ビット7	LUTアドレス ビット6	LUTアドレス ビット5	LUTアドレス ビット4	LUTアドレス ビット3	LUTアドレス ビット2	LUTアドレス ビット1	LUTアドレス ビット0
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

bits 7-0

LUTアドレスビット[7:0]

これらの8ビットは、ルックアップテーブル（LUT）中にポインタを制御します。S1D13705には、赤、緑、青の3つの256ポジション、4ビットのワイドLUTがあります。詳細は、67ページの11.「ルックアップテーブルの構造」を参照してください。

このレジスタでは、どのLUTエントリがLUTデータレジスタ（REG[17h]）からのリード/ライトのアクセスが可能なのかを選択します。LUTアドレスレジスタ値を自動的に書き込むためには、赤のLUTにポインタを設定します。そして、LUTデータレジスタに自動的にアクセスするためにそのポインタをインクリメントします。

例えば、03hの値をLUTアドレスレジスタに書き込んで、R[3]へのポインタを設定します。LUTデータレジスタへの次のアクセスは、R[3]にアクセスし、そのポインタはG[3]へ移動します。LUTデータレジスタへ連続してアクセスするには、そのポインタをB[3], R[4], G[4], B[4], R[5].....と移動していきます。

8. レジスタ

注

RGBデータは、青データが書き込まれた後のLUTに入ります。つまり、全3色はLUTが更新される前に書き込まなければなりません。

REG[17h] Look-Up Table Data Register							Read/Write
Address=1FFF7h							
LUTデータ ビット3	LUTデータ ビット2	LUTデータ ビット1	LUTデータ ビット0	n/a	n/a	n/a	n/a

bits 7-4

LUTデータビット[3:0]

RGBルックアップテーブルへのリード/ライトするデータを入力するレジスタビットです。このレジスタビットでリード/ライトできるデータは、ルックアップアドレスレジスタ (REG[15h]) で制御されているポインタのエントリにアクセスします。

ルックアップテーブルレジスタに自動的にアクセスするには、そのポインタをインクリメントします。

注

RGBデータは、青データが書き込まれた後のLUTに入ります。つまり、全3色はLUTが更新される前に書き込まなければなりません。

REG[18h] GPIO Configuration Control Register							Read/Write
Address=1FFF8h							
n/a	n/a	n/a	GPIO4端子IO 設定	GPIO3端子IO 設定	GPIO2端子IO 設定	GPIO1端子IO 設定	GPIO0端子IO 設定

bits 4-0

GPIO[4:0]端子I/O設定

GPIO[4:0]端子の入力および出力の方向を設定するレジスタビットです。GPIO_n端子のI/O設定ビットが0であれば、その対応するGPIO_n端子は入力として設定されます。その入力値は、GPIO_nステータス/コントロールレジスタビットで読み出されます。「REG[19h] GPIO Status/Control Register」を参照してください。

GPIO_n端子のI/O設定ビットが1であれば、その対応するGPIO_n端子は出力として設定されます。その出力値は、GPIO_nステータス/コントロールレジスタビット値を書き込むことによって制御されます。

注

GPIO_n端子に特別な機能が設定 (つまり、TFT/D-TFD動作のFPDAT[11:8]設定に関して) されている時でも、これらのビットに影響はありません。I/Oとして設定されている時、すべての未使用端子をIO V_{DD}に接続させます。

REG[19h] GPIO Status/Control Register							
Address=1FFF9h							Read/Write
n/a	n/a	n/a	GPIO4端子IO ステータス	GPIO3端子IO ステータス	GPIO2端子IO ステータス	GPIO1端子IO ステータス	GPIO0端子IO ステータス

bits 4-0 GPIO[4:0]ステータス
GPIO_n端子が入力として設定されていれば、その対応するGPIOステータスビットは、端子入力を読み出すために使用されます。前述の「REG[18h] GPIO Configuration Control Register」を参照してください。
GPIO_n端子が出力として設定されていれば、その対応するGPIOステータスビットは、端子出力を制御するために使用されます。

REG[1Ah] Scratch Pad Register							
Address=1FFFAh							Read/Write
スクラッチ ビット7	スクラッチ ビット6	スクラッチ ビット5	スクラッチ ビット4	スクラッチ ビット3	スクラッチ ビット2	スクラッチ ビット1	スクラッチ ビット0

bits 7-0 スクラッチパッドレジスタ[7:0]
このレジスタは、汎用読み書きビットを持っています。これらのビットは、ハードウェアに影響を与えません。

REG[1Bh] SwivelView Mode Register							
Address=1FFFBh							Read/Write
SwivelView モード イネーブル	SwivelView モード選択	n/a	n/a	n/a	Reserved	SwivelView モード ピクセル クロック選択 ビット1	SwivelView モード ピクセル クロック選択 ビット0

bit 7 SwivelViewモードイネーブル
このビットが1に設定されていれば、SwivelViewモードがイネーブルです。このビットが0であれば、ランドスケープモードがイネーブルです。

bit 6 SwivelViewモード選択
このビットが0に設定されていれば、デフォルトSwivelViewモードが選択されます。また、1であれば、オルタネートSwivelViewモードが選択されます。詳細は73ページの12.「SwivelView™」を参照してください。

SwivelView表示モードは次のようになります。

表8.7 SwivelViewモードの選択

SwivelView モードイネーブル (REG[1Bh]ビット7)	SwivelView モード選択 (REG[1Bh]ビット6)	モード
0	X	ランドスケープ
1	0	デフォルトSwivelView
1	1	オルタネートSwivelView

bit 2 Reserved
予約ビットは、0に設定します。

8. レジスタ

bits 1-0

SwivelViewモードピクセルクロック選択ビット[1:0]
 これら2ビットで、SwivelViewモードでピクセルクロック（PCLK）を選択します。これらのビットはランドスケープモードには関係しません。表8-8では、SwivelViewモードでのPCLKとMCLKの関係を示しています。詳細は73ページの12.「SwivelView™」を参照ください。

表8.8 SwivelViewモードでのPCLK/MCLK

SwivelView モードイネーブル (REG[1Bh]ビット7)	SwivelView モード選択 (REG[1Bh]ビット6)	ピクセルクロック (PCLK) 選択 (REG[1Bh]ビット[1:0])		PCLK =	MCLK=
		ビット1	ビット0		
0	X	X	X	CLK	REG[02h]ビット5参照
1	0	0	0	CLK	CLK
1	0	0	1	CLK/2	CLK/2
1	0	1	0	CLK/4	CLK/4
1	0	1	1	CLK/8	CLK/8
1	1	0	0	CLK/2	CLK
1	1	0	1	CLK/2	CLK
1	1	1	0	CLK/4	CLK/2
1	1	1	1	CLK/8	CLK/4

CLKはCLKI (REG[02h]ビット4=0) またはCLKI/2 (REG[02h]ビット4=1)

REG[1Ch] Line Byte Count Register for SwivelView Mode

Address=1FFFCh

Read/Write

ラインバイト カウント ビット7	ラインバイト カウント ビット6	ラインバイト カウント ビット5	ラインバイト カウント ビット4	ラインバイト カウント ビット3	ラインバイト カウント ビット2	ラインバイト カウント ビット1	ラインバイト カウント ビット0
------------------------	------------------------	------------------------	------------------------	------------------------	------------------------	------------------------	------------------------

bits 7-0

ラインバイトカウントビット[7:0]
 あるラインの最初から連続する次のライン（通常、プログラマにはストライドと呼ばれています）の最初までをバイトカウントで示します。本レジスタは、SwivelViewモードで仮想画像を作成するために使用されます。

このレジスタが00に設定されている場合、ストライドは、256バイトになります。この値は、240×320の8bppデフォルトSwivelViewモードで使用されます。

ラインバイトカウントレジスタがnである場合、 $1 \leq n \leq FFh$ であるとしてストライド=nバイトになります。

REG[1Eh] and REG[1Fh]

REG[1Eh]およびREG[1Fh]は、S1D13705の工場テスト用として予約済みであり、書き込まないようにしてください。これらのレジスタに何らかの値を書き込むと、S1D13705そのものや、S1D13705に接続されたパネルが損傷するおそれがあります。

9. フレームレートの計算

表示フレームレートを計算するには、以下の式を使用します。

TFT/D-TFDおよびパッシブシングルパネルモード

$$\text{フレームレート} = \frac{f_{\text{PCLK}}}{(\text{HDP} + \text{HNDP}) \times (\text{VDP} + \text{VNDP})}$$

ただし、

- f_{PCLK} = PCLK周波数 (Hz)
- HDP = 水平方向表示期間 = ((REG[04h]ビット6~0) + 1) × 8ピクセル
- HNDP = 水平方向帰線期間 = ((REG[08h]ビット4~0) + 4) × 8ピクセル
- VDP = VDP = 垂直方向表示期間 = ((REG[06h]ビット1~0、REG[05h]ビット7~0) + 1) ライン
- VNDP = 垂直方向帰線期間 = (REG[0Ah]ビット5~0) ライン

パッシブデュアルパネルモード

$$\text{フレームレート} = \frac{f_{\text{PCLK}}}{2 \times (\text{HDP} + \text{HNDP}) \times \left(\frac{\text{VDP}}{2} + \text{VNDP}\right)}$$

ただし、

- f_{PCLK} = PCLK周波数 (Hz)
- HDP = 水平方向表示期間 = ((REG[04h]ビット6~0) + 1) × 8ピクセル
- HNDP = 水平方向帰線期間 = ((REG[08h]ビット4~0) + 4) × 8ピクセル
- VDP = 垂直方向表示期間 = ((REG[06h]ビット1~0、REG[05h]ビット7~0) + 1) ライン
- VNDP = 垂直方向帰線期間 = (REG[0Ah]ビット5~0) ライン

10. 表示データ形式

10. 表示データ形式

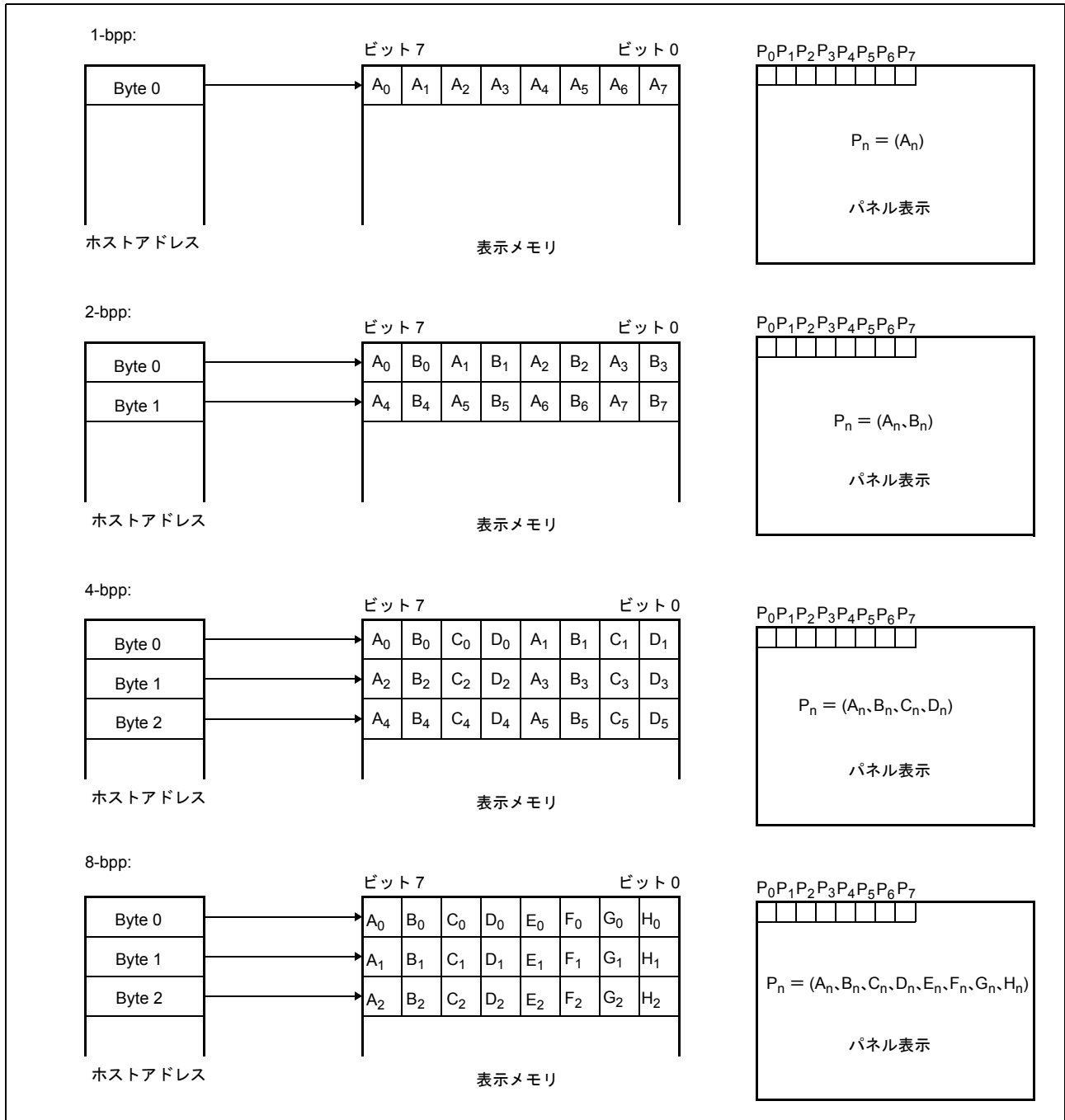


図10.1 1/2/4/8ビット/ピクセル表示データメモリの構成

11. ルックアップテーブルの構造

各モードの図は、表示データの出力経路のみを示しています。

注

ビデオデータインバートが可能であれば、ビデオデータはルックアップテーブル後にインバートされます。

11.1 モノクロ表示モード

緑のルックアップテーブル (LUT) は、あらゆるモノクロモードで使用されます。

1ビット/ピクセルモノクロモード

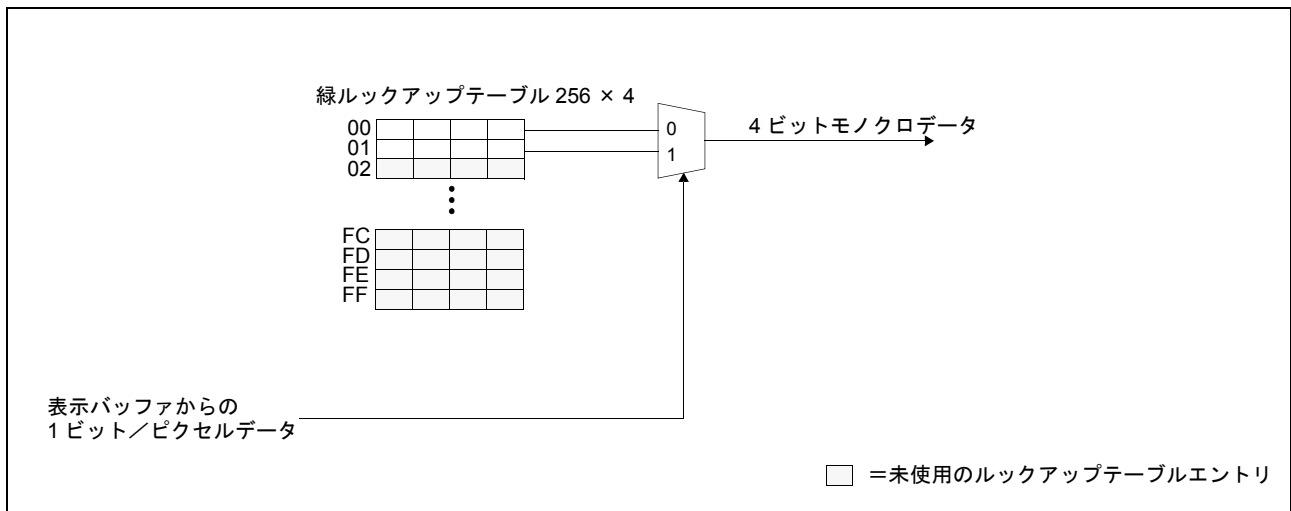


図11.1 1ビット/ピクセルモノクロモードデータ出力経路

2ビット/ピクセルモノクロモード

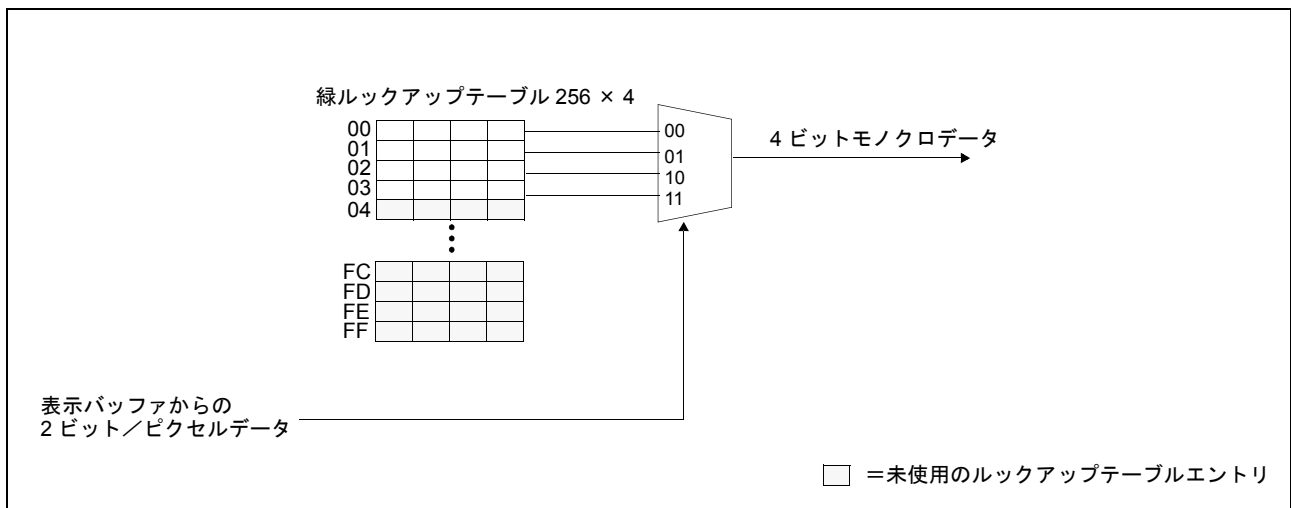


図11.2 2ビット/ピクセルモノクロモードデータ出力経路

11. ルックアップテーブルの構造

4ビット/ピクセルモノクロモード

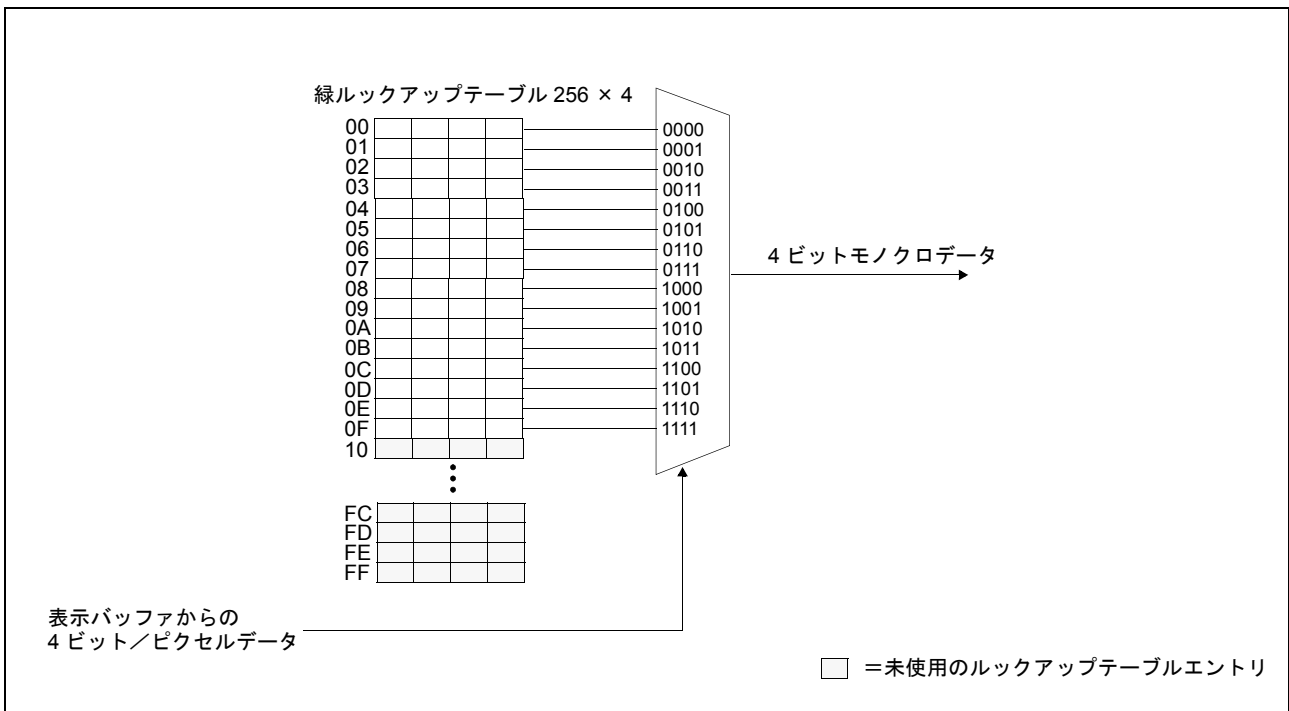


図11.3 4ビット/ピクセルモノクロモードデータ出力経路

11.2 カラー表示モード

1ビット/ピクセルカラーモード

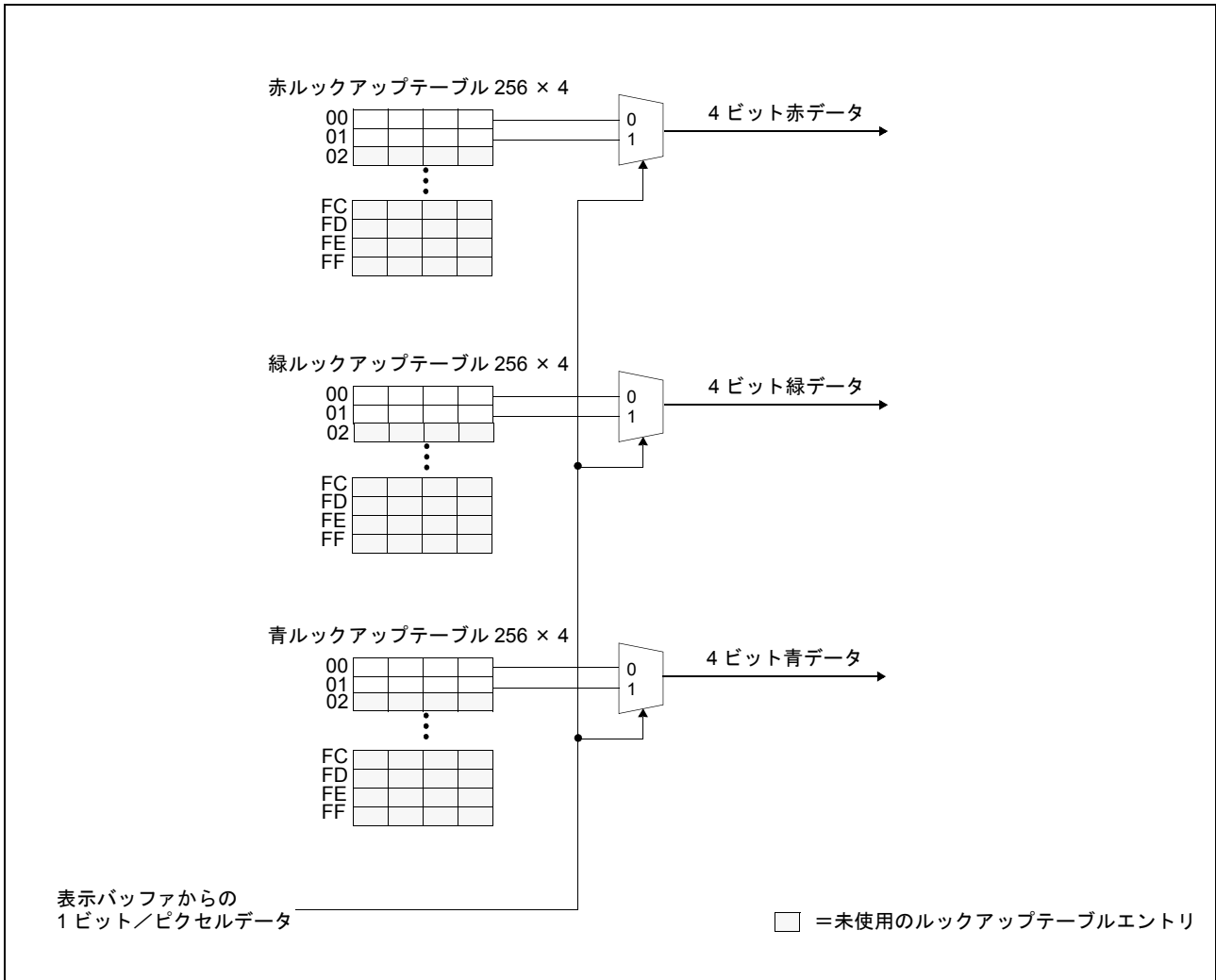


図11.4 1ビット/ピクセルカラーモードデータ出力経路

11. ルックアップテーブルの構造

2ビット/ピクセルカラーモード

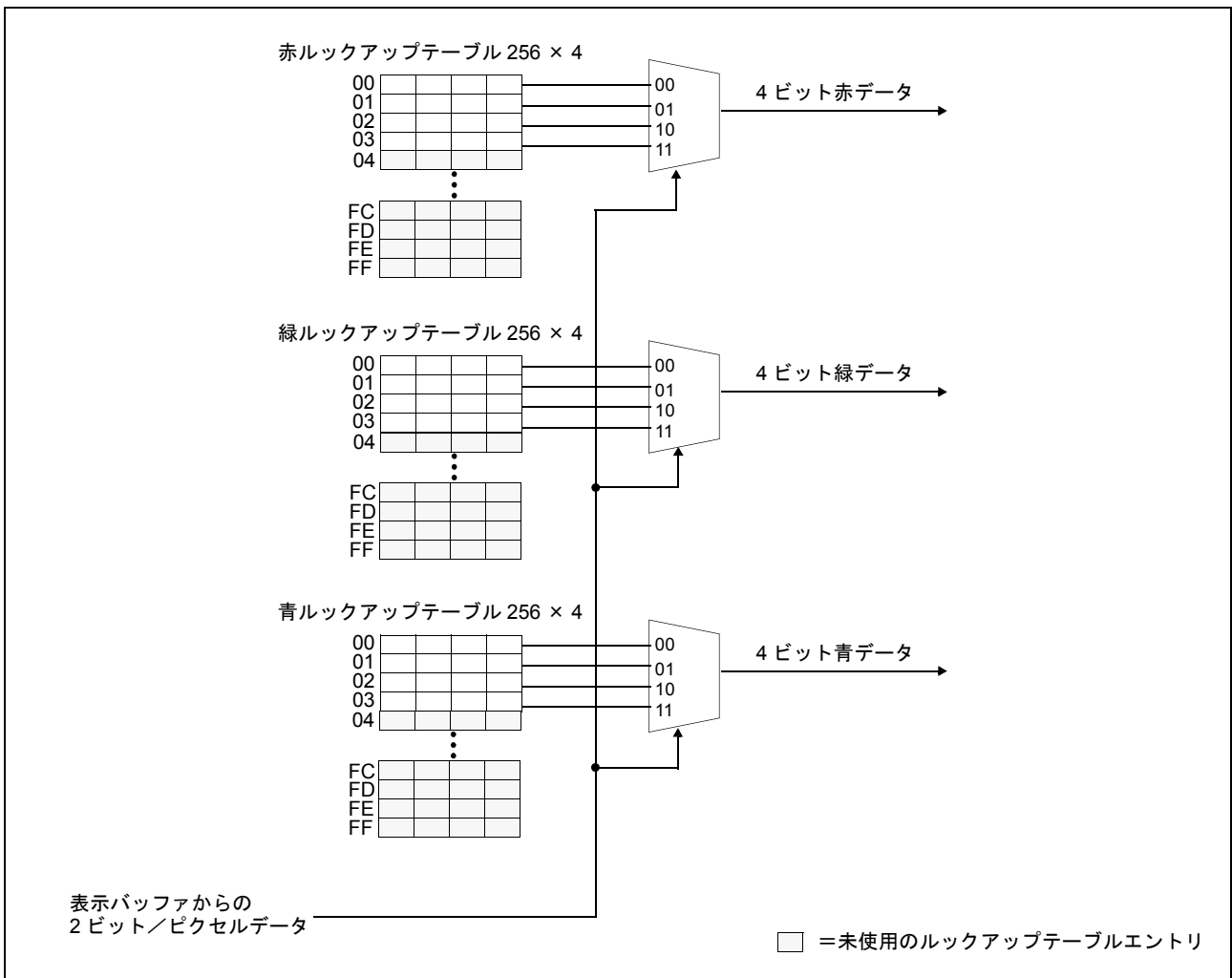


図11.5 2ビット/ピクセルカラーモードデータ出力経路

4ビット/ピクセルカラーモード

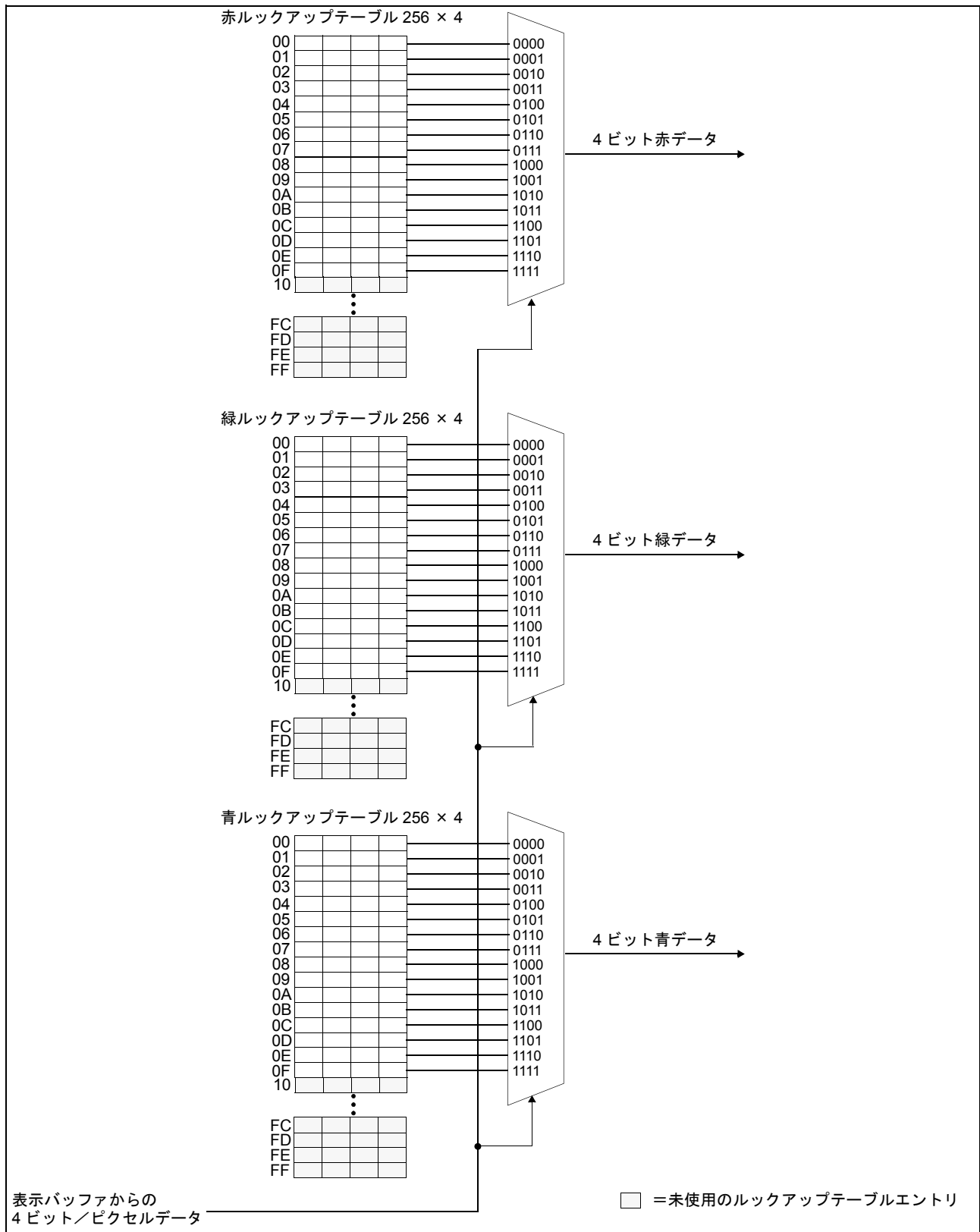


図11.6 4ビット/ピクセルカラーモードデータ出力経路

11. ルックアップテーブルの構造

8ビット／ピクセルカラーモード

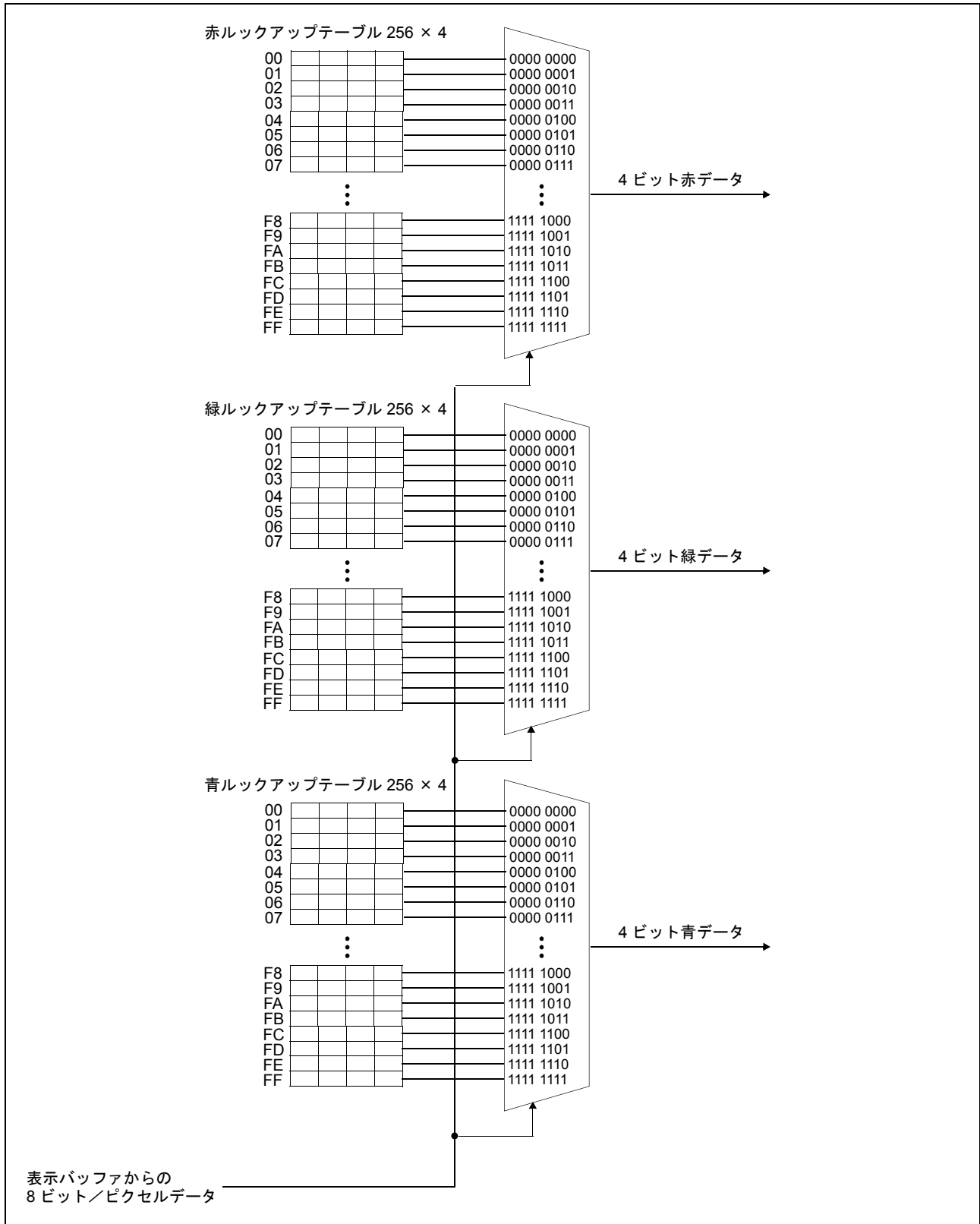


図11.7 8ビット／ピクセルカラーモードデータ出力経路

12. SwivelView™

今日のアプリケーションの多くは、ポートレート方向でLCDパネルを使用します。この場合、表示された画像を90°回転することが必要となります。この回転は、パフォーマンスを犠牲にしてソフトウェアで行うことができますが、CPUに負担を強いることなくS1D13705ハードウェアで行うこともできます。

S1D13705がサポートするSwivelViewモードには、デフォルトSwivelViewモードとオルタネートSwivelViewモードの2種類があります。

12.1 デフォルトSwivelViewモード

デフォルトSwivelViewモードでは、回転した画像の幅は、2の階乗でなければなりません。すなわち、240ラインのパネルは、256の最低仮想画像幅を必要とします。このモードは、必要な仮想画像が集積した画像バッファ（仮想画像サイズ $\leq 80\text{KB}$ ）内であれば、常に使用することができます。

例えばパネルサイズが 320×240 で8bpp表示の場合、仮想イメージサイズは 320×256 となります。仮想イメージを含めた画像データの総和がS1D13705の内蔵する表示メモリ80KB内となります。またデフォルトSwivelViewモードでは以下であることが必要です。

メモリクロック（MCLK） \geq ピクセルクロック（PCLK）

プログラマが見ている 240×320 の画像がどのように表示されるかを図で示します。アプリケーションからはS1D13705にA-B-C-Dのイメージを書き込みます。S1D13705はB-D-A-Cのイメージで表示を更新します。



図12.1 S1D13705デフォルトモードでのスクリーンイメージとリフレッシュされたイメージの関係

12.1.1 デフォルトSwivelViewモードの設定方法

デフォルトSwivelViewモードで240×320×8bppの表示を実施する場合には以下のよう設定してください。

- デフォルトSwivelViewモードの設定 : REG[1Bh]ビット7=1,ビット6=0
- 表示のスタートアドレスとなるBのポイントを、第一画面スタートアドレスレジスタでアドレス値としてまたは次のようなオフセット値として設定

$$\begin{aligned} \text{REG}[10\text{h}], \text{REG}[0\text{Dh}], \text{REG}[0\text{Ch}] &= \text{Address of Pixel B} \\ &= (\text{Address Of Pixel A} + \text{Bite Offset}) \\ &= \text{AddressOfPixelA} + \left(\frac{240\text{pixels} \times 8\text{bpp}}{8\text{bpb}} \right) - 1 \\ &= \text{AddressOfPixelA} + \text{EFh} \end{aligned}$$

bpp: ビット/ピクセル、bpb: ビット/バイト

- デフォルト SwivelView モードに必要な仮想イメージ幅をラインバイトカウンタレジスタで設定

$$\text{REG}[1\text{Ch}] = \frac{256}{(8\text{bpb}) \div (8\text{bpp})} = \frac{256}{1} = 256 = 00\text{h} = : \text{REG}[1\text{Ch}] \text{参照}$$

bpp: ビット/ピクセル、bpb: ビット/バイト

- パンニングは第一画面スタートアドレスレジスタを変更することで実施可能
 - 水平方向はバイト単位でのパンニング（8bppモードで1ピクセル）
 - 垂直方向は2ライン単位でのパンニング（上記例では、2ライン単位でパンニングすると200h加算）

注

デフォルトSwivelViewモードでは垂直方向の1ライン毎のパンニングはサポートしていません。

12.2 オルタネートSwivelViewモード

デフォルトSwivelViewモードで仮想イメージが内蔵する80KBの表示メモリを超える場合にはもうひとつのオルタネートSwivelViewモードを使用できます。たとえばパネルサイズが480×320で4bpp表示をする場合、デフォルトモードでは480×512で122,880バイトのメモリ容量を必要とします。オルタネートSwivelViewモードでは480×320で76,800バイトしか必要としません。

またオルタネートSwivelViewモードではメモリクロック（MCLK）の周波数はピクセルクロック（PCLK）が少なくとも2倍、すなわち以下であることが必要です。

$$MCLK \geq 2 \times PCLK$$

このためオルタネートSwivelViewモードではデフォルトモードに比較して若干高めの消費電力となります。

プログラマが見ている480×320の画像がどのように表示されるかを図で示します。アプリケーションからはSID13705にA-B-C-Dのイメージを書き込みます。SID13705はB-D-A-Cのイメージで表示を更新します。

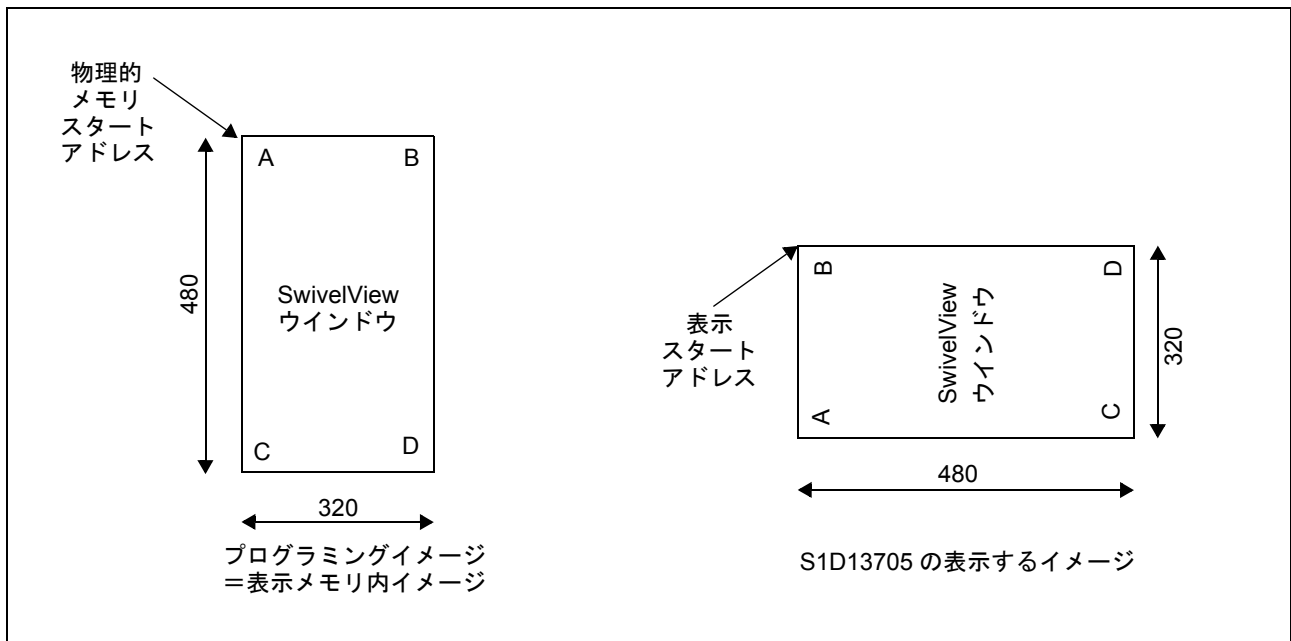


図12.2 SID13705オルタネートモードでのスクリーンイメージと表示イメージの関係

12.2.1 オルタネートSwivelViewモードの設定方法

オルタネートSwivelViewモードで320×480×4bppの表示を実施する場合には以下のように設定してください。

- オルタネートSwivelViewモードの設定
REG[1Bh]ビット7=1,ビット6=1
- 表示のスタートアドレスとなるBのポイントを、第一画面スタートアドレスレジスタでアドレス値としてまたは次のようなオフセット値として設定

$$\begin{aligned} \text{REG}[10\text{h}], \text{REG}[0\text{Dh}], \text{REG}[0\text{Ch}] &= \text{Address of Pixel B} \\ &= (\text{Address of Pixel A} + \text{Bite Offset}) \\ &= \text{Address of Pixel A} + \left(\frac{320\text{pixels} \times 4\text{bpp}}{8\text{bpb}} \right) - 1 \\ &= \text{Address of Pixel A} + 9\text{Fh} \end{aligned}$$

bpp: ビット/ピクセル、bpb: ビット/バイト

- イメージ幅をラインバイトカウンタレジスタで設定

$$\text{REG}[1\text{Ch}] = \frac{320}{(8\text{bpb}) \div (4\text{bpp})} = \frac{320}{2} = 160 = \text{A0h}$$

bpp: ビット/ピクセル、bpb: ビット/バイト

- パンニングは第一画面スタートアドレスレジスタを変更することで実施可能
- 水平方向はバイト単位でのパンニング (4bppモードで2ピクセル)
- 垂直方向は1ライン単位でのパンニング (上記例では、1ライン単位でパンニングするためにはA0h加算)

12.3 デフォルト／オルタネートSwivelViewモードの比較

表12.1 デフォルト／オルタネートSwivelViewモードの比較

項目	デフォルトSwivelViewモード	オルタネートSwivelViewモード
メモリへの要求	回転した画像の幅は、2の階乗でなければなりません。多くの場合、仮想画像はその使用しない右側の領域と不必要なメモリ空間を必要とします。たとえば、320×480×4bppの画像は76,800バイトのメモリを必要としますが、80KBのアドレス空間があれば可能となります。ところが仮想画像が512×480×4bppとなり、122,880バイトのメモリを必要としますので、不可能となります。	仮想イメージは必要なし
クロックへの要求	CLKIはPCLKと同速	MCLKIはPCLKの2倍が必要 たとえば、パネルが3MHzPCLKを必要とするとき、CLKIは6MHzであることが必要です。CLKの上限が25MHzであるためPCLKが12.5MHzを超える場合には使用できません。
消費電力	低消費電力	デフォルトモードより消費電力は高い
パンニング	垂直方向パンニングは2ライン毎	垂直方向パンニングは1ライン毎
パフォーマンス	標準のパフォーマンス	デフォルトモードよりハイパフォーマンス

12.4 SwivelViewモードの制限

S1D13705でSwivelViewモードを使用する時、スプリット画像操作はサポートされていません。

13. パワーセーブモード

13. パワーセーブモード

携帯端末市場での省電力要求に応えるために、S1D13705は2種類のパワーセーブモード機能を備えています。各モードは下表のようにイネーブルされます。

表13.1 パワーセーブモード

ハードウェアパワーセーブ	ソフトウェアパワーセーブビット1	ソフトウェアパワーセーブビット0	モード
使用せずまたは0	0	0	ソフトウェアパワーセーブモード
使用せずまたは0	0	1	Reserved
使用せずまたは0	1	0	Reserved
使用せずまたは0	1	1	ノーマル動作モード
使用して1	X	X	ハードウェアパワーセーブモード

13.1 ソフトウェアパワーセーブモード

ソフトウェアパワーセーブモードは、パネルの電源を遮断し表示バッファへの表示リフレッシュアクセスを停止して節電します。

表13.2 ソフトウェアパワーセーブモード一覧

• レジスタリード/ライトアクセス可能
• メモリリード/ライトアクセス可能
• ルックアップテーブルへのアクセス不可
• LCD出力Low固定

13.2 ハードウェアパワーセーブモード

ハードウェアパワーセーブモードは、パネルの電源を遮断し表示バッファおよびレジスタへのアクセスを禁止して、またホストバスインタフェースをディセーブルにして節電します。

表13.3 ハードウェアパワーセーブモード一覧

• ホストインターフェースリード/ライトアクセス不可
• メモリリード/ライトアクセス不可
• ルックアップテーブルへのアクセス不可
• LCD出力Low固定

13.3 パワーセーブモード機能のまとめ

表13.4 パワーセーブモード機能のまとめ

	ハードウェア パワーセーブ	ソフトウェア パワーセーブ	ノーマル
IOアクセス可能?	いいえ	はい	はい
メモリアccess可能?	いいえ	はい	はい
ルックアップテーブルアクセス可能?	いいえ	いいえ	はい
シーケンスコントローラ動作?	いいえ	いいえ	はい
表示可能?	いいえ	いいえ	はい
LCDPWR	インアクティブ	インアクティブ	アクティブ
FPDAT[11:0]、FPSHIFT (注)	Low固定	Low固定	アクティブ
FPLINE、FPFRAME、DRDY	Low固定	Low固定	アクティブ

注

FPDAT[11:8]をGPIO出力と指定すると、パワーセーブモードをイネーブルにする前の出力状態が維持されます。FPDAT[11:8]がGPIOとして設計されている時、使用しないGPIO端子はIO V_{DD}に接続させてください。17ページの表5.3「LCDインタフェースピンマッピング」を参照してください。

13. パワーセーブモード

13.4 パネルパワーオン/オフシーケンス

リセット時あるいはパワーセーブモードON/OFF時には、パネルインタフェースの信号は下図に示すようなパワーON/OFFシーケンスを構成します。このシーケンスは、LCDパネルへの損傷を防ぐために必要不可欠です。

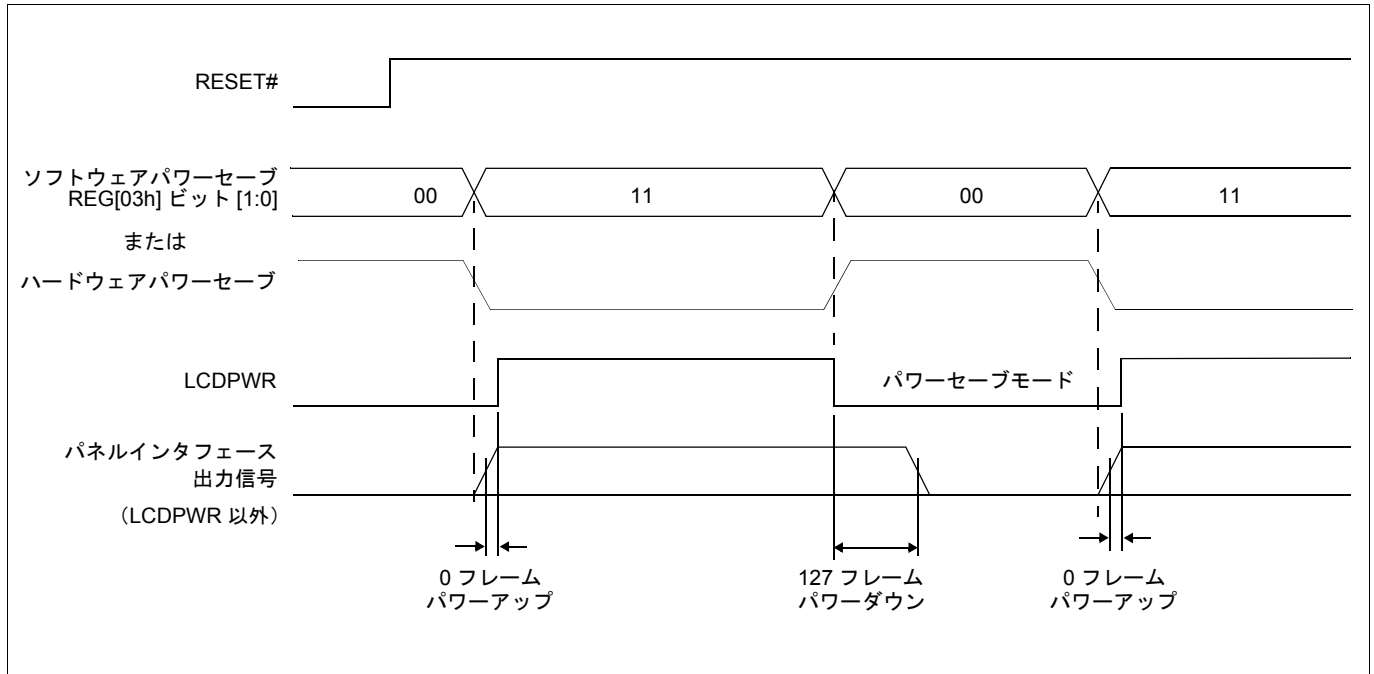


図13.1 パネルオン/オフシーケンス

チップリセットの後、LCDPWRはインアクティブになり、残りのパネルインタフェースの出力信号はLowが保持されます。ソフトウェアは、チップを初期化し（すなわちプログラムがルックアップテーブルレジスタを除くすべてのレジスタをプログラムする）、次にREG[03h]ビット1~0を11にプログラムします。これにより、ここに示すようにパワーアップシーケンスが開始されます。パワーアップ/パワーダウンシーケンスの遅延は127フレームです。ルックアップテーブルレジスタは、REG[03h]ビット1~0が11になった後にいつでもプログラムされます。

パワーアップ/ダウンシーケンスは、ソフトウェアパワーセーブモードがアクティブ時にも起こります。

13.5 アクセス期間中のBCLK停止

下記のような状況において、BCLKを、アクセス期間中に（Low固定）停止させることができます。

1. BCLKは、グリッチフリー方法で停止/起動になります。
2. BCLKは、アクセス終了後（RDY#がアサートされているかまたはWAIT#がアサートされていない） $[8T_{BCLK} + 12T_{MCLK}]$ に等しい期間継続します。
3. BCLKは、1アクセス起動前に少なくとも $1T_{BCLK}$ 間出現する必要があります。

13.6 クロック要求

下記の表に、S1D13705の動作モードとそれぞれの場合に要求されるクロックについて説明します。

表13.5 S1D13705動作モードとクロック

動作	BCLK	CLKI
レジスタリード/ライト	BCLKは、レジスタアクセス期間には必要です。しかし、BCLKをアクセス期間に停止させることもできます。それは、BCLKを止める前の最後のアクセス後の、 $8T_{BCLK} + 12T_{MCLK}$ パルスが可能です。次のアクセス前にBCLKを起動した後の、 $1BCLK$ パルスが可能です。	不要
メモリリード/ライト	BCLKは、メモリアクセス期間には必要です。しかし、BCLKをアクセス期間に停止させることもできます。それは、BCLKを止める前の最後のアクセス後の、 $8BCLK$ パルス + $12MCLK$ パルス ($8T_{BCLK} + 12T_{MCLK}$) が可能です。次のアクセス前にBCLKを起動した後の、 $1BCLK$ パルスが可能です。	必要
ルックアップテーブルレジスタリード/ライト	BCLKは、LUTレジスタアクセス期間には必要です。しかし、BCLKをアクセス期間に停止させることもできます。それは、BCLKを止める前の最後のアクセス後の、 $8BCLK$ パルス + $12MCLK$ パルス ($8T_{BCLK} + 12T_{MCLK}$) が可能です。次のアクセス前にBCLKを起動した後の、 $1BCLK$ パルスが可能です。	不要
ソフトウェアパワーセーブ	必要	ソフトウェアパワーセーブに入ってから128フレーム後（つまり、REG[03h]ビット1~0=11後）に停止することができます。
ハードウェアパワーセーブ	不要	ハードウェアパワーセーブに入ってから128フレーム後に停止することができます。

14. メカニカルデータ

14. メカニカルデータ

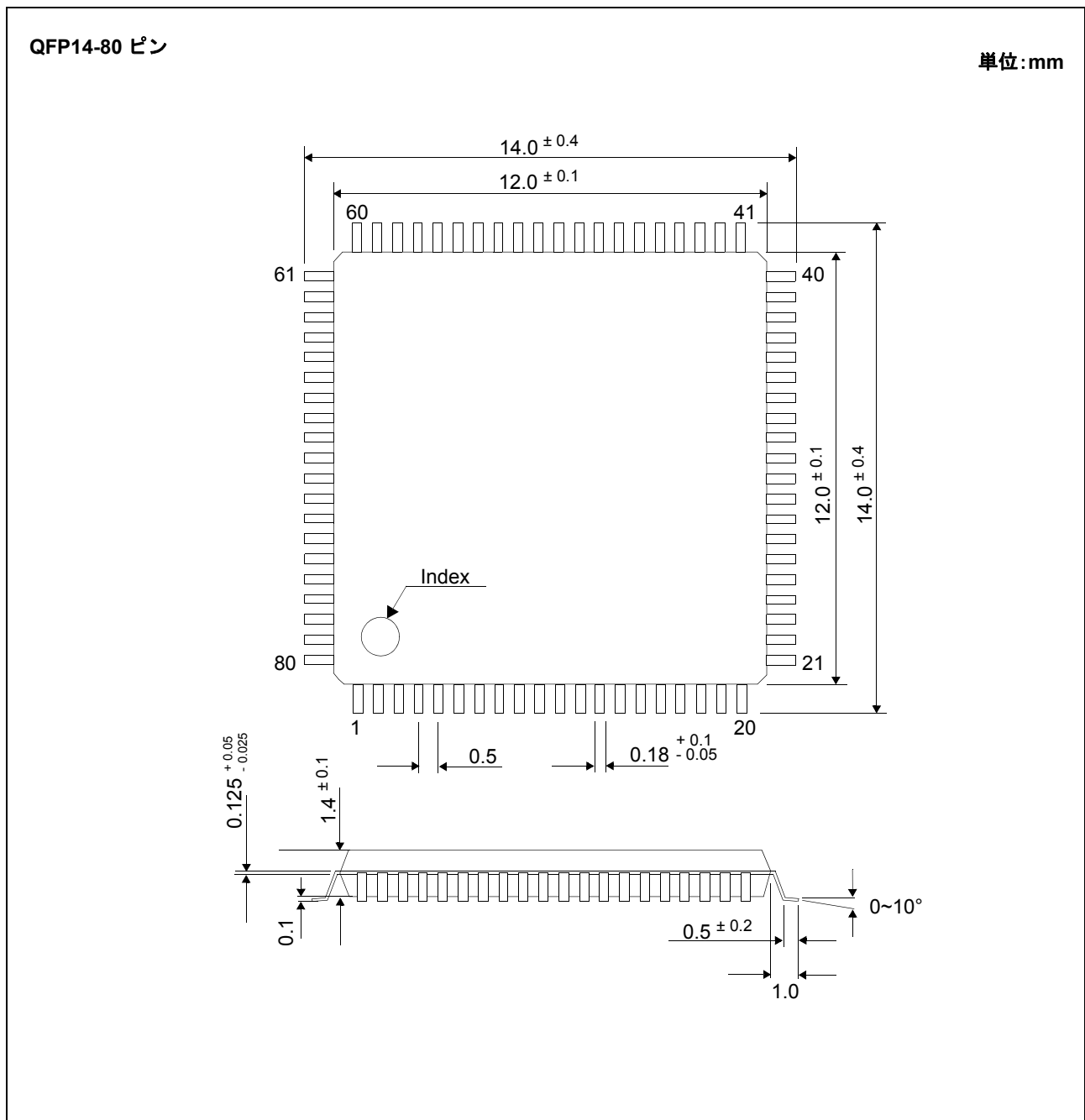


図14.1 QFP14外形図

15. 販売およびテクニカルサポート

AMERICA**EPSON ELECTRONICS AMERICA, INC.****HEADQUARTERS**

2580 Orchard Parkway
 San Jose , CA 95131, USA
 Phone: +1-800-228-3964 FAX: +1-408-922-0238

SALES OFFICES**Northeast**

301 Edgewater Place, Suite 210
 Wakefield, MA 01880, U.S.A.
 Phone: +1-800-922-7667 FAX: +1-781-246-5443

EUROPE**EPSON EUROPE ELECTRONICS GmbH****HEADQUARTERS**

Riesstrasse 15 Muenchen Bayern, 80992 GERMANY
 Phone: +49-89-14005-0 FAX: +49-89-14005-110

ASIA**EPSON (CHINA) CO., LTD.**

7F, Jinbao Bldg., No.89 Jinbao St., Dongcheng District,
 Beijing 100005, China
 Phone: +86-10-6410-6655 FAX: +86-10-6410-7320

SHANGHAI BRANCH

7F, Block B, Hi-Tech Bldg., 900, Yishan Road,
 Shanghai 200233, CHINA
 Phone: +86-21-5423-5522 FAX: +86-21-5423-5512

EPSON HONG KONG LTD.

20/F., Harbour Centre, 25 Harbour Road
 Wanchai, Hong Kong
 Phone: +852-2585-4600 FAX: +852-2827-4346
 Telex: 65542 EPSCO HX

EPSON (CHINA) CO., LTD.**SHENZHEN BRANCH**

12/F, Dawning Mansion, Keji South 12th Road,
 Hi-Tech Park, Shenzhen
 Phone: +86-755-2699-3828 FAX: +86-755-2699-3838

EPSON TAIWAN TECHNOLOGY & TRADING LTD.

14F, No. 7, Song Ren Road,
 Taipei 110
 Phone: +886-2-8786-6688 FAX: +886-2-8786-6660

EPSON SINGAPORE PTE., LTD.

1 HarbourFront Place,
 #03-02 HarbourFront Tower One, Singapore 098633
 Phone: +65-6586-5500 FAX: +65-6271-3182

SEIKO EPSON CORPORATION**KOREA OFFICE**

50F, KLI 63 Bldg., 60 Yoido-dong
 Youngdeungpo-Ku, Seoul, 150-763, KOREA
 Phone: +82-2-784-6027 FAX: +82-2-767-3677

GUMI OFFICE

2F, Grand B/D, 457-4 Songjeong-dong,
 Gumi-City, KOREA
 Phone: +82-54-454-6027 FAX: +82-54-454-6093

セイコーエプソン株式会社**半導体事業部****IC 営業部****<IC 国際営業グループ>**

東京 〒191-8501 東京都日野市日野 421-8
 TEL(042)587-5816(直通) FAX(042)587-5624

セイコーエプソン株式会社
半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5816 (直通) FAX (042) 587-5624

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 404675304
2007 年 9 月 作成
2008 年 4 月 改訂