

Interlace / Progressive Conversion IC

S2S65P10

データシート

本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

目 次

1. DESCRIPTION	1
2. FEATURE	1
3. BLOCK DIAGRAM	2
4. PIN LIST	3
4.1 Pin Assignment	3
4.2 Pin Description	4
5. REGISTER MAP	6
5.1 Register Table	6
6. FUNCTION DESCRIPTION	6
6.1 I/P 変換(Interlace/Progressive 変換)	6
6.2 インテリジェント・オート・イメージ・スイッチング	7
6.3 アスペクト比変換.....	9
6.4 エリアセンサ.....	9
6.5 GPIO/I ² C スルー機能.....	10
7. ELECTRICAL CHARACTERISTICS	11
7.1 Absolute Maximum Rating.....	11
7.2 Recommended Operating Conditions	11
7.3 DC Characteristics	12
7.4 AC Characteristics	15
7.4.1 Video 入力 Interface	15
7.4.2 Video 出力 Interface	15
7.4.3 I ² C Interface	16
7.4.4 Reset.....	17
8. APPLICATION DIAGRAM	18
9. MECHANICAL DIMENSIONS	19

1. DESCRIPTION

S2S65P10 は、Interlace 信号を Progressive 信号に変換する IC です。S2S65P10 を S1S65010（または S2S65A00）と組み合わせることによって、Video Decoder からの NTSC / PAL 信号を JPEG に変換できます。大容量の SRAM を内蔵しているため、外付け RAM は必要ありません。S2S65P10 は、Video 入力を 4 Channel 備えており、固定画面出力、自動 Scan 画面出力、4 入力 Merge 画面出力と、多様な画面出力が可能です。また、S2S65P10 は動体検出機能を内蔵しています。動体検出によって Host CPU へ割り込みを発生しますので、System を省電力化できます。

2. FEATURE

- Video 入力
 - 4 Channel 入力 (任意の 1 Channel を出力に設定可能)
 - 8 bit 入力
 - ITU-R BT.601 (4:2:2) / ITU-R BT.656 互換
 - NTSC / PAL 対応
 - Interlace 入力 / Progressive 入力対応
- Video 出力
 - 2 Channel 出力(うち 1 Channel は Video 入力と共用)
 - 8 bit 出力
 - ITU-R BT.601 (4:2:2) / ITU-R BT.656 互換
 - Progressive 出力対応
 - VGA 30frame/sec
 - 4 - 1 Intelligent Image Switch 機能
 - 4 入力 Merge 画面对応(QVGA x 4 = VGA)
- Host Interface
 - I²C Interface
 - 割り込み端子 (Area Sensor 検出割り込み)
- 画像処理
 - Interlace / Progressive 変換
 - Aspect 変換
 - Area Sensor (動体検出・明るさ検出用)
- I²C Through 機能 (Camera Control or Video Decoder Control) / GPIO
- 外付け RAM 不要
- 動作保証温度 -40 to +105 °C (Ta)
- CMOS 0.18μm Process
- 動作電圧 IO: 2.4~3.6V / 内部: 1.8±0.15V
- Package QFP15-100pin (0.5mm pitch)

3. BLOCK DIAGRAM

3. BLOCK DIAGRAM

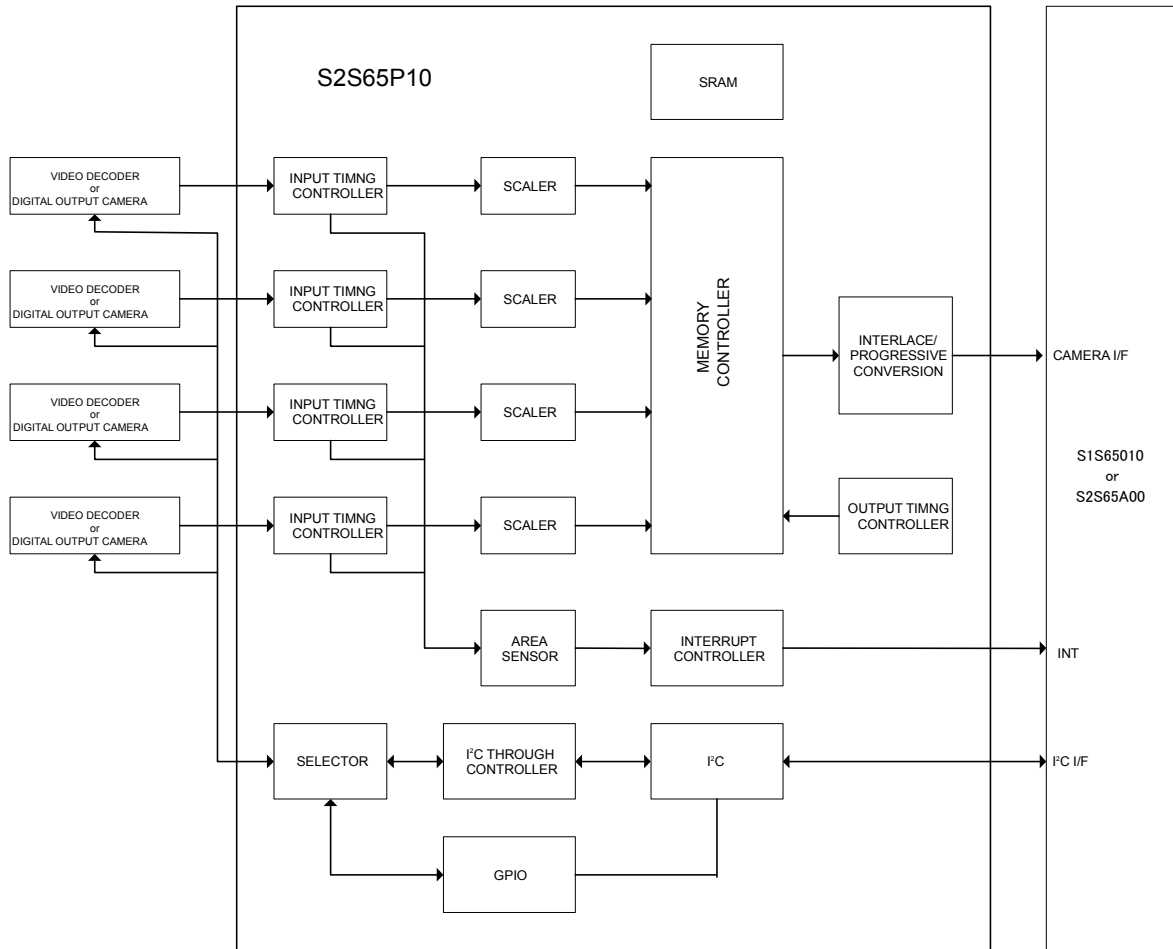


Fig.3.1 S2S65P10 Block Diagram

4. PIN LIST

4.1 Pin Assignment

QFP15-100PIN		75	HVDD	75	CH3VIN	50
		74	LVDD	49	CH3DIN[0]	49
		73	GPIO[7]	48	CH3DIN[1]	48
		72	GPIO[6]	47	HVDD1	47
		71	GPIO[5]	46	CH3DIN[2]	46
		70	GPIO[4]	45	CH3DIN[3]	45
		69	CH4CLK	44	CH3DIN[4]	44
		68	CH4ODD	43	CH3DIN[5]	43
		67	CH4HIN	42	VSS	42
		66	CH4VIN	41	CH3DIN[6]	41
		65	HVDD4	40	CH3DIN[7]	40
		64	VSS	39	CH1CLK	39
		63	CH4DIN[0]	38	LVDD	38
		62	CH4DIN[1]	37	CH1ODD	37
		61	CH4DIN[2]	36	CH1HIN	36
		60	CH4DIN[3]	35	CH1VIN	35
		59	HVDD4	34	HVDD1	34
		58	CH4DIN[4]	33	CH1DIN[0]	33
		57	CH4DIN[5]	32	CH1DIN[1]	32
		56	CH4DIN[6]	31	CH1DIN[2]	31
		55	CH4DIN[7]	30	VSS	30
		54	VSS	29	CH1DIN[3]	29
		53	CH3CLK	28	CH1DIN[4]	28
		52	CH3ODD	27	CH1DIN[5]	27
		51	CH3HIN	26	CH1DIN[6]	26
76	VSS					
77	RESETX					
78	CONF[1]					
79	CONF[0]					
80	SCL					
81	SDA					
82	INTX					
83	HVDD					
84	LVDD					
85	ST1					
86	ST0					
87	DOUT[7]					
88	DOUT[6]					
89	DOUT[5]					
90	VSS					
91	HVDD					
92	DOUT[4]					
93	DOUT[3]					
94	DOUT[2]					
95	DOUT[1]					
96	DOUT[0]					
97	CLKIN					
98	VOUT					
99	HOUT					
100	HVDD					
1	VSS					
2	TESTEN					
3	CONF[3]					
4	CONF[2]					
5	GPIO[3]					
6	GPIO[2]					
7	GPIO[1]					
8	GPIO[0]					
9	HVDD1					
10	CH2DIN[7]					
11	CH2DIN[6]					
12	CH2DIN[5]					
13	CH2DIN[4]					
14	CH2DIN[3]					
15	CH2DIN[2]					
16	CH2DIN[1]					
17	LVDD					
18	VSS					
19	CH2DIN[0]					
20	CH2VIN					
21	CH2HIN					
22	CH2ODD					
23	CH2CLK					
24	CH1DIN[7]					
25	HVDD1					

Fig.4.1 Top View

4. PIN LIST

4.2 Pin Description

Reset / Clock Pins

端子名	Pin No.	Type	入力 Level	Description
RESETX	77	I	LVC MOS SCHMITT	System Reset Input
CLKIN	97	I	LVC MOS	System Clock Input(from S1S65010,S2S65A00)

Video Interface Pins

端子名	Pin No.	Type	入力 Level	出力電流	Description
CH1CLK	39	I	LVC MOS SCHMITT	2mA	Video1 Clock input
CH1VIN CH1VOUT	35	I/O	LVC MOS SCHMITT	2mA	Video1 Vertical Synchronization input/output
CH1HIN CH1HOUT	36	I	LVC MOS SCHMITT	2mA	Video1 Horizontal Synchronization input/output
CH1DIN[7:0] CH1DOUT[7:0]	33,32,31,29, 28,27,26,24	I/O	LVC MOS SCHMITT	2mA	Video1 Data input/output
CH1ODD	37	I	LVC MOS SCHMITT	2mA	Video1 Field Signal input
CH2CLK	23	I	LVC MOS SCHMITT	2mA	Video2 Clock input
CH2VIN CH2VOUT	20	I/O	LVC MOS SCHMITT	2mA	Video2 Vertical Synchronization input/output
CH2HIN CH2HOUT	21	I	LVC MOS SCHMITT	2mA	Video2 Horizontal Synchronization input/output
CH2DIN[7:0]	19,16,15,14, 13,12,11,10	I/O	LVC MOS SCHMITT	2mA	Video2 Data input/output
CH2ODD	22	I	LVC MOS SCHMITT	2mA	Video2 Field Signal input
CH3CLK	53	I	LVC MOS SCHMITT	2mA	Video3 Clock input
CH3VIN CH3VOUT	50	I/O	LVC MOS SCHMITT	2mA	Video3 Vertical Synchronization input/output
CH3HIN CH3HOUT	51	I/O	LVC MOS SCHMITT	2mA	Video3 Horizontal Synchronization input/output
CH3DIN[7:0] CH3DOUT[7:0]	49,48,46,45, 44,43,41,40	I/O	LVC MOS SCHMITT	2mA	Video3 Data input/output
CH3ODD	52	I	LVC MOS SCHMITT	2mA	Video3 Field Signal input
CH4DCLK	69	I	LVC MOS SCHMITT	2mA	Video4 Clock input
CH4VIN CH4VOUT	66	I/O	LVC MOS SCHMITT	2mA	Video4 Vertical Synchronization input/output
CH4HIN CH4HOUT	67	I/O	LVC MOS SCHMITT	2mA	Video4 Horizontal Synchronization input/output
CH4DIN[7:0] CH4DOUT[7:0]	63,62,61,60, 58,57,56,55	I/O	LVC MOS SCHMITT	2mA	Video4 Data input/output
CH4ODD	68	I	LVC MOS SCHMITT	2mA	Video4 Field Signal input
VOUT	98	O	—	2mA	Video Vertical Synchronization output
HOUT	99	O	—	2mA	Video4 Horizontal Synchronization output
DOUT[7:0]	96,95,94,93, 92,89,88,87	O	—	2mA	Video Data output

*入出力の切り替えは、I²C を使用し内部レジスタの設定により行います。

4. PIN LIST

Host Interface

端子名	Pin No.	Type	入力 Level	出力電流	Description
SDA	81	I/O	LVC MOS	2mA	I ² C Data I/O
SCL	80	I	LVC MOS	—	I ² C Clock
INTX	82	O	—	2mA	Interrupt Output
ST[1:0]	86,85	O	LVC MOS	2mA	Status Output

その他

端子名	Pin No.	Type	入力 Level	出力電流	Description
CONF[3:0]	79,78,4,3	I	LVC MOS SCHMITT	—	System configuration input 電源投入時にシステムを構成する機能を設定します。
GPIO0 TH_I ² C_SCL	8	I/O	LVC MOS SCHMITT	2mA	GPIO0 I ² C スルー機能 SCL(Clock)
GPIO1 TH_I ² C_SDA	7	I/O	LVC MOS SCHMITT	2mA	GPIO1 I ² C スルー機能 SDAL(Data)
GPIO2 TH_I ² C_SCL	6	I/O	LVC MOS SCHMITT	2mA	GPIO2 I ² C スルー機能 SCL(Clock)
GPIO3 TH_I ² C_SDA	5	I/O	LVC MOS SCHMITT	2mA	GPIO3 I ² C スルー機能 SDAL(Data)
GPIO4 TH_I ² C_SCL	70	I/O	LVC MOS SCHMITT	2mA	GPIO4 I ² C スルー機能 SCL(Clock)
GPIO5 TH_I ² C_SDA	71	I/O	LVC MOS SCHMITT	2mA	GPIO5 I ² C スルー機能 SDAL(Data)
GPIO6 TH_I ² C_SCL	72	I/O	LVC MOS SCHMITT	2mA	GPIO6 I ² C スルー機能 SCL(Clock)
GPIO7 TH_I ² C_SDA	73	I/O	LVC MOS SCHMITT	2mA	GPIO7 I ² C スルー機能 SDAL(Data)

*GPIO 機能の切り替えは、I²C を使用し内部レジスタの設定により行います。

Test Pin

端子名	Pin No.	Type	入力 Level	出力電流	Description
TESTEN	2	I	LVC MOS	—	IC のテストピンです。Vss に接続して下さい。

電源 Pin

端子名	Pin No.	Type	入力 Level	出力電流	Description
HVDD	75,83, 91,100	P	—	—	I/O 電源 (2.4V~3.6V)
HVDD1	9,25, 34,47	P	—	—	Video 入力 1~3 用 I/O 電源 (2.4V~3.6V)
HVDD4	59,65	P	—	—	Video 入力 4 用 I/O 電源 (2.4V~3.6V)
LVDD	17,38, 74,84	P	—	—	内部 Logic 用電源 (1.8V±0.15V)
Vss	1,18,30, 42,54,64, 76,90	P	—	—	GND

5. REGISTER MAP

5. REGISTER MAP

S2S65P10 のレジスタは、Host CPU から I²C によりアクセスを行います。S2S65P10 の I²C スレーブアドレスは、0x36 或いは 0x37 になります。スレーブアドレスの選択は CONF[3:0]により設定します。

5.1 Register Table

Table 5.1 Memory MAP

Address	Description
0x0000~0x03FF	SYSTEM
0x0400~0x07FF	I ² C
0x0800~0x0BFF	Video Input Timing1
0x0C00~0x0FFF	Video Input Timing2
0x1000~0x13FF	Video Input Timing3
0x1400~0x17FF	Video Input Timing4
0x1800~0x1BFF	Video Out Timing
0x1C00~0x1FFF	Area Sensor
0x2000~0x23FF	予約
0x2400~0x27FF	予約
0x2800~0x2BFF	予約
0x2C00~0x2FFF	予約
0x3000~0x33FF	Interlace/Progressive Converter
0x3400~0x37FF	予約
0x3800~0x3BFF	Interrupt Controller
0x3C00~0x3FFF	GPIO

6. FUNCTION DESCRIPTION

6.1 I/P 変換(Interlace/Progressive 変換)

S2S65P10 は以下の 3 種類のモードを持っています。設定は、I²C により行います。

- Weave Mode
前後フィールドを合成して 1 フレームを作ります。
- Bob Mode
片フィールドのみを使用し各ラインを 2 倍にして 1 フレームを作ります。
- Interpolation Mode
片フィールドのみを使用し上下ラインから線形補間し 1 フレームを作ります。

6.2 インテリジェント・オート・イメージ・スイッチング

S2S65P10 は以下の 4 種類のモードを持っています。設定は、I²C により行います。

- 固定モード
あらかじめ決めたひとつの入力チャンネルを出力します。



Fig.6.1 固定モード

- オートスキャンモード
入力チャンネルを順次切り替えて出力します。

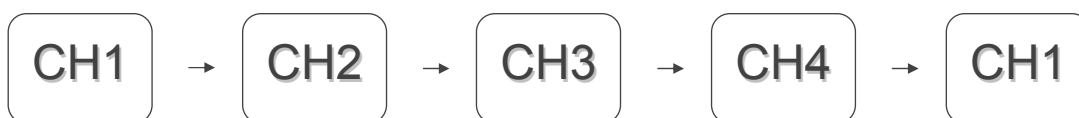


Fig.6.2 オートスキャンモード

- コンプレスマード
画像を QVGA にリサイズして出力します。



Fig.6.3 コンプレスマード

- マージモード
各チャンネルの画像を QVGA にリサイズし 4 画面を合成して出力します。



Fig.6.4 マージモード

6. FUNCTION DESCRIPTION

<フレームレート>

ビデオ出力は、各ビデオ入力に同期して行うため、ビデオ入力切り替え時にはフレームレートが低下する場合があります。各ビデオ出力モードでのフレームレートの最小値・最大値は以下の通りです。

Table 6.1 出力フレームレート (VGA 30fps 入力時)

単位: fps

モード		Min.	Max.
固定モード	インターレス	—	30
	プログレッシブ	—	30
オートスキャンモード	インターレス	15	30
	プログレッシブ	15	30
コンプレスモード (QVGA 出力)	インターレス	60	120
	プログレッシブ	30	60
マージモード	インターレス	15	30
	プログレッシブ	—	15

6.3 アスペクト比変換

S2S65P10 は以下のモードを持っています。設定は、I²C により行います。

- VGA 変換

VIDEO 入力	ピクセルアスペクト比	ピクセル数		変換後
NTSC	10:11	704:480	-->	640:480
	8:9	720:480	-->	640:480
PAL	16:15	720:576	-->	768:576
VGA	1:1	640:480	-->	640:480

Fig.6.5 VGA 変換

- QVGA 変換

VIDEO 入力	ピクセルアスペクト比	ピクセル数		変換後
NTSC	10:11	704:480	-->	320:240
	8:9	720:480	-->	320:240
PAL	16:15	720:576	-->	384:288
VGA	1:1	640:480	-->	320:240

※NTSC/PAL の場合は、どちらかのフィールドのみになります。

※VGA の場合（プログレッシブ）は、縦方向は間引きで行います。

Fig.6.6 QVGA 変換

6.4 エリアセンサ

任意の 1 チャンネルからの画面を 48 分割し、それぞれの矩形エリア毎にフレーム間差分をとります。予め設定された閾値を超えた差分値になると割り込み信号を出力します。

- フレーム間差分のデータは、YUV 成分から選択可能
- エリア毎に割り込み要因の設定が可能
- 設定は I²C から可能

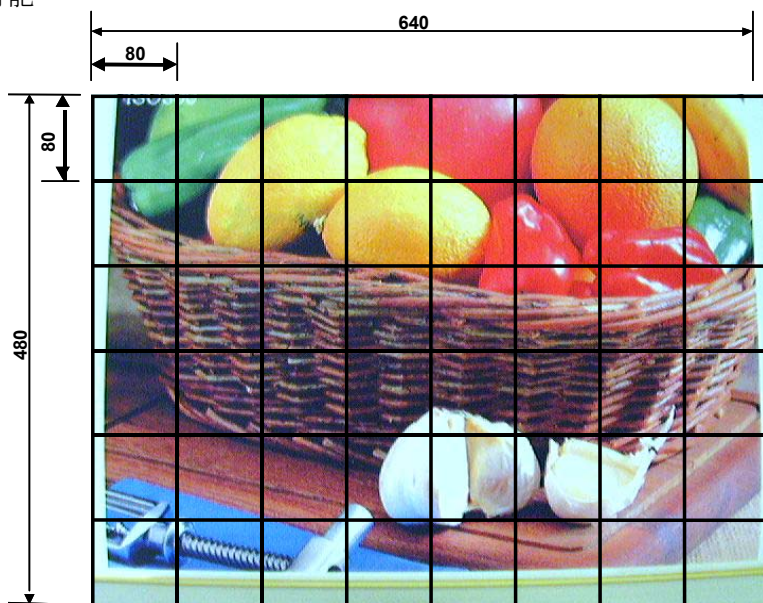


Fig.6.7 エリア分割

6. FUNCTION DESCRIPTION

6.5 GPIO/I²C スルー機能

GPIO[7:0]端子は、汎用の I/O ポート機能と、Host CPU からの I²C 信号をスルーする機能を持っています。I²C スルー機能を使用すると同じ I²C デバイスアドレスのデバイスを Host CPU から制御することが可能になります。

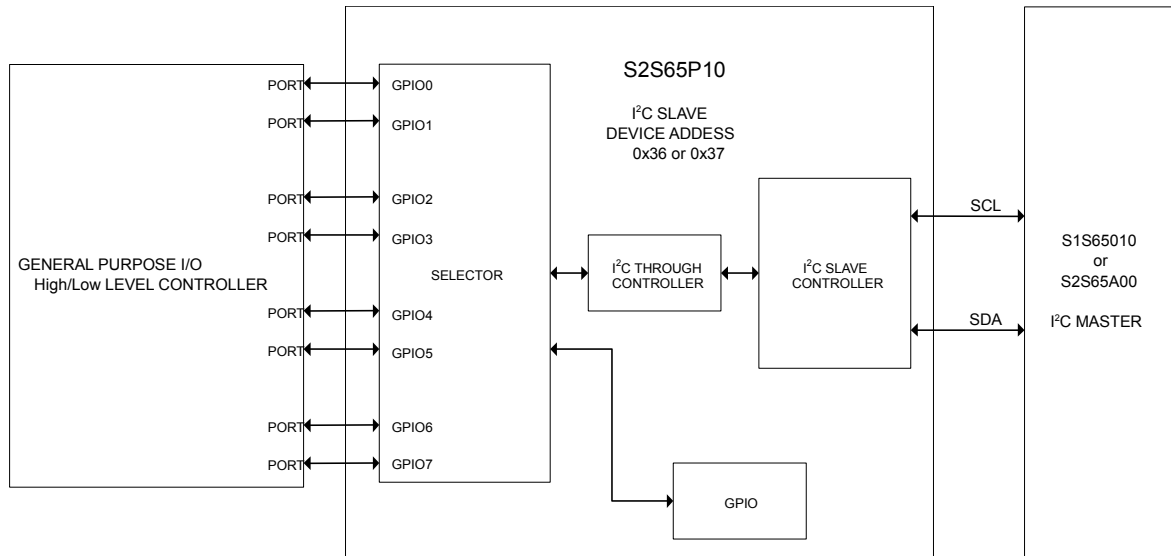


Fig.6.8 GPIO 機能

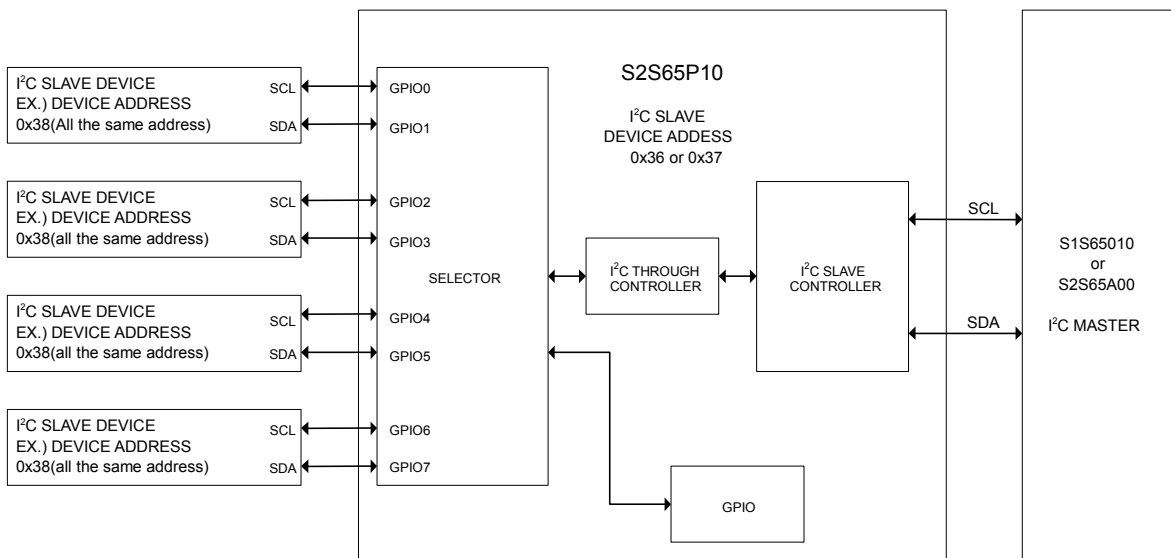


Fig.6.9 I²C Through 機能

7. ELECTRICAL CHARACTERISTICS

7.1 Absolute Maximum Rating

Table 7.1 Absolute Maximum Ratings

(V_{SS}=0V)

項目	記号	定格	単位
電源電圧	HVDD*1	V _{SS} , LVDS_V _{SS} -0.3 ~ 4.0	V
	HVDD1*1	V _{SS} , LVDS_V _{SS} -0.3 ~ 4.0	V
	HVDD4*1	V _{SS} , LVDS_V _{SS} -0.3 ~ 4.0	V
	LVDD*1	V _{SS} , LVDS_V _{SS} -0.3 ~ 2.5	V
入力電圧	HVi	V _{SS} -0.3 ~ HVDD, HVDD1, HVDD4+0.5	V
	LVi	V _{SS} -0.3 ~ LVDD+0.5	V
出力電圧	HVo	V _{SS} -0.3 ~ HVDD, HVDD1, HVDD3+0.5	V
	LVo	V _{SS} -0.3 ~ LVDD+0.5*2	V
出力電流/端子	I _{OUT}	±10	mA
保存温度	T _{stg}	-65 ~ +150	°C

(注) *1: HVDD、HVDD1、HVDD4 ≥ LVDD

7.2 Recommended Operating Conditions

Table 7.2 Recommended Operating Conditions

(2 電源 HVDD、HVDD1、HVDD4/LVDD=3.3/1.8V)

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HVDD	2.40	3.30	3.60	V
電源電圧 (高電圧 Video 入力 1,2,3 部)	HVDD1	2.40	3.30	3.60	V
電源電圧 (高電圧 Video 入力 4 部)	HVDD4	2.40	3.30	3.60	V
電源電圧 (低電圧)	LVDD	1.65	1.80	1.95	V
入力電圧	HVi	V _{SS}	—	HVDD HVDD1 HVDD4	V
	LVi	V _{SS}	—	LVDD	V
周囲温度	T _a	-40	25	105*1	°C
		—	—	—	°C

(注) *1: この温度範囲は、T_j = -40 ~ +105°Cを想定した推奨周囲温度です。

7. ELECTRICAL CHARACTERISTICS

7.3 DC Characteristics

Table 7.3 DC Characteristics

(推奨動作条件による)

項目	記号	条件	Min.	Typ.	Max.	単位
静的消費電流(HVDD~Vss間の静止電流)						
静的消費電流	IDDSH1	VIN=HVDD or HVDD1 or HVDD4 or LVDD or Vss HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. IOH=IOL=0 Ta(Max.)=105(°C)時 Ta=Tj=105(°C)	—	—	16	μA
静的消費電流(HVDD1~Vss間の静止電流)						
静的消費電流	IDDSH2	VIN=HVDD or HVDD1 or HVDD4 or LVDD or Vss HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. IOH=IOL=0 Ta(Max.)=105(°C)時 Ta=Tj=105(°C)	—	—	18	μA
静的消費電流(HVDD4~Vss間の静止電流)						
静的消費電流	IDDSH3	VIN=HVDD or HVDD1 or HVDD4 or LVDD or Vss HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. IOH=IOL=0 Ta(Max.)=105(°C)時 Ta=Tj=105(°C)	—	—	6	μA

7. ELECTRICAL CHARACTERISTICS

項目	記号	条件	Min.	Typ.	Max.	単位
静止電流(LVDD~VSS間の静止電流)						
静的消費電流	I _{DDSL}	V _{IN} =HVDD or HVDD1 or HVDD4 or LVDD or VSS HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. I _{OH} =I _{OL} =0 T _a (Max.)=105(°C)時 T _a =T _j =105(°C)	—	70	900	μA
消費電流(LVDD~VSS間の消費電流)						
動作時消費電流	I _{DDL}	HVDD=3.3V HVDD1=3.3V HVDD4=3.3V LVDD=1.8V T _a =-40~+105°C CHxCLK=27MHz(x=1, 2, 3, 4) CLKIN=25MHz	—	25	40	mA
入力リーク						
入力リーク電流	I _L	HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. H _{VIH} =HVDD, HVDD1, HVDD4 L _{VIH} =LVDD V _{IL} =VSS	-5	—	5	μA
入力特性(H系 LVCMOS) CLKIN, SDA, SDC						
“H”レベル入力電圧	V _{IH1H}	HVDD=Max. HVDD1=Max. HVDD4=Max.	2.2	—	—	V
“L”レベル入力電圧	V _{IL1H}	HVDD=Min. HVDD1=Min. HVDD4=Min.	—	—	0.8	V
入力特性(L系 LVCMOS) TESTEN						
“H”レベル入力電圧	V _{IH1L}	LVDD=Max.	1.27	—	—	V
“L”レベル入力電圧	V _{IL1L}	LVDD=Min.	—	—	0.57	V

7. ELECTRICAL CHARACTERISTICS

項目	記号	条件	Min.	Typ.	Max.	単位
シュミット入力特性(H系 LVC MOS)						
RESETX, CHxCLK< CHxVIN, CHxHIN, CHxDIN[7:0], CHxODD, GPIO[7:0], CONF[3:0] (x=1, 2, 3, 4)						
“H”レベルトリガ電圧	VT1+	HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max.	1.4	—	2.7	V
“L”レベルトリガ電圧	VT1-	HVDD=Min. HVDD1=Min. HVDD2=Min. LVDD=Min.	0.6	—	1.8	V
ヒステリシス電圧	ΔV	HVDD=Min. HVDD1=Min. HVDD4=Min. LVDD=Min.	0.3	—	—	V
入力特性						
GPIO[7:0]						
プルアップ抵抗	RPLU1H	Vi=Vss	25	50	120	k Ω
入力特性						
CHxCLK< CHxVIN, CHxHIN, CHxDIN[7:0], CHxODD, CONF[3:0] (x=1, 2, 3, 4)						
プルダウン抵抗	RPLD1H	Vi=HVDD, HVDD1, HVDD4	25	50	120	k Ω
出力特性						
CHxVIN, CHxHIN, CHxDIN[7:0], VOUT, HOUT, DOUT[7:0], SDA, INTX, ST[1:0] (x=1, 2, 3, 4)						
“H”レベル出力電圧	VOH1H	HVDD=Min. HVDD1=Min. HVDD4=Min. IOH=-2mA	HVDD-0.4 HVDD1-0.4 HVDD4-0.4	—	—	V
“L”レベル出力電圧	VOL1H	HVDD=Min. HVDD1=Min. HVDD4=Min. IOL=2mA	—	—	Vss+0.4	V
出力特性						
CHxVIN, CHxHIN, CHxDIN[7:0], GPIO[7:0] (x=1, 2, 3, 4)						
OFF-STATE リーク電流	IOZ	HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. HVOH=HVDD, HVDD1, HVDD4 LVOH=LVDD VOL=VSS	-5	—	5	μ A

7.4 AC Characteristics

7.4.1 Video 入力 Interface

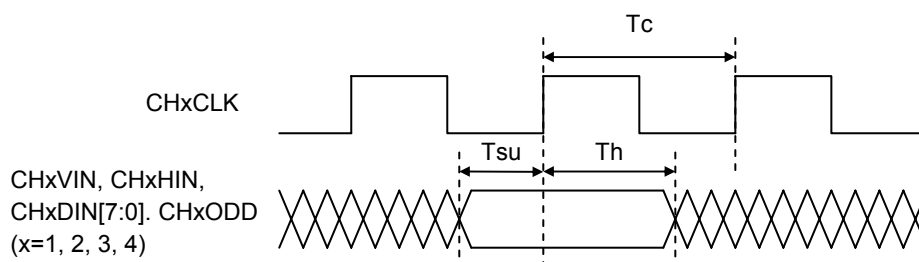


Fig.7.1 Video Input Timing Chart

Table 7.4 Video input

Top= -40 to +105 °C, HVDD, HVDD1, HVDD4 = 2.4 to 3.6 V, LVDD=1.65 to 1.95 V, VSS = 0 V, CL=30pF (出力)

項目	記号	Min.	Typ.	Max.	単位
Video 入力クロック周波数	Tf	—	27	28.5	MHz
Video 入力クロックサイクル時間	Tc	35	37	—	ns
データセットアップ時間	Tsu	10	—	—	ns
データホールド時間	Th	10	—	—	ns

7.4.2 Video 出力 Interface

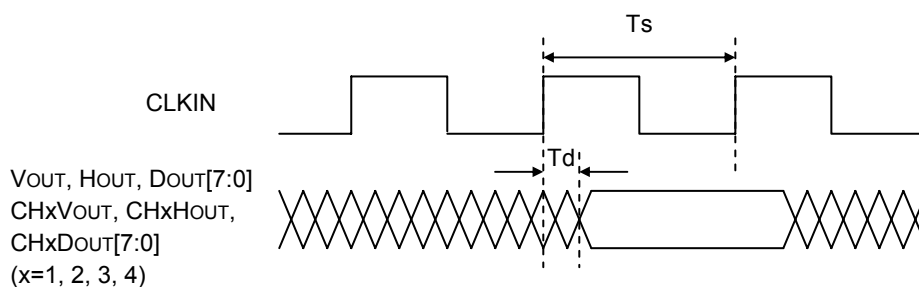


Fig.7.2 Video Output Timing Chart

Table 7.5 Video Timing

Top= -40 to +105 °C, HVDD, HVDD1, HVDD4 = 2.4 to 3.6 V, LVDD=1.65 to 1.95 V, VSS = 0 V, CL=30pF (出力)

項目	記号	Min.	Typ.	Max.	単位
CLKIN クロック周波数	fc	20	25	28.5	MHz
CLKIN クロックサイクル時間	Ts	35	40	50	ns
データ出力遅延時間	Td	5	—	20	ns

7. ELECTRICAL CHARACTERISTICS

7.4.3 I²C Interface

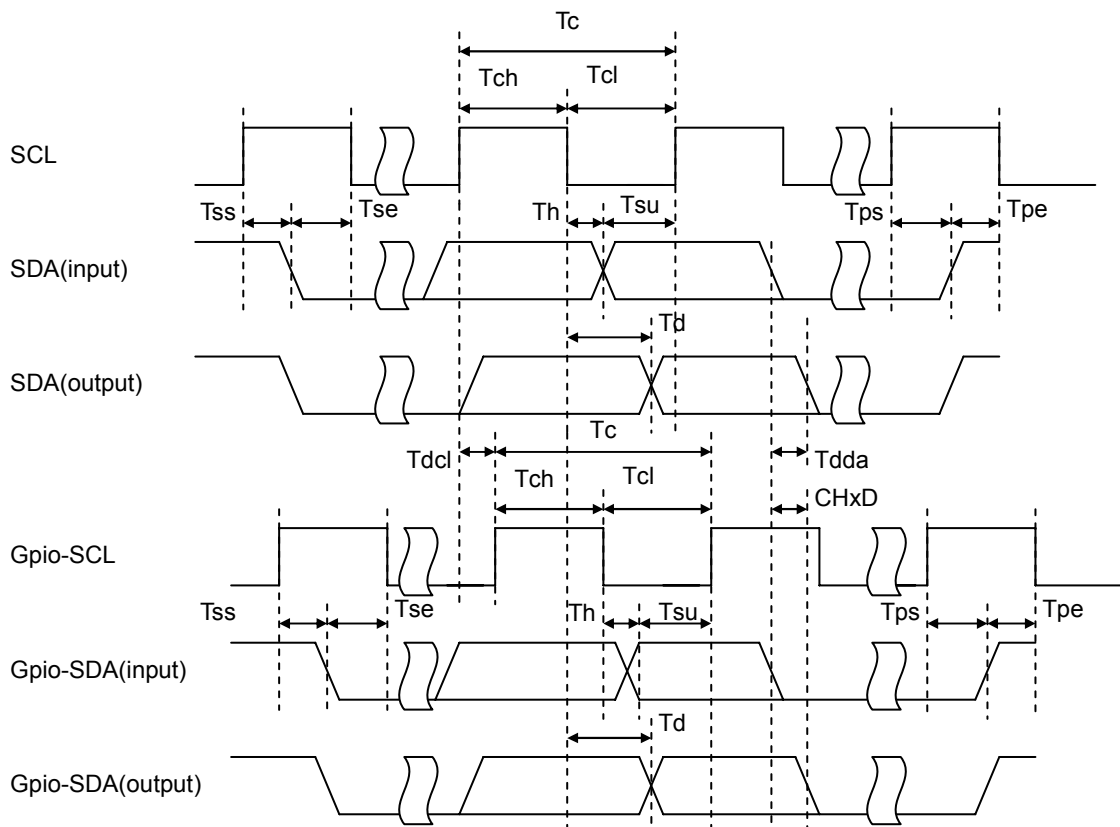


Fig.7.3 I²C Interface Timing Chart

Table 7.6 I²C Interface

Top= -40 to +105 °C, HVDD, HVDD1, HVDD4 = 2.4 to 3.6 V, LVDD = 1.65 to 1.95 V, VSS = 0 V, CL=30pF (出力)

項目	記号	Min.	Typ.	Max.	単位
SCL クロック周波数	fc	—	—	10 ⁹ /(Tc*Ts) ※1,4	Hz
SCL クロックサイクル時間	Tc	25 ※3,4	—	—	Ts ※1
SCL クロックパルス幅(High)	Tch	10	—	—	Ts ※1
SCL クロックパルス幅(Low)	Tcl	15 ※3,4	—	—	Ts ※1
SDA 入力セットアップ時間	Tsu	0	—	—	ns
SDA 入力ホールド時間	Th	0	—	—	ns
SDA 出力遅延時間	Td	10	—	※2,3	Ts ※1
START 条件開始時間	Tss	5	—	—	Ts ※1
START 条件完了時間	Tse	5	—	—	Ts ※1
STOP 条件開始時間	Tps	5	—	—	Ts ※1
STOP 条件完了時間	Tpe	5	—	—	Ts ※1
SCL to Gpio-SCL 遅延時間	Tdcl	5	—	6 ※3	Ts ※1
SDA(input) to Gpio-SDA(output)遅延時間 Gpio-SDA(input) to SDA(output)遅延時間	Tdda	5	—	6 ※3	Ts ※1

- ※1 T_s :CLKIN クロックサイクル時間 (例 $f=25\text{MHz}$ の場合、 $T_s=40\text{ns}$)
- ※2 I²C HOLD COUNTER[041Ch]の設定により、最大 4 μs 程度まで調整可能です。
- ※3 本数値は、外部バス立ち上がり時間= $1T_s$ ($f=25\text{MHz}$ の場合、40ns)以内を前提としています。負荷容量とプルアップ抵抗値によりバス立ち上がり時間が $1T_s$ を越える場合には、本数値が増加しますのでご注意ください。
参考) $f=25\text{MHz}$ の場合、立ち上がり時間 400ns で+10 T_s 程度、立ち上がり時間 1000ns で、+25 T_s 程度の増加となります。
- ※4 本数値は、I²C HOLD COUNTER[041Ch]の設定値が“0”を前提としています。I²C HOLD COUNTER の設定値による出力遅延時間の増加に伴って、本数値が増加(クロック周波数については減少)しますのでご注意ください。
参考) $f=25\text{MHz}$ の場合、I²C HOLD COUNTER 設定 0Ah(約 400ns 設定)時に+10 T_s 程度の増加となります。

7.4.4 Reset

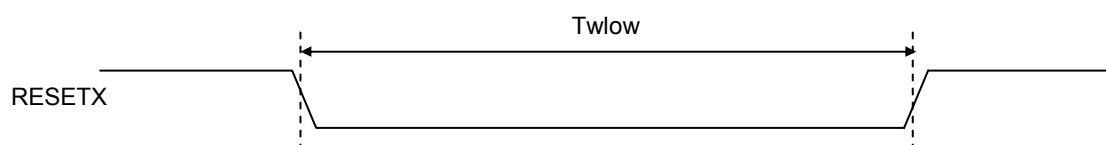


Fig.7.4 Reset Timing Chart

Table 7.7 Reset

Top= -40 to +105 °C, HVDD, HVDD1, HVDD4 = 2.4 to 3.6 V, LVDD=1.65 to 1.95 V, VSS = 0 V, CL=30pF (出力)

項目	記号	Min.	Typ.	Max.	単位
リセットパルス幅	Twlow	100	—	—	ns

8. APPLICATION DIAGRAM

8. APPLICATION DIAGRAM

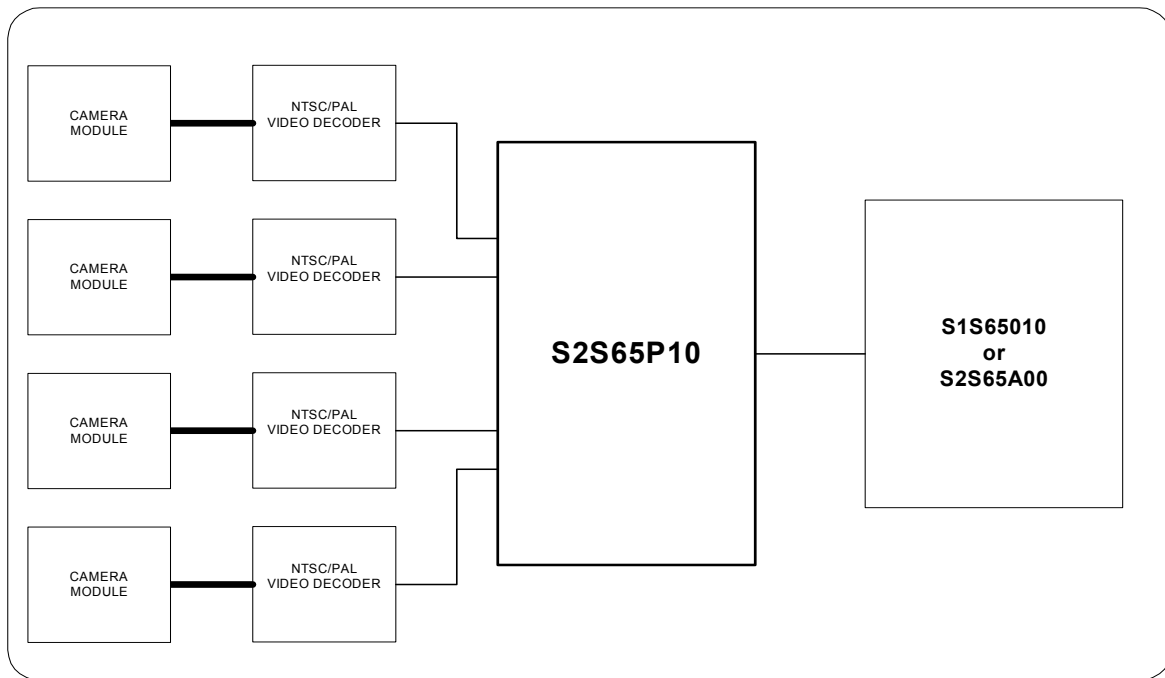


Fig.8.1 System Example 1

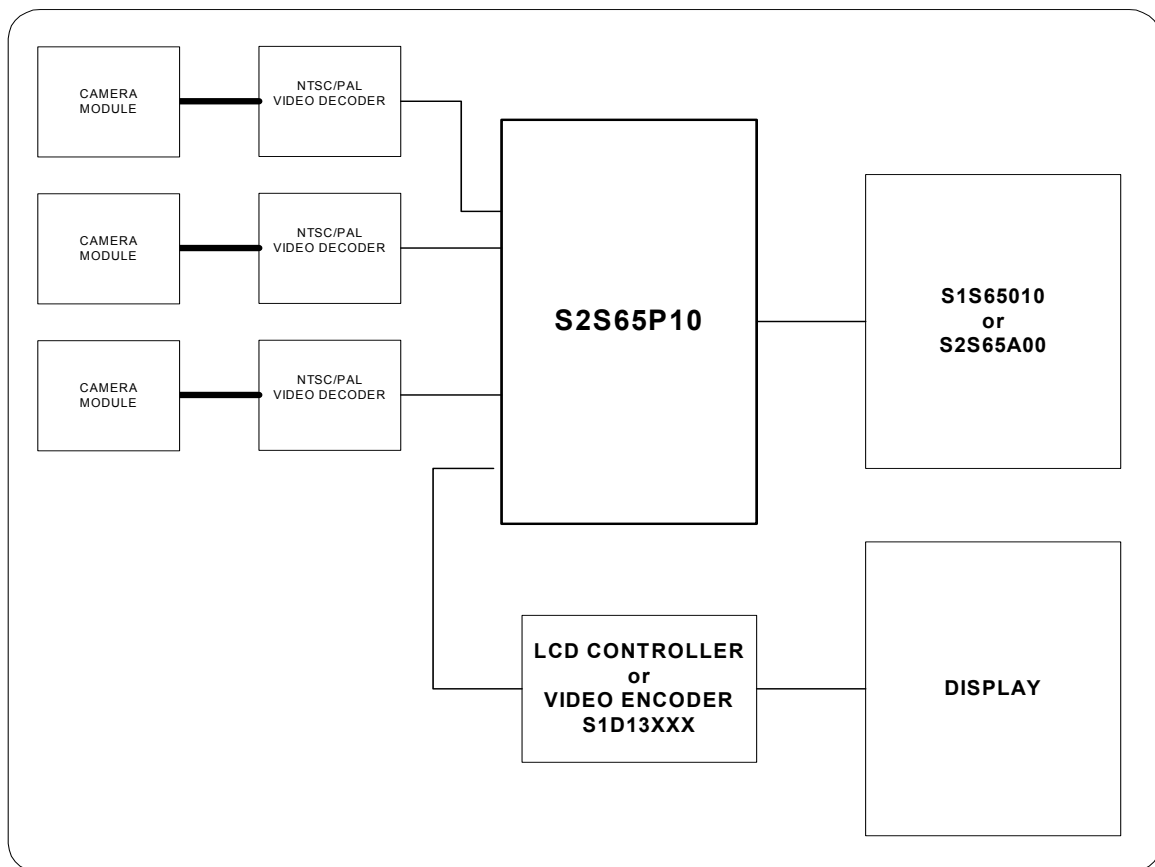
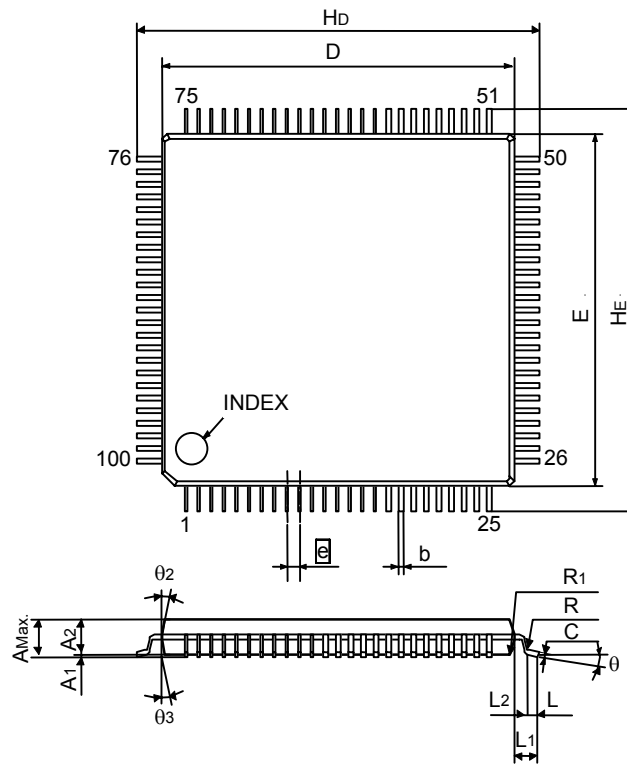


Fig.8.2 System Example 2

9. MECHANICAL DIMENSIONS

※改良のため予告なく変更することがあります。



Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
E	13.9	14	14.1
D	13.9	14	14.1
A			1.7
A ₁		0.1	
A ₂	1.3	1.4	1.5
e		0.5	
b	0.13	0.18	0.28
C	0.1	0.125	0.175
θ	0°		10°
L	0.3	0.5	0.7
L ₁		1	
L ₂		0.5	
H _E	15.7	16	16.3
H _D	15.7	16	16.3
θ ₂		12°	
θ ₃		12°	
R		0.2	
R ₁		0.2	

Fig.9.1 QFP15-100pin PACKAGE

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411088901
2007年 8月 作成