

GATE ARRAY

S1L60000 シリーズ デザインガイド

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

第1章 概要	1
1.1 特長.....	1
1.2 マスタ構成.....	2
1.3 電気的特性・規格（2電源の場合）.....	3
1.3.1 絶対最大定格.....	3
1.3.2 推奨動作条件.....	4
1.3.3 電気的特性.....	7
1.3.4 オーバershoot/アンダershoot.....	9
1.3.5 静的消費電流.....	10
1.4 電気的特性・規格（単一電源の場合）.....	11
1.4.1 絶対最大定格.....	11
1.4.2 推奨動作条件.....	12
1.4.3 電気的特性.....	14
1.4.4 オーバershoot/アンダershoot.....	17
1.4.5 静的消費電流.....	18
1.5 開発フロー.....	19
1.5.1 サインオフまでの開発フロー.....	19
1.5.2 論理合成・配置配線作業フロー（セイコーエプソン作業）.....	20
1.5.3 仮（トライアル用）データの提出.....	23
1.5.4 試作から量産制定までのフロー.....	24
第2章 RTL 設計上の注意（Verilog-HDL）	25
2.1 基本構成.....	25
2.1.1 論理合成可能なRTLデータの提出.....	25
2.1.2 ライブラリ・セルの使用.....	25
2.1.3 ifdef と parameter.....	25
2.2 端子名の制約.....	25
2.2.1 外部端子名制約.....	25
2.2.2 内部端子名制約.....	26
2.2.3 Verilog 予約語.....	26
2.3 タイミング制約情報の提出.....	27
2.3.1 クロック情報.....	27
2.3.2 外部端子のタイミング制約.....	30
2.4 入出力バッファの挿入.....	35
2.5 RAM の記述.....	35
2.6 発振セルの記述.....	35
第3章 テスト回路設計上の注意	36
3.1 推奨DC・ACテスト回路の挿入.....	36
3.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用.....	36
3.1.2 テスト回路付き出力バッファおよび双方向バッファ セル名.....	36
3.1.3 お客さま設計によりテスト回路挿入される場合.....	36

3.2	スキャン (SCAN) 回路の挿入	37
3.2.1	スキャン (SCAN) 回路	37
3.2.2	お客さま設計にてスキャン (SCAN) 回路挿入される場合	37
3.3	バウンダリスキャン (JTAG) 回路の挿入	38
3.3.1	インストラクション	38
3.3.2	ゲート数の見積り	38
3.3.3	お客さま設計にてバウンダリスキャン (JTAG) 回路挿入される場合	38
3.4	RAM のテスト回路: メモリ BIST (Built in Self Test)	39
3.4.1	メモリ BIST 用テスト入出力端子	39
3.4.2	通常動作時の制約事項	40
3.4.3	メモリクロックのスキュー調整	40
3.4.4	その他	40
第 4 章	テストパターン作成上の注意	41
4.1	サインオフ・シミュレーション向けテストパターンの作成	41
4.1.1	テストパターンの形式	41
4.1.2	テストパターンの制約	43
4.1.3	外部双方向端子のイネーブル信号	44
4.2	製品出荷テスト向けのテストパターン作成	45
4.2.1	使用可能な入力波形	45
4.2.2	テストパターンの各種制限	46
4.2.3	DC・AC テストパターンについて	47
4.2.4	発振回路使用時の注意点	47
4.2.5	ハイインピーダンス状態の扱いに関する注意点	48
第 5 章	回路設計上の注意	49
5.1	発振回路	49
5.1.1	発振回路の構成	49
5.1.2	発振回路を使用する場合の注意	51
5.1.3	発振セルの RTL 記述について	51
5.1.4	発振回路使用時のテストパターンについて	52
5.2	内部バスの構成	53
5.3	外部バスとの競合防止	54
5.4	メタステーブル (Metastable)	55
第 6 章	入出力バッファの種類と使用上の注意	56
6.1	入出力バッファの種類及び選択	56
6.1.1	入出力バッファの選択	56
6.1.2	バスホールド機能つき入出力バッファ	56
6.2	2 電源使用上の注意	57
6.2.1	2 電源対応の方法	57
6.2.2	2 電源使用時の電源	57
6.2.3	電源の投入・切断について	58
6.3	2 電源対応の入出力バッファ	59

6.3.1	入力バッファ一覧 (2 電源)	59
6.3.2	出力バッファ一覧 (2 電源)	62
6.3.3	双方向バッファ一覧 (2 電源)	69
6.4	単一電源対応の入出力バッファ	76
6.4.1	入力バッファ一覧 (単一電源)	76
6.4.2	出力バッファ一覧 (単一電源)	77
6.4.3	双方向バッファ一覧 (単一電源)	82
6.5	Fail-Safe 入出力バッファ	86
6.5.1	概要	86
6.5.2	特長	86
6.5.3	使用上の注意点	86
6.5.4	Fail-Safe バッファ一覧	87
6.6	Gated 入出力バッファ	92
6.6.1	概要	92
6.6.2	特長	92
6.6.3	使用上の注意点	92
6.6.4	Gate バッファ一覧	93
第 7 章	端子配置と同時動作	99
7.1	電源端子数の見積り	99
7.2	同時動作と電源追加	100
7.2.1	2 電源使用上の注意 ($HV_{DD}=3.3V/LV_{DD}=2.5V$)	100
7.2.2	単一電源使用上の注意	101
7.3	端子配置上の注意点	103
7.3.1	固定電源端子	103
7.3.2	端子配列上の注意事項	103
7.3.3	推奨端子配列例	108
第 8 章	RAM 仕様	110
8.1	非同期型 RAM	110
8.1.1	非同期型 RAM 特長	110
8.1.2	非同期型 RAM サイズ	111
8.1.3	RAM の搭載可否判断	112
8.1.4	非同期型 RAM 機能説明	113
8.1.5	非存在アドレスへのアクセス禁止	115
8.1.6	非同期型 RAM 遅延パラメータ	116
8.1.7	非同期型 RAM タイミングチャート	133
8.2	同期型 RAM	135
8.2.1	同期型 RAM 特長	135
8.2.2	同期型 RAM サイズ	136
8.2.3	RAM の搭載可否判断	136
8.2.4	同期型 RAM 機能説明	137
8.2.5	非存在アドレスへのアクセス禁止	140
8.2.6	同期型 RAM 遅延パラメータ	141
8.2.7	同期型 RAM タイミングチャート	154

第9章 消費電力の見積り	156
9.1 消費電力計算	156
9.1.1 2電源の場合の消費電力計算	156
9.1.2 単一電源の場合の消費電力の計算	159
9.2 消費電力制限	160
付録	162
A1. シミュレーション結果例	162
A1.1 シミュレーション結果と期待値とのコンペアファイル例	162
A1.2 タイミングエラー・リスト	164
A2. RTL 設計上の注意 (VHDL)	167
A2.1 論理合成可能な RTL の提出	167
A2.2 階層設計図の提出	167
A2.3 RAM の記述	167
A2.4 入力ポートへの定数割り当て	167
A2.5 端子名の制約	168
A2.6 ポートのデータ型	169
A2.7 integer の使用について	169
A2.8 入出力バッファ	170
A2.9 プリミティブ・セルの使用	171
A3. テスト回路挿入	172
A3.1 スキャン (SCAN) 回路挿入	172
A3.2 バウンダリスキャン (JTAG) 回路挿入	178
A3.3 機能セルテスト回路挿入	180
A4. DC・AC テストパターン	181
A4.1 DC テストパターン	181
A4.2 AC テストパターン	183
A5. 入出力バッファ特性グラフ	184
A5.1 入出力バッファ特性 (3.3V 動作時)	184
A5.2 入出力バッファ特性 (2.5V 動作時)	193
A5.3 入出力バッファ特性 (2.0V 動作時)	202
A5.4 入出力バッファ特性 (1.8V 動作時)	211
改訂履歴表	217

第1章 概要

セイコーエプソンの S1L60000 シリーズは、0.25 μ m プロセスを採用した Sea of Gates タイプのゲートアレイシリーズです。

1.1 特長

- プロセス 0.25 μ m CMOS 3/4 層 配線
- 集積度 最大 2,519,604 ゲート (2 入力 NAND ゲート換算)
- 動作速度
 - 内部ゲート : 107ps (2.5V Typ.)、140ps (2.0V Typ.)、162ps (1.8V Typ.)
(2 入力 NAND、F/O=1、標準配線負荷、Typ. Condition)
 - 入力バッファ : 260ps (3.3V Typ.) レベルシフト使用
270ps (2.5V Typ.)、360ps (2.0V Typ.)、400ps (1.8V Typ.)
(F/O=2、標準配線負荷、Typ. Condition)
 - 出力バッファ : 1.5ns (3.3V Typ.) レベルシフト使用
1.6ns (2.5V Typ.)、2.3ns (2.0V Typ.)、2.6ns (1.8V Typ.)
($C_L=15$ pF、Typ. Condition)
- I/F レベル CMOS 入出力、LVTTTL コンパチブル
- 入力モード CMOS、LVTTTL、CMOS シュミット、LVTTTL シュミット、PCI-3V、Gate 入力、Fail-Safe 入力
プルアップ、プルダウン抵抗内蔵可能 (抵抗値各 2 種)
- 出力モード ノーマル、3-ステート、双方向、PCI-3V、Fail-Safe 出力
- 駆動出力
 - $I_{OL}=0.1, 1, 3, 6, 12, 24$ mA 選択可能 (3.3V レベルシフト使用時)
 - $I_{OL}=0.1, 1, 3, 6, 9, 18$ mA 選択可能 (2.5V 時)
 - $I_{OL}=0.05, 0.3, 1, 2, 3, 6$ mA 選択可能 (2.0V 時)
 - $I_{OL}=0.045, 0.27, 0.9, 1.8, 2.7, 5.4$ mA 選択可能 (1.8V 時)
- RAM 非同期 1 ポート、非同期 2 ポート (内部ロジック 1.8V 場合サポート無し)
同期 1 ポート、同期 2 ポート
- レベルシフト内蔵による 2 電源動作対応
 - 入出力バッファ : 3.3V \pm 0.3V
高電圧、低電圧インターフェース混在可能
 - 内部ロジック : 2.5V \pm 0.2V 動作
: 2.0V \pm 0.2V 動作
: 1.8V \pm 0.15V 動作
- 単一電源電圧
 - $V_{DD}=2.5V \pm 0.2V$ 動作可能
 - $V_{DD}=2.0V \pm 0.2V$ 動作可能
 - $V_{DD}=1.8V \pm 0.15V$ 動作可能

第1章 概要

1.2 マスタ構成

S1L60000 シリーズは、10種類のマスタを用意しています。ゲート規模、入出力端子数（電源端子を含む）および使用するパッケージにより、最適なマスタを表 1-1 より選択ください。

表 1-1 S1L60000 シリーズ マスタ

マスタ	BC 総数*1	PAD 数	BC 配列数		セル使用率 U: (%) *2	
			X 方向	Y 方向	3 層	4 層
S1L60093/60094	99,220	112	605	164	60	70
S1L60173/60174	171,720	148	795	216	60	70
S1L60283/60284	284,394	188	1,023	278	50	65
S1L60403/60404	400,290	224	1,213	330	50	65
S1L60593/60594	595,362	272	1,481	402	50	65
S1L60833/60834	831,572	284	1,747	476	40	50
S1L61233/61234	1,234,820	344	2,129	580	40	50
S1L61583/61584	1,587,754	388	2,413	658	40	50
S1L61903/61904	1,902,960	424	2,643	720	40	50
S1L62513/62514	2,519,604	488	3,043	828	40	50

注) *1: 使用可能な BC (ベシック・セル) 数は、各マスタごとの BC 数総数 (BC_G) とセル使用効率 (U) を用い次の式で計算します。

$$\text{使用可能 BC 数 (BC}_A\text{) の概算式} \quad BC_A = BC_G \times U$$

その際、弊社推奨テスト回路用として 350BC 程度、見積りを加えてください。

*2: セル使用効率は回路規模だけでなく信号線数、1 信号当たりの分岐数等によっても変わりますので、表中の値は目安としてご参照してください。

RAM セル等を搭載しない場合の値です。RAM を回路に含む場合の見積りは「第 8 章 RAM 仕様」を参照してください。RAM セルの形状は固定されており、BC 数からの概算式が適用できなくなる場合がありますのでご注意ください。

1.3 電気的特性・規格（2電源の場合）

1.3.1 絶対最大定格

表 1-2 絶対最大定格（2電源の場合）

 $(V_{SS}=0V)$

項目	記号	定格値	単位
電源電圧	HV_{DD}^{*3}	-0.3~4.0	V
	LV_{DD}^{*3}	-0.3~3.0	V
入力電圧	HV_I	-0.3~ $HV_{DD}+0.5^{*1}$	V
	LV_I	-0.3~ $LV_{DD}+0.5^{*1}$	V
出力電圧	HV_O	-0.3~ $HV_{DD}+0.5^{*1}$	V
	LV_O	-0.3~ $LV_{DD}+0.5^{*1}$	V
出力電流／端子	I_{OUT}	±30 (±50 ^{*2})	mA
保存温度	T_{stg}	-65~150	°C

注) *1 : Nチャネルオープンドレイン、双方向バッファ、セル名が“ID”で始まる入力バッファおよび Fail-Safe バッファについては、4.0V まで許容できます。

*2 : 出力電流 24mA のバッファに適用してください。

*3 : $HV_{DD} \geq LV_{DD}$ としてください。

第1章 概要

1.3.2 推奨動作条件

表 1-3-1 推奨動作条件 (2 電源 $HV_{DD}=3.3V/LV_{DD}=2.5V$ の場合)

($V_{SS}=0V$)

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HV_{DD}	3.0	3.3	3.6	V
電源電圧 (低電圧)	LV_{DD}	2.3	2.5	2.7	V
入力電圧	HV_I	-0.3	—	$HV_{DD}+0.3^{*1}$	V
	LV_I	-0.3	—	$LV_{DD}+0.3^{*1}$	V
周囲温度	T_a	-40	25	85^{*2}	°C
入力立ち上がり時間 (ノーマル入力) ^{*3}	t_{r1}	—	—	50	ns
入力立ち下がり時間 (ノーマル入力) ^{*3}	t_{f1}	—	—	50	ns
入力立ち上がり時間 (シュミット入力) ^{*3}	t_{r2}	—	—	5	ms
入力立ち下がり時間 (シュミット入力) ^{*3}	t_{f2}	—	—	5	ms

注) *1: N チャンネルオープンドレイン双方向バッファと、セル名が“ID”で始まる入力バッファと、Fail-Safe バッファについては、3.9V まで入力可能です。

*2: この温度範囲は、 $T_j=-40\sim 125^\circ\text{C}$ を想定した推奨周囲温度です。

*3: この時間は、電源電圧の 10%~90% の変化時間です。

表 1-3-2 推奨動作条件 (2 電源 $HV_{DD}=3.3V/LV_{DD}=2.0V$ の場合)(V_{SS}=0V)

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HV_{DD}	3.0	3.3	3.6	V
電源電圧 (低電圧)	LV_{DD}	1.8	2.0	2.2	V
入力電圧	HV_I	-0.3	—	$HV_{DD}+0.3^{*1}$	V
	LV_I	-0.3	—	$LV_{DD}+0.3^{*1}$	V
周囲温度	T_a	-40	25	85 ^{*2}	°C
入力立ち上がり時間 (ノーマル入力) ^{*3}	Ht_{r1}	—	—	50	ns
	Lt_{r1}	—	—	100	
入力立ち下がり時間 (ノーマル入力) ^{*3}	Ht_{f1}	—	—	50	ns
	Lt_{f1}	—	—	100	
入力立ち上がり時間 (シュミット入力) ^{*3}	Ht_{r2}	—	—	5	ms
	Lt_{r2}	—	—	10	
入力立ち下がり時間 (シュミット入力) ^{*3}	Ht_{f2}	—	—	5	ms
	Lt_{f2}	—	—	10	

注) *1 : Nチャネルオープンドレイン双方向バッファと、セル名が“ID”で始まる入力バッファと、Fail-Safe バッファについては、3.9Vまで入力可能です。

*2 : この温度範囲は、 $T_j=-40\sim 125^{\circ}\text{C}$ を想定した推奨周囲温度です。

*3 : この時間は、電源電圧の10%~90%の変化時間です。

第 1 章 概要

表 1-3-3 推奨動作条件 (2 電源 $HV_{DD}=3.3V/LV_{DD}=1.8V$ の場合)

($V_{SS}=0V$)

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HV_{DD}	3.00	3.30	3.60	V
電源電圧 (低電圧)	LV_{DD}	1.65	1.80	1.95	V
入力電圧	HV_I	-0.3	—	$HV_{DD}+0.3^{*1}$	V
	LV_I	-0.3	—	$LV_{DD}+0.3^{*1}$	V
周囲温度	T_a	-40	25	85^{*2}	°C
入力立ち上がり時間 (ノーマル入力) ^{*3}	Ht_{r1}	—	—	50	ns
	Lt_{r1}	—	—	100	
入力立ち下がり時間 (ノーマル入力) ^{*3}	Ht_{f1}	—	—	50	ns
	Lt_{f1}	—	—	100	
入力立ち上がり時間 (シュミット入力) ^{*3}	Ht_{r2}	—	—	5	ms
	Lt_{r2}	—	—	10	
入力立ち下がり時間 (シュミット入力) ^{*3}	Ht_{f2}	—	—	5	ms
	Lt_{f2}	—	—	10	

注) *1: Nチャネルオープンドレイン双方向バッファと、セル名が“ID”で始まる入力バッファと、Fail-Safe バッファについては、3.9V まで入力可能です。

*2: この温度範囲は、 $T_j=-40\sim 125^{\circ}C$ を想定した推奨周囲温度です。

*3: この時間は、電源電圧の 10%~90% の変化時間です。

1.3.3 電気的特性

電気的特性 LV_{DD}=2.5V の場合は 表 1-10、LV_{DD}=2.0V の場合は 表 1-11、LV_{DD}=1.8V の場合は 表 1-12 を参照ください。

表 1-4-1 電気的特性 (1/2)

(HV_{DD}=3.3V±0.3V 共通、V_{SS}=0V、T_a=-40~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	I _{LI}	—	-5	—	5	μA
オフステートリーク電流	I _{OZ}	—	-5	—	5	μA
高レベル出力電圧	V _{OH}	I _{OH} =-0.1mA (Type S), -1mA (Type M) -3mA (Type 1), -6mA (Type 2) -12mA (Type 3), -24mA (Type 4) HV _{DD} =Min.	HV _{DD} -0.4	—	—	V
低レベル出力電圧	V _{OL}	I _{OL} =0.1mA (Type S), 1mA (Type M) 3mA (Type 1), 6mA (Type 2) 12mA (Type 3), 24mA (Type 4) HV _{DD} =Min.	—	—	0.4	V
高レベル入力電圧	V _{IH1}	CMOS レベル、HV _{DD} =Max.	2.2	—	HV _{DD} +0.3	V
低レベル入力電圧	V _{IL1}	CMOS レベル、HV _{DD} =Min.	-0.3	—	0.8	V
立上り入カスレッシュヨルド電圧	V _{T1+}	CMOS シュミット	1.4	—	2.7	V
立下り入カスレッシュヨルド電圧	V _{T1-}	CMOS シュミット	0.6	—	1.8	V
ヒステリシス電圧	ΔV	CMOS シュミット	0.3	—	—	V
高レベル入力電圧	V _{IH2}	TTL レベル、HV _{DD} =Max.	2.0	—	HV _{DD} +0.3	V
低レベル入力電圧	V _{IL2}	TTL レベル、HV _{DD} =Min.	-0.3	—	0.8	V
立上り入カスレッシュヨルド電圧	V _{T2+}	TTL シュミット	1.1	—	2.4	V
立下り入カスレッシュヨルド電圧	V _{T2-}	TTL シュミット	0.6	—	1.8	V
ヒステリシス電圧	V _{H2}	TTL シュミット	0.1	—	—	V
高レベル入力電圧*1	V _{IH3}	PCI レベル、HV _{DD} =Max.	1.8	—	HV _{DD} +0.3	V
低レベル入力電圧*1	V _{IL3}	PCI レベル、HV _{DD} =Min.	-0.3	—	0.9	V

注) *1 : PCI 規格 Rev. 2.2 に準拠です。

第1章 概要

表 1-4-2 電気的特性 (2/2)

($HV_{DD}=3.3V\pm 0.3V$ 共通、 $V_{SS}=0V$ 、 $T_a=-40\sim 85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	
プルアップ抵抗	R_{PU}	$V_I=0V$	Type 1	30	60	144	$k\Omega$
			Type 2	60	120	288	$k\Omega$
プルダウン抵抗	R_{PD}	$V_I=HV_{DD}$	Type 1	30	60	144	$k\Omega$
			Type 2	60	120	288	$k\Omega$
高レベル出力電流*1	I_{OH3}	PCI 対応 $V_{OH}=0.90V$ 、 $HV_{DD}=\text{Min.}$ $V_{OH}=2.52V$ 、 $HV_{DD}=\text{Max.}$	-36 —	— —	— -115	mA	
低レベル出力電流*1	I_{OL3}	PCI 対応 $V_{OL}=1.80V$ 、 $HV_{DD}=\text{Min.}$ $V_{OL}=0.65V$ 、 $HV_{DD}=\text{Max.}$	48 —	— —	— 137	mA	
高レベル保持電流	I_{BHH}	バスホールド対応 $V_{IN}=2.0V$ $HV_{DD}=\text{Min.}$	—	—	-20	μA	
低レベル保持電流	I_{BHL}	バスホールド対応 $V_{IN}=0.8V$ $HV_{DD}=\text{Min.}$	—	—	17	μA	
高レベル反転電流	I_{BHHO}	バスホールド対応 $V_{IN}=0.8V$ $HV_{DD}=\text{Max.}$	-350	—	—	μA	
低レベル反転電流	I_{BHL0}	バスホールド対応 $V_{IN}=2.0V$ $HV_{DD}=\text{Max.}$	210	—	—	μA	
入力端子容量	C_I	$f=1\text{MHz}$ 、 $HV_{DD}=0V$	—	—	10	pF	
出力端子容量	C_O	$f=1\text{MHz}$ 、 $HV_{DD}=0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f=1\text{MHz}$ 、 $HV_{DD}=0V$	—	—	10	pF	

注) *1 : PCI 規格 Rev. 2.2 に準拠です。

1.3.4 オーバーシュート／アンダーシュート

入力バッファ、双方向バッファへの入力波形に関して、用途によってオーバーシュート、アンダーシュートが表1-3の推奨動作条件の最大入力電圧を超える場合、下記のような時間内でのオーバーシュート／アンダーシュートを規定しています。

$HV_{DD}=3.3\pm 0.3V$ 条件でオーバーシュート／アンダーシュートを許容できる電圧と時間

オーバーシュート 最大ピーク電圧 : $V_{DD}+1.0V$ (*1)

オーバーシュート 最大時間(*2) : 50 ns

アンダーシュート 最小ピーク電圧 : $V_{SS}-1.0V$

アンダーシュート 最大時間(*2) : 50 ns

注) *1: Nチャンネルオープンドレインの双方向バッファと、セル名が“ID”で始まる入力バッファと、Fail-Safeセルについては、4.0Vまで許容できます。

*2: 時間とは、入力電圧が V_{DD} 上回っている時間、または、 V_{SS} より下回っている時間を指します。ただし、上記*1の場合は、3.9Vより上回っている時間になります。

(補足)

オーバーシュート、アンダーシュートの大きな波形では、反射波が入力の V_{IH}/V_{IL} の規格を満足しているかどうかを確認してください。たとえ上記規格を満足していても、反射波が V_{IH}/V_{IL} の規格を満足しない範囲まで到達していた場合は、誤動作を起こす危険性があります。(オシロスコープ等で、入力波形を直接確認することをお奨めします。)

第1章 概要

1.3.5 静的消費電流

表 1-5 静的消費電流 (2電源の場合)

(Tj = 85°C)

マスタ	3.3V ± 0.3V HI _{DD5} Max.	2.5V ± 0.2V LI _{DD5} Max.	2.0V ± 0.2V LI _{DD5} Max.	1.8V ± 0.15V LI _{DD5} Max.	単位
S1L60093/60094 S1L60173/60174 S1L60283/60284	21	120	90	73	μA
S1L60403/60404 S1L60593/60594 S1L60833/60834	35	330	270	219	μA
S1L61233/61234 S1L61583/61584	48	630	510	414	μA
S1L61903/61904 S1L62513/62514	60	1000	800	648	μA

注) HI_{DD5} : HV_{DD} ~ V_{SS}間の静的消費電流です。LI_{DD5} : LV_{DD} ~ V_{SS}間の静的消費電流です。
使用する電圧に対応した静的消費電流の和がトータルの静的消費電流となります。

$$(I_{DD5} = HI_{DD5} + LI_{DD5})$$

Tj=85°C以外での静的消費電流に関しては、以下の式を用いることで概算値を求めることができます。(ただし、Tj=-40~85°Cの間のみとなります。Tj=125°Cの場合は、温度係数=12として計算してください。Tj=85°C~125°Cの場合は、別途弊社営業担当までお問合せください。)

$$I_{DD5}(Tj) = I_{DD5}(Tj=85°C) \times \text{温度係数}$$

$$= I_{DD5}(Tj=85°C) \times 10^{\frac{Tj-85}{60}}$$

(例) S1L60833 で、HVDD=3.3V、LVDD=2.0V、Tj=50°Cでの IDDS の概算値は以下のとおりです。

$$\begin{aligned} HI_{DD5}(Tj=50°C) &= I_{DD5}(Tj=85°C) \times 10^{\frac{50-85}{60}} \\ &= 35 \times 0.261 \\ &= 9.14 (\mu A) \end{aligned}$$

$$\begin{aligned} LI_{DD5}(Tj=50°C) &= I_{DD5}(Tj=85°C) \times 10^{\frac{50-85}{60}} \\ &= 270 \times 0.261 \\ &= 70.47 (\mu A) \end{aligned}$$

$$I_{DD5} = HI_{DD5} + LI_{DD5} = 9.14 + 70.47 = 79.61 (\mu A)$$

となります。

1.4 電気的特性・規格（単一電源の場合）

1.4.1 絶対最大定格

表 1-6 絶対最大定格（単一電源の場合）

($V_{SS}=0V$)

項目	記号	定格値	単位
電源電圧	V_{DD}	-0.3~3.0	V
入力電圧	V_I	-0.3~ $V_{DD}+0.5^{*1}$	V
出力電圧	V_O	-0.3~ $V_{DD}+0.5^{*1}$	V
出力電流／端子	I_{OUT}	±30	mA
保存温度	T_{stg}	-65~150	°C

注) *1 : N チャネルオープンドレイン、双方向バッファ、セル名が“ID”で始まる入力バッファおよび Fail-Safe バッファについては、4.0V まで許容できます。

第 1 章 概要

1.4.2 推奨動作条件

表 1-7 推奨動作条件（単一電源 $V_{DD}=2.5V$ の場合）

($V_{SS}=0V$)

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{DD}	2.3	2.5	2.7	V
入力電圧	V_I	-0.3	—	$V_{DD}+0.3^{*1}$	V
周囲温度	T_a	-40	25	85^{*2}	°C
入力立ち上がり時間（ノーマル入力） ^{*3}	t_{r1}	—	—	50	ns
入力立ち下がり時間（ノーマル入力） ^{*3}	t_{f1}	—	—	50	ns
入力立ち上がり時間（シュミット入力） ^{*3}	t_{r2}	—	—	5	ms
入力立ち下がり時間（シュミット入力） ^{*3}	t_{f2}	—	—	5	ms

注) *1 : Nチャネルオープンドレイン双方向バッファと、セル名が“ID”で始まる入力バッファおよび Fail-Safe バッファについては、3.9V まで入力可能です。

*2 : この温度範囲は、 $T_j=-40\sim 125^{\circ}C$ を想定した推奨周囲温度です。

*3 : この時間は、電源電圧の 10%~90% の変化時間です。

表 1-8 推奨動作条件（単一電源 $V_{DD}=2.0V$ の場合）

($V_{SS}=0V$)

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{DD}	1.8	2.0	2.2	V
入力電圧	V_I	-0.3	—	$V_{DD}+0.3^{*1}$	V
周囲温度	T_a	-40	25	85^{*2}	°C
入力立ち上がり時間（ノーマル入力） ^{*3}	t_{r1}	—	—	100	ns
入力立ち下がり時間（ノーマル入力） ^{*3}	t_{f1}	—	—	100	ns
入力立ち上がり時間（シュミット入力） ^{*3}	t_{r2}	—	—	10	ms
入力立ち下がり時間（シュミット入力） ^{*3}	t_{f2}	—	—	10	ms

注) *1 : Nチャネルオープンドレイン双方向バッファと、セル名が“ID”で始まる入力バッファおよび Fail-Safe バッファについては、3.9V まで入力可能です。

*2 : この温度範囲は、 $T_j=-40\sim 125 [^{\circ}C]$ を想定した推奨周囲温度です。

*3 : この時間は、電源電圧の 10%~90% の変化時間です。

表 1-9 推奨動作条件 (単一電源 $V_{DD}=1.8V$ の場合) $(V_{SS}=0V)$

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{DD}	1.65	1.80	1.95	V
入力電圧	V_I	-0.3	—	$V_{DD}+0.3^{*1}$	V
周囲温度	T_a	-40	25	85^{*2}	°C
入力立ち上がり時間 (ノーマル入力) ^{*3}	t_{r1}	—	—	100	ns
入力立ち下がり時間 (ノーマル入力) ^{*3}	t_{f1}	—	—	100	ns
入力立ち上がり時間 (シュミット入力) ^{*3}	t_{r2}	—	—	10	ms
入力立ち下がり時間 (シュミット入力) ^{*3}	t_{f2}	—	—	10	ms

注) *1 : Nチャネルオープンドレイン双方向バッファと、セル名が“ID”で始まる入力バッファおよび Fail-Safe バッファについては、3.9V まで入力可能です。

*2 : この温度範囲は、 $T_j=-40\sim 125^{\circ}\text{C}$ を想定した推奨周囲温度です。

*3 : この時間は、電源電圧の 10%~90% の変化時間です。

第1章 概要

1.4.3 電気的特性

表 1-10 電気的特性

($V_{DD}=2.5\pm 0.2V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim 85^\circ C$)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I_{LI}	—	-5	—	5	μA	
オフステートリーク電流	I_{OZ}	—	-5	—	5	μA	
高レベル出力電圧	V_{OH}	$I_{OH} = -0.1mA$ (Type S), $-1mA$ (Type M) $-3mA$ (Type 1), $-6mA$ (Type 2) $-9mA$ (Type 3), $-18mA$ (Type 4) $V_{DD} = \text{Min.}$	V_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL} = 0.1mA$ (Type S), $1mA$ (Type M) $3mA$ (Type 1), $6mA$ (Type 2) $9mA$ (Type 3), $18mA$ (Type 4) $V_{DD} = \text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH1}	CMOS レベル、 $V_{DD} = \text{Max.}$	1.7	—	V_{DD} +0.3	V	
低レベル入力電圧	V_{IL1}	CMOS レベル、 $V_{DD} = \text{Min.}$	-0.3	—	0.7	V	
立上り入カスレッシュヨルド電圧	V_{TI+}	CMOS シュミット	0.8	—	1.9	V	
立下り入カスレッシュヨルド電圧	V_{TI-}	CMOS シュミット	0.5	—	1.3	V	
ヒステリシス電圧	ΔV	CMOS シュミット	0.1	—	—	V	
プルアップ抵抗	R_{PU}	$V_I = 0V$	Type 1	20	50	120	$k\Omega$
			Type 2	40	100	240	$k\Omega$
プルダウン抵抗	R_{PD}	$V_I = V_{DD}$	Type 1	20	50	120	$k\Omega$
			Type 2	40	100	240	$k\Omega$
高レベル保持電流	I_{BHH}	バスホールド対応、 $V_{IN} = 1.7V$ $V_{DD} = \text{Min.}$	—	—	-5	μA	
低レベル保持電流	I_{BHL}	バスホールド対応、 $V_{IN} = 0.5V$ $V_{DD} = \text{Min.}$	—	—	5	μA	
高レベル反転電流	I_{BHHO}	バスホールド対応、 $V_{IN} = 0.5V$ $V_{DD} = \text{Max.}$	-280	—	—	μA	
低レベル反転電流	I_{BHL0}	バスホールド対応、 $V_{IN} = 1.7V$ $V_{DD} = \text{Max.}$	170	—	—	μA	
入力端子容量	C_1	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF	
出力端子容量	C_0	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF	
入出力端子容量	C_{I0}	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF	

表 1-11 電気的特性

 $(V_{DD}=2.0\pm 0.2V, V_{SS}=0V, T_a=-40\sim 85^\circ C)$

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I_{LI}	—	-5	—	5	μA	
オフステートリーク電流	I_{OZ}	—	-5	—	5	μA	
高レベル出力電圧	V_{OH}	$I_{OH} = -0.05mA$ (Type S), $-0.3mA$ (Type M) $-1mA$ (Type 1), $-2mA$ (Type 2) $-3mA$ (Type 3), $-6mA$ (Type 4) $V_{DD} = \text{Min.}$	V_{DD} -0.2	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL} = 0.05mA$ (Type S), $0.3mA$ (Type M) $1mA$ (Type 1), $2mA$ (Type 2) $3mA$ (Type 3), $6mA$ (Type 4) $V_{DD} = \text{Min.}$	—	—	0.2	V	
高レベル入力電圧	V_{IH1}	CMOS レベル、 $V_{DD} = \text{Max.}$	1.6	—	V_{DD} +0.3	V	
低レベル入力電圧	V_{IL1}	CMOS レベル、 $V_{DD} = \text{Min.}$	-0.3	—	0.3	V	
立上り入カスレッシュヨルド電圧	V_{TI+}	CMOS シュミット	0.4	—	1.6	V	
立下り入カスレッシュヨルド電圧	V_{TI-}	CMOS シュミット	0.3	—	1.4	V	
ヒステリシス電圧	ΔV	CMOS シュミット	0	—	—	V	
プルアップ抵抗	R_{PU}	$V_I = 0V$	Type 1	30	70	200	$k\Omega$
			Type 2	60	140	400	$k\Omega$
プルダウン抵抗	R_{PD}	$V_I = V_{DD}$	Type 1	30	70	200	$k\Omega$
			Type 2	60	140	400	$k\Omega$
高レベル保持電流	I_{BHH}	バスホールド対応、 $V_{IN} = 1.6V$ $V_{DD} = \text{Min.}$	—	—	-2	μA	
低レベル保持電流	I_{BHL}	バスホールド対応、 $V_{IN} = 0.3V$ $V_{DD} = \text{Min.}$	—	—	2	μA	
高レベル反転電流	I_{BHHO}	バスホールド対応、 $V_{IN} = 0.3V$ $V_{DD} = \text{Max.}$	-100	—	—	μA	
低レベル反転電流	I_{BHL0}	バスホールド対応、 $V_{IN} = 1.6V$ $V_{DD} = \text{Max.}$	100	—	—	μA	
入力端子容量	C_I	$f = 1MHz, V_{DD} = 0V$	—	—	10	pF	
出力端子容量	C_O	$f = 1MHz, V_{DD} = 0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f = 1MHz, V_{DD} = 0V$	—	—	10	pF	

第1章 概要

表 1-12 電気的特性

($V_{DD}=1.8\pm 0.15V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim 85^\circ C$)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I_{LI}	—	-5	—	5	μA	
オフステートリーク電流	I_{OZ}	—	-5	—	5	μA	
高レベル出力電圧	V_{OH}	$I_{OH} = -0.045mA$ (Type S), $-0.27mA$ (Type M) $-0.9mA$ (Type 1), $-1.8mA$ (Type 2) $-2.7mA$ (Type 3), $-5.4mA$ (Type 4) $V_{DD} = \text{Min.}$	V_{DD} -0.2	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL} = 0.045mA$ (Type S), $0.27mA$ (Type M) $0.9mA$ (Type 1), $1.8mA$ (Type 2) $2.7mA$ (Type 3), $5.4mA$ (Type 4) $V_{DD} = \text{Min.}$	—	—	0.2	V	
高レベル入力電圧	V_{IH1}	CMOS レベル、 $V_{DD} = \text{Max.}$	1.44	—	V_{DD} +0.3	V	
低レベル入力電圧	V_{IL1}	CMOS レベル、 $V_{DD} = \text{Min.}$	-0.3	—	0.27	V	
立上り入カスレッシュヨルド電圧	V_{T1+}	CMOS シュミット	0.36	—	1.4	V	
立下り入カスレッシュヨルド電圧	V_{T1-}	CMOS シュミット	0.28	—	1.32	V	
ヒステリシス電圧	ΔV	CMOS シュミット	0	—	—	V	
プルアップ抵抗	R_{PU}	$V_I = 0V$	Type 1	36	84	240	$k\Omega$
			Type 2	72	168	480	$k\Omega$
プルダウン抵抗	R_{PD}	$V_I = V_{DD}$	Type 1	36	84	240	$k\Omega$
			Type 2	72	168	480	$k\Omega$
高レベル保持電流	I_{BHH}	バスホールド対応、 $V_{IN} = 1.44V$ $V_{DD} = \text{Min.}$	—	—	-2	μA	
低レベル保持電流	I_{BHL}	バスホールド対応、 $V_{IN} = 0.27V$ $V_{DD} = \text{Min.}$	—	—	2	μA	
高レベル反転電流	I_{BHHO}	バスホールド対応、 $V_{IN} = 0.27V$ $V_{DD} = \text{Max.}$	-75	—	—	μA	
低レベル反転電流	I_{BHL0}	バスホールド対応、 $V_{IN} = 1.44V$ $V_{DD} = \text{Max.}$	75	—	—	μA	
入力端子容量	C_I	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF	
出力端子容量	C_O	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f = 1MHz$ 、 $V_{DD} = 0V$	—	—	10	pF	

1.4.4 オーバーシュート／アンダーシュート

入力バッファ、双方向バッファへの入力波形に関して、用途によってオーバーシュート、アンダーシュートが表1-7～表1-9の推奨動作条件の最大入力電圧を超える場合、下記のような時間内でのオーバーシュート／アンダーシュートを規定しています。

$V_{DD}=2.5\pm 0.2V$ 条件でオーバーシュート／アンダーシュートを許容できる
電圧と時間

オーバーシュート 最大ピーク電圧 : $V_{DD}+1.0V$ (*1)

オーバーシュート 最大時間(*2) : 50 ns

アンダーシュート 最小ピーク電圧 : $V_{SS}-1.0V$

アンダーシュート 最大時間(*2) : 50 ns

注) *1: Nチャネルオープンドレインの双方向バッファと、セル名が“ID”で始まる入力バッファと、Fail-Safeセルについては、4.0Vまで許容できます。

*2: 時間とは、入力電圧が V_{DD} 上回っている時間、または、 V_{SS} より下回っている時間を指します。ただし、上記*1の場合は、3.9Vより上回っている時間になります。

(補足)

オーバーシュート、アンダーシュートの大きな波形では、反射波が入力の V_{IH}/V_{IL} の規格を満足しているかどうかを確認してください。たとえ上記規格を満足していても、反射波が V_{IH}/V_{IL} の規格を満足しない範囲まで到達していた場合は、誤動作を起こす危険性があります。(オシロスコープ等で、入力波形を直接確認することをお奨めします。)

第 1 章 概要

1.4.5 静的消費電流

表 1-9 静的消費電流静的消費電流（単一電源の場合）

(Tj = 85°C)

マスタ	2.5V ± 0.2V I _{DDs} Max.	2.0V ± 0.2V I _{DDs} Max.	1.8V ± 0.15V I _{DDs} Max.	単位
S1L60093/60094 S1L60173/60174 S1L60283/60284	120	90	73	μA
S1L60403/60404 S1L60593/60594 S1L60833/60834	330	270	219	μA
S1L61233/61234 S1L61583/61584	630	510	414	μA
S1L61903/61904 S1L62513/62514	1000	800	648	μA

注*1) I_{DDs} : V_{DD} ~ V_{SS}間の静的消費電流です。

Tj=85°C以外での静的消費電流に関しては、以下の式を用いることで概算値を求めることができます。（ただし、Tj=-40~85°Cの間のみとなります。Tj=125°Cの場合は、温度係数=12として計算してください。Tj=85°C~125°Cの場合は、別途弊社営業担当までお問合せください。）

$$\begin{aligned}
 I_{DDs}(Tj) &= I_{DDs}(Tj=85^\circ\text{C}) \times \text{温度係数} \\
 &= I_{DDs}(Tj=85^\circ\text{C}) \times 10^{\frac{Tj-85}{60}}
 \end{aligned}$$

(例) S1L60833 で、VDD=2.5V、Tj=50°Cでの IDDS の概算値は以下のとおりです。

$$\begin{aligned}
 I_{DDs}(Tj=50^\circ\text{C}) &= I_{DDs}(Tj=85^\circ\text{C}) \times 10^{\frac{50-85}{60}} \\
 &= 330 \times 0.261 \\
 &= 86.13(\mu\text{A})
 \end{aligned}$$

となります。

1.5 開発フロー

開発手順でのお客様からの開発着手依頼およびデータ提出、セイコーエプソンでの論理合成・配置配線作業フロー、試作から量産制定までのフローを記述しています。

1.5.1 サインオフまでの開発フロー

図 1-1 は、サインオフまでの開発フローです。RTL インターフェースが前提となっています。

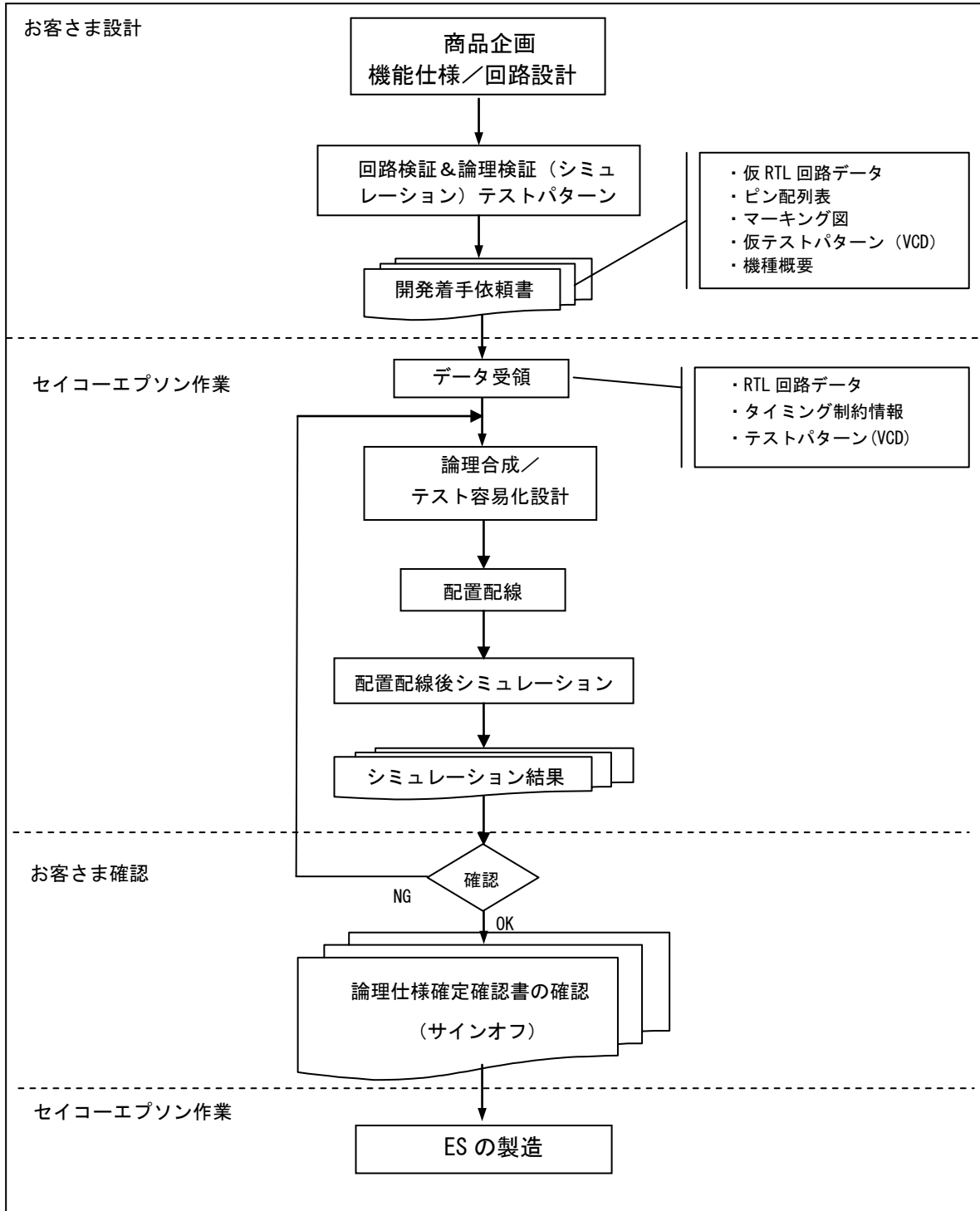


図 1-1 : サインオフまでの開発フロー

第1章 概要

1.5.2 論理合成・配置配線作業フロー（セイコーエプソン作業）

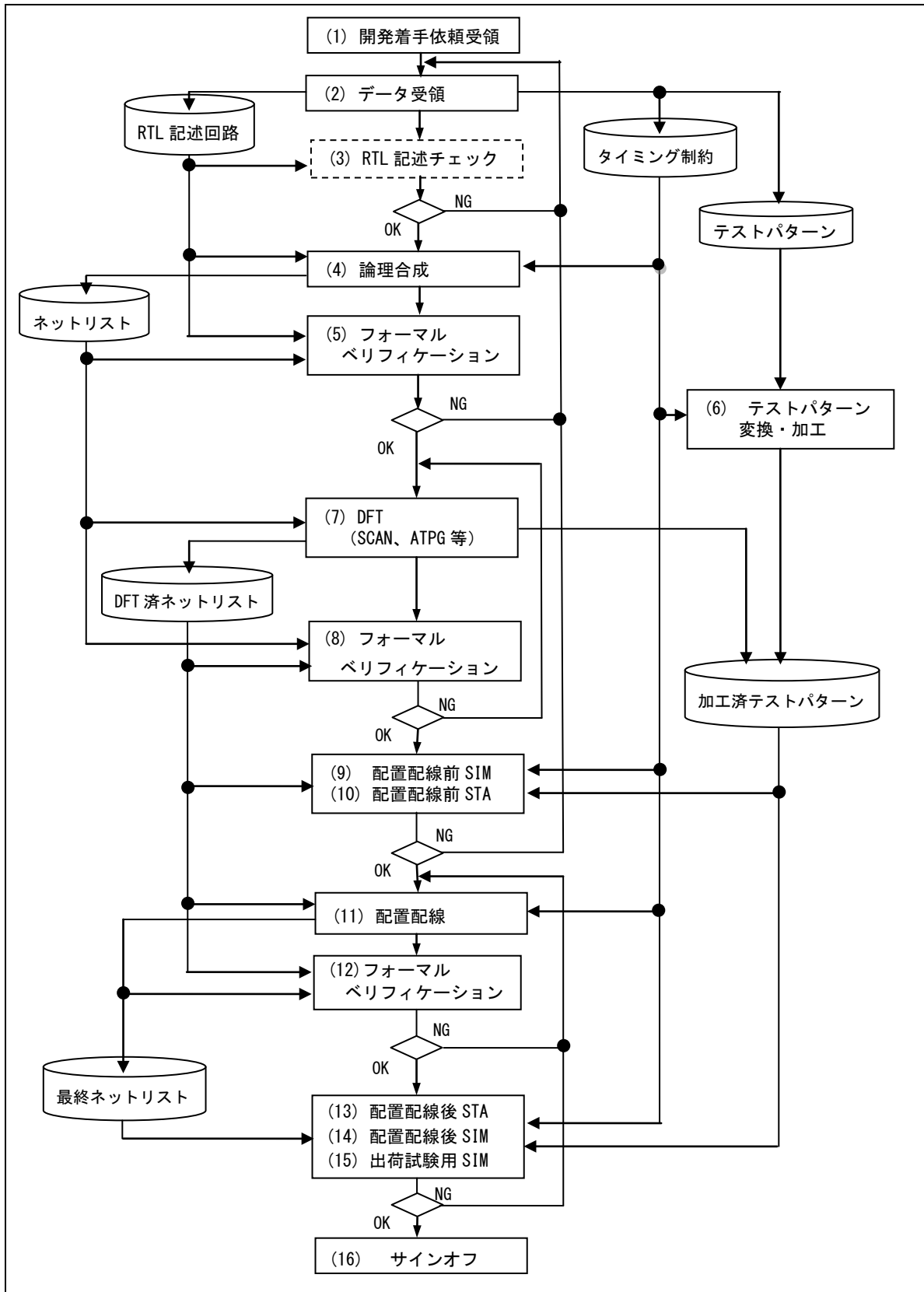


図 1-2 : セイコーエプソンでの論理合成・配置配線作業フロー

図1-2は、データ受領から、サインオフまでの論理合成・配置配線作業フローを記述しています。各作業の概要を以下に説明します。

(1) 開発着手依頼受領

お客さまからセイコーエプソン帳票「開発着手依頼書」を代理店またはセイコーエプソンに送付いただきます。受領後、セイコーエプソン内で設計作業の着手を行います。開発着手依頼書と一緒に、お客さまより送付いただくデータは以下の通りです。

- ① 仮 RTL 回路データ。「1.5.3 仮(トライアル用)データの提出」を参照してください。
- ② 端子配列表
- ③ マーキング図 (セイコーエプソン作成フォーマット帳票)
- ④ 仮テストパターン (VCD 形式)
- ⑤ 機種概要

(2) データ受領

お客さまより送付いただくデータとしては以下の通りです。

- ① 正式 RTL 回路データ
- ② タイミング制約情報
- ③ テストパターン (VCD 形式)

(3) RTL 記述チェック

必要に応じて、RTL チェッカーを使用して、文法エラーなどの確認を行います。

(4) 論理合成

初期段階で、ゲート数の確認やクロックの解析などのために、最小限の制約による仮の論理合成を行います。問題がなければ、タイミング制約などを付けて、実際の論理合成を行います。

(5) フォーマル・ベリフィケーション (等価性チェック)

お客さまの RTL 記述と、論理合成後のネットリストとの、フォーマル・ベリフィケーション (等価性チェック) を行います。

(6) テストパターンの変換

お客さまから受領したテストパターン : VCD (Value Change Dump) ファイルを、セイコーエプソン独自フォーマット APF (Advanced Press Format) ファイル (サイクル・ベース、テーブル形式のテストパターン) に変換します。

(7) DFT (スキャン挿入、ATPG など)

DFT (Design For Test:故障検出率を上げるためのテスト専用回路の追加) を実施し、スキャンテスト回路などを挿入します。また、ATPG (Auto Test Pattern Generate) によるテストパターン生成を行います。故障検出率の要望については、開発着手時に連絡ください。

(8) フォーマル・ベリフィケーション (等価性チェック)

DFT 前と DFT 後でのネットリストに対するフォーマル・ベリフィケーションを行います。

第1章 概要

(9) 配置配線前シミュレーション

ゲートレベルのネットリストにおいて、必要なファンクションが得られていることを確認するために、上記(6)(7)のテストパターンと、仮想遅延データによるシミュレーションを行います。結果に問題などがあった場合は、解析を実施します。

(10) 配置配線前 STA

お客さまより受領したタイミング制約を元に、STA（静的タイミング解析）によるタイミング確認を行います。明らかに問題となるタイミング・エラーを発見した場合は、お客さまに連絡すると共に、再度の論理合成などの対応を行います。

(11) 配置配線

上記(10)のデータを使い配置配線を実施します。その結果から、実配線後の遅延時間データを算出します。

(12) フォーマル・ベリフィケーション（等価性チェック）

配置配線前と後でのネットリストに対するフォーマル・ベリフィケーションを行います。

(13) 配置配線後 STA

配置配線後のデータについて、実配線後の遅延時間データを用いて、タイミングを確認します。明らかに問題となるタイミングエラーを発見した場合は、ECO（局所レイアウト変更）などで、調整を行います。

(14) 配置配線後シミュレーション（リアル・レート）

配置配線後のデータについて、ICを実際に使用する条件で、シミュレーションを行います。結果をお客さまに送付し内容をご確認いただきます。

(15) 出荷試験用シミュレーション（テスト・レート）

テストパターンのタイミング条件を、出荷試験向けに変更させていただいて、配置配線後データのシミュレーションを行います。結果をお客さまに送付し内容をご確認いただきます。また、出荷試験の条件を満たしていることを確認いただきます。

<シミュレーション結果の送付>

シミュレーションの結果は APF (Advanced Press Format セイコーエプソン独自フォーマット : *.samax, *.sammin) 形式で送付します。要望に応じて VCD (Value Change Dump)、の波形ファイルを添付します。

<シミュレーション結果とのコンペアの送付>

シミュレーション結果と期待値とのコンペアを行い、コンペアファイル(*.exp_max, *.exp_min) が出力されます。同様に、min 結果と max 結果のコンペアファイル(*.min_max) の出力を送付します。

出力例について、付録 A1.1 「シミュレーション結果と期待値とのコンペアファイル例」を参照してください。

<タイミングエラー・リストの送付>

シミュレーション中にタイミングエラーが発生した場合、リスト(*.errmax, *.errmin)出力を送付します。

タイミングエラー・リストの見方については、付録 A1.2「タイミングエラー・リスト」を参照してください。

(16) サインオフ

セイコーエプソン作成帳票（論理仕様確定確認書）を送付します。内容をご確認いただき、問題なければ帳票への確認結果の記載および署名・捺印いただきセイコーエプソンに送付ください。帳票受領後、ES（エンジニアリング・サンプル）の製造を開始します。

1.5.3 仮（トライアル用）データの提出

正式な RTL 回路データ提出前にあらかじめ、仮（トライアル用）データを提出していただくよう、お願いします。

仮データを用いて、正式なデータ受領後の作業をスムーズにするための準備を行います。なお、タイミング条件が厳しい場合、仮 RTL 回路データ提出時にご連絡ください。

(1) ゲート規模の見積り

お客さまから受領した仮 RTL 回路データから、概略のゲート規模を見積もることが可能です。

(2) 仮 RTL データのチェック

お客さまから受領した仮 RTL 回路データに対して、論理合成を行います。文法上の問題や、合成後の問題を事前に知ることができます。チェックで問題のあった箇所を、お客様に報告いたします。

また、仮 RTL データと、論理合成後のネットリストとの、フォーマル・ベリフィケーション（等価性チェック）を行います。論理の不一致が現われた場合は、お客様に報告いたします。

(3) 論理合成における制約条件設定

最低限の制約条件を用いて、論理合成を行います。その際、タイミング制約情報を提出していただくことで、論理合成の制約条件をあらかじめ調整します。また、STA（静的タイミング検証）の制約条件を作成することも可能です。

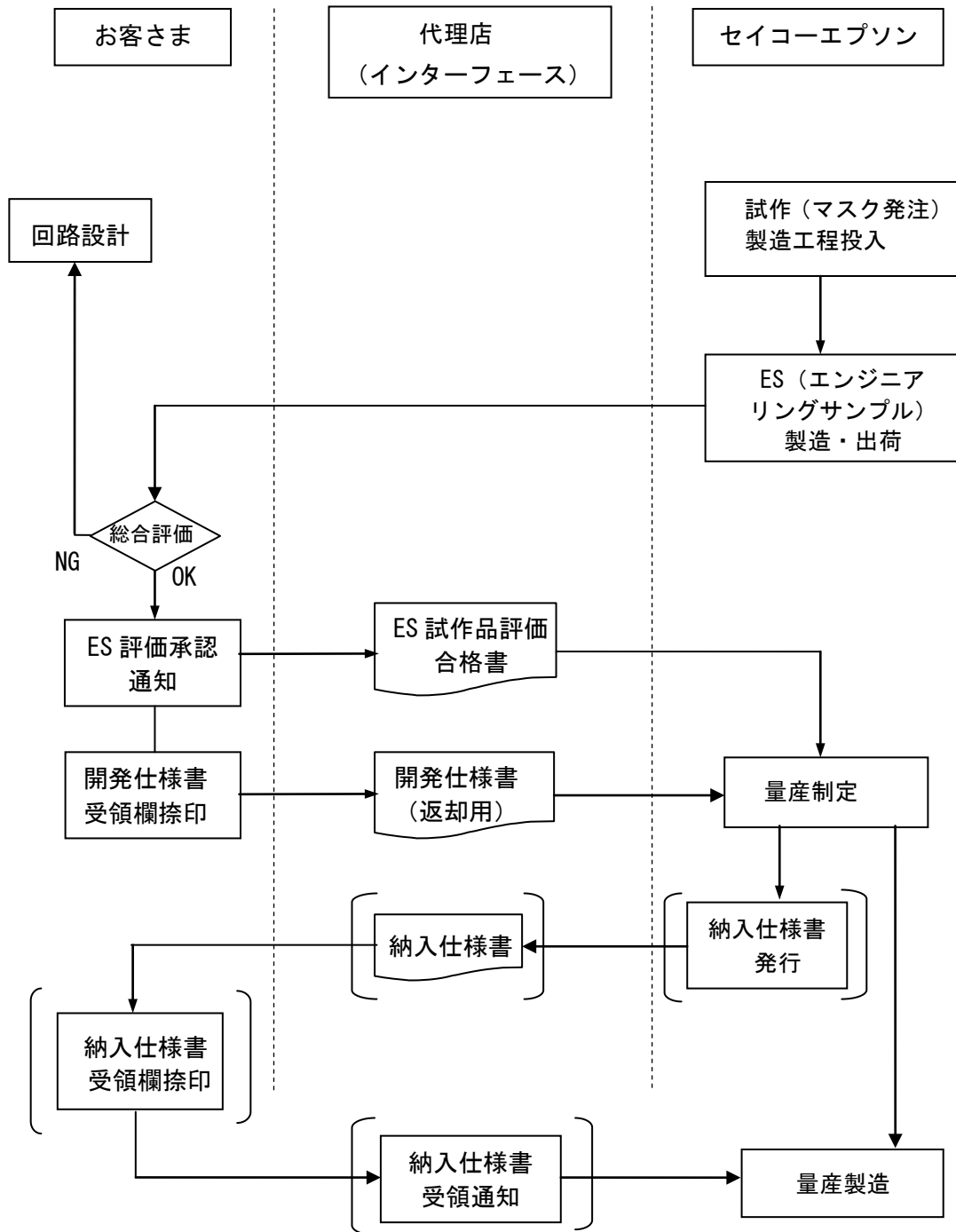
(4) ファンクションの確認

仮のテストパターンを提出していただくことで、APF パターンへの変換チェック、テストパターンの整合性チェック、及びゲートレベル・シミュレーションによるファンクションの確認が可能です。

第1章 概要

1.5.4 試作から量産制定までのフロー

図 1-3 は、セイコーエプソンにての試作から量産制定までのフローです。



() 内はお客さまからの要望がある場合行います。

図 1-3 : 試作から量産制定までのフロー

第 2 章 RTL 設計上の注意 (Verilog-HDL)

セイコーエプソンにて論理合成を行うにあたり、お客さまでの RTL 設計における留意点について説明します。本章では言語を Verilog-HDL として説明しています。VHDL を使用されるお客さまは、付録「A2 RTL 設計上の注意 (VHDL)」を参照ください。また、開発着手依頼時に VHDL で設計を行うことを弊社営業までご連絡ください。

2.1 基本構成

2.1.1 論理合成可能な RTL データの提出

提出する RTL データは、論理合成可能な記述のみにしてください。ビヘイビア・レベルの記述が含まれていると、論理合成ができません。論理合成可能であれば、複数個のファイルにわかれていても問題ありません。

2.1.2 ライブラリ・セルの使用

RTL 内で、セイコーエプソンのライブラリ・セルを呼び出しているモジュール名と、ライブラリ・セル名を連絡ください。ライブラリ・セルが論理合成時に消されないための設定を行います。

2.1.3 ifdef と parameter

ifdef 文や parameter 文で、RTL の外部や別ファイルから値を設定する必要がある場合は、その旨を連絡ください。

2.2 端子名の制約

外部端子、および内部端子の名前に制限・制約があります。制限・制約に沿っていただくことを推奨します。制限・制約の名前が使われている場合は、論理合成時にお客様の意図しない名前に付け替えられることがありますことを、ご了承ください。

2.2.1 外部端子名制約

外部端子名には、以下の制約がありますので、いただいた RTL のトップモジュールの端子名が、この制約を満たしていない場合は、修正させていただくことがあります。また、いただいた RTL のトップモジュールの上に、I/O セルなどが入った ASIC 用のトップモジュールを追加させていただいたり、トップモジュールを置き換えさせていただく場合も、この制約で端子を付けさせていただきます。

つきましては、RTL とゲートレベルのネットリストの端子名が異なると問題がある場合は、RTL のトップモジュールの端子名を、以下の制約で付けてください。

- (1) 全て大文字にて記述してください。
- (2) 使用可能文字は、英数字とアンダーバー「_」のみです。
ただし、先頭文字は英字のみ使用可能です。
- (3) 「[」と「]」は使用できませんので、バスの記述もできないことに注意ください。
- (4) 「_」が 2 つ連続してはいけません。
- (5) 文字数は、2~32 文字の範囲です。

第 2 章 RTL 設計上の注意 (Verilog-HDL)

2.2.2 内部端子名制約

- (1) 大文字・小文字の混合は可能です。ただし、大文字小文字混在の同一名は使用できません。
例：“ABC”と”Abc”の混在は禁止。
- (2) 使用可能文字は、英数字、アンダーバー’_’、バス記述用のカッコ’[‘,’]’です。
- (3) 文字数は、2～32 文字の範囲です。

2.2.3 Verilog 予約語

以下の文字列は、Verilog の予約語ですので、ユーザー定義名として使用できません。

always	and	assign	begin	buf	bufif0	bufif1
case	casex	casez	cmos	deassign	default	defparam
disable	edge	else	end	endcase	endmodule	endfunction
endprimitive	endspecify	endtable	endtask	event	for	force
forever	fork	function	highz0	highz1	if	ifnone
initial	inout	input	integer	join	large	macromodule
medium	module	nand	negedge	nmos	nor	not
notif0	notif1	or	output	parameter	pmos	posedge
primitive	pull0	pull1	pullup	pulldown	rcmos	real
realtime	reg	release	repeat	rnmos	rpmos	rtranif0
rtranif1	scalared	small	specify	specparam	strong0	strong1
supply0	supply1	table	task	time	tran	tranif0
tranif1	tri	tri0	triand	trior	trireg	vectored
wait	wand	weak0	weak1	while	wire	wor
xnor	xor					

2.3 タイミング制約情報の提出

お客様から、クロックや入力遅延、外部遅延に関するタイミング制約情報を RTL データ送付時に一緒に送付していただきます。この情報をもとに、論理合成や STA におけるタイミング制約の作成などの挿入を行います。

2.3.1 クロック情報

(1) 外部クロック

すべての外部クロックについて、以下の事項を指定してください。

- ① 端子名
- ② クロックの基準周期
- ③ 基準周期の開始から、クロックの立上りエッジ・立下りエッジまでの遅延
- ④ Duty、Duty の誤差
- ⑤ クロックジッタの有無
- ⑥ スキュー調整必要の有無
- ⑦ 用途（メイン、テスト用など）

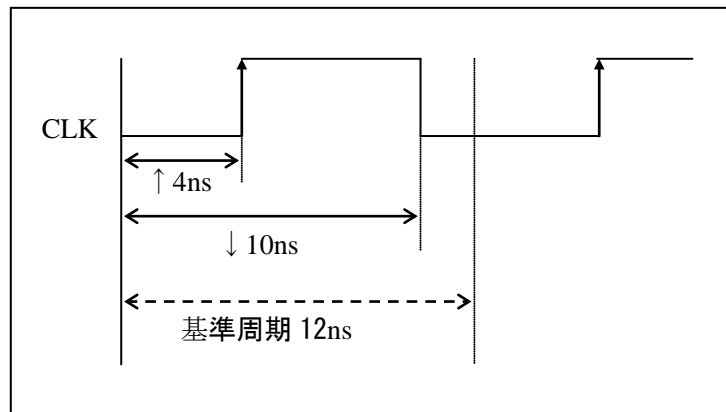


図 2-1：外部クロック波形図

例えば図 2-1 の場合、外部クロック端子名は CLK、クロック基準周期 12ns、立上りエッジ遅延 4ns、立下りエッジ遅延 10ns、Duty50±0%になります。

(2) 内部生成クロック

PLL、分周などによって回路内部で生成されるクロックを指します。すべての内部生成クロックについて、以下の事項を指定してください。

- ① 内部生成クロックの信号名、及び生成されるモジュール名
- ② マスタークロックの信号名（外部クロックなら、端子名）
- ③ マスタークロックとの関係（分周数、または逡倍数）
- ④ スキュー調整必要の有無

図 2-2 は、マスタークロック CLK を D-FF で 2 分周して、内部クロック DCLK を生成する RTL

第 2 章 RTL 設計上の注意 (Verilog-HDL)

記述の例です。これを論理合成すると、図 2-3 のような回路となります。ここで、CLK と DCLK は、タイミングの異なるクロックとなることにご注意してください。これは、CLK から FF の出力端子までの伝播遅延分のスキューが生じるためです。図 2-4 を参照してください。

```
always @(posedge CLK or negedge RST)
begin
  if(!RST)
    Q <= 1'b0;
  else
    Q <= ~Q;
end

assign DCLK = Q;

always @(posedge DCLK or negedge RST)
  .
  .
```

図 2-2 : 分周による内部クロック生成の記述例

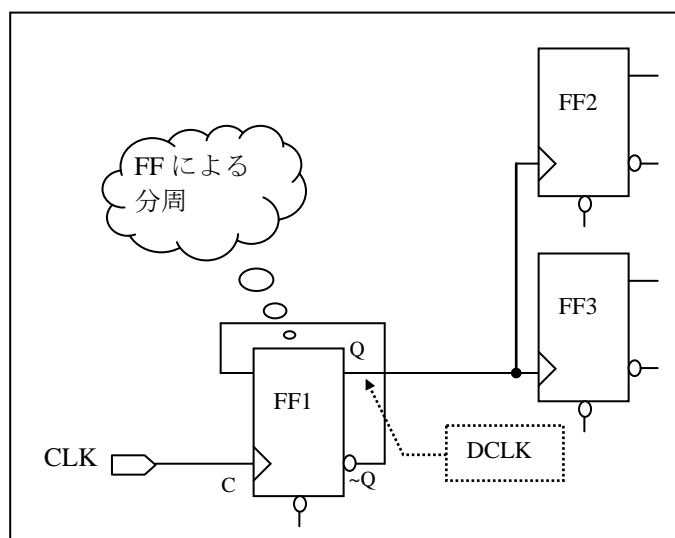


図 2-3 : 図 2-2 より合成される回路例

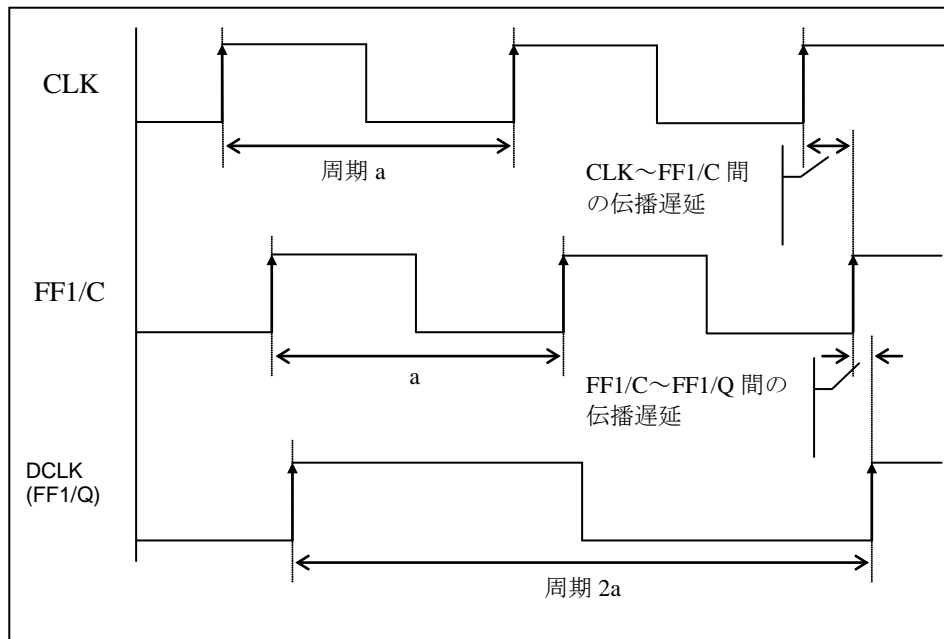


図 2-4 : 図 2-3 の回路の波形図

(3) 複数クロックの組み合わせ

複数のクロックと組み合わせ回路から、パルスを作ることは避けてください。各クロックのスキューにより意図しないパルスとなる可能性があります。

(4) 異なるクロックで動作するレジスタ間のデータパスについて

異なるクロックで動作するレジスタ間にデータパスがある場合、そのタイミングを保証することは困難ですので、非同期でデータの受け渡しができるような設計を行ってください。また、同クロックであってもエッジが異なる場合は、異なるクロックとして扱ってよいかをご指示ください。

第 2 章 RTL 設計上の注意 (Verilog-HDL)

2.3.2 外部端子のタイミング制約

(1) 外部入力タイミング

外部入力端子に、基準クロックに対するセットアップタイム、ホールドタイムを指定してください。

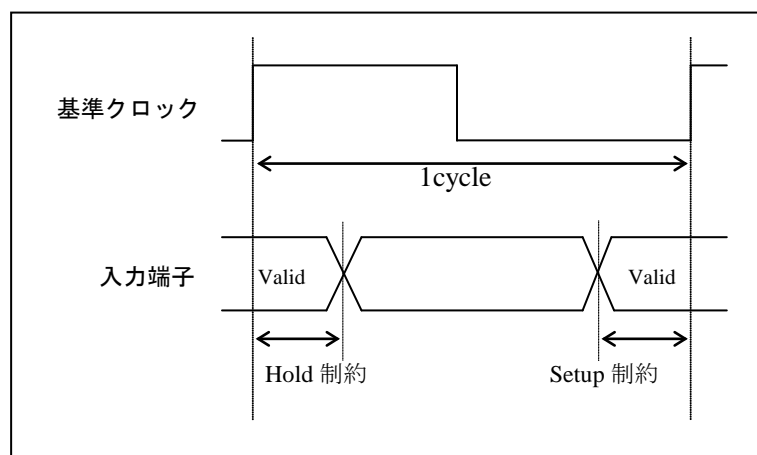


図 2-5 : 外部入力タイミング

(2) 外部出力タイミング

外部出力端子に、定義したクロックに対する出力遅延を設定します。基準クロックに対する遅延の最小値と最大値を指定してください。基準クロックが回路内に存在しないときは、仮想クロックの制約を指定してください。

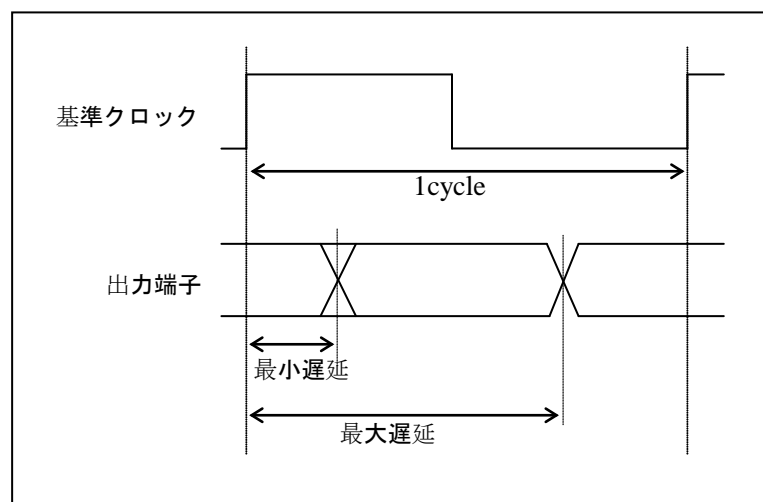


図 2-6 : 外部出力タイミング

(3) マルチサイクルパス

図 2-7 は、乗算器などの大規模回路を通るパスの例です。FF1/Q~FF2/D 間のタイミングに複数サイクルを必要とする（もしくは、必要としても構わない）場合は、FF1/Q~FF2/D 間のパスに対して、マルチサイクルパスを指定します。

データの受け渡しに複数サイクルが必要なパスと、サイクル数を指定してください。

例えば、FF1/Q~FF2/D 間のパスのデータ伝播に 2 サイクルを必要とする場合は、図 2-8 のように FF1/Q~FF2/D 間に 2 サイクルのマルチサイクルパスを指定してください。

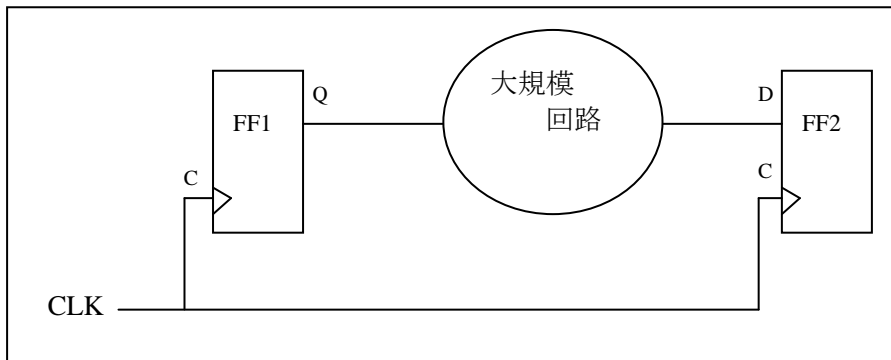


図 2-7 : 大規模回路を通るパスの例

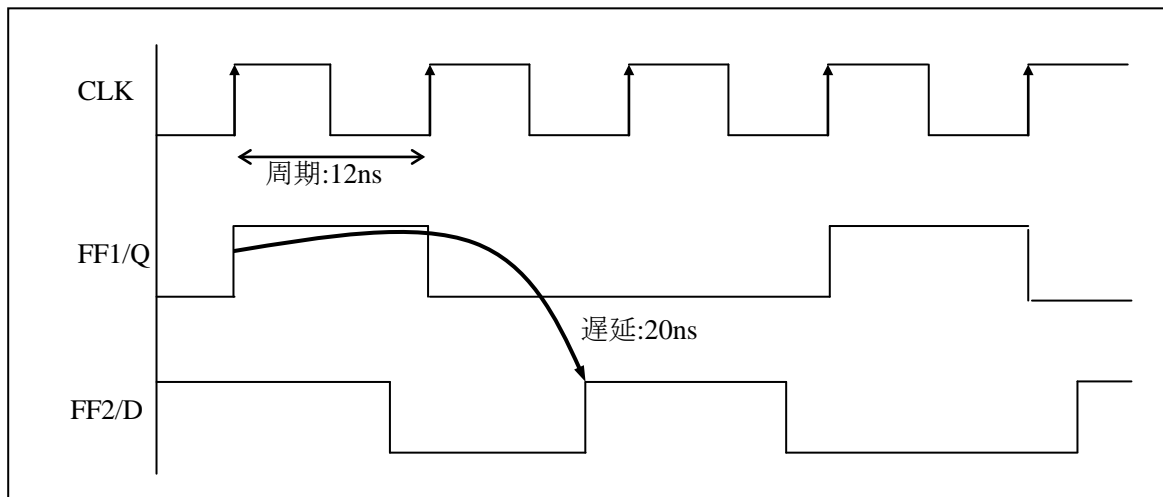


図 2-8 マルチサイクルパス

第 2 章 RTL 設計上の注意 (Verilog-HDL)

(4) フォルスパス

論理的、仕樣的にありえないパスを、わかるかぎり指定してください。フォルスパスは、最適化の対象外となります。例えば、図 2-9 において、B~X 間のパスは論理的にありえませんが、フォルスパスになります。

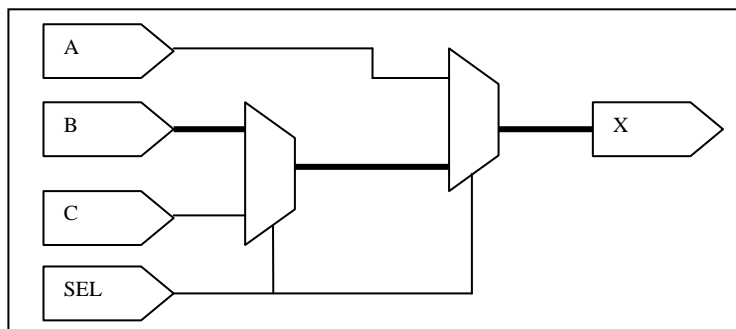


図 2-9 フォルスパス

(5) クロック・ゲーティング

消費電力削減などのため、クロック・ゲーティングを行う場合は、できるだけ上位階層で行うようにしてください。

クロックツリー構築時にスキュー調整が必要となる場合がありますので、クロック・ゲーティングを行った箇所を指定してください。また、ラッチベース方式のクロック・ゲーティング・セルを使用する場合は、あわせて指定してください。

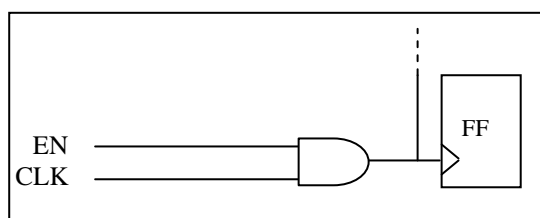


図 2-10 : クロック・ゲーティングの例

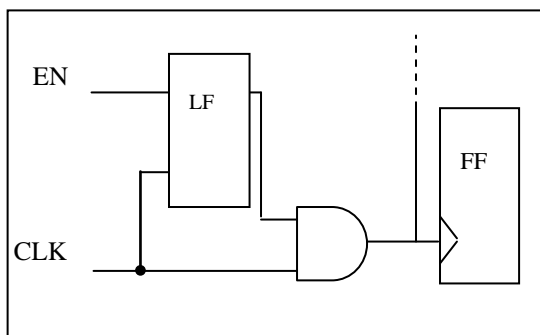


図 2-11 : ラッチベース方式のクロック・ゲーティングの例

(6) クロック・ゲーティングした RTL でのシミュレーション実施時の注意点

RTL シミュレーションにおいて、図 2-12 のようにゲーティングされたクロックは、元クロックとは非同期の扱いとなります。2 段の非同期 FF 両方にゼロ遅延でクロックが入った場合は、どちらが先に処理されるかは、シミュレータ依存となります。これを回避するには、RTL 中に遅延の記述を付加して、意図通りの順番で処理が行われるようにしてください。RTL 中の遅延記述は、論理合成時には無視されます。

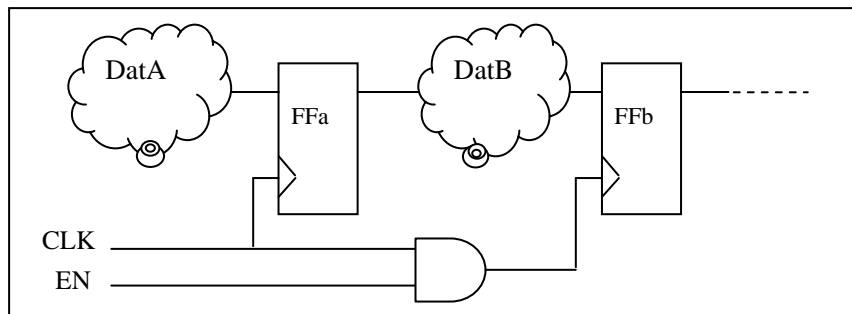


図 2-12 : ゲーティングされたクロックとの接続例

```
parameter DELAY = 10;
.....
always @(posedge CLK ) begin
    FFa <= #(DELAY) DatA;
end
assign ENCLK = CLK & EN;
always @(posedge ENCLK ) begin
    FFb <= DatB;
end
```

図 2-13 : 遅延記述の付加

第 2 章 RTL 設計上の注意 (Verilog-HDL)

(7) 論理合成時のクロック・ゲーティング・セル自動挿入

セイコーエプソンでの論理合成時に、ラッチベース方式のクロック・ゲーティング・セルを自動挿入することが可能です。消費電力の削減と、ゲートサイズの削減が見込めます。

クロックスキューが増大するため、タイミング制約が厳しい場合は、調整に数日の日数が必要となる場合がありますのでご了解ください。

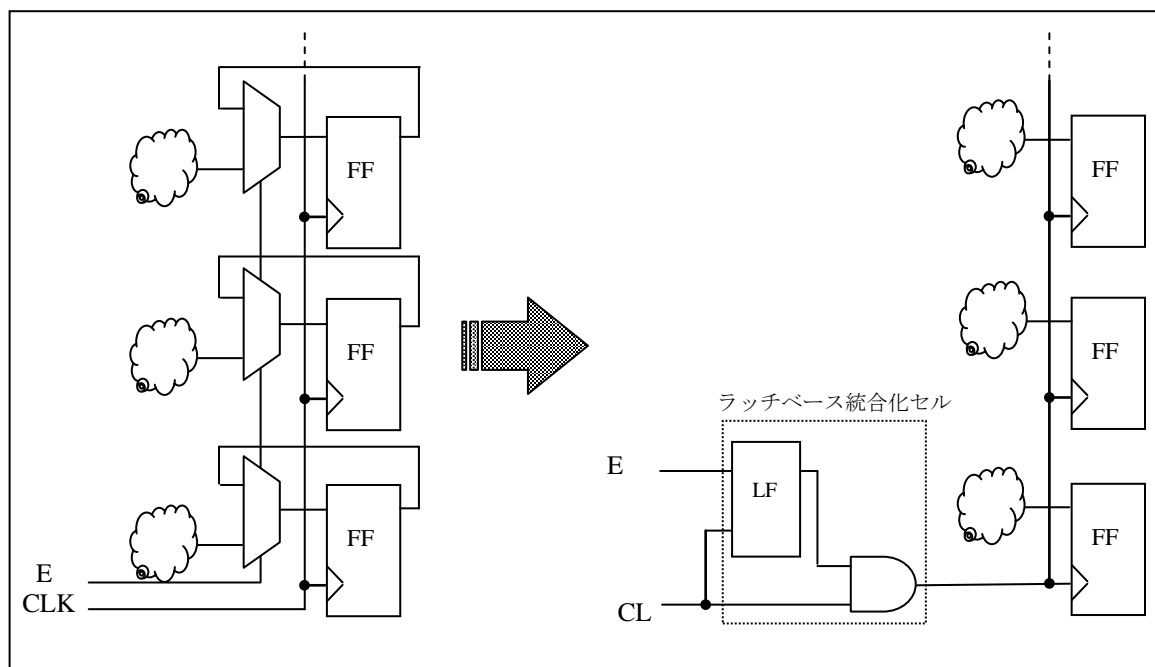


図 2-14 : クロック・ゲーティング・セル自動挿入の例

(8) セット・リセット信号について

図 2-15 のような、非同期セットとリセットの両端子を持つフリップフロップの有無をお知らせください。非同期セット・リセット両端子を持つフリップフロップのセット・リセット間のリカバリータイムやリムーバルタイムは解析できません。また、クロック端子を持たないセルのセット・リセットは解析できません。

```
always @(posedge CLK or negedge SET or negedge RST) begin
  if (!SET)
    Q <= 1' b1;
  else if (!RST)
    Q <= 1' b0;
  else
    Q <= D;
end
```

図 2-15 : セット・リセット両端子を持つフリップフロップの記述例

2.4 入出力バッファの挿入

- (1) 送付いただいた「端子配列表」でのバッファの種類にしたがって、セイコーエプソンにて、入出力バッファを挿入いたします。
 バッファの種類および構成については、「第 6 章 入出力バッファの種類と使用上の注意」および以下 URL を参照してください。

< http://www.epson.jp/prod/semicon/products/asic/gatearray/s1l60k_io.htm >

- (2) 入出力バッファは、トップ モジュールを RTL 用からゲート用に置き換える方法が安全で簡単です。セイコーエプソンでゲート用のトップ モジュールを作成いたしますので、RTL 用のトップ モジュールには、入出力に関する記述のみとしてください。具体的には、単方向ポートは、下位モジュールと 1 対 1 に接続するだけにしてください。そして、双方向ポートの記述は、下位階層から入力信号ポートと出力信号ポートとイネーブル信号ポートを引き出して、トップモジュール内で双方向信号を記述してください。

```

module TOP ( IN1, OUT1, BID1);
  input IN1 ;
  output OUT1 ;
  inout BID1 ;
  assign BID1 = (en) ? 1'bz : bid1_out ;
  CORE U_CORE ( . in1 (IN1),
    . out1 (OUT1), . bid1_in (BID1),
    . bid1_out (bid1_out), . en (en) );
endmodule
    
```

図 2-16: トップモジュールの RTL 例

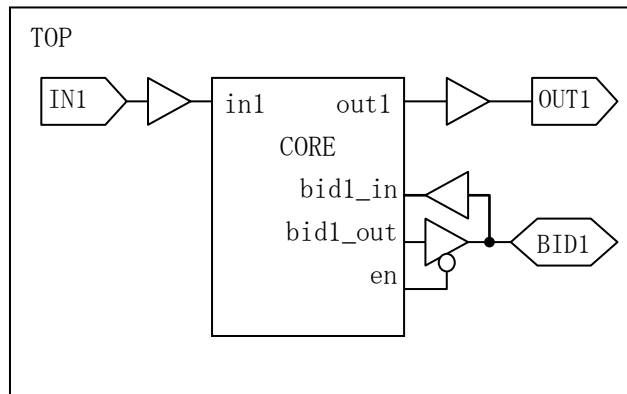


図 2-17: トップモジュール イメージ

2.5 RAM の記述

- (1) RAM を搭載される場合、RAM の仕様の確認をしてください。仕様の詳細は「第 8 章 RAM 仕様」を参照してください。
- (2) RAM のライブラリはセイコーエプソンにて提供いたします。必要な RAM のサイズおよび個数を開発着手依頼書へ記入してください。なお、RAM の (モデル) ライブラリ提供には日数が掛る場合がございます。 ご了承ください。
- (3) お客様にて RAM を記述する場合は、そのモデルのモジュール名を連絡してください。

2.6 発振セルの記述

- 発振セルを搭載される場合、発振セルの詳細、「第 5 章 5.1 発振回路」を参照してください。
- RTL 記述時には、発振セルはインスタンス化して記述してください。
- 論理合成時に発振セルの外部端子接続ネットにバッファが挿入されない様、入力および出力ネットに対して、
 set_dont_touch コマンドで dont_touch 属性を付けてください。

第 3 章 テスト回路設計上の注意

テスト回路設計推奨として、セイコーエプソンにてテスト容易化設計、テスト回路挿入を行います。挿入手順については「第 1 章 1.5 開発フロー」を参照ください。

3.1 推奨 DC・AC テスト回路の挿入

セイコーエプソンでは、DC および AC テスト等の出荷時の試験を効率良く行えるように、推奨のテスト回路を用意し、お客さまの回路に挿入させていただきます。

3.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用

セイコーエプソン推奨 DC および AC テスト回路については、送付いただいたお客さま回路にセイコーエプソンにて挿入させていただきます。推奨テスト回路を構成する為に、テスト回路付き入出力バッファを選択いたします。

DC・AC テスト専用端子として入力端子を最低 1 本 用意をお願いします。

3.1.2 テスト回路付き出力バッファおよび双方向バッファ セル名

推奨テスト回路を構成する為に選択したテスト回路付き出力バッファおよび双方向バッファのセル名は、出力バッファでは「0***T」または「TB***T」、双方向バッファでは「B****T」とセル名の末尾が「T」となります。

第 6 章「入出力バッファの種類と使用上の注意」にて記述するセルについてはテスト回路付バッファ セル名となっています。

3.1.3 お客さま設計によりテスト回路挿入される場合

お客さまにて、テスト回路を設計される場合、またお客さまの回路設計の構成上の理由で、セイコーエプソン推奨のテスト回路をご使用いただけない場合、または、テスト機能付き出力バッファをご使用いただけない場合には、開発着手依頼時に連絡をお願いします。

3.2 スキャン (SCAN) 回路の挿入

スキャン回路の挿入の要否については、開発着手依頼時に連絡をお願いします。スキャン回路の挿入は、セイコーエプソンにて行ないます。

その際、スキャンテスト専用端子2本を回路の入出力端子として用意していただくことになります。

3.2.1 スキャン (SCAN) 回路

セイコーエプソンでのスキャン挿入は、設計されたデザインに存在するすべてのレジスタ (D-FF、JK-FF) をスキャンタイプレジスタに置換し、スキャンパスを構築します (フルスキャン設計)。このデザインを用いて ATPG (Auto Test Pattern Generation) を実施することにより高故障検出率のテストパターンを生成します。

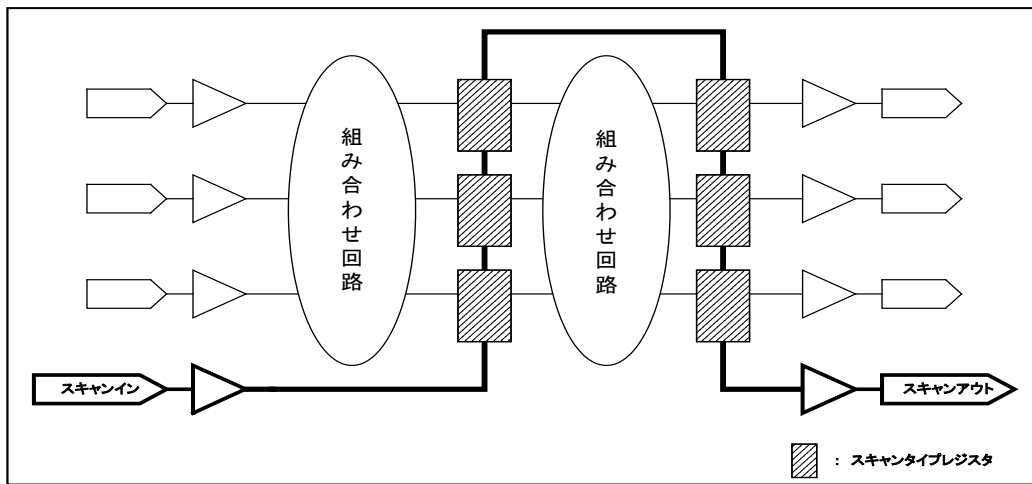


図 3-1 スキャン回路の例

[注意] ATPG (Auto Test Pattern Generation) が生成するテストパターンは仕様を確認するものではありません。

トランスペアレントラッチはスキャンタイプレジスタに置換されません。

3.2.2 お客さま設計にてスキャン (SCAN) 回路挿入される場合

お客さまにてスキャン回路挿入もしくは、ATPG を実施される場合は、「付録 A3.1 スキャン (SCAN) 回路挿入」を参照いただき、回路設計をお願いします。

3.3 バウンダリスキャン (JTAG) 回路の挿入

バウンダリスキャン (JTAG) 回路の挿入の有無については、開発着手依頼時に連絡をお願いします。バウンダリスキャン (JTAG) 回路挿入は、セイコーエプソンにて行ないます。

バウンダリスキャン (JTAG) 回路挿入に際しては、論理回路の外周に、IEEE 1149.1 に準拠したバウンダリスキャン回路、および、その制御回路 (TAP コントローラ) の挿入を実施します。同時にその回路の情報を記した BSDL ファイルを提供します。

また、挿入したバウンダリスキャン用ファンクションパターンはセイコーエプソンにて作成しますので、お客さま側でのバウンダリスキャンに関するパターン作成は必要はありません。

3.3.1 インストラクション

以下のバウンダリスキャンインストラクションに対応します。

表 3-1 対応可能なインストラクションコード一覧

インストラクション	コード
SAMPLE/PRELOAD	0...10
BYPASS	1...11
EXTEST	0...00
CLAMP	任意選択可能 ^(*)
HIGHZ	任意選択可能 ^(*)
IDCODE	0...01

注) *1: 特に要求のない場合は弊社でアサインします。また他コードとの重複はできません。

また、インストラクションのビット幅は 2~32 ビットの範囲で選択可能です。

特に要求のない場合は、セイコーエプソンにて決定します。

3.3.2 ゲート数の見積り

バウンダリスキャン回路挿入によるゲート数の増加に関しては、対応するインストラクションやビット幅などにより前後します。ゲート数の見積りには以下の情報を用いて概算してください。

表 3-2 ゲート数見積り (BC: ペイシックセル換算)

バウンダリスキャンブロック	ゲート数
TAP コントローラ+雑ゲート	約 1000 (BC)
入力端子	ノーマルセル使用時: 約 30 (BC/端子) オブザーブ専用セル使用時: 約 15 (BC/端子)
2-state 出力端子	約 35 (BC/端子)
3-state 出力端子	約 65 (BC/端子)
双方向端子	約 95 (BC/端子)

3.3.3 お客さま設計にてバウンダリスキャン (JTAG) 回路挿入される場合

お客さまにてバウンダリスキャン (JTAG) 回路の挿入される場合は、「付録 A3.2 バウンダリスキャン (JTAG) 回路挿入」を参照いただき、回路設計をお願いします。

3.4 RAMのテスト回路：メモリBIST (Built in Self Test)

セイコーエプソンでは内蔵メモリのテスト回路として自己診断回路であるメモリBIST (Built In Self Test) を用意しています。使用希望される場合、開発着手依頼送付時に連絡をください。

セイコーエプソンでは、お客さまより提出していただいたRTLまたはゲートレベルのネットリストに対してメモリBISTを挿入します。この設計を容易に進めるため、お客さまの回路設計時のご注意いただきたい内容について記述します。

3.4.1 メモリBIST用テスト入出力端子

メモリBISTでは、BIST_CLKには通常メモリクロックを割り当てます。したがってメモリBISTに必要なテスト入出力端子は基本的に以下の端子となります。

- (1) MBIST_TM (モード設定信号) : 入力端子 … 専用端子化を推奨 (条件を満たせば兼用端子化も可能です。)
- (2) MBIST_EN (BIST イネーブル信号) : 入力端子 … 兼用端子化可能です。
- (3) MBIST_GO (テスト判定信号) : 出力端子 … 兼用端子化可能です。
- (4) MBIST_DONE (テスト終了信号) : 出力端子 … 兼用端子化可能です。

また、バイパス回路対応時には以下の端子が必要となりますが、Chip全体へのSCAN化に当たり別途割り当てられている場合には必要ありません。

- (5) LV_TM (SCAN モード設定信号) : 入力端子 … Chip全体のSCANモード設定端子との兼用端子化可能です。

設計を容易に進めるために、MBIST_TMは専用端子化することをお薦めします。MBIST_TMを兼用化するには、お客さまの回路を含めて以下の初期化要件を満たすような回路構成が必要となります。

- (6) MBIST_TM = 0 (通常動作モード) とし、BIST_CLK (=メモリクロック) を2発以上与えることが可能としてください。
- (7) 上記動作の後、MBIST_TM = 1 (BIST モード) とし、BIST_CLK (=メモリクロック) を与え続けることが可能としてください。

注) : BIST回路単体ではBIST_CLKが必要となりますが、初期化およびスキュー調整等の必要性から通常はメモリクロック等の内部信号を割り当てます。またBISTコントローラが複数の構成となる場合には、MBIST_GO、MBIST_DONEをBISTコントローラの数分割り当てる必要があります。なお、MBIST_TMは一本で構いません。

3.4.2 通常動作時の制約事項

メモリ BIST を適用した場合メモリ周辺に回路が付加されますが、この周辺回路は BIST モードだけでなく通常動作においても初期化が必要となります。（初期化を行わないと simulation 上、メモリへのアクセスが不可能となります。）したがってお客さまの回路を含めて以下の初期化要件を満たすような回路構成が必要となります。

- MBIST_TM =0（通常動作モード）とし、BIST_CLK（=メモリクロック）を 2 発以上与えることが可能としてください。

3.4.3 メモリクロックのスキュー調整

メモリ BIST 回路（カラー、コントローラ）は複数の順序回路で構成されるため、メモリのクロック信号と BIST 回路（カラー、コントローラ）内部の FF へのクロック信号間でスキュー調整を行う必要があります。さらに詳細な設計内容に関しては以下の事例を参照してください。

- (1) メモリ動作に関連するメモリクロックが複数存在する場合には、各クロック毎に 1 個の BIST コントローラを割り当て（全体的に見れば、BIST コントローラは複数）、スキュー調整するのが一般的です。この場合には、各メモリクロック毎にスキュー調整が可能な回路構成にしてください。
- (2) メモリ動作に関連するメモリクロックが複数存在する場合でも、BIST モードにおいてクロックを一本化することが可能な場合には、BIST コントローラ 1 個でメモリ BIST 回路を構成することが可能です。この場合には BIST モードにおいて全てのメモリへのクロックスキューが調整可能な回路構成にしてください。
- (3) マルチポートメモリにおいて各ポートへのクロックが異なる場合には、マルチプレクサを挿入して、クロックを共通化する必要があります。この場合には、選択したクロック以外のクロックに対してマルチプレクサを挿入してください。

3.4.4 その他

メモリ BIST を適用するに当たり、階層設計に関する制約はありません。お客さまの回路において、メモリは任意の階層に存在して構いません。

お客さまの回路内にメモリ BIST を適用するメモリと適用しないメモリがあっても構いません。

第4章 テストパターン作成上の注意

テストパターン作成の留意点について記述しています。

4.1 サインオフ・シミュレーション向けテストパターンの作成

4.1.1 テストパターンの形式

RTL シミュレーションにて、結果が得られましたら、その ASIC のプライマリ入出力信号の波形を VCD (Value Change Dump) フォーマットで提出していただきます。外部双方向端子を使用する場合は、イネーブル信号の波形を合わせて出力してください。なお、セイコーエプソンのサインオフ・シミュレーションでは、HDL で記述されたテストベンチを使うことはできません。

セイコーエプソンでは、VCD を APF (Advanced Press Format : セイコーエプソン独自テストパターン形式) に変換して、シミュレーションを行います。図 4-1 は、VCD から APF への変換イメージです。各波形を基準となるサイクルタイム毎にサンプリングした信号値に置き換えます。APF のサンプルを図 4-2 に示します。

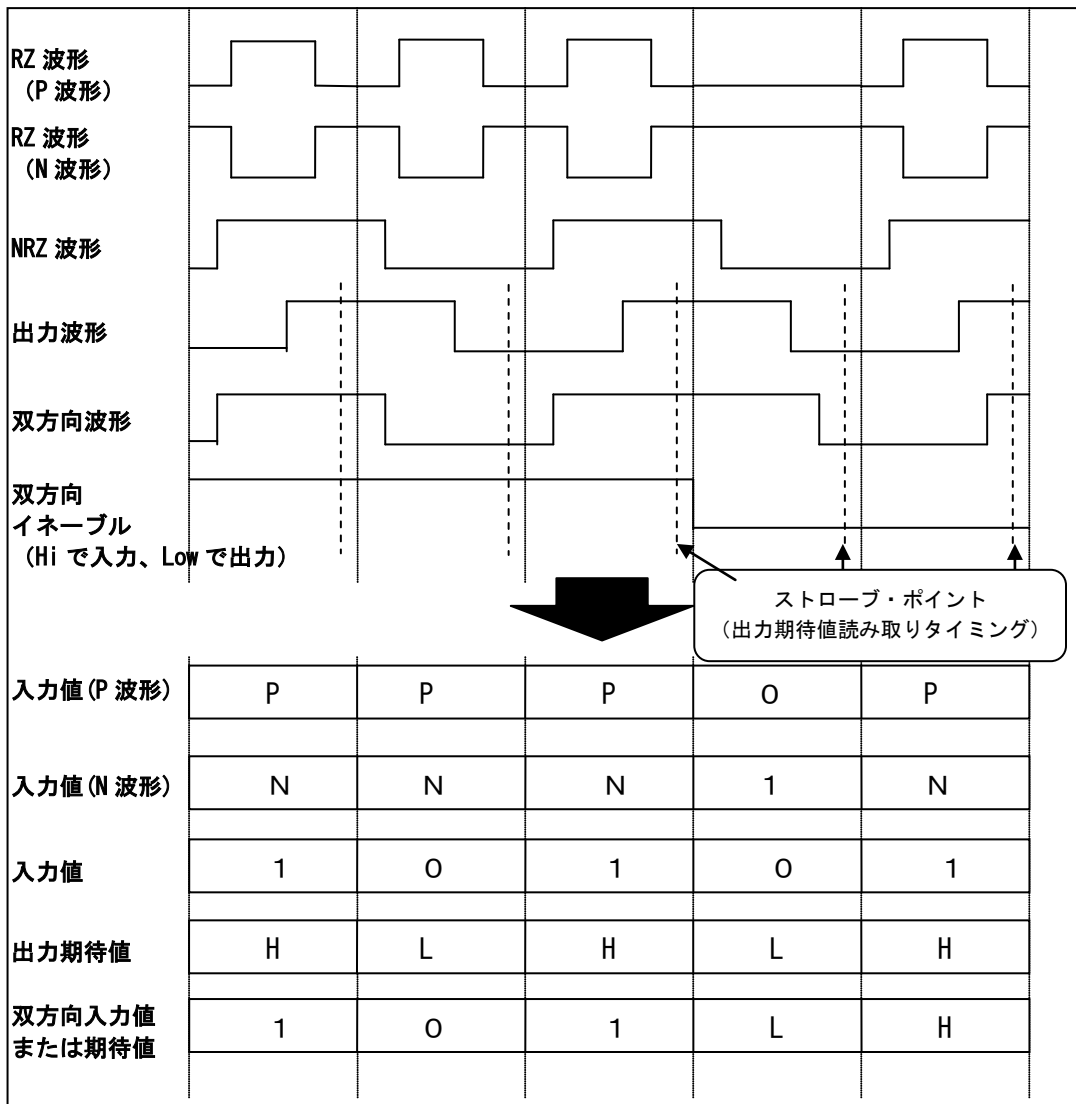


図 4-1 : 波形から APF への変換イメージ

第 4 章 テストパターン作成上の注意

```

# Create by Netlist Rule Check Utility at Fri Oct 6 11:42:55
$DESIGN SAMPLE

$RATE          100000 ← レート (サイクル) 100ns
$RESOLUTION    0.001ns
$STOROBE       85000 ← ストローブ・ポイント 85ns

#$HEX
#$ENDHEX

$IIOCONT
inst01.ZO      E0      BID1
inst02.ZO      E0      BID2 ← 双方向信号をコントロールしている内部ノード
$ENDIIOCONT

$NODE
RST           I      10000 ← 入力遅延 10ns の入力端子
CLK           P      50000 90000 ← 入力遅延 50ns、幅 40ns の RZ 波形 (P 波形) 入力端子
XCLK          N      50000 90000 ← 入力遅延 50ns、幅 40ns の RZ 波形 (N 波形) 入力端子
INPUTB        IU      0
INPUTC        IU      0 ← 入力遅延 0ns のプルアップ付き入力端子
#
OUTA           O      ← 出力端子
OUTB           O
#
BID1          B      0 ← 入力遅延 0ns の双方向端子
BID2          B      30000
#
$ENDNODE

$PATTERN
#
#          RCXIIIOBB
#          SLCNNUUII
#          TKLPPTDD ← 入力/出力信号名 (コメント行)
#          KUKAB12
#          TT
#          BC
#
#          IPNIIIOBB
#
#          ← イベント番号 (パターンの周期番号)
#
#          ← 信号値
0          1PN11XZ1L
1          1PN01XZ0L
2          1PN11XH1L
3          10101LHL1
4          1PN11LHHO
$ENDPATTERN

```

注：信号中に使える文字

O : 入力 Low	1 : 入力 High	P : P型 RZ 波形入力	N : N型 RZ 波形入力
L : 出力 Low	H : 出力 High	Z : 出力ハイ・インピーダンス	X : Unknown

図 4-2： APF のサンプル

4.1.2 テストパターンの制約

セイコーエプソンでは、サイクルベースでのシミュレーションを行っています。つきましては、以下の制限を満足するようにしてください。入力信号および出力信号のタイミングを厳密にチェックしたいときは、STAによる解析が必要となります。

- 同一VCD内では、クロックの周期やパルス幅を変化させないでください。
- 同一VCD内では、クロック間のスキューや、クロックと入力信号の関係を変化させないでください。サイクル単位における入力遅延を一定にしてください。
- 同一VCD内に、周期の異なるクロックが存在する場合、もっとも早いクロックの周期を基準サイクルタイムとし、他クロックの周期は基準サイクルタイムの倍数となるようにしてください。
- P波形クロックを止めるときは0入力状態にしてください。
- N波形クロックを止めるときは1入力状態にしてください。
- 不定(X)や、ハイインピーダンス状態(Z)を入力することはできません。

図4-3に使用できない入力波形の例を示します。

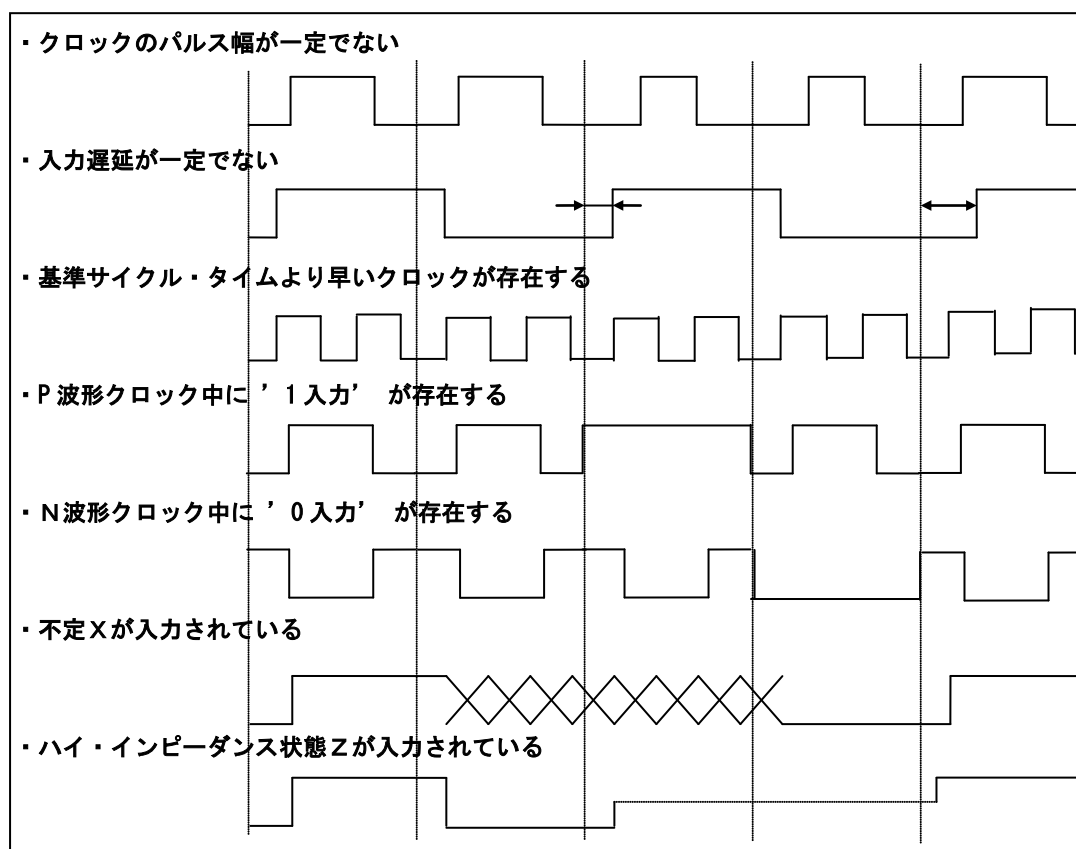


図4-3： 使用できない入力波形の例

第4章 テストパターン作成上の注意

4.1.3 外部双方向端子のイネーブル信号

外部双方向端子を使用する場合は、イネーブル信号の波形を合わせて出力してください。その際、一つの外部双方向端子は、必ず一つのイネーブル信号で動作するようにしてください。RTL内の双方向イネーブル信号が複数信号の論理で構成されている場合（図4-4）は、一つの信号に置き換えてください（図4-5）。

```
inout data;
wire data, cs, rd;
.....
assign data = (cs & rd) ? outdata : 1'bz;
```

図4-4：複数信号の論理で構成された双方向イネーブル

```
inout data;
wire data, cs, rd, dataen;
.....
assign dataen = cs & rd;
assign data = dataen ? outdata : 1'bz;
```

図4-5：一つの信号に置き換える

4.2 製品出荷テスト向けのテストパターン作成

お客さまより受領したテストパターンを基に、セイコーエプソンにて製品の出荷テスト用のテストパターンを作成します。IC テスタの能力などによって制約があり、IC の仕様確認用のテストパターンを以下の制約に合うよう、変更して作成いたします。この際、テストパターンが非常に長い場合や、テストパターンの本数が非常に多い場合など、IC テスタへの適用が困難な場合には、テストパターンの調整を行うことがありますのでご了承ください。

製品出荷テスト向けに変換する必要が無いテストパターンや、製品出荷テスト専用のテストパターンがある場合は、弊社営業担当までご連絡ください。

4.2.1 使用可能な入力波形

テストパターンは、通常 0/1 の集まりですが、シミュレーション実行時や IC テスタでのテスト時においては、入力波形に遅延を与えたり、パルスを作成したりすることができます。テストパターン作成時に使用できる波形には次の 2 つがあります。

(1) NRZ (Non Return to Zero)

通常はクロック以外の信号に使用します。1 レート内で 1 回変化することができ、遅延を与えることができます。

(2) RZ (Return to Zero)

クロック信号などに使用します。1 レート内で正または負のパルスを発生させることができますので、効率よくクロック信号を作ることができます。NRZ 同様、遅延を与えることができます。

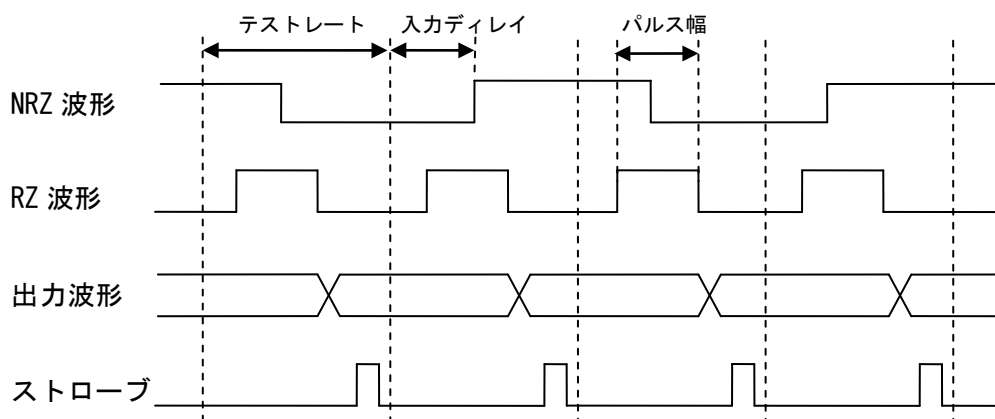


図 4-6 タイミング設定上の制限

第4章 テストパターン作成上の注意

4.2.2 テストパターンの各種制限

(1) テストレートおよびイベント数

以下に、テストレートと、イベント数の制限を記します。

テストレート :	100nsec 以上、1nsec 単位 (標準 : 200nsec)
テストパターン 1 本あたりのイベント数 :	256K イベント以内
テストパターンの本数 :	30 本以内
テストパターンの総イベント数 :	1M イベント以内

(2) 入力ディレイ

以下に、入力ディレイに関する制約を記します。

① 入力ディレイの範囲

入力ディレイの値は、以下の範囲で与えてください。また、ストロブポイントの制限については「4.2.2 (5) ストロブ」を参照してください。

$0\text{nsec} \leq \text{入力ディレイ値} < \text{ストロブポイント}$

② 入力ディレイの位相差

入力ディレイに位相差を設ける場合は、3nsec 以上の差をつけてください。

③ 入力ディレイの種類

入力ディレイの値は、ひとつのテストパターンで、8 種類以内にしてください。ここで、0nsec 遅延も 1 種類と数えます。また、ディレイ値が同じでも、波形 (RZ と NRZ) やパルス幅が異なれば、異なる種類として数えます。

(3) パルス幅

RZ 波形のパルス幅は、15nsec 以上取ってください。

(4) 入力波形フォーマット

入力波形は、0、1、P、N の値を取ることができます。ここで、P と N は、RZ 波形におけるパルスの入力を表しています。また、P と N の値はひとつのテストパターン内で、同一の端子に対して 0 と P または、1 と N の組み合わせ以外を扱うことができません。

さらに、双方向端子におきましては、ひとつのテストパターン内で、出力状態が存在しない場合のみ、RZ 波形を入力することができます。

(5) ストロブ

ストロブに関する制限は以下のとおりです。

- ① ストロブはテストパターンごとに 1 種類のみ定義可能。
- ② ストロブの最小値は、すべてのイベントにおいて、与えられた入力信号によってすべての出力信号が変化し終わってから、30nsec 以上後にする。
- ③ ストロブの最大値は、(テストレート - 15nsec) よりも小さくする。
- ④ ストロブは、1nsec 単位で設定する。

4.2.3 DC・AC テストパターンについて

DC および AC テストについては、挿入させていただいたセイコーエプソン推奨テスト回路に対して DC および AC テストパターン作成を、セイコーエプソンにて行います。

お客さまにて DC・AC テスト回路挿入される場合は、「付録 A4. DC・AC テストパターン」を参照いただき、テストパターン作成をお願いします。

4.2.4 発振回路使用時の注意点

図 4-7 のような発振回路を使用している場合は、発振インバータのドライブ能力が小さく、かつ、発振回路の出力波形が測定環境の負荷の影響を受けてしまうので、発振回路の次段のゲートへ正確に波形が伝わりません。

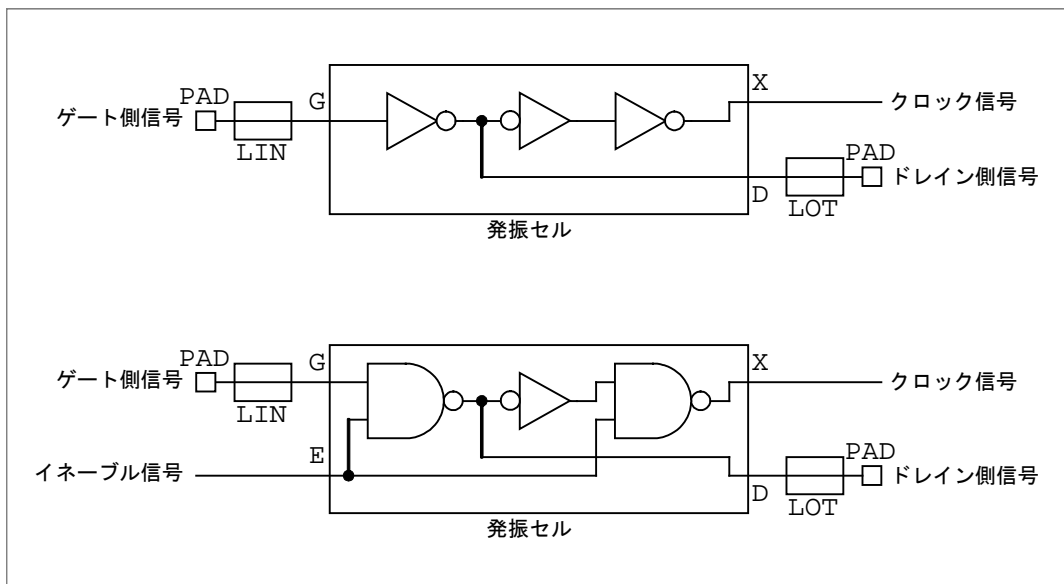


図 4-7 発振回路例

そこで、シミュレーションの状態を IC テスタで再現するために、逆ドライブ（ドレインに出力される信号と同じ位相の波形をドレイン端子に入力する）という処置を行っています。

発振インバータがインバータで構成されている場合は、ドレインから入力する信号はゲートに与えられている信号の逆位相を単純に入力すれば逆ドライブの信号を作り出せますが、NAND ゲートで構成されている場合（間欠発振または Gated-OSC と呼びます）は、ゲートの信号だけでは単純に判断できず、ドレイン端子の期待値をみて逆ドライブする波形を決定しています。

この方法では、入力波形が NRZ 波形で、ストロブがテストレートの最後であれば、ドレイン端子の期待値をそのまま入力波形にして、逆ドライブの波形を作り出せます。ところが、RZ 波形の場合はドレイン端子の期待値は発振状態も、発振停止状態も「H」または「L」に固定されてしまうので、ドレイン端子の期待値を見て逆ドライブの波形を決定することができません。

そこで、間欠発振を用いた回路の場合は、以下のことに注意してください。

1. 入力信号に RZ 波形の使用を禁止します。
2. イネーブル信号の変化でクロック信号を変化させないでください。

第4章 テストパターン作成上の注意

4.2.5 ハイインピーダンス状態の扱いに関する注意点

入力端子のハイ・インピーダンス状態は、動作を保証できないため、シミュレーション時に禁止事項としています。

また、ハイ・インピーダンスに関する対策としまして、プルアップ／プルダウン抵抗付きの I/O セルをリリースしています。ただし、下記の理由からシミュレーションにおいてプルアップ／プルダウン抵抗については伝播遅延を考慮していません。したがって、正確な動作をシミュレーションできないことから、プルアップ／プルダウン抵抗付きの双方向端子の入力モードにおける未入力状態も、シミュレーション時に禁止事項としています。

〈プルアップ／プルダウン抵抗の伝播遅延を考慮していない理由について〉

- (1) 外部負荷容量により遅延が大きく変動するため
- (2) プルアップ／プルダウン抵抗は、ハイ・インピーダンス状態によるフローティングゲートを回避することのみを目的としているため

上記内容を、シミュレーション前にツールによりテストパターンのチェックを行います。ハイ・インピーダンス状態を表す“Z”が検出された場合には、テストパターンの修正が必要です。

この時、前記理由からプルアップ／プルダウン抵抗付きの双方向端子での“Z”も警告しています。また、オープンドレインの双方向端子も同様です。

〈対策〉

テストパターンのチェックで双方向端子のすべての“Z”をエラーで警告します。(3-state、オープンドレイン等の出力端子で表現される“Z”は除きます)

このエラーを回避する手段として、前記双方向端子の“Z”はプルアップ抵抗付きであれば“1”を、プルダウン抵抗付きであれば“0”に置き換えるユーティリティプログラムをご用意しています。

双方向端子において、“X”が表現されている時間に入力モードとなった場合は、プルアップ／プルダウン抵抗の有無に関わらず、シミュレーションでは“X”を入力信号として伝播し、シミュレーション結果には“?”を表示します。この“?”は修正いただき、改めてシミュレーションを行います。

表 4-1 シミュレーションにおける双方向端子の信号の扱いについて

入力パターン	入出力モード	シミュレーション	シミュレーション結果 (出力パターン)
“X”	入力モード	“X”	“?”
“1”、“H”	入力モード	“1”	“1”
“0”、“L”	入力モード	“0”	“0”

第 5 章 回路設計上の注意

発振回路、外部バスとの競合防止、メタステーブル対策での留意点について記述しています。

5.1 発振回路

5.1.1 発振回路の構成

S1L60000 シリーズでは、発振回路を構成するための発振専用セルに、水晶発振用と CR 発振用を用意しています。水晶発振用には常時発振タイプと間欠発振タイプがあり、それぞれ内部セル領域に配置されるものと I/O セル領域に配置されるものがあります。発振回路構成は使用する発振セルにより以下のようになります。

待機時消費電流の観点より、間欠発振を推奨しています。

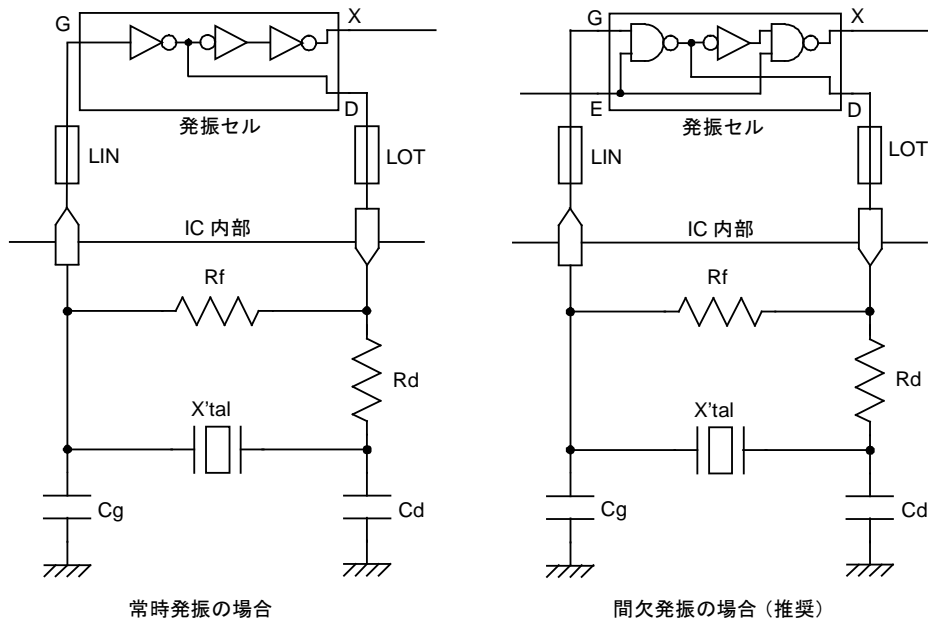
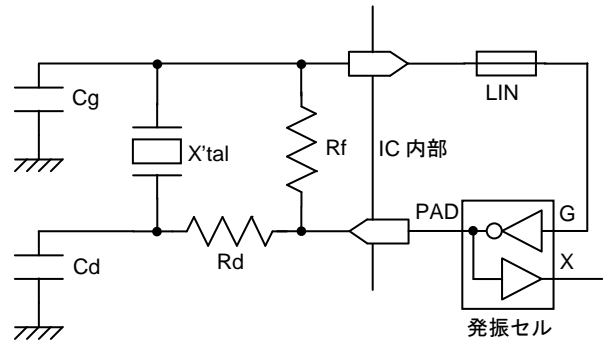
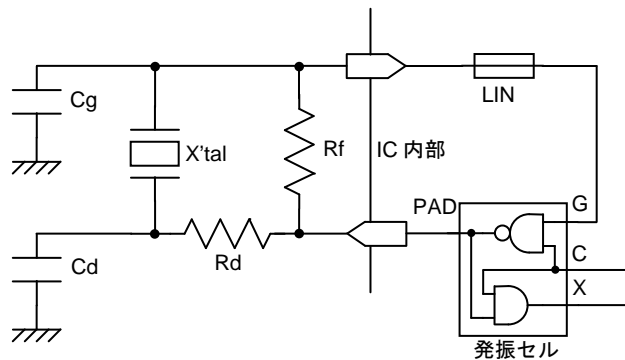


図 5-1 水晶発振回路 (内部セルタイプ)



常時発振の場合



間欠発振の場合 (推奨)

図 5-2 水晶発振回路 (I/O セルタイプ)

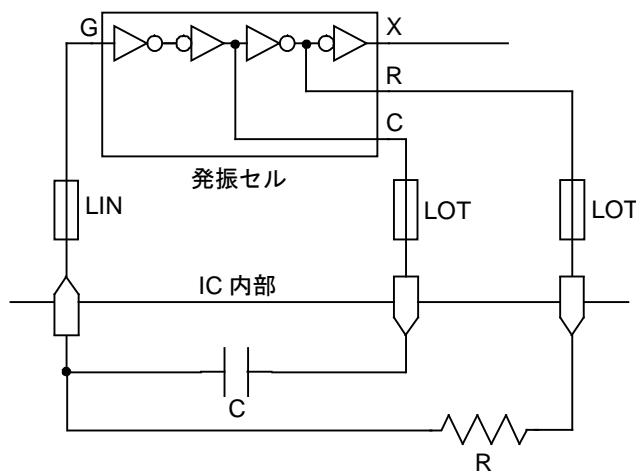


図 5-3 CR 発振回路

5.1.2 発振回路を使用する場合の注意

(1) 端子配列

- ① 発振回路の入出力端子は隣接させて配置し、その両側を電源端子 (V_{DD} 、 V_{SS}) を挟んでください。
- ② 発振回路の入出力端子は、他の出力端子から離して配置してください。特に、発振波形と同相あるいは逆相の出力からは離して配置してください。このような出力はパッケージの対辺に配置するようにしてください。
- ③ 発振回路の入出力端子は、クロックなど高速で動作する入力端子から離して配置してください。
- ④ 発振回路の入出力端子はできるだけパッケージの辺の中心に配置します。
- ⑤ 発振回路を複数搭載する場合は、干渉を避けるために発振回路は離して配置してください。
- ⑥ BGA 等エリアレイパッケージを使用する場合の端子配列は弊社営業担当までお問い合わせください。

(2) 発振セル選択の目安

発振可能周波数は、およそ数十 kHz～数十 MHz 程度です。詳細は弊社営業担当までお問い合わせください。

(3) 外付け抵抗、コンデンサ値の設定

発振特性は、その回路の構成要素 (IC、 X'_{tal} 、 R_f 、 R_d 、 C_g 、 C_d 、基板) に依存します。したがって、外付けの R_f 、 R_d や C_g 、 C_d の値は、実際の基盤上に各部品を実装させた状態で十分な評価を行い最適なものを選んでください。

(4) 保証のレベル

発振特性は、その回路の構成要素 (IC、 X'_{tal} 、 R_f 、 R_d 、 C_g 、 C_d 、基板) に依存します。したがって、発振動作・特性についてはセイコーエプソンでは保証できません。発振特性についてはお客さまにおいて ES サンプルで十分な評価を行って確認していただく必要があります。

(5) IC 内部回路へのクロック信号について

生成されるクロック信号 (発振セル X の信号) の波形を予め特定することは困難であるため、クロックの周波数以外は論理シミュレータで正確に扱うことができません。例えば、実際の IC でのクロックデューティはシミュレーション結果と異なります。

よって、生成されたクロック信号の立上りと立下りの両方を利用した回路を使用することは避けてください。シミュレータでの検証結果と一致しないような不具合を持った回路ができる可能性があります。生成されたクロック信号の立上りあるいは立下りのいずれか一方を利用した回路を使用してください。

5.1.3 発振セルの RTL 記述について

発振セルの RTL 記述については、「第 2 章 2.6 発振セルの記述」を参照をしてください。

第5章 回路設計上の注意

5.1.4 発振回路使用時のテストパターンについて

図5-4のような発振回路を使用している場合は、発振インバータのドライブ能力が小さく、かつ、発振回路の出力波形が測定環境の負荷の影響を受けてしまうので、発振回路の次段のゲートへ正確に波形が伝わりません。

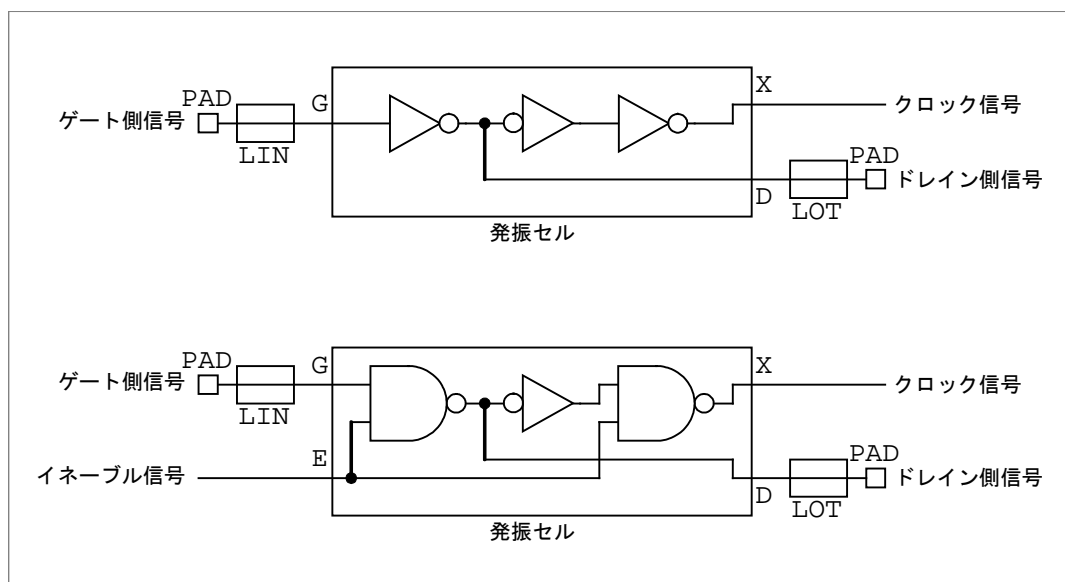


図5-4 発振回路例

そこで、シミュレーションの状態をICテストで再現するために、逆ドライブ（ドレインに出力される信号と同じ位相の波形をドレイン端子に入力する）という処置を行っています。

発振インバータがインバータで構成されている場合は、ドレインから入力する信号はゲートに与えられている信号の逆位相を単純に入力すれば逆ドライブの信号を作り出せますが、NANDゲートで構成されている場合（間欠発振または Gated-OSC と呼びます）は、ゲートの信号だけでは単純に判断できず、ドレイン端子の期待値をみて逆ドライブする波形を決定しています。

この方法では、入力波形が NRZ 波形で、ストロークがテストレートの最後にあれば、ドレイン端子の期待値をそのまま入力波形にして、逆ドライブの波形を作り出せます。ところが、RZ 波形の場合はドレイン端子の期待値は発振状態も、発振停止状態も「H」または「L」に固定されてしまうので、ドレイン端子の期待値を見て逆ドライブの波形を決定することができません。

そこで、間欠発振を用いた回路の場合は、以下のことに注意してください。

1. 入力信号に RZ 波形の使用を禁止します。
2. イネーブル信号の変化でクロック信号を変化させないでください。

5.2 内部バスの構成

バス回路は 3-state 論理回路で構成され、バスの制御信号を操作することによって、バスに接続されている出力の 1 つをアクティブ状態にして（他の出力はハイ・インピーダンス状態）、1 本の伝送信号線を時間ごとに分割して共有するものです。

ここでは、内部トライステートバッファを使用し、構築する内部バス回路の注意点について記します。

- (1) バスセルはバス回路以外に使用できません。（バスセルは表 5-1 を参照してください）
 - (2) バス回路を構成する場合は、バスラッチセル BLT* をバスに付加してください。
 - (3) 1 本のバスに接続されるバスセルの中で、アクティブ状態（0 または 1）にできるものは 1 出力だけで他のバスセルの出力は必ずハイ・インピーダンス状態（Z）でなければなりません。
*1
 - (4) 1 本のバスに接続できるバスセルは Fan-Out 制限値以内としてください。*2
 - (5) バス回路は Fan-Out の関係からも伝播遅延時間が大きくなる傾向にあり、高速動作には不向きとなります。*2
 - (6) バスラッチセルにより保持されるデータは、フローティング防止のみとし、論理信号として使用しないでください。*3
 - (7) テストパターン作成時においてバスの初期状態が容易に定まるように作成してください。*4
 - (8) 1 サイクル内で、バスの制御信号切り換えは 1 回のみとしてください。
- 注) *1：1 本のバスに接続されるバスセルの中で、同時に複数のバスセルがアクティブ状態（0 または 1）になる状態では、出力の電位が不安定な状態になるとともに、 $V_{DD} \sim GND$ 間に定常的に貫通電流が流れてしまいますので、この制限事項を必ず守ってください。
- *2：内部バス上の負荷が過大すぎますと配線長の増大、接続先の増加により、信号の立ち上がり、立ち下がり時間が増加し、論理シミュレーションでの遅延時間と実デバイスの遅延時間に差が生じやすくなります。
- *3：1 本のバスに接続されるバスセルが、すべてハイインピーダンス状態（Z）となっても、バスラッチセルによりデータは保持されますが、動作時に影響を与えぬように保持能力は抑えてあります。保持されているデータ出力を有効なデータとして使用しないでください。
- *4：バスの制御性が高まるようテスト端子を付加するなどし、テスト性を向上するように構成してください。

表 5-1 S1L60000 シリーズのバスセル一覧

セルタイプ	セル名		
	1BIT	4BIT	8BIT
Bus latches	BLT1	BLT4	BLT8
Bus driver	TSB、TSB4、TSB8、TSBP	T244H	T244
Inverting bus driver	TSV、TSV4、TSV8、TSVP	T240H	T240
Transparent latches with reset and 3-state output	—	T373H	T373
D-flip flops with reset and 3-state output	—	T374H	T374
1-bit RAM	RM1	—	—

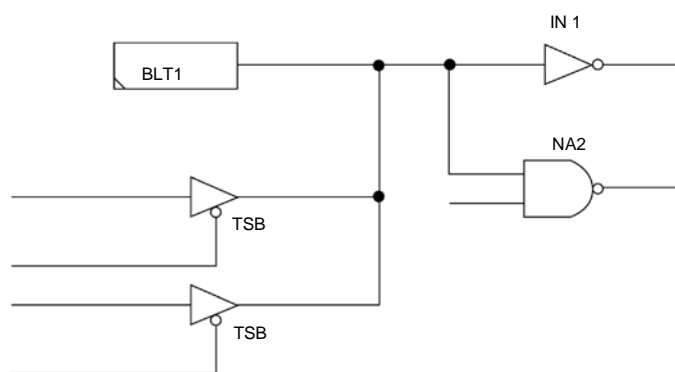


図 5-5 バスセル回路構成例

5.3 外部バスとの競合防止

S1L60000 シリーズと他の IC を使用するシステム上で、それらがバス構成により接続される場合は、内部バスの構成の項に記載の注意事項の他に、プルアップ／プルダウン抵抗の設置などの対策を講じてください。なお、外部バスのフローティングを防止するために、プルアップ／プルダウン抵抗つき入出力バッファやバスホールド機能つき入出力バッファ（「6.1.2 バスホールド機能つき入出力バッファ」参照）を使用することもできます。

未対策で使用されますと、場合によっては入力レベルが定まらないために、ファンクション不良や入力リーク電流増加の原因になりますのでご注意ください。

5.4 メタステーブル (Metastable)

FF やラッチセルの入力信号において、クロックとデータのセットアップ、ホールド時間、クロックとセットあるいはリセットのリリース、リムーバル時間のタイミング規格に違反している場合、FF やラッチセルの出力信号は、ある一定の時間、発振または、“HIGH” レベルでも “LOW” レベルでもない中間電位になる可能性があります。このような出力信号の不安定な状態をメタステーブル (Metastable) と呼びます。

メタステーブル状態は、ある時間経過後に終了し、出力は “HIGH” あるいは “LOW” レベルの状態に確定します。しかし、確定したレベルはデータの入力のレベルには依存しませんので、出力は不定状態となります。

セットアップ/ホールド、リリース/リムーバルのタイミングの規格が満足できない場合は、回路全体にこのような不安定な状態が伝播しないような回路上の対策をとってください。

セットアップ/ホールド、リリース/リムーバル時間の規格値を満足できなかった場合のメタステーブル時間の目安値を、次のように定義しています。

$$\text{メタステーブル時間} = T_{pd} \times 6$$

T_{pd} : FF、ラッチセルのクロック、セット、リセット信号のアクティブエッジから出力変化までの遅延時間

なお、論理シミュレーションではこのようなメタステーブル状態での遅延値は考慮されませんので、必ずタイミング規格を満足した設計をしてください。

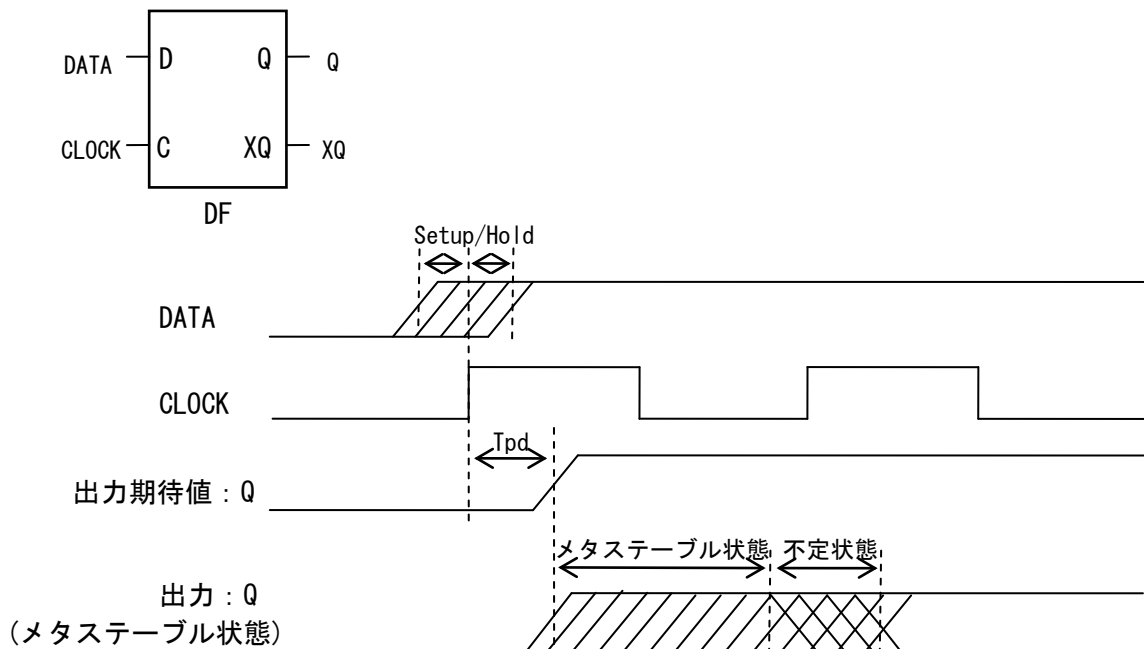


図 5-6 DF のメタステーブル状態

第 6 章 入出力バッファの種類と使用上の注意

S1L60000 シリーズの入力バッファ、出力バッファ、双方向バッファの構成方法を記述しています。S1L60000 シリーズでの入出力バッファは、2 電源 (3.3V/2.5V or 3.3V/2.0V or 3.3V/1.8V) で使用する方法と、単一電源 (2.5V or 2.0V or 1.8V) で使用する方法の 2 通りの使用方法がありそれぞれ専用入出力バッファを選択して頂くこととなりますので注意してください。

6.1 入出力バッファの種類及び選択

入カインターフェースレベル、シュミットトリガ入力の有無、プルアップ/プルダウン抵抗の有無、出力駆動能力、ノイズ対策対応の有無等によって、多種多様な入出力バッファを用意しています。

出力駆動能力およびプルアップ/プルダウン抵抗については、「第 1 章 1.3 電気的特性・規格 (2 電源の場合)、表 1-4、1.4 電気的特性 (単一電源の場合) 表 1-10~表 1-12」および「付録 A5 入出力バッファ特性グラフ」を参照してください。

6.1.1 入出力バッファの選択

S1L60000 シリーズでは、入出力バッファ選択の為に便利ツールを用意しています。以下 URL を参照にしてください。

デザインガイド補足資料 : S1L60000 シリーズ入出力バッファの一覧表

< http://www.epson.jp/prod/semicon/products/asic/gatearray/s1l60k_io.htm >

6.1.2 バスホールド機能つき入出力バッファ

出力端子あるいは双方向端子がハイインピーダンス状態にならないよう、出力端子のデータを保持するバスホールド機能付きの入出力バッファを用意しています。

ただし、通常の動作に影響を与えないようにバスホールド回路の保持能力は抑えてありますので、保持されているデータ出力を有効なデータとして使用しないでください。外部から何らかのデータが供給された場合には容易にデータは変化します。

バスホールド回路の出力保持電流につきましては、表 1-4 ($HV_{DD}=3.3V$)、表 1-10 ($V_{DD}=2.5V$)、表 1-11 ($V_{DD}=2.0V$)、表 1-12 ($V_{DD}=1.8V$) を参照してください。

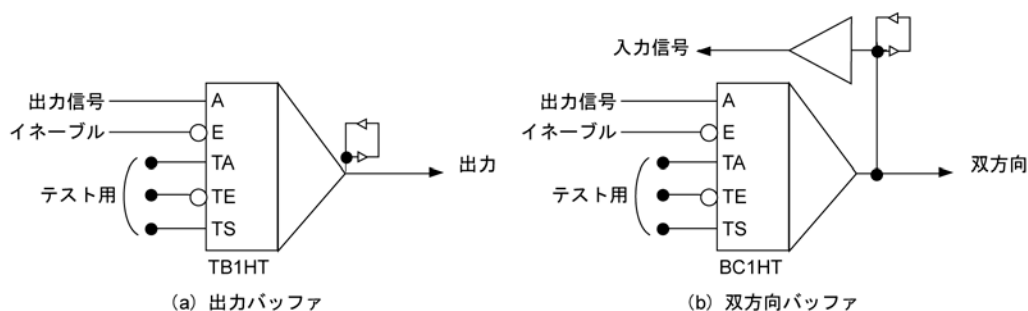


図 6-1 バスホールド回路シンボルの一例

6.2 2 電源使用上の注意

S1L60000 シリーズは 2 電源を供給することにより、入出力バッファごとに 3.3V か 2.5V あるいは 3.3V か 2.0V、3.3V か 1.8V のいずれかの信号とのインターフェースが可能です。内部セル領域は 2.5V、2.0V あるいは 1.8V の電源で動作します。

6.2.1 2 電源対応の方法

内部動作電圧と異なる電圧の信号をインターフェースすることが可能です。異電源系とインターフェースする方法は以下の 2 通りがあります。

- 単一電源の場合

単一電源では、Nch オープンドレインタイプのバッファまたは、Fail-Safe バッファを使用することにより、電源電圧より高い電圧の信号を入力することができます。しかし、電源電圧より高い電圧の信号を出力することはできません。この場合 Nch オープンドレインタイプのバッファと外付けのプルアップ抵抗を組み合わせることで対応します。

- 2 電源を供給する場合

専用の 2 電源対応入力バッファを使用することにより、内部動作電圧より高い電圧の信号を入力することができます。2 電源用出力バッファを使うことにより内部動作電圧より高い信号を出力することも可能です。

6.2.2 2 電源使用時の電源

異なる 2 種類の電源を与える場合には、 HV_{DD} と LV_{DD} の 2 つの電源セルを用います。 HV_{DD} は HV_{DD} 系の入出力バッファの電源として使い、 LV_{DD} は LV_{DD} 系入出力バッファと内部セル用に使用します。電源電圧は常に次式を満たす必要があります。

$$HV_{DD} \geq LV_{DD}$$

$HV_{DD} < LV_{DD}$ となった場合の動作保証はできませんので注意してください。動作条件として次の条件を推奨します。

$$HV_{DD} = 3.3V, LV_{DD} = 2.5V$$

$$HV_{DD} = 3.3V, LV_{DD} = 2.0V$$

$$HV_{DD} = 3.3V, LV_{DD} = 1.8V$$

第 6 章 入出力バッファの種類と使用上の注意

6.2.3 電源の投入・切断について

2 電源仕様チップの場合の電源投入・切断の順序は以下のとおりです。

電源投入時：LV_{DD}（内部）→ HV_{DD}（I/O部）→ 入力信号印加
電源切断時：入力信号オフ→ HV_{DD}（I/O部）→ LV_{DD}（内部）

注) 1：LV_{DD}が切断されている状態でHV_{DD}のみを継続的（1秒以上）に印加することは、チップの信頼性上の問題と誤動作の原因となることがありますので避けてください。

また、1秒以内であっても、下記のような問題を引き起こす事があります。

- (1) この期間は端子状態が不定となり、動作を保証することができません。そのため、その端子に接続された外部デバイスとの出力ショートや外部デバイスの誤動作を起こす原因となりますので、ご注意ください。
- (2) この期間はHVDD系の回路が不定状態となり、HVDD系に定義できない貫通電流が流れる事があります。そのため、外部電源の電流容量不足によって起動できない原因となる場合がありますのでご注意ください。

注) 2：HV_{DD}をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず回路の初期化を行ってください。

6.3 2 電源対応の入出力バッファ

S1L60000 シリーズで 2 電源を供給する場合には 2 電源対応専用の入出力バッファを使用してください。（単一電源用の入出力バッファは使用できません。）

また、単一電源用の入出力バッファと 2 電源対応専用の入出力バッファを混在で使用することはできません。

(1) HV_{DD} 系の入出力バッファ

HV_{DD} 系の入出力バッファには 3.3V の信号を入力する入力バッファ、3.3V 振幅の信号を出力する出力バッファ、および 2.5V（または 2.0V、1.8V）の信号を入力し、3.3V 振幅の信号を出力することのできる双方向バッファがあります。

(2) LV_{DD} 系の入出力バッファ

LV_{DD} 系の入出力バッファには 2.5V（または 2.0V、1.8V）の信号を入力する入力バッファ、3.3V（または 2.0V）振幅の信号を出力する出力バッファ、および 2.5V（または 2.0V、1.8V）の信号を入力し、2.5V（または 2.0V、1.8V）振幅の信号を出力することのできる双方向バッファがあります。

LV_{DD} 系の双方向バッファには HV_{DD} 系の信号を入力すると LV_{DD} 系のバッファ内の保護ダイオードに過大な電流が流れ、品質を低下させることとなりますので LV_{DD} 以上の電圧を印加しないでください。（この場合は、「6.5.4 Fail-Safe バッファ」で述べる Fail-Safe バッファを使用してください。）

6.3.1 入力バッファ一覧（2 電源）

入力バッファは入力回路セルのみで構成されています。

(1) HV_{DD} 系の入力バッファ

HV_{DD} 系の入力バッファは、入力の初段を HV_{DD} 系の入力回路で構成し、次段を LV_{DD} 系の回路で構成しており、HV_{DD} 系の信号を LV_{DD} 系の信号に変換してから MSI セル（内部セル領域）へ信号を供給します。

表 6-1 に HV_{DD} 系の入力バッファのプルアップ、プルダウン抵抗値を示します。

表 6-1 HV_{DD} 系プルアップ、プルダウン抵抗 規格値

プルアップ／プルダウン抵抗の種類	抵抗値	単位
	HV _{DD} =3.3V	
Type 1	60	kΩ
Type 2	120	kΩ

第 6 章 入出力バッファの種類と使用上の注意

表 6-2 に HV_{DD} 系の入力バッファの一覧を示します。

表 6-2 HV_{DD} 系入力バッファ一覧 (HV_{DD}=3.3V)

入力レベル	抵抗値の種類	プルアップ/ プルダウン	セル名* ²	抵抗値* ¹	単位
CMOS	なし	—	HIBC, HIBCL	—	—
	Type 1	プルアップ	HIBCP1, HIBCP1L	60	kΩ
		プルダウン	HIBCD1, HIBCD1L	60	kΩ
	Type 2	プルアップ	HIBCP2, HIBCP2L	120	kΩ
		プルダウン	HIBCP2L, HIBCP2L	120	kΩ
LVTTTL	なし	—	HIBT, HIBTL	—	—
	Type 1	プルアップ	HIBTP1, HIBTP1L	60	kΩ
		プルダウン	HIBTD1, HIBTD1L	60	kΩ
	Type 2	プルアップ	HIBTP2, HIBTP2L	120	kΩ
		プルダウン	HIBTP2L, HIBTP2L	120	kΩ
CMOS シュミット	なし	—	HIBH, HIBHL	—	—
	Type 1	プルアップ	HIBHP1, HIBHP1L	60	kΩ
		プルダウン	HIBHD1, HIBHD1L	60	kΩ
	Type 2	プルアップ	HIBHP2, HIBHP2L	120	kΩ
		プルダウン	HIBHP2L, HIBHP2L	120	kΩ
LVTTTL シュミット	なし	—	HIBS, HIBSL	—	—
	Type 1	プルアップ	HIBSP1, HIBSP1L	60	kΩ
		プルダウン	HIBSD1, HIBSD1L	60	kΩ
	Type 2	プルアップ	HIBSP2, HIBSP2L	120	kΩ
		プルダウン	HIBSP2L, HIBSP2L	120	kΩ
PCI-3V	なし	—	HIBPB, HIBPBL	—	—
	Type 1	プルアップ	HIBPBP1, HIBPBP1L	60	kΩ
		プルダウン	HIBPBD1, HIBPBD1L	60	kΩ
	Type 2	プルアップ	HIBPBP2, HIBPBP2L	120	kΩ
		プルダウン	HIBPBP2L, HIBPBP2L	120	kΩ

注) *1 : 詳細な抵抗値は表 1-4、特性グラフは付録 A5.1.2 を参照下さい。

*2 : LVDD=1.8V では“~L”のみ使用可能です。

(2) LV_{DD} 系の入力バッファ

入力バッファは入力セルのみで構成されます。表 6-4 は LV_{DD} 系の入力バッファ一覧です。

表 6-3 LV_{DD} 系プルアップ、プルダウン抵抗の各電圧における規格値

プルアップ/プルダウン 抵抗の種類	抵抗値			単位
	LV _{DD} =2.5V	LV _{DD} =2.0V	LV _{DD} =1.8V	
Type 1	50	70	84	kΩ
Type 2	100	140	168	kΩ

表 6-4 LV_{DD} 系入力バッファ一覧

入力レベル	抵抗値 の種類	プルアップ/ プルダウン	セル名	プルアップ/プルダウン抵抗値*1			単位
				LV _{DD} =2.5V	LV _{DD} =2.0V	LV _{DD} =1.8V	
CMOS	なし	—	LIBC	—	—	—	—
	Type 1	プルアップ	LIBCP1	50	70	84	kΩ
		プルダウン	LIBCD1	50	70	84	kΩ
	Type 2	プルアップ	LIBCP2	100	140	168	kΩ
		プルダウン	LIBCD2	100	140	168	kΩ
CMOS シュミット	なし	—	LIBH	—	—	—	—
	Type 1	プルアップ	LIBHP1	50	70	84	kΩ
		プルダウン	LIBHD1	50	70	84	kΩ
	Type 2	プルアップ	LIBHP2	100	140	168	kΩ
		プルダウン	LIBHD2	100	140	168	kΩ

注) *1: 詳細な抵抗値は表 1-10~表 1-12、特性グラフは付録 A5. 2. 2、A5. 3. 2 を参照下さい。

第 6 章 入出力バッファの種類と使用上の注意

6.3.2 出力バッファ一覧 (2 電源)

3.1.2 テスト回路付き出力バッファおよび双方向バッファのセル名で記述しているように、テスト回路付き出力バッファのセル名の末尾は「T」となっています。

(1) HV_{DD} 系の出力バッファ

表 6-5 に HV_{DD} 系の出力バッファにおける I_{OL}、I_{OH} の規格値を示します。

表 6-5 HV_{DD} 系の出力バッファの I_{OL}、I_{OH} の各電圧における規格値

出力電流の種類	I _{OL} ^{*1} /I _{OH} ^{*2}	単位
	HV _{DD} =3.3V	
Type S	0.1/-0.1	mA
Type M	1/-1	mA
Type 1	3/-3	mA
Type 2	6/-6	mA
Type 3	12/-12	mA
Type 4	24/-24	mA

注) *1 : V_{OL}=0.4V

*2 : V_{OH}=HV_{DD}-0.4V

表 6-6、表 6-7 に HV_{DD} 系の出力バッファの一覧を示します。

表 6-6 HV_{DD} 系出力バッファ一覧 (HV_{DD}=3.3V/LV_{DD}=2.5V or 2.0V、1.8V)

Function	I _{OL} /I _{OH} *1 *2	セル名*3
Normal output	Type S (0.1mA/-0.1mA)	HOBST HOBSTL
	Type M (1mA/-1mA)	HOBMT HOBMTL
	Type 1 (3mA/-3mA)	HOB1T HOB1TL
	Type 2 (6mA/-6mA)	HOB2T HOB2TL
	Type 3 (12mA/-12mA)	HOB3T HOB3TL
	Type 4 (24mA/-24mA)	HOB4T HOB4TL
Normal output for PCI	PCI-3V	HOBPBT HOBPBTL
Normal output for high speed	Type 3 (12mA/-12mA)	HOB3AT HOB3ATL
	Type 4 (24mA/-24mA)	HOB4AT HOB4ATL
Normal output for low noise	Type 3 (12mA/-12mA)	HOB3BT HOB3BTL
	Type 4 (24mA/-24mA)	HOB4BT HOB4BTL
3-state output	Type S (0.1mA/-0.1mA)	HTBST HTBSTL
	Type M (1mA/-1mA)	HTBMT HTBMTL
	Type 1 (3mA/-3mA)	HTB1T HTB1TL
	Type 2 (6mA/-6mA)	HTB2T HTB2TL
	Type 3 (12mA/-12mA)	HTB3T HTB3TL
	Type 4 (24mA/-24mA)	HTB4T HTB4TL
3-state output for PCI	PCI-3V	HTBPBT HTBPBTL
3-state output for high speed	Type 3 (12mA/-12mA)	HTB3AT HTB3ATL
	Type 4 (24mA/-24mA)	HTB4AT HTB4ATL
3-state output for low noise	Type 3 (12mA/-12mA)	HTB3BT HTB3BTL
	Type 4 (24mA/-24mA)	HTB4BT HTB4BTL
3-state output (バスホールド機能付き)	Type M (1mA/-1mA)	HTBMHT HTBMHTL
	Type 1 (3mA/-3mA)	HTB1HT HTB1HTL
	Type 2 (6mA/-6mA)	HTB2HT HTB2HTL
	Type 3 (12mA/-12mA)	HTB3HT HTB3HTL
	Type 4 (24mA/-24mA)	HTB4HT HTB4HTL
3-state output for high speed (バスホールド機能付き)	Type 3 (12mA/-12mA)	HTB3AHT HTB3AHTL
	Type 4 (24mA/-24mA)	HTB4AHT HTB4AHTL
3-state output for low noise (バスホールド機能付き)	Type 3 (12mA/-12mA)	HTB3BHT HTB3BH TL
	Type 4 (24mA/-24mA)	HTB4BHT HTB4BH TL

注) *1 : V_{OL}=0.4V、V_{OH}=HV_{DD}-0.4V です。

*2 : 出力電流の詳細は表 1-4 および A5.1.2 出力ドライバ特性グラフを参照ください。

*3 : LVDD=1.8V では、“*****TL”のみ使用可能です。

第 6 章 入出力バッファの種類と使用上の注意

表 6-7 HV_{DD}系 N チャネルオープンドレイン出力バッファ一覧
(HV_{DD}=3.3V/LV_{DD}=2.5V or 2.0V、1.8V)

Function	I _{OL} *1 *2	セル名*3
Normal output	Type 1 (3mA)	HOD1T HOD1TL
	Type 2 (6mA)	HOD2T HOD2TL
	Type 3 (12mA)	HOD3T HOD3TL
	Type 4 (24mA)	HOD4T HOD4TL

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の詳細は、表 1-4 および A5.1.2 出力ドライバ特性グラフを参照ください。

*3 : LVDD=1.8V では、“****TL”のみ使用可能です。

(2) LV_{DD}系出力バッファ

表 6-8 に LV_{DD}系出力バッファにおける I_{OL}、I_{OH} の規格値を示します。

表 6-8 LV_{DD}系出力バッファの I_{OL}、I_{OH} の各電圧における規格値

出力電流の種類	I _{OL} *1/I _{OH} *2			単位
	LV _{DD} =2.5V	LV _{DD} =2.0V	LV _{DD} =1.8V	
Type S	0.1/-0.1	0.05/-0.05	0.045/-0.045	mA
Type M	1/-1	0.3/-0.3	0.27/-0.27	mA
Type 1	3/-3	1/-1	0.9/-0.9	mA
Type 2	6/-6	2/-2	1.8/-1.8	mA
Type 3	9/-9	3/-3	2.7/-2.7	mA
Type 4	18/-18	6/-6	5.4/-5.4	mA

注) *1 : V_{OL}=0.4V (LV_{DD}=2.5V) or LV_{DD}-0.2V (LV_{DD}=2.0V、LV_{DD}=1.8V) です。

*2 : V_{OH}=LV_{DD}-0.4V (LV_{DD}=2.5V) or LV_{DD}-0.2V (LV_{DD}=2.0V、LV_{DD}=1.8V) です。

表 6-9～表 6-11 に LV_{DD} 系の出力バッファの一覧を示します。

表 6-9 LV_{DD} 系出力バッファ一覧 (LV_{DD}=2.5V)

Function	I _{OL} /I _{OH} *1 *2	セル名
Normal output	Type S (0.1mA/-0.1mA)	LOBST
	Type M (1mA/-1mA)	LOBMT
	Type 1 (3mA/-3mA)	LOB1T
	Type 2 (6mA/-6mA)	LOB2T
	Type 3 (9mA/-9mA)	LOB3T
	Type 4 (18mA/-18mA)	LOB4T
Normal output for high speed	Type 3 (9mA/-9mA)	LOB3AT
	Type 4 (18mA/-18mA)	LOB4AT
Normal output for low noise	Type 3 (9mA/-9mA)	LOB3BT
	Type 4 (18mA/-18mA)	LOB4BT
3-state output	Type S (0.1mA/-0.1mA)	LTBST
	Type M (1mA/-1mA)	LTBMT
	Type 1 (3mA/-3mA)	LTB1T
	Type 2 (6mA/-6mA)	LTB2T
	Type 3 (9mA/-9mA)	LTB3T
	Type 4 (18mA/-18mA)	LTB4T
3-state output for high speed	Type 3 (9mA/-9mA)	LTB3AT
	Type 4 (18mA/-18mA)	LTB4AT
3-state output for low noise	Type 3 (9mA/-9mA)	LTB3BT
	Type 4 (18mA/-18mA)	LTB4BT
3-state output (バスホールド機能付き)	Type M (1mA/-1mA)	LTBMHT
	Type 1 (3mA/-3mA)	LTB1HT
	Type 2 (6mA/-6mA)	LTB2HT
	Type 3 (9mA/-9mA)	LTB3HT
	Type 4 (18mA/-18mA)	LTB4HT
3-state output for high speed (バスホールド機能付き)	Type 3 (9mA/-9mA)	LTB3AHT
	Type 4 (18mA/-18mA)	LTB4AHT
3-state output for low noise (バスホールド機能付き)	Type 3 (9mA/-9mA)	LTB3BHT
	Type 4 (18mA/-18mA)	LTB4BHT

注) *1 : V_{OL}=0.4V、V_{OH}=LV_{DD}-0.4V です。

*2 : 出力電流の詳細は、表 1-10 および A5.2.2 出力ドライバ特性グラフを参照ください。

第 6 章 入出力バッファの種類と使用上の注意

表 6-10 LV_{DD}系出力バッファ一覧 (LV_{DD}=2.0V)

Function	I _{OL} /I _{OH} *1 *2	セル名
Normal output	Type S (0.05mA/-0.05mA)	LOBST
	Type M (0.3mA/-0.3mA)	LOBMT
	Type 1 (1mA/-1mA)	LOB1T
	Type 2 (2mA/-2mA)	LOB2T
	Type 3 (3mA/-3mA)	LOB3T
	Type 4 (6mA/-6mA)	LOB4T
Normal output for high speed	Type 3 (3mA/-3mA)	LOB3AT
	Type 4 (6mA/-6mA)	LOB4AT
Normal output for low noise	Type 3 (3mA/-3mA)	LOB3BT
	Type 4 (6mA/-6mA)	LOB4BT
3-state output	Type S (0.05mA/-0.05mA)	LTBST
	Type M (0.3mA/-0.3mA)	LTBMT
	Type 1 (1mA/-1mA)	LTB1T
	Type 2 (2mA/-2mA)	LTB2T
	Type 3 (3mA/-3mA)	LTB3T
	Type 4 (6mA/-6mA)	LTB4T
3-state output for high speed	Type 3 (3mA/-3mA)	LTB3AT
	Type 4 (6mA/-6mA)	LTB4AT
3-state output for low noise	Type 3 (3mA/-3mA)	LTB3BT
	Type 4 (6mA/-6mA)	LTB4BT
3-state output (バスホールド機能付き)	Type M (0.3mA/-0.3mA)	LTBMHT
	Type 1 (1mA/-1mA)	LTB1HT
	Type 2 (2mA/-2mA)	LTB2HT
	Type 3 (3mA/-3mA)	LTB3HT
	Type 4 (6mA/-6mA)	LTB4HT
3-state output for high speed (バスホールド機能付き)	Type 3 (3mA/-3mA)	LTB3AHT
	Type 4 (6mA/-6mA)	LTB4AHT
3-state output for low noise (バスホールド機能付き)	Type 3 (3mA/-3mA)	LTB3BHT
	Type 4 (6mA/-6mA)	LTB4BHT

注) *1 : V_{OL}=0.2V、V_{OH}=LV_{DD}-0.2V です。

*2 : 出力電流の詳細は、表 1-11 および A5.3.2 出力ドライバ特性グラフを参照ください。

表 6-11 LV_{DD}系出力バッファ一覧 (LV_{DD}=1.8V)

Function	I _{OL} /I _{OH} *1 *2	セル名
Normal output	Type S (0.045mA/-0.045mA)	LOBST
	Type M (0.27mA/-0.27mA)	LOBMT
	Type 1 (0.9mA/-0.9mA)	LOB1T
	Type 2 (1.8mA/-1.8mA)	LOB2T
	Type 3 (2.7mA/-2.7mA)	LOB3T
	Type 4 (5.4mA/-5.4mA)	LOB4T
Normal output for high speed	Type 3 (2.7mA/-2.7mA)	LOB3AT
	Type 4 (5.4mA/-5.4mA)	LOB4AT
Normal output for low noise	Type 3 (2.7mA/-2.7mA)	LOB3BT
	Type 4 (5.4mA/-5.4mA)	LOB4BT
3-state output	Type S (0.045mA/-0.045mA)	LTBST
	Type M (0.27mA/-0.27mA)	LTBMT
	Type 1 (0.9mA/-0.9mA)	LTB1T
	Type 2 (1.8mA/-1.8mA)	LTB2T
	Type 3 (2.7mA/-2.7mA)	LTB3T
	Type 4 (5.4mA/-5.4mA)	LTB4T
3-state output for high speed	Type 3 (2.7mA/-2.7mA)	LTB3AT
	Type 4 (5.4mA/-5.4mA)	LTB4AT
3-state output for low noise	Type 3 (2.7mA/-2.7mA)	LTB3BT
	Type 4 (5.4mA/-5.4mA)	LTB4BT
3-state output (バスホールド機能付き)	Type M (0.27mA/-0.27mA)	LTBMHT
	Type 1 (0.9mA/-0.9mA)	LTB1HT
	Type 2 (1.8mA/-1.8mA)	LTB2HT
	Type 3 (2.7mA/-2.7mA)	LTB3HT
	Type 4 (5.4mA/-5.4mA)	LTB4HT
3-state output for high speed (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA)	LTB3AHT
	Type 4 (5.4mA/-5.4mA)	LTB4AHT
3-state output for low noise (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA)	LTB3BHT
	Type 4 (5.4mA/-5.4mA)	LTB4BHT

注) *1: V_{OL}=0.2V、V_{OH}=LV_{DD}-0.2V です。

*2: 出力電流の詳細は、表 1-12 および、A5.4.1 出力ドライバ特性グラフを参照ください。

第 6 章 入出力バッファの種類と使用上の注意

表 6-12 LV_{DD}系 N チャネルオープンドレイン出力バッファ一覧 (LV_{DD}=2.5V)

Function	I _{OL} *1, *2	セル名
Normal output	Type 1 (3mA)	LOD1T
	Type 2 (6mA)	LOD2T
	Type 3 (9mA)	LOD3T
	Type 4 (18mA)	LOD4T

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の詳細は、表 1-10 および A5. 2. 2 出力ドライバ特性グラフを参照ください。

表 6-13 LV_{DD}系 N チャネルオープンドレイン出力バッファ一覧 (LV_{DD}=2.0V)

Function	I _{OL} *1, *2	セル名
Normal output	Type 1 (1mA)	LOD1T
	Type 2 (2mA)	LOD2T
	Type 3 (3mA)	LOD3T
	Type 4 (6mA)	LOD4T

注) *1 : V_{OL}=0.2V です。

*2 : 出力電流の詳細は、表 1-11 および A5. 3. 2 出力ドライバ特性グラフを参照ください。

表 6-14 LV_{DD}系 N チャネルオープンドレイン出力バッファ一覧 (LV_{DD}=1.8V)

Function	I _{OL} *1, *2	セル名
Normal output	Type 1 (0.9mA)	LOD1T
	Type 2 (1.8mA)	LOD2T
	Type 3 (2.7mA)	LOD3T
	Type 4 (5.4mA)	LOD4T

注) *1 : V_{OL}=0.2V です。

*2 : 出力電流の詳細は、表 1-12 および A5. 4. 1 出力ドライバ特性グラフを参照ください。

6.3.3 双方向バッファ一覧 (2 電源)

(1) HV_{DD}系の双方向バッファ

表 6-15-1 HV_{DD}系双方向バッファ一覧 (1/2) (HV_{DD}=3.3V、LVDD=2.5V or 2.0V or 1.8V)

入力レベル	Function	I _{OL} /I _{OH} *1 *2	セル名*3
LVTTL	Bi-directional output	Type S (0.1mA/-0.1mA) Type M (1mA/-1mA) Type 1 (3mA/-3mA) Type 2 (6mA/-6mA) Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBTST HBTSTL HBTMT HBTMTL HBT1T HBT1TL HBT2T HBT2TL HBT3T HBT3TL HBT4T HBT4TL
	Bi-directional output for high speed	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBT3AT HBT3ATL HBT4AT HBT4ATL
	Bi-directional output for low noise	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBT3BT HBT3BTL HBT4BT HBT4BTL
CMOS	Bi-directional output	Type S (0.1mA/-0.1mA) Type M (1mA/-1mA) Type 1 (3mA/-3mA) Type 2 (6mA/-6mA) Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBCST HBCSTL HBCMT HBCMTL HBC1T HBC1TL HBC2T HBC2TL HBC3T HBC3TL HBC4T HBC4TL
	Bi-directional output for high speed	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBC3AT HBC3ATL HBC4AT HBC4ATL
	Bi-directional output for low noise	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBC3BT HBC3BTL HBC4BT HBC4BTL
PCI	Bi-directional output for PCI	PCI-3V	HBPBT HBPBTL
LVTTL シュミット	Bi-directional output	Type S (0.1mA/-0.1mA) Type M (1mA/-1mA) Type 1 (3mA/-3mA) Type 2 (6mA/-6mA) Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBSST HBSSTL HBSMT HBSMTL HBS1T HBS1TL HBS2T HBS2TL HBS3T HBS3TL HBS4T HBS4TL
	Bi-directional output for high speed	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBS3AT HBS3ATL HBS4AT HBS4ATL
	Bi-directional output for low noise	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HB3\$BT HB3\$BTL HB4\$BT HB4\$BTL
CMOS シュミット	Bi-directional output	Type S (0.1mA/-0.1mA) Type M (1mA/-1mA) Type 1 (3mA/-3mA) Type 2 (6mA/-6mA) Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBHST HBHSTL HBHMT HBHMTL HBH1T HBH1TL HBH2T HBH2TL HBH3T HBH3TL HBH4T HBH4TL
	Bi-directional output for high speed	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBH3AT HBH3ATL HBH4AT HBH4ATL
	Bi-directional output for low noise	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBH3BT HBH3BTL HBH4BT HBH4BTL

注) *1 : V_{OL}=0.4V、V_{OH}=LV_{DD}-0.4V です。

*2 : 出力電流の詳細は、表 1-4 および A5.1.2 出力ドライバ特性グラフを参照ください。

*3 : LVDD=1.8V では、“*****TL”のみ使用可能です。

第 6 章 入出力バッファの種類と使用上の注意

表 6-15-2 HV_{DD}系双方向バッファ一覧 (2/2) (HV_{DD}=3.3V、LVDD=2.5V or 2.0V or 1.8V)

入力レベル	Function	I _{OL} /I _{OH} *1, *2	セル名*3
LVTTL	Bi-directional output (バスホールド機能付き)	Type M (1mA/-1mA) Type 1 (3mA/-3mA) Type 2 (6mA/-6mA) Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBTMHT HBTMHTL HBT1HT HBT1HTL HBT2HT HBT2HTL HBT3HT HBT3HTL HBT4HT HBT4HTL
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBT3AHT HBT3AHTL HBT4AHT HBT4AHTL
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBT3BHT HBT3BHTL HBT4BHT HBT4BHTL
CMOS	Bi-directional output (バスホールド機能付き)	Type M (1mA/-1mA) Type 1 (3mA/-3mA) Type 2 (6mA/-6mA) Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBCMHT HBCMHTL HBC1HT HBC1HTL HBC2HT HBC2HTL HBC3HT HBC3HTL HBC4HT HBC4HTL
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBC3AHT HBC3AHTL HBC4AHT HBC4AHTL
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBC3BHT HBC3BHTL HBC4BHT HBC4BHTL
LVTTL シュミット	Bi-directional output (バスホールド機能付き)	Type M (1mA/-1mA) Type 1 (3mA/-3mA) Type 2 (6mA/-6mA) Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBSMHT HBSMHTL HBS1HT HBS1HTL HBS2HT HBS2HTL HBS3HT HBS3HTL HBS4HT HBS4HTL
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBS3AHT HBS3AHTL HBS4AHT HBS4AHTL
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBS3BHT HBS3BHTL HBS4BHT HBS4BHTL
CMOS シュミット	Bi-directional output (バスホールド機能付き)	Type M (1mA/-1mA) Type 1 (3mA/-3mA) Type 2 (6mA/-6mA) Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBHMHT HBHMHTL HBH1HT HBH1HTL HBH2HT HBH2HTL HBH3HT HBH3HTL HBH4HT HBH4HTL
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	HBH3AHT HBH3AHTL HBH4AHT HBH4AHTL
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (12mA/-12mA) Type 4 (24mA/-24mA)	*3HBH3BHT HBH3BHTL HBH4BHT HBH4BHTL

注) *1 : V_{OL}=0.4V、V_{OH}=LV_{DD}-0.4V です。

*2 : 出力電流の詳細は、表 1-4 および A5.1.2 出力ドライバ特性グラフを参照ください。

*3 : LVDD=1.8V では、“****TL”のみ使用可能です。

表 6-16 HV_{DD}系 N チャンネルオープンドレイン双方向バッファ一覧
(HV_{DD}=3.3V、LVDD=2.5V or 2.0V or 1.8V)

入力レベル	Function	I _{OL} *1, *2	セル名*3
LVTTTL	Bi-directional output	Type 1 (3mA) Type 2 (6mA) Type 3 (12mA) Type 4 (24mA)	HBDT1T HBDT1TL HBDT2T HBDT2TL HBDT3T HBDT3TL HBDT4T HBDT4TL
CMOS	Bi-directional output	Type 1 (3mA) Type 2 (6mA) Type 3 (12mA) Type 4 (24mA)	HBDC1T HBDC1TL HBDC2T HBDC2TL HBDC3T HBDC3TL HBDC4T HBDC4TL
LVTTTL シュミット	Bi-directional output	Type 1 (3mA) Type 2 (6mA) Type 3 (12mA) Type 4 (24mA)	HBDS1T HBDS1TL HBDS2T HBDS2TL HBDS3T HBDS3TL HBDS4T HBDS4TL
CMOS シュミット	Bi-directional output	Type 1 (3mA) Type 2 (6mA) Type 3 (12mA) Type 4 (24mA)	HBDH1T HBDH1TL HBDH2T HBDH2TL HBDH3T HBDH3TL HBDH4T HBDH4TL

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の詳細は、表 1-4 および A5.1.2 出力ドライバ特性グラフを参照ください。

*3 : LVDD=1.8V では、“*****TL”のみ使用可能です。

第 6 章 入出力バッファの種類と使用上の注意

(2) LV_{DD}系の双方向バッファ

表 6-26～表 6-29 に LV_{DD}系の双方向バッファ（プルアップ／プルダウン抵抗なし）の一覧を示します。

表 6-17 LV_{DD}系双方向バッファ一覧 (LV_{DD}=2.5V)

入力レベル	Function	I _{OL} /I _{OH} *1, *2	セル名
CMOS	Bi-directional output	Type S (0.1mA/-0.1mA)	LBCST
		Type M (1mA/-1mA)	LBCMT
		Type 1 (3mA/-3mA)	LBC1T
CMOS	Bi-directional output for high speed	Type 2 (6mA/-6mA)	LBC2T
		Type 3 (9mA/-9mA)	LBC3T
		Type 4 (18mA/-18mA)	LBC4T
CMOS	Bi-directional output for low noise	Type 3 (9mA/-9mA)	LBC3AT
		Type 4 (18mA/-18mA)	LBC4AT
		Type 3 (9mA/-9mA)	LBC3BT
CMOS シュミット	Bi-directional for low noise output	Type 4 (18mA/-18mA)	LBC4BT
		Type S (0.1mA/-0.1mA)	LBHST
		Type M (1mA/-1mA)	LBHMT
CMOS シュミット	Bi-directional for low noise output	Type 1 (3mA/-3mA)	LBH1T
		Type 2 (6mA/-6mA)	LBH2T
		Type 3 (9mA/-9mA)	LBH3T
CMOS シュミット	Bi-directional for low noise output	Type 4 (18mA/-18mA)	LBH4T
		Type 3 (9mA/-9mA)	LBH3AT
		Type 4 (18mA/-18mA)	LBH4AT
CMOS	Bi-directional output for high speed	Type 3 (9mA/-9mA)	LBH3BT
		Type 4 (18mA/-18mA)	LBH4BT
		Type 3 (9mA/-9mA)	LBH3HT
CMOS	Bi-directional output (バスホールド機能付き)	Type 4 (18mA/-18mA)	LBH4HT
		Type M (1mA/-1mA)	LBCMHT
		Type 1 (3mA/-3mA)	LBC1HT
CMOS	Bi-directional output (バスホールド機能付き)	Type 2 (6mA/-6mA)	LBC2HT
		Type 3 (9mA/-9mA)	LBC3HT
		Type 4 (18mA/-18mA)	LBC4HT
CMOS	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (9mA/-9mA)	LBC3AHT
		Type 4 (18mA/-18mA)	LBC4AHT
		Type 3 (9mA/-9mA)	LBC3BHT
CMOS	Bi-directional output for low noise (バスホールド機能付き)	Type 4 (18mA/-18mA)	LBC4BHT
		Type M (1mA/-1mA)	LBHMHT
		Type 1 (3mA/-3mA)	LBH1HT
CMOS シュミット	Bi-directional output (バスホールド機能付き)	Type 2 (6mA/-6mA)	LBH2HT
		Type 3 (9mA/-9mA)	LBH3HT
		Type 4 (18mA/-18mA)	LBH4HT
CMOS シュミット	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (9mA/-9mA)	LBH3AHT
		Type 4 (18mA/-18mA)	LBH4AHT
		Type 3 (9mA/-9mA)	LBH3BHT
CMOS シュミット	Bi-directional output for low noise (バスホールド機能付き)	Type 4 (18mA/-18mA)	LBH4BHT

注) *1 : V_{OL}=0.4V、V_{OH}=LV_{DD}-0.4V です。

*2 : 出力電流の詳細は、表 1-10 および A5.2.2 出力ドライバ特性グラフを参照ください。

表 6-18 LV_{DD}系双方向バッファ一覧 (LV_{DD}=2.0V)

入力レベル	Function	I _{OL} /I _{OH} *1, *2	セル名
CMOS	Bi-directional output	Type S (0.05mA/-0.05mA) Type M (0.3mA/-0.3mA) Type 1 (1mA/-1mA) Type 2 (2mA/-2mA) Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBCST LBCMT LBC1T LBC2T LBC3T LBC4T
	Bi-directional output for high speed	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBC3AT LBC4AT
	Bi-directional output for low noise	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBC3BT LBC4BT
CMOS シュミット	Bi-directional for low noise output	Type S (0.05mA/-0.05mA) Type M (0.3mA/-0.3mA) Type 1 (1mA/-1mA) Type 2 (2mA/-2mA) Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBHST LBHMT LBH1T LBH2T LBH3T LBH4T
	Bi-directional output for high speed	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBH3AT LBH4AT
	Bi-directional output for low noise	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBH3BT LBH4BT
CMOS	Bi-directional output (バスホールド機能付き)	Type M (0.3mA/-0.3mA) Type 1 (1mA/-1mA) Type 2 (2mA/-2mA) Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBCMHT LBC1HT LBC2HT LBC3HT LBC4HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBC3AHT LBC4AHT
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBC3BHT LBC4BHT
CMOS シュミット	Bi-directional output (バスホールド機能付き)	Type M (0.3mA/-0.3mA) Type 1 (1mA/-1mA) Type 2 (2mA/-2mA) Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBHMHT LBH1HT LBH2HT LBH3HT LBH4HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBH3AHT LBH4AHT
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	LBH3BHT LBH4BHT

注) *1 : V_{OL}=0.4V、V_{OH}=LV_{DD}-0.4V です。

*2 : 出力電流の詳細は、表 1-11 および A5.3.2 出力ドライバ特性グラフを参照ください。

第 6 章 入出力バッファの種類と使用上の注意

表 6-19 LV_{DD}系双方向バッファ一覧 (LV_{DD}=1.8V)

入力レベル	Function	I _{OL} /I _{OH} *1, *2	セル名
CMOS	Bi-directional output	Type S (0.045mA/-0.045mA)	LBCST
		Type M (0.27mA/-0.27mA)	LBCMT
		Type 1 (0.9mA/-0.9mA)	LBC1T
		Type 2 (1.8mA/-1.8mA)	LBC2T
		Type 3 (2.7mA/-2.7mA)	LBC3T
	Type 4 (5.4mA/-5.4mA)	LBC4T	
Bi-directional output for high speed	Type 3 (2.7mA/-2.7mA)	LBC3AT	
	Type 4 (5.4mA/-5.4mA)	LBC4AT	
Bi-directional output for low noise	Type 3 (2.7mA/-2.7mA)	LBC3BT	
	Type 4 (5.4mA/-5.4mA)	LBC4BT	
CMOS シュミット	Bi-directional for low noise output	Type S (0.045mA/-0.045mA)	LBHST
		Type M (0.27mA/-0.27mA)	LBHMT
		Type 1 (0.9mA/-0.9mA)	LBH1T
		Type 2 (1.8mA/-1.8mA)	LBH2T
		Type 3 (2.7mA/-2.7mA)	LBH3T
	Type 4 (5.4mA/-5.4mA)	LBH4T	
Bi-directional output for high speed	Type 3 (2.7mA/-2.7mA)	LBH3AT	
	Type 4 (5.4mA/-5.4mA)	LBH4AT	
Bi-directional output for low noise	Type 3 (2.7mA/-2.7mA)	LBH3BT	
	Type 4 (5.4mA/-5.4mA)	LBH4BT	
CMOS	Bi-directional output (バスホールド機能付き)	Type M (0.27mA/-0.27mA)	LBCMHT
		Type 1 (0.9mA/-0.9mA)	LBC1HT
		Type 2 (1.8mA/-1.8mA)	LBC2HT
		Type 3 (2.7mA/-2.7mA)	LBC3HT
		Type 4 (5.4mA/-5.4mA)	LBC4HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA)	LBC3AHT
Type 4 (5.4mA/-5.4mA)		LBC4AHT	
Bi-directional output for low noise (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA)	LBC3BHT	
	Type 4 (5.4mA/-5.4mA)	LBC4BHT	
CMOS シュミット	Bi-directional output (バスホールド機能付き)	Type M (0.27mA/-0.27mA)	LBHMHT
		Type 1 (0.9mA/-0.9mA)	LBH1HT
		Type 2 (1.8mA/-1.8mA)	LBH2HT
		Type 3 (2.7mA/-2.7mA)	LBH3HT
		Type 4 (5.4mA/-5.4mA)	LBH4HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA)	LBH3AHT
Type 4 (5.4mA/-5.4mA)		LBH4AHT	
Bi-directional output for low noise (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA)	LBH3BHT	
	Type 4 (5.4mA/-5.4mA)	LBH4BHT	

注) *1 : V_{OL}=0.4V、V_{OH}=LV_{DD}-0.4V です。

*2 : 出力電流の詳細は、表 1-12 および A5.4.1 出力ドライバ特性グラフを参照ください。

表 6-20 LV_{DD}系 N チャンネルオープンドレイン双方向バッファ一覧 (LV_{DD}=2.5V)

入力レベル	Function	I _{OL} *1, *2	セル名 *3
LVTTL	Bi-directional output	Type 1 (3mA)	LBDC1T
		Type 2 (6mA)	LBDC2T
		Type 3 (9mA)	LBDC3T
		Type 4 (18mA)	LBDC4T
LVTTL シュミット	Bi-directional output	Type 1 (3mA)	LBDH1T
		Type 2 (6mA)	LBDH2T
		Type 3 (9mA)	LBDC3T
		Type 4 (18mA)	LBDH4T

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の詳細は、表 1-10 および A5. 2. 2 出力ドライバ特性グラフを参照ください。

*3 : 3.3 V を入力可能です。

表 6-21-1 LV_{DD}系 N チャンネルオープンドレイン双方向バッファ一覧 (LV_{DD}=2.0V)

入力レベル	Function	I _{OL} *1, *2	セル名 *3
LVTTL	Bi-directional output	Type 1 (1mA)	LBDC1T
		Type 2 (2mA)	LBDC2T
		Type 3 (3mA)	LBDC3T
		Type 4 (6mA)	LBDC4T
LVTTL シュミット	Bi-directional output	Type 1 (1mA)	LBDH1T
		Type 2 (2mA)	LBDH2T
		Type 3 (3mA)	LBDC3T
		Type 4 (6mA)	LBDH4T

注) *1 : V_{OL}=0.2V です。

*2 : 出力電流の詳細は、表 1-11 および A5. 3. 2 出力ドライバ特性グラフを参照ください。

*3 : 3.3V を入力可能です。

表 6-21-2 LV_{DD}系 N チャンネルオープンドレイン双方向バッファ一覧 (LV_{DD}=1.8V)

入力レベル	Function	I _{OL} *1, *2	セル名 *3
LVTTL	Bi-directional output	Type 1 (0.9mA)	LBDC1T
		Type 2 (1.8mA)	LBDC2T
		Type 3 (2.7mA)	LBDC3T
		Type 4 (5.4mA)	LBDC4T
LVTTL シュミット	Bi-directional output	Type 1 (0.9mA)	LBDH1T
		Type 2 (1.8mA)	LBDH2T
		Type 3 (2.7mA)	LBDC3T
		Type 4 (5.4mA)	LBDH4T

注) *1 : V_{OL}=0.2V です。

*2 : 出力電流の詳細は、表 1-12 および A5. 4. 1 出力ドライバ特性グラフを参照ください。

*3 : 3.3V を入力可能です。

第 6 章 入出力バッファの種類と使用上の注意

6.4 単一電源対応の入出力バッファ

単一電源で使用する場合、電源電圧は 2.5V、2.0V、1.8V となります。

6.4.1 入力バッファ一覧（単一電源）

表 6-22 単一電源 プルアップ、プルダウン抵抗の各電圧における規格値

プルアップ/プルダウン 抵抗の種類	抵抗値			単位
	V _{DD} =2.5V	V _{DD} =2.0V	V _{DD} =1.8V	
Type 1	50	70	84	kΩ
Type 2	100	140	168	kΩ

表 6-23 単一電源 入力バッファ一覧

入力レベル	抵抗値 の種類	プルアップ/ プルダウン	セル名	プルアップ/プルダウン抵抗値*1			単位
				V _{DD} =2.5V	V _{DD} =2.0V	V _{DD} =1.8V	
CMOS	なし	—	IBC	—	—	—	—
	Type 1	プルアップ	IBCP1	50	70	84	kΩ
		プルダウン	IBCD1	50	70	84	kΩ
	Type 2	プルアップ	IBCP2	100	140	168	kΩ
		プルダウン	IBCD2	100	140	168	kΩ
CMOS シュミット	なし	—	IBH	—	—	—	—
	Type 1	プルアップ	IBHP1	50	70	84	kΩ
		プルダウン	IBHD1	50	70	84	kΩ
	Type 2	プルアップ	IBHP2	100	140	168	kΩ
		プルダウン	IBHD2	100	140	168	kΩ

注) *1 : 詳細な抵抗値は、表 1-10~1-12 および特性グラフは付録 A5.2.2、A5.3.2 を参照下さい。

6.4.2 出力バッファ一覧（単一電源）

表 6-24 に単一電源での出力バッファにおける I_{OL} 、 I_{OH} の規格値を示します。

表 6-24 単一電源 I_{OL} 、 I_{OH} の各電圧における規格値

出力電流の種類	I_{OL}^{*1}/I_{OH}^{*2}			単位
	$V_{DD}=2.5V$	$V_{DD}=2.0V$	$V_{DD}=1.8V$	
Type S	0.1/-0.1	0.05/-0.05	0.045/-0.045	mA
Type M	1/-1	0.3/-0.3	0.27/-0.27	mA
Type 1	3/-3	1/-1	0.9/-0.9	mA
Type 2	6/-6	2/-2	1.8/-1.8	mA
Type 3	9/-9	3/-3	2.7/-2.7	mA
Type 4	18/-18	6/-6	5.4/-5.4	mA

注) *1 : $V_{OL}=0.4V$ ($V_{DD}=2.5V$) or $0.2V$ ($V_{DD}=2.0V$ 、 $1.8V$)

*2 : $V_{OH}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V$ 、 $1.8V$)

第 6 章 入出力バッファの種類と使用上の注意

表 6-25～表 6-27 に単一電源での出力バッファの一覧を示します。

表 6-25 単一電源 出力バッファ一覧 ($V_{DD}=2.5V$)

Function	I_{OL}/I_{OH} *1 *2	セル名*3
Normal output	Type S (0.1mA/-0.1mA)	OBST
	Type M (1mA/-1mA)	OBMT
	Type 1 (3mA/-3mA)	OB1T
	Type 2 (6mA/-6mA)	OB2T
	Type 3 (9mA/-9mA)	OB3T
	Type 4 (18mA/-18mA)	OB4T
Normal output for high speed	Type 3 (9mA/-9mA)	OB3AT
	Type 4 (18mA/-18mA)	OB4AT
Normal output for low noise	Type 3 (9mA/-9mA)	OB3BT
	Type 4 (18mA/-18mA)	OB4BT
3-state output	Type S (0.1mA/-0.1mA)	TBST
	Type M (1mA/-1mA)	TBMT
	Type 1 (3mA/-3mA)	TB1T
	Type 2 (6mA/-6mA)	TB2T
	Type 3 (9mA/-9mA)	TB3T
	Type 4 (18mA/-18mA)	TB4T
3-state output for high speed	Type 3 (9mA/-9mA)	TB3AT
	Type 4 (18mA/-18mA)	TB4AT
3-state output for low noise	Type 3 (9mA/-9mA)	TB3BT
	Type 4 (18mA/-18mA)	TB4BT
3-state output (バスホールド機能付き)	Type M (1mA/-1mA)	TBMHT
	Type 1 (3mA/-3mA)	TB1HT
	Type 2 (6mA/-6mA)	TB2HT
	Type 3 (9mA/-9mA)	TB3HT
	Type 4 (18mA/-18mA)	TB4HT
3-state output for high speed (バスホールド機能付き)	Type 3 (9mA/-9mA)	TB3AHT
	Type 4 (18mA/-18mA)	TB4AHT
3-state output for low noise (バスホールド機能付き)	Type 3 (9mA/-9mA)	TB3BHT
	Type 4 (18mA/-18mA)	TB4BHT

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の詳細は、表 1-10 および A5.2.2 出力ドライバ特性グラフを参照ください。

表 6-26 単一電源 出力バッファ一覧 ($V_{DD}=2.0V$)

Function	I_{OL}/I_{OH} *1 *2	セル名*3
Normal output	Type S (0.05mA/-0.05mA)	OBST
	Type M (0.3mA/-0.3mA)	OBMT
	Type 1 (1mA/-1mA)	OB1T
	Type 2 (2mA/-2mA)	OB2T
	Type 3 (3mA/-3mA)	OB3T
	Type 4 (6mA/-6mA)	OB4T
Normal output for high speed	Type 3 (3mA/-3mA)	OB3AT
	Type 4 (6mA/-6mA)	OB4AT
Normal output for low noise	Type 3 (3mA/-3mA)	OB3BT
	Type 4 (6mA/-6mA)	OB4BT
3-state output	Type S (0.05mA/-0.05mA)	TBST
	Type M (0.3mA/-0.3mA)	TBMT
	Type 1 (1mA/-1mA)	TB1T
	Type 2 (2mA/-2mA)	TB2T
	Type 3 (3mA/-3mA)	TB3T
	Type 4 (6mA/-6mA)	TB4T
3-state output for high speed	Type 3 (3mA/-3mA)	TB3AT
	Type 4 (6mA/-6mA)	TB4AT
3-state output for low noise	Type 3 (3mA/-3mA)	TB3BT
	Type 4 (6mA/-6mA)	TB4BT
3-state output (バスホールド機能付き)	Type M (0.3mA/-0.3mA)	TBMHT
	Type 1 (1mA/-1mA)	TB1HT
	Type 2 (2mA/-2mA)	TB2HT
	Type 3 (3mA/-3mA)	TB3HT
	Type 4 (6mA/-6mA)	TB4HT
3-state output for high speed (バスホールド機能付き)	Type 3 (3mA/-3mA)	TB3AHT
	Type 4 (6mA/-6mA)	TB4AHT
3-state output for low noise (バスホールド機能付き)	Type 3 (3mA/-3mA)	TB3BHT
	Type 4 (6mA/-6mA)	TB4BHT

注) *1 : $V_{OL}=0.2V$ 、 $V_{OH}=V_{DD}-0.2V$ です。

*2: 出力電流の詳細は、表 1-11 および A5. 3. 2 出力ドライバ特性グラフを参照ください。

第 6 章 入出力バッファの種類と使用上の注意

表 6-27 単一電源 出力バッファ一覧 ($V_{DD}=1.8V$)

Function	$I_{OL}/I_{OH}^{*1 *2}$	セル名 ^{*3}
Normal output	Type S (0.045mA/-0.045mA)	OBST
	Type M (0.27mA/-0.27mA)	OBMT
	Type 1 (0.9mA/-0.9mA)	OB1T
	Type 2 (1.8mA/-1.8mA)	OB2T
	Type 3 (2.7mA/-2.7mA)	OB3T
	Type 4 (5.4mA/-5.4mA)	OB4T
Normal output for high speed	Type 3 (2.7mA/-2.7mA)	OB3AT
	Type 4 (5.4mA/-5.4mA)	OB4AT
Normal output for low noise	Type 3 (2.7mA/-2.7mA)	OB3BT
	Type 4 (5.4mA/-5.4mA)	OB4BT
3-state output	Type S (0.045mA/-0.045mA)	TBST
	Type M (0.27mA/-0.27mA)	TBMT
	Type 1 (0.9mA/-0.9mA)	TB1T
	Type 2 (1.8mA/-1.8mA)	TB2T
	Type 3 (2.7mA/-2.7mA)	TB3T
	Type 4 (5.4mA/-5.4mA)	TB4T
3-state output for high speed	Type 3 (2.7mA/-2.7mA)	TB3AT
	Type 4 (5.4mA/-5.4mA)	TB4AT
3-state output for low noise	Type 3 (2.7mA/-2.7mA)	TB3BT
	Type 4 (5.4mA/-5.4mA)	TB4BT
3-state output (バスホールド機能付き)	Type M (0.27mA/-0.27mA)	TBMHT
	Type 1 (0.9mA/-0.9mA)	TB1HT
	Type 2 (1.8mA/-1.8mA)	TB2HT
	Type 3 (2.7mA/-2.7mA)	TB3HT
	Type 4 (5.4mA/-5.4mA)	TB4HT
3-state output for high speed (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA)	TB3AHT
	Type 4 (5.4mA/-5.4mA)	TB4AHT
3-state output for low noise (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA)	TB3BHT
	Type 4 (5.4mA/-5.4mA)	TB4BHT

注) *1 : $V_{OL}=0.2V$ 、 $V_{OH}=V_{DD}-0.2V$ です。

*2: 出力電流の詳細は、表 1-12 および A5.4.1 出力ドライバ特性グラフを参照ください。

表 6-28 単一電源 N チャンネルオープンドレイン出力バッファ一覧

Function	出力電流の種類	セル名	I_{OL}^{*1}			単位
			$V_{DD}=2.5V$	$V_{DD}=2.0V$	$V_{DD}=1.8V$	
Normal output	Type 1	OD1T	3	1	0.9	mA
	Type 2	OD2T	6	2	1.8	mA
	Type 3	OD3T	9	3	2.7	mA
	Type 4	OD4T	18	6	5.4	mA

注) *1 : $V_{OL}=0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V、1.8V$)

*2 : 出力電流の詳細は、表 1-10~1-12 および A5. 2. 2、A5. 3. 2、A5. 4. 1 出力ドライバ特性グラフを参照ください。

第 6 章 入出力バッファの種類と使用上の注意

6.4.3 双方向バッファ一覧（単一電源）

表 6-29 単一電源 双方向バッファ一覧 ($V_{DD}=2.5V$)

入力レベル	Function	$I_{OL}/I_{OH}^{*1, *2}$	セル名
CMOS	Bi-directional output	Type S (0.1mA/-0.1mA) Type M (1mA/-1mA) Type 1 (3mA/-3mA) Type 2 (6mA/-6mA) Type 3 (9mA/-9mA) Type 4 (18mA/-18mA)	BCST BCMT BC1T BC2T BC3T BC4T
	Bi-directional output for high speed	Type 3 (9mA/-9mA) Type 4 (18mA/-18mA)	BC3AT BC4AT
	Bi-directional output for low noise	Type 3 (9mA/-9mA) Type 4 (18mA/-18mA)	BC3BT BC4BT
CMOS シュミット	Bi-directional output	Type S (0.1mA/-0.1mA) Type M (1mA/-1mA) Type 1 (2mA/-2mA) Type 2 (6mA/-6mA) Type 3 (6mA/-6mA) Type 4 (12mA/-12mA)	BHST BHMT BH1T BH2T BH3T BH4T
	Bi-directional output for high speed	Type 3 (9mA/-9mA) Type 4 (18mA/-18mA)	BH3AT BH4AT
	Bi-directional output for low noise	Type 3 (9mA/-9mA) Type 4 (18mA/-18mA)	BH3BT BH4BT
CMOS	Bi-directional output (バスホールド機能付き)	Type M (1mA/-1mA) Type 1 (2mA/-2mA) Type 2 (6mA/-6mA) Type 3 (6mA/-6mA) Type 4 (12mA/-12mA)	BCMHT BC1HT BC2HT BC3HT BC4HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (9mA/-9mA) Type 4 (18mA/-18mA)	BC3AHT BC4AHT
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (9mA/-9mA) Type 4 (18mA/-18mA)	BC3BHT BC4BHT
CMOS シュミット	Bi-directional output (バスホールド機能付き)	Type M (1mA/-1mA) Type 1 (2mA/-2mA) Type 2 (6mA/-6mA) Type 2 (6mA/-6mA) Type 3 (12mA/-12mA)	BHMHT BH1HT BH2HT BH2HT BH3HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (9mA/-9mA) Type 4 (18mA/-18mA)	BH3AHT BH4AHT
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (9mA/-9mA) Type 4 (18mA/-18mA)	BH3BHT BH4BHT

注) *1: $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2: 出力電流の詳細は、表 1-10 および A5. 2. 2 出力ドライバ特性グラフを参照ください。

表 6-30 単一電源 双方向バッファ一覧 ($V_{DD}=2.0V$)

入力レベル	Function	$I_{OL}/I_{OH}^{*1, *2}$	セル名
CMOS	Bi-directional output	Type S (0.05mA/-0.05mA) Type M (0.3mA/-0.3mA) Type 1 (1mA/-1mA) Type 2 (2mA/-2mA) Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BCST BCMT BC1T BC2T BC3T BC4T
	Bi-directional output for high speed	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BC3AT BC4AT
	Bi-directional output for low noise	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BC3BT BC4BT
CMOS シュミット	Bi-directional output	Type S (0.05mA/-0.05mA) Type M (0.3mA/-0.3mA) Type 1 (1mA/-1mA) Type 2 (2mA/-2mA) Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BHST BHMT BH1T BH2T BH3T BH4T
	Bi-directional output for high speed	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BH3AT BH4AT
	Bi-directional output for low noise	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BH3BT BH4BT
CMOS	Bi-directional output (バスホールド機能付き)	Type M (0.3mA/-0.3mA) Type 1 (1mA/-1mA) Type 2 (2mA/-2mA) Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BCMHT BC1HT BC2HT BC3HT BC4HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BC3AHT BC4AHT
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BC3BHT BC4BHT
CMOS シュミット	Bi-directional output (バスホールド機能付き)	Type M (0.3mA/-0.3mA) Type 1 (1mA/-1mA) Type 2 (2mA/-2mA) Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BHMHT BH1HT BH2HT BH2HT BH3HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BH3AHT BH4AHT
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (3mA/-3mA) Type 4 (6mA/-6mA)	BH3BHT BH4BHT

注) *1: $V_{OL}=0.2V$ 、 $V_{OH}=V_{DD}-0.2V$ です。

*2: 出力電流の詳細は、表 1-11 および A5.3.2 出力ドライバ特性グラフを参照ください。

第 6 章 入出力バッファの種類と使用上の注意

表 6-31 単一電源 双方向バッファ一覧 ($V_{DD}=1.8V$)

入力レベル	Function	$I_{OL}/I_{OH}^{*1, *2}$	セル名
CMOS	Bi-directional output	Type S (0.045mA/-0.045mA) Type M (0.27mA/-0.27mA) Type 1 (0.9mA/-0.9mA) Type 2 (1.8mA/-1.8mA) Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BCST BCMT BC1T BC2T BC3T BC4T
	Bi-directional output for high speed	Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BC3AT BC4AT
	Bi-directional output for low noise	Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BC3BT BC4BT
CMOS シュミット	Bi-directional output	Type S (0.045mA/-0.045mA) Type M (0.27mA/-0.27mA) Type 1 (0.9mA/-0.9mA) Type 2 (1.8mA/-1.8mA) Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BHST BHMT BH1T BH2T BH3T BH4T
	Bi-directional output for high speed	Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BH3AT BH4AT
	Bi-directional output for low noise	Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BH3BT BH4BT
CMOS	Bi-directional output (バスホールド機能付き)	Type M (0.27mA/-0.27mA) Type 1 (0.9mA/-0.9mA) Type 2 (1.8mA/-1.8mA) Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BCMHT BC1HT BC2HT BC3HT BC4HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BC3AHT BC4AHT
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BC3BHT BC4BHT
CMOS シュミット	Bi-directional output (バスホールド機能付き)	Type M (0.27mA/-0.27mA) Type 1 (0.9mA/-0.9mA) Type 2 (1.8mA/-1.8mA) Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BHMHT BH1HT BH2HT BH2HT BH3HT
	Bi-directional output for high speed (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BH3AHT BH4AHT
	Bi-directional output for low noise (バスホールド機能付き)	Type 3 (2.7mA/-2.7mA) Type 4 (5.4mA/-5.4mA)	BH3BHT BH4BHT

注) *1 : $V_{OL}=0.2V$ 、 $V_{OH}=V_{DD}-0.2V$ です。

*2 : 出力電流の詳細は、表 1-12 および A5.4.1 出力ドライバ特性グラフを参照ください。

表 6-32 単一電源 N チャンネルオープンドレイン双方向出力バッファ一覧

入力レベル	Function	出力電流の種類	セル名	I_{OL}^{*1}			単位
				$V_{DD}=2.5V$	$V_{DD}=2.0V$	$V_{DD}=1.8V$	
CMOS	Bi-directional output	Type 1	BDC1T	3	1	0.9	mA
		Type 2	BDC2T	6	2	1.8	mA
		Type 3	BDC3T	9	3	2.7	mA
		Type 4	BDC4T	18	6	5.4	mA
CMOS シュミット	Bi-directional output	Type 1	BDH1T	3	1	0.9	mA
		Type 2	BDH2T	6	2	1.8	mA
		Type 3	BDH3T	9	3	2.7	mA
		Type 4	BDH4T	18	6	5.4	mA

注) *1 : $V_{OL}=0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V, 1.8V$)

*2 : 出力電流の詳細は、表 1-10~表 1-12 および A5.2.2、A5.3.2、A5.4.1 出力ドライバ特性グラフを参照ください。

6.5 Fail-Safe 入出力バッファ

6.5.1 概要

S1L60000 シリーズの Fail-Safe バッファは、電源電圧以上の信号を、インタフェース専用の電源を設けることなくインターフェースすることが可能です。

また、電源がカットオフされた状態のまま信号をインタフェースしても Fail-Safe バッファでのリーク電流が流れません。

2 電源仕様の場合は、LVDD 系の入出力バッファになります。

6.5.2 特長

- (1) 使用数や配置に制限はなく、必要に応じて配置することができます。
- (2) 電源が印加されている状態で、電源電圧以上の入力信号が印加されても、Fail-Safe バッファでの入力リーク電流以外の大きな電流は流れません。
- (3) 電源 Cut-off した状態で、外部から入力信号が印加されても、Fail-Safe バッファでの入力リーク電流以外の大きな電流は流れません。
- (4) 入力レベルは CMOS/CMOS シュミットレベルに対応しています。

6.5.3 使用上の注意点

- (1) 出力バッファが High-Z 状態あるいは、双方向バッファが入力 Mode になっている状態であれば、電源電圧が印加された状態で、電源電圧以上の入力信号が入力されても Fail-Safe バッファでの入力リーク電流以外の大きな電流は流れません。
- (2) 出力 Mode の状態で、電源電圧以上の信号が入力された場合は、通常の入出力バッファと同様、入力リーク電流が発生します。これは外部に電源電圧以上のプルアップ抵抗が存在している場合も同様ですので注意してください。
(電源電圧以上の“HIGH”レベルが必要な場合は、オープンドレインタイプの入出力バッファを使用し、外部のプルアップ抵抗で“HIGH”レベルに引き上げてください。)
- (3) IC 動作電圧以上の電圧レベルの信号を受けることができますが、Fail-Safe バッファに印加できる信号電圧は、絶対最大定格を超えることはできませんので注意してください。

6.5.4 Fail-Safe バッファ一覧

(1) Fail-Safe 入力バッファ一覧

① 2 電源の場合

表 6-33 Fail-Safe 入力バッファ一覧

入力レベル	出力電流の種類	セル名	プルアップ抵抗値*1、*2			単位
			LV _{DD} =2.5V	LV _{DD} =2.0V	LV _{DD} =1.8V	
CMOS	Type 1	LIBBP1	50	70	84	kΩ
	Type 2	LIBBP2	100	140	168	kΩ

注)*1: プルアップの抵抗値の詳細表 1-10~表 1-12 および付録 A5. 2. 2、A5. 3. 2、A5. 4. 1 を参照ください。

*2: 入力バッファ特性のグラフは付録 A5. 2. 1 を参照ください。

② 単一電源の場合

表 6-34 Fail-Safe 入力バッファ一覧

入力レベル	出力電流の種類	セル名	プルアップ抵抗値*1、*2			単位
			V _{DD} =2.5V	V _{DD} =2.0V	V _{DD} =1.8V	
CMOS	Type 1	IBBP1	50	70	84	kΩ
	Type 2	IBBP2	100	140	168	kΩ
CMOS シュミット	Type 1	IBGP1	50	70	84	kΩ
	Type 2	IBGP2	100	140	168	kΩ

注)*1: プルダウン/プルアップの抵抗値の詳細は表 1-10~表 1-12 および付録 A5. 2. 2、A5. 3. 2 を、A5. 4. 1 参照ください。

*2: 入力バッファ特性のグラフは付録 A5. 2. 1、A5. 3. 1 を参照ください。

第 6 章 入出力バッファの種類と使用上の注意

(2) Fail-Safe 出力バッファ一覧

① 2 電源の場合

表 6-35 Fail-Safe 出力バッファ一覧

Function	出力電流の種類	セル名	$I_{OL}/I_{OH}^{*1, *2}$			単位
			$V_{DD}=2.5V$	$V_{DD}=2.0V$	$V_{DD}=1.8V$	
3-state output	Type 1	LTBF1T	3/-3	1/-1	0.9/-0.9	mA
	Type 2	LTBF2T	6/-6	2/-2	1.8/-1.8	mA
3-state output for high speed	Type 3	LTBF3AT	9/-9	3/-3	2.7/-2.7	mA
	Type 4	LTBF4AT	18/-18	6/-6	5.4/-5.4	mA
3-state output for low noise	Type 3	LTBF3BT	9/-9	3/-3	2.7/-2.7	mA
	Type 4	LTBF4BT	18/-18	6/-6	5.4/-5.4	mA

注) *1 : $V_{OL}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V, 1.8V$)

*2 : $V_{OH}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V, 1.8V$)

② 単一電源の場合

表 6-36 Fail-Safe 出力バッファ一覧

Function	出力電流の種類	セル名	$I_{OL}/I_{OH}^{*1, *2}$			単位
			$V_{DD}=2.5V$	$V_{DD}=2.0V$	$V_{DD}=1.8V$	
3-state output	Type 1	TBF1T	3/-3	1/-1	0.9/-0.9	mA
	Type 2	TBF2T	6/-6	2/-2	1.8/-1.8	mA
3-state output for high speed	Type 3	TBF3AT	9/-9	3/-3	2.7/-2.7	mA
	Type 4	TBF4AT	18/-18	6/-6	5.4/-5.4	mA
3-state output for low noise	Type 3	TBF3BT	9/-9	3/-3	2.7/-2.7	mA
	Type 4	TBF4BT	18/-18	6/-6	5.4/-5.4	mA

注) *1 : $V_{OL}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V, 1.8V$)

*2 : $V_{OH}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V, 1.8V$)

(3) Fail-Safe 双方向バッファ一覧

① 2 電源の場合

表 6-37 Fail-Safe 双方向バッファ一覧

入力 レベル	Function	出力電流 の種類	セル名	$I_{OL}/I_{OH}^{*1, *2}$			単位
				$V_{DD}=2.5V$	$V_{DD}=2.0V$	$V_{DD}=1.8V$	
CMOS	Bi-directional output	Type 1	LBB1T	3/-3	1/-1	0.9/-0.9	mA
		Type 2	LBB2T	6/-6	2/-2	1.8/-1.8	mA
	Bi-directional output for high speed	Type 3	LBB3AT	9/-9	3/-3	2.7/-2.7	mA
		Type 4	LBB4AT	18/-18	6/-6	5.4/-5.4	mA
	Bi-directional output for low noise	Type 3	LBB3BT	9/-9	3/-3	2.7/-2.7	mA
		Type 4	LBB4BT	18/-18	6/-6	5.4/-5.4	mA
CMOS シュミット	Bi-directional output	Type 1	LBG1T	3/-3	1/-1	0.9/-0.9	mA
		Type 2	LBG2T	6/-6	2/-2	1.8/-1.8	mA
	Bi-directional output for high speed	Type 3	LBG3AT	9/-9	3/-3	2.7/-2.7	mA
		Type 4	LBG4AT	18/-18	6/-6	5.4/-5.4	mA
	Bi-directional output for low noise	Type 3	LBG3BT	9/-9	3/-3	2.7/-2.7	mA
		Type 4	LBG4BT	18/-18	6/-6	5.4/-5.4	mA

注) *1 : $V_{OL}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V, 1.8V$)

*2 : $V_{OH}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V, 1.8V$)

第 6 章 入出力バッファの種類と使用上の注意

② 単一電源の場合

表 6-38 Fail-Safe 双方向バッファ一覧

入力 レベル	Function	出力電流 の種類	セル名	$I_{OL}/I_{OH}^{*1, *2}$			単位
				$V_{DD}=2.5V$	$V_{DD}=2.0V$	$V_{DD}=1.8V$	
CMOS	Bi-directional output	Type 1	BB1T	3/-3	1/-1	0.9/-0.9	mA
		Type 2	BB2T	6/-6	2/-2	1.8/-1.8	mA
	Bi-directional output for high speed	Type 3	BB3AT	9/-9	3/-3	2.7/-2.7	mA
		Type 4	BB4AT	18/-18	6/-6	5.4/-5.4	mA
	Bi-directional output for low noise	Type 3	BB3BT	9/-9	3/-3	2.7/-2.7	mA
		Type 4	BB4BT	18/-18	6/-6	5.4/-5.4	mA
CMOS シュミット	Bi-directional output	Type 1	BG1T	3/-3	1/-1	0.9/-0.9	mA
		Type 2	BG2T	6/-6	2/-2	1.8/-1.8	mA
	Bi-directional output for high speed	Type 3	BG3AT	9/-9	3/-3	2.7/-2.7	mA
		Type 4	BG4AT	18/-18	6/-6	5.4/-5.4	mA
	Bi-directional output for low noise	Type 3	BG3BT	9/-9	3/-3	2.7/-2.7	mA
		Type 4	BG4BT	18/-18	6/-6	5.4/-5.4	mA

注) *1 : $V_{OL}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V, 1.8V$)

*2 : $V_{OH}=V_{DD}-0.4V$ ($V_{DD}=2.5V$) or $V_{DD}-0.2V$ ($V_{DD}=2.0V, 1.8V$)

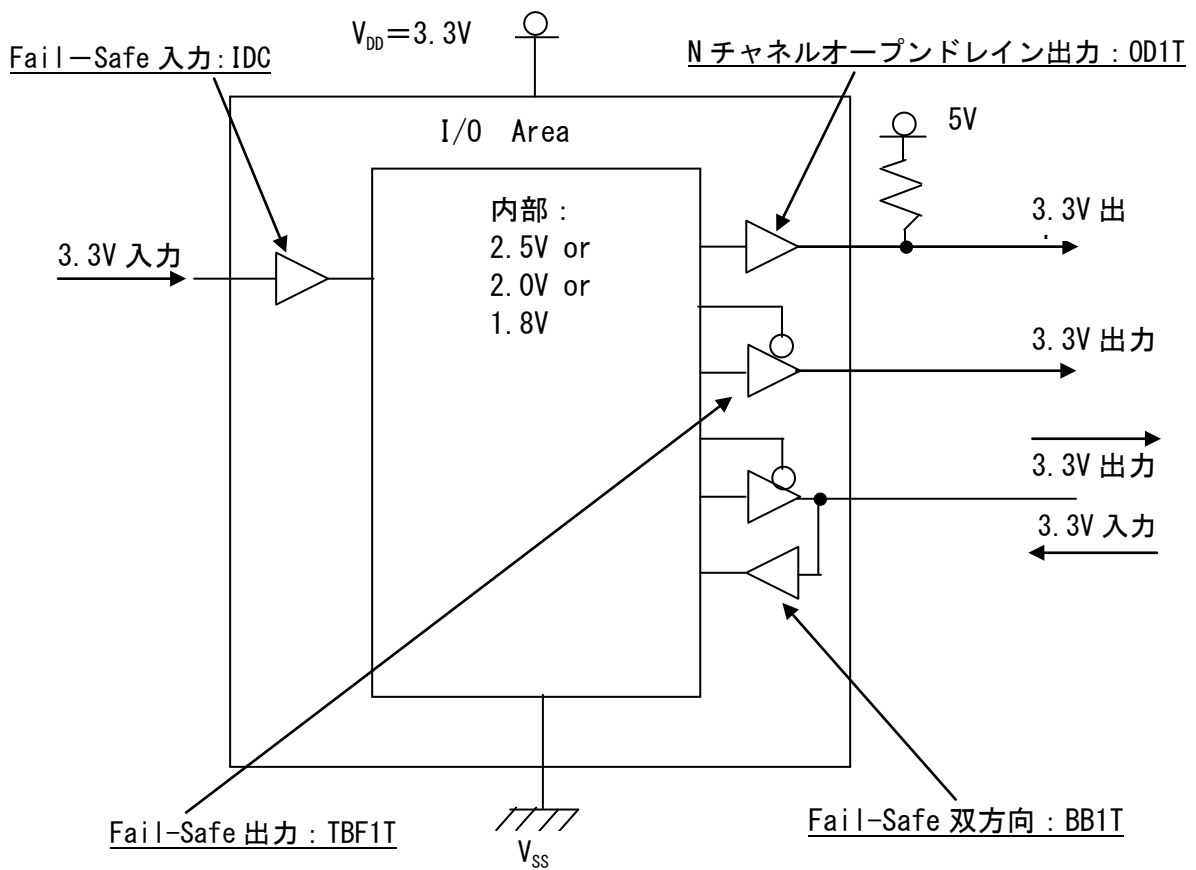


図 6-2 $V_{DD}=2.5V$ Fail-Safe 構成例

6.6 Gated 入出力バッファ

6.6.1 概要

S1L60000 シリーズの Gated 入出力バッファは、プルアップまたはプルダウン回路を使用することなく、端子への入力をフロート状態、すなわち High-Z 状態とすることを可能とします。また、2 電源のデザインで高電位側 (HV_{DD}) の電源を Cut-Off することも可能です。コントロール信号が “HIGH” レベルで遮断処理を行うタイプと、“LOW” レベルで遮断処理を行うタイプが用意されておりますので、デザインに応じて、どちらのレベルで遮断処理を行うか選択が可能です。

6.6.2 特長

- ① 使用数や配置に制限はなく、必要に応じて配置することができますので、デザインに自由度があります。
- ② 2 電源のデザインで高電位側 (HV_{DD}) の電源を Cut-Off することも可能です。ただし、特殊対応が必要になるため、Cut-Off する場合は、弊社営業担当までお問い合わせください。
- ③ プルアップまたはプルダウン回路を使用することなく、入力を High-Z 状態とすることができます。
- ④ Gated 入出力バッファは回路の構成上、2 電源仕様での入力レベルは HV_{DD} 系ではなく LV_{DD} 系の CMOS レベルになります。
- ⑤ コントロール信号が “HIGH” レベルで遮断処理を行うタイプと、“LOW” レベルで遮断処理を行うタイプが用意されています。
- ⑥ 完全 CMOS 構造ですので、消費電力を低く抑えられます。

6.6.3 使用上の注意点

- ① Gated 入出力バッファを使用して入力を High-Z 状態とするときは、端子の入力が High-Z 状態になる前に、Gated 入出力バッファのコントロール信号を用いて、遮断操作を行う必要があります。これを行わないで、入力を High-Z 状態にすると、通常タイプのセル同様に大電流が流れ、素子を破壊することになります。逆に、入力が High-Z 状態のままコントロール信号を用いて、接続操作を行う時も同様です。このような場合のデバイス内部に取り込まれる論理レベルは保証できません。
- ② Gated 入出力バッファを使用して高電位側 (HV_{DD}) の電源を Cut-Off するときも、①同様の処理が必要です。この処理を行わなかった場合には、デバイス内部に取り込まれる論理レベルは保証できません。また、特殊対応が必要になるため、Cut-Off する場合は、弊社営業担当までお問い合わせください。

6.6.4 Gate バッファ一覧

(1) Gated 入力バッファ一覧

① 2 電源の場合

表 6-39 Gated 入力バッファ一覧 (LV_{DD}=2.5V, 2.0V)

入力レベル	抵抗値	プルアップ/ プルダウン	セル名	抵抗値*1、*2		単位
				LV _{DD} =2.5V	LV _{DD} =2.0V	
CMOS AND Type	なし	—	HIBA	—	—	—
	Type 1	プルアップ	HIBAP1	50	70	kΩ
		プルダウン	HIBAD1	50	70	kΩ
	Type 2	プルアップ	HIBAP2	100	140	kΩ
プルダウン		HIBAD2	100	140	kΩ	
CMOS OR Type	なし	—	HIBO	—	—	—
	Type 1	プルアップ	HIBOP1	50	70	kΩ
		プルダウン	HIBOD1	50	70	kΩ
	Type 2	プルアップ	HIBOP2	100	140	kΩ
プルダウン		HIBOD2	100	140	kΩ	

*1 : プルダウン/プルアップの抵抗値の詳細は表 1-10、表 1-11 および付録 A5.2.2、A5.3.2 を参照ください。

*2 : 入力バッファ特性のグラフは付録 A5.2.1、A5.3.1 を参照ください。

表 6-40 Gated 入力バッファ一覧 (LV_{DD}=1.8V)

入力レベル	抵抗値	プルアップ/ プルダウン	セル名	抵抗値	単位
				LV _{DD} =1.8V	
CMOS AND Type	なし	—	HIBAL	—	—
	Type 1	プルアップ	HIBAP1L	84	kΩ
		プルダウン	HIBAD1L	84	kΩ
	Type 2	プルアップ	HIBAP2L	168	kΩ
プルダウン		HIBAD2L	168	kΩ	
CMOS OR Type	なし	—	HIBOL	—	—
	Type 1	プルアップ	HIBOP1L	84	kΩ
		プルダウン	HIBOD1L	84	kΩ
	Type 2	プルアップ	HIBOP2L	168	kΩ
プルダウン		HIBOD2L	168	kΩ	

第 6 章 入出力バッファの種類と使用上の注意

② 単一電源の場合

表 6-41 Gated 入力バッファ一覧

入力レベル	抵抗値	プルアップ/ プルダウン	セル名	抵抗値*1,*2		単位
				V _{DD} =2.5V	V _{DD} =2.0V	
CMOS AND Type	なし	—	IBA	—	—	—
	Type 1	プルアップ	IBAP1	50	70	kΩ
		プルダウン	IBAD1	50	70	kΩ
	Type 2	プルアップ	IBAP2	100	140	kΩ
		プルダウン	IBAP2	100	140	kΩ
CMOS OR Type	なし	—	IBO	—	—	—
	Type 1	プルアップ	IBOP1	50	70	kΩ
		プルダウン	IBOD1	50	70	kΩ
	Type 2	プルアップ	IBGP2	100	140	kΩ
		プルダウン	IBOD2	100	140	kΩ

注) *1 : プルアップの抵抗値の詳細表 1-10、表 1-11 および付録 A5. 2. 2、A5. 3. 21 を参照ください。

*2 : 入力バッファ特性のグラフは付録 A5. 2. 1 を参照ください。

表 6-42 Gated 入力バッファ一覧

入力レベル	抵抗値	プルアップ/ プルダウン	セル名	抵抗値*1	単位
				V _{DD} =1.8V	
CMOS AND Type	なし	—	IBAL	—	—
	Type 1	プルアップ	IBAP1L	84	kΩ
		プルダウン	IBAD1L	84	kΩ
	Type 2	プルアップ	IBAP2L	168	kΩ
		プルダウン	IBAP2L	168	kΩ
CMOS OR Type	なし	—	IBOL	—	—
	Type 1	プルアップ	IBOP1L	84	kΩ
		プルダウン	IBOD1L	84	kΩ
	Type 2	プルアップ	IBGP2L	168	kΩ
		プルダウン	IBOD2L	168	kΩ

注) *1 : プルアップの抵抗値の詳細表 1-12 および付録 A5. 4. 1 を参照ください。

(2) Gated 双方向バッファ一覧

① 2 電源の場合

表 6-43 Gated 双方向バッファ一覧

入力レベル	Function	出力電流の種類	セル名	$I_{OL}/I_{OH}^{*1,*2}$		単位
				$LV_{DD}=2.5V$	$LV_{DD}=2.0V$	
CMOS AND Type	Bi-directional output	Type 1	HBA1T	3/-3	1/-1	mA
		Type 2	HBA2T	6/-6	2/-2	mA
		Type 3	HBA3T	9/-9	3/-3	mA
		Type 4	HBA4T	18/-18	6/-6	mA
	Bi-directional output for high speed	Type 3	HBA3AT	9/-9	3/-3	mA
		Type 4	HBA4AT	18/-18	6/-6	mA
	Bi-directional output for low noise	Type 3	HBA3BT	9/-9	3/-3	mA
		Type 4	HBA4BT	18/-18	6/-6	mA
CMOS OR Type	Bi-directional output	Type 1	HB01T	3/-3	1/-1	mA
		Type 2	HB02T	6/-6	2/-2	mA
		Type 3	HB03T	9/-9	3/-3	mA
		Type 4	HB04T	18/-18	6/-6	mA
	Bi-directional output for high speed	Type 3	HB03AT	9/-9	3/-3	mA
		Type 4	HB04AT	18/-18	6/-6	mA
	Bi-directional output for low noise	Type 3	HB03BT	9/-9	3/-3	mA
		Type 4	HB04BT	18/-18	6/-6	mA

注) *1: プルアップの抵抗値の詳細表 1-10、表 1-11 および付録 A5. 2. 2、A5. 3. 2 を参照ください。

*2: 入力バッファ特性のグラフは付録 A5. 2. 1、A5. 3. 1 を参照ください。

表 6-44 Gated 双方向バッファ一覧

入力レベル	Function	出力電流の種類	セル名	I_{OL}/I_{OH}^{*1}	単位
				$V_{DD}=1.8V$	
CMOS AND Type	Bi-directional output	Type 1	HBA1TL	0.9/-0.9	mA
		Type 2	HBA2TL	1.8/-1.8	mA
		Type 3	HBA3TL	2.7/-2.7	mA
		Type 4	HBA4TL	5.4/-5.4	mA
	Bi-directional output for high speed	Type 3	HBA3ATL	2.7/-2.7	mA
		Type 4	HBA4ATL	5.4/-5.4	mA
	Bi-directional output for low noise	Type 3	HBA3BTL	2.7/-2.7	mA
		Type 4	HBA4BTL	5.4/-5.4	mA
	CMOS OR Type	Bi-directional output	Type 1	HB01TL	0.9/-0.9
Type 2			HB02TL	1.8/-1.8	mA
Type 3			HB03TL	2.7/-2.7	mA
Type 4			HB04TL	5.4/-5.4	mA
Bi-directional output for high speed		Type 3	HB03ATL	2.7/-2.7	mA
		Type 4	HB04ATL	5.4/-5.4	mA
Bi-directional output for low noise		Type 3	HB03BTL	2.7/-2.7	mA
		Type 4	HB04BTL	5.4/-5.4	mA

注) *1 : プルアップの抵抗値の詳細表 1-12 および付録 A5.4.1 を参照ください。

②単一電源も場合

表 6-45 Gated 双方向バッファ一覧

入力レベル	Function	出力電流の種類	セル名	I_{OL}/I_{OH}		単位
				$V_{DD}=2.5V$	$V_{DD}=2.0V$	
CMOS AND Type	Bi-directional output	Type 1	BA1T	3/-3	1/-1	mA
		Type 2	BA2T	6/-6	2/-2	mA
		Type 3	BA3T	9/-9	3/-3	mA
		Type 4	BA4T	18/-18	6/-6	mA
	Bi-directional output for high speed	Type 3	BA3AT	9/-9	3/-3	mA
		Type 4	BA4AT	18/-18	6/-6	mA
	Bi-directional output for low noise	Type 3	BA3BT	9/-9	3/-3	mA
Type 4		BA4BT	18/-18	6/-6	mA	
CMOS OR Type	Bi-directional output	Type 1	B01T	3/-3	1/-1	mA
		Type 2	B02T	6/-6	2/-2	mA
		Type 3	B03T	9/-9	3/-3	mA
		Type 4	B04T	18/-18	6/-6	mA
	Bi-directional output for high speed	Type 3	B03AT	9/-9	3/-3	mA
		Type 4	B04AT	18/-18	6/-6	mA
	Bi-directional output for low noise	Type 3	B03BT	9/-9	3/-3	mA
Type 4		B04BT	18/-18	6/-6	mA	

注) *1 : プルアップの抵抗値の詳細表 1-10、表 1-11 および付録 A5. 2. 2、A5. 3. 2 を参照ください。

*2 : 入力バッファ特性のグラフは付録 A5. 2. 1、A5. 3. 1 を参照ください。

表 6-46 Gated 双方向バッファ一覧

入力レベル	Function	出力電流の種類	セル名	$I_{OL}/I_{OH}^{*1, *2}$	単位
				$V_{DD}=1.8V$	
CMOS AND Type	Bi-directional output	Type 1	BA1TL	0.9/-0.9	mA
		Type 2	BA2TL	1.8/-1.8	mA
		Type 3	BA3TL	2.7/-2.7	mA
		Type 4	BA4TL	5.4/-5.4	mA
	Bi-directional output for high speed	Type 3	BA3ATL	2.7/-2.7	mA
		Type 4	BA4ATL	5.4/-5.4	mA
	Bi-directional output for low noise	Type 3	BA3BTL	2.7/-2.7	mA
		Type 4	BA4BTL	5.4/-5.4	mA
	CMOS OR Type	Bi-directional output	Type 1	B01TL	0.9/-0.9
Type 2			B02TL	1.8/-1.8	mA
Type 3			B03TL	2.7/-2.7	mA
Type 4			B04TL	5.4/-5.4	mA
Bi-directional output for high speed		Type 3	B03ATL	2.7/-2.7	mA
		Type 4	B04ATL	5.4/-5.4	mA
Bi-directional output for low noise		Type 3	B03BTL	2.7/-2.7	mA
		Type 4	B04BTL	5.4/-5.4	mA

注) *1 : プルアップの抵抗値の詳細表 1-12 および付録 A5.4.1 を参照ください。

第7章 端子配置と同時動作

この章では、端子配置の注意点および、出力バッファ動作時の電源追加について記述します。

7.1 電源端子数の見積り

電源端子は IC の消費電力、出力バッファ数によって、必要な本数を見積る必要があります。特に出力バッファは、スイッチング時に大きな過渡電流が流れます。この過渡電流は、出力バッファの駆動能力が大きいタイプのものほど大きくなります。

ICに必要な電源端子の数を消費電流との関係で見積ると以下ようになります。

(1) 単一電源の場合

消費電流を I_{DD} [mA] とすると、この消費電流との関係で電源端子数を見積ると、以下のようになります。

$$N_{IDD} \geq I_{DD} \div 50 \text{ (対)} : V_{DD} \text{ 端子と } V_{SS} \text{ 端子を 1 対として、1 対あたり 50mA の供給が可能}$$

注) 1 : 電源端子対は最低でも各辺 1 対の 4 対以上は挿入してください。

I_{DD} … 「第 9 章 9.1 消費電力計算」で求めた消費電力を動作電圧で割った値となります。

2 : 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせください。

(2) 2 電源の場合

2 電源仕様の場合も電源 (HV_{DD} 系、 LV_{DD} 系の電源両方) 1 対あたりに流せる許容電流の大きさは単一電源の場合と同様です。必要な電源対の数は HV_{DD} 系と LV_{DD} 系で分けて求めてください。

① HV_{DD} 電源端子数

HV_{DD} 系の消費電流を $I_{DD} (HV_{DD})$ [mA] とすると、この消費電流 $I_{DD} (HV_{DD})$ のための電源端子数 $N_{IDD} (HV_{DD})$ は、

$$N_{IDD} (HV_{DD}) \geq I_{DD} (HV_{DD}) / 50 : 1 \text{ 端子あたり 50mA の供給が可能}$$

② LV_{DD} 電源端子数

LV_{DD} 系の消費電流を $I_{DD} (LV_{DD})$ [mA] とすると、この消費電流 $I_{DD} (LV_{DD})$ のための電源端子数 $N_{IDD} (LV_{DD})$ は、

$$N_{IDD} (LV_{DD}) \geq I_{DD} (LV_{DD}) / 50 : 1 \text{ 端子あたり 50mA の供給が可能}$$

③ V_{SS} 電源端子数

$$N_{IDD} (V_{SS}) \geq \{ I_{DD} (HV_{DD}) + I_{DD} (LV_{DD}) \} / 50 : 1 \text{ 端子あたり 50mA の供給が可能}$$

注) 1 : 電源端子 HV_{DD} 、 LV_{DD} 、 V_{SS} はいずれも、最低でも各辺 1 端子の 4 端子以上は挿入してください。

I_{DD} … 「第 9 章 9.1 消費電力計算」で求めた消費電力を動作電圧で割った値となります。

2 : 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせください。

3 : 出力の同時変化に対する電源追加は HV_{DD} 系出力バッファと LV_{DD} 系出力バッファとで区別し、各々の電源系に対し HV_{DD} 、 LV_{DD} 、 V_{SS} 端子の追加を行ってください。

7.2 同時動作と電源追加

7.2.1 2電源使用上の注意 ($HV_{DD}=3.3V/LV_{DD}=2.5V$)

S1L60000 シリーズでは、出力駆動能力が最大 24mA ($V_{DD}=3.3V$) となっています。出力バッファが複数同時に動作することによって、大きなノイズが発生することがあります。

出力バッファを同時に多数動作させる場合には、このノイズによる誤動作を防ぐために表 7-1～表 7-6 に示すように、電源を追加してください。

表 7-1 出力バッファ同時動作による V_{SS} 電源追加数 ($HV_{DD}=3.3V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
6mA	≤ 8	0	1	2
	≤ 16	1	2	3
	≤ 24	1	2	4
	≤ 32	2	3	5
12mA	≤ 8	1	2	2
	≤ 16	2	2	3
	≤ 24	2	3	5
	≤ 32	2	4	8
24mA&PCI	≤ 8	2	3	4
	≤ 16	3	4	6
	≤ 24	4	6	8
	≤ 32	6	8	16

表 7-2 出力バッファ同時動作による HV_{DD} 電源追加数 ($HV_{DD}=3.3V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
6mA	≤ 8	0	1	1
	≤ 16	1	1	2
	≤ 24	1	2	3
	≤ 32	1	2	3
12mA&PCI	≤ 8	1	2	2
	≤ 16	2	2	3
	≤ 24	2	3	3
	≤ 32	3	3	8
24mA	≤ 8	2	3	4
	≤ 16	3	4	6
	≤ 24	4	6	8
	≤ 32	6	8	16

7.2.2 単一電源使用上の注意

表 7-3 出力バッファ同時動作による V_{SS} 電源追加数 ($V_{DD}=2.5V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
6mA	≤ 8	0	1	2
	≤ 16	1	2	3
	≤ 24	1	2	4
	≤ 32	2	3	5
9mA	≤ 8	1	2	2
	≤ 16	2	2	3
	≤ 24	2	3	5
	≤ 32	2	4	8
18mA	≤ 8	2	3	4
	≤ 16	3	4	6
	≤ 24	4	6	8
	≤ 32	6	8	16
PCI	≤ 8	1	2	3
	≤ 16	2	3	4
	≤ 24	3	4	5
	≤ 32	4	5	10

表 7-4 出力バッファ同時動作による V_{DD} 電源追加数 ($V_{DD}=2.5V$)

出力駆動能力 (I_{OH})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
6mA	≤ 8	0	1	1
	≤ 16	1	1	2
	≤ 24	1	2	3
	≤ 32	1	2	3
9mA & PCI	≤ 8	1	2	2
	≤ 16	2	2	3
	≤ 24	2	3	3
	≤ 32	3	3	6
18mA	≤ 8	2	3	4
	≤ 16	3	4	6
	≤ 24	4	6	8
	≤ 32	6	8	10

表 7-5 出力バッファ同時動作による V_{SS} 電源追加数 ($V_{DD}=2.0V$ or $1.8V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
3mA	≤ 8	0	1	2
	≤ 16	1	2	3
	≤ 24	1	2	4
	≤ 32	2	3	5
6mA	≤ 8	0	1	2
	≤ 16	1	2	4
	≤ 24	1	3	6
	≤ 32	2	4	8

表 7-6 出力バッファ同時動作による V_{DD} 電源追加数 ($V_{DD}=2.0V$ or $1.8V$)

出力駆動能力 (I_{OH})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
3mA	≤ 8	0	1	1
	≤ 16	1	1	2
	≤ 24	1	2	3
	≤ 32	1	2	3
6mA	≤ 8	0	1	1
	≤ 16	1	1	3
	≤ 24	1	2	4
	≤ 32	1	3	5

7.3 端子配置上の注意点

使用するパッケージが決まりましたら、端子配置を決定します。電源端子、使用可能入出力端子数を見積もります。

端子配置については、開発着手依頼書と一緒に、端子配列を記述した“端子配列表”（フォーマットはフリー）をセイコーエプソンに提出してください。弊社でお客さまより受領した“端子配列表”にしたがって配置配線を行います。

7.3.1 固定電源端子

パッケージの組み合わせにより、電源にしか使用できない端子があります。詳細は弊社営業担当までお問い合わせください。

7.3.2 端子配列上の注意事項

端子配列は IC の論理機能や電気的特性に影響をおよぼすことがあります。更に IC の組立上あるいはセルやマスタの構成上等によって、端子の配置に制約があることがあります。そこで端子配列を検討する上で注意を必要とする電源電流、入力端子、出力端子の分離、クリティカル信号、プルアップ・プルダウン抵抗入力、出力同時動作、大電流ドライバなどの項目について説明します。

(1) 電源電流 (I_{DD} 、 I_{SS})

電源電流 (I_{DD} 、 I_{SS}) は、動作状態において電源端子に流れる電源の許容値を規定しています。この許容値を超えた電流が流れると、IC 内部の電源配線の電流密度が高くなりすぎ、IC の信頼性の低下や破壊を起こすことがあります。また、IC 内部の電圧が電流と配線抵抗により発生する電圧分だけ上昇または下降してしまいます。これによりファクションの誤動作を招いたり、DC、AC 特性の悪影響をおよぼします。

これらの問題を避けるために電流密度や電源配線のインピーダンスを下げる必要があります。そのためには、回路設計時に消費電力を見積り、各電源端子に流れる電流が許容値を超えないような電源端子数を確保する必要があります。電源端子については、「第9章 9.1 電源端子数の見積り」を参照してください。また、この電源端子は一箇所に集中させず、分散させて配置します。

ただし、最終的な電源端子数は上記による電源端子に加えて、ノイズ対策等のための追加電源端子数を合わせた電源端子数が必要となります。追加電源端子数については「第9章 9.2 同時動作と電源追加」を参照してください。

(2) 出力バッファの動作によって発生するノイズ

出力バッファの動作によって発生するノイズは大きく分けて以下の二つに分類されます。これらのノイズを低減させるには、できるだけ多くの電源を設けることが対策となります。

(a) 電源ラインに発生するノイズ

電源ラインに発生するノイズは出力が多数動作した場合に問題となり、IC の入力スレッショールドレベルの変化を起こし、誤動作の原因となります。この電源ラインのノイズは、出力バッファの同時動作によって大きな電流が電源ラインに流れることによって発生します。

第7章 端子配置と同時動作

電源ノイズは特にインダクタンス成分が影響します。よって、ICの等価回路は図7-1のように表すことができます。この回路図で出力が“HIGH”→“LOW”に変化したときには出力端子から電流がIC内部に流れ込み、ICのパッケージ等による等価インダクタンスL2を通じて電流が流れます。このとき、等価インダクタンスL2によってIC内部の V_{SS} 電源ラインの電圧が変化します。この V_{SS} 電源ラインの電圧変動が電源ラインに発生するノイズです。この電源ラインに発生するノイズは、主に等価インダクタンスL2によって発生するので、電源電流が急激であるほど大きなノイズが発生します。

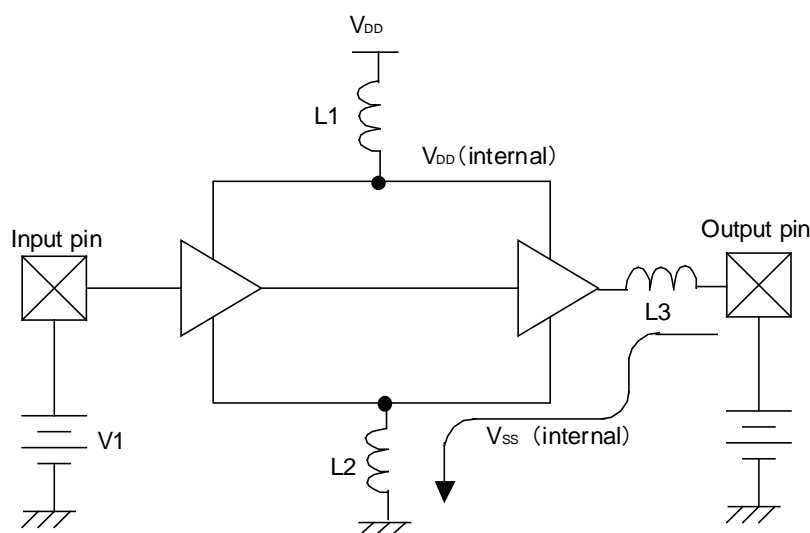


図7-1 ICの等価回路

(b) オーバーシュート、アンダーシュートおよびリングング

オーバーシュート、アンダーシュートおよびリングングといったノイズは出力端子についている等価インダクタンスによって発生します。図7-1のL3がこの等価インダクタンスです。インダクタンスはエネルギーを蓄える性質があるため、出力が“LOW”または“HIGH”になっても蓄えられたエネルギーによってオーバーシュート、アンダーシュートは流れる電流の大きさ、および電流の変化率に比例します。

オーバーシュート、アンダーシュートを小さくするには駆動能力の小さい出力バッファを使用するのが最も効果的で、負荷容量が大きくなるとオーバーシュート、アンダーシュートは小さくなる傾向にあります。よって、特に駆動能力の大きいセルを使用するときには注意が必要です。

(3) 入力端子、出力端子の分離

端子配列上で入力端子のグループを出力端子のグループから分離することは、ノイズの影響を軽減させるための手法です。

入力端子および入力状態の双方向はノイズの影響を受けやすいので、できる限り出力端子と混在させず、入力端子群 (Input pins)、出力端子群 (Output pins)、双方向端子群 (Bi-directional pins) それぞれを電源端子 (V_{DD} 、 V_{SS}) で分けて配置してください。(図7-2)

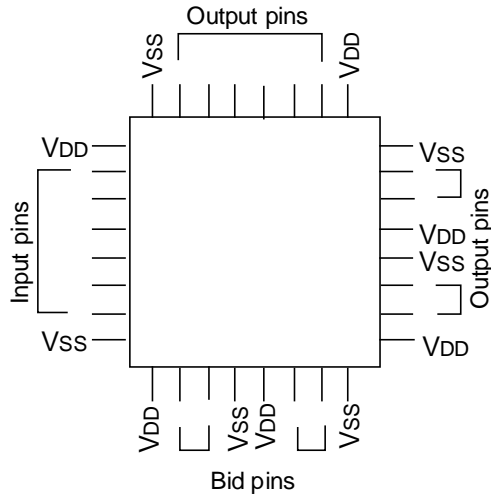


図 7-2 入力端子、出力端子の分離例

(4) クリティカル信号

クロックの入力端子や高速で動作する出力端子などのクリティカル信号については、以下の点に注意して端子の配置を行ってください。

- (a) クロック系、リセット系などのノイズの影響を小さくする必要のある端子は、出力端子から離し電源端子の近くに配置してください。(図 7-3)
- (b) 発振回路の入出力端子 (OSCIN、OSCOU) はお互い近くに配置し、電源端子 (V_{DD} 、 V_{SS}) で挟んでください。また、発振回路と同期する出力端子を近くに配置しないでください。(図 7-4)
- (c) 高速で動作する入力、出力端子は IC (パッケージ) 辺中央付近に配置してください。(図 7-3)
- (d) 特定の入力端子から出力端子までの遅延値がお客さまの仕様に対し余裕がない場合には、これらの入出力端子を近傍に配置してください。(図 7-3)

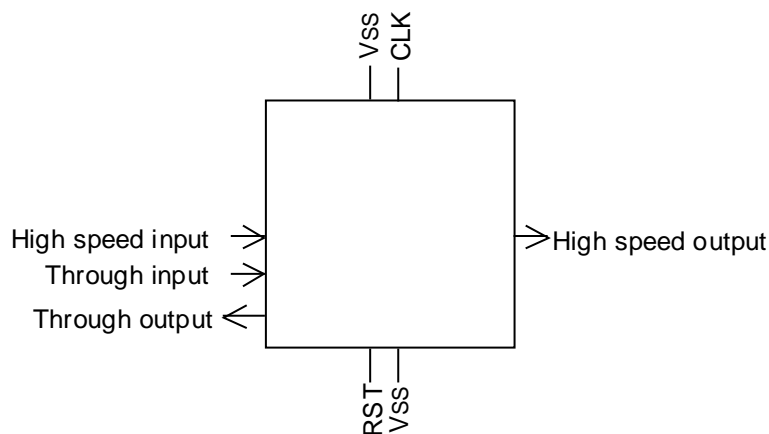


図 7-3 クリティカル信号配置例 1

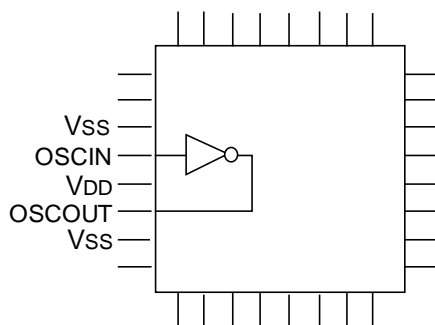


図 7-4 クリティカル信号配置例 2

(5) プルアップ／プルダウン抵抗入力

プルアップ／プルダウン抵抗値は、約数十 k Ω ～数百 k Ω と比較的大きく、その構造上電源電圧に依存性があります。

したがって、テスト端子としての使用目的等で解放状態で使用する場合には、電源ノイズ等の影響を受けやすくなり、誤動作の原因の1つとなる場合がありますので、次の点に注意してください。

(a) 高速入力信号端子（クロック入力端子等）からなるべく離して配置してください。（図 7-5）

(b) 出力信号端子（特に大電流出力端子）から離して配置してください。（図 7-6）

なお、配置上の注意以前に、次の点に関しても併せてご検討ください。

- 可能な限り基板（PCB）上でプルアップ／プルダウンの処理を行ってください。
- なるべく抵抗値の小さいものを選択してください。

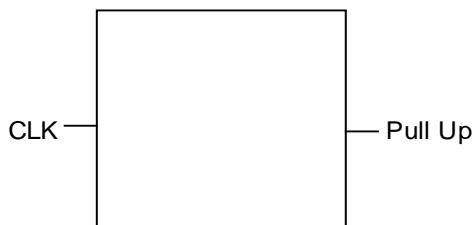


図 7-5 プルアップ端子、プルダウン端子配置例 1

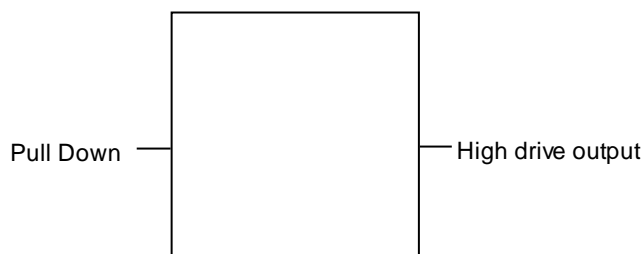


図 7-6 プルアップ、プルダウン配置例 2

(6) 出力同時動作

複数の出力端子の同時変化時にノイズが発生し、IC が誤動作を起こすことがあります。出力端子を同時に多数動作させる場合には、このノイズによる誤動作を防ぐために同時変化をする出力端子群に電源端子を追加してください。追加に必要な電源端子の数、および追加電源端子の配置方法は、「7.2 同時動作と電源追加」を参照してください。(図 7-7)

そのノイズを低減するために、一方の出力バッファ群の前段にディレイ用のセルを追加することにより、出力バッファの同時変化を減らすことができノイズも低減できます。(図 7-8)

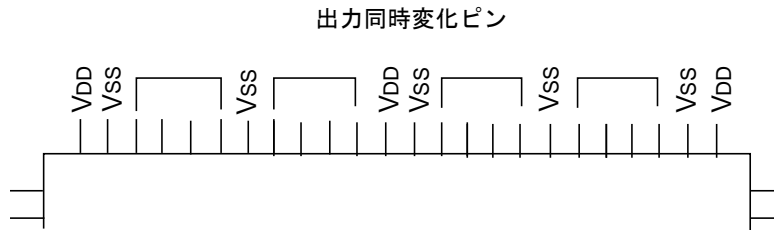


図 7-7 電源端子の追加例

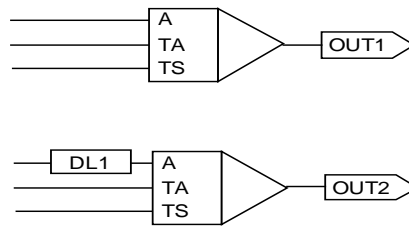


図 7-8 ディレイセルの追加例

(7) 大電流ドライバ

$I_{OL}=12\text{mA}$ 以上の大電流ドライバの出力バッファを使用する場合は、以下の制約を守り端子の配置を行ってください。

(a) 電源強化の制約

大電流ドライバはドライブ能力が大きいため、出力バッファの動作時に発生するノイズの量も大きくなります。このノイズにより IC が誤動作することがあります。

大電流ドライバを使用する場合には、その端子付近に電源端子を配置し、大電流ドライバ用の電源を確保してください。(図 7-9)

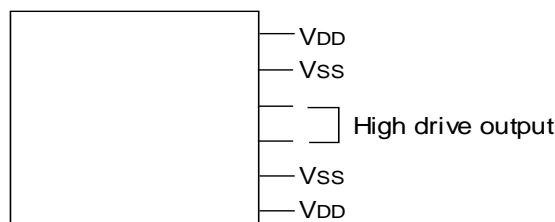


図 7-9 電源強化例

第 7 章 端子配置と同時動作

(8) その他の注意事項

(a) NC 端子 (non-connection)

NC 端子には、何も接続をしないでください。

(b) TAB 吊り端子

TAB 吊り端子とは、パッケージの端子が直接 Chip の基盤に接続されている端子のことです。この端子は、前記の理由から外部から電源を与えなくても V_{SS} (GND) のレベルになっています。通常この端子については、基板上でオープンにしておいてください。

7.3.3 推奨端子配列例

端子配列は、IC を正常に動作させるうえで重要なポイントとなります。以下に、この章で説明した内容を総合的に考慮した端子配列の図 (図 7-10) を示しますので、参考にして端子配列を決定してください。

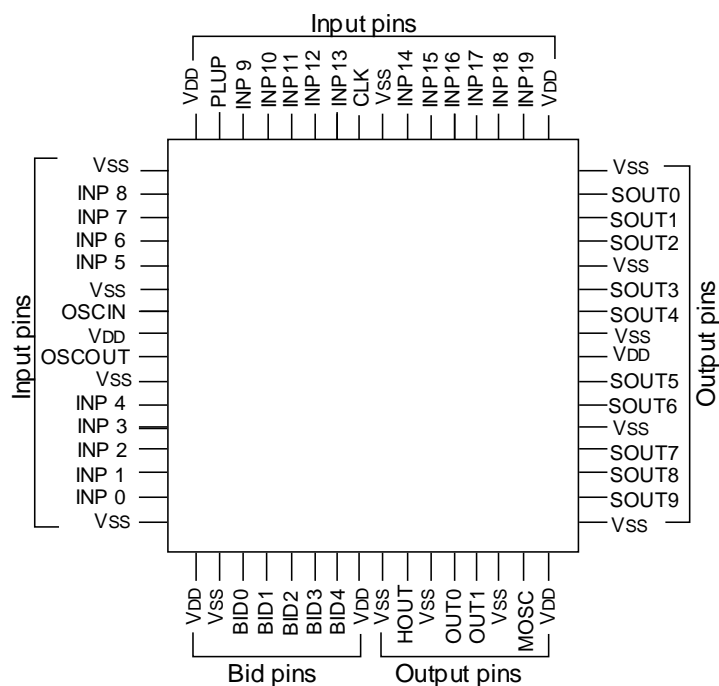


図 7-10 推奨端子配列例

パッケージの上辺、左辺には入力端子、右辺には同時変化をする出力端子、下辺には双方向端子およびその他の出力端子を配置してあります。

表 7-7 端子配列例の説明

配置	端子名	端子名の説明	各端子配置の詳細説明
上辺	PLUP	プルアップ用入力端子	ノイズの影響の少ない位置に配置
	CLK	クロック用入力端子	パッケージ中央付近、電源端子の近くに配置
左辺	OSCIN	発振用端子	パッケージ中央付近、電源端子の近くに配置
	OSCOU		パッケージ中央付近、電源端子の近くに配置
	INP0~19	入力端子	電源端子で他端子と分離して配置
右辺	SOUT0~9	同時変化出力端子	電源端子で他端子と分離し、電源端子を追加
下辺	BID0~4	双方向端子	電源端子で他端子と分離して配置
	MOSC	発振モニター用出力端子	発信用端子から離し、電源端子の近くに配置
	HOUT	高駆動出力端子	電源端子を近くに配置
	OUT01	出力端子	電源端子で他端子と分離して配置
全体	V _{DD}	V _{DD} 電源端子	
	V _{SS}	V _{SS} (GND) 電源端子	

第 8 章 RAM 仕様

S1L60000 シリーズでは、非同期型 1 ポート RAM/2 ポート RAM 及び同期型 1 ポート RAM/2 ポート RAM をサポートしています。ただし、1.8V 仕様では同期型 RAM のみのサポートとなり、非同期型は対応していません。

8.1 非同期型 RAM

8.1.1 非同期型 RAM 特長

(1) 1 ポート非同期型 RAM

- クロック非同期型
- 完全スタティック動作
- 1 リード/ライト アドレスポート、1 入力データポート、1 出力データポート
- ワード数は 16 ワード刻みで 16Word~512Word、ビット数は 1 ビット刻みで 1Bit~64Bit の範囲で構成可能です。
- 最大構成 : 32Kbits/module

(2) 2 ポート非同期型 RAM

- クロック非同期型
- 完全スタティック動作
- 1 リードアドレスポート、1 ライト アドレスポート、1 入力データポート、1 出力データポート
- ワード数は 16 ワード刻みで 16Word~512Word、ビット数は 1 ビット刻みで 1Bit~64Bit の範囲で構成可能です。
- 最大構成 : 32Kbits/module

8.1.2 非同期型 RAM サイズ

RAM の X 方向サイズ、Y 方向サイズおよび使用する BC 数は、次の各々の式で計算します。

(1) 1 ポート非同期型 RAM

X 方向サイズ : $RX=3 \times \text{Word}/2+20$

Y 方向サイズ : $RY=2 \times \text{Bit}+12$ ($16 \leq \text{Word} \leq 256$)

$RY=2 \times \text{Bit}+13$ ($256 < \text{Word} \leq 512$)

BC 数 : $\text{RAMBCS}=RX \times RY$

表 8-1 1 ポート非同期型 RAM の構成例と BC 数

ビット数 ワード数	8 ビット	16 ビット	32 ビット	64 ビット
64 ワード	3,248	5,104	8,816	16,240
128 ワード	5,936	9,328	16,112	29,680
256 ワード	11,312	17,776	30,704	56,560
512 ワード	22,852	35,460	60,676	111,108

(2) 2 ポート非同期型 RAM

X 方向サイズ : $RX=3 \times \text{Word}/2+20$

Y 方向サイズ : $RY=2 \times \text{Bit}+15$ ($16 \leq \text{Word} \leq 256$)

$RY=2 \times \text{Bit}+17$ ($256 < \text{Word} \leq 512$)

BC 数 : $\text{RAMBCS}=RX \times RY$

表 8-2 2 ポート非同期型 RAM の構成例と BC 数

ビット数 ワード数	8 ビット	16 ビット	32 ビット	64 ビット
64 ワード	3,596 (116×31)	5,452 (116×47)	9,164 (116×79)	16,588 (116×143)
128 ワード	6,572 (212×31)	9,964 (212×47)	16,748 (212×79)	30,316 (212×143)
256 ワード	12,524 (404×31)	18,988 (404×47)	31,916 (404×79)	57,772 (404×143)
512 ワード	26,004 (788×33)	38,612 (788×49)	63,828 (788×81)	114,260 (788×145)

第8章 RAM 仕様

8.1.3 RAM の搭載可否判断

RAM を搭載する場合には、搭載しようとするマスタのベーシックセル配列数が X 方向、Y 方向ともに RAM のサイズを上回っている必要があります。

RAM を複数個使用する場合には RAM ブロックどうしを上下左右に隣り合わせるレイアウトになります。前節の計算式には、RAM 周りの配線領域を含めてありますので、単純に RXSIZE、RYSIZE をそれぞれに足した値で搭載可否を判断することができます。各マスタごとのベーシックセルの X 方向、Y 方向の配列数は表 1-1 を参照してください。

例として、256 ワード×16 ビットの 1 ポート RAM を 4 個使用する場合の S1L60093 もしくは S1L60173/60174 への搭載可否を考えます。

図 8-1 に示すように RAM のレイアウトサイズとしては、

X 方向： 412BC

Y 方向： 184BC

が必要となるため、

S1L60093/60094 は (X, Y)=(605, 164) で搭載不可

S1L60173/60174 は (X, Y)=(795, 216) で搭載可

となります。

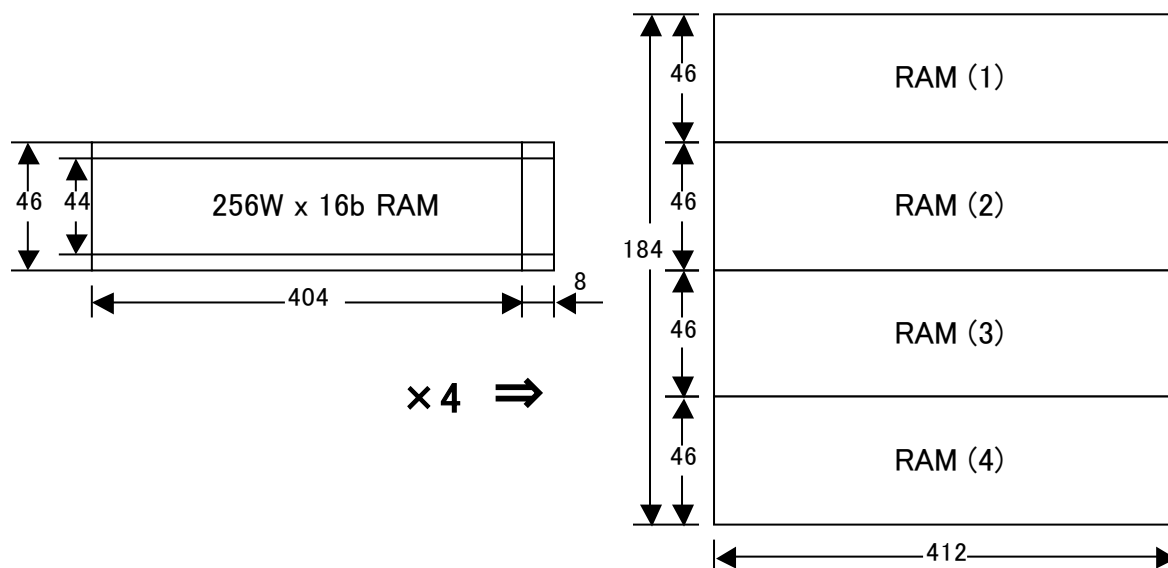


図 8-1 RAM レイアウト例

8.1.4 非同期型 RAM 機能説明

(1) 1ポート非同期型 RAM

表 8-3 1ポート非同期型 RAM の信号説明

信号名	I/O	FUNCTION
CS	IN	チップセレクト信号、H: RAM アクティブ
RW	IN	リード/ライト信号、H: リード、L: ライト
A0, A1, ..., A (m-1)	IN	リード/ライトアドレスポート、A0: LSB
D0, D1, ..., D (n-1)	IN	データ入力ポート、D0: LSB
Y0, Y1, ..., Y (n-1)	OUT	データ出力ポート、Y0: LSB

表 8-4 1ポート非同期型 RAM 真理値表

CS	RW	A0, A1, ..., A (m-1)	Y0, Y, 1 ..., Y (n-1)	モード
0	X	X	Unknown	待機
1	0	ステイブル	Unknown	書き込み
1	1	ステイブル	読み出しデータ	読み出し

X: HIGH または LOW

- データの読み出し

データは、CS を “HIGH”、RW を “HIGH” に保ち、アドレスをセットすることにより読み出せます。

- データの書き込み

データを書き込むには、次の 2 とおりの方法があります。

- ① CS を “HIGH” に保ち、アドレスをセットし、RW に “LOW” レベルパルスを加える。
- ② RW を “LOW” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。

いずれの場合も、パルスの後エッジにて RAM 内にラッチされます。

- 待機状態

CS が “LOW” の場合には 1 ポート RAM は待機状態になり、データを保持するだけになります。RAM 内での消費電流はリーク電流のみになり、ほぼ “0” になります。

第 8 章 RAM 仕様

(2) 2 ポート非同期型 RAM

表 8-5 2 ポート非同期型 RAM の信号説明

信号名	I/O	Function
CS	IN	チップセレクト信号、H : RAM アクティブ
RD	IN	リード信号、H : リードイネーブル
WR	IN	ライト信号、H : ライトイネーブル
RA0, ... RA (m-1)	IN	リードアドレスポート、RA0 : LSB
WA0, ... WA (m-1)	IN	ライトアドレスポート、WA0 : LSB
DO, D1, ... D (n-1)	IN	データ入力ポート、DO : LSB
Y0, Y1, ... Y (n-1)	OUT	データ出力ポート、Y0 : LSB

表 8-6 2 ポート非同期型 RAM 真理値表

CS	RD	WR	RA0, ..., RA (n-1)	WA0, ..., WA (m-1)	Y0, ..., Y (n-1)	モード
0	X	X	X	X	Unknown	待機
1	0	0	X	X	Unknown	待機
1	0	1	X	ステイブル	Unknown	書き込み
1	1	0	ステイブル	X	読み出しデータ	読み出し
1	1	1	ステイブル	ステイブル	読み出しデータ	読み書き

X : HIGH または LOW

• データの読み出し

データは、CS を “HIGH”、RD を “HIGH” に保ち、アドレスをセットすることにより読み出せます。

• データの書き込み

データを書き込むには、次の 2 とおりの方法があります。

- ① CS を “HIGH” に保ち、アドレスをセットし、WR に “HIGH” レベルパルスを加える。
- ② WR を “HIGH” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。

• データの読み書き

リードアドレスとライトアドレスを用いて、読み出しと書き込みを同時に行うことができます。ただし、同一アドレスへの読み出しと書き込みの同時動作は禁止です。また、「5.6 遅延パラメータ」に記載されているリードサイクルのアクセスタイムは、すでに書き込みが終了しているデータを対象としています。

• 待機状態

次の 2 とおりの場合には 2 ポート RAM は待機状態になりデータを保持するだけになります。RAM 内での消費電流はリーク電流のみになり、ほぼ ‘0’ になります。

- ① CS が “LOW” のとき。
- ② CS が “HIGH”、RD が “LOW”、WR が “LOW” のとき。

8.1.5 非存在アドレスへのアクセス禁止

RAM の構成において、48 ワード、88 ワードといった中間ワード構成の RAM を使用する場合、非存在アドレスへのアクセスの可能性が考えられます。

実際の IC では、非存在アドレスに Read 動作を行なった場合は、対象となるワード線が存在せず、すべてのワード線が OFF 状態になってしまうため、全ビット線がフローティング状態になってしまいます。そのため、

① すべてのビット線がフローティング状態のまま Read 動作が行われてしまうため、RAM の出力が全ビット“不定”となってしまう。

② すべてのビット線がフローティング状態のまま Read 動作が行われてしまうため、回路の一部で電流が流れる経路が発生してしまう。この電流値は RAM の構成・規模によって異なりますが、IC 全体の動作電流・静止時電流にバラツキを発生させてしまう。

等の状態が起こります。したがって、非存在アドレスへのアクセスに関しては禁止します。

論理シミュレーションにおいては、Read/Write オペレーション時のクロックの立ち上がりタイミングで、非存在アドレスチェックを行い、非存在アドレスのアクセス時にタイミングエラーを出力します。

第8章 RAM仕様

8.1.6 非同期型RAM遅延パラメータ

RAMの遅延パラメータは、ワードビット構成により変化します。したがって、ワードビット構成に対応したシミュレーションモデルを用意しています。

1ポートRAMおよび2ポートRAMのワードビット構成に対応するシミュレーションモデルをそれぞれ表8-7、表8-8に示します。

ワードビットの構成可能範囲を越えるRAMが必要な場合は、複数個のRAMを組み合わせて構成してください。

表8-7 1ポート非同期型RAMのワードビット構成によるシミュレーションモデル対応表

ワード数 ビット数	16~64	80~128	144~192	208~256	272~320	336~384	400~448	464~512
1~16	RAM1P1	RAM1P5	RAM1P9	RAM1P13	RAM1P17	RAM1P21	RAM1P25	RAM1P29
17~32	RAM1P2	RAM1P6	RAM1P10	RAM1P14	RAM1P18	RAM1P22	RAM1P26	RAM1P30
33~48	RAM1P3	RAM1P7	RAM1P11	RAM1P15	RAM1P19	RAM1P23	RAM1P27	RAM1P31
49~64	RAM1P4	RAM1P8	RAM1P12	RAM1P16	RAM1P20	RAM1P24	RAM1P28	RAM1P32

表8-8 2ポート非同期型RAMのワードビット構成によるシミュレーションモデル対応表

ワード数 ビット数	16~64	80~128	144~192	208~256	272~320	336~384	400~448	464~512
1~16	RAM2P1	RAM2P5	RAM2P9	RAM2P13	RAM2P17	RAM2P21	RAM2P25	RAM2P29
17~32	RAM2P2	RAM2P6	RAM2P10	RAM2P14	RAM2P18	RAM2P22	RAM2P26	RAM2P30
33~48	RAM2P3	RAM2P7	RAM2P11	RAM2P15	RAM2P19	RAM2P23	RAM2P27	RAM2P31
49~64	RAM2P4	RAM2P8	RAM2P12	RAM2P16	RAM2P20	RAM2P24	RAM2P28	RAM2P32

(1) 2.5V 仕様 (VDD=3.0±0.3V、Ta= -40~85°C)

表 8-9 に 1 ポート/2 ポート非同期型 RAM リードサイクル、表 8-10 にライトサイクルを示します。

・リードサイクル

表 8-9-1 1 ポート/2 ポート非同期型 RAM リードサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t _{RC}	4.605	-	5.239	-	5.519	-	6.203	-	ns
アドレスアクセスタイム	t _{ACC}	-	4.605	-	5.239	-	5.519	-	6.203	
CS アクセスタイム	t _{ACS}	-	4.605	-	5.239	-	5.519	-	6.203	
RW アクセスタイム	t _{ARW}	-	4.605	-	5.239	-	5.519	-	6.203	
CS アクティブタイム	t _{RCS}	4.605	-	5.239	-	5.519	-	6.203	-	
アドレス変化後 出力ホールドタイム	t _{OH}	0.093	-	0.153	-	0.212	-	0.272	-	
CS ディスエーブル後 出力ホールドタイム	t _{OHCS}	0.093	-	0.153	-	0.212	-	0.272	-	
RW ディスエーブル後 出力ホールドタイム	t _{OHRW}	0.093	-	0.153	-	0.212	-	0.272	-	

表 8-9-2 1 ポート/2 ポート非同期型 RAM リードサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t _{RC}	5.668	-	6.302	-	6.581	-	7.266	-	ns
アドレスアクセスタイム	t _{ACC}	-	5.668	-	6.302	-	6.581	-	7.266	
CS アクセスタイム	t _{ACS}	-	5.668	-	6.302	-	6.581	-	7.266	
RW アクセスタイム	t _{ARW}	-	5.668	-	6.302	-	6.581	-	7.266	
CS アクティブタイム	t _{RCS}	5.668	-	6.302	-	6.581	-	7.266	-	
アドレス変化後 出力ホールドタイム	t _{OH}	0.093	-	0.153	-	0.212	-	0.272	-	
CS ディスエーブル後 出力ホールドタイム	t _{OHCS}	0.093	-	0.153	-	0.212	-	0.272	-	
RW ディスエーブル後 出力ホールドタイム	t _{OHRW}	0.093	-	0.153	-	0.212	-	0.272	-	

第 8 章 RAM 仕様

表 8-9-3 1ポート/2ポート非同期型 RAM リードサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	6.731	-	7.365	-	7.644	-	8.328	-	ns
アドレスアクセスタイム	t_{ACC}	-	6.731	-	7.365	-	7.644	-	8.328	
CS アクセスタイム	t_{ACS}	-	6.731	-	7.365	-	7.644	-	8.328	
RW アクセスタイム	t_{ARW}	-	6.731	-	7.365	-	7.644	-	8.328	
CS アクティブタイム	t_{RCS}	6.731	-	7.365	-	7.644	-	8.328	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	-	0.153	-	0.212	-	0.272	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	-	0.153	-	0.212	-	0.272	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	-	0.153	-	0.212	-	0.272	-	

表 8-9-4 1ポート/2ポート非同期型 RAM リードサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	7.794	-	8.428	-	8.707	-	9.391	-	ns
アドレスアクセスタイム	t_{ACC}	-	7.794	-	8.428	-	8.707	-	9.391	
CS アクセスタイム	t_{ACS}	-	7.794	-	8.428	-	8.707	-	9.391	
RW アクセスタイム	t_{ARW}	-	7.794	-	8.428	-	8.707	-	9.391	
CS アクティブタイム	t_{RCS}	7.794	-	8.428	-	8.707	-	9.391	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	-	0.153	-	0.212	-	0.272	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	-	0.153	-	0.212	-	0.272	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	-	0.153	-	0.212	-	0.272	-	

表 8-9-5 1ポート/2ポート非同期型 RAM リードサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	8.856	-	9.490	-	9.770	-	10.454	-	ns
アドレスアクセスタイム	t_{ACC}	-	8.856	-	9.490	-	9.770	-	10.454	
CS アクセスタイム	t_{ACS}	-	8.856	-	9.490	-	9.770	-	10.454	
RW アクセスタイム	t_{ARW}	-	8.856	-	9.490	-	9.770	-	10.454	
CS アクティブタイム	t_{RCS}	8.856	-	9.490	-	9.770	-	10.454	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	-	0.153	-	0.212	-	0.272	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	-	0.153	-	0.212	-	0.272	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	-	0.153	-	0.212	-	0.272	-	

表 8-9-6 1ポート/2ポート非同期型 RAM リードサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	9.919	-	10.553	-	10.832	-	11.517	-	ns
アドレスアクセスタイム	t_{ACC}	-	9.919	-	10.553	-	10.832	-	11.517	
CS アクセスタイム	t_{ACS}	-	9.919	-	10.553	-	10.832	-	11.517	
RW アクセスタイム	t_{ARW}	-	9.919	-	10.553	-	10.832	-	11.517	
CS アクティブタイム	t_{RCS}	9.919	-	10.553	-	10.832	-	11.517	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	-	0.153	-	0.212	-	0.272	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	-	0.153	-	0.212	-	0.272	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	-	0.153	-	0.212	-	0.272	-	

第 8 章 RAM 仕様

表 8-9-7 1ポート/2ポート非同期型 RAM リードサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	10.982	-	11.616	-	11.895	-	12.579	-	ns
アドレスアクセスタイム	t_{ACC}	-	10.982	-	11.616	-	11.895	-	12.579	
CS アクセスタイム	t_{ACS}	-	10.982	-	11.616	-	11.895	-	12.579	
RW アクセスタイム	t_{ARW}	-	10.982	-	11.616	-	11.895	-	12.579	
CS アクティブタイム	t_{RCS}	10.982	-	11.616	-	11.895	-	12.579	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	-	0.153	-	0.212	-	0.272	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	-	0.153	-	0.212	-	0.272	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	-	0.153	-	0.212	-	0.272	-	

表 8-9-8 1ポート/2ポート非同期型 RAM リードサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	12.045	-	12.679	-	12.958	-	13.642	-	ns
アドレスアクセスタイム	t_{ACC}	-	12.045	-	12.679	-	12.958	-	13.642	
CS アクセスタイム	t_{ACS}	-	12.045	-	12.679	-	12.958	-	13.642	
RW アクセスタイム	t_{ARW}	-	12.045	-	12.679	-	12.958	-	13.642	
CS アクティブタイム	t_{RCS}	12.045	-	12.679	-	12.958	-	13.642	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.093	-	0.153	-	0.212	-	0.272	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.093	-	0.153	-	0.212	-	0.272	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.093	-	0.153	-	0.212	-	0.272	-	

・ライトサイクル

表 8-10-1 1ポート/2ポート非同期型 RAM ライトサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	2.776	—	3.624	—	4.520	—	5.396	—	ns
ライトパルス幅	t_{WP}	1.347	—	2.223	—	3.101	—	3.977	—	
CS アクティブタイム	t_{WCS}	1.347	—	2.223	—	3.101	—	3.977	—	
アドレスセットアップタイム	t_{AS}	0.481	—	0.481	—	0.481	—	0.481	—	
アドレスホールドタイム	T_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.671	—	2.374	—	3.078	—	3.781	—	

表 8-10-2 1ポート/2ポート非同期型 RAM ライトサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	2.924	—	3.799	—	4.677	—	5.553	—	ns
ライトパルス幅	t_{WP}	1.425	—	2.300	—	3.178	—	4.054	—	
CS アクティブタイム	t_{WCS}	1.425	—	2.300	—	3.178	—	4.054	—	
アドレスセットアップタイム	t_{AS}	0.561	—	0.561	—	0.561	—	0.561	—	
アドレスホールドタイム	T_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.731	—	2.434	—	3.138	—	3.841	—	

第 8 章 RAM 仕様

表 8-10-3 1ポート/2ポート非同期型 RAM ライトサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.092	—	3.968	—	4.846	—	5.722	—	ns
ライトパルス幅	t_{WP}	1.513	—	2.389	—	3.267	—	4.143	—	
CS アクティブタイム	t_{WCS}	1.513	—	2.389	—	3.267	—	4.143	—	
アドレスセットアップタイム	t_{AS}	0.641	—	0.641	—	0.641	—	0.641	—	
アドレスホールドタイム	T_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.791	—	2.495	—	3.198	—	3.901	—	

表 8-10-4 1ポート/2ポート非同期型 RAM ライトサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.273	—	4.148	—	5.026	—	5.902	—	ns
ライトパルス幅	t_{WP}	1.614	—	2.489	—	3.367	—	4.243	—	
CS アクティブタイム	t_{WCS}	1.614	—	2.489	—	3.367	—	4.243	—	
アドレスセットアップタイム	t_{AS}	0.721	—	0.721	—	0.721	—	0.721	—	
アドレスホールドタイム	T_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.851	—	2.555	—	3.258	—	3.961	—	

表 8-10-5 1ポート/2ポート非同同期型 RAM ライトサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.397	—	4.272	—	5.150	—	6.026	—	ns
ライトパルス幅	t_{WP}	1.679	—	2.554	—	3.432	—	4.308	—	
CS アクティブタイム	t_{WCS}	1.679	—	2.554	—	3.432	—	4.308	—	
アドレスセットアップタイム	t_{AS}	0.780	—	0.780	—	0.780	—	0.780	—	
アドレスホールドタイム	T_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.895	—	2.593	—	3.296	—	4.000	—	

表 8-10-6 1ポート/2ポート非同同期型 RAM ライトサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.558	—	4.443	—	5.311	—	6.188	—	ns
ライトパルス幅	t_{WP}	1.764	—	2.639	—	3.517	—	4.394	—	
CS アクティブタイム	t_{WCS}	1.764	—	2.639	—	3.517	—	4.394	—	
アドレスセットアップタイム	t_{AS}	0.856	—	0.856	—	0.856	—	0.856	—	
アドレスホールドタイム	T_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	1.952	—	2.650	—	3.353	—	4.057	—	

第8章 RAM仕様

表 8-10-7 1ポート/2ポート非同期型 RAM ライトサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.720	—	4.595	—	5.473	—	6.349	—	ns
ライトパルス幅	t_{WP}	1.850	—	2.725	—	3.603	—	4.479	—	
CS アクティブタイム	t_{WCS}	1.850	—	2.725	—	3.603	—	4.479	—	
アドレスセットアップタイム	t_{AS}	0.932	—	0.932	—	0.932	—	0.932	—	
アドレスホールドタイム	T_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.009	—	2.707	—	3.410	—	4.113	—	

表 8-10-8 1ポート/2ポート非同期型 RAM ライトサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.880	—	4.755	—	5.633	—	6.509	—	ns
ライトパルス幅	t_{WP}	1.935	—	2.810	—	3.688	—	4.564	—	
CS アクティブタイム	t_{WCS}	1.935	—	2.810	—	3.688	—	4.564	—	
アドレスセットアップタイム	t_{AS}	1.007	—	1.007	—	1.007	—	1.007	—	
アドレスホールドタイム	T_{AH}	0.938	—	0.938	—	0.938	—	0.938	—	
データセットアップタイム	t_{DS}	0.000	—	0.000	—	0.000	—	0.000	—	
データホールドタイム	t_{DH}	2.066	—	2.764	—	3.467	—	4.170	—	

(2) 2.0V 仕様 ($V_{DD}=2.0\pm 0.2V$ 、 $T_a=-40\sim 85^\circ C$)

表 8-11 に 1 ポート/2 ポート非同期型 RAM リードサイクル、表 8-12 にライトサイクルを示します。
・リードサイクル

表 8-11-1 1 ポート/2 ポート非同期型 RAM リードサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	6.804	—	7.736	—	8.134	—	9.109	—	ns
アドレスアクセスタイム	t_{ACC}	—	6.804	—	7.736	—	8.134	—	9.109	
CS アクセスタイム	t_{ACS}	—	6.804	—	7.736	—	8.134	—	9.109	
RW アクセスタイム	t_{ARW}	—	6.804	—	7.736	—	8.134	—	9.109	
CS アクティブタイム	t_{RCS}	6.804	—	7.736	—	8.134	—	9.109	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

表 8-11-2 1 ポート/2 ポート非同期型 RAM リードサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	8.450	—	9.382	—	9.781	—	10.755	—	ns
アドレスアクセスタイム	t_{ACC}	—	8.450	—	9.382	—	9.781	—	10.755	
CS アクセスタイム	t_{ACS}	—	8.450	—	9.382	—	9.781	—	10.755	
RW アクセスタイム	t_{ARW}	—	8.450	—	9.382	—	9.781	—	10.755	
CS アクティブタイム	t_{RCS}	8.450	—	9.382	—	9.781	—	10.755	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

第 8 章 RAM 仕様

表 8-11-3 1ポート/2ポートRAM リードサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	10.096	–	11.028	–	11.427	–	12.402	–	ns
アドレスアクセスタイム	t_{ACC}	–	10.096	–	11.028	–	11.427	–	12.402	
CS アクセスタイム	t_{ACS}	–	10.096	–	11.028	–	11.427	–	12.402	
RW アクセスタイム	t_{ARW}	–	10.096	–	11.028	–	11.427	–	12.402	
CS アクティブタイム	t_{RCS}	10.096	–	11.028	–	11.427	–	12.402	–	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	–	0.257	–	0.332	–	0.407	–	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	–	0.257	–	0.332	–	0.407	–	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	–	0.257	–	0.332	–	0.407	–	

表 8-11-4 1ポート/2ポート非同期型RAM リードサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	11.743	–	12.675	–	13.074	–	14.048	–	ns
アドレスアクセスタイム	t_{ACC}	–	11.743	–	12.675	–	13.074	–	14.048	
CS アクセスタイム	t_{ACS}	–	11.743	–	12.675	–	13.074	–	14.048	
RW アクセスタイム	t_{ARW}	–	11.743	–	12.675	–	13.074	–	14.048	
CS アクティブタイム	t_{RCS}	11.743	–	12.675	–	13.074	–	14.048	–	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	–	0.257	–	0.332	–	0.407	–	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	–	0.257	–	0.332	–	0.407	–	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	–	0.257	–	0.332	–	0.407	–	

表 8-11-5 1ポート/2ポート非同期型 RAM リードサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	13.389	—	14.321	—	14.720	—	15.694	—	ns
アドレスアクセスタイム	t_{ACC}	—	13.389	—	14.321	—	14.720	—	15.694	
CS アクセスタイム	t_{ACS}	—	13.389	—	14.321	—	14.720	—	15.694	
RW アクセスタイム	t_{ARW}	—	13.389	—	14.321	—	14.720	—	15.694	
CS アクティブタイム	t_{RCS}	13.389	—	14.321	—	14.720	—	15.694	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

表 8-11-6 1ポート/2ポート非同期型 RAM リードサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	15.036	—	15.967	—	16.366	—	17.341	—	ns
アドレスアクセスタイム	t_{ACC}	—	15.036	—	15.967	—	16.366	—	17.341	
CS アクセスタイム	t_{ACS}	—	15.036	—	15.967	—	16.366	—	17.341	
RW アクセスタイム	t_{ARW}	—	15.036	—	15.967	—	16.366	—	17.341	
CS アクティブタイム	t_{RCS}	15.036	—	15.967	—	16.366	—	17.341	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

第 8 章 RAM 仕様

表 8-11-7 1ポート/2ポート非同期型 RAM リードサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	16.682	—	17.614	—	18.013	—	18.987	—	ns
アドレスアクセスタイム	t_{ACC}	—	16.682	—	17.614	—	18.013	—	18.987	
CS アクセスタイム	t_{ACS}	—	16.682	—	17.614	—	18.013	—	18.987	
RW アクセスタイム	t_{ARW}	—	16.682	—	17.614	—	18.013	—	18.987	
CS アクティブタイム	t_{RCS}	16.682	—	17.614	—	18.013	—	18.987	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

表 8-11-8 1ポート/2ポート非同期型 RAM リードサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	18.328	—	19.260	—	19.659	—	20.633	—	ns
アドレスアクセスタイム	t_{ACC}	—	18.328	—	19.260	—	19.659	—	20.633	
CS アクセスタイム	t_{ACS}	—	18.328	—	19.260	—	19.659	—	20.633	
RW アクセスタイム	t_{ARW}	—	18.328	—	19.260	—	19.659	—	20.633	
CS アクティブタイム	t_{RCS}	18.328	—	19.260	—	19.659	—	20.633	—	
アドレス変化後 出力ホールドタイム	t_{OH}	0.182	—	0.257	—	0.332	—	0.407	—	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.182	—	0.257	—	0.332	—	0.407	—	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.182	—	0.257	—	0.332	—	0.407	—	

・ ライトサイクル

表 8-12-1 1ポート/2ポート非同期型 RAM ライトサイクル (1/8)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	4.807	–	6.341	–	7.878	–	9.413	–	ns
ライトパルス幅	t_{WP}	2.720	–	4.254	–	5.791	–	7.326	–	
CS アクティブタイム	t_{WCS}	2.720	–	4.254	–	5.791	–	7.326	–	
アドレスセットアップタイム	t_{AS}	0.696	–	0.696	–	0.696	–	0.696	–	
アドレスホールドタイム	T_{AH}	1.391	–	1.391	–	1.391	–	1.391	–	
データセットアップタイム	t_{DS}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	2.652	–	3.712	–	4.773	–	5.834	–	

表 8-12-2 1ポート/2ポート非同期型 RAM ライトサイクル (2/8)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.008	–	6.542	–	8.079	–	9.614	–	ns
ライトパルス幅	t_{WP}	2.822	–	4.356	–	5.893	–	7.428	–	
CS アクティブタイム	t_{WCS}	2.822	–	4.356	–	5.893	–	7.428	–	
アドレスセットアップタイム	t_{AS}	0.795	–	0.795	–	0.795	–	0.795	–	
アドレスホールドタイム	T_{AH}	1.391	–	1.391	–	1.391	–	1.391	–	
データセットアップタイム	t_{DS}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	2.744	–	3.804	–	4.866	–	5.926	–	

第 8 章 RAM 仕様

表 8-12-3 1ポート/2ポート非同期型 RAM ライトサイクル (3/8)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.238	–	6.772	–	8.309	–	9.844	–	ns
ライトパルス幅	t_{WP}	2.953	–	4.487	–	6.024	–	7.559	–	
CS アクティブタイム	t_{WCS}	2.953	–	4.487	–	6.024	–	7.559	–	
アドレスセットアップタイム	t_{AS}	0.894	–	0.894	–	0.894	–	0.894	–	
アドレスホールドタイム	T_{AH}	1.391	–	1.391	–	1.391	–	1.391	–	
データセットアップタイム	t_{DS}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	2.836	–	3.897	–	4.958	–	6.019	–	

表 8-12-4 1ポート/2ポート非同期型 RAM ライトサイクル (4/8)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.497	–	7.031	–	8.568	–	10.103	–	ns
ライトパルス幅	t_{WP}	3.113	–	4.647	–	6.184	–	7.719	–	
CS アクティブタイム	t_{WCS}	3.113	–	4.647	–	6.184	–	7.719	–	
アドレスセットアップタイム	t_{AS}	0.993	–	0.993	–	0.993	–	0.993	–	
アドレスホールドタイム	T_{AH}	1.391	–	1.391	–	1.391	–	1.391	–	
データセットアップタイム	t_{DS}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	2.928	–	3.989	–	5.050	–	6.111	–	

表 8-12-5 1ポート/2ポート非同期型 RAM ライトサイクル (5/8)

パラメータ	記号	RAM1P17/ RAM2P17		RAM1P18/ RAM2P18		RAM1P19/ RAM2P19		RAM1P20/ RAM2P20		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.711	–	7.245	–	8.752	–	10.317	–	ns
ライトパルス幅	t_{WP}	3.223	–	4.757	–	6.294	–	7.829	–	
CS アクティブタイム	t_{WCS}	3.223	–	4.757	–	6.294	–	7.829	–	
アドレスセットアップタイム	t_{AS}	1.097	–	1.097	–	1.097	–	1.097	–	
アドレスホールドタイム	T_{AH}	1.391	–	1.391	–	1.391	–	1.391	–	
データセットアップタイム	t_{DS}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	3.009	–	4.069	–	5.131	–	6.191	–	

表 8-12-6 1ポート/2ポート非同期型 RAM ライトサイクル (6/8)

パラメータ	記号	RAM1P21/ RAM2P21		RAM1P22/ RAM2P22		RAM1P23/ RAM2P23		RAM1P24/ RAM2P24		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	5.941	–	7.475	–	9.012	–	10.547	–	ns
ライトパルス幅	t_{WP}	3.353	–	4.887	–	6.424	–	7.959	–	
CS アクティブタイム	t_{WCS}	3.353	–	4.887	–	6.424	–	7.959	–	
アドレスセットアップタイム	t_{AS}	1.197	–	1.197	–	1.197	–	1.197	–	
アドレスホールドタイム	T_{AH}	1.391	–	1.391	–	1.391	–	1.391	–	
データセットアップタイム	t_{DS}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	3.098	–	4.159	–	5.220	–	6.281	–	

第 8 章 RAM 仕様

データホールドタイム	t_{DH}	2.744	–	3.804	–	4.866	–	5.926	–	
------------	----------	-------	---	-------	---	-------	---	-------	---	--

表 8-12-7 1ポート/2ポート非同期型 RAM ライトサイクル (7/8)

パラメータ	記号	RAM1P25/ RAM2P25		RAM1P26/ RAM2P26		RAM1P27/ RAM2P27		RAM1P28/ RAM2P28		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	6.171	–	7.705	–	9.242	–	10.777	–	ns
ライトパルス幅	t_{WP}	3.483	–	5.017	–	6.554	–	8.089	–	
CS アクティブタイム	t_{WCS}	3.483	–	5.017	–	6.554	–	8.089	–	
アドレスセットアップタイム	t_{AS}	1.297	–	1.297	–	1.297	–	1.297	–	
アドレスホールドタイム	T_{AH}	1.391	–	1.391	–	1.391	–	1.391	–	
データセットアップタイム	t_{DS}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	3.188	–	4.249	–	5.310	–	6.371	–	

表 8-12-8 1ポート/2ポート非同期型 RAM ライトサイクル (8/8)

パラメータ	記号	RAM1P29/ RAM2P29		RAM1P30/ RAM2P30		RAM1P31/ RAM2P31		RAM1P32/ RAM2P32		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	6.400	–	7.934	–	9.471	–	11.006	–	ns
ライトパルス幅	t_{WP}	3.613	–	5.147	–	6.684	–	8.219	–	
CS アクティブタイム	t_{WCS}	3.613	–	5.147	–	6.684	–	8.219	–	
アドレスセットアップタイム	t_{AS}	1.396	–	1.396	–	1.396	–	1.396	–	
アドレスホールドタイム	T_{AH}	1.391	–	1.391	–	1.391	–	1.391	–	
データセットアップタイム	t_{DS}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	3.278	–	4.339	–	5.400	–	6.461	–	

8.1.7 非同期型 RAM タイミングチャート

(1) 1ポート非同期型 RAM

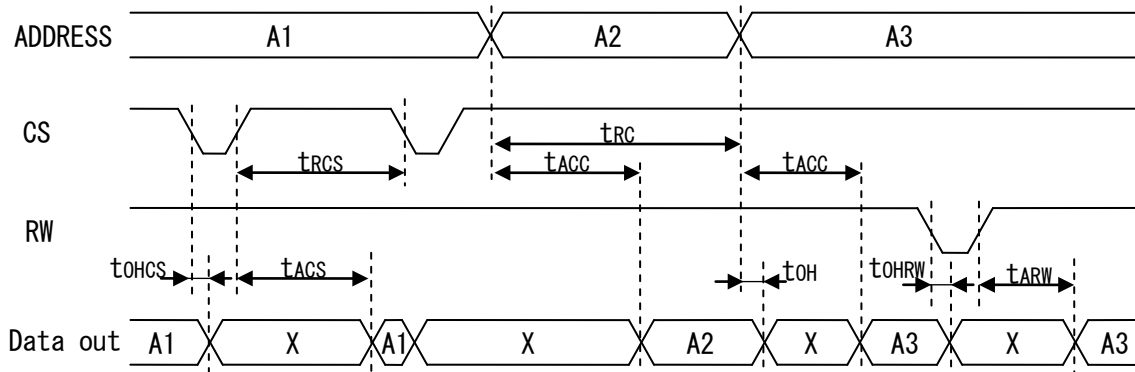


図 8-2 1ポート非同期型 RAM リードサイクル

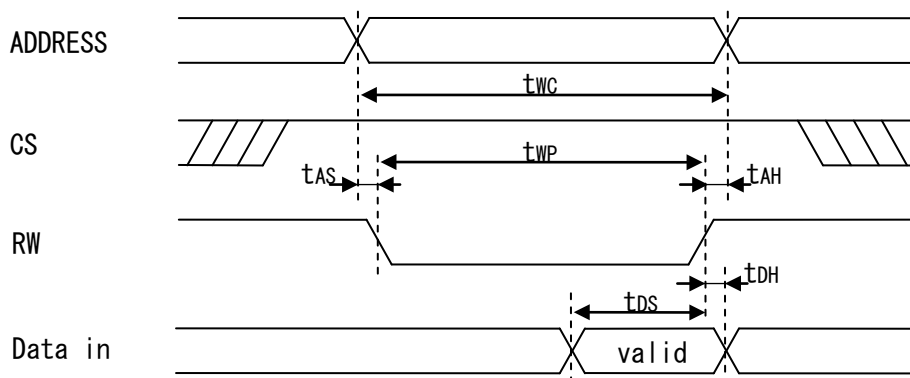


図 8-3 1ポート非同期型 RAM ライトサイクル (RW 制御)

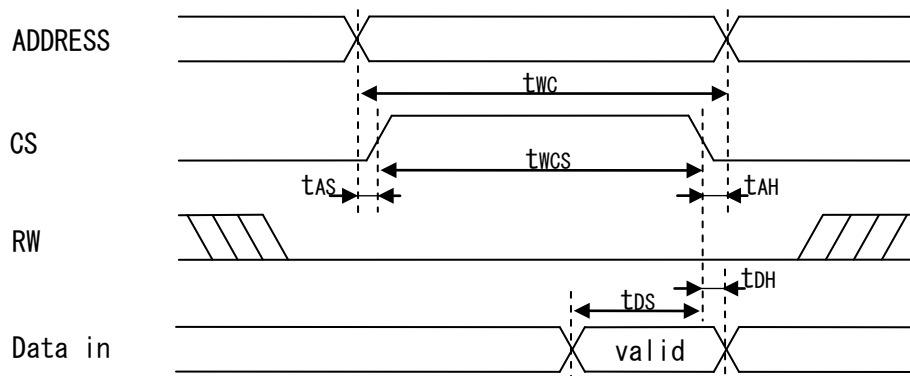


図 8-4 1ポート非同期型 RAM ライトサイクル (CS 制御)

第 8 章 RAM 仕様

(2) 2ポート非同期型 RAM

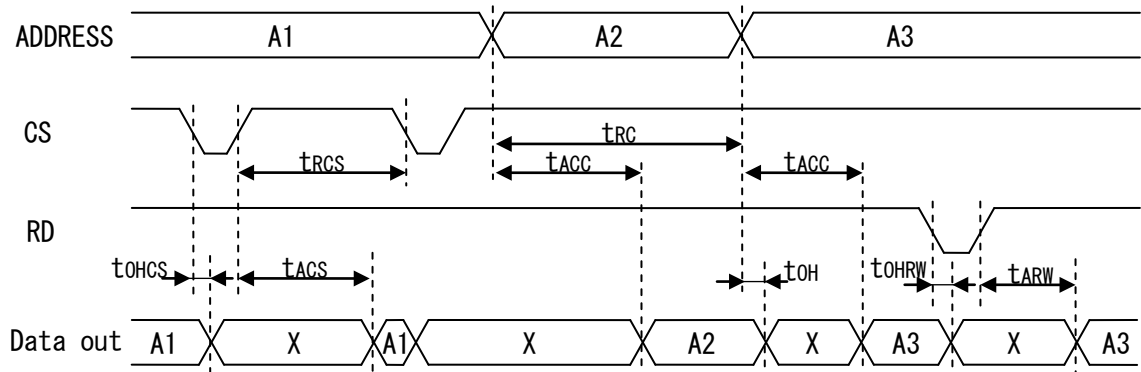


図 8-5 2ポート非同期型 RAM リードサイクル

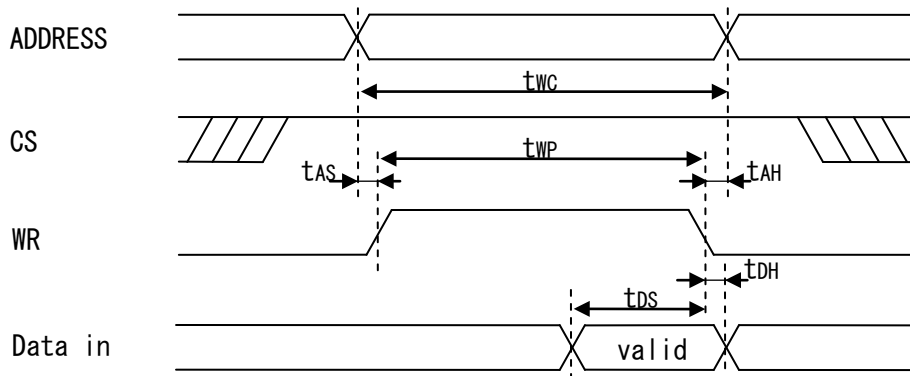


図 8-6 2ポート非同期型 RAM ライトサイクル (WR 制御)

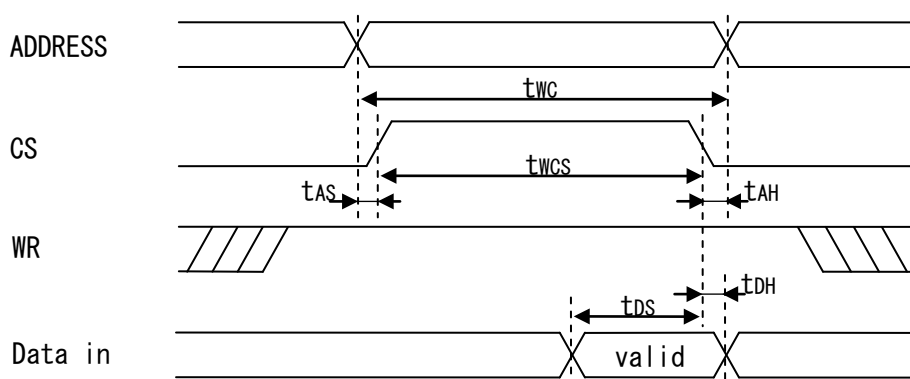


図 8-7 2ポート非同期型 RAM ライトサイクル (CS 制御)

8.2 同期型 RAM

8.2.1 同期型 RAM 特長

- クロック同期型 1 ポート RAM および 2 ポート RAM を用意
- チップ選択、ライトイネーブル、アドレス、データ入力部にラッチ回路を備えており、クロックに同期した高速動作が可能
- データの入力ポートと出力ポートは分離
- ワード数は 4Word 刻みで 16 から 256Word、ビット数は 1Bit 刻みで 1 から 32Bit の範囲で構成可能
- 最大構成 : 8Kbits/module

第 8 章 RAM 仕様

8.2.2 同期型 RAM サイズ

RAM の X 方向サイズ、Y 方向サイズおよび使用する BC 数は、次の各々の式で計算します。

(1) 1 ポート RAM (同期)

① 1 ポート RAM

$$X \text{ 方向サイズ} : RX = 27 + 7 \times \text{Word 数} \div 4 + 8$$

$$Y \text{ 方向サイズ} : RY = \alpha + 7 + \text{Bit 数} \times 2 + 2$$

$$\text{ベーシックセル数} : \text{RAMBCS} = RX \times RY$$

α は、 $16 \leq \text{Word 数} \leq 32$ の場合 : 3、 $36 \leq \text{Word 数} \leq 256$ の場合 : 4

表 8-13 1 ポート同期型 RAM の構成例と BC 数

ワード数 \ ビット数	8 ビット	16 ビット	24 ビット	32 ビット
32 ワード	2,548	4,004	5,460	6,916
64 ワード	4,263	6,615	8,967	11,319
128 ワード	7,511	11,655	15,799	19,943
256 ワード	14,007	21,735	29,463	37,191

(2) 2 ポート RAM (同期)

$$X \text{ 方向サイズ} : RX = 24 + 7 \times \text{Word 数} \div 4 + 8$$

$$Y \text{ 方向サイズ} : RY = \alpha + 7 + \text{Bit 数} \times 2 + 2$$

$$\text{ベーシックセル数} : \text{RAMBCS} = RX \times RY$$

α は、 $16 \leq \text{Word 数} \leq 32$ の場合 : 4、 $36 \leq \text{Word 数} \leq 256$ の場合 : 6

表 8-14 2 ポート同期型 RAM の構成例と BC 数

ワード数 \ ビット数	8 ビット	16 ビット	24 ビット	32 ビット
32 ワード	2,552	3,960	5,368	6,776
64 ワード	4,464	6,768	9,072	11,376
128 ワード	7,936	12,032	16,128	20,224
256 ワード	14,880	22,560	30,240	37,920

8.2.3 RAM の搭載可否判断

同期型 RAM の各マスタへの搭載可否判断については、8.1.3 項の記載内容をご参照ください。

8.2.4 同期型 RAM 機能説明

(1) 1ポート同期型 RAM

① 入出力信号とブロック図

表 8-15 1ポート同期型 RAM の信号説明

入出力信号		機能説明
記号	名前	
CK	クロック入力	クロック入力 (CK) の立ち上がりエッジ (L→H) でチップ選択 (XCS)、ライトイネーブル (XWE)、アドレス入力 (A0~An)、データ入力 (D0~Dn) をラッチし、RAM 内部にとりこみます。
XCS	チップ選択	クロック入力 (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時に動作を開始します。
XWE	ライトイネーブル	クロック入力 (CK) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み、H の時は読み出し動作を行いません。
A0~An	アドレス入力	クロック入力 (CK) の立ち上がりエッジでラッチされます。
D0~Dn	データ入力	クロック入力 (CK) の立ち上がりエッジでラッチされます。ライトイネーブル (XWE) が L の時メモリセルに書き込まれます。
Y0~Yn	データ出力	読み出し時にはクロック入力 (CK) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。書き込み時には書き込みデータが CK に同期してこの端子に出力されます。よって、書き込み時には先にリードされたデータが保持されないことにご注意ください。

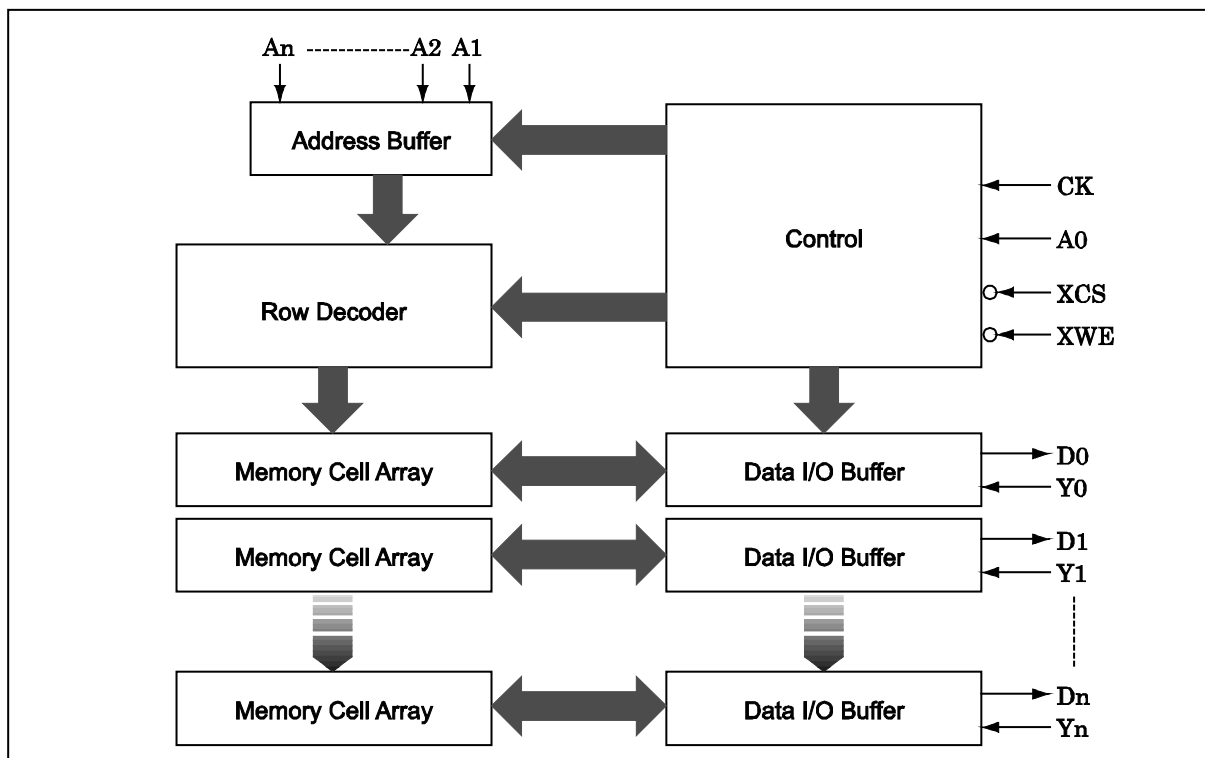


図 8-8 1ポート同期型 RAM のブロック図

第 8 章 RAM 仕様

② 動作説明

書き込みはクロック入力 (CK) が立ち上がる前に、チップ選択 (XCS)、ライトイネーブル (XWE) をイネーブル (L) にし、アドレス入力 (A0~An) とデータ入力 (D0~Dn) をセットします。クロック入力の立ち上がりで、チップ選択、ライトイネーブル、アドレス入力、データ入力のすべての信号がラッチされ書き込み動作を開始します。クロック入力の次の立ち上がりまではデータ出力端子 (Y0~Yn) から書き込みデータが出力されます。

読み出しはクロック入力 (CK) が立ち上がる前に、チップ選択 (XCS) をイネーブル (L) に、ライトイネーブル (XWE) をディセーブル (H) にし、アドレス入力 (A0~An) をセットします。クロック入力の立ち上がりで、チップ選択、ライトイネーブル、アドレス入力のすべての信号がラッチされ読み出し動作を開始します。この期間中はクロックの立ち上がりからアクセスタイム経過した後にデータが出力端子 (Y0~Yn) から出力されません。

表 8-16 1 ポート同期型 RAM の動作真理値表

CK	XCS	XWE	出力の状態	動作モード
L→H	L	H	Read Data	読み出し
L→H	L	L	Write Data	書き込み
L→H	H	L or H	Data Hold	スタンバイ

(2) 2 ポート同期型 RAM

① 入出力信号とブロック図

第 1 ポートは書き込み、第 2 ポートは読み出し専用です。ポートごとにクロック入力端子が備わっており、各々を独立した周波数とタイミングで動作させることができます。

第 1 ポートのライトイネーブル (XWA)、第 2 ポートのリードイネーブル (XRB) がともに 'H' をラッチしている時はスタンバイ状態となります。

表 8-17 2 ポート同期型 RAM の信号説明

第 1 ポート用信号 (書き込み専用)

入出力信号		機能説明
記号	名前	
CKA	クロック入力	クロック入力 (CKA) の立ち上がりエッジ (L→H) でライトイネーブル (XWA)、アドレス入力 (AA0~AA _n)、データ入力 (D0~D _n) をラッチし、RAM 内部にとりこみます。
XWA	ライトイネーブル	クロック入力 (CKA) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は書き込み動作を行いません。
AA0~AA _n	アドレス入力	クロック入力 (CKA) の立ち上がりエッジでラッチされます。
D0~D _n	データ入力	クロック入力 (CKA) の立ち上がりエッジでラッチされます。ライトイネーブル (XWA) が L の時メモリセルに書き込まれます。

第 2 ポート用信号（読み出し専用）

入出力信号		機能説明
記号	名前	
CKB	クロック入力	クロック入力 (CKB) の立ち上がりエッジ (L→H) でリードイネーブル (XRB)、アドレス入力 (AB0~ABn) をラッチし、RAM 内部にとりこみます。
XRB	リードイネーブル	クロック入力 (CKB) の立ち上がりエッジでラッチされます。ラッチされた値が L の時は読み出し動作を行いません。
AB0~ABn	アドレス入力	クロック入力 (CKB) の立ち上がりエッジでラッチされます。
Y0~Yn	データ出力	クロック入力 (CKB) の立ち上がりエッジからアクセス時間だけ経過した後に、メモリセルからのデータが出力されます。

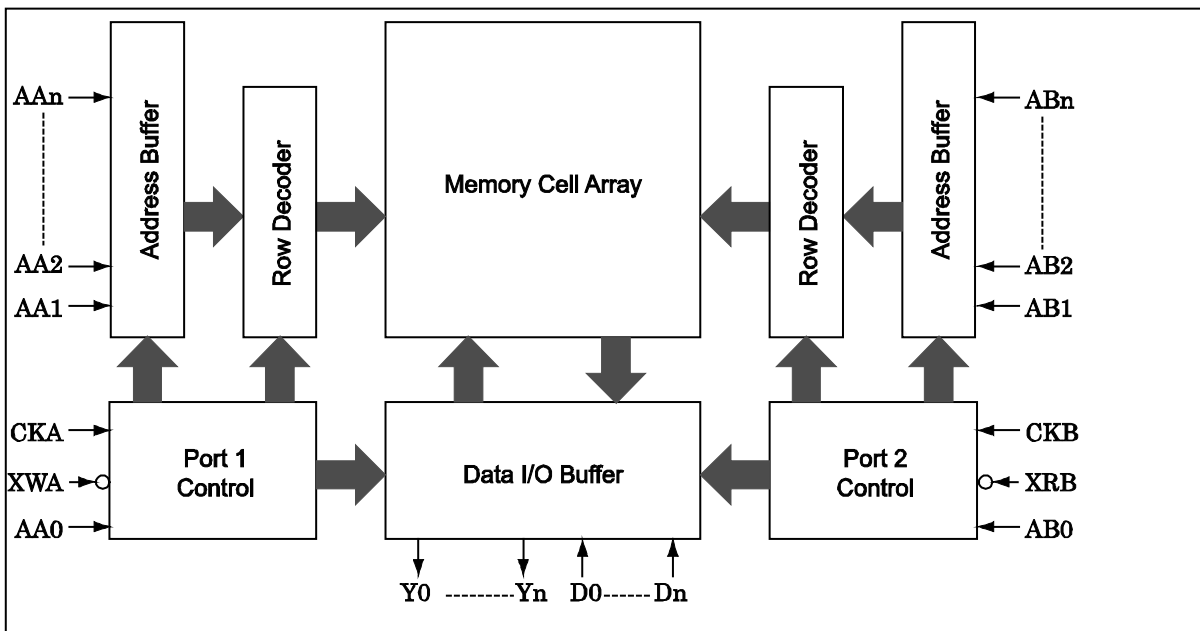


図 8-9 2ポート同期型 RAM のブロック図

② 動作説明

書き込みはクロック入力 (CKA) が立ち上がる前に、ライトイネーブル (XWA) をイネーブル (L) にし、アドレス入力 (AA0~AAn) とデータ入力 (D0~Dn) をセットします。クロック入力 (CKA) の立ち上がりで、ライトイネーブル (XWA)、アドレス入力 (AA0~AAn)、データ入力 (D0~Dn) のすべての信号がラッチされ書き込み動作を開始します。

読み出しはクロック入力 (CKB) が立ち上がる前に、リードイネーブル (XRB) をイネーブル (L) にし、アドレス入力 (AB0~ABn) をセットします。クロック入力 (CKB) の立ち上がりで、リードイネーブル (XRB)、アドレス入力 (AB0~ABn) のすべての信号がラッチされ読み出し動作を開始します。この期間中はクロック入力 (CKB) の立ち上がりからアクセスタイム経過した後にデータが出力端子 (Y0~Yn) から出力されます。

表 8-18 2ポート同期型 RAM の動作真理値表

(第 1 ポート (書き込み専用) 動作真理値表)

CKA	XWA	動作モード
L→H	H	スタンバイ
L→H	L	書き込み

(第 2 ポート (読み出し専用) 動作真理値表)

CKB	XRB	出力の状態	動作モード
L→H	H	Data Hold	スタンバイ
L→H	L	Read Data	読み出し

なお、書き込みと読み出しを同一メモリに同時に行った場合は、メモリへのデータの書き込みは行われますが、読み出しデータは不定となります。

8.2.5 非存在アドレスへのアクセス禁止

RAM の構成において、48 ワード、88 ワードといった中間ワード構成の RAM を使用する場合、非存在アドレスへのアクセスの可能性が考えられます。

実際の IC では、非存在アドレスに Read 動作を行なった場合は、対象となるワード線が存在せず、すべてのワード線が OFF 状態になってしまうため、全ビット線がフローティング状態になってしまいます。そのため、

① すべてのビット線がフローティング状態のまま Read 動作が行われてしまうため、RAM の出力が全ビット“不定”となってしまう。

② すべてのビット線がフローティング状態のまま Read 動作が行われてしまうため、回路の一部で電流が流れる経路が発生してしまう。この電流値は RAM の構成・規模によって異なりますが、IC 全体の動作電流・静止時電流にバラツキを発生させてしまう。

等の状態が起こります。したがって、非存在アドレスへのアクセスに関しては禁止します。

論理シミュレーションにおいては、Read/Write オペレーション時のクロックの立ち上がりタイミングで、非存在アドレスチェックを行い、非存在アドレスのアクセス時にタイミングエラーを出力します。

8.2.6 同期型 RAM 遅延パラメータ

同期型 RAM の遅延パラメータは、Word/Bit 構成により変化します。したがって、Word/Bit 構成に対応したセルを個別に用意しています。クロック同期型 RAM をご使用いただく際は、ご使用いただく RAM の 1 ポート/2 ポート、Word/Bit 構成を弊社営業担当者までお知らせください。

1 ポート RAM および 2 ポート RAM の代表的な Word/Bit 構成に対応するセル名を、それぞれ表 8-19、表 8-20 に示します。同期型 RAM のセル名は Word/Bit 構成に応じて以下のルールでネーミングされています。

1port RAM “SJXXXXYY”
 2port RAM “SKXXXXYY” XXX: Word 数 (16 進数)、YY: Bit 数 (16 進数)

Word/Bit 構成が構成可能範囲を越える同期型 RAM が必要な場合は、複数個の同期型 RAM を組み合わせて構成してください。

表 8-19 1 ポート同期型 RAM の Word/Bit 構成によるセル名対応表

ワード数 ビット数	64 ワード	128 ワード	192 ワード	256 ワード
8 ビット	SJ04008	SJ08008	SJ0C008	SJ10008
16 ビット	SJ04010	SJ08010	SJ0C010	SJ10010
24 ビット	SJ04018	SJ08018	SJ0C018	SJ10018
32 ビット	SJ04020	SJ08020	SJ0C020	SJ10020

表 8-20 2 ポート同期型 RAM の Word/Bit 構成によるセル名称対応表

ワード数 ビット数	64 ワード	128 ワード	192 ワード	256 ワード
8 ビット	SK04008	SK08008	SK0C008	SK10008
16 ビット	SK04010	SK08010	SK0C010	SK10010
24 ビット	SK04018	SK08018	SK0C018	SK10018
32 ビット	SK04020	SK08020	SK0C020	SK10020

第 8 章 RAM 仕様

(1) 2.5V 仕様 (VDD=3.0±0.3V、Ta= -40~85°C)

① 64 ワード

表 8-21-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	3.957	-	4.023	-	4.110	-	4.193	ns
リードサイクルタイム	t_{RCY}	3.957	-	4.023	-	4.110	-	4.193	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.000	-	1.000	-	1.000	-	1.000	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.000	-	1.000	-	1.000	-	1.000	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.000	-	1.000	-	1.000	-	1.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.624	-	0.650	-	0.666	-	0.680	-	

表 8-21-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.602	-	3.712	-	3.826	-	3.940	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.000	-	1.000	-	1.000	-	1.000	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE セットアップタイム	t_{WES}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.000	-	1.000	-	1.000	-	1.000	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.000	-	1.000	-	1.000	-	1.000	-	
ライトデータホールドタイム	t_{WDH}	1.299	-	1.338	-	1.367	-	1.397	-	
ライトデータスルータイム	t_{WDT}	-	3.602	-	3.712	-	3.826	-	3.940	

② 128 ワード

表 8-22-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	4.995	-	5.060	-	5.132	-	5.241	ns
リードサイクルタイム	t_{RCY}	4.995	-	5.060	-	5.132	-	5.241	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XGS セットアップタイム	t_{CSS}	1.000	-	1.000	-	1.000	-	1.000	-	
XGS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.000	-	1.000	-	1.000	-	1.000	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.000	-	1.000	-	1.000	-	1.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.641	-	0.659	-	0.675	-	0.693	-	

表 8-22-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.685	-	3.807	-	3.909	-	4.018	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XGS セットアップタイム	t_{CSS}	1.000	-	1.000	-	1.000	-	1.000	-	
XGS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE セットアップタイム	t_{WES}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.000	-	1.000	-	1.000	-	1.000	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.000	-	1.000	-	1.000	-	1.000	-	
ライトデータホールドタイム	t_{WDH}	1.341	-	1.376	-	1.426	-	1.433	-	
ライトデータスルータイム	t_{WDT}	-	3.685	-	3.807	-	3.909	-	4.018	

第 8 章 RAM 仕様

③ 192 ワード

表 8-23-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	6.076	-	6.133	-	6.198	-	6.268	ns
リードサイクルタイム	t_{RCY}	6.076	-	6.133	-	6.198	-	6.268	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XGS セットアップタイム	t_{CSS}	1.000	-	1.000	-	1.000	-	1.000	-	
XGS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.000	-	1.000	-	1.000	-	1.000	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.000	-	1.000	-	1.000	-	1.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.652	-	0.671	-	0.690	-	0.705	-	

表 8-23-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.748	-	3.857	-	3.970	-	4.077	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XGS セットアップタイム	t_{CSS}	1.000	-	1.000	-	1.000	-	1.000	-	
XGS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE セットアップタイム	t_{WES}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.000	-	1.000	-	1.000	-	1.000	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.000	-	1.000	-	1.000	-	1.000	-	
ライトデータホールドタイム	t_{WDH}	1.372	-	1.407	-	1.440	-	1.467	-	
ライトデータスルータイム	t_{WDT}	-	3.748	-	3.857	-	3.970	-	4.077	

③ 256 ワード

表 8-24-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	7.004	-	7.073	-	7.138	-	7.208	ns
リードサイクルタイム	t_{RCY}	7.004	-	7.073	-	7.138	-	7.208	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.000	-	1.000	-	1.000	-	1.000	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.000	-	1.000	-	1.000	-	1.000	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.000	-	1.000	-	1.000	-	1.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.652	-	0.672	-	0.690	-	0.705	-	

表 8-24-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	3.794	-	3.901	-	4.004	-	4.118	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.000	-	1.000	-	1.000	-	1.000	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE セットアップタイム	t_{WES}	1.000	-	1.000	-	1.000	-	1.000	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.000	-	1.000	-	1.000	-	1.000	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.000	-	1.000	-	1.000	-	1.000	-	
ライトデータホールドタイム	t_{WDH}	1.398	-	1.431	-	1.464	-	1.491	-	
ライトデータスルータイム	t_{WDT}	-	3.794	-	3.901	-	4.004	-	4.118	

第 8 章 RAM 仕様

(2) 2.0V 仕様 ($V_{DD}=2.0\pm 0.2V$ 、 $T_a=-40\sim 85^\circ C$)

① 64 ワード

表 8-25-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	–	5.630	–	5.725	–	5.848	–	5.966	ns
リードサイクルタイム	t_{RCY}	5.630	–	5.725	–	5.848	–	5.966	–	
クロックハイパルス幅	t_{CKH}	0.500	–	0.500	–	0.500	–	0.500	–	
クロックローパルス幅	t_{CKL}	0.500	–	0.500	–	0.500	–	0.500	–	
XCS セットアップタイム	t_{CSS}	1.500	–	1.500	–	1.500	–	1.500	–	
XCS ホールドタイム	t_{CSH}	0.000	–	0.000	–	0.000	–	0.000	–	
XWE セットアップタイム	t_{WES}	1.500	–	1.500	–	1.500	–	1.500	–	
XWE ホールドタイム	t_{WEH}	0.000	–	0.000	–	0.000	–	0.000	–	
XRB セットアップタイム	t_{RBS}	1.500	–	1.500	–	1.500	–	1.500	–	
XRB ホールドタイム	t_{RBH}	0.000	–	0.000	–	0.000	–	0.000	–	
アドレスセットアップタイム	t_{AS}	1.500	–	1.500	–	1.500	–	1.500	–	
アドレスホールドタイム	t_{AH}	0.000	–	0.000	–	0.000	–	0.000	–	
アウトプットホールドタイム	t_{OH}	0.758	–	0.789	–	0.808	–	0.825	–	

表 8-25-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.125	–	5.282	–	5.445	–	5.607	–	ns
クロックハイパルス幅	t_{CKH}	0.500	–	0.500	–	0.500	–	0.500	–	
クロックローパルス幅	t_{CKL}	0.500	–	0.500	–	0.500	–	0.500	–	
XCS セットアップタイム	t_{CSS}	1.500	–	1.500	–	1.500	–	1.500	–	
XCS ホールドタイム	t_{CSH}	0.000	–	0.000	–	0.000	–	0.000	–	
アドレスセットアップタイム	t_{AS}	1.500	–	1.500	–	1.500	–	1.500	–	
XWE セットアップタイム	t_{WES}	1.500	–	1.500	–	1.500	–	1.500	–	
XWE ホールドタイム	t_{WEH}	0.000	–	0.000	–	0.000	–	0.000	–	
XWA セットアップタイム	t_{WAS}	1.500	–	1.500	–	1.500	–	1.500	–	
XWA ホールドタイム	t_{WAH}	0.000	–	0.000	–	0.000	–	0.000	–	
アドレスホールドタイム	t_{AH}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	0.000	–	0.000	–	0.000	–	0.000	–	
データセットアップタイム	t_{DS}	1.500	–	1.500	–	1.500	–	1.500	–	
ライトデータホールドタイム	t_{WDH}	1.577	–	1.624	–	1.660	–	1.697	–	
ライトデータスルータイム	t_{WDT}	–	5.125	–	5.282	–	5.445	–	5.607	

② 128 ワード

表 8-26-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	7.108	-	7.200	-	7.302	-	7.458	ns
リードサイクルタイム	t_{RCY}	7.108	-	7.200	-	7.302	-	7.458	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.500	-	1.500	-	1.500	-	1.500	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.500	-	1.500	-	1.500	-	1.500	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.500	-	1.500	-	1.500	-	1.500	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.500	-	1.500	-	1.500	-	1.500	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.778	-	0.800	-	0.820	-	0.841	-	

表 8-26-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.243	-	5.417	-	5.563	-	5.718	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.500	-	1.500	-	1.500	-	1.500	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.500	-	1.500	-	1.500	-	1.500	-	
XWE セットアップタイム	t_{WES}	1.500	-	1.500	-	1.500	-	1.500	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.500	-	1.500	-	1.500	-	1.500	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.500	-	1.500	-	1.500	-	1.500	-	
ライトデータホールドタイム	t_{WDH}	1.629	-	1.671	-	1.732	-	1.741	-	
ライトデータスルータイム	t_{WDT}	-	5.243	-	5.417	-	5.563	-	5.718	

第 8 章 RAM 仕様

③ 192 ワード

表 8-27-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	8.646	-	8.727	-	8.820	-	8.919	ns
リードサイクルタイム	t_{RCY}	8.646	-	8.727	-	8.820	-	8.919	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.500	-	1.500	-	1.500	-	1.500	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.500	-	1.500	-	1.500	-	1.500	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.500	-	1.500	-	1.500	-	1.500	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.500	-	1.500	-	1.500	-	1.500	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.792	-	0.815	-	0.837	-	0.857	-	

表 8-27-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.333	-	5.489	-	5.648	-	5.801	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.500	-	1.500	-	1.500	-	1.500	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.500	-	1.500	-	1.500	-	1.500	-	
XWE セットアップタイム	t_{WES}	1.500	-	1.500	-	1.500	-	1.500	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.500	-	1.500	-	1.500	-	1.500	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.500	-	1.500	-	1.500	-	1.500	-	
ライトデータホールドタイム	t_{WDH}	1.666	-	1.709	-	1.748	-	1.782	-	
ライトデータスルータイム	t_{WDT}	-	5.333	-	5.489	-	5.648	-	5.801	

③ 256 ワード

表 8-28-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	9.967	-	10.064	-	10.156	-	10.256	ns
リードサイクルタイム	t_{RCY}	9.967	-	10.064	-	10.156	-	10.256	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.500	-	1.500	-	1.500	-	1.500	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.500	-	1.500	-	1.500	-	1.500	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.500	-	1.500	-	1.500	-	1.500	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.500	-	1.500	-	1.500	-	1.500	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.792	-	0.815	-	0.837	-	0.857	-	

表 8-28-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.398	-	5.551	-	5.697	-	5.859	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.500	-	1.500	-	1.500	-	1.500	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.500	-	1.500	-	1.500	-	1.500	-	
XWE セットアップタイム	t_{WES}	1.500	-	1.500	-	1.500	-	1.500	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.500	-	1.500	-	1.500	-	1.500	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.500	-	1.500	-	1.500	-	1.500	-	
ライトデータホールドタイム	t_{WDH}	1.698	-	1.738	-	1.777	-	1.811	-	
ライトデータスルータイム	t_{WDT}	-	5.398	-	5.551	-	5.697	-	5.859	

第 8 章 RAM 仕様

(3) 1.8V 仕様 ($V_{DD}=2.0\pm 0.2V$ 、 $T_a=-40\sim 85^\circ C$)

① 64 ワード

表 8-29-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	–	6.191	–	6.294	–	6.409	–	6.534	ns
リードサイクルタイム	t_{RCY}	6.191	–	6.294	–	6.409	–	6.534	–	
クロックハイパルス幅	t_{CKH}	0.500	–	0.500	–	0.500	–	0.500	–	
クロックローパルス幅	t_{CKL}	0.500	–	0.500	–	0.500	–	0.500	–	
XCS セットアップタイム	t_{CSS}	1.700	–	1.700	–	1.700	–	1.700	–	
XCS ホールドタイム	t_{CSH}	0.000	–	0.000	–	0.000	–	0.000	–	
XWE セットアップタイム	t_{WES}	1.700	–	1.700	–	1.700	–	1.700	–	
XWE ホールドタイム	t_{WEH}	0.000	–	0.000	–	0.000	–	0.000	–	
XRB セットアップタイム	t_{RBS}	1.700	–	1.700	–	1.700	–	1.700	–	
XRB ホールドタイム	t_{RBH}	0.000	–	0.000	–	0.000	–	0.000	–	
アドレスセットアップタイム	t_{AS}	1.700	–	1.700	–	1.700	–	1.700	–	
アドレスホールドタイム	t_{AH}	0.000	–	0.000	–	0.000	–	0.000	–	
アウトプットホールドタイム	t_{OH}	0.828	–	0.859	–	0.885	–	0.918	–	

表 8-29-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ04008/ SK04008		SJ04010/ SK04010		SJ04018/ SK04018		SJ04020/ SK04020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.684	–	5.841	–	6.003	–	6.157	–	ns
クロックハイパルス幅	t_{CKH}	0.500	–	0.500	–	0.500	–	0.500	–	
クロックローパルス幅	t_{CKL}	0.500	–	0.500	–	0.500	–	0.500	–	
XCS セットアップタイム	t_{CSS}	1.700	–	1.700	–	1.700	–	1.700	–	
XCS ホールドタイム	t_{CSH}	0.000	–	0.000	–	0.000	–	0.000	–	
アドレスセットアップタイム	t_{AS}	1.700	–	1.700	–	1.700	–	1.700	–	
XWE セットアップタイム	t_{WES}	1.700	–	1.700	–	1.700	–	1.700	–	
XWE ホールドタイム	t_{WEH}	0.000	–	0.000	–	0.000	–	0.000	–	
XWA セットアップタイム	t_{WAS}	1.700	–	1.700	–	1.700	–	1.700	–	
XWA ホールドタイム	t_{WAH}	0.000	–	0.000	–	0.000	–	0.000	–	
アドレスホールドタイム	t_{AH}	0.000	–	0.000	–	0.000	–	0.000	–	
データホールドタイム	t_{DH}	0.000	–	0.000	–	0.000	–	0.000	–	
データセットアップタイム	t_{DS}	1.700	–	1.700	–	1.700	–	1.700	–	
ライトデータホールドタイム	t_{WDH}	1.958	–	2.011	–	2.074	–	2.116	–	
ライトデータスルータイム	t_{WDT}	–	5.684	–	5.841	–	6.003	–	6.157	

② 128 ワード

表 8-30-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	8.153	-	8.175	-	8.280	-	8.390	ns
リードサイクルタイム	t_{RCY}	8.153	-	8.175	-	8.280	-	8.390	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XGS セットアップタイム	t_{CSS}	1.700	-	1.700	-	1.700	-	1.700	-	
XGS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.700	-	1.700	-	1.700	-	1.700	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.700	-	1.700	-	1.700	-	1.700	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.700	-	1.700	-	1.700	-	1.700	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.847	-	0.879	-	0.905	-	0.934	-	

表 8-30-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ08008/ SK08008		SJ08010/ SK08010		SJ08018/ SK08018		SJ08020/ SK08020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.789	-	5.971	-	6.128	-	6.281	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XGS セットアップタイム	t_{CSS}	1.700	-	1.700	-	1.700	-	1.700	-	
XGS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.700	-	1.700	-	1.700	-	1.700	-	
XWE セットアップタイム	t_{WES}	1.700	-	1.700	-	1.700	-	1.700	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.700	-	1.700	-	1.700	-	1.700	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.700	-	1.700	-	1.700	-	1.700	-	
ライトデータホールドタイム	t_{WDH}	2.009	-	2.066	-	2.121	-	2.170	-	
ライトデータスルータイム	t_{WDT}	-	5.789	-	5.971	-	6.128	-	6.281	

第 8 章 RAM 仕様

③ 192 ワード

表 8-32-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	9.873	-	9.963	-	10.064	-	10.164	ns
リードサイクルタイム	t_{RCY}	9.873	-	9.963	-	10.064	-	10.164	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XGS セットアップタイム	t_{CSS}	1.700	-	1.700	-	1.700	-	1.700	-	
XGS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.700	-	1.700	-	1.700	-	1.700	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.700	-	1.700	-	1.700	-	1.700	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.700	-	1.700	-	1.700	-	1.700	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.859	-	0.890	-	0.917	-	0.943	-	

表 8-32-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ0C008/ SK0C008		SJ0C010/ SK0C010		SJ0C018/ SK0C018		SJ0C020/ SK0C020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.899	-	6.068	-	6.218	-	6.377	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XGS セットアップタイム	t_{CSS}	1.700	-	1.700	-	1.700	-	1.700	-	
XGS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.700	-	1.700	-	1.700	-	1.700	-	
XWE セットアップタイム	t_{WES}	1.700	-	1.700	-	1.700	-	1.700	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.700	-	1.700	-	1.700	-	1.700	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.700	-	1.700	-	1.700	-	1.700	-	
ライトデータホールドタイム	t_{WDH}	2.059	-	2.120	-	2.167	-	2.225	-	
ライトデータスルータイム	t_{WDT}	-	5.899	-	6.068	-	6.218	-	6.377	

④ 256 ワード

表 8-33-1 1ポート/2ポート同期型 RAM リードサイクル AC 特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
アクセスタイム	t_{ACS}/t_{ACC}	-	11.503	-	11.602	-	11.711	-	11.807	ns
リードサイクルタイム	t_{RCY}	11.503	-	11.602	-	11.711	-	11.807	-	
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.700	-	1.700	-	1.700	-	1.700	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWE セットアップタイム	t_{WES}	1.700	-	1.700	-	1.700	-	1.700	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XRB セットアップタイム	t_{RBS}	1.700	-	1.700	-	1.700	-	1.700	-	
XRB ホールドタイム	t_{RBH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.700	-	1.700	-	1.700	-	1.700	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
アウトプットホールドタイム	t_{OH}	0.867	-	0.899	-	0.925	-	0.950	-	

表 8-33-2 1ポート/2ポート同期型 RAM ライトサイクル AC 特性表

パラメータ	記号	SJ10008/ SK10008		SJ10010/ SK10010		SJ10018/ SK10018		SJ10020/ SK10020		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクルタイム	t_{WCY}	5.968	-	6.140	-	6.291	-	6.458	-	ns
クロックハイパルス幅	t_{CKH}	0.500	-	0.500	-	0.500	-	0.500	-	
クロックローパルス幅	t_{CKL}	0.500	-	0.500	-	0.500	-	0.500	-	
XCS セットアップタイム	t_{CSS}	1.700	-	1.700	-	1.700	-	1.700	-	
XCS ホールドタイム	t_{CSH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスセットアップタイム	t_{AS}	1.700	-	1.700	-	1.700	-	1.700	-	
XWE セットアップタイム	t_{WES}	1.700	-	1.700	-	1.700	-	1.700	-	
XWE ホールドタイム	t_{WEH}	0.000	-	0.000	-	0.000	-	0.000	-	
XWA セットアップタイム	t_{WAS}	1.700	-	1.700	-	1.700	-	1.700	-	
XWA ホールドタイム	t_{WAH}	0.000	-	0.000	-	0.000	-	0.000	-	
アドレスホールドタイム	t_{AH}	0.000	-	0.000	-	0.000	-	0.000	-	
データホールドタイム	t_{DH}	0.000	-	0.000	-	0.000	-	0.000	-	
データセットアップタイム	t_{DS}	1.700	-	1.700	-	1.700	-	1.700	-	
ライトデータホールドタイム	t_{WDH}	2.110	-	2.175	-	2.214	-	2.280	-	
ライトデータスルータイム	t_{WDT}	-	5.968	-	6.140	-	6.291	-	6.458	

第 8 章 RAM 仕様

8.2.7 同期型 RAM タイミングチャート

(1) 1ポート同期型 RAM

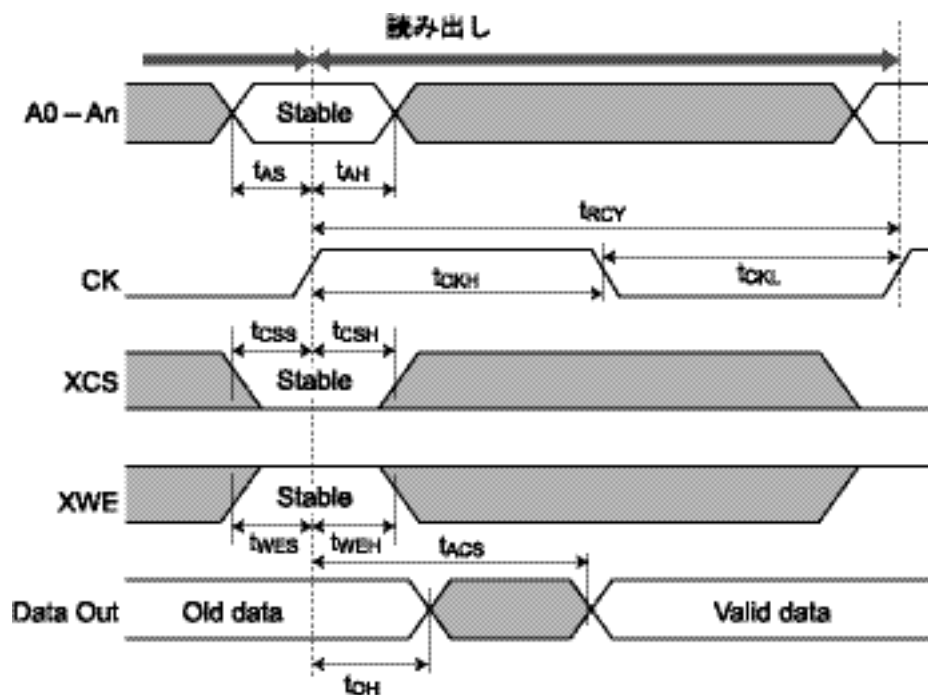


図 8-10 1ポート同期型 RAM リードサイクル

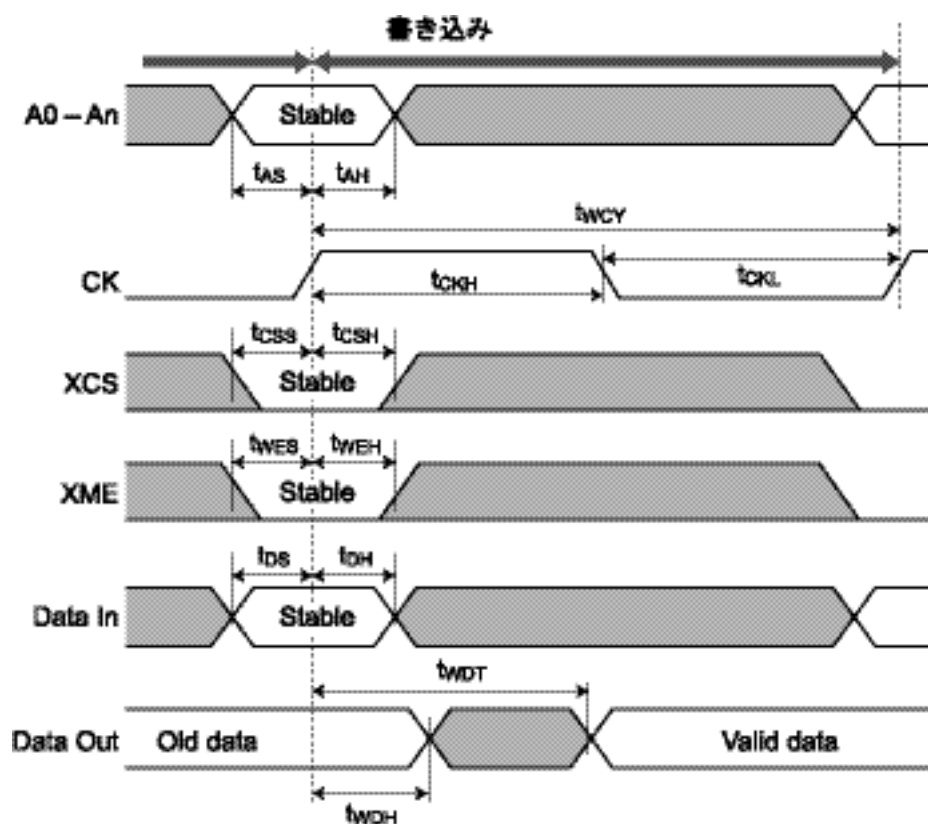


図 8-11 1ポート同期型 RAM ライトサイクル

(2) 2ポート同期型 RAM

• 第 1 ポート

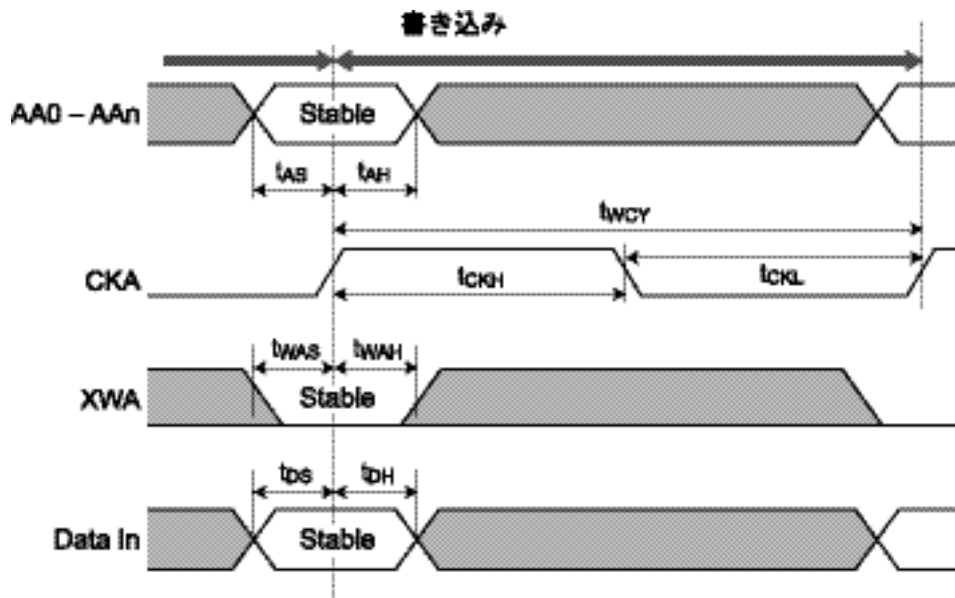


図 8-12 2ポート同期型 RAM ライトサイクル

• 第 2 ポート

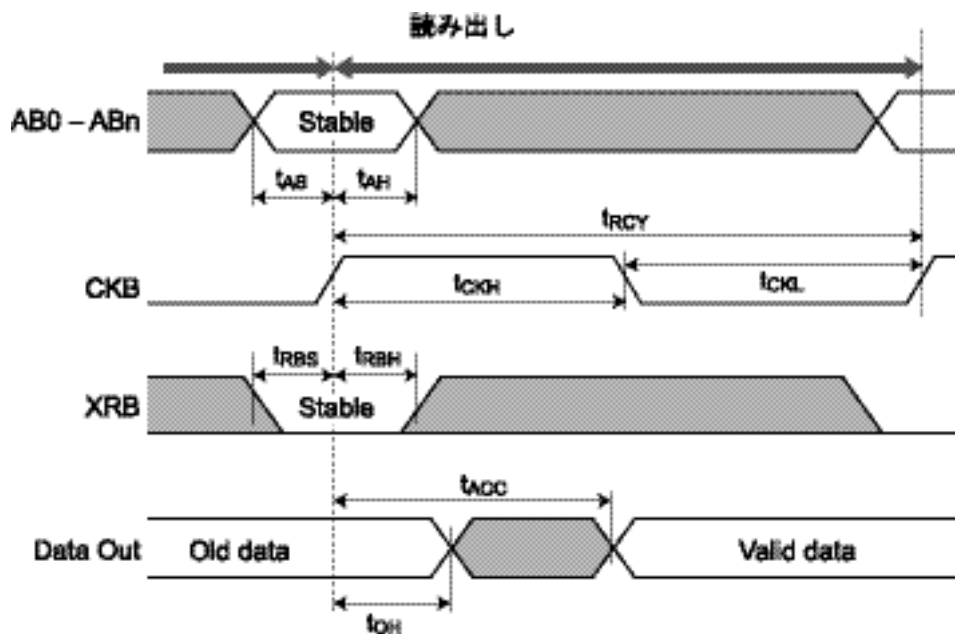


図 8-13 2ポート同期型 RAM リードサイクル

第9章 消費電力の見積り

本章での消費電力計算値については、あくまでも参考値であり、保証値としてではありません。消費電力を計算して、許容消費電力に収まっているかどうかの参考としてください

9.1 消費電力計算

消費電力は、動作周波数、負荷容量、電源電圧に依存します。(RAM/ROMなどの定常電流が流れる特殊なものは除きます。)

IC全体の消費電力の算出にあたっては、まず内部回路のそれぞれブロックごとの消費電力を求め、その総和を求めます。次に入力バッファ、出力バッファの消費電力を求め、それらを合計したものが求める総消費電力となります。

9.1.1 2電源の場合の消費電力計算

2電源対応での消費電力の計算は、HV_{DD}系とLV_{DD}系に分けて消費電力を求める必要があります。

求める総消費電力 P_{total} は、以下の式で求めます。

$$P_{total} = P_{int} + P_i (HV_{DD}) + P_i (LV_{DD}) + P_o (HV_{DD}) + P_o (LV_{DD})$$

P_{int} : 内部回路の消費電力

P_i : 入力バッファの消費電力

P_o : 出力バッファの消費電力

(1) 内部セルの消費電力 (P_{int})

$$P_{int} = \sum_{i=1}^K \{ (Nb \times U) \times f_i \times Spi \times Kpint \} [W]$$

Nb : 回路の総 BC 数

U : セル使用効率

f_i : I 番目の動作周波数 [MHz]

Spi : 全セル中、動作周波数 f_i [MHz] で動作する BC の割合

(システムの内容にもよりますが、20~30%を目安としてください)

Kpint : 1BC あたりの消費電力

(LV_{DD} の該当する値を表 9-1 から選んでください)

表 9-1 S1L60000 シリーズ 2 電源 1 BC あたりの Kpint

V _{DD} (TYP)	Kpi
2.5V	0.18 μW/MHz
2.0V	0.11 μW/MHz
1.8V	0.08 μW/MHz

(2) 入力バッファ (Pi) の消費電力 (Pi (HV_{DD}) と Pi (LV_{DD}))

HV_{DD} 系の消費電力を Pi (HV_{DD})、LV_{DD} 系の消費電力を Pi (LV_{DD}) とすると、入力バッファに消費電力は各バッファに入力される信号の周波数 f [MHz] に Kpi [μW/MHz] を乗じたものの総和になります。

$$P_i (HV_{DD}) = \sum_{i=1}^K (Kpi \times f_i) \quad [\mu W]、P_i (LV_{DD}) = \sum_{i=1}^K (Kpi \times f_i) \quad [\mu W]$$

f_i : i 番目の入力バッファの動作周波数 [MHz]

Kpi : 入力バッファの電圧係数 (表 9-2 を参照してください。)

上式の P_i (HV_{DD}) と P_i (LV_{DD}) の合計が入力バッファの消費電力となります。HV_{DD} 系の入力バッファは 3.3V (あるいは 2.5V) の Kpi を LV_{DD} 系の場合は 3.3V (あるいは 2.0V) の Kpi を代入して計算してください。Kpi の値は表 9-2 を参照してください。

表 9-2 S1L60000 シリーズ 2 電源入力バッファ Kpi

V _{DD} (TYP)	Kpi
2.5V	2.6 μW/MHz
2.0V	1.6 μW/MHz
1.8V	1.2 μW/MHz

(3) 出力バッファの消費電力 (Po (HV_{DD}) と Po (LV_{DD}))

HV_{DD} 系の消費電力を Po (HV_{DD})、LV_{DD} 系の消費電力を Po (LV_{DD}) とすると、

$$P_o (total) = P_o (HV_{DD}) + P_o (LV_{DD})$$

交流消費電力を P_{AC}、直流消費電力を P_{DC} とすると、

$$P_o = P_o (HV_{DD}) + P_o (LV_{DD}) \\ = \sum (HV_{DD}) (P_{AC} + P_{DC}) + \sum (LV_{DD}) (P_{AC} + P_{DC})$$

① 交流消費電力 (P_{AC})

交流負荷での消費電力は、以下の式で概略値を求めることができます。

$$P_{AC} = \sum_{i=1}^K \{f_i \times C_{L_i} \times (V_{DD})^2\}$$

f_i : 出力バッファの動作周波数 [Hz]

C_L : 出力負荷容量 [F]

V_{DD} : 電源電圧 [V]

② 直流消費電力 (P_{DC})

直流消費電力は、次の式で概略値を求めます。

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$P_{DCH} = |I_{OH}| \times (V_{DD}^* - V_{OH})$$

$$P_{DCL} = I_{OL} \times V_{OL}$$

P_{DCH} と P_{DCL} の比は出力信号の Duty 比で決まります。

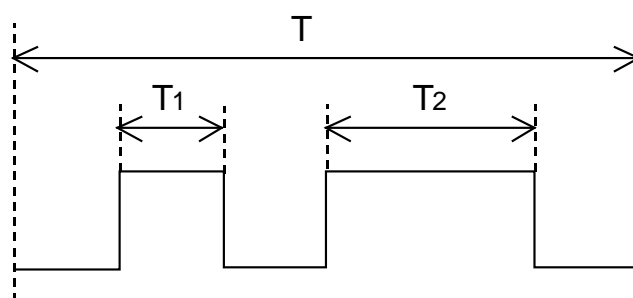


図 9-1 Duty Cycle の例

図 9-1 を例にとると、

$$\text{Duty H} = (T_1 + T_2) \div T$$

$$\text{Duty L} = (T - T_1 - T_2) \div T$$

従って

$$\begin{aligned} P_{DC} &= P_{DCH} + P_{DCL} \\ &= \sum_{i=1}^K \{ (V_{DDi} - V_{OHi}) \times I_{OHi} \times \text{Duty H} \} + \sum_{i=1}^K \{ V_{OLi} \times I_{OLi} \times \text{Duty L} \} \end{aligned}$$

求める出力バッファの消費電力 Po は

$$\begin{aligned} P_o(HV_{DD}) &= \sum_{i=1}^K \{ f_i \times C_{Li} \times (HV_{DD})^2 \} + \sum_{i=1}^K \{ f_i \times C_{Li} \times (HV_{DD} - V_{OHi}) \times |I_{OHi}| \times \text{Duty H} \} \\ &\quad + \sum_{i=1}^K \{ V_{OLi} \times I_{OLi} \times \text{Duty L} \} \end{aligned}$$

$$\begin{aligned} P_o(LV_{DD}) &= \sum_{i=1}^K \{ f_i \times C_{Li} \times (HV_{DD})^2 \} + \sum_{i=1}^K \{ f_i \times C_{Li} \times (HV_{DD} - V_{OHi}) \times |I_{OHi}| \times \text{Duty H} \} \\ &\quad + \sum_{i=1}^K \{ V_{OLi} \times I_{OLi} \times \text{Duty L} \} \end{aligned}$$

9.1.2 単一電源の場合の消費電力の計算

(1) 内部セル (P_{int})

内部セルの消費電力は、使用ゲート数、セル使用効率、動作周波数およびその動作周波数で動作するセルの割合によって異なり、次のように計算されます。

$$P_{int} = \sum_{i=1}^K \{ (Nb \times U) \times f_i \times Spi \times K_{pi} \} \text{ [W]}$$

Nb : 回路の総 BC 数

U : セル使用効率

f_i : I 番目の動作周波数 [MHz]

Spi : 全セル中、動作周波数 f_i [MHz] で動作する BC の割合

(システムの内容にもよりますが、20~30%を目安としてください。)

K_{pi} : 1BC あたりの消費電力、表 9-1 を参照してください。

表 9-3 S1L60000 シリーズ単一電源 1 BC あたりの K_{pi}

V _{DD} (TYP)	K _{pi}
2.5V	0.18 μW/MHz
2.0V	0.11 μW/MHz
1.8V	0.08 μW/MHz

(2) 入力バッファ (P_i)

入力バッファに消費電力は各バッファに入力される信号の周波数 f [MHz] に K_{pi} [μW/MHz] を乗じたものの総和になります。

$$P_i = \sum_{i=1}^K (K_{pi} \times f_i) \text{ [}\mu\text{W]}$$

f_i : I 番目の入力バッファの動作周波数 [MHz]

K_{pi} : 入力バッファの電圧係数 (表 9-2 を参照してください。)

表 9-4 S1L60000 シリーズ単一電源入力バッファ K_{pi}

V _{DD} (TYP)	K _{pi}
2.5V	2.6 μW/MHz
2.0V	1.6 μW/MHz
1.8V	1.2 μW/MHz

(3) 出力バッファ (P_o)

出力バッファの消費電力は、直流負荷の場合 (抵抗性の負荷、接続先が TTL デバイスの場合など) と、交流負荷の場合 (容量性の負荷、接続先が CMOS デバイスの場合など) で異なります。

直流消費電力を P_{DC}、交流消費電力を P_{AC} とすると、求める出力バッファの消費電力 P_o は次の式で表されます。

$$P_o = P_{AC} + P_{DC}$$

第9章 消費電力の見積り

① 交流消費電力 (P_{AC})

交流負荷での消費電力は、以下の式で概略値を求めることができます。

$$P_{AC} = \sum_{i=1}^K \{f_i \times C_{L_i} \times (V_{DD})^2\}$$

f_i : 出力バッファの動作周波数 [Hz]

C_L : 出力負荷容量 [F]

V_{DD} : 電源電圧 [V]

② 直流消費電力 (P_{DC})

直流消費電力は、次の式で概略値を求めます。

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$P_{DCH} = |I_{OH}| \times (V_{DD}^* - V_{OH})$$

$$P_{DCL} = I_{OL} \times V_{OL}$$

このとき、P_{DCH}とP_{DCL}の比は出力信号のDuty比で決まります。

図9-1を例にとると、

$$\text{Duty H} = (T_1 + T_2) \div T$$

$$\text{Duty L} = (T - T_1 - T_2) \div T$$

となります。これにより、

$$\begin{aligned} P_{DC} &= P_{DCH} + P_{DCL} \\ &= \sum_{i=1}^K \{ (V_{DD}^* - V_{OH_i}) \times I_{OH_i} \times \text{Duty H} \} + \sum_{i=1}^K [V_{OL_i} \times I_{OL_i} \times \text{Duty L}] \end{aligned}$$

9.2 消費電力制限

チップはパッケージに搭載された状態では、消費電力にしたがってチップ温度が上昇します。また、ICの遅延は、ICのチップ温度T_j（ジャンクション温度）によって変動します。一般的にICの仕様はT_aで表されますが、T_jとT_aの関係は一定ではなく、そのICのパッケージの熱抵抗や消費電力によって変わります。

ICのチップ温度はその周囲温度T_a、パッケージの熱抵抗θ_{j-a}および消費電力PDから次のように計算できます。各パッケージの熱抵抗は、表9-4を参照してください。表9-4の熱抵抗の値は、基板への実装状態や強制空冷の有無によって大きく変動します。

$$\text{チップ温度 (T}_j\text{)} = T_a + (PD \times \theta_{j-a}) \quad (^\circ\text{C})$$

一般的には、T_aで仕様が規定されますので、遅延ライブラリは以下の目安で用意させていただいております。

* T_a = -40 ~ 85[°C]用として、T_j = -40 ~ 125[°C] ライブラリ

パッケージと消費電力の見積りによって、T_aとT_jの関係が大きく変わる場合には、別の条件を付加させていただく場合もありますことをご了承願います。

S1L60000 シリーズにおいてはチップ温度 (T_j) は 125°C 以下で使用ください。

表 9-6 各パッケージの熱抵抗

パッケージタイプ	PIN 数	θ_{j-a} (°C/W)			θ_{j-c} (°C/W)	備考
		0 m/s	1 m/s	2 m/s		
QFP5	—	36	32	30	8	実装基板 : JEDEC STD ボード (114.3x76.2x1.6mm、4layer) リードフレーム : Cu 条件により以下の範囲で変化します。 ・ θ_{j-a} で最大±15°C/W ・ θ_{j-c} で最大±3°C/W
QFP8	—	27	24	23	8	
QFP10	—	23	21	20	8	
QFP12	—	51	46	44	6	
QFP13	—	48	45	43	6	
QFP14	—	44	41	39	6	
QFP15	—	41	39	37	6	
QFP20	—	36	33	31	6	
QFP21	—	34	31	29	6	
QFP22	—	27	24	23	6	
QFP23	—	26	24	23	8	
TQFP12	—	53	47	45	4	
TQFP13	—	47	44	43	4	
TQFP14	—	43	40	38	4	
TQFP15	—	42	36	34	4	
TQFP24	—	39	37	35	4	
PBGA1U 2layer	256	24	21	20	4	実装基板 : JEDEC STD ボード (114.3x76.2x1.6mm、4layer) 条件により以下の範囲で変化します。 ・ θ_{j-a} で最大±10°C/W ・ θ_{j-c} で最大±3°C/W
PBGA1U 4layer	256	19	17	16	4	
PBGA3U 2layer	324	23	20	18	5	
PBGA3U 4layer	484	18	15	14	5	
PFBGA7UX	—	34	31	30	3	実装基板 : JEDEC STD ボード (114.5x101.5x1.6mm、4layer) 条件により以下の範囲で変化します。 ・ θ_{j-a} で最大±10°C/W ・ θ_{j-c} で最大±2°C/W
PFBGA8UX	—	31	28	27	3	
PFBGA10UX	—	30	22	21	3	
PFBGA12UX	—	24	21	20	3	
PFBGA14UX	—	22	20	19	3	
PFBGA16UX	—	20	18	17	3	

* 各数値は保証値ではありません。参考値としてお取扱いください。

付録

A1. シミュレーション結果例

A1.1 シミュレーション結果と期待値とのコンペアファイル例

```

# APF file comparison program (apfcomp)
# version 2.70 Copyright (c) 1995-2003. SEIKO EPSON CORPORATION
#   EXPECT      : samp.apf                ← 比較する期待値ファイル名
#   COMPARE     : samp.samax             ← 比較する APF ファイル名
#   RESULT      : samp.expmax           ← 比較結果ファイル
#   RUN DATE    : Wed Feb 13 15:03:14 2008 ← プログラム実行 日付/時間
#   DON'T CARE  :                        ← オプション-noxcare が指定された場合 'X'、-nodotcare が指定された場合 '.'
#   IGNORE RZ  : NO                     ← オプション-norzcare が指定された場合 YES
#
$DESIGN sample

$RATE 100000
$STROBE 98000
$RESOLUTION 0.001ns

$IIOCONT
I_14.E EO DATA3
I_15.E EO DATA2
I_16.E EO DATA1
$ENDIIOCONT

$NODE
SEL I 0
CK N 0 50000
RESET I 0
DATA1 BU 0
DATA2 BU 0
DATA3 BU 0
$ENDNODE
# Compared .....

$PATTERN
#   SCRDDD
#   EKEAAA
#   L STTT
#   EAAA
#   T123
#
#   INIBBB
#   UUU
#
#   3 ONLLLL
#Mismatch H ← ミスマッチ行およびミスマッチの値
#   10 ON1LLH
#Mismatch HX ← ミスマッチ行およびミスマッチの値
#   12 ON1LHL
#Mismatch H ? ← ミスマッチ行およびミスマッチの値
$ENDPATTERN
#   3 Mismatch lines found. 93.2% Matched ← パターン中の一致しなかった行数、および割合
# End event of EXPECT_file = 43 ← 期待値ファイルの最終イベント
# End event of COMPARE_file = 43 ← APF ファイルの最終イベント
# MISMATCH SIGNAL Actual / Total number of mismatches at each node.
# * Actual = Total number of mismatches at each node minus (-) number of "?".
# << DATA1 >> COUNT = 3/3 ← 一致しなかった信号名とミスマッチ件数
# << DATA2 >> COUNT = 1/1 ← COUNT = ?を除いたミスマッチ数/ミスマッチ数
# << DATA3 >> COUNT = 0/1

```

コンペアファイルにミスマッチがある場合、以下の原因が考えられます。

(1) フリップフロップのタイミングエラー

セットアップタイムやホールドタイムの制約を超えていると、タイミングエラー・リストに現れないことに注意して下さい。

(2) 出力遅延によるストロブ・ポイント超え

1つの出力端子からの出力結果が、出力期待値より常に1サイクル分遅れて変化しているように見えるときに考えられます。L出力のみ、またはH出力のみ遅れている場合もあります。

(3) 出力最終段の組み合わせ回路のハザード

組み合わせ回路で生じたハザード（ヒゲパルス）が外部に出る場合があります。タイミングエラー・リストのNARROWレポートで確認できます。これを回避するためには、組み合わせ回路からの信号を一度フリップフロップで受けたものを出力するようにして下さい。

(4) 不定値(X)の伝播

初期化前のRAM、フリップフロップの出力は不定です。

クロックライン上に組み合わせ回路がある場合、入力同時変化で生じたハザードがフリップフロップのクロック端子に入力されると、そのフリップフロップの出力は不定になります。

また、PowerCompiler等でクロック・ゲーティング用の複合セル（例えば、CLPSAD2X4）を挿入した場合、イネーブル端子に不定が入力されていると、出力クロックが不定になります。

付録

A1.2 タイミングエラー・リスト

シミュレーション中にタイミングエラーが発生した場合、図 A2-1 のようなリスト(*.errmax, *.errmin)が出力されます。ここでは、そのタイミングエラー・リストの見方について、図 A2-2 を交えて説明します。図 A1-1 (a) ~ (g) は、タイミング図 A1-2 (a) ~ (g) に対応。

```

*
*OUTPUT NAME VALUE OFFSET/EVENT NUMBER
**-----
I=top.ffreg1_reg (D ->posedge C &&& (VM6 != 0)) ==SETUP TIME ERROR ... SPEC =325 (d)
323 (e) 471 (f) / 3 35 120 185 (g)
**-----SUB_TOT 4 (h)
I=top.ffreg5_reg (posedge C ->D ==HOLD TIME ERROR ... SPEC =106 )
93 474/ 3
**-----SUB_TOT 1
I=top.sub1.flag_a_0 (negedge R ->posedge C &&&(D !=0) ==SETUP TIME ERROR ... SPEC =334 )
320 482/ 3 276
309 482/ 405
309 419/ 797 961 1221 1477 1649 3017
309 447/ 2722
**-----SUB_TOT 10
*-----TOTAL 15 (i)

```

図 A1-1 : タイミングエラー・リストの例

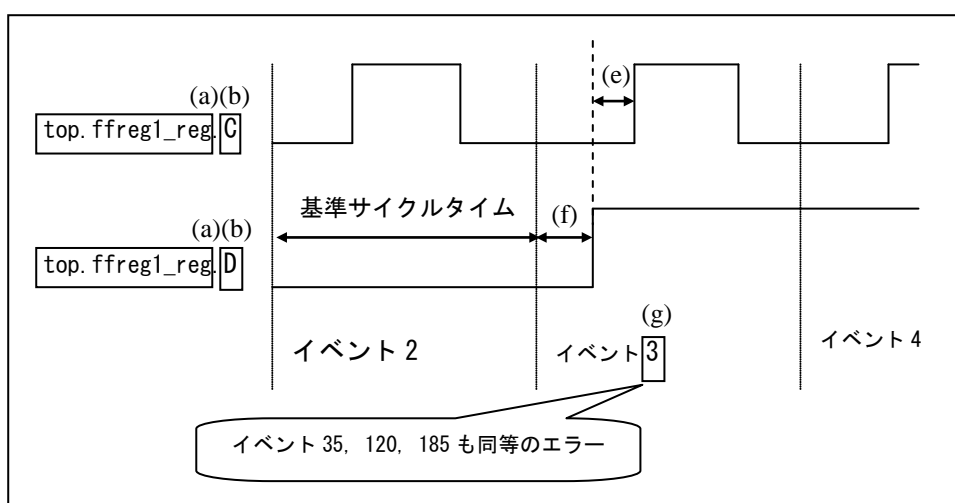


図 A1-2 : 波形でのイメージ

例 図A1-1の (a) ~ (i) 説明

(a) タイミング・エラー発生インスタンス名

タイミング・エラーが発生しているインスタンス名をフルパスで表しています。

図A1-1の場合、FFである「top. ffreg1_reg」がエラー発生インスタンス名です。インスタンス名から、タイミング・エラーが問題となる箇所かどうかを判断して下さい。なお、論理合成時にインスタンス名が変わることがあります。

(b) タイミング・エラー検出条件

タイミング・エラーが発生する際の具体的な条件です。

「A ->B&&&(C)」と表示されている場合、「条件Cにおいて、Aが変化した後にBが変化すること」を表します。

図A1-1の場合、「フラグVM6が0以外の状態において、D端子の信号が変化した後に、C端子に立ち上がり信号が入る」という条件を示しています。「VM*」はセル（この場合はFF）のシミュレーションモデル内における、タイミング・エラー検出フラグを表しています。条件文が「VM*」となっている場合は無視して下さい。この例では、D端子とC端子の関係にのみ注目して確認して下さい。

また、「NARROW*」が表示されている場合は、下記(c)の「MINIMUM PULSE WIDTH」以下をご参照して下さい。

(c) タイミング制約種別

エラーとなった、タイミング制約の種別です。

主な制約として、以下のものがあります。

SETUP TIME . . . セットアップ・タイム制約

HOLD TIME . . . ホールド・タイム制約

MINIMUM PULSE WIDTH . . . 最小パルス幅制約

(b) 部に「NARROW*」が表示されることがあります。これは、シミュレーションの結果を、サンプリングしたデータ(apf)にてご確認いただく場合、出力波形の詳細確認が困難であることから、レート（基準サイクルタイム）の75%以下の長さであるパルスを表示しているものです。「NARROW*」が表示されている場合、このエラーを必ずしも改善する必要はありません。回路仕様上、問題が無いかをご確認下さい。

(d) タイミング・エラー検出規格（単位:ps）

エラーが発生しない最小の値です。

図A2-1の場合、SETUPエラーを発生させないためには、「D」の変化から「posedge C」まで、325ps以上の間隔を空ける必要があります。

(e) 実際のタイミング値（単位:ps）

図A2-1の場合、SETUP制約に2ps (=325ps-323ps) 不足していたこととなります。

(f) タイミング・エラー発生オフセット (単位:ps)

イベント開始から、エラー発生までの時間です。

図A2-1の場合、イベント開始から471ps後にタイミング・エラーが発生したことを示します。

(g) タイミング・エラー発生イベント (サイクル) 番号

タイミング・エラーが発生しているイベント番号を列挙しています。図A2-1の場合、3、35、120、185、の各イベントでエラーが発生しています。シミュレーション結果と合わせて、回路仕様上問題が無いかをご確認下さい。

(h) タイミング・エラー小計

インスタンス名、エラー検出条件、タイミング制約が同値であるタイミング・エラーの個数です。

(i) タイミング・エラー合計

タイミング・エラーの総数です。

A2. RTL 設計上の注意 (VHDL)

1.5.3 で説明した通り、仮の回路データを提出していただくことで、RTL 記述上の問題を事前に検出することが可能ですが、記述によっては、お客様の意図していない箇所で異常が検出される可能性もございます。そのような問題を防ぐため、RTL 設計の一般的なスタイルガイドに沿った設計を行ってください。

A2.1 論理合成可能な RTL の提出

送付いただく RTL は、論理合成可能な記述のみにしてください。ビヘイビア・レベルの記述が含まれていると、論理合成ができません。論理合成可能であれば、複数個のファイルにわかれていても問題ありません。

A2.2 階層設計図の提出

モジュールが階層設計であっても問題ありません。階層設計を行った場合は、階層構造図（ツリー図）もしくは、モジュールの親子関係を示す資料の送付をお願いいたします。

A2.3 RAM の記述

弊社にて、RAM の VITAL モデルを提供することが可能です。必要な RAM のサイズ及び個数を指定してください。なお、RAM の VITAL モデル提供には日数がかかる場合がございます。

お客様にて RAM のモデルを記述する場合は、デザインガイド「第 8 章 メモリマクロ (RAM) 仕様」記載の仕様に従ってください。また、そのモデルのモジュール名をお知らせください。

A2.4 入力ポートへの定数割り当て

port_map 文において、入力ポートに定数を直接割り当てることはできません。また同様に、“open” を割り当てたり、記述を省略したりすることもできません。これらは、論理合成時にエラーとなります。これを回避するためには、定数値を持つ signal をマッピングしてください。

```
Architecture BEHAVIOR of example3_4
signal dummy0 std_logic;
signal dummy1 std_logic;
begin
    dummy0 <= 0;
    dummy1 <= 1;
    port map abcx ( a => dummy0, b=> dummy1, c=> data_in, x => data_out )
end BEHAVIOR;
```

図 A2-1 定数値を持つ signal をマッピングする

付録

A2.5 端子名の制約

外部端子、および内部端子の名前は、デザインガイド記載の制限・制約にそっていただくことを推奨します。もし、制限・制約外の名前が使われている場合は、論理合成時にお客様の意図しない名前に付け替えられることがありますことを、ご了承ください。

(1) 外部端子名制約

- ① 全て大文字にて記述してください。
- ② 使用可能文字 英数字とアンダーバー'_'のみ使用できます。
ただし、先頭文字は英字のみ、末端文字は英数字のみ使用可能です。
- ③ '_' が2つ連続してはいけません。
- ④ 文字数は、2~32文字の範囲です。
- ⑤ read、write は予約語ではありませんが、使用できません。(システム使用のため)

(2) 内部端子名制約

- ① 大文字・小文字の混合は可能です。ただし、大文字小文字混在の同一名は使用できません。
例：“ABC”と”Abc”の混在は禁止
- ② 使用可能文字は、英数字とアンダーバー'_'、バス記述用のカッコ'('、')'です。
- ③ 文字数は、2~32文字の範囲です。

(3) VHDL 予約語

以下の文字列はユーザ定義名として使用できません。

abs	access	after	alias	all	and	architecture
array	assert	attribute	begin	block	body	buffer
bus	case	component	configuration	constant	disconnect	downto
else	elsif	end	entity	exit	file	for
function	generate	generic	guarded	if	in	inout
is	label	library	linkage	loop	map	mod
nand	new	next	nor	not	null	of
on	open	or	others	out	package	port
procedure	process	range	record	register	rem	report
return	select	severity	signal	subtype	then	to
transport	type	units	until	use	variable	wait
when	while	with	xor			

(4) Verilog-HDL 予約語

セイコーエプソンでの作業において、使用ツールの関係上、VHDL-RTL を Verilog ネットリストに変換する必要があります。

そのため、以下の文字列はユーザー定義名として使用できません。

always	and	assign	begin	buf	bufif0	bufif1
case	casex	casez	cmos	deassign	default	defparam
disable	edge	else	end	endcase	endmodule	endfunction
endprimitive	endspecify	endtable	endtask	event	for	force
forever	fork	function	highz0	highz1	if	ifnone
initial	inout	input	integer	join	large	macromodule
medium	module	nand	negedge	nmos	nor	not
notif0	notif1	or	output	parameter	pmos	posedge
primitive	pull0	pull1	pullup	pulldown	rcmos	real
realtime	reg	release	repeat	rnmos	rpmos	rtranif0
rtranif1	scalared	small	specify	specparam	strong0	strong1
supply0	supply1	table	task	time	tran	tranif0
tranif1	tri	tri0	triand	trior	triereg	vectored
wait	wand	weak0	weak1	while	wire	wor
xnor	xor					

A2.6 ポートのデータ型

最上位モジュールのポートに使用できるデータ型は、std_logic のみです。バス記述は禁止しています。それ以外のモジュールのポートは、std_logic、std_logic_vector を使用してください。弊社にて論理合成時に、バス記述を展開することがあります。

A2.7 integer の使用について

integer の使用時は、ビット幅に注意してください。signal 宣言は std_logic_vector で行い、演算の際に conv_integer で型変換する方法を推奨します。

A2.8 入出力バッファ

セイコーエプソンで、入出力バッファを付加いたします。バッファの種類および、出力負荷容量を指定した端子配列表を提出してください。タイミング条件が厳しい場合、または Fail-Safe バッファなどの特殊バッファを使用する場合は、仮データ提出時に指定してください。

入出力バッファは、トップ モジュールを RTL 用からゲート用に置き換える方法が安全で簡単です。弊社でゲート用のトップ モジュールを作成いたしますので、RTL 用のトップ モジュールには、入出力に関する記述のみをお願いします。具体的には、単方向ポートは、下位モジュールと 1 対 1 に接続するだけにしてください。そして、双方向ポートの記述は、下位階層から入力信号ポートと出力信号ポートとイネーブル信号ポートを引き出して、トップ モジュール内で双方向信号を記述してください。

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
entity TOP is
    port(IN1 : in std_logic;  OUT1 : out std_logic;  BID1 : inout std_logic);
end TOP;

architecture rtl of TOP is
    signal en, bid1_out : std_logic;
    component CORE
        port( in1, bid1_in      : in  std_logic ;
              out1, bid1_out, en : out std_logic );
    end component;

begin
    U_CORE : CORE port map( in1 => IN1, out1 => OUT1, bid1_in => BID1,
                           bid1_out => bid1_out, en => en);
    BID1 <= 'Z' when en = '1' else bid1_out ;
end rtl;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity CORE is
    port(in1, bid1_in      : in  std_logic ;
          out1, bid1_out, en : out std_logic );
end CORE;

architecture rtl of CORE is
begin
end rtl;

```

図 A2-2 : トップモジュールの RTL 例

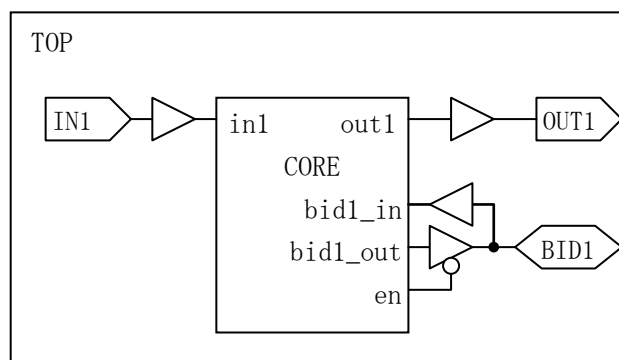


図 A2-3 : トップモジュール イメージ

A2.9 プリミティブ・セルの使用

RTL 内で、セイコーエプソンのプリミティブ・セルを呼び出しているモジュール名と、プリミティブ・セル名をお知らせください。プリミティブ・セルが論理合成時に消されないための設定を行います。また、シミュレーションの際に記述した、セイコーエプソンのライブラリに関する宣言を、削除してください。非同期 RAM モデルのライブラリ宣言も削除してください。

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

----- comment out -----
-- library S1L50000_TYP,S1L50000_RAM;
-- use S1L50000_TYP.all;
-- use S1L50000_TYP.all;
----- comment out -----
```

図 A2-4 : セイコーエプソンのライブラリ宣言をコメントアウト

A3. テスト回路挿入

A3.1 スキャン (SCAN) 回路挿入

お客さまにてスキャン回路組入もしくは、ATPG を実施される場合、以下設計ルールを考慮いただくようお願いいたします。

(1) スキャン外部端子

スキャン回路挿入する場合は、次に示す外部端子が必要となります。

① ATPG イネーブル入力端子 (ATPGEN) 【専用端子】

ATPG の走行モードをアクティブにする外部入力端子です。状態を固定しておかなければならないデザインが存在する場合や、内部論理が不安定になるブロック (シミュレーション時にブロックボックスとなるブロックを含む)、機能マクロ、および RAM セルの出力は、この端子で値を固定 (確定) させる必要があります。

② スキャンイネーブル入力端子 (SCANEN) 【専用端子】

通常のデータパス (パラレル動作) とスキャンパス (シフト動作) を切り替える外部入力専用端子です。通常機能やその他のモード機能との共用はできません。外部専用端子として入力セルと外部端子をデザイン内に準備してください。内部の接続はセイコーエプソンにて行います。

③ スキャンクロック入力端子【通常クロックと同一、もしくは専用端子】

ATPG により生成されたテストパターンにおけるクロック入力端子です。セイコーエプソンでは、スキャンセルは MUX スキャンタイプを採用しておりますので、通常時に使用されるシステムクロックと同一である事が一般的ですが、内部生成クロックが存在する場合には、スキャン専用クロック端子が必要となる場合があります。詳しくは、「同章 A3.1 (2) クロックの設計」を参照してください。

④ スキャンデータ入力端子【共用可能】

スキャン設計により置換されたスキャンレジスタにデータをセットするための外部入力端子です。スキャンレジスタの数に応じて複数本必要となります。目安としては、300~500 スキャンレジスタ当たり 1 本換算で準備してください。また、スキャンデータ出力端子と同数必要です。

この端子は通常時に使用する外部入力端子との共用が可能です。ただし、クロック端子、非同期セット/リセット端子、アナログ信号入力端子は使用できません。また、共用する事でそのネットの Fan-Out が増加します。クリティカルパスへの共用は避けてください。

スキャンデータ入力端子は、スキャン設計作業時に弊社にて接続を行います。接続可能な外部入力端子名をご指定ください。ご指定のない場合は弊社担当者が割り当てを行います。

⑤ スキャンデータ出力端子【共用可能】

スキャン設計により置換されたスキャンレジスタから観測データを出力するための外部出力端子です。スキャンレジスタの数に応じて複数本必要になります。目安としては、300~500 スキャンレジスタ当たり 1 本換算で準備してください。また、スキャンデータ入力端子と同数必要です。

この端子は通常時に使用する外部出力端子との共用が可能です。(2-state タイプの出力端子を推奨します)。ただし、アナログ信号出力端子は使用できません。また、共用する事でそのネットのセル段数が増加します。クリティカルパスへの共用は避けてください。スキャンデータ出力端子は、スキャン化作業時にセイコーエプソンにて接続を行います。接続可能な外部出力端子名をご指定ください。ご指定のない場合は弊社設計担当者が割り当てを行います。

(2) クロックの設計

スキャン化を行うためにはクロック設計が非常に重要です。クロック設計が複雑であると故障検出率の低下を招くだけでなく生成したテストパターンが不安定になり、スキャン/ATPG 本来の目的が達成されませんので、同期回路を基本とします。次に示すルールにしたがった設計を行ってください。

① 外部から直接制御可能な構造にする【必須】

スキャンクロックは外部入力端子からクロック波形が崩れることなくレジスタに到達しなければなりません。通常動作時に内部生成クロックが存在しても構いませんが、ATPG を走行するモードでは、論理的に内部生成クロックが存在しないような構造が必要です。図 A3-1～A3-4 に例を示します。

ア) 理想的なクロック

図 A3-1 は、理想的なクロック設計の例です。このように設計初期より、すべてのレジスタが外部入力端子から供給されるように設計されていると、CTS (Clock Tree Synthesis) の処理を施すのみでスキャン設計のためのクロックライン修正は必要がありません。クロックラインの修正は回路全体のタイミングに影響することから、設計当初からスキャン設計を意識することが重要です。

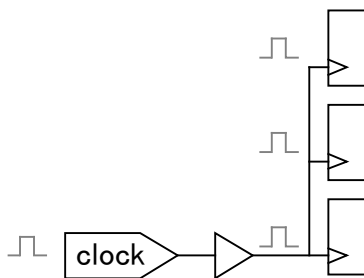


図 A3-1 理想的なクロック

イ) 内部生成クロックの処理 1

内部生成クロックが使用されている場合は、図 A3-2 のようにクロック生成部分をバイパスする回路を設け、かつ、ATPG 走行モードに対して CTS 処理を施すデザインを追加してください。ただし、この処理ではクロックラインに MUX セルが追加されますので、他系統のクロックとのタイミング調整に支障が出る場合があります。採用には注意が必要です。

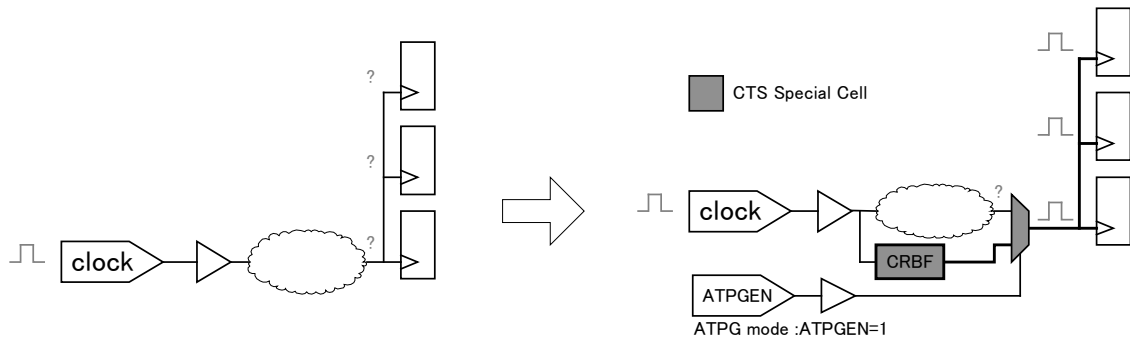


図 A3-2 内部生成クロックの処理

ウ) 内部生成クロックの処理 2 (クロックゲーティングの処置)

内部生成クロックにおいて、クロックライン上にセルを追加しないためには、クロック信号をゲートしているイネーブルライン側をコントロールする方法があります。

図 A3-3 は、その例です。この方法を採用すると、図 A3-4 のように MUX をクロックライン上に配置する必要がなくなり、比較的クロックスキューの小さなデザインが構築できる有効な手段です。

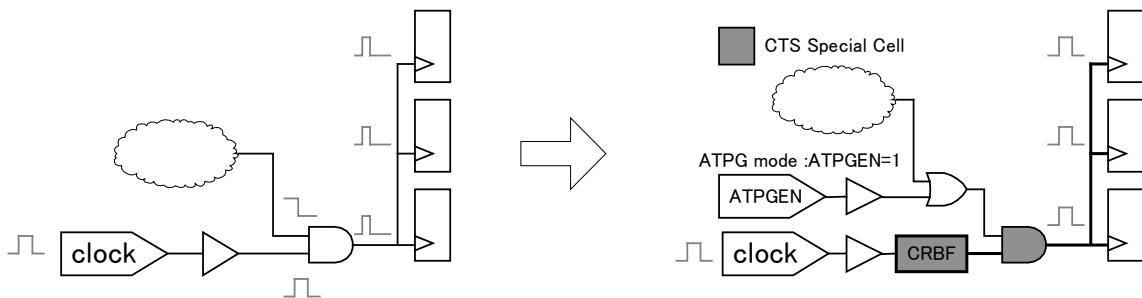


図 A3-3 クロックゲーティングの処置

エ) 複数クロックグループの関連

内部生成クロックを含め、複数のクロックを持つデザインでは、それらの関係により処置方法が限定される場合があります。異なるクロックを使用するブロック間に物理的に接続関係がない場合には問題ありませんが、もしデザイン仕様上、フォールスパス（物理的な結線はあるが通常動作時には論理的に通信がない場合、もしくは論理合成時にタイミングを考慮していない場合）や、マルチサイクルパス（非同期通信として数回のラッチミスを許容した仕様の場合）としている場合には、十分注意が必要です。

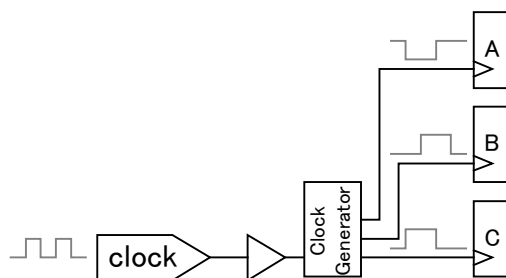


図 A3-4 (a) 複数の内部生成クロックを持つ例

図 A3-4 (b) は、ブロック A、B、C 間に物理的な結線が存在しない場合の対策例です。物理的な結線が存在しないので、クロックを一括で処理しても各グループでのスキューを CTS で解決すれば ATPG 走行時のタイミングは安定します。

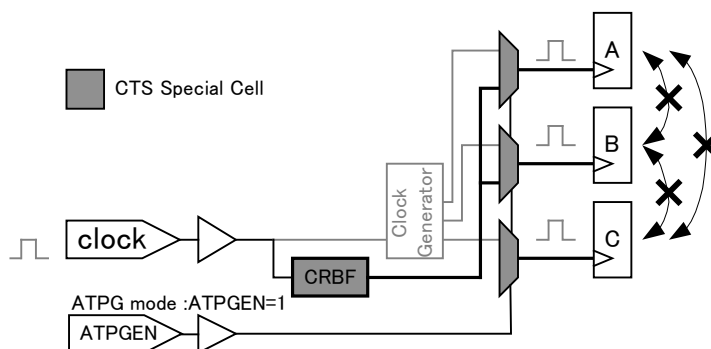


図 A3-4 (b) 複数の内部生成クロック対策例 1
(ブロック同士の結線が存在しない場合)

* この例では、3つのクロックを一括に CTS 対策を施す事でスキャンチェーン構築を効率的に行うことを想定した方法です。

しかし、物理的な接続がある場合は、たとえ仕様上問題がないとしても ATPG のためには対策が必要です。図 A3-4 (c) はその場合の処置例です。ATPG はランダムにパターンを発生させるため、仕様上ありえないフォルスパスを経由する動作も引き起こします。この場合、A、B、C 間のデータパスに関するタイミングは保証できません。そこで、内部生成クロックごとにタイミングを制御できるよう、これらクロックを各々外部にバイパスさせます。また、これらのバイパスクロック端子は専用端子とすることを推奨します。どうしても共通端子とする場合には、その共通端子から入力されるクロック信号がレジスタ以外に伝播しないようゲートしなければなりません (図 A3-4 (d) 参照)。また、この時そのネットの値は固定されるので故障検出率は低下します。

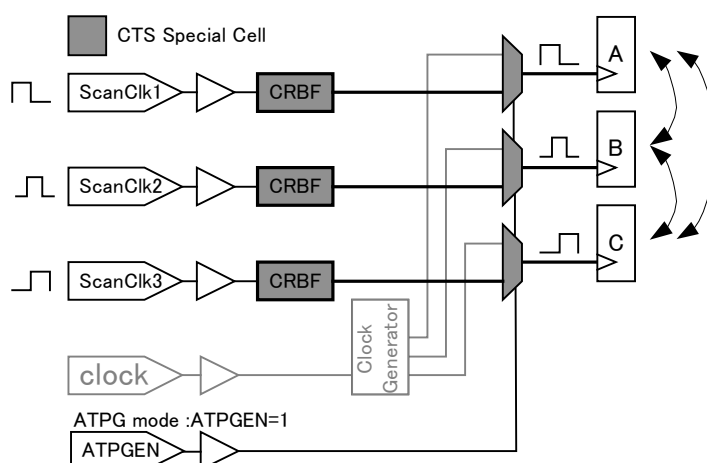


図 A3-4 (c) 複数の内部生成クロック対策例 2
(ブロック同士の結線が存在する場合)

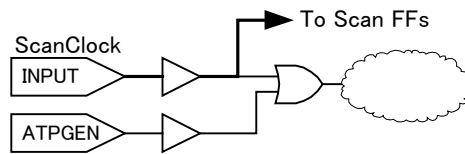


図 A3-4 (d) 共通端子によるスキャンクロック処理例

② クロックの本数はできるだけ少なく【推奨】

上記のようにクロックが複数存在すると、デザインの変更/追加やタイミングの再検証項目の増加など、お客さまの作業が増加します。また、テストパターン長の増加や故障検出率低下の要因となります。できる限りクロック系統を削減したデザインを構築しておくことで、より一層効率的になります。

③ Rise エッジと Fall エッジの混在はできるだけ少なく【推奨】

各クロックにおいて、Rise/Fall 両エッジを使用していると、スキャン作業、ATPG 走行が非効率的になる場合があります。場合によっては検出率の低下を招きます。スキャンクロックはできるだけ片エッジのみを使用して設計することを推奨します。

④ スキャンクロック信号とデータ信号は完全に分離する【推奨】

スキャンクロック信号とデータ信号は完全に分離してください。スキャンクロック信号がデータラインに影響を及ぼす場合、クロック信号とデータ信号が別々にコントロールできないため故障が検出できません。

(3) レジスタの非同期セット/リセット信号【必須】

FF およびトランスペアレントラッチセルの非同期セット/リセットは、すべて外部から直接制御されるような回路を推奨します。もし、デザイン内部で生成された信号を用いる場合は、次の点を考慮してください。

① 少なくともスキャンイネーブル中はアクティブにならない。

② 内部生成された非同期セット/リセット信号を用いる場合、ミニマムパルスが発生しないよう FF の出力から組み合わせ論理を介さず直接使用する。もし組み合わせ論理を介した信号を使用する場合は、グレイコードを用いる等の対策をする。

* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

(4) トランスペアレントラッチの取り扱い【推奨】

トランスペアレントラッチはスキャンセルへの置換は行いません。故障検出率向上には非効率的なためできるだけ使用しないようにしてください。

使用する場合には、次の点を考慮してください。

① クロック信号は「b. クロックの設計」に準じたクロック対策を実施する。

② 同一クロックラインに接続されている他のレジスタと OffState のレベルを一致させる。

例: FF が Rise 動作 (ReturnToZero) の場合、“LOW” レベルでスルー。FF が Fall 動作 (ReturnToOne) の場合、“HIGH” レベルでスルーになるようにします。

ただし、スキャンクロックが両エッジ使用されていたり複数存在する場合は、デザイン構成によって改善されない場合があります。この場合、次の対策を施してください。

③ 前述 2 点が考慮できない場合は、ATPG を走行するモードではスルー状態に固定する。この時フィードバックループが発生しないよう注意する。

* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

(5) 使用できないセルやデザイン【必須】

スキャン設計では、次のセルの使用を禁止します。

<使用禁止セル>

- RS ラッチセル
- 非同期セット／リセット両機能を持つ FF
- マルチビット FF セル
- スキャンタイプ FF

<使用禁止回路>

- コンビネーションナルフィードバックループ（外部双方向端子を経由するものを含む）
- 微分回路（パルスジェネレータ）
- 自己リセット回路
- 順序制御による ATPG モード（ATPG イネーブル入力端子で制御してください。）

* これらの対策が成されていない場合は、故障検出率の低下やテストパターンが不安定になる等の問題が発生する場合があります。

(6) 内部バス【推奨】

内部 3-state セルを用いたバス回路は使用せず、セクタ論理で設計することをお勧めします。使用する場合には、ATPG の走行モードでは、切り替えが行われないう 1 ラインのみがアクティブになるように固定してください。（使用した場合、バス回路は値が固定されるため故障検出率が低下します。）

(7) 各種コントロール付き外部セル【必須】

S1L50000 シリーズの外部入力バッファ、および外部双方向バッファには、各種のコントロール端子を持つタイプが存在します。これらの端子は、ATPG イネーブル入力端子を用いて固定する必要があります。下記にしがたい処理を行って下さい。

- ゲーティング信号（C 端子）

ATPG イネーブル入力端子（ATPGEN）を用いてスルー状態に固定して下さい。（ATPGEN=Active 時、C=1）

A3.2 バウンダリスキャン (JTAG) 回路挿入

お客さまにて JTAG 回路挿入する場合、以下の設計ルールを考慮いただくようお願いします。

(1) DC テスト・AC テスト容易回路との共存禁止

セイコーエプソン推奨のテスト容易回路との共存はできません。バウンダリスキャンに対応する場合には、推奨 DC テスト・AC テスト回路の挿入はできません。

外部端子に使用できる文字列

外部端子名は、BSDL フォーマットのルールにより、以下の制約があります。

- ① 使用可能なキャラクタは、英数字 (a~z、A~Z、0~9) と “_” (アンダスコア) のみ。
- ② 大文字と小文字の区別はされない。(CLK と clk は同一と見なされます)
- ③ 先頭文字は英字にする。(悪い例 OCLK、_CLK)
- ④ アンダスコアは続けて使用しない。(悪い例 SYS_CLK)
- ⑤ 文字列がアンダスコアで終了しない。(悪い例 CLK_)

(2) 専用外部端子の準備

バウンダリスキャン回路には、必ず 5 本の専用外部端子が必須です。以下のルールに基づいた外部端子挿入を行ってください。

① クロック (TCK)

バウンダリスキャン回路用のクロック用端子。入力セルを用意し、その出力ポートは、どこにも接続しない。

② モードセレクト (TMS)

バウンダリスキャン回路用のモードセレクト用端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

③ データ入力 (TDI)

バウンダリスキャン回路用のスキャンデータ入力端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

④ データ出力 (TDO)

バウンダリスキャン回路用のスキャンデータ出力端子。3-state 出力セルを使用し、その入力ポートは、プルダウンしておく。

⑤ リセット (TRST)

バウンダリスキャン回路用の非同期リセット用端子。入力セルを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力セルは、プルアップ付き入力セルを使用する。

```
IBC U1 (.PAD(TCK));           // IBC: ノーマル入力セル
IBCP1 U2 (.PAD(TMS));        // IBCP1: プルアップ付き入力セル
IBCP1 U3 (.PAD(TDI));
IBCP1 U4 (.PAD(TRST));
TB1 U5 (.PAD(TDO),.A(1'b0),.E(1'b0)); // TB1: 3-state 出力セル
```

図 A3-5 専用端子記述の例 (verilog 記述)

(3) 階層ブロックについて

ネットリストの階層ブロックは、以下のような構成としてください。また、バウンダリスキャン挿入後は TAP コントローラ等の階層ブロックが追加されます。

- I/O セルはトップブロックに配置してください。
- その他の論理は、できるだけ一階層下のサブブロックに納めてください。

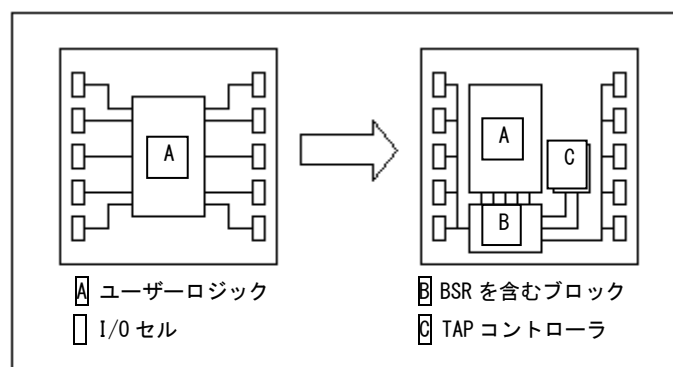


図 A3-6 階層ブロック構成イメージ

(4) I/O セル種について

下記 I/O セル種を使用している場合、対応できません。

- テストモード付き I/O セル
- Gated 入力セル
- オープンドレイン出力セル

(5) アナログ信号を扱う外部端子

発振回路用入出力端子やアナログ信号を扱う外部端子にはバウンダリスキャンセルを挿入しません。

(6) マルチボンディング、マルチパッド

マルチボンディング、マルチパッドを使用した場合は対応できません。

A3.3 機能セルテスト回路挿入

(1) お客さまにて機能セルテスト回路挿入時の注意

お客さまにて機能セルのテスト回路の設計される場合には、以下の点に注意してください。

- ① 各々の機能セルが、ユーザー回路と分離でき、ブロックごとに測定できるようにテスト回路を追加して機能セルの端子を外部端子に出してください。
- ② 機能セルの入力を V_{SS} や V_{DD} に固定する場合でも、テスト回路を設けてテスト入力ができるようにしてください。
- ③ 機能セルの出力端子を使用しない場合でも、テスト回路を設けて、機能セルの全出力を外部端子から観測できるようにしてください。
- ④ 機能セルの複数の出力端子または入力端子をまとめて一つのテスト兼用端子として使用しないでください。
- ⑤ 機能セルをテストするためのテスト回路に順序回路を使用しないでください。
- ⑥ テスト入力端子からの入力信号を反転させて機能セルに入力しないでください。同様に、機能セルの出力信号を、反転させてテスト出力端子に出力しないでください。
- ⑦ 機能セルの入力端子、および出力端子が直接 IC の端子として出されている場合、テスト回路を設ける必要はありません。

(2) お客さまにてテスト回路挿入時のテストパターン

テストパターンは大きく分けて 3 種類あります。

- ① ユーザー回路のみをテストするテストパターン
- ② 回路全体をテストするテストパターン
- ③ 機能セルのみをテストするテストパターン

お客さまに作成していただくテストパターンは、1、2 項目のテストパターンです。3 項目のテストパターンは、作成する必要はありません。弊社作成機能セルを使用する場合は弊社作成の既存のテストパターンを使用します。

(3) テスト回路情報

シミュレーション時および出荷検査時に機能セルをテストするために必要となりますので、テスト回路について次の情報を提出してください。

- ① テストモードにおいて機能セルの端子が IC のどの端子に接続されているかを明記してください。
- ② 一つのテスト端子に複数の機能セルがテストできるようにテスト回路が構成されている場合、テストモードと、選択される機能セル名との対応付けを明記してください。
- ③ 特に同じ機能セルを複数使用した場合、図面上の機能セル名に通し番号を付け、どの機能セルのテスト端子かを明記してください。
- ④ テストモードへの切り替え方法を明記してください。

A4. DC・AC テストパターン

A4.1 DC テストパターン

DC テスト回路をお客さまにて作成される場合、以下のテスト項目を考慮頂くようお願いいたします。

DC テストは IC の DC パラメータを検証するために行うテストです。DC テストは測定イベントの終端で測定されます。このため、被測定端子は測定イベントにおいてストロブ以後状態が変化してはいけません。

測定する DC パラメータは以下の項目です。

(1) 出力特性テスト (V_{OH} 、 V_{OL})

出力バッファの電流駆動能力を測定します。被測定端子を測定対象となる出力レベルになるように動作させて、仕様上の電流負荷を与えたときの電圧降下の値を測定します。

出力特性テストを行うためには、テストパターン中に対象となる端子が動作し得るすべての状態が存在しなければなりません。また、その状態は、測定するイベントにおいてテストレートを無限に延ばしても変化がないようなものでなければなりません。

(2) 静的消費電流テスト (I_{DDs})

静的消費電流とは、入力が定常状態にあるときの IC の電源に流れるリーク電流です。この電流は一般的に非常に小さい値であるために、このリーク電流以外に他の電流が流れないような状態で測定しなければなりません。このためには、以下に挙げる条件がすべて満たされていることが必要になります。また、静的消費電流が測定可能なイベントは少なくとも 2 箇所以上必要です。

- ① 入力端子がすべて定常状態であること。
- ② 双方向端子に“HIGH”レベルまたは“LOW”レベルが与えられているかまたは出力されていること。
- ③ 回路の中で発振等、動作部分がないこと。
- ④ 内部 3-state バッファ（内部バス）がフローティングまたはコンテンションしていないこと。
- ⑤ RAM 等、機能セルが電流の流れる状態になっていないこと。
- ⑥ プルアップ抵抗付き入力端子に“HIGH”レベルが与えられていること。
- ⑦ プルアップ抵抗付き双方向端子に“HIGH”レベルが与えられているかまたは“HIGH”レベルを出力していること。
- ⑧ プルダウン抵抗付き双方向端子が入力状態であるかまたは“LOW”レベルを出力していること。

(3) 入力電流テスト

入力バッファの入力に関する測定を行います。この測定項目には、入力リーク電流、プルアップ/プルダウン電流測定が含まれます。この測定項目のテストは、被測定端子に V_{DD} レベルまたは V_{SS} レベルの電圧を印加して、そのときに流れる電流値を測定することによって行われます。つまり、測定時に“HIGH”レベルまたは“LOW”レベルの電圧が被測定端子に与えられていることとなります。

たとえば、被測定端子が“LOW”レベルを与えられている状態で、 V_{DD} レベル（“HIGH”レベル）を与えてこのテストを行うと、被測定端子には“LOW”から“HIGH”への状態変化が起こり、ICが意図しない動作を起こしてしまう可能性があります。

入力電流テストを測定するためには、テストパターンにおいて被測定端子に“HIGH”が入力されているイベントで V_{DD} レベルを印加するテストを行い、“LOW”が印加されているイベントで V_{SS} レベルを印加するテストを行います。したがって、テストパターン中に被測定端子にこれらの状態がないとこのテストを行うことができません。

入力電流テストはさらに以下のように分類されます。

(4) 入力リーク電流テスト (I_{IH} 、 I_{IL})

プルアップ／プルダウン抵抗が付いていない入力バッファの入力電流に関する測定を行います。

入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を I_{IH} と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“HIGH”レベルを入力していなければなりません。

入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を I_{IL} と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“LOW”レベルを入力していなければなりません。

(5) プルアップ電流テスト (I_{PI})

プルアップ抵抗付き入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“LOW”レベルを入力していなければなりません。

(6) プルダウン電流テスト (I_{PD})

プルダウン抵抗付き入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“HIGH”レベルを入力していなければなりません。

(7) オフステートリーク電流 (I_{OZ})

オープンドレインおよび3-state出力バッファにおいて、出力の状態がハイインピーダンスのときに流れるリーク電流を測定します。実際の測定は、ハイインピーダンス状態の被測定端子に V_{DD} レベルの電圧を与えたとき、 V_{SS} レベルの電圧を与えたとき各々の電流値を測定します。したがって、テストパターンの中に被測定端子がハイインピーダンス状態になるイベントがなければなりません。

A4.2 AC テストパターン

AC テストは、入力端子の変化が起こってからそれが出力端子に伝播するまでの時間を測定します。AC テスト回路をお客さまにて作成される場合、AC テストの測定パスはお客さまに選択していただきます。

(1) 測定イベントに関する制約

このテストは通常バイナリサーチ法と呼ばれるテスト方法で行われますので、測定イベント内での被測定端子（変化のあった出力端子）の変化点は一箇所だけである必要があります。（RZ 波形が出力されている端子での測定はできません。また測定イベントでハザードが出力されている場合も測定できません）また、測定する信号の状態変化は、“HIGH” → “LOW” または “LOW” → “HIGH” でなければいけません。（Z が関係する変化は測定できません）

その他注意事項として、測定イベントで多数の出力端子の同時変化や、双方向端子と IC テスタとの信号のコンテンションがないようなイベントを選択する必要があります。これは、同時変化や信号のコンテンションがあると、IC の電源が振られて被測定端子の出力波形に影響が出てしまい正確な測定を行うことができなくなるからです。

(2) AC テストの測定箇所に関する制約

AC テストの測定箇所は、4 種類以内にして下さい。

(3) 測定するパスの遅延に関する制約

AC 測定パスは遅延の大きいパスを測定するほど測定精度が上がります。測定パスの遅延時間はテストシミュレーションの Max 条件で 30nsec 以上かつストローブポイント以下に設定して下さい。

(4) その他の制約

- ① 発振回路からのパスは、指定しないで下さい。
- ② 内部 3-state の回路（内部バス）を通らないパスを指定して下さい。
- ③ 測定パスの入力バッファから出力バッファの間に他の双方向バッファを通るパスを指定しないで下さい。
- ④ 使用電圧範囲が 2 種類以上ある場合、AC テストの測定電圧は 1 種類に統一して下さい。

(5) 双方向端子のテストパターン制限

双方向端子はテスタの制限によって 1 イベント内では入力モードと出力モードの切り替えを複数回（2 回以上）行うことができません。したがって双方向バッファの入出力モードの切り替え制御に RZ 波形が使われないようにテストパターンの作成をして下さい。

A5. 入出力バッファ特性グラフ

A5.1 入出力バッファ特性 (3.3V 動作時)

A5.1.1 入力バッファ特性 (3.3V±0.3V)

(1) 標準セル入力バッファ

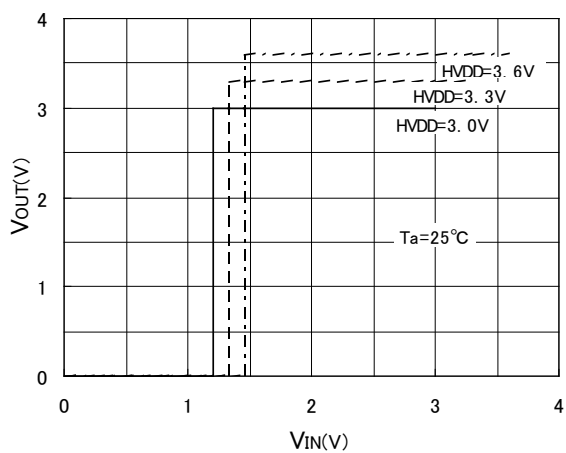


図 A5-1 入力特性 (LVTTTL)

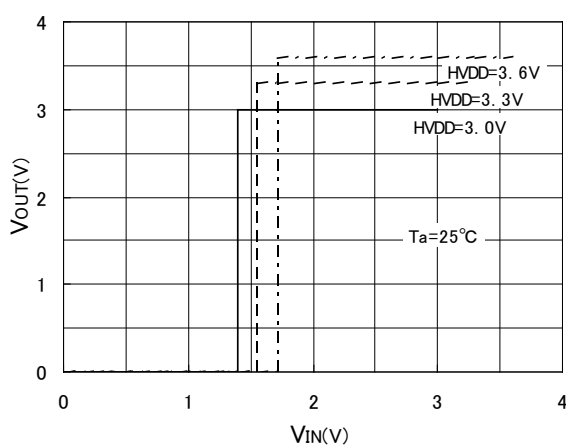


図 A5-2 入力特性 (CMOS)

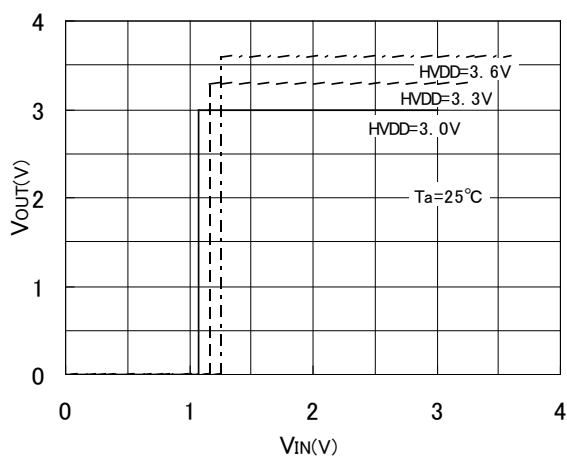


図 A5-3 入力特性 (PCI-3V)

(2) シュミットトリガーセル入力バッファ

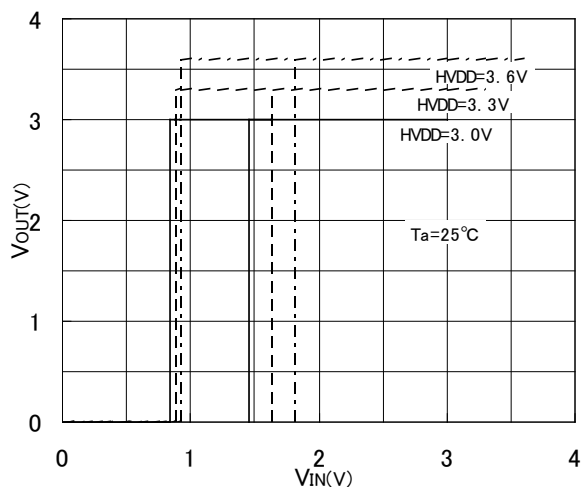


図 A5-4 入力特性 (LVTTTL Schmitt)

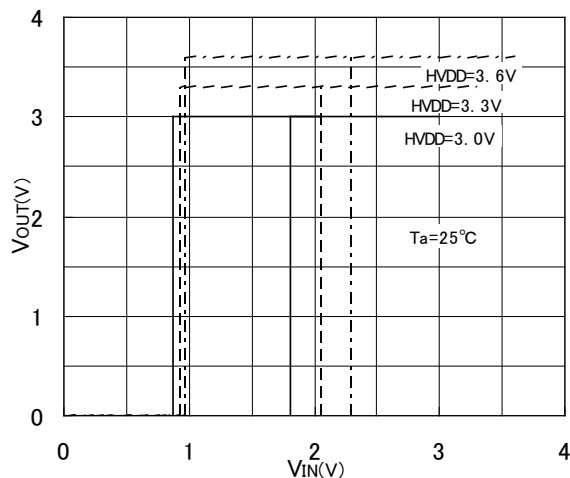


図 A5-5 入力特性 (CMOS Schmitt)

A5.1.2 出力バッファ特性 (3.3V±0.3V)

(1) 出力バッファ規格一覧表

表 A5-1 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.1	0.1	mA
Type M	-1	1	mA
Type 1	-3	3	mA
Type 2	-6	6	mA
Type 3	-12	12	mA
Type 4	-24	24	mA
PCI	PCI 規格に準ずる		mA

注) *1 : $V_{OH} = HV_{DD} - 0.4V$ ($HV_{DD} = 3.3V$)

*2 : $V_{OL} = 0.4V$ ($HV_{DD} = 3.3V$)

(2) $I_{OL}-V_{OL}$ 、 $I_{OH}-V_{OH}$

● $I_{OL}-V_{OL}$

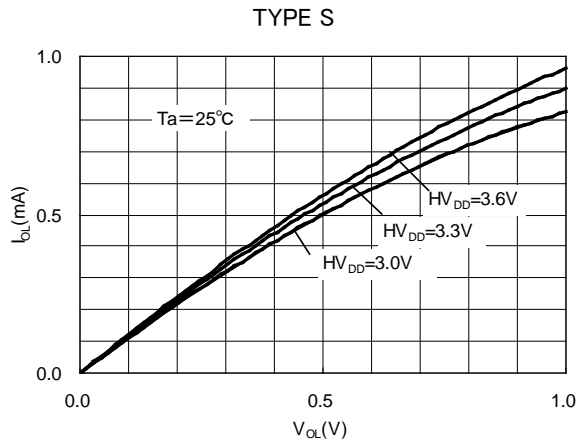


図 A5-6

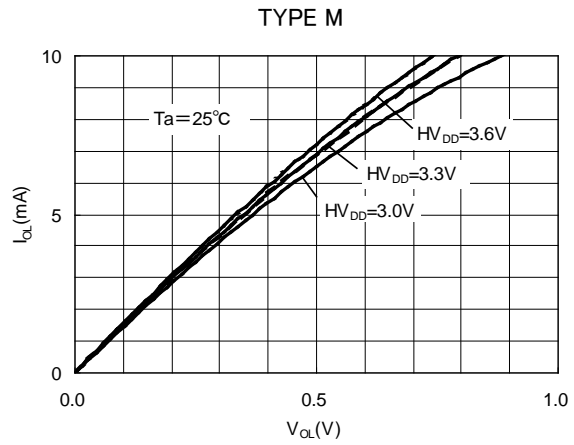


図 A5-7

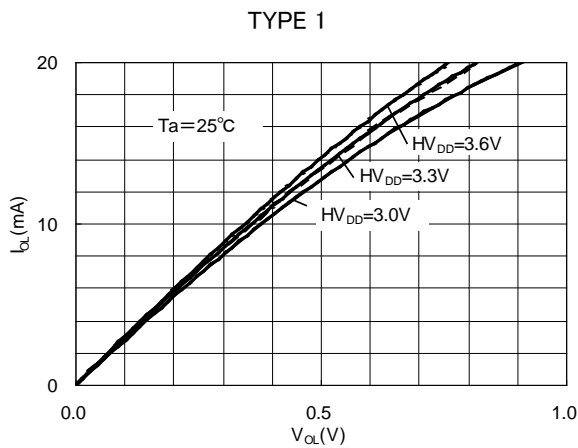


図 A5-8

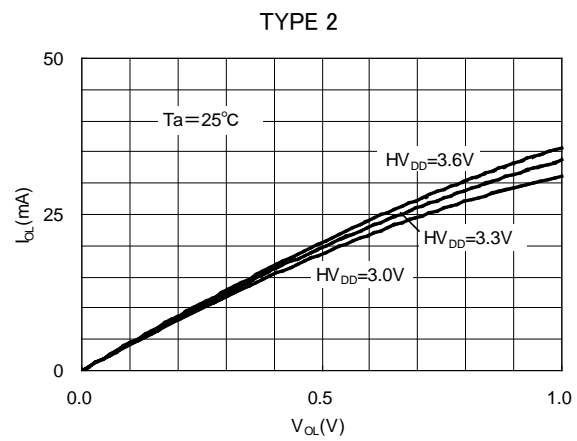


図 A5-9

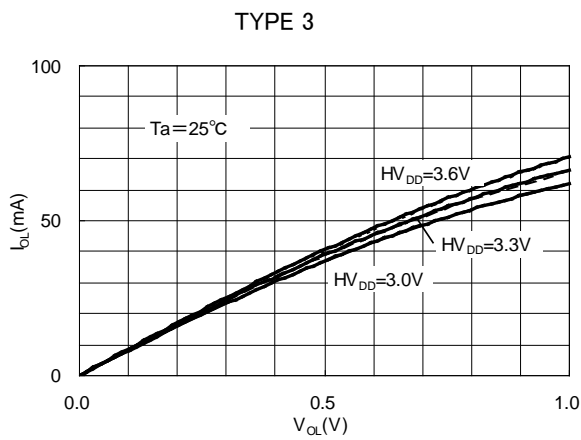


図 A5-10

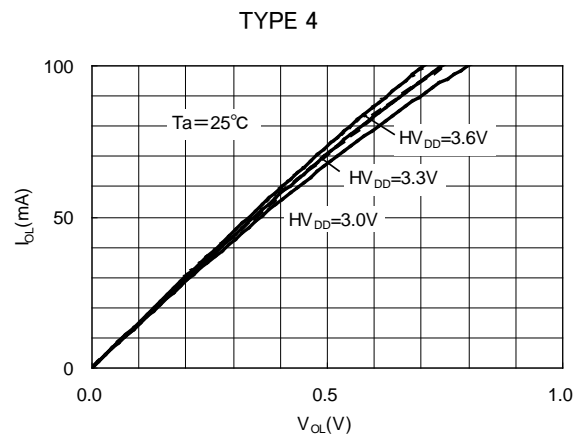


図 A5-11

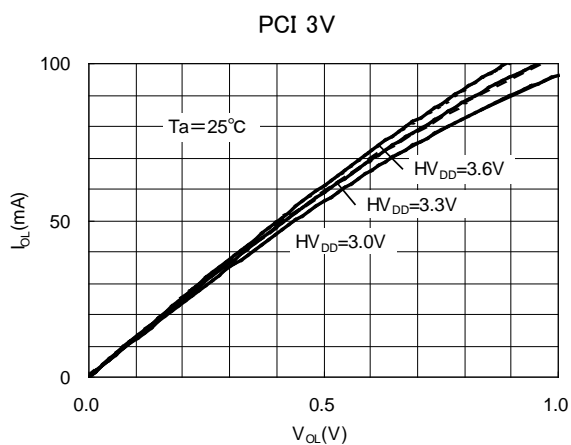


図 A5-12

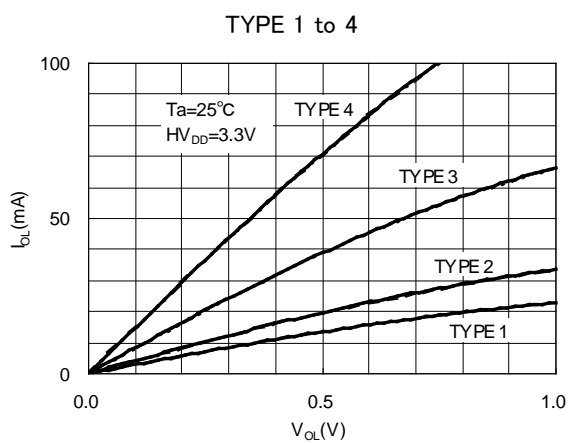


図 A5-13

● $I_{OH}-V_{OH}$

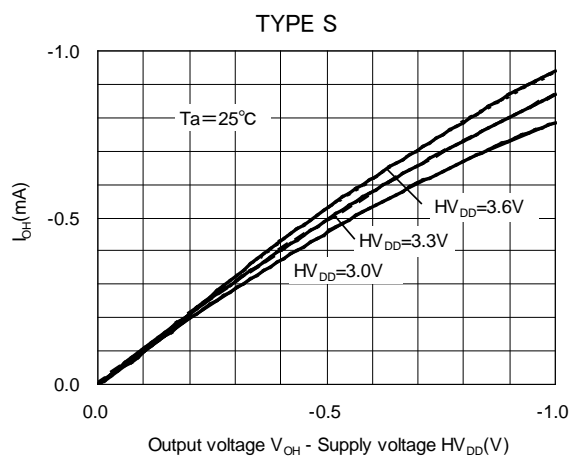


図 A5-14

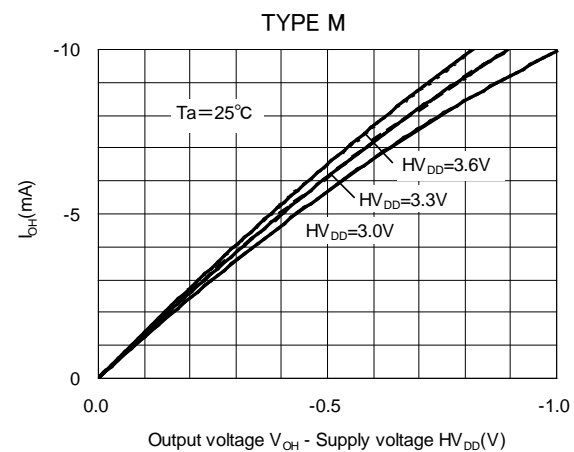


図 A5-15

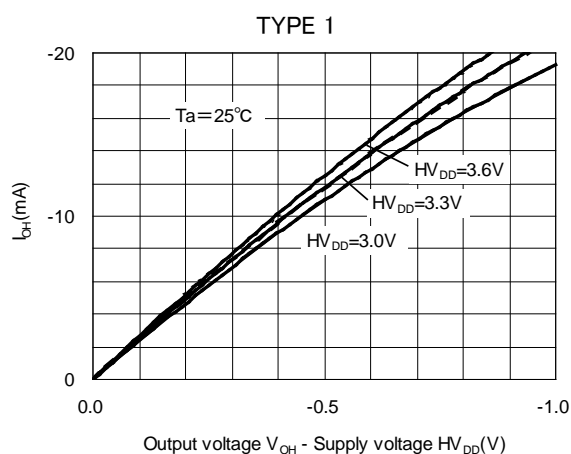


図 A5-16

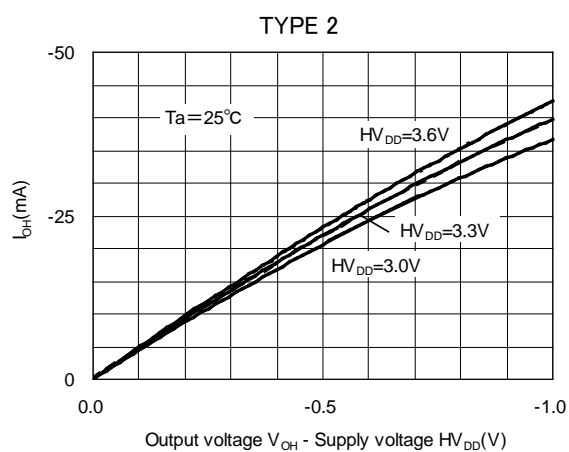


図 A5-17

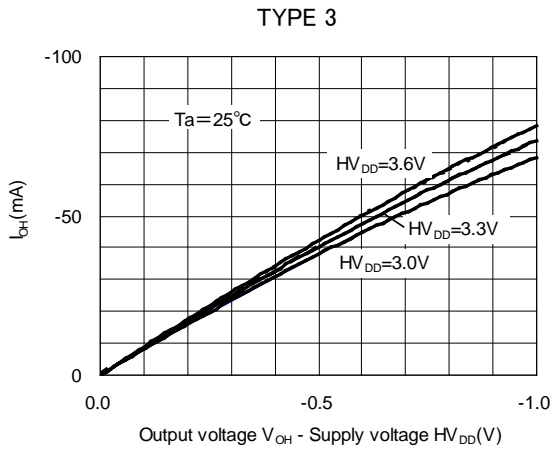


図 A5-18

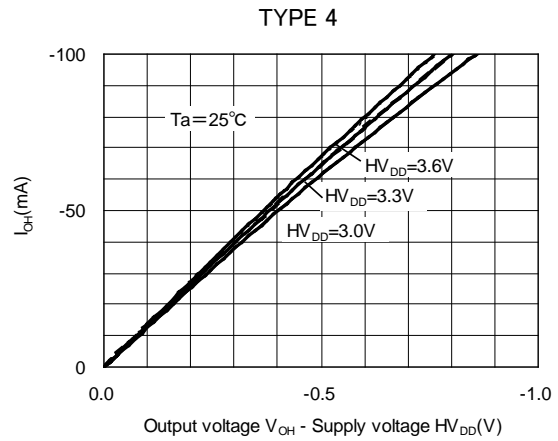


図 A5-19

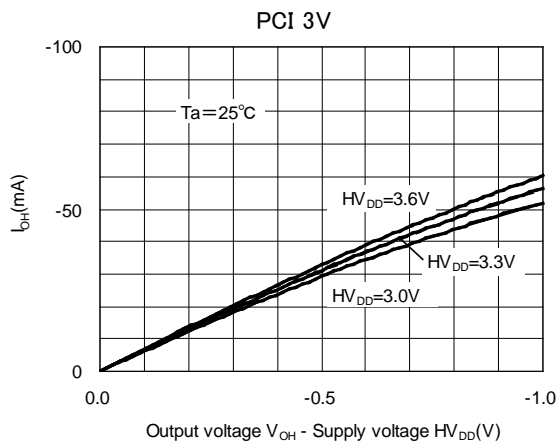


図 A5-20

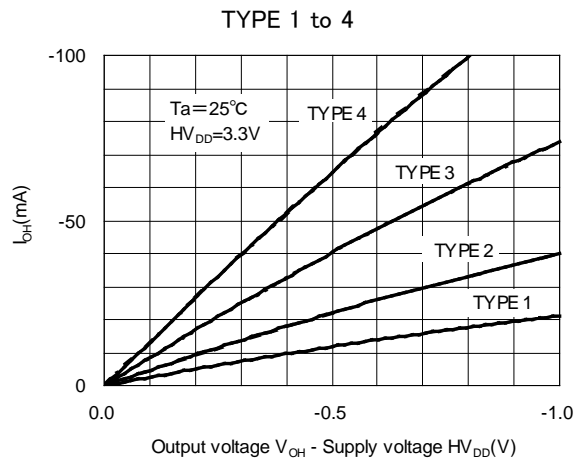


図 A5-21

(3) I_{OL} 、 I_{OH} 温度特性

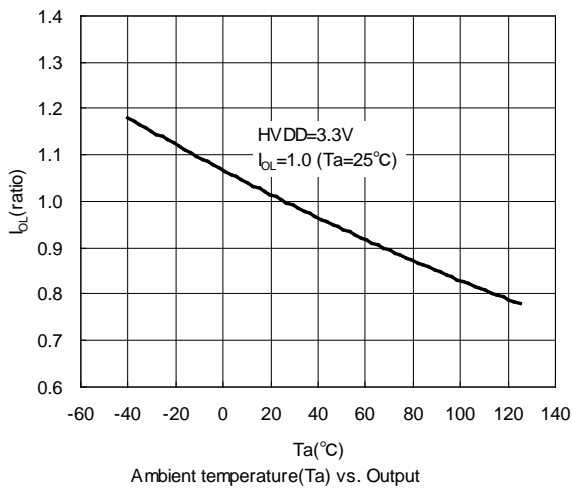


図 A5-22

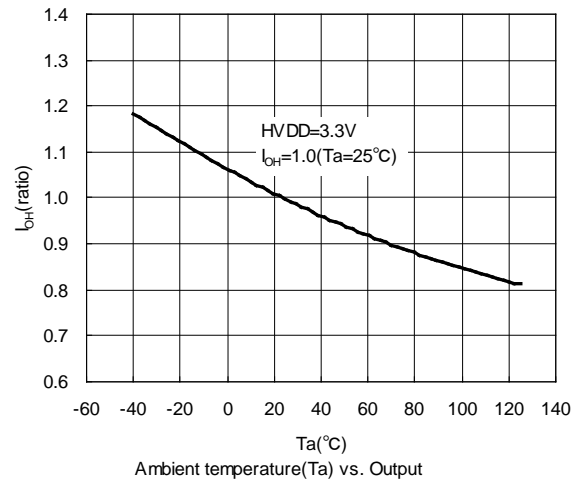


図 A5-23

(4) 出力遅延時間－出力負荷容量 (C_L)

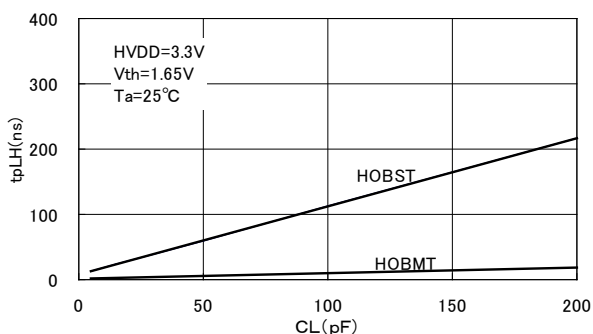


図 A5-24 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

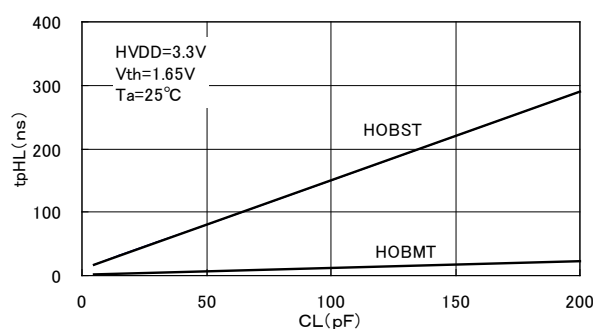


図 A5-25 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

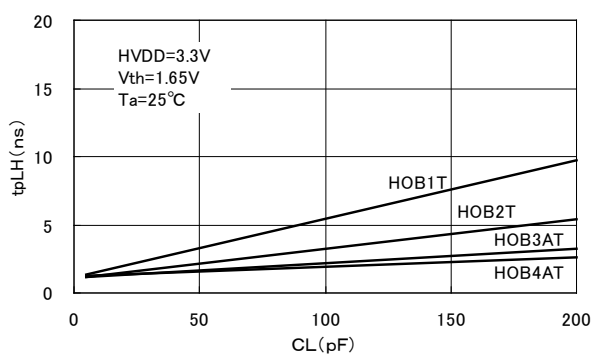


図 A5-26 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

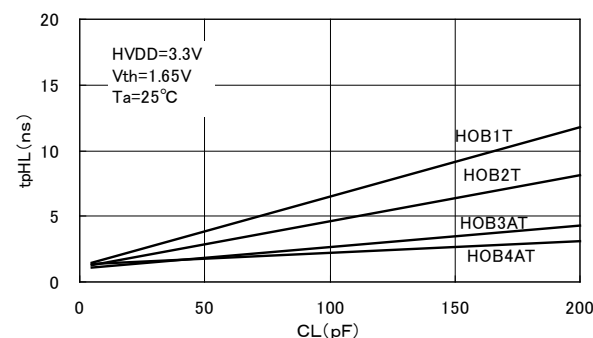


図 A5-27 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

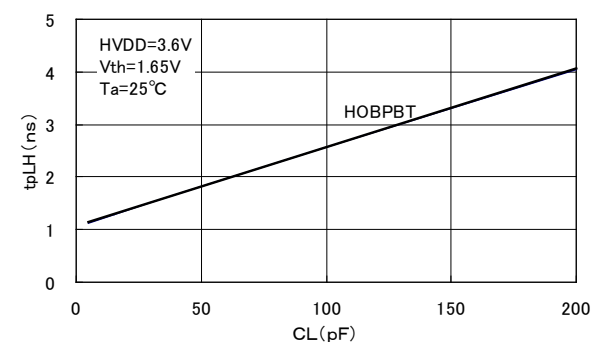


図 A5-28 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

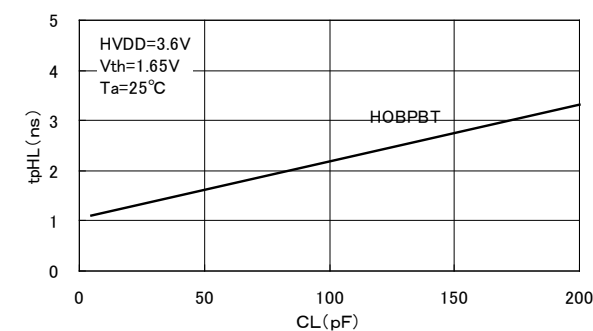


図 A5-29 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (C_L)

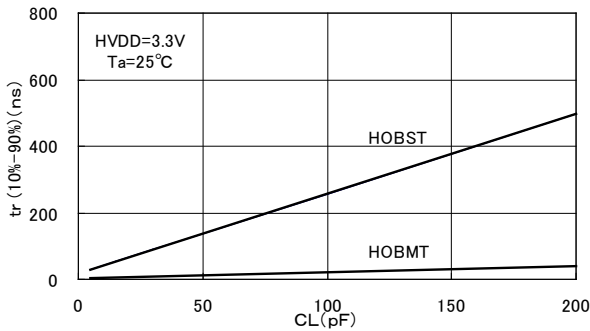


図 A5-30 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

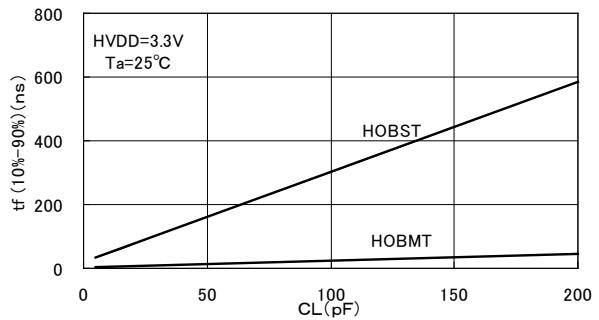


図 A5-31 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

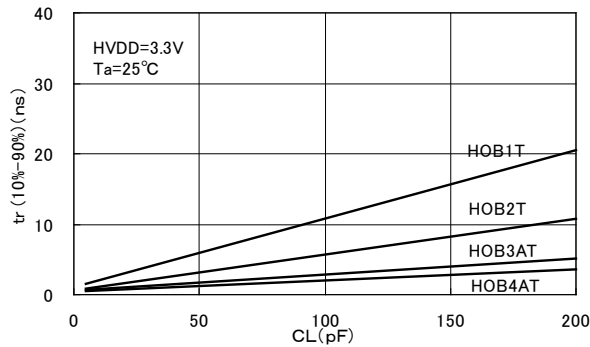


図 A5-32 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

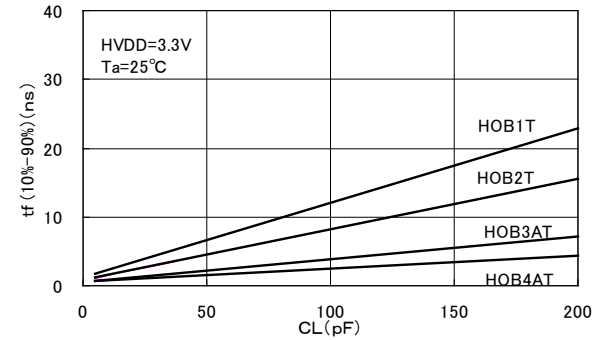


図 A5-33 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

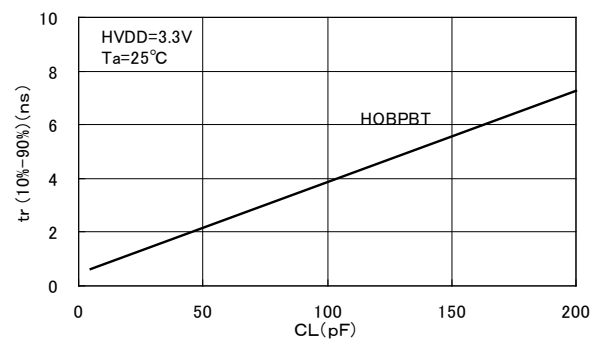


図 A5-34 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

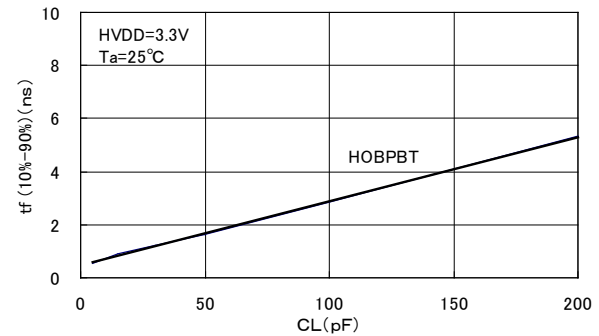


図 A5-35 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

(6) プルアップ／プルダウン特性

●プルアップ特性

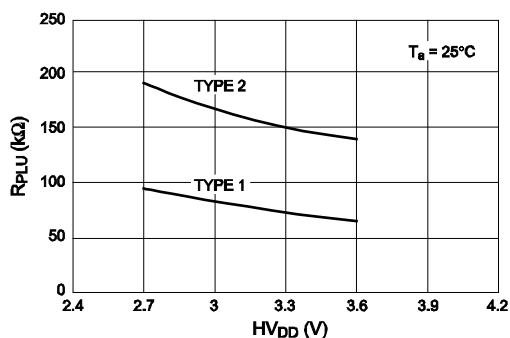


図 A5-36 プルアップ抵抗 HV_{DD} 依存性

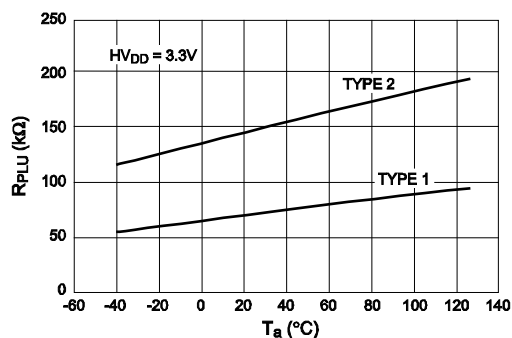


図 A5-37 プルアップ抵抗周囲温度依存性

●プルダウン特性

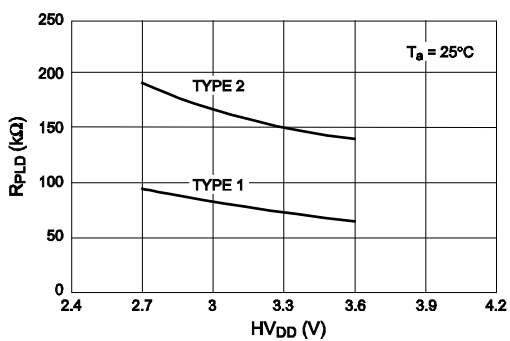


図 A5-38 プルダウン抵抗 HV_{DD} 依存性

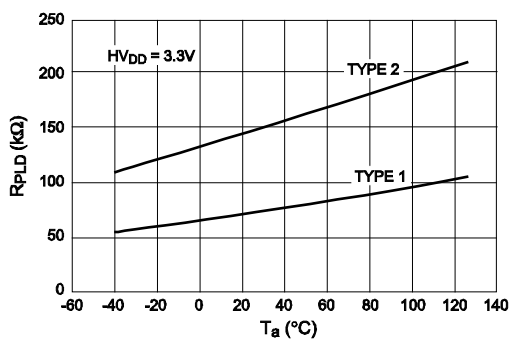


図 A5-39 プルダウン抵抗周囲温度依存性

(7) 出力波形

● High Speed Type

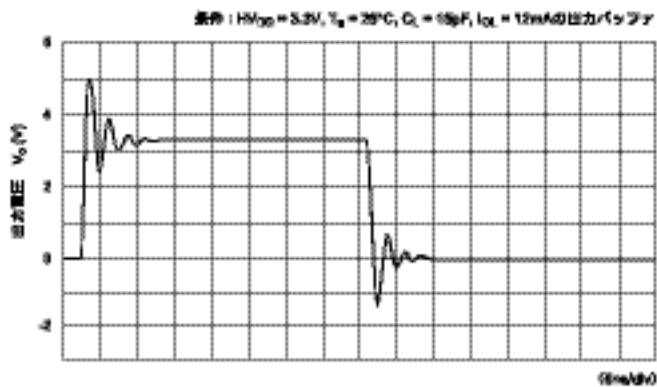


図 A5-40 出力波形 (HOB3AT)

● Normal Type

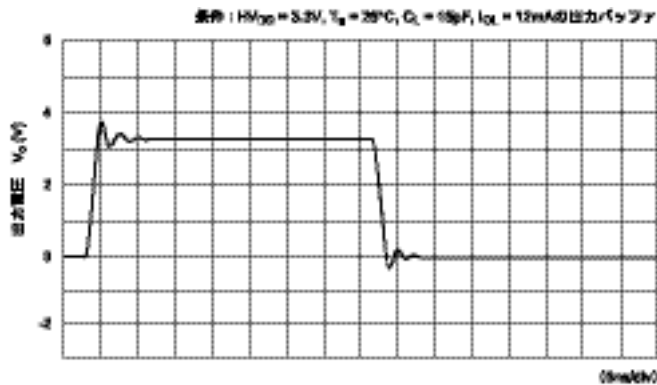


図 A5-41 出力波形 (HOB3T)

● Low Noise Type

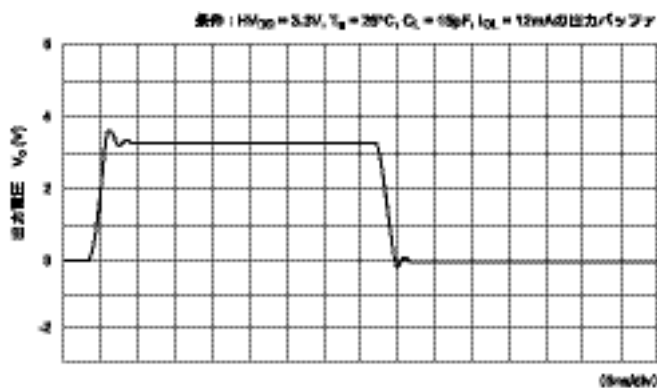


図 A5-42 出力波形 (HOB3BT)

A5.2 入出力バッファ特性 (2.5V 動作時)

A5.2.1 入力バッファ特性 (2.5V±0.2V)

- 標準セル入力バッファ

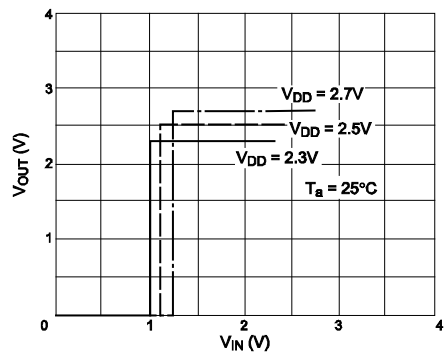


図 A5-43 入力特性 (CMOS)

- シュミットトリガーセル入力バッファ

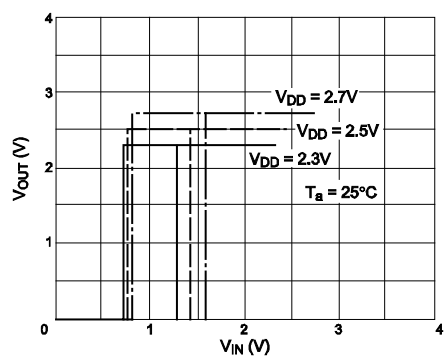


図 A5-44 入力特性 (CMOS Schmitt)

A5.2.2 出力バッファ特性 (2.5V±0.2V)

(1) 出力バッファ規格一覧表

表 A5-2 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.1	0.1	mA
Type M	-1	1	mA
Type 1	-3	3	mA
Type 2	-6	6	mA
Type 3	-9	9	mA
Type 4	-18	18	mA

注) *1 : $V_{OH} = V_{DD} - 0.4V$ ($V_{DD} = 2.5V$)

*2 : $V_{OL} = 0.4V$ ($V_{DD} = 2.5V$)

(2) $I_{OL}-V_{OL}$ 、 $I_{OH}-V_{OH}$

● $I_{OL}-V_{OL}$

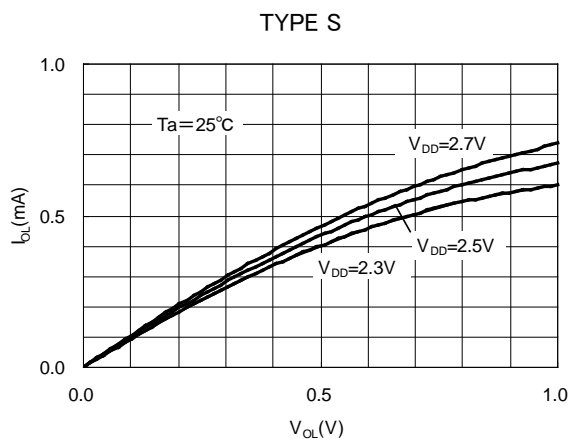


図 A5-45

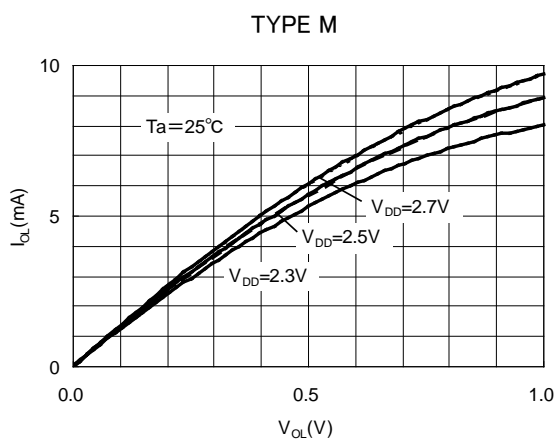


図 A5-46

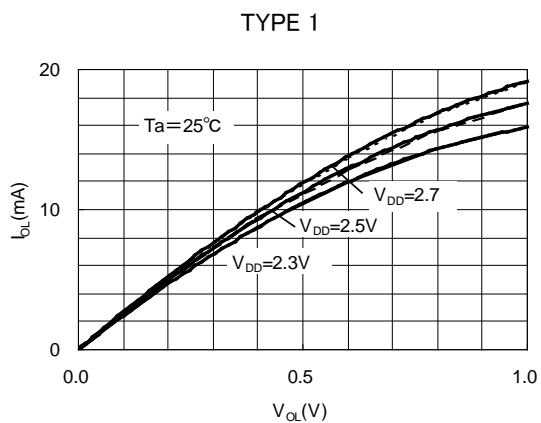


図 A5-47

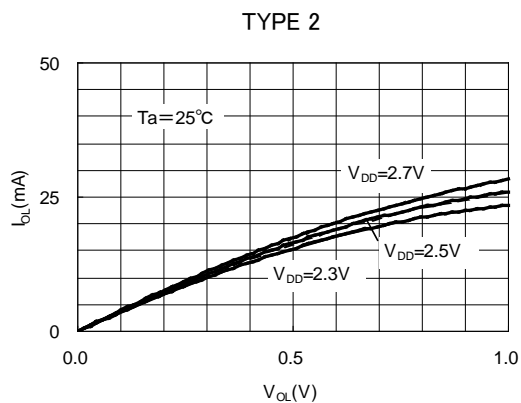


図 A5-48

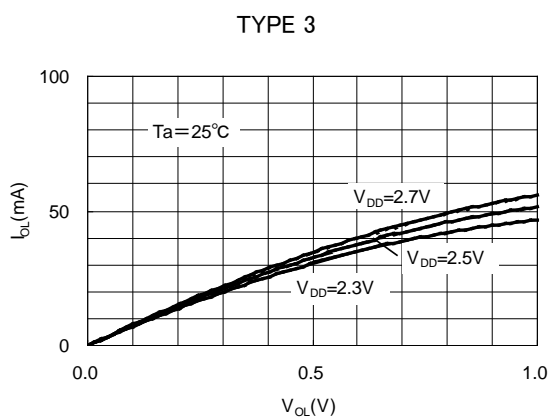


図 A5-49

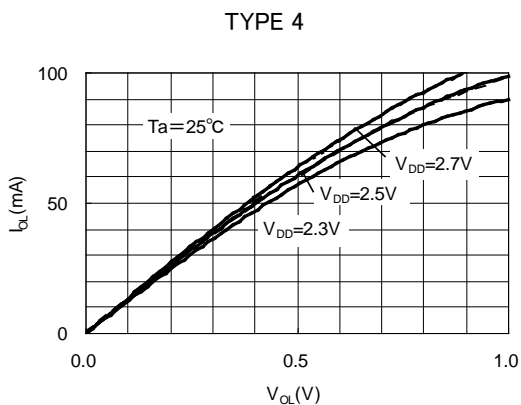


図 A5-50

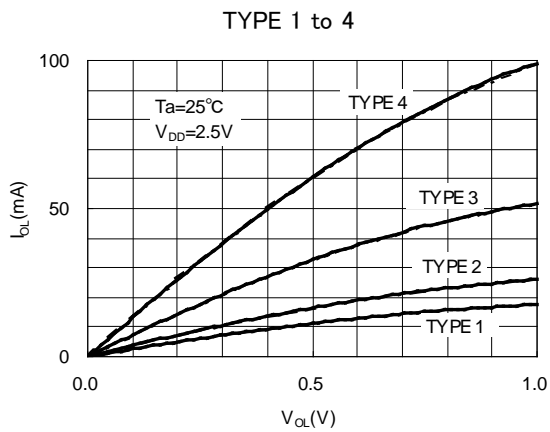


図 A5-51

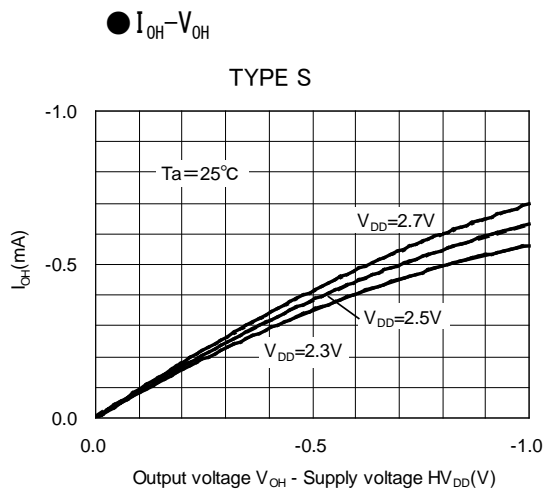


図 A5-52

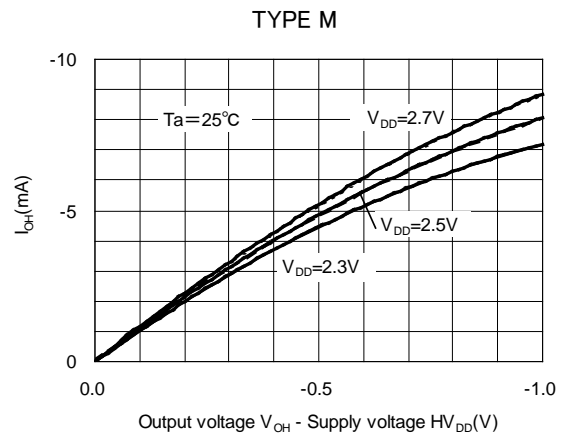


図 A5-53

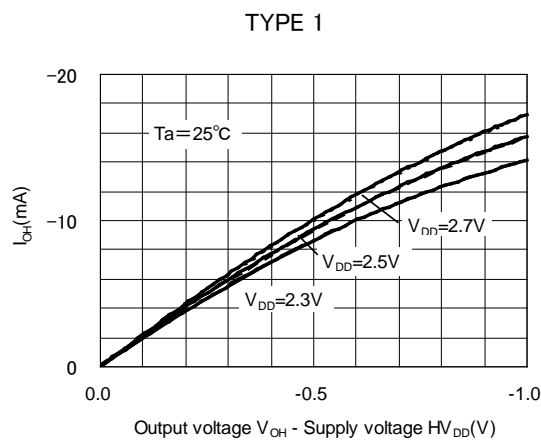


図 A5-54

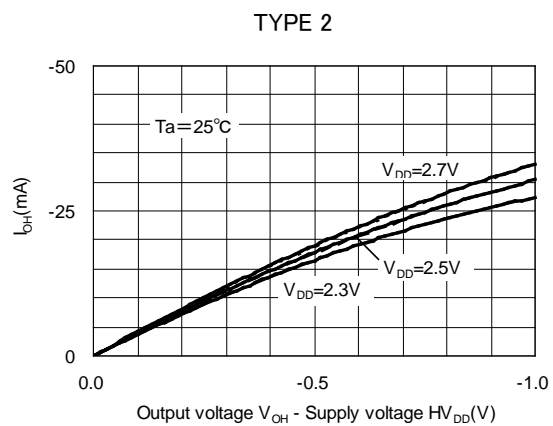


図 A5-55

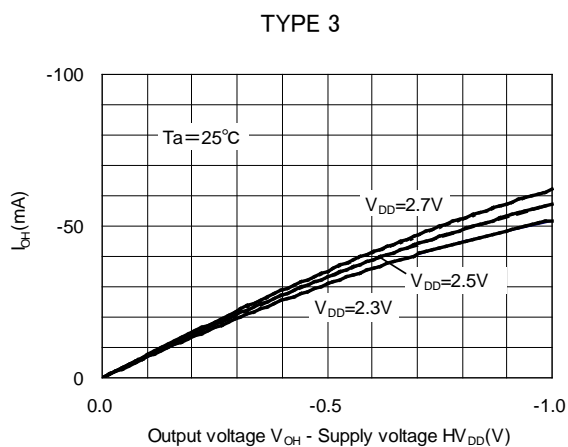


図 A5-56

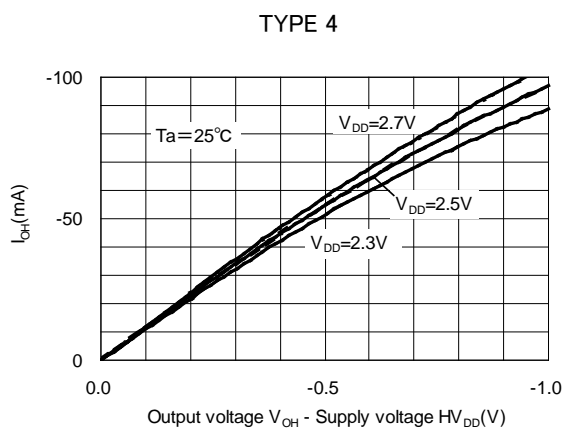


図 A5-57

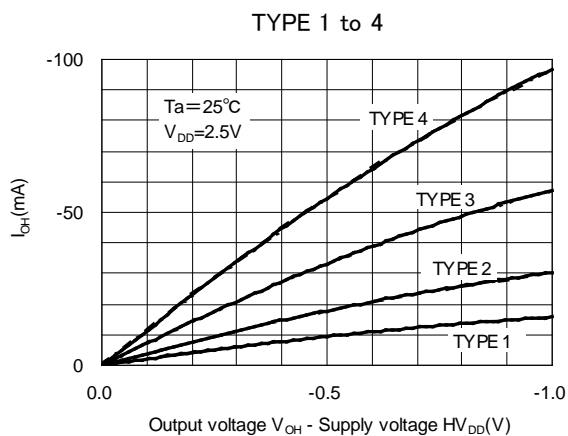


図 A5-58

(3) I_{OL} 、 I_{OH} 温度特性

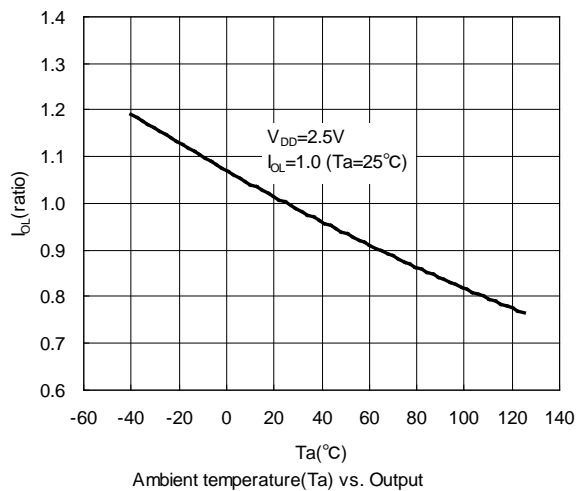


図 A5-59

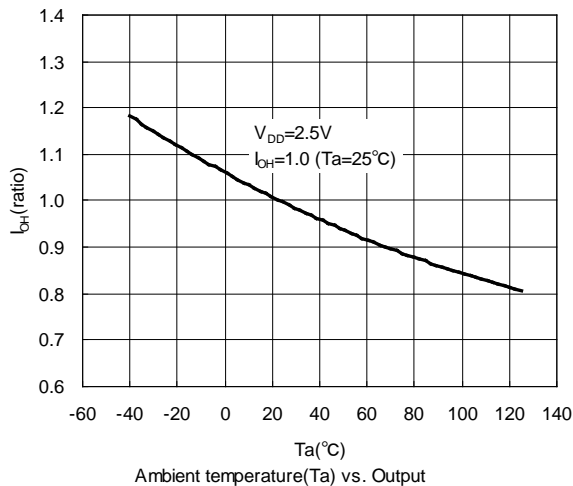


図 A5-60

(4) 出力遅延時間—出力負荷容量 (C_L)

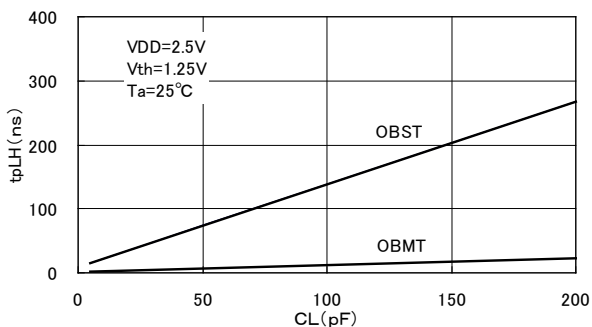


図 A5-61 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

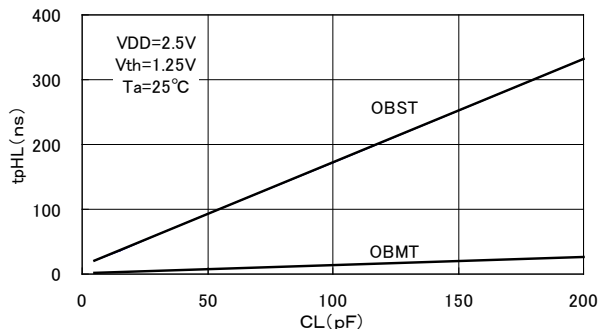


図 A5-62 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

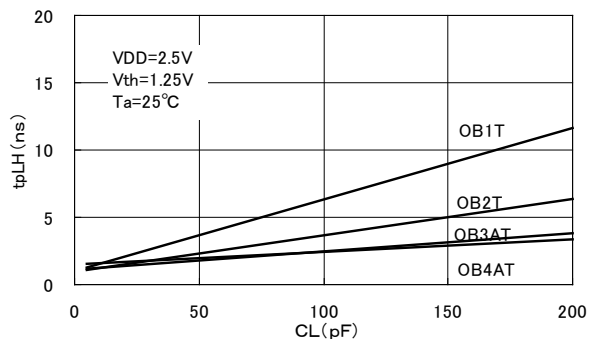


図 A5-63 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

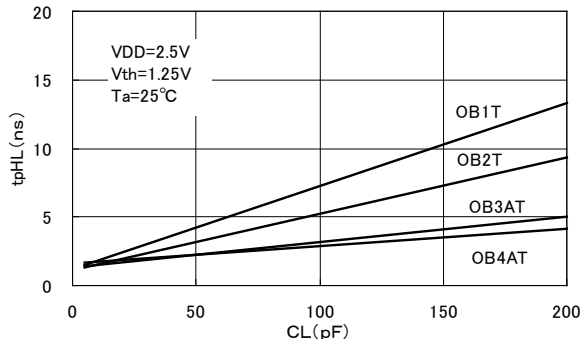


図 A5-64 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (C_L)

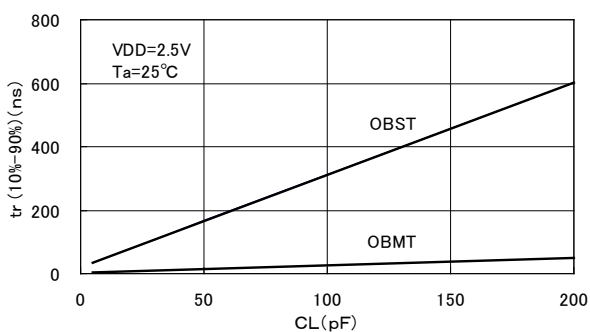


図 A5-65 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

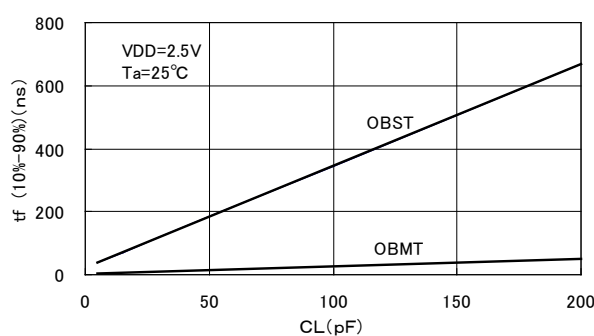


図 A5-66 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

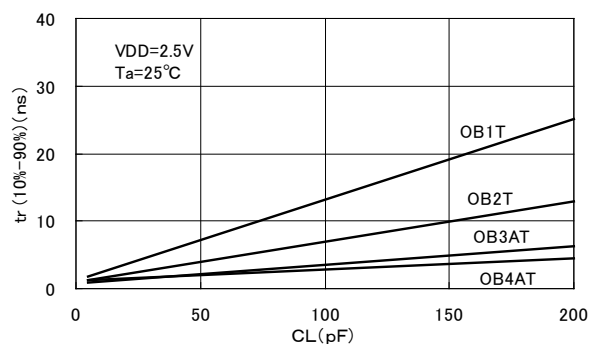


図 A5-67 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

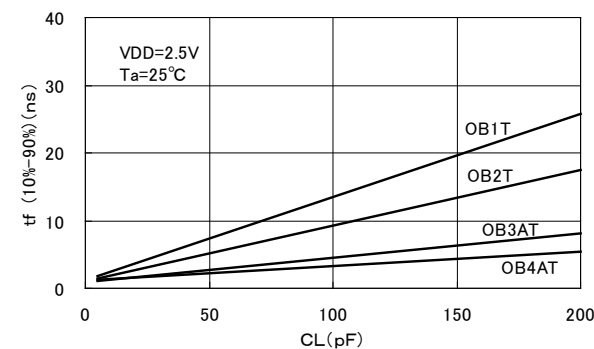


図 A5-68 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

(6) プルアップ／プルダウン特性

●プルアップ特性

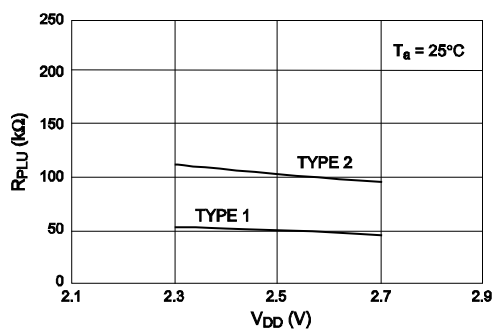


図 A5-69 プルアップ抵抗 V_{DD} 依存性

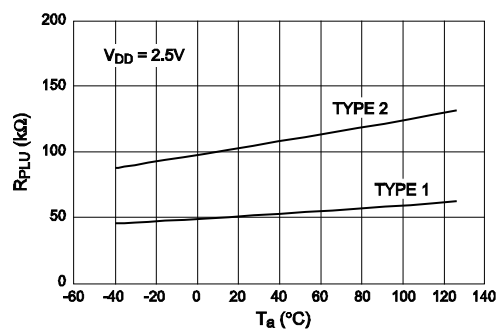


図 A5-70 プルアップ抵抗周囲温度依存性

●プルダウン特性

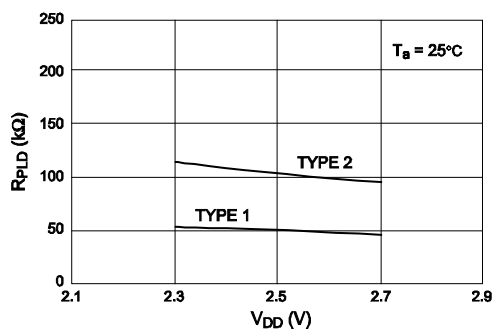


図 A5-71 プルダウン抵抗 V_{DD} 依存性

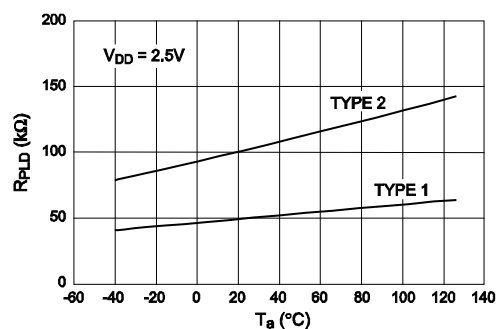


図 A5-72 プルダウン抵抗周囲温度依存性

(7) 出力波形

●High Speed Type

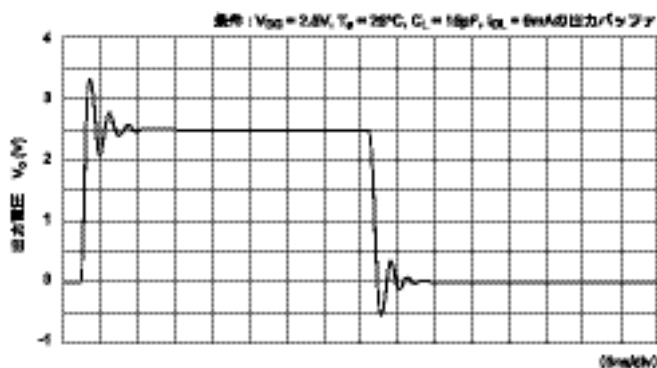


図 A5-73 出力波形 (OB3AT)

●Normal Type

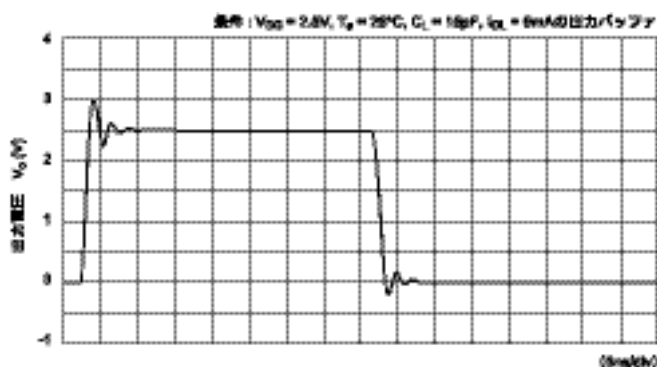


図 A5-74 出力波形 (OB3T)

●Low Noise Type

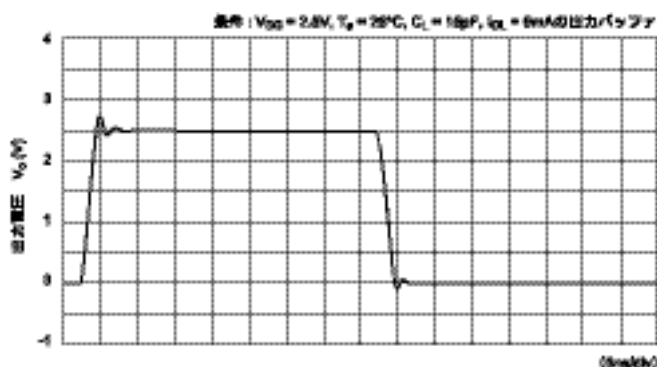


図 A5-75 出力波形 (OB3BT)

付録

A5.3 入出力バッファ特性 (2.0V 動作時)

A5.3.1 入力バッファ特性 (2.0V \pm 0.2V)

- 標準セル入力バッファ

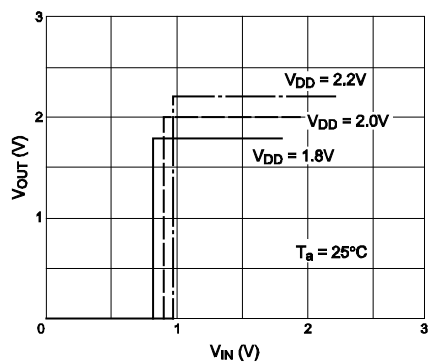


図 A5-76 入力特性 (CMOS)

- シュミットトリガーセル入力バッファ

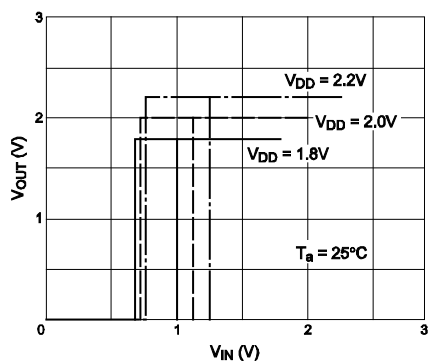


図 A5-77 入力特性 (CMOS Schmitt)

A5.3.2 出力バッファ特性 (2.0V±0.2V)

(1) 出力バッファ規格一覧表

表 A5-3 出力電流特性

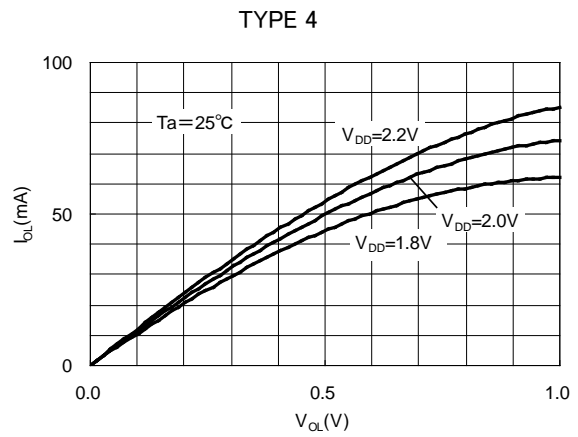
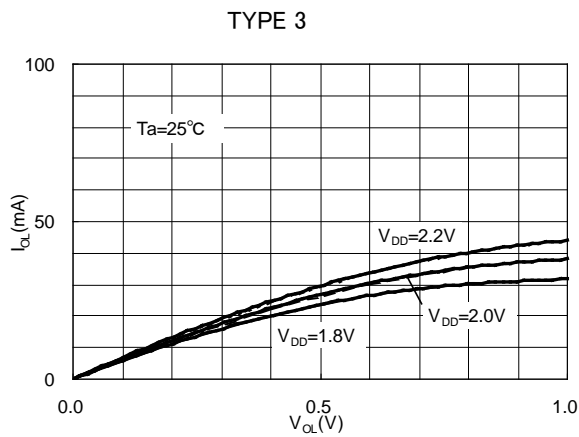
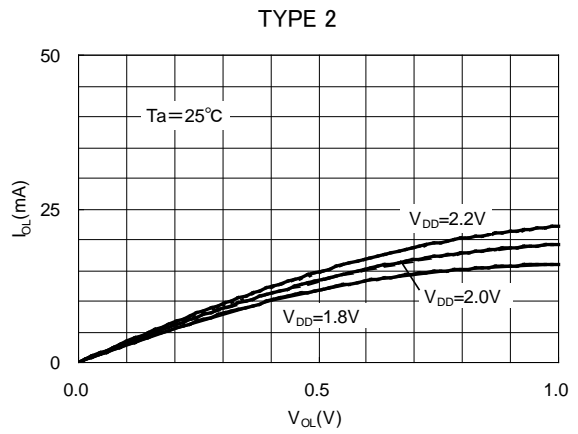
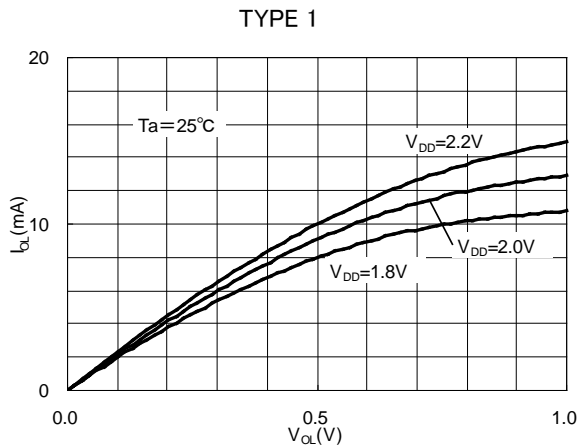
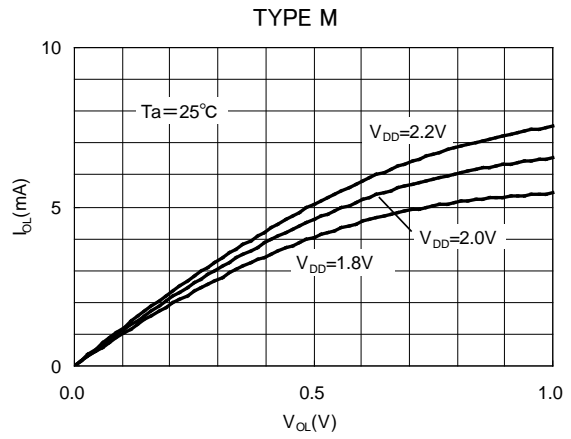
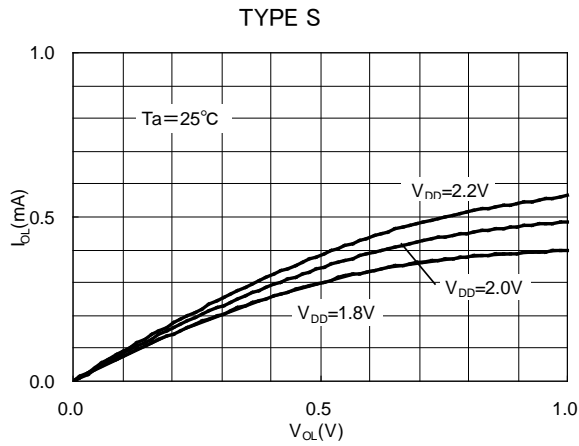
出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.05	0.05	mA
Type M	-0.3	0.3	mA
Type 1	-1	1	mA
Type 2	-2	2	mA
Type 3	-3	3	mA
Type 4	-6	6	mA

注) *1 : $V_{OH}=V_{DD}-0.2V$ ($V_{DD}=2.0V$)*2 : $V_{OL}=0.2V$ ($V_{DD}=2.0V$)

付録

(2) $I_{OL}-V_{OL}$ 、 $I_{OH}-V_{OH}$

● $I_{OL}-V_{OL}$



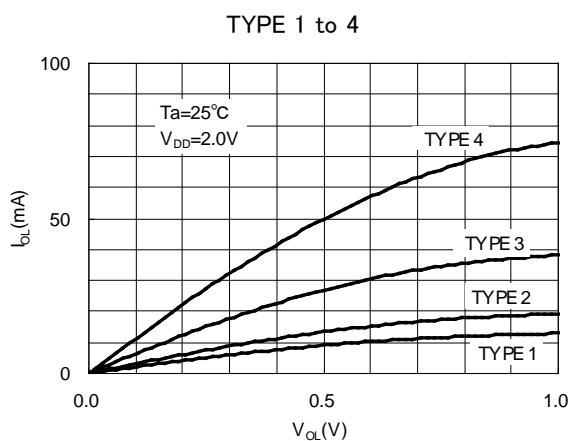


図 A5-84

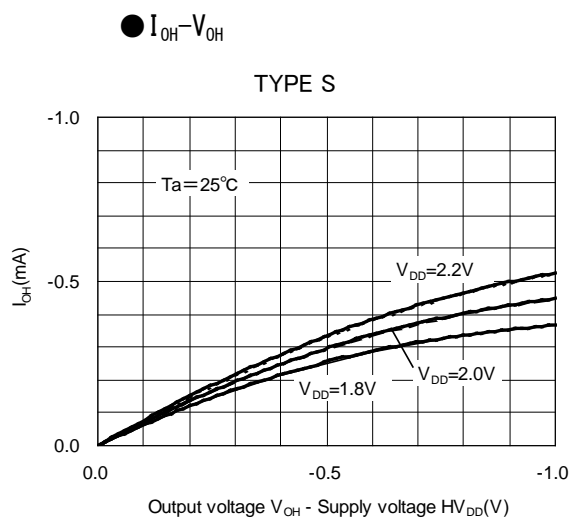


図 A5-85

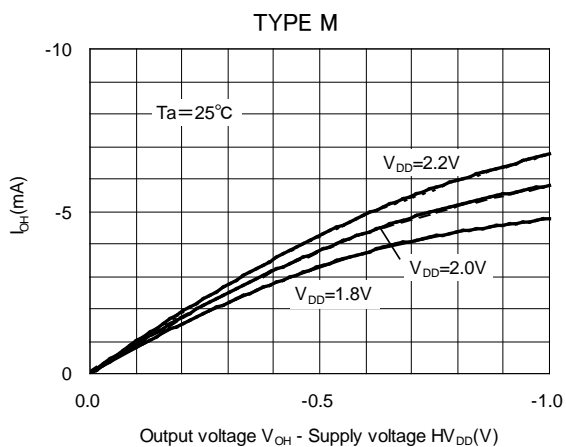


図 A5-86

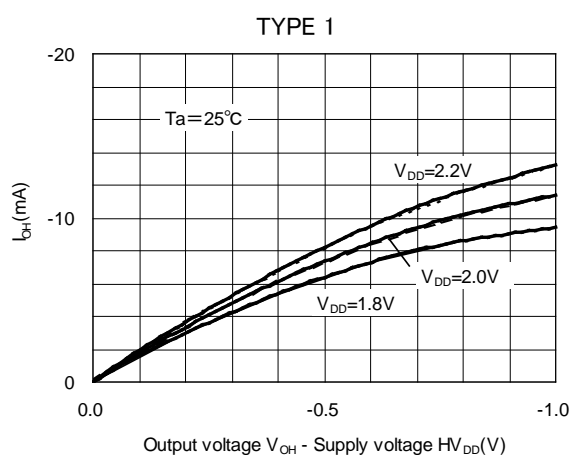


図 A5-87

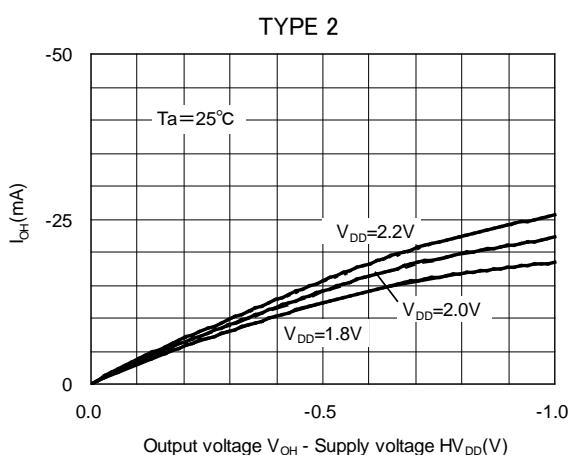


図 A5-88

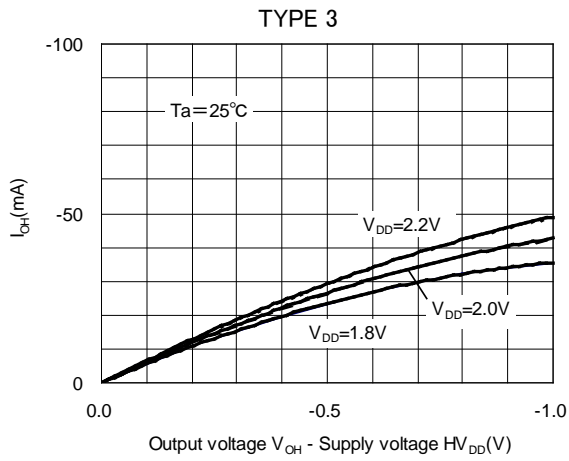


図 A5-89

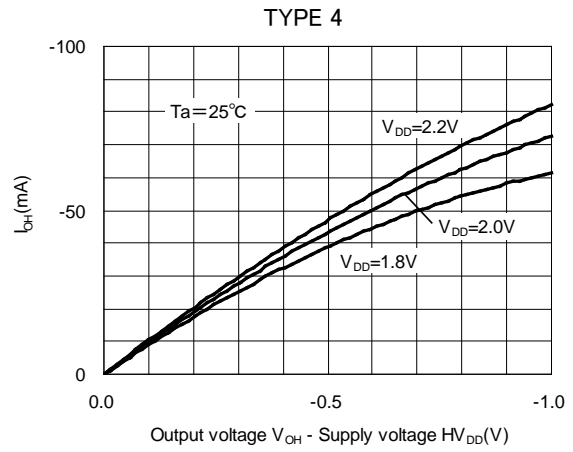


図 A5-90

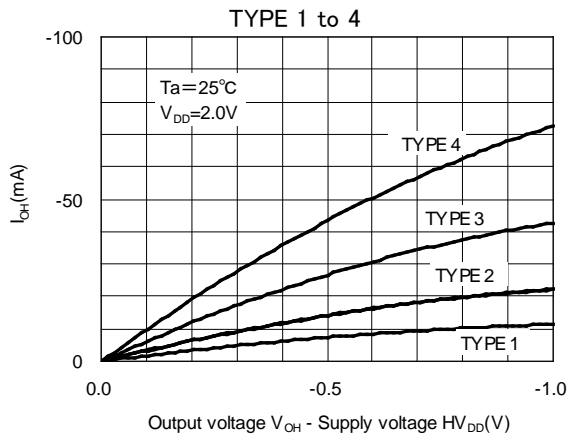


図 A5-91

(3) I_{OL} 、 I_{OH} 温度特性

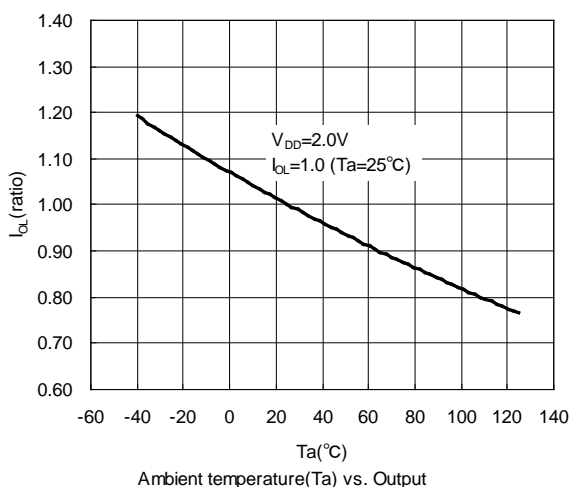


図 A5-92

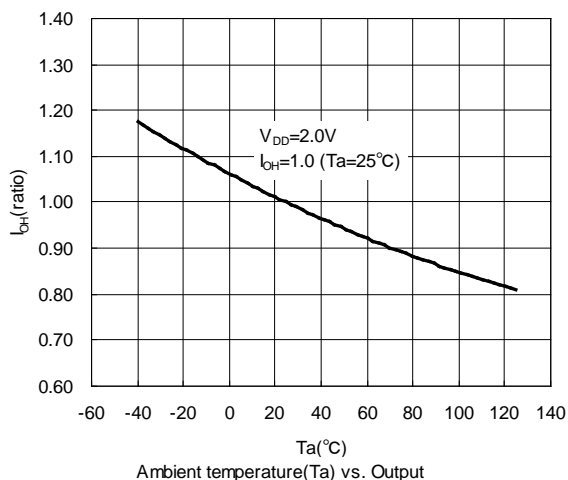


図 A5-93

(4) 出力遅延時間—出力負荷容量 (C_L)

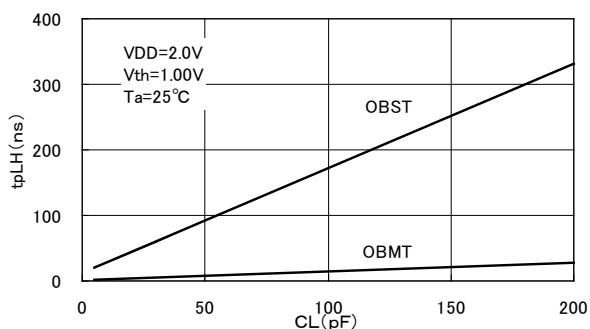


図 A5-94 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

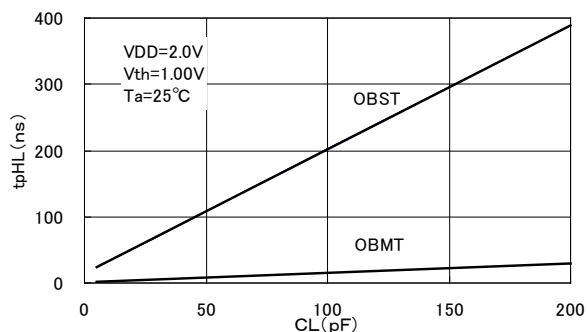


図 A5-95 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

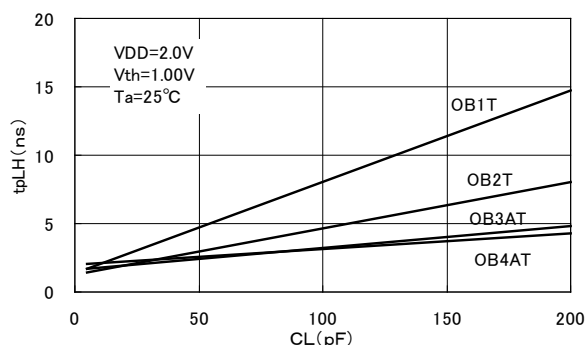


図 A5-96 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

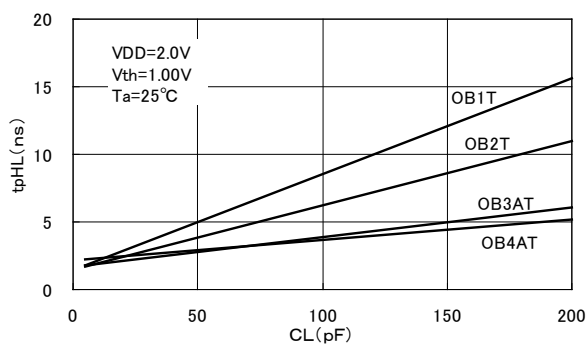


図 A5-97 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり／立ち下がり時間－出力負荷容量 (C_L)

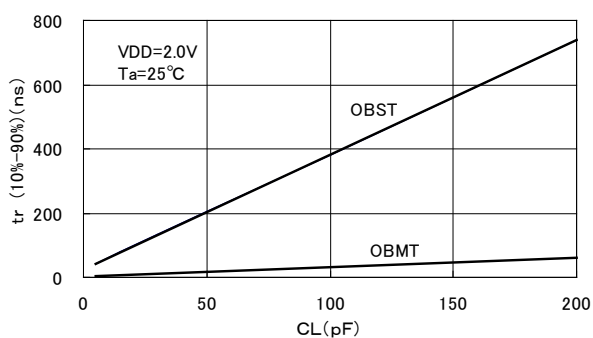


図 A5-98 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

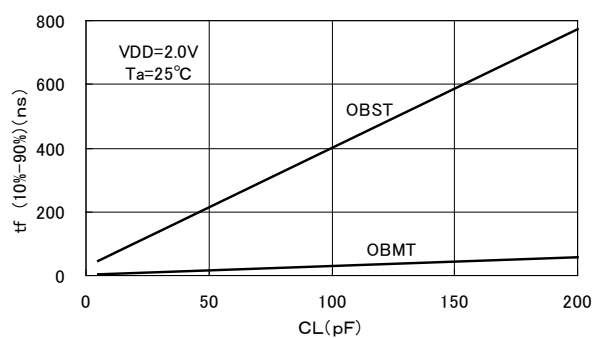


図 A5-99 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

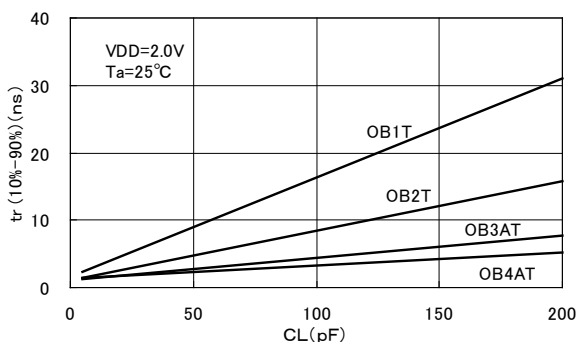


図 A5-100 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

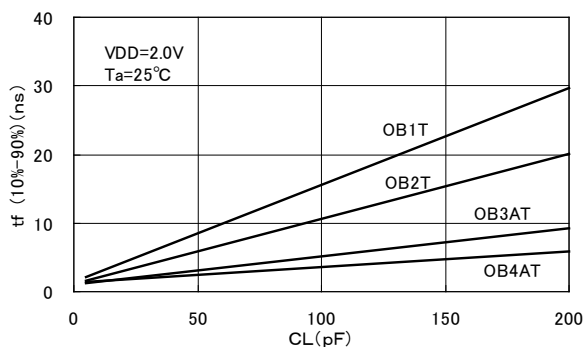


図 A5-101 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

(6) プルアップ／プルダウン特性

●プルアップ特性

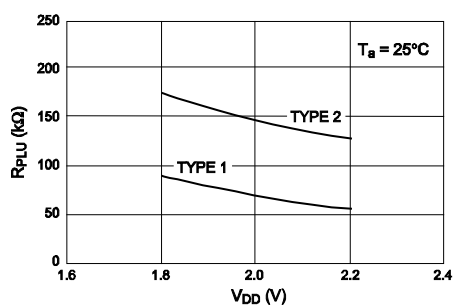


図 A5-102 プルアップ抵抗 V_{DD} 依存性

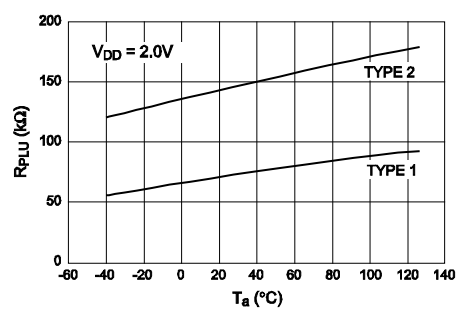


図 A5-103 プルアップ抵抗周囲温度依存性

●プルダウン特性

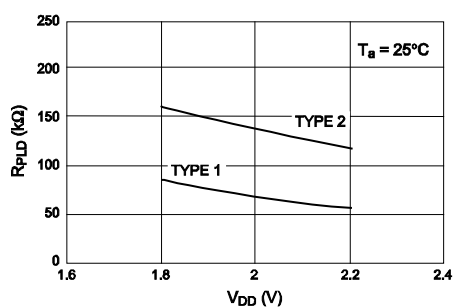


図 A5-104 プルダウン抵抗 V_{DD} 依存性

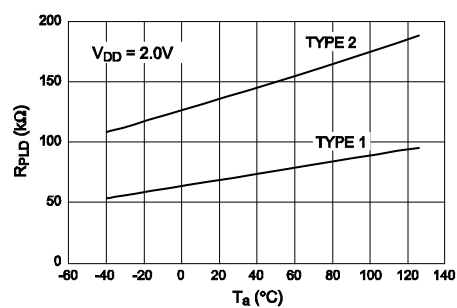


図 A5-105 プルダウン抵抗周囲温度依存性

(7) 出力波形

●High Speed Type

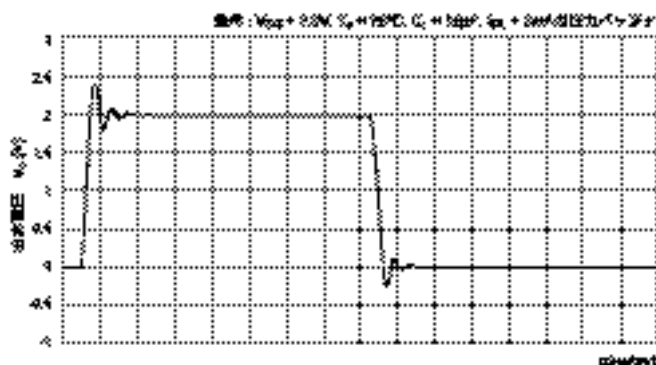


図 A5-106 出力波形 (OB3AT)

●Normal Type

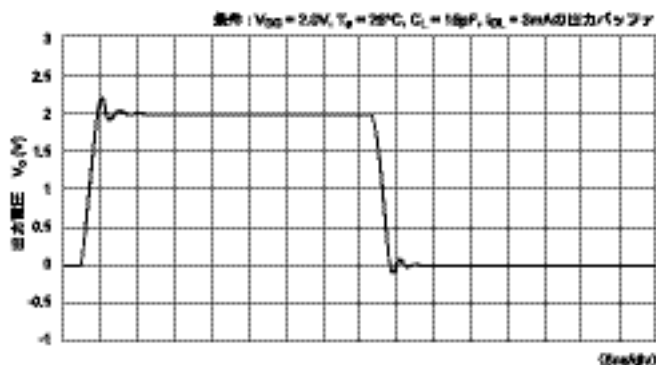


図 A5-107 出力波形 (OB3T)

●Low Noise Type

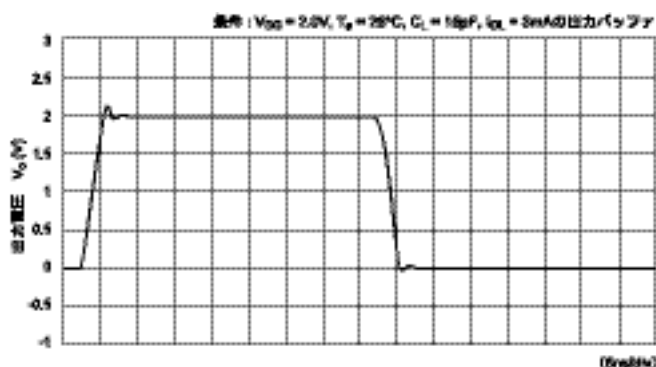


図 A5-108 出力波形 (OB3BT)

A5.4 入出力バッファ特性 (1.8V 動作時)

A5.4.1 出力バッファ特性 (1.8V±0.15V)

(1) 出力バッファ規格一覧表

表 A5-4 出力電流特性

出力電流の種類	出力電流		単位
	I_{OH}^{*1}	I_{OL}^{*2}	
Type S	-0.045	0.045	mA
Type M	-0.27	0.27	mA
Type 1	-0.9	0.9	mA
Type 2	-1.8	1.8	mA
Type 3	-2.7	2.7	mA
Type 4	-5.4	5.4	mA

注) *1 : $V_{OH}=V_{DD}-0.2V$ ($V_{DD}=1.8V$)*2 : $V_{OL}=0.2V$ ($V_{DD}=1.8V$)

(2) IOL-VOL, IOH-VOH

● I_{OL}-V_{OL}

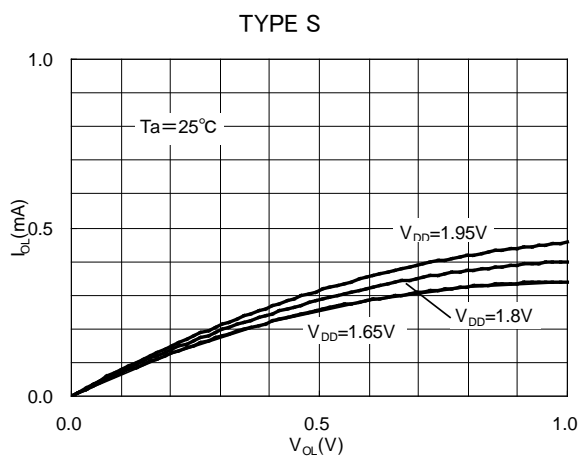


図 A5-109

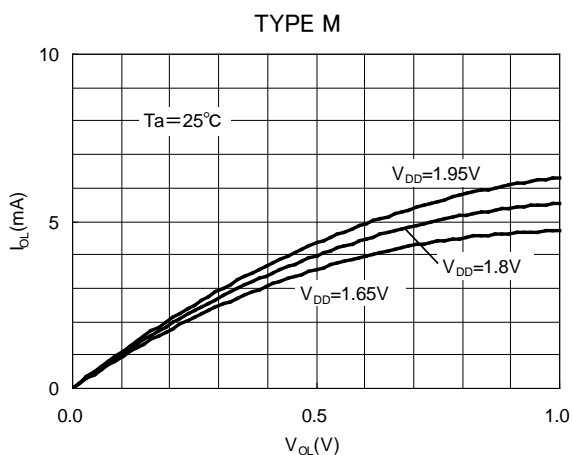


図 A5-110

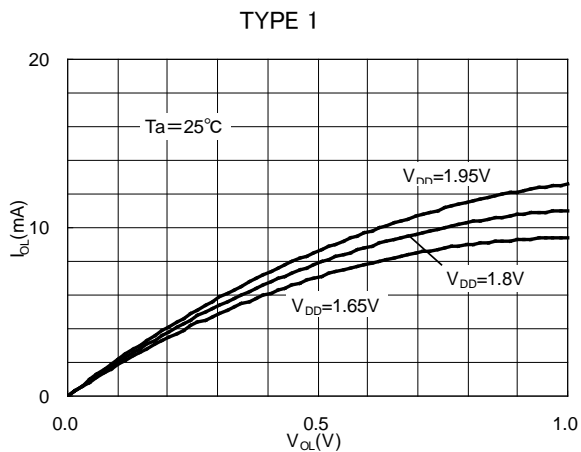


図 A5-111

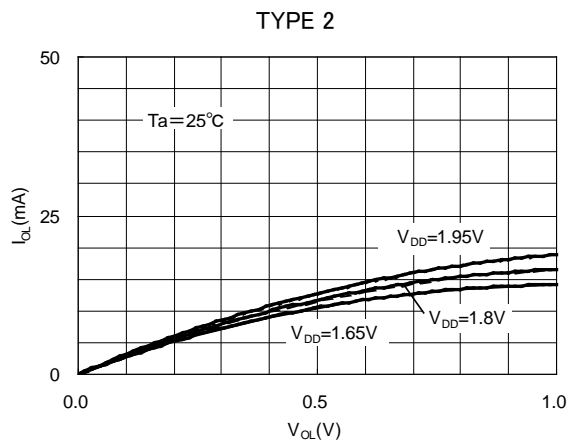


図 A5-112

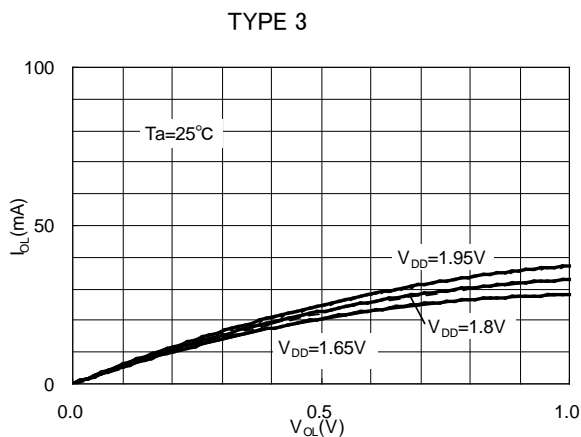


図 A5-113

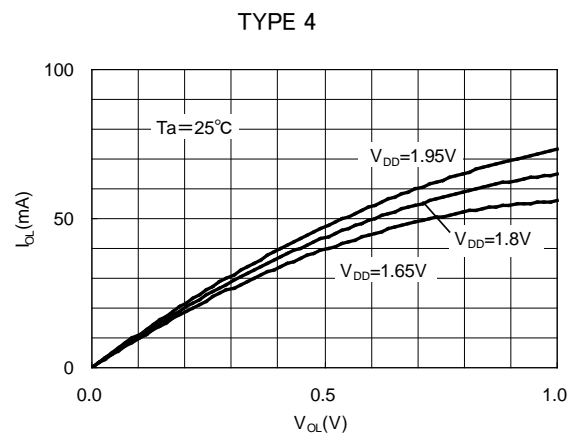


図 A5-114

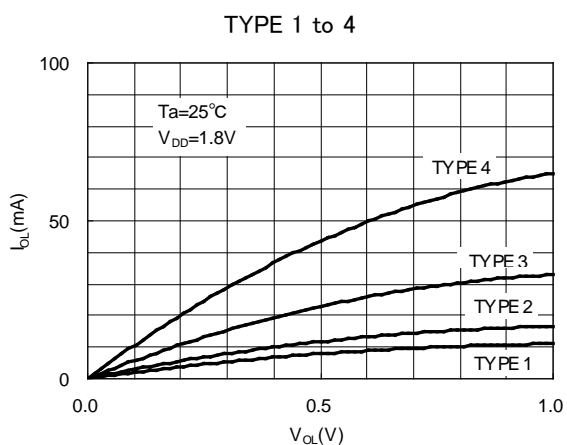


図 A5-115

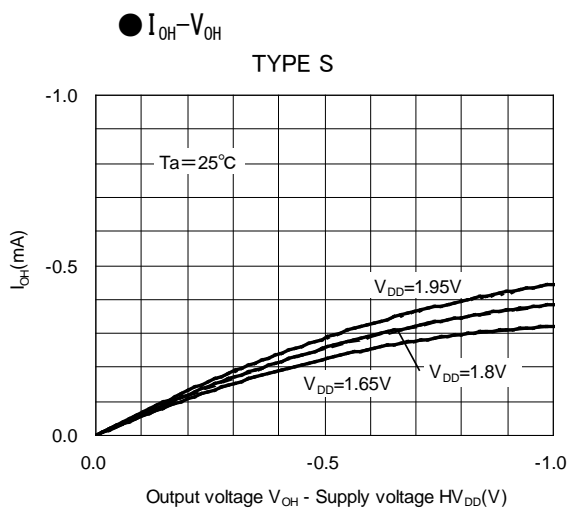


図 A5-116

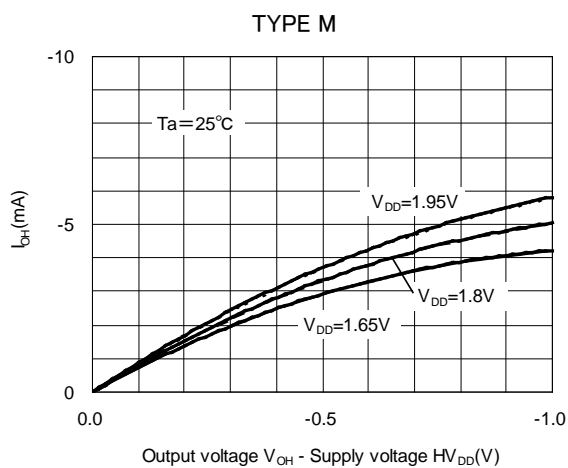


図 A5-117

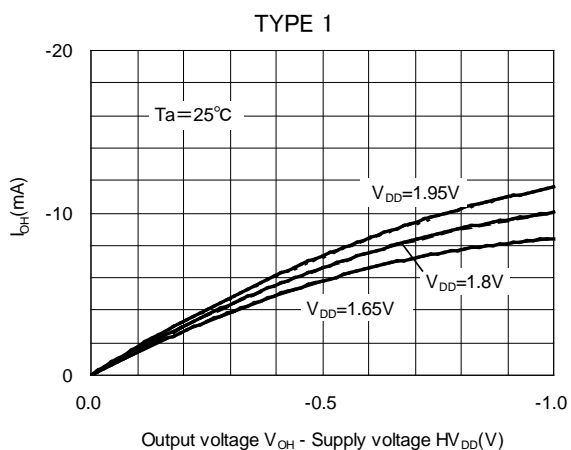


図 A5-118

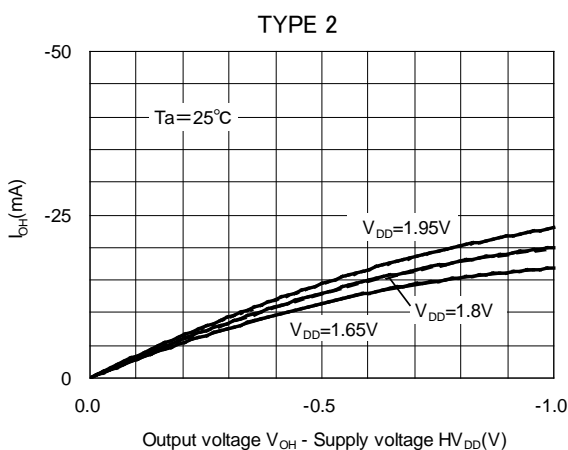


図 A5-119

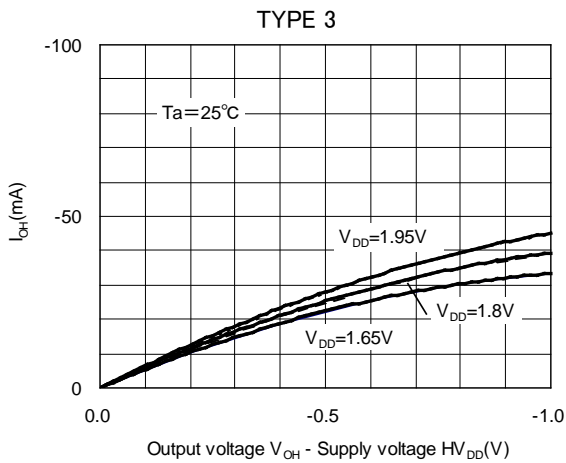


図 A5-120

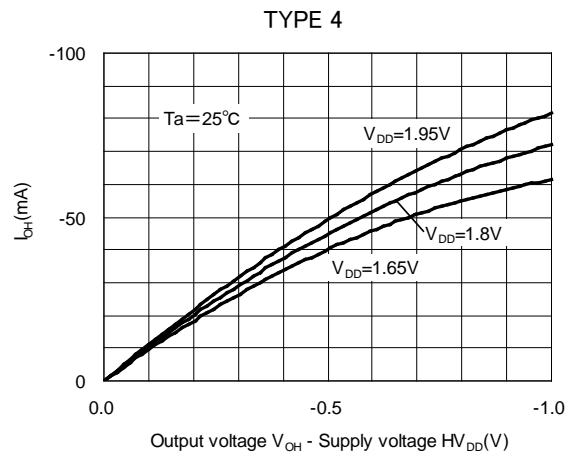


図 A5-121

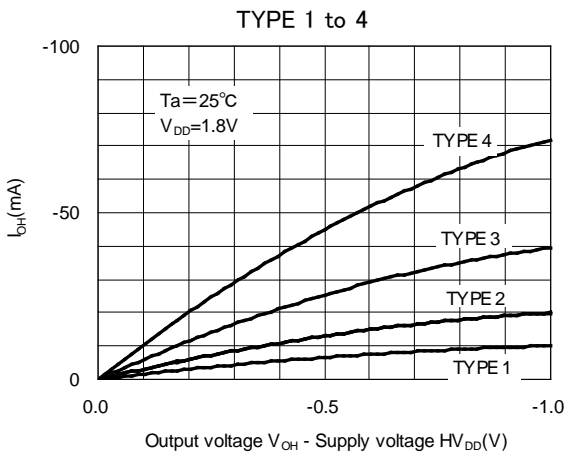


図 A5-122

(3) I_{OL} 、 I_{OH} 温度特性

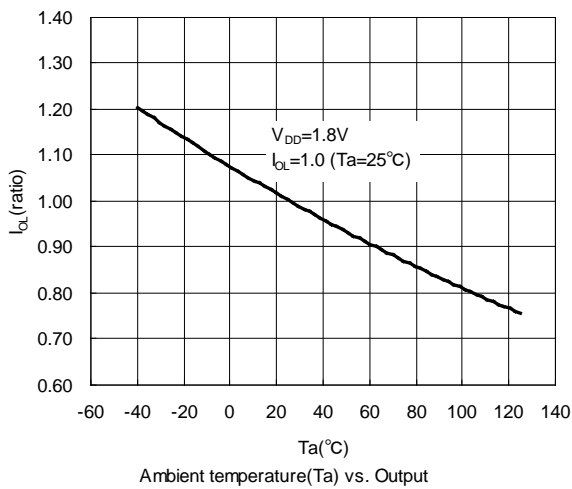


図 A5-123

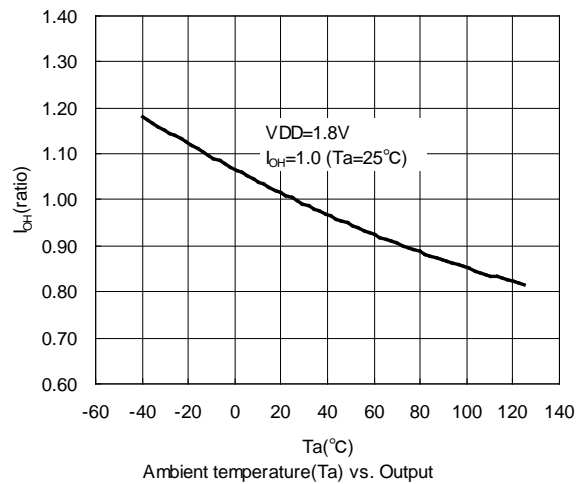


図 A5-124

(4) 出力遅延時間—出力負荷容量 (C_L)

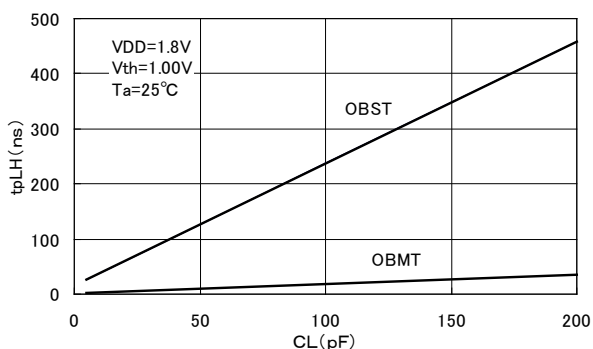


図 A5-125 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

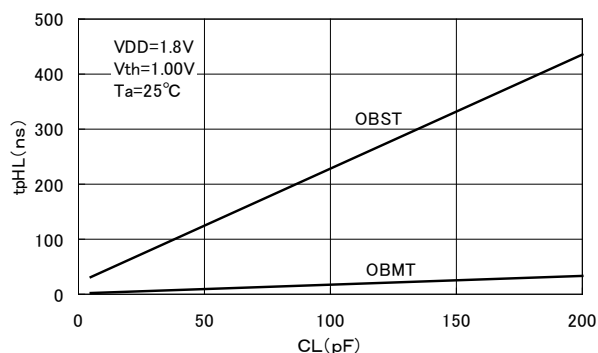


図 A5-126 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

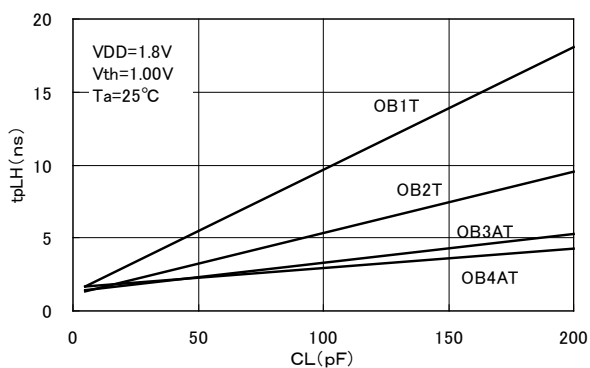


図 A5-127 出力遅延時間 (t_{pLH}) VS. 出力負荷容量 (C_L)

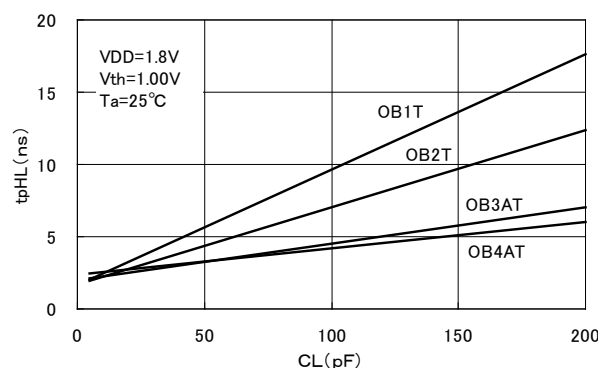


図 A5-128 出力遅延時間 (t_{pHL}) VS. 出力負荷容量 (C_L)

(5) 出力バッファ立ち上がり/立ち下がり時間—出力負荷容量 (C_L)

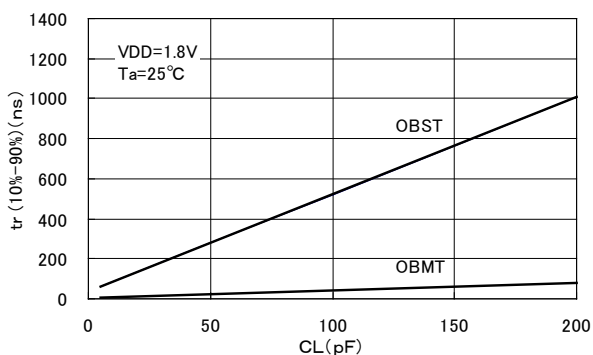


図 A5-129 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

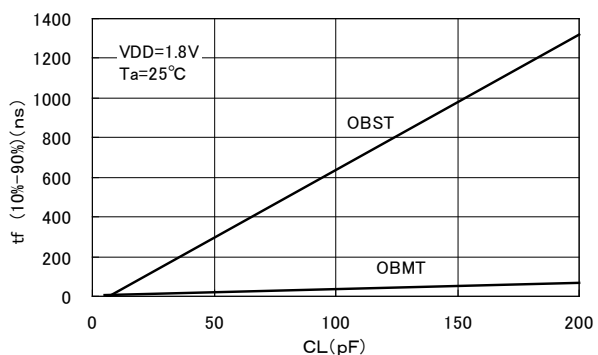


図 A5-130 立ち下がり時間 (t_f) VS. 出力負荷容量 (C_L)

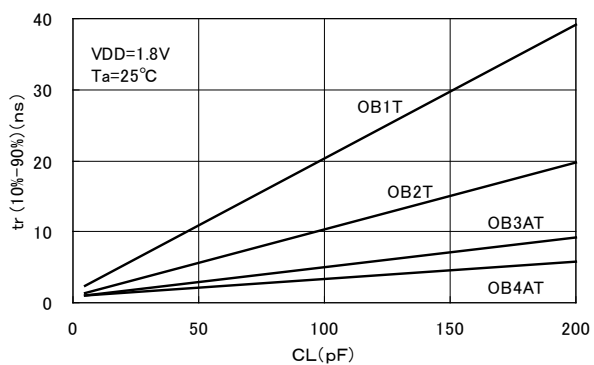


図 A5-131 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

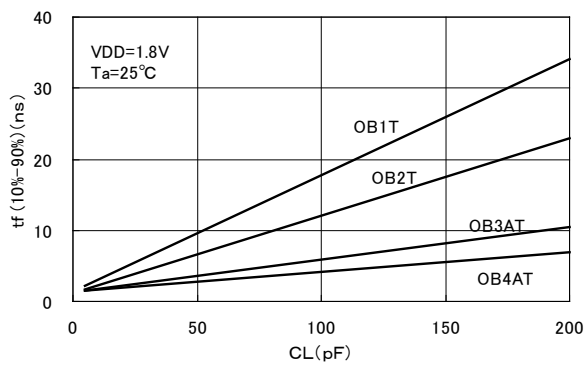


図 A5-132 立ち上がり時間 (t_r) VS. 出力負荷容量 (C_L)

改訂履歴表

付-1

Rev. No.	年/月	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev. 1.0	1998/04	全ページ	新規	新規制定
Rev. 1.1	2007/12	全ページ	改訂	部分改訂 404507706
Rev. 2.0	2016/09	全ページ	改訂	全体構成変更、S1L50000 シリーズと整合 404507707

セイコーエプソン株式会社

マイクロデバイス事業部 IC 営業部

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 御堂筋グランタワー15F

TEL (06) 6120-6002 (代表) FAX (06) 6120-6110

ドキュメントコード： 404507707

1998 年 4 月 作成

2016 年 9 月 改訂